



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P. O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	ISSUE DATE	PATENT NO.	ATTORNEY DOCKET NO.	CONFIRMATION NO.
14/259,011	04/26/2016	9326381	093814-0302	5037

20277 7590 04/06/2016
MCDERMOTT WILL & EMERY LLP
The McDermott Building
500 North Capitol Street, N.W.
WASHINGTON, DC 20001

ISSUE NOTIFICATION

The projected patent number and issue date are specified above.

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(application filed on or after May 29, 2000)

The Patent Term Adjustment is 197 day(s). Any patent to issue from the above-identified application will include an indication of the adjustment on the front page.

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (<http://pair.uspto.gov>).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Application Assistance Unit (AAU) of the Office of Data Management (ODM) at (571)-272-4200.

APPLICANT(s) (Please see PAIR WEB site <http://pair.uspto.gov> for additional applicants):

Byoung Hwa LEE, Suwon-Si, KOREA, REPUBLIC OF;
SAMSUNG ELECTRO-MECHANICS CO., LTD., Suwon-Si, KOREA, REPUBLIC OF;
Heung Kil PARK, Suwon-Si, KOREA, REPUBLIC OF;
Kyo Kwang LEE, Suwon-Si, KOREA, REPUBLIC OF;
Young Ghyu AHN, Suwon-Si, KOREA, REPUBLIC OF;
Sang Soo PARK, Suwon-Si, KOREA, REPUBLIC OF;
Soon Ju LEE, Suwon-Si, KOREA, REPUBLIC OF;

The United States represents the largest, most dynamic marketplace in the world and is an unparalleled location for business investment, innovation, and commercialization of new technologies. The USA offers tremendous resources and advantages for those who invest and manufacture goods here. Through SelectUSA, our nation works to encourage and facilitate business investment. To learn more about why the USA is the best country in the world to develop technology, manufacture products, and grow your business, visit SelectUSA.gov.

PART B - FEE(S) TRANSMITTAL

**Complete and send this form, together with applicable fee(s), to: Mail Mail Stop ISSUE FEE
 Commissioner for Patents
 P.O. Box 1450
 Alexandria, Virginia 22313-1450
 or Fax (571)-273-2885**

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

20277 7590 01/05/2016
MCDERMOTT WILL & EMERY LLP
 The McDermott Building
 500 North Capitol Street, N.W.
 WASHINGTON, DC 20001

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (571) 273-2885, on the date indicated below.

_____ (Depositor's name)
_____ (Signature)
_____ (Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
14/259,011	04/22/2014	Byoung Hwa LEE	093814-0302	5037

TITLE OF INVENTION: MULTILAYER CERAMIC CAPACITOR AND BOARD HAVING THE SAME MOUNTED THEREON

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	\$960	\$0	\$0	\$960	04/05/2016

EXAMINER	ART UNIT	CLASS-SUBCLASS
HA, NGUYEN T	2848	361-301400

<p>1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).</p> <p><input type="checkbox"/> Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.</p> <p><input type="checkbox"/> "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. Use of a Customer Number is required.</p>	<p>2. For printing on the patent front page, list</p> <p>(1) The names of up to 3 registered patent attorneys or agents OR, alternatively, 1 <u>McDermott Will & Emery LLP</u></p> <p>(2) The name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed. 2 _____</p> <p>3 _____</p>
---	---

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE

(B) RESIDENCE: (CITY and STATE OR COUNTRY)

SAMSUNG ELECTRO-MECHANICS CO., LTD.

SUWON-SI, GYEONGGI-DO, REPUBLIC OF KOREA

Please check the appropriate assignee category or categories (will not be printed on the patent): Individual Corporation or other private group entity Government

<p>4a. The following fee(s) are submitted:</p> <p><input checked="" type="checkbox"/> Issue Fee</p> <p><input type="checkbox"/> Publication Fee (No small entity discount permitted)</p> <p><input type="checkbox"/> Advance Order - # of Copies _____</p>	<p>4b. Payment of Fee(s): (Please first reapply any previously paid issue fee shown above)</p> <p><input type="checkbox"/> A check is enclosed.</p> <p><input type="checkbox"/> Payment by credit card. Form PTO-2038 is attached.</p> <p><input checked="" type="checkbox"/> The director is hereby authorized to charge the required fee(s), any deficiency, or credits any overpayment, to Deposit Account Number <u>50-0417</u> (enclose an extra copy of this form).</p>
--	--

5. **Change in Entity Status** (from status indicated above)

Applicant certifying micro entity status. See 37 CFR 1.29

Applicant asserting small entity status. See 37 CFR 1.27

Applicant changing to regular undiscounted fee status.

NOTE: Absent a valid certification of Micro Entity Status (see forms PTO/SB/15A and 15B), issue fee payment in the micro entity amount will not be accepted at the risk of application abandonment.

NOTE: If the application was previously under micro entity status, checking this box will be taken to be a notification of loss of entitlement to micro entity status.

NOTE: Checking this box will be taken to be a notification of loss of entitlement to small or micro entity status, as applicable.

NOTE: This form must be signed in accordance with 37 CFR 1.31 and 1.33. See 37 CFR 1.4 for signature requirements and certifications.

Authorized Signature /Hosang Lee/ Date March 16, 2016

Typed or printed name Hosang Lee Registration No. 69, 333

Electronic Patent Application Fee Transmittal

Application Number:	14259011				
Filing Date:	22-Apr-2014				
Title of Invention:	MULTILAYER CERAMIC CAPACITOR AND BOARD HAVING THE SAME MOUNTED THEREON				
First Named Inventor/Applicant Name:	Byoung Hwa LEE				
Filer:	Bernard P. Codd				
Attorney Docket Number:	093814-0302				
Filed as Large Entity					
Filing Fees for Utility under 35 USC 111(a)					
Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)	
Basic Filing:					
Pages:					
Claims:					
Miscellaneous-Filing:					
Petition:					
Patent-Appeals-and-Interference:					
Post-Allowance-and-Post-Issuance:					
Utility Appl Issue Fee	1501	1	960	960	

Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Extension-of-Time:				
Miscellaneous:				
Total in USD (\$)				960

Electronic Acknowledgement Receipt

EFS ID:	25228455
Application Number:	14259011
International Application Number:	
Confirmation Number:	5037
Title of Invention:	MULTILAYER CERAMIC CAPACITOR AND BOARD HAVING THE SAME MOUNTED THEREON
First Named Inventor/Applicant Name:	Byoung Hwa LEE
Customer Number:	20277
Filer:	Bernard P. Codd
Filer Authorized By:	
Attorney Docket Number:	093814-0302
Receipt Date:	17-MAR-2016
Filing Date:	22-APR-2014
Time Stamp:	18:24:15
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Deposit Account
Payment was successfully received in RAM	\$960
RAM confirmation Number	5296
Deposit Account	500417
Authorized User	AKHLAGHI, BABAK

The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows:

--	--	--	--	--	--

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Issue Fee Payment (PTO-85B)	0938140302issuefee.pdf	87056 <small>15721209de129efa302a95cbacd0ad73fcee7d40</small>	no	1

Warnings:

Information:

2	Fee Worksheet (SB06)	fee-info.pdf	30606 <small>dd7b2a10ea398cb805559e337d2850e306e86bc2</small>	no	2
---	----------------------	--------------	--	----	---

Warnings:

Information:

Total Files Size (in bytes):	117662
-------------------------------------	--------

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P. O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
14/259,011	04/22/2014	Byoung Hwa LEE	093814-0302	5037

20277 7590 02/03/2016
MCDERMOTT WILL & EMERY LLP
The McDermott Building
500 North Capitol Street, N.W.
WASHINGTON, DC 20001

EXAMINER

HA, NGUYEN T

ART UNIT	PAPER NUMBER
----------	--------------

2848

NOTIFICATION DATE	DELIVERY MODE
-------------------	---------------

02/03/2016

ELECTRONIC

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

ipdocketmwe@mwe.com

Supplemental Notice of Allowability	Application No. 14/259,011	Applicant(s) LEE ET AL.	
	Examiner NGUYEN T. HA	Art Unit 2848	AIA (First Inventor to File) Status Yes

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--

All claims being allowable, PROSECUTION ON THE MERITS IS (OR REMAINS) CLOSED in this application. If not included herewith (or previously mailed), a Notice of Allowance (PTOL-85) or other appropriate communication will be mailed in due course. **THIS NOTICE OF ALLOWABILITY IS NOT A GRANT OF PATENT RIGHTS.** This application is subject to withdrawal from issue at the initiative of the Office or upon petition by the applicant. See 37 CFR 1.313 and MPEP 1308.

1. This communication is responsive to 1/18/2016.
 A declaration(s)/affidavit(s) under **37 CFR 1.130(b)** was/were filed on _____.
2. An election was made by the applicant in response to a restriction requirement set forth during the interview on _____; the restriction requirement and election have been incorporated into this action.
3. The allowed claim(s) is/are 1-19. As a result of the allowed claim(s), you may be eligible to benefit from the **Patent Prosecution Highway** program at a participating intellectual property office for the corresponding application. For more information, please see http://www.uspto.gov/patents/init_events/pph/index.jsp or send an inquiry to PPHfeedback@uspto.gov.
4. Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

Certified copies:

- a) All b) Some *c) None of the:
1. Certified copies of the priority documents have been received.
 2. Certified copies of the priority documents have been received in Application No. _____.
 3. Copies of the certified copies of the priority documents have been received in this national stage application from the International Bureau (PCT Rule 17.2(a)).

* Certified copies not received: _____.

Applicant has THREE MONTHS FROM THE "MAILING DATE" of this communication to file a reply complying with the requirements noted below. Failure to timely comply will result in ABANDONMENT of this application.
THIS THREE-MONTH PERIOD IS NOT EXTENDABLE.

5. CORRECTED DRAWINGS (as "replacement sheets") must be submitted.
 including changes required by the attached Examiner's Amendment / Comment or in the Office action of Paper No./Mail Date _____.
Identifying indicia such as the application number (see 37 CFR 1.84(c)) should be written on the drawings in the front (not the back) of each sheet. Replacement sheet(s) should be labeled as such in the header according to 37 CFR 1.121(d).
6. DEPOSIT OF and/or INFORMATION about the deposit of BIOLOGICAL MATERIAL must be submitted. Note the attached Examiner's comment regarding REQUIREMENT FOR THE DEPOSIT OF BIOLOGICAL MATERIAL.

Attachment(s)

- | | |
|--|---|
| <ol style="list-style-type: none"> 1. <input type="checkbox"/> Notice of References Cited (PTO-892) 2. <input checked="" type="checkbox"/> Information Disclosure Statements (PTO/SB/08), Paper No./Mail Date <u>6/16/2015</u> 3. <input type="checkbox"/> Examiner's Comment Regarding Requirement for Deposit of Biological Material 4. <input type="checkbox"/> Interview Summary (PTO-413), Paper No./Mail Date _____. | <ol style="list-style-type: none"> 5. <input type="checkbox"/> Examiner's Amendment/Comment 6. <input type="checkbox"/> Examiner's Statement of Reasons for Allowance 7. <input type="checkbox"/> Other _____. |
|--|---|

/NGUYEN T HA/
Primary Examiner, Art Unit 2848

Receipt date: 06/16/2015

14259011 - GAU: 2848

Doc Code:IDS.3P

PTO/SB/429(08-12)

Document Description: Third-Party Submission Under 37 CFR 1.290

Approved for use through 07/31/2015. OMB 0651-0031

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

THIRD-PARTY SUBMISSION UNDER 37 CFR 1.290	Application Number	14259011

U.S. PATENTS

Cite No	Patent Number	Kind Code 1	Issue Date (YYYY-MM-DD)	First Named Inventor
1 /NH/	8238116		2012-08-07	Carl Eggerding
2 /NH/	7414857		2008-08-19	Andrew Ritter
3 /NH/	5134540		1992-07-28	TRUMAN RUTT
4 /NH/	5952040		1999-09-14	TAPESH YADAV

U.S. PATENT APPLICATION PUBLICATIONS

Cite No	Publication Number	Kind Code 1	Publication Date (YYYY-MM-DD)	First Named Inventor

FOREIGN PATENTS AND PUBLISHED FOREIGN PATENT APPLICATIONS

Cite No	Foreign Document Number ³	Country Code ²	Kind Code ¹	Publication Date (YYYY-MM-DD)	Applicant, Patentee or First Named Inventor	T ⁵

Receipt date: 06/16/2015

14259011 - GAU: 2848

**THIRD-PARTY
SUBMISSION
UNDER 37 CFR 1.290**

Application Number

14259011

						<input type="checkbox"/>
--	--	--	--	--	--	--------------------------

NON-PATENT PUBLICATIONS (e.g., journal article, Office action)

Cite No	Author (if any), title of the publication, page(s) being submitted, publication date, publisher (where available), place of publication (where available).	T ⁵	E ⁶
1 /NH/	Yukio Sakabe et al.; High Frequency Performance of Multilayer Ceramic Capacitors, Document No. 0569-5503/95/0000, pages 234-240, 1995 IEEE no dated	<input type="checkbox"/>	<input type="checkbox"/>
2 /NH/	Joseph M. Hock et al.; TecForum TF-MP2, Inductance of Bypass Capacitors How to Define, How to Measure, How to Simulate, DesignCon East 2005 no dated	<input type="checkbox"/>	<input type="checkbox"/>

STATEMENTS

The party making the submission is not an individual who has a duty to disclose information with respect to the above-identified application under 37 CFR 1.56.

This submission complies with the requirements of 35 U.S.C. 122(e) and 37 CFR 1.290.

Receipt date: 06/16/2015

14259011 - GAU: 2848

<p>THIRD-PARTY SUBMISSION UNDER 37 CFR 1.290</p>	<p>Application Number</p>	<p>14259011</p>

The fee set forth in 37 CFR 1.290(f) has been submitted herewith.

The fee set forth in 37 CFR 1.290(f) is not required because this submission lists three or fewer total items and, to the knowledge of the person signing the statement after making reasonable inquiry, this submission is the first and the only submission under 35 U.S.C 122(e) filed in the above-identified application by the party making the submission or by a party in privity with the party.

This resubmission is being made responsive to a notification of non-compliance issued for an earlier filed third-party submission. The corrections in this resubmission are limited to addressing the non-compliance. As such, the party making this resubmission: (1) requests that the Office apply the previously-paid fee set forth in 37 CFR 1.290(f), or (2) states that no fee is required to accompany this resubmission as the undersigned is again making the fee exemption statement set forth in 37 CFR 1.290(g).

Signature	/Richard M. Moose/		
Name/Print	RICHARD M. MOOSE	Registration Number (if applicable)	31226

Examiner Signature	/Nguyen Ha/	Date Considered	01/14/2016
--------------------	-------------	-----------------	------------

*EXAMINER: Signature indicates all documents listed above have been considered, except for citations through which a line is drawn. Draw line through citation if not considered. Include a copy of this form with next communication to applicant. 1. If known, enter kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16. See MPEP 901.04(a). 2. Enter the country or patent office that issued the document, by two-letter code under WIPO standard ST.3. See MPEP 1851. 3. For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 4. If known, enter the kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16. See MPEP 901.04(a). 5. Check mark indicates translation attached. 6. Check mark indicates evidence of publication attached.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

NOTICE OF ALLOWANCE AND FEE(S) DUE

20277 7590 01/05/2016
MCDERMOTT WILL & EMERY LLP
The McDermott Building
500 North Capitol Street, N.W.
WASHINGTON, DC 20001

EXAMINER

HA, NGUYEN T

ART UNIT PAPER NUMBER

2848

DATE MAILED: 01/05/2016

Table with 5 columns: APPLICATION NO., FILING DATE, FIRST NAMED INVENTOR, ATTORNEY DOCKET NO., CONFIRMATION NO.

14/259,011 04/22/2014 Byoung Hwa LEE 093814-0302 5037

TITLE OF INVENTION: MULTILAYER CERAMIC CAPACITOR AND BOARD HAVING THE SAME MOUNTED THEREON

Table with 7 columns: APPLN. TYPE, ENTITY STATUS, ISSUE FEE DUE, PUBLICATION FEE DUE, PREV. PAID ISSUE FEE, TOTAL FEE(S) DUE, DATE DUE

nonprovisional UNDISCOUNTED \$960 \$0 \$0 \$960 04/05/2016

THE APPLICATION IDENTIFIED ABOVE HAS BEEN EXAMINED AND IS ALLOWED FOR ISSUANCE AS A PATENT. PROSECUTION ON THE MERITS IS CLOSED. THIS NOTICE OF ALLOWANCE IS NOT A GRANT OF PATENT RIGHTS. THIS APPLICATION IS SUBJECT TO WITHDRAWAL FROM ISSUE AT THE INITIATIVE OF THE OFFICE OR UPON PETITION BY THE APPLICANT. SEE 37 CFR 1.313 AND MPEP 1308.

THE ISSUE FEE AND PUBLICATION FEE (IF REQUIRED) MUST BE PAID WITHIN THREE MONTHS FROM THE MAILING DATE OF THIS NOTICE OR THIS APPLICATION SHALL BE REGARDED AS ABANDONED. THIS STATUTORY PERIOD CANNOT BE EXTENDED. SEE 35 U.S.C. 151. THE ISSUE FEE DUE INDICATED ABOVE DOES NOT REFLECT A CREDIT FOR ANY PREVIOUSLY PAID ISSUE FEE IN THIS APPLICATION. IF AN ISSUE FEE HAS PREVIOUSLY BEEN PAID IN THIS APPLICATION (AS SHOWN ABOVE), THE RETURN OF PART B OF THIS FORM WILL BE CONSIDERED A REQUEST TO REAPPLY THE PREVIOUSLY PAID ISSUE FEE TOWARD THE ISSUE FEE NOW DUE.

HOW TO REPLY TO THIS NOTICE:

I. Review the ENTITY STATUS shown above. If the ENTITY STATUS is shown as SMALL or MICRO, verify whether entitlement to that entity status still applies.

If the ENTITY STATUS is the same as shown above, pay the TOTAL FEE(S) DUE shown above.

If the ENTITY STATUS is changed from that shown above, on PART B - FEE(S) TRANSMITTAL, complete section number 5 titled "Change in Entity Status (from status indicated above)".

For purposes of this notice, small entity fees are 1/2 the amount of undiscounted fees, and micro entity fees are 1/2 the amount of small entity fees.

II. PART B - FEE(S) TRANSMITTAL, or its equivalent, must be completed and returned to the United States Patent and Trademark Office (USPTO) with your ISSUE FEE and PUBLICATION FEE (if required). If you are charging the fee(s) to your deposit account, section "4b" of Part B - Fee(s) Transmittal should be completed and an extra copy of the form should be submitted. If an equivalent of Part B is filed, a request to reapply a previously paid issue fee must be clearly made, and delays in processing may occur due to the difficulty in recognizing the paper as an equivalent of Part B.

III. All communications regarding this application must give the application number. Please direct all communications prior to issuance to Mail Stop ISSUE FEE unless advised to the contrary.

IMPORTANT REMINDER: Utility patents issuing on applications filed on or after Dec. 12, 1980 may require payment of maintenance fees. It is patentee's responsibility to ensure timely payment of maintenance fees when due.

PART B - FEE(S) TRANSMITTAL

**Complete and send this form, together with applicable fee(s), to: Mail Mail Stop ISSUE FEE
 Commissioner for Patents
 P.O. Box 1450
 Alexandria, Virginia 22313-1450
 or Fax (571)-273-2885**

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

20277 7590 01/05/2016
MCDERMOTT WILL & EMERY LLP
 The McDermott Building
 500 North Capitol Street, N.W.
 WASHINGTON, DC 20001

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (571) 273-2885, on the date indicated below.

(Depositor's name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
14/259,011	04/22/2014	Byoung Hwa LEE	093814-0302	5037

TITLE OF INVENTION: MULTILAYER CERAMIC CAPACITOR AND BOARD HAVING THE SAME MOUNTED THEREON

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	\$960	\$0	\$0	\$960	04/05/2016

EXAMINER	ART UNIT	CLASS-SUBCLASS
HA, NGUYEN T	2848	361-301400

<p>1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).</p> <p><input type="checkbox"/> Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.</p> <p><input type="checkbox"/> "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. Use of a Customer Number is required.</p>	<p>2. For printing on the patent front page, list</p> <p>(1) The names of up to 3 registered patent attorneys or agents OR, alternatively, _____ 1</p> <p>(2) The name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed. _____ 2</p> <p>_____ 3</p>
---	---

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE _____

(B) RESIDENCE: (CITY and STATE OR COUNTRY) _____

Please check the appropriate assignee category or categories (will not be printed on the patent) : Individual Corporation or other private group entity Government

<p>4a. The following fee(s) are submitted:</p> <p><input type="checkbox"/> Issue Fee</p> <p><input type="checkbox"/> Publication Fee (No small entity discount permitted)</p> <p><input type="checkbox"/> Advance Order - # of Copies _____</p>	<p>4b. Payment of Fee(s): (Please first reapply any previously paid issue fee shown above)</p> <p><input type="checkbox"/> A check is enclosed.</p> <p><input type="checkbox"/> Payment by credit card. Form PTO-2038 is attached.</p> <p><input type="checkbox"/> The director is hereby authorized to charge the required fee(s), any deficiency, or credits any overpayment, to Deposit Account Number _____ (enclose an extra copy of this form).</p>
---	--

5. **Change in Entity Status** (from status indicated above)

Applicant certifying micro entity status. See 37 CFR 1.29

Applicant asserting small entity status. See 37 CFR 1.27

Applicant changing to regular undiscounted fee status.

NOTE: Absent a valid certification of Micro Entity Status (see forms PTO/SB/15A and 15B), issue fee payment in the micro entity amount will not be accepted at the risk of application abandonment.

NOTE: If the application was previously under micro entity status, checking this box will be taken to be a notification of loss of entitlement to micro entity status.

NOTE: Checking this box will be taken to be a notification of loss of entitlement to small or micro entity status, as applicable.

NOTE: This form must be signed in accordance with 37 CFR 1.31 and 1.33. See 37 CFR 1.4 for signature requirements and certifications.

Authorized Signature _____	Date _____
Typed or printed name _____	Registration No. _____



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

Table with 5 columns: APPLICATION NO., FILING DATE, FIRST NAMED INVENTOR, ATTORNEY DOCKET NO., CONFIRMATION NO.
14/259,011 04/22/2014 Byoung Hwa LEE 093814-0302 5037

20277 7590 01/05/2016
MCDERMOTT WILL & EMERY LLP
The McDermott Building
500 North Capitol Street, N.W.
WASHINGTON, DC 20001

EXAMINER

HA, NGUYEN T

ART UNIT PAPER NUMBER

2848

DATE MAILED: 01/05/2016

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(Applications filed on or after May 29, 2000)

The Office has discontinued providing a Patent Term Adjustment (PTA) calculation with the Notice of Allowance.

Section 1(h)(2) of the AIA Technical Corrections Act amended 35 U.S.C. 154(b)(3)(B)(i) to eliminate the requirement that the Office provide a patent term adjustment determination with the notice of allowance. See Revisions to Patent Term Adjustment, 78 Fed. Reg. 19416, 19417 (Apr. 1, 2013). Therefore, the Office is no longer providing an initial patent term adjustment determination with the notice of allowance. The Office will continue to provide a patent term adjustment determination with the Issue Notification Letter that is mailed to applicant approximately three weeks prior to the issue date of the patent, and will include the patent term adjustment on the patent. Any request for reconsideration of the patent term adjustment determination (or reinstatement of patent term adjustment) should follow the process outlined in 37 CFR 1.705.

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Customer Service Center of the Office of Patent Publication at 1-(888)-786-0101 or (571)-272-4200.

OMB Clearance and PRA Burden Statement for PTOL-85 Part B

The Paperwork Reduction Act (PRA) of 1995 requires Federal agencies to obtain Office of Management and Budget approval before requesting most types of information from the public. When OMB approves an agency request to collect information from the public, OMB (i) provides a valid OMB Control Number and expiration date for the agency to display on the instrument that will be used to collect the information and (ii) requires the agency to inform the public about the OMB Control Number's legal significance in accordance with 5 CFR 1320.5(b).

The information collected by PTOL-85 Part B is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450. Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether disclosure of these records is required by the Freedom of Information Act.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspection or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

Notice of Allowability	Application No. 14/259,011	Applicant(s) LEE ET AL.	
	Examiner NGUYEN T. HA	Art Unit 2848	AIA (First Inventor to File) Status Yes

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--

All claims being allowable, PROSECUTION ON THE MERITS IS (OR REMAINS) CLOSED in this application. If not included herewith (or previously mailed), a Notice of Allowance (PTOL-85) or other appropriate communication will be mailed in due course. **THIS NOTICE OF ALLOWABILITY IS NOT A GRANT OF PATENT RIGHTS.** This application is subject to withdrawal from issue at the initiative of the Office or upon petition by the applicant. See 37 CFR 1.313 and MPEP 1308.

1. This communication is responsive to 4/22/2014.
 A declaration(s)/affidavit(s) under **37 CFR 1.130(b)** was/were filed on _____.
2. An election was made by the applicant in response to a restriction requirement set forth during the interview on _____; the restriction requirement and election have been incorporated into this action.
3. The allowed claim(s) is/are 1-19. As a result of the allowed claim(s), you may be eligible to benefit from the **Patent Prosecution Highway** program at a participating intellectual property office for the corresponding application. For more information, please see http://www.uspto.gov/patents/init_events/pph/index.jsp or send an inquiry to FPHfeedback@uspto.gov.
4. Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

Certified copies:

- a) All b) Some *c) None of the:
 1. Certified copies of the priority documents have been received.
 2. Certified copies of the priority documents have been received in Application No. _____.
 3. Copies of the certified copies of the priority documents have been received in this national stage application from the International Bureau (PCT Rule 17.2(a)).

* Certified copies not received: _____.

Applicant has THREE MONTHS FROM THE "MAILING DATE" of this communication to file a reply complying with the requirements noted below. Failure to timely comply will result in ABANDONMENT of this application.

THIS THREE-MONTH PERIOD IS NOT EXTENDABLE.

5. CORRECTED DRAWINGS (as "replacement sheets") must be submitted.
 including changes required by the attached Examiner's Amendment / Comment or in the Office action of Paper No./Mail Date _____.
Identifying indicia such as the application number (see 37 CFR 1.84(c)) should be written on the drawings in the front (not the back) of each sheet. Replacement sheet(s) should be labeled as such in the header according to 37 CFR 1.121(d).
6. DEPOSIT OF and/or INFORMATION about the deposit of BIOLOGICAL MATERIAL must be submitted. Note the attached Examiner's comment regarding REQUIREMENT FOR THE DEPOSIT OF BIOLOGICAL MATERIAL.

Attachment(s)

- | | |
|---|--|
| <ol style="list-style-type: none"> 1. <input checked="" type="checkbox"/> Notice of References Cited (PTO-892) 2. <input checked="" type="checkbox"/> Information Disclosure Statements (PTO/SB/08),
Paper No./Mail Date <u>4/22/2014</u> 3. <input type="checkbox"/> Examiner's Comment Regarding Requirement for Deposit of Biological Material 4. <input type="checkbox"/> Interview Summary (PTO-413),
Paper No./Mail Date _____. | <ol style="list-style-type: none"> 5. <input type="checkbox"/> Examiner's Amendment/Comment 6. <input checked="" type="checkbox"/> Examiner's Statement of Reasons for Allowance 7. <input type="checkbox"/> Other _____. |
|---|--|

--	--

The present application, filed on or after March 16, 2013, is being examined under the first inventor to file provisions of the AIA.

DETAILED ACTION

Notice of Pre-AIA or AIA Status

The present application is being examined under the pre-AIA first to invent provisions.

Allowable Subject Matter

Claims 1-19 are allowed.

The following is an examiner's statement of reasons for allowance:

With respect to claims 1-7, the prior art alone or in combination does not teach the limitation of a multilayer ceramic capacitor, comprising: an active layer including a plurality of first and second internal electrodes disposed to face each other with at least one of the dielectric layers interposed therebetween and alternately exposed to the first or second side surface; upper and lower cover layers disposed on and below the active layer, respectively; and a first external electrode disposed on the first side surface of the ceramic body and electrically connected to the first internal electrodes and a second external electrode disposed on the second side surface and electrically connected to the second internal electrodes, wherein when a thickness of the ceramic body is defined as T and a width thereof is defined as W , $0.75W \leq T \leq 1.25W$ is satisfied, when a gap between the first and second external electrodes is defined as G , $30\mu\text{m} \leq G \leq 0.9W$ is satisfied, and an average number of dielectric grains in a single dielectric layer in a thickness direction thereof is 2 or greater.

With respect to claims 8-19, the prior art alone or in combination does not teach the limitation of a board having a multilayer ceramic capacitor mounted thereon, the board comprising: an active layer including a plurality of first and second internal electrodes disposed to face each other with at least one of the dielectric layers interposed therebetween and alternately exposed to the first or second side surface; upper and lower cover layers disposed on and below the active layer, respectively; and a first external electrode disposed on the first side surface of the ceramic body and electrically connected to the first internal electrode and a second external electrode disposed on the second side surface and electrically connected to the second internal electrode, when a thickness of the ceramic body is defined as T and a width thereof is defined as W , $0.75W \leq T \leq 1.25W$ is satisfied, when a gap between the first and second external electrodes is defined as G , $30 \mu\text{m} \leq G \leq 0.9W$ is satisfied, and an average number of dielectric grains in a single dielectric layer in a thickness direction thereof is 2 or greater.

Any comments considered necessary by applicant must be submitted no later than the payment of the issue fee and, to avoid processing delays, should preferably accompany the issue fee. Such submissions should be clearly labeled "Comments on Statement of Reasons for Allowance."

Citation Relevant of Prior Art

The prior art made of record and not relied upon is considered pertinent to applicant's disclosure.

- a. Kim et al. (US 9,129,750).

- b. Milic et al. (US 9,009,240).
- c. Kim et al. (US 8,737,037).
- d. Kim et al. (US 8,437,115).
- e. Yamaguchi et al. (US 8,383,535).
- f. Dogan et al. (US 8,263,515).
- g. Sekidou et al. (US 6,377,439).

Conclusion

Any inquiry concerning this communication or earlier communications from the examiner should be directed to NGUYEN T. HA whose telephone number is (571)272-1974. The examiner can normally be reached on Monday-Friday from 8:30AM to 5:00PM.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Jenny L. Wagner can be reached on 571-272-5359. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see <http://pair-direct.uspto.gov>. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a

Application/Control Number: 14/259,011

Page 5

Art Unit: 2848

USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/NGUYEN T HA/

Primary Examiner, Art Unit 2848

Notice of References Cited	Application/Control No. 14/259,011	Applicant(s)/Patent Under Reexamination LEE ET AL.	
	Examiner NGUYEN T. HA	Art Unit 2848	Page 1 of 1

U.S. PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Name	CPC Classification	US Classification
*	A	US-9,129,750 B2	09-2015	Kim; Wi Heon	H01G4/1209	1/1
*	B	US-9,009,240 B2	04-2015	Milic-Frayling; Natasa	G06Q10/10	370/432
*	C	US-8,737,037 B2	05-2014	Kim; Jong Han	H01G4/0085	361/305
*	D	US-8,437,115 B2	05-2013	Kim; Sang Huk	H01G4/30	361/305
*	E	US-8,383,535 B2	02-2013	Yamaguchi; Katsuyoshi	C04B35/46	361/321.4
*	F	US-8,263,515 B2	09-2012	Dogan; Fatih	B82Y30/00	501/127
*	G	US-6,377,439 B1	04-2002	Sekidou; Hiroshi	H01G4/005	361/303
	H	US-				
	I	US-				
	J	US-				
	K	US-				
	L	US-				
	M	US-				

FOREIGN PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Country	Name	CPC Classification
	N					
	O					
	P					
	Q					
	R					
	S					
	T					

NON-PATENT DOCUMENTS

*		Include as applicable: Author, Title Date, Publisher, Edition or Volume, Pertinent Pages)
	U	
	V	
	W	
	X	

*A copy of this reference is not being furnished with this Office action. (See MPEP § 707.05(a).)
 Dates in MM-YYYY format are publication dates. Classifications may be US or foreign.

Receipt date: 04/22/2014

14259011 - GAU: 2848

Doc code: IDS

Doc description: Information Disclosure Statement (IDS) Filed

PTO/SB/08a (01-10)

Approved for use through 07/31/2012. OMB 0651-0031

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)	Application Number			
	Filing Date		2014-04-22	
	First Named Inventor	Byoung Hwa LEE		
	Art Unit	N/A		
	Examiner Name	Not Yet Assigned		
	Attorney Docket Number	093814-0302		

U.S. PATENTS						Remove
Examiner Initial*	Cite No	Patent Number	Kind Code ¹	Issue Date	Name of Patentee or Applicant of cited Document	Pages, Columns, Lines where Relevant Passages or Relevant Figures Appear
	1					

If you wish to add additional U.S. Patent citation information please click the Add button.

Add

U.S. PATENT APPLICATION PUBLICATIONS						Remove
Examiner Initial*	Cite No	Publication Number	Kind Code ¹	Publication Date	Name of Patentee or Applicant of cited Document	Pages, Columns, Lines where Relevant Passages or Relevant Figures Appear
/NH/	1	20080310074	A1	2008-12-18	TOGASHI et al.	Corresponds to JP 2008-192757 A
/NH/	2	20080310078	A1	2008-12-18	Lee et al.	Corresponds to KR 10-2008-0110180 A

If you wish to add additional U.S. Published Application citation information please click the Add button.

Add

FOREIGN PATENT DOCUMENTS								Remove
Examiner Initial*	Cite No	Foreign Document Number ³	Country Code ² j	Kind Code ⁴	Publication Date	Name of Patentee or Applicant of cited Document	Pages, Columns, Lines where Relevant Passages or Relevant Figures Appear	T ⁵
/NH/	1	2008-192757	JP	A	2008-08-21	TDK Corp	Corresponds to US 2008/0310074 A1	<input type="checkbox"/>
/NH/	2	10-2008-0063680	KR	A	2008-07-07	Samsung Electro-Mechanics Co., Ltd	w/English Abstract	<input checked="" type="checkbox"/>

14259011 - GAU: 2848

Receipt date: 04/22/2014

**INFORMATION DISCLOSURE
STATEMENT BY APPLICANT**
(Not for submission under 37 CFR 1.99)

Application Number			
Filing Date		2014-04-22	
First Named Inventor	Byoung Hwa LEE		
Art Unit	N/A		
Examiner Name	Not Yet Assigned		
Attorney Docket Number	093814-0302		

/NH/	3	10-2008-0110180	KR	A	2008-12-18	Samsung Electro-Mechanics Co., Ltd	Corresponds to US 2008/0310078 A1	<input type="checkbox"/>
------	---	-----------------	----	---	------------	------------------------------------	-----------------------------------	--------------------------

If you wish to add additional Foreign Patent Document citation information please click the Add button **Add**

NON-PATENT LITERATURE DOCUMENTS

Remove

Examiner Initials*	Cite No	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc), date, pages(s), volume-issue number(s), publisher, city and/or country where published.	T ⁵
	1		<input type="checkbox"/>

If you wish to add additional non-patent literature document citation information please click the Add button **Add**

EXAMINER SIGNATURE

Examiner Signature	/Nguyen Ha/	Date Considered	12/21/2015
--------------------	-------------	-----------------	------------

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through a citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

¹ See Kind Codes of USPTO Patent Documents at www.USPTO.GOV or MPEP 901.04. ² Enter office that issued the document, by the two-letter code (WIPO Standard ST.3). ³ For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. ⁴ Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. ⁵ Applicant is to place a check mark here if English language translation is attached.

Receipt date: 04/22/2014

14259011 - GAU: 2848

**INFORMATION DISCLOSURE
STATEMENT BY APPLICANT**
(Not for submission under 37 CFR 1.99)

Application Number		14259011 - GAU: 2848	
Filing Date		2014-04-22	
First Named Inventor	Byoung Hwa LEE		
Art Unit	N/A		
Examiner Name	Not Yet Assigned		
Attorney Docket Number	093814-0302		

CERTIFICATION STATEMENT

Please see 37 CFR 1.97 and 1.98 to make the appropriate selection(s):

That each item of information contained in the information disclosure statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(1).

OR

That no item of information contained in the information disclosure statement was cited in a communication from a foreign patent office in a counterpart foreign application, and, to the knowledge of the person signing the certification after making reasonable inquiry, no item of information contained in the information disclosure statement was known to any individual designated in 37 CFR 1.56(c) more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(2).

See attached certification statement.

The fee set forth in 37 CFR 1.17 (p) has been submitted herewith.

A certification statement is not submitted herewith.

SIGNATURE

A signature of the applicant or representative is required in accordance with CFR 1.33, 10.18. Please see CFR 1.4(d) for the form of the signature.

Signature	/Stephen A. Becker, P.C./	Date (YYYY-MM-DD)	2014-04-22
Name/Print	Stephen A. Becker, P.C.	Registration Number	26527

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 1 hour to complete, including gathering, preparing and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. **DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether the Freedom of Information Act requires disclosure of these records.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspections or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.


EAST Search History

EAST Search History (Prior Art)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L1	454	lee adj byoung adj hwa.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2015/12/16 12:31
L2	11	1 and(thickness with ceramic adj body with dielectric adj grain\$1)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2015/12/16 12:32
L3	256701	h01g 4/30 and(thickness with ceramic adj body with dielectric adj grain\$1)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2015/12/16 12:36
L4	21	h01g4/30 and(thickness with ceramic adj body with dielectric adj grain\$1)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2015/12/16 12:36
L5	22	h01g4/12 and(thickness with ceramic adj body with dielectric adj grain\$1)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2015/12/16 12:40
L6	41	h01g4/12 and(thickness with ceramic adj body and dielectric adj grain\$1)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2015/12/16 12:40
L7	37	h01g4/30 and(thickness with ceramic adj body and dielectric adj grain\$1)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2015/12/16 13:01
L8	9	h01g4/005 and(thickness with ceramic adj body and dielectric adj grain\$1)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2015/12/16 13:07
L9	1	"20130286539".PN.	US-PGPUB	OR	OFF	2015/12/16 13:11
L10	1	"20120147518".PN.	US-PGPUB	OR	OFF	2015/12/16 13:11
L11	1	"8737037".PN.	USPAT; USOCR	OR	OFF	2015/12/16 13:11
L12	1	"8263515".PN.	USPAT; USOCR	OR	OFF	2015/12/16 13:12
L13	1	"6143109".PN.	USPAT; USOCR	OR	OFF	2015/12/16 13:12
L14	1	"8383535".PN.	USPAT; USOCR	OR	OFF	2015/12/16 13:12
L15	1	"6947276".PN.	USPAT; USOCR	OR	OFF	2015/12/16 13:13
L16	7	h01g4/008 and(thickness with	US-PGPUB; USPAT;	OR	ON	2015/12/16

		ceramic adj body and dielectric adj grain\$1)	USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB			13:17
L17	1	"20090067117".PN.	US-PGPUB	OR	OFF	2015/12/16 13:18
L18	18	361/301.4 and(thickness with ceramic adj body and dielectric adj grain\$1)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2015/12/16 13:42
L19	1	"6947276".PN.	USPAT; USOCR	OR	OFF	2015/12/16 13:48
L20	1	"6377439".PN.	USPAT; USOCR	OR	OFF	2015/12/16 13:48
L21	1	"14259011"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2015/12/16 13:50
L22	17	("20080310078" "8238116" "5952040" "7414857" "5134540" "20080310074").PN.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2015/12/16 13:52
L23	0	22 and(thickness with ceramic adj body and dielectric adj grain\$1)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2015/12/16 13:52
L24	1	361/306.1-306.3 and(thickness with ceramic adj body and dielectric adj grain\$1)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2015/12/16 13:57
L25	1	"20050094351".PN.	US-PGPUB	OR	OFF	2015/12/16 13:59
L26	1	"7206187".PN.	USPAT; USOCR	OR	OFF	2015/12/16 13:59
L27	1	"6437969".PN.	USPAT; USOCR	OR	OFF	2015/12/16 13:59
L28	1	"6853536".PN.	USPAT; USOCR	OR	OFF	2015/12/16 13:59
L29	4	361/303-305 and(thickness with ceramic adj body and dielectric adj grain\$1)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2015/12/16 14:11


12/ 16/ 2015 2:25:56 PM

Issue Classification 	Application/Control No. 14259011	Applicant(s)/Patent Under Reexamination LEE ET AL.	
	Examiner NGUYEN T HA	Art Unit 2848	

CPC					
Symbol				Type	Version
H05K	1		111	F	2013-01-01
H01G	4		30	I	2013-01-01
H05K	3		3442	A	2013-01-01
H05K	2201		09709	A	2013-01-01
H05K	2201		0979	A	2013-01-01
H05K	2201		10015	A	2013-01-01
H05K	2201		2045	A	2013-01-01
H01G	4		12	A	2013-01-01
H01G	4		1209	I	2013-01-01
H01G	4		232	I	2013-01-01
Y02P	70		611	A	2015-11-01


CPC Combination Sets				
Symbol	Type	Set	Ranking	Version

NONE		Total Claims Allowed:	
(Assistant Examiner)	(Date)	19	
/NGUYEN T HA/ Primary Examiner. Art Unit 2848	12/16/2015	O.G. Print Claim(s)	O.G. Print Figure
(Primary Examiner)	(Date)	1	1

Issue Classification 	Application/Control No. 14259011	Applicant(s)/Patent Under Reexamination LEE ET AL.
	Examiner NGUYEN T HA	Art Unit 2848


US ORIGINAL CLASSIFICATION						INTERNATIONAL CLASSIFICATION						
CLASS			SUBCLASS			CLAIMED			NON-CLAIMED			
361			301.4			H	0	1	G	4 / 30 (2006.01.01)		
CROSS REFERENCE(S)												
CLASS	SUBCLASS (ONE SUBCLASS PER BLOCK)											
361	303	305	306.1	306.3	321.1							

NONE		Total Claims Allowed:	
		19	
(Assistant Examiner)	(Date)		
/NGUYEN T HA/ Primary Examiner. Art Unit 2848	12/16/2015	O.G. Print Claim(s)	O.G. Print Figure
(Primary Examiner)	(Date)	1	1

Issue Classification 	Application/Control No. 14259011	Applicant(s)/Patent Under Reexamination LEE ET AL.
	Examiner NGUYEN T HA	Art Unit 2848

<input checked="" type="checkbox"/> Claims renumbered in the same order as presented by applicant <input type="checkbox"/> CPA <input type="checkbox"/> T.D. <input type="checkbox"/> R.1.47															
Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original
	1		17												
	2		18												
	3		19												
	4														
	5														
	6														
	7														
	8														
	9														
	10														
	11														
	12														
	13														
	14														
	15														
	16														

NONE		Total Claims Allowed:	
		19	
(Assistant Examiner)	(Date)	O.G. Print Claim(s)	O.G. Print Figure
/NGUYEN T HA/ Primary Examiner. Art Unit 2848	12/16/2015	1	1
(Primary Examiner)	(Date)		

Search Notes 	Application/Control No. 14259011	Applicant(s)/Patent Under Reexamination LEE ET AL.
	Examiner NGUYEN T HA	Art Unit 2848

CPC- SEARCHED		
Symbol	Date	Examiner
H01G 4/30; H01G 4/06; H01G 4/12; H01G 4/005; H01G 4/008	12/16/2015	NH

CPC COMBINATION SETS - SEARCHED		
Symbol	Date	Examiner

US CLASSIFICATION SEARCHED			
Class	Subclass	Date	Examiner
361	301.4, 303-305, 306.1, 306.3, 321.1, 321.2	12/16/2015	NH

SEARCH NOTES		
Search Notes	Date	Examiner
EAST SEARCHED (SEE SEARCH HISTORY)	12/16/2015	NH

INTERFERENCE SEARCH			
US Class/ CPC Symbol	US Subclass / CPC Group	Date	Examiner
SAME AS ABOVE	SAME AS ABOVE	12/16/2015	NH

--	--



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
 United States Patent and Trademark Office
 Address: COMMISSIONER FOR PATENTS
 P.O. Box 1450
 Alexandria, Virginia 22313-1450
 www.uspto.gov

BIB DATA SHEET

CONFIRMATION NO. 5037

SERIAL NUMBER 14/259,011	FILING or 371(c) DATE 04/22/2014 RULE	CLASS 361	GROUP ART UNIT 2848	ATTORNEY DOCKET NO. 093814-0302		
APPLICANTS SAMSUNG ELECTRO-MECHANICS CO., LTD., Suwon-Si, KOREA, REPUBLIC OF; INVENTORS Byoung Hwa LEE, Suwon-Si, KOREA, REPUBLIC OF; Heung Kil PARK, Suwon-Si, KOREA, REPUBLIC OF; Kyo Kwang LEE, Suwon-Si, KOREA, REPUBLIC OF; Young Ghyu AHN, Suwon-Si, KOREA, REPUBLIC OF; Sang Soo PARK, Suwon-Si, KOREA, REPUBLIC OF; Soon Ju LEE, Suwon-Si, KOREA, REPUBLIC OF; ** CONTINUING DATA ***** ** FOREIGN APPLICATIONS ***** REPUBLIC OF KOREA 10-2013-0068498 06/14/2013 ** IF REQUIRED, FOREIGN FILING LICENSE GRANTED ** 05/07/2014						
Foreign Priority claimed <input checked="" type="checkbox"/> Yes <input type="checkbox"/> No	35 USC 119(a-d) conditions met <input checked="" type="checkbox"/> Yes <input type="checkbox"/> No	<input checked="" type="checkbox"/> Met after Allowance NH Initials	STATE OR COUNTRY KOREA, REPUBLIC OF	SHEETS DRAWINGS 5	TOTAL CLAIMS 19	INDEPENDENT CLAIMS 2
ADDRESS MCDERMOTT WILL & EMERY LLP The McDermott Building 500 North Capitol Street, N.W. WASHINGTON, DC 20001 UNITED STATES						
TITLE MULTILAYER CERAMIC CAPACITOR AND BOARD HAVING THE SAME MOUNTED THEREON						
FILING FEE RECEIVED 1600	FEES: Authority has been given in Paper No. _____ to charge/credit DEPOSIT ACCOUNT No. _____ for following:			<input type="checkbox"/> All Fees <input type="checkbox"/> 1.16 Fees (Filing) <input type="checkbox"/> 1.17 Fees (Processing Ext. of time) <input type="checkbox"/> 1.18 Fees (Issue) <input type="checkbox"/> Other _____ <input type="checkbox"/> Credit		



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P. O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
14/259,011	04/22/2014	Byoung Hwa LEE	093814-0302	5037

20277 7590 06/22/2015
MCDERMOTT WILL & EMERY LLP
The McDermott Building
500 North Capitol Street, N.W.
WASHINGTON, DC 20001

EXAMINER

WAGNER, JENNY L

ART UNIT	PAPER NUMBER
----------	--------------

2848

NOTIFICATION DATE	DELIVERY MODE
-------------------	---------------

06/22/2015

ELECTRONIC

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

mweipdocket@mwe.com



UNITED STATES DEPARTMENT OF COMMERCE

U.S. Patent and Trademark Office

Address: COMMISSIONER FOR PATENTS

P.O. Box 1450

Alexandria, Virginia 22313-1450

APPLICATION NO./ CONTROL NO.	FILING DATE	FIRST NAMED INVENTOR / PATENT IN REEXAMINATION	ATTORNEY DOCKET NO.
14/259,011	22 April, 2014	LEE ET AL.	093814-0302

MCDERMOTT WILL & EMERY LLP The McDermott Building 500 North Capitol Street, N.W. WASHINGTON, DC 20001	EXAMINER	
	KARL TAMAI	
	ART UNIT	PAPER
	2800	20150617

DATE MAILED:

Please find below and/or attached an Office communication concerning this application or proceeding.

Commissioner for Patents

A third-party submission under 37 CFR 1.290 has been filed on 6/16/2015, and is being entered in the above-identified application. Please allow a few days for the submission to be visible in the Patent Application Information Retrieval (PAIR) system.

/ Karl I.E. Tamai /
TQAS 2800

Document 1

Patent No.: US Patent 8,238,116
Inventor: Eggerding et al.
Application No.: 12/061,150
Filed: April 2, 2008
Application Publication Date: October 16, 2008
Issue Date: August 7, 2012

Concise Description:

Document 1 was published as an application and as a patent prior to the earliest possible priority date of June 14, 2013 for the subject Application USSN 14/259,011.

The subject Application USSN 14/259,011 is entitled "Multilayer Ceramic Capacitor and Board Having the Same Mounted Thereon." It relates in pertinent part to a particular capacitor arrangement which results in a reverse geometry capacitor having relatively low inductance.

Fig. 4 of subject application USSN 14/259,011 is exemplary (reproduced below):

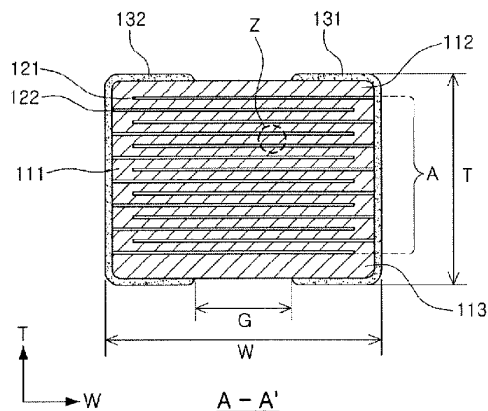


FIG. 4

Examples from the specification of the subject Application USSN 14/259,011 regarding such reverse geometry feature arrangement and resulting relatively low inductance are recited below re application Paragraphs [0050], and [0056] through [0061] (emphasis added):

[0050] Referring to FIG. 1, in the multilayer ceramic capacitor according to an exemplary embodiment of the present disclosure, a 'length direction' refers to an 'L' direction, a 'width direction' refers to a 'W' direction, and a 'thickness direction' refers to a 'T' direction. Here, the 'thickness direction' may be the same as a stacking direction in which dielectric layers are stacked.

...

[0056] The first and second internal electrodes 121 and 122 may be disposed to face each other, having at least one of the dielectric layers 111 interposed therebetween, and may be alternately exposed to the first or second side surface S5 or S6.

[0057] The first and second internal electrodes 121 and 122 are alternately exposed to the first or second side surface S5 or S6, such that **a reverse geometry capacitor (RGC) or low inductance chip capacitor (LICC) may be obtained** as described below.

[0058] In a general multilayer ceramic electronic component, external electrodes may be disposed on opposing end surfaces of the ceramic body in a length direction thereof.

[0059] In this case, when an alternative current (AC) voltage is applied to the external electrodes, a current path is relatively long, whereby an intensity of an induced magnetic field may be increased, resulting in an increase in inductance.

[0060] **In order to solve this problem**, the first and second external electrodes 131 and 132 in the exemplary embodiment of the present disclosure may be disposed on the first and second side surfaces S5 and S6 of the ceramic body 110 opposing each other in the width direction **so as to reduce the current path**.

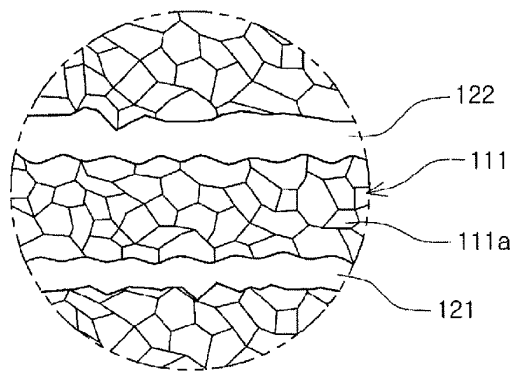
[0061] In this case, since a distance between the first and second external electrodes 131 and 132 is relatively short, the current path may be reduced, ... resulting in a reduction in inductance.

Further exemplary information from the specification of the subject Application USSN 14/259,011 relates to dielectric grain subject matter, as recited below re application Paragraphs [0087] and [0088] (emphasis added):

[0087] FIG. 5 is an enlarged view of part Z of FIG. 4.

[0088] Referring to FIG. 5, the average number of dielectric grains 111a present in a single dielectric layer 111 in a thickness direction thereof may be 2 or greater.

Such Fig.5 of the USSN 14/259,011 is reproduced below:



Z
FIG. 5

Claim 1 of the subject Application USSN 14/259,011 relates to multilayered ceramic capacitor subject matter, and recites in pertinent part (bracketed comments added):

1. A multilayer ceramic capacitor, comprising:
a ceramic body [110] including dielectric layers [111] and having first and second main surfaces [S1, S2] opposing each other, first and second

side surfaces [S5, S6] opposing each other, and first and second end surfaces [S3, S4] opposing each other;

an active layer including a plurality of first and second internal electrodes [121, 122] disposed to face each other with at least one of the dielectric layers interposed therebetween and alternately exposed to the first or second side surface;

upper and lower cover layers [112, 113] disposed on and below the active layer, respectively; and

a first external electrode [131] disposed on the first side surface [S3] of the ceramic body and electrically connected to the first internal electrodes [121] and a second external electrode [132] disposed on the second side surface [S4] and electrically connected to the second internal electrodes [122],

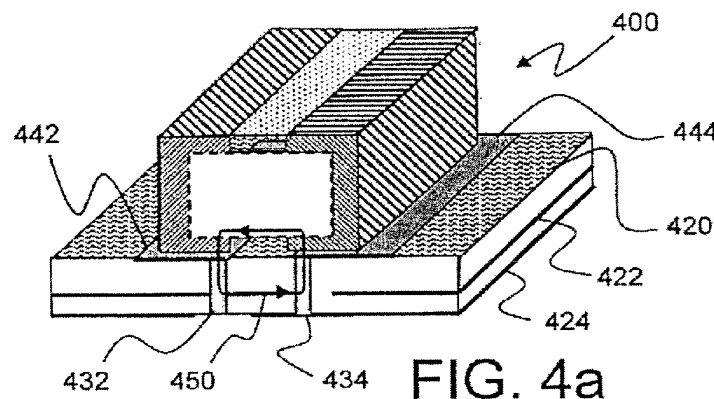
wherein when a thickness of the ceramic body is defined as T and a width thereof is defined as W , $0.75W \leq T \leq 1.25W$ is satisfied,

when a gap between the first and second external electrodes is defined as G , $30 \mu\text{m} \leq G \leq 0.9W$ is satisfied (Fig. 4), and

an average number of dielectric grains in a single dielectric layer in a thickness direction thereof is 2 or greater [Fig. 5].

Independent claim 8 relates to a printed circuit board having at least two electrode pads, and such a multilayer ceramic capacitor mounted and soldered thereon.

Document 1 (D1) is entitled "Land Grid Feedthrough Low ESL Technology," and discloses subject matter pertinent to the subject Application USSN 14/259,011. See, for example, D1, Fig. 4a reproduced below and showing a reverse geometry multi-layer capacitor 400 mounted via traces 442 and 444 on printed circuit board 420:



Further, the D1 specification refers to reducing inductance in the context of both reverse geometry capacitors and low aspect ratio (length to width ratio). Both such features are pertinent to the subject Application USSN 14/259,011. See, for example, D1, specification Col. 1, lines 33-67 (emphasis added):

There may be several strategies for reducing equivalent series inductance, or ESL, of chip capacitors compared to standard multilayer chip capacitors. ... **A first exemplary strategy for reducing ESL involves reverse geometry termination, such as employed in low inductance chip capacitor (LICC) designs.** In such LICCs, **electrodes are terminated on the long side of a chip instead of the short side.** **Since the total inductance of a chip capacitor is determined in part by its length to width ratio, LICC reverse geometry termination results in a reduction in inductance** by as much as a factor of six from conventional MLC chips.

Interdigitated capacitors (IDCs) incorporate another strategy for reducing capacitor inductance [by] having a main portion and multiple tab portions that connect to respective terminations formed on the capacitor periphery.
...

A still further technology utilized for reduction in capacitor inductance involves [a] low inductance chip array (LICA) product, [which] **achieves low inductance values by low aspect ratio** of the electrodes....

Another aspect of D1 discloses the relationship between the gap between a pair of external electrodes (which creates a current path or loop) and the resulting inductance of such arrangement. See, D1, Fig. 2, per below and its related description:

"FIG. 2 provides a graphical comparison of general inductance trends for low inductance MLCC components especially depicting lumped ESL values versus cancellation loop width for multiple exemplary LGA capacitor embodiments of differing sizes;..."

Measured ESL for 1206 Extended Land MLCC and LGA Capacitors vs Terminal Gap

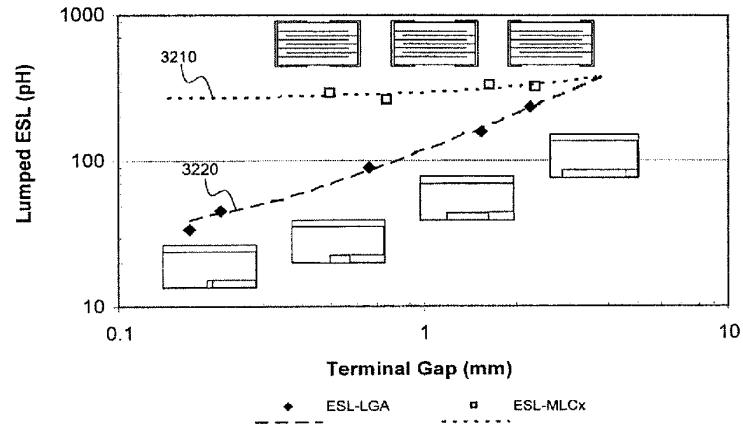


FIG. 2

Thus, per the foregoing, at least the exemplary above-indicated disclosure of Document 1 subject matter as relates to lowering inductance for a multilayer ceramic capacitor is pertinent to the subject Application USSN 14/259,011.

Document 2

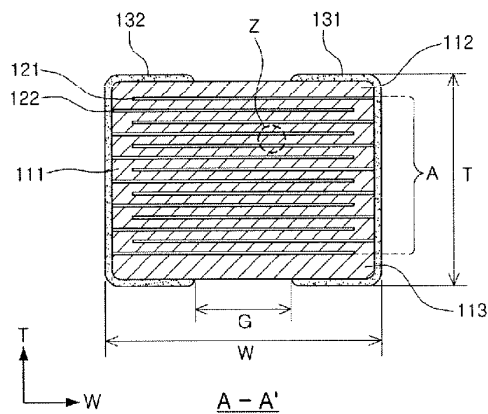
Patent No.: US Patent 7,414,857
Inventor: Ritter et al.
Application No.: 11/588,104
Filed: October 26, 2006
Application Publication Date: May 3, 2007
Issue Date: August 19, 2008

Concise Description:

Document 2 was published as a patent prior to the earliest possible priority date of June 14, 2013 for the subject Application USSN 14/259,011.

The subject Application USSN 14/259,011 is entitled "Multilayer Ceramic Capacitor and Board Having the Same Mounted Thereon." It relates in pertinent part to a particular capacitor arrangement which results in a reverse geometry capacitor having relatively low inductance.

Fig. 4 of subject application USSN 14/259,011 is exemplary (reproduced below):



Examples from the specification of the subject Application USSN 14/259,011 regarding such reverse geometry feature arrangement and resulting relatively low inductance are recited below re application Paragraphs [0050], and [0056] through [0061] (emphasis added):

[0050] Referring to FIG. 1, in the multilayer ceramic capacitor according to an exemplary embodiment of the present disclosure, a 'length direction' refers to an 'L' direction, a 'width direction' refers to a 'W' direction, and a 'thickness direction' refers to a 'T' direction. Here, the 'thickness direction' may be the same as a stacking direction in which dielectric layers are stacked.

...

[0056] The first and second internal electrodes 121 and 122 may be disposed to face each other, having at least one of the dielectric layers 111 interposed therebetween, and may be alternately exposed to the first or second side surface S5 or S6.

[0057] The first and second internal electrodes 121 and 122 are alternately exposed to the first or second side surface S5 or S6, such that **a reverse geometry capacitor (RGC) or low inductance chip capacitor (LICC) may be obtained** as described below.

[0058] In a general multilayer ceramic electronic component, external electrodes may be disposed on opposing end surfaces of the ceramic body in a length direction thereof.

[0059] In this case, when an alternative current (AC) voltage is applied to the external electrodes, a current path is relatively long, whereby an intensity of an induced magnetic field may be increased, resulting in an increase in inductance.

[0060] **In order to solve this problem**, the first and second external electrodes 131 and 132 in the exemplary embodiment of the present disclosure may be disposed on the first and second side surfaces S5 and S6 of the ceramic body 110 opposing each other in the width direction **so as to reduce the current path**.

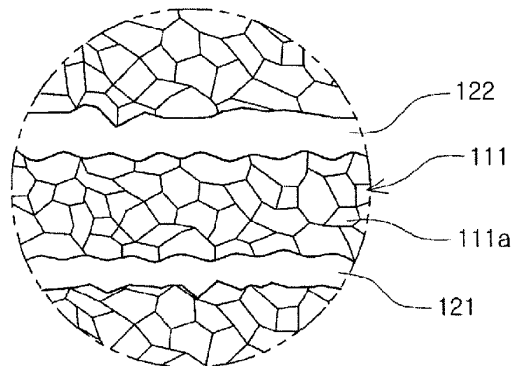
[0061] In this case, since a distance between the first and second external electrodes 131 and 132 is relatively short, the current path may be reduced, ... resulting in a reduction in inductance.

Further exemplary information from the specification of the subject Application USSN 14/259,011 relates to dielectric grain subject matter, as recited below re application Paragraphs [0087] and [0088] (emphasis added):

[0087] FIG. 5 is an enlarged view of part Z of FIG. 4.

[0088] Referring to FIG. 5, the average number of dielectric grains 111a present in a single dielectric layer 111 in a thickness direction thereof may be 2 or greater.

Such Fig.5 of the USSN 14/259,011 is reproduced below:



Z
FIG. 5

Claim 1 of the subject Application USSN 14/259,011 relates to multilayered ceramic capacitor subject matter, and recites in pertinent part (bracketed comments added):

1. A multilayer ceramic capacitor, comprising:
a ceramic body [110] including dielectric layers [111] and having first and second main surfaces [S1, S2] opposing each other, first and second

side surfaces [S5, S6] opposing each other, and first and second end surfaces [S3, S4] opposing each other;

an active layer including a plurality of first and second internal electrodes [121, 122] disposed to face each other with at least one of the dielectric layers interposed therebetween and alternately exposed to the first or second side surface;

upper and lower cover layers [112, 113] disposed on and below the active layer, respectively; and

a first external electrode [131] disposed on the first side surface [S3] of the ceramic body and electrically connected to the first internal electrodes [121] and a second external electrode [132] disposed on the second side surface [S4] and electrically connected to the second internal electrodes [122],

wherein when a thickness of the ceramic body is defined as T and a width thereof is defined as W , $0.75W \leq T \leq 1.25W$ is satisfied,

when a gap between the first and second external electrodes is defined as G , $30 \mu\text{m} \leq G \leq 0.9W$ is satisfied {Fig. 4}, and

an average number of dielectric grains in a single dielectric layer in a thickness direction thereof is 2 or greater [Fig. 5].

Independent claim 8 relates to a printed circuit board having at least two electrode pads, and such a multilayer ceramic capacitor mounted and soldered thereon.

Document 2 (D2) is entitled "Multilayer Ceramic Capacitor With Internal Current Cancellation and Bottom Terminals," and discloses subject matter pertinent to the subject Application USSN 14/259,011. See, for example, D2, Fig. 4 reproduced below and showing a ceramic multi-layer capacitor 42 mounted on printed circuit board 22 per vias and solder pads.

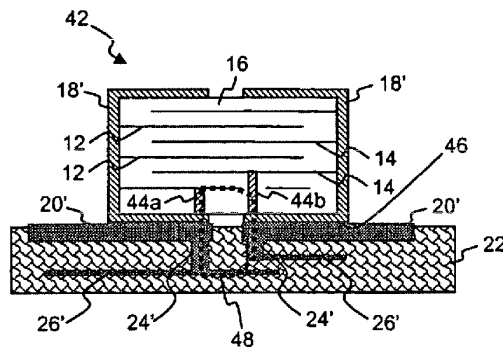


FIG. 4

Further, the D2 specification refers to reducing inductance in the context of both reverse geometry capacitors and low aspect ratio (length to width ratio). Both such features are pertinent to the subject Application USSN 14/259,011. See, for example, D2, specification Col. 1, lines 28-60 (emphasis added):

The prior art includes several strategies for reducing equivalent series inductance, or ESL, of chip capacitors compared to standard multilayer chip capacitors. **A first exemplary strategy involves reverse geometry termination, such as employed in low inductance chip capacitor (LICC) designs [which] are terminated on the long side of a chip instead of the short side. Since the total inductance of a chip capacitor is determined in part by its length to width ratio, LICC reverse geometry termination results in a reduction in inductance** by as much as a factor of six from conventional MLC chips.

Interdigitated capacitors (IDCs) incorporate a second known strategy for reducing capacitor inductance [by] having a main portion and multiple tab portions that connect to respective terminations formed on the capacitor periphery.

...

A still further known technology utilized for reduction in capacitor inductance involves [a] low inductance chip array (LICA) product, [which] **achieves low inductance values by low aspect ratio** of the electrodes....

Another aspect of D2 discloses the relationship between the gap between a pair of external electrodes (which creates a current path or loop) and the resulting inductance of such arrangement. See, D2, Fig. 3, per below and its related description:

"FIG. 3 provides a graphical illustration of a general inductance trend for low inductance chip capacitors, especially depicting lumped ESL values versus cancellation loop width for multiple exemplary capacitor embodiments of differing sizes;"

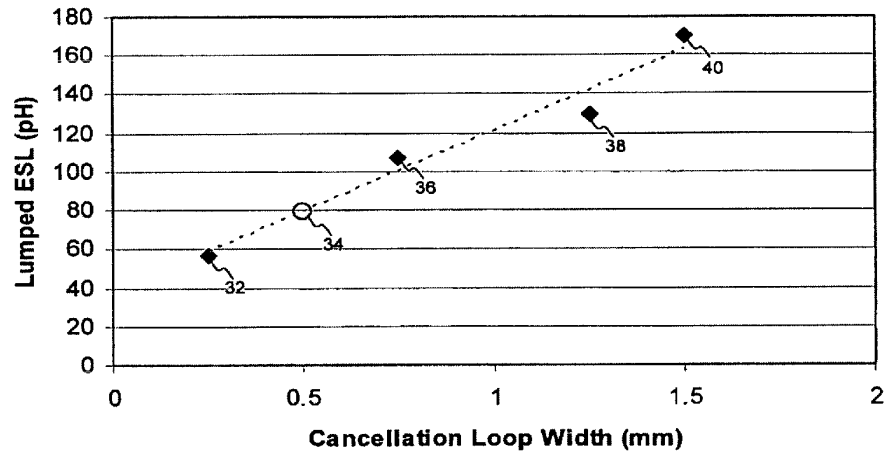


FIG. 3

Thus, per the foregoing, at least the exemplary above-indicated disclosure of Document 2 subject matter as relates to lowering inductance for a multilayer ceramic capacitor is pertinent to the subject Application USSN 14/259,011.

Document 3

Patent No.: US Patent 5,134,540
Inventor: Rutt
Application No.: 07/758,623
Filed: September 12, 1991
Issue Date: July 28, 1992

Concise Description:

Document 3 was published as a patent prior to the earliest possible priority date of June 14, 2013 for the subject Application USSN 14/259,011.

The subject Application USSN 14/259,011 is entitled "Multilayer Ceramic Capacitor and Board Having the Same Mounted Thereon." It relates in pertinent part to a particular capacitor arrangement which results in a reverse geometry capacitor having relatively low inductance.

Fig. 4 of subject application USSN 14/259,011 is exemplary (reproduced below):

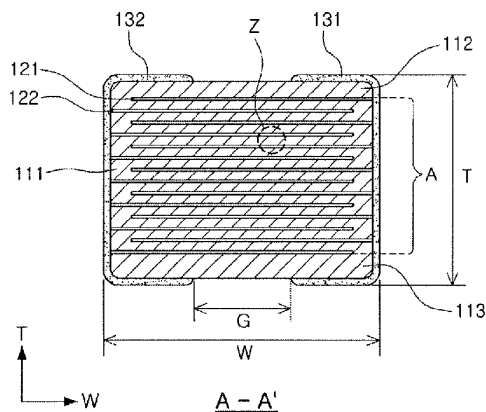


FIG. 4

Examples from the specification of the subject Application USSN 14/259,011 regarding such reverse geometry feature arrangement and resulting relatively low inductance are recited below re application Paragraphs [0050], and [0056] through [0061] (emphasis added):

[0050] Referring to FIG. 1, in the multilayer ceramic capacitor according to an exemplary embodiment of the present disclosure, a 'length direction' refers to an 'L' direction, a 'width direction' refers to a 'W' direction, and a 'thickness direction' refers to a 'T' direction. Here, the 'thickness direction' may be the same as a stacking direction in which dielectric layers are stacked.

...

[0056] The first and second internal electrodes 121 and 122 may be disposed to face each other, having at least one of the dielectric layers 111 interposed therebetween, and may be alternately exposed to the first or second side surface S5 or S6.

[0057] The first and second internal electrodes 121 and 122 are alternately exposed to the first or second side surface S5 or S6, such that **a reverse geometry capacitor (RGC) or low inductance chip capacitor (LICC) may be obtained** as described below.

[0058] In a general multilayer ceramic electronic component, external electrodes may be disposed on opposing end surfaces of the ceramic body in a length direction thereof.

[0059] In this case, when an alternative current (AC) voltage is applied to the external electrodes, a current path is relatively long, whereby an intensity of an induced magnetic field may be increased, resulting in an increase in inductance.

[0060] **In order to solve this problem**, the first and second external electrodes 131 and 132 in the exemplary embodiment of the present disclosure may be disposed on the first and second side surfaces S5 and S6 of the ceramic body 110 opposing each other in the width direction **so as to reduce the current path**.

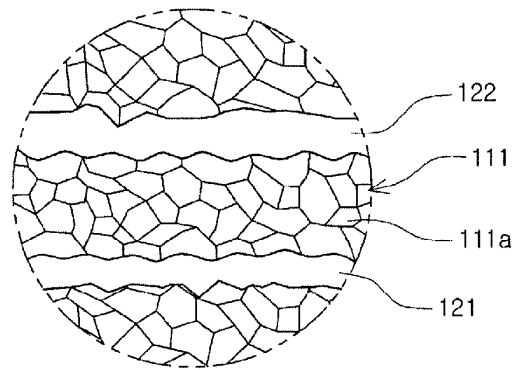
[0061] In this case, since a distance between the first and second external electrodes 131 and 132 is relatively short, the current path may be reduced, ... resulting in a reduction in inductance.

Further exemplary information from the specification of the subject Application USSN 14/259,011 relates to dielectric grain subject matter, as recited below re application Paragraphs [0087] and [0088] (emphasis added):

[0087] FIG. 5 is an enlarged view of part Z of FIG. 4.

[0088] Referring to FIG. 5, the average number of dielectric grains 111a present in a single dielectric layer 111 in a thickness direction thereof may be 2 or greater.

Such Fig.5 of the USSN 14/259,011 is reproduced below:



Z
FIG. 5

Claim 1 of the subject Application USSN 14/259,011 relates to multilayered ceramic capacitor subject matter, and recites in pertinent part (bracketed comments added):

1. A multilayer ceramic capacitor, comprising:
a ceramic body [110] including dielectric layers [111] and having first and second main surfaces [S1, S2] opposing each other, first and second

side surfaces [S5, S6] opposing each other, and first and second end surfaces [S3, S4] opposing each other;

an active layer including a plurality of first and second internal electrodes [121, 122] disposed to face each other with at least one of the dielectric layers interposed therebetween and alternately exposed to the first or second side surface;

upper and lower cover layers [112, 113] disposed on and below the active layer, respectively; and

a first external electrode [131] disposed on the first side surface [S3] of the ceramic body and electrically connected to the first internal electrodes [121] and a second external electrode [132] disposed on the second side surface [S4] and electrically connected to the second internal electrodes [122],

wherein when a thickness of the ceramic body is defined as T and a width thereof is defined as W , $0.75W \leq T \leq 1.25W$ is satisfied,

when a gap between the first and second external electrodes is defined as G , $30 \mu\text{m} \leq G \leq 0.9W$ is satisfied {Fig. 4}, and

an average number of dielectric grains in a single dielectric layer in a thickness direction thereof is 2 or greater [Fig. 5].

Independent claim 8 relates to a printed circuit board having at least two electrode pads, and such a multilayer ceramic capacitor mounted and soldered thereon.

Document 3 (D3) is entitled "Varistor or Capacitor and Method of Making Same," and discloses subject matter pertinent to the subject Application USSN 14/259,011.

See, for example, D3, Figs. 1 and 1A reproduced below and described as "FIG. 1. is a schematic sectional view through a capacitor or varistor in accordance with the invention. FIG. 1A is a magnified section of the circled component portion of FIG. 1.":

FIG. 1

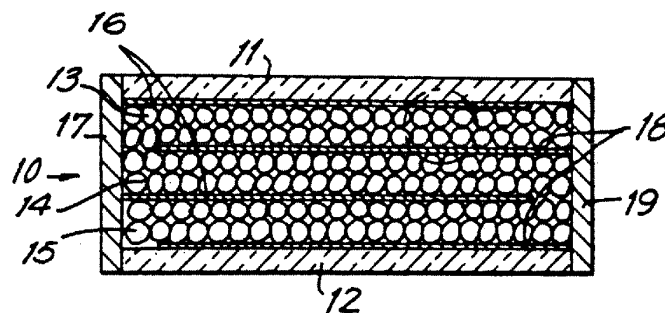
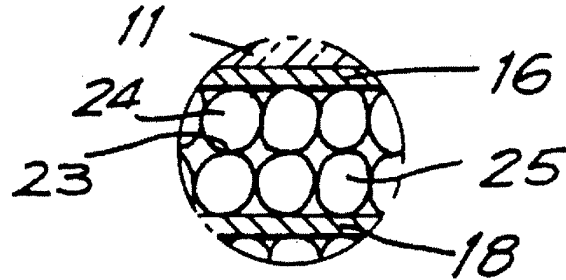


FIG. 1A



The D3 specification refers to features 13, 14, and 15 as dielectric layers, and enlarged Fig. 1A shows grains 24 and 25 regarding one illustrated exemplary grain boundary. See, for example, D3, specification Col. 3, lines 47-56 and Col. 4, lines 31-40.

The D3 Abstract states in pertinent part:

In accordance with the method the ceramic layers of the varistor are formed by providing at least two strata separated by a boundary layer which resists grain growth thereacross. ... By this method the ceramic layers have a predictable number of grain boundaries between adjacent electrodes.

Since those of ordinary skill in the art understand that grain boundaries are around grains, plural "boundaries" clearly implies plurality of grains.

Another aspect of D3 discloses more explicitly that the more grains, the higher the break down voltage, while a singular grain is not favorable. See, D3, Col. 1, lines 57-69:

It has been experimentally determined that the breakdown voltage of a varistor-ceramic formulation is a function of the number of grain boundaries of the ceramic grains intervening between adjacent electrode layers. The greater the number of boundaries between adjacent layers, the higher the break down voltage necessary to provide a conductive path.

Conversely, in the event of a grain size such that grains of ceramic directly span the distance between adjacent electrodes, the device will exhibit break down or pass current at extremely low voltages.

As stated further in D3, Col. 3, lines 15-17: "In this manner, there may be formed a ceramic layer wherein the number of grains taken in a depth-wise direction may be accurately controlled."

Also, D3, claim 3 states in pertinent part: "3. In a monolithic ceramic ... capacitor comprising at least one ceramic dielectric layer, ... said layer being comprised of at least two discrete strata, each of said strata being comprised of grains of ceramic material,"

Therefore, the average number of dielectric grains is 2 or greater.

Thus, per the foregoing, at least the exemplary above-indicated disclosure of Document 3 subject matter as relates to grain related features for a ceramic capacitor is pertinent to the subject Application USSN 14/259,011.

Document 4

Patent No.: US Patent 5,952,040
Inventor: Yadav et al.
Application No.: 08/730,661
Filed: October 11, 1996
Issue Date: September 14, 1999

Concise Description:

Document 4 was published as a patent prior to the earliest possible priority date of June 14, 2013 for the subject Application USSN 14/259,011.

The subject Application USSN 14/259,011 is entitled "Multilayer Ceramic Capacitor and Board Having the Same Mounted Thereon." It relates in pertinent part to a particular capacitor arrangement which results in a reverse geometry capacitor having relatively low inductance.

Fig. 4 of subject application USSN 14/259,011 is exemplary (reproduced below):

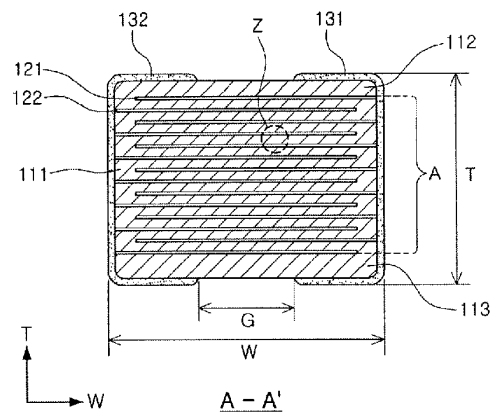


FIG. 4

Examples from the specification of the subject Application USSN 14/259,011 regarding such reverse geometry feature arrangement and resulting relatively low inductance are recited below re application Paragraphs [0050], and [0056] through [0061] (emphasis added):

[0050] Referring to FIG. 1, in the multilayer ceramic capacitor according to an exemplary embodiment of the present disclosure, a 'length direction' refers to an 'L' direction, a 'width direction' refers to a 'W' direction, and a 'thickness direction' refers to a 'T' direction. Here, the 'thickness direction' may be the same as a stacking direction in which dielectric layers are stacked.

...

[0056] The first and second internal electrodes 121 and 122 may be disposed to face each other, having at least one of the dielectric layers 111 interposed therebetween, and may be alternately exposed to the first or second side surface S5 or S6.

[0057] The first and second internal electrodes 121 and 122 are alternately exposed to the first or second side surface S5 or S6, such that **a reverse geometry capacitor (RGC) or low inductance chip capacitor (LICC) may be obtained** as described below.

[0058] In a general multilayer ceramic electronic component, external electrodes may be disposed on opposing end surfaces of the ceramic body in a length direction thereof.

[0059] In this case, when an alternative current (AC) voltage is applied to the external electrodes, a current path is relatively long, whereby an intensity of an induced magnetic field may be increased, resulting in an increase in inductance.

[0060] **In order to solve this problem**, the first and second external electrodes 131 and 132 in the exemplary embodiment of the present disclosure may be disposed on the first and second side surfaces S5 and S6 of the ceramic body 110 opposing each other in the width direction **so as to reduce the current path**.

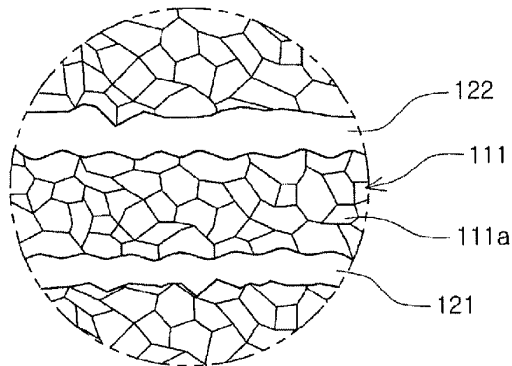
[0061] In this case, since a distance between the first and second external electrodes 131 and 132 is relatively short, the current path may be reduced, ... resulting in a reduction in inductance.

Further exemplary information from the specification of the subject Application USSN 14/259,011 relates to dielectric grain subject matter, as recited below re application Paragraphs [0087] and [0088] (emphasis added):

[0087] FIG. 5 is an enlarged view of part Z of FIG. 4.

[0088] Referring to FIG. 5, the average number of dielectric grains 111a present in a single dielectric layer 111 in a thickness direction thereof may be 2 or greater.

Such Fig.5 of the USSN 14/259,011 is reproduced below:



Z
FIG. 5

Claim 1 of the subject Application USSN 14/259,011 relates to multilayered ceramic capacitor subject matter, and recites in pertinent part (bracketed comments added):

1. A multilayer ceramic capacitor, comprising:
a ceramic body [110] including dielectric layers [111] and having first and second main surfaces [S1, S2] opposing each other, first and second

side surfaces [S5, S6] opposing each other, and first and second end surfaces [S3, S4] opposing each other;

an active layer including a plurality of first and second internal electrodes [121, 122] disposed to face each other with at least one of the dielectric layers interposed therebetween and alternately exposed to the first or second side surface;

upper and lower cover layers [112, 113] disposed on and below the active layer, respectively; and

a first external electrode [131] disposed on the first side surface [S3] of the ceramic body and electrically connected to the first internal electrodes [121] and a second external electrode [132] disposed on the second side surface [S4] and electrically connected to the second internal electrodes [122],

wherein when a thickness of the ceramic body is defined as T and a width thereof is defined as W, $0.75W \leq T \leq 1.25W$ is satisfied,

when a gap between the first and second external electrodes is defined as G, $30 \mu\text{m} \leq G \leq 0.9W$ is satisfied [Fig. 4], and

an average number of dielectric grains in a single dielectric layer in a thickness direction thereof is 2 or greater [Fig. 5].

Independent claim 8 relates to a printed circuit board having at least two electrode pads, and such a multilayer ceramic capacitor mounted and soldered thereon.

Document 4 (D4) is entitled "Passive Electronic Components From Nano-Precision Engineered Materials," and discloses subject matter pertinent to the subject Application USSN 14/259,011. In particular, D4 relates in part to ceramic layers coated with electrodes as part of passive electronic components.

See, for example, D4, specification Col. 6, lines 44-48 (emphasis added):

Therefore, according to the foregoing objectives, one aspect of this invention involves the use of nanostructured precursors (narrowly distributed nanosize powders with mean grain size preferably less than 100 nm and standard deviation preferably less than 25 nm) to form the ceramic layers, electrode layers, or both, in passive electronic components.

Another aspect of D4 discloses the benefit of using multiple grains, indicating that the strength is better, and that the resulting electrical parameters are improved.

See, D4, Col. 8 lines 52 through Col. 9, line 10 (emphasis added):

A primary aspect of this invention lies in the recognition that a standing barrier to markedly improved technology in the manufacture of passive electronic components exists in the limitations inherent with the grain size of the ceramic and electrode material used. ... Since precursor powders are not ductile, the **films of ceramic material have to be packed several grains thick** and sintered **to ensure that there are no pin-holes in the resulting ceramic and electrode layers**. Thus, even though the theoretical limit with existing materials and manufacturing technology on the thickness of the ceramic layer is in the 2 to 5 .mu.m range, **current passive electronic components are routinely made with 5 to 20 .mu.m thick ceramic layers. Attempts to reduce this thickness to the theoretical limit have resulted in problems of electrical, thermal, mechanical, or chemical breakdown with consequent reliability issues. Thus, it is clear that the minimum thickness of ceramic and electrode layers attainable with conventional processes is limited by the grain size of the precursor ceramic and electrode material.**

In "Example 1 – Capacitor", the subject layer was about 8 to 9 grains thick. See, D4, Col. 15, lines 62-65.

Thus, per the foregoing, at least the exemplary above-indicated disclosure of Document 4 subject matter as relates to grain thickness for dielectric layers of a ceramic capacitor is pertinent to the subject Application USSN 14/259,011.

Document 5

DesignCon East 2005

Title: TecForum TF-MP2

Subject: Inductance of Bypass Capacitors; How to Define, How to Measure, How to Simulate

Presenters: Joseph M. Hock et al.

Paper Publication Year: 2005

Concise Description:

Document 5 was published as a paper in 2005 prior to the earliest possible priority date of June 14, 2013 for the subject Application USSN 14/259,011.

The subject Application USSN 14/259,011 is entitled "Multilayer Ceramic Capacitor and Board Having the Same Mounted Thereon." It relates in pertinent part to a particular capacitor arrangement which results in a reverse geometry capacitor having relatively low inductance.

Fig. 4 of subject application USSN 14/259,011 is exemplary (reproduced below):

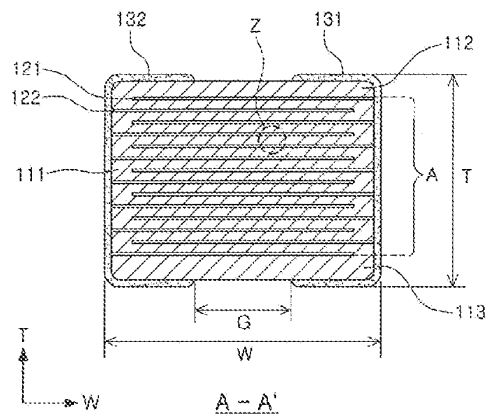


FIG. 4

Examples from the specification of the subject Application USSN 14/259,011 regarding such reverse geometry feature arrangement and resulting relatively low inductance are recited below re application Paragraphs [0050], and [0056] through [0061] (emphasis added):

[0050] Referring to FIG. 1, in the multilayer ceramic capacitor according to an exemplary embodiment of the present disclosure, a 'length direction' refers to an 'L' direction, a 'width direction' refers to a 'W' direction, and a 'thickness direction' refers to a 'T' direction. Here, the 'thickness direction' may be the same as a stacking direction in which dielectric layers are stacked.

...

[0056] The first and second internal electrodes 121 and 122 may be disposed to face each other, having at least one of the dielectric layers 111 interposed therebetween, and may be alternately exposed to the first or second side surface S5 or S6.

[0057] The first and second internal electrodes 121 and 122 are alternately exposed to the first or second side surface S5 or S6, such that a reverse geometry capacitor (RGC) or low inductance chip capacitor (LICC) may be obtained as described below.

[0058] In a general multilayer ceramic electronic component, external electrodes may be disposed on opposing end surfaces of the ceramic body in a length direction thereof.

[0059] In this case, when an alternative current (AC) voltage is applied to the external electrodes, a current path is relatively long, whereby an intensity of an induced magnetic field may be increased, resulting in an increase in inductance.

[0060] In order to solve this problem, the first and second external electrodes 131 and 132 in the exemplary embodiment of the present disclosure may be disposed on the first and second side surfaces S5 and S6 of the ceramic body 110 opposing each other in the width direction so as to reduce the current path.

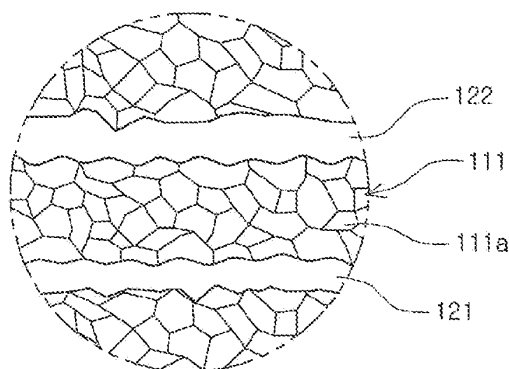
[0061] In this case, since a distance between the first and second external electrodes 131 and 132 is relatively short, the current path may be reduced, ... resulting in a reduction in inductance.

Further exemplary information from the specification of the subject Application USSN 14/259,011 relates to dielectric grain subject matter, as recited below re application Paragraphs [0087] and [0088] (emphasis added):

[0087] FIG. 5 is an enlarged view of part Z of FIG. 4.

[0088] Referring to FIG. 5, the average number of dielectric grains 111a present in a single dielectric layer 111 in a thickness direction thereof may be 2 or greater.

Such Fig.5 of the USSN 14/259,011 is reproduced below:



Z
FIG. 5

Claim 1 of the subject Application USSN 14/259,011 relates to multilayered ceramic capacitor subject matter, and recites in pertinent part (bracketed comments added):

1. A multilayer ceramic capacitor, comprising:
a ceramic body [110] including dielectric layers [111] and having first and second main surfaces [S1, S2] opposing each other, first

and second side surfaces [S5, S6] opposing each other, and first and second end surfaces [S3, S4] opposing each other;

an active layer including a plurality of first and second internal electrodes [121, 122] disposed to face each other with at least one of the dielectric layers interposed therebetween and alternately exposed to the first or second side surface;

upper and lower cover layers [112, 113] disposed on and below the active layer, respectively; and

a first external electrode [131] disposed on the first side surface [S3] of the ceramic body and electrically connected to the first internal electrodes [121] and a second external electrode [132] disposed on the second side surface [S4] and electrically connected to the second internal electrodes [122].

wherein when a thickness of the ceramic body is defined as T and a width thereof is defined as W, $0.75W \leq T \leq 1.25W$ is satisfied,

when a gap between the first and second external electrodes is defined as G, $30 \mu\text{m} \leq G \leq 0.9W$ is satisfied (Fig. 4), and

an average number of dielectric grains in a single dielectric layer in a thickness direction thereof is 2 or greater [Fig. 5].

Independent claim 8 relates to a printed circuit board having at least two electrode pads, and such a multilayer ceramic capacitor mounted and soldered thereon.

Document 5 (D5) is entitled "Inductance of Bypass Capacitors; How to Define, How to Measure, How to Simulate," and discloses subject matter pertinent to the subject Application USSN 14/259,011. See, for example, D5, page 13, and related disclosure, in part reproduced below and relating to the use of both reverse geometry and lowered aspect ratio for reducing inductance in a capacitor (emphasis added):

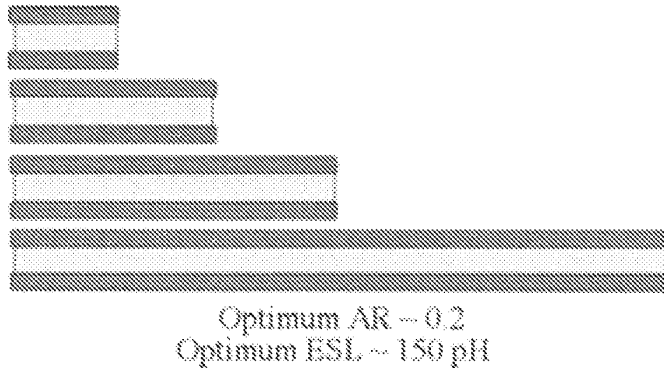
The aspect ratio limitation

There is a limitation to how low of an inductance can be achieved with the reverse geometry approach. If we consider the aspect ratio (AR) of the device as the ratio of the length divided by the width, the aspect ratio for the reverse geometry part previously

discussed goes from 2 to 0.5 (1206 to 0612). Using the effects established with that conversion, it follows that the reduction of 50% in ESL should decay another 50% for each halving of the aspect ratio.

Limitation of lower AR

Lower AR reduces plate L.



Thus, D5 shows that it is known that both reverse geometry practices and lowered aspect ratio features reduce inductance in the capacitor context.

D5 also illustrated and commented on inductance in the context of a reverse geometry capacitor having respective external electrodes which have a gap between their respective pair. See, D5, pages 18 and 19 thereof, including Fig. 12 as follows:

ESL changes with Frequency

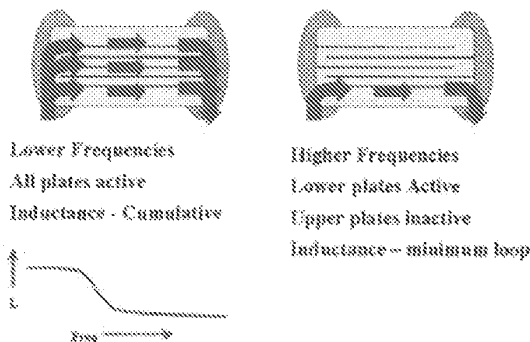


Figure 12. Two distinct ESLs are apparent if measuring at self-resonance and well above this frequency.

See also D5, page 39, regarding geometry relative to inductance for a multi-layer ceramic capacitor (emphasis added):

Problem definition

A simple equivalent circuit for bypass capacitors has three major elements that users need to consider (Figure 1): Capacitance (C), Equivalent Series Resistance (ESR) and Equivalent Series Inductance (ESL). C and ESR are primarily determined by the capacitor itself, but since inductance is a loop property, ESL strongly depends on the geometry of application (Figure 2). The illustration shows a multi-layer ceramic capacitor (MLCC) mounted to a plane pair in the printed-circuit board (PCB), where the inductance parameter may be of the highest importance to the user. The vertical cross-section sketch shows the MLCC part soldered to pads and connected to planes with through holes.



Figure 1. Simple RLC equivalent circuit of a capacitor.

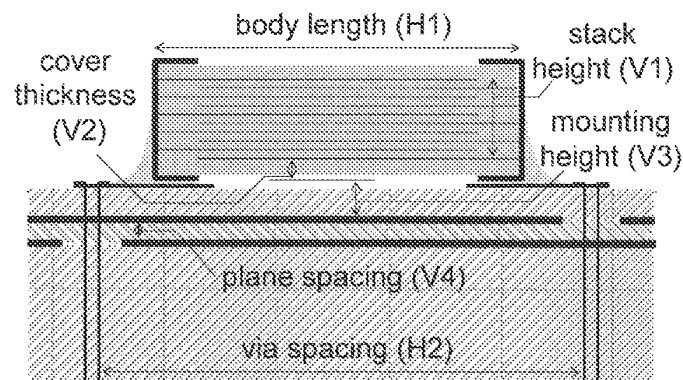


Figure 2. Vertical cross section of an MLCC mounted to PCB planes.

Thus, per the foregoing, at least the exemplary above-indicated disclosure of Document 5 subject matter as relates to lowering inductance for a multilayer ceramic capacitor is pertinent to the subject Application USSN 14/259,011.

Document 6

Title: High Frequency Performance of Multilayer Ceramic Capacitors
Authors: Sakabe et al.
Publication: 1995 IEEE document 0569-5503/95/0000 Pages 0234-0240

Concise Description:

Document 6 was published in 1995, prior to the earliest possible priority date of June 14, 2013 for the subject Application USSN 14/259,011.

The subject Application USSN 14/259,011 is entitled "Multilayer Ceramic Capacitor and Board Having the Same Mounted Thereon." It relates in pertinent part to a particular capacitor arrangement which results in a reverse geometry capacitor having relatively low inductance.

Fig. 4 of subject application USSN 14/259,011 is exemplary (reproduced below):

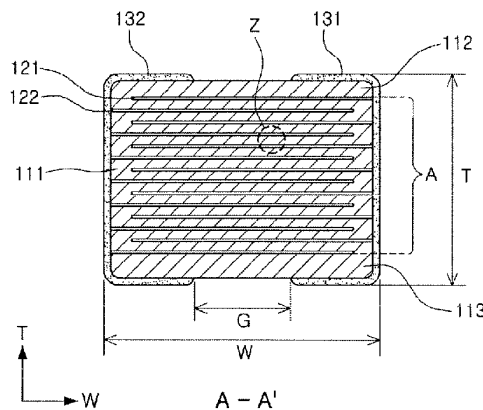


FIG. 4

Examples from the specification of the subject Application USSN 14/259,011 regarding such reverse geometry feature arrangement and resulting relatively low

inductance are recited below re application Paragraphs [0050], and [0056] through [0061] (emphasis added):

[0050] Referring to FIG. 1, in the multilayer ceramic capacitor according to an exemplary embodiment of the present disclosure, a 'length direction' refers to an 'L' direction, a 'width direction' refers to a 'W' direction, and a 'thickness direction' refers to a 'T' direction. Here, the 'thickness direction' may be the same as a stacking direction in which dielectric layers are stacked.

...

[0056] The first and second internal electrodes 121 and 122 may be disposed to face each other, having at least one of the dielectric layers 111 interposed therebetween, and may be alternately exposed to the first or second side surface S5 or S6.

[0057] The first and second internal electrodes 121 and 122 are alternately exposed to the first or second side surface S5 or S6, such that **a reverse geometry capacitor (RGC) or low inductance chip capacitor (LICC) may be obtained** as described below.

[0058] In a general multilayer ceramic electronic component, external electrodes may be disposed on opposing end surfaces of the ceramic body in a length direction thereof.

[0059] In this case, when an alternative current (AC) voltage is applied to the external electrodes, a current path is relatively long, whereby an intensity of an induced magnetic field may be increased, resulting in an increase in inductance.

[0060] **In order to solve this problem**, the first and second external electrodes 131 and 132 in the exemplary embodiment of the present disclosure may be disposed on the first and second side surfaces S5 and S6 of the ceramic body 110 opposing each other in the width direction **so as to reduce the current path**.

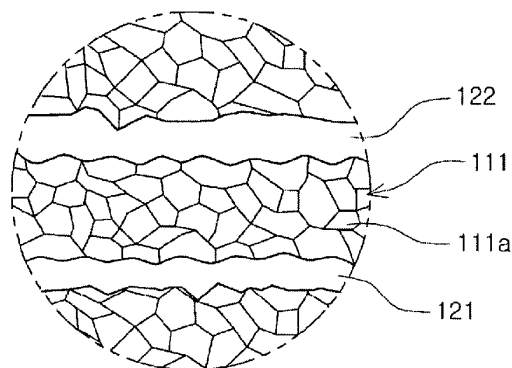
[0061] In this case, **since a distance between the first and second external electrodes 131 and 132 is relatively short, the current path may be reduced, ... resulting in a reduction in inductance**.

Further exemplary information from the specification of the subject Application USSN 14/259,011 relates to dielectric grain subject matter, as recited below re application Paragraphs [0087] and [0088] (emphasis added):

[0087] FIG. 5 is an enlarged view of part Z of FIG. 4.

[0088] Referring to FIG. 5, the average number of dielectric grains 111a present in a single dielectric layer 111 in a thickness direction thereof may be 2 or greater.

Such Fig.5 of the USSN 14/259,011 is reproduced below:



Z
FIG. 5

Claim 1 of the subject Application USSN 14/259,011 relates to multilayered ceramic capacitor subject matter, and recites in pertinent part (bracketed comments added):

1. A multilayer ceramic capacitor, comprising:
 - a ceramic body [110] including dielectric layers [111] and having first and second main surfaces [S1, S2] opposing each other, first and second side surfaces [S5, S6] opposing each other, and first and second end surfaces [S3, S4] opposing each other;
 - an active layer including a plurality of first and second internal electrodes [121, 122] disposed to face each other with at least one of the

dielectric layers interposed therebetween and alternately exposed to the first or second side surface;

upper and lower cover layers [112, 113] disposed on and below the active layer, respectively; and

a first external electrode [131] disposed on the first side surface [S3] of the ceramic body and electrically connected to the first internal electrodes [121] and a second external electrode [132] disposed on the second side surface [S4] and electrically connected to the second internal electrodes [122],

wherein when a thickness of the ceramic body is defined as T and a width thereof is defined as W , $0.75W \leq T \leq 1.25W$ is satisfied,

when a gap between the first and second external electrodes is defined as G , $30 \mu\text{m} \leq G \leq 0.9W$ is satisfied {Fig. 4}, and

an average number of dielectric grains in a single dielectric layer in a thickness direction thereof is 2 or greater [Fig. 5].

Independent claim 8 relates to a printed circuit board having at least two electrode pads, and such a multilayer ceramic capacitor mounted and soldered thereon.

Document 6 (D6) is entitled "High Frequency Performance of Multilayer Ceramic Capacitors," and discloses subject matter pertinent to the subject Application USSN 14/259,011. See, for example, D6, Fig. 1 reproduced below and showing pertinent multi-layer capacitor structure:

MLC DESIGN AND EQUIVALENT CIRCUIT

The internal construction of the MLC chip is shown in figure 1.

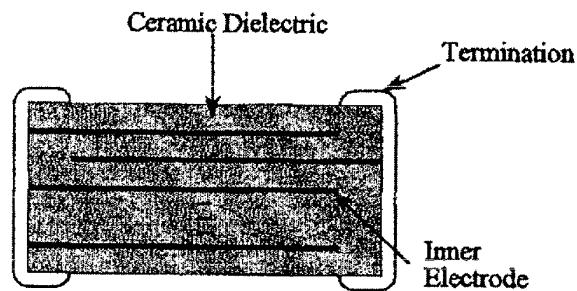
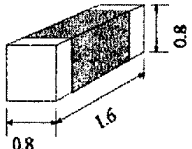
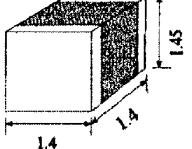
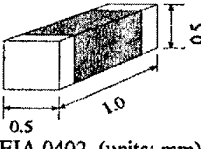
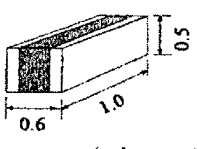


Figure 1: Cross-section of MLC Construction

In addition, D6 indicated a variety of structural configurations which were considered, including a so-called "Cube" structure as illustrated in "Table 3" of D6, reproduced hereafter:

Table 3 Samples to be measured

Temperature Characteristic	COG Characteristics (0 ± 60 ppm/ $^{\circ}$ C, $-55 \sim 125^{\circ}$ C)	
Capacitance	100 pF	
Type	Multi Use	High Frequency
Name	GRM39 COG 101J 50	GRH110 COG 101J 50
Use	General Circuit	HF Power Circuit
Dimensions	 EIA 0603 (Units: mm)	 Cube:(Units: mm)
Temperature Characteristic	Y5V (F) Characteristic (+30% / -80%, $-30 \sim 85^{\circ}$ C)	
Capacitance	0.01 μ F	
Type	Ultra Compact	Ultra High Speed
Name	GRM36 F 103Z 25	GRB606 F 103Z 25
Use	Ultra High Density Circuit	High Frequency Digital Circuit
Dimensions	 EIA 0402 (units: mm)	 (units: mm)

Such subject matter overlaps with low aspect ratio configurations of the subject application USSN 14/259,011. Thus, per the foregoing, at least the exemplary above-indicated disclosure of Document 6 subject matter as relates to structural configurations for a multilayer ceramic capacitor is pertinent to the subject Application USSN 14/259,011.

THIRD-PARTY SUBMISSION UNDER 37 CFR 1.290 CONCISE DESCRIPTION OF RELEVANCE		
Application Number	14259011	
U.S. PATENTS		
Cite No	Patent Number	Concise Description of Relevance
1	5952040	See Attached
2	5134540	See Attached
3	7414857	See Attached

4	8238116	See Attached

U.S. PATENT APPLICATION PUBLICATION

Cite No	Publication Number	Concise Description of Relevance

FOREIGN PATENT DOCUMENTS

CiteNo	Foreign Document Number	Concise Description of Relevance

--	--	--

NON-PATENT PUBLICATIONS		
--------------------------------	--	--

Cite No	Reference	Concise Description of Relevance
1	Joseph M. Hock et al.; TecForum TF-MP2, Inductance of Bypass Capacitors How to Define, How to Measure, How to Simulate, DesignCon East 2005	See Attached

2	Yukio Sakabe et al.; High Frequency Performance of Multilayer Ceramic Capacitors, Document No. 0569-5503/95/0000, pages 234-240, 1995 IEEE	See Attached
---	--	--------------

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

THIRD-PARTY SUBMISSION UNDER 37 CFR 1.290	Application Number	14259011

U.S. PATENTS

Cite No	Patent Number	Kind Code 1	Issue Date (YYYY-MM-DD)	First Named Inventor
1	8238116		2012-08-07	Carl Eggerding
2	7414857		2008-08-19	Andrew Ritter
3	5134540		1992-07-28	TRUMAN RUTT
4	5952040		1999-09-14	TAPESH YADAV

U.S. PATENT APPLICATION PUBLICATIONS

Cite No	Publication Number	Kind Code 1	Publication Date (YYYY-MM-DD)	First Named Inventor

FOREIGN PATENTS AND PUBLISHED FOREIGN PATENT APPLICATIONS

Cite No	Foreign Document Number ³	Country Code ²	Kind Code ¹	Publication Date (YYYY-MM-DD)	Applicant, Patentee or First Named Inventor	T ⁵

THIRD-PARTY SUBMISSION UNDER 37 CFR 1.290	Application Number	14259011

						<input type="checkbox"/>
--	--	--	--	--	--	--------------------------

NON-PATENT PUBLICATIONS (e.g., journal article, Office action)

Cite No	Author (if any), title of the publication, page(s) being submitted, publication date, publisher (where available), place of publication (where available).	T ⁵	E ⁶
1	Yukio Sakabe et al.; High Frequency Performance of Multilayer Ceramic Capacitors, Document No. 0569-5503/95/0000, pages 234-240, 1995 IEEE	<input type="checkbox"/>	<input type="checkbox"/>
2	Joseph M. Hock et al.; TecForum TF-MP2, Inductance of Bypass Capacitors How to Define, How to Measure, How to Simulate, DesignCon East 2005	<input type="checkbox"/>	<input type="checkbox"/>

STATEMENTS

The party making the submission is not an individual who has a duty to disclose information with respect to the above-identified application under 37 CFR 1.56.

This submission complies with the requirements of 35 U.S.C. 122(e) and 37 CFR 1.290.

THIRD-PARTY SUBMISSION UNDER 37 CFR 1.290	Application Number	14259011

The fee set forth in 37 CFR 1.290(f) has been submitted herewith.

The fee set forth in 37 CFR 1.290(f) is not required because this submission lists three or fewer total items and, to the knowledge of the person signing the statement after making reasonable inquiry, this submission is the first and the only submission under 35 U.S.C 122(e) filed in the above-identified application by the party making the submission or by a party in privity with the party.

This resubmission is being made responsive to a notification of non-compliance issued for an earlier filed third-party submission. The corrections in this resubmission are limited to addressing the non-compliance. As such, the party making this resubmission: (1) requests that the Office apply the previously-paid fee set forth in 37 CFR 1.290(f), or (2) states that no fee is required to accompany this resubmission as the undersigned is again making the fee exemption statement set forth in 37 CFR 1.290(g).

Signature	/Richard M. Moose/		
Name/Print	RICHARD M. MOOSE	Registration Number (if applicable)	31226

Examiner Signature		Date Considered	
--------------------	--	-----------------	--

*EXAMINER: Signature indicates all documents listed above have been considered, except for citations through which a line is drawn. Draw line through citation if not considered. Include a copy of this form with next communication to applicant. 1. If known, enter kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16. See MPEP 901.04(a). 2. Enter the country or patent office that issued the document, by two-letter code under WIPO standard ST.3. See MPEP 1851. 3. For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 4. If known, enter the kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16. See MPEP 901.04(a). 5. Check mark indicates translation attached. 6. Check mark indicates evidence of publication attached.

Electronic Patent Application Fee Transmittal

Application Number:	14259011				
Filing Date:					
Title of Invention:					
First Named Inventor/Applicant Name:					
Filer:	Richard M. Moose/Christine Stanfield				
Attorney Docket Number:					
Filed as Large Entity					
Filing Fees for					
Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)	
Basic Filing:					
DOCUMENT FEE FOR THIRD-PARTY SUBMISSIONS	1818	1	180	180	
Pages:					
Claims:					
Miscellaneous-Filing:					
Petition:					
Patent-Appeals-and-Interference:					
Post-Allowance-and-Post-Issuance:					

Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Extension-of-Time:				
Miscellaneous:				
Total in USD (\$)				180

Electronic Acknowledgement Receipt

EFS ID:	22641515
Application Number:	14259011
International Application Number:	
Confirmation Number:	5037
Title of Invention:	
First Named Inventor/Applicant Name:	
Correspondence Address:	- - - - - - -
Filer:	Richard M. Moose/Christine Stanfield
Filer Authorized By:	Richard M. Moose
Attorney Docket Number:	
Receipt Date:	16-JUN-2015
Filing Date:	
Time Stamp:	16:57:08
Application Type:	

Payment information:

Submitted with Payment	yes
Payment Type	Credit Card
Payment was successfully received in RAM	\$180

RAM confirmation Number		4037			
Deposit Account					
Authorized User					
The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows:					
File Listing:					
Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Non Patent Literature	HIGH_FREQUENCY_PERFORMA NCE.pdf	9348602	no	7
			7ac0934521cb9672f07efaf64d764f714e97 d324		
Warnings:					
Information:					
2	Non Patent Literature	DesignCon_East_2005_scanned _Part_1.pdf	19614266	no	23
			384460a4032b5b61d7a69d78e826cb74fe0 131ff		
Warnings:					
Information:					
3	Non Patent Literature	DesignCon_East_2005_scanned _Part_2.pdf	18447317	no	23
			bf3947bbbed11e5b45556262542429b6743 9809a8		
Warnings:					
Information:					
4	Concise Description of Relevance	USP_8238116__CONCISE_DES CRIPTION.pdf	351733	no	6
			ced250e1f2a2c12e213c7c1cf92856486dae 2556		
Warnings:					
Information:					
5	Concise Description of Relevance	USP_7414857__CONCISE_DES CRIPTION.pdf	338451	no	6
			a4d37519724a03d3b6f2cf3f58d8db50dae9d 3d55		
Warnings:					
Information:					
6	Concise Description of Relevance	USP_5134540__CONCISE_DES CRIPTION.pdf	329805	no	6
			f6ca5f1006979e80a4af35fe17057e2998dd 3bf		
Warnings:					
Information:					

7	Concise Description of Relevance	USP_5952040__CONCISE_DESCRIPTION.pdf	306717 9d13d25d94e81a9b1bb8de858877c9fed96d61be	no	5
Warnings:					
Information:					
8	Concise Description of Relevance	DESIGNCON_EAST_2005__CONCISE_DESCRIPTION.pdf	6552495 dc11f0f081442a45a83face60fb47ce7a453ced1b	no	7
Warnings:					
Information:					
9	Concise Description of Relevance	HIGH_FREQ_PERFORMANCE_CONCISE_DESCRIPTION.pdf	328834 58eaba1702ec75c15757da668657ba34099a9c3d	no	5
Warnings:					
Information:					
10	Concise Description of Relevance	Concise-description-generated.pdf	34962 d68315d69b4f6ad784d054817c302ae1a863f5a	no	4
Warnings:					
Information:					
11	Third-Party Submission Under 37 CFR 1.290	Third-party-preissuance-submission.pdf	48188 e32a700066de22dfde0fbabbddff6b8f63d5ebca	no	3
Warnings:					
Information:					
12	Request for Notification of Non-compliant Third-Party Submission	Third-party-notification-request.pdf	19635 d1bf2bc35284f115d80f2bf21637ba5a399bced9	no	1
Warnings:					
Information:					
13	Fee Worksheet (SB06)	fee-info.pdf	29407 785ab26f28afed038200d907cb521c7af9e7a80f	no	2
Warnings:					
Information:					
Total Files Size (in bytes):			55750412		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

Table with 4 columns: APPLICATION NUMBER (14/259,011), FILING OR 371(C) DATE (04/22/2014), FIRST NAMED APPLICANT (Byoung Hwa LEE), ATTY. DOCKET NO./TITLE (093814-0302)

CONFIRMATION NO. 5037

20277
MCDERMOTT WILL & EMERY LLP
The McDermott Building
500 North Capitol Street, N.W.
WASHINGTON, DC 20001

PUBLICATION NOTICE



Title: MULTILAYER CERAMIC CAPACITOR AND BOARD HAVING THE SAME MOUNTED THEREON

Publication No. US-2014-0367152-A1

Publication Date: 12/18/2014

NOTICE OF PUBLICATION OF APPLICATION

The above-identified application will be electronically published as a patent application publication pursuant to 37 CFR 1.211, et seq. The patent application publication number and publication date are set forth above.

The publication may be accessed through the USPTO's publically available Searchable Databases via the Internet at www.uspto.gov. The direct link to access the publication is currently http://www.uspto.gov/patft/.

The publication process established by the Office does not provide for mailing a copy of the publication to applicant. A copy of the publication may be obtained from the Office upon payment of the appropriate fee set forth in 37 CFR 1.19(a)(1). Orders for copies of patent application publications are handled by the USPTO's Office of Public Records. The Office of Public Records can be reached by telephone at (703) 308-9726 or (800) 972-6382, by facsimile at (703) 305-8759, by mail addressed to the United States Patent and Trademark Office, Office of Public Records, Alexandria, VA 22313-1450 or via the Internet.

In addition, information on the status of the application, including the mailing date of Office actions and the dates of receipt of correspondence filed in the Office, may also be accessed via the Internet through the Patent Electronic Business Center at www.uspto.gov using the public side of the Patent Application Information and Retrieval (PAIR) system. The direct link to access this status information is currently http://pair.uspto.gov/. Prior to publication, such status information is confidential and may only be obtained by applicant using the private side of PAIR.

Further assistance in electronically accessing the publication, or about PAIR, is available by calling the Patent Electronic Business Center at 1-866-217-9197.

Office of Data Management, Application Assistance Unit (571) 272-4000, or (571) 272-4200, or 1-888-786-0101



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office

출 원 번 호 : 10-2013-0068498
Application Number

출 원 년 월 일 : 2013년 06월 14일
Filing Date JUN. 14, 2013

출 원 인 : 삼성전기주식회사
Applicant(s) SAMSUNG ELECTRO-MECHANICS CO., LTD.

2014년 12월 03일

특 허 청
COMMISSIONER



【서지사항】

【서류명】 특허출원서

【참조번호】 007

【출원구분】 특허출원

【출원인】

【명칭】 삼성전기 주식회사

【출원인코드】 1-1998-001806-4

【대리인】

【명칭】 특허법인 씨엔에스

【대리인코드】 9-2003-100065-1

【지정된변리사】 손원, 함상준, 김태휘

【포괄위임등록번호】 2006-044433-9

【발명의 국문명칭】 적층 세라믹 커패시터 및 그 실장 기판

【발명의 영문명칭】 Multi-layered ceramic capacitor and board for mounting
the same

【발명자】

【성명】 이병화

【성명의 영문표기】 LEE, Byoung Hwa

【주민등록번호】 691024-1XXXXXX

【우편번호】 443-743

【주소】 경기도 수원시 영통구 매탄3동 삼성전기

【국적】 KR

【발명자】

【성명】 박흥길

【성명의 영문표기】 PARK, Heung Ki

【주민등록번호】 780220-1XXXXXX

【우편번호】 443-743
【주소】 경기도 수원시 영통구 매탄3동 삼성전기
【국적】 KR

【발명자】
【성명】 이교광
【성명의 영문표기】 LEE, Kyo Kwang
【주민등록번호】 750811-1XXXXXX
【우편번호】 443-743
【주소】 경기도 수원시 영통구 매탄3동 삼성전기
【국적】 KR

【발명자】
【성명】 안영규
【성명의 영문표기】 AHN, Young Ghyu
【주민등록번호】 710313-1XXXXXX
【우편번호】 443-743
【주소】 경기도 수원시 영통구 매탄3동 삼성전기
【국적】 KR

【발명자】
【성명】 박상수
【성명의 영문표기】 PARK, Sang Soo
【주민등록번호】 721024-1XXXXXX
【우편번호】 443-743
【주소】 경기도 수원시 영통구 매탄3동 삼성전기
【국적】 KR

【발명자】
【성명】 이순주

제출 일자 : 2013-06-14

【성명의 영문표기】 LEE, Soon Ju
【주민등록번호】 860912-1XXXXXX
【우편번호】 443-743
【주소】 경기도 수원시 영통구 매탄3동 삼성전기
【국적】 KR
【취지】 위와 같이 특허청장에게 제출합니다.

대리인 특허법인 씨엔에스 (서명 또는 인)

【수수료】

【출원료】	0 면	38,000 원
【가산출원료】	50 면	0 원
【우선권주장료】	0 건	0 원
【심사청구료】	0 항	0 원
【합계】	38,000 원	

【명세서】

【발명의 명칭】

적층 세라믹 커패시터 및 그 실장 기판{Multi-layered ceramic capacitor and board for mounting the same}

【기술분야】

<1> 본 발명은 적층 세라믹 커패시터 및 그 실장 기판에 관한 것이다.

【배경기술】

<2> 최근 전자 제품의 소형화, 고용량화됨에 따라 전자 제품에 사용되는 전자 부품도 소형화, 고용량화가 요구되고 있다. 이에 따라 적층형 세라믹 전자 부품에 대한 수요가 증대되고 있다.

<3> 적층 세라믹 커패시터의 경우 등가 직렬 인덕턴스(Equivalent Series Inductance, 이하 “ESL”)가 커지면 전자 제품의 성능이 저하될 수 있으며, 전자 부품이 소형화, 고용량화 될수록 ESL의 증가가 전자 부품의 성능 저하에 미치는 영향은 상대적으로 커진다.

<4> 소위 “LICC(Low Inductance Chip Capacitor)” 는 외부 단자 간의 거리를 감소시켜 전류 흐름의 경로를 감소시키고 이로 인하여 커패시터의 인덕턴스를 줄이기 위한 것이다.

- <5> 한편, 상기 적층 세라믹 커패시터는 복수의 유전체층과, 상기 유전체층 사이에 서로 다른 극성의 내부 전극이 번갈아 적층된 구조를 가질 수 있다.
- <6> 이러한 유전체층은 압전성 및 전왜성을 갖기 때문에, 적층 세라믹 커패시터에 직류 또는 교류 전압이 인가될 때 상기 내부 전극들 사이에서 압전 현상이 발생하여 진동이 나타날 수 있다.
- <7> 이러한 진동은 적층 세라믹 커패시터의 솔더를 통해 상기 적층 세라믹 커패시터가 실장된 인쇄회로기판으로 전달되어 상기 인쇄회로기판 전체가 음향 방사면이 되면서 잡음이 되는 진동음을 발생시키게 된다.
- <8> 상기 진동음은 사람에게 불쾌감을 주는 20 내지 20000 Hz 영역의 가청 주파수에 해당될 수 있으며, 이렇게 사람에게 불쾌감을 주는 진동음을 어쿠스틱 노이즈(acoustic noise)라고 한다.
- <9> 상기 어쿠스틱 노이즈를 감소하기 위한 적층 세라믹 커패시터에 대한 연구는 여전히 요구되는 실정이다.

【선행기술문헌】

【특허문헌】

<10> (특허문헌 0001) 한국공개특허 제2008-0110180호

【발명의 내용】

【해결하려는 과제】

<11> 본 발명은 적층 세라믹 커패시터 및 그 실장 기판에 관한 것이다.

【과제의 해결 수단】

<12> 본 발명의 일 실시형태는 유전체층을 포함하며, 서로 마주보는 제1, 제2 주면(S1, S2), 서로 마주보는 제1, 제2 측면(S5, S6) 및 서로 마주보는 제1, 제2 단면(S3, S4)을 가지는 세라믹 본체; 상기 유전체층을 사이에 두고 서로 대향하도록 배치되며, 상기 제1 측면(S5) 또는 제2 측면(S6)으로 교대로 노출되는 복수의 제1 및 제2 내부 전극을 포함하여 용량이 형성되는 액티브층; 상기 액티브층의 상부 및 하부에 형성된 상부 및 하부 커버층; 및 상기 세라믹 본체의 제1 측면(S5)에 형성되고, 상기 제1 내부전극과 전기적으로 연결되는 제1 외부전극과 제2 측면(S6)에 형성되고, 상기 제2 내부전극과 전기적으로 연결되는 제2 외부전극;을 포함하고, 상기 세라믹 본체의 두께를 T, 폭을 W라 하면, $0.75W \leq T \leq 1.25W$ 를 만족하고, 상기 제1 외부전극과 상기 제2 외부전극 사이의 간격을 G라고 하면, $30 \mu\text{m} \leq G \leq 0.9W$ 를 만족하며, 상기 유전체층의 수직 방향으로 층당 평균 유전체 그레이인 수가 2

개 이상을 만족하는 적층 세라믹 커패시터를 제공한다.

- <13> 상기 하부 커버층의 두께는 $10\ \mu\text{m}$ 내지 $100\ \mu\text{m}$ 일 수 있다.
- <14> 상기 세라믹 본체의 두께는 상기 제1 주면(S1) 및 제2 주면(S2) 사이의 거리이고, 상기 세라믹 본체의 폭은 상기 제1 외부전극이 형성된 상기 제1 측면(S5)과 상기 제2 외부전극이 형성된 상기 제2 측면(S6) 사이의 거리이고, 상기 세라믹 본체의 길이는 상기 제1 단면(S3)과 상기 제2 단면(S4) 사이의 거리인 경우, 상기 세라믹 본체의 폭은 상기 세라믹 본체의 길이보다 짧거나 동일할 수 있다.
- <15> 상기 세라믹 본체의 길이를 L 및 폭을 W 라 하면, $0.5L \leq W \leq L$ 을 만족할 수 있다.
- <16> 상기 유전체 그래인은 평균 입경이 50nm 이상 500nm 이하일 수 있다.
- <17> 상기 제1 및 제2 내부 전극은 상기 세라믹 본체의 제1 및 제2 단면(S3, S4)으로부터 일정거리 이격하여 형성될 수 있다.
- <18> 상기 제1 및 제2 외부전극은 상기 세라믹 본체의 제1 및 제2 주면에 연장하여 형성될 수 있다.
- <19> 본 발명의 다른 실시형태는 상부에 둘 이상의 전극 패드를 갖는 인쇄회로기판;
- <20> 상기 인쇄회로기판 위에 설치된 적층 세라믹 커패시터; 및

<21> 상기 전극 패드와 상기 적층 세라믹 커패시터를 연결하는 솔더링;을 포함하며, 상기 적층 세라믹 커패시터는 유전체층을 포함하며, 서로 마주보는 제1, 제2 주면(S1, S2), 서로 마주보는 제1, 제2 측면(S5, S6) 및 서로 마주보는 제1, 제2 단면(S3, S4)을 가지는 세라믹 본체와 상기 유전체층을 사이에 두고 서로 대향하도록 배치되며, 상기 제1 측면(S5) 또는 제2 측면(S6)으로 교대로 노출되는 복수의 제1 및 제2 내부 전극을 포함하여 용량이 형성되는 액티브층, 상기 액티브층의 상부 및 하부에 형성된 상부 및 하부 커버층 및 상기 세라믹 본체의 제1 측면(S5)에 형성되고, 상기 제1 내부전극과 전기적으로 연결되는 제1 외부전극과 제2 측면(S6)에 형성되고, 상기 제2 내부전극과 전기적으로 연결되는 제2 외부전극을 포함하고, 상기 세라믹 본체의 두께를 T, 폭을 W라 하면, $0.75W \leq T \leq 1.25W$ 를 만족하고, 상기 제1 외부전극과 상기 제2 외부전극 사이의 간격을 G라고 하면, $30 \mu\text{m} \leq G \leq 0.9W$ 를 만족하며, 상기 유전체층의 수직 방향으로 층당 평균 유전체 그레이인 수가 2개 이상을 만족하는 적층 세라믹 커패시터의 실장 기판을 제공한다.

<22> 상기 하부 커버층의 두께는 $10 \mu\text{m}$ 내지 $100 \mu\text{m}$ 일 수 있다.

<23> 상기 세라믹 본체의 두께는 상기 제1 주면(S1) 및 제2 주면(S2) 사이의 거리이고, 상기 세라믹 본체의 폭은 상기 제1 외부전극이 형성된 상기 제1 측면(S5)과 상기 제2 외부전극이 형성된 상기 제2 측면(S6) 사이의 거리이고, 상기 세라믹 본체의 길이는 상기 제1 단면(S3)과 상기 제2 단면(S4) 사이의 거리인 경우, 상기 세라믹 본체의 폭은 상기 세라믹 본체의 길이보다 짧거나 동일할 수 있다.

- <24> 상기 세라믹 본체의 길이를 L 및 폭을 W 라 하면, $0.5L \leq W \leq L$ 을 만족할 수 있다.
- <25> 상기 유전체 그레이는 평균 입경이 50nm 이상 500nm 이하일 수 있다.
- <26> 상기 제1 및 제2 내부 전극은 상기 세라믹 본체의 제1 및 제2 단면(S3, S4) 으로부터 일정거리 이격하여 형성될 수 있다.
- <27> 상기 제1 및 제2 외부전극은 상기 세라믹 본체의 제1 및 제2 주면에 연장하여 형성될 수 있다.
- <28> 상기 솔더링은 상기 적층 세라믹 커패시터의 제1 및 제2 외부전극의 일부에 형성될 수 있다.
- <29> 상기 솔더링은 상기 적층 세라믹 커패시터의 제1 및 제2 외부전극의 중앙부에 형성될 수 있다.
- <30> 상기 전극 패드는 상기 적층 세라믹 커패시터의 제1 및 제2 외부전극과 각각 연결되는 제1 및 제2 전극 패드로 이루어질 수 있다.
- <31> 상기 제1 및 제2 전극 패드는 상기 적층 세라믹 커패시터의 폭 방향으로 서로 오프셋(offset)될 수 있다.
- <32> 상기 전극 패드는 상기 적층 세라믹 커패시터의 제1 외부전극과 연결되는 제1 및 제2 전극 패드와 제2 외부전극과 연결되는 제3 및 제4 전극 패드로 이루어질 수 있다.

【발명의 효과】

<33> 본 발명에 따르면 외부전극 사이의 길이가 짧아서 적층 세라믹 커패시터에서 발생된 진동의 기관 전달이 저하되어, 어쿠스틱 노이즈(acoustic noise)를 감소시킬 수 있다.

<34> 또한, 본 발명에 따른 적층 세라믹 커패시터를 기관에 실장시 실장 면적을 줄일 수 있는 효과가 있다.

【도면의 간단한 설명】

<35> 도 1은 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터를 나타내는 사시도이다.

도 2는 본 발명의 일 실시 형태에 따른 세라믹 본체를 나타낸 모식도이다.

도 3은 도 2의 분해 사시도이다.

도 4는 도 1의 A-A'을 따른 단면도이다.

도 5는 도 4의 Z 영역의 확대도이다.

도 6은 도 1의 적층 세라믹 커패시터가 인쇄회로기판에 실장된 모습을 도시한 사시도이다.

도 7은 도 6의 평면도이다.

도 8은 도 6의 다른 실시형태에 따른 평면도이다.

도 9는 도 6의 또 다른 실시형태에 따른 평면도이다.

【발명을 실시하기 위한 구체적인 내용】

<36> 본 발명의 실시형태는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명하는 실시형태로 한정되는 것은 아니다. 또한, 본 발명의 실시형태는 당업계에서 평균적인 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다. 따라서, 도면에서의 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있으며, 도면상의 동일한 부호로 표시되는 요소는 동일한 요소이다.

<37> 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

<38> 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하고, 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙이도록 한다.

<39> 적층 세라믹 커패시터

<40> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시형태를 설명한다.

<41> 도 1은 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터를 나타내는 사시도이다.

<42> 도 2는 본 발명의 일 실시 형태에 따른 세라믹 본체를 나타낸 모식도이다.

<43> 도 3은 도 2의 분해 사시도이다.

<44> 도 4는 도 1의 A-A'을 따른 단면도이다.

<45> 도 1 내지 도 4를 참조하면, 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터(100)는 유전체층(111)을 포함하며, 서로 마주보는 제1, 제2 주면(S1, S2), 서로 마주보는 제1, 제2 측면(S5, S6) 및 서로 마주보는 제1, 제2 단면(S3, S4)을 가지는 세라믹 본체(110); 상기 유전체층(111)을 사이에 두고 서로 대향하도록 배치되며, 상기 제1 측면(S5) 또는 제2 측면(S6)으로 교대로 노출되는 복수의 제1 및 제2 내부 전극(121, 122)을 포함하여 용량이 형성되는 액티브층(A); 상기 액티브층(A)의 상부 및 하부에 형성된 상부 및 하부 커버층(112, 113); 및 상기 세라믹 본체(110)의 제1 측면(S5)에 형성되고, 상기 제1 내부전극(121)과 전기적으로 연결되는 제1 외부전극(131)과 제2 측면(S6)에 형성되고, 상기 제2 내부전극(122)과 전기적으로 연결되는 제2 외부전극(132);을 포함하고, 상기 세라믹 본체(110)의 두께를 T, 폭을 W라 하면, $0.75W \leq T \leq 1.25W$ 를 만족하고, 상기 제1 외부전극(131)과 상

제출 일자 : 2013-06-14

기 제2 외부전극(132) 사이의 간격을 G라고 하면, $30\mu\text{m} \leq G \leq 0.9W$ 를 만족하며, 상기 유전체층(111)의 수직 방향으로 층당 평균 유전체 그래인(111a) 수가 2개 이상을 만족할 수 있다.

<46> 이하에서는 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품을 설명하되, 특히 적층 세라믹 커패시터로 설명하지만 이에 제한되는 것은 아니다.

<47> 도 1을 참조하면, 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터에 있어서, '길이 방향'은 도 1의 'L' 방향, '폭 방향'은 'W' 방향, '두께 방향'은 'T' 방향으로 정의하기로 한다. 여기서 '두께 방향'은 유전체층을 쌓아 올리는 방향 즉 '적층 방향'과 동일한 개념으로 사용할 수 있다.

<48> 도 2를 참조하면, 본 발명의 일 실시형태에서, 세라믹 본체(110)는 서로 대향하는 제1주면(S1) 및 제2주면(S2)과 상기 제1주면 및 제2 주면을 연결하는 제1 측면(S5), 제2 측면(S6), 제1 단면(S3) 및 제2 단면(S4)을 가질 수 있다. 상기 세라믹 본체(110)의 형상에 특별히 제한은 없지만, 도시된 바와 같이 육면체 형상일 수 있다.

<49> 도 3을 참조하면, 상기 유전체층(111)을 형성하는 원료는 충분한 정전 용량

을 얻을 수 있는 한 특별히 제한되지 않으며, 예를 들어, 티탄산바륨(BaTiO_3) 분말
일 수 있다.

<50> 상기 유전체층(111)을 형성하는 재료는 티탄산바륨(BaTiO_3) 등의 파우더에
본 발명의 목적에 따라 다양한 세라믹 첨가제, 유기용제, 가스제, 결합제, 분산제
등이 첨가될 수 있다.

<51> 상기 유전체층(111) 형성에 사용되는 세라믹 분말의 평균 입경은 특별히 제
한되지 않으며, 본 발명의 목적 달성을 위해 조절될 수 있으나, 예를 들어, 400 nm
이하로 조절될 수 있다.

<52> 상기 제1 및 제2 내부전극(121, 122)을 형성하는 재료는 특별히 제한되지 않
으며, 예를 들어, 팔라듐(Pd), 팔라듐-은(Pd-Ag)합금 등의 귀금속 재료 및 니켈
(Ni), 구리(Cu) 중 하나 이상의 물질로 이루어진 도전성 페이스트를 사용하여 형성
될 수 있다.

<53> 상기 제1 내부전극 및 제2 내부전극(121, 122)은 상기 유전체층(111)을 사이
에 두고 서로 대향하도록 배치되며, 상기 제1 측면(S5) 또는 제2 측면(S6)으로 교
대로 노출될 수 있다.

- <54> 상기 제1 내부전극 및 제2 내부전극(121, 122)이 상기 제1 측면(S5) 또는 제2 측면(S6)으로 교대로 노출됨으로써, 후술하는 바와 같이 RGC (Reverse Geometry Capacitor) 또는 LICC (Low Inductance Chip Capacitor)를 구현할 수 있다.
- <55> 일반적인 적층 세라믹 전자 부품은 세라믹 본체의 길이 방향으로 서로 마주 보는 단면에 외부 전극이 배치되어 있을 수 있다.
- <56> 이 경우 외부 전극에 교류 인가시 전류의 경로가 길기 때문에 전류 루프가 더 크게 형성될 수 있으며, 유도 자기장의 크기가 커져 인덕턴스가 증가할 수 있다.
- <57> 상기의 문제를 해결하기 위하여, 본 발명의 일 실시형태에 따르면 전류의 경로를 감소시키기 위하여 세라믹 본체(110)의 폭 방향으로 서로 마주 보는 측면(S5, S6)에 제1 및 제2 외부 전극(131, 132)이 배치될 수 있다.
- <58> 이 경우, 제1 및 제2 외부 전극(131, 132) 간의 길이가 작기 때문에 전류 경로가 작아지고, 이로 인하여 전류 루프가 감소하여 인덕턴스를 감소시킬 수 있다.
- <59> 상술한 바와 같이 상기 제1 및 제2 외부전극(131, 132)이 상기 세라믹 본체(110)의 폭 방향으로 서로 마주 보는 측면(S5, S6)에 형성될 수 있으며, 정전 용량 형성을 위하여 상기 제1 및 제2 내부전극(121, 122)과 전기적으로 연결될 수 있다.

<60> 상기 제1 및 제2 외부전극(131, 132)은 상기 제1 및 제2 내부전극(121, 122)과 동일한 재질의 도전성 물질로 형성될 수 있으나 이에 제한되지는 않으며, 예를 들어, 구리(Cu), 은(Ag), 니켈(Ni) 등으로 형성될 수 있다.

<61> 상기 제1 및 제2 외부전극(131, 132)은 상기 금속 분말에 글라스 프리트를 첨가하여 마련된 도전성 페이스트를 도포한 후 소성함으로써 형성될 수 있다.

<62> 상기 세라믹 본체(110)의 폭(W)은 상기 제1 외부전극(131)이 형성된 상기 제1 측면(S5)과 상기 제2 외부전극(132)이 형성된 상기 제2 측면(S6) 사이의 거리이고, 상기 세라믹 본체(110)의 길이(L)는 상기 제1 단면(S3)과 상기 제2 단면(S4) 사이의 거리일 수 있다.

<63> 본 발명의 일 실시형태에 따르면, 상기 제1 및 제2 외부전극(131, 132)이 각각 형성된 제1 및 제2 측면(S5, S6) 사이의 폭(W)은 제1 단면(S3)과 상기 제2 단면(S4) 사이의 길이(L)보다 짧거나 동일할 수 있다.

<64> 이로 인하여 제1 및 제2 외부전극(131, 132) 간의 거리가 작아지기 때문에 전류 경로가 작아지고, 이로써 전류 루프가 감소하여 인덕턴스를 감소시킬 수 있다.

<65> 이처럼 제1 및 제2 외부전극(131, 132)을 세라믹 본체(110)의 제1 및 제2 측면(S5, S6)에 형성하여, 상기 세라믹 본체(110)의 폭(W)이 상기 세라믹 본체(10)의

길이(L)보다 짧거나 동일한 적층 세라믹 전자 부품을 RGC (Reverse Geometry Capacitor) 또는 LICC (Low Inductance Chip Capacitor)라 할 수 있다.

<66> 도 4를 참조하면, 상기 세라믹 본체(110)는 커패시터의 용량 형성에 기여하는 부분으로서의 액티브층(A)과, 상하 마진부로서 액티브층(A)의 상하부에 각각 형성된 상부 및 하부 커버층(112, 113)으로 구성될 수 있다.

<67> 상기 액티브층(A)은 유전체층(111)을 사이에 두고 복수의 제1 및 제2 내부 전극(121, 122)을 반복적으로 적층하여 형성될 수 있다.

<68> 한편, 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터에 있어서 상기 세라믹 본체(110)의 두께를 T, 폭을 W라 하면, $0.75W \leq T \leq 1.25W$ 를 만족할 수 있다.

<69> 상기 세라믹 본체(110)의 두께(T)와 폭(W)이 $0.75W \leq T \leq 1.25W$ 의 범위를 만족하도록 조절함으로써, 어쿠스틱 노이즈를 저감할 수 있다.

<70> 상기 세라믹 본체(110)의 두께(T)가 0.75W 미만의 경우에는 적층 세라믹 커패시터의 정전 용량을 구현할 수 없다.

- <71> 상기 세라믹 본체(110)의 두께(T)가 1.25W를 초과하는 경우에는 적층 세라믹 커패시터를 기판에 실장시 상기 커패시터가 기울어져서 실장 불량 발생할 수 있다.
- <72> 한편, 상기 제1 외부전극(131)과 상기 제2 외부전극(132) 사이의 간격을 G라고 하면, $30\mu\text{m} \leq G \leq 0.9W$ 를 만족할 수 있다.
- <73> 상기 제1 외부전극(131)과 상기 제2 외부전극(132) 사이의 간격(G)을 $30\mu\text{m} \leq G \leq 0.9W$ 의 범위로 조절함으로써, 어쿠스틱 노이즈를 저감할 수 있다.
- <74> 상기 제1 외부전극(131)과 상기 제2 외부전극(132) 사이의 간격(G)이 $30\mu\text{m}$ 미만일 경우에는 상기 제1 외부전극(131)과 상기 제2 외부전극(132) 사이의 간격(G)이 너무 좁아, 쇼트 불량이 발생할 수 있다.
- <75> 상기 제1 외부전극(131)과 상기 제2 외부전극(132) 사이의 간격(G)이 0.9W를 초과하는 경우에는 상기 제1 외부전극(131)과 상기 제2 외부전극(132)의 폭이 감소하여 기판과의 실장 면적이 줄어들게 됨으로써, 고착 강도 불량을 유발할 수 있다.

<76> 또한, 상기 세라믹 본체(110)의 길이를 L 및 폭을 W라 하면, $0.5L \leq W \leq L$ 을 만족할 수 있으나 이에 제한되는 것은 아니다.

<77> 상기와 같이 $0.5L \leq W \leq L$ 를 만족하도록 상기 세라믹 본체의 길이 및 폭을 조절함으로써, 적층 세라믹 커패시터의 인덕턴스를 감소시킬 수 있다.

<78> 따라서, 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품은 저 인덕턴스를 구현할 수 있어, 전기적 성능이 향상될 수 있다.

<79> 한편, 본 발명의 일 실시형태에 따르면 상기 하부 커버층(113)의 두께는 10 μm 내지 100 μm 일 수 있다.

<80> 상기 하부 커버층(113)의 두께를 10 μm 내지 100 μm 로 조절함으로써, 어쿠스틱 노이즈를 저감할 수 있으며, 신뢰성이 우수한 적층 세라믹 커패시터를 구현할 수 있다.

<81> 상기 하부 커버층(113)의 두께가 10 μm 미만일 경우에는 커버층의 두께가 너무 얇아 내습 불량에 발생할 수 있다.

<82> 상기 하부 커버층(113)의 두께가 100 μm 를 초과하는 경우에는 하부 커버층의

변위에 의해 어쿠스틱 노이즈가 급격하게 증가할 수 있다.

<83> 상기 상부 커버층(112)의 두께는 특별히 제한되지 않으며, 상기 하부 커버층(113)과 동일하거나 유사한 두께를 가질 수 있고, 내습 불량을 막을 수 있는 범위 내에서 제한 없이 적용될 수 있다.

<84> 도 5는 도 4의 Z 영역의 확대도이다.

<85> 도 5를 참조하면, 상기 유전체층(111)의 수직 방향으로 층당 평균 유전체 그레인(111a) 수가 2개 이상을 만족할 수 있다.

<86> 상기 유전체층(111)의 수직 방향으로 층당 평균 유전체 그레인(111a) 수가 2개 이상을 만족함으로써, 어쿠스틱 노이즈를 저감할 수 있다.

<87> 상기 유전체층(111)의 수직 방향으로 층당 평균 유전체 그레인(111a) 수가 2개 미만일 경우, 즉 1개일 경우에는 그레인 바운더리(grain boundary) 수의 감소로 내부전극에 전압 인가시 유전체층의 변위량이 증가하게 되고, 결국 적층 세라믹 커패시터의 변위량을 증가시켜 궁극적으로 어쿠스틱 노이즈를 증가시키게 된다.

<88> 한편, 상기 유전체 그래인(11a)은 평균 입경이 50nm 이상 500nm 이하일 수 있다.

<89> 상기 유전체 그래인(11a)의 평균 입경을 50nm 이상 500nm 이하로 조절함으로써, 어쿠스틱 노이즈를 저감할 수 있다.

<90> 상기 유전체 그래인(11a)의 평균 입경이 50nm 미만일 경우에는 유전체 그래인의 입경이 너무 작아 유전율이 저하될 수 있으며, 이로 인하여 전원단에서 필요로 하는 적층 세라믹 커패시터의 정전 용량을 구현할 수 없다.

<91> 상기 유전체 그래인(11a)의 평균 입경이 500nm를 초과하는 경우에는 유전체 그래인의 입경이 너무 커서, 유전체층 1층당 1개의 유전체 그래인이 형성되는 영역이 증가하게 되고 이로 인하여 결국 어쿠스틱 노이즈가 증가하게 된다.

<92> 상기 유전체층(111)의 수직 방향으로 층당 평균 유전체 그래인(111a) 수와 유전체 그래인(11a)의 평균 입경을 측정하는 방법은 특별히 제한되지 않으나, 도 4와 같이 세라믹 본체(110)의 폭 방향 단면을 주사전자현미경(SEM, Scanning Eletron Microscope)으로 이미지를 스캔하여 측정할 수 있다.

<93> 예를 들어, 도 2와 같이 세라믹 본체(110)의 길이(L) 방향의 중앙부에서 절

단한 쪽 및 두께 방향(W-T) 단면을 주사전자현미경(SEM, Scanning Electron Microscope)으로 스캔한 이미지에서 추출된 임의의 유전체층에 대해서, 길이 방향으로 등간격인 30개의 지점에서 층당 평균 유전체 그레인(111a) 수 및 유전체 그레인(11a)의 평균 입경을 측정할 수 있다.

<94> 상기 등간격인 30개의 지점은 제1 및 제2 내부전극층(121, 122)이 서로 중첩되는 영역을 의미하는 액티브층(A)에서 측정될 수 있다.

<95> 상기 제1 및 제2 내부 전극(121, 122)은 상기 세라믹 본체(110)의 제1 및 제2 단면(S3, S4)으로부터 일정거리 이격하여 형성될 수 있으나, 이에 제한되는 것은 아니다.

<96> 한편, 상기 제1 및 제2 외부전극(131, 132)은 상기 세라믹 본체(110)의 제1 및 제2 주면(S1, S2)에 연장하여 형성될 수 있으나, 이에 제한되는 것은 아니다.

<97> 이하에서는 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터의 제조방법에 대하여 설명하나, 이에 제한되는 것은 아니다.

<98> 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터의 제조 방법은 우선, 티탄산바륨($BaTiO_3$) 등의 파우더를 포함하여 형성된 슬러리를 캐리어 필름(carrier

film)상에 도포 및 건조하여 복수 개의 세라믹 그린 시트를 마련하며, 이로써 유전체 층을 형성할 수 있다.

<99> 상기 세라믹 그린시트는 세라믹 분말, 바인더, 용제를 혼합하여 슬러리를 제조하고, 상기 슬러리를 닥터 블레이드 법으로 수 μm 의 두께를 갖는 시트(sheet)형으로 제작할 수 있다.

<100> 다음으로, 니켈 입자 평균 크기가 0.1 내지 0.2 μm 이며, 40 내지 50 중량부의 니켈 분말을 포함하는 내부전극용 도전성 페이스트를 마련하였다.

<101> 상기 그린시트 상에 상기 내부전극용 도전성 페이스트를 스크린 인쇄공법으로 도포하여 내부전극을 형성한 후 400 내지 500층 적층하여 액티브층을 형성하고, 상기 액티브층의 상면 또는 하면에 세라믹 그린시트를 적층하여 커버층을 형성함으로써, 서로 마주보는 제1, 제2 주면, 서로 마주보는 제1, 제2 측면 및 서로 마주보는 제1, 제2 단면을 갖는 세라믹 본체를 만들었다.

<102> 다음으로, 상기 세라믹 본체의 제1 및 제2 측면에 제1 외부전극 및 제2 외부전극을 형성할 수 있다.

<103> 이하, 실시예를 들어 본 발명을 더욱 상세히 설명하지만, 본 발명이 이에 의해 제한되는 것은 아니다.

<104> 실시예

<105> 본 발명의 실시 예와 비교 예에 따른 적층 세라믹 커패시터는 하기와 같이 제작되었다.

<106> 티탄산바륨(BaTiO_3) 등의 파우더를 포함하여 형성된 슬러리를 캐리어 필름(carrier film) 상에 도포 및 건조하여 1.8 μm 의 두께로 제조된 복수 개의 세라믹 그린 시트를 마련한다.

<107> 다음으로, 상기 세라믹 그린 시트 상에 스크린을 이용하여 니켈 내부 전극용 도전성 페이스트를 도포하여 내부 전극을 형성한다.

<108> 상기 세라믹 그린 시트를 약 200 층으로 적층하되, 내부 전극이 형성되지 않은 세라믹 그린 시트를 내부 전극이 형성된 세라믹 그린 시트의 하부에서 상부보다 더 많이 적층을 하였다. 이 적층체를 85 $^{\circ}\text{C}$ 에서 1000 kgf/cm^2 압력 조건으로 등압 압축성형(isostatic pressing) 하였다.

<109> 압착이 완료된 세라믹 적층체를 개별 칩의 형태로 절단하였고, 절단된 칩은 대기 분위기에서 230 $^{\circ}\text{C}$, 60 시간 유지하여 탈바인더를 진행하였다.

<110> 이후, 1200 $^{\circ}\text{C}$ 에서 내부 전극이 산화되지 않도록 Ni/NiO 평형 산소 분압 보

제출 일자 : 2013-06-14

다 낮은 10^{-11} 내지 10^{-10} atm의 산소분압하 환원분위기에서 소성하였다. 소성 후 적층 칩 커패시터의 칩 사이즈는 길이×폭(L×W)은 약 1.0 mm ×0.5 mm(L×W, 1005 사이즈)이었다. 여기서, 제작 공차는 길이×폭(L×W)으로 ± 0.1 mm 내의 범위로 정하였고, 이를 만족하면서 실험하여 어쿠스틱 노이즈, 내습부하 테스트, 실장 불량 여부 및 교착 강도 테스트를 실시하였다.

<111> 아래 표 1 내지 표 3에서는 적층 세라믹 커패시터의 폭(W) 대비 두께(T)의 비율(T/W)과 하부 커버층 두께에 따른 어쿠스틱 노이즈 측정값, 내습 부하 판정 및 실장 불량 여부를 나타내었다.

<112> 이 경우, 유전체층의 수직 방향으로 층당 평균 유전체 그래인의 수는 약 2개인 상태에서 실험을 진행하였다.

<113> 【표 1】

T/W	하부 커버층 두께 mm	Acoustic Noise (dB)	내습부하 (원정)	습기불량률 (선 가름어짐)
1.0	5	21.5	X	◎
	10	22.6	○	◎
	20	23.1	◎	◎
	30	23.7	◎	◎
	40	23.8	◎	◎
	50	24.2	◎	◎
	60	25.3	◎	◎
	70	26.1	◎	◎
	80	26.6	◎	◎
	90	26.9	◎	◎
	100	27.6	◎	◎
	120	33.2	◎	◎
	150	36.4	◎	◎

<114> ×: 불량율 50% 이상

<115> △: 불량율 1%~50%

<116> ○: 불량율 0.01%~1%

<117> ◎: 불량율 0.01% 미만

<118> 【표 2】

T/W	외부 커버층 두께 [mm]	Acoustic Noise [dB]	내습부하 (문경)	실장불량 (집기돌어짐)
1.25	5	20.7	×	◎
	10	21.4	○	◎
	20	22.5	◎	◎
	30	22.9	◎	◎
	40	22.9	◎	◎
	50	23.9	◎	◎
	60	24.2	◎	◎
	70	25.7	◎	◎
	80	25.9	◎	◎
	90	26.2	◎	◎
	100	27.9	◎	◎
	120	33.4	◎	◎
150	34.1	◎	◎	

<119> ×: 불량율 50% 이상

<120> △: 불량율 1%~50%

<121> ○: 불량율 0.01%~1%

<122> ◎: 불량율 0.01% 미만

<123> 【표 3】

T/W	외부커버층 두께 [mm]	Acoustic Noise [dB]	내습부하 (만점)	실장불량 (실 기밀어짐)
1.30	5	20.4	X	X
	10	21.5	○	X
	20	22.7	◎	X
	30	23.1	◎	X
	40	23.7	◎	X
	50	24.5	◎	X
	60	24.9	◎	X
	70	25.2	◎	X
	80	25.6	◎	X
	90	25.9	◎	X
	100	27.7	◎	X
	120	33.7	◎	X
	150	36.1	◎	X

<124> ×: 불량율 50% 이상

<125> △: 불량율 1%~50%

<126> ○: 불량율 0.01%~1%

<127> ◎: 불량율 0.01% 미만

<128> 상기 표 1 내지 표 3을 참조하면, 상기 세라믹 본체의 두께(T)와 폭(W)이 $0.75W \leq T \leq 1.25W$ 를 만족하는 경우에 어쿠스틱 노이즈가 저감되는 것을 알 수

있다.

<129> 특히, 표 3에서는 상기 세라믹 본체의 두께(T)가 1.30W인 경우로서, 적층 세라믹 커패시터를 기판에 실장시 기울어지는 실장 불량 문제가 발생함을 알 수 있다.

<130> 또한, 표 1 내지 표 3을 참조하면, 하부 커버층의 두께가 10 μm 내지 100 μm 를 만족하는 경우에 어쿠스틱 노이즈 저감의 효과가 있으며, 신뢰성도 우수함을 알 수 있다.

<131> 하부 커버층의 두께가 상기 수치 범위를 벗어나서, 5 μm 인 경우에는 내습 불량에 따른 신뢰성에 문제가 있으며, 120 및 150 μm 인 경우에는 어쿠스틱 노이즈가 증가함을 알 수 있다.

<132> 아래 표 4에서는 유전체층의 수직 방향으로 층당 평균 유전체 그래인의 수가 1개인 경우에 적층 세라믹 커패시터의 폭(W) 대비 두께(T)의 비율(T/W)과 하부 커버층 두께에 따른 어쿠스틱 노이즈 측정값, 내습 부하 판정 및 실장 불량 여부를 나타내었다.

<133> 【표 4】

T/M	허부 커버층 두께 (μm)	Acoustic Noise [dB]	내습부하 (안정)	실장분량 (칭기물어짐)
10	5	26.7	×	◎
	10	27.1	○	◎
	20	27.7	◎	◎
	30	28.5	◎	◎
	40	28.8	◎	◎
	50	29.1	◎	◎
	60	30.6	◎	◎
	70	31.3	◎	◎
	80	31.6	◎	◎
	90	32.3	◎	◎
	100	32.5	◎	◎
	120	38.1	◎	◎
	150	40.0	◎	◎

<134> ×: 불량율 50% 이상

<135> △: 불량율 1%~50%

<136> ○: 불량율 0.01%~1%

<137> ◎: 불량율 0.01% 미만

<138> 상기 표 4를 참조하면, 상기 유전체층의 수직 방향으로 층당 평균 유전체 그래인(111a) 수가 1개일 경우에는 그래인 바운더리(grain boundary) 수의 감소로 내

부전극에 전압 인가시 유전체층의 변위량이 증가하게 되고, 결국 적층 세라믹 커패시터의 변위량을 증가시켜 궁극적으로 어쿠스틱 노이즈를 증가함을 알 수 있다.

<139> 아래 표 5에서는 적층 세라믹 커패시터의 폭(W)과 제1 외부전극과 상기 제2 외부전극 사이의 간격(G)에 따른 어쿠스틱 노이즈 측정값, 실장 불량 및 고착 강도 불량 여부를 나타내었다.

<140> **【표 5】**

W[mm]	외부전극간 Gap[G]	GW	Acoustic Noise [dB]	실장불량 (Short)	고착강도
650	25	0.04	21.7	X	⊙
650	30	0.05	22.0	○	⊙
650	40	0.08	22.1	○	⊙
650	50	0.12	22.5	⊙	⊙
650	80	0.18	23.1	⊙	⊙
650	120	0.25	23.6	⊙	⊙
650	160	0.32	24.5	⊙	⊙
650	210	0.40	24.9	⊙	⊙
650	260	0.48	25.2	⊙	⊙
650	310	0.55	25.6	⊙	⊙
650	450	0.69	25.9	⊙	○
650	550	0.85	25.9	⊙	○
650	580	0.89	26.2	⊙	○
650	620	0.95	26.5	⊙	X

<141> ×: 불량율 50% 이상

<142> △: 불량율 1%~50%

<143> ○: 불량율 0.01%~1%

<144> ◎: 불량율 0.01% 미만

<145> 상기 표 5를 참조하면, 상기 제1 외부전극과 상기 제2 외부전극 사이의 간격 (G)이 $30\mu\text{m} \leq G \leq 0.9\text{W}$ 을 만족할 경우에 어쿠스틱 노이즈가 저감되고 신뢰성이 우수함을 알 수 있다.

<146> 상기 제1 외부전극과 상기 제2 외부전극 사이의 간격(G)이 $30\mu\text{m}$ 미만, 즉 $25\mu\text{m}$ 인 경우에는 쇼트 불량이 발생할 수 있음을 알 수 있다.

<147> 한편, 상기 제1 외부전극과 상기 제2 외부전극 사이의 간격(G)이 0.9W 를 초과하는 경우, 즉 0.95W 인 경우에는 적층 세라믹 커패시터를 기판에 실장시 고착 강도가 낮아 불량이 발생함을 알 수 있다.

<148> 적층 세라믹 커패시터의 실장 기판

<149> 도 6은 도 1의 적층 세라믹 커패시터가 인쇄회로기판에 실장된 모습을 도시한 사시도이다.

<150> 도 7은 도 6의 평면도이다.

<151> 도 8은 도 6의 다른 실시형태에 따른 평면도이다.

<152> 도 9는 도 6의 또 다른 실시형태에 따른 평면도이다.

<153> 도 6 및 도 7을 참조하면, 본 실시 형태에 따른 적층 세라믹 커패시터(100)의 실장 기관(200)은 적층 세라믹 커패시터(100)가 수평하도록 실장되는 인쇄회로 기관(210)과, 인쇄회로기관(210)의 상면에 서로 이격되게 형성된 둘 이상의 전극 패드(221, 222)를 포함한다.

<154> 상기 전극 패드는 상기 적층 세라믹 커패시터의 제1 및 제2 외부전극(131, 132)과 각각 연결되는 제1 및 제2 전극 패드(221, 222)로 이루어질 수 있다.

<155> 이때, 적층 세라믹 커패시터(100)는 하부 커버층(113)이 하측에 배치되며 제1 및 제2 외부 전극(131, 132)이 각각 제1 및 제2 전극 패드(221, 222) 위에 접촉되게 위치한 상태에서 솔더링(230)에 의해 인쇄회로기관(210)과 전기적으로 연결될 수 있다.

<156> 본 발명의 다른 실시형태에 따른 적층 세라믹 커패시터(100)의 실장 기관(200)에 있어서, 상기 솔더링(230)은 상기 적층 세라믹 커패시터(100)의 제1 및 제2 외부전극(131, 132)의 일부에 형성될 수 있으나, 이에 제한되는 것은 아니다.

<157> 특히, 도 6 및 도 7을 참조하면, 상기 솔더링(230)은 상기 적층 세라믹 커패시터(100)의 제1 및 제2 외부전극(131, 132)의 중앙부에 형성될 수 있다.

<158> 위와 같이 적층 세라믹 커패시터(100)가 인쇄회로기판(210)에 실장된 상태에서 전압을 인가하면 어쿠스틱 노이즈가 발생할 수 있다.

<159> 이때, 제1 및 제2 전극 패드(221, 222)의 크기는 적층 세라믹 커패시터(100)의 제1 및 제2 외부 전극(131, 132)과 제1 및 제2 전극 패드(221, 222)를 연결하는 솔더링(230)의 양을 결정하는 지표가 될 수 있으며, 이러한 솔더링(230)의 양에 따라 어쿠스틱 노이즈의 크기가 조절될 수 있다.

<160> 적층 세라믹 커패시터(100)가 인쇄회로기판(210)에 실장된 상태에서 적층 세라믹 커패시터(100)의 양 측면에 형성된 제1 및 제2 외부 전극(131, 132)에 극성이 다른 전압이 인가되면, 유전체층(111)의 역압전성 효과(Inverse piezoelectric effect)에 의해 세라믹 본체(110)는 두께 방향으로 팽창과 수축을 하게 되고, 제1 및 제2 외부 전극(131, 132)의 양 측면부는 포아송 효과(Poisson effect)에 의해 세라믹 본체(110)의 두께 방향의 팽창과 수축과는 반대로 수축과 팽창을 하게 된다.

<161> 상기 수축과 팽창은 구체적으로, 적층 세라믹 커패시터의 두께 방향으로 약

20 nm의 변위로 발생하며, 길이 방향으로 약 4 nm 및 폭 방향으로 약 2 nm의 변위로 발생하게 된다.

<162> 여기서, 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터는 제1 및 제2 외부전극이 적층 세라믹 커패시터의 폭 방향인 세라믹 본체의 양 측면에 형성되기 때문에, 수축 및 팽창의 변위가 최소가 되어, 어쿠스틱 노이즈를 저감할 수 있게 된다.

<163> 도 8을 참조하면, 본 발명의 다른 실시형태로서, 상기 전극 패드는 상기 적층 세라믹 커패시터(100)의 제1 외부전극(131)과 연결되는 제1 및 제2 전극 패드(221', 222')와 제2 외부전극(132)과 연결되는 제3 및 제4 전극 패드(223', 224')로 이루어질 수 있다.

<164> 상기 도 8에 따른 본 발명의 다른 실시형태에 따르면, 동일한 외부전극에 대하여 이격된 2개의 전극 패드를 형성함으로써, 수축 및 팽창 변위의 차이를 줄일 수 있어 어쿠스틱 노이즈의 저감 효과는 더욱 우수할 수 있다.

<165> 도 9를 참조하면, 본 발명의 또 다른 실시형태로서, 상기 제1 및 제2 전극 패드(221'', 222'')는 상기 적층 세라믹 커패시터의 폭 방향으로 서로 오프셋

(offset)될 수 있다.

<166> 상기 도 9에 따른 본 발명의 다른 실시형태에 따르면, 상기 제1 및 제2 전극 패드(221'', 222'')가 상기 적층 세라믹 커패시터의 폭 방향으로 서로 오프셋(offset)되어 수축 및 팽창의 상쇄 작용이 생길 수 있어 어쿠스틱 노이즈의 저감 효과는 더욱 우수할 수 있다.

<167> 본 발명은 상술한 실시형태 및 첨부된 도면에 의해 한정되는 것이 아니며, 첨부된 청구범위에 의해 한정하고자 한다. 따라서, 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 당 기술분야의 통상의 지식을 가진 자에 의해 다양한 형태의 치환, 변형 및 변경이 가능할 것이며, 이 또한 본 발명의 범위에 속한다고 할 것이다.

【부호의 설명】

<168>	100 ; 적층 세라믹 커패시터	110 ; 세라믹 본체
	111 ; 유전체층	111a: 유전체 그래인
	A: 액티브층	
	112 ; 상부 커버층	113 ; 하부 커버층
	121, 122 ; 제1 및 제2 내부 전극	

제출 일자 : 2013-06-14

131, 132 ; 제1 및 제2 외부 전극 200 ; 실장 기판

210 ; 인쇄회로기판

221, 222, 221', 222', 223', 224', 221'', 222'' ; 제1 내지 제4 전극 패드

230 ; 솔더링

【특허 청구범위】

【청구항 1】

유전체층을 포함하며, 서로 마주보는 제1, 제2 주면(S1, S2), 서로 마주보는 제1, 제2 측면(S5, S6) 및 서로 마주보는 제1, 제2 단면(S3, S4)을 가지는 세라믹 본체;

상기 유전체층을 사이에 두고 서로 대향하도록 배치되며, 상기 제1 측면(S5) 또는 제2 측면(S6)으로 교대로 노출되는 복수의 제1 및 제2 내부 전극을 포함하여 용량이 형성되는 액티브층;

상기 액티브층의 상부 및 하부에 형성된 상부 및 하부 커버층; 및

상기 세라믹 본체의 제1 측면(S5)에 형성되고, 상기 제1 내부전극과 전기적으로 연결되는 제1 외부전극과 제2 측면(S6)에 형성되고, 상기 제2 내부전극과 전기적으로 연결되는 제2 외부전극;을 포함하고,

상기 세라믹 본체의 두께를 T, 폭을 W라 하면, $0.75W \leq T \leq 1.25W$ 를 만족하고, 상기 제1 외부전극과 상기 제2 외부전극 사이의 간격을 G라고 하면, $30 \mu\text{m} \leq G \leq 0.9W$ 를 만족하며, 상기 유전체층의 수직 방향으로 층당 평균 유전체 그래인 수가 2개 이상을 만족하는 적층 세라믹 커패시터.

【청구항 2】

제1항에 있어서,

제출 일자 : 2013-06-14

상기 하부 커비층의 두께는 $10\ \mu\text{m}$ 내지 $100\ \mu\text{m}$ 인 적층 세라믹 커패시터.

【청구항 3】

제1항에 있어서,

상기 세라믹 본체의 두께는 상기 제1 주면(S1) 및 제2 주면(S2) 사이의 거리이고, 상기 세라믹 본체의 폭은 상기 제1 외부전극이 형성된 상기 제1 측면(S5)과 상기 제2 외부전극이 형성된 상기 제2 측면(S6) 사이의 거리이고, 상기 세라믹 본체의 길이는 상기 제1 단면(S3)과 상기 제2 단면(S4) 사이의 거리인 경우, 상기 세라믹 본체의 폭은 상기 세라믹 본체의 길이보다 짧거나 동일한 적층 세라믹 커패시터.

【청구항 4】

제3항에 있어서,

상기 세라믹 본체의 길이를 L 및 폭을 W라 하면, $0.5L \leq W \leq L$ 을 만족하는 적층 세라믹 커패시터.

【청구항 5】

제1항에 있어서,

상기 유전체 그래인은 평균 입경이 50nm 이상 500nm 이하인 적층 세라믹 커패시터.

패시터.

【청구항 6】

제1항에 있어서,

상기 제1 및 제2 내부 전극은 상기 세라믹 본체의 제1 및 제2 단면(S3, S4)으로부터 일정거리 이격하여 형성된 적층 세라믹 커패시터.

【청구항 7】

제1항에 있어서,

상기 제1 및 제2 외부전극은 상기 세라믹 본체의 제1 및 제2 주면에 연장하여 형성되는 적층 세라믹 커패시터.

【청구항 8】

상부에 둘 이상의 전극 패드를 갖는 인쇄회로기판;

상기 인쇄회로기판 위에 설치된 적층 세라믹 커패시터; 및

상기 전극 패드와 상기 적층 세라믹 커패시터를 연결하는 솔더링;을 포함하며, 상기 적층 세라믹 커패시터는 유전체층을 포함하며, 서로 마주보는 제1, 제2 주면(S1, S2), 서로 마주보는 제1, 제2 측면(S5, S6) 및 서로 마주보는 제1, 제2 단면(S3, S4)을 가지는 세라믹 본체와 상기 유전체층을 사이에 두고 서로 대향하도록

제출 일자 : 2013-06-14

록 배치되며, 상기 제1 측면(S5) 또는 제2 측면(S6)으로 교대로 노출되는 복수의 제1 및 제2 내부 전극을 포함하여 용량이 형성되는 액티브층, 상기 액티브층의 상부 및 하부에 형성된 상부 및 하부 커버층 및 상기 세라믹 본체의 제1 측면(S5)에 형성되고, 상기 제1 내부전극과 전기적으로 연결되는 제1 외부전극과 제2 측면(S6)에 형성되고, 상기 제2 내부전극과 전기적으로 연결되는 제2 외부전극을 포함하고, 상기 세라믹 본체의 두께를 T, 폭을 W라 하면, $0.75W \leq T \leq 1.25W$ 를 만족하고, 상기 제1 외부전극과 상기 제2 외부전극 사이의 간격을 G라고 하면, $30 \mu\text{m} \leq G \leq 0.9W$ 를 만족하며, 상기 유전체층의 수직 방향으로 층당 평균 유전체 그레이인수가 2개 이상을 만족하는 적층 세라믹 커패시터의 실장 기판.

【청구항 9】

제8항에 있어서,

상기 하부 커버층의 두께는 $10 \mu\text{m}$ 내지 $100 \mu\text{m}$ 인 적층 세라믹 커패시터의 실장 기판.

【청구항 10】

제8항에 있어서,

상기 세라믹 본체의 두께는 상기 제1 주면(S1) 및 제2 주면(S2) 사이의 거리이고, 상기 세라믹 본체의 폭은 상기 제1 외부전극이 형성된 상기 제1 측면(S5)과

제출 일자 : 2013-06-14

상기 제2 외부전극이 형성된 상기 제2 측면(S6) 사이의 거리이고, 상기 세라믹 본체의 길이는 상기 제1 단면(S3)과 상기 제2 단면(S4) 사이의 거리인 경우, 상기 세라믹 본체의 폭은 상기 세라믹 본체의 길이보다 짧거나 동일한 적층 세라믹 커패시터의 실장 기판.

【청구항 11】

제10항에 있어서,

상기 세라믹 본체의 길이를 L 및 폭을 W라 하면, $0.5L \leq W \leq L$ 을 만족하는 적층 세라믹 커패시터의 실장 기판.

【청구항 12】

제8항에 있어서,

상기 유전체 그래인은 평균 입경이 50nm 이상 500nm 이하인 적층 세라믹 커패시터의 실장 기판.

【청구항 13】

제8항에 있어서,

상기 제1 및 제2 내부 전극은 상기 세라믹 본체의 제1 및 제2 단면(S3, S4)으로부터 일정거리 이격하여 형성된 적층 세라믹 커패시터의 실장 기판.

【청구항 14】

제8항에 있어서,

상기 제1 및 제2 외부전극은 상기 세라믹 본체의 제1 및 제2 주면에 연장하여 형성되는 적층 세라믹 커패시터의 실장 기판.

【청구항 15】

제8항에 있어서,

상기 솔더링은 상기 적층 세라믹 커패시터의 제1 및 제2 외부전극의 일부에 형성된 적층 세라믹 커패시터의 실장 기판.

【청구항 16】

제8항에 있어서,

상기 솔더링은 상기 적층 세라믹 커패시터의 제1 및 제2 외부전극의 중앙부에 형성된 적층 세라믹 커패시터의 실장 기판.

【청구항 17】

제8항에 있어서,

상기 전극 패드는 상기 적층 세라믹 커패시터의 제1 및 제2 외부전극과 각각

제출 일자 : 2013-06-14

연결되는 제1 및 제2 전극 패드로 이루어진 적층 세라믹 커패시터의 실장 기판.

【청구항 18】

제17항에 있어서,

상기 제1 및 제2 전극 패드는 상기 적층 세라믹 커패시터의 폭 방향으로 서로 오프셋(offset)된 적층 세라믹 커패시터의 실장 기판.

【청구항 19】

제8항에 있어서,

상기 전극 패드는 상기 적층 세라믹 커패시터의 제1 외부전극과 연결되는 제1 및 제2 전극 패드와 제2 외부전극과 연결되는 제3 및 제4 전극 패드로 이루어진 적층 세라믹 커패시터의 실장 기판.

【요약서】

【요약】

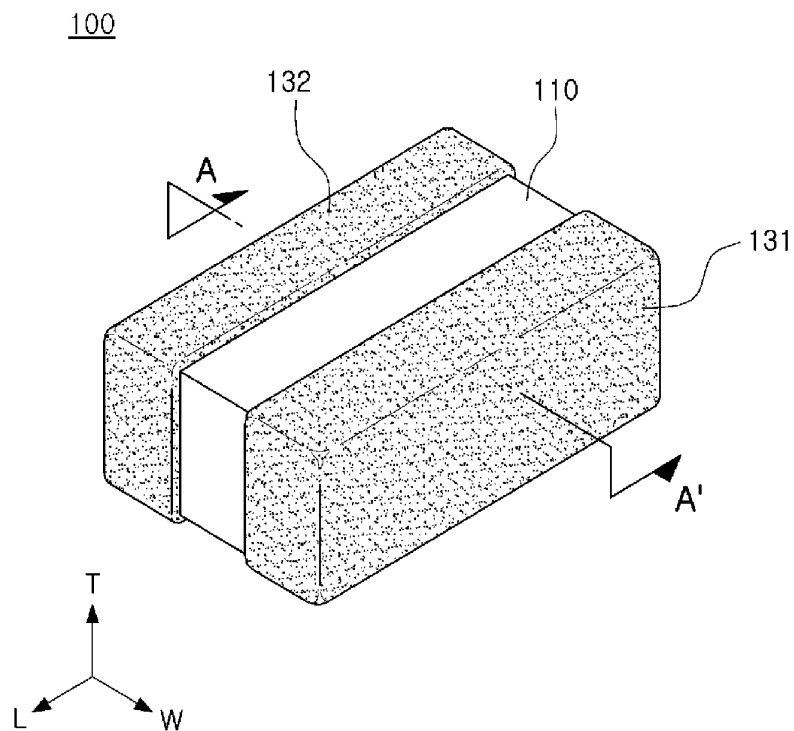
본 발명은 유전체층을 포함하며, 서로 마주보는 제1, 제2 주면(S1, S2), 서로 마주보는 제1, 제2 측면(S5, S6) 및 서로 마주보는 제1, 제2 단면(S3, S4)을 가지는 세라믹 본체; 상기 유전체층을 사이에 두고 서로 대향하도록 배치되며, 상기 제1 측면(S5) 또는 제2 측면(S6)으로 교대로 노출되는 복수의 제1 및 제2 내부 전극을 포함하여 용량이 형성되는 액티브층; 상기 액티브층의 상부 및 하부에 형성된 상부 및 하부 커버층; 및 상기 세라믹 본체의 제1 측면(S5)에 형성되고, 상기 제1 내부전극과 전기적으로 연결되는 제1 외부전극과 제2 측면(S6)에 형성되고, 상기 제2 내부전극과 전기적으로 연결되는 제2 외부전극;을 포함하고, 상기 세라믹 본체의 두께를 T, 폭을 W라 하면, $0.75W \leq T \leq 1.25W$ 를 만족하고, 상기 제1 외부전극과 상기 제2 외부전극 사이의 간격을 G라고 하면, $30\mu\text{m} \leq G \leq 0.9W$ 를 만족하며, 상기 유전체층의 수직 방향으로 층당 평균 유전체 그래인 수가 2개 이상을 만족하는 적층 세라믹 커패시터를 제공한다.

【대표도】

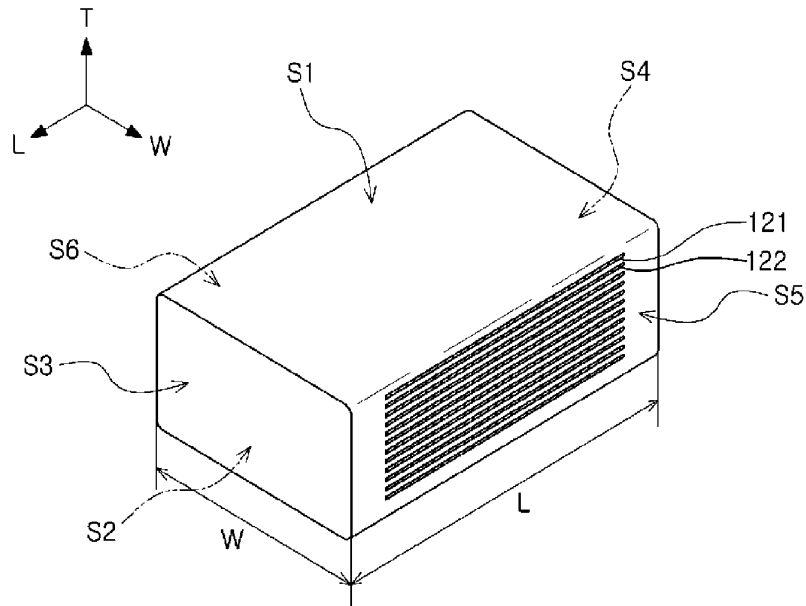
도 4

【도면】

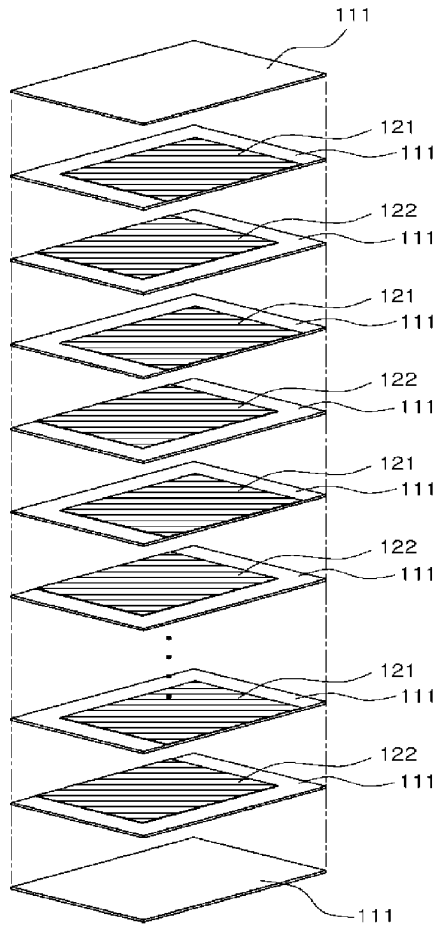
【도 1】



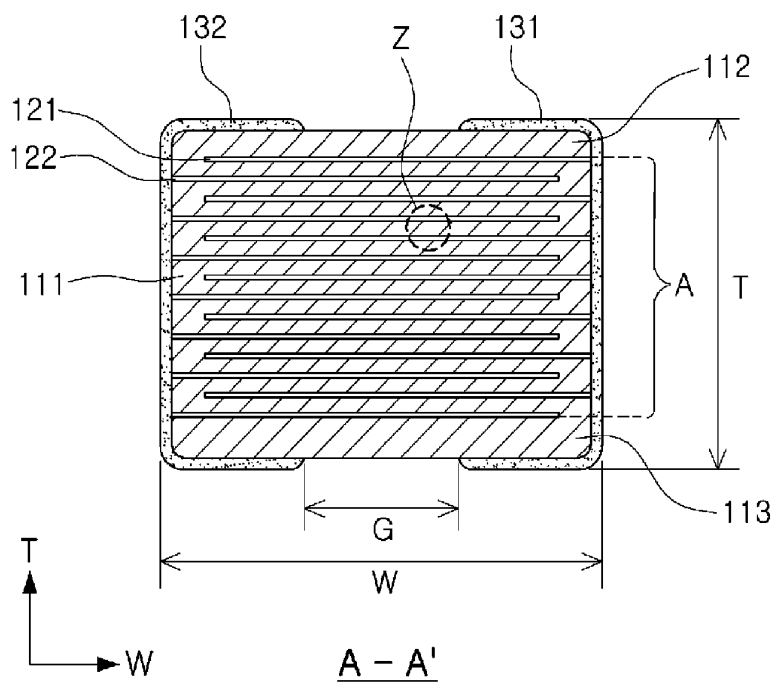
【도 2】



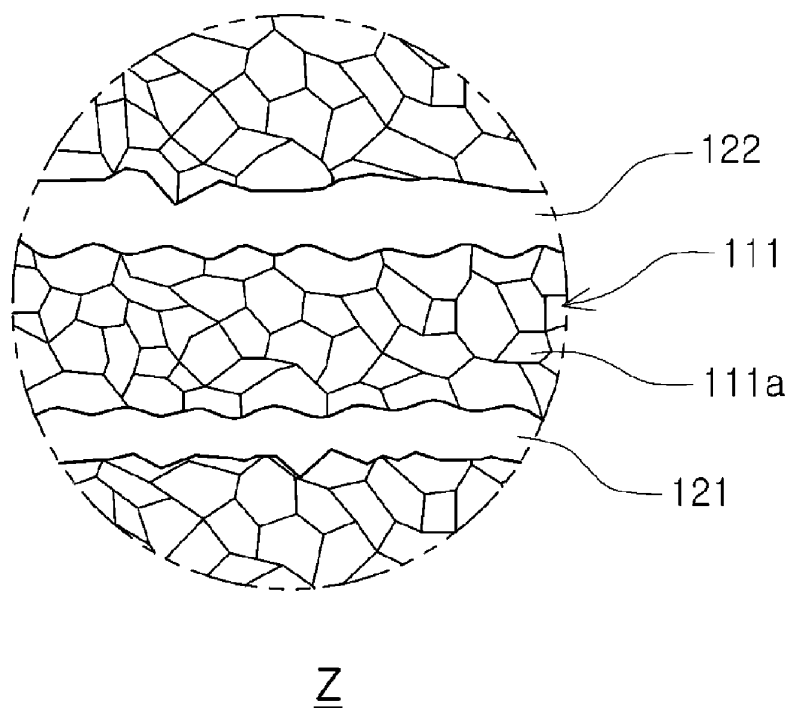
【도 3】



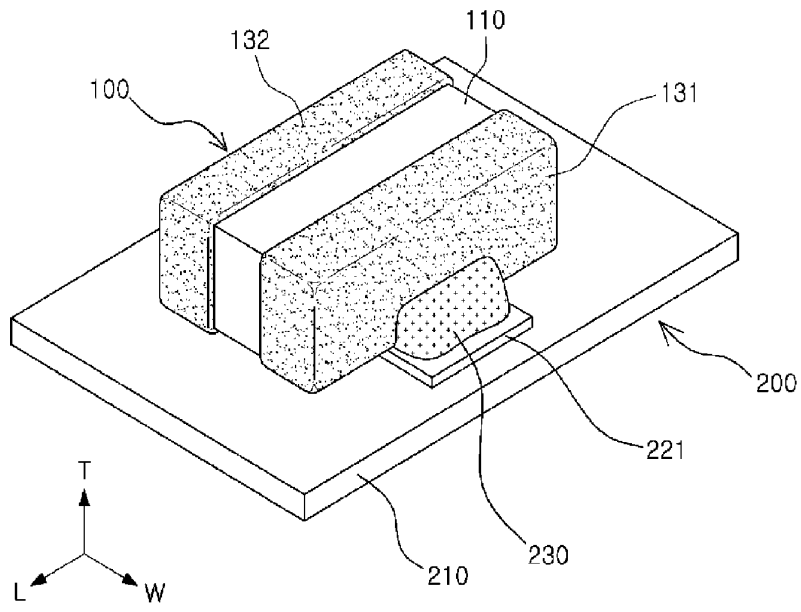
【도 4】



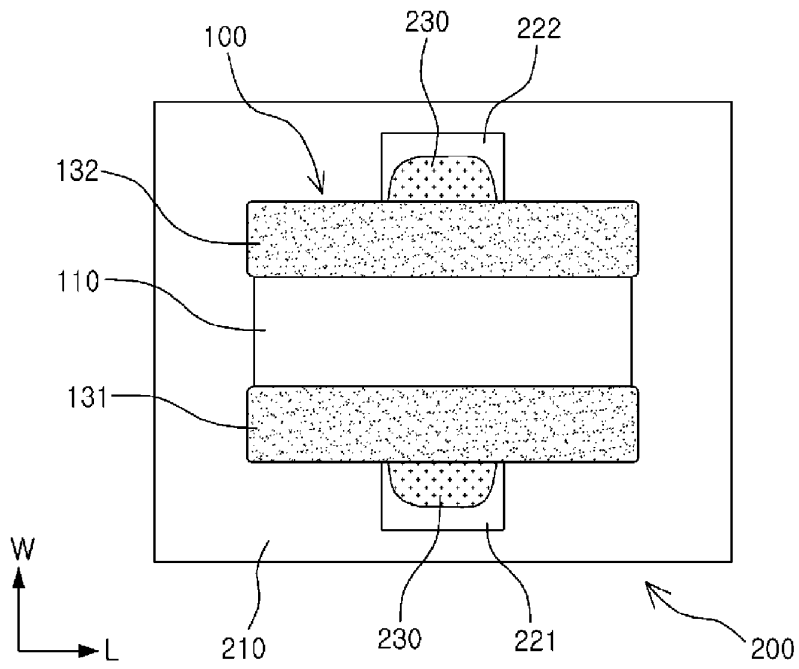
【도 5】



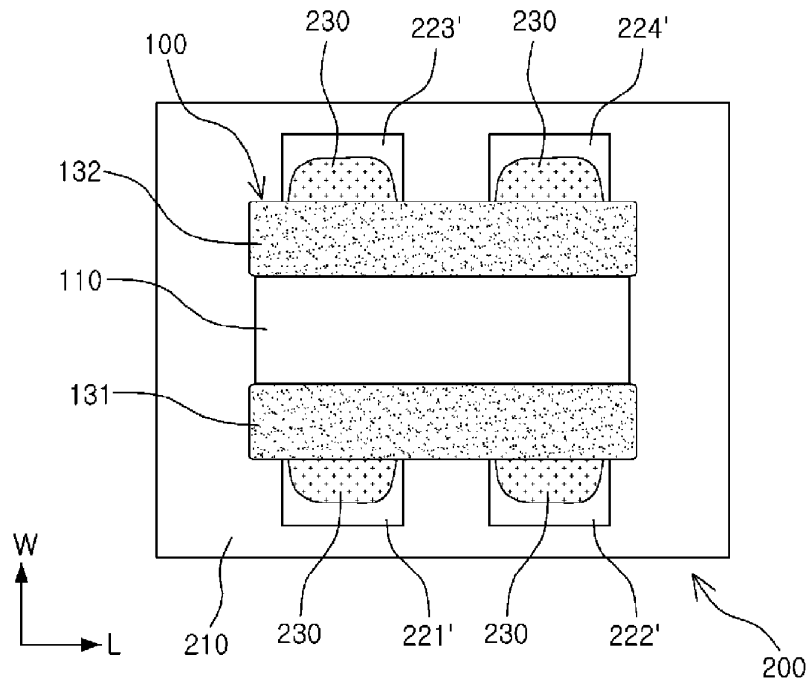
【도 6】



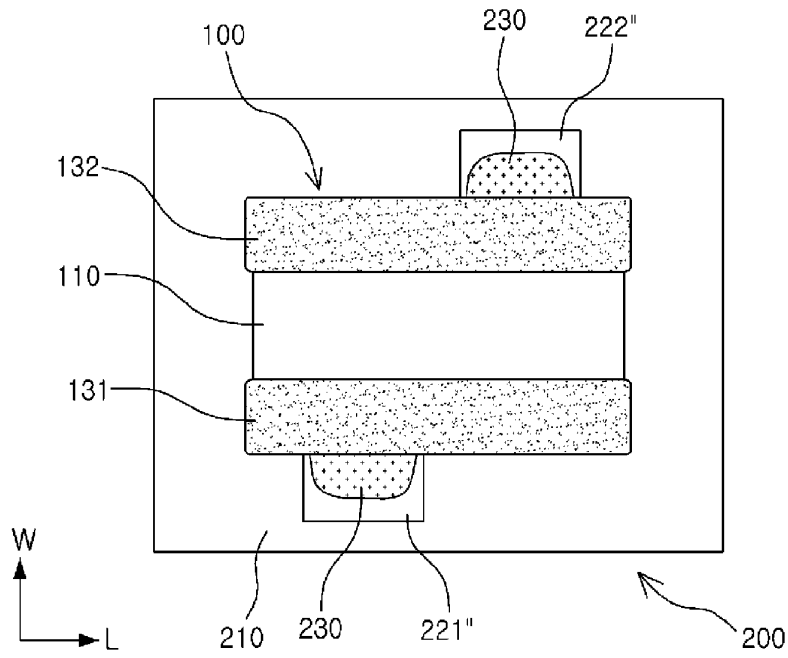
【도 7】



【도 8】



【도 9】





UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
14/259,011	04/22/2014	Byoung Hwa LEE	093814-0302

CONFIRMATION NO. 5037

POA ACCEPTANCE LETTER

20277
MCDERMOTT WILL & EMERY LLP
The McDermott Building
500 North Capitol Street, N.W.
WASHINGTON, DC 20001



Date Mailed: 07/15/2014

NOTICE OF ACCEPTANCE OF POWER OF ATTORNEY

This is in response to the Power of Attorney filed 07/10/2014.

The Power of Attorney in this application is accepted. Correspondence in this application will be mailed to the above address as provided by 37 CFR 1.33.

/ctuazon/

Office of Data Management, Application Assistance Unit (571) 272-4000, or (571) 272-4200, or 1-888-786-0101

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

POWER OF ATTORNEY TO PROSECUTE APPLICATIONS BEFORE THE USPTO

I hereby revoke all previous powers of attorney given in the application identified in the attached statement under 37 CFR 3.73(c).

I hereby appoint:

Practitioners associated with Customer Number: 20277

OR

Practitioner(s) named below (if more than ten patent practitioners are to be named, then a customer number must be used):

Name	Registration Number	Name	Registration Number

As attorney(s) or agent(s) to represent the undersigned before the United States Patent and Trademark Office (USPTO) in connection with any and all patent applications assigned only to the undersigned according to the USPTO assignment records or assignment documents attached to this form in accordance with 37 CFR 3.73(c).

Please change the correspondence address for the application identified in the attached statement under 37 CFR 3.73(c) to:

The address associated with Customer Number:

OR

<input type="checkbox"/>	Firm or Individual Name			
	Address			
	City	State	Zip	
	Country			
	Telephone	Email		

Assignee Name and Address: **SAMSUNG ELECTRO-MECHANICS CO., LTD., Maeyoung-Ro 150 (Maetan-Dong), Youngtong-Gu, Suwon-Si, Gyeonggi-Do, REPUBLIC OF KOREA**

A copy of this form, together with a statement under 37 CFR 3.73(c) (Form PTO/AIA/96 or equivalent) is required to be Filed in each application in which this form is used. The statement under 37 CFR 3.73(c) may be completed by one of The practitioners appointed in this form, and must identify the application in which this Power of Attorney is to be filed.

SIGNATURE of Assignee of Record
 The individual whose signature and title is supplied below is authorized to act on behalf of the assignee

Signature	<i>Jinwook Choi</i>	Date	<i>June 18, 2014</i>
Name	<i>CHOI JIN WOOK</i>	Telephone	
Title	<i>IP Group Leader</i>		

This collection of information is required by 37 CFR 1.31, 1.32 and 1.33. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 3 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

STATEMENT UNDER 37 CFR 3.73(c)Applicant/Patent Owner: SAMSUNG ELECTRO-MECHANICS CO., LTD.Application No./Patent No.: 14/259,011 Filed/Issue Date: April 22, 2014Titled: MULTILAYER CERAMIC CAPACITOR AND BOARD HAVING THE SAME MOUNTED THEREONSAMSUNG ELECTRO-MECHANICS CO., LTD., a Corporation

(Name of Assignee)

(Type of Assignee, e.g., corporation, partnership, university, government agency, etc.)

states that, for the patent application/patent identified above, it is (choose **one** of options 1, 2, 3 or 4 below):

1. The assignee of the entire right, title, and interest.
2. An assignee of less than the entire right, title, and interest (check applicable box):
- The extent (by percentage) of its ownership interest is _____%. Additional Statement(s) by the owners holding the balance of the interest must be submitted to account for 100% of the ownership interest.
- There are unspecified percentages of ownership. The other parties, including inventors, who together own the entire right, title and interest are:

--

Additional Statement(s) by the owner(s) holding the balance of the interest must be submitted to account for the entire right, title, and interest.

3. The assignee of an undivided interest in the entirety (a complete assignment from one of the joint inventors was made). The other parties, including inventors, who together own the entire right, title, and interest are:

--

Additional Statement(s) by the owner(s) holding the balance of the interest must be submitted to account for the entire right, title, and interest.

4. The recipient, via a court proceeding or the like (e.g., bankruptcy, probate), of an undivided interest in the entirety (a complete transfer of ownership interest was made). The certified document(s) showing the transfer is attached.

The interest identified in option 1, 2 or 3 above (not option 4) is evidenced by either (choose **one** of options A or B below):

- A. An assignment from the inventor(s) of the patent application/patent identified above. The assignment was recorded in the United States Patent and Trademark Office at Reel 032731, Frame 0575, or for which a copy thereof is attached.
- B. A chain of title from the inventor(s), of the patent application/patent identified above, to the current assignee as follows:

1. From: _____ To: _____

The document was recorded in the United States Patent and Trademark Office at
Reel _____, Frame _____, or for which a copy thereof is attached.

2. From: _____ To: _____

The document was recorded in the United States Patent and Trademark Office at
Reel _____, Frame _____, or for which a copy thereof is attached.

[Page 1 of 2]

This collection of information is required by 37 CFR 3.73(b). The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

STATEMENT UNDER 37 CFR 3.73(c)

3. From: _____ To: _____

The document was recorded in the United States Patent and Trademark Office at
Reel _____, Frame _____, or for which a copy thereof is attached.

4. From: _____ To: _____

The document was recorded in the United States Patent and Trademark Office at
Reel _____, Frame _____, or for which a copy thereof is attached.

5. From: _____ To: _____

The document was recorded in the United States Patent and Trademark Office at
Reel _____, Frame _____, or for which a copy thereof is attached.

6. From: _____ To: _____

The document was recorded in the United States Patent and Trademark Office at
Reel _____, Frame _____, or for which a copy thereof is attached.

Additional documents in the chain of title are listed on a supplemental sheet(s).

As required by 37 CFR 3.73(c)(1)(i), the documentary evidence of the chain of title from the original owner to the assignee was, or concurrently is being, submitted for recordation pursuant to 37 CFR 3.11.

[NOTE: A separate copy (i.e., a true copy of the original assignment document(s)) must be submitted to Assignment Division in accordance with 37 CFR Part 3, to record the assignment in the records of the USPTO. See MPEP 302.08]

The undersigned (whose title is supplied below) is authorized to act on behalf of the assignee.

/Bernard P. Codd/ *BPC*

Signature

Bernard P. Codd

Printed or Typed Name

July 9, 2014

Date

46,429

Title or Registration Number

Privacy Act Statement

The **Privacy Act of 1974 (P.L. 93-579)** requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether disclosure of these records is required by the Freedom of Information Act.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (*i.e.*, GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspection or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNDER SECRETARY OF COMMERCE FOR INTELLECTUAL PROPERTY AND
DIRECTOR OF THE UNITED STATES PATENT AND TRADEMARK OFFICE

APRIL 23, 2014

PTAS

MCDERMOTT WILL & EMERY LLP
THE MCDERMOTT BUILDING
500 NORTH CAPITOL STREET, N.W.
WASHINGTON, DC 20001

502778093

UNITED STATES PATENT AND TRADEMARK OFFICE
NOTICE OF RECORDATION OF ASSIGNMENT DOCUMENT

THE ENCLOSED DOCUMENT HAS BEEN RECORDED BY THE ASSIGNMENT RECORDATION BRANCH OF THE U.S. PATENT AND TRADEMARK OFFICE. A COMPLETE COPY IS AVAILABLE AT THE ASSIGNMENT SEARCH ROOM ON THE REEL AND FRAME NUMBER REFERENCED BELOW.

PLEASE REVIEW ALL INFORMATION CONTAINED ON THIS NOTICE. THE INFORMATION CONTAINED ON THIS RECORDATION NOTICE REFLECTS THE DATA PRESENT IN THE PATENT AND TRADEMARK ASSIGNMENT SYSTEM. IF YOU SHOULD FIND ANY ERRORS OR HAVE QUESTIONS CONCERNING THIS NOTICE, YOU MAY CONTACT THE ASSIGNMENT RECORDATION BRANCH AT 571-272-3350. PLEASE SEND REQUEST FOR CORRECTION TO: U.S. PATENT AND TRADEMARK OFFICE, MAIL STOP: ASSIGNMENT RECORDATION BRANCH, P.O. BOX 1450, ALEXANDRIA, VA 22313.

RECORDATION DATE: 04/22/2014

REEL/FRAME: 032731/0575
NUMBER OF PAGES: 5

BRIEF: ASSIGNMENT OF ASSIGNORS INTEREST (SEE DOCUMENT FOR DETAILS).

DOCKET NUMBER: 093814-0302

ASSIGNOR:

LEE, BYOUNG HWA

DOC DATE: 03/25/2014

ASSIGNOR:

PARK, HEUNG KIL

DOC DATE: 03/25/2014

ASSIGNOR:

LEE, KYO KWANG

DOC DATE: 03/25/2014

ASSIGNOR:

AHN, YOUNG GHYU

DOC DATE: 03/25/2014

ASSIGNOR:

PARK, SANG SOO

DOC DATE: 03/25/2014

ASSIGNOR:

LEE, SOON JU

DOC DATE: 03/25/2014

ASSIGNEE:

SAMSUNG ELECTRO-MECHANICS CO., LTD.
MAEYOUNG-RO 150 (MAETAN-DONG),
YOUNGTONG-GU
SUWON-SI, GYEONGGI-DO, KOREA,
REPUBLIC OF

APPLICATION NUMBER: 14259011

FILING DATE:

PATENT NUMBER:

ISSUE DATE:

TITLE: MULTILAYER CERAMIC CAPACITOR AND BOARD HAVING THE SAME MOUNTED
THEREON

ASSIGNMENT RECORDATION BRANCH
PUBLIC RECORDS DIVISION

Electronic Acknowledgement Receipt

EFS ID:	19538683
Application Number:	14259011
International Application Number:	
Confirmation Number:	5037
Title of Invention:	MULTILAYER CERAMIC CAPACITOR AND BOARD HAVING THE SAME MOUNTED THEREON
First Named Inventor/Applicant Name:	Byoung Hwa LEE
Customer Number:	20277
Filer:	Bernard P. Codd
Filer Authorized By:	
Attorney Docket Number:	093814-0302
Receipt Date:	10-JUL-2014
Filing Date:	22-APR-2014
Time Stamp:	16:26:12
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no
------------------------	----

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		2014-07-10-POA- Stmt373b-093814-0302.pdf	882091 <small>14ffe169e6850f41d497fd424c57ded001360b51</small>	yes	6

Multipart Description/PDF files in .zip description			
Document Description		Start	End
Power of Attorney		1	1
Assignee showing of ownership per 37 CFR 3.73.		2	4
Miscellaneous Incoming Letter		5	6

Warnings:

Information:

Total Files Size (in bytes):	882091
-------------------------------------	--------

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
14/259,011	04/22/2014	Byoung Hwa LEE	093814-0302

**CONFIRMATION NO. 5037
IMPROPER CPOA LETTER**

20277
MCDERMOTT WILL & EMERY LLP
The McDermott Building
500 North Capitol Street, N.W.
WASHINGTON, DC 20001



OC00000068306228

Date Mailed: 05/09/2014

NOTICE REGARDING POWER OF ATTORNEY

This is in response to the power of attorney filed 04/22/2014. The power of attorney in this application is not accepted for the reason(s) listed below:

- The revocation is not signed by the applicant, the assignee of the entire interest, or one particular principal attorney having the authority to revoke.

/tpnguyen/

Office of Data Management, Application Assistance Unit (571) 272-4000, or (571) 272-4200, or 1-888-786-0101



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

Table with 7 columns: APPLICATION NUMBER, FILING or 371(c) DATE, GRP ART UNIT, FIL FEE REC'D, ATTY DOCKET NO, TOT CLAIMS, IND CLAIMS. Row 1: 14/259,011, 04/22/2014, 1784, 1600, 093814-0302, 19, 2

CONFIRMATION NO. 5037

FILING RECEIPT



20277
MCDERMOTT WILL & EMERY LLP
The McDermott Building
500 North Capitol Street, N.W.
WASHINGTON, DC 20001

Date Mailed: 05/09/2014

Receipt is acknowledged of this non-provisional patent application. The application will be taken up for examination in due course. Applicant will be notified as to the results of the examination. Any correspondence concerning the application must include the following identification information: the U.S. APPLICATION NUMBER, FILING DATE, NAME OF APPLICANT, and TITLE OF INVENTION. Fees transmitted by check or draft are subject to collection. Please verify the accuracy of the data presented on this receipt. If an error is noted on this Filing Receipt, please submit a written request for a Filing Receipt Correction. Please provide a copy of this Filing Receipt with the changes noted thereon. If you received a "Notice to File Missing Parts" for this application, please submit any corrections to this Filing Receipt with your reply to the Notice. When the USPTO processes the reply to the Notice, the USPTO will generate another Filing Receipt incorporating the requested corrections

Inventor(s)

Byoung Hwa LEE, Suwon-Si, KOREA, REPUBLIC OF;
Heung Kil PARK, Suwon-Si, KOREA, REPUBLIC OF;
Kyo Kwang LEE, Suwon-Si, KOREA, REPUBLIC OF;
Young Ghyu AHN, Suwon-Si, KOREA, REPUBLIC OF;
Sang Soo PARK, Suwon-Si, KOREA, REPUBLIC OF;
Soon Ju LEE, Suwon-Si, KOREA, REPUBLIC OF;

Applicant(s)

SAMSUNG ELECTRO-MECHANICS CO., LTD., Suwon-Si, KOREA, REPUBLIC OF

Assignment For Published Patent Application

SAMSUNG ELECTRO-MECHANICS CO., LTD., Suwon-Si, KOREA, REPUBLIC OF

Power of Attorney: None

Domestic Applications for which benefit is claimed - None.

A proper domestic benefit claim must be provided in an Application Data Sheet in order to constitute a claim for domestic benefit. See 37 CFR 1.76 and 1.78.

Foreign Applications (You may be eligible to benefit from the Patent Prosecution Highway program at the USPTO. Please see http://www.uspto.gov for more information.)

REPUBLIC OF KOREA 10-2013-0068498 06/14/2013

Permission to Access - A proper Authorization to Permit Access to Application by Participating Offices (PTO/SB/39 or its equivalent) has been received by the USPTO.

Request to Retrieve - This application either claims priority to one or more applications filed in an intellectual property Office that participates in the Priority Document Exchange (PDX) program or contains a proper **Request to Retrieve Electronic Priority Application(s)** (PTO/SB/38 or its equivalent). Consequently, the USPTO will attempt to electronically retrieve these priority documents.

If Required, Foreign Filing License Granted: 05/07/2014

The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is **US 14/259,011**

Projected Publication Date: 12/18/2014

Non-Publication Request: No

Early Publication Request: No

Title

MULTILAYER CERAMIC CAPACITOR AND BOARD HAVING THE SAME MOUNTED THEREON

Preliminary Class

428

Statement under 37 CFR 1.55 or 1.78 for AIA (First Inventor to File) Transition Applications: No

PROTECTING YOUR INVENTION OUTSIDE THE UNITED STATES

Since the rights granted by a U.S. patent extend only throughout the territory of the United States and have no effect in a foreign country, an inventor who wishes patent protection in another country must apply for a patent in a specific country or in regional patent offices. Applicants may wish to consider the filing of an international application under the Patent Cooperation Treaty (PCT). An international (PCT) application generally has the same effect as a regular national patent application in each PCT-member country. The PCT process **simplifies** the filing of patent applications on the same invention in member countries, but **does not result** in a grant of "an international patent" and does not eliminate the need of applicants to file additional documents and fees in countries where patent protection is desired.

Almost every country has its own patent law, and a person desiring a patent in a particular country must make an application for patent in that country in accordance with its particular laws. Since the laws of many countries differ in various respects from the patent law of the United States, applicants are advised to seek guidance from specific foreign countries to ensure that patent rights are not lost prematurely.

Applicants also are advised that in the case of inventions made in the United States, the Director of the USPTO must issue a license before applicants can apply for a patent in a foreign country. The filing of a U.S. patent application serves as a request for a foreign filing license. The application's filing receipt contains further information and guidance as to the status of applicant's license for foreign filing.

Applicants may wish to consult the USPTO booklet, "General Information Concerning Patents" (specifically, the section entitled "Treaties and Foreign Patents") for more information on timeframes and deadlines for filing foreign patent applications. The guide is available either by contacting the USPTO Contact Center at 800-786-9199, or it can be viewed on the USPTO website at <http://www.uspto.gov/web/offices/pac/doc/general/index.html>.

For information on preventing theft of your intellectual property (patents, trademarks and copyrights), you may wish to consult the U.S. Government website, <http://www.stopfakes.gov>. Part of a Department of Commerce initiative, this website includes self-help "toolkits" giving innovators guidance on how to protect intellectual property in specific

countries such as China, Korea and Mexico. For questions regarding patent enforcement issues, applicants may call the U.S. Government hotline at 1-866-999-HALT (1-866-999-4258).

LICENSE FOR FOREIGN FILING UNDER
Title 35, United States Code, Section 184
Title 37, Code of Federal Regulations, 5.11 & 5.15

GRANTED

The applicant has been granted a license under 35 U.S.C. 184, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" followed by a date appears on this form. Such licenses are issued in all applications where the conditions for issuance of a license have been met, regardless of whether or not a license may be required as set forth in 37 CFR 5.15. The scope and limitations of this license are set forth in 37 CFR 5.15(a) unless an earlier license has been issued under 37 CFR 5.15(b). The license is subject to revocation upon written notification. The date indicated is the effective date of the license, unless an earlier license of similar scope has been granted under 37 CFR 5.13 or 5.14.

This license is to be retained by the licensee and may be used at any time on or after the effective date thereof unless it is revoked. This license is automatically transferred to any related applications(s) filed under 37 CFR 1.53(d). This license is not retroactive.

The grant of a license does not in any way lessen the responsibility of a licensee for the security of the subject matter as imposed by any Government contract or the provisions of existing laws relating to espionage and the national security or the export of technical data. Licensees should apprise themselves of current regulations especially with respect to certain countries, of other agencies, particularly the Office of Defense Trade Controls, Department of State (with respect to Arms, Munitions and Implements of War (22 CFR 121-128)); the Bureau of Industry and Security, Department of Commerce (15 CFR parts 730-774); the Office of Foreign Assets Control, Department of Treasury (31 CFR Parts 500+) and the Department of Energy.

NOT GRANTED

No license under 35 U.S.C. 184 has been granted at this time, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" DOES NOT appear on this form. Applicant may still petition for a license under 37 CFR 5.12, if a license is desired before the expiration of 6 months from the filing date of the application. If 6 months has lapsed from the filing date of this application and the licensee has not received any indication of a secrecy order under 35 U.S.C. 181, the licensee may foreign file the application pursuant to 37 CFR 5.15(b).

SelectUSA

The United States represents the largest, most dynamic marketplace in the world and is an unparalleled location for business investment, innovation, and commercialization of new technologies. The U.S. offers tremendous resources and advantages for those who invest and manufacture goods here. Through SelectUSA, our nation works to promote and facilitate business investment. SelectUSA provides information assistance to the international investor community; serves as an ombudsman for existing and potential investors; advocates on behalf of U.S. cities, states, and regions competing for global investment; and counsels U.S. economic development organizations on investment attraction best practices. To learn more about why the United States is the best country in the world to develop

technology, manufacture products, deliver services, and grow your business, visit <http://www.SelectUSA.gov> or call +1-202-482-6800.

PATENT APPLICATION FEE DETERMINATION RECORD

Substitute for Form PTO-875

Application or Docket Number
14/259,011

APPLICATION AS FILED - PART I

(Column 1)		(Column 2)	SMALL ENTITY		OR	OTHER THAN SMALL ENTITY	
FOR	NUMBER FILED	NUMBER EXTRA	RATE(\$)	FEE(\$)		RATE(\$)	FEE(\$)
BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A			N/A	280
SEARCH FEE (37 CFR 1.16(k), (j), or (m))	N/A	N/A	N/A			N/A	600
EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A			N/A	720
TOTAL CLAIMS (37 CFR 1.16(i))	19 minus 20 = *	*			OR	x 80 =	0.00
INDEPENDENT CLAIMS (37 CFR 1.16(h))	2 minus 3 = *	*				x 420 =	0.00
APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is \$310 (\$155 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).						0.00
MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))							0.00
* If the difference in column 1 is less than zero, enter "0" in column 2.			TOTAL			TOTAL	1600

APPLICATION AS AMENDED - PART II

(Column 1)		(Column 2)	(Column 3)	SMALL ENTITY		OR	OTHER THAN SMALL ENTITY		
AMENDMENT A		CLAIMS REMAINING AFTER AMENDMENT	HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE(\$)	ADDITIONAL FEE(\$)	RATE(\$)	ADDITIONAL FEE(\$)	
	Total (37 CFR 1.16(i))	*	Minus	**	=	x =		x =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	x =		x =	
	Application Size Fee (37 CFR 1.16(s))								
	FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))								
				TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE		
AMENDMENT B		CLAIMS REMAINING AFTER AMENDMENT	HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE(\$)	ADDITIONAL FEE(\$)	RATE(\$)	ADDITIONAL FEE(\$)	
	Total (37 CFR 1.16(i))	*	Minus	**	=	x =		x =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	x =		x =	
	Application Size Fee (37 CFR 1.16(s))								
	FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))								
				TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE		

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.
 ** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".
 *** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".
 The "Highest Number Previously Paid For" (Total or Independent) is the highest found in the appropriate box in column 1.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

UTILITY PATENT APPLICATION TRANSMITTAL <small>(ONLY FOR NEW NONPROVISIONAL APPLICATIONS UNDER 37 CFR 1.53(B))</small>	Attorney Docket No. 093814-0302	
	First Named Inventor Byoung Hwa LEE	
	Title MULTILAYER CERAMIC CAPACITOR AND BOARD HAVING THE SAME MOUNTED THEREON	
	Express Mail Label No.	

APPLICATION ELEMENTS <small>See MPEP chapter 600 concerning utility patent application contents.</small>	ADDRESS TO: Commissioner for Patents P.O. Box 1450 Alexandria, VA 22313-1450
--	---

1. **Fee Transmittal Form**
(PTO/SB/17 or equivalent)
2. **Applicant asserts small entity status.**
See 37 CFR 1.27
3. **Applicant certifies micro entity status.** See 37 CFR 1.29.
Applicant must attach form PTO/SB/15A or B or equivalent.
4. **Specification** [Total Pages 39]
Both the claims and abstract must start on a new page.
(See MPEP § 608.01(a) for information on the preferred arrangement)
5. **Drawing(s)** (35 U.S.C. 113) [Total Sheets 5]
6. **Inventor's Oath or Declaration** [Total Pages 3]
(including substitute statements under 37 CFR 1.64 and assignments serving as an oath or declaration under 37 CFR 1.63(e))
 - a. Newly executed (original or copy)
 - b. A copy from a prior application (37 CFR 1.63(d))
7. **Application Data Sheet** *See note below.
See 37 CFR 1.76 (PTO/AIA/14 or equivalent)
8. **CD-ROM or CD-R**
In duplicate, large table, or Computer Program (Appendix)
 - Landscape Table on CD
9. **Nucleotide and/or Amino Acid Sequence Submission**
(if applicable, items a. - c. are required)
 - a. Computer Readable Form (CRF)
 - b. **Specification Sequence Listing on:**
 - i. CD-ROM or CD-R (2 copies); or
 - ii. Paper
 - c. Statements verifying identity of above copies

ACCOMPANYING APPLICATION PARTS

10. **Assignment Papers**
(cover sheet & document(s))

 Name of Assignee

SAMSUNG ELECTRO-MECHANICS CO., LTD.
11. **37 CFR 3.73(c) Statement** **Power of Attorney**
(when there is an assignee)
12. **English Translation Document** (if applicable)
13. **Information Disclosure Statement**
(PTO/SB/08 or PTO-1449)
 - Copies of citations attached
14. **Preliminary Amendment**
15. **Return Receipt Postcard**
(MPEP § 503) (Should be specifically itemized)
16. **Certified Copy of Priority Document(s)**
(if foreign priority is claimed)
17. **Nonpublication Request**
Under 35 U.S.C. 122 (b)(2)(B)(i). Applicant must attach form PTO/SB/35 or equivalent.
18. **Other:**

***Note:** (1) Benefit claims under 37 CFR 1.78 and foreign priority claims under 1.55 **must** be included in an Application Data Sheet (ADS).
 (2) For applications filed under 35 U.S.C. 111, the application must contain an ADS specifying the applicant if the applicant is an assignee, person to whom the inventor is under an obligation to assign, or person who otherwise shows sufficient proprietary interest in the matter. See 37 CFR 1.46(b).

18. CORRESPONDENCE ADDRESS

The address associated with Customer Number: 20277 **OR** Correspondence address below

Name			
Address			
City	State	Zip Code	
Country	Telephone	Email	

Signature	/Stephen A. Becker, P.C./ <i>p</i>	Date	April 22, 2014
Name (Print/Type)	Stephen A. Becker, P.C.	Registration No. (Attorney/Agent)	26,527

FEE TRANSMITTAL	Complete if known		
	Application Number	Not Yet Assigned	
	Filing Date	April 22, 2014	
	First Named Inventor	Byoung Hwa LEE	
	Examiner Name	Not Yet Assigned	
	Art Unit	Not Yet Assigned	
<input type="checkbox"/> Applicant asserts small entity status. See 37 CFR 1.27 <input type="checkbox"/> Applicant certifies micro entity status. See 37 CFR 1.29. Form PTO/SB/15A or B or equivalent must either be enclosed or have been submitted previously		Practitioner Docket No.	093814-0302
TOTAL AMOUNT OF PAYMENT		(\$)	1,600.00

METHOD OF PAYMENT (check all that apply)

Check
 Credit Card
 Money Order
 None
 Other (please identify): _____

Deposit Account
 Deposit Account Number: 50-0417
 Deposit Account Name: McDermott Will & Emery LLP

For the above-identified deposit account, the Director is hereby authorized to: (check all that apply)

Charge fee(s) indicated below
 Charge fee(s) indicated below, **except for the filing fee**
 Charge any additional fee(s) or underpayment of fee(s) under 37 CFR 1.16 and 1.17
 Credit any overpayment of fee(s)

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

FEE CALCULATION

1. BASIC FILING, SEARCH, AND EXAMINATION FEES (U = undiscounted fee; S = small entity fee; M = micro entity fee)

Application Type	FILING FEES			SEARCH FEES			EXAMINATION FEES			Fees Paid (\$)
	U (\$)	S (\$)	M (\$)	U (\$)	S (\$)	M (\$)	U (\$)	S (\$)	M (\$)	
Utility	280	140*	70	600	300	150	720	360	180	1,600.00
Design	180	90	45	120	60	30	460	230	115	
Plant	180	90	45	380	190	95	580	290	145	
Reissue	280	140	70	600	300	150	2,160	1,080	540	
Provisional	260	130	65	0	0	0	0	0	0	

* The \$140 small entity status filing fee for a utility application is further reduced to \$70 for a small entity status applicant who files the application via EFS-Web.

2. EXCESS CLAIM FEES

Fee Description	Undiscounted Fee (\$)	Small Entity Fee (\$)	Micro Entity Fee (\$)
Each claim over 20 (including Reissues)	80	40	20
Each independent claim over 3 (including Reissues)	420	210	105
Multiple dependent claims	780	390	195
Total Claims			
<u>19</u> - 20 or HP = _____ x _____ = _____			
HP = highest number of total claims paid for, if greater than 20.			
Indep. Claims			
<u>2</u> - 3 or HP = _____ x _____ = _____			
HP = highest number of independent claims paid for, if greater than 3.			

3. APPLICATION SIZE FEE

If the specification and drawings exceed 100 sheets of paper (excluding electronically filed sequence or computer listings under 37 CFR 1.52(e)), the application size fee due is \$400 (\$200 for small entity) (\$100 for micro entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).

Total Sheets	Extra Sheets	Number of each additional 50 or fraction thereof	Fee (\$)	Fee Paid (\$)
<u>44</u>	- 100 = _____	/50 = _____ (round up to a whole number) x _____ = _____		

4. OTHER FEE(S)

Non-English specification, \$130 fee (no small or micro entity discount)

Non-electronic filing fee under 37 CFR 1.16(t) for a utility application, \$400 fee (\$200 small or micro entity)

Other (e.g., late filing surcharge): _____

SUBMITTED BY			
Signature	/Stephen A. Becker, P.C./ <i>B</i>	Registration No. (Attorney/Agent)	26,527 Telephone (202) 756-8608
Name (Print/Type)	Stephen A. Becker, P.C.	Date	April 22, 2014

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMITTAL FOR POWER OF ATTORNEY TO ONE OR MORE REGISTERED PRACTITIONERS

NOTE: This form is to be submitted with the Power of Attorney by Applicant form (PTO/AIA/82B or equivalent) to identify the application to which the Power of Attorney is directed, in accordance with 37 CFR 1.5. If the Power of Attorney by Applicant form is not accompanied by this transmittal form or an equivalent, the Power of Attorney will not be recognized in the application.

Application Number	Not Yet Assigned
Filing Date	April 22, 2014
First Named Inventor	Byoung Hwa LEE
Title	MULTILAYER CERAMIC CAPACITOR AND BOARD HAVING THE SAME MOUNTED, etc.
Art Unit	Not Yet Assigned
Examiner Name	Not Yet Assigned
Attorney Docket Number	093814-0302

SIGNATURE of Applicant or Patent Practitioner

Signature	/Stephen A. Becker, P.C./ <i>b</i>	Date	April 22, 2014
Name	Stephen A. Becker, P.C.	Telephone	(202) 756-8608
Registration Number	26,527		

NOTE: This form must be signed in accordance with 37 CFR 1.33. See 37 CFR 1.4(d) for signature requirements and certifications.

*Total of 1 forms are submitted.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

POWER OF ATTORNEY BY APPLICANT

I hereby revoke all previous powers of attorney given in the application identified in the attached transmittal letter.

- I hereby appoint Practitioner(s) associated with the following Customer Number as my/our attorney(s) or agent(s), and to transact all business in the United States Patent and Trademark Office connected therewith for the application referenced in the attached transmittal letter (form PTO/AIA/82A or equivalent):

20277

OR

- I hereby appoint Practitioner(s) named below as my/our attorney(s) or agent(s), and to transact all business in the United States Patent and Trademark Office connected therewith for the application referenced in the attached transmittal letter (form PTO/AIA/82A or equivalent):

Name	Registration Number	Name	Registration Number

Please recognize or change the correspondence address for the application identified in the attached transmittal letter to:

- The address associated with the above-mentioned Customer Number.

OR

- The address associated with Customer Number: 20277

OR

Firm or Individual Name

Address

City

State

Zip

Country

Telephone

Email

I am the Applicant:

- Inventor or Joint Inventor
- Legal Representative of a Deceased or Legally Incapacitated Inventor
- Assignee or Person to Whom the Inventor is Under an Obligation to Assign
- Person Who Otherwise Shows Sufficient Proprietary Interest (e.g., a petition under 37 CFR 1.46(b)(2) was granted in the application or is concurrently being filed with this document)

SIGNATURE of Applicant for Patent

Signature	<i>Jin Wook Choi</i>	Date	<i>Oct 10, 2012</i>
Name	Jin Wook CHOI	Telephone	

Title and Company Leader of Intellectual Property Group (SAMSUNG ELECTRO-MECHANICS CO., LTD.)

NOTE: Signature - This form must be signed by the applicant in accordance with 37 CFR 1.33. See 37 CFR 1.4 for signature requirements and certifications. Submit multiple forms for more than one signature, see below *.

*Total of _____ forms are submitted.

This collection of information is required by 37 CFR 1.31, 1.32 and 1.33. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 3 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76		Attorney Docket Number	093814-0302
		Application Number	
Title of Invention	MULTILAYER CERAMIC CAPACITOR AND BOARD HAVING THE SAME MOUNTED THEREON		
The application data sheet is part of the provisional or nonprovisional application for which it is being submitted. The following form contains the bibliographic data arranged in a format specified by the United States Patent and Trademark Office as outlined in 37 CFR 1.76. This document may be completed electronically and submitted to the Office in electronic format using the Electronic Filing System (EFS) or the document may be printed and included in a paper filed application.			

Secrecy Order 37 CFR 5.2

<input type="checkbox"/>	Portions or all of the application associated with this Application Data Sheet may fall under a Secrecy Order pursuant to 37 CFR 5.2. (Paper filers only. Applications that fall under Secrecy Order may not be filed electronically.)
--------------------------	--

Inventor Information:

Inventor 1					<input type="button" value="Remove"/>
Legal Name					
Prefix	Given Name	Middle Name	Family Name	Suffix	
Mr.	Byoung Hwa		LEE		
Residence Information (Select One) <input type="radio"/> US Residency <input checked="" type="radio"/> Non US Residency <input type="radio"/> Active US Military Service					
City	Suwon-Si, Gyeonggi-Do	Country of Residence i	KR		
Mailing Address of Inventor:					
Address 1	SAMSUNG ELECTRO-MECHANICS CO., LTD.				
Address 2	Maeyoung-Ro 150 (Maetan-Dong), Youngtong-Gu				
City	Suwon-Si, Gyeonggi-Do	State/Province			
Postal Code		Country i	KR		
Inventor 2					<input type="button" value="Remove"/>
Legal Name					
Prefix	Given Name	Middle Name	Family Name	Suffix	
	Heung Kil		PARK		
Residence Information (Select One) <input type="radio"/> US Residency <input checked="" type="radio"/> Non US Residency <input type="radio"/> Active US Military Service					
City	Suwon-Si, Gyeonggi-Do	Country of Residence i	KR		
Mailing Address of Inventor:					
Address 1	SAMSUNG ELECTRO-MECHANICS CO., LTD.				
Address 2	Maeyoung-Ro 150 (Maetan-Dong), Youngtong-Gu				
City	Suwon-Si, Gyeonggi-Do	State/Province			
Postal Code		Country i	KR		
Inventor 3					<input type="button" value="Remove"/>
Legal Name					

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76		Attorney Docket Number	093814-0302	
		Application Number		
Title of Invention	MULTILAYER CERAMIC CAPACITOR AND BOARD HAVING THE SAME MOUNTED THEREON			
Prefix	Given Name	Middle Name	Family Name	Suffix
	Kyo Kwang		LEE	
Residence Information (Select One) <input type="radio"/> US Residency <input checked="" type="radio"/> Non US Residency <input type="radio"/> Active US Military Service				
City	Suwon-Si, Gyeonggi-Do	Country of Residence i	KR	
Mailing Address of Inventor:				
Address 1	SAMSUNG ELECTRO-MECHANICS CO., LTD.			
Address 2	Maeyoung-Ro 150 (Maetan-Dong), Youngtong-Gu			
City	Suwon-Si, Gyeonggi-Do	State/Province		
Postal Code		Country i	KR	
Inventor 4				<input type="button" value="Remove"/>
Legal Name				
Prefix	Given Name	Middle Name	Family Name	Suffix
	Young Ghyu		AHN	
Residence Information (Select One) <input type="radio"/> US Residency <input checked="" type="radio"/> Non US Residency <input type="radio"/> Active US Military Service				
City	Suwon-Si, Gyeonggi-Do	Country of Residence i	KR	
Mailing Address of Inventor:				
Address 1	SAMSUNG ELECTRO-MECHANICS CO., LTD.			
Address 2	Maeyoung-Ro 150 (Maetan-Dong), Youngtong-Gu			
City	Suwon-Si, Gyeonggi-Do	State/Province		
Postal Code		Country i	KR	
Inventor 5				<input type="button" value="Remove"/>
Legal Name				
Prefix	Given Name	Middle Name	Family Name	Suffix
	Sang Soo		PARK	
Residence Information (Select One) <input type="radio"/> US Residency <input checked="" type="radio"/> Non US Residency <input type="radio"/> Active US Military Service				
City	Suwon-Si, Gyeonggi-Do	Country of Residence i	KR	
Mailing Address of Inventor:				
Address 1	SAMSUNG ELECTRO-MECHANICS CO., LTD.			
Address 2	Maeyoung-Ro 150 (Maetan-Dong), Youngtong-Gu			
City	Suwon-Si, Gyeonggi-Do	State/Province		
Postal Code		Country i	KR	

Application Data Sheet 37 CFR 1.76		Attorney Docket Number	093814-0302
		Application Number	
Title of Invention	MULTILAYER CERAMIC CAPACITOR AND BOARD HAVING THE SAME MOUNTED THEREON		

Inventor 6 Remove				
Legal Name				
Prefix	Given Name	Middle Name	Family Name	Suffix
Mr.	Soon Ju		LEE	
Residence Information (Select One) <input type="radio"/> US Residency <input checked="" type="radio"/> Non US Residency <input type="radio"/> Active US Military Service				
City	Suwon-Si, Gyeonggi-Do	Country of Residence i	KR	
Mailing Address of Inventor:				
Address 1	SAMSUNG ELECTRO-MECHANICS CO., TLD.			
Address 2	Maeyoung-Ro 150 (Maetan-Dong), Youngtong-Gu			
City	Suwon-Si, Gyeonggi-Do	State/Province		
Postal Code		Country i	KR	
All Inventors Must Be Listed - Additional Inventor Information blocks may be generated within this form by selecting the Add button.				Add

Correspondence Information:

Enter either Customer Number or complete the Correspondence Information section below. For further information see 37 CFR 1.33(a).			
<input type="checkbox"/> An Address is being provided for the correspondence information of this application.			
Customer Number	20277		
Email Address	ipdocketmwe@mwe.com	Add Email	Remove Email

Application Information:

Title of the Invention	MULTILAYER CERAMIC CAPACITOR AND BOARD HAVING THE SAME MOUNTED THEREON		
Attorney Docket Number	093814-0302	Small Entity Status Claimed <input type="checkbox"/>	
Application Type	Nonprovisional		
Subject Matter	Utility		
Total Number of Drawing Sheets (if any)	5	Suggested Figure for Publication (if any)	

Publication Information:

<input type="checkbox"/> Request Early Publication (Fee required at time of Request 37 CFR 1.219)
<input type="checkbox"/> Request Not to Publish. I hereby request that the attached application not be published under 35 U.S.C. 122(b) and certify that the invention disclosed in the attached application has not and will not be the subject of an application filed in another country, or under a multilateral international agreement, that requires publication at eighteen months after filing.

Representative Information:

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76		Attorney Docket Number	093814-0302	
		Application Number		
Title of Invention	MULTILAYER CERAMIC CAPACITOR AND BOARD HAVING THE SAME MOUNTED THEREON			
<p>Representative information should be provided for all practitioners having a power of attorney in the application. Providing this information in the Application Data Sheet does not constitute a power of attorney in the application (see 37 CFR 1.32). Either enter Customer Number or complete the Representative Name section below. If both sections are completed the customer Number will be used for the Representative Information during processing.</p>				
<p>Please Select One: <input checked="" type="radio"/> Customer Number <input type="radio"/> US Patent Practitioner <input type="radio"/> Limited Recognition (37 CFR 11.9)</p>				
Customer Number	20277			

Domestic Benefit/National Stage Information:

This section allows for the applicant to either claim benefit under 35 U.S.C. 119(e), 120, 121, or 365(c) or indicate National Stage entry from a PCT application. Providing this information in the application data sheet constitutes the specific reference required by 35 U.S.C. 119(e) or 120, and 37 CFR 1.78.			
Prior Application Status			<input type="button" value="Remove"/>
Application Number	Continuity Type	Prior Application Number	Filing Date (YYYY-MM-DD)
Additional Domestic Benefit/National Stage Data may be generated within this form by selecting the Add button.			<input type="button" value="Add"/>

Foreign Priority Information:

This section allows for the applicant to claim priority to a foreign application. Providing this information in the application data sheet constitutes the claim for priority as required by 35 U.S.C. 119(b) and 37 CFR 1.55(d). When priority is claimed to a foreign application that is eligible for retrieval under the priority document exchange program (PDX) ^l the information will be used by the Office to automatically attempt retrieval pursuant to 37 CFR 1.55(h)(1) and (2). Under the PDX program, applicant bears the ultimate responsibility for ensuring that a copy of the foreign application is received by the Office from the participating foreign intellectual property office, or a certified copy of the foreign priority application is filed, within the time period specified in 37 CFR 1.55(g)(1).			
<input type="button" value="Remove"/>			
Application Number	Country ⁱ	Filing Date (YYYY-MM-DD)	Access Code ⁱ (if applicable)
10-2013-0068498	KR	2013-06-14	
Additional Foreign Priority Data may be generated within this form by selecting the Add button.			<input type="button" value="Add"/>

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76		Attorney Docket Number	093814-0302
		Application Number	
Title of Invention	MULTILAYER CERAMIC CAPACITOR AND BOARD HAVING THE SAME MOUNTED THEREON		

Statement under 37 CFR 1.55 or 1.78 for AIA (First Inventor to File) Transition Applications

<input type="checkbox"/> This application (1) claims priority to or the benefit of an application filed before March 16, 2013 and (2) also contains, or contained at any time, a claim to a claimed invention that has an effective filing date on or after March 16, 2013.

Authorization to Permit Access:

<input checked="" type="checkbox"/> Authorization to Permit Access to the Instant Application by the Participating Offices
<p>If checked, the undersigned hereby grants the USPTO authority to provide the European Patent Office (EPO), the Japan Patent Office (JPO), the Korean Intellectual Property Office (KIPO), the World Intellectual Property Office (WIPO), and any other intellectual property offices in which a foreign application claiming priority to the instant patent application is filed access to the instant patent application. See 37 CFR 1.14(c) and (h). This box should not be checked if the applicant does not wish the EPO, JPO, KIPO, WIPO, or other intellectual property office in which a foreign application claiming priority to the instant patent application is filed to have access to the instant patent application.</p> <p>In accordance with 37 CFR 1.14(h)(3), access will be provided to a copy of the instant patent application with respect to: 1) the instant patent application-as-filed; 2) any foreign application to which the instant patent application claims priority under 35 U.S.C. 119(a)-(d) if a copy of the foreign application that satisfies the certified copy requirement of 37 CFR 1.55 has been filed in the instant patent application; and 3) any U.S. application-as-filed from which benefit is sought in the instant patent application.</p> <p>In accordance with 37 CFR 1.14(c), access may be provided to information concerning the date of filing this Authorization.</p>

Applicant Information:

Providing assignment information in this section does not substitute for compliance with any requirement of part 3 of Title 37 of CFR to have an assignment recorded by the Office.		
Applicant 1		<input type="button" value="Remove"/>
<p>If the applicant is the inventor (or the remaining joint inventor or inventors under 37 CFR 1.45), this section should not be completed. The information to be provided in this section is the name and address of the legal representative who is the applicant under 37 CFR 1.43; or the name and address of the assignee, person to whom the inventor is under an obligation to assign the invention, or person who otherwise shows sufficient proprietary interest in the matter who is the applicant under 37 CFR 1.46. If the applicant is an applicant under 37 CFR 1.46 (assignee, person to whom the inventor is obligated to assign, or person who otherwise shows sufficient proprietary interest) together with one or more joint inventors, then the joint inventor or inventors who are also the applicant should be identified in this section.</p>		
		<input type="button" value="Clear"/>
<input checked="" type="radio"/> Assignee	<input type="radio"/> Legal Representative under 35 U.S.C. 117	<input type="radio"/> Joint Inventor
<input type="radio"/> Person to whom the inventor is obligated to assign.		<input type="radio"/> Person who shows sufficient proprietary interest

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76		Attorney Docket Number	093814-0302	
		Application Number		
Title of Invention	MULTILAYER CERAMIC CAPACITOR AND BOARD HAVING THE SAME MOUNTED THEREON			
If applicant is the legal representative, indicate the authority to file the patent application, the inventor is:				
Name of the Deceased or Legally Incapacitated Inventor :				
If the Applicant is an Organization check here. <input checked="" type="checkbox"/>				
Organization Name	SAMSUNG ELECTRO-MECHANICS CO., LTD.			
Mailing Address Information:				
Address 1	Maeyoung-Ro 150 (Maetan-Dong), Youngtong-Gu			
Address 2				
City	Suwon-Si, Gyeonggi-Do	State/Province		
Country ⁱ	KR	Postal Code		
Phone Number		Fax Number		
Email Address				
Additional Applicant Data may be generated within this form by selecting the Add button.				<input type="button" value="Add"/>

Non-Applicant Assignee Information:

Providing assignment information in this section does not substitute for compliance with any requirement of part 3 of Title 37 of CFR to have an assignment recorded by the Office.				
Assignee 1				
Complete this section only if non-applicant assignee information is desired to be included on the patent application publication in accordance with 37 CFR 1.215(b). Do not include in this section an applicant under 37 CFR 1.46 (assignee, person to whom the inventor is obligated to assign, or person who otherwise shows sufficient proprietary interest), as the patent application publication will include the name of the applicant(s).				
				<input type="button" value="Remove"/>
If the Assignee is an Organization check here. <input type="checkbox"/>				
Prefix	Given Name	Middle Name	Family Name	Suffix

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76		Attorney Docket Number	093814-0302
		Application Number	
Title of Invention	MULTILAYER CERAMIC CAPACITOR AND BOARD HAVING THE SAME MOUNTED THEREON		

Mailing Address Information:			
Address 1			
Address 2			
City		State/Province	
Country i		Postal Code	
Phone Number		Fax Number	
Email Address			
Additional Assignee Data may be generated within this form by selecting the Add button.			<input type="button" value="Add"/>

Signature:

NOTE: This form must be signed in accordance with 37 CFR 1.33. See 37 CFR 1.4 for signature requirements and certifications					
Signature	/Stephen A. Becker, P.C./		Date (YYYY-MM-DD)	2014-04-22	
First Name	Stephen	Last Name	Becker	Registration Number	26527
Additional Signature may be generated within this form by selecting the Add button.				<input type="button" value="Add"/>	

This collection of information is required by 37 CFR 1.76. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 23 minutes to complete, including gathering, preparing, and submitting the completed application data sheet form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether the Freedom of Information Act requires disclosure of these records.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspections or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

MULTILAYER CERAMIC CAPACITOR AND
BOARD HAVING THE SAME MOUNTED THEREON

CROSS-REFERENCE TO RELATED APPLICATION

5 **[0001]** This application claims the benefit of Korean Patent Application No. 10-2013-0068498 filed on June 14, 2013, with the Korean Intellectual Property Office, the disclosure of which is incorporated herein by reference.

10

BACKGROUND

[0002] The present disclosure relates to a multilayer ceramic capacitor and a board having the same mounted thereon.

[0003] In accordance with the recent trend toward miniaturization and high capacitance of electronic products,
15 electronic components used in the electronic products are required to have a small size and high capacitance. Therefore, a demand for a multilayer ceramic electronic component has been increased.

[0004] In the case of a multilayer ceramic capacitor, as
20 equivalent series inductance (hereinafter, referred to as "ESL") increases, performance of an electronic product may deteriorate. In addition, in a case in which an electronic component is miniaturized and capacitance thereof is increased, the influence of an increase in ESL on deterioration in
25 performance of the electronic product has relatively increased.

[0005] A so-called "low inductance chip capacitor (LICC)" is to decrease inductance by decreasing a distance between external terminals to shorten a current flow path.

[0006] Meanwhile, the multilayer ceramic capacitor may have
5 a structure in which a plurality of dielectric layers and internal electrodes having opposite polarities and having at least one of the dielectric layers interposed therebetween are alternately stacked.

[0007] Since the dielectric layers have piezoelectric and
10 electrostrictive properties, when direct current (DC) or alternating current (AC) voltage is applied to the multilayer ceramic capacitor, a piezoelectric phenomenon may occur between the internal electrodes, causing vibrations.

[0008] Such vibrations may be transferred to a printed circuit
15 board on which the multilayer ceramic capacitor is mounted through a solder, such that the entire printed circuit board may become an acoustic reflection surface to transmit the sound of vibrations as noise.

[0009] Vibration noise may have a frequency corresponding to
20 an audio frequency within a range of 20 to 20000 Hz, potentially causing listener discomfort. The vibration noise causing listener discomfort, as described above, is known as acoustic noise.

[0010] Research into a technology of reducing the acoustic
25 noise in a multilayer ceramic capacitor is still demanded.

SUMMARY

[0011] An aspect of the present disclosure may provide a multilayer ceramic capacitor and a board having the same mounted thereon.
5

[0012] According to an aspect of the present disclosure, a multilayer ceramic capacitor may include: a ceramic body including dielectric layers and having first and second main surfaces opposing each other, first and second side surfaces opposing each other, and first and second end surfaces opposing each other; an active layer configured to form capacitance by including a plurality of first and second internal electrodes disposed to face each other with at least one of the dielectric layers interposed therebetween and alternately exposed to the first or second side surface; upper and lower cover layers disposed on and below the active layer, respectively; and a first external electrode disposed on the first side surface of the ceramic body and electrically connected to the first internal electrodes and a second external electrode disposed on the second side surface and electrically connected to the second internal electrodes, wherein when a thickness of the ceramic body is defined as T and a width thereof is defined as W , $0.75W \leq T \leq 1.25W$ may be satisfied, when a gap between the first and second external electrodes is defined as G , $30\mu\text{m} \leq G \leq 0.9W$ may be satisfied, and an average number of dielectric
10
15
20
25

grains in a single dielectric layer in a thickness direction thereof may be 2 or greater.

[0013] The lower cover layer may have a thickness of 10 μm to 100 μm .

5 **[0014]** When the thickness of the ceramic body is a distance between the first and second main surfaces, the width of the ceramic body is a distance between the first side surface on which the first external electrode is formed and the second side surface on which the second external electrode is formed, and
10 a length of the ceramic body is a distance between the first and second end surfaces, the distance between the first and second side surfaces may be shorter than or equal to the distance between the first and second end surfaces.

[0015] When the length and the width of the ceramic body are
15 defined as L and W, respectively, $0.5L \leq W \leq L$ may be satisfied.

[0016] An average grain size of the dielectric grains may be 50 nm to 500 nm.

[0017] The first and second internal electrodes may be spaced
20 apart from the first and second end surfaces of the ceramic body by a predetermined distance.

[0018] The first and second external electrodes may be extended to portions of the first and second main surfaces of the ceramic body.

[0019] According to another aspect of the present disclosure,
25 a board having a multilayer ceramic capacitor mounted thereon

may include: a printed circuit board having two or more electrode pads formed thereon; the multilayer ceramic capacitor mounted on the printed circuit board; and a solder connecting the electrode pads and the multilayer ceramic capacitor, 5 wherein the multilayer ceramic capacitor may include: a ceramic body including dielectric layers and having first and second main surfaces opposing each other, first and second side surfaces opposing each other, and first and second end surfaces opposing each other; an active layer configured to form 10 capacitance by including a plurality of first and second internal electrodes disposed to face each other with at least one of the dielectric layers interposed therebetween and alternately exposed to the first or second side surface; upper and lower cover layers disposed on and below the active layer, 15 respectively; and a first external electrode disposed on the first side surface of the ceramic body and electrically connected to the first internal electrodes and a second external electrode disposed on the second side surface and electrically connected to the second internal electrodes, wherein when a 20 thickness of the ceramic body is defined as T and a width thereof is defined as W, $0.75W \leq T \leq 1.25W$ may be satisfied, when a gap between the first and second external electrodes is defined as G, $30\mu\text{m} \leq G \leq 0.9W$ may be satisfied, and an average number of dielectric grains in a single dielectric layer in a thickness 25 direction thereof may be 2 or greater.

[0020] The lower cover layer may have a thickness of 10 μm to 100 μm.

[0021] When the thickness of the ceramic body is a distance between the first and second main surfaces, the width of the ceramic body is a distance between the first side surface on which the first external electrode is formed and the second side surface on which the second external electrode is formed, and a length of the ceramic body is a distance between the first and second end surfaces, the distance between the first and second side surfaces may be shorter than or equal to the distance between the first and second end surfaces.

[0022] When the length and the width of the ceramic body are defined as L and W, respectively, $0.5L \leq W \leq L$ may be satisfied.

[0023] An average grain size of the dielectric grains may be 50nm to 500nm.

[0024] The first and second internal electrodes may be spaced apart from the first and second end surfaces of the ceramic body by a predetermined distance.

[0025] The first and second external electrodes may be extended to portions of the first and second main surfaces of the ceramic body.

[0026] The solder may be disposed around portions of the first and second external electrodes of the multilayer ceramic capacitor.

[0027] The solder may be disposed around central portions of

the first and second external electrodes of the multilayer ceramic capacitor.

[0028] The electrode pads may include first and second electrode pads connected to the first and second external electrodes of the multilayer ceramic capacitor, respectively.

[0029] The first and second electrode pads may be offset to each other in a width direction of the multilayer ceramic capacitor.

[0030] The electrode pads may include first and second electrode pads connected to the first external electrode of the multilayer ceramic capacitor and third and fourth electrode pads connected to the second external electrode of the multilayer ceramic capacitor.

15

BRIEF DESCRIPTION OF DRAWINGS

[0031] The above and other aspects, features and other advantages of the present disclosure will be more clearly understood from the following detailed description taken in conjunction with the accompanying drawings, in which:

20

FIG. 1 is a perspective view showing a multilayer ceramic capacitor according to an exemplary embodiment of the present disclosure;

FIG. 2 is a view showing a ceramic body according to an exemplary embodiment of the present disclosure;

25

FIG. 3 is an exploded perspective view of FIG. 2;

FIG. 4 is a cross-sectional view taken along line A-A' of FIG. 1;

FIG. 5 is an enlarged view of part Z of FIG. 4;

FIG. 6 is a perspective view showing a structure in which the multilayer ceramic capacitor of FIG. 1 is mounted on a printed circuit board;

FIG. 7 is a plan view of FIG. 6;

FIG. 8 is a plan view of FIG. 6 according to another exemplary embodiment of the present disclosure; and

FIG. 9 is a plan view of FIG. 6 according to another exemplary embodiment of the present disclosure.

DETAILED DESCRIPTION

[0032] Exemplary embodiments of the present disclosure will now be described in detail with reference to the accompanying drawings.

[0033] The disclosure may, however, be embodied in many different forms and should not be construed as being limited to the embodiments set forth herein. Rather, these embodiments are provided so that this disclosure will be thorough and complete, and will fully convey the scope of the disclosure to those skilled in the art.

[0034] In the drawings, the shapes and dimensions of elements may be exaggerated for clarity, and the same reference numerals will be used throughout to designate the same or like elements.

Multilayer Ceramic Capacitor

[0035] FIG. 1 is a perspective view showing a multilayer ceramic capacitor according to an exemplary embodiment of the present disclosure.

5 [0036] FIG. 2 is a view showing a ceramic body according to an exemplary embodiment of the present disclosure.

[0037] FIG. 3 is an exploded perspective view of FIG. 2.

[0038] FIG. 4 is a cross-sectional view taken along line A-A' of FIG. 1.

10 [0039] Referring to FIGS. 1 through 4, a multilayer ceramic capacitor 100 according to an exemplary embodiment of the present disclosure may include a ceramic body 110 including dielectric layers 111 and having first and second main surfaces S1 and S2 opposing each other, first and second side surfaces S5 and S6 opposing each other, and first and second end surfaces S3 and S4 opposing each other; an active layer A configured to form capacitance by including a plurality of first and second internal electrodes 121 and 122 disposed to face each other, having at least one of the dielectric layers 111 interposed
15 therebetween, and alternately exposed to the first or second side surface S5 or S6; upper and lower cover layers 112 and 113 formed on and below the active layer A; and a first external electrode 131 formed on the first side surface S5 of the ceramic body 110 and electrically connected to the first internal
20 electrode 121 and a second external electrode 132 formed on the
25

second side surface S6 and electrically connected to the second internal electrode 122, wherein when a thickness of the ceramic body 110 is defined as T and a width thereof is defined as W, T and W satisfy $0.75W \leq T \leq 1.25W$, when a gap between the first and second external electrodes 131 and 132 is defined as G, the gap G satisfies $30\mu\text{m} \leq G \leq 0.9W$, and the average number of dielectric grains 111a present in a single dielectric layer in a thickness direction thereof is 2 or greater.

[0040] Hereinafter, a multilayer ceramic electronic component according to an exemplary embodiment of the present disclosure will be described. Particularly, a multilayer ceramic capacitor will be described, but the present disclosure is not limited thereto.

[0041] Referring to FIG. 1, in the multilayer ceramic capacitor according to an exemplary embodiment of the present disclosure, a 'length direction' refers to an 'L' direction, a 'width direction' refers to a 'W' direction, and a 'thickness direction' refers to a 'T' direction. Here, the 'thickness direction' may be the same as a stacking direction in which dielectric layers are stacked.

[0042] Referring to FIG. 2, in the exemplary embodiment of the present disclosure, the ceramic body 110 may have the first and second main surfaces S1 and S2 opposing each other, and the first and second side surfaces S5 and S6 and the first and second end surfaces S3 and S4 that connect the first and second main

surfaces S1 and S2 to each other. A shape of the ceramic body 110 is not particularly limited, but may be a hexahedral shape as shown.

[0043] Referring to FIG. 3, a raw material forming the dielectric layers 111 is not particularly limited as long as sufficient capacitance may be obtained, but may be, for example, barium titanate (BaTiO_3) powder.

[0044] The material forming the dielectric layer 111 may further contain various ceramic additives, organic solvents, plasticizers, binders, dispersing agents, or the like, according to intended use of the capacitor, in addition to ceramic powder such as barium titanate (BaTiO_3) powder, or the like.

[0045] An average particle size of the ceramic powder used to form the dielectric layers 111 is not particularly limited and may be controlled, for example, to be 400nm or less.

[0046] A material for the first and second internal electrodes 121 and 122 is not particularly limited. For example, the first and second internal electrodes 121 and 122 may be formed of a conductive paste including at least one of a noble metal material such as palladium (Pd), a palladium-silver (Pd-Ag) alloy, or the like, nickel (Ni), and copper (Cu).

[0047] The first and second internal electrodes 121 and 122 may be disposed to face each other, having at least one of the dielectric layers 111 interposed therebetween, and may be

alternately exposed to the first or second side surface S5 or S6.

[0048] The first and second internal electrodes 121 and 122 are alternately exposed to the first or second side surface S5 or S6, such that a reverse geometry capacitor (RGC) or low inductance chip capacitor (LICC) may be obtained as described below.

[0049] In a general multilayer ceramic electronic component, external electrodes may be disposed on opposing end surfaces of the ceramic body in a length direction thereof.

[0050] In this case, when an alternative current (AC) voltage is applied to the external electrodes, a current path is relatively long, whereby an intensity of an induced magnetic field may be increased, resulting in an increase in inductance.

[0051] In order to solve this problem, the first and second external electrodes 131 and 132 in the exemplary embodiment of the present disclosure may be disposed on the first and second side surfaces S5 and S6 of the ceramic body 110 opposing each other in the width direction so as to reduce the current path.

[0052] In this case, since a distance between the first and second external electrodes 131 and 132 is relatively short, the current path may be reduced, the current path may be reduced, resulting in a reduction in inductance.

[0053] As described above, the first and second external electrodes 131 and 132 may be formed on the first and second

side surfaces S5 and S6 of the ceramic body 110 opposing each other in the width direction and may be electrically connected to the first and second internal electrodes 121 and 122 in order to form capacitance.

5 **[0054]** The first and second external electrodes 131 and 132 may be formed of the same conductive material as that of the first and second internal electrodes 121 and 122 but are not limited thereto. For example, the first and second external electrodes 131 and 132 may be formed of a metal powder including
10 copper (Cu), silver (Ag), nickel (Ni), or the like.

[0055] The first and second external electrodes 131 and 132 may be formed by applying a conductive paste prepared by adding glass frits to the metal powder and then sintering the applied conductive paste.

15 **[0056]** A width W of the ceramic body 110 may be a distance between the first side surface S5 on which the first external electrode 131 is formed and the second side surface S6 on which the second external electrode 132 is formed, and a length L of the ceramic body 110 may be a distance between the first and
20 second end surfaces S3 and S4.

[0057] According to the exemplary embodiment of the present disclosure, the distance between the first and second side surfaces 5 and 6 on which the first and second external electrodes 131 and 132 are formed, respectively, may be less
25 than or equal to the distance between the first and second end

surfaces 3 and 4.

[0058] Since the distance between the first and second external electrodes 131 and 132 is shortened, the current path may be shortened, resulting in a reduction in inductance.

5 **[0059]** As described above, the multilayer ceramic capacitor, in which the first and second external electrodes 131 and 132 are formed on the first and second side surfaces 5 and 6 of the ceramic body 110, may be a reverse geometry capacitor (RGC) or low inductance chip capacitor (LICC).

10 **[0060]** Referring to FIG. 4, the ceramic body 110 may include the active layer A contributing to forming capacitance of the capacitor and the upper and lower cover layers 112 and 113 formed on and below the active layer A, respectively, as upper and lower margin parts.

15 **[0061]** The active layer A may be formed by repeatedly stacking the plurality of first and second internal electrodes 121 and 122, having at least one of the dielectric layers 111 interposed therebetween.

[0062] Meanwhile, in the multilayer ceramic capacitor
20 according to the exemplary embodiment of the present disclosure, when the thickness and the width of the ceramic body 110 are defined as T and W, respectively, $0.75W \leq T \leq 1.25W$ may be satisfied.

[0063] Acoustic noise may be reduced by controlling the
25 thickness T and the width W of the ceramic body 110 to satisfy

$0.75W \leq T \leq 1.25W$.

[0064] In the case in which the thickness T of the ceramic body is less than $0.75W$, target capacitance may not be generated in the multilayer ceramic capacitor.

5 **[0065]** In the case in which the thickness T of the ceramic body is greater than $1.25W$, the multilayer ceramic capacitor may be inclined when being mounted on a board, , whereby a mounting defect may occur.

[0066] Meanwhile, when the gap between the first and second external electrodes 131 and 132 is defined as G , $30\mu\text{m} \leq G \leq 0.9W$ may be satisfied.

[0067] Acoustic noise may be reduced by controlling the gap G between the first and second external electrodes 131 and 132 to satisfy $30\mu\text{m} \leq G \leq 0.9W$.

15 **[0068]** In the case in which the gap G between the first and second external electrodes 131 and 132 is less than $30\mu\text{m}$, the gap G between the first and second external electrodes 131 and 132 is excessively narrow, such that a short circuit may occur.

[0069] In the case in which the gap G between the first and second external electrodes 131 and 132 is greater than $0.9W$, a width of the first and second external electrodes 131 and 132 may be reduced to thereby reduce a mounting area when being mounted on the board, causing a defect resulting from poor adhesive strength.

25 **[0070]** Further, when the length and width of the ceramic body

110 are defined as L and W, respectively, $0.5L \leq W \leq L$ may be satisfied. However, the present disclosure is not limited thereto.

[0071] Inductance of the multilayer ceramic capacitor may be reduced by controlling the length and the width of the ceramic body to satisfy $0.5L \leq W \leq L$.

[0072] Therefore, low inductance may be implemented in the multilayer ceramic electronic component according to the exemplary embodiment of the present disclosure, whereby electric performance may be improved.

[0073] Meanwhile, according to the exemplary embodiment of the present disclosure, the thickness of the lower cover layer 113 may be 10 μm to 100 μm .

[0074] When the thickness of the lower cover layer 113 is controlled to be 10 μm to 100 μm , acoustic noise may be reduced and excellent reliability may be implemented in the multilayer ceramic capacitor.

[0075] In the case in which the thickness of the lower cover layer 113 is less than 10 μm , such an excessively thin cover layer may result in the occurrence of a moisture resistance defect.

[0076] In the case in which the thickness of the lower cover layer 113 is greater than 100 μm , acoustic noise may be rapidly increased due to displacement of the lower cover layer.

[0077] A thickness of the upper cover layer 112 is not particularly limited, and may be equal to or similar to that

of the lower cover layer 113. The thickness of the upper cover layer 112 may be within a range preventing the occurrence of the moisture resistance defect.

[0078] FIG. 5 is an enlarged view of part Z of FIG. 4.

5 **[0079]** Referring to FIG. 5, the average number of dielectric grains 111a present in a single dielectric layer 111 in a thickness direction thereof may be 2 or greater.

[0080] Acoustic noise may be reduced by controlling the average number of dielectric grains 111a present in the single dielectric layer in the thickness direction thereof to be 2 or greater.

[0081] In the case in which the average number of dielectric grains 111a in the single dielectric layer 111 in the thickness direction thereof is less than 2, the number of grain boundaries is reduced, and when voltage is applied to the internal electrodes, a displacement of the dielectric layer may be increased, resulting in an increase in a displacement of the multilayer ceramic capacitor, whereby acoustic noise may be increased.

20 **[0082]** Meanwhile, an average grain size of the dielectric grains 111a may be 50nm to 500nm.

[0083] Acoustic noise may be reduced by controlling the average grain size of the dielectric grains 111a to be 50nm to 500nm.

[0084] In the case in which the average grain size of the dielectric grains 111a is less than 50nm, such an excessively

small grain size may cause a reduction in permittivity, whereby target capacitance of the multilayer ceramic capacitor required by a power terminal may not be generated.

[0085] In the case in which the average grain size of the dielectric grains 111a is greater than 500nm, such an excessively large grain size may increase a region in which a single dielectric grain occupies in a single dielectric layer, whereby acoustic noise may be increased.

[0086] A method of measuring the average number of the dielectric grains 111a in the single dielectric layer in the thickness direction thereof and the average grain size of the dielectric grains 111a is not particularly limited, but the average number and the average grain size of the dielectric grains 111a may be measured from an image obtained by scanning a cross-section of the ceramic body 110 in the width direction thereof using a scanning electron microscope (SEM) as shown in FIG. 4.

[0087] For example, as shown in FIG. 4, with respect to any dielectric layer randomly selected from an image obtained by scanning a cross-section of the ceramic body 10 in width-thickness (W-T) directions thereof after being cut in a central portion of the ceramic body 10 in the length (L) direction thereof, using a scanning electron microscope (SEM), the average number of the dielectric grains 111a in the single dielectric layer and the average grain size of the dielectric

grains 11a may be measured at thirty equidistant points thereof.

[0088] The thirty equidistant points may be disposed in the active layer A, in which the internal electrodes 121 and 122 are overlapped with each other.

5 **[0089]** The first and second internal electrodes 121 and 122 may be spaced part from the first and second end surfaces S3 and S4 of the ceramic body 110 by a predetermined distance, but are not limited thereto.

[0090] Meanwhile, the first and second external electrodes 131
10 and 132 may be extended to portions of the first and second main surfaces S1 and S2 of the ceramic body, but are not limited thereto.

[0091] Hereinafter, a method of manufacturing a multilayer ceramic capacitor according to an exemplary embodiment of the
15 present disclosure will be described, but is not limited thereto.

[0092] In the method of manufacturing the multilayer ceramic capacitor according to the exemplary embodiment of the present disclosure, first, slurry containing powder such as barium
20 titanate (BaTiO_3) powder, or the like, may be applied to carrier films and dried to prepare a plurality of ceramic green sheets, thereby forming dielectric layers.

[0093] The ceramic green sheet may be manufactured by mixing the ceramic powder, a binder, and a solvent to prepare the slurry
25 and forming the prepared slurry as sheets having a thickness

of several μm by a doctor blade method.

[0094] Next, a conductive paste for internal electrodes may be prepared to contain 40 to 50 parts by weight of nickel powder, in which an average particle size of nickel powder is 0.1 μm to 0.2 μm .

[0095] After the conductive paste for internal electrodes is applied to the green sheets through a screen printing method to form internal electrodes, 400 to 500 green sheets on which the internal electrodes have been formed may be stacked to form an active layer, and then the ceramic green sheets may be stacked on and below the active layer to form cover layers, thereby forming a ceramic body having first and second main surfaces opposing each other, first and second side surfaces opposing each other, and first and second end surfaces opposing each other.

[0096] Then, first and second external electrodes may be formed on the first and second side surfaces of the ceramic body.

[0097] Hereafter, although the present disclosure will be described in detail with reference to Inventive Examples, the present inventive concept is not limited thereto.

Experimental Example

[0098] Multilayer ceramic capacitors according to Inventive Examples and Comparative Examples were manufactured as follows.

[0099] Slurry containing powder such as barium titanate (BaTiO_3), or the like, was applied to carrier films and dried

to prepare a plurality of ceramic green sheets having a thickness of 1.8 μ m.

[00100] Next, a nickel conductive paste for internal electrodes was applied to the ceramic green sheets using a screen to form internal electrodes.

[00101] About 200 ceramic green sheets were stacked to form a multilayer body. Here, the number of ceramic green sheets having no internal electrode disposed at a lower portion of the multilayer body below the stacked ceramic green sheets having the internal electrodes formed thereon was greater than the number of ceramic green sheets having no internal electrode disposed at an upper portion of the multilayer body above the stacked ceramic green sheets having the internal electrodes formed thereon. Isostatic pressing was performed on the multilayer body at 85 $^{\circ}$ C and 1000kgf/cm².

[00102] The pressed ceramic multilayer body was cut into individual chips, and each chip was subjected to a de-binding process by being maintained at 230 $^{\circ}$ C for 60 hours under air atmosphere.

[00103] Then, the chip was sintered at 1200 $^{\circ}$ C under reduction atmosphere having oxygen partial pressure of 10⁻¹¹atm to 10⁻¹⁰atm lower than Ni-NiO equilibrium oxygen partial pressure so that the internal electrodes were not oxidized. After sintering, a size of the multilayer chip capacitor was about 1.0 mm \times 0.5 mm (Length \times Width (L \times W), 1005 size). Here,

a manufacturing tolerance was within a range of ± 0.1 mm (Length \times Width (L \times W)), and experiments were performed on samples satisfying such a tolerance range to test acoustic noise, moisture resistance, mounting defects and adhesion strength of each sample.

[00104] The following Tables 1 through 3 shows an acoustic noise measurement value, the occurrence of moisture resistance defects, and the occurrence of mounting defects according to a ratio (T/W) of a thickness T to a width W of the multilayer ceramic capacitor and a thickness of a lower cover layer.

[00105] Here, the experiments were performed in a state in which the average number of dielectric grains in a single dielectric layer in a thickness direction thereof was about 2.

[Table 1]

T/W	THICKNESS OF LOW COVER LAYER[μ m]	ACOUSTIC NOISE[dB]	MOISTURE RESISTANCE DEFECT	MOUNTING DEFECT
	5	21.5	X	⊙
	10	22.6	○	⊙
	20	23.1	⊙	⊙
	30	23.7	⊙	⊙
	40	23.8	⊙	⊙
	50	24.2	⊙	⊙
1.0	60	25.3	⊙	⊙
	70	26.1	⊙	⊙
	80	26.6	⊙	⊙
	90	26.9	⊙	⊙
	100	27.6	⊙	⊙
	120	33.2	⊙	⊙
	150	36.4	⊙	⊙

15

x: Defect Rate of 50% or greater

- △: Defect Rate of 1% to 50%
- : Defect Rate of 0.01% to 1%
- ◎: Defect Rate less than 0.01%

5 [Table 2]

T/W	THICKNESS OF LOW COVER LAYER[μ m]	ACOUSTIC NOISE[db]	MOISTURE RESISTANCE DEFECT	MOUNTING DEFECT
	5	20.7	X	◎
	10	21.4	○	◎
	20	22.5	◎	◎
	30	22.9	◎	◎
	40	22.9	◎	◎
	50	23.9	◎	◎
1.25	60	24.2	◎	◎
	70	25.7	◎	◎
	80	25.9	◎	◎
	90	26.2	◎	◎
	100	27.9	◎	◎
	120	33.4	◎	◎
	150	34.1	◎	◎

- x: Defect Rate of 50% or greater
- △: Defect Rate of 1% to 50%
- : Defect Rate of 0.01% to 1%
- 10 ◎: Defect Rate less than 0.01%

[Table 3]

T/W	THICKNESS OF LOW COVER LAYER[μm]	ACOUSTIC NOISE[dB]	MOISTURE RESISTANCE DEFECT	MOUNTING DEFECT
	5	20.4	X	X
	10	21.5	○	X
	20	22.7	◎	X
	30	23.1	◎	X
	40	23.7	◎	X
	50	24.5	◎	X
1.30	60	24.9	◎	X
	70	25.2	◎	X
	80	25.6	◎	X
	90	25.9	◎	X
	100	27.7	◎	X
	120	33.7	◎	X
	150	36.1	◎	X

x: Defect Rate of 50% or greater

△: Defect Rate of 1% to 50%

○: Defect Rate of 0.01% to 1%

5 ◎: Defect Rate less than 0.01%

[00106] Referring to Tables 1 through 3, it can be seen that in the case in which the thickness T and the width W of the ceramic body satisfied $0.75W \leq T \leq 1.25W$, acoustic noise was reduced.

[00107] Particularly, it can be seen from Table 3 that in the case in which the thickness T of the ceramic body was 1.30W, the mounting defect that the multilayer ceramic capacitor was inclined when being mounted on a board occurred.

[00108] Further, referring to Tables 1 through 3, it can be seen that in the case in which the thickness of the lower cover layer was 10 μm to 100 μm , acoustic noise was reduced and reliability was excellent.

[00109] It can be seen that in the case in which the thickness of the lower cover layer was 5 μm , which was out of the above-mentioned numerical range, there was a problem in reliability due to the moisture resistance defect, and in the cases in which the thickness of the lower cover layer was 120 μm or 150 μm , acoustic noise was increased.

[00110] The following Tables 4 shows an acoustic noise measurement value, the occurrence of moisture resistance defects, and the occurrence of mounting defects according to a ratio (T/W) of a thickness T to a width W of a multilayer ceramic capacitor and a thickness of a lower cover layer, in the case in which the average number of dielectric grains in a single dielectric layer in a thickness direction thereof was less than 2.

15 [Table 4]

T/W	THICKNESS OF LOW COVER LAYER[μm]	ACOUSTIC NOISE[dB]	MOISTURE RESISTANCE DEFECT	MOUNTING DEFECT
	5	26.7	X	◎
	10	27.1	○	◎
	20	27.7	◎	◎
	30	28.5	◎	◎
	40	28.8	◎	◎
	50	29.1	◎	◎
1.0	60	30.6	◎	◎
	70	31.3	◎	◎
	80	31.6	◎	◎
	90	32.3	◎	◎
	100	32.5	◎	◎
	120	38.1	◎	◎
	150	40.0	◎	◎

×: Defect Rate of 50% or greater

△: Defect Rate of 1% to 50%

○: Defect Rate of 0.01% to 1%

◎: Defect Rate less than 0.01%

5 **[00111]** Referring to Table 4, it can be seen that in the
case in which the average number of the dielectric grains 111a
in a single dielectric layer in the thickness direction thereof
was less than 2, the number of grain boundaries was reduced,
and when voltage was applied to the internal electrodes, a
10 displacement of the dielectric layer was increased, resulting
in an increase in a displacement of the multilayer ceramic
capacitor, whereby acoustic noise was increased.

[00112] The following Table 5 shows an acoustic noise
measurement value, and the occurrence of mounting defects and
15 adhesion strength defect according to the width W of the
multilayer ceramic capacitor and a gap G between first and
second external electrodes.

[Table 5]

W[μ m]	GAP(G) BETWEEN EXTERNAL ELECTRODES	G/W	ACOUSTIC NOISE[dB]	MOUNTING DEFECT(SHORT)	ADHESION STRENGTH
650	25	0.04	21.7	X	⊙
650	30	0.05	22.0	○	⊙
650	40	0.08	22.1	○	⊙
650	50	0.12	22.5	⊙	⊙
650	80	0.18	23.1	⊙	⊙
650	120	0.25	23.6	⊙	⊙
650	160	0.32	24.5	⊙	⊙
650	210	0.40	24.9	⊙	⊙
650	260	0.48	25.2	⊙	⊙
650	310	0.55	25.6	⊙	⊙
650	450	0.69	25.9	⊙	○
650	550	0.85	25.9	⊙	○
650	580	0.89	26.2	⊙	○
650	620	0.95	26.5	⊙	X

×: Defect Rate of 50% or greater

△: Defect Rate of 1% to 50%

○: Defect Rate of 0.01% to 1%

5 ⊙: Defect Rate less than 0.01%

[00113] Referring to Table 5, it can be seen that in the case in which the gap G between the first and second external electrodes satisfied $30\mu\text{m} \leq G \leq 0.9W$, acoustic noise was reduced and reliability was excellent.

10 **[00114]** It can be seen that in the case in which the gap G between the first and second external electrodes was less than $30\mu\text{m}$, that is, the gap G was $25\mu\text{m}$, the short defect occurred.

[00115] Meanwhile, it can be seen that in the case in which the gap G between the first and second external electrodes was greater than $0.9W$, that is, the gap G was $0.95W$, adhesion

15

strength was low when the multilayer ceramic capacitor was mounted on a board, resulting in a defect.

Board Having Multilayer Ceramic Capacitor Mounted Thereon

5 [00116] FIG. 6 is a perspective view showing a structure in which the multilayer ceramic capacitor of FIG. 1 is mounted on a printed circuit board.

[00117] FIG. 7 is a plan view of FIG. 6.

[00118] FIG. 8 is a plan view of FIG. 6 according to another exemplary embodiment of the present disclosure.

10 [00119] FIG. 9 is a plan view of FIG. 6 according to another exemplary embodiment of the present disclosure.

[00120] Referring to FIGS. 6 and 7, a board 200 having the multilayer ceramic capacitor 100 mounted thereon according to this exemplary embodiment may include a printed circuit board
15 210 on which the multilayer ceramic capacitor 100 is horizontally mounted, and two or more electrode pads 221 and 222 formed on the printed circuit board 210 to be spaced apart from each other.

[00121] The electrode pads may include first and second
20 electrode pads 221 and 222 connected to the first and second external electrodes 131 and 132 of the multilayer ceramic capacitor 100, respectively.

[00122] In this case, the multilayer ceramic capacitor 100 may be electrically connected to the printed circuit board 210
25 by a solder 230 in a state in which the lower cover layer 113

is disposed downwards and the first and second external electrodes 131 and 132 are positioned to contact the first and second electrode pads 221 and 222, respectively.

[00123] In the board 200 having the multilayer ceramic capacitor 100 mounted thereon according to another exemplary embodiment of the present disclosure, the solder 230 may be formed on portions of the first and second external electrodes 131 and 132 of the multilayer ceramic capacitor 100, but is not limited thereto.

[00124] Particularly, referring to FIGS. 6 and 7, the solder 230 may be disposed around central portions of the first and second external electrodes 131 and 132 of the multilayer ceramic capacitor 100.

[00125] When voltage is applied in a state in which the multilayer ceramic capacitor 100 is mounted on the printed circuit board 210 as described above, acoustic noise may be generated.

[00126] Here, sizes of the first and second electrode pads 221 and 222 may become an indicator for determining an amount of the solder 230 connecting the first and second external electrodes 131 and 132 of the multilayer ceramic capacitor 100 to the first and second electrode pads 221 and 222, and a level of the acoustic noise may be controlled according to the amount of the solder 230.

[00127] When voltages having different polarities are

applied to the first and second external electrodes 131 and 132 formed on both side surfaces of the multilayer ceramic capacitor 100 in a state in which the multilayer ceramic capacitor 100 is mounted on the printed circuit board 210, the ceramic body 5 110 may be expanded and contracted in a thickness direction by an inverse piezoelectric effect of the dielectric layers 111, and both side portions of the ceramic body 110 having the first and second external electrodes 131 and 132 formed thereon may be contracted and expanded by a poisson effect as opposed to 10 the expansion and contraction of the ceramic body 110 in the thickness direction.

[00128] More specifically, the contraction and expansion of the ceramic body may occur with a displacement of about 20nm in the thickness direction of the multilayer ceramic capacitor, 15 a displacement of about 4nm in the length direction thereof, and a displacement of about 2nm in the width direction thereof.

[00129] Here, in the multilayer ceramic capacitor according to the exemplary embodiment of the present disclosure, since the first and second external electrodes are formed on both side 20 surfaces of the ceramic body in the width direction of the multilayer ceramic capacitor, displacement in contraction and expansion may be significantly decreased, whereby acoustic noise may be reduced.

[00130] Referring to FIG. 8, in another exemplary embodiment 25 of the present disclosure, the electrode pads may include first

and second electrode pads 221' and 222' connected to the first external electrode 131 of the multilayer ceramic capacitor 100 and third and fourth electrode pads 223' and 224' connected to the second external electrode 132.

5 **[00131]** According to the exemplary embodiment of the present disclosure shown in FIG. 8, two electrode pads for the same external electrode are spaced apart from each other, so that a difference in displacement of contraction and expansion may be decreased, whereby an effect of reducing acoustic noise may
10 be further excellent.

[00132] Referring to FIG. 9, according to another exemplary embodiment of the present disclosure, first and second electrode pads 221" and 222" may be offset to each other in the width direction of the multilayer ceramic capacitor.

15 **[00133]** According to the exemplary embodiment of the present disclosure shown in FIG. 9, since the first and second electrode pads 221" and 222" may be offset to each other in the width direction of the multilayer ceramic capacitor, contraction and expansion may be offset to each other, such that an effect of
20 reducing acoustic noise may be further excellent.

[00134] As set forth above, according to exemplary embodiments of the present disclosure, since a gap between external electrodes is relatively short, an amount of vibrations generated in a multilayer ceramic capacitor
25 transferred to a board may be reduced, whereby acoustic noise

may be reduced.

[00135] Further, when the multilayer ceramic capacitor is mounted on the board, a mounting area may be reduced.

[00136] While exemplary embodiments have been shown and
5 described above, it will be apparent to those skilled in the art that modifications and variations could be made without departing from the spirit and scope of the present disclosure as defined by the appended claims.

What Is Claimed Is:

1. A multilayer ceramic capacitor, comprising:

a ceramic body including dielectric layers and having first and second main surfaces opposing each other, first and second side surfaces opposing each other, and first and second end surfaces opposing each other;

an active layer including a plurality of first and second internal electrodes disposed to face each other with at least one of the dielectric layers interposed therebetween and alternately exposed to the first or second side surface;

upper and lower cover layers disposed on and below the active layer, respectively; and

a first external electrode disposed on the first side surface of the ceramic body and electrically connected to the first internal electrodes and a second external electrode disposed on the second side surface and electrically connected to the second internal electrodes,

wherein when a thickness of the ceramic body is defined as T and a width thereof is defined as W, $0.75W \leq T \leq 1.25W$ is satisfied,

when a gap between the first and second external electrodes is defined as G, $30\mu\text{m} \leq G \leq 0.9W$ is satisfied, and

an average number of dielectric grains in a single dielectric layer in a thickness direction thereof is 2 or greater.

2. The multilayer ceramic capacitor of claim 1, wherein the lower cover layer has a thickness of 10 μm to 100 μm .

5 3. The multilayer ceramic capacitor of claim 1, wherein when the thickness of the ceramic body is a distance between the first and second main surfaces, the width of the ceramic body is a distance between the first side surface on which the first external electrode is formed and the second side surface
10 on which the second external electrode is formed, and a length of the ceramic body is a distance between the first and second end surfaces, the distance between the first and second side surfaces is shorter than or equal to the distance between the first and second end surfaces.

15

4. The multilayer ceramic capacitor of claim 3, wherein when the length and the width of the ceramic body are defined as L and W, respectively, $0.5L \leq W \leq L$ is satisfied.

20 5. The multilayer ceramic capacitor of claim 1, wherein an average grain size of the dielectric grains is 50 nm to 500 nm.

6. The multilayer ceramic capacitor of claim 1, wherein
25 the first and second internal electrodes are spaced apart from

the first and second end surfaces of the ceramic body by a predetermined distance.

7. The multilayer ceramic capacitor of claim 1, wherein
5 the first and second external electrodes are extended to portions of the first and second main surfaces of the ceramic body.

8. A board having a multilayer ceramic capacitor mounted
10 thereon, the board comprising:

a printed circuit board having two or more electrode pads formed thereon;

the multilayer ceramic capacitor mounted on the printed circuit board; and

15 a solder connecting the electrode pads and the multilayer ceramic capacitor,

wherein the multilayer ceramic capacitor includes:

ceramic body including dielectric layers and having first and second main surfaces opposing each other, first and second
20 side surfaces opposing each other, and first and second end surfaces opposing each other;

an active layer including a plurality of first and second internal electrodes disposed to face each other with at least one of the dielectric layers interposed therebetween and
25 alternately exposed to the first or second side surface;

upper and lower cover layers disposed on and below the active layer, respectively; and

a first external electrode disposed on the first side surface of the ceramic body and electrically connected to the first internal electrode and a second external electrode disposed on the second side surface and electrically connected to the second internal electrode,

when a thickness of the ceramic body is defined as T and a width thereof is defined as W, $0.75W \leq T \leq 1.25W$ is satisfied,

when a gap between the first and second external electrodes is defined as G, $30\mu\text{m} \leq G \leq 0.9W$ is satisfied, and

an average number of dielectric grains in a single dielectric layer in a thickness direction thereof is 2 or greater.

15

9. The board of claim 8, wherein the lower cover layer has a thickness of 10 μm to 100 μm .

10. The board of claim 8, wherein when the thickness of the ceramic body is a distance between the first and second main surfaces, the width of the ceramic body is a distance between the first side surface on which the first external electrode is formed and the second side surface on which the second external electrode is formed, and a length of the ceramic body is a distance between the first and second end surfaces, the

25

distance between the first and second side surfaces is shorter than or equal to the distance between the first and second end surfaces.

5 11. The board of claim 10, wherein when the length and the width of the ceramic body are defined as L and W, respectively, $0.5L \leq W \leq L$ is satisfied.

10 12. The board of claim 8, wherein an average grain size of the dielectric grains is 50 nm to 500 nm.

15 13. The board of claim 8, wherein the first and second internal electrodes are spaced apart from the first and second end surfaces of the ceramic body by a predetermined distance.

 14. The board of claim 8, wherein the first and second external electrodes are extended to portions of the first and second main surfaces of the ceramic body.

20 15. The board of claim 8, wherein the solder is disposed around portions of the first and second external electrodes of the multilayer ceramic capacitor.

25 16. The board of claim 8, wherein the solder is disposed around central portions of the first and second external

electrodes of the multilayer ceramic capacitor.

17. The board of claim 8, wherein the electrode pads include first and second electrode pads connected to the first
5 and second external electrodes of the multilayer ceramic capacitor, respectively.

18. The board of claim 17, wherein the first and second electrode pads are offset to each other in a width direction
10 of the multilayer ceramic capacitor.

19. The board of claim 8, wherein the electrode pads include:

first and second electrode pads connected to the first
15 external electrode of the multilayer ceramic capacitor; and
third and fourth electrode pads connected to the second external electrode of the multilayer ceramic capacitor.

ABSTRACT

A multilayer ceramic capacitor may include: a ceramic body including dielectric layers and having first and second main surfaces opposing each other, first and second side surfaces
5 opposing each other, and first and second end surfaces opposing each other; an active layer configured to form capacitance by including first and second internal electrodes facing each other with one dielectric layer therebetween and alternately exposed to the first or second side surface; upper and lower
10 cover layers disposed on and below the active layer; and a first external electrode disposed on the first side surface and a second external electrode disposed on the second side surface. Thickness T and width W of the ceramic body satisfy $0.75W \leq T \leq 1.25W$, gap G between the first and second external
15 electrodes satisfies $30\mu\text{m} \leq G \leq 0.9W$, and an average number of dielectric grains in a single dielectric layer in a thickness direction thereof is 2 or greater.

100

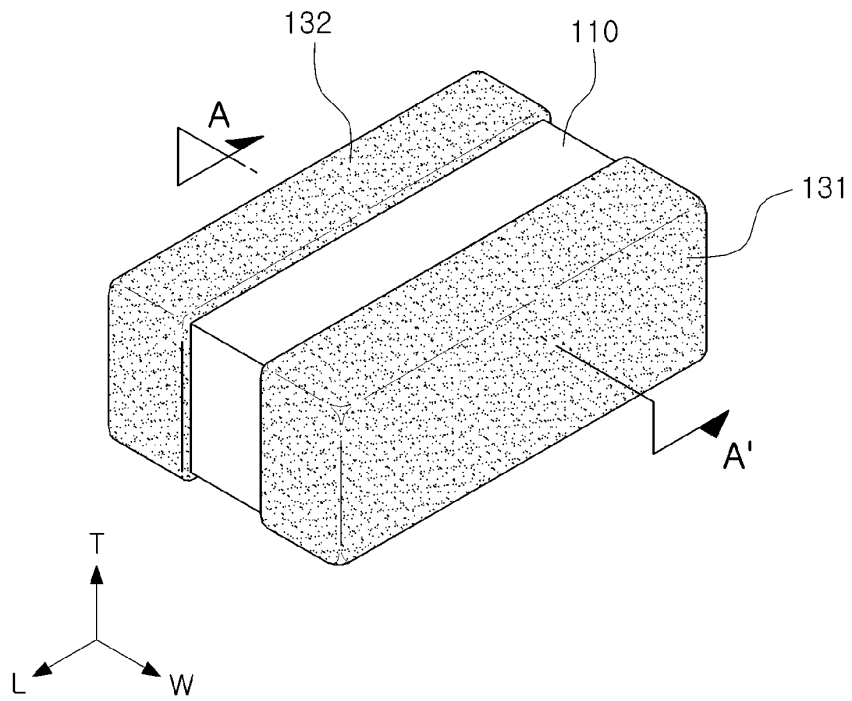


FIG. 1

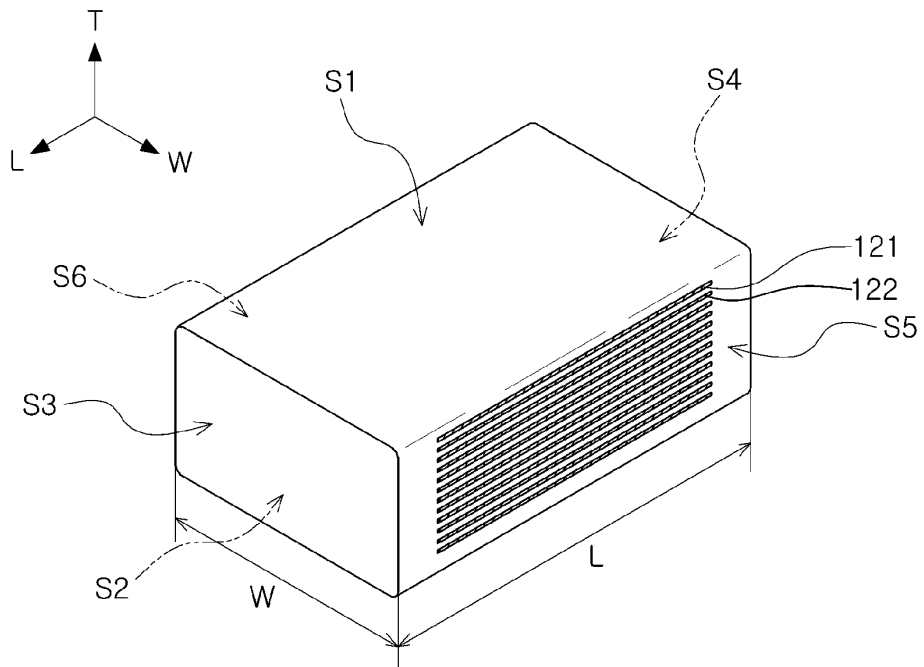


FIG. 2

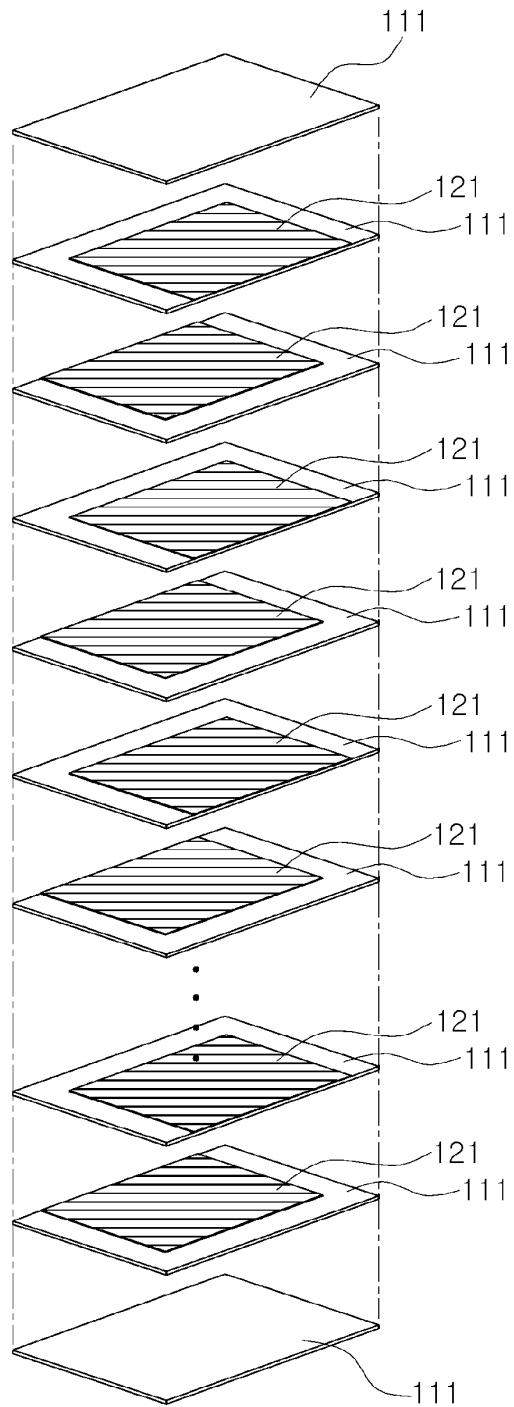


FIG. 3

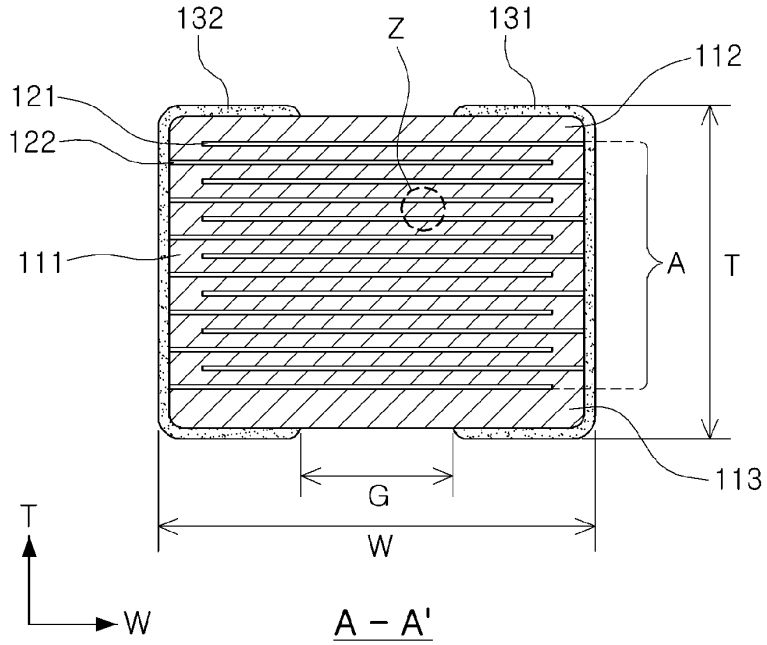
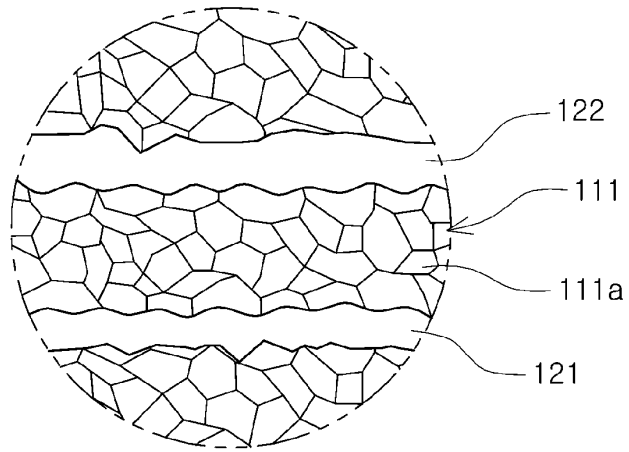


FIG. 4



Z
FIG. 5

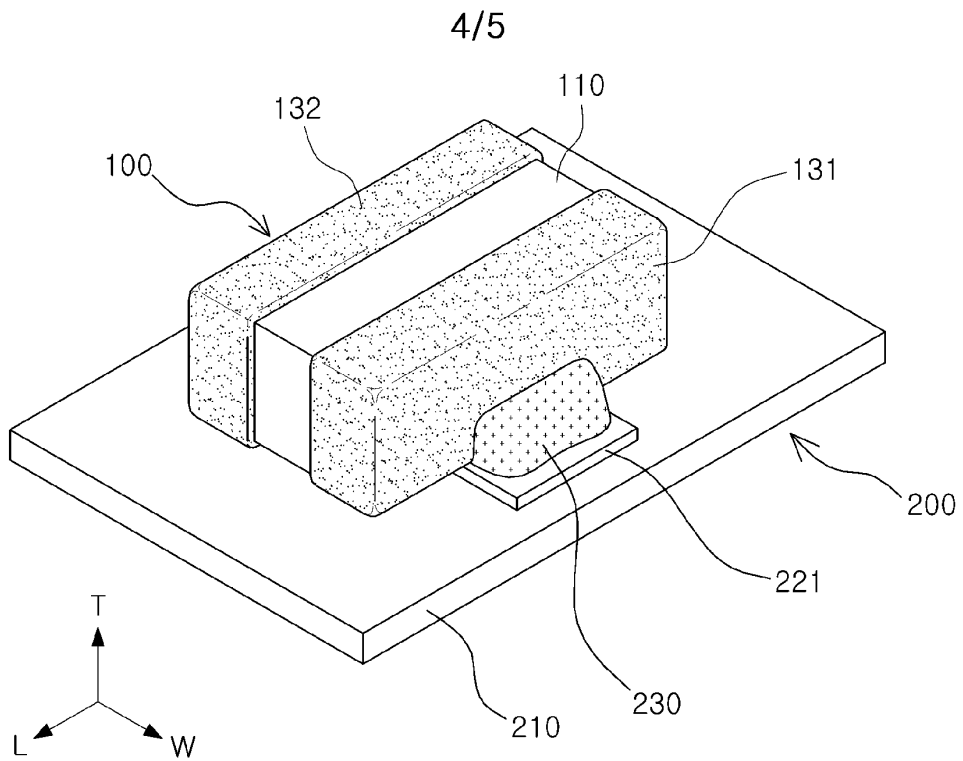


FIG. 6

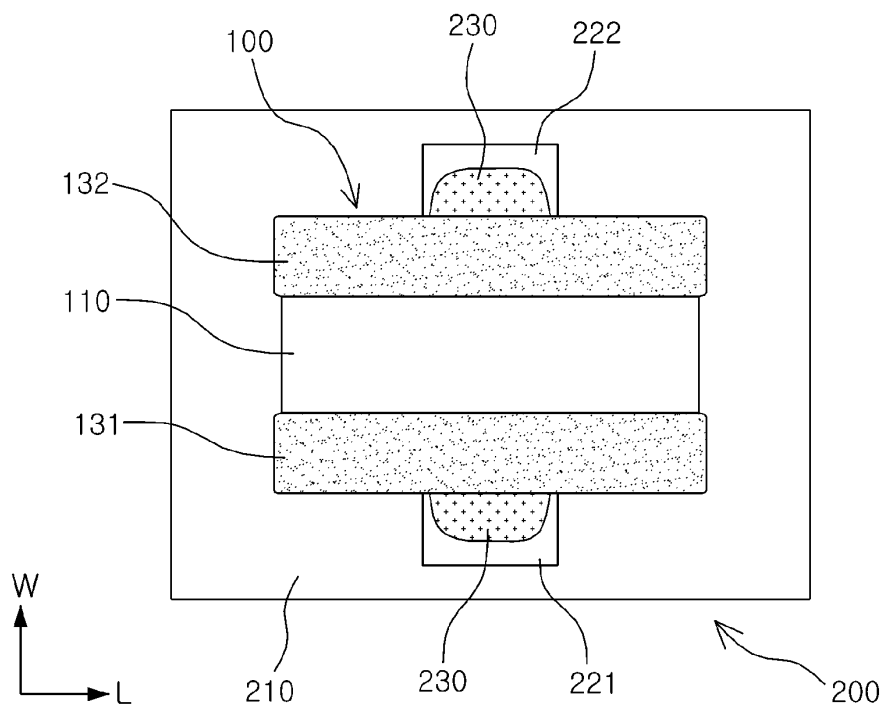


FIG. 7

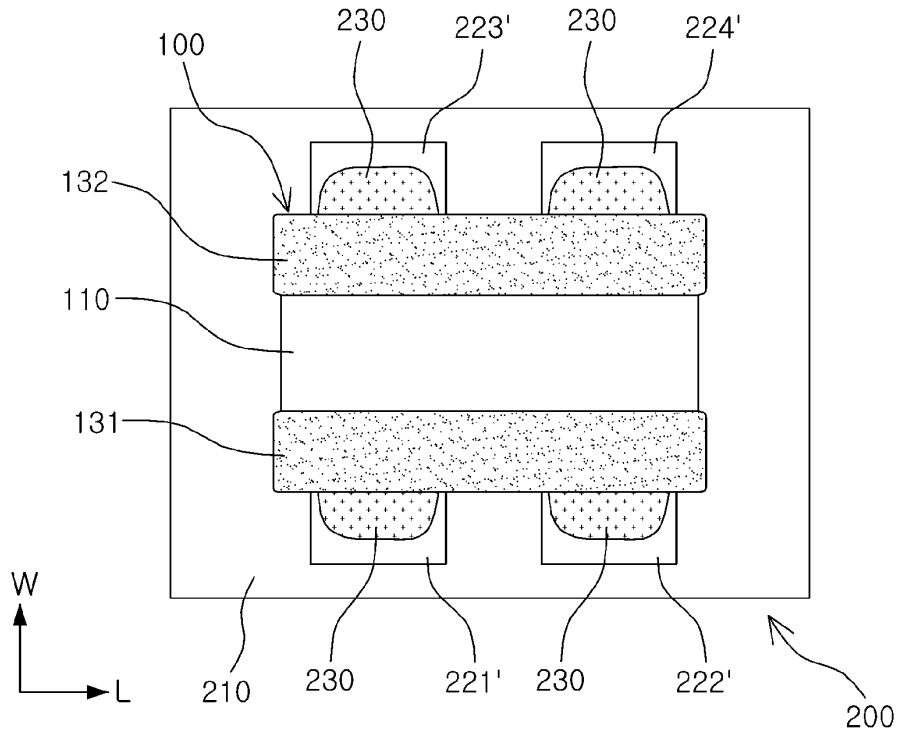


FIG. 8

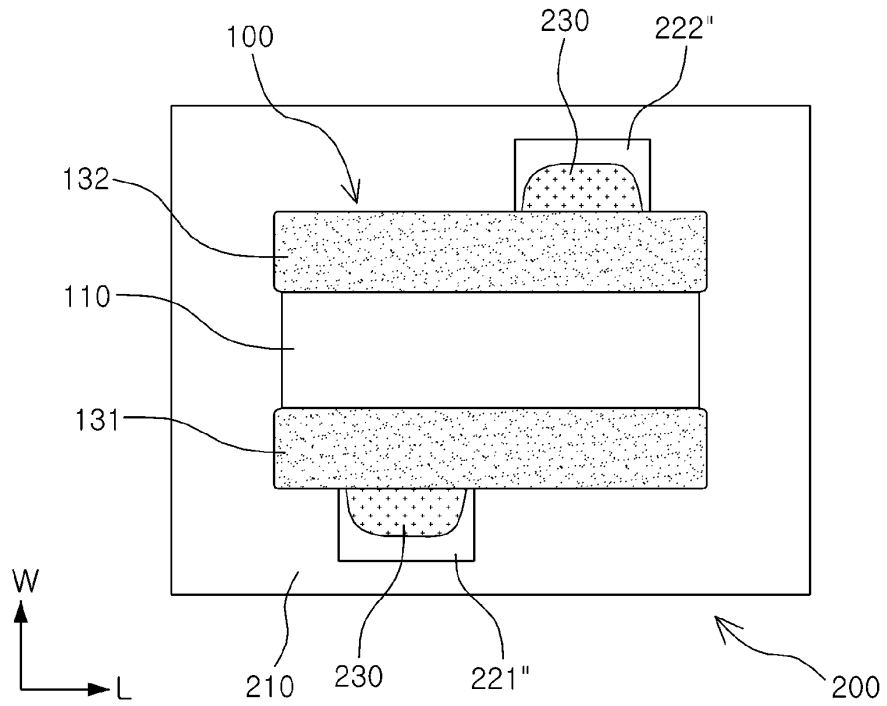


FIG. 9

Attorney Docket No. _____

COMBINED DECLARATION AND ASSIGNMENT FOR PATENT APPLICATION

As a below named inventor, I hereby declare that:

I believe I am the original or an original joint inventor of a claimed invention in the application for which a patent is sought on the invention entitled:

MULTILAYER CERAMIC CAPACITOR AND
BOARD HAVING THE SAME MOUNTED THEREON

attached, or

United States application number or PCT international application
number _____ filed on _____.

The above-identified application was made or authorized to be made by me.

In the event that the filing date and/or application number are not entered above at the time I execute this document, and if such information is deemed necessary, I hereby authorize and request the registered practitioners of **McDermott Will & Emery LLP**, associated with the Customer Number 20277, to insert above the filing date and/or application number of the application.

I hereby acknowledge that any willful false statement made in this declaration is punishable under 18 U.S.C. 1001 by fine or imprisonment of not more than five (5) years, or both.

ASSIGNMENT

For good and valuable consideration, the receipt and sufficiency of which is hereby acknowledged, I hereby assign to

SAMSUNG ELECTRO-MECHANICS CO., LTD.

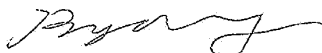
having an address at Maeyoung-Ro 150 (Maetan-Dong), Youngtong-Gu, Suwon-Si, Gyeonggi-Do, Republic of Korea (hereinafter designated as the Assignee), the entire (100%) right, title and interest for the United States as defined in 35 USC §100, in the invention described in the application identified in this document.

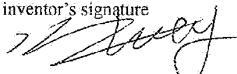
I hereby confirm any prior assignment to Assignee, and to the extent that I have not already done so, agree to assign, and hereby do, sell, assign and transfer unto Assignee and its successors in interest, the full and exclusive right, title and interest in the United States of America, including the right to claim priority under the laws of the United States, the Paris Convention, and any foreign countries, to the inventions as described in the aforesaid application, to the aforesaid application itself, and all divisions, continuations, continuations-in-part, or other applications claiming priority directly or indirectly from the aforesaid application, and any United States or foreign Letters Patent, utility model, or other similar rights which may be granted thereon, including reissues, reexaminations and extensions thereof, and all copyright rights in the aforesaid application and the subject matter disclosed therein, these rights, title and interest to be held and enjoyed by Assignee to the full end of the term for which the Letters Patent, utility model, or other similar rights, are granted and any extensions thereof as fully and entirely as the same would have been held by the undersigned had this assignment and sale not been made, and the right to sue for, and recover for past infringements of, or liabilities for, any of the rights relating to any of the applications, patents, utility models, or other similar rights, resulting therefrom, and the copyright rights;

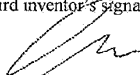
I hereby covenant and agree to execute all instruments or documents required or requested for the making and prosecution of any applications of any type for patent, utility model, or other similar rights, and for copyright, in the United States and in all foreign countries including, but not limited to, any provisional, continuation, continuation-in-part, divisional, renewal or substitute thereof, and as to letters patent any reissue, re-examination, or extension thereof, and for litigation regarding, or for the purpose of protecting title and to the said invention, the United States application for patent, or Letters Patent therefor, and to testify in support thereof, for the benefit of Assignee without further or other compensation than that above set forth;


I hereby covenant that no assignment, sale, license, agreement or encumbrance has been or will be entered into which would conflict with this Assignment.

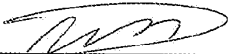
Attorney Docket No. _____


Legal name of first inventor LEE, Byoung Hwa	
First inventor's signature 	Date 2014. 3. 25

Legal name of second inventor PARK, Heung Kil	
Second inventor's signature 	Date 2014. 3. 25

Legal name of third inventor LEE, Kyo Kwang	
Third inventor's signature 	Date 2014. 3. 25

Legal name of fourth inventor AHN, Young Ghyu	
Fourth inventor's signature 	Date 2014. 3. 25

Legal name of fifth inventor PARK, Sang Soo	
Fifth inventor's signature 	Date 2014. 3. 25

Legal name of sixth inventor LEE, Soon Ju	
Sixth inventor's signature 	Date 2014. 3. 25

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)	Application Number		
	Filing Date		2014-04-22
	First Named Inventor	Byoung Hwa LEE	
	Art Unit	N/A	
	Examiner Name	Not Yet Assigned	
	Attorney Docket Number	093814-0302	

U.S. PATENTS						Remove
Examiner Initial*	Cite No	Patent Number	Kind Code ¹	Issue Date	Name of Patentee or Applicant of cited Document	Pages, Columns, Lines where Relevant Passages or Relevant Figures Appear
	1					

If you wish to add additional U.S. Patent citation information please click the Add button. Add

U.S. PATENT APPLICATION PUBLICATIONS						Remove
Examiner Initial*	Cite No	Publication Number	Kind Code ¹	Publication Date	Name of Patentee or Applicant of cited Document	Pages, Columns, Lines where Relevant Passages or Relevant Figures Appear
	1	20080310074	A1	2008-12-18	TOGASHI et al.	Corresponds to JP 2008-192757 A
	2	20080310078	A1	2008-12-18	Lee et al.	Corresponds to KR 10-2008-0110180 A

If you wish to add additional U.S. Published Application citation information please click the Add button. Add

FOREIGN PATENT DOCUMENTS								Remove
Examiner Initial*	Cite No	Foreign Document Number ³	Country Code ² j	Kind Code ⁴	Publication Date	Name of Patentee or Applicant of cited Document	Pages, Columns, Lines where Relevant Passages or Relevant Figures Appear	T ⁵
	1	2008-192757	JP	A	2008-08-21	TDK Corp	Corresponds to US 2008/0310074 A1	<input type="checkbox"/>
	2	10-2008-0063680	KR	A	2008-07-07	Samsung Electro-Mechanics Co., Ltd	w/English Abstract	<input checked="" type="checkbox"/>

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)	Application Number			
	Filing Date		2014-04-22	
	First Named Inventor	Byoung Hwa LEE		
	Art Unit	N/A		
	Examiner Name	Not Yet Assigned		
	Attorney Docket Number	093814-0302		

	3	10-2008-0110180	KR	A	2008-12-18	Samsung Electro-Mechanics Co., Ltd	Corresponds to US 2008/0310078 A1	<input type="checkbox"/>
--	---	-----------------	----	---	------------	------------------------------------	-----------------------------------	--------------------------

If you wish to add additional Foreign Patent Document citation information please click the Add button **Add**

NON-PATENT LITERATURE DOCUMENTS

Remove

Examiner Initials*	Cite No	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc), date, pages(s), volume-issue number(s), publisher, city and/or country where published.	T ⁵
	1		<input type="checkbox"/>

If you wish to add additional non-patent literature document citation information please click the Add button **Add**

EXAMINER SIGNATURE

Examiner Signature		Date Considered	
--------------------	--	-----------------	--

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through a citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

¹ See Kind Codes of USPTO Patent Documents at www.USPTO.GOV or MPEP 901.04. ² Enter office that issued the document, by the two-letter code (WIPO Standard ST.3). ³ For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. ⁴ Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. ⁵ Applicant is to place a check mark here if English language translation is attached.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)	Application Number	
	Filing Date	2014-04-22
	First Named Inventor	Byoung Hwa LEE
	Art Unit	N/A
	Examiner Name	Not Yet Assigned
	Attorney Docket Number	093814-0302

CERTIFICATION STATEMENT

Please see 37 CFR 1.97 and 1.98 to make the appropriate selection(s):

That each item of information contained in the information disclosure statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(1).

OR

That no item of information contained in the information disclosure statement was cited in a communication from a foreign patent office in a counterpart foreign application, and, to the knowledge of the person signing the certification after making reasonable inquiry, no item of information contained in the information disclosure statement was known to any individual designated in 37 CFR 1.56(c) more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(2).

See attached certification statement.

The fee set forth in 37 CFR 1.17 (p) has been submitted herewith.

A certification statement is not submitted herewith.

SIGNATURE

A signature of the applicant or representative is required in accordance with CFR 1.33, 10.18. Please see CFR 1.4(d) for the form of the signature.

Signature	/Stephen A. Becker, P.C./	Date (YYYY-MM-DD)	2014-04-22
Name/Print	Stephen A. Becker, P.C.	Registration Number	26527

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 1 hour to complete, including gathering, preparing and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. **DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether the Freedom of Information Act requires disclosure of these records.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspections or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-192757

(P2008-192757A)

(43) 公開日 平成20年8月21日(2008.8.21)

(51) Int. Cl.	F I	テーマコード(参考)
HO1G 4/30 (2006.01)	HO1G 4/30 301C	5E001
HO1G 4/12 (2006.01)	HO1G 4/12 352	5E082

審査請求有 請求項の数 7 O L (全 28 頁)

(21) 出願番号	特願2007-24503 (P2007-24503)	(71) 出願人	000003067 TDK株式会社 東京都中央区日本橋一丁目13番1号
(22) 出願日	平成19年2月2日(2007.2.2)	(74) 代理人	100088155 弁理士 長谷川 芳樹
		(74) 代理人	100092657 弁理士 寺崎 史朗
		(74) 代理人	100129296 弁理士 青木 博昭
		(72) 発明者	富樫 正明 東京都中央区日本橋一丁目13番1号 TDK株式会社内
		(72) 発明者	和田 健 東京都中央区日本橋一丁目13番1号 TDK株式会社内

最終頁に続く

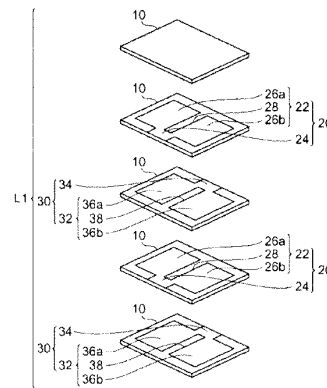
(54) 【発明の名称】 積層コンデンサ

(57) 【要約】

【課題】 誘電特性のある素体の端子電極付近での電歪効果による機械的歪みを抑制することが可能な積層コンデンサを提供すること。

【解決手段】 積層コンデンサのコンデンサ素体L1には、誘電体層10を挟んで対向するように第1及び第2の内部電極20、30が配置されている。第1の内部電極20は、スリット状の非容量形成領域28と容量形成領域26a、26bとを含む主電極部分22と、引き出し電極部分24とを有する。非容量形成領域28と引き出し電極部分24とは、第1の方向から見たときに、非容量形成領域28と引き出し電極部分24とが、コンデンサ素体L1の第1の側面に平行で且つ第1の方向に直交する第2の方向で重なりを有するように設定されている。

。 【選択図】 図2



【特許請求の範囲】

【請求項1】

誘電特性を有する素体と、
 前記素体の少なくとも一部を挟んで第1の方向に対向するように該素体に配置された第1及び第2の内部電極と、
 前記素体の外表面のうち前記第1の方向に平行な第1の面に配置されると共に、前記第1の内部電極に接続される第1の端子電極と、
 前記素体の外表面に配置されると共に、前記第2の内部電極に接続される第2の端子電極と、を備え、
 前記第1の内部電極が、静電容量の形成に寄与しない非容量形成領域と前記第2の内部電極と協働して静電容量を形成する容量形成領域とを含む主電極部分と、該主電極部分を前記第1の端子電極に接続する引き出し電極部分と、を有し、
 前記第1の面に平行で且つ前記第1の方向に直交する第2の方向において、前記第1の端子電極の長さが前記第1の面の長さに比して小さく設定されると共に前記引き出し電極部分の長さが前記主電極部分の長さに比して小さく設定されており、
 前記非容量形成領域と前記引き出し電極部分との位置は、前記第1の方向から見たときに、前記非容量形成領域と前記引き出し電極部分とが前記第2の方向で重なりを有するように設定されていることを特徴とする積層コンデンサ。

【請求項2】

前記第1の内部電極において、前記主電極部分と前記引き出し電極部分とが接しており、
 前記非容量形成領域が、前記主電極部分と前記引き出し電極部分との境界部に接するように配置されることを特徴とする請求項1記載の積層コンデンサ。

【請求項3】

前記非容量形成領域が、前記第1の内部電極の前記主電極部分に開口部状に形成されていることを特徴とする請求項1又は2記載の積層コンデンサ。

【請求項4】

前記非容量形成領域が、前記第1の内部電極の前記主電極部分にスリット状に形成されていることを特徴とする請求項1又は2記載の積層コンデンサ。

【請求項5】

前記第2の端子電極は、前記素体の外表面のうち前記第1の方向に平行な第2の面に配置され、
 前記第2の内部電極が、静電容量の形成に寄与しない非容量形成領域と前記第1の内部電極と協働して静電容量を形成する容量形成領域とを含む主電極部分と、該主電極部分を前記第2の端子電極に接続する引き出し電極部分と、を有し、
 前記第2の面に平行で且つ前記第1の方向に直交する第3の方向において、前記第2の端子電極の長さが前記第2の面の長さに比して小さく設定されると共に前記第2の内部電極の前記引き出し電極部分の長さが前記第2の内部電極の前記主電極部分の長さに比して小さく設定されており、
 前記第2の内部電極の前記非容量形成領域と前記第2の内部電極の前記引き出し電極部分との位置は、前記第1の方向から見たときに、前記非容量形成領域と前記引き出し電極部分とが前記第3の方向で重なりを有するように設定されていることを特徴とする請求項1～4の何れか一項記載の積層コンデンサ。

【請求項6】

前記第1の内部電極の前記非容量形成領域と前記第2の内部電極の前記非容量形成領域とが前記素体の前記少なくとも一部を挟んで対向するように、前記第1及び第2の内部電極が配置されることを特徴とする請求項5記載の積層コンデンサ。

【請求項7】

前記第1及び第2の内部電極は、前記第1の方向に沿って、それぞれ複数ずつ交互に配置されており、

前記第1及び第2の内部電極のうち前記第1の方向で最も外側に配置された内部電極と該内部電極に対向する前記素体の外表面との間隔に対する前記第2の方向における前記第1の端子電極の長さの比が、0.4より大きく且つ8.0より小さいことを特徴とする請求項1～6の何れか一項記載の積層コンデンサ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、積層コンデンサに関するものである。

【背景技術】

【0002】

この種の積層コンデンサとして、誘電特性を示す素体と複数の内部電極とを有する素体と、当該素体に形成された複数の端子電極とを備えたものが知られている（例えば、特許文献1参照）。

【特許文献1】特開平9-148174号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

本発明は、誘電特性のある素体の端子電極付近での電歪効果による機械的歪みを抑制することが可能な積層コンデンサを提供することを課題とする。

【課題を解決するための手段】

【0004】

ところで、誘電特性のある素体を備える積層コンデンサに電圧を印加すると、電歪効果により素体に印加電圧に応じた大きさの機械的歪みが生じてしまうという問題がある。特に、交流電圧を印加した場合、積層コンデンサには振動が生じてしまう。積層コンデンサを基板等を実装した場合に、こうした機械的歪みが発生すると、歪みによる振動の伝播により、基板において音鳴りが発生してしまう。

【0005】

そこで、本発明者は、積層コンデンサを基板等を実装した際に発生する音鳴りを低減することについて鋭意検討を行った。その結果、本発明者は、音鳴りは積層コンデンサを実装する基板等と積層コンデンサとの接触部分、すなわち基板のランド電極等と積層コンデンサの端子電極との接触部分で発生するとの知見を得るに至った。本発明者は、当該知見に基づきさらなる検討を重ねた結果、素体の端子電極近傍の領域に加わる電界を抑制（すなわち、電圧を抑制）することで、電歪効果による素体の機械的歪みの端子電極への影響が抑制されるとの新たな事実を見出すに至った。

【0006】

このような検討結果を踏まえ、本発明による積層コンデンサは、誘電特性を有する素体と、素体の少なくとも一部を挟んで第1の方向に対向するように該素体に配置された第1及び第2の内部電極と、素体の外表面のうち第1の方向に平行な第1の面に配置されると共に、第1の内部電極に接続される第1の端子電極と、素体の外表面に配置されると共に、第2の内部電極に接続される第2の端子電極と、を備え、第1の内部電極が、静電容量の形成に寄与しない非容量形成領域と第2の内部電極と協働して静電容量を形成する容量形成領域とを含む主電極部分と、該主電極部分を第1の端子電極に接続する引き出し電極部分と、を有し、第1の面に平行で且つ第1の方向に直交する第2の方向において、第1の端子電極の長さが第1の面の長さに比して小さく設定されると共に引き出し電極部分の長さが主電極部分の長さに比して小さく設定されており、非容量形成領域と引き出し電極部分との位置は、第1の方向から見たときに、非容量形成領域と引き出し電極部分とが第2の方向で重なりを有するように設定されていることを特徴とする。

【0007】

本発明に係る積層コンデンサでは、第1の内部電極の主電極部分が非容量形成領域を含み、当該非容量形成領域は、第1の方向から見たときに、引き出し電極部分と第2の方向

10

20

30

40

50

で重なりを有するような位置に配置されている。電歪効果は電圧が加えられた誘電体領域において発生する。したがって、引き出し電極部分に影響する電歪の効果は非容量形成領域の分だけ小さくなる。これにより、素体の電歪効果によって第1の端子電極が受ける影響が低減され、この積層コンデンサでは第1の端子電極付近での電歪効果による機械的歪みを抑制することが可能となる。また、この積層コンデンサでは、第2の方向において、第1の端子電極の長さが第1の面の長さに比して小さく設定されている。このため、電歪効果によって歪んだ素体に第1の端子電極が引っ張られたとしても、コンデンサを実装する基板等に影響を与える面積を小さくできる。さらに、第2の方向において、第1の端子電極に接続する引き出し電極部分の長さが主電極部分の長さに比して小さく設定されている。これにより、第1の端子電極の第2の方向における長さを小さくすることが可能となる。

10

【0008】

第1の内部電極において、主電極部分と引き出し電極部分とが接しており、非容量形成領域が、主電極部分と引き出し電極部分との境界部に接するように配置されることが好ましい。非容量形成領域が引き出し電極部分に近いほど、素体の電歪効果によって第1の端子電極が受ける影響が低減される。その結果、積層コンデンサでは第1の端子電極付近での電歪効果による機械的歪みをさらに抑制することが可能となる。

【0009】

非容量形成領域が、第1の内部電極の主電極部分に開口部状に形成されていてもよい。あるいは、非容量形成領域が、第1の内部電極の主電極部分にスリット状に形成されてい

20

【0010】

第2の端子電極は、素体の外表面のうち第1の方向に平行な第2の面に配置され、第2の内部電極が、静電容量の形成に寄与しない非容量形成領域と第1の内部電極と協働して静電容量を形成する容量形成領域とを含む主電極部分と、該主電極部分を第2の端子電極に接続する引き出し電極部分と、を有し、第2の面に平行で且つ第1の方向に直交する第3の方向において、第2の端子電極の長さが第2の面の長さに比して小さく設定されると共に第2の内部電極の引き出し電極部分の長さが第2の内部電極の主電極部分の長さに比して小さく設定されており、第2の内部電極の非容量形成領域と第2の内部電極の引き出し電極部分との位置は、第1の方向から見たときに、非容量形成領域と引き出し電極部分とが第3の方向で重なりを有するように設定されていることが好ましい。

30

【0011】

この場合、素体の電歪効果によって第2の端子電極が受ける影響も低減され、第1の端子電極付近だけでなく第2の端子電極付近での電歪効果による機械的歪みをも抑制することが可能となる。

【0012】

また、この場合、第1の内部電極の非容量形成領域と第2の内部電極の非容量形成領域とが素体の少なくとも一部を挟んで対向するように、第1及び第2の内部電極が配置されることが好ましい。

【0013】

このように一方の内部電極の非容量形成領域が他方の内部電極の非容量形成領域と対向することで、積層コンデンサの静電容量が低減してしまうことを効率良く抑制することができる。

40

【0014】

第1及び第2の内部電極は、第1の方向に沿って、それぞれ複数ずつ交互に配置されており、第1及び第2の内部電極のうち第1の方向で最も外側に配置された内部電極と該内部電極に対向する素体の外表面との間隔に対する第2の方向における第1の端子電極の長さの比が、0.4より大きく且つ8.0より小さいことが好ましい。

【0015】

この場合、素体において、第1の方向で最も外側に配置された内部電極と、該内部電極

50

に対向する素体の外表面との間の領域には、第1及び第2の内部電極によって電圧が加えられない。そのため、この領域では、第1及び第2の内部電極によって加えられる電圧に起因した電歪効果が発生しない。そして、第1の方向で最も外側に配置された内部電極と該内部電極に対向する素体の外表面との間の間隔と、第1の端子電極の第2の方向における長さとの関係が、比によって規定されている。そのため、積層コンデンサの機械的歪みが実装基板等に伝搬することを好適に抑制することができる。

【発明の効果】

【0016】

本発明によれば、誘電特性のある素体の端子電極付近での電歪効果による機械的歪みを抑制することが可能な積層コンデンサを提供することができる。

10

【発明を実施するための最良の形態】

【0017】

以下、添付図面を参照して、好適な実施形態について詳細に説明する。なお、説明において、同一要素又は同一機能を有する要素には、同一符号を用いることとし、重複する説明は省略する。

(第1実施形態)

【0018】

図1～図4及び図11に基づいて、第1実施形態に係る積層コンデンサC1の構成について説明する。図1は、本実施形態に係る積層コンデンサの斜視図である。図2は、本実施形態に係る積層コンデンサに含まれる素体の分解斜視図である。図3は、本実施形態に係る積層コンデンサの断面構成を説明するための図である。図4は、本実施形態に係る積層コンデンサの断面構成を説明するための図である。図11は、本実施形態に係る積層コンデンサ断面構成を説明するための図である。なお、図3及び図4において、断面のハッチングは省略している。

20

【0019】

積層コンデンサC1は、図1に示すように、直方体状をしたコンデンサ素体L1と、コンデンサ素体L1の外表面に配置された第1の端子電極1及び第2の端子電極2とを備える。コンデンサ素体L1は、相対向する長形状の第1の主面L1a及び第2の主面L1bと、相対する第1の側面(第1の面)L1c及び第2の側面(第2の面)L1dと、相対向する第3の側面L1e及び第4の側面L1fとを含んでいる。第1及び第2の側面L1c、L1dは、第1及び第2の主面L1a、L1b間を連結するように第1及び第2の主面L1a、L1bの長辺方向に伸びている。第3及び第4の側面L1e、L1fは、第1及び第2の主面L1a、L1b間を連結するように第1及び第2の主面L1a、L1bの短辺方向に伸びている。

30

【0020】

コンデンサ素体L1の第1の側面L1cには、第1の端子電極1が配置されている。コンデンサ素体L1の第2の側面L1dには、第2の端子電極2が配置されている。第1及び第2の端子電極1、2は、例えば、導電性金属粉末及びガラスフリットを含む導電性ペーストをコンデンサ素体L1の対応する外表面の付与し、焼き付けることによって形成される。必要に応じて、焼き付けられた電極の上をめっき層が形成されることもある。

40

【0021】

コンデンサ素体L1は、図2に示されるように、複数(本実施形態では5層)の誘電体層10と、複数(本実施形態では2層)の第1の内部電極20と、複数(本実施形態では2層)の第2の内部電極30とを有している。したがって、コンデンサ素体L1は、誘電特性を有する。

【0022】

各誘電体層10は、第1及び第2の主面L1a、L1bに平行な方向に伸びており、第1及び第2の主面L1a、L1bの対向方向に積層されている。各誘電体層10は、例えば誘電体セラミックを含むセラミックグリーンシートの焼結体から構成される。実際の積層コンデンサC1では、各誘電体層10は、誘電体層10の間の境界が視認できない程度

50

に一体化されている。

【0023】

第1の内部電極20と第2の内部電極30とは、コンデンサ素体L1の一部である一つの誘電体層10を挟んで第1の方向に対向するように配置されている。すなわち、第1の内部電極20と第2の内部電極30とは、コンデンサ素体L1において、誘電体層10の積層方向、すなわち第1及び第2の主面L1a、L1bの対向方向に誘電体層10を間に挟んで交互に配置されている。

【0024】

したがって、第1の端子電極1が配置された第1の側面L1c、及び第2の端子電極2が配置された第2の側面L1dは、第1の内部電極20と第2の内部電極30とが対向する方向、すなわち第1の方向に平行である。

10

【0025】

第1の内部電極20は、主電極部分22と、引き出し電極部分24とを含んでいる。主電極部分22は、容量形成領域26a、26bと非容量形成領域28とを含む。第1の内部電極20は、導電性ペーストの焼結体から構成される。

【0026】

容量形成領域26a、26bは、それぞれ長方形状を呈しており、第1及び第2の主面L1a、L1bの長辺方向に沿って並んで配列されている。

【0027】

非容量形成領域28は、主電極部分22において第2の側面L1d側から第1の側面L1c側に向かって伸び、容量形成領域26aと容量形成領域26bとを二分するスリット状に形成されている。非容量形成領域28は、主電極部分22の第1及び第2の主面L1a、L1bの長辺方向における中央付近に位置している。また、スリット状に形成された非容量形成領域28には導電性ペーストの焼結体は存在せず、非容量形成領域28は静電容量の形成に寄与しない。

20

【0028】

引き出し電極部分24は、主電極部分22から第1の側面L1cに向けて伸びており、第1の側面L1cまで引き出されている。引き出し電極部分24は、第1の端子電極1に電氣的且つ物理的に接続されている。これにより、主電極部分22は、そして第1の内部電極20は、第1の端子電極1に電氣的に接続されることとなる。

30

【0029】

引き出し電極部分24は、主電極部分22の容量形成領域26a、26b及び非容量形成領域28のすべてと接している。非容量形成領域28は、主電極部分22の容量形成領域26a、26bと引き出し電極部分24との境界部に接するように配置されている。

【0030】

第2の内部電極30は、主電極部分32と、引き出し電極部分34とを含んでいる。主電極部分32は、容量形成領域36a、36bと非容量形成領域38とを含む。第2の内部電極30は、導電性ペーストの焼結体から構成される。

【0031】

容量形成領域36a、36bは、それぞれ長方形状を呈しており、第1及び第2の主面L1a、L1bの長辺方向に沿って並んで配列されている。

40

【0032】

非容量形成領域38は、主電極部分32において第1の側面L1c側から第2の側面L1d側に向かって伸び、容量形成領域36aと容量形成領域36bとを二分するスリット状に形成されている。非容量形成領域38は、主電極部分32の第1及び第2の主面L1a、L1bの長辺方向における中央付近に位置している。また、スリット状に形成された非容量形成領域38には導電性ペーストの焼結体は存在せず、非容量形成領域38は静電容量の形成に寄与しない。

【0033】

引き出し電極部分34は、主電極部分32から第2の側面L1dに向けて伸びており、

50

第2の側面L1dまで引き出されている。引き出し電極部分34は、第2の端子電極2に電氣的且つ物理的に接続されている。これにより、主電極部分32は、そして第2の内部電極30は、第2の端子電極2に電氣的に接続されることとなる。

【0034】

引き出し電極部分34は、主電極部分32の容量形成領域36a、36b及び非容量形成領域38のすべてと接している。非容量形成領域38は、主電極部分32の容量形成領域36a、36bと引き出し電極部分34との境界部に接するように配置されている。

【0035】

第1及び第2の内部電極20、30は、第1の内部電極20の容量形成領域26aと第2の内部電極30の容量形成領域36aとが、さらに第1の内部電極20の容量形成領域26bと第2の内部電極30の容量形成領域36bとが何れも、コンデンサ素体L1の少なくとも一部である1つの誘電体層10を挟んで対向するように配置されている。したがって、第1の内部電極20の容量形成領域26a、26bと第2の内部電極30の容量形成領域36a、36bとは協働して静電容量を形成する。

【0036】

さらに、第1及び第2の内部電極20、30は、第1の内部電極20の非容量形成領域28と第2の内部電極30の非容量形成領域38とがコンデンサ素体L1の少なくとも一部である1つの誘電体層10を挟んで対向するように配置されている。

【0037】

ここで、第1の側面L1cに平行で且つ第1の方向に直交する方向を第2の方向とする。図3では、第2の方向をx方向として表す。図3は、図1の積層コンデンサのIII-III矢印断面を模式的に表す図であり、第1の内部電極20の上面と誘電体層10とが積層されている箇所を切断した図である。

【0038】

図3に示すように、第2の方向における第1の端子電極1の長さ d_{11} は、第2の方向における第1の側面L1cの長さ d_{12} に比して小さく設定されている。すなわち、 $d_{11} < d_{12}$ が成立する。さらに、図3に示すように、第2の方向における第1の内部電極20の引き出し電極部分24の長さ d_{13} は、第2の方向における第1の内部電極20の主電極部分22の長さ d_{14} に比して小さく設定されている。すなわち、 $d_{13} < d_{14}$ が成立する。また、本実施形態では、 $d_{13} < d_{11} < d_{14} < d_{12}$ が成立している。

【0039】

また、第1の内部電極20において、非容量形成領域28と引き出し電極部分24との位置は、第1の方向から見たときに、すなわち図3の断面図において、非容量形成領域28と引き出し電極部分24とが第2の方向(x方向)で重なりを有するように設定されている。

【0040】

第2の側面L1dに平行で且つ第1の方向に直交する方向を第3の方向とする。図4では、第3の方向をy方向として表す。図4は、図1の積層コンデンサのIV-IV矢印断面図であり、第1の内部電極20の上面と誘電体層10とが積層されている箇所を切断した図である。

【0041】

図4に示すように、第3の方向における第2の端子電極2の長さ d_{21} は、第3の方向における第2の側面L1dの長さ d_{22} に比して小さく設定されている。すなわち、 $d_{21} < d_{22}$ が成立する。さらに、図4に示すように、第3の方向における第2の内部電極30の引き出し電極部分34の長さ d_{23} は、第3の方向における第2の内部電極30の主電極部分32の長さ d_{24} に比して小さく設定されている。すなわち、 $d_{23} < d_{24}$ が成立する。また、本実施形態では、 $d_{23} < d_{21} < d_{24} < d_{22}$ が成立している。

【0042】

また、第2の内部電極30において、非容量形成領域38と引き出し電極部分34との位置は、第1の方向から見たときに、すなわち図4の断面図において、非容量形成領域3

10

20

30

40

50

8と引き出し電極部分34とが第3の方向(y方向)で重なりを有するように設定されている。

【0043】

図11は、図1の積層コンデンサのXI-XI矢印断面図である。コンデンサ素体L1は、第1の方向において、複数の第1及び第2の内部電極20、30の外側に第1及び第2の外層部11、12を有する。第1の外層部11は、第1の方向のうち第2の主面L1b側に位置する。第2の外層部12は、第1の方向のうち第1の主面L1a側に位置する。

【0044】

具体的には、第1の外層部11は、コンデンサ素体L1において、複数の第1及び第2の内部電極20、30のうち最も第2の主面L1b側に位置する第2の内部電極30の第1の方向での位置から第2の主面L1bに至るまでの領域に相当する。したがって、第1の外層部11の第1の方向における長さは、複数の第1及び第2の内部電極20、30のうち第1の方向の第2の主面L1b側で最も外側に配置された内部電極である第2の内部電極30と、該第2の内部電極30に対向するコンデンサ素体L1の外表面である第2の主面L1bとの間隔 d_{15} に相当する。

【0045】

積層コンデンサC1では、第1の外層部11の第1の方向での長さ d_{15} に対する第2の方向(図11におけるx方向)における第1の端子電極1の長さ d_{11} の比は、0.4より大きく且つ8.0より小さい。すなわち、以下の式(1)で表される関係が成り立つ。

$$0.4 < d_{11} / d_{15} < 8.0 \quad \dots (1)$$

【0046】

また、第2の外層部12は、コンデンサ素体L1において、複数の第1及び第2の内部電極20、30のうち最も第1の主面L1a側に位置する第1の内部電極20の第1の方向での位置から第1の主面L1aに至るまでの領域に相当する。したがって、第2の外層部12の第1の方向における長さは、複数の第1及び第2の内部電極20、30のうち第1の方向の第1の主面L1a側で最も外側に配置された内部電極である第1の内部電極20と、該第1の内部電極20に対向するコンデンサ素体L1の外表面である第1の主面L1aとの間隔 d_{16} に相当する。

【0047】

積層コンデンサC1では、第2の外層部12の第1の方向での長さ d_{16} に対する第2の方向(図11におけるx方向)における第1の端子電極1の長さ d_{11} の比は、0.4より大きく且つ8.0より小さい。すなわち、以下の式(2)で表される関係が成り立つ。

$$0.4 < d_{11} / d_{16} < 8.0 \quad \dots (2)$$

【0048】

積層コンデンサC1では、第1の内部電極20の主電極部分22が非容量形成領域28を含む。電歪効果は電圧が加えられた誘電体領域において発生する。したがって、端子電極1、2を基板のランド電極等に接続して積層コンデンサに電圧をかけ、第1及び第2の内部電極20、30間に電圧が加わる場合であっても、主電極部分22にスリット状に形成された非容量形成領域28に加わる電圧は抑制される。その上、この非容量形成領域28は、第1の方向から見たときに、引き出し電極部分24と第2の方向(図3のx方向)で重なりを有するような位置に配置されている。以上のことから理解されるように、引き出し電極部分24に影響するコンデンサ素体L1の電歪の効果は非容量形成領域28の分だけ小さくなる。その結果、コンデンサ素体L1の電歪効果によって第1の端子電極1が受ける影響が低減され、積層コンデンサC1では第1の端子電極1付近での電歪効果による機械的歪みを抑制することが可能となる。

【0049】

さらに、積層コンデンサC1では、第2の内部電極30の主電極部分32も非容量形成領域38を含み、この非容量形成領域38は、第1の方向から見たときに、引き出し電極

10

20

30

40

50

部分34と第3の方向(図4のy方向)で重なりを有するような位置に配置されている。そのため、コンデンサ素体L1の電歪効果によって第2の端子電極2が受ける影響も低減され、積層コンデンサC1では第2の端子電極2付近での電歪効果による機械的歪みを抑制することも可能となる。

【0050】

したがって、積層コンデンサC1を基板等に実装し、電圧を加えた場合であっても、基板等において発生する音鳴りは抑制される。

【0051】

非容量形成領域が引き出し電極部分に近いほど、コンデンサ素体の電歪効果によって端子電極が受ける影響は低減される。これに対し、積層コンデンサC1では、第1の内部電極20において、主電極部分22と引き出し電極部分24とが接しており、非容量形成領域28は、主電極部分22と引き出し電極部分24との境界部に接するように配置されている。そのため、積層コンデンサC1では第1の端子電極1付近での電歪効果による機械的歪みをより一層抑制することが可能となる。

10

【0052】

さらに、積層コンデンサC1では、第2の内部電極30においても、主電極部分32と引き出し電極部分34とが接しており、非容量形成領域38は、主電極部分32と引き出し電極部分34との境界部に接するように配置されている。そのため、積層コンデンサC1では第2の端子電極2付近での電歪効果による機械的歪みをも、より一層抑制することが可能である。

20

【0053】

また、積層コンデンサC1では、第1及び第2の内部電極20、30が、第1の内部電極20の非容量形成領域28と第2の内部電極30の非容量形成領域38とが誘電体層10を挟んで対向するように配置されている。非容量形成領域が容量形成領域と対向してしまうと、容量形成領域のうち非容量形成領域と対向する部分において静電容量の形成に寄与できなくなってしまう。したがって、積層コンデンサC1のように、各内部電極20、30の非容量形成領域28、38同士が対向することで、積層コンデンサC1の静電容量の低減を効率良く抑制することができる。

【0054】

加えて、誘電体層10がセラミックグリーンシートの焼結体からなり、内部電極20、30が導電性ペーストの焼結体からなる場合、誘電体層10と内部電極20、30とが積層された箇所より、誘電体層10同士が積層された箇所の方が密着度が高くなる。そのため、誘電体層10が露出するように非容量形成領域28、38が形成されている積層コンデンサC1では、非容量形成領域28、38同士が対向するように積層されていることによって、第1及び第2の内部電極20、30と誘電体層10との層間の密着性が良好になる。

30

【0055】

また、コンデンサ素体L1における層間の密着性が高まると、コンデンサ素体L1内の機械的歪みの伝達が抑制される。そのため、積層コンデンサC1では、コンデンサ素体L1全体の機械的歪みを抑制するとともに、第1及び第2の端子電極1、2付近での機械的歪みをより一層抑制することが可能である。

40

【0056】

また、積層コンデンサC1では、第2の方向において、第1の端子電極1の長さ d_{11} が第1の側面L1cの長さ d_{12} に比して小さく設定されている。このため、電歪効果によって歪んだコンデンサ素体L1に第1の端子電極1が引っ張られたとしても、積層コンデンサC1を実装する基板等に影響を与える面積を小さくすることができる。

【0057】

また、積層コンデンサC1では、第2の方向において、第1の端子電極1に接続する引き出し電極部分24の長さ d_{13} が主電極部分22の長さ d_{14} に比して小さく設定されている。これにより、第1の端子電極1の第2の方向における長さ d_{11} を小さくするこ

50

とが可能となる。

【0058】

さらに、積層コンデンサC1では、第3の方向において、第2の端子電極2の長さ d_{21} が第2の側面L1dの長さ d_{22} に比して小さく設定されている。このため、電歪効果によって歪んだコンデンサ素体L1に第2の端子電極2が引っ張られたとしても、積層コンデンサC1を実装する基板等に影響を与える面積を小さくすることができる。

【0059】

また、積層コンデンサC1では、第3の方向において、第2の端子電極2に接続する引き出し電極部分34の長さ d_{23} が主電極部分32の長さ d_{24} に比して小さく設定されている。これにより、第2の端子電極2の第3の方向における長さ d_{21} を小さくすることが可能となる。

10

【0060】

積層コンデンサC1では、第1の外層部11が、第1の方向で、コンデンサ素体L1に含まれる複数の第1及び第2の内部電極20、30の外側に位置する。したがって、第1の外層部11には、第1及び第2の内部電極20、30によって電圧が加えられない。そのため、第1の外層部11では、第1及び第2の内部電極によって加えられる電圧に起因した電歪効果が発生しない。そして、積層コンデンサC1では、式(1)を満たすような(すなわち、 d_{11}/d_{15} が8.0より小さくなるような)第1の外層部11の長さ d_{15} が確保される。このように、積層コンデンサC1は、電歪効果によって発生するコンデンサ素体の第1の外層部11と第2の外層部12との間での振動を吸収するのに十分な長さの第1の外層部11を有している。そのため、例えば第2の主面L1bが基板等に接するように積層コンデンサC1を基板等を実装する場合であっても、第1及び第2の内部電極20、30によって加えられる電圧に起因するコンデンサ素体L1の電歪効果の影響が、実装基板等に伝搬することが好適に抑制される。したがって、積層コンデンサC1を基板等を実装し、電圧を加えた場合であっても、基板等において発生する音鳴りは好適に抑制される。

20

【0061】

さらに、積層コンデンサC1では、 d_{11}/d_{15} が8.0より小さくなるように、第1の端子電極1の第2の方向での長さ d_{11} が規定されている。そのため、電歪効果によって歪んだコンデンサ素体L1に第1の端子電極1が引っ張られたとしても、積層コンデンサC1を実装する基板等に影響を与える面積を小さくすることができる。その結果、積層コンデンサC1では、電歪効果の影響で振動等する場合であっても、実装基板等にその振動が伝わるのが好適に抑制されている。

30

【0062】

加えて、積層コンデンサC1では、 d_{11}/d_{15} が0.4より大きくなるように、第1の端子電極1の第2の方向での長さ d_{11} が規定されている。そのため、積層コンデンサC1では、積層コンデンサC1で発生する電歪効果の影響が実装基板等に伝搬することを抑制しつつ、第1の端子電極1と基板等との好適な接続を実現することが可能である。これにより、積層コンデンサC1では、第1の端子電極1と実装基板等との間で接続不良が発生することが抑制される。

40

【0063】

また、積層コンデンサは一般にその大きさが規格によって規定されているため、内部電極を含まない外層部の大きさが大きくなるとその分だけ静電容量が低減してしまう。これに対し、積層コンデンサC1では、 d_{11}/d_{15} が0.4より大きくなるように、第1の外層部11の第1の方向における長さ d_{15} が規定されている。そのため、積層コンデンサC1では、第1の外層部11の大きさによる静電容量の低減が好適に抑制されている。

【0064】

また、積層コンデンサC1では、第2の外層部12が、コンデンサ素体L1に含まれる複数の第1及び第2の内部電極20、30の外側に位置する。したがって、第2の外層部

50

12には、第1及び第2の内部電極20、30によって電圧が加えられない。そのため、第2の外層部12では、電歪効果の発生が抑制される。積層コンデンサC1では、式(2)を満たすような(すなわち、 d_{11} / d_{16} が8.0より小さくなるような)第2の外層部12の長さ d_{16} が確保される。このように、積層コンデンサC1は、電歪効果によって発生するコンデンサ素体の第1の外層部11と第2の外層部12との間での振動を吸収するのに十分な長さの第2の外層部12を有している。そのため、例えば第1の主面L1aが基板等に接するように積層コンデンサC1を実装する場合であっても、第1及び第2の内部電極20、30によって加えられる電圧に起因するコンデンサ素体L1の電歪効果の影響が、実装基板等に伝搬することを好適に抑制することができる。したがって、積層コンデンサC1を基板等に実装し、電圧を加えた場合であっても、基板等において発生する音鳴りは好適に抑制される。

10

【0065】

さらに、積層コンデンサC1では、 d_{11} / d_{16} が8.0より小さくなるように、第1の端子電極1の第2の方向での長さ d_{11} が規定されている。そのため、電歪効果によって歪んだコンデンサ素体L1に第1の端子電極1が引っ張られたとしても、積層コンデンサC1を実装する基板等に影響を与える面積を小さくすることができる。その結果、積層コンデンサC1では、電歪効果の影響で振動等する場合であっても、実装基板等にその振動が伝わるのが好適に抑制されている。

【0066】

加えて、積層コンデンサC1では、 d_{11} / d_{16} が0.4より大きくなるように、第1の端子電極1の第2の方向での長さ d_{11} が規定されている。そのため、積層コンデンサC1では、積層コンデンサC1で発生する電歪効果の影響が実装基板等に伝搬することを抑制しつつ、第1の端子電極1と基板等との好適な接続を実現することが可能である。これにより、積層コンデンサC1では、第1の端子電極1と実装基板等との間で接続不良が発生することが抑制される。

20

【0067】

また、積層コンデンサは一般にその大きさが規格によって規定されているため、内部電極を含まない外層部の大きさが大きくなるとその分だけ静電容量が低減してしまう。これに対し、積層コンデンサC1では、 d_{11} / d_{16} が0.4より大きくなるように、第2の外層部12の第1の方向における長さ d_{16} が規定されている。そのため、積層コンデンサC1では、第2の外層部12の大きさによる静電容量の低減が好適に抑制されている。

30

【0068】

なお、本実施形態では、第1の外層部11が式(1)を、第2の外層部12が式(2)を満たしているが、式(1)又は式(2)の何れか一方のみが満たされていても、あるいは双方ともが満たされていなくてもよい。

【0069】

また、複数の第1及び第2の内部電極20、30のうち第1の方向の第2の主面L1b側で最も外側に配置された内部電極である第2の内部電極30と該第2の内部電極30に対向するコンデンサ素体L1の外表面である第2の主面L1bとの間隔に対する、第2の方向における第2の端子電極2の長さの比が、0.4より大きく且つ8.0より小さいことがより好ましい。また、複数の第1及び第2の内部電極20、30のうち第1の方向の第1の主面L1a側で最も外側に配置された内部電極である第1の内部電極20と該第1の内部電極20に対向するコンデンサ素体L1の外表面である第1の主面L1aとの間隔に対する、第2の方向における第2の端子電極2の長さの比が、0.4より大きく且つ8.0より小さいことがより好ましい。この場合、コンデンサ素体L1の電歪効果による機械的歪みが第2の端子電極2を介して実装基板等に伝搬することを好適に抑制することが可能となる。

40

(第2実施形態)

【0070】

50

図5を参照して、第2実施形態に係る積層コンデンサについて説明する。第2実施形態に係る積層コンデンサは、第1及び第2の内部電極の主電極部分に含まれる非容量形成領域の形状の点で第1実施形態に係る積層コンデンサC1と相違する。図5は、第2実施形態に係る積層コンデンサに含まれるコンデンサ素体の分解斜視図である。

【0071】

第2実施形態に係る積層コンデンサは、その図示を省略するが、第1実施形態に係る積層コンデンサC1と同じく、コンデンサ素体L1と、第1の端子電極1と、第2の端子電極2とを備える。コンデンサ素体L1は、図5に示されるように、複数（本実施形態では、5層）の誘電体層10と、複数（本実施形態では2層）の第1の内部電極20と、複数（本実施形態では2層）の第2の内部電極30とを有している。

10

【0072】

第1の内部電極20は、主電極部分22と、引き出し電極部分24とを含んでいる。主電極部分22は、容量形成領域26と複数（本実施形態では、2つ）の非容量形成領域28a、28bとを含む。2つの非容量形成領域28a、28bは、第1の側面L1cと第2の側面L1dとの対向方向に沿って、並んで配置されている。

【0073】

容量形成領域26は、略長方形形状を呈している。非容量形成領域28aは、第1の内部電極20の主電極部分22に長方形形状の開口部として形成されている。非容量形成領域28aは、主電極部分22の引き出し電極部分24との境界部から、第1及び第2の主面L1a、L1bの短辺方向における容量形成領域26の中央付近にまで伸びるように形成されている。

20

【0074】

非容量形成領域28bは、スリット状に形成されている。非容量形成領域28bは、主電極部分22において第2の側面L1d側から第1の側面L1c側に向かって伸びるように形成されている。ただし、非容量形成領域28bのスリットは、非容量形成領域28aにまでは達しない。非容量形成領域28a、28bは何れも、主電極部分22の第1及び第2の主面L1a、L1bの長辺方向における中央付近に位置している。

【0075】

引き出し電極部分24は、主電極部分22から第1の側面L1cに向けて伸びており、第1の側面L1cまで引き出されている。引き出し電極部分24は、第1の端子電極1に電氣的且つ物理的に接続されている。これにより、主電極部分22は、そして第1の内部電極20は、第1の端子電極1に電氣的に接続されることとなる。引き出し電極部分24は、主電極部分22の容量形成領域26及び非容量形成領域28aの双方と接している。

30

【0076】

第2の内部電極30は、主電極部分32と、引き出し電極部分34とを含んでいる。主電極部分32は、容量形成領域36と複数（本実施形態では、2つ）の非容量形成領域38a、38bとを含む。

【0077】

容量形成領域36は、略長方形形状を呈している。非容量形成領域38aは、第2の内部電極30の主電極部分32に長方形形状の開口部として形成されている。非容量形成領域38aは、主電極部分32の引き出し電極部分34との境界部から、第1及び第2の主面L1a、L1bの短辺方向における容量形成領域36の中央付近にまで伸びるように形成されている。

40

【0078】

非容量形成領域38bは、スリット状に形成されている。非容量形成領域38bは、主電極部分32において第1の側面L1c側から第2の側面L1d側に向かって伸びるように形成されている。ただし、非容量形成領域38bのスリットは、非容量形成領域38aにまでは達しない。非容量形成領域38a、38bは何れも、主電極部分32の第1及び第2の主面L1a、L1bの長辺方向における中央付近に位置している。

【0079】

50

引き出し電極部分 3 4 は、主電極部分 3 2 から第 2 の側面 L 1 d に向けて伸びており、第 2 の側面 L 1 d まで引き出されている。引き出し電極部分 3 4 は、第 2 の端子電極 2 に電氣的且つ物理的に接続されている。これにより、主電極部分 3 2 は、そして第 2 の内部電極 3 0 は、第 2 の端子電極 2 に電氣的に接続されることとなる。引き出し電極部分 3 4 は、主電極部分 3 2 の容量形成領域 3 6 及び非容量形成領域 3 8 a の双方と接している。

【0080】

第 1 及び第 2 の内部電極 2 0、3 0 は、第 1 の内部電極 2 0 の容量形成領域 2 6 と第 2 の内部電極 3 0 の容量形成領域 3 6 とが、コンデンサ素体 L 1 の少なくとも一部である 1 つの誘電体層 1 0 を挟んで対向するように配置されている。したがって、第 1 の内部電極 2 0 の容量形成領域 2 6 と第 2 の内部電極 3 0 の容量形成領域 3 6 とは協働して静電容量を形成する。

10

【0081】

さらに、第 1 及び第 2 の内部電極 2 0、3 0 は、第 1 の内部電極 2 0 の非容量形成領域 2 8 a と第 2 の内部電極 3 0 の非容量形成領域 3 8 b とが、さらに第 1 の内部電極 2 0 の非容量形成領域 2 8 b と第 2 の内部電極 3 0 の非容量形成領域 3 8 a とが、それぞれコンデンサ素体 L 1 の少なくとも一部である 1 つの誘電体層 1 0 を挟んで対向するように配置されている。

【0082】

第 2 実施形態に係る積層コンデンサでは、第 1 の側面 L 1 c に平行で且つ第 1 の方向に直交する第 2 の方向において、第 1 の端子電極 1 の長さは第 2 の方向における第 1 の側面 L 1 c の長さに対して小さく設定されている。さらに、第 2 の方向における第 1 の内部電極 2 0 の引き出し電極部分 2 4 の長さは、第 2 の方向における第 1 の内部電極 2 0 の主電極部分 2 2 の長さに対して小さく設定されている。

20

【0083】

また、第 1 の内部電極 2 0 において、非容量形成領域 2 8 a、2 8 b と引き出し電極部分 2 4 との位置は、第 1 の方向から見たときに、非容量形成領域 2 8 a、2 8 b と引き出し電極部分 2 4 とが第 2 の方向で重なりを有するように設定されている。

【0084】

第 2 実施形態に係る積層コンデンサでは、第 2 の側面 L 1 d に平行で且つ第 1 の方向に直交する第 3 の方向において、第 2 の端子電極 2 の長さは、第 3 の方向における第 2 側面 L 1 d の長さに対して小さく設定されている。さらに、第 3 の方向における第 2 の内部電極 3 0 の引き出し電極部分 3 4 の長さは、第 3 の方向における第 2 の内部電極 3 0 の主電極部分 3 2 の長さに対して小さく設定されている。

30

【0085】

また、第 2 の内部電極 3 0 において、非容量形成領域 3 8 a、3 8 b と引き出し電極部分 3 4 との位置は、第 1 の方向から見たときに、非容量形成領域 3 8 a、3 8 b と引き出し電極部分 3 4 とが第 3 の方向で重なりを有するように設定されている。

【0086】

第 2 実施形態に係る積層コンデンサでは、第 1 の内部電極 2 0 の主電極部分 2 2 が非容量形成領域 2 8 a、2 8 b を含み、この非容量形成領域 2 8 a、2 8 b は、第 1 の方向から見たときに、引き出し電極部分 2 4 と第 2 の方向で重なりを有するような位置に配置されている。そのため、コンデンサ素体 L 1 の電歪効果によって第 1 の端子電極 1 が受ける影響が低減され、第 2 実施形態に係る積層コンデンサでは第 1 の端子電極 1 付近での電歪効果による機械的歪みを抑制することも可能となる。

40

【0087】

さらに、第 2 実施形態に係る積層コンデンサでは、第 2 の内部電極 3 0 の主電極部分 3 2 も非容量形成領域 3 8 a、3 8 b を含み、この非容量形成領域 3 8 a、3 8 b は、第 1 の方向から見たときに、引き出し電極部分 3 4 と第 3 の方向で重なりを有するような位置に配置されている。そのため、コンデンサ素体 L 1 の電歪効果によって第 2 の端子電極 2 が受ける影響も低減され、第 2 実施形態に係る積層コンデンサでは第 2 の端子電極 2 付近

50

での電歪効果による機械的歪みを抑制することも可能となる。

【0088】

したがって、第2実施形態に係る積層コンデンサを基板等に実装し、電圧を加えた場合であっても、基板等において発生する音鳴りは抑制される。

【0089】

第2実施形態に係る積層コンデンサでは、第1の内部電極20において、主電極部分22と引き出し電極部分24とが接しており、非容量形成領域28aは、主電極部分22と引き出し電極部分24との境界部に接するように配置されている。そのため、第2実施形態に係る積層コンデンサでは第1の端子電極1付近での電歪効果による機械的歪みをより一層抑制することが可能となる。

10

【0090】

さらに、第2実施形態に係る積層コンデンサでは、第2の内部電極30においても、主電極部分32と引き出し電極部分34とが接しており、非容量形成領域38aは、主電極部分32と引き出し電極部分34との境界部に接するように配置されている。そのため、第2実施形態に係る積層コンデンサでは第2の端子電極2付近での電歪効果による機械的歪みをも、より一層抑制することが可能である。

【0091】

また、第2実施形態に係る積層コンデンサでは、第1及び第2の内部電極20、30が、第1の内部電極20の非容量形成領域28aと第2の内部電極30の非容量形成領域38bとが、さらに第1の内部電極20の非容量形成領域28bと第2の内部電極30の非容量形成領域38aとが、誘電体層10を挟んで対向するように配置されている。したがって、第2実施形態に係る積層コンデンサでは、静電容量の低減を効率良く抑制することができる。

20

【0092】

加えて、誘電体層10が露出するように非容量形成領域28a、28b、38a、38bが形成されている第2実施形態に係る積層コンデンサでは、非容量形成領域28a、38b同士及び非容量形成領域28b、38a同士が対向するように積層されている。そのため、第2実施形態に係る積層コンデンサでは、第1及び第2の内部電極20、30と誘電体層10との層間の密着性が良好になる。

【0093】

また、コンデンサ素体L1における層間の密着性が高まることにより、第2実施形態に係る積層コンデンサでは、コンデンサ素体L1全体の機械的歪みを抑制するとともに、第1及び第2の端子電極1、2付近での機械的歪みをより一層抑制することが可能となる。

30

【0094】

また、第2実施形態に係る積層コンデンサでは、第2の方向において、第1の端子電極1の長さが第1の側面L1cの長さに比して小さく設定されている。このため、電歪効果によって歪んだコンデンサ素体L1に第1の端子電極1が引っ張られたとしても、第2実施形態に係る積層コンデンサを実装する基板等に影響を与える面積を小さくすることができる。

【0095】

また、第2実施形態に係る積層コンデンサでは、第2の方向において、第1の端子電極1に接続する引き出し電極部分24の長さが主電極部分22の長さに比して小さく設定されている。これにより、第1の端子電極1の第2の方向における長さを小さくすることが可能となる。

40

【0096】

さらに、第2実施形態に係る積層コンデンサでは、第3の方向において、第2の端子電極2の長さが第2の側面L1dの長さに比して小さく設定されている。このため、電歪効果によって歪んだコンデンサ素体L1に第2の端子電極2が引っ張られたとしても、第2実施形態に係る積層コンデンサを実装する基板等に影響を与える面積を小さくすることができる。

50

【0097】

また、第2実施形態に係る積層コンデンサでは、第3の方向において、第2の端子電極2に接続する引き出し電極部分34の長さが主電極部分32の長さに対して小さく設定されている。これにより、第2の端子電極2の第3の方向における長さを小さくすることが可能となる。

【0098】

続いて、図6に基づいて、本実施形態の変形例について説明する。第2実施形態の変形例においては、第1及び第2の内部電極の主電極部分に含まれる非容量形成領域の数の点で、第2実施形態に係る積層コンデンサと相違する。図6は、本実施形態の変形例に係る積層コンデンサに含まれるコンデンサ素体の分解斜視図である。

10

【0099】

本実施形態の変形例に係る積層コンデンサは、その図示を省略するが、上述した第1実施形態に係る積層コンデンサC1と同じく、コンデンサ素体L1と、第1の端子電極1と、第2の端子電極2とを備える。コンデンサ素体1は、図6に示されるように、複数の誘電体層10と、複数の第1の内部電極20と、複数の第2の内部電極30とを有している。

【0100】

第2実施形態の変形例に係る積層コンデンサの第1の内部電極20の主電極部分22は、容量形成領域26と4つの非容量形成領域28a、28b、28c、28dを含む。4つの非容量形成領域28a、28b、28c、28dは、第1の側面L1cと第2の側面L1dとの対向方向に沿って、この順に第1の側面L1c側から並んで配置されている。非容量形成領域28a、28b、28c、28dは何れも、主電極部分22の第1及び第2の主面L1a、L1bの長辺方向における中央付近に位置している。

20

【0101】

非容量形成領域28aは、第1の内部電極20の主電極部分22に四角形状の開口部として形成されている。非容量形成領域28aは、主電極部分22の引き出し電極部分24との境界部から第2の側面L1d側に向かって伸びている。

【0102】

非容量形成領域28bは、第1の内部電極20の主電極部分22に四角形状の開口部として形成されている。非容量形成領域28bは、非容量形成領域28aより第2の側面L1d側に形成されている。

30

【0103】

非容量形成領域28cは、第1の内部電極20の主電極部分22に四角形状の開口部として形成されている。非容量形成領域28cは、非容量形成領域28a、28bより第2の側面L1d側に形成されている。

【0104】

非容量形成領域28dは、スリット状に形成されている。非容量形成領域28dは、主電極部分22において第2の側面L1d側から第1の側面L1c側に向かって伸びるように形成されている。ただし、非容量形成領域28dのスリットは、非容量形成領域28cにまでは達しない。

40

【0105】

引き出し電極部分24は、主電極部分22から第1の側面L1cに向けて伸びており、第1の側面L1cまで引き出されている。引き出し電極部分24は、第1の端子電極1に電氣的且つ物理的に接続されている。これにより、主電極部分22は、そして第1の内部電極20は、第1の端子電極1に電氣的に接続されることとなる。引き出し電極部分24は、主電極部分22の容量形成領域26及び非容量形成領域28aの双方と接している。

【0106】

第2実施形態の変形例に係る積層コンデンサの第2の内部電極30の主電極部分32は、容量形成領域36と4つの非容量形成領域38a、38b、38c、38dを含む。4つの非容量形成領域38a、38b、38c、38dは、第1の側面L1cと第2の側

50

面 L 1 d との対向方向に沿って、この順に第 2 の側面 L 1 d 側から並んで配置されている。非容量形成領域 3 8 a、3 8 b、3 8 c、3 8 d は何れも、主電極部分 3 2 の第 1 及び第 2 の主面 L 1 a、L 1 b の長辺方向における中央付近に位置している。

【0107】

非容量形成領域 3 8 a は、第 2 の内部電極 3 0 の主電極部分 3 2 に四角形状の開口部として形成されている。非容量形成領域 3 8 a は、主電極部分 3 2 の引き出し電極部分 3 4 との境界部から第 1 の側面 L 1 c 側に向かって伸びている。

【0108】

非容量形成領域 3 8 b は、第 2 の内部電極 3 0 の主電極部分 3 2 に四角形状の開口部として形成されている。非容量形成領域 3 8 b は、非容量形成領域 3 8 a より第 1 の側面 L 1 c 側に形成されている。

10

【0109】

非容量形成領域 3 8 c は、第 2 の内部電極 3 0 の主電極部分 3 2 に四角形状の開口部として形成されている。非容量形成領域 3 8 c は、非容量形成領域 3 8 a、3 8 b より第 1 の側面 L 1 c 側に形成されている。

【0110】

非容量形成領域 3 8 d は、スリット状に形成されている。非容量形成領域 3 8 d は、主電極部分 3 2 において第 1 の側面 L 1 c 側から第 2 の側面 L 1 d 側に向かって伸びるように形成されている。ただし、非容量形成領域 3 8 d のスリットは、非容量形成領域 3 8 c にまでは達しない。

20

【0111】

引き出し電極部分 3 4 は、主電極部分 3 2 から第 2 の側面 L 1 d に向けて伸びており、第 2 の側面 L 1 d まで引き出されている。引き出し電極部分 3 4 は、第 2 の端子電極 2 に電氣的且つ物理的に接続されている。これにより、主電極部分 3 2 は、そして第 2 の内部電極 3 0 は、第 2 の端子電極 2 に電氣的に接続されることとなる。引き出し電極部分 3 4 は、主電極部分 3 2 の容量形成領域 3 6 及び非容量形成領域 3 8 a の双方と接している。

【0112】

第 2 実施形態の変形例に係る積層コンデンサの第 1 及び第 2 の内部電極 2 0、3 0 は、第 1 の内部電極 2 0 の非容量形成領域 2 8 a と第 2 の内部電極 3 0 の非容量形成領域 3 8 d とが、さらに第 1 の内部電極 2 0 の非容量形成領域 2 8 b と第 2 の内部電極 3 0 の非容量形成領域 3 8 c とが、さらに第 1 の内部電極 2 0 の非容量形成領域 2 8 c と第 2 の内部電極 3 0 の非容量形成領域 3 8 b とが、さらに第 1 の内部電極 2 0 の非容量形成領域 2 8 d と第 2 の内部電極 3 0 の非容量形成領域 3 8 a とが、それぞれコンデンサ素体 L 1 の少なくとも一部である 1 つの誘電体層 1 0 を挟んで対向するように配置されている。

30

【0113】

また、第 1 の内部電極 2 0 において、非容量形成領域 2 8 a、2 8 b、2 8 c、2 8 d と引き出し電極部分 2 4 との位置は、第 1 の方向から見たときに、非容量形成領域 2 8 a、2 8 b、2 8 c、2 8 d と引き出し電極部分 2 4 とが第 2 の方向で重なりを有するように設定されている。

【0114】

また、第 2 の内部電極 3 0 において、非容量形成領域 3 8 a、3 8 b、3 8 c、3 8 d と引き出し電極部分 3 4 との位置は、第 1 の方向から見たときに、非容量形成領域 3 8 a、3 8 b、3 8 c、3 8 d と引き出し電極部分 3 4 とが第 3 の方向で重なりを有するように設定されている。

40

【0115】

第 2 実施形態の変形例に係る積層コンデンサでも、第 1 の端子電極 1 付近での電歪効果による機械的歪みを抑制することも可能となる。さらに、第 2 の端子電極 2 付近での電歪効果による機械的歪みを抑制することも可能である。

【0116】

また、第 2 実施形態の変形例に係る積層コンデンサでは、第 1 及び第 2 の内部電極 2 0

50

、30が、第1の内部電極20の非容量形成領域28a、28b、28c、28dと第2の内部電極30の非容量形成領域38d、38c、38b、38aとが、誘電体層10を挟んで対向するように配置されている。そのため静電容量の低減を効率良く抑制すると共に、第1及び第2の内部電極20、30と誘電体層10との層間の密着性を良好にすることが可能となる。

【0117】

特に、第1及び第2の側面L1c、L1dの対向方向における第1の内部電極20の非容量形成領域28a、28b、28c、28d間の容量形成領域26は、第2の内部電極30の容量形成領域36と誘電体層10を介して対向している。さらに、第1及び第2の側面L1c、L1dの対向方向における第2の内部電極30の非容量形成領域38a、38b、38c、38d間の容量形成領域36は、第1の内部電極20の容量形成領域26と誘電体層10を介して対向している。そのため、第2実施形態の変形例に係る積層コンデンサでは、静電容量の低減をより一層効率良く抑制することが可能である。

10

【0118】

また、第2実施形態の変形例に係る積層コンデンサでは、電歪効果によって歪んだコンデンサ素体L1に第1又は第2の端子電極1、2が引っ張られたとしても、当該第1又は第2の端子電極1、2によって実装する基板等に影響を与える面積を小さくすることができる。

【0119】

また、第2実施形態に係る積層コンデンサでは、第1の端子電極1の第2の方向における長さ、及び第2の端子電極2の第3の方向における長さを小さくすることが可能となる。

20

(第3実施形態)

【0120】

図7～図10に基づいて、第3実施形態に係る積層コンデンサC2の構成について説明する。図7は、本実施形態に係る積層コンデンサの斜視図である。図8は、本実施形態に係る積層コンデンサに含まれる素体の分解斜視図である。図9は、本実施形態に係る積層コンデンサの断面構成を説明するための図である。図10は、本実施形態に係る積層コンデンサの断面構成を説明するための図である。なお、図9及び図10において、断面のハッチングは省略している。

30

【0121】

積層コンデンサC2は、図7に示すように、直方体状をしたコンデンサ素体L2と、コンデンサ素体L2の外表面に配置された第1の端子電極1A、1B、1C、1D及び第2の端子電極2A、2B、2C、2Dとを備える。コンデンサ素体L2は、相対向する長方形形状の第1の主面L2a及び第2の主面L2bと、相対する第1の側面(第1の面)L2c及び第2の側面L2dと、相対向する第3の側面L2e及び第4の側面L2fとを含んでいる。第1及び第2の側面L2c、L2dは、第1及び第2の主面L2a、L2b間を連結するように第1及び第2の主面L2a、L2bの長辺方向に伸びている。第3及び第4の側面L2e、L2fは、第1及び第2の主面L2a、L2b間を連結するように第1及び第2の主面L2a、L2bの短辺方向に伸びている。

40

【0122】

コンデンサ素体L2の第1の側面L2cには、第1の端子電極1A～1Dが配置されている。第1の端子電極1A～1Dは、第1の側面L2c上において、第3の側面L2e側からこの順で配置されている。第1の端子電極1Aは第1の側面L2cの第3の側面L2e側の端部に、第1の端子電極1Dは第1の側面L2cの第4の側面L2f側の端部に、それぞれ配置されている。

【0123】

コンデンサ素体L2の第2の側面L2dには、第2の端子電極2A～2Dが配置されている。第2の端子電極2A～2Dは、第2の側面L2d上において、第3の側面L2e側からこの順で配置されている。第2の端子電極2Aは第2の側面L2dの第3の側面L2

50

e側の端部に、第2の端子電極2Dは第2の側面L2dの第4の側面L2f側の端部に、それぞれ配置されている。

【0124】

第1及び第2の端子電極1A～1D、2A～2Dは、例えば、導電性金属粉末及びガラスフリットを含む導電性ペーストをコンデンサ素体L2の対応する外表面の付与し、焼き付けることによって形成される。必要に応じて、焼き付けられた電極の上をめっき層が形成されることもある。

【0125】

コンデンサ素体L2は、図8に示されるように、複数（本実施形態では5層）の誘電体層10と、複数（本実施形態では2層）の第1の内部電極40と、複数（本実施形態では2層）の第2の内部電極50とを有している。したがって、コンデンサ素体L2は、誘電特性を有する。

【0126】

第1の内部電極40と第2の内部電極50とは、コンデンサ素体L2の一部である一つの誘電体層10を挟んで対向するように配置されている。第1の端子電極1A～1Dが配置された第1の側面L2c、及び第2の端子電極2A～2Dが配置された第2の側面L2dは、第1の内部電極40と第2の内部電極50とが対向する方向、すなわち第1の方向に平行である。

【0127】

第1の内部電極40は、主電極部分42と、引き出し電極部分44a、44b、44c、44dとを含んでいる。主電極部分42は、容量形成領域46a、46b、46cと非容量形成領域48a、48bとを含む。第1の内部電極40は、導電性ペーストの焼結体から構成される。

【0128】

容量形成領域46a～46cは、それぞれ長方形状を呈しており、第1及び第2の主面L2a、L2bの長辺方向に沿って並んで配列されている。

【0129】

非容量形成領域48aは、主電極部分42において第2の側面L2d側から第1の側面L2c側に向かって伸び、容量形成領域46aと容量形成領域46bとの間に位置するスリットとして形成されている。非容量形成領域48bは、主電極部分42において第2の側面L2d側から第1の側面L2c側に向かって伸び、容量形成領域46bと容量形成領域46cとの間に位置するスリットとして形成されている。

【0130】

スリット状に形成された非容量形成領域48a、48bには導電性ペーストの焼結体は存在せず、非容量形成領域48a、48bは静電容量の形成に寄与しない。

【0131】

引き出し電極部分44aは、主電極部分42の容量形成領域46aから第1の側面L2cに向けて伸びており、第1の側面L2cまで引き出されている。引き出し電極部分44aは、第1の端子電極1Aに電氣的且つ物理的に接続されている。これにより、主電極部分42の容量形成領域46aは、そして第1の内部電極40は、第1の端子電極1Aに電氣的に接続されることとなる。

【0132】

引き出し電極部分44bは、主電極部分42の容量形成領域46a、46b及び非容量形成領域48aから第1の側面L2cに向けて伸びており、第1の側面L2cまで引き出されている。引き出し電極部分44bは、第1の端子電極1Bに電氣的且つ物理的に接続されている。これにより、主電極部分42の容量形成領域46a、46bは、そして第1の内部電極40は、第1の端子電極1Bに電氣的に接続されることとなる。

【0133】

引き出し電極部分44cは、主電極部分42の容量形成領域46b、46c及び非容量形成領域48bから第1の側面L2cに向けて伸びており、第1の側面L2cまで引き出

10

20

30

40

50

されている。引き出し電極部分 4 4 c は、第 1 の端子電極 1 C に電氣的且つ物理的に接続されている。これにより、主電極部分 4 2 の容量形成領域 4 6 b、4 6 c は、そして第 1 の内部電極 4 0 は、第 1 の端子電極 1 C に電氣的に接続されることとなる。

【0134】

引き出し電極部分 4 4 d は、主電極部分 4 2 の容量形成領域 4 6 d から第 1 の側面 L 2 c に向けて伸びており、第 1 の側面 L 2 c まで引き出されている。引き出し電極部分 4 4 d は、第 1 の端子電極 1 D に電氣的且つ物理的に接続されている。これにより、主電極部分 4 2 の容量形成領域 4 6 d は、そして第 1 の内部電極 4 0 は、第 1 の端子電極 1 D に電氣的に接続されることとなる。

【0135】

引き出し電極部分 4 4 a は、主電極部分 4 2 の容量形成領域 4 6 a と接している。引き出し電極部分 4 4 b は、主電極部分 4 2 の容量形成領域 4 6 a、4 6 b 及び非容量形成領域 4 8 a のすべてと接している。引き出し電極部分 4 4 c は、主電極部分 4 2 の容量形成領域 4 6 b、4 6 c 及び非容量形成領域 4 8 b のすべてと接している。引き出し電極部分 4 4 d は、主電極部分 4 2 の容量形成領域 4 6 c と接している。

【0136】

非容量形成領域 4 8 a は、主電極部分 4 2 の容量形成領域 4 6 a、4 6 b と引き出し電極部分 4 4 b との境界部に接するように配置されている。非容量形成領域 4 8 b は、主電極部分 4 2 の容量形成領域 4 6 b、4 6 c と引き出し電極部分 4 4 c との境界部に接するように配置されている。

【0137】

第 2 の内部電極 5 0 は、主電極部分 5 2 と、引き出し電極部分 5 4 a、5 4 b、5 4 c、5 4 d とを含んでいる。主電極部分 5 2 は、容量形成領域 5 6 a、5 6 b、5 6 c と非容量形成領域 5 8 a、5 8 b とを含む。第 2 の内部電極 5 0 は、導電性ペーストの焼結体から構成される。

【0138】

容量形成領域 5 6 a ~ 5 6 c は、それぞれ長方形状を呈しており、第 1 及び第 2 の主面 L 2 a、L 2 b の長辺方向に沿って並んで配列されている。

【0139】

非容量形成領域 5 8 a は、主電極部分 5 2 において第 2 の側面 L 2 d 側から第 2 の側面 L 2 d 側に向かって伸び、容量形成領域 5 6 a と容量形成領域 5 6 b との間に位置するスリットとして形成されている。非容量形成領域 5 8 b は、主電極部分 5 2 において第 2 の側面 L 2 d 側から第 2 の側面 L 2 d 側に向かって伸び、容量形成領域 5 6 b と容量形成領域 5 6 c との間に位置するスリットとして形成されている。

【0140】

スリット状に形成された非容量形成領域 5 8 a、5 8 b には導電性ペーストの焼結体は存在せず、非容量形成領域 5 8 a、5 8 b は静電容量の形成に寄与しない。

【0141】

引き出し電極部分 5 4 a は、主電極部分 5 2 の容量形成領域 5 6 a から第 2 の側面 L 2 d に向けて伸びており、第 2 の側面 L 2 d まで引き出されている。引き出し電極部分 5 4 a は、第 2 の端子電極 2 A に電氣的且つ物理的に接続されている。これにより、主電極部分 5 2 の容量形成領域 5 6 a は、そして第 2 の内部電極 5 0 は、第 2 の端子電極 2 A に電氣的に接続されることとなる。

【0142】

引き出し電極部分 5 4 b は、主電極部分 5 2 の容量形成領域 5 6 a、5 6 b 及び非容量形成領域 5 8 a から第 2 の側面 L 2 d に向けて伸びており、第 2 の側面 L 2 d まで引き出されている。引き出し電極部分 5 4 b は、第 2 の端子電極 2 B に電氣的且つ物理的に接続されている。これにより、主電極部分 5 2 の容量形成領域 5 6 a、5 6 b は、そして第 2 の内部電極 5 0 は、第 2 の端子電極 2 B に電氣的に接続されることとなる。

【0143】

10

20

30

40

50

引き出し電極部分 5 4 c は、主電極部分 5 2 の容量形成領域 5 6 b、5 6 c 及び非容量形成領域 5 8 b から第 2 の側面 L 2 d に向けて伸びており、第 2 の側面 L 2 d まで引き出されている。引き出し電極部分 5 4 c は、第 2 の端子電極 2 C に電氣的且つ物理的に接続されている。これにより、主電極部分 5 2 の容量形成領域 5 6 b、5 6 c は、そして第 2 の内部電極 5 0 は、第 2 の端子電極 2 C に電氣的に接続されることとなる。

【0144】

引き出し電極部分 5 4 d は、主電極部分 5 2 の容量形成領域 5 6 d から第 2 の側面 L 2 d に向けて伸びており、第 2 の側面 L 2 d まで引き出されている。引き出し電極部分 5 4 d は、第 2 の端子電極 2 D に電氣的且つ物理的に接続されている。これにより、主電極部分 5 2 の容量形成領域 5 6 d は、そして第 2 の内部電極 5 0 は、第 2 の端子電極 2 D に電氣的に接続されることとなる。

10

【0145】

引き出し電極部分 5 4 a は、主電極部分 5 2 の容量形成領域 5 6 a と接している。引き出し電極部分 5 4 b は、主電極部分 5 2 の容量形成領域 5 6 a、5 6 b 及び非容量形成領域 5 8 a のすべてと接している。引き出し電極部分 5 4 c は、主電極部分 5 2 の容量形成領域 5 6 b、5 6 c 及び非容量形成領域 5 8 b のすべてと接している。引き出し電極部分 5 4 d は、主電極部分 5 2 の容量形成領域 5 6 c と接している。

【0146】

非容量形成領域 5 8 a は、主電極部分 5 2 の容量形成領域 5 6 a、5 6 b と引き出し電極部分 5 4 b との境界部に接するように配置されている。非容量形成領域 5 8 b は、主電極部分 5 2 の容量形成領域 5 6 b、5 6 c と引き出し電極部分 5 4 c との境界部に接するように配置されている。

20

【0147】

第 1 及び第 2 の内部電極 4 0、5 0 は、第 1 の内部電極 4 0 の容量形成領域 4 6 a と第 2 の内部電極 5 0 の容量形成領域 5 6 a とが、さらに第 1 の内部電極 4 0 の容量形成領域 4 6 b と第 2 の内部電極 5 0 の容量形成領域 5 6 b とが、さらに第 1 の内部電極 4 0 の容量形成領域 4 6 c と第 2 の内部電極 5 0 の容量形成領域 5 6 c とが、何れも、コンデンサ素体 L 2 の少なくとも一部である 1 つの誘電体層 1 0 を挟んで対向するように配置されている。したがって、第 1 の内部電極 4 0 の容量形成領域 4 6 a ~ 4 6 c と第 2 の内部電極 5 0 の容量形成領域 5 6 a ~ 5 6 c とは協働して静電容量を形成する。

30

【0148】

さらに、第 1 及び第 2 の内部電極 4 0、5 0 は、第 1 の内部電極 4 0 の非容量形成領域 4 8 a と第 2 の内部電極 5 0 の非容量形成領域 5 8 a とが、さらに第 1 の内部電極 4 0 の非容量形成領域 4 8 b と第 2 の内部電極 5 0 の非容量形成領域 5 8 b とが、それぞれコンデンサ素体 L 2 の少なくとも一部である 1 つの誘電体層 1 0 を挟んで対向するように配置されている。

【0149】

ここで、第 1 の側面 L 2 c に平行で且つ第 1 の方向に直交する方向を第 2 の方向とする。図 9 では、第 2 の方向を x 方向として表す。図 9 は、図 7 の積層コンデンサの IX-IX 矢印断面を模式的に表す図であり、第 1 の内部電極 4 0 の上面と誘電体層 1 0 とが積層されている箇所を切断した図である。

40

【0150】

図 9 に示すように、第 2 の方向における第 1 の端子電極 1 A、1 B、1 C、1 D それぞれの長さ d_{11A} 、 d_{11B} 、 d_{11C} 、 d_{11D} は、第 2 の方向における第 1 の側面 L 2 c の長さ d_{12} に比して小さく設定されている。すなわち、 d_{11X} ($11X = 11A$ 、 $11B$ 、 $11C$ 、 $11D$) $< d_{12}$ が成立する。さらに、図 9 に示すように、第 2 の方向における第 1 の内部電極 4 0 の引き出し電極部分 4 4 a、4 4 b、4 4 c、4 4 d それぞれの長さ d_{13A} 、 d_{13B} 、 d_{13C} 、 d_{13D} は、第 2 の方向における第 1 の内部電極 4 0 の主電極部分 4 2 の長さ d_{14} に比して小さく設定されている。すなわち、 d_{13X} ($13X = 13A$ 、 $13B$ 、 $13C$ 、 $13D$) $< d_{14}$ が成立する。

50

【0151】

また、第1の内部電極40において、非容量形成領域48aと引き出し電極部分44bとの位置は、第1の方向から見たときに、すなわち図9の断面図において、非容量形成領域48aと引き出し電極部分44bとが第2の方向(x方向)で重なりを有するように設定されている。さらに、第1の内部電極40において、非容量形成領域48bと引き出し電極部分44cとの位置は、第1の方向から見たときに、非容量形成領域48bと引き出し電極部分44cとが第2の方向(x方向)で重なりを有するように設定されている

【0152】

第2の側面L2dに平行で且つ第1の方向に直交する方向を第3の方向とする。図10では、第3の方向をy方向として表す。図10は、図7の積層コンデンサのX-X矢印断面図であり、第1の内部電極40の上面と誘電体層10とが積層されている箇所を切断した図である。

10

【0153】

図10に示すように、第3の方向における第2の端子電極2A、2B、2C、2Dそれぞれの長さ d_{21A} 、 d_{21B} 、 d_{21C} 、 d_{21D} は、第3の方向における第2の側面L2dの長さ d_{22} に比して小さく設定されている。すなわち、 $d_{21X} (21X = 21A, 21B, 21C, 21D) < d_{22}$ が成立する。さらに、図10に示すように、第3の方向における第2の内部電極50の引き出し電極部分54a、54b、54c、54dそれぞれの長さ d_{23A} 、 d_{23B} 、 d_{23C} 、 d_{23D} は、第3の方向における第2の内部電極50の主電極部分52の長さ d_{24} に比して小さく設定されている。すなわち、 $d_{23X} (23X = 23A, 23B, 23C, 23D) < d_{24}$ が成立する。

20

【0154】

また、第2の内部電極50において、非容量形成領域58aと引き出し電極部分54bとの位置は、第1の方向から見たときに、すなわち図10の断面図において、非容量形成領域58aと引き出し電極部分54bとが第3の方向(y方向)で重なりを有するように設定されている。さらに、第2の内部電極50において、非容量形成領域58bと引き出し電極部分54cとの位置は、第1の方向から見たときに、非容量形成領域58aと引き出し電極部分54bとが第3の方向(y方向)で重なりを有するように設定されている。

【0155】

積層コンデンサC2では、第1の内部電極40の主電極部分42が非容量形成領域48a、48bを含む。したがって、端子電極1A~1D、2A~2Dを基板のランド電極等に接続して積層コンデンサC2に電圧をかけ、第1及び第2の内部電極40、50間に電圧を加える場合であっても、主電極部分42にスリット状に形成された非容量形成領域48a、48bに加わる電圧は抑制される。その上、この非容量形成領域48a、48bは、第1の方向から見たときに、引き出し電極部分44b、44cと第2の方向(図9のx方向)でそれぞれ重なりを有するような位置に配置されている。以上より、引き出し電極部分44a~44d(特に引き出し電極44b、44c)に影響するコンデンサ素体L2の電歪の効果は非容量形成領域48a、48bの分だけ小さくなる。その結果、コンデンサ素体L2の電歪効果によって第1の端子電極1A~1Dが受ける影響が低減され、積層コンデンサC2では第1の端子電極付近での電歪効果による機械的歪みを抑制することが可能となる。

30

40

【0156】

さらに、積層コンデンサC2では、第2の内部電極50の主電極部分52も非容量形成領域58a、58bを含み、この非容量形成領域58a、58bは、第1の方向から見たときに、引き出し電極部分54b、54cと第3の方向(図10のy方向)でそれぞれ重なりを有するような位置に配置されている。そのため、コンデンサ素体L2の電歪効果によって第2の端子電極2A~2Dが受ける影響も低減され、積層コンデンサC2では第2の端子電極付近での電歪効果による機械的歪みを抑制することも可能となる。

【0157】

したがって、積層コンデンサC2を基板等を実装し、電圧を加えた場合であっても、基

50

板等において発生する音鳴りは抑制される。

【0158】

非容量形成領域が引き出し電極部分に近いほど、コンデンサ素体の電歪効果によって端子電極が受ける影響は低減される。これに対し、積層コンデンサC2では、第1の内部電極40において、主電極部分42と引き出し電極部分44a～44dとが接しており、非容量形成領域48aは主電極部分42と引き出し電極部分44bとの境界部に、非容量形成領域48bは主電極部分42と引き出し電極部分44cとの境界部に、それぞれ接するように配置されている。そのため、積層コンデンサC2では第1の端子電極付近での電歪効果による機械的歪みをより一層抑制することが可能となる。

【0159】

さらに、積層コンデンサC2では、第2の内部電極50においても、主電極部分52と引き出し電極部分54a～54dとが接しており、非容量形成領域58aは主電極部分52と引き出し電極部分54bとの境界部に、非容量形成領域58bは主電極部分52と引き出し電極部分54cとの境界部に、それぞれ接するように配置されている。そのため、積層コンデンサC2では第2の端子電極付近での電歪効果による機械的歪みをも、より一層抑制することが可能である。

【0160】

また、積層コンデンサC2では、第1及び第2の内部電極40、50が、第1の内部電極40の非容量形成領域48aと第2の内部電極50の非容量形成領域58aとが、さらに第1の内部電極40の非容量形成領域48bと第2の内部電極50の非容量形成領域58bとが、それぞれ誘電体層10を挟んで対向するように配置されている。したがって、積層コンデンサC2では、静電容量の低減を効率良く抑制することができると共に、第1及び第2の内部電極40、50と誘電体層10との間の密着性を良好にすることが可能となる。

【0161】

また、積層コンデンサC2では、コンデンサ素体L2の層間の密着性が良好であるため、コンデンサ素体L2全体の機械的歪みが抑制されるとともに、第1及び第2の端子電極1A～1D、2A～2D付近での機械的歪みをより一層抑制することが可能となる。

【0162】

また、積層コンデンサC2では、第2の方向において、第1の端子電極1A～1Dの長さ $d_{11A} \sim d_{11D}$ が第1の側面L2cの長さ d_{12} に比して小さく設定されている。このため、電歪効果によって歪んだコンデンサ素体L2に第1の端子電極1A～1Dが引っ張られたとしても、積層コンデンサC2を実装する基板等に影響を与える面積を小さくすることができる。

【0163】

また、積層コンデンサC2では、第2の方向において、第1の端子電極1A～1Dに接続する引き出し電極部分44a～44dの長さ $d_{13A} \sim d_{13D}$ が主電極部分42の長さ d_{14} に比して小さく設定されている。これにより、第1の端子電極1A～1Dの第2の方向における長さ $d_{11A} \sim d_{11D}$ を小さくすることが可能となる。

【0164】

さらに、積層コンデンサC2では、第3の方向において、第2の端子電極2A～2Dの長さ $d_{21A} \sim d_{21D}$ が第2の側面L2dの長さ d_{22} に比して小さく設定されている。このため、電歪効果によって歪んだコンデンサ素体L2に第2の端子電極2A～2Dが引っ張られたとしても、積層コンデンサC2を実装する基板等に影響を与える面積を小さくすることができる。

【0165】

また、積層コンデンサC2では、第3の方向において、第2の端子電極2A～2Dに接続する引き出し電極部分54a～54dの長さ $d_{23A} \sim d_{23D}$ が主電極部分52の長さ d_{24} に比して小さく設定されている。これにより、第2の端子電極2A～2Dの第3の方向における長さ d_{21} を小さくすることが可能となる。

10

20

30

40

50

【0166】

以上、本発明の好適な実施形態について説明してきたが、本発明は必ずしも上述した実施形態に限定されるものではなく、その要旨を逸脱しない範囲で様々な変更が可能である。

【0167】

例えば、誘電体層10及び各内部電極20、40、30、50の積層数、並びに端子電極1、1A～1D、2、2A～2Dの数は、上記実施形態及び変形例での数に限られない。

【0168】

各内部電極20、40、30、50の容量形成領域26、26a、26b、46a～46c、36、36a、36c、56a～56c及び非容量形成領域28、28a～28d、48a、48b、38、38a～38d、58a、58bの形状は、上記実施形態及び変形例での形状に限られない。各内部電極20、40、30、50の主電極部分22、42、32、52に含まれる容量形成領域26、26a、26b、46a～46c、36、36a、36c、56a～56c及び非容量形成領域28、28a～28d、48a、48b、38、38a～38d、58a、58bの数は、上記実施形態及び変形例での数に限られない。

10

【0169】

また、各内部電極20、40、30、50の非容量形成領域28、28a～28d、48a、48b、38、38a～38d、58a、58bは、主電極部分22、42、32、52と引き出し電極部分24、34、44a～44d、54a～54dとの境界部に接していてもよい。また、第1の内部電極20、40の非容量形成領域28、28a～28d、48a、48bと、第2の内部電極の非容量形成領域38、38a～38d、58a、58bとが、第1の方向で対向していてもよい。

20

【0170】

また、第1及び第2の内部電極20、40、30、50の双方が非容量形成領域を含まず、片方（第1の内部電極）だけが含んでいてもよい。

【0171】

また、第2及び第3の実施形態に係る積層コンデンサにおいて、複数の第1及び第2の内部電極20、40、30、50のうち第1の方向の第2の主面L1b、L2b側で最も外側に配置された内部電極30、50と該内部電極30、50に対向するコンデンサ素体L1、L2の第2の主面L1b、L2bとの間隔に対する、第1の方向における各第1の端子電極1、1A～1Dの長さの比が、0.4より大きく且つ8.0より小さくてもよい。また、第2及び第3の実施形態に係る積層コンデンサにおいて、複数の第1及び第2の内部電極20、40、30、50のうち第1の方向の第1の主面L1a、L2a側で最も外側に配置された内部電極20、40と該内部電極20、40に対向するコンデンサ素体L1、L2の第1の主面L1a、L2aとの間隔に対する、第1の方向における各第1の端子電極1、1A～1Dの長さの比が、0.4より大きく且つ8.0より小さくてもよい。

30

【0172】

また、第2及び第3の実施形態に係る積層コンデンサにおいて、複数の第1及び第2の内部電極20、40、30、50のうち第1の方向の第2の主面L1b、L2b側で最も外側に配置された内部電極30、50と該内部電極30、50に対向するコンデンサ素体L1、L2の第2の主面L1b、L2bとの間隔に対する、第2の方向における各第2の端子電極2、2A～2Dの長さの比が、0.4より大きく且つ8.0より小さくてもよい。また、第2及び第3の実施形態に係る積層コンデンサにおいて、複数の第1及び第2の内部電極20、40、30、50のうち第1の方向の第1の主面L1a、L2a側で最も外側に配置された内部電極20、40と該内部電極20、40に対向するコンデンサ素体L1、L2の第1の主面L1a、L2aとの間隔に対する、第2の方向における各第2の端子電極2、2A～2Dの長さの比が、0.4より大きく且つ8.0より小さくてもよい。

40

50

。

【0173】

これらの場合、コンデンサ素体 L 1、L 2 の電歪効果による機械的歪みが第 1 又は第 2 の端子電極 1、1 A～1 D、2、2 A～2 D を介して実装基板等に伝搬することを好適に抑制することが可能となる。

【図面の簡単な説明】

【0174】

【図 1】第 1 実施形態に係る積層コンデンサの斜視図である。

【図 2】第 1 実施形態に係る積層コンデンサに含まれる素体の分解斜視図である。

【図 3】第 1 実施形態に係る積層コンデンサの断面構成を説明するための図である。

10

【図 4】第 1 実施形態に係る積層コンデンサの断面構成を説明するための図である。

【図 5】第 2 実施形態に係る積層コンデンサに含まれるコンデンサ素体の分解斜視図である。

【図 6】第 2 実施形態の変形例に係る積層コンデンサに含まれるコンデンサ素体の分解斜視図である。

【図 7】第 3 実施形態に係る積層コンデンサの斜視図である。

【図 8】第 3 実施形態に係る積層コンデンサに含まれる素体の分解斜視図である。

【図 9】第 3 実施形態に係る積層コンデンサの断面構成を説明するための図である。

【図 10】第 3 実施形態に係る積層コンデンサの断面構成を説明するための図である。

【図 11】第 1 実施形態に係る積層コンデンサの断面構成を説明するための図である。

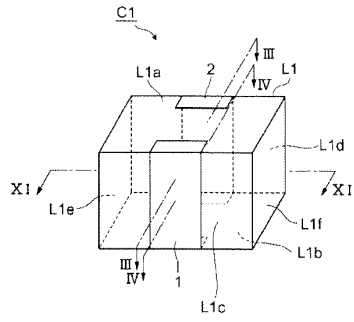
20

【符号の説明】

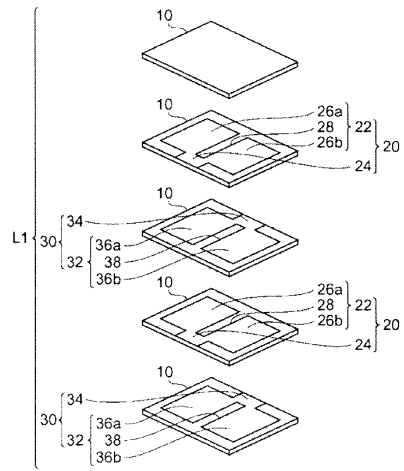
【0175】

C 1、C 2…積層コンデンサ、L 1、L 2…コンデンサ素体、1、1 A～1 D…第 1 の端子電極、2、2 A～2 D…第 2 の端子電極、1 1…第 1 の外層部、1 2…第 2 の外層部、2 0、4 0…第 1 の内部電極、2 2、4 2…主電極部分、2 4、4 4 a～4 4 d…引き出し電極部分、2 6、2 6 a、2 6 b、4 6 a～4 6 c…容量形成領域、2 8、2 8 a～2 8 d、4 8 a、4 8 b…非容量形成領域、3 0、5 0…第 2 の内部電極、3 2、5 2…主電極部分、3 4、5 4 a～5 4 d…引き出し電極部分、3 6、3 6 a、3 6 b、5 6 a～5 6 c…容量形成領域、3 8、3 8 a～3 8 d、5 8 a、5 8 b…非容量形成領域。

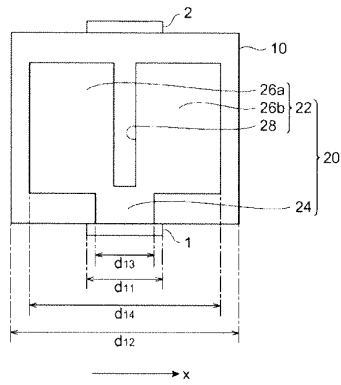
【 図 1 】



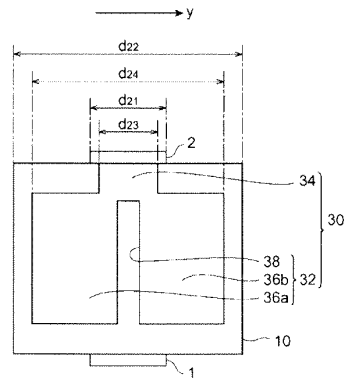
【 図 2 】



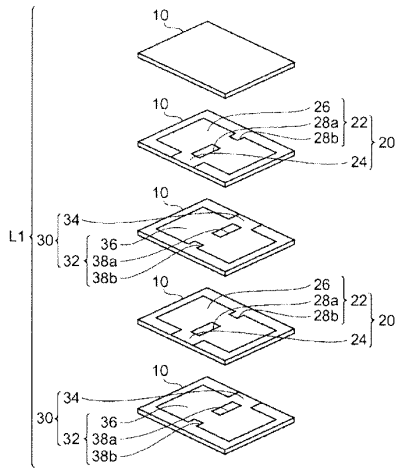
【 図 3 】



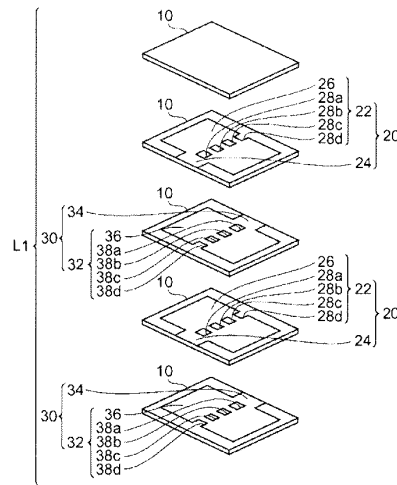
【 図 4 】



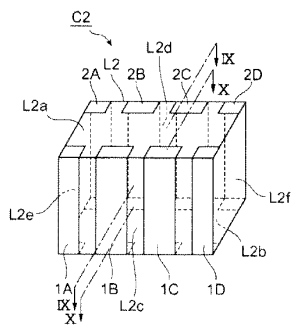
【図5】



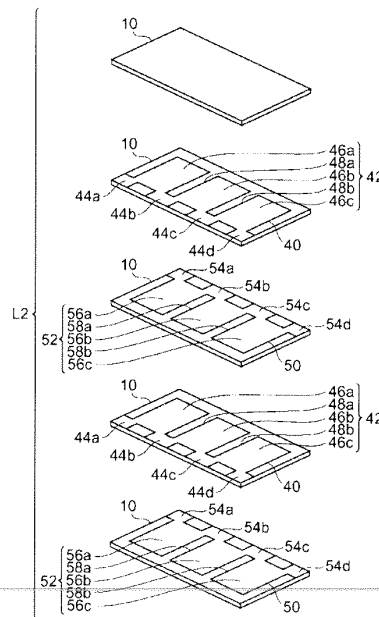
【図6】



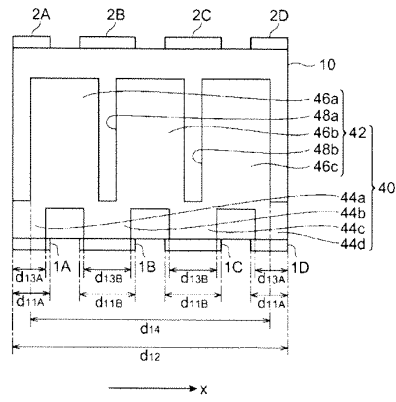
【図7】



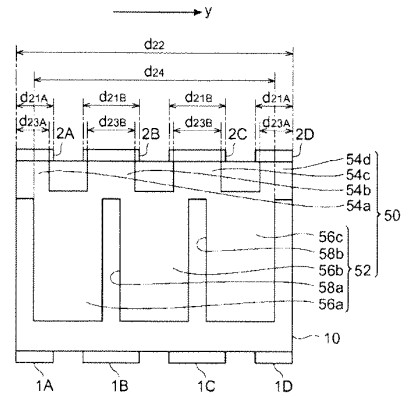
【図8】



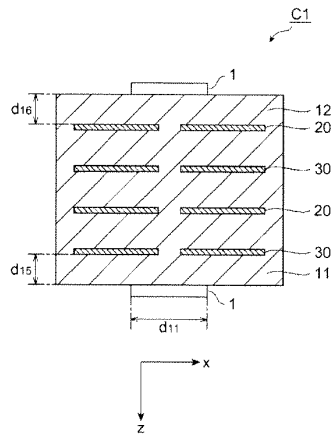
【 図 9 】



【 図 10 】



【 図 11 】



フロントページの続き

Fターム(参考) 5E001 AB03 AC02 AF06 AH09
5E082 AA01 AB03 BC33 EE04 EE17 FF05 FG06 FG26 GG10 JJ03
MM24 PP09

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11) Publication number: 1020080063680 A
 (43) Publication date: 07.07.2008

(21) Application number: 1020070000353
 (22) Application date: 02.01.2007

(71) Applicant: • SAMSUNG ELECTRO-
 MECHANICS CO., LTD.

(72) Inventor: • PARK, MIN KYU

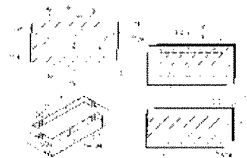
(51) Int. Cl: H01G 4/30
 H01G 4/005

(54) MULTILAYER CHIP CAPACITOR, CAPABLE OF REDUCING EQUIVALENT SERIES INDUCTANCE AND IMPROVING A HIGH FREQUENCY ATTENUATION CHARACTERISTIC AND A RESONANCE FREQUENCY CHARACTERISTIC BY INCREASING A CONTACT AREA BETWEEN INNER AND OUTER ELECTRODES AND REDUCING A LENGTH OF A CURRENT PATH

(57) Abstract:

PURPOSE: A multilayer chip capacitor is provided to reduce power loss by decreasing ESR(Equivalent Series Resistance) through frequency attenuation characteristic and a resonance frequency characteristic.

CONSTITUTION: A multilayer chip capacitor(100) includes a main body(101), a plurality of first and second inner electrodes (103a,104a), and first and second outer electrodes(103,104). The main body is formed by stacking a plurality of dielectric layers(103b,104b) and has first and fourth sides(S1-S4) in parallel with a stacking direction. The first and second sides face each other and the third and fourth sides face each other. The first and second inner electrodes are alternately stacked by being separated by the dielectric layers in the main body. The first and second outer electrodes are formed on the first and second sides respectively and have different polarity.



copyright KIPO 2008



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0063680
(43) 공개일자 2008년07월07일

(51) Int. Cl.

H01G 4/30 (2006.01) H01G 4/005 (2006.01)

(21) 출원번호 10-2007-0000353

(22) 출원일자 2007년01월02일

심사청구일자 2007년01월02일

(71) 출원인

삼성전기주식회사

경기도 수원시 영통구 매탄동 314

(72) 발명자

박민규

경기 성남시 분당구 서현동 시범단지우성아파트
222동 805호

(74) 대리인

특허법인 씨엔에스·로고스

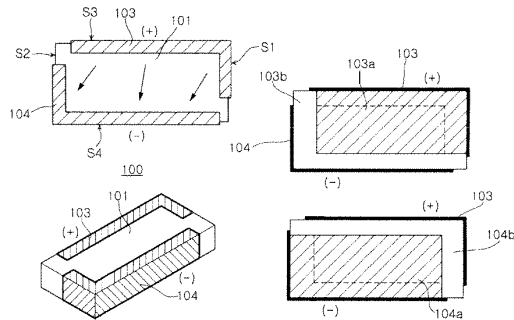
전체 청구항 수 : 총 9 항

(54) 적층형 칩 커패시터

(57) 요약

본 발명의 적층형 칩 커패시터는, 복수의 유전체층이 적층되어 형성되고, 적층 방향과 평행한 제1 내지 제4 측면을 갖되 제1 측면과 제2 측면이 서로 대향하고 제3 측면과 제4 측면이 서로 대향하는 커패시터 본체; 상기 커패시터 본체 내에서 유전체층에 의해 분리되어 교대로 적층된 복수의 제1 및 제2 내부 전극; 및 상기 제1 및 제2 측면에 각각 형성된 상이한 극성의 제1 및 제2 외부 전극을 포함한다. 상기 제1 내부 전극은 제1 및 제3측면으로 인출된 하나의 제1 인출부를 갖고, 상기 제2 내부 전극은 제2 및 제4 측면으로 인출되는 하나의 제2 인출부를 가지며, 상기 제1 외부 전극은 제1 및 제3 측면에서 제1 인출부와 접하여 제1 내부 전극과 연결되고, 제2 외부 전극은 제2 및 제4 측면에서 제2 인출부와 접하여 제2 내부 전극과 연결된다.

대표도 - 도3



특허청구의 범위

청구항 1

복수의 유전체층이 적층되어 형성되고, 적층 방향과 평행한 제1 내지 제4 측면을 갖되 제1 측면과 제2 측면이 서로 대향하고 제3 측면과 제4 측면이 서로 대향하는 커패시터 본체;

상기 커패시터 본체 내에서 유전체층에 의해 분리되어 교대로 적층된 복수의 제1 및 제2 내부 전극; 및

상기 제1 및 제2 측면에 각각 형성된 상이한 극성의 제1 및 제2 외부 전극을 포함하되,

상기 제1 내부 전극은 제1 및 제3측면으로 인출된 하나의 제1 인출부를 갖고, 상기 제2 내부 전극은 제2 및 제4 측면으로 인출되는 하나의 제2 인출부를 가지며, 상기 제1 외부 전극은 제1 및 제3 측면에서 제1 인출부와 접하여 제1 내부 전극과 연결되고, 제2 외부 전극은 제2 및 제 4측면에서 제2 인출부와 접하여 제2 내부 전극과 연결된 것을 특징으로 하는 적층형 칩 커패시터.

청구항 2

제1항에 있어서,

상기 제1 및 제2 내부 전극 각각은 직사각형의 전극 패턴으로 되어 있고, 제1 외부 전극은 제1 측면과 제3 측면 상에 일체로 도포되어 상기 제1 내부 전극의 2개 변과 접하고, 제2 외부 전극은 제2 측면과 제4 측면에 일체로 도포되어 상기 제2 내부 전극의 2개 변과 접하는 것을 특징으로 하는 적층형 칩 커패시터.

청구항 3

제2항에 있어서,

상기 제1 외부 전극은 제1 내부 전극의 장변 전체 길이에 걸쳐 제1 내부 전극의 하나의 장변과 접하고, 제2 외부 전극은 제2 내부 전극의 장변 전체 길이에 걸쳐 제2 내부 전극의 하나의 장변과 접하는 것을 특징으로 하는 적층형 칩 커패시터.

청구항 4

제1항에 있어서,

상기 제1 인출부는 제1측면의 전체 길이에 걸쳐 제1 측면과 접하고, 제3 및 제4 측면의 일부 길이에 걸쳐 제3 및 제4 측면과 접하며,

상기 제2 인출부는 제2 측면의 전체 길이에 걸쳐 제2 측면과 접하고, 제3 및 제4 측면의 일부 길이에 걸쳐 제3 및 제4 측면과 접하며,

제1 외부 전극은 제3 및 제4 측면으로 일부 연장되어 제1, 제3 및 제4 측면에서 상기 제1 인출부와 접하고, 제2 외부 전극은 제3 및 제4 측면으로 일부 연장되어 제2, 제3 및 제4 측면에서 상기 제2 인출부와 접하는 것을 특징으로 하는 적층형 칩 커패시터.

청구항 5

제4항에 있어서,

상기 제1 및 제2 측면 간의 거리는 제3 및 제4 측면 간의 거리보다 더 큰 것을 특징으로 하는 적층형 칩 커패시터.

청구항 6

제4항에 있어서,

상기 제1 및 제2 측면 간의 거리는 제3 및 제4 측면 간의 거리보다 더 작은 것을 특징으로 하는 적층형 칩 커패시터.

청구항 7

복수의 유전체층이 적층되어 형성되고, 적층 방향과 평행한 제1 내지 제4 측면을 갖되 제1 측면과 제2 측면이 서로 대향하고 제3 측면과 제4 측면이 서로 대향하는 커패시터 본체;

상기 커패시터 본체 내에서 유전체층에 의해 분리되어 교대로 적층된 복수의 제1 및 제2 내부 전극; 및

상기 제1 및 제2 측면에 각각 형성된 일극성의 제1 및 제2 외부 전극과, 제1 및 제2 측면 사이의 중간 영역의 커패시터 본체외면을 띠 형상으로 둘러싸는 타극성의 제3 외부 전극을 포함하되,

제1 내부 전극은 유전체층의 전체 폭으로 제1 측면으로 인출된 제1 인출부와, 유전체층의 전체 폭으로 제2 측면으로 인출된 제2 인출부를 갖고, 제2 내부 전극은 제3 측면과 제2 측면으로 각각 인출된 제3 및 제4 인출부를 갖고,

제1 외부 전극은 제1, 제3 및 제4 측면에서 제1 인출부와 접하고 제2 외부 전극은 제2, 제3 및 제4 측면에서 제2 인출부와 접하여, 각각 제1 내부 전극과 연결되고, 제3 외부 전극은 제3 및 제4 인출부와 접하여 제2 내부 전극과 연결된 것을 특징으로 하는 적층형 칩 커패시터.

청구항 8

제7항에 있어서,

상기 제1 측면과 제2 측면간의 거리는 제3 측면과 제4 측면 간의 거리보다 더 긴 것을 특징으로 하는 적층형 칩 커패시터.

청구항 9

복수의 유전체층이 적층되어 형성되고, 적층 방향과 평행한 제1 내지 제4 측면을 갖되 제1 측면과 제2 측면이 서로 대향하고 제3 측면과 제4 측면이 서로 대향하는 커패시터 본체;

상기 커패시터 본체 내에서 유전체층에 의해 분리되어 교대로 적층된 복수의 제1 및 제2 내부 전극; 및

상기 제1 및 제2 측면에 각각 형성된 일극성의 제1 및 제2 외부 전극과, 제3 및 제4 측면에 각각 형성된 타극성의 제3 및 제4 외부 전극을 포함하되,

상기 커패시터 본체는 각 측면의 길이가 동일하여 정사각형 형상의 상면을 갖고, 제1 내부 전극은 제1 및 제2 측면으로 각각 인출된 제1 및 제2 인출부를 갖고, 제2 내부 전극은 제3 및 제4 측면으로 각각 인출된 제3 및 제4 인출부를 갖고, 제1 및 제2 외부 전극은 제1 및 제2 인출부에 각각 접하여 제1 내부 전극에 연결되고, 제3 및 제4 외부 전극은 제3 및 제4 인출부에 각각 접하여 제2 내부 전극에 연결된 것을 특징으로 하는 적층형 칩 커패시터.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <13> 본 발명은 적층형 칩 커패시터에 관한 것으로, 특히 저감된 등가직렬 인덕턴스(ESL)를 갖고 우수한 고주파 감쇄 특성을 나타내는 적층형 칩 커패시터에 관한 것이다.
- <14> 최근 전자 제품의 소형화 추세와 더불어 전자 또는 전기 부품의 실장 밀도가 높아짐에 따라, 전자기적인 상호간 간섭 발생하여 수많은 전자기 방해파가 발생한다. 또한 전기전자기기 및 정보처리장치가 다기능화 및 고속화됨에 따라, 불필요한 전자파 잡음으로 인한 전자파 장애(EMI) 문제가 필연적으로 발생하게 되었다. 전자파 장애는 통신 장애, 디지털 장치의 오동작 등의 문제를 일으킬 수 있다.
- <15> 이러한 의도하지 않은 전자파 장애를 제거하기 위한 방법으로서, EMI 필터를 전자 기기 내에 내장 또는 실장하는 방법이 효과적으로 사용되고 있다. EMI 필터는 전자기 계면에서 발생하는 노이즈를 제거하는 필터로서, 통상 적층형 칩 커패시터의 구조를 갖는다. 고주파에서의 감쇄 특성이 우수한 EMI 필터가 요구됨에 따라 통상적인 2단자 커패시터 대신에, 저 인덕턴스 칩 커패시터나 3단자 관통 커패시터 등이 많이 사용되고 있다.

- <16> 그러나 실제 커패시터는 커패시턴스(C)를 형성할 뿐만 아니라 기생 인덕턴스 즉 ESL을 포함한다. 이로 인해, C와 ESL로 인한 공진이 생기고, 이 공진 주파수(SRF) 이상에서는 커패시터로서의 거동이 약화된다. 이에 따라 특정 주파수 대역에서 감쇄 파형이 형성되고, 공진 주파수(SRF)는 ESL이 커질수록 낮아진다.
- <17> 도 1a 내지 도 1c는 종래의 적층형 칩 커패시터의 사시도와 그 등가회로도이다. 특히, 이들 도면은, EMI 필터로 사용하기 위해 커패시터가 회로 기판 등의 신호 라인에 연결된 상태를 나타낸다. 도 2a 내지 도 2c는 각각 도 1a 내지 도 1c의 커패시터의 평면도 및 평단면도이다.
- <18> 도 1a 및 도 2a를 참조하면, 통상의 2단자 적층형 칩 커패시터(10)는 커패시터 본체(11)와 외부 전극(13, 14)을 포함한다. 본체(11) 내에는 다수의 제1 내부 전극(13a)과 제2 내부 전극(14a)이 유전체층(13b, 14b)에 의해 분리되어 교대로 적층된다. 내부 전극이 형성된 다수의 유전체(13b, 14b)층이 교대로 다수회 적층됨으로써 커패시터 본체(11)를 형성한다. 제1 및 제2 내부 전극(13a, 14a)은 인출부(13c, 14c)를 통해 다른 극성의 제1 외부 전극(13, 14)에 각각 연결된다.(도 2a 참조). 도 1a를 참조하면, 제1 외부 전극(13)은 신호 라인(53)에 연결되고 제2 외부 전극(14)은 접지 패턴(54)되어, 고주파 노이즈가 신호 라인(53)의 입력부(IN)로부터 EMI 필터용 커패시터(10)를 통해 접지 패턴(54)으로 빠져 나가도록 한다. 그러나, 도 1a의 등가회로도(저항 성분은 편의상 생략함)에서와 같이, 커패시턴스(10)는 상당한 크기의 기생 인덕턴스(ESL)을 포함하므로, 고주파 노이즈의 제거가 충분하지 못하다. 특히, 커패시터(10) 내의 전류 경로(도 2a의 화살표 참조)가 상당한 길이를 가져서 기생 인덕턴스의 값이 높아지게 된다.
- <19> 도 1b 및 도 2b를 참조하면, 2단자 적층형 칩 커패시터(20)는 저 인덕턴스 칩 커패시터(Low Inductance Chip Capacitor; LICC)이다. 이 커패시터(20)에 따르면, 신호 라인(63)과 접지 패턴(64) 간의 전류 경로의 길이(도 2b의 화살표 참조)가 적층형 칩 커패시터(10)에 비하여 반으로 줄고, 내외부 전극간 접촉 면적은 2배로 늘어나게 된다. 즉, 외부 전극이 도포된 양 측면간의 거리(A)는 외부 전극이 도포된 측면의 길이(B)보다 짧고(도 1b 참조), 제1 내부 전극(23a)과 제1 외부 전극간(23) 간의 접촉 면적 및 제2 내부 전극(24a)과 제2 외부 전극(24) 간의 접촉 면적은 보다 더 크다(도 2b 참조). 이에 따라 ESL은 줄어들게 되고 고주파 감쇄 특성이 종전 커패시터(10)보다 개선된다. 도 2b에서 도면부호 21은 커패시터 본체를, 23b, 24b는 유전체층을, 도면부호 23c, 24c는 내부 전극(23a, 24a)의 인출부를 나타낸다.
- <20> 또한 도 1c 및 도 2c를 참조하면, 적층형 칩 커패시터(30)는 3단자 관통(feed through) 커패시터이다. 본체(31)의 양측면에 도포된 동일 극성의 외부 전극(33, 33')은 신호 라인의 입력부(IN)(73)와 출력부(OUT)(73')에 각각 연결되고, 본체(31)의 중간 부분에 도포된 타 극성의 외부 전극(34, 34')은 접지 패턴(74)에 연결된다. 일극성의 제1 내부 전극(33a)은 유전체층(33b)의 전체 길이를 통해 연장하여 일극성의 외부 전극(33, 33')과 연결되고, (-) 극성의 내부 전극은 유전체층(34b)의 전체 폭을 통해 연장되어 다른 양측단의 외부 전극(34, 34')과 연결된다. 고주파 노이즈는 신호 라인의 입력부(73)로부터 커패시터(30)를 통해 접지 패턴(74)으로 빠져 나가게 된다. 이 커패시터(30)에 따르면, 전류 경로가 적층형 칩 커패시터(10)보다 더 짧고(도 2c의 화살표 참조), 전류 경로에 의한 인덕턴스 성분이 서로 병렬 연결된다(도 1c의 등가회로도 참조). 이에 따라, 커패시터(20)보다 더 개선된 고주파 감쇄 특성을 나타낼 수 있다. 도 2c에서 도면부호 33c, 33c', 34c, 34c'는 내부 전극의 인출부를 나타낸다.
- <21> 그러나, 충분한 고주파 감쇄 특성을 갖는 회로를 구현 실현하기 위해서는 보다 더 낮은 ESL과 보다 더 높은 공진 주파수를 갖는 고성능 적층형 칩 커패시터가 필요하다. 이러한 낮은 ESL과 높은 공진 주파수 특성은 EMI 필터에서 뿐만 아니라, 전원회로의 안정화를 위한 디커플링 커패시터에서도 요구된다.

발명이 이루고자 하는 기술적 과제

- <22> 본 발명은 상기한 문제점을 해결하기 위한 것으로서, 그 목적은 보다 향상된 고주파 감쇄 특성을 갖는 고성능 적층형 칩 커패시터를 제공하는 것이다.

발명의 구성 및 작용

- <23> 상술한 기술적 과제를 달성하기 위하여, 본 발명의 제1측면에 따른 적층형 칩 커패시터는 2단자 커패시터로서,
- <24> 복수의 유전체층이 적층되어 형성되고, 적층 방향과 평행한 제1 내지 제4 측면을 갖되 제1 측면과 제2 측면이 서로 대향하고 제3 측면과 제4 측면이 서로 대향하는 커패시터 본체; 상기 커패시터 본체 내에서 유전체층에 의해 분리되어 교대로 적층된 복수의 제1 및 제2 내부 전극; 및 상기 제1 및 제2 측면에 각각 형성된 상이한 극성

의 제1 및 제2 외부 전극을 포함하되,

- <25> 상기 제1 내부 전극은 제1 및 제3측면으로 인출된 하나의 제1 인출부를 갖고, 상기 제2 내부 전극은 제2 및 제4측면으로 인출되는 하나의 제2 인출부를 가지며, 상기 제1 외부 전극은 제1 및 제3 측면에서 제1 인출부와 접하여 제1 내부 전극과 연결되고, 제2 외부 전극은 제2 및 제4측면에서 제2 인출부와 접하여 제2 내부 전극과 연결된다.
- <26> 본 발명의 실시형태에 따르면, 상기 제1 및 제2 내부 전극 각각은 직사각형의 전극 패턴으로 되어 있고, 제1 외부 전극은 제1 측면과 제3 측면 상에 일체로 도포되어 상기 제1 내부 전극의 2개 변(two sides)과 접하고, 제2 외부 전극은 제2 측면과 제4 측면에 일체로 도포되어 상기 제2 내부 전극의 2개 변(two sides)과 접한다. 특히 제1 외부 전극은 제1 내부 전극의 장변 전체 길이에 걸쳐 제1 내부 전극의 하나의 장변과 접하고, 제2 외부 전극은 제2 내부 전극의 장변 전체 길이에 걸쳐 제2 내부 전극의 하나의 장변과 접할 수 있다.
- <27> 본 발명의 다른 실시형태에 따르면, 상기 제1 인출부는 제1측면의 전체 길이에 걸쳐 제1 측면과 접하고, 제3 및 제4 측면의 일부 길이에 걸쳐 제3 및 제4 측면과 접한다. 또한 상기 제2 인출부는 제2 측면의 전체 길이에 걸쳐 제2 측면과 접하고, 제3 및 제4 측면의 일부 길이에 걸쳐 제3 및 제4 측면과 접한다. 제1 외부 전극은 제3 및 제4 측면으로 일부 연장되어 제1, 제3 및 제4 측면에서 상기 제1 인출부와 접한다. 제2 외부 전극은 제3 및 제4 측면으로 일부 연장되어 제2, 제3 및 제4 측면에서 상기 제2 인출부와 접한다. 이 경우, 상기 제1 및 제2 측면 간의 거리는 제3 및 제4 측면 간의 거리보다 더 클 수 있다. 이와 반대로, 상기 제1 및 제2 측면 간의 거리는 제3 및 제4 측면 간의 거리보다 더 작을 수도 있다. ESL 저감 효과의 측면에서는 후자가 전자보다 유리하다.
- <28> 본 발명의 제2 측면에 따른 적층형 칩 커패시터는 3단자 관통 커패시터로서,
- <29> 복수의 유전체층이 적층되어 형성되고, 적층 방향과 평행한 제1 내지 제4 측면을 갖되 제1 측면과 제2 측면이 서로 대향하고 제3 측면과 제4 측면이 서로 대향하는 커패시터 본체; 상기 커패시터 본체 내에서 유전체층에 의해 분리되어 교대로 적층된 복수의 제1 및 제2 내부 전극; 및 제1 및 제2 측면에 각각 형성된 일극성의 제1 및 제2 외부 전극과, 제1 및 제2 측면 사이의 중간 영역의 커패시터 본체외면을 띠 형상(strip-like)으로 둘러싸는 타극성의 제3 외부 전극을 포함하되,
- <30> 제1 내부 전극은 유전체층의 전체 폭으로 제1 측면으로 인출된 제1 인출부와, 유전체층의 전체 폭으로 제2 측면으로 인출된 제2 인출부를 갖고, 제2 내부 전극은 제3 측면과 제4 측면으로 각각 인출된 제3 및 제4 인출부를 갖고,
- <31> 제1 외부 전극은 제1, 제3 및 제4 측면에서 제1 인출부와 접하고 제2 외부 전극은 제2, 제3 및 제4 측면에서 제2 인출부와 접하여, 각각 제1 내부 전극과 연결되고, 제3 외부 전극은 제3 및 제4 인출부와 접하여 제2 내부 전극과 연결된다.
- <32> 본 발명의 실시형태에 따르면, 상기 제1 측면과 제2 측면간의 거리는 제3 측면과 제4 측면 간의 거리보다 더 길다.
- <33> 본 발명의 제3 측면에 따른 적층형 칩 커패시터는,
- <34> 복수의 유전체층이 적층되어 형성되고, 적층 방향과 평행한 제1 내지 제4 측면을 갖되 제1 측면과 제2 측면이 서로 대향하고 제3 측면과 제4 측면이 서로 대향하는 커패시터 본체와; 상기 커패시터 본체 내에서 유전체층에 의해 분리되어 교대로 적층된 복수의 제1 및 제2 내부 전극; 및 제1 및 제2 측면에 각각 형성된 일극성의 제1 및 제2 외부 전극과, 제3 및 제4 측면에 각각 형성된 타극성의 제3 및 제4 외부 전극을 포함하되,
- <35> 상기 커패시터 본체는 각 측면의 길이가 동일하여 정사각형 형상의 상면을 갖고, 제1 내부 전극은 제1 및 제2 측면으로 각각 인출된 제1 및 제2 인출부를 갖고, 제2 내부 전극은 제3 및 제4 측면으로 각각 인출된 제3 및 제4 인출부를 갖고, 제1 및 제2 외부 전극은 제1 및 제2 인출부에 각각 접하여 제1 내부 전극에 연결되고, 제3 및 제4 외부 전극은 제3 및 제4 인출부에 각각 접하여 제2 내부 전극에 연결된다.
- <36> 이하, 첨부된 도면을 참조하여 본 발명의 실시형태를 설명한다. 그러나, 본 발명의 실시형태는 여러가지 다른 형태로 변형될 수 있으며 본 발명의 범위가 이하 설명하는 실시형태로 한정되는 것은 아니다. 본 발명의 실시형태는 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되는 것이다. 따라서, 도면에서의 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있으며, 도면 상의 동일한 부호로 표시되는 요소는 동일한 요소이다.

- <37> 도 3은 본 발명의 일 실시형태에 따른 적층형 칩 커패시터의 평면도, 사시도 및 그 내부 구조를 나타낸 평단면도이다. 도 3을 참조하면, 커패시터(100)는 2단자 커패시터로서, 다수의 유전체층(103b, 104b)이 적층되어 형성된 커패시터 본체(101)와 본체의 측면에 형성된 상이한 극성의 제1 및 제2 외부 전극(103, 104)을 포함한다. 커패시터 본체(101)는 적육면체 형상으로서, 서로 대향하는 제1 및 제2 측면(S1, S2)과 서로 대향하는 나머지 제3 및 제4 측면(S3, S4)를 갖는다.
- <38> 커패시터 본체(101) 내에는 유전체층(103b, 104b) 상에 복수의 제1 및 제2 내부 전극(103a, 104a)이 형성되어 있다. 이 제1 및 제2 내부 전극(103a, 104a)은 유전체층에 의해 분리되어 서로 교대로 반복하여 적층되어 있다. 제1 및 제2 내부 전극(103a, 104a)은 각각의 인출부(103c, 104c)를 통해 제1 및 제2 외부 전극(103, 104)에 각각 연결되어 서로 다른 극성을 갖게 된다. 이러한 상이한 극성의 제1 및 제2 내부 전극(103a, 104a)이 유전체층을 사이에 두고 서로 대향 배치됨으로써 커패시턴스를 구현하게 된다. 편의상 내부 전극의 메인 전극부(커패시턴스 형성에 실질적으로 기여하는 내부 전극 부분으로서 제1 및 제2 내부 전극이 서로 오버랩된 부분에 해당함)와 인출부 간의 경계를 점선으로 표시하였다.
- <39> 특히, 본 실시형태에 따르면, 제1 및 제2 내부 전극(103a, 104a) 각각은 직사각형 형상의 전극 패턴으로 되어 있고, 제1 내부 전극(103a)의 2변은 제1 측면(S1)과 제3 측면(S3)으로 인출되고, 제2 내부 전극(104a)의 2변은 제2 측면(S2)과 제4 측면(S4)으로 인출된다. 제1 내부 전극(103a)의 제1 인출부(103c)는 제1 및 제3 측면(S1, S3)과 접하고, 제2 내부 전극(104a)의 제2 인출부(104c)는 제2 및 제4 측면(S2, S4)과 접한다(도 3의 평단면도 참조).
- <40> 또한, 제1 외부 전극(103)은 제1 측면(S1)과 제3 측면(S3) 상에 일체로 도포되어 제1 인출부(103c)와 접하고, 이에 따라 제1 내부 전극(103)의 2변과 접하게 된다. 제2 외부 전극(104)은 제2 측면(S2)과 제4 측면(S4) 상에 일체로 도포되어 제2 인출부(104c)와 접하고, 이에 따라 제2 내부 전극(104)의 2변과 접하게 된다.
- <41> 이와 같이, 내부 전극(103a, 104a)과 외부 전극(103, 104)은 내부 전극의 2변에 걸쳐 넓은 면적으로 접하게 됨으로써, 내외부 전극간 접촉 넓이가 커지고 이에 따라 인출부로부터 내부 전극 내측으로(또는 내부 전극 내측으로부터 인출부로) 흐르는 전류의 저항(Rdc)이 감소되고 이 전류로부터 발생하는 기생 인덕턴스의 값도 작아지게 된다.
- <42> 뿐만 아니라, 도 3에 도시된 바와 같이, 제1 및 제2 외부 전극(103, 104)은 각각 제1 및 제2 내부 전극(103a, 104a)의 장변 전체 길이에 걸쳐 각 내부 2전극(103a, 104a)의 하나의 장변과 접함으로써, 내외부 전극간 접촉 면적은 크게 증가하게 된다. 더욱이, 도 3의 평면도에 나타난 바와 같이, 이종 극성 간의 전류 경로(화살표 참조)는 그 길이가 줄어들어, 기생 인덕턴스의 감소 효과는 더욱 커지게 된다. 이러한 전류 경로의 길이 감소는, 특히 커패시터(100)가 EMI 필터용으로 사용되어 신호 라인 및 접지 패턴에 연결될 때, 신호 라인과 접지 패턴 간의 전류 경로의 길이를 저감시켜 고주파 노이즈 제거 효과가 더욱 향상된다. 결과적으로, 커패시터(100)의 전체 ESL은 저감되고, 고주파 감쇄 특성 및 공진 주파수(SRF) 특성이 크게 향상된다. 또한 ESR(저항 성분)을 포함한 임피던스 감소로 고주파 전력 손실이 저감되어 절전형 회로 구성에 용이하다.
- <43> 도 4는 본 발명의 다른 실시형태에 따른 2단자 적층형 칩 커패시터(200)를 나타내는 도면이다. 본 실시형태에 따르면, 제1 내부 전극(203a)의 인출부(203c)는 제1 측면(S1)의 전체 길이에 걸쳐 제1 측면(S1)과 접하고, 제3 및 제4 측면(S3, S4)의 일부 길이에 걸쳐 제3 및 제4 측면(S3, S4)과 접한다. 또한 제2 내부 전극(204a)의 제2 인출부(204c)는 제2 측면(S2)의 전체 길이에 걸쳐 제2 측면(S2)과 접하고, 제3 및 제4 측면(S3, S4)의 일부 길이에 걸쳐 제3 및 제4 측면(S3, S4)과 접한다.
- <44> 또한, 일극성의 제1 외부 전극(203)은 제1 측면(S1) 전체에 걸쳐 도포되어 있을 뿐만 아니라 제3 및 제4 측면(S3, S4)으로 일부 연장되어 제1, 제3 및 제4 측면(S1, S3, S4)에서 제1 내부 전극(203a)의 제1 인출부(203c)와 접한다. 타극성의 제2 외부 전극(204)은 제2 측면(S2) 전체에 걸쳐 도포되어 있을 뿐만 아니라, 제3 및 제4 측면(S3, S4)으로 일부 연장되어 제2, 제3 및 제4 측면(S2, S3, S4)에서 제2 내부 전극(204a)의 제2 인출부(204c)와 접한다.
- <45> 따라서, 내부 전극(203a, 204a)과 외부 전극(203, 204)은 3면에 걸쳐 매우 넓은 접촉 면적으로 서로 접하게 되고, 이에 따라 접촉부와 내부 전극 내측 간의 전류에 의한 저항 성분(Rdc)과 기생 인덕턴스 성분은 크게 감소하게 된다. 결과적으로, 커패시터(200)는 종래에 비하여 현저한 감소된 ESL값을 나타내고, EMI 필터용으로 사용될 경우, 고주파 노이즈 제거 효과가 향상되며 다양한 주파수 영역에서 우수한 고주파 감쇄 특성 및 공진 주파수(SRF) 특성을 나타내게 된다. 또한 임피던스 감소로 고주파 전력 손실이 저감되어 절전형 회로 구성에

용이하다. 도 4에서, 도면부호 201은 커패시터 본체를, 203b 및 204b는 유전체층을 나타낸다.

- <46> 도 5는 본 발명의 또 다른 실시형태에 따른 2단자 적층형 칩 커패시터(300)를 나타내는 도면이다. 본 실시형태에서도, 도 4의 실시형태와 같이, 제1 및 제2 내부 전극(303a, 304a)의 제1 및 제2 인출부(303c, 304c)는 3개 측면(S1, S3, S4)(S2, S3, S4)에 걸쳐 연장되어 있으며, 그 3개 측면에서 해당 외부 전극(303, 304)과 접한다.
- <47> 그러나 도 5의 실시형태에서는, 도 4의 실시형태와 달리, 외부 전극(303, 304)이 전면적으로 도포된 양측면(S1, S2) 간의 거리는 다른 대향하는 양측면(S3, S4) 간의 거리보다 더 크다. 이에 따라, 이종 극성 간의 전류 경로(EMI 필터용으로 사용할 경우에는 신호 라인과 접지 패턴 간의 전류 경로)가 도 4의 실시형태에서보다 더욱 짧아지고 내외부 접촉 면적은 더욱 커지게 된다(도 4 및 도 5의 평단면도 비교).
- <48> 따라서, 도 5의 실시형태에 따르면, 도 4의 실시형태에서 보다 더 저감된 ESL을 구현하게 되며, 이에 따라 고주파 감쇄 특성 및 공진 주파수 특성은 더욱 향상되고, 고주파 전력 손실의 저감 효과는 더욱 현저하게 된다. 도 5에서, 도면부호 301은 커패시터 본체를, 303b 및 304b는 유전체층을 나타낸다.
- <49> 도 6은 본 발명의 또 다른 실시형태에 따른 적층형 칩 커패시터(400)를 나타낸다. 이 커패시터(400)는 특히 EMI 필터용으로 유용하게 사용될 수 있는 3단자 관통(feed through) 커패시터에 해당한다.
- <50> 도 6을 참조하면, 커패시터 본체(401)의 제1 및 제2 측면(S1, S2)에 각각 도일 극성의 제1 및 제2 외부 전극(403, 403')이 도포되어 있고, 양측면(S1, S2)의 중간 영역에는 커패시터 본체(401) 외면을 떠 형성으로 둘러싸는 타극성의 제3 외부 전극(404)이 형성되어 있다.
- <51> 도 6의 실시형태에서는, 특히 제1 및 제2 인출부(403c, 403c')는 유전체층(403b)의 '전체 폭으로' 각각 제1 측면(S1) 및 제2 측면(S2)으로 인출된다. 한편 제3 및 제4 인출부(404c, 404c')는 각각 제3 측면(S3) 및 제4 측면(S4)으로 인출된다. 또한 제1 외부 전극(403)은 제1, 제3 및 제4 측면(S1, S3, S4)에서 제1 인출부(403c)와 접하고 제2 외부 전극(403')은 제2, 제3 및 제4 측면(S2, S3, S4)에서 제2 인출부(403c')와 접하여, 각각 제1 내부 전극(403a)과 연결된다. 한편, 제3 외부 전극은 제3 및 제4 인출부와 접하여, 제2 내부 전극(404a)과 연결된다.
- <52> 도 6의 실시형태에 따르면 내부 전극과 외부 전극이 3개 측면에 걸쳐 넓은 접촉 면적으로 접함으로써, 내부 전극의 저항 성분(Rdc)이 낮아질 뿐만 아니라 ESL이 크게 저감된다. 이에 따라, 고주파 감쇄 특성 및 공진 주파수 특성은 크게 향상되고, 고주파 전력 손실은 더욱 저감된다. 제1 측면(S1)과 제2 측면(S2)간의 거리를 제3 측면(S3)과 제4 측면(S4) 간의 거리보다 길게 함으로써, 외부 전극의 도포 공정을 용이하게 할 수 있다.
- <53> 도 7은 본 발명의 또 다른 실시형태에 따른 적층형 칩 커패시터(500)를 나타내는 도면이다. 도 7을 참조하면, 이 커패시터(500)는 4단자 커패시터로 사용될 수도 있지만, 동일 극성의 제1 및 제2 외부 전극(503, 503')을 신호 라인의 입력단 및 출력단에 각각 연결하고 타극성의 제3 및 제4 외부 전극(504, 504')를 접지단에 연결시킴으로써, 일종의 3단자 관통 커패시터로 사용할 수 있다.
- <54> 도 7을 참조하면, 제1 내부 전극(503a)의 제1 및 제2 인출부(503c, 503c')는 제1 및 제2 측면(S1, S2)에서 동일 극성의 제1 및 제2 외부 전극(503, 503')에 각각 연결되고, 제2 내부 전극(504a)의 제3 및 제4 인출부(504c, 504c')는 제3 및 제4 측면(S3, S4)에서 타극성의 제3 및 제4 외부 전극(504, 504')과 연결된다.
- <55> 도 7의 3단자 관통 커패시터에서는, 특히 각 측면(S1-S4)의 길이가 실질적으로 동일하여 커패시터 본체(501)는 정사각형의 상면을 갖는다. 이에 따라 동일 면적(또는 동일 커패시턴스)에서, 이종 극성 간의 전류 경로가 짧아지게 되고 이에 따라 기생 인덕턴스 성분 및 저항 성분이 저감된다. 따라서, ESL이 낮아지고, 고주파 감쇄 특성 및 공진 주파수 특성이 향상되며, 고주파 전력 손실은 저감된다.
- <56> 도 8 및 도 9는 실시예들 및 비교예들의 주파수 대 감쇄 파형을 비교한 그래프이다. 도 8에서는, 실시예로서 도 3의 2단자 커패시터를 사용하고(실시예1), 비교예로서 도 1a 및 2a의 통상적인 종래의 2단자 커패시터를 사용하였다. 도 8에 도시된 바와 같이, 실시예1은 비교예1에서보다 더 높은 공진 주파수(감쇄 파형에서 극소점의 주파수에 해당함)를 나타내며 이에 따라 더욱 저감된 ESL을 갖는다는 사실을 알 수 있다.
- <57> 도 9에서는 실시예로서 도 6의 3단자 관통 커패시터를 사용하고(실시예2), 비교예로서 도 1c 및 2c의 3단자 관통 커패시터를 사용하였다(비교예2). 실시예2에서도, 비교예2보다 더 향상된 공진 주파수 특성, 더 저감된 ESL 및 더 개선된 고주파 감쇄 특성을 나타낸다는 것을 확인할 수 있다.
- <58> 본 발명은 상술한 실시형태 및 첨부된 도면에 의해 한정되는 것이 아니고, 첨부된 청구범위에 의해 한정하고자

하며, 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 다양한 형태의 치환, 변형 및 변경이 가능하다는 것은 당 기술분야의 통상의 지식을 가진 자에게 자명할 것이다.

발명의 효과

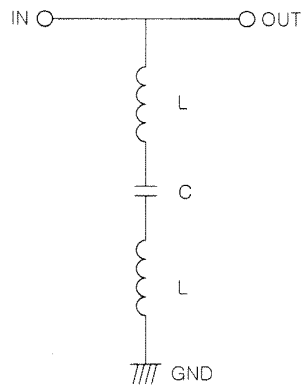
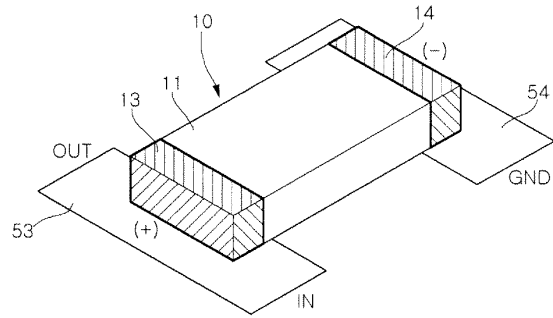
- <59> 이상 설명한 바와 같이 본 발명에 따르면, 내외부 전극간 접촉 면적이 넓고, 전류 경로의 길이가 줄어들어서 더 낮은 ESL을 구현할 수 있고, 더욱 개선된 고주파 감쇄 특성 및 공진 주파수 특성을 실현할 있으며 고주파에서의 전자 기기의 사용범위를 확대할 수 있게 된다. 또한 ESR(저항 성분)이 줄어들어 고주파에서의 전력 손실이 더욱 저감된다.

도면의 간단한 설명

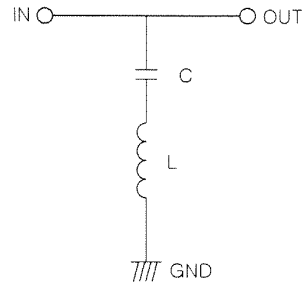
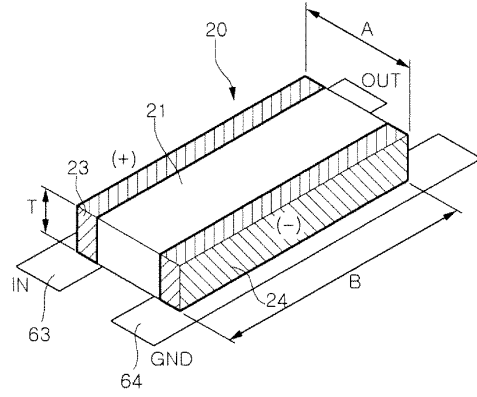
- <1> 도 1a 내지 도 1c는 종래의 적층형 칩 커패시터의 외형을 나타내는 사시도와 등가회로도이다.
- <2> 도 2a 내지 도 2c는 종래의 적층형 칩 커패시터의 평면도와 그 내부 구조를 나타내는 평단면도이다.
- <3> 도 3 내지 도 7은 본 발명의 여러 실시형태에 따른 적층형 칩 커패시터의 외형을 나타내는 평면도와 사시도 그리고 내부 구조를 나타내는 평단면도이다.
- <4> 도 8은 본 발명의 일 실시예와 비교예에 따른 적층형 칩 커패시터의 주파수에 따른 감쇄 특성을 나타내는 그래프이다.
- <5> 도 9는 본 발명의 다른 실시예와 비교예에 따른 적층형 칩 커패시터의 주파수에 따른 감쇄 특성을 나타내는 그래프이다.
- <6> <도면의 주요부분에 대한 부호의 설명>
- <7> 100, 200, 300, 400, 500: 적층형 칩 커패시터
- <8> 101, 201, 301, 401, 501: 커패시터 본체
- <9> 103, 104, 203, 204, 303, 304, 403, 403', 404, 404', 503, 503', 504, 504': 외부 전극
- <10> 103b, 104b, 203b, 204b, 303b, 304b, 403b, 404b, 503b, 504b: 유전체층
- <11> 103a, 104a, 203a, 204a, 303a, 304a, 403a, 404a, 503a, 504a: 내부 전극
- <12> 103c, 104c, 203c, 204c, 303c, 304c, 403c, 403c', 404c, 404c' 503c, 503c', 504c, 504c': 인출부

도면

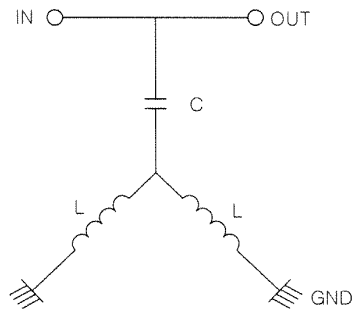
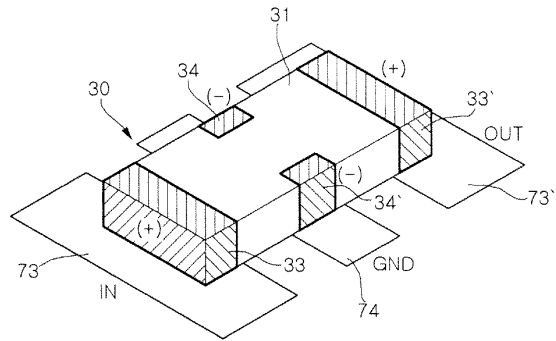
도면1a



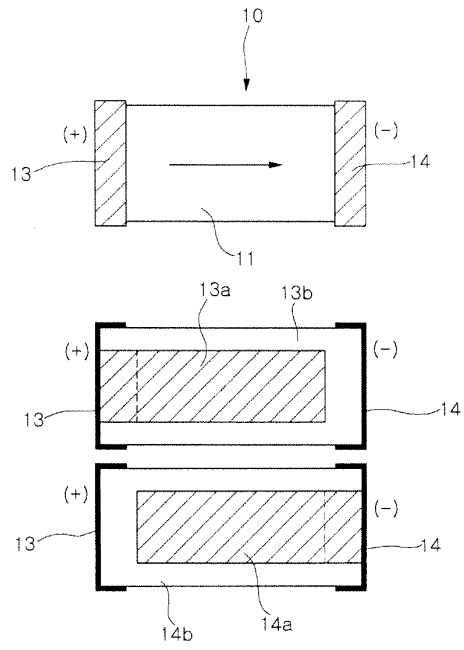
도면 1b



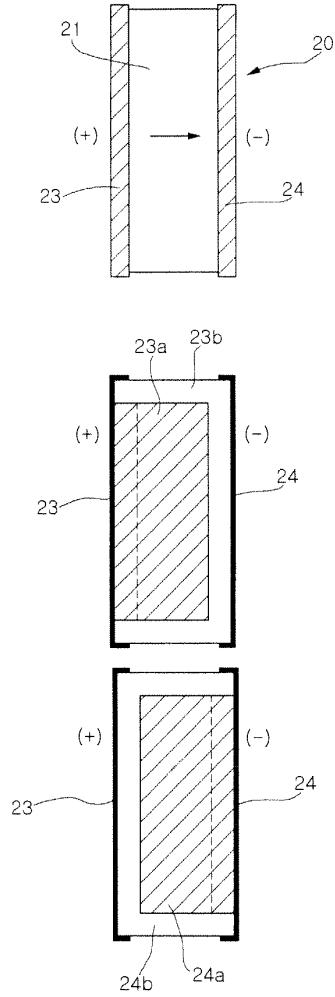
도면 1c



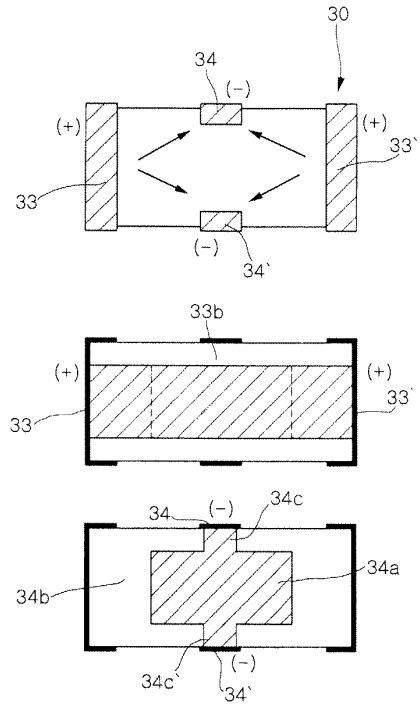
도면2a



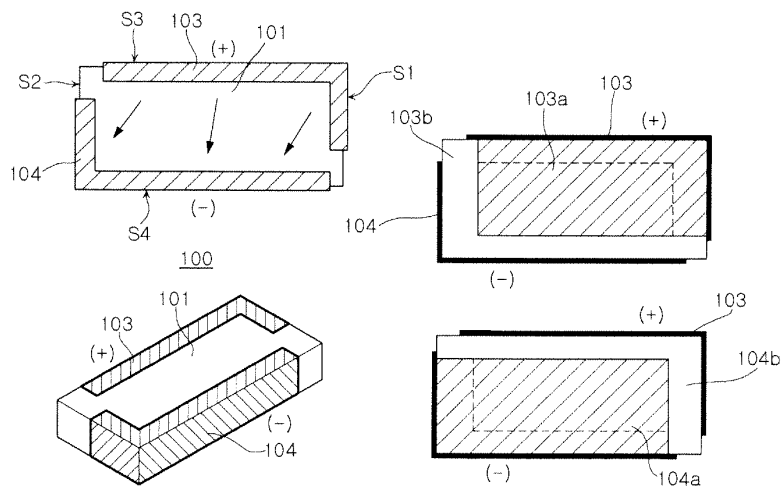
도면2b



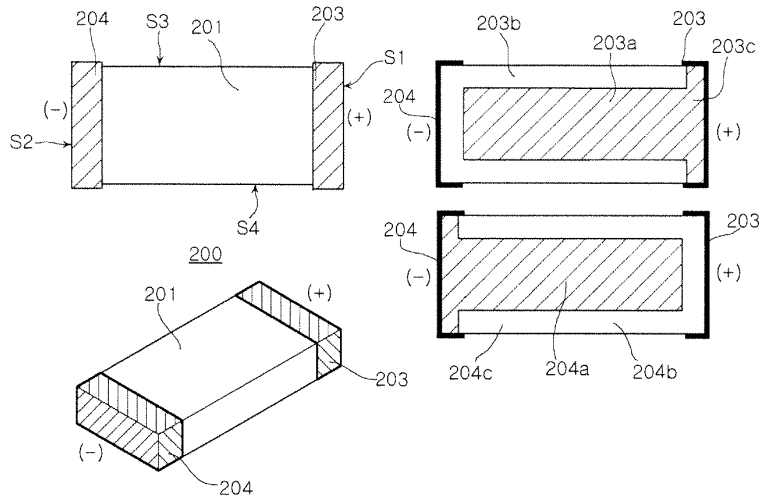
도면2c



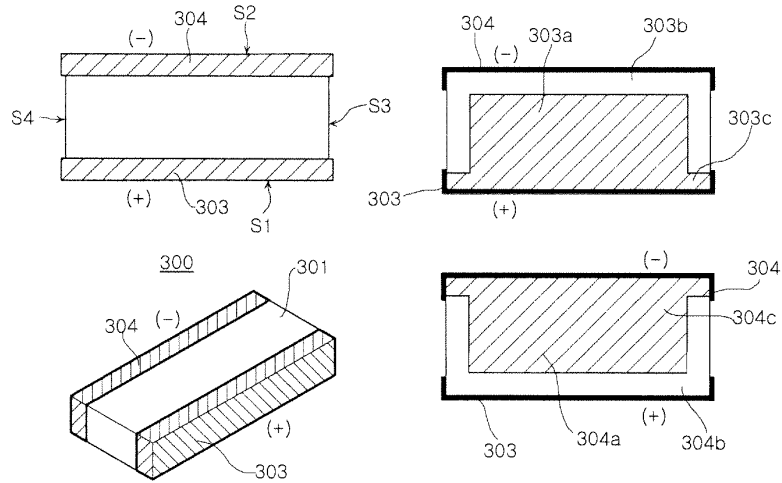
도면3



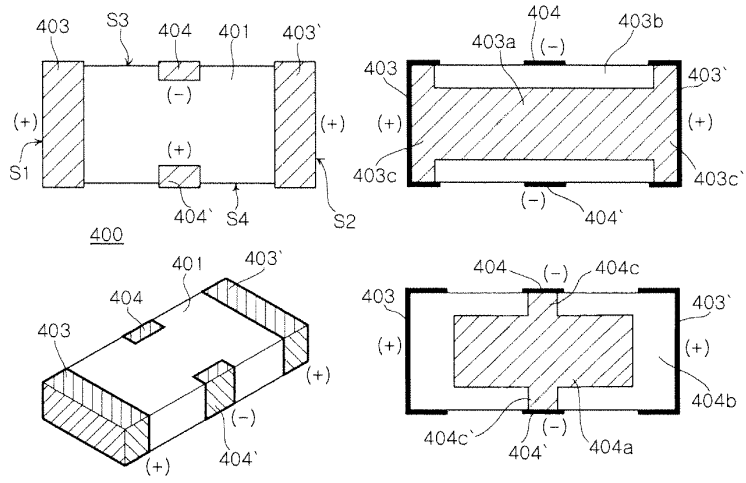
도면4



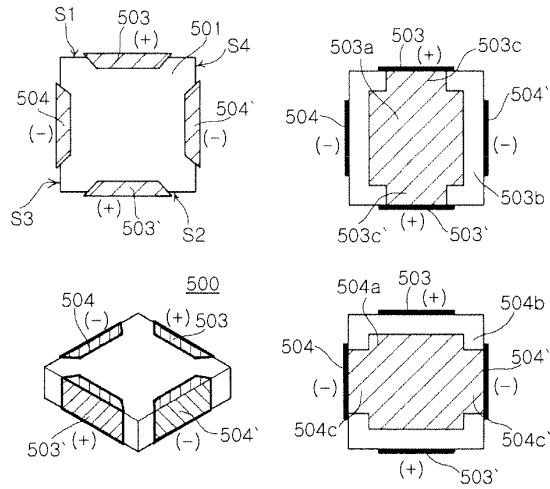
도면5



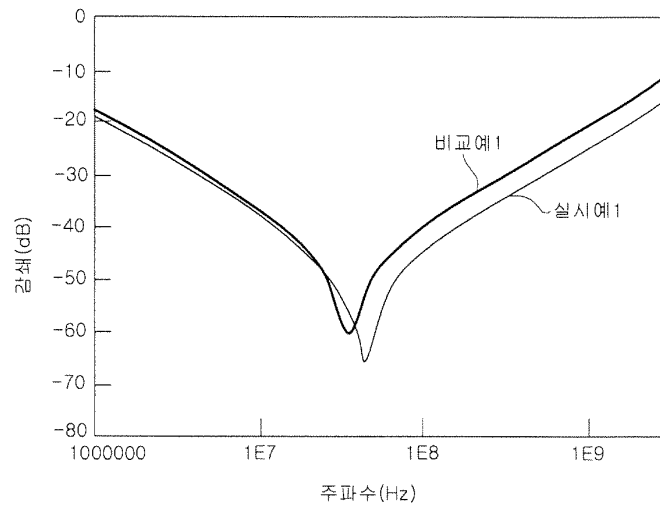
도면6



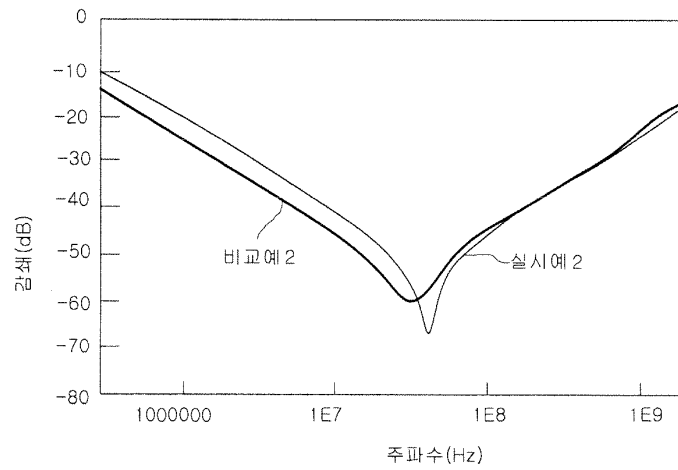
도면7



도면8



도면9





(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0110180
(43) 공개일자 2008년12월18일

(51) Int. Cl.

H01G 4/30 (2006.01) H01G 4/40 (2006.01)

(21) 출원번호 10-2007-0058596

(22) 출원일자 2007년06월14일

심사청구일자 2007년06월14일

(71) 출원인

삼성전기주식회사

경기도 수원시 영통구 매탄동 314

(72) 발명자

이병화

경기 성남시 분당구 이매동 한신아파트 202동 904호

위성권

서울 강동구 명일1동 삼익그린아파트 503동 602호
(뒷면에 계속)

(74) 대리인

특허법인 씨엔에스·로고스

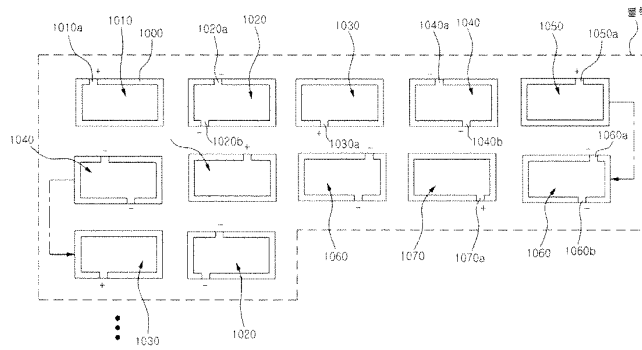
전체 청구항 수 : 총 15 항

(54) 저ESL을 갖는 제어된 ESR 적층형 칩 커패시터의구현방법

(57) 요약

본 발명에 따른 제어된 ESR을 갖는 적층형 칩 커패시터의 구현방법은, 제1 및 제2 극성(+ 및 - 극성)의 내부 전극이 유전체층을 사이에 두고 교대로 배치되고 상하로 연속 배치된 2개 이상의 내부 전극을 1개 블록으로 하여 그 블록이 반복 적층되는 적층형 칩 커패시터에 있어서, 상기 블록 내에서 상호 대면하여 인접 배치된 2개의 내부 전극의 총 리드 개수의 평균값을 정하는 단계와; 상기 블록 내에 있는 각각의 내부 전극의 리드수를 결정하는 단계와; 상기 블록 내의 상기 리드수가 결정된 각 내부 전극에 대하여, 상호 대면하여 인접 배치된 제1 극성 및 제2 극성의 내부 전극의 리드가 가장 인접하게 배치되도록 각 내부 전극의 리드들의 위치를 결정하는 단계;를 포함한다.

대표도



(72) 발명자

정해석

서울 강남구 압구정동 현대아파트 74동 1202호

박동석

서울 성북구 장위1동 209-26

박상수

경기 수원시 영통구 영통동 신나무실 풍림아파트
603동 1403호

박민철

경기 광명시 광명6동 374번지 63호

특허청구의 범위

청구항 1

제1 및 제2 극성(+ 및 - 극성)의 내부 전극이 유전체층을 사이에 두고 교대로 배치되고 상하로 연속 배치된 2개 이상의 내부 전극을 1개 블록으로 하여 그 블록이 반복 적층되는 적층형 칩 커패시터에 있어서, 상기 블록 내에서 상호 대면하여 인접 배치된 2개의 내부 전극의 총 리드 개수의 평균값을 정하는 단계;

상기 블록 내에 있는 각각의 내부 전극의 리드수를 결정하는 단계; 및

상기 블록 내의 상기 리드수가 결정된 각 내부 전극에 대하여, 상호 대면하여 인접 배치된 제1 극성 및 제2 극성의 내부 전극의 리드가 가장 인접하게 배치되도록 각 내부 전극의 리드들의 위치를 결정하는 단계;

를 포함하는 제어된 ESR을 갖는 적층형 칩 커패시터의 구현방법.

청구항 2

제1항에 있어서,

상기 적층형 칩 커패시터는 상기 블록과 다른 추가 블록을 더 갖되,

상기 추가 블록 내에서 상호 대면하여 인접 배치되고 서로 다른 극성을 갖는 2개의 내부 전극의 총 리드 개수의 평균값을 정하는 단계;

상기 추가 블록 내에 있는 각각의 내부 전극의 리드수를 결정하는 단계; 및

상기 추가 블록 내의 상기 리드수가 결정된 각 내부 전극에 대하여, 상호 대면하여 인접 배치된 서로 다른 극성의 내부 전극의 리드가 가장 인접하게 배치되도록 각 내부 전극의 리드들의 위치를 결정하는 단계;를 더 포함하는 것을 특징으로 하는 제어된 ESR을 갖는 적층형 칩 커패시터의 구현방법.

청구항 3

제1항에 있어서,

상기 적층형 칩 커패시터는, 리드를 통해 내부 전극과 연결되는 외부 전극을 적어도 6개 이상 갖는 것을 특징으로 하는 제어된 ESR을 갖는 적층형 칩 커패시터의 구현방법.

청구항 4

제1항에 있어서,

상기 적층형 칩 커패시터는, 마주보는 2개 측면 각각에 4개씩의 외부 전극을 갖는 8단자 적층형 칩 커패시터인 것을 특징으로 하는 제어된 ESR을 갖는 적층형 칩 커패시터의 구현방법.

청구항 5

제1항에 있어서,

상기 적층형 칩 커패시터는, 상호로 연속 배치된 4개의 내부 전극이 하나의 블록을 이루고 그 블록이 반복하여 적층되는 것을 특징으로 하는 제어된 ESR을 갖는 적층형 칩 커패시터의 구현방법.

청구항 6

제5항에 있어서,

상기 하나의 블록 내에는 총 3가지 전극 패턴이 포함되는 것을 특징으로 하는 제어된 ESR을 갖는 적층형 칩 커패시터의 구현방법.

청구항 7

제1항에 있어서,

상기 적층형 칩 커패시터는, 상호로 연속 배치된 6개의 내부 전극이 하나의 블록을 이루고 그 블록이 반복하여 적층되는 것을 특징으로 하는 제어된 ESR을 갖는 적층형 칩 커패시터의 구현방법.

청구항 8

제7항에 있어서,

상기 하나의 블록 내에는 총 4가지 또는 6가지 전극 패턴이 포함되는 것을 특징으로 하는 제어된 ESR을 갖는 적층형 칩 커패시터의 구현방법.

청구항 9

제1항에 있어서,

상기 적층형 칩 커패시터는, 상호로 연속 배치된 8개의 내부 전극이 하나의 블록을 이루고 그 블록이 반복하여 적층되는 것을 특징으로 하는 제어된 ESR을 갖는 적층형 칩 커패시터의 구현방법.

청구항 10

제9항에 있어서,

상기 하나의 블록 내에 포함되는 전극 패턴들은, 총 4 내지 8가지 중 어느 하나인 것을 특징으로 하는 제어된 ESR을 갖는 적층형 칩 커패시터의 구현방법.

청구항 11

제1항에 있어서,

상기 적층형 칩 커패시터는, 상호로 연속 배치된 12개의 내부 전극이 하나의 블록을 이루고 그 블록이 반복하여 적층되는 것을 특징으로 하는 제어된 ESR을 갖는 적층형 칩 커패시터의 구현방법.

청구항 12

제11항에 있어서,

상기 하나의 블록 내에는 총 7가지 전극 패턴이 포함되는 것을 특징으로 하는 제어된 ESR을 갖는 적층형 칩 커패시터의 구현방법.

청구항 13

제1항에 있어서,

상기 적층형 칩 커패시터의 외부 전극에 사용될 특정 도전율의 저항체를 선택하는 단계를 더 포함하는 것을 특징으로 하는 제어된 ESR을 갖는 적층형 칩 커패시터의 구현방법.

청구항 14

제13항에 있어서,

상기 저항체는 상기 내부 전극과 접촉하는 상기 외부 전극의 내층부로 사용되는 것을 특징으로 하는 적층형 칩 커패시터의 구현방법.

청구항 15

제13항에 있어서,

상기 저항체는 상기 내부 전극과 접촉하는 상기 외부 전극의 내층부와 상기 외부 전극의 최외곽 도금층 사이에 개재된 중간층으로 사용되는 것을 특징으로 하는 적층형 칩 커패시터의 구현방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <13> 본 발명은 적층형 칩 커패시터의 구현 방법에 관한 것으로, 특히 낮은 등가직렬 인덕턴스(ESL: Equivalent Serial Inductance)와 함께 높은 범위까지 조절가능한 등가직렬 저항(ESR: Equivalent Serial Resistance)을 갖는 적층형 칩 커패시터를 구현하는 방법에 관한 것이다.
- <14> LSI의 전원 회로 내의 용량성 부품으로 적층형 칩 커패시터(multilayer chip capacitor)가 사용되고 있다. 특히 적층형 칩 커패시터는 마이크로 프로세서의 파워 분배 네트워크(Power Distribution Network: PDN)에서 파워 전달 특성을 향상시키기 위한 디커플링 커패시터(decoupling capacitor)로 널리 사용되고 있다. 전원 회로를 안정화시키기 위해서, 디커플링용 적층형 칩 커패시터는 보다 낮은 ESL 값을 가져야한다. 이러한 요구는 마이크로 프로세서가 점차 고속화되면서 더욱 증가되고 있고, ESL를 감소시키기 위한 많은 연구가 이루어져 왔다.
- <15> PDN에 있어서 더 안정적인 파워 전달 특성을 구현하기 위하여, 디커플링 커패시터에 요구되는 또다른 점은, 조절가능한 ESR 특성을 가져야 한다는 점이다. 즉, PDN에 사용되는 디커플링 커패시터는 PDN 설계자가 필요에 따라 선택가능하도록 다양한 ESR 특성을 가져야 한다. 만일 요구되는 수준 이하의 ESR을 갖는 적층형 칩 커패시터를 디커플링 커패시터로 사용되는 경우에는, 커패시터의 ESL과 마이크로 프로세서 패키지의 플레인 커패시턴스(plane capacitance)로 인하여 발생하는 병렬 공진주파수에서의 임피던스 피크가 높아지고 커패시터의 직렬 공진주파수에서의 임피던스는 지나치게 낮아진다. 이에 따라 낮은 ESR로 인해 PDN을 안정적으로 설계하는 것이 어렵게 된다.
- <16> ESL의 감소를 위해, 미국특허 제5,880,925호는, 서로 다른 극성을 갖는 제1 내부 전극과 제2 내부 전극의 리드를 서로 인접하여 깎지킨 배열(interdigitated arrangement)로 배치시키는 방안을 제안하고 있다. 도 1a는 이러한 종래 적층형 칩 커패시터의 내부 전극 구조를 나타내는 분해 사시도이며, 도 1b는 도 1a의 적층형 칩 커패시터(10)의 외형을 나타내는 사시도이다.
- <17> 도 1a를 참조하면, 유전체층(11a, 11b) 상에는 내부 전극(14)이 형성되어 있다. 유전체층(11a, 11b)이 반복하여 교대로 적층됨으로써 커패시터 본체(20)가 형성된다. 내부 전극(14)은 서로 다른 극성을 갖는 제1 내부 전극(12)과 제2 내부 전극(13)으로 구분된다. 제1 내부 전극(12)과 제2 내부 전극(13)은 하나의 블록을 이루고 이 블록이 계속 반복하여 적층된다. 각각의 내부 전극(12, 13)은 리드(16, 17)를 통해 외부 전극(31, 32)에 연결된다(도 1b 참조). 제1 내부 전극(12)의 리드(16)는 제2 내부 전극(13)의 리드(17)와 인접하여 깎지킨 배열로 배치되어 있다. 인접한 리드에 공급되는 전압의 극성이 다르기 때문에, 외부 전극으로부터 흐르는 고주파 전류에 의해 발생된 자속이 인접한 리드 사이에서 상쇄되고 이에 따라 ESL이 감소된다.
- <18> 도 1a에 도시된 바와 같이, 각각의 내부 전극(12 또는 13)은 4개의 리드(16 또는 17)를 가진다. 상기 4개의 리드에서 발생하는 저항은 서로 병렬로 연결되므로, 커패시터 전체의 저항은 매우 낮아지게 된다. 그 결과 커패시터의 ESR은 너무 작아지게 된다. ESR이 너무 작으면, 타겟 임피던스를 만족시키기 어렵고 전원 회로의 불안정성을 초래한다.
- <19> ESR이 너무 낮아지는 것을 방지하기 위해, 미국특허 제6,441,459호는 하나의 내부 전극에 하나의 리드만을 사용하는 방안을 제안하고 있다. 그러나, 상기 미국특허에 따르면, 상하로(적층 방향으로) 인접한 일부 내부 전극에 흐르는 전류의 방향이 동일하게 된다. 이에 따라, 상기 인접한 일부 내부 전극들 사이에서는 자속이 상쇄되지 못한다. 그 결과 ESL이 커지게 되는 문제가 발생한다. 또한, 단지 하나의 리드만을 사용하는 방법으로는, PDN 설계자의 필요에 따라 선택할 수 있는 다양한 ESR에 대한 요구를 충족시켜주지 못한다.
- <20> 상술한 바와 같이 PDN에 사용되는, 특히 고주파 디커플링을 위해 사용되는 다단자 적층형 칩 커패시터는, 전원 회로의 안정화를 위해 매우 낮은 ESL을 가져야 함과 동시에 높은 범위까지 조절가능한 ESR을 가져야 한다. 대표적인 고속 마이크로 프로세서의 하나인 컴퓨터 CPU에 사용되는 디커플링 커패시터는 수 μm 까지의 ESR이 요구되고 있으며 이러한 높은 범위까지의 ESR의 구현이 용이하지 않다.

발명이 이루고자 하는 기술적 과제

- <21> 본 발명은 상기한 문제점을 해결하기 위한 것으로서, 그 목적은 다단자 적층형 칩 커패시터에 있어서, 낮은 ESL과 함께 PDN 설계자가 필요에 따라 선택가능하도록 다양하게 제어된 ESR을 구현하는 방법을 제공하는 것이다.

발명의 구성 및 작용

- <22> 상술한 기술적 과제를 달성하기 위하여, 본 발명에 따른 제어된 ESR을 갖는 적층형 칩 커패시터의 구현방법은,
- <23> 제1 및 제2 극성(+ 및 - 극성)의 내부 전극이 유전체층을 사이에 두고 교대로 배치되고 상하로 연속 배치된 2개 이상의 내부 전극을 1개 블록으로 하여 그 블록이 반복 적층되는 적층형 칩 커패시터에 있어서, 상기 블록 내에서 상호 대면하여 인접 배치된 2개의 내부 전극의 총 리드 개수의 평균값을 정하는 단계와;
- <24> 상기 블록 내에 있는 각각의 내부 전극의 리드수를 결정하는 단계와;
- <25> 상기 블록 내의 상기 리드수가 결정된 각 내부 전극에 대하여, 상호 대면하여 인접 배치된 제1 극성 및 제2 극성의 내부 전극의 리드가 가장 인접하게 배치되도록 각 내부 전극의 리드들의 위치를 결정하는 단계를 포함한다.
- <26> 본 발명의 실시형태에 따르면, 상기 적층형 칩 커패시터는 상기 블록과 다른 추가 블록을 더 갖되, 상기 적층형 칩 커패시터 구현방법은
- <27> 상기 추가 블록 내에서 상호 대면하여 인접 배치되고 서로 다른 극성을 갖는 2개의 내부 전극의 총 리드 개수의 평균값을 정하는 단계와;
- <28> 상기 추가 블록 내에 있는 각각의 내부 전극의 리드수를 결정하는 단계와;
- <29> 상기 추가 블록 내의 상기 리드수가 결정된 각 내부 전극에 대하여, 상호 대면하여 인접 배치된 서로 다른 극성의 내부 전극의 리드가 가장 인접하게 배치되도록 각 내부 전극의 리드들의 위치를 결정하는 단계를 더 포함할 수 있다.
- <30> 본 발명의 실시형태에 따르면, 상기 적층형 칩 커패시터는, 리드를 통해 내부 전극과 연결되는 외부 전극을 적어도 6개 이상 가질 수 있다. 특히 상기 적층형 칩 커패시터는 마주보는 2개 측면 각각에 4개씩의 외부 전극을 갖는 8단자 적층형 칩 커패시터일 수 있다.
- <31> 상기 적층형 칩 커패시터는, 상호로 연속 배치된 4개의 내부 전극이 하나의 블록을 이루고 그 블록이 반복하여 적층될 수 있다. 이 경우, 상기 하나의 블록 내에는 총 3가지 전극 패턴이 포함될 수 있다.
- <32> 다른 실시형태에 따르면, 상기 적층형 칩 커패시터는, 상호로 연속 배치된 6개의 내부 전극이 하나의 블록을 이루고 그 블록이 반복하여 적층될 수 있다. 이 경우, 상기 하나의 블록 내에는 총 4가지 또는 6가지 전극 패턴이 포함될 수 있다.
- <33> 또다른 실시형태에 따르면, 상기 적층형 칩 커패시터는, 상호로 연속 배치된 8개의 내부 전극이 하나의 블록을 이루고 그 블록이 반복하여 적층될 수 있다. 이 경우, 상기 하나의 블록 내에 포함된 전극 패턴들은, 총 4 내지 8가지 중 어느 하나일 수 있다.
- <34> 또다른 실시형태에 따르면, 상기 적층형 칩 커패시터는, 상호로 연속 배치된 12개의 내부 전극이 하나의 블록을 이루고 그 블록이 반복하여 적층될 수 있다. 이 경우, 상기 하나의 블록 내에는 총 7가지 전극 패턴이 포함될 수 있다.
- <35> 본 발명의 실시형태에 따르면, 상기 적층형 칩 커패시터의 외부 전극에 사용될 특정 도전율의 저항체를 선택하는 단계를 더 포함할 수 있다. 바람직하게는, 상기 저항체는 상기 내부 전극과 접촉하는 상기 외부 전극의 내층부로 사용된다.
- <36> 이하, 첨부된 도면을 참조하여 본 발명의 실시형태를 설명한다. 그러나, 본 발명의 실시형태는 여러가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명하는 실시형태로 한정되는 것은 아니다. 본 발명의 실시형태는 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되는 것이다. 따라서, 도면에서의 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있으며, 도면 상의 동일한 부호로 표시되는 요소는 동일한 요소이다.
- <37> 본 발명의 실시형태에서는, 높은 수준까지 다양한 범위의 ESR을 구현하기 위하여, ESR에 큰 영향을 미치는 각 내부 전극의 리드수를 조절한다. 또한 ESL 값을 가능한 한 억제하기 위하여, 상호 대면하여 인접배치된 이종 극성의 내부 전극의 리드는 가능하면 가장 인접하게 배치한다.
- <38> 이와 같이 리드수와 리드의 위치를 조절함으로써, ESR을 높은 수준까지 비교적 정밀하게 효과적으로 조절할 수

있으며, 리드수의 감소로 인해 필연적으로 초래되는 ESL의 증가를 가능한 한 억제할 수 있다.

<39> 제1 극성(+ 및 - 극성 중 하나)의 내부 전극의 리드수와 제2 극성(+ 및 - 극성 중 다른 하나)의 내부 전극의 리드수에 따른 상호 인접배치된 2개 내부 전극의 총 리드 개수는, 예컨대 아래 표에 나타난 바와 같이 여러가지로 결정될 수 있다.

표 1

<40>	제1극성 내부전극의 리드수	1	2	3	4
	제2 극성 내부전극의 리드수				
	1	2	3	4	5
	2	3	4	5	6
	3	4	5	6	7
	4	5	6	7	8

<41> 상기 표 1에서 제1행 및 제1열의 숫자들(1, 2, 3, 4)는 제1 극성의 내부 전극의 리드수 및 제2 극성의 리드수를 나타낸다. 상호 인접한 서로 다른 극성의 내부 전극의 리드수의 조합에 따라 상호 인접한 2개 내부 전극의 총 리드 개수(2, 3, 4, 5, 6, 7, 8)가 정해진다.

<42> 만약 상호 인접한 2개 내부 전극의 총 리드 개수가, 하나의 블록 내에서 일정하지 않다면 그 평균값을 고려한다. 상호 인접 배치된 2개의 내부 전극의 총 리드 개수가 증가할수록 적층형 칩 커패시터의 ESR은 낮아지게 된다. 이는 상기 총 리드 개수가 증가할수록, 내부 전극의 메인 전극 플레이트에 병렬로 연결되는 저항(리드로 인해 발생하는 병렬 연결된 저항)의 개수가 늘어나기 때문이다.

<43> 예를 들어 도 2를 참조하면, 커패시터 본체 내에서, 상하로 연속배치된 12개의 내부 전극이 하나의 블록을 이루고 이 블록이 반복하여 적층될 수 있다. 도 2에 도시된 바와 같이, (+) 내부 전극(1010, 1030, 1050, 1070)은 각각 단 1개의 리드(1010a, 1030a, 1050a, 1070a)를 구비하고, (-) 내부 전극(1020, 1040, 1060)은 각각 2개의 리드(1020a, 1020b; 1040a, 1040b; 1060a, 1060b)를 구비한다. 따라서, 상호 인접한 2개 내부 전극의 총 리드 개수(평균)는 "3"이 된다. '상하로 인접한 2개 내부 전극'의 총 리드 개수가 3이면, 종래의 총 리드 개수가 8개인 경우(도 1a 참조)에 비하여 ESR은 상당히 높아지게 된다. 이와 같이 상하로 인접한 2개 내부 전극의 총 리드 개수의 조절을 통해, 높은 수준까지 다양한 범위로 ESR의 조절이 가능하게 된다. 특히, 「제1 극성 또는 제2 극성 내부 전극이 2개 이상의 리드를 구비하고 '상하로 인접한 2개의 내부 전극'의 총 리드 개수가 총 외부 전극의 개수보다 작음」 조건을 만족하도록 각 내부 전극의 리드 개수를 조절 할 수 있다. 이러한 조건 내에서 각 내부 전극의 리드 개수를 조절함으로써, 과도하게 낮은 ESR과 너무 높은 ESL을 방지하는 데에 도움을 줄 수 있다.

<44> 또한 ESL 증가를 억제하고 가능한 한 ESL을 낮추기 위해서, 도 2에 도시된 바와 같이, 상하로 인접한 이종 극성의 내부 전극의 리드(예컨대, 1010a와 1020a)를 가능하면 가장 인접하게 배치하여, 전류 경로(current path)의 길이를 작게 한다. 이러한 총 리드 개수 조절 및 리드 위치 조절에 의해, 저ESL 및 제어된 ESR 구현이 용이하게 된다.

<45> 도 2를 참조하여, 저ESL 및 제어된 ESR의 구현 방법을 예를 들어 설명하면 아래와 같다.

<46> 우선 12개의 연속 배치된 내부 전극을 1개 블록으로 정하여 이 블록이 커패시터 본체 내에서 연속하여 적층되는 다단자 커패시터를 상징한다. 그 후, ESR에 영향을 미치는 인자인 '상호 대면하여 인접배치된 (+) 내부 전극 1개와 (-) 내부 전극 1개의 총 리드 개수'를 3으로 정한다(이 개수 '3'은 종래(도 1a 참조)의 개수 '8'에 비하여 작으므로 ESR의 증대 효과를 얻을 수 있음).

<47> 이와 같이 총 리드 개수가 3으로 정해지면, 이제 총 개수 3에 해당하는 각 내부 전극의 리드수를 정한다. 예를 들어 도 2에 도시된 바와 같이 (+) 내부 전극(1010, 1030, 1050, 1070)의 리드수는 1로, (-) 내부 전극(1020, 1040, 1060)의 리드수는 2로 정할 수 있다.

<48> 이와 같이 각 내부 전극의 리드수가 정해지면, 그 정해진 리드수에 해당하는 각 내부 전극의 리드(들)의 위치를 결정하되, ESL의 증가 요인을 억제하기 위해, 이종 극성의 리드가 가능한 한 인접하게 배치되도록 리드들의 위치를 결정한다. 예를 들어, 각 리드들(1010a, 1020a, 1020b, 1030a, 1040a, 1040b, 1050a, 1060a, 1060b,

1070a)의 위치를 도 2에 도시된 바와 같이 정할 수 있다. 도 2에 도시된 바와 같은 내부 전극 구조에 의하여, 1개 블록에 총 12개의 내부 전극이 총 7가지 전극 패턴을 나타내면서 연속 배치된다. 이와 같이 구현된 적층형 칩 커패시터는 낮은 ESL을 나타내면서도 충분한 값으로 조절된 ESR을 나타낼 수 있다.

- <49> 도 3은 도 2와 같이 결정된 내부 전극 구조를 갖는 적층형 칩 커패시터(100)의 외형을 나타내는 사시도이다. 커패시터 본체(120) 내에는 유전체층을 사이에 두고 각 내부 전극(1010~1070)이 적층되어 있으며, 내부 전극의 리드들은 대응하는 외부 전극(131~108)에 연결되어 8단자 적층형 칩 커패시터를 이룬다.
- <50> 도 4는 본 발명의 방법에 따라 구현된 적층형 칩 커패시터의 내부 전극 구조의 다른 예를 나타낸 평면도이다. 도 4의 실시형태에서는, 커패시터 본체 내에 2가지의 서로 다른 블록이 존재한다. 즉, 블록a 이외에도 추가적인 블록b가 커패시터 본체 내에 반복하여 적층되어 있으며, 블록a의 반복 적층체(A)와 블록b의 반복 적층체(B)는 또한 서로 상하로 배치되어 있다.
- <51> 도 4의 내부 전극 구조를 구현하기 위해, 연속 배치된 6개의 내부 전극들(2010, 2020, 2030, 2040)로 구성된 블록a에 대하여 '상하로 인접 배치된 2개의 내부 전극'의 총 리드 개수(1+1=2)를 정하고, 각 내부 전극의 리드수를 결정한다. 즉 (+) 내부 전극(2010, 2030)은 각각 1개씩 리드를 갖고, (-) 내부 전극(2020, 2040)도 각각 1개씩 리드를 갖는다. 그리고 나서, 각 내부 전극의 리드들의 위치를 결정하되, 상하로 인접한 내부 전극의 리드가 가능한 한 서로 인접하도록 리드들의 위치를 결정한다. 도 4의 실시형태에 따르면, 블록a 내의 연속 배치된 6개의 내부 전극들은 4가지의 서로 다른 전극 패턴(2010~2040의 패턴)을 나타내며 내부 전극(2020, 2030)의 전극 패턴은 블록a 내에서 2번 나타난다.
- <52> 마찬가지로, 연속 배치된 6개의 내부 전극들(2050, 2060, 2070, 2080)로 구성된 블록b에 대하여, '상하로 인접 배치된 2개의 내부 전극'의 총 리드 개수(1+1=2)를 정하고, 각 내부 전극의 리드수를 결정한다. 즉 (+) 내부 전극(2050, 2070)은 각각 1개씩 리드를 갖고, (-) 내부 전극(2060, 2080)도 각각 1개씩 리드를 갖는다. 그리고 나서, 각 내부 전극의 리드들의 위치를 결정하되, 상하로 인접한 내부 전극의 리드가 가능한 한 서로 인접하도록 리드들의 위치를 결정한다. 도 4의 실시형태에 따르면, 블록b 내의 연속 배치된 6개의 내부 전극들은 4가지의 서로 다른 전극 패턴(2050~2080의 패턴)을 나타내며 내부 전극(2060, 2070)의 전극 패턴은 블록b 내에서 2번 나타난다.
- <53> 도 4의 실시형태에 따르면, 상하로 인접한 2개 내부 전극의 총 리드 개수가 2개이므로 종래의 총 리드 개수 8개인 경우에 비하여 충분히 높은 ESR을 나타낸다. 뿐만 아니라, 상하로 인접한 이중 극성의 내부 전극의 리드들을 각 적층체(A, B) 내에서 가능한 한 상호 인접하게 배치함으로써 낮은 ESL을 구현할 수 있다. 도 4의 내부 전극 구조에 따르면, 다른 조건(커패시터 사이즈, 적층수, 사용된 세라믹 유전체 및 전극 물질 등)이 동일할 경우, 도 2의 내부 전극 구조에 비하여 ESR이 다소 높게 나타날 것이다. 이는 도 2에서는 상하로 인접한 2개 내부 전극의 총 리드 개수가 3이지만, 도 4에서는 그 총 리드 개수가 단지 2이기 때문이다(총 리드수가 감소할수록 ESR은 증가함).
- <54> 도 2 및 도 4의 실시형태에서는 상호 대면하여 인접한 이중 극성의 2개 내부 전극의 총 리드 개수가 한 블록 내에서 일정하지만, 본 발명이 이에 한정되는 것은 아니다. 즉, 상하로 인접한 2개 내부 전극의 총 리드 개수가 한 블록 내에서 다르게 나타날 수도 있으며, 이 경우 ESR에 영향을 미치는 인자로서 총 리드 개수의 평균값을 고려할 수 있다.
- <55> 제1 및 제2 극성 내부 전극의 리드수에 따른 상하로 인접한 2개 내부 전극의 총 리드 개수의 평균은, 그 총 리드 개수가 한 블록 내에서 일정하지 않은 경우를 포함하여, 예컨대 아래 표 2에 나타난 바와 같이 여러가지로 결정될 수 있다. 표 1 및 2에서 알 수 있는 바와 같이, 아래 표 2에 나타난 총 리드 개수의 평균값의 예들은, 위에서 언급한 표 1에 나타난 예들을 포함한다(따라서, 표 2는 표 1보다 더 포괄적임).

표 2

<56>	제1극성 내부전극 리드수	1	1	1	1	2	2	2	2	3	3	3	3	4	4	4	4
	제2극성내 부전극리 드수	1	2	3	4	1	2	3	4	1	2	3	4	1	2	3	4

1	1	2	2.5	3	3.5	2.5	3	3.5	4	3	3.5	4	4.5	3.5	4	4.5	5
1	2	2.5	3	3.5	4	3	3.5	4	4.5	3.5	4	4.5	5	4	4.5	5	5.5
1	3	3	3.5	4	4.5	3.5	4	4.5	5	4	4.5	5	5.5	4.5	5	5.5	6
1	4	3.5	4	4.5	5	4	4.5	5	5.5	4.5	5	5.5	6	5	5.5	6	6.5
2	1	2.5	3	3.5	4	3	3.5	4	4.5	3.5	4	4.5	5	4	4.5	5	5.5
2	2	3	3.5	4	4.5	3.5	4	4.5	5	4	4.5	5	5.5	4.5	5	5.5	6
2	3	3.5	4	4.5	5	4	4.5	5	5.5	4.5	5	5.5	6	5	5.5	6	6.5
2	4	4	4.5	5	5.5	4.5	5	5.5	6	5	5.5	6	6.5	5.5	6	6.5	7
3	1	3	3.5	4	4.5	3.5	4	4.5	5	4	4.5	5	5.5	4.5	5	5.5	6
3	2	3.5	4	4.5	5	4	4.5	5	5.5	4.5	5	5.5	6	5	5.5	6	6.5
3	3	4	4.5	5	5.5	4.5	5	5.5	6	5	5.5	6	6.5	5.5	6	6.5	7
3	4	4.5	5	5.5	6	5	5.5	6	6.5	5.5	6	6.5	7	6	6.5	7	7.5
4	1	3.5	4	4.5	5	4	4.5	5	5.5	4.5	5	5.5	6	5	5.5	6	6.5
4	2	4	4.5	5	5.5	4.5	5	5.5	6	5	5.5	6	6.5	5.5	6	6.5	7
4	3	4.5	5	5.5	6	5	5.5	6	6.5	5.5	6	6.5	7	6	6.5	7	7.5
4	4	5	5.5	6	6.5	5.5	6	6.5	7	6	6.5	7	7.5	6.5	7	7.5	8

- <57> 상기 표 2에서, 제1 행 및 제2 행의 숫자들은 제1 극성의 내부 전극의 리드수를 나타내는 것으로서, 예컨대, 제 1 및 2행 숫자들중 맨 좌측열에 해당하는 (1, 1)은 "한 블록 내에 제1 극성 내부 전극의 리드가 모두 1인 경우"를 의미하고, 좌측에서 두번째 열에 해당하는 (1, 2)는 "한 블록 내에 1개의 리드를 갖는 제1 극성 내부 전극과 2개의 리드를 갖는 제1 극성 내부 전극이 각 1개씩(보다 넓게는 같은 개수 비율로) 존재한다"는 것을 의미한다. 마찬가지로, 제1 열 및 제2 열의 숫자들은 제2 극성의 내부 전극의 리드 수를 나타낸다.
- <58> 예를 들어, 제1 및 2열 숫자들 중 맨 위에서 2번째 행(1, 2)과 제1 및 2행 숫자들중 좌측에서 2번째 열(1, 2)에 해당하는 내부 전극 구조는, 한 블록 내에 1개의 리드를 갖는 제1 극성 내부 전극, 2개의 리드를 갖는 제1 극성 내부 전극, 1개의 리드를 갖는 제2 극성 내부 전극, 2개의 리드를 갖는 제2 극성 내부 전극이 각각 같은 개수로 배치되어 있는 구조에 해당한다. 상기 2번째 행(1, 2)와 2번째 열(1, 2)에 해당하는 총 리드 개수의 평균(상하로 인접한 2개 내부 전극의 총 리드 개수의 평균)은 $(1+2)/2 + (1+2)/2 = 3$ 이 된다. 이와 같이 상호 인접한 이중 극성의 내부 전극의 리드수의 조합에 따라 상호 인접한 2개 내부 전극의 총 리드 개수의 평균이 정해진다.
- <59> 상술한 표 1 및 표 2 이외에도, 상호 인접한 2개 내부 전극의 총 리드수의 평균값을 다양하게 결정할 수 있다. 예를 들어, 한 블록 내에 제1 또는 제2 극성 내부 전극의 리드수는 3가지 이상으로 존재할 수도 있다.
- <60> 도 5는 본 발명의 방법에 따라 구현된 적층형 칩 커패시터의 내부 전극 구조의 또다른 예를 나타낸 평면도이다. 도 5의 내부 전극 구조에서는, 각 극성의 내부 전극의 리드수는 한 블록 내에서 일정하지 않고, 적층 방향에 따라 1과 2의 값을 교대로 취한다. 예를 들어 2개의 리드를 갖는 (+) 내부 전극(3010, 3050)과 1개의 리드를 갖는 (+) 내부 전극(3030, 3070)이 적층 방향을 따라 교대로 배치될 수 있다. 이 경우, (+) 내부 전극의 리드수의 평균은 $(1+2)/2 = 1.5$ 가 된다. 마찬가지로, (-) 내부 전극(3020, 3040, 3060, 3080)의 리드수도 1과 2의 값을 교대로 취하며, (-) 내부 전극의 리드수의 평균은 $(1+2)/2 = 1.5$ 가 된다. 따라서, 상호 인접한 이중 극성의 2개 내부 전극의 총 리드 개수의 평균은 $1.5+1.5 = 3$ 이 된다.
- <61> 도 5의 내부 전극 구조를 구현하기 위해, 8개의 연속 배치된 내부 전극을 1개 블록으로 정하여 이 블록이 반복 적층된 다단자 커패시터를 상징한다. 그리고 나서, 상하로 인접한 2개 내부 전극의 총 리드 개수의 평균값을 3으로 정한다. 그리고 나서, 상기 총 리드 개수의 평균값 3에 해당하는 각 내부 전극의 리드수를 정한다. 총 리드 개수의 평균값이 3이 되도록 각 내부 전극의 리드수를 정하는 방법은 다양하게 있을 수 있다. 이러한 다양한 방법 중에서, 예를 들어 도 5에 도시된 바와 같이, (+) 내부 전극(3010, 3050)의 리드수는 2로 정하고, (+) 내부 전극(3030, 3070)의 리드수는 1로 정할 수 있다. 또한 (-) 내부 전극(3020, 3060)의 리드수는 1로 정하고, (-) 내부 전극(3040, 3080)의 리드수는 2로 정할 수 있다.
- <62> 이와 같이 각 내부 전극의 리드수가 정해지면, 각 내부 전극의 리드(들)의 위치를 결정하되, ESL 증가 요인을 억제하기 위해, 이중 극성의 내부 전극의 리드가 가능한 한 인접하게 배치되도록 리드들의 위치를 결정한다. 예를 들어, 각 리드들(3010a, 3010b, 3020a, 3030a, 3040a, 3040b, 3050a, 3050b, 3060a, 3070a, 3080a, 3080b)의 위치를 도 5에 도시된 바와 같이 정할 수 있다. 도 3의 내부 전극 구조에 의하여, 1개 블록에 총 8개의 내부 전극이 총 8가지 전극 패턴을 나타내면서 연속 배치된다. 이와 같이 구현된 적층형 칩 커패시터는 저ESL 및

제어된 ESR을 나타낼 수 있다.

- <63> 도 6은 본 발명의 방법에 따라 구현된 적층형 칩 커패시터의 내부 전극 구조의 또다른 예를 나타낸 평면도이다. 도 6의 내부 전극 구조에서도, 각 극성의 내부 전극의 리드수는 한 블록 내에서 일정하지 않고, 적층 방향을 따라 1과 2의 값을 교대로 취한다.
- <64> 도 6의 내부 전극 구조를 구현하기 위해, 8개의 연속 배치된 내부 전극을 1개 블록으로 정하여 이 블록이 반복 적층된 다단자 커패시터를 상정한다. 그리고 나서, 상하로 인접한 2개 내부 전극의 총 리드 개수의 평균값을 3으로 정한다. 그리고 나서, 총 리드 개수의 평균값 3에 해당하는 각 내부 전극의 리드수를 정하되, 그 일례로서 적층 방향을 따라 각 내부 전극의 리드수가 2, 2, 1, 1, 2, 2, 1, 1이 되도록 정한다. 즉, 도 6에 도시된 바와 같이 (+) 내부 전극(4010)은 2개, (-) 내부 전극(4020)은 2개, (+) 내부 전극(4030)은 1개, (-) 내부 전극(4040)은 1개, (+) 내부 전극(4050)은 2개, (-) 내부 전극(4060)은 2개, (+) 내부 전극(4070)은 1개, (-) 내부 전극(4080)은 1개의 리드를 갖는 것으로 정한다.
- <65> 이와 같이 각 내부 전극의 리드수가 정해지면(즉, 각 내부 전극의 리드수를 적층 방향에 따라 나열한 '순열(본 실시예에서는, 2, 2, 1, 1, 2, 2, 1, 1)'이 정해지면), 각 내부 전극의 리드(들)의 위치를 결정한다. 리드 위치 결정시, ESL 요인을 억제하기 위해, 이종 극성의 내부 전극의 리드가 가장 인접하게 배치되도록 리드들(4010a, 4010b, 4020a, 4020b, 4030a, 4040a, 4050a, 4050b, 4060a, 4060b, 4070a, 4080a)의 위치를 결정한다. 이러한 리드 위치 결정의 일례가 도 6에 도시된 것이다.
- <66> 도 7은 본 발명의 방법에 따라 구현된 적층형 칩 커패시터의 내부 전극 구조의 또다른 예를 나타내는 평면도이다. 도 7의 내부 전극 구조를 구현하기 위해, 8개의 연속 배치된 내부 전극을 1개 블록으로 정하여 이 블록이 반복 적층된 다단자 커패시터를 상정한다. 그리고 나서, 상하로 인접한 2개의 내부 내부 전극의 총 리드 개수의 평균값을 3으로 정한다. 그리고 나서, 총 리드 개수의 평균값 3에 해당하는 각 내부 전극의 리드수를 정하되, 그 일례로서 적층 방향을 따라 각 내부 전극의 리드수가 1, 1, 1, 3, 1, 1, 1, 3이 되도록 정한다. 즉, 도 7에 도시된 바와 같이 (+) 내부 전극(5010)은 1개, (-) 내부 전극(5020)은 1개, (+) 내부 전극(5030)은 1개, (-) 내부 전극(5040)은 3개, (+) 내부 전극(5050)은 1개, (-) 내부 전극(5060)은 1개, (+) 내부 전극(5070)은 1개, (-) 내부 전극(5080)은 3개의 리드를 갖는 것으로 정한다. 이와 같이 각 내부 전극의 리드수를 정함으로써, 상하로 인접한 2개 내부 전극의 총 리드 개수의 평균은 $(1+1+1+3+1+1+1+3)/4 = 3$ 이 된다.
- <67> 각 내부 전극의 리드수가 정해지면, 각 내부 전극의 리드(들)의 위치를 결정하되, 상하로 인접한 이종 극성의 내부 전극의 리드가 가장 인접하게 배치되도록 리드들(5010a, 5020a, 5030a, 5040a, 5040b, 5040c, 5050a, 5060a, 5070a, 5080a, 5080b, 5080c)의 위치를 결정한다. 이러한 리드 위치 결정의 일례가 도 7에 도시되어 있다.
- <68> 도 8은 본 발명의 방법에 따라 구현된 적층형 칩 커패시터의 내부 전극 구조의 또다른 예를 나타내는 평면도이다. 도 8의 내부 전극 구조를 구현하기 위해, 6개의 연속 배치된 내부 전극을 1개 블록으로 정하여 이 블록이 반복 적층된 다단자 커패시터를 상정한다. 그리고 나서, 상하로 인접한 2개의 내부 내부 전극의 총 리드 개수의 평균값을 4로 정한다. 그리고 나서, 총 리드 개수의 평균값 4에 해당하는 각 내부 전극의 리드수를 정하되, 그 일례로서 적층 방향을 따라 각 내부 전극의 리드수가 2, 2, 2, 2, 2, 2가 되도록 정한다. 즉, 도 8에 도시된 바와 같이 각각의 내부 전극(6010-6060)은 리드를 2개씩 갖는 것으로 정해질 수 있다.
- <69> 각 내부 전극의 리드수가 정해지면, 각 내부 전극의 리드(들)의 위치를 결정하되, 상하로 인접한 이종 극성의 내부 전극의 리드가 가장 인접하게 배치되도록 리드들(6010a, 6010b, 6020a, 6020b, 6030a, 6030b, 6040a, 6040b, 6050a, 6050b, 6060a, 6060b)의 위치를 결정한다. 이러한 리드 위치 결정의 일례가 도 8에 도시되어 있다. 도 8의 내부 전극 구조에 의하여, 1개 블록에 총 6개의 내부 전극이 총 6가지 전극 패턴을 나타내면서 연속 배치된다.
- <70> 도 9는 본 발명의 방법에 따라 구현된 적층형 칩 커패시터의 내부 전극 구조의 또다른 예를 나타내는 평면도이다. 도 9의 내부 전극 구조를 구현하기 위해, 12개의 연속 배치된 내부 전극을 1개 블록으로 정하여 이 블록이 반복 적층된 다단자 커패시터를 상정한다. 그리고 나서, 상하로 인접한 2개의 내부 내부 전극의 총 리드 개수의 평균값을 4로 정한다. 그리고 나서, 총 리드 개수의 평균값 4에 해당하는 각 내부 전극의 리드수를 정하되, 그 일례로서 적층 방향을 따라 각 내부 전극의 리드수가 1, 3, 1, 3, 1, 3, 1, 3, 1, 3, 1, 3이 되도록 정한다. 즉, 도 9에 도시된 바와 같이, (+) 내부 전극(7010, 7030, 7050, 7070)은 1개의 리드를 갖고 (-) 내부 전극(7020, 7040, 7060)은 3개의 리드를 갖도록 각 내부 전극의 리드수를 정한다.

- <71> 각 내부 전극의 리드수가 정해지면, 각 내부 전극의 리드(들)의 위치를 결정하되, 상하로 인접한 이중 극성의 내부 전극의 리드가 가장 인접하게 배치되도록 리드들(7010a, 7020a, 7020b, 7020c, 7030a, 7040a, 7040b, 7040c, 7050a, 7060a, 7060b, 7060c, 7070a)의 위치를 결정한다. 이러한 리드 위치 결정의 일례가 도 9에 도시되어 있다. 도 9의 내부 전극 구조에 의하여, 1개 블록에 12개의 내부 전극이 총 7가지 전극 패턴을 나타내면서 연속 배치된다.
- <72> 도 10은 본 발명의 방법에 따라 구현된 적층형 칩 커패시터의 내부 전극 구조의 또다른 예를 나타내는 평면도이다. 도 10의 내부 전극 구조를 구현하기 위해, 8개의 연속 배치된 내부 전극을 1개 블록으로 정하여 이 블록이 반복 적층된 다단자 커패시터를 상정한다. 그리고 나서, 상하로 인접한 2개의 내부 내부 전극의 총 리드 개수의 평균값을 4로 정한다. 그리고 나서, 총 리드 개수의 평균값 4에 해당하는 각 내부 전극의 리드수를 정하되, 그 일례로서 적층 방향을 따라 각 내부 전극의 리드수가 1, 1, 2, 4, 1, 1, 2, 4가 되도록 정한다. 즉, 도 10에 도시된 바와 같이, (+) 내부 전극(8010, 8050)은 1개의 리드를 갖고, (+) 내부 전극(8030)은 2개의 리드를 갖고, (-) 내부 전극(8020a, 8060a)은 1개의 리드를 갖고, (-) 내부 전극(8040)은 4개의 리드를 갖는다. 이와 같이 각 내부 전극의 리드수를 정함으로써, 상하로 인접한 2개 내부 전극의 총 리드 개수의 평균은 $(1+1+2+4+1+1+2+4)/4 = 4$ 가 된다.
- <73> 각 내부 전극의 리드수가 정해지면, 각 내부 전극의 리드(들)의 위치를 결정하되, 상하로 인접한 이중 극성의 내부 전극의 리드가 가장 인접하게 배치되도록 리드들(8010a, 8020a, 8030a, 8030b, 8040a, 8040b, 8040c, 8040d, 8050a, 8060a)의 위치를 결정한다. 이러한 리드 위치 결정의 일례가 도 10에 도시되어 있다. 도 10의 내부 전극 구조에 의하여, 1개 블록에 8개의 내부 전극이 총 6가지 전극 패턴을 나타내면서 연속 배치된다. 상술한 도 4 내지 도 10의 실시형태는 도 3에 도시된 바와 같은 8단자 커패시터의 외형을 구비할 수 있다.
- <74> 도 6 내지 도 10의 실시형태에 따르면, 전술한 실시형태와 마찬가지로, 상호 대면하여 인접한 2개의 내부 전극의 총 리드 개수의 평균값을 조절함으로써, 충분히 높은 범위까지 ESR을 용이하게 제어할 수 있게 된다. 또한 상호 대면하여 인접한 내부 전극의 리드를 가장 인접하게 배치함으로써, 리드들 간의 전류 경로를 짧게 할 수 있고 이에 따라 ESL의 감소 효과를 얻을 수 있다.
- <75> '상호 대면하여 인접한 2개의 내부 전극의 총 리드 개수의 평균값'과 함께, 외부 전극에 형성되는 저항층 또는 저항체를 이용하여 ESR을 보다 넓은 범위에서 제어할 수 있다. 즉, 전술한 실시형태에서의 저 ESL 및 제어된 ESR 구현 방법에 더하여, 외부 전극에 사용될 특정 도전율의 저항체를 선택하고(이 저항체는 외부 전극의 도금층보다 더 낮은 도전율을 가짐), 이 선택된 저항체를 외부 전극 물질 또는 외부 전극의 일부층의 물질로 사용할 수 있다. ESR 조절을 위해 저항체를 사용한 외부 전극 구성의 예들이 도 11a 및 도 11b에 도시되어 있다. 도 11a 및 도 11b에서는 편의상 커패시터 본체(120)의 내부 구조는 그 도시를 생략하였다.
- <76> 도 3과 도 11a를 참조하면, 커패시터 본체(120)의 대항하는 2개 측면에 외부 전극(131-138)이 형성되어 있는데, 외부 전극(131-138)은 상대적으로 높은 저항율(낮은 도전율)을 갖는 저항체로 된 내층부(150: 저항층)와 저항층상에 형성된 도금층(155)을 포함한다. 이와 같이 적절한 도전율의 저항체 물질을 선택하여 이를 외부 전극의 저항층으로 사용하면, 커패시터의 ESR을 보다 넓은 범위에서 제어할 수 있게 된다. 특히 상기 저항층(150)이 내부 전극과 직접 접촉하는 (외부 전극의) 내층부로 사용될 경우 효과적이다. 이는, 외부 전극으로부터 내부 전극으로 전류가 흐르기 위해서는 외부 전극과 접촉하는 내층부를 통과하여야 하기 때문이다. 내층부의 저항체를 통과하는 전류량의 비율이 높을수록 저항체에 의한 ESR의 증대 효과는 높아질 것이다. 다른 예로서, 도 11b와 같이 저항층(150)은 Cu 등으로 된 내층(151)과 최외곽의 도금층(155) 사이에 개재될 수도 있다.
- <77> 예를 들어, 외부 전극용 저항체들의 선택에 의해 커패시터의 ESR을 30mΩ, 100mΩ, 500mΩ, 1Ω으로 만들 수 있고, ESR을 보다 정밀하게 제어하기 위해서(예컨대, 20mΩ 이하의 단위로 ESR을 제어하기 위해), 상술한 실시형태들에서 언급한 바와 같이 '인접한 2개 내부 전극의 총 리드 개수의 평균값'을 조절할 수 있다.
- <78> 이와 같이 제어된 ESR을 넓은 범위에서 라인-업(line-up) 함으로써, 커패시터 사용자(특히, 파워 분배 네트워크(PDN) 설계자)는 다양한 ESR 범위에서 원하는 ESR 특성의 커패시터를 필요에 따라 용이하게 선택할 수 있게 된다. 본 발명의 장점들 중 하나는, 사용자 선택형 ESR 특성(User-Selectable ESR)을 PDN 설계자에게 효과적으로 제공할 수 있다는 것이다.
- <79> 본 발명에 따라 구현될 수 있는 내부 전극 구조는 전술한 실시형태에 한정되는 것이 아니라, '상호 대면하여 인접한 2개 내부 전극의 총 리드 개수의 평균값'과 구체적인 각 내부 전극의 리드수 및 리드 위치에 따라 다양하게 제공될 수 있다. 본 발명의 실시형태들에 따라 구현되는 내부 전극 구조는, 정해진 각 내부 전극의 리드수에

서 가능한 낮은 ESL을 갖도록 하는 리드 배치(전극 패턴 형상)를 갖는다.

- <80> 도 12 내지 도 58은 본 발명의 저ESL 및 제어된 ESR 커패시터 구현 방법에 따라 구현된 커패시터의 다양한 내부 전극 구조들을 나타낸다. 도 12 내지 58에서, 편의상 내부 전극의 전극 패턴을 구별하기 위해 숫자(내부 전극에 표시된 숫자)를 표기하였으며, 각 도면은 1개의 블록만을 도시하였다.
- <81> 예를 들어, 도 12의 내부 전극 구조를 참조하면, 8개의 연속 배치된 내부 전극이 1개의 블록을 이루고 이 블록이 반복 적층된다. 상기 8개의 내부 전극은 총 7가지 전극 패턴(1, 2, 3, 4, 5, 6, 7)을 갖고, 각 전극 패턴이 1개의 블록 내에서 1, 2, 3, 4, 5, 6, 7, 4의 순서로 배치된다. 도 12에 도시된 바와 같이, 상하로 인접한 2개 내부 전극의 총 리드 개수의 평균은 $(1+2+1+4+1+2+1+4)/4 = 4$ 이고, 상하로 인접한 내부 전극의 리드는, 정해진 리드수에서 가장 인접하게 배치된다. 도 13 및 14에서도, 상하로 인접한 2개 내부 전극의 총 리드 개수의 평균은 4이다.
- <82> 도 15 내지 도 23에서는, 상하로 인접한 2개 내부 전극의 총 리드 개수의 평균은 5이다. 도 15을 참조하면, 8개의 내부 전극이 연속 배치되어 1개의 블록을 이룬다. 이 블록 내에는 총 5가지 전극 패턴(1, 2, 3, 4, 5)이 포함되어 있다.
- <83> 또한, 도 22를 참조하면, 8개의 내부 전극이 연속 배치되어 1개의 블록을 이룬다. 이 블록 내에는 총 4가지 전극 패턴(1, 2, 3, 4)이 포함되어 있다.
- <84> 도 24 내지 도 30에서는, 상하로 인접한 2개 내부 전극의 총 리드 개수의 평균은 6이다. 도 24를 참조하면, 6개의 내부 전극이 연속 배치되어 1개의 블록을 이룬다. 이 블록 내에는 총 4가지 전극 패턴(1, 2, 3, 4)이 포함되어 있다.
- <85> 또한 도 25를 참조하면, 4개의 내부 전극이 연속 배치되어 1개의 블록을 이룬다. 이 블록 내에는 총 3가지 전극 패턴(1, 2, 3)이 포함되어 있다.
- <86> 도 31 내지 도 33에서는, 상하로 인접한 2개 내부 전극의 총 리드 개수의 평균은 7이다. 도 34에서는, 상하로 인접한 2개 내부 전극의 총 리드 개수의 평균은 2.5이다. 도 35 내지 도 39에서는, 상하로 인접한 2개 내부 전극의 총 리드 개수의 평균은 3.5이다. 도 40 내지 도 46에서는, 상하로 인접한 2개 내부 전극의 총 리드 개수의 평균은 4.5이다. 도 47 내지 도 53에서는, 상하로 인접한 2개 내부 전극의 총 리드 개수의 평균은 5.5이다. 도 54 내지 도 57에서는, 상하로 인접한 2개 내부 전극의 총 리드 개수의 평균은 6.5이다. 도 58에서는, 상하로 인접한 2개 내부 전극의 총 리드 개수의 평균은 7.5이다.
- <87> 상술한 바와 같이, 상하로 인접한 2개 내부 전극의 총 리드 개수의 평균을 조절하여 정함으로써 ESR을 효과적으로 제어할 수 있고, 정해진 리드수에서 이중 극성의 리드간 거리를 가능하면 작게함으로써 저ESL을 구현할 수 있게 된다.
- <88> 본 발명은 상술한 실시형태 및 첨부된 도면에 의해 한정되는 것이 아니고, 첨부된 청구범위에 의해 한정하고자 하며, 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 다양한 형태의 치환, 변형 및 변경이 가능하다는 것은 당 기술분야의 통상의 지식을 가진 자에게 자명할 것이다.

발명의 효과

- <89> 이상 설명한 바와 같이 본 발명에 따르면, 커패시터의 ESR을 높은 범위까지 용이하게 조절가능하고 낮은 ESL을 구현할 수 있다. 이에 따라, PDN 설계자에게 사용자 선택형 ESR 특성을 제공하도록 넓은 범위에서 ESR을 라인-업을 할 수 있고, 전원회로의 안정화에 기여할 수 있게 된다.

도면의 간단한 설명

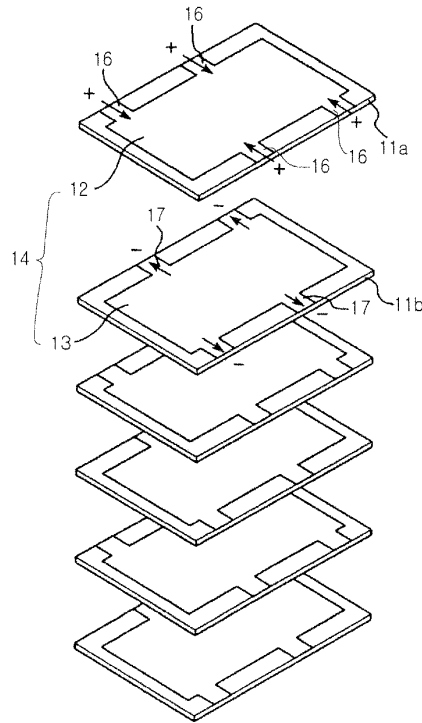
- <1> 도 1a는 종래의 적층형 칩 커패시터의 내부 전극 구조를 나타내는 분해 사시도이고, 도 1b는 도 1a의 적층형 칩 커패시터의 외형을 나타내는 사시도이다.
- <2> 도 2는 본 발명의 방법에 따라 구현된 적층형 칩 커패시터의 내부 전극 구조의 일례를 나타낸 평면도이다.
- <3> 도 3은 도 2의 적층형 칩 커패시터의 외형을 나타내는 사시도이다.
- <4> 도 4는 본 발명의 방법에 따라 구현된 적층형 칩 커패시터의 내부 전극 구조의 다른 예를 나타낸 평면도이다.
- <5> 도 5 내지 10은 본 발명의 방법에 따라 구현된 적층형 칩 커패시터의 내부 전극 구조의 여러가지 예들을 나타낸

평면도이다.

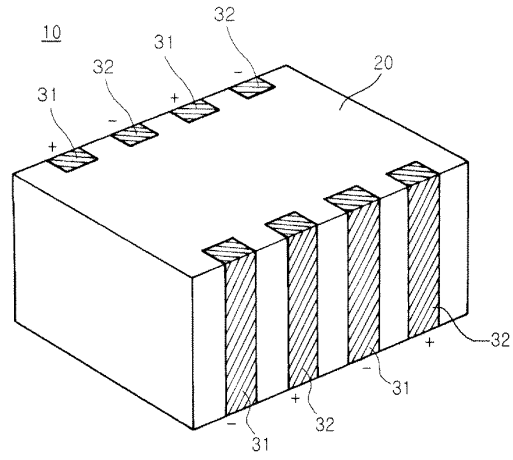
- <6> 도 11a 및 도 11b는 본 발명에 적용될 수 있는 외부 전극의 단면 구조를 나타낸 도면들이다.
- <7> 도 12 내지 도 58은 본 발명의 방법에 따라 구현된 적층형 칩 커패시터의 내부 전극 구조의 예들을 나타낸 평면도이다.
- <8> <도면의 주요부분에 대한 부호의 설명>
- <9> 100: 적층형 칩 커패시터 120: 커패시터 본체
- <10> 131-138: 외부 전극 1000: 유전체층
- <11> 1010, 1020, 1030, 1040, 1050, 1060, 1070: 내부 전극
- <12> 1010a, 1020a, 1020b, 1030a, 1040a, 1040b, 1050a, 1060a, 1060b, 1070a: 리드

도면

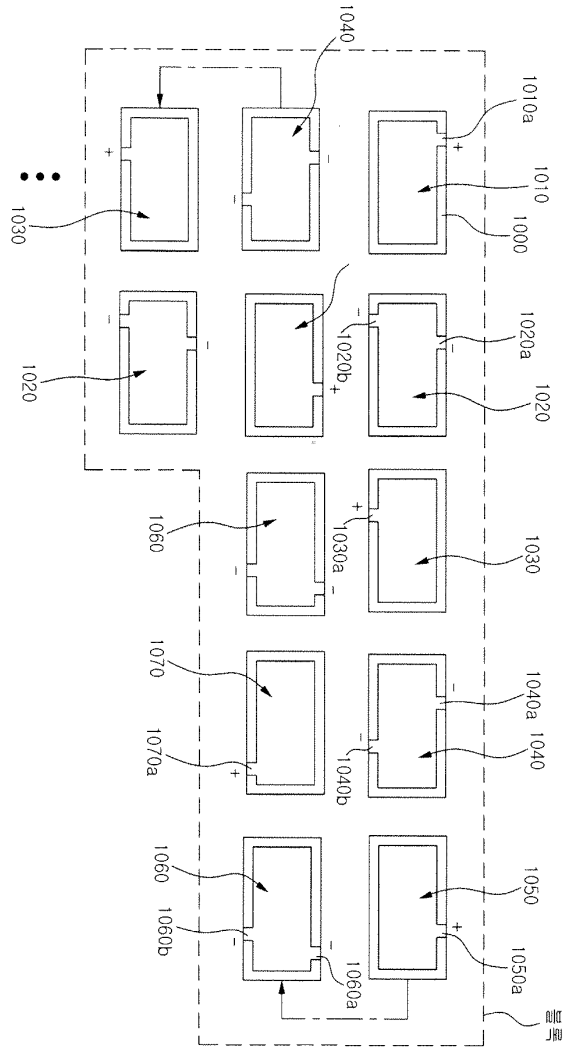
도면1a



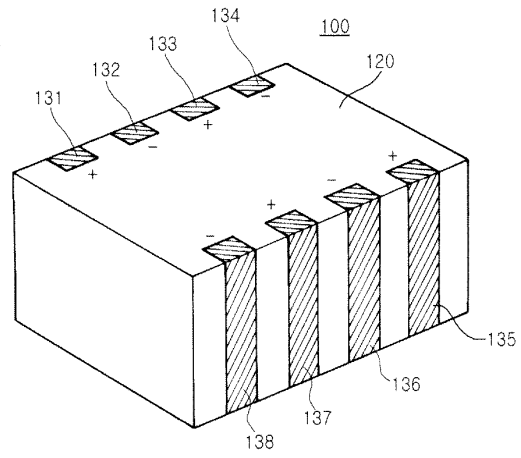
도면 1b



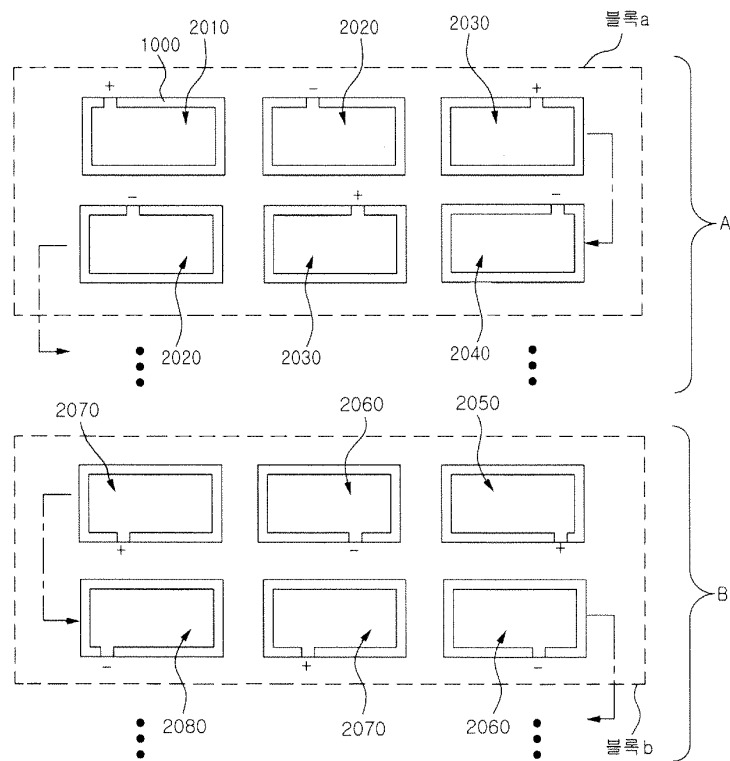
도면2



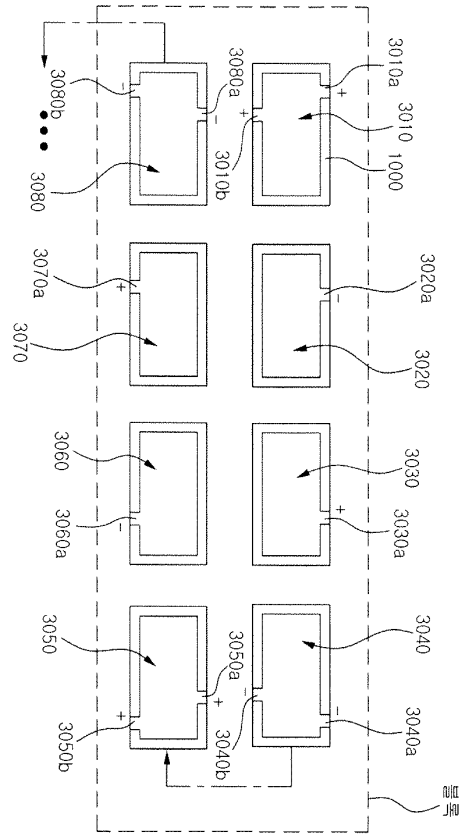
도면3



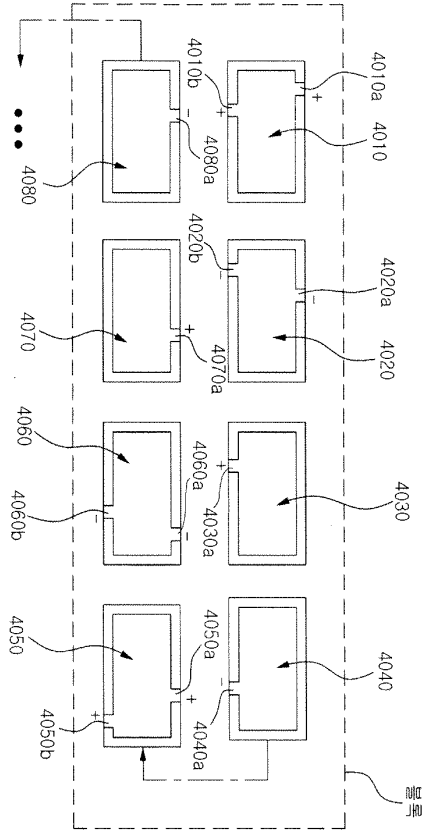
도면4



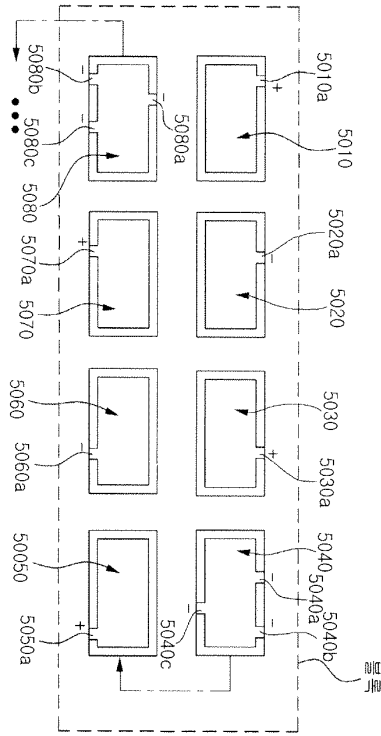
도면5



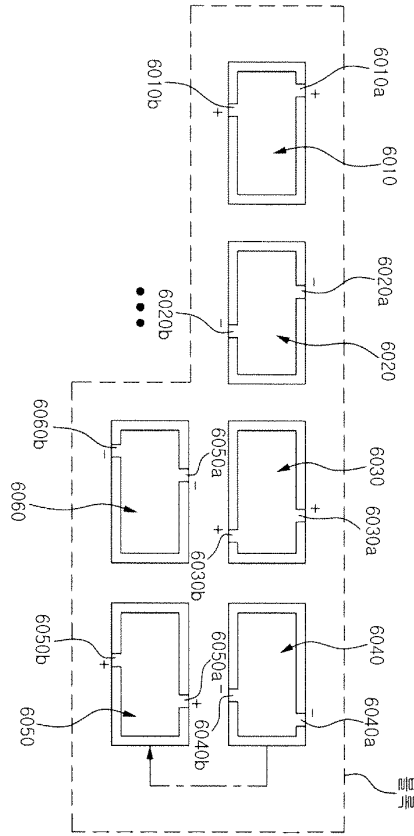
도면6



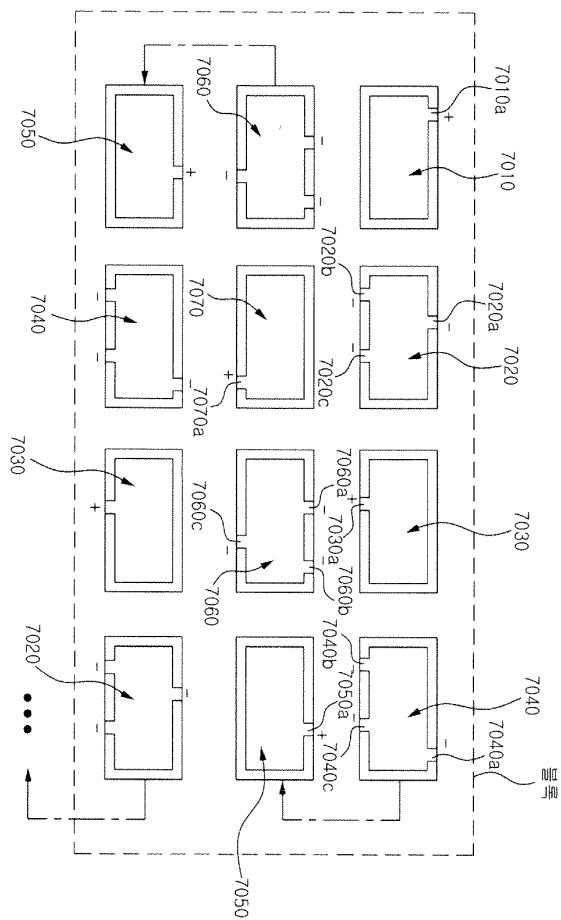
도면7



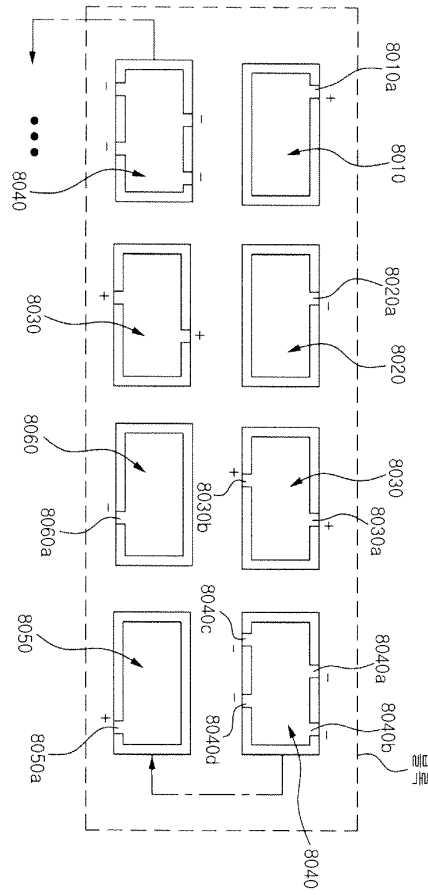
도면8



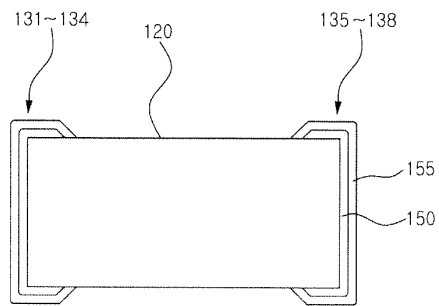
도면9



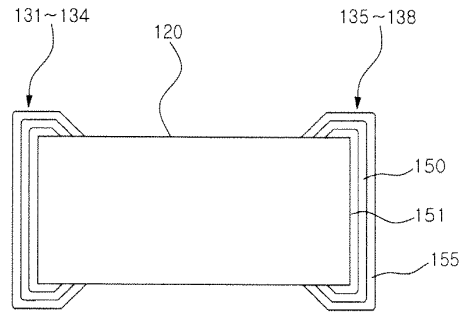
도면10



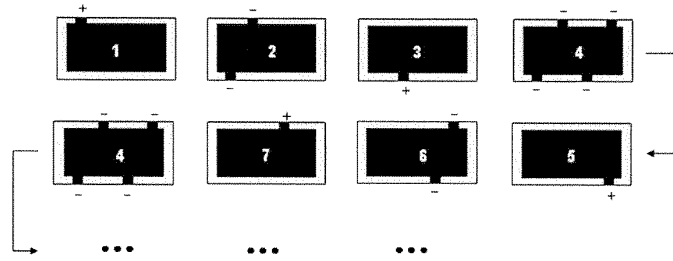
도면11a



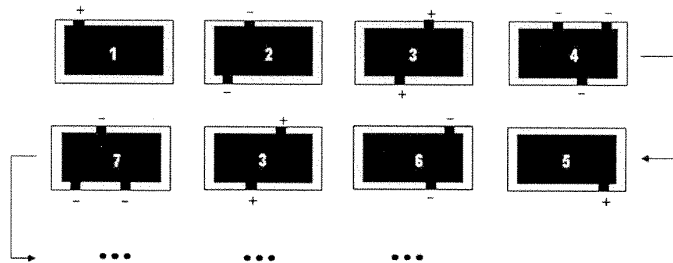
도면11b



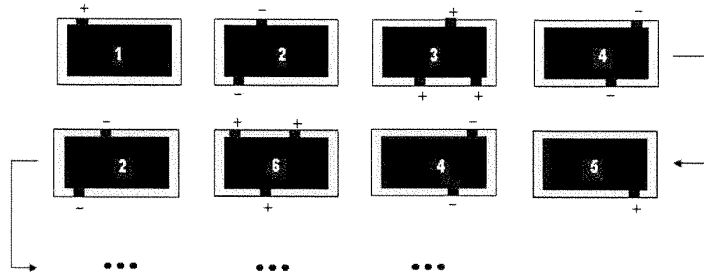
도면12



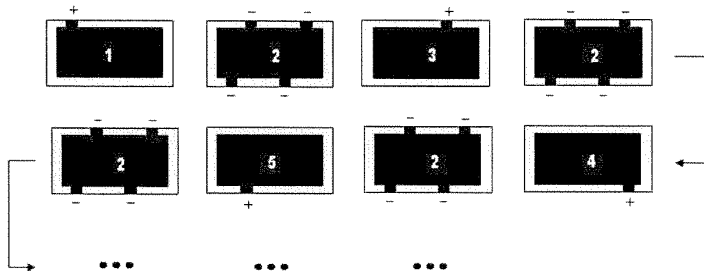
도면13



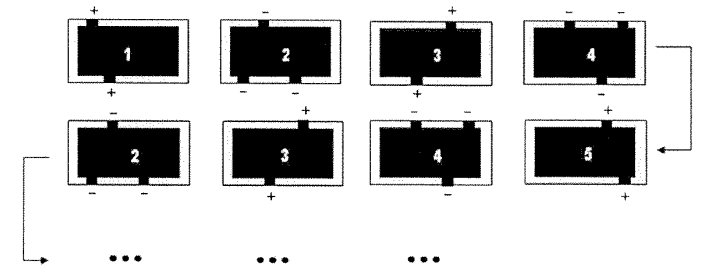
도면14



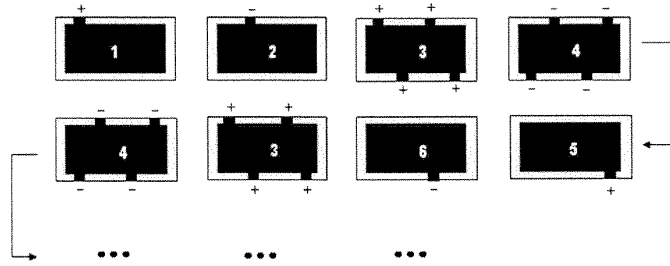
도면15



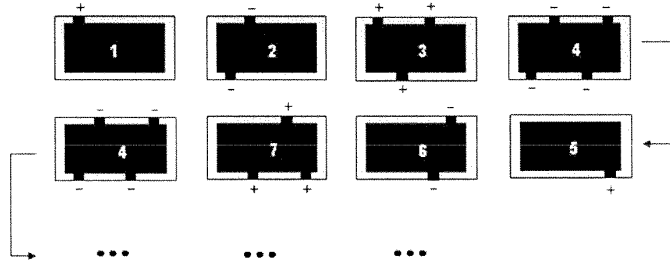
도면16



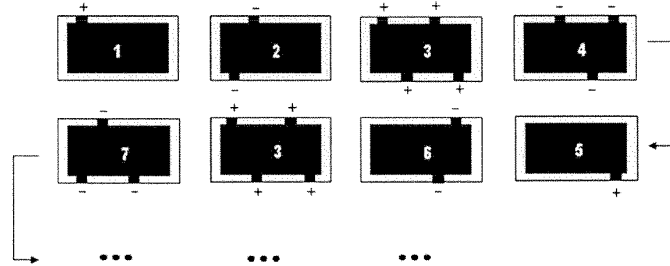
도면17



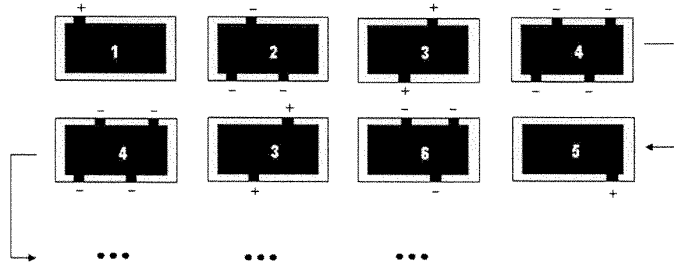
도면18



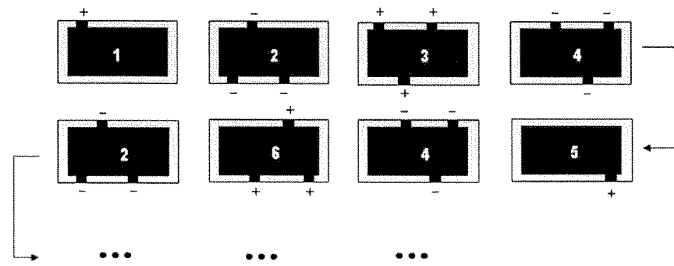
도면19



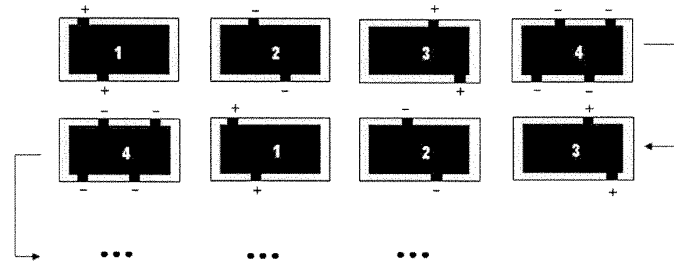
도면20



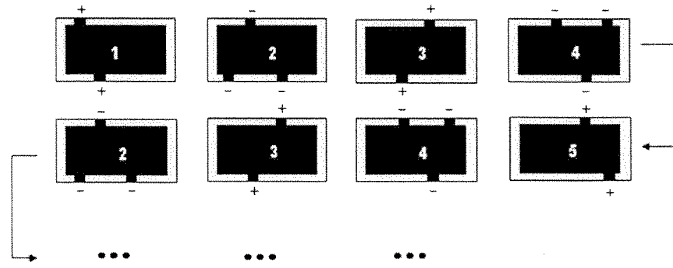
도면21



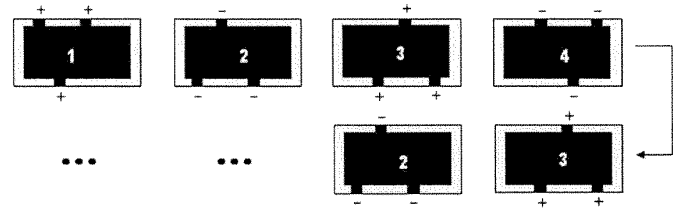
도면22



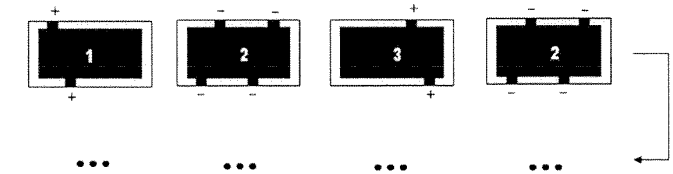
도면23



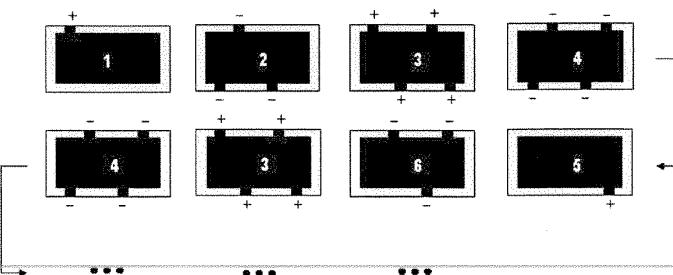
도면24



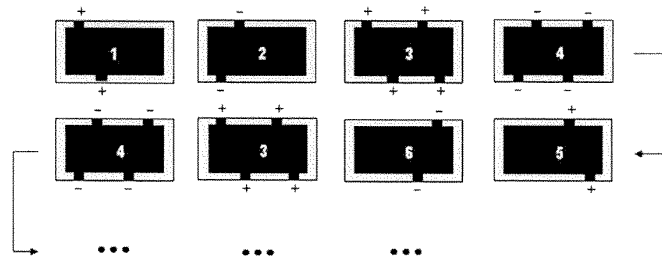
도면25



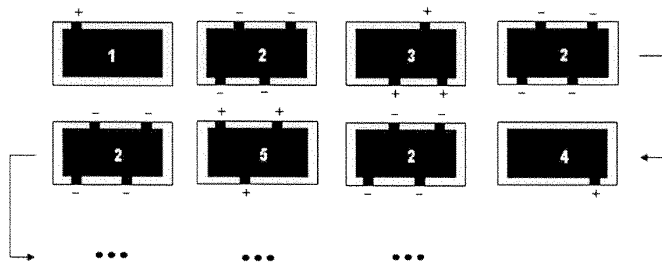
도면26



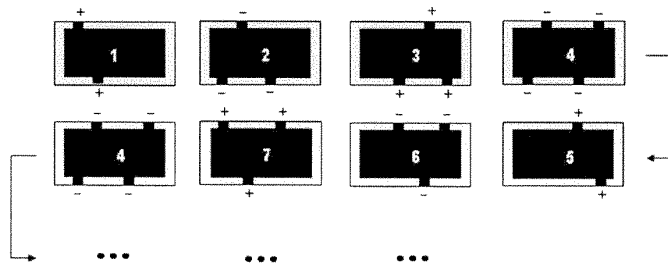
도면27



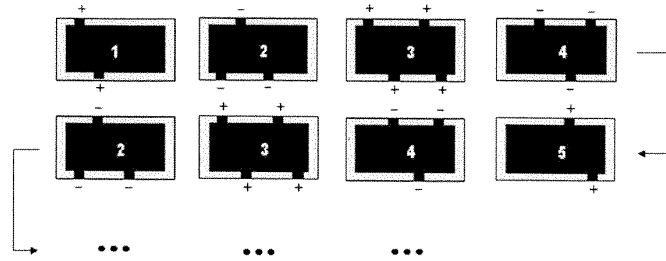
도면28



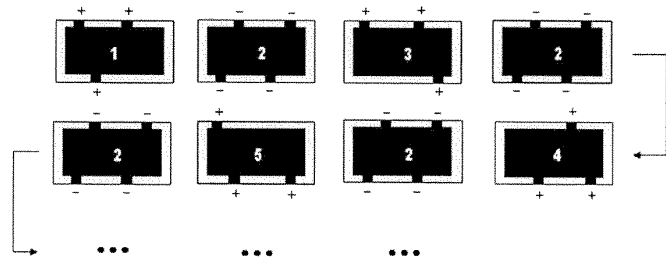
도면29



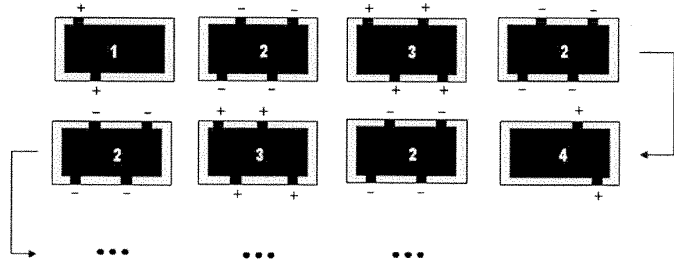
도면30



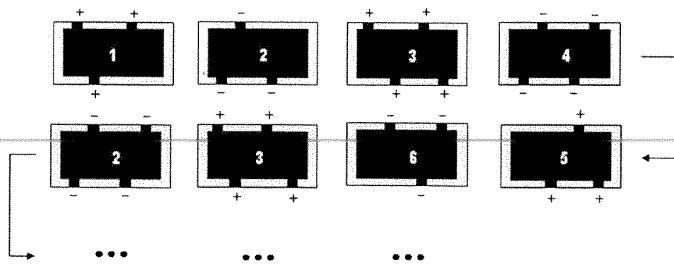
도면31



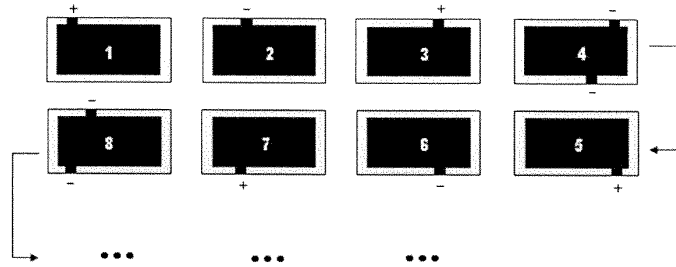
도면32



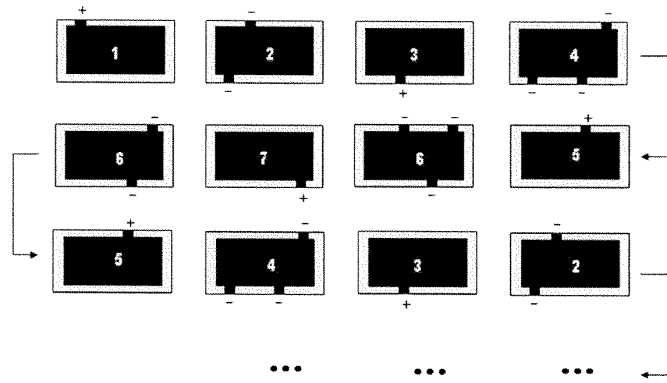
도면33



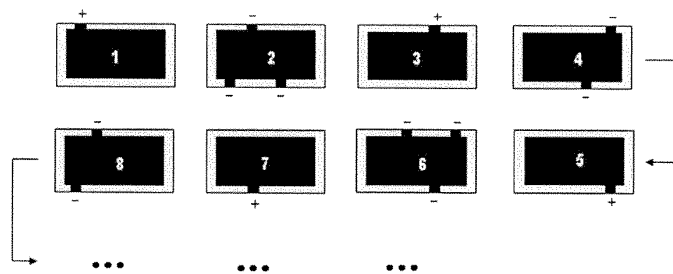
도면34



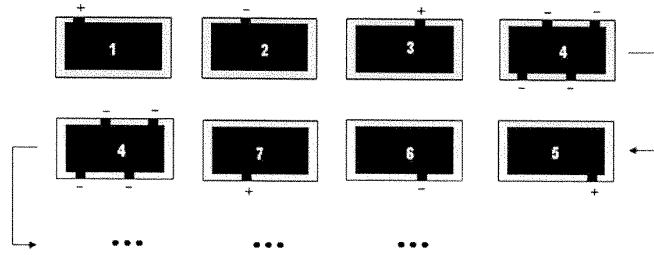
도면35



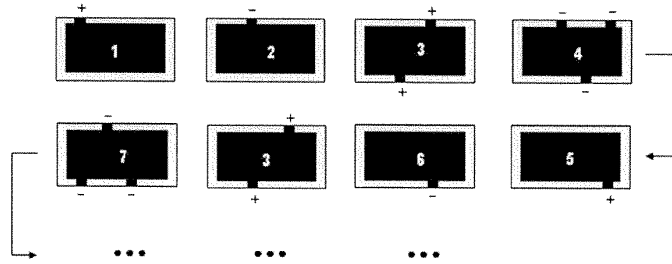
도면36



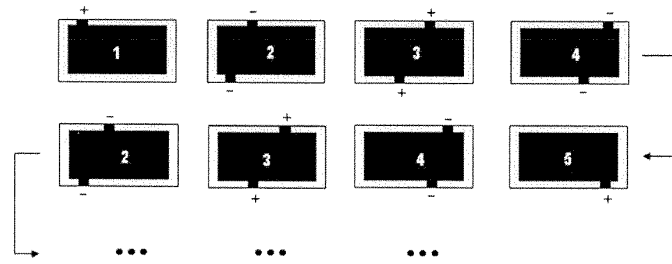
도면37



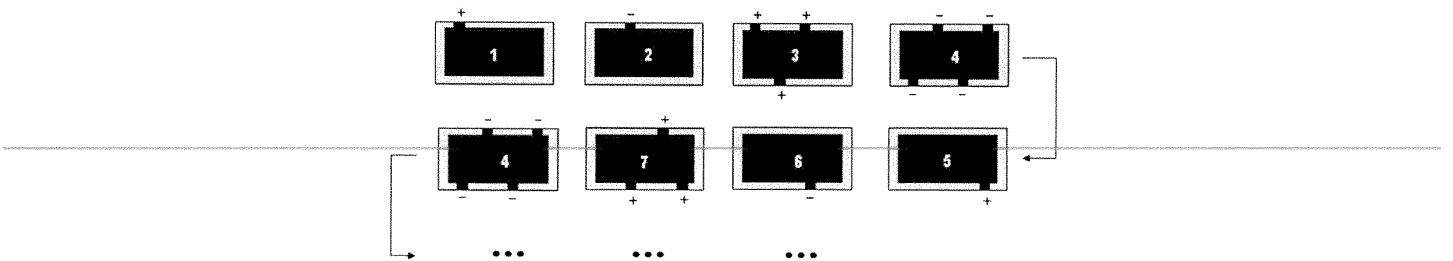
도면38



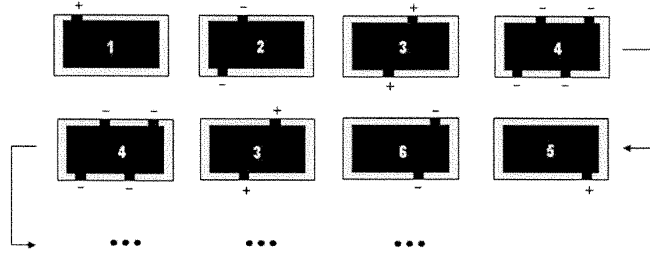
도면39



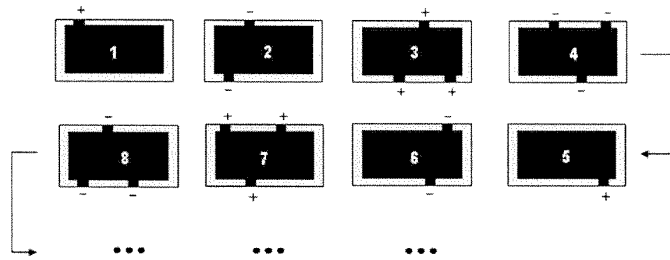
도면40



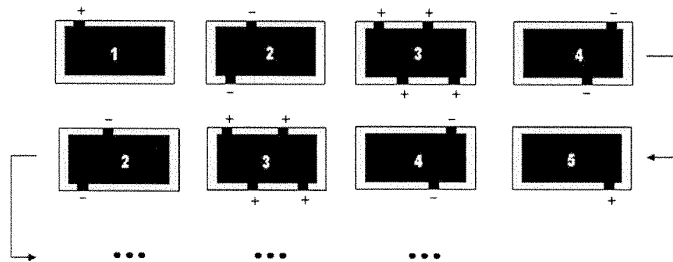
도면41



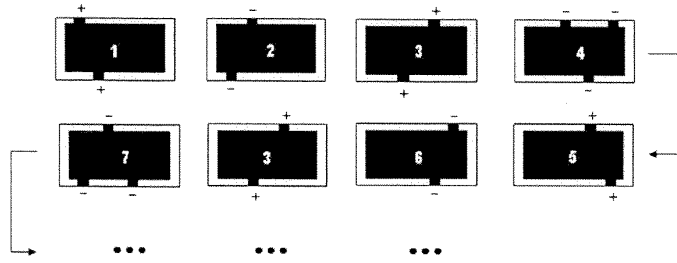
도면42



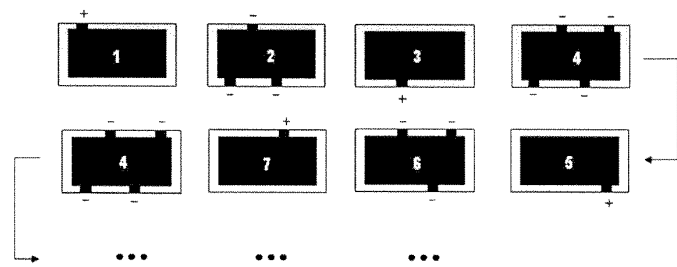
도면43



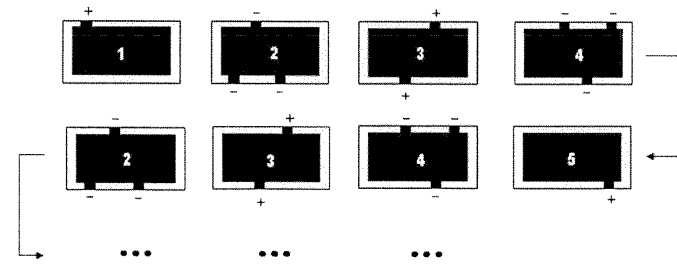
도면44



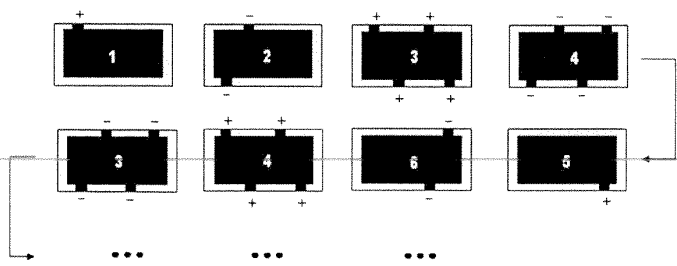
도면45



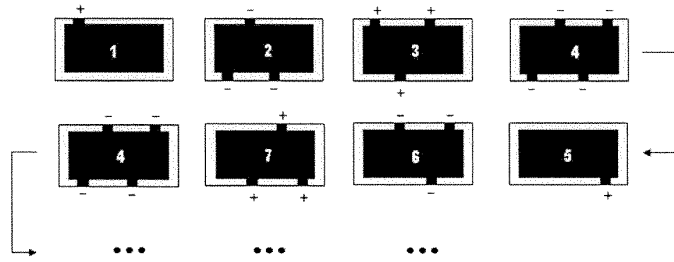
도면46



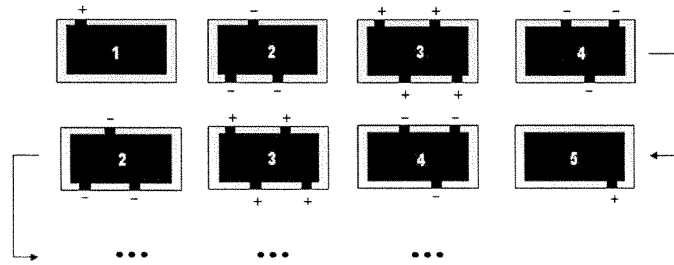
도면47



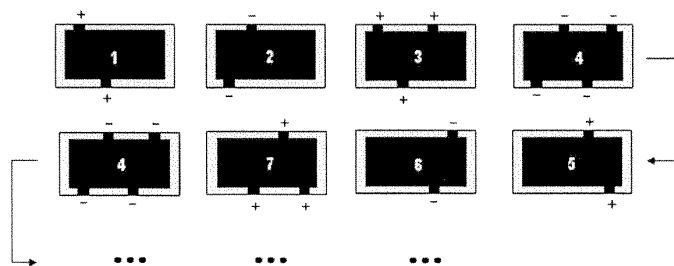
도면48



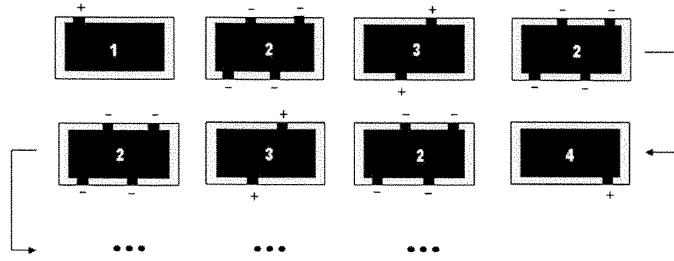
도면49



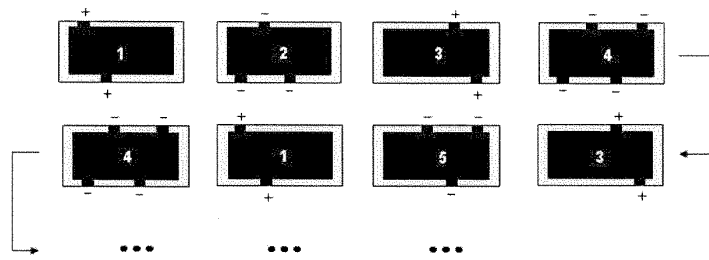
도면50



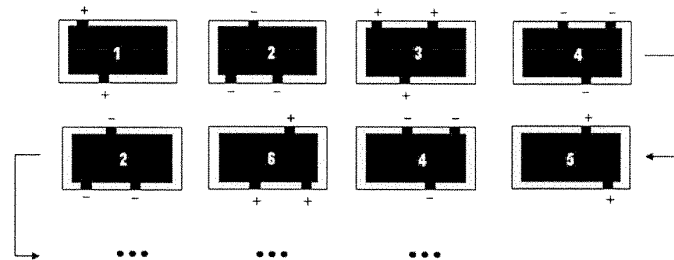
도면51



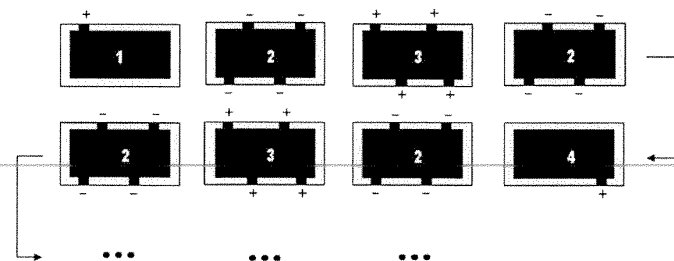
도면52



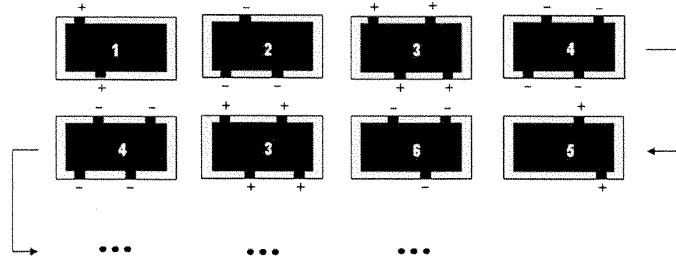
도면53



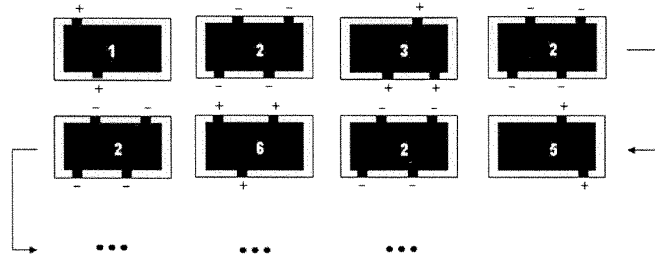
도면54



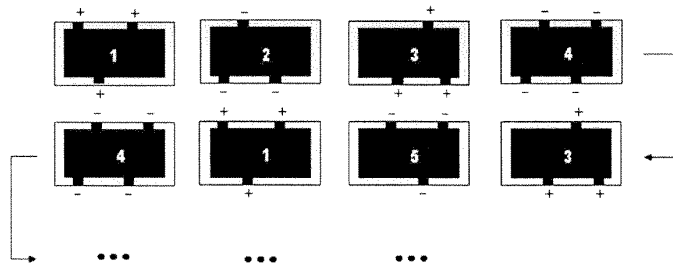
도면55



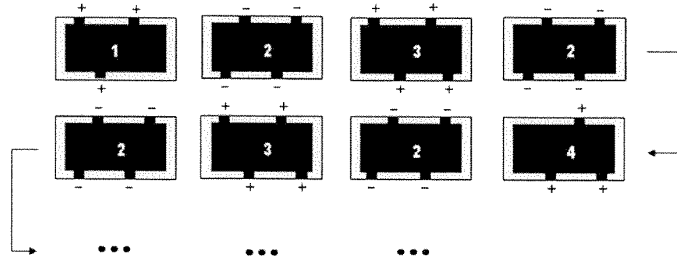
도면56



도면57



도면58



Electronic Patent Application Fee Transmittal

Application Number:					
Filing Date:					
Title of Invention:	MULTILAYER CERAMIC CAPACITOR AND BOARD HAVING THE SAME MOUNTED THEREON				
First Named Inventor/Applicant Name:	Byoung Hwa LEE				
Filer:	Stephen Alan Becker/4233/Matilda Mason				
Attorney Docket Number:	093814-0302				
Filed as Large Entity					
Utility under 35 USC 111(a) Filing Fees					
Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)	
Basic Filing:					
Utility application filing	1011	1	280	280	
Utility Search Fee	1111	1	600	600	
Utility Examination Fee	1311	1	720	720	
Pages:					
Claims:					
Miscellaneous-Filing:					
Petition:					
Patent-Appeals-and-Interference:					

Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				
Miscellaneous:				
Total in USD (\$)				1600

Electronic Acknowledgement Receipt

EFS ID:	18830362
Application Number:	14259011
International Application Number:	
Confirmation Number:	5037
Title of Invention:	MULTILAYER CERAMIC CAPACITOR AND BOARD HAVING THE SAME MOUNTED THEREON
First Named Inventor/Applicant Name:	Byoung Hwa LEE
Customer Number:	20277
Filer:	Stephen Alan Becker/4233/Matilda Mason
Filer Authorized By:	Stephen Alan Becker
Attorney Docket Number:	093814-0302
Receipt Date:	22-APR-2014
Filing Date:	
Time Stamp:	19:26:24
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Deposit Account
Payment was successfully received in RAM	\$1600
RAM confirmation Number	5303
Deposit Account	500417
Authorized User	

The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows:

Charge any Additional Fees required under 37 C.F.R. Section 1.16 (National application filing, search, and examination fees)

Charge any Additional Fees required under 37 C.F.R. Section 1.17 (Patent application and reexamination processing fees)

Charge any Additional Fees required under 37 C.F.R. Section 1.19 (Document supply fees)

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Transmittal of New Application	TRANSMITTAL_093814-0302.pdf	105226 2b20f3cbcaa815a857be9e69133e9ccc0138a9a	no	2
Warnings:					
Information:					
2	Power of Attorney	POA_093814-0302.pdf	123823 f63cd33d435af85ac892f22ca769d3117b207c13	no	2
Warnings:					
Information:					
3	Application Data Sheet	ADS_093814-0302.pdf	1503379 39c62ec093cc2fba2dd1c0e2ee1c9e359fdbed65	no	8
Warnings:					
Information:					
4		Specification_093814-0302.pdf	200572 d24f182982520d1118048e27402e964e301dfe8c	yes	39
Multipart Description/PDF files in .zip description					
		Document Description	Start	End	
		Specification	1	32	
		Claims	33	38	
		Abstract	39	39	
Warnings:					
Information:					
5	Drawings-only black and white line drawings	Drawings_093814-0302.pdf	391338 4104bf8d168eee8baad0fccd9519d7c2aa8b4bce	no	5
Warnings:					
Information:					
6	Oath or Declaration filed	Declaration_Assignment_093814-0302.pdf	2492165 370542046974ca3480779ce188d6b052d9438a6f	no	3
Warnings:					
Information:					

7	Information Disclosure Statement (IDS) Form (SB08)	IDS_093814-0302.pdf	612367	no	4
			47bc51603379a90b104c032737523f877c99587		
Warnings:					
Information:					
8	Foreign Reference	JP2008192757.pdf	4989514	no	28
			f18b0c02ed49f97b32a297e6defcfa45e39d3abf		
Warnings:					
Information:					
9	Foreign Reference	KR1020080063680.pdf	1827500	no	18
			c655cf9df3de0bfe19202c2dc6fa7bd32f1c9f3a		
Warnings:					
Information:					
10	Foreign Reference	KR1020080110180.pdf	3282440	no	37
			136314828bf2e987e08eb5cbe90421a8e669c3c1		
Warnings:					
Information:					
11	Fee Worksheet (SB06)	fee-info.pdf	33330	no	2
			960835d4ef86c65007fb46550520c9a8423d63ad		
Warnings:					
Information:					
Total Files Size (in bytes):			15561654		
<p>This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.</p> <p><u>New Applications Under 35 U.S.C. 111</u> If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.</p> <p><u>National Stage of an International Application under 35 U.S.C. 371</u> If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.</p> <p><u>New International Application Filed with the USPTO as a Receiving Office</u> If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.</p>					

PATENT ASSIGNMENT COVER SHEET

Electronic Version v1.1
 Stylesheet Version v1.2

EPAS ID: PAT2824689

SUBMISSION TYPE:	NEW ASSIGNMENT
NATURE OF CONVEYANCE:	ASSIGNMENT
CONVEYING PARTY DATA	
Name	Execution Date
BYOUNG HWA LEE	03/25/2014
HEUNG KIL PARK	03/25/2014
KYO KWANG LEE	03/25/2014
YOUNG GHYU AHN	03/25/2014
SANG SOO PARK	03/25/2014
SOON JU LEE	03/25/2014
RECEIVING PARTY DATA	
Name:	SAMSUNG ELECTRO-MECHANICS CO., LTD.
Street Address:	MAEYOUNG-RO 150 (MAETAN-DONG), YOUNGTONG-GU
City:	SUWON-SI, GYEONGGI-DO
State/Country:	KOREA, REPUBLIC OF
PROPERTY NUMBERS Total: 1	
Property Type	Number
Application Number:	14259011
CORRESPONDENCE DATA	
Fax Number:	(202)756-8087
<i>Correspondence will be sent to the e-mail address first; if that is unsuccessful, it will be sent via US Mail.</i>	
Phone:	202-756-8000
Email:	mweipdocket@mwe.com
Correspondent Name:	MCDERMOTT WILL & EMERY LLP
Address Line 1:	THE MCDERMOTT BUILDING
Address Line 2:	500 NORTH CAPITOL STREET, N.W.
Address Line 4:	WASHINGTON, DISTRICT OF COLUMBIA 20001
ATTORNEY DOCKET NUMBER:	093814-0302
NAME OF SUBMITTER:	STEPHEN ALAN BECKER
SIGNATURE:	/Stephen Alan Becker/
DATE SIGNED:	04/22/2014
This document serves as an Oath/Declaration (37 CFR 1.63).	
Total Attachments: 3	

source=Declaration_Assignment_093814-0302#page1.tif
source=Declaration_Assignment_093814-0302#page2.tif
source=Declaration_Assignment_093814-0302#page3.tif

Attorney Docket No. _____

COMBINED DECLARATION AND ASSIGNMENT FOR PATENT APPLICATION

As a below named inventor, I hereby declare that:

I believe I am the original or an original joint inventor of a claimed invention in the application for which a patent is sought on the invention entitled:

MULTILAYER CERAMIC CAPACITOR AND
BOARD HAVING THE SAME MOUNTED THEREON

attached, or

United States application number or PCT international application
number _____ filed on _____.

The above-identified application was made or authorized to be made by me.

In the event that the filing date and/or application number are not entered above at the time I execute this document, and if such information is deemed necessary, I hereby authorize and request the registered practitioners of **McDermott Will & Emery LLP**, associated with the Customer Number 20277, to insert above the filing date and/or application number of the application.

I hereby acknowledge that any willful false statement made in this declaration is punishable under 18 U.S.C. 1001 by fine or imprisonment of not more than five (5) years, or both.

Attorney Docket No. _____

ASSIGNMENT

For good and valuable consideration, the receipt and sufficiency of which is hereby acknowledged, I hereby assign to

SAMSUNG ELECTRO-MECHANICS CO., LTD.

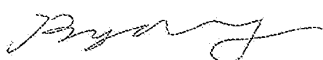
having an address at Maeyoung-Ro 150 (Maetan-Dong), Youngtong-Gu, Suwon-Si, Gyeonggi-Do, Republic of Korea (hereinafter designated as the Assignee), the entire (100%) right, title and interest for the United States as defined in 35 USC §100, in the invention described in the application identified in this document.

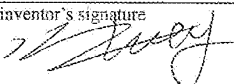
I hereby confirm any prior assignment to Assignee, and to the extent that I have not already done so, agree to assign, and hereby do, sell, assign and transfer unto Assignee and its successors in interest, the full and exclusive right, title and interest in the United States of America, including the right to claim priority under the laws of the United States, the Paris Convention, and any foreign countries, to the inventions as described in the aforesaid application, to the aforesaid application itself, and all divisions, continuations, continuations-in-part, or other applications claiming priority directly or indirectly from the aforesaid application, and any United States or foreign Letters Patent, utility model, or other similar rights which may be granted thereon, including reissues, reexaminations and extensions thereof, and all copyright rights in the aforesaid application and the subject matter disclosed therein, these rights, title and interest to be held and enjoyed by Assignee to the full end of the term for which the Letters Patent, utility model, or other similar rights, are granted and any extensions thereof as fully and entirely as the same would have been held by the undersigned had this assignment and sale not been made, and the right to sue for, and recover for past infringements of, or liabilities for, any of the rights relating to any of the applications, patents, utility models, or other similar rights, resulting therefrom, and the copyright rights;

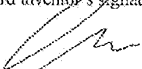
I hereby covenant and agree to execute all instruments or documents required or requested for the making and prosecution of any applications of any type for patent, utility model, or other similar rights, and for copyright, in the United States and in all foreign countries including, but not limited to, any provisional, continuation, continuation-in-part, divisional, renewal or substitute thereof, and as to letters patent any reissue, re-examination, or extension thereof, and for litigation regarding, or for the purpose of protecting title and to the said invention, the United States application for patent, or Letters Patent therefor, and to testify in support thereof, for the benefit of Assignee without further or other compensation than that above set forth;

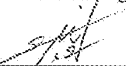
I hereby covenant that no assignment, sale, license, agreement or encumbrance has been or will be entered into which would conflict with this Assignment.

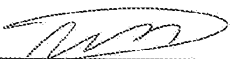
Attorney Docket No. _____


Legal name of first inventor LEE, Byoung Hwa	
First inventor's signature 	Date 2014. 3. 25

Legal name of second inventor PARK, Heung Kil	
Second inventor's signature 	Date 2014. 3. 25

Legal name of third inventor LEE, Kyo Kwang	
Third inventor's signature 	Date 2014. 3. 25

Legal name of fourth inventor AHN, Young Ghyu	
Fourth inventor's signature 	Date 2014. 3. 25

Legal name of fifth inventor PARK, Sang Soo	
Fifth inventor's signature 	Date 2014. 3. 25

Legal name of sixth inventor LEE, Soon Ju	
Sixth inventor's signature 	Date 2014. 3. 25