

PATENT ASSIGNMENT COVER SHEET

Electronic Version v1.1
 Stylesheet Version v1.2

EPAS ID: PAT4172189

SUBMISSION TYPE:	NEW ASSIGNMENT
NATURE OF CONVEYANCE:	ASSIGNMENT
CONVEYING PARTY DATA	
Name	Execution Date
CASIO COMPUTER CO., LTD.	04/11/2016
RECEIVING PARTY DATA	
Name:	SOLAS OLED LTD.
Street Address:	GALWAY TECHNOLOGY CENTRE
Internal Address:	MERVUE BUSINESS PARK
City:	GALWAY
State/Country:	IRELAND
Postal Code:	H91 D932
PROPERTY NUMBERS Total: 97	
Property Type	Number
Patent Number:	5834894
Patent Number:	6057647
Patent Number:	7580014
Patent Number:	7498733
Patent Number:	8174175
Patent Number:	7317429
Patent Number:	7499006
Patent Number:	7573068
Patent Number:	7871837
Patent Number:	7928932
Patent Number:	7576358
Patent Number:	7446338
Patent Number:	7982694
Patent Number:	8653569
Patent Number:	8294699
Patent Number:	8410482
Patent Number:	8633486
Patent Number:	8633487
Patent Number:	8692458

Property Type	Number
Patent Number:	7830084
Patent Number:	7511419
Patent Number:	7515123
Patent Number:	7420322
Patent Number:	7982394
Patent Number:	8564577
Patent Number:	8368677
Patent Number:	8350839
Patent Number:	8305373
Patent Number:	7969398
Patent Number:	8466910
Patent Number:	8339427
Patent Number:	7907105
Patent Number:	7701421
Patent Number:	7583261
Patent Number:	8497854
Patent Number:	8120601
Patent Number:	8339384
Patent Number:	8269760
Patent Number:	8269759
Patent Number:	8279211
Patent Number:	8570255
Patent Number:	8384629
Patent Number:	8502811
Patent Number:	8599186
Patent Number:	8803926
Patent Number:	7205967
Patent Number:	7355571
Patent Number:	7791568
Patent Number:	7515121
Patent Number:	7864167
Patent Number:	7417606
Patent Number:	7855699
Patent Number:	7580011
Patent Number:	7760161
Patent Number:	7944414
Patent Number:	7898507
Patent Number:	8362980

Property Type	Number
Patent Number:	7663615
Patent Number:	7907137
Patent Number:	8319711
Patent Number:	7499042
Patent Number:	8139007
Patent Number:	8144176
Patent Number:	8786525
Patent Number:	5990629
Patent Number:	7868880
Patent Number:	8482494
Patent Number:	7898562
Patent Number:	8199182
Patent Number:	7760168
Patent Number:	8354285
Patent Number:	5895692
Patent Number:	6908045
Patent Number:	7395976
Patent Number:	7732019
Patent Number:	7896722
Patent Number:	7887877
Patent Number:	8282436
Patent Number:	8464653
Patent Number:	8534222
Patent Number:	7981484
Patent Number:	7695759
Patent Number:	8049413
Patent Number:	7892059
Patent Number:	8087962
Patent Number:	8007334
Patent Number:	8012526
Patent Number:	7518393
Patent Number:	6072450
Patent Number:	7675491
Patent Number:	8077118
Patent Number:	8427170
Patent Number:	6091382
Patent Number:	7522810
Patent Number:	8410689

Property Type	Number
Patent Number:	7248237
Patent Number:	8446445

CORRESPONDENCE DATA

Fax Number: (310)826-6991
Correspondence will be sent to the e-mail address first; if that is unsuccessful, it will be sent using a fax number, if provided; if that is unsuccessful, it will be sent via US Mail.
Phone: 3108267474
Email: rmirzaie@raklaw.com, nwilson@raklaw.com, akim@raklaw.com
Correspondent Name: REZA MIRZAIE
Address Line 1: 12424 WILSHIRE BLVD., SUITE 1200
Address Line 4: LOS ANGELES, CALIFORNIA 90025

ATTORNEY DOCKET NUMBER:	3587-001
NAME OF SUBMITTER:	REZA MIRZAIE
SIGNATURE:	/Reza Mirzaie/
DATE SIGNED:	12/06/2016
	This document serves as an Oath/Declaration (37 CFR 1.63).

Total Attachments: 22

source=160411 PATENT ASSIGNMENT (Casio to Solas - FULLY EXECUTED)#page1.tif
source=160411 PATENT ASSIGNMENT (Casio to Solas - FULLY EXECUTED)#page2.tif
source=160411 PATENT ASSIGNMENT (Casio to Solas - FULLY EXECUTED)#page3.tif
source=160411 PATENT ASSIGNMENT (Casio to Solas - FULLY EXECUTED)#page4.tif
source=160411 PATENT ASSIGNMENT (Casio to Solas - FULLY EXECUTED)#page5.tif
source=160411 PATENT ASSIGNMENT (Casio to Solas - FULLY EXECUTED)#page6.tif
source=160411 PATENT ASSIGNMENT (Casio to Solas - FULLY EXECUTED)#page7.tif
source=160411 PATENT ASSIGNMENT (Casio to Solas - FULLY EXECUTED)#page8.tif
source=160411 PATENT ASSIGNMENT (Casio to Solas - FULLY EXECUTED)#page9.tif
source=160411 PATENT ASSIGNMENT (Casio to Solas - FULLY EXECUTED)#page10.tif
source=160411 PATENT ASSIGNMENT (Casio to Solas - FULLY EXECUTED)#page11.tif
source=160411 PATENT ASSIGNMENT (Casio to Solas - FULLY EXECUTED)#page12.tif
source=160411 PATENT ASSIGNMENT (Casio to Solas - FULLY EXECUTED)#page13.tif
source=160411 PATENT ASSIGNMENT (Casio to Solas - FULLY EXECUTED)#page14.tif
source=160411 PATENT ASSIGNMENT (Casio to Solas - FULLY EXECUTED)#page15.tif
source=160411 PATENT ASSIGNMENT (Casio to Solas - FULLY EXECUTED)#page16.tif
source=160411 PATENT ASSIGNMENT (Casio to Solas - FULLY EXECUTED)#page17.tif
source=160411 PATENT ASSIGNMENT (Casio to Solas - FULLY EXECUTED)#page18.tif
source=160411 PATENT ASSIGNMENT (Casio to Solas - FULLY EXECUTED)#page19.tif
source=160411 PATENT ASSIGNMENT (Casio to Solas - FULLY EXECUTED)#page20.tif
source=160411 PATENT ASSIGNMENT (Casio to Solas - FULLY EXECUTED)#page21.tif
source=160411 PATENT ASSIGNMENT (Casio to Solas - FULLY EXECUTED)#page22.tif

PATENT ASSIGNMENT AGREEMENT

THIS PATENT ASSIGNMENT AGREEMENT (the "Agreement"), is made and entered into this 11th day of April 2016 (the "Effective Date"), by and between Casio Computer Co., Ltd., a Japanese corporation organized under the laws of Japan, having its principal place of business at 6-2, Hon-machi 1-chome, Shibuya-ku, Tokyo 151-8543, Japan ("Assignor") and Solas OLED Ltd, a company organized under the laws of Ireland, having offices at Cloonakilla More, Strokestown, County Roscommon, Ireland ("Assignee") (each a "Party" and collectively the "Parties").

WHEREAS, Assignor is the owner of all rights, title and interest in and to the inventions (the "Inventions") as described and claimed in the United States and foreign patents and patent application as listed on Exhibit 1 hereto (collectively the "Patents");

WHEREAS, Assignor and Assignee have agreed by a Patent Purchase Agreement (the "Purchase Agreement") dated April 12, 2016 by and between Assignor and Assignee, the terms of which are incorporated herein by reference, that Assignor shall sell, transfer, assign and set over unto Assignee and Assignee shall accept, all rights, title and interest in and to the Patents as specified in this Agreement;

NOW, THEREFORE, in consideration of the mutual covenants and agreements of the Parties and pursuant to the Purchase Agreement, and for other good and valuable consideration, the receipt and sufficiency of which are hereby acknowledged, it is hereby agreed as follows:

I. ASSIGNMENT

1. Effective upon the Effective Date, Assignor hereby sells, transfers, assigns and sets over to Assignee all rights, title and interest (for all countries) in and to the Patents, and all the rights and privileges under any letters patent that may be granted under any continuations, divisions, reissues, reexaminations, renewals and extensions therefor and thereon and all continuations, divisions, reissues, reexaminations, renewals and extensions thereof; and all applications for industrial property protection, including without limitation, all applications for patents, utility models, copyright, and designs which may hereafter be filed for said Inventions



and Patents in any country or countries, together with the right to file such applications and the right to claim for the same the priority rights derived from the Patents under the patent laws of the United States, the International Convention for the Protection of Industrial Property, or any other international agreement or the domestic laws of the country in which any such application is filed, as may be applicable; and all forms of industrial property protection, including, without limitation, patents, utility models, inventors' certificates, copyrights and designs which may be granted for said Patent in any country or countries and all extensions, renewals and reissues thereof.

2. Assignor hereby authorizes and requests the Commissioner of Patents and Trademarks of the United States and any official of any country or countries foreign to the United States, whose duty is to issue patents or other evidence or forms of industrial property on applications as aforesaid, to issue the same to Assignee, its successors, assigns and legal representatives, or to such nominees as it may designate.
3. Assignor agrees that, whenever reasonably requested by Assignee and at Assignee's expense, Assignor will execute all papers, take all rightful oaths, and do all acts which may be reasonably necessary for securing and maintaining patents for the Inventions in any country and for vesting title thereto in Assignee, its successors, assigns and legal representatives or nominees.
4. Assignor authorizes and empowers Assignee, its successors, assigns and legal representatives or nominees, to invoke and claim for any application for patent or other form of protection for the Inventions, the benefit of the right of priority provided by the International Convention for the Protection of Industrial Property, as amended, or by any convention which may henceforth be substituted for it, or any other international agreement or the domestic laws of the country in which any such application is filed, as may be applicable, and to invoke and claim such right of priority without further written or oral authorization from Assignor.
5. Assignor hereby consents that a copy of this Agreement shall be deemed a full legal and formal equivalent of any assignment, consent to file or like document that may be required in any country for any purpose and more particularly in proof of the right of Assignee or nominee to claim



the aforesaid benefit of the right of priority provided by the International Convention for the Protection of Industrial Property, as amended, or by any convention which may henceforth be substituted for it.

6. All of the rights, title and interest in and to the Patents sold, transferred, assigned and set over to Assignee hereunder include all income, royalties, damages and payments now or hereafter due or payable with respect thereto, and all causes of action (whether in law or equity) and the right to sue, counterclaim, and recover for the past, present and future infringement of the rights assigned or to be assigned hereunder.

Assignor: Casio Computer Co., Ltd.

By: Kazuhiro Kashio
Name: Kazuhiro Kashio
Title: President and COO

Assignee: Solas OLED Ltd.

By: Gerald Padian
Name: Gerald Padian
Title: President

EXHIBIT I
The List of the Patents

Family	Country / Region	Number	Status
1	US	5834894	Registered
2	JP	3543170	Registered
	US	6057647	Registered
3	US	7580014	Registered
	KR	698349	Registered
	TW	1263183	Registered
	CN	ZL200410062038.8	Registered
4	EP	[5788333.2]	Pending
	US	7498733	Registered
	KR	835032	Registered
	TW	1300671	Registered
	CN	ZL200580015693.0	Registered
	JP	4265515	Registered
5	US	8174175	Registered
	HK	HK1126619	Registered
	CN	ZL200810131114.4	Registered
	CN	ZL201010163914.1	Registered
6	JP	3711760	Registered
7	JP	3767057	Registered
8	JP	4314687	Registered
9	JP	5028900	Registered
10	JP	4872510	Registered
11	JP	5212405	Registered
12	JP	3728615	Registered
13	JP	3728616	Registered
14	JP	3846819	Registered
15	JP	5190709	Registered
16	JP	4524810	Registered
17	JP	4424346	Registered
	US	7317429	Registered
	GB	1459126	Registered
	DE	60217916.5	Registered
	FR	1459126	Registered
	KR	620976	Registered
	TW	196,928	Registered
	CN	ZL02807511.0	Registered
18	JP	3925435	Registered

	US	7499006	Registered
	KR	544092	Registered
	TW	1263959	Registered
	CN	ZL200410007480.0	Registered
19	JP	5152448	Registered
	KR	684514	Registered
	TW	1279753	Registered
	CN	ZL200510128336.7	Registered
20	JP	4379278	Registered
	US	7573068	Registered
	US	7871837	Registered
	KR	735977	Registered
	TW	1279752	Registered
	CN	ZL200510106398.8	Registered
	CN	ZL200810083217.8	Registered
	JP	5040867	Registered
	JP	5017826	Registered
21	JP	4543315	Registered
	US	7928932	Registered
22	JP	4893753	Registered
	US	7576358	Registered
	KR	758062	Registered
	TW	1296899	Registered
	CN	ZL200510108481.9	Registered
	JP	4517804	Registered
23	EP	[5787737.5]	Pending
	EP	[9165677.7]	Pending
	JP	4254675	Registered
	US	7446338	Registered
	KR	812861	Registered
	TW	1293853	Registered
	CN	ZL200580015797.1	Registered
24	JP	4692828	Registered
	US	7982694	Registered
	KR	859237	Registered
	TW	1371016	Registered
	CN	ZL200710087681.X	Registered
25	JP	4883143	Registered
	US	8294699	Registered
	JP	5365605	Registered
26	TW	1453917	Registered
	US	8653569	Registered

	KR	1115974	Registered
	CN	ZL201010549758.2	Registered
	JP	5402481	Registered
27	JP	5381836	Registered
	KR	10-1215744	Registered
28	JP	4941572	Registered
	US	8410482	Registered
	KR	10-1174588	Registered
	TW	I440155	Registered
	CN	ZL201110081419.0	Registered
29	TW	[100124149]	Rejected
	US	8633486	Registered
	KR	1272373	Registered
30	JP	5205634	Registered
	CN	ZL201110271928.X	Registered
	TW	[100132831]	Rejected
	JP	5136616	Registered
	US	8633487	Registered
	KR	1298309	Registered
31	CN	ZL201110296194.0	Registered
	JP	5304761	Registered
	US	8692458	Registered
32	JP	5630169	Registered
33	JP	5630170	Registered
34	JP	5151802	Registered
35	JP	[2010156334]	Rejected
36	JP	5131446	Registered
37	JP	5305242	Registered
38	JP	4962682	Registered
39	JP	4748456	Registered
40	JP	[2010205020]	Rejected
41	JP	5358867	Registered
42	JP	5286873	Registered
43	JP	4993292	Registered
44	JP	3965583	Registered
45	JP	4379285	Registered
46	JP	5169688	Registered
47	JP	4706296	Registered
48	JP	4792748	Registered
49	JP	4192879	Registered
50	JP	5257828	Registered
51	JP	4395996	Registered

52	JP	4848767	Registered
53	JP	5110325	Registered
54	JP	4771501	Registered
	JP	4752968	Registered
55	JP	4640085	Registered
	US	7830084	Registered
	KR	789550	Registered
	TW	1350513	Registered
	CN	ZL200610163551.5	Registered
56	JP	5168121	Registered
57	JP	4687179	Registered
58	JP	4742317	Registered
59	JP	4747543	Registered
60	JP	4449341	Registered
	JP	5163619	Registered
61	JP	4432367	Registered
	JP	4873065	Registered
62	JP	4407169	Registered
63	JP	4752087	Registered
64	JP	4324718	Registered
65	JP	5589706	Registered
66	JP	3900617	Registered
67	JP	3873159	Registered
68	JP	3743876	Registered
69	JP	5163482	Registered
70	JP	5099452	Registered
71	JP	4192494	Registered
	US	7511419	Registered
	GB	1504631	Registered
	DE	60323361.9	Registered
	FR	1504631	Registered
	KR	581272	Registered
	TW	205203	Registered
	CN	ZL03800843.2	Registered
72	JP	4207683	Registered
	US	7515123	Registered
	KR	723645	Registered
	TW	1263182	Registered
	CN	ZL200410062034.X	Registered
73	JP	4525007	Registered
	US	7420322	Registered
	KR	637293	Registered

	TW	I237517	Registered
	CN	ZL200410062025.0	Registered
	JP	4465992	Registered
74	KR	10-1093403	Registered
	CN	ZL200880000767.7	Registered
75	JP	4983953	Registered
	US	7982394	Registered
76	JP	4888669	Registered
	US	8564577	Registered
77	CN	ZL201110080566.6	Registered
	TW	I479389	Registered
	JP	5163680	Registered
	JP	5234090	Registered
	US	8368677	Registered
	KR	1346456	Registered
78	JP	[2010216363]→5648395	Registered
79	JP	5061821	Registered
80	JP	5257104	Registered
81	JP	5428665	Registered
82	JP	5572980	Registered
83	JP	4797921	Registered
84	JP	5286865	Registered
85	JP	5245448	Registered
86	JP	3952618	Registered
87	JP	3796853	Registered
88	HK	HK1152584	Registered
	US	8350839	Registered
	KR	10-1192886	Registered
	TW	I423207	Registered
	CN	ZL200980103624.3	Registered
89	KR	[2010-7023237] → 10-1162001	Registered
	EP	[9775334.7]	Rejected
	JP	4957710	Registered
	US	8305373	Registered
	TW	I433085	Registered
	CN	ZL200980109537.9	Registered
90	KR	937133	Registered
	CN	ZL200680035904.1	Registered
91	JP	4314638	Registered
	US	7969398	Registered
	US	8466910	Registered
	US	8339427	Registered

	KR	967142	Registered
	TW	I385621	Registered
	HK	HK1112775	Registered
	CN	ZL200710152635.3	Registered
	JP	4284704	Registered
92	JP	4935979	Registered
	US	7907105	Registered
	KR	952024	Registered
	TW	I384447	Registered
	CN	ZL200780009548.0	Registered
93	EP	[7828894.1]	Pending
	JP	5240542	Registered
	US	7701421	Registered
	KR	10-1039218	Registered
	TW	I384448	Registered
	CN	ZL200780013062.4	Registered
94	JP	5240538	Registered
	US	7583261	Registered
	KR	1036654	Registered
	TW	I389080	Registered
	HK	HK1129486	Registered
	CN	ZL200780012841.2	Registered
95	JP	5240544	Registered
	US	8497854	Registered
	GB	2038872	Registered
	DE	602008000503.8	Registered
	FR	2038872	Registered
	KR	10-1142627	Registered
	TW	I404016	Registered
	HK	HK1134714	Registered
	CN	ZL200880000407.7	Registered
96	US	8120601	Registered
	KR	1069622	Registered
	TW	I420463	Registered
97	EP	[9788089.2]	Allowed
	JP	5157791	Registered
	US	8339384	Registered
	KR	1280631	Registered
	TW	I415057	Registered
	CN	ZL200980114456.8	Registered
98	EP	[9788088.4]	Allowed
	JP	5083245	Registered

	KR	10-1186397	Registered
	TW	I421825	Registered
	CN	ZL200980101171.0	Registered
99	EP	[9775332.1]	Rejected
	JP	5012775	Registered
	US	8269760	Registered
	KR	10-1206629	Registered
	TW	I437527	Registered
	CN	ZL200980109383.3	Registered
100	JP	5012774	Registered
	US	8269759	Registered
	KR	10-1206616	Registered
	TW	I413959	Registered
	HK	HK1154104B	Registered
	CN	ZL200980109381.4	Registered
101	JP	5012776	Registered
	US	8279211	Registered
	KR	10-1206700	Registered
	TW	I430224	Registered
	HK	HK1154106	Registered
	CN	ZL200980109538.3	Registered
102	JP	5218222	Registered
	US	8570255	Registered
	TW	I433108	Registered
	CN	ZL201010158636.0	Registered
103	US	8384629	Registered
104	JP	4877536	Registered
	JP	4935920	Registered
	KR	1248204	Registered
	TW	I433086	Registered
	CN	ZL201010227026.1	Registered
105	JP	5240581	Registered
	US	8502811	Registered
	KR	10-1156875	Registered
	TW	I446319	Registered
	CN	ZL201010609962.9	Registered
106	JP	5146521	Registered
	US	8599186	Registered
	KR	10-1156826	Registered
	TW	I425478	Registered
	CN	ZL201010610603.5	Registered
107	CN	ZL201110301891.0	Registered

	US	8803926	Registered
	KR	10-1327019	Registered
	TW	1447690	Registered
108	JP	5644337	Registered
109	JP	4085636	Registered
110	JP	4952886	Registered
111	JP	5256973	Registered
112	JP	5200539	Registered
113	JP	5381406	Registered
114	JP	5240534	Registered
115	JP	5365931	Registered
116	JP	5239974	Registered
	JP	3918642	Registered
	US	7205967	Registered
117	TW	1283847	Registered
	EP	[3736118.5]	Allowed
	JP	3972359	Registered
118	US	7355571	Registered
	US	7791568	Registered
	KR	610549	Registered
	TW	203656	Registered
	CN	ZL03813240.0	Registered
	JP	4610843	Registered
119	US	7515121	Registered
	GB	1417670	Registered
	DE	60344120.3	Registered
	FR	1417670	Registered
	CA	2460747	Registered
	KR	663391	Registered
	AU	2003238700	Registered
	TW	1250483	Registered
	HK	HK1073379B	Registered
	SG	103596	Registered
	CN	ZL03801202.2	Registered
	CN	ZL200710106362.9	Registered
	MX	254237	Registered
	120	EP	[3792803.3]
EP		[7010451.8]	Pending
JP		4103500	Registered
US		7248237	Registered
CA		2463486	Registered
KR		570903	Registered

	TW	1305338	Registered
	HK	HK1074275	Registered
	SG	104016	Registered
	CN	ZL03801390.8	Registered
121	EP	[3809859.6]	Rejected
	JP	4247660	Registered
	JP	4241144	Registered
	JP	4811434	Registered
	JP	4074995	Registered
	US	7864167	Registered
	KR	803412	Registered
	TW	1249151	Registered
	CN	ZL200380102401.8	Registered
122	JP	3952965	Registered
	US	7417606	Registered
	KR	550680	Registered
	TW	1286302	Registered
	CN	ZL200410006675.3	Registered
123	EP	[4723045.3]	Rejected
	JP	3952979	Registered
	US	7855699	Registered
	KR	742838	Registered
	TW	1248060	Registered
	HK	1087515	Registered
	CN	ZL200480008060.2	Registered
124	JP	4232193	Registered
	JP	4019321	Registered
	JP	4103139	Registered
	JP	4074994	Registered
	KR	742063	Registered
	TW	1263963	Registered
	CN	ZL200410063928.0	Registered
125	JP	4304585	Registered
	JP	4941426	Registered
	US	7580011	Registered
	TW	1249154	Registered
	CN	ZL200410069423.5	Registered
126	JP	4103079	Registered
	US	7760161	Registered
127	JP	4111128	Registered
	KR	626754	Registered
	TW	1263188	Registered

128	EP	[5745906.7]	Allowed
	JP	4203659	Registered
	JP	4517387	Registered
	JP	4329867	Registered
	JP	4535198	Registered
	JP	4329868	Registered
	US	7944414	Registered
	TW	I316216	Registered
	HK	HK1096482	Registered
129	CN	ZL200580000625.7	Registered
	US	7898507	Registered
	US	8362980	Registered
	KR	639077	Registered
	TW	I315858	Registered
130	CN	ZL200510082365.4	Registered
	EP	[5816738.8]	Pending
	JP	4400438	Registered
	JP	4400443	Registered
	US	7663615	Registered
	KR	854857	Registered
	TW	I327719	Registered
131	CN	ZL200580004792.9	Registered
	HK	[7113952.2]	Abandoned
	EP	[6731231.4]	Pending
	JP	4852866	Registered
	US	7907137	Registered
	KR	842488	Registered
	TW	I330817	Registered
	JP	5182383	Registered
	JP	4798342	Registered
	JP	5182382	Registered
132	JP	4284558	Registered
133	JP	5540556	Registered
	JP	4470955	Registered
	US	8319711	Registered
134	HK	HK1136686	Registered
	JP	5467484	Registered
	KR	10-1178981	Registered
	TW	I411997	Registered
	CN	ZL200880000765.8	Registered
135	JP	3915907	Registered

136	JP	3979331	Registered
137	JP	3915906	Registered
138	JP	4305085	Registered
139	JP	4486335	Registered
140	JP	4496469	Registered
141	JP	5381823	Registered
142	JP	4203656	Registered
	EP	[5703959.6]	Abandoned
	US	7499042	Registered
	KR	675551	Registered
	TW	I286303	Registered
	CN	ZL200580000077.8	Registered
143	JP	4161373	Registered
144	JP	4877261	Registered
	JP	4816744	Registered
	US	8139007	Registered
	KR	1074760	Registered
	TW	I407826	Registered
	CN	ZL200910128346.9	Registered
145	JP	4798249	Registered
	US	8144176	Registered
146	KR	10-1171573	Registered
	TW	I428889	Registered
	CN	ZL201010503599.2	Registered
147	CN	ZL201110283515.3	Registered
	JP	5170194	Registered
	JP	5338784	Registered
	US	8786525	Registered
	KR	1322322	Registered
	TW	I446819	Registered
148	JP	4355846	Registered
149	JP	4158570	Registered
150	JP	4048497	Registered
151	JP	5217859	Registered
152	JP	5299007	Registered
153	JP	5338224	Registered
154	JP	5223756	Registered
155	JP	4114216	Registered
	US	5990629	Registered
	KR	293329	Registered
	TW	135,692	Registered
	CN	ZL 98 8 00067.9	Registered

156	JP	5110341	Registered
	US	7868880	Registered
	GB	1889249	Registered
	GB	2267691	Registered
	DE	602006036438.5	Registered
	DE	602006040312.7	Registered
	FR	1889249	Registered
	FR	2267691	Registered
	KR	962768	Registered
	TW	1328398	Registered
	CN	ZL200680004494.4	Registered
157	JP	4753096	Registered
	JP	4780121	Registered
	JP	5077390	Registered
	US	8482494	Registered
158	JP	4743485	Registered
159	JP	4632455	Registered
	US	8446445	Registered
160	JP	4548462	Registered
	US	7898562	Registered
	US	8199182	Registered
161	JP	5145723	Registered
162	JP	5211492	Registered
163	JP	4640396	Registered
164	JP	5444867	Registered
165	JP	5428063	Registered
166	JP	4645580	Registered
167	JP	4577661	Registered
168	JP	4798460	Registered
169	JP	4576588	Registered
170	JP	5098725	Registered
171	JP	5256887	Registered
172	JP	4222426	Registered
	US	7760168	Registered
	KR	894586	Registered
	TW	1380263	Registered
	CN	ZL200710305777.9	Registered
173	US	8354285	Registered
	KR	10-1208283	Registered
	TW	1445169	Registered
	JP	5476878	Registered
	CN	ZL201010284220.3	Registered

174	JP	4962838	Registered
175	JP	3900611	Registered
176	JP	4900876	Registered
177	US	5895692	Expired
178	JP	4306231	Registered
	KR	578283	Registered
	TW	1259988	Registered
	CN	ZL200310123739.3	Registered
179	US	6908045	Registered
	US	7395976	Registered
	US	7732019	Registered
	KR	561009	Registered
	TW	1293258	Registered
	CN	ZL200410003532.7	Registered
180	EP	[5012238.1]	Rejected
	JP	4424078	Registered
	KR	736008	Registered
	TW	1300621	Registered
	CN	ZL200510076584.1	Registered
	JP	4315058	Registered
181	JP	4251329	Registered
	US	7896722	Registered
	KR	828870	Registered
	TW	1359625	Registered
	CN	ZL200610169400.0	Registered
	CN	ZL200910148615.4	Registered
182	JP	4251330	Registered
	JP	4968247	Registered
	JP	5071360	Registered
	US	7887877	Registered
	KR	828871	Registered
	TW	1350603	Registered
	CN	ZL200610170145.1	Registered
183	JP	4251331	Registered
	KR	856624	Registered
	TW	1374685	Registered
	CN	ZL200610156776.8	Registered
184	JP	4725577	Registered
	KR	993498	Registered
	CN	ZL200810190223.3	Registered
185	JP	5028402	Registered
	JP	5126309	Registered

186	CN	ZL201010243496.7	Registered
	US	8282436	Registered
	TW	1439168	Registered
187	TW	[99128372]	Rejected
	JP	5126185	Registered
	US	8464653	Registered
	KR	10-1159461	Registered
	CN	ZL201010266761.3	Registered
188	JP	4877372	Registered
	KR	10-1174575	Registered
	CN	ZL201010267774.2	Registered
189	JP	5267519	Registered
	US	8534222	Registered
	KR	10-1202099	Registered
	TW	1436832	Registered
	CN	ZL201010274643.7	Registered
190	US	[13/048376]	Rejected
	TW	[100109051]	Abandoned
	JP	5381842	Registered
	JP	5381841	Registered
	KR	10-1180526	Registered
	CN	ZL201110066780.6	Registered
191	JP	5217564	Registered
192	JP	5077136	Registered
193	JP	5228713	Registered
194	JP	4423710	Registered
195	JP	3900675	Registered
196	JP	4288732	Registered
197	JP	4253883	Registered
198	JP	4217820	Registered
199	JP	4697422	Registered
200	JP	4998710	Registered
201	JP	5381414	Registered
202	JP	3807114	Registered
203	JP	4696616	Registered
204	JP	4622580	Registered
205	JP	4061912	Registered
206	JP	5125686	Registered
207	JP	4843995	Registered
208	JP	4687351	Registered
209	JP	5152115	Registered
210	JP	5240115	Registered

211	JP	5515488	Registered
212	JP	5347805	Registered
213	JP	5458725	Registered
214	JP	5504736	Registered
215	JP	5515491	Registered
216	JP	5440011	Registered
217	JP	5444921	Registered
218	JP	4258226	Registered
219	JP	5201484	Registered
220	JP	4506788	Registered
	JP	4019791	Registered
221	JP	4857688	Registered
	US	7981484	Registered
	KR	782619	Registered
	TW	1339450	Registered
	CN	ZL200610163549.8	Registered
222	US	7695759	Registered
	US	8049413	Registered
	KR	817992	Registered
	TW	1352427	Registered
	CN	ZL200710138896.X	Registered
	JP	4415971	Registered
	JP	4366721	Registered
	US	7892059	Registered
	KR	868427	Registered
CN	ZL200710142101.2	Registered	
223	JP	4497185	Registered
	US	8087962	Registered
	KR	1004856	Registered
	TW	1384900	Registered
	CN	ZL200810215085.X	Registered
224	KR	[2009-55493] → 10-1161926	Registered
	JP	4697265	Registered
	JP	4697266	Registered
225	JP	4517569	Registered
226	JP	4935599	Registered
227	JP	5109542	Registered
228	JP	4591837	Registered
229	JP	4710847	Registered
230	JP	4258239	Registered
231	JP	4811292	Registered
232	JP	4930303	Registered

233	JP	5267845	Registered
234	JP	4760168	Registered
235	JP	5056476	Registered
236	JP	4774891	Registered
237	JP	4760063	Registered
238	HK	[9109880.5]	Abandoned
	JP	4953166	Registered
	US	8007334	Registered
	KR	1004874	Registered
	TW	1391022	Registered
	CN	ZL200810178321.5	Registered
239	TW	1455321	Registered
	KR	1137798	Registered
240	JP	5691167	Registered
241	JP	5201381	Registered
242	JP	5083599	Registered
243	JP	5428142	Registered
244	JP	5120528	Registered
245	JP	5119635	Registered
246	JP	5526862	Registered
247	JP	5532225	Registered
248	JP	4947103	Registered
	JP	4947104	Registered
249	JP	4078860	Registered
250	JP	5012739	Registered
251	JP	3948082	Registered
252	JP	4692415	Registered
	US	8012526	Registered
	KR	939688	Registered
	TW	1339905	Registered
	CN	ZL200680009990.9	Registered
253	JP	4770896	Registered
254	JP	4998412	Registered
255	JP	4096403	Registered
256	JP	5228522	Registered
257	JP	5540503	Registered
258	JP	4045656	Registered
259	JP	5115256	Registered
260	EP	[5727378.1]	Rejected
	JP	4665419	Registered
	US	7518393	Registered
	KR	809179	Registered

	TW	1317112	Registered
	CN	ZL200580000329.7	Registered
261	JP	4720290	Registered
262	JP	5045581	Registered
263	JP	5326788	Registered
264	JP	3457819	Registered
	US	6072450	Registered
	GB	845812	Registered
	DE	69739633.9	Registered
	FR	845812	Registered
	KR	259978	Registered
265	JP	4217834	Registered
266	JP	4867853	Registered
267	JP	4807677	Registered
268	US	7675491	Registered
269	JP	4561855	Registered
	JP	4561856	Registered
	US	8077118	Registered
270	US	8427170	Registered
271	US	6091382	Registered
	KR	267700	Registered
272	JP	4561608	Registered
	US	7522810	Registered
	KR	789537	Registered
	TW	1301803	Registered
	CN	ZL200610003777.9	Registered
273	JP	4609468	Registered
	KR	955742	Registered
	TW	1408632	Registered
	HK	HK1127880	Registered
	CN	ZL200810165632.8	Registered
274	JP	4548497	Registered
275	JP	4888527	Registered
	JP	4807442	Registered
	US	8410689	Registered
	JP	[2014042241]	Pending
277	JP	5120182	Registered
278	JP	4899849	Registered
279	JP	4967693	Registered
280	JP	4924053	Registered
281	JP	4905163	Registered
282	JP	5023357	Registered

283	JP	4840304	Registered
284	JP	5157790	Registered
285	JP	5418978	Registered
286	JP	5055927	Registered
287	JP	5040879	Registered
288	JP	4853248	Registered
289	JP	4877480	Registered
290	JP	5272620	Registered
291	JP	3873156	Registered
292	JP	4341100	Registered
293	JP	5092639	Registered
294	JP	5092640	Registered
295	JP	5092741	Registered
296	JP	5151735	Registered
297	JP	5151739	Registered



APPLICATION NO.	ISSUE DATE	PATENT NO.	ATTORNEY DOCKET NO.	CONFIRMATION NO.
11/438,967	01/11/2011	7868880	06331/LH	5382

1933 7590 12/22/2010
HOLTZ, HOLTZ, GOODMAN & CHICK PC
220 Fifth Avenue
16TH Floor
NEW YORK, NY 10001-7708

ISSUE NOTIFICATION

The projected patent number and issue date are specified above.

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b) (application filed on or after May 29, 2000)

The Patent Term Adjustment is 1056 day(s). Any patent to issue from the above-identified application will include an indication of the adjustment on the front page.

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (<http://pair.uspto.gov>).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Application Assistance Unit (AAU) of the Office of Data Management (ODM) at (571)-272-4200.

APPLICANT(s) (Please see PAIR WEB site <http://pair.uspto.gov> for additional applicants):

Tsuyoshi Ozaki, Fuchu-shi, JAPAN;
Jun Ogura, Fussa-shi, JAPAN;

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), to: **Mail Stop ISSUE FEE**
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450
 or Fax (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

1933 7590 09/16/2010

HOLTZ, HOLTZ, GOODMAN & CHICK PC
 220 Fifth Avenue
 16TH Floor
 NEW YORK, NY 10001-7708

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (571) 273-2885, on the date indicated below.

B. VILLANI	(Depositor's name)
<i>B. Villani</i>	(Signature)
EFS 12/3/10	(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
11/438,967	05/23/2006	Tsuyoshi Ozaki	06331/LH	5382

TITLE OF INVENTION: DISPLAY APPARATUS AND DRIVE CONTROL METHOD THEREOF

APPLN. TYPE	SMALL ENTITY	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	NO	\$1510	\$0	\$1510	\$1510	12/16/2010

EXAMINER	ART UNIT	CLASS-SUBCLASS
SHANKAR, VIJAY	2629	345-204000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).
 Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.
 "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list:
 (1) the names of up to 3 registered patent attorneys or agents OR, alternatively,
 (2) the name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.

1 _____
 2 HOLTZ, HOLTZ, GOODMAN & CHICK, PC
 3 _____

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE: CASIO COMPUTER CO., LTD.
 (B) RESIDENCE: (CITY and STATE OR COUNTRY) TOKYO, JAPAN

Please check the appropriate assignee category or categories (will not be printed on the patent):
 Individual Corporation or other private group entity Government

4a. The following fee(s) are submitted:
 Issue Fee
 Publication Fee (No small entity discount permitted)
 Advance Order - # of Copies 1

4b. Payment of Fee(s). (Please first reapply any previously paid issue fee shown above)
 A check is enclosed.
 Payment by credit card. Form PTO-2038 is attached.
 The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment, to Deposit Account Number 06-1378 (enclose an extra copy of this form).

5. Change in Entity Status (from status indicated above)
 a. Applicant claims SMALL ENTITY status. See 37 CFR 1.27. b. Applicant is no longer claiming SMALL ENTITY status. See 37 CFR 1.27(g)(2).

NOTE: The Issue Fee and Publication Fee (if required) will not be accepted from anyone other than the applicant; a registered attorney or agent; or the assignee or other party in interest as shown by the records of the United States Patent and Trademark Office.

Authorized Signature: *Leonard Holtz* Date: 12/3/10
 Typed or printed name: Leonard Holtz Registration No. 22,974

This collection of information is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

"FEE ADDRESS" INDICATION FORM

Mail Stop: M. FEE
 Commissioner for Patents
 P.O. Box 1450,
 Alexandria, VA 22313-1450

Please recognize as the "Fee Address" under the provisions of 37 CFR 1.363 the following address:

CUSTOMER NUMBER 000197

COMPUTER PATENT ANNUITIES
 c/o Computer Patent Annuities North
 America LLC 225 Reinekers Lane
 Suite 400
 Alexandria, VA 22314

in the following listed application(s) for which the Issue Fee has been paid or patent(s).

PATENT NUMBER (if known)	APPLICATION NUMBER
	11/438,967



 Signature

Leonard Holtz, Reg. No. 22,974
 Attorney of record

HOLTZ, HOLTZ, GOODMAN &
 CHICK, PC
 220 Fifth Avenue - 16th Floor
 New York, New York 10001-7708
 Tel. No. (212) 319-4900
 Fax No. (212) 319-5101

December 3, 2010
 Date

Electronic Acknowledgement Receipt

EFS ID:	8960460
Application Number:	11438967
International Application Number:	
Confirmation Number:	5382
Title of Invention:	DISPLAY APPARATUS AND DRIVE CONTROL METHOD THEREOF
First Named Inventor/Applicant Name:	Tsuyoshi Ozaki
Customer Number:	01933
Filer:	Leonard Holtz/Barbara Villani
Filer Authorized By:	Leonard Holtz
Attorney Docket Number:	06331/LH
Receipt Date:	03-DEC-2010
Filing Date:	23-MAY-2006
Time Stamp:	11:33:18
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no
------------------------	----

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		06331i.pdf	454018 c8eebb63a802174100a73441d2767fa40455ce2	yes	2

Multipart Description/PDF files in .zip description			
Document Description		Start	End
Issue Fee Payment (PTO-85B)		1	1
Miscellaneous Incoming Letter		2	2

Warnings:

Information:

Total Files Size (in bytes):	454018
-------------------------------------	--------

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), to: **Mail** Mail Stop ISSUE FEE
 Commissioner for Patents
 P.O. Box 1450
 Alexandria, Virginia 22313-1450
 or **Fax** (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

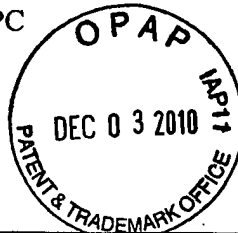
Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

1933 7590 09/16/2010

HOLTZ, HOLTZ, GOODMAN & CHICK PC
 220 Fifth Avenue
 16TH Floor
 NEW YORK, NY 10001-7708

12/06/2010 EEKUBAY2 00000017 11438967

01 FC:1501 1510.00 OP



Certificate of Mailing or Transmission
 I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (571) 273-2885, on the date indicated below.

B. VILLANI	(Depositor's name)
<i>B. Villani</i>	(Signature)
EFS 12/3/10	(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
11/438,967	05/23/2006	Tsuyoshi Ozaki	06331/LH	5382

TITLE OF INVENTION: DISPLAY APPARATUS AND DRIVE CONTROL METHOD THEREOF

APPLN. TYPE	SMALL ENTITY	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	NO	\$1510	\$0	\$1510	\$1510	12/16/2010

EXAMINER	ART UNIT	CLASS-SUBCLASS
SHANKAR, VIJAY	2629	345-204000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).

Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.

"Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. Use of a Customer Number is required.

2. For printing on the patent front page, list

(1) the names of up to 3 registered patent attorneys or agents OR, alternatively,

(2) the name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.

1 _____

2 HOLTZ, HOLTZ, GOODMAN & CHICK, PC

3 _____

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE CASIO COMPUTER CO., LTD.

(B) RESIDENCE: (CITY and STATE OR COUNTRY) TOKYO, JAPAN

Please check the appropriate assignee category or categories (will not be printed on the patent): Individual Corporation or other private group entity Government

4a. The following fee(s) are submitted:

Issue Fee

Publication Fee (No small entity discount permitted)

Advance Order - # of Copies 1

4b. Payment of Fee(s) (Please first reapply any previously paid issue fee shown above)

A check is enclosed.

Payment by credit card. Form PTO-2038 is attached.

The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment, to Deposit Account Number 06-1378 (enclose an extra copy of this form).

5. Change in Entity Status (from status indicated above)

a. Applicant claims SMALL ENTITY status. See 37 CFR 1.27. b. Applicant is no longer claiming SMALL ENTITY status. See 37 CFR 1.27(g)(2).

NOTE: The Issue Fee and Publication Fee (if required) will not be accepted from anyone other than the applicant; a registered attorney or agent; or the assignee or other party in interest as shown by the records of the United States Patent and Trademark Office.

Authorized Signature *Leonard Holtz* Date 12/3/10

Typed or printed name Leonard Holtz Registration No. 22,974

This collection of information is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
11/438,967	05/23/2006	Tsuyoshi Ozaki	06331/LH	5382
1933	7590	10/04/2010	EXAMINER	
HOLTZ, HOLTZ, GOODMAN & CHICK PC 220 Fifth Avenue 16TH Floor NEW YORK, NY 10001-7708			SHANKAR, VIJAY	
			ART UNIT	PAPER NUMBER
			2629	
			MAIL DATE	DELIVERY MODE
			10/04/2010	PAPER

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.



UNITED STATES DEPARTMENT OF COMMERCE

U.S. Patent and Trademark Office

Address : COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450

APPLICATION NO./ CONTROL NO.	FILING DATE	FIRST NAMED INVENTOR / PATENT IN REEXAMINATION	ATTORNEY DOCKET NO.
11438967	5/23/2006	OZAKI ET AL.	06331/LH

HOLTZ, HOLTZ, GOODMAN & CHICK PC
220 Fifth Avenue
16TH Floor
NEW YORK, NY 10001-7708

EXAMINER

VIJAY SHANKAR

ART UNIT	PAPER
-----------------	--------------

2629

20100929

DATE MAILED:

Please find below and/or attached an Office communication concerning this application or proceeding.

Commissioner for Patents

The IDS filed on 9/28/10 is considered by the Examiner.

/VIJAY SHANKAR/
Primary Examiner, Art Unit 2629

INFORMATION DISCLOSURE STATEMENT BY APPLICANT				Application Number		11/438,967		
				Filing Date		May 23, 2006		
				First Named Inventor		Tsuyoshi OZAKI		
				Group Art Unit		2629		
				Examiner Name		VIJAY SHANKAR		
Sheet	1	of	1	Attorney Docket Number		06331/LH		
FOREIGN PATENT DOCUMENTS								
Examiner Initials*	Cite No.	Country Code	Document Number	Kind Code	Patentee or Applicant	Publication Date (MM-DD-YYYY)	Translation	
							Yes	Abstract Only
		JP	2004-341267	A	Casio Computer Co. Ltd.	12-02-2004		
OTHER DOCUMENTS								
Examiner Initials*	Cite No.	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.						
		Japanese Office Action dated July 30, 2010 and English translation thereof, issued in counterpart Japanese Application No. 2005-150566.						
Examiner Signature		/Vijay Shankar/			Date Considered		09/29/2010	

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

DATE MAILED OR TRANSMITTED: **September 28, 2010**

INFORMATION DISCLOSURE STATEMENT BY APPLICANT				Application Number	11/438,967			
				Filing Date	May 23, 2006			
				First Named Inventor	Tsuyoshi OZAKI			
				Group Art Unit	2629			
				Examiner Name	VIJAY SHANKAR			
Sheet	1	of	1	Attorney Docket Number	06331/LH			
FOREIGN PATENT DOCUMENTS								
Examiner Initials*	Cite No.	Country Code	Document Number	Kind Code	Patentee or Applicant	Publication Date (MM-DD-YYYY)	Translation	
							Yes	Abstract Only
		JP	2004-341267	A	Casio Computer Co. Ltd.	12-02-2004		
OTHER DOCUMENTS								
Examiner Initials*	Cite No.	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.						
		Japanese Office Action dated July 30, 2010 and English translation thereof, issued in counterpart Japanese Application No. 2005-150566.						
Examiner Signature					Date Considered			

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

DATE MAILED OR TRANSMITTED: **September 28, 2010**

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-341267

(P2004-341267A)

(43) 公開日 平成16年12月2日(2004.12.2)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G09G 3/30	G09G 3/30 K	3K007
G09G 3/20	G09G 3/20 611H	5C080
H05B 33/14	G09G 3/20 611J	
	G09G 3/20 612U	
	G09G 3/20 621A	

審査請求 未請求 請求項の数 31 O L (全 39 頁) 最終頁に続く

(21) 出願番号	特願2003-138150 (P2003-138150)	(71) 出願人	000001443 カシオ計算機株式会社 東京都渋谷区本町1丁目6番2号
(22) 出願日	平成15年5月16日(2003.5.16)	(74) 代理人	100096699 弁理士 鹿嶋 英實
		(72) 発明者	武居 学 東京都八王子市石川町2951番地の5 カシオ計算機株式会社 社八王子研究所内
		(72) 発明者	白崎 友之 東京都八王子市石川町2951番地の5 カシオ計算機株式会社 社八王子研究所内
		Fターム(参考)	3K007 AB02 AB17 BA06 DB03 GA04

最終頁に続く

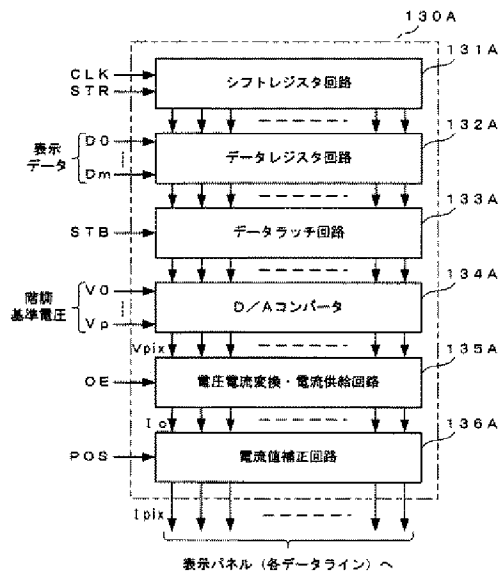
(54) 【発明の名称】 表示駆動装置及び表示装置並びにその駆動制御方法

(57) 【要約】

【課題】表示パネルを構成する各表示画素の配置位置に関わらず、信号配線の寄生容量や配線抵抗に起因する表示データの書込率の低下を抑制して、均一な輝度階調で発光素子を発光動作させ、表示画質の改善を図ることができる表示駆動装置及び表示装置並びにその駆動制御方法を提供する。

【解決手段】表示装置100は、複数の表示画素EMがマトリクス状に配列された表示パネル110と、行ごとの表示画素EMを選択状態に設定する走査ドライバ120と、所定のタイミングで各データラインDLへ階調電流Ipixを供給するデータドライバ130と、を備え、各表示画素EMへの表示データの書込動作に際し、当該表示画素EMの表示パネル110上での配置位置に応じて、階調電流の電流値を補正制御することにより、いずれの位置に配置された表示画素においても、表示データの書込率が均一化されるように制御される。

【選択図】 図7



【特許請求の範囲】

【請求項1】

互いに直交する複数の信号ライン及び複数の走査ラインと、該各信号ラインと各走査ラインの交点近傍に配置される、電流制御型の発光素子を備える複数の表示画素と、を備える表示パネルの該各表示画素に、前記各信号ラインを介して表示データの輝度階調に基づく階調電流を供給し、該階調電流によって前記表示画素に書き込まれる電荷量に基づいて前記各発光素子を発光動作させる表示駆動装置において、前記表示データの輝度階調範囲の少なくとも一部において、前記階調電流によって前記各表示画素に供給される供給電荷量に対して、該各表示画素に書き込まれる電荷量の割合が一定となる方向に補正する補正手段を備えることを特徴とする表示駆動装置。

【請求項2】

前記補正手段は、前記表示データの全輝度階調範囲において、前記補正を行うことを特徴とする請求項1記載の表示駆動装置。

【請求項3】

前記補正手段は、少なくとも、前記表示パネルにおける、前記信号ラインの、前記表示駆動装置から該表示画素までの間に寄生する容量成分に基づいて、前記階調電流を調整制御する電流供給制御手段を備えることを特徴とする請求項1又は2記載の表示駆動装置。

【請求項4】

前記電流供給制御手段は、前記表示画素の各々に供給する前記階調電流の電流値を調整制御する手段を備えることを特徴とする請求項3記載の表示駆動装置。

【請求項5】

前記電流供給制御手段は、前記表示画素の各々に前記階調電流を供給する際に、該表示画素を選択状態に設定する選択期間の時間幅を調整制御する手段を備えることを特徴とする請求項3又は4のいずれかに記載の表示駆動装置。

【請求項6】

前記電流供給制御手段は、前記選択期間の時間幅を、前記表示画素の各々に前記階調電流を供給する一定の時間幅を有する電流供給期間内で調整制御する手段を備えることを特徴とする請求項5記載の表示駆動装置。

【請求項7】

前記電流供給制御手段は、前記表示画素の各々に前記階調電流を供給する際に、該表示画素に前記階調電流を供給する電流供給期間の時間幅を調整制御する手段を備えることを特徴とする請求項3に記載の表示駆動装置。

【請求項8】

前記電流供給制御手段は、前記電流供給期間の時間幅を、前記表示画素の各々を選択状態に設定する一定の時間幅を有する選択期間内で調整制御する手段を備えることを特徴とする請求項7記載の表示駆動装置。

【請求項9】

前記電流供給制御手段は、前記表示パネルにおける前記表示画素の、前記表示駆動装置から該表示画素までの、前記信号ラインに沿う配置位置と前記階調電流の調整制御に係る補正係数とを関連付けた補正テーブルを備え、前記表示画素の配置位置に基づいて、前記補正テーブルを参照することにより一義的に決定された前記補正係数を用いて、前記階調電流を調整制御する手段を備えることを特徴とする請求項3乃至8のいずれかに記載の表示駆動装置。

【請求項10】

前記電流供給制御手段は、前記表示画素の配置位置に基づいて、前記補正テーブルから抽出された前記補正係数を、所定の基準値に乗算することにより、前記階調電流を調整制御する手段を備えることを特徴とする請求項9記載の表示駆動装置。

【請求項11】

前記電流供給制御手段は、前記表示画素の各々に前記階調電流を供給する動作に先立って、前記表示画素に、特定のリセット信号を印加して、少なくとも、該表示画素に蓄積され

た電荷を放電して初期化する手段を備えることを特徴とする請求項3乃至10のいずれかに記載の表示駆動装置。

【請求項12】

互いに直交する複数の信号ライン及び複数の走査ラインと、該各信号ラインと各走査ラインの交点近傍に配置される、電流制御型の発光素子を備える複数の表示画素と、を備える表示パネルの前記各表示画素に、前記各信号ラインを介して、表示データの輝度階調に基づく階調電流を供給し、該階調電流によって前記表示画素に書き込まれる電荷量に基づいて前記各発光素子を発光動作させて、前記表示パネルに所望の画像情報を表示する表示装置において、

少なくとも、

前記表示パネルの前記複数の走査ラインに順次走査信号を印加して、前記表示画素を所定の選択期間毎に順次選択状態に設定する走査駆動回路と、

前記選択期間毎に、前記表示パネルの前記各信号ラインに前記階調電流を印加して、該階調電流を前記各表示画素に供給する信号駆動回路と、

を具備し、

前記表示データの輝度階調範囲の少なくとも一部において、前記階調電流によって前記各表示画素に供給される供給電荷量に対して、該各表示画素に書き込まれる電荷量の割合が一定となる方向に補正する補正手段を備えることを特徴とする表示装置。

【請求項13】

前記補正手段は、前記表示データの全輝度階調範囲において、前記補正を行うことを特徴とする請求項12記載の表示装置。

【請求項14】

前記補正手段は、少なくとも、前記表示パネルにおける、前記信号駆動装置から前記表示画素までの間に寄生する容量成分に基づいて、前記階調電流を調整制御する電流供給制御手段を備えることを特徴とする請求項12又は13記載の表示装置。

【請求項15】

前記電流供給制御手段は、前記信号駆動回路における、前記表示パネルにおける前記表示画素の、該信号駆動回路から該表示画素までの、前記信号ラインに沿う配置位置に応じて、該表示画素の各々に供給する前記階調電流の電流値を調整制御する手段を備えることを特徴とする請求項14記載の表示装置。

【請求項16】

前記電流供給制御手段は、前記信号駆動回路において、前記表示画素の各々に前記階調電流を供給する際に、前記表示パネルにおける前記表示画素の、前記信号駆動回路から該表示画素までの、前記信号ラインに沿う配置位置に応じて、該表示画素に前記階調電流を供給する電流供給期間の時間幅を調整制御する手段を備えることを特徴とする請求項14記載の表示装置。

【請求項17】

前記電流供給制御手段は、前記電流供給期間の時間幅を、前記表示画素の各々を選択状態に設定する前記選択期間内で調整制御することを特徴とする請求項16記載の表示装置。

【請求項18】

前記電流供給制御手段は、前記走査駆動回路において、前記信号駆動回路より前記表示画素の各々に前記階調電流を供給する際に、前記表示パネルにおける前記表示画素の、前記信号駆動装置から該表示画素までの、前記信号ラインに沿う配置位置に応じて、前記選択期間の時間幅を調整制御する手段を備えることを特徴とする請求項14記載の表示装置。

【請求項19】

前記電流供給制御手段は、前記選択期間の時間幅を、前記信号駆動回路より前記表示画素の各々に前記階調電流を供給する一定の時間幅を有する電流供給期間内で調整制御することを特徴とする請求項18記載の表示装置。

【請求項20】

前記電流供給制御手段は、前記表示画素の配置位置と前記階調電流の調整制御に係る補正

係数とを関連付けた補正テーブルを備え、前記表示画素の配置位置に基づいて、前記補正テーブルを参照することにより一義的に決定された前記補正係数を、所定の基準値に乗算することにより、前記階調電流の供給状態を調整制御することを特徴とする請求項14乃至19のいずれかに記載の表示装置。

【請求項21】

前記信号駆動回路は、前記表示画素の各々に前記階調電流を供給する動作に先立って、前記表示画素に、特定のリセット信号を印加して、少なくとも、該表示画素に蓄積された電荷を放電して初期化することを特徴とする請求項14乃至20のいずれかに記載の表示装置。

【請求項22】

前記補正手段は、前記表示パネルにおける、前記信号駆動回路に対する、前記各表示画素の、少なくとも、前記信号ライン及び前記表示画素の各々に付加される容量成分の総和からなる負荷容量が一定になる方向に容量値を調整する手段を備えることを特徴とする請求項14記載の表示装置。

【請求項23】

前記表示画素は、少なくとも、
前記階調電流に基づく電荷を電圧成分として保持する保持容量を備える電荷保持手段と、
該電荷保持手段に保持された電圧成分に基づいて、前記発光素子に発光駆動電流を流す発光駆動手段と、
を備えた発光駆動回路を具備し、
前記発光駆動回路は、前記選択期間においては前記発光素子に前記発光駆動電流を供給しない非発光状態に設定し、
前記選択期間終了後の非選択期間においては前記電荷保持手段に保持された電圧成分に基づいて、前記発光素子に前記発光駆動電流を供給して、前記階調電流に応じた輝度階調で発光動作させる発光状態に設定することを特徴とする請求項14乃至22のいずれかに記載の表示装置。

【請求項24】

前記補正手段は、前記表示パネルにおける、前記信号駆動回路に対する、該信号駆動回路から前記表示画素の各々までの前記信号ラインに寄生する容量成分と、該表示画素の各々に設けられた前記保持容量と、の容量値の総和からなる負荷容量が一定になる方向に前記保持容量の容量値を調整する手段を備えることを特徴とする請求項23記載の表示装置。

【請求項25】

前記補正手段は、前記表示パネルにおける、前記信号駆動回路から前記表示画素の各々までの信号ラインに寄生する容量成分と、前記表示画素の各々に設けられた前記保持容量と、前記表示パネルの各行ごとの前記表示画素に共通に接続される特定の信号供給ラインに設けられた容量成分と、の容量値の総和からなる負荷容量が一定になる方向に、前記信号供給ラインごとに設けられる容量成分の容量値を各行ごとに個別に設定する手段を備えることを特徴とする請求項23記載の表示装置。

【請求項26】

前記発光素子は、有機エレクトロルミネッセント素子であることを特徴とする請求項14乃至25のいずれかに記載の表示装置。

【請求項27】

互いに直交する複数の信号ライン及び複数の走査ラインと、該各信号ラインと各走査ラインの交点近傍に配置される、電流制御型の発光素子を備える複数の表示画素と、を備える表示パネルの前記各表示画素に、前記信号ラインを介して表示データの輝度階調に基づく階調電流を供給し、該階調電流によって前記表示画素に書き込まれる電荷量に基づいて前記各発光素子を発光動作させて、前記表示パネルに所望の画像情報を表示する表示装置の駆動制御方法において、
前記表示データの輝度階調範囲の少なくとも一部において、前記階調電流によって前記各表示画素に供給される供給電荷量に対して、該各表示画素に書き込まれる電荷量の割合が

一定となる方向に、前記階調電流を調整制御することを特徴とする表示装置の駆動制御方法。

【請求項28】

前記表示装置の駆動制御方法は、少なくとも、
前記表示パネルにおける前記表示画素の、前記信号ラインに沿う配置位置に基づいて、所定の補正テーブルを参照して、前記階調電流の調整制御に係る補正係数を抽出するステップと、
前記補正係数を所定の基準値に乗算して、前記階調電流の電流値を調整制御するステップと、
前記調整制御された電流値を有する前記階調電流を、所定のタイミングで前記表示画素に供給するステップと、
を含むことを特徴とする請求項24記載の表示装置の駆動制御方法。

【請求項29】

前記表示装置の駆動制御方法は、少なくとも、
前記表示パネルにおける前記表示画素の、前記信号ラインに沿う配置位置に基づいて、所定の補正テーブルを参照して、前記階調電流の調整制御に係る補正係数を抽出するステップと、
前記補正係数を所定の基準値に乗算して、前記階調電流を前記表示画素に供給する電流供給期間の時間幅を調整制御するステップと、
前記表示画素の各々を選択状態に設定する一定の時間幅を有する選択期間内に、前記調整制御された時間幅を有する前記電力供給期間で、前記階調電流を前記表示画素に供給するステップと、
を含むことを特徴とする請求項27記載の表示装置の駆動制御方法。

【請求項30】

前記表示装置の駆動制御方法は、少なくとも、
前記表示パネルにおける前記表示画素の、前記信号ラインに沿う配置位置に基づいて、所定の補正テーブルを参照して、前記階調電流の調整制御に係る補正係数を抽出するステップと、
前記補正係数を所定の基準値に乗算して、前記表示画素を選択状態に設定する選択期間の時間幅を調整制御するステップと、
前記表示画素の各々に前記階調電流を供給する一定の時間幅を有する電流供給期間内に、前記調整制御された時間幅を有する前記選択期間で、前記階調電流を前記表示画素に供給するステップと、
を含むことを特徴とする請求項27記載の表示装置の駆動制御方法。

【請求項31】

前記表示装置の駆動制御方法は、前記表示画素の各々に前記階調電流を供給するステップに先立って、前記表示画素に、特定のリセット信号を印加して、少なくとも、該表示画素に蓄積された電荷を放電して初期化するステップを含むことを特徴とする請求項28乃至30のいずれかに記載の表示装置の駆動制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、表示駆動装置及び表示装置並びにその駆動制御方法に関し、特に、表示データに応じた電流を供給することにより所定の輝度階調で発光動作する電流制御型の発光素子を備えた表示画素を、複数配列してなる表示パネルに適用可能な表示駆動装置、及び、該表示駆動装置を備えた表示装置、並びに、該表示装置における駆動制御方法に関する。

【0002】

【従来の技術】

従来、有機エレクトロルミネッセンス素子（以下、「有機EL素子」と略記する）や発光ダイオード（LED）等のように供給される駆動電流の電流値に応じて所定の輝度階調で

発光動作する電流制御型の発光素子を備えた表示画素を、2次元配列した表示パネルを具備する発光素子型のディスプレイ（表示装置）が知られている。

【0003】

特に、アクティブマトリックス駆動方式を適用した発光素子型ディスプレイは、近年普及が著しい液晶表示装置（LCD）に比較して、表示応答速度が速く、視野角依存性もなく、また、高輝度・高コントラスト化、表示画質の高精細化、低消費電力化等が可能であるとともに、液晶表示装置の場合のように、バックライトを必要としないので、一層の薄型軽量化が可能という極めて優位な特徴を有しており、次世代のディスプレイとして研究開発が盛んに行われている。

【0004】

そして、このような発光素子型ディスプレイにおいては、上述した電流制御型の発光素子を発光制御するための駆動制御機構や制御方法が種々提案されている。例えば、特許文献1等に記載されているように、表示パネルを構成する各表示画素ごとに、上記発光素子に加えて、該発光素子を発光制御するための複数のスイッチング手段からなる駆動回路（以下、便宜的に「発光駆動回路」又は「画素駆動回路」と記す）を備えたものが知られている。

【0005】

図18は、従来技術における発光素子型ディスプレイに適用可能な表示画素の構成例を示す等価回路図である。

すなわち、特許文献1等に記載された表示画素は、図18に示すように、表示パネルにマトリクス状に配設された複数の走査ライン（選択ライン）SL及びデータライン（信号ライン）DLの各交点近傍に、ゲート端子が走査ラインSLに、ソース端子及びドレイン端子がデータラインDL及び接点N111に各々接続された薄膜トランジスタ（TFT）Tr111と、ゲート端子が接点N111に接続され、ソース端子に接地電位Vgndが印加された薄膜トランジスタTr112と、を備えた発光駆動回路DCp、及び、該発光駆動回路DCpの薄膜トランジスタTr112のドレイン端子にアノード端子が接続され、カソード端子に接地電位Vgndよりも低電位の低電源電圧Vssが印加された有機EL素子（電流制御型の発光素子）OELを有して構成されている。

【0006】

ここで、図18において、Cpは、薄膜トランジスタTr112のゲートーソース間に形成される寄生容量である。また、薄膜トランジスタTr111は、nチャネル型の電界効果型トランジスタにより構成され、薄膜トランジスタTr112は、pチャネル型の電界効果型トランジスタにより構成されている。

そして、このような構成を有する発光駆動回路DCpにおいては、薄膜トランジスタTr111及びTr112からなる2個のトランジスタ（スイッチング手段）を所定のタイミングでオン、オフ制御することにより、以下に示すように、有機EL素子OELを発光制御する。

【0007】

すなわち、発光駆動回路DCpにおいて、図示を省略した走査ドライバにより、走査ラインSLにハイレベルの走査信号Vselを印加して表示画素を選択状態に設定すると、薄膜トランジスタTr111がオン動作して、図示を省略したデータドライバによりデータラインDLに印加された、表示データに応じた階調信号電圧Vpixが薄膜トランジスタTr111を介して、接点N111（すなわち、薄膜トランジスタTr112のゲート端子）に印加される。これにより、薄膜トランジスタTr112が上記階調信号電圧Vpixに応じた導通状態でオン動作して、接地電位Vgndから所定の発光駆動電流が薄膜トランジスタTr112及び有機EL素子OELを介して低電源電圧Vssに流れ、有機EL素子OELが上記表示データに応じた輝度階調で発光動作する。

【0008】

次いで、走査ラインSLにローレベルの走査信号Vselを印加して表示画素を非選択状態に設定すると、薄膜トランジスタTr111がオフ動作することにより、データライン

DLと発光駆動回路DCpとが電氣的に遮断される。これにより、薄膜トランジスタTr112のゲート端子に印加された電圧が寄生容量CP1により保持されて、薄膜トランジスタTr112は、オン状態を持続することになり、上記選択状態と同様に、接地電位Vgndから所定の発光駆動電流が薄膜トランジスタTr12を介して有機EL素子OELに流れて、発光動作が継続される。この発光動作は、次の表示データに応じた階調信号電圧が各表示画素に印加される（書き込まれる）まで、例えば、1フレーム期間継続されるように制御される。

このような駆動制御方法は、各表示画素（薄膜トランジスタTr112のゲート端子）に印加する電圧（階調信号電圧）を調整することにより、有機EL素子OELに流す発光駆動電流の電流値を制御して、所定の輝度階調で発光動作させていることから、電圧指定方式（又は、電圧印加方式）と呼ばれている。

【0009】

ところで、上述したような電圧指定方式を採用した発光駆動回路を備えた表示画素においては、選択機能を有する薄膜トランジスタTr111や発光駆動機能を有する薄膜トランジスタTr112の素子特性（チャネル抵抗等）が、外部環境（周囲の温度等）や使用時間等に依存してバラツキや変動（劣化）を生じた場合には、発光素子（有機EL素子OEL）に供給される発光駆動電流に影響を与えることになり、長期間にわたり安定的に所望の発光特性（所定の輝度階調での表示）を実現することが困難になるという問題を有していた。

【0010】

また、表示パネルの高精細化を図るために、各表示画素を微細化すると、発光駆動回路DCpを構成する薄膜トランジスタTr111及びTr112の動作特性（ソースドレイン間電流等）のバラツキが大きくなるため、適正な階調制御が行えなくなり、各表示画素の発光特性にバラツキが生じて表示画質の劣化を招くという問題を有していた。

そこで、このような問題点を解決する構成として、いわゆる、電流印加方式（又は、電流指定方式）と呼ばれる駆動制御方法に対応した発光駆動回路の構成が知られている。なお、この電流印加方式に対応した発光駆動回路の構成例については、後述する発明の実施の形態において詳しく説明するが、概略、以下のような構成及び動作（機能）を有するものである。

【0011】

すなわち、電流印加方式においては、発光素子（例えば、上述した有機EL素子OEL等）に供給する発光駆動電流の電流値を制御する駆動電流制御手段（上述した薄膜トランジスタTr112に相当する）を備え、該駆動電流制御手段に対して、表示データに応じた電流値を指定した階調電流をデータドライバから直接供給し、該電流に基づいて保持される電圧に基づいて、上記発光駆動電流の電流値を設定制御して、発光素子を所定の輝度階調で発光動作させるように構成されている。

【0012】

このように、電流印加方式を採用した発光駆動回路においては、上述した駆動電流制御手段により、各表示画素に供給される表示データに応じた階調電流の電流レベルを電圧レベルに変換する機能（電流／電圧変換機能）と、該電圧レベルに基づく所定の電流値を有する発光駆動電流を発光素子に供給する機能（発光駆動機能）とを実現することができるので、電流生成制御手段を、例えば、単一の能動素子（薄膜トランジスタ）により構成することにより、図18に示したような複数の薄膜トランジスタ相互の動作特性のバラツキが、発光駆動電流に与える影響を抑制することができるという利点を有している。

【0013】

【特許文献1】

特開2002-156923号公報（第4頁、図2）

【0014】

【発明が解決しようとする課題】

しかしながら、上述したような電流印加方式を採用した発光駆動回路においては、以下に

示すような問題を有していた。

すなわち、電流指定方式の発光駆動回路においては、最下位又は比較的輝度階調の低い表示データに基づく階調電流を各表示画素に書き込む場合（低階調表示時）、表示データの輝度階調に対応した小さい電流値を有する信号電流を各表示画素に供給する必要がある。

【0015】

ここで、各表示画素に表示データ（階調電流）を書き込む動作は、データラインに寄生する容量成分（配線容量）を所定の電圧まで充電することに相当するため、特に、表示パネルの大型化等によりデータラインの配線長を長く設計した場合には、階調電流の電流値が小さくなるほど（すなわち、低階調表示時ほど）、データラインの配線容量や配線抵抗の影響を受けやすくなって、同一の電流値を有する階調電流を各表示画素に供給した場合であっても、当該表示画素の表示パネルにおける配置位置によって、表示データに応じた階調電流によって供給される供給電荷量に対し、表示画素に実際に書き込まれる電荷量の割合（書込率）が異なるという問題を有していた。

【0016】

図19は、表示パネルにおける表示画素の配置位置とデータラインの配線長の関係を示す概略構成図である。ここで、図19に示す表示画素は、図18に示した発光駆動回路DCPと有機EL素子OELを含む構成を有している。

具体的には、図19に示すように、データドライバ130において、各表示画素に供給される階調電流が入力される階調電流入力端に対して、表示パネル110上であって、略直近の位置に配置された（例えば、1行目の走査ラインに接続された）表示画素EMaと、最遠の位置に配置された（例えば、最終行であるn行目の走査ラインに接続された）表示画素EMbとでは、階調電流入力端から経路するデータラインDLの配線長が短い表示画素EMaにおいては、該データラインDLの配線容量や配線抵抗の影響をほとんど受けることなく、データドライバからの階調電流がそのまま瞬時に供給されるのに対して、階調電流入力端から経路するデータラインDLの配線長が長い（データラインDLの全長分）表示画素EMbにおいては、該データラインDLの配線容量や配線抵抗の影響を受けて、書込動作が大きく遅延する。

【0017】

ここで、例えば、図20(a)に示すように、表示パネル上における表示画素の配置位置を、データドライバ直近の位置（階調電流入力端）を規格化位置“0”、データドライバから最遠となる位置（最遠方位置）を規格化位置“1”と規定し、また、書込動作の状態を所定の選択期間に各表示画素に書き込まれた表示データの比率（書込率）で表すと、規格化位置“0”では略100%の書込率が得られるのに対して、規格化位置“1”では書込率が10%程度にまで低下するシミュレーション結果も得られている。

【0018】

なお、図20は、表示パネルにおける表示画素の配置位置（規格化位置）と表示データの書込率との関係をシミュレーション結果である。ここで、図20(a)に示したシミュレーション結果は、図20(b)に示すように、37インチの画面サイズを有し、水平画素数1365、垂直画素数768データラインの配線幅544 μ m、データラインの配線容量19.9pFに構成された表示パネルを用い、画素選択時間22 μ sec、最高階調電流値19.37 μ A/pix、最低階調電流値0.30 μ A/pixと設定して、特定の階調電流を供給し、各表示画素の有機EL素子を発光動作させた場合の発光輝度を測定し、設計値（理想値）500cd/m²に対する比率（書込率）を算出したものである。

【0019】

そのため、表示パネルに配設された走査ライン数等に基づいて予め設定された選択期間（書込時間）では、表示画素に表示データを充分に書き込むことができない（飽和状態に達しない）、いわゆる、書込不足が生じ、表示データに応じた適切な輝度階調で発光動作することができない表示画素が発生して、表示パネル内で輝度差が生じて表示画質の劣化を招くという問題を有していた。

このような問題は、表示パネルを高精細化して走査ラインの数を増加させ、各走査ライン

の選択期間を短く設定した場合には、より顕著になり、表示パネルの高精細化を制約するという問題も有していた。

【0020】

また、上述したような表示データの書込不足の問題を解決するために、各表示画素に供給される階調電流の電流値を大きく設定することも考えられるが、この場合、図21に示すように、表示画素を同一の輝度（例えば、規格化輝度0.40）で発光動作させるためには、規格化位置“0”の表示画素に供給する電流値（規格化電流 $I_1 = 0.04$ ）に比較して、規格化位置“1”の表示画素においては、極めて大きな電流値（規格化電流 $I_2 = 0.08$ 以上）を供給する必要がある、最高輝度階調で最遠方位置に配置された表示画素を、予め設定された選択期間で良好な輝度で発光駆動するためには、データドライバの電流供給能力を極めて大きく設計しなければならないという問題を有していた。

【0021】

なお、図21は、表示パネルの特定の位置（規格化位置“0”及び規格化位置“1”）に配置された表示画素における入力電流（規格化電流）に対する出力輝度（規格化輝度）の関係を示すシミュレーション結果である。ここで、図21に示したシミュレーション結果は、図20(b)に示した仕様を有する表示パネルにおいて、規格化位置“0”及び規格化位置“1”の表示画素に供給する電流値に対する発光輝度の変化を測定し、各々を規格化して特性曲線PS0、PS1として示したものである。

【0022】

そこで、本発明は、上述した問題点に鑑み、表示パネルを構成する各表示画素の配置位置に関わらず、信号配線の寄生容量や配線抵抗に起因する表示データの書込率の低下を抑制して、均一な輝度階調で発光素子を発光動作させ、表示画質の改善を図ることができる表示駆動装置及び表示装置並びにその駆動制御方法を提供することを目的とする。

【0023】

【課題を解決するための手段】

請求項1記載の表示駆動装置は、互いに直交する複数の信号ライン及び複数の走査ラインと、該各信号ラインと各走査ラインの交点近傍に配置される、電流制御型の発光素子を備える複数の表示画素と、を備える表示パネルの該各表示画素に、前記各信号ラインを介して表示データの輝度階調に基づく階調電流を供給し、該階調電流によって前記表示画素に書き込まれる電荷量に基づいて前記各発光素子を発光動作させる表示駆動装置において、前記表示データの輝度階調範囲の少なくとも一部において、前記階調電流によって前記各表示画素に供給される供給電荷量に対して、該各表示画素に書き込まれる電荷量の割合が一定となる方向に補正する補正手段を備えることを特徴とする表示駆動装置。

請求項2記載の表示駆動装置は、請求項1記載の表示駆動装置において、前記補正手段は、前記表示データの全輝度階調範囲において、前記補正を行うことを特徴とする。

【0024】

請求項3記載の表示駆動装置は、請求項1又は2記載の表示駆動装置において、前記補正手段は、少なくとも、前記表示パネルにおける、前記信号ラインの、前記表示駆動装置から該表示画素までの間に寄生する容量成分に基づいて、前記階調電流を調整制御する電流供給制御手段を備えることを特徴とする。

請求項4記載の表示駆動装置は、請求項3記載の表示駆動装置において、前記電流供給制御手段は、前記表示画素の各々に供給する前記階調電流の電流値を調整制御する手段を備えることを特徴とする。

【0025】

請求項5記載の表示駆動装置は、請求項3又は4のいずれかに記載の表示駆動装置において、前記電流供給制御手段は、前記表示画素の各々に前記階調電流を供給する際に、該表示画素を選択状態に設定する選択期間の時間幅を調整制御する手段を備えることを特徴とする。

請求項6記載の表示駆動装置は、請求項5記載の表示駆動装置において、前記電流供給制御手段は、前記選択期間の時間幅を、前記表示画素の各々に前記階調電流を供給する一定

の時間幅を有する電流供給期間内で調整制御する手段を備えることを特徴とする。

【0026】

請求項7記載の表示駆動装置は、請求項3記載の表示駆動装置において、前記電流供給制御手段は、前記表示画素の各々に前記階調電流を供給する際に、該表示画素に前記階調電流を供給する電流供給期間の時間幅を調整制御する手段を備えることを特徴とする。

請求項8記載の表示駆動装置は、請求項7記載の表示駆動装置において、前記電流供給制御手段は、前記電流供給期間の時間幅を、前記表示画素の各々を選択状態に設定する一定の時間幅を有する選択期間内で調整制御する手段を備えることを特徴とする。

【0027】

請求項9記載の表示駆動装置は、請求項3乃至8のいずれかに記載の表示駆動装置において、前記電流供給制御手段は、前記表示パネルにおける前記表示画素の、前記表示駆動装置から該表示画素までの、前記信号ラインに沿う配置位置と前記階調電流の調整制御に係る補正係数とを関連付けた補正テーブルを備え、前記表示画素の配置位置に基づいて、前記補正テーブルを参照することにより一義的に決定された前記補正係数を用いて、前記階調電流を調整制御する手段を備えることを特徴とする。

請求項10記載の表示駆動装置は、請求項9記載の表示駆動装置において、前記電流供給制御手段は、前記表示画素の配置位置に基づいて、前記補正テーブルから抽出された前記補正係数を、所定の基準値に乘算することにより、前記階調電流を調整制御する手段を備えることを特徴とする。

【0028】

請求項11記載の表示駆動装置は、請求項3乃至10のいずれかに記載の表示駆動装置において、前記電流供給制御手段は、前記表示画素の各々に前記階調電流を供給する動作に先立って、前記表示画素に、特定のリセット信号を印加して、少なくとも、該表示画素に蓄積された電荷を放電して初期化する手段を備えることを特徴とする。

【0029】

請求項12記載の表示装置は、互いに直交する複数の信号ライン及び複数の走査ラインと、該各信号ラインと各走査ラインの交点近傍に配置される、電流制御型の発光素子を備える複数の表示画素と、を備える表示パネルの前記各表示画素に、前記各信号ラインを介して、表示データの輝度階調に基づく階調電流を供給し、該階調電流によって前記表示画素に書き込まれる電荷量に基づいて前記各発光素子発光動作させて、前記表示パネルに所望の画像情報を表示する表示装置において、少なくとも、前記表示パネルの前記複数の走査ラインに順次走査信号を印加して、前記表示画素を所定の選択期間毎に順次選択状態に設定する走査駆動回路と、前記選択期間毎に、前記表示パネルの前記各信号ラインに前記階調電流を印加して、該階調電流を前記各表示画素に供給する信号駆動回路と、を具備し、前記表示データの輝度階調範囲の少なくとも一部において、前記階調電流によって前記各表示画素に供給される供給電荷量に対して、該各表示画素に書き込まれる電荷量の割合が一定となる方向に補正する補正手段を備えることを特徴とする

【0030】

請求項13記載の表示装置は、請求項12記載の表示装置において、前記補正手段は、前記表示データの全輝度階調範囲において、前記補正を行うことを特徴とする。

請求項14記載の表示装置は、請求項12又は13記載の表示装置において、前記補正手段は、少なくとも、前記表示パネルにおける、前記信号駆動装置から前記表示画素までの間に寄生する容量成分に基づいて、前記階調電流を調整制御する電流供給制御手段を備えることを特徴とする。

【0031】

請求項15記載の表示装置は、請求項14記載の表示装置において、前記電流供給制御手段は、前記表示パネルにおける前記表示画素の、該信号駆動回路から該表示画素までの、前記信号ラインに沿う配置位置に応じて、該表示画素の各々に供給する前記階調電流の電流値を調整制御する手段を備えることを特徴とする。

請求項16記載の表示装置は、請求項14記載の表示装置において、前記電流供給制御手

段は、前記信号駆動回路において、前記表示画素の各々に前記階調電流を供給する際に、前記表示パネルにおける前記表示画素の、前記信号駆動回路から該表示画素までの、前記信号ラインに沿う配置位置に応じて、該表示画素に前記階調電流を供給する電流供給期間の時間幅を調整制御する手段を備えることを特徴とする。

【0032】

請求項17記載の表示装置は、請求項16記載の表示装置において、前記電流供給制御手段は、前記電流供給期間の時間幅を、前記表示画素の各々を選択状態に設定する前記選択期間内で調整制御することを特徴とする。

請求項18記載の表示装置は、請求項14記載の表示装置において、前記電流供給制御手段は、前記走査駆動回路において、前記信号駆動回路より前記表示画素の各々に前記階調電流を供給する際に、前記表示パネルにおける前記表示画素の、前記信号駆動装置から該表示画素までの、前記信号ラインに沿う配置位置に応じて、前記選択期間の時間幅を調整制御する手段を備えることを特徴とする。

請求項19記載の表示装置は、請求項18記載の表示装置において、前記電流供給制御手段は、前記選択期間の時間幅を、前記信号駆動回路より前記表示画素の各々に前記階調電流を供給する一定の時間幅を有する電流供給期間内で調整制御することを特徴とする。

【0033】

請求項20記載の表示装置は、請求項14乃至19のいずれかに記載の表示装置において、前記電流供給制御手段は、前記表示画素の配置位置と前記階調電流の調整制御に係る補正係数とを関連付けた補正テーブルを備え、前記表示画素の配置位置に基づいて、前記補正テーブルを参照することにより一義的に決定された前記補正係数を、所定の基準値に乘算することにより、前記階調電流の供給状態を調整制御することを特徴とする。

【0034】

請求項21記載の表示装置は、請求項14乃至20のいずれかに記載の表示装置において、前記信号駆動回路は、前記表示画素の各々に前記階調電流を供給する動作に先立って、前記表示画素に、特定のリセット信号を印加して、少なくとも、該表示画素に蓄積された電荷を放電して初期化することを特徴とする。

請求項22記載の表示装置は、請求項14記載の表示装置において、前記補正手段は、前記表示パネルにおける、前記信号駆動回路に対する、前記各表示画素の、少なくとも、前記信号ライン及び前記表示画素の各々に付加される容量成分の総和からなる負荷容量が一定になる方向に容量値を調整する手段を備えることを特徴とする。

【0035】

請求項23記載の表示装置は、請求項14乃至22のいずれかに記載の表示装置において、前記表示画素は、少なくとも、前記階調電流に基づく電荷を電圧成分として保持する保持容量を備える電荷保持手段と、該電荷保持手段に保持された電圧成分に基づいて、前記発光素子に発光駆動電流を流す発光駆動手段と、を備えた発光駆動回路を具備し、前記発光駆動回路は、前記選択期間においては前記発光素子に前記発光駆動電流を供給しない非発光状態に設定し、前記選択期間終了後の非選択期間においては前記電荷保持手段に保持された電圧成分に基づいて、前記発光素子に前記発光駆動電流を供給して、前記階調電流に応じた輝度階調で発光動作させる発光状態に設定することを特徴とする。

請求項24記載の表示装置は、請求項23記載の表示装置において、前記補正手段は、前記表示パネルにおける、前記信号駆動回路に対する、該信号駆動回路から前記表示画素の各々までの前記信号ラインに寄生する容量成分と、該表示画素の各々に設けられた前記保持容量と、の容量値の総和からなる負荷容量が一定になる方向に前記保持容量の容量値を調整する手段を備えることを特徴とする。

【0036】

請求項25記載の表示装置は、請求項23記載の表示装置において、前記補正手段は、前記表示パネルにおける、前記信号駆動回路から前記表示画素の各々までの信号ラインに寄生する容量成分と、前記表示画素の各々に設けられた前記保持容量と、前記表示パネルの各行ごとの前記表示画素に共通に接続される特定の信号供給ラインに設けられた容量成分

と、の容量値の総和からなる負荷容量が一定になる方向に、前記信号供給ラインごとに設けられる容量成分の容量値を各行ごとに個別に設定する手段を備えることを特徴とする。請求項26記載の表示装置は、請求項14乃至25のいずれかに記載の表示装置において、前記発光素子は、有機エレクトロルミネッセント素子であることを特徴とする。

【0037】

請求項27記載の表示装置の駆動制御方法は、互いに直交する複数の信号ライン及び複数の走査ラインと、該各信号ラインと各走査ラインの交点近傍に配置される、電流制御型の発光素子を備える複数の表示画素と、を備える表示パネルの前記各表示画素に、前記信号ラインを介して表示データの輝度階調に基づく階調電流を供給し、該階調電流によって前記表示画素に書き込まれる電荷量に基づいて前記各発光素子を発光動作させて、前記表示パネルに所望の画像情報を表示する表示装置の駆動制御方法において、前記表示データの輝度階調範囲の少なくとも一部において、前記階調電流によって前記各表示画素に供給される供給電荷量に対して、該各表示画素に書き込まれる電荷量の割合が一定となる方向に、前記階調電流を調整制御することを特徴とする。

【0038】

請求項28記載の表示装置の駆動制御方法は、請求項27記載の表示装置の駆動制御方法において、前記表示装置の駆動制御方法は、少なくとも、前記表示パネルにおける前記表示画素の、前記信号ラインに沿う配置位置に基づいて、所定の補正テーブルを参照して、前記階調電流の調整制御に係る補正係数を抽出するステップと、前記補正係数を所定の基準値に乗算して、前記階調電流の電流値を調整制御するステップと、前記調整制御された電流値を有する前記階調電流を、所定のタイミングで前記表示画素に供給するステップと、含むことを特徴とする。

【0039】

請求項29記載の表示装置の駆動制御方法は、請求項27記載の表示装置の駆動制御方法において、前記表示装置の駆動制御方法は、少なくとも、前記表示パネルにおける前記表示画素の、前記信号ラインに沿う配置位置に基づいて、所定の補正テーブルを参照して、前記階調電流の調整制御に係る補正係数を抽出するステップと、前記補正係数を所定の基準値に乗算して、前記階調電流を前記表示画素に供給する電流供給期間の時間幅を調整制御するステップと、前記表示画素の各々を選択状態に設定する一定の時間幅を有する選択期間内に、前記調整制御された時間幅を有する前記電力供給期間で、前記階調電流を前記表示画素に供給するステップと、を含むことを特徴とする。

【0040】

請求項30記載の表示装置の駆動制御方法は、請求項27記載の表示装置の駆動制御方法において、前記表示装置の駆動制御方法は、少なくとも、前記表示パネルにおける前記表示画素の、前記信号ラインに沿う配置位置に基づいて、所定の補正テーブルを参照して、前記階調電流の調整制御に係る補正係数を抽出するステップと、前記補正係数を所定の基準値に乗算して、前記表示画素を選択状態に設定する選択期間の時間幅を調整制御するステップと、前記表示画素の各々に前記階調電流を供給する一定の時間幅を有する電流供給期間内に、前記調整制御された時間幅を有する前記選択期間で、前記階調電流を前記表示画素に供給するステップと、を含むことを特徴とする。

【0041】

請求項31記載の表示装置の駆動制御方法は、請求項28乃至30のいずれかに記載の表示装置の駆動制御方法において、前記表示装置の駆動制御方法は、前記表示画素の各々に前記階調電流を供給するステップに先立って、前記表示画素に、特定のリセット信号を印加して、少なくとも、該表示画素に蓄積された電荷を放電して初期化するステップを含むことを特徴とする。

【0042】

すなわち、本発明に係る表示駆動装置及び表示装置並びにその駆動制御方法は、有機EL素子等のように、供給される発光駆動電流の電流値に応じて所定の輝度階調で発光動作する電流制御型の発光素子を備えた表示画素に対して、表示データに応じた階調電流を供給

することにより、該表示画素が、互いに直交する複数のデータライン（信号ライン）及び複数の走査ラインの交点近傍に配置される表示パネルに所望の画像情報を表示する表示装置において、各表示画素への表示データの書込動作に際し、当該表示画素の表示パネル上での配置位置、具体的には、データドライバ（信号駆動回路）から当該表示画素までのデータラインに寄生する容量成分（配線容量）に応じて、階調電流の電流値又は電流供給期間、もしくは、各表示画素の選択期間、あるいは、データドライバに対する各表示画素の負荷容量を調整制御（補正）することができるように構成されている。

【0043】

これによれば、表示パネルのいずれの位置に配置された表示画素においても、同一階調で同一発光輝度となるように、上記階調電流の電流値又は電流供給期間、もしくは、各表示画素の選択期間を調整制御（補正）して、階調電流によって供給される供給電荷量に対して、各表示画素に書き込まれる電荷量の割合（書込率）が一定となる方向に補正することができるので、データドライバからのデータラインに寄生する配線容量や配線抵抗の影響を抑制して、表示パネルの全域で輝度階調を均一化して、表示画質の向上を図ることができる。

【0044】

ここで、上記階調電流の電流値又は電流供給期間、もしくは、各表示画素の選択期間を調整制御する手法としては、表示画素の配置位置と階調電流の供給状態の調整制御に係る補正係数とを関連付けた補正テーブルを備え、表示画素の配置位置に基づいて、該補正テーブルから補正係数を一義的に抽出し、該補正係数を所定の基準値（基本電流値、基本供給時間、基本印加時間）に乗算することにより、階調電流の供給状態を調整制御すること手法を適用することができる。

【0045】

また、表示パネルのいずれの位置に配置された表示画素においても、同一階調で同一発光輝度となるように、上記データドライバから見た各表示画素における容量負荷（具体的には、各表示画素に設けられる電荷保持手段や、該表示画素が共通に接続される行方向の信号供給ライン（電源ライン）に付加される容量成分（補正容量））を均一に調整制御（補正）することができるので、各表示画素への表示データの書込率を一定となるように設定することができるので、表示パネルの全域で輝度階調を均一化して、表示画質の向上を図ることができる。

【0046】

さらに、各行の表示画素に上記階調電流を供給する動作（表示データを書き込む動作）に先立って、各データライン及び表示画素に所定電圧を有するリセット信号（リセット電圧）を印加して、データラインや表示画素に保持されている電荷を放電させるリセット動作（リセット期間）を実行するものであってもよい。これによれば、各表示画素への表示データの書込動作に際し、常に一定の初期化状態に設定された表示画素に対して、上記階調電流が供給されることになるので、各表示画素に表示データに適切に対応した電荷が蓄積され、発光素子を適切な輝度階調で発光動作させることができる。

【0047】

【発明の実施の形態】

以下、本発明に係る表示駆動装置及び表示装置並びにその駆動制御方法について、実施の形態を示して詳しく説明する。

<表示装置>

まず、本発明に係る表示駆動装置を適用可能な表示装置の概略構成（基本構成）について、図面を参照して説明する。

図1は、本発明に係る表示装置の基本構成を示す概略ブロック図であり、図2は、本発明に係る表示装置の要部構成を示す概略構成図である。

【0048】

図1、図2に示すように、本実施形態に係る表示装置100は、概略、相互に直交するように配設された複数の走査ラインSLと複数のデータライン（信号ライン）DLとの各交

点近傍に、例えば、後述する発光駆動回路（画素駆動回路）及び電流制御型の発光素子（有機EL素子）を備えた複数の表示画素EMがマトリクス状に配列された表示パネル110と、該表示パネル110の走査ラインSLに接続され、各走査ラインSLに所定のタイミングで順次走査信号Vse1を印加することにより、行ごとの表示画素EMを選択状態に設定（走査）する走査ドライバ（表示駆動装置、走査駆動回路）120と、表示パネル110のデータラインDLに接続され、後述する表示信号生成回路150から供給される表示データを取り込んで、所定のタイミングで各データラインDLへ表示データに応じた階調電流Ipixを供給するデータドライバ（表示駆動装置、信号駆動回路）130と、後述する表示信号生成回路150から供給されるタイミング信号に基づいて、少なくとも、走査ドライバ120及びデータドライバ130の動作状態を制御する走査制御信号及びデータ制御信号を生成して出力するシステムコントローラ140と、例えば、表示装置100の外部から供給される映像信号に基づいて、表示データを生成して上記データドライバ130に供給するとともに、該表示データを表示パネル110に画像表示するためのタイミング信号（システムクロック等）を抽出、又は、生成して上記システムコントローラ140に供給する表示信号生成回路150と、を備えて構成されている。

【0049】

以下、上記各構成について具体的に説明する。

（表示パネル110）

図2に示した表示パネル110に配列された表示画素EMは、後述するように、走査ドライバ120から走査ラインSLに走査信号Vse1を印加するタイミングに基づいて、信号ドライバ130からデータラインDLに供給される階調電流Ipixを取り込んで、該階調電流Ipixに応じた電圧成分を保持する書込動作と、該電圧成分に基づく発光駆動電流を発光素子に供給して所定の輝度階調で発光させる発光動作と、を選択的に実行するように構成されている。

【0050】

すなわち、本実施形態に適用される表示画素EM（発光駆動回路）は、選択レベル（例えば、ハイレベル）の走査信号Vse1が印加されることにより設定される選択状態（選択期間）においては、階調電流Ipixが書き込まれる（書込動作）とともに、発光素子への発光駆動電流の供給が遮断されて非発光状態となり、また、非選択レベル（例えば、ローレベル）の走査信号Vse1が印加されることにより設定される非選択状態（非選択期間）においては、上記書込動作により書き込まれた階調電流Ipixに基づく発光駆動電流が発光素子に供給されて、該発光素子が所定の輝度階調で発光する（発光動作）。なお、本実施形態に係る表示パネルに適用される表示画素EMの具体回路例や回路動作については、詳しく後述する。

【0051】

（走査ドライバ120）

走査ドライバ120は、システムコントローラ140から供給される走査制御信号に基づいて、上記各走査ラインSLに選択レベル（例えば、ハイレベル）の走査信号Vse1を順次印加することにより、各行ごとの表示画素EMを選択状態に設定し、当該選択状態（選択期間）に設定される一定期間、又は、特定の時間幅に設定された期間中に、データドライバ130により各データラインDLを介して供給される表示データに基づく階調電流Ipixを、各表示画素EMに書き込むように制御する。

【0052】

走査ドライバ120は、具体的には、図2に示すように、シフトレジスタとバッファからなるシフトブロックSB1、SB2、SB3、・・・を、各走査ラインSLに対応させて複数段備え、後述するシステムコントローラ140から走査制御信号として供給される走査クロック信号SCKに基づいて、走査スタート信号SSTを表示パネル110の上方から下方に順次シフトしつつ生成されたシフト信号を、バッファを介して所定の電圧レベル（ハイレベル）に変換して走査信号Vse1として各走査ラインSLに印加する。なお、走査ドライバにおける本発明特有の動作制御については、詳しく後述する。

【0053】

(データドライバ130)

データドライバ130は、システムコントローラ140から供給されるデータ制御信号に基づいて、後述する表示信号生成回路150から供給される1行分ごとの表示データを所定のタイミングで順次取り込み、該表示データの輝度階調に対応する電流値、又は、電流供給時間(パルス幅)に設定された階調電流I_{p i x}を生成して、上記各走査ラインごとに設定される選択期間内の所定のタイミングで各データラインDLに供給する。なお、データドライバにおける本発明特有の構成及び動作制御については、詳しく後述する。

【0054】

(システムコントローラ140)

システムコントローラ140は、上述した走査ドライバ120及びデータドライバ130に対して、動作状態を制御する走査制御信号及びデータ制御信号を出力することにより、各ドライバを所定のタイミングで動作させて走査信号V_{s e l}及び階調電流I_{p i x}を生成して出力させ、表示信号生成回路150により生成される表示データを各表示画素EMに書き込んで発光動作させ、所定の画像情報を表示パネル110に表示させる制御を行う。なお、システムコントローラにより実現される駆動制御動作については、後述する各実施形態において詳しく説明する。

【0055】

(表示信号生成回路150)

表示信号生成回路150は、例えば、表示装置100の外部から供給される映像信号から輝度階調信号成分を抽出し、表示パネル110の1行分ごとに表示データとしてデータドライバ130に供給する。ここで、上記映像信号が、テレビ放送信号(コンポジット映像信号)のように、画像情報の表示タイミングを規定するタイミング信号成分を含む場合には、表示信号生成回路150は、上記輝度階調信号成分を抽出する機能のほか、タイミング信号成分を抽出してシステムコントローラ140に供給する機能を有するものであってもよい。この場合においては、上記システムコントローラ140は、表示信号生成回路150から供給されるタイミング信号に基づいて、走査ドライバ120やデータドライバ130に対して供給する走査制御信号及びデータ制御信号を生成する。

【0056】

<表示画素の具体例>

次いで、上述した表示パネルに配列される表示画素の具体回路例について、図面を参照して説明する。

図3は、本発明に係る表示装置に適用可能な表示画素(発光駆動回路)の具体回路例を示す回路構成図であり、図4は、本実施例に係る発光駆動回路の動作状態を示す概念図である。図5は、本実施例に係る発光駆動回路を適用した表示画素の基本動作を示すタイミングチャートである。また、図6は、本実施例に係る表示画素を適用した表示装置の一構成例を示す概略ブロック図である。

【0057】

本実施例に係る表示画素EMは、図3に示すように、概略、上述した走査ドライバ120から印加される走査信号V_{s e l}に基づいて表示画素EMを選択状態に設定し、該選択状態においてデータドライバ130から供給される階調電流I_{p i x}を取り込み、該階調電流I_{p i x}に応じた発光駆動電流を発光素子に流す発光駆動回路DCと、発光駆動回路DCから供給される発光駆動電流に基づいて、所定の輝度階調で発光動作する有機EL素子OEL等の電流制御型の発光素子と、を有して構成されている。

【0058】

発光駆動回路DCは、例えば、図3に示すように、ゲート端子が走査ラインSLに、ソース端子が電源ラインVL(電源電圧V_{s c})に、ドレイン端子が接点N1に各々接続されたnチャンネル型の薄膜トランジスタTr11と、ゲート端子が走査ラインSLに、ソース端子及びドレイン端子がデータラインDL及び接点N12に各々接続されたnチャンネル型の薄膜トランジスタTr12と、ゲート端子が接点N11に、ソース端子及びドレイン端

子が電源ラインVL及び接点N12に各々接続されたnチャンネル型の薄膜トランジスタ（発光駆動手段）Tr13と、接点N11及び接点N12間に接続されたコンデンサ（電荷保持手段）Csと、を備えた構成を有し、有機EL素子OELのアノード端子が接点N12に、カソード端子が接地電位に各々接続されている。ここで、コンデンサCsは、薄膜トランジスタTr13のゲートソース間に形成される寄生容量であってもよい。

【0059】

このような構成を有する発光駆動回路DCにおける発光素子（有機EL素子OEL）の発光駆動制御は、例えば、図5に示すように、一走査期間Tscを1サイクルとして、該一走査期間Tsc内に、走査ラインSLに接続された表示画素を選択して表示データに対応する階調電流Ipixを書き込み、電圧成分として保持する選択期間（書込動作期間）Tseと、該選択期間Tseに書き込み、保持された電圧成分に基づいて、上記表示データに応じた発光駆動電流を有機EL素子OELに供給して、所定の輝度階調で発光動作させる非選択期間（発光動作期間）Tnseと、を設定することにより実行される（Tsc=Tse+Tnse）。ここで、各行の表示画素EMが接続された各走査ラインSLごとに設定される選択期間Tseは、相互に時間的な重なりが生じないように設定される。

【0060】

（選択期間）

すなわち、表示画素の選択期間Tseにおいては、図5に示すように、まず、走査ドライバ120から特定の走査ラインSLに対して、ハイレベルの走査信号Vsel（Vslh）が印加されて当該行の表示画素が選択状態に設定されるとともに、当該行の表示画素の電源ラインVLに対して、ローレベルの電源電圧Vsc1が印加される。また、このタイミングに同期して、データドライバ130から当該行の表示画素に対応する電流値を有する負極性の階調電流（-Ipix）が各データラインDLに供給される。

【0061】

これにより、発光駆動回路DCを構成する薄膜トランジスタTr11及びTr12がオン動作して、ローレベルの電源電圧Vsc（Vsc1）が接点N11（すなわち、薄膜トランジスタTr13のゲート端子及びコンデンサCsの一端）に印加されるとともに、データラインDLを介して負極性の階調電流（-Ipix）を引き込む動作が行われることにより、ローレベルの電源電圧Vsc1よりも低電位の電圧レベルが接点N12（すなわち、薄膜トランジスタTr13のソース端子及びコンデンサCsの他端）に印加される。

【0062】

このように、接点N11及びN12間（薄膜トランジスタTr13のゲートソース間）に電位差が生じることにより、薄膜トランジスタTr13がオン動作して、図4（a）に示すように、電源ラインVLから薄膜トランジスタTr13、接点N12、薄膜トランジスタTr12、データラインDLを介して、データドライバ130に、階調電流Ipixの電流値に対応した書込電流Iaが流れる。

【0063】

このとき、コンデンサCsには、接点N11及びN12間（薄膜トランジスタのTr13のゲートソース間）に生じた電位差に対応する電荷が蓄積され、電圧成分として保持される（充電される）。また、電源ラインVLには、接地電位以下の電圧レベルを有する電源電圧Vsc1が印加され、さらに、書込電流IaがデータラインDL方向に流れるように制御されていることから、有機EL素子OELのアノード端子（接点N12）に印加される電位はカソード端子の電位（接地電位）よりも低くなり、有機EL素子OELに逆バイアス電圧が印加されていることになるため、有機EL素子OELには駆動電流が流れず、発光動作は行われない。

【0064】

（非選択期間）

次いで、選択期間Tse終了後の非選択期間Tnseにおいては、図5に示すように、走査ドライバ120から特定の走査ラインSLに対して、ローレベルの走査信号Vsel（Vsl1）が印加されて当該行の表示画素が非選択状態に設定されるとともに、当該行の

表示画素の電源ラインVLに対して、ハイレベルの電源電圧 V_{sch} が印加される。また、このタイミングに同期して、データドライバ130による階調電流 I_{pix} の引き込み動作が停止される。

【0065】

これにより、発光駆動回路DCを構成する薄膜トランジスタ $Tr11$ 及び $Tr12$ がオフ動作して、接点 $N11$ （すなわち、薄膜トランジスタ $Tr13$ のゲート端子及びコンデンサ Cs の一端）への電源電圧 V_{sc} の印加が遮断されるとともに、接点 $N12$ （すなわち、薄膜トランジスタ $Tr13$ のソース端子及びコンデンサ Cs の他端）へのデータドライバ130による階調電流 I_{pix} の引き込み動作に起因する電圧レベルの印加が遮断されるので、コンデンサ Cs は、上述した選択期間において蓄積された電荷を保持する。

【0066】

このように、コンデンサ Cs が書込動作時の充電電圧を保持することにより、接点 $N11$ 及び $N12$ 間（薄膜トランジスタの $Tr13$ のゲート-ソース間）の電位差が保持されることになり、薄膜トランジスタ $Tr13$ はオン状態を維持する。また、電源ラインVLには、接地電位よりも高い電圧レベルを有する電源電圧 V_{sc} （ V_{sch} ）が印加されるので、有機EL素子OELのアノード端子（接点 $N2$ ）に印加される電位はカソード端子の電位（接地電位）よりも高くなる。

【0067】

したがって、図4（b）に示すように、電源ラインVLから薄膜トランジスタ $Tr13$ 、接点 $N12$ を介して、有機EL素子OELに順バイアス方向に所定の発光駆動電流 I_b が流れ、有機EL素子OELが発光する。ここで、コンデンサ Cs により蓄積された電荷に基づく電位差（充電電圧）は、薄膜トランジスタ $Tr13$ において階調電流 I_{pix} に対応した書込電流 I_a を流下させる場合の電位差に相当するので、有機EL素子OELに流下する発光駆動電流 I_b は、上記書込電流 I_a と同等の電流値を有することになる。これにより、選択期間 T_{se} 後の非選択期間 T_{nse} においては、選択期間 T_{se} に書き込まれた表示データ（階調電流 I_{pix} ）に対応する電圧成分に基づいて、薄膜トランジスタ $Tr13$ を介して、発光駆動電流 I_b が継続的に供給されることになり、有機EL素子OELは表示データに対応する輝度階調で発光する動作を継続する。

【0068】

そして、上述した一連の動作を、表示パネル110を構成する全ての走査ラインSLについて順次繰り返して実行することにより、表示パネル1画面分の表示データが書き込まれて、所定の輝度階調で発光し、所望の画像情報が表示される。

ここで、本実施例に係る発光駆動回路DCに適用される薄膜トランジスタ $Tr11$ ～ $Tr13$ については、特に限定するものではないが、薄膜トランジスタ $Tr11$ ～ $Tr13$ を全てnチャネル型の薄膜トランジスタにより構成することができるため、nチャネル型アモルファスシリコンTFTを良好に適用することができる。この場合、すでに確立されたアモルファスシリコン製造技術を適用して、動作特性の安定した発光駆動回路を比較的安価に製造することができる。

【0069】

また、本実施例に係る発光駆動回路DCにおいて電源ラインVLに所定の電源電圧 V_{cs} を印加する構成としては、例えば、図6に示すように、表示パネル110の各走査ラインSLに並行に配設された複数の電源ラインVLに接続された電源ドライバ160を備え、システムコントローラ140から供給される電源制御信号に基づいて、走査ドライバ120から出力される走査信号 V_{se1} に同期する所定のタイミング（図5参照）で、電源ドライバ160から所定の電圧値を有する電源電圧 V_{cs} を、走査ドライバ120により走査信号 V_{se1} が印加される行（選択状態に設定される表示画素EM）の電源ラインVLに対して印加するようにした構成を良好に適用することができる。

【0070】

なお、上述した表示画素においては、発光駆動回路として3個の薄膜トランジスタを備え、データドライバにより負極性の階調電流を生成して、データラインを介してデータドラ

イバ方向に該階調電流を引き込む形態の電流印加方式に対応した回路構成を示したが、本発明はこの実施例に限定されるものではない。すなわち、少なくとも、電流印加方式に対応した発光駆動回路を備えた表示装置であって、発光素子への発光駆動電流の供給を制御する駆動電流制御手段（薄膜トランジスタTr11、Tr13に相当）を備え、該駆動電流制御手段により、表示データに応じた階調電流を（電圧成分として）保持した後、該階調電流に基づく発光駆動電流を供給して、発光素子を所定の輝度階調で発光動作させるものであれば、他の回路構成を有するものであればよく、例えば、4個の薄膜トランジスタを備えた回路構成を有するものであってもよく、さらには、データドライバにより正極性の階調電流を生成して、データドライバからデータライン方向に該階調電流を印加する（流し込む）形態の回路構成を有するものであってもよい。

【0071】

また、上述した実施例においては、表示画素を構成する発光素子として、有機EL素子を適用した構成を示したが、本発明に係る表示装置はこれに限るものではなく、供給される発光駆動電流の電流値に応じて所定の輝度階調で発光動作する電流制御型の発光素子であれば、上述した有機EL素子の他に、例えば、発光ダイオードやその他の発光素子を適用するものであってもよい。

【0072】

そして、本発明においては、上述したような構成を有する表示装置において、各表示画素EMへの表示データの書込動作に際し、当該表示画素EMの表示パネル110上での配置位置（具体的には、データドライバ130から当該表示画素EMまでのデータラインDLの配線長）に応じて、階調電流の電流値又は供給時間、もしくは、各表示画素における容量成分を補正制御することにより、いずれの位置に配置された表示画素においても、表示データに応じた階調電流によって表示画素に供給される供給電荷量に対し、当該表示画素に書き込まれる電荷量の割合（書込率）が均一化されるように制御される。以下、実施形態を具体的に説明する。

【0073】

<第1の実施形態>

図7は、本発明に係る表示装置の第1の実施形態に適用可能なデータドライバを示す概略ブロック図である。なお、本実施形態においては、表示画素EMに上述した発光駆動回路（図3参照）を適用し、負極性の階調電流Ipixを生成、供給して、表示画素EM側からデータドライバ130に階調電流Ipixを引き込む方向に流す場合について説明する。

本実施形態に適用されるデータドライバは、システムコントローラ140から供給されるデータ制御信号に基づいて、表示信号生成回路160から供給される表示データを所定のタイミングで取り込み、該表示データ及び表示画素の配置位置に対応した電流値を有する階調電流に変換して各データラインに供給する。

【0074】

具体的には、図7に示すように、データドライバ130Aは、システムコントローラ140からデータ制御信号として供給されるシフトクロック信号CLKに基づいて、サンプリングスタート信号STRを順次シフトしつつシフト信号を出力するシフトレジスタ回路131Aと、該シフト信号の入力タイミングに基づいて、表示信号生成回路160から供給される1行分の表示データD0～Dm（デジタルデータ）を順次取り込むデータレジスタ回路132Aと、データラッチ信号STBに基づいて、データレジスタ回路132Aにより取り込まれた1行分の表示データD0～Dmを保持するデータラッチ回路133Aと、図示を省略した電源供給手段から供給される階調基準電圧V0～Vpに基づいて、上記保持された表示データD0～Dmを所定のアナログ信号電圧（階調電圧Vpix）に変換するD/Aコンバータ（デジタル-アナログ変換器）134Aと、アナログ信号電圧に変換された表示データに対応する信号電流Icを生成し、システムコントローラ140から供給される出力イネーブル信号OEに基づいて、該信号電流Icを一斉に出力する電圧電流変換・電流供給回路135Aと、上記データレジスタ回路132Aにおいて取り込んだ表

示データD0～Dmが書き込まれる各表示画素EMの表示パネル110上での配置位置に応じて、上記信号電流Icの電流値を補正して、階調電流Ipixとして各データラインDLを介して各表示画素EMに供給する電流値補正回路（電流供給制御手段）136Aと、を有して構成されている。

【0075】

（電圧電流変換・電流供給回路）

図8は、本実施形態に係るデータドライバに適用可能な電圧電流変換・電流供給回路の一例を示す回路構成図である。

上述した電圧電流変換・電流供給回路135Aに適用可能であって、各データラインDLごとに設けられる回路構成としては、例えば、図8に示すように、一方の入力端子（負入力（-））に、入力抵抗Rを介して逆極性の階調電圧（ $-V_{pix}$ ）が入力され、他方の入力端子（正入力（+））に、入力抵抗Rを介して基準電圧（接地電位）が入力されるとともに、出力端子が帰還抵抗Rを介して一方の入力端子（-）に接続されたオペアンプOP1と、オペアンプOP1の出力端子に出力抵抗Rを介して設けられた接点NAの電位が、一方の入力端子（+）に入力され、出力端子が他方の入力端子（-）に接続されるとともに、出力抵抗Rを介してオペアンプOP1の他方の入力端子（+）に基準電圧（接地電位）を入力し、出力端子が帰還抵抗Rを介して一方の入力端子接続されたオペアンプOP2と、接点NAに、システムコントローラ140から供給される出力イネーブル信号OEに基づいてオン/オフ動作し、データラインDLへの階調電流Ipixの供給状態（本実施形態においては、生成される階調電流Ipixが負極性となるので、当該電流を引き込む動作状態）を制御するスイッチング手段SWと、を備えた構成を有している。

このような電圧電流変換・電流供給回路135Aによれば、入力される負極性の階調電圧（ $-V_{pix}$ ）に対して、 $-I_{pix} = (-V_{pix}) / R$ からなる負極性の階調電流（ $-I_{pix}$ ）が生成され、出力イネーブル信号OEに基づいて、電流値補正回路136Aを介して各データラインDLに供給される。

【0076】

（電流値補正回路）

図9は、本実施形態に係るデータドライバに適用可能な電流値補正回路における補正処理のための特性曲線を示す図である。

また、電流値補正回路136Aは、電圧電流変換・電流供給回路135Aにより生成された、表示画素EMごとの信号電流Icに対して、当該表示画素EMの表示パネル110上での配置位置、すなわち、データドライバ130Aから伸延して配設されたデータラインDLの、データドライバ130Aと表示画素EM間の配線長（換言すれば、表示データD0～Dmが書き込まれる表示画素EMの行番号又は走査ラインSLの位置に相当する）に応じて、電流値を補正する処理を実行する。

【0077】

ここで、電流値補正回路136Aにおける電流値補正処理において、データドライバ130A（データレジスタ回路132A）に取り込まれた表示データD0～Dmが書き込まれる表示画素EMの配置位置を示す情報（位置情報POS）は、例えば、走査ドライバ120及びデータドライバ130Aの動作状態を制御するシステムコントローラ140から供給されるものであってもよいし、表示信号生成回路150から供給される表示データD0～Dmに付加情報として設定されるものであってもよいし、走査ドライバ120における走査信号Vselの印加状態に基づくものであってもよい。

【0078】

そして、電流値補正回路136Aにおける電流値補正処理は、具体的には、図19、図20に示したように、表示画素EMの配置位置がデータドライバ130Aから離れるほど、データラインDLに寄生する配線容量（容量成分）や配線抵抗の影響を受けて表示データ（階調電流）の書込動作に遅延を生じ、書込率が低下することから、図9に示すような特性曲線Srに基づいて、この書込率の低下を補完するように、補正係数 α を規定し、例えば、階調電流Ipixの電流値として、上記信号電流Icの電流値（基本電流値）に当該

補正係数 α を乗算した数値に設定する。

【0079】

すなわち、データドライバ130Aの直近に配置された表示画素EMに対しては、データラインDLの配線容量や配線抵抗の影響をほとんど受けないので、電圧電流変換・電流供給回路135Aにより生成された信号電流 I_c がそのまま階調電流 I_{pix} として出力されるように、図9の規格化位置“0”において規格化電流が“1”となるように補正係数 $\alpha (=1)$ を設定する。

一方、データラインDLの配線長が長くなる位置に配置された表示画素EMにおいては、データラインDLの配線容量や配線抵抗の影響を受けて図20に示したように書込率が低下するので、該書込率を、データドライバ130Aの直近に配置された表示画素EMの書込率と同等程度（例えば、100%、もしくは、100%に近似する書込率）となるように、図9の規格化位置に応じて規格化電流が大きくなるように補正係数 $\alpha (>1)$ を設定し、階調電流 I_{pix} の電流値を大きく設定する。

【0080】

具体的には、図21に示した表示画素における入力電流（規格化電流）に対する出力輝度（規格化輝度）の関係図において、例えば、規格化輝度0.04の出力を、表示パネルの全域で実現する場合、データドライバ130Aの直近の位置（規格化位置“0”）に配置された表示画素EMに対しては、規格化電流 $I_1 = 0.04$ となる階調電流 I_{pix} を供給し、データドライバ130Aから最遠方の位置（規格化位置“1”）に配置された表示画素EMに対しては、規格化電流 $I_2 = 0.08 \sim 0.09$ となるように電流値を補正した階調電流 I_{pix} を供給する。

【0081】

ここで、電流値補正処理における補正係数又は規格化電流の設定手法は、図9に示したように、データラインの配線長に応じて予め判明している配線容量や配線抵抗の影響（図20参照）に基づいて、書込率を均一化するように補正係数又は規格化電流を規定した特性曲線 S_r の相関関係から、表示パネル110の仕様（画素数や走査線数等）に基づいて予め判明している各表示画素EMの配置位置に対応する規格化位置の補正係数又は規格化電流のみを抽出した補正テーブルを備え、該補正テーブルを参照することにより、補正係数を一義的に求めるものであってもよいし、図9に示した特性曲線 S_r から、表示画素の配置位置（規格化位置）に対する補正係数を一義的に求めるものであってもよい。

【0082】

したがって、本実施形態に係るデータドライバ130Aによれば、表示データに応じた信号電流 I_c が生成され、さらに、該表示データが書き込まれる表示画素EMの配置位置（データラインDLの配線長）に応じた電流値に補正された階調電流 I_{pix} が、所定のタイミングでデータラインDLに供給されることにより、表示パネル110上での表示画素EMの配置位置（データラインDLの配線長）に関わらず、各表示画素EMへの書込率が均一になるように制御される。

【0083】

なお、本実施形態においては、電流値補正回路136Aを、データドライバ130Aに設けられた他の構成とは独立した構成として示したが、本発明はこれに限定されるものではなく、例えば、電圧電流変換・電流供給回路135Aと一体的に構成するものであってもよいし、電圧電流変換・電流供給回路135Aを構成する各能動素子の特性を、上記補正係数に応じて調整制御して、生成される信号電流 I_c の電流値を、表示画素の配置位置に応じた数値に設定し、そのまま階調電流 I_{pix} としてデータラインDLに供給するようにしたものでもよい。

【0084】

（表示装置の駆動制御動作）

次いで、上述したデータドライバを適用した表示装置における駆動制御動作について、図面を参照して説明する。

図10は、本実施形態に係る表示装置における画像情報の表示タイミングを示すタイミン

グチャートである。ここで、図5に示した各表示画素における発光駆動回路の基本動作を適宜参照するものとする。

本実施形態に係る表示装置における駆動制御動作は、図10に示すように、上述した発光駆動回路における動作と同様に、一走査期間 T_{sc} 内に選択期間（書込動作期間） T_{se} 及び非選択期間（発光動作期間） T_{nse} を設定することにより実行される（ $T_{sc} = T_{se} + T_{nse}$ ）。

【0085】

（選択期間）

すなわち、本実施形態に係る表示装置に設定される選択期間 T_{se} においては、図10に示すように、まず、走査ドライバ120から特定の走査ラインSLに対して、選択レベルの走査信号 V_{sel} （ V_{slh} ）が印加されるとともに、当該行の表示画素の電源ラインVLに対して、ローレベルの電源電圧 V_{sc1} が印加されて、当該行の表示画素が選択状態に設定される。

また、この選択期間 T_{se} においては、選択期間 T_{se} 開始後の特定の期間、データドライバ130Aから各データラインDLにリセット電圧（0V；リセット信号）が印加されて、各データラインDLに寄生する配線容量や表示画素EM等に保持されていた電荷を放電して初期化するリセット動作（リセット期間 T_{rt} ）を実行した後、上述したようなデータドライバ130Aにより、当該行の表示画素EMの配置位置（データラインの配線長）に対応するように補正された電流値を有する負極性の階調電流（ $-I_{pix}$ ）が各データラインDLに供給される（電流供給期間 T_a ）。

【0086】

これにより、当該行の表示画素EMに設けられた発光駆動回路DCに、リセット期間 T_{rt} においては、リセット電圧が印加されてコンデンサCs等に保持されていた電荷が放電されて初期化され、その後の電流供給期間 T_a においては、データラインDLを介して負極性の階調電流（ $-I_{pix}$ ）が供給されることにより、図4（a）に示した場合と同様に、データラインDLを介してデータドライバ130A方向に、階調電流 I_{pix} の電流値に対応した書込電流 I_a が流れるとともに、コンデンサCsに書込電流 I_a に応じた電荷が蓄積され、電圧成分として保持される。このとき、有機EL素子OELには逆バイアス電圧が印加されるように各印加電圧が設定されて、有機EL素子OELは非発光状態を維持する。

【0087】

ここで、データドライバ130からデータラインDLを介して各表示画素に供給される階調電流 I_{pix} は、図9に示したように、該表示画素EMの表示パネル110上での配置位置（すなわち、行番号；規格化位置）に対応して、データドライバ130からの距離（データラインDLの配線長）が長くなるほど、階調電流 I_{pix} の規格化電流の値が大きくなるように電流値が補正されるので、該表示画素EMの表示パネル110上の配置位置（データラインDLの配線長）に関わらず、選択期間 T_{se} （詳しくは、電流供給期間 T_a ）に、同一階調の表示データに対して略同等の電荷量（データドライバ130A直近の規格化位置“0”における表示画素EMのコンデンサCsと同等の電荷量）が、表示パネル110の各表示画素EMのコンデンサCsに蓄積される。

【0088】

（非選択期間）

次いで、選択期間 T_{se} 終了後の非選択期間 T_{nse} においては、図10に示すように、走査ドライバ120から特定の走査ラインSLに対して、非選択レベルの走査信号 V_{sel} （ V_{sl1} ）が印加されるとともに、当該行の表示画素EMの電源ラインVLに対して、ハイレベルの電源電圧 V_{sch} が印加されて、当該行の表示画素EMが非選択状態に設定される。また、このタイミングに同期して、データドライバ130Aによる階調電流 I_{pix} の引き込み動作が停止される。

【0089】

これにより、当該表示画素EMとデータラインDLとの電気的な接続が遮断されるととも

に、上述した選択期間 T_{se} においてコンデンサ C_s に蓄積された電荷（充電電圧）が保持されることにより、図4（b）に示した場合と同様に、有機EL素子OELに対して順バイアス方向に、上記書込電流 I_a と同等の電流値を有する発光駆動電流 I_b が流れ、表示データに対応する輝度階調で有機EL素子OELが発光する動作を継続する。

そして、上述した一連の動作を、表示パネル110を構成する全ての走査ラインSLについて、データドライバ130Aから供給する階調電流 I_{pix} の規格化電流の値を補正しつつ、順次繰り返して実行することにより、表示パネル1画面分の表示データが、表示画素EMの配置位置に関わらず、均一に書き込まれて、所定の輝度階調で発光し、所望の画像情報が表示される。

【0090】

したがって、表示パネルのいずれの位置に配置された表示画素においても、同一階調で同一発光輝度となるように階調電流の電流値が補正されて供給され、データドライバ直近に配置された表示画素と同等の書込率で表示データが書き込まれるので、データドライバからのデータラインに寄生する配線容量や配線抵抗の影響を抑制して、表示パネルの全域で輝度階調の均一化を図ることができ、表示画質の向上を図ることができる。

また、データドライバにおいて実行される電流値補正処理における補正係数を制御することにより、各表示画素への表示データの書込速度を向上させることができるので、例えば、表示パネルを高精細化して走査ラインの数を増加させて、選択期間を短く設定した場合であっても、表示データを良好に書込むことができ、表示パネルの高精細化に良好に対応することができる。

【0091】

<第2の実施形態>

次に、本発明に係る表示装置の第2の実施形態について、図面を参照して説明する。

上述した第1の実施形態においては、各表示画素EMに供給する階調電流 I_{pix} の電流値を、当該表示画素EMの表示パネル110上での配置位置（データラインDLの配線長）に応じて補正処理（調整）する構成及び駆動制御方法について説明したが、本実施形態においては、各表示画素への階調電流 I_{pix} の供給時間を補正処理することにより、いずれの位置に配置された表示画素においても、表示データ（階調電流）の書込率が均一化されるように制御される。

【0092】

図11は、本発明に係る表示装置の第2の実施形態に適用可能なデータドライバの一構成例を示す概略ブロック図である。ここで、上述した実施形態に示したデータドライバと同一の構成については、同等の符号を付してその説明を簡略化又は省略する。

本実施例では、表示画素に設定される選択期間を補正することにより、各表示画素における表示データの書込率を略均一化する構成及び駆動制御方法について説明する。

【0093】

図11に示すように、本実施例に適用されるデータドライバ130Bは、上述した第1の実施形態に示したデータドライバ130Aと同様の構成及び機能を有するシフトレジスタ回路131B、データレジスタ回路132B、データラッチ回路133B、D/Aコンバータ134Bと、アナログ信号電圧に変換された表示データ（階調電圧 V_{pix} ）に対応する階調電流 I_{pix} を生成し、出力カインープル信号OEに基づくタイミング及び一定の信号幅（パルス幅）で、該階調電流 I_{pix} を各データラインDLを介して各表示画素EMに一斉に供給する電圧電流変換・電流供給回路135Bと、を有して構成されている。

【0094】

また、本実施例に適用される走査ドライバ（図示を省略）は、上述した走査ドライバ120と同様の構成及び機能を有するシフトブロックに加え、各シフトブロックの出力部に（すなわち、各走査ラインSLに対応させて）、各走査ラインSLに接続された表示画素EMの表示パネル110上での配置位置に応じて、走査信号 V_{sel} の印加時間を個別に設定した印加時間設定部（図示を省略；電流供給制御手段）が設けられた構成を有している。

【0095】

ここで、印加時間設定部により設定される、各走査ラインにおける走査信号Vse1の印加時間（選択期間の時間幅）は、図19、図20に示したように、表示画素EMの配置位置（表示画素EMの行番号又は走査ラインSLの位置）がデータドライバ130Aから離れるほど、表示データの書込率が低下することから、上述した第1の実施形態において図9に示したような特性曲線Srに基づいて、各走査ライン（行）ごとの補正係数 α （ ≥ 1 ）を規定し、例えば、1行目（データドライバ直近）の走査ラインSLにおける走査信号の印加時間（基本印加時間；基準値）を基準として、2行目以降の各走査ラインごとの印加時間を、該基本印加時間に各走査ラインごとに設定された補正係数 α を乗算した数値に設定する。

【0096】

すなわち、データドライバ130Bの直近に配設された走査ラインに接続された表示画素EMに対しては、データラインDLの配線容量や配線抵抗の影響をほとんど受けないので、データドライバ130Bにより生成された階調電流Ipixが比較的短い時間だけ、当該行の表示画素EMに供給されるように、走査信号Vse1の印加時間により設定される選択期間が、上記基本印加時間程度に短く設定される。

【0097】

一方、データラインDLの配線長が長くなる位置に配置された表示画素EMにおいては、データラインDLの配線容量や配線抵抗の影響を受けて図20に示したように書込率が低下するので、該書込率を、データドライバ130Aの直近に配置された表示画素EMの書込率と同等程度（例えば、100%、もしくは、100%に近似する書込率）となるように補正係数 α （ > 1 ）を設定し、階調電流Ipixが比較的長い時間、当該行の表示画素に供給されるように選択期間（基本印加時間 $\times \alpha$ ）が設定される。

【0098】

（表示装置の駆動制御動作）

次いで、上述した構成を有する表示装置における駆動制御動作について、図面を参照して説明する。

図12は、本実施例に係る表示装置における画像情報の表示タイミングを示すタイミングチャートである。ここで、図5に示した各表示画素における発光駆動回路の基本動作を適宜参照するものとする。

本実施例に係る表示装置の駆動制御動作においては、一走査期間Tsc内に、各行ごとに順次時間幅が異なるように設定される選択期間Tse（Tse1、Tse2、・・・TseN）、及び、一定の時間幅に設定された非選択期間Tnseを設定することにより実行される。

【0099】

（選択期間）

まず、図12に示すように、一走査期間のTscの開始タイミングに同期して、一定の時間に設定された電流供給期間Tcに、図11に示した構成を有するデータドライバ130Bにより、当該行の表示画素EMにおける表示データに対応するように電流値が設定された負極性の階調電流（ $-I_{pix}$ ）が、各データラインDLに供給される。

そして、この電流供給期間Tc内であって、所定のブランク期間Tbの経過後に、走査ドライバ120から特定の走査ラインSLに対して走査信号Vse1（Vslh）が印加されるとともに、当該行の電源ラインVLに対して電源ドライバ160から電源電圧Vsc1が印加されて、当該行の表示画素EMが選択状態に設定される（選択期間Tse=Tse1、Tse2、・・・TseN）。

【0100】

ここで、選択期間Tseを規定する走査信号Vse1の印加タイミング（すなわち、ブランク期間Tb）は、電流供給期間Tcの終了タイミングと選択期間Tseの終了タイミングが同期するように設定される。また、選択期間Tseは、当該行の表示画素EMの配置位置（データラインDLの配線長）に対応して予め設定された補正係数 α に基づいて、上

記基準印加時間（1行目の走査ラインSLにおける選択期間 T_{se1} に相当する）に当該補正係数 α を乗算した時間に設定される。また、選択期間 T_{se} は、少なくとも、データドライバ130Bから最遠方となる位置に配設された行の走査ラインSL（すなわち、最終行の走査ライン、又は、規格化位置が“1”となる位置に配置された表示画素EM）において設定される選択期間 T_{se} （選択期間 T_{se} の最大値）が、一定の時間幅に設定された電流供給期間 T_c と同等又はそれ以下となるように、上記補正係数 α が設定される。

【0101】

これにより、当該行の表示画素EMに設けられた発光駆動回路DCに、電流供給期間 T_c のうち、ブランク期間 T_b が経過した後に設定される選択期間 T_{se} において、データラインDLを介して負極性の階調電流（ $-I_{pix}$ ）が供給されることにより、図4（a）に示した場合と同様に、階調電流 I_{pix} の電流値に対応した書込電流 I_a が流れるとともに、コンデンサCsに書込電流 I_a に応じた電荷が蓄積され、電圧成分として保持される。

【0102】

ここで、データドライバ130からデータラインDLを介して各表示画素EMに供給される階調電流 I_{pix} は、表示データに対応した電流値を有し、また、走査ドライバ120から走査ラインSLに印加される走査信号 V_{se1} により設定される選択期間 T_{se} は、図9に示した場合と同様に、該表示画素EMの表示パネル110上での配置位置（すなわち、行番号；規格化位置）に対応して、データドライバ130からの距離（データラインDLの配線長）が長くなるほど、選択期間 T_{se} に設定される時間が長くなるように補正されるので、該表示画素EMの表示パネル110上の配置位置（データラインDLの配線長）に関わらず、各選択期間 T_{se} に、同一階調の表示データに対して略同等の電荷量が各表示画素EMのコンデンサCsに蓄積される。

【0103】

（非選択期間）

次いで、選択期間 T_{se} （電流供給期間 T_c ）終了後の非選択期間 T_{nse} においては、図12に示すように、上述した第1の実施形態と同様に、当該行の表示画素EMが非選択状態に設定されるとともに、データドライバ130Aによる階調電流 I_{pix} の引き込み動作が停止される。

これにより、選択期間 T_{se} において当該表示画素EMのコンデンサCsに蓄積された電荷（充電電圧）が保持されて、図4（b）に示した場合と同様に、有機EL素子OELに対して、上記書込電流 I_a と同等の電流値を有する発光駆動電流 I_b が流れ、表示データに対応する輝度階調で有機EL素子OELが発光する動作を継続する。

【0104】

したがって、表示パネルのいずれの位置に配置された表示画素においても、同一階調で同一発光輝度となるように階調電流の供給時間（表示画素の選択期間）が補正されて、データドライバ直近に配置された表示画素と同等の書込率で表示データが書き込まれるので、データドライバからのデータラインに寄生する配線容量や配線抵抗の影響を抑制して、表示パネルの全域で輝度階調の均一化を図ることができ、表示画質の向上を図ることができる。

【0105】

また、本実施例に係る表示装置においては、表示パネル上における各表示画素の配置位置（各走査ラインの配設位置）に応じて、各走査ラインごとの選択期間の時間幅（例えば、各走査ラインごとに設けられる印加時間設定部における、各走査信号の印加時間）を予め固定的に設定しておくことができるので、駆動制御動作に対する処理負担を軽減することができるとともに、既存のデータドライバをそのまま適用することができ、表示パネルの全域で輝度階調を均一化して表示画質を向上した表示装置を簡易に実現することができる。

【0106】

次に、本発明に係る表示装置の第2の実施形態に適用される他の実施例について、図面を

参照して説明する。

図13は、本発明に係る表示装置の第2の実施形態に適用可能なデータドライバの他の構成例を示す概略ブロック図である。ここで、上述した実施形態に示したデータドライバと同一の構成については、同等の符号を付してその説明を簡略化又は省略する。

【0107】

上述した実施例においては、各表示画素EMへの表示データの書込みに際し、走査ドライバにより設定される選択期間の時間幅を、当該表示画素EMの表示パネル110上での配置位置（データラインDLの配線長）に応じて補正する構成及び駆動制御方法について説明したが、本実施例においては、データドライバによる階調電流I_{p i x}の供給時間（電流供給期間の時間幅）を補正処理することにより、いずれの位置に配置された表示画素においても、表示データ（階調電流）の書込率が均一化されるように制御される。

【0108】

図13に示すように、本実施形態に適用されるデータドライバ13Cは、上述した実施例に示したデータドライバ130Bと同様の構成及び機能を有するシフトレジスタ回路131C、データレジスタ回路132C、データラッチ回路133C、D/Aコンバータ134C、電圧電流変換・電流供給回路135Cと、上記データレジスタ回路132Cにおいて取り込んだ表示データD₀~D_mが書き込まれる各表示画素EMの表示パネル110上での配置位置に応じて、電圧電流変換・電流供給回路135Cにより生成された階調電流I_{p i x}をデータラインDL（各表示画素EM）に供給する電流供給期間（電流供給パルスのパルス幅）を補正する供給時間補正回路（電流供給制御手段）136Cと、を有して構成されている。

【0109】

ここで、供給時間補正回路136Cにより設定される、各表示画素EMへの階調電流I_{p i x}の供給時間は、上述した第1の実施形態において図9に示したような特性曲線S_rに基づく補正テーブルを用いて、各行の表示画素ごとの補正係数 α （ ≥ 1 ）を抽出し、例えば、1行目（データドライバ直近）の表示画素における階調電流I_{p i x}の供給時間（基本供給時間；基準値）を基準として、2行目以降の各行ごとの供給時間を、該基本供給時間に各行ごとに設定された補正係数 α を乗算した数値に設定する。

【0110】

すなわち、データドライバ130Cの直近に配設された走査ラインSLに接続された表示画素EMに対しては、データラインDLの配線容量や配線抵抗の影響をほとんど受けないので、データドライバ130Cにより生成された階調電流I_{p i x}が比較的短い時間だけ、当該行の表示画素EMに供給されるように、データドライバ130Cからの階調電流I_{p i x}の供給時間が、上記基本供給時間程度に短く設定される。

【0111】

一方、データラインDLの配線長が長くなる位置に配置された表示画素EMにおいては、データラインDLの配線容量や配線抵抗の影響を受けて図20に示したように書込率が低下するので、該書込率を、データドライバ130Cの直近に配置された表示画素EMの書込率と同等程度（例えば、100%、もしくは、100%に近似する書込率）となるように補正係数 α （ > 1 ）を設定し、階調電流I_{p i x}が比較的長い時間、当該行の表示画素EMに供給されるように電流供給時間（基本供給時間 $\times \alpha$ ）が設定される。

【0112】

（表示装置の駆動制御動作）

次いで、上述した構成を有する表示装置における駆動制御動作について、図面を参照して説明する。

図14は、本実施例に係る表示装置における画像情報の表示タイミングを示すタイミングチャートである。ここで、図5に示した各表示画素における発光駆動回路の基本動作を適宜参照するものとする。

本実施例に係る表示装置の駆動制御動作においては、一走査期間T_{s c}内に、各々一定の時間幅に設定された選択期間T_{s e}及び非選択期間T_{n s e}を設定することにより実行さ

れる ($T_{sc} = T_{se} + T_{nse}$)。

【0113】

(選択期間)

すなわち、選択期間 T_{se} においては、図14に示すように、走査ドライバ120から特定の走査ラインSLに対して走査信号 V_{sel} (V_{slh})が印加されるとともに、当該行の表示画素の電源ラインVLに対して電源電圧 V_{sc1} が印加されて、当該行の表示画素が選択状態に設定される(選択期間 T_{se})。

また、この選択期間 T_{se} 内であって、所定のブランク期間 T_b の経過後に、図11に示した構成を有するデータドライバ130Cにより、当該行の表示画素における表示データに対応するように電流値が設定された負極性の階調電流 ($-I_{pix}$) が、各データラインDLに供給される(電流供給期間 $T_c = T_{c1}, T_{c2}, \dots, T_{cN}$)。

【0114】

ここで、電流供給期間 T_c を規定する電流供給パルスの印加タイミング(すなわち、ブランク期間 T_b)は、選択期間 T_{se} の終了タイミングと電流供給期間 T_c の終了タイミングが同期するように設定される。また、電流供給期間 T_c は、当該行の表示画素EMの配置位置(データラインDLの配線長)に対応して予め設定された補正係数に基づいて、上記基準供給時間(1行目の表示画素EMに対する電流供給期間 T_{c1} に相当する)に対して当該補正係数を乗算した時間に設定される。そして、この電流供給期間 T_c の最大値(すなわち、最終行の表示画素EMに対する電流供給期間 T_{cN})は、少なくとも、一定の時間幅に設定された上記選択期間 T_{se} と同等又はそれ以下の時間に設定されるように、供給時間補正回路136Cに設定される補正係数 α が設定されている。

【0115】

これにより、当該行の表示画素EMに設けられた発光駆動回路DCに、選択期間 T_{se} のうち、ブランク期間 T_b が経過した後に設定される電流供給期間 T_c において、データラインDLを介して負極性の階調電流 ($-I_{pix}$) が供給されることにより、図4(a)に示した場合と同様に、階調電流 I_{pix} の電流値に対応した書込電流 I_a が流れるとともに、コンデンサCsに書込電流 I_a に応じた電荷が蓄積され、電圧成分として保持される。

【0116】

ここで、データドライバ130CからデータラインDLを介して各表示画素EMに供給される階調電流 I_{pix} は、表示データに対応した電流値を有するとともに、該階調電流 I_{pix} の供給時間(電流供給期間 T_c)は、各表示画素の表示パネル110上での配置位置(すなわち、行番号;規格化位置)に対応して、データドライバ130Cからの距離(データラインDLの配線長)が長くなるほど、供給時間が長くなるように補正されるので、該表示画素EMの表示パネル110上の配置位置(データラインDLの配線長)に関わらず、同一階調の表示データに対して略同等の電荷量が各表示画素EMのコンデンサCsに蓄積される。

【0117】

(非選択期間)

次いで、選択期間 T_{se} (電流供給期間 T_c)終了後の非選択期間 T_{nse} においては、図14に示すように、上述した実施例と同様に、当該行の表示画素EMが非選択状態に設定されるとともに、データドライバ130Aによる階調電流 I_{pix} の引き込み動作が停止されることにより、選択期間 T_{se} において当該表示画素EMのコンデンサCsに蓄積された電荷(充電電圧)が保持されて、図4(b)に示した場合と同様に、有機EL素子OELに対して、上記書込電流 I_a と同等の電流値を有する発光駆動電流 I_b が流れ、表示データに対応する輝度階調で有機EL素子OELが発光する動作を継続する。

【0118】

したがって、表示パネルのいずれの位置に配置された表示画素においても、同一階調で同一発光輝度となるように階調電流の供給時間(電流供給期間)が補正されて、データドライバ直近に配置された表示画素と同等の書込率で表示データが書き込まれるので、データ

ドライバからのデータラインに寄生する配線容量や配線抵抗の影響を抑制して、表示パネルに全域で輝度階調の均一化を図ることができ、表示画質の向上を図ることができる。

【0119】

なお、本実施形態に係る各実施例においては、データドライバにより表示データに応じた電流値を有する階調電流 I_{pix} を生成して、各表示画素 EM に供給する構成及び駆動制御方法について説明したが、本発明はこれに限定されるものではなく、一定の電流値を有する信号電流の信号幅（パルス幅）を、各表示データに応じて設定するパルス幅変調（PWM）制御方式を採用した駆動制御方法に適用するものであってもよい。

【0120】

図15は、本発明に係る表示装置の第2の実施形態に適用可能なデータドライバのさらに他の構成例を示す概略ブロック図である。

図15に示すように、本実施例に適用されるデータドライバ130Dは、例えば、各列のデータラインDLに接続された表示画素EMに供給される階調電流 I_{pix} の電流値を規定する、一定の電流値を有する定電流 I_p を生成して出力する定電流発生回路131Dと、該定電流発生回路131Dから供給される定電流 I_p を、後述する定電流ラッチ回路134Dの各々へ順次供給するタイミングを設定するシフトレジスタ132Dと、シフトレジスタ132Dから所定のタイミングで順次出力されるスイッチ切換信号（シフト出力）SRにより、上記定電流発生回路131Dから各定電流ラッチ回路134Dへの定電流 I_p の供給状態を制御する複数のスイッチ手段133Dと、データラインDLごとに設けられ、定電流発生回路131Dから供給される定電流 I_p を、シフトレジスタ132Dに基づく所定のタイミングで各スイッチ手段133Dを介して順次取り込んで保持（記憶）する複数の定電流ラッチ回路134Dと、各データラインDLに接続され、表示信号生成回路150から供給される表示データに含まれる輝度階調成分に基づいて、パルス幅変調（PWM）制御によって定電流ラッチ回路134Dから出力される一定電流値を有する信号電流 I_d の信号幅を設定するPWM制御回路135Dと、上記PWM制御回路135Dにおいて取り込んだ表示データが書き込まれる各表示画素EMの表示パネル110上での配置位置に応じて、PWM制御回路135Dにより設定された信号電流 I_d の信号幅を補正し、所定の電流供給期間（電流供給パルスのパルス幅）で、上記信号電流 I_d を階調電流 I_{pix} として各データラインDL（各表示画素EM）に供給するパルス幅補正回路（電流供給制御手段）136Dと、を備えて構成されている。

【0121】

ここで、パルス幅補正回路136Dにより設定される、各表示画素EMへの階調電流 I_{pix} の電流供給期間は、上述した第1の実施形態に示したような表示画素の配置位置と補正係数との関係が規定された補正テーブルを用いて、各行の表示画素ごとの補正係数 α (≥ 1) を抽出し、PWM制御回路135Dにおいて各表示データに基づいて設定された信号電流 I_d の信号幅に対して、抽出された補正係数 α を乗算した信号幅に設定する。そして、この電流供給期間の最大値（すなわち、最終行の表示画素に対して最大階調表示動作を行う場合の電流供給期間）は、少なくとも、一定の時間幅に設定された各行の表示画素EMにおける選択期間 T_{se} と同等又はそれ以下の時間に設定されるように、パルス幅補正回路136Dに設定される補正係数 α が設定されている。

【0122】

このような構成を有する表示装置における駆動制御動作（駆動制御方法）は、表示画素EMの選択期間中に、表示データ及び表示画素EMの配置位置に対応した電流供給時間（電流供給パルスのパルス幅）で、一定の電流値を有する階調電流 I_{pix} を各表示画素に供給することにより、表示画素EM（発光素子）の階調制御を行う。

【0123】

すなわち、上述したような構成を有する表示装置において、まず、定電流発生回路131Dから供給される一定の電流値を有する定電流 I_p が、シフトレジスタ132Dから出力されるスイッチ切換信号（シフト出力）SRに基づいて、個別のタイミングで各定電流ラッチ回路に取り込み、保持される。そして、システムコントローラ140から出力される

出力インーブル信号OEに基づいて、所定のタイミングで、各データラインDLに対応して一定電流値を有する信号電流I_dが一斉に出力され、PWM制御回路135Dにより各表示データに含まれる輝度階調成分に応じて、各信号電流I_dの信号幅が設定される。

【0124】

次いで、パルス幅補正回路136Dにより上記各表示データが書き込まれる表示画素EMの表示パネル110上での配置位置に基づいて、予め設定された補正係数 α を用いて、上記各信号電流I_dの信号幅に当該補正係数を乗算する補正処理を行い、電流供給期間を設定し、各表示画素に設定される選択期間中の該電流供給期間に、信号電流I_dを階調電流I_{p i x}として各データラインDLを介して表示画素EMに供給する。

これにより、選択状態に設定された表示画素EMに、表示データ及び表示画素の配置位置に応じた電流供給期間、階調電流I_{p i x}（書込電流I_a）が供給され、該表示画素（発光駆動回路DC）に設けられたコンデンサCsに表示データに応じた電荷が保持される。

【0125】

そして、上記選択期間の終了後の非選択期間においては、選択期間において当該表示画素EMのコンデンサCsに蓄積された電荷（充電電圧）に基づいて、有機EL素子OELに対して、上記階調電流I_{p i x}（書込電流I_a）と同等の電流値を有する発光駆動電流I_bが流れ、表示データに対応する輝度階調で有機EL素子OELが発光する動作を継続する。

【0126】

したがって、本実施例においても、表示パネルのいずれの位置に配置された表示画素においても、同一階調で同一発光輝度となるように階調電流の供給時間（電流供給期間）が補正されて、表示パネルの全域で表示データが同等の書込率で書き込まれることになるので、データラインに寄生する配線容量や配線抵抗の影響を抑制して、輝度階調の均一化を図ることができ、表示画質の向上を図ることができる。

【0127】

なお、本実施形態に示した各実施例においても、上述した第1の実施形態と同様に、各行の表示画素EMに表示データを書き込む動作（階調電流を供給する動作）に先立って、各データラインDL及び表示画素EMにリセット電圧（例えば、0V）を印加して、データラインDLや表示画素EMに保持されている電荷を放電させるリセット動作（リセット期間）を実行するものであってもよい。

これによれば、各表示画素への表示データの書込動作に際し、常に一定の初期化状態に設定されたデータライン及び表示画素に対して、階調電流が供給されることになるので、各表示画素に表示データに適切に対応した電荷が蓄積されることになり、有機EL素子を適切な輝度階調で発光動作させることができる。

【0128】

また、上述したような第1及び第2の本実施形態においては、別個の実施形態として構成及び駆動制御方法を示したが、本発明はこれに限定されるものではなく、例えば、表示データに対応した電流値を有する階調電流の各表示画素への供給に際し、第1の実施形態に示したように、該表示画素の配置位置に応じて該階調電流の電流値を補正する手法に加え、第2の実施形態に示したように、当該表示画素の配置位置に応じて当該階調電流の電流供給期間のパルス幅も補正する手法を適用して、階調電流の電流値と供給期間の双方を調整することにより、表示データ及び表示画素の配置位置により適切に対応した書込動作を行うようにしてもよい。

【0129】

<第3の実施形態>

次に、本発明に係る表示装置の第3の実施形態について、図面を参照して説明する。

上述した第1及び第2の実施形態においては、表示パネル上の各表示画素の配置位置（データラインの配線長）に基づく表示データの書込率の低下を抑制するために、各表示画素に供給される階調電流の電流値や供給時間を調整する補正処理を行う構成及び駆動制御方法について説明したが、本実施形態においては、データドライバから見た各表示画素にお

ける容量負荷を均一化するように構成することにより、いずれの位置に配置された表示画素においても、表示データの書込率が均一化されるように制御される。

【0130】

図16は、本発明に係る表示装置の第3の実施形態に適用可能な表示パネル（表示画素）の一構成例を示す概略構成図である。ここで、上述した各実施形態と同等の構成については、同一の符号を付してその説明を簡略化又は省略する。

本実施例では、表示画素の発光駆動回路に設けられる容量成分（コンデンサ C_s ）に蓄積される電荷量を、当該表示画素の配置位置に応じて補正することにより、各表示画素における表示データの書込率を略均一化する構成及び駆動制御方法について説明する。

【0131】

図16(a)、(b)に示すように、本実施例に係る表示パネル110Eにおいては、マトリクス状に配列された各表示画素 EM_i ($i=1, 2, \dots, n$)の発光駆動回路DC $_i$ に設けられるコンデンサ C_{s_i} の容量値が、該表示画素 EM_i の表示パネル110E上での配置位置に応じて、各々、固定的に設定された構成を有している。

すなわち、図20に示したように、表示パネル110にマトリクス状に配列された各表示画素 EM_i における表示データ（階調電流）の書込率は、該表示画素 EM_i の表示パネル110E上での配置位置（データドライバ130からのデータドライバの配線長）に依存し、データドライバの直近の位置に配置された表示画素 EM_i （例えば、 $i=1$ ）においては、データラインの配線容量及び配線抵抗の影響をほとんど受けることがないのに対して、データドライバ130から離れるにしたがって、配線容量及び配線抵抗の影響を受けて表示データの書込率が低下し、データドライバ130から最遠方の位置に配置された表示画素 EM_i （例えば、 $i=n$ ）においては、データラインDLの略全長分の配線容量の影響を受けることになる。

【0132】

そこで、本実施例においては、表示パネル上のいずれの位置に配置された表示画素においても、データドライバから見た容量負荷が略一定になるように、すなわち、データドライバから各表示画素までのデータラインに寄生する配線容量、及び、当該表示画素 EM_i の画素駆動回路DC $_i$ に設けられたコンデンサ C_{s_i} からなる容量成分の総和が略一定になるように、各表示画素 EM_i のコンデンサ C_{s_i} の容量値を設定する。

【0133】

具体的には、図16(b)に示すように、データドライバ130から最遠方の位置に配置された表示画素（最終行の表示画素） EM_n においては、該表示画素 EM_n における発光駆動動作に必要な最低限の容量値 C_0 が発光駆動回路DC $_n$ のコンデンサ C_{s_n} に設定される。これにより、データドライバ130から見た当該表示画素 EM_n の容量負荷は、コンデンサ C_{s_n} の容量値 C_0 に、データラインDLの全長分に相当する配線容量 C_x が付加された容量値(C_0+C_x)となる。

【0134】

一方、データドライバ130の直近の位置に配置された表示画素（1行目の表示画素） EM_1 においては、上述した発光駆動動作に必要な最低限の容量値 C_0 に加え、データラインDLの全長分に相当する配線容量 C_x が付加された容量値(C_0+C_x)を、発光駆動回路DC $_i$ のコンデンサ C_{s_i} に設定する。これにより、データドライバ130から見た当該表示画素 EM_1 の容量負荷は、上述した最遠方に配置された表示画素 EM_n と同等の容量値(C_0+C_x)を有することになる。

【0135】

また、上記以外の位置に配置された表示画素 EM_i においても、データドライバ130から見た当該表示画素 EM_i の容量負荷が、容量値(C_0+C_x)となるように、コンデンサ C_{s_i} の容量値が設定される。すなわち、コンデンサ C_{s_i} は、該表示画素 EM_i における画素駆動動作に必要な容量値 C_0 に加え、データラインDLの全長から、データドライバDLから当該表示画素 EM_i までのデータラインDLの配線長分を差し引いた配線長分（すなわち、表示画素 EM_i 及び表示画素 EM_n 間のデータラインDLの配線長）に相

当する配線容量 C_z が付加された容量値($C_0 + C_z$)を有するように設定される。

【0136】

これにより、データドライバ130から見た当該表示画素 EM_i の容量負荷は、コンデンサ C_{s_i} の容量値 C_0 と、データドライバDLから当該表示画素 EM_i までのデータラインDLの配線長分の容量値($C_x - C_z$)と、表示画素 EM_i から表示画素 EM_n までのデータラインDLの配線長分の容量値 C_z と、の総和となり、上述した表示画素 EM_1 、 EM_n と同等の容量値($C_0 + C_x$)を有することになる。

【0137】

このような構成を有する表示装置によれば、各表示画素への表示データの書込動作において、表示パネルのいずれの位置に配置された表示画素においても、データドライバから見た容量負荷が略均一となるので、各行の表示画素の選択期間や表示データ(階調電流)の供給期間を制御することなく、表示データの書込率を均一化することができ、表示パネル全域における発光輝度を均一化して表示画質の向上を図ることができる。

【0138】

また、本実施例に係る表示装置においては、表示パネル上における各表示画素の配置位置に応じて、各表示画素に設けられるコンデンサの容量値を予め固定的に設定しておくことができるので、駆動制御動作に対する処理負担を軽減することができるとともに、既存のデータドライバや走査ドライバをそのまま適用することができ、表示パネルの全域で輝度階調を均一化して表示画質を向上した表示装置を簡易に実現することができる。

【0139】

次に、本発明に係る表示装置の第3の実施形態に適用される他の実施例について、図面を参照して説明する。

図17は、本発明に係る表示装置の第3の実施形態に適用可能な表示パネル(表示画素)の他の構成例を示す概略構成図である。ここで、上述した実施例と同等の構成については、同等の符号を付してその説明を簡略化又は省略する。

【0140】

上述した実施例においては、表示画素の表示パネル上での配置位置(データドライバから表示画素までのデータラインDLに寄生する配線容量)に応じて、各表示画素に設けられる発光駆動回路のコンデンサの容量値を補正する構成について説明したが、本実施例においては、各表示画素の配置位置(各走査ラインの行番号)に応じて、各行ごとに設けられる電源ライン(信号供給ライン)に付加される容量成分を補正することにより、各表示画素における表示データの書込率を略均一化する。

【0141】

図17に示すように、本実施例に係る表示パネル110Fにおいては、マトリクス状に配列された各表示画素 EM_i の発光駆動回路 DC_i に設けられるコンデンサ C_s の容量値が、少なくとも、該表示画素 EM_i における発光駆動動作に必要な一定の容量値 C_0 に設定されているとともに、各行の表示画素 EM_i ごとに配設される電源ラインVLに付加される補正容量(容量成分) C_v の容量値 C_{v_i} が、該表示画素 EM_i の表示パネル110E上での配置位置(表示画素 EM_i の行番号 i)に応じて、各々、固定的に設定された構成を有している。

【0142】

すなわち、図17に示すように、データドライバ130から最遠方の位置に配置された表示画素(最終行の表示画素) EM_n に接続された電源ライン VL_n においては、容量値 C_{v_n} が0となる補正容量 C_v が付加される(換言すれば、電源ライン VL_n に補正容量 C_v が付加されない)。これにより、データドライバ130から見た当該表示画素 EM_n の容量負荷は、コンデンサ C_{s_n} の容量値 C_0 に、データラインDLの全長分に相当する配線容量 C_x が付加された容量値($C_0 + C_x$)となる。

【0143】

一方、データドライバ130の直近の位置に配置された表示画素(1行目の表示画素) EM_1 に接続された電源ライン VL_1 においては、容量値 C_{v_1} としてデータラインDLの

全長分に相当する配線容量 C_x となる補正容量 C_v が付加される。これにより、データドライバ130から見た当該表示画素EM1の容量負荷は、上述した最遠方に配置された表示画素EMnと同等の容量値($C_0 + C_x$)を有することになる。

【0144】

また、上記以外の位置に配置された表示画素EMiに接続された電源ラインVLiにおいても、データドライバ130から見た当該表示画素EMiの容量負荷が、容量値($C_0 + C_x$)となるように、補正容量 C_v の容量値 C_{vi} が設定される。すなわち、電源ラインVLiに付加される補正容量 C_v は、データラインDLの全長から、データドライバDLから当該表示画素EMiまでのデータラインDLの配線長分を差し引いた配線長分(すなわち、表示画素EMi及び表示画素EMn間のデータラインDLの配線長)に相当する配線容量 C_z が付加された容量値 C_z を有するように設定される。

【0145】

これにより、データドライバ130から見た当該表示画素EMiの容量負荷は、コンデンサ C_{si} の容量値 C_0 と、データドライバDLから当該表示画素EMiまでのデータラインDLの配線長分の容量値($C_x - C_z$)と、表示画素EMiから表示画素EMnまでのデータラインDLの配線長分の容量値 C_z と、の総和となり、上述した表示画素EM1、EMnと同等の容量値($C_0 + C_x$)を有することになる。

【0146】

このような構成を有する表示装置によれば、各表示画素への表示データの書込動作において、表示パネルのいずれの位置に配置された表示画素においても、データドライバから見た容量負荷が略均一となるので、表示データの書込率を均一化することができ、表示パネル全域における発光輝度を均一化して表示画質の向上を図ることができる。

【0147】

また、本実施例に係る表示装置においては、表示パネル上における各表示画素の配置位置に応じて、各表示画素に設けられたコンデンサの容量値を個別に補正する必要がなく、各行ごとの表示画素に接続される電源ラインに付加される補正容量の容量値を予め固定的に設定すればよいので、表示データの書込率を簡易な構成で均一化することができるとともに、駆動制御動作に対する処理負担の軽減及びデータドライバから見た容量負荷の安定化を図ることができる。さらに、既存の表示パネルやデータドライバ、走査ドライバをそのまま適用することができるので、表示パネルの全域で輝度階調を均一化して表示画質を向上した表示装置を簡易に実現することができる。

【0148】

なお、上述した各実施形態及び各実施例に示した表示装置においては、表示パネルの特定的一端側(図面上方側)にデータドライバを配置し、1行目の走査ラインに接続された表示画素を、直近の配置位置(規格化位置“0”)とし、最終行の走査ラインに接続された表示画素を、最遠方の配置位置(規格化位置“1”)に設定した場合について説明したが、本発明はこれに限定されるものではなく、データドライバを表示パネルの下方側に配置され構成を有するものであってもよいことはいうまでもない。要するに、データドライバの直近に配置された表示画素の位置を規格化位置“0”とし、最遠方に配置された表示画素の位置を規格化位置“1”として、上記補正係数を設定し、該補正係数に基づいて、各表示画素に書き込まれる表示データの書込率を略均一化することができるものであれば他の構成を有するものであってもよい。

【0149】

【発明の効果】

以上説明したように、本発明に係る表示駆動装置及び表示装置並びにその駆動制御方法によれば、有機EL素子等のような電流制御型の発光素子を備えた複数の表示画素を、互いに直交する複数のデータライン及び複数の走査ラインの交点近傍に配置した表示パネルに対して、表示データに応じた階調電流を供給することにより、所望の画像情報を表示する表示装置において、各表示画素への表示データの書込動作に際し、表示パネル上でのデータドライバから当該表示画素までのデータドライバに沿う配置位置に応じて、階調電流の

電流値又は電流供給期間、もしくは、各表示画素の選択期間、あるいは、データドライバから見た各表示画素における容量負荷を調整制御（補正）することにより、表示パネルのいずれの位置に配置された表示画素においても、表示データに応じた階調電流によって供給される供給電荷量に対し、表示画素に書き込まれる電荷量の割合（書込率）が一定となる方向に補正することができるので、データドライバからのデータラインに寄生する配線容量や配線抵抗の影響を抑制して、表示パネルの全域で輝度階調を均一化して、表示画質の向上を図ることができる。

【0150】

また、上記階調電流の電流値又は電流供給期間、もしくは、各表示画素の選択期間を調整制御する手法としては、表示画素の配置位置と階調電流の供給状態の調整制御に係る補正係数とを関連付けた補正テーブルを備え、表示画素の配置位置に基づいて、該補正テーブルから補正係数を一義的に抽出し、該補正係数を所定の基準値に乗算することにより、階調電流の供給状態を調整制御すること手法を適用することができるので、比較的簡易かつ制御負担の少ない駆動制御方法により、輝度階調の均一化を実現することができる。

【0151】

さらに、各行の表示画素に上記階調電流を供給する動作に先立って、各データライン及び表示画素に所定電圧を有するリセット信号を印加して、データラインや表示画素に保持されている電荷を放電させるリセット動作を実行するものであってもよく、これによれば、各表示画素への表示データの書込動作に際し、常に一定の初期化状態に設定された表示画素に対して、上記階調電流が供給されることになるので、各表示画素に表示データに適切に対応した電荷が蓄積され、発光素子を適切な輝度階調で発光動作させることができる。

【図面の簡単な説明】

【図1】本発明に係る表示装置の基本構成を示す概略ブロック図である。

【図2】本発明に係る表示装置の要部構成を示す概略構成図である。

【図3】本発明に係る表示装置に適用可能な表示画素（発光駆動回路）の具体回路例を示す回路構成図である。

【図4】本実施例に係る発光駆動回路の動作状態を示す概念図である。

【図5】本実施例に係る発光駆動回路を適用した表示画素の基本動作を示すタイミングチャートである。

【図6】本実施例に係る表示画素を適用した表示装置の一構成例を示す概略ブロック図である。

【図7】本発明に係る表示装置の第1の実施形態に適用可能なデータドライバを示す概略ブロック図である。

【図8】本実施形態に係るデータドライバに適用可能な電圧電流変換・電流供給回路の一例を示す回路構成図である。

【図9】本実施形態に係るデータドライバに適用可能な電流値補正回路における補正処理のための特性曲線を示す図である。

【図10】本実施形態に係る表示装置における画像情報の表示タイミングを示すタイミングチャートである。

【図11】本発明に係る表示装置の第2の実施形態に適用可能なデータドライバの一構成例を示す概略ブロック図である。

【図12】本実施例に係る表示装置における画像情報の表示タイミングを示すタイミングチャートである。

【図13】本発明に係る表示装置の第2の実施形態に適用可能なデータドライバの他の構成例を示す概略ブロック図である。

【図14】本実施例に係る表示装置における画像情報の表示タイミングを示すタイミングチャートである。

【図15】本発明に係る表示装置の第2の実施形態に適用可能なデータドライバのさらに他の構成例を示す概略ブロック図である。

【図16】本発明に係る表示装置の第3の実施形態に適用可能な表示パネル（表示画素）

の一構成例を示す概略構成図である。

【図17】本発明に係る表示装置の第3の実施形態に適用可能な表示パネル（表示画素）の他の構成例を示す概略構成図である。

【図18】従来技術における発光素子型ディスプレイに適用される表示画素の構成例を示す等価回路図である。

【図19】表示パネルにおける表示画素の配置位置とデータラインの配線長の関係を示す概略構成図である。

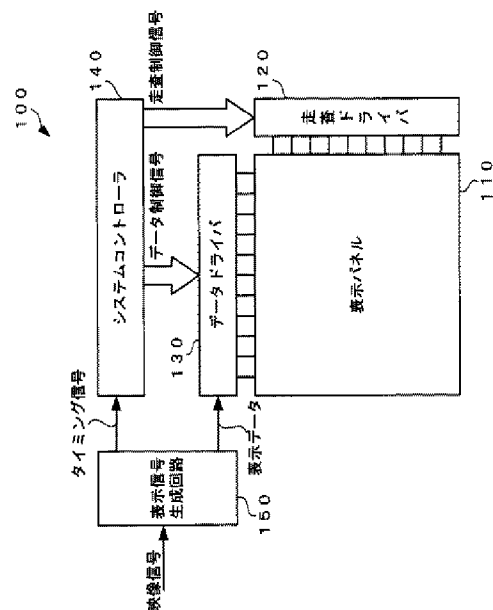
【図20】表示パネルにおける表示画素の配置位置（規格化位置）と表示データの書込率との関係をシミュレーション結果である。

【図21】表示パネルの特定の位置（規格化位置“0”及び規格化位置“1”）に配置された表示画素における入力電流（規格化電流）に対する出力輝度（規格化輝度）の関係をシミュレーション結果である。

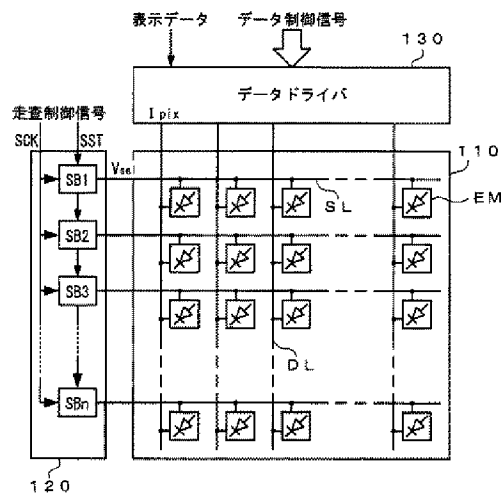
【符号の説明】

- 100 表示装置
- 110 表示パネル
- 120 走査ドライバ
- 130 データドライバ
- 140 システムコントローラ
- 150 表示信号生成回路
- 160 電源ドライバ
- EM 表示画素
- DC 発光駆動回路
- SL 走査ライン
- DL データライン

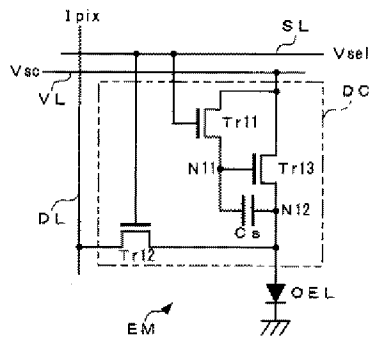
【図1】



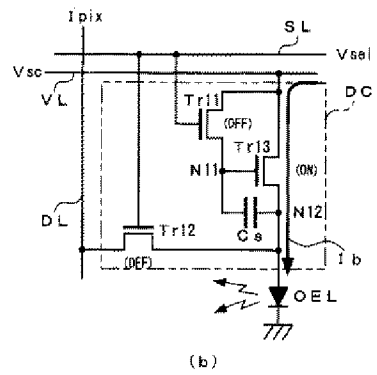
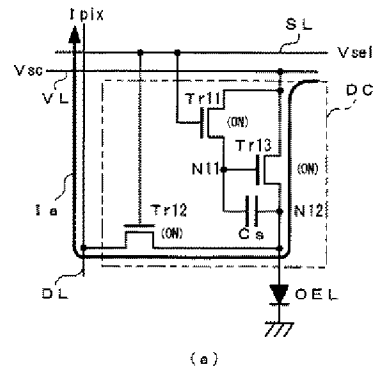
【図2】



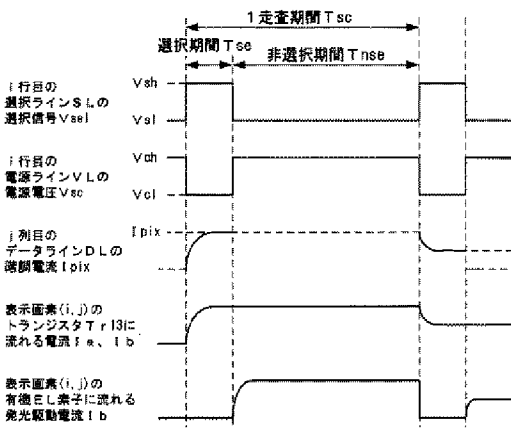
【図3】



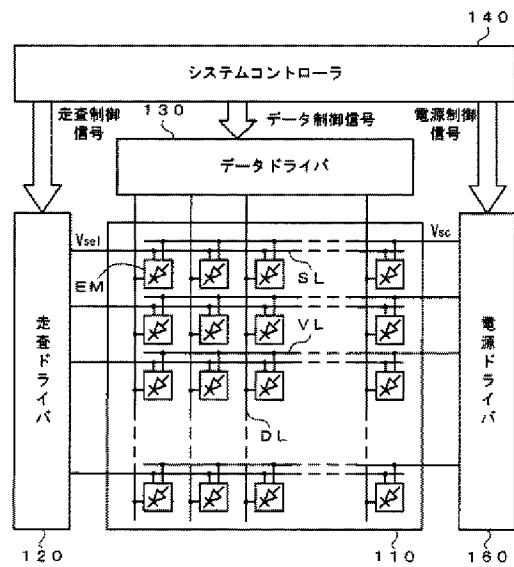
【図4】



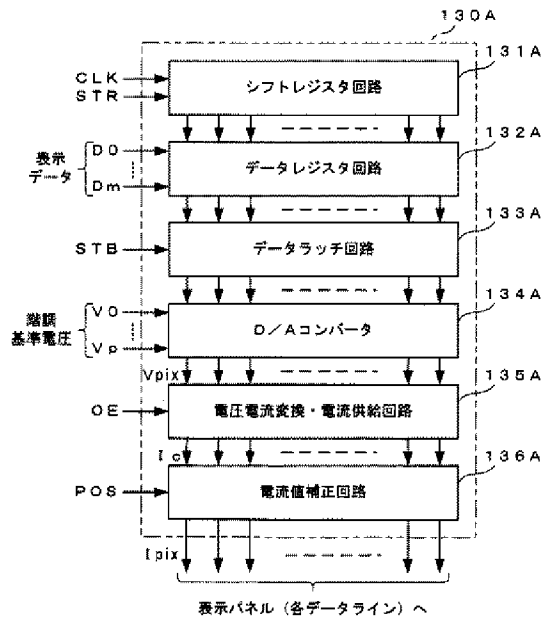
【図5】



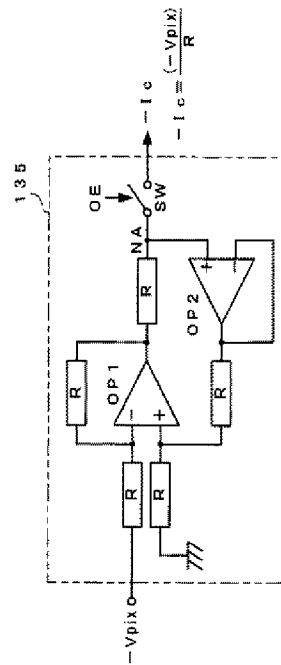
【図6】



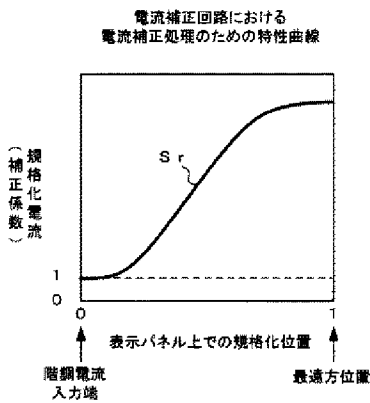
【図7】



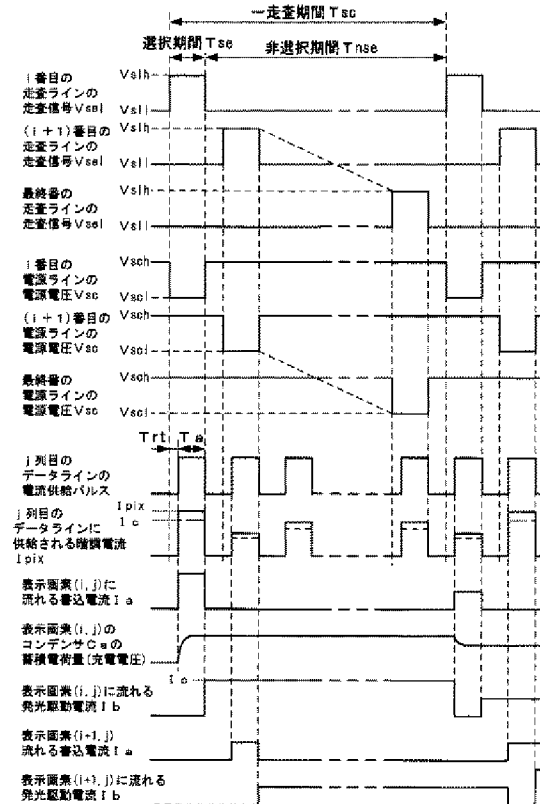
【図8】



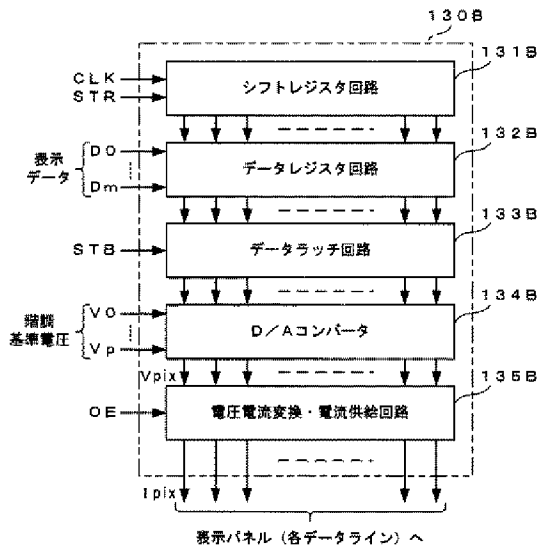
【図9】



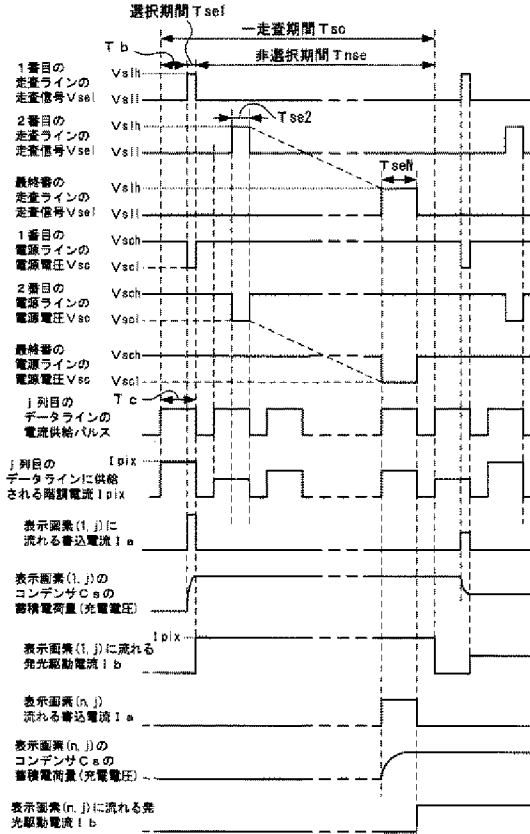
【図10】



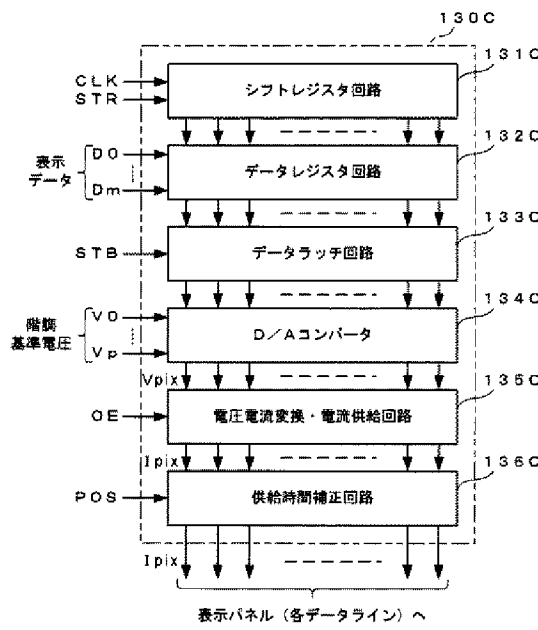
【図11】



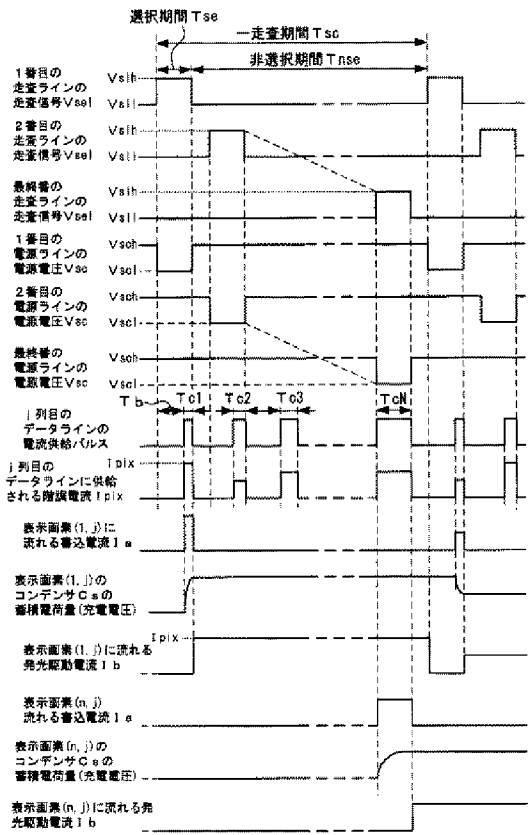
【図12】



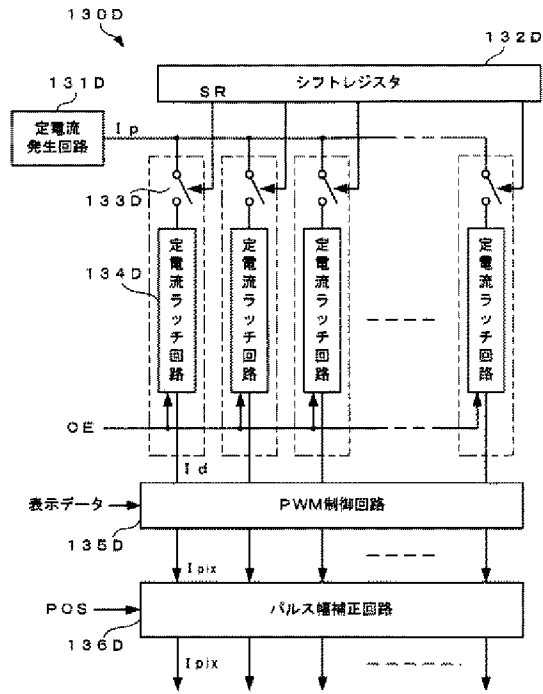
【図13】



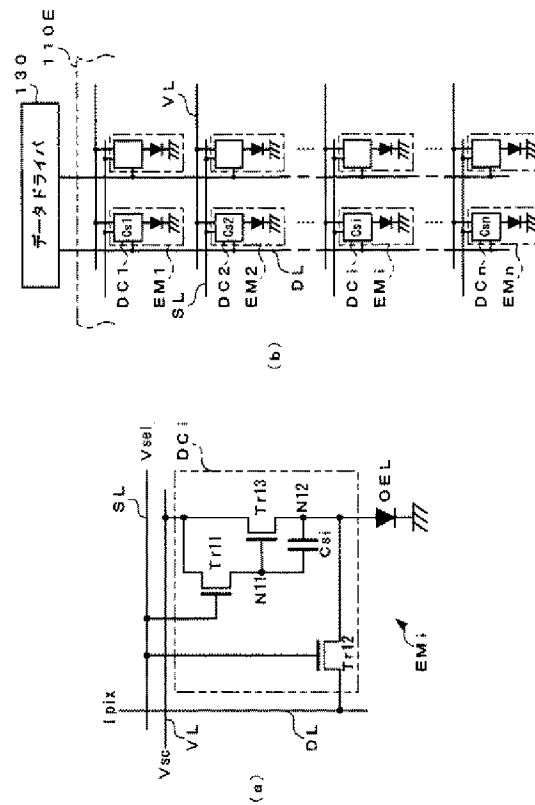
【図14】



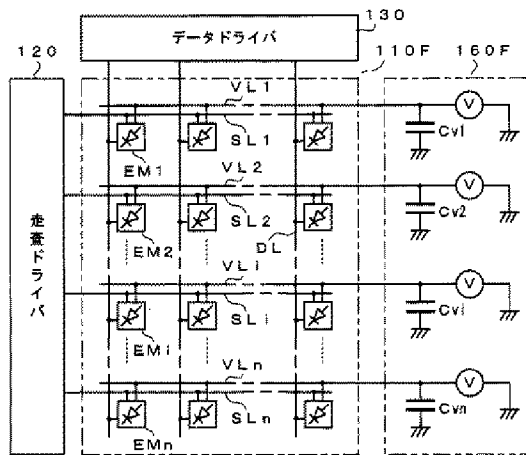
【図15】



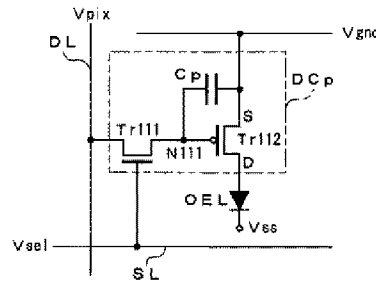
【図16】



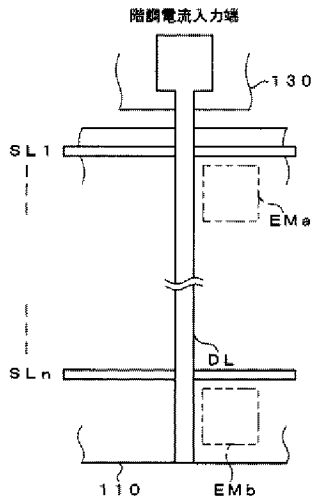
【図17】



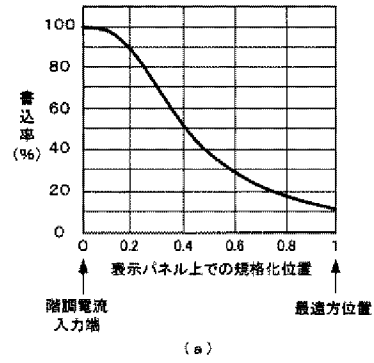
【図18】



【図19】



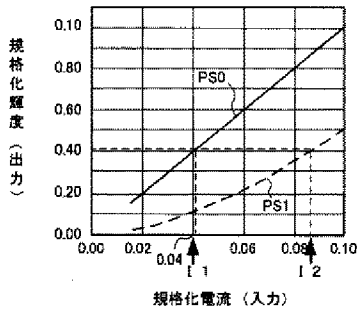
【図20】



画面サイズ	37" Hi Vision
水平画素数	1365
垂直画素数	768
画素ピッチ	42ppi
画素選択時間	22 μ sec
データラインの配線幅	544 μ m
データラインの配線容量	19.9pF
発光輝度	500cd/m ²
最高階調電流値 (MSB)	19.37 μ A/pix
最低階調電流値 (LSB)	0.30 μ A/pix

(b)

【図21】



(51)Int.Cl.⁷

F I

テーマコード (参考)

G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 3 1 V
G 0 9 G	3/20	6 4 1 D
G 0 9 G	3/20	6 4 1 P
G 0 9 G	3/20	6 4 2 A
H 0 5 B	33/14	A

F ターム(参考) 5C080 AA06 BB05 DD05 DD08 EE29 FF11 HH09 JJ02 JJ03 JJ04
JJ06 KK43

Electronic Patent Application Fee Transmittal

Application Number:	11438967
Filing Date:	23-May-2006
Title of Invention:	DISPLAY APPARATUS AND DRIVE CONTROL METHOD THEREOF
First Named Inventor/Applicant Name:	Tsuyoshi Ozaki
Filer:	Leonard Holtz/Amit Kulkarni
Attorney Docket Number:	06331/LH

Filed as Large Entity

Utility under 35 USC 111(a) Filing Fees

Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				

Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Miscellaneous:				
Submission- Information Disclosure Stmt	1806	1	180	180
Total in USD (\$)				180

Electronic Acknowledgement Receipt

EFS ID:	8514516
Application Number:	11438967
International Application Number:	
Confirmation Number:	5382
Title of Invention:	DISPLAY APPARATUS AND DRIVE CONTROL METHOD THEREOF
First Named Inventor/Applicant Name:	Tsuyoshi Ozaki
Customer Number:	01933
Filer:	Leonard Holtz/Amit Kulkarni
Filer Authorized By:	Leonard Holtz
Attorney Docket Number:	06331/LH
Receipt Date:	28-SEP-2010
Filing Date:	23-MAY-2006
Time Stamp:	14:41:15
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Credit Card
Payment was successfully received in RAM	\$180
RAM confirmation Number	981
Deposit Account	
Authorized User	

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
-----------------	----------------------	-----------	-------------------------------------	------------------	------------------

1		06331_ids6.pdf	93151 ea7f412dba9e0d501e24ea0bafd973d56c05850	yes	3
Multipart Description/PDF files in .zip description					
		Document Description	Start	End	
		Transmittal Letter	1	2	
		Information Disclosure Statement (IDS) Filed (SB/08)	3	3	
Warnings:					
Information:					
2	NPL Documents	06331_ids6_jpoa.pdf	175562 d75ab5d6de1cf07b147c43d23464faab082bde83	no	5
Warnings:					
Information:					
3	Foreign Reference	JP2004341267.pdf	3960360 d725a45f1f729da492fb843b0538adcfcdcc009a	no	39
Warnings:					
Information:					
4	Fee Worksheet (PTO-875)	fee-info.pdf	30332 2a88dbbfe2671f06ed0080ec5f6631f8a44dd580	no	2
Warnings:					
Information:					
Total Files Size (in bytes):			4259405		
<p>This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.</p> <p><u>New Applications Under 35 U.S.C. 111</u> If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.</p> <p><u>National Stage of an International Application under 35 U.S.C. 371</u> If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.</p> <p><u>New International Application Filed with the USPTO as a Receiving Office</u> If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.</p>					

Information Disclosure Statement
Application Serial No. 11/438,967

Customer No. 01933

Attorney Docket No. 06331/LH

This paper is being
submitted via EFS-Web on
September 28, 2010

**IN THE UNITED STATES PATENT
AND TRADEMARK OFFICE**

Applicant(s) : Tsuyoshi OZAKI
Serial No. : 11/438,967
Confirm. No. : 5382
Filed : May 23, 2006
For : DISPLAY APPARATUS AND DRIVE
CONTROL METHOD THEREOF
Art Unit : 2629
Examiner : VIJAY SHANKAR

In the event that this Paper
is late filed, and the
necessary petition for
extension of time is not
filed concurrently herewith,
please consider this as a
Petition for the requisite
extension of time, and to
the extent not already paid,
authorization to charge the
extension fee to Account
No. 06-1378. In addition,
authorization is hereby
given to charge any fees for
which payment has not been
submitted, or to credit any
overpayments, to Account No.
06-1378.

**INFORMATION DISCLOSURE STATEMENT
UNDER 37 CFR 1.97(d) WITH STATEMENT
UNDER 37 CFR 1.97(e) (1) AND FEE**

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

S I R:

Submitted herewith are the following:

- (1) Copy of a Japanese Office Action dated July 30, 2010 (and English translation thereof) issued in counterpart Japanese Application No. 2005-150566;
- (2) Copy of a cited foreign document; and
- (3) IDS Form.

An English translation of said Japanese Office Action is provided, thereby satisfying the requirements for a concise explanation of relevance for the non-English language documents cited therein (MPEP 609.04 (a) III).

JP 2005-006250, which was cited in said Japanese Office Action dated July 30, 2010, was previously cited in the present application in the IDS filed June 10, 2010.

STATEMENT UNDER 37 CFR 1.97(e) (1)

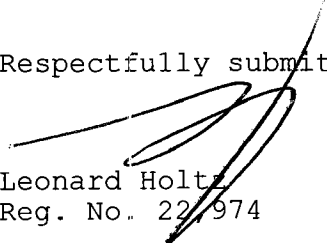
Each item of information contained in this Information Disclosure Statement was first cited in any communication from foreign patent offices in counterpart foreign applications not more than three months prior to the filing of the present Information Disclosure Statement. Said Communication bears a mailing date of July 30, 2010.

IDS FEE

The USPTO fee of \$180.00 as set forth under 37 CFR 1.17(p) for filing an IDS at this stage of prosecution (after issuance of a Notice of Allowance) is being paid by credit card herewith. If any further fees are required, authorization is given to charge same against Account No. 06-1378.

It is requested that an initialed copy of the IDS Form be returned to indicate that the documents listed therein have been considered and made of record.

Respectfully submitted,



Leonard Holtz
Reg. No. 22,974

Holtz, Holtz, Goodman & Chick, P.C.
220 Fifth Avenue, 16th Floor
New York, NY 10001-7708
Tel. No. (212) 319-4900
Fax. No. (212) 319-5101
LH:ak
encs.



NOTICE OF ALLOWANCE AND FEE(S) DUE

1933 7590 09/16/2010

HOLTZ, HOLTZ, GOODMAN & CHICK PC
220 Fifth Avenue
16TH Floor
NEW YORK, NY 10001-7708

EXAMINER: SHANKAR, VIJAY
ART UNIT: 2629 PAPER NUMBER:
DATE MAILED: 09/16/2010

Table with 5 columns: APPLICATION NO., FILING DATE, FIRST NAMED INVENTOR, ATTORNEY DOCKET NO., CONFIRMATION NO.

11/438,967 05/23/2006 Tsuyoshi Ozaki 06331/LH 5382

TITLE OF INVENTION: DISPLAY APPARATUS AND DRIVE CONTROL METHOD THEREOF

Table with 7 columns: APPLN. TYPE, SMALL ENTITY, ISSUE FEE DUE, PUBLICATION FEE DUE, PREV. PAID ISSUE FEE, TOTAL FEE(S) DUE, DATE DUE

nonprovisional NO \$1510 \$0 \$1510 \$1510 12/16/2010

THE APPLICATION IDENTIFIED ABOVE HAS BEEN EXAMINED AND IS ALLOWED FOR ISSUANCE AS A PATENT. PROSECUTION ON THE MERITS IS CLOSED. THIS NOTICE OF ALLOWANCE IS NOT A GRANT OF PATENT RIGHTS. THIS APPLICATION IS SUBJECT TO WITHDRAWAL FROM ISSUE AT THE INITIATIVE OF THE OFFICE OR UPON PETITION BY THE APPLICANT. SEE 37 CFR 1.313 AND MPEP 1308.

THE ISSUE FEE AND PUBLICATION FEE (IF REQUIRED) MUST BE PAID WITHIN THREE MONTHS FROM THE MAILING DATE OF THIS NOTICE OR THIS APPLICATION SHALL BE REGARDED AS ABANDONED. THIS STATUTORY PERIOD CANNOT BE EXTENDED. SEE 35 U.S.C. 151. THE ISSUE FEE DUE INDICATED ABOVE DOES NOT REFLECT A CREDIT FOR ANY PREVIOUSLY PAID ISSUE FEE IN THIS APPLICATION. IF AN ISSUE FEE HAS PREVIOUSLY BEEN PAID IN THIS APPLICATION (AS SHOWN ABOVE), THE RETURN OF PART B OF THIS FORM WILL BE CONSIDERED A REQUEST TO REAPPLY THE PREVIOUSLY PAID ISSUE FEE TOWARD THE ISSUE FEE NOW DUE.

HOW TO REPLY TO THIS NOTICE:

I. Review the SMALL ENTITY status shown above.

If the SMALL ENTITY is shown as YES, verify your current SMALL ENTITY status:

A. If the status is the same, pay the TOTAL FEE(S) DUE shown above.

B. If the status above is to be removed, check box 5b on Part B - Fee(s) Transmittal and pay the PUBLICATION FEE (if required) and twice the amount of the ISSUE FEE shown above, or

If the SMALL ENTITY is shown as NO:

A. Pay TOTAL FEE(S) DUE shown above, or

B. If applicant claimed SMALL ENTITY status before, or is now claiming SMALL ENTITY status, check box 5a on Part B - Fee(s) Transmittal and pay the PUBLICATION FEE (if required) and 1/2 the ISSUE FEE shown above.

II. PART B - FEE(S) TRANSMITTAL, or its equivalent, must be completed and returned to the United States Patent and Trademark Office (USPTO) with your ISSUE FEE and PUBLICATION FEE (if required). If you are charging the fee(s) to your deposit account, section "4b" of Part B - Fee(s) Transmittal should be completed and an extra copy of the form should be submitted. If an equivalent of Part B is filed, a request to reapply a previously paid issue fee must be clearly made, and delays in processing may occur due to the difficulty in recognizing the paper as an equivalent of Part B.

III. All communications regarding this application must give the application number. Please direct all communications prior to issuance to Mail Stop ISSUE FEE unless advised to the contrary.

IMPORTANT REMINDER: Utility patents issuing on applications filed on or after Dec. 12, 1980 may require payment of maintenance fees. It is patentee's responsibility to ensure timely payment of maintenance fees when due.

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), to: Mail Stop ISSUE FEE
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450
or Fax (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

1933 7590 09/16/2010

HOLTZ, HOLTZ, GOODMAN & CHICK PC
220 Fifth Avenue
16TH Floor
NEW YORK, NY 10001-7708

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (571) 273-2885, on the date indicated below.

Form with fields for (Depositor's name), (Signature), and (Date)

Table with columns: APPLICATION NO., FILING DATE, FIRST NAMED INVENTOR, ATTORNEY DOCKET NO., CONFIRMATION NO.

11/438,967 05/23/2006 Tsuyoshi Ozaki 06331/LH 5382

TITLE OF INVENTION: DISPLAY APPARATUS AND DRIVE CONTROL METHOD THEREOF

Table with columns: APPLN. TYPE, SMALL ENTITY, ISSUE FEE DUE, PUBLICATION FEE DUE, PREV. PAID ISSUE FEE, TOTAL FEE(S) DUE, DATE DUE

nonprovisional NO \$1510 \$0 \$1510 \$1510 12/16/2010

Table with columns: EXAMINER, ART UNIT, CLASS-SUBCLASS

SHANKAR, VIJAY 2629 345-204000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).

2. For printing on the patent front page, list

- Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.
"Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. Use of a Customer Number is required.

- (1) the names of up to 3 registered patent attorneys or agents OR, alternatively,
(2) the name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE (B) RESIDENCE: (CITY AND STATE OR COUNTRY)

Please check the appropriate assignee category or categories (will not be printed on the patent): Individual Corporation or other private group entity Government

4a. The following fee(s) are submitted:

4b. Payment of Fee(s); (Please first reapply any previously paid issue fee shown above)

- Issue Fee
Publication Fee (No small entity discount permitted)
Advance Order - # of Copies

- A check is enclosed.
Payment by credit card. Form PTO-2038 is attached.
The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment, to Deposit Account Number (enclose an extra copy of this form).

5. Change in Entity Status (from status indicated above)

- a. Applicant claims SMALL ENTITY status. See 37 CFR 1.27.
b. Applicant is no longer claiming SMALL ENTITY status. See 37 CFR 1.27(g)(2).

NOTE: The Issue Fee and Publication Fee (if required) will not be accepted from anyone other than the applicant; a registered attorney or agent; or the assignee or other party in interest as shown by the records of the United States Patent and Trademark Office.

Authorized Signature Date

Typed or printed name Registration No.

This collection of information is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P. O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

Table with 5 columns: APPLICATION NO., FILING DATE, FIRST NAMED INVENTOR, ATTORNEY DOCKET NO., CONFIRMATION NO.
Row 1: 11/438,967, 05/23/2006, Tsuyoshi Ozaki, 06331/LH, 5382
Row 2: 1933, 7590, 09/16/2010, [EXAMINER SHANKAR, VIJAY], [ART UNIT 2629, PAPER NUMBER]
Text: HOLTZ, HOLTZ, GOODMAN & CHICK PC, 220 Fifth Avenue, 16TH Floor, NEW YORK, NY 10001-7708
DATE MAILED: 09/16/2010

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(application filed on or after May 29, 2000)

The Patent Term Adjustment to date is 743 day(s). If the issue fee is paid on the date that is three months after the mailing date of this notice and the patent issues on the Tuesday before the date that is 28 weeks (six and a half months) after the mailing date of this notice, the Patent Term Adjustment will be 743 day(s).

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (http://pair.uspto.gov).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Customer Service Center of the Office of Patent Publication at 1-(888)-786-0101 or (571)-272-4200.

Notice of Allowability

Application No. 11/438,967	Applicant(s) OZAKI ET AL.	
Examiner VIJAY SHANKAR	Art Unit 2629	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--

All claims being allowable, PROSECUTION ON THE MERITS IS (OR REMAINS) CLOSED in this application. If not included herewith (or previously mailed), a Notice of Allowance (PTOL-85) or other appropriate communication will be mailed in due course. **THIS NOTICE OF ALLOWABILITY IS NOT A GRANT OF PATENT RIGHTS.** This application is subject to withdrawal from issue at the initiative of the Office or upon petition by the applicant. See 37 CFR 1.313 and MPEP 1308.

- 1. This communication is responsive to RCE filed on 7/22/10.
- 2. The allowed claim(s) is/are 1-40.
- 3. Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).
 - a) All b) Some* c) None of the:
 - 1. Certified copies of the priority documents have been received.
 - 2. Certified copies of the priority documents have been received in Application No. _____.
 - 3. Copies of the certified copies of the priority documents have been received in this national stage application from the International Bureau (PCT Rule 17.2(a)).

* Certified copies not received: _____.

Applicant has THREE MONTHS FROM THE "MAILING DATE" of this communication to file a reply complying with the requirements noted below. Failure to timely comply will result in ABANDONMENT of this application.

THIS THREE-MONTH PERIOD IS NOT EXTENDABLE.

- 4. A SUBSTITUTE OATH OR DECLARATION must be submitted. Note the attached EXAMINER'S AMENDMENT or NOTICE OF INFORMAL PATENT APPLICATION (PTO-152) which gives reason(s) why the oath or declaration is deficient.
 - 5. CORRECTED DRAWINGS (as "replacement sheets") must be submitted.
 - (a) including changes required by the Notice of Draftsperson's Patent Drawing Review (PTO-948) attached
 - 1) hereto or 2) to Paper No./Mail Date _____.
 - (b) including changes required by the attached Examiner's Amendment / Comment or in the Office action of Paper No./Mail Date _____.
- Identifying indicia such as the application number (see 37 CFR 1.84(c)) should be written on the drawings in the front (not the back) of each sheet. Replacement sheet(s) should be labeled as such in the header according to 37 CFR 1.121(d).**
- 6. DEPOSIT OF and/or INFORMATION about the deposit of BIOLOGICAL MATERIAL must be submitted. Note the attached Examiner's comment regarding REQUIREMENT FOR THE DEPOSIT OF BIOLOGICAL MATERIAL.

Attachment(s)

- 1. Notice of References Cited (PTO-892)
- 2. Notice of Draftsperson's Patent Drawing Review (PTO-948)
- 3. Information Disclosure Statements (PTO/SB/08),
Paper No./Mail Date 7/22/10
- 4. Examiner's Comment Regarding Requirement for Deposit of Biological Material
- 5. Notice of Informal Patent Application
- 6. Interview Summary (PTO-413),
Paper No./Mail Date _____.
- 7. Examiner's Amendment/Comment
- 8. Examiner's Statement of Reasons for Allowance
- 9. Other _____.

VIJAY SHANKAR/
Primary Examiner, Art Unit 2629

DETAILED ACTION

Continued Examination Under 37 CFR 1.114

1. A request for continued examination under 37 CFR 1.114, including the fee set forth in 37 CFR 1.17(e), was filed in this application after allowance or after an Office action under *Ex Parte Quayle*, 25 USPQ 74, 453 O.G. 213 (Comm'r Pat. 1935). Since this application is eligible for continued examination under 37 CFR 1.114, and the fee set forth in 37 CFR 1.17(e) has been timely paid, prosecution in this application has been reopened pursuant to 37 CFR 1.114. Applicant's submission filed on 7/22/10 has been entered.

Allowable Subject Matter

2. Claims 1-40 are allowed.
3. The following is an examiner's statement of reasons for allowance: The prior arts fails to teach a display apparatus for displaying image information corresponding to display data, comprising: a display panel including a plurality of display pixels arranged thereon in vicinities of respective intersections of a plurality of scanning lines arranged in a row direction and a plurality of data lines arranged in a column direction; a plurality of bias lines provided on the display panel along the scanning lines, respectively; a scanning drive unit which sequentially applies a scanning signal to each of said plurality of scanning lines and sets the display pixels corresponding to each said scanning line to a selection state; a data drive unit which generates a gradation signal corresponding to the display data and supplies the gradation signal to the display pixels set to the selection state; a power source drive unit which supplies to the display pixels

Art Unit: 2629

a drive voltage for controlling a drive state of each of the display pixels; a state setting unit; and a drive control unit which controls the power source drive unit to operate to set the display pixels to a non-display operation state during a non-display period in which the display pixels do not display the display data, and controls the scanning drive unit to operate to set the display pixels to the selection state during the non-display period, wherein each of the plurality of display pixels comprises an optical element and a display drive circuit which controls an operation of the optical element, the display drive circuit comprising an electric charge accumulation circuit which holds a voltage component corresponding to the gradation signal, a supply control circuit which generates a drive current having a predetermined current value based on the voltage component held in the electric charge accumulation circuit, and which supplies the drive current to the optical element, and a writing control circuit which controls a supply state of electric charges, based on the gradation signal, to the electric charge accumulation circuit, and wherein the state setting unit eliminates a bias state set corresponding to the display data based on the gradation signal to the display drive circuit of the display pixels in each row, generates a setting signal for setting a specific bias state, applies the setting signal to each of the bias lines, and applies the setting signal to the display pixels for each row of the display panel as Claimed in Claims 39 and 1.

4. The prior arts fails to teach a drive control method of controlling a display apparatus to display image information corresponding to display data, wherein the display apparatus comprises a display panel including a plurality of display pixels arranged thereon in vicinities of intersections of a plurality of scanning lines arranged in a row direction and a plurality of data lines arranged in a column direction, and each of the plurality of display pixels has an optical element and a display drive circuit which controls an operation of the optical element, the method comprising: sequentially setting the display pixels to a selection state, row by row; sequentially supplying a gradation signal corresponding to the display data to the display pixels in each row set to the selection state;

setting each of the display pixels to a display operation state with said display pixels in a bias state corresponding to the gradation signal; and in a non-display period including a period in which the display pixels are set to a selection state, setting the display pixels to a non-display operation state in which the display data is not displayed, wherein the setting the display pixels to the display operation state is performed by applying to the display drive circuit a first voltage for setting the optical element to a forward bias state, and by holding a voltage component corresponding to the gradation signal in the display drive circuit, and wherein the setting of each display pixel to the non-display operation state comprises setting a specific bias state by eliminating the bias state set,

Art Unit: 2629

corresponding to the gradation signal, to the display drive circuit of the display pixel as claimed in Claims 40 and 2.

Any comments considered necessary by applicant must be submitted no later than the payment of the issue fee and, to avoid processing delays, should preferably accompany the issue fee. Such submissions should be clearly labeled "Comments on Statement of Reasons for Allowance."

5. Any inquiry concerning this communication or earlier communications from the examiner should be directed to VIJAY SHANKAR whose telephone number is (571) 272-7682. The examiner can normally be reached on M-F 7:30 am - 5:30 pm.


If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Alexander Eisen can be reached on (571) 272-7687. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Art Unit: 2629

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see <http://pair-direct.uspto.gov>. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/VIJAY SHANKAR/
Primary Examiner, Art Unit 2629

VS

Search Notes 	Application/Control No. 11438967	Applicant(s)/Patent Under Reexamination OZAKI ET AL.
	Examiner VIJAY SHANKAR	Art Unit 2629

SEARCHED			
Class	Subclass	Date	Examiner
345	76-84, 87-104, 204-215, 690-699	9/10/10	VS
315	169.1-169.4	9/10/10	VS

SEARCH NOTES		
Search Notes	Date	Examiner
INVENTORS NAME SEARCH	9/10/10	VS


INTERFERENCE SEARCH			
Class	Subclass	Date	Examiner
SAME	AS SEARCH	9/10/10	VS

--	--

INFORMATION DISCLOSURE STATEMENT BY APPLICANT				Application Number	11/438,967			
				Filing Date	May 23, 2006			
				First Named Inventor	Tsuyoshi OZAKI			
				Group Art Unit	2629			
				Examiner Name	VIJAY SHANKAR			
Sheet	1	of	1	Attorney Docket Number	06331/LH			
U.S. PATENT DOCUMENTS								
Examiner Initials*	Cite No.	Document Number	Kind Code	Patentee or Applicant		Publication Date (MM-DD-YYYY)		
		7,348,942	B2	Jo		03-25-2008		
FOREIGN PATENT DOCUMENTS								
Examiner Initials*	Cite No.	Country Code	Document Number	Kind Code	Patentee or Applicant	Publication Date (MM-DD-YYYY)	Translation	
							Yes	Abstract Only
		JP	2005-099773	A	SEIKO EPSON CORP	04-14-2005		
		JP	2004-252104	A	SEIKO EPSON CORP	09-09-2004		
OTHER DOCUMENTS								
Examiner Initials*	Cite No.	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.						
		Japanese Office Action dated May 25, 2010 and English translation thereof in counterpart Japanese Application No. 2005-153382.						
Examiner Signature	/Vijay Shankar/			Date Considered	09/10/2010			

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

DATE MAILED OR TRANSMITTED: July 22, 2010

Issue Classification 	Application/Control No. 11438967	Applicant(s)/Patent Under Reexamination OZAKI ET AL.
	Examiner VIJAY SHANKAR	Art Unit 2629

ORIGINAL						INTERNATIONAL CLASSIFICATION														
CLASS		SUBCLASS				CLAIMED					NON-CLAIMED									
345		204				G	0	9	G	5 / 00 (2006.01.01)										
CROSS REFERENCE(S)																				
CLASS	SUBCLASS (ONE SUBCLASS PER BLOCK)																			
345	100	207	210	211	690															

<input type="checkbox"/> Claims renumbered in the same order as presented by applicant <input type="checkbox"/> CPA <input type="checkbox"/> T.D. <input type="checkbox"/> R.1.47															
Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original
3	1	19	17	35	33										
4	2	20	18	36	34										
5	3	21	19	37	35										
6	4	22	20	38	36										
7	5	23	21	39	37										
8	6	24	22	40	38										
9	7	25	23	1	39										
10	8	26	24	2	40										
11	9	27	25												
12	10	28	26												
13	11	29	27												
14	12	30	28												
15	13	31	29												
16	14	32	30												
17	15	33	31												
18	16	34	32												

NONE		Total Claims Allowed:	
		40	
(Assistant Examiner)	(Date)	O.G. Print Claim(s)	O.G. Print Figure
VIJAY SHANKAR/ Primary Examiner.Art Unit 2629	9/10/10	1	1
(Primary Examiner)	(Date)		

PATENT WITHDRAWAL NOTICE

DATE WITHDRAWN

7/23/10

WITHDRAWAL NUMBER

18372

The following application has been **WITHDRAWN** from the
Tuesday, August 10, 2010 issue.

SERIAL NO.

11/438,967

PATENT NUMBER

7,773,077

DRAWINGS

000

CLASS

345/204

TITLE

DISPLAY APPARATUS AND DRIVE CONTROL METHOD THEREOF

NAME AND ADDRESS

TSUYOSHI OZAKI, ET AL
FUCHU-SHI, JAPAN

REASON FOR WITHDRAWAL

Office of Petitions granted applicant's request to withdraw patent from issue.

APPROVED

/Kimberly Terrell/, Manager

Patent Publication Branch
Office of Data Management



FRISHAUF, HOLTZ, GOODMAN & CHICK, PC
220 Fifth Avenue
16TH Floor
NEW YORK NY 10001-7708

MAILED
JUL 23 2010
OFFICE OF PETITIONS

In re Application of :
Tsuyoshi Ozaki, et al. :
Application No. 11/438,967 : DECISION GRANTING PETITION
Filed: May 23, 2006 : UNDER 37 CFR 1.313(c)(2)
Attorney Docket No. 06331/LH :

This is a decision on the petition under 37 CFR 1.313(c)(2), filed, July 22, 2010 to withdraw the above-identified application from issue after payment of the issue fee.


The petition is **GRANTED**.

The above-identified application is withdrawn from issue for consideration of a submission under 37 CFR 1.114 (request for continued examination). See 37 CFR 1.313(c)(2).

Petitioner is advised that the issue fee paid on June 25, 2010 cannot be refunded. If, however, this application is again allowed, petitioner may request that it be applied towards the issue fee required by the new Notice of Allowance.¹

Telephone inquiries should be directed to Terri Johnson at (571) 272-2991.

This application is being referred to Technology Center AU 2629 for processing of the request for continued examination under 37 CFR 1.114 and for consideration of the concurrently filed information disclosure statement.


Terri Johnson
Petitions Examiner
Office of Petitions

¹ The request to apply the issue fee to the new Notice may be satisfied by completing and returning the new Part B – Fee(s) Transmittal Form (along with any balance due at the time of submission). Petitioner is advised that the Issue Fee Transmittal Form must be completed and timely submitted to avoid abandonment of the application.



UNITED STATES PATENT AND TRADEMARK OFFICE

Commissioner for Patents
United States Patent and Trademark Office
P.O. Box 1450
Alexandria, VA 22313-1450
www.uspto.gov

Date : July 23, 2010
TO : Director, Office of Data Management
FROM : Office of Petitions
SUBJECT : Withdrawal from Issue of **Application No. 11/438,967**

Applicant(s) : Tsuyoshi Ozaki, et al.
Application No. : 11/438,967
Filed : May 23, 2006

The above-identified application has been assigned Patent No. 7,773,077 and an issue date of August 10, 2010.

It is hereby directed that this application be withdrawn from issue at the request of the applicant. Do not refund the issue fee.

The following erratum should be published in the Official Gazette if the above-identified application is published in the OG of August 10, 2010:

"All reference to Patent No. 7,773,077 to Tsuyoshi Ozaki, et al. of Japan for DISPLAY APPARATUS AND DRIVE CONTROL METHOD THEREOF appearing in the Official Gazette of August 10, 2010 should be deleted since no patent was granted."

Terri Johnson
Petitions Examiner
Office of Petitions

cc: Paul Harrison
Deneise Boyd
Mary Louise McAskill
Niomi Farmer
Mary E. Johnson (Cookie)
Brad Harris
Kim Terrell
Lamont Fletcher

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

REQUEST FOR CONTINUED EXAMINATION(RCE)TRANSMITTAL (Submitted Only via EFS-Web)							
Application Number	11/438,967	Filing Date	2006-05-23	Docket Number (if applicable)	06331/LH	Art Unit	2629
First Named Inventor	Tsuoyoshi Ozaki			Examiner Name	Vijay Shankar		
<p>This is a Request for Continued Examination (RCE) under 37 CFR 1.114 of the above-identified application. Request for Continued Examination (RCE) practice under 37 CFR 1.114 does not apply to any utility or plant application filed prior to June 8, 1995, or to any design application. The Instruction Sheet for this form is located at WWW.USPTO.GOV</p>							
SUBMISSION REQUIRED UNDER 37 CFR 1.114							
<p>Note: If the RCE is proper, any previously filed unentered amendments and amendments enclosed with the RCE will be entered in the order in which they were filed unless applicant instructs otherwise. If applicant does not wish to have any previously filed unentered amendment(s) entered, applicant must request non-entry of such amendment(s).</p>							
<p><input type="checkbox"/> Previously submitted. If a final Office action is outstanding, any amendments filed after the final Office action may be considered as a submission even if this box is not checked.</p> <p style="margin-left: 40px;"><input type="checkbox"/> Consider the arguments in the Appeal Brief or Reply Brief previously filed on _____</p> <p style="margin-left: 40px;"><input type="checkbox"/> Other _____</p> <p><input checked="" type="checkbox"/> Enclosed</p> <p style="margin-left: 40px;"><input type="checkbox"/> Amendment/Reply</p> <p style="margin-left: 40px;"><input checked="" type="checkbox"/> Information Disclosure Statement (IDS)</p> <p style="margin-left: 40px;"><input type="checkbox"/> Affidavit(s)/ Declaration(s)</p> <p style="margin-left: 40px;"><input checked="" type="checkbox"/> Other _____ PETITION TO WITHDRAW FROM ISSUE UNDER 37 CFR 1.313(c)(2)</p>							
MISCELLANEOUS							
<p><input type="checkbox"/> Suspension of action on the above-identified application is requested under 37 CFR 1.103(c) for a period of months _____ (Period of suspension shall not exceed 3 months; Fee under 37 CFR 1.17(i) required)</p> <p><input type="checkbox"/> Other _____</p>							
FEES							
<p>The RCE fee under 37 CFR 1.17(e) is required by 37 CFR 1.114 when the RCE is filed. <input checked="" type="checkbox"/> The Director is hereby authorized to charge any underpayment of fees, or credit any overpayments, to Deposit Account No <u>61378</u></p>							
SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT REQUIRED							
<p><input checked="" type="checkbox"/> Patent Practitioner Signature</p> <p><input type="checkbox"/> Applicant Signature</p>							

Signature of Registered U.S. Patent Practitioner			
Signature	/Leonard Holtz/	Date (YYYY-MM-DD)	2010-07-22
Name	Leonard Holtz	Registration Number	22974

This collection of information is required by 37 CFR 1.114. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether the Freedom of Information Act requires disclosure of these records.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspections or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

PETITION TO WITHDRAW FROM ISSUE
Application Serial No. 11/438,967

Customer No. 01933

Attorney Docket No. 06331/LH

This paper is being
submitted via EFS-Web on
July 22, 2010

**IN THE UNITED STATES PATENT
AND TRADEMARK OFFICE**

In the event that this Paper
is late filed, and the
necessary petition for
extension of time is not
filed concurrently herewith,
please consider this as a
Petition for the requisite
extension of time, and to
the extent not already paid,
authorization to charge the
extension fee to Account
No. 06-1378. In addition,
authorization is hereby
given to charge any fees for
which payment has not been
submitted, or to credit any
overpayments, to Account No.
06-1378.

Applicant(s): Tsuyoshi OZAKI

Serial No. : 11/438,967

Confirm. No.: 5382

Filed : May 23, 2006

For : DISPLAY APPARATUS AND DRIVE
CONTROL METHOD THEREOF

Art Unit : 2629

Examiner : VIJAY SHANKAR

**PETITION TO WITHDRAW FROM ISSUE
UNDER 37 CFR 1.313 (c) (2)**

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

S I R :

Applicant hereby petitions to withdraw the present
application from issue under 37 CFR 1.312(c)(2) for the purpose
of consideration of an RCE pursuant to 37 CFR 1.114 and an IDS,
both filed concurrently herewith.

The Issue Fee was paid on June 25, 2010.

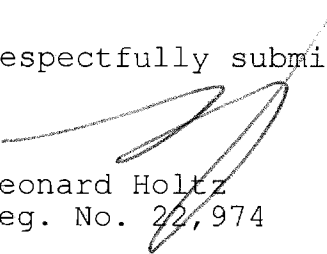
**The present application is scheduled to issue as USP
7,773,077 on August 10, 2010.**

The \$130.00 Petition Fee is being paid concurrently
herewith. Authorization is given to charge any other fees which
may be required in connection with this matter to Account
No. 06-1378.

On July 22, 2010 the applicant's Japanese attorneys informed the undersigned that they wish to file an IDS in the USPTO citing a Japanese Office Action dated May 25, 2010 (and an English translation thereof) that was received in connection with a counterpart Japanese application, so that the U.S. Examiner will consider said Japanese Office Action and the foreign documents newly cited (first-cited) therein.

It is respectfully requested that the present application be withdrawn from issue for the purpose of consideration of the RCE and the IDS.

Respectfully submitted,



Leonard Holtz
Reg. No. 22,974

Frishauf, Holtz, Goodman & Chick, P.C.
220 Fifth Avenue, 16th Floor
New York, NY 10001-7708
Tel. No. (212) 319-4900
Fax. No. (212) 319-5101
LH:ad
encs.

Information Disclosure Statement
Application Serial No. 11/438,967

Customer No. 01933

Attorney Docket No. 06331/LH

This paper is being
submitted via EFS-Web on
July 22, 2010

**IN THE UNITED STATES PATENT
AND TRADEMARK OFFICE**

In the event that this Paper
is late filed, and the
necessary petition for
extension of time is not
filed concurrently herewith,
please consider this as a
Petition for the requisite
extension of time, and to
the extent not already paid,
authorization to charge the
extension fee to Account
No. 06-1378. In addition,
authorization is hereby
given to charge any fees for
which payment has not been
submitted, or to credit any
overpayments, to Account No.
06-1378.

Applicant(s) : Tsuyoshi OZAKI
Serial No. : 11/438,967
Confirm. No. : 5382
Filed : May 23, 2006
For : DISPLAY APPARATUS AND DRIVE
CONTROL METHOD THEREOF
Art Unit : 2629
Examiner : VIJAY SHANKAR

**INFORMATION DISCLOSURE STATEMENT
WITH STATEMENT UNDER 37 CFR 1.97(e)(1)**

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

S I R:

Submitted herewith are the following:

- (1) Copy of a Japanese Office Action dated May 25, 2010 (and English translation thereof) in counterpart Japanese Application No. 2005-153382;
- (2) Copies of cited foreign documents; and
- (3) IDS Form.

An English translation of said Japanese Office Action is provided, thereby satisfying the requirements for a concise explanation of relevance for the non-English language documents cited therein (MPEP 609.04 (a) III).

USP 7,348,942 is a U.S. patent family member of JP 2004-252104, which was cited in said Japanese Office Action dated May 25, 2010.

JP 2004-287349, which was cited in said Japanese Office Action dated May 25, 2010, was previously cited in the present application in the IDS filed November 18, 2008.

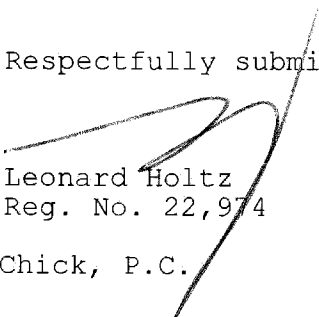
US 2006/0017668, which is a U.S. counterpart of JP 2004-287349, was also cited in the IDS filed November 18, 2008.

STATEMENT UNDER 37 CFR 1.97(e)(1)

Each item of information contained in this Information Disclosure Statement was first cited in any communication from foreign patent offices in counterpart foreign applications not more than three months prior to the filing of the present Information Disclosure Statement. Said Communication bears a mailing date of May 25, 2010.

It is requested that an initialed copy of the IDS Form be returned to indicate that the documents listed therein have been considered and made of record.

Respectfully submitted,



Leonard Holtz
Reg. No. 22,974

Frishauf, Holtz, Goodman & Chick, P.C.
220 Fifth Avenue, 16th Floor
New York, NY 10001-7708
Tel. No. (212) 319-4900
Fax. No. (212) 319-5101
LH:ad
encs.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT				Application Number	11/438,967			
				Filing Date	May 23, 2006			
				First Named Inventor	Tsuyoshi OZAKI			
				Group Art Unit	2629			
				Examiner Name	VIJAY SHANKAR			
Sheet	1	of	1	Attorney Docket Number	06331/LH			
U.S. PATENT DOCUMENTS								
Examiner Initials*	Cite No.	Document Number	Kind Code	Patentee or Applicant			Publication Date (MM-DD-YYYY)	
		7,348,942	B2	Jo			03-25-2008	
FOREIGN PATENT DOCUMENTS								
Examiner Initials*	Cite No.	Country Code	Document Number	Kind Code	Patentee or Applicant	Publication Date (MM-DD-YYYY)	Translation	
							Yes	Abstract Only
		JP	2005-099773	A	SEIKO EPSON CORP	04-14-2005		
		JP	2004-252104	A	SEIKO EPSON CORP	09-09-2004		
OTHER DOCUMENTS								
Examiner Initials*	Cite No.	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.						
		Japanese Office Action dated May 25, 2010 and English translation thereof in counterpart Japanese Application No. 2005-153382.						
Examiner Signature					Date Considered			

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

DATE MAILED OR TRANSMITTED: July 22, 2010

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-252104

(P2004-252104A)

(43) 公開日 平成16年9月9日(2004.9.9)

(51) Int. Cl. 7

F I

テーマコード(参考)

G09G 3/30

G09G 3/30 K

3K007

G09G 3/20

G09G 3/20 622A

5C080

H05B 33/14

G09G 3/20 623A

G09G 3/20 624B

G09G 3/20 624C

審査請求 未請求 請求項の数 14 O L (全 21 頁) 最終頁に続く

(21) 出願番号 特願2003-41769(P2003-41769)

(22) 出願日 平成15年2月19日(2003.2.19)

(71) 出願人 000002369

セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号

(74) 代理人 100095728

弁理士 上柳 雅誉

(74) 代理人 100107076

弁理士 藤網 英吉

(74) 代理人 100107261

弁理士 須澤 修

(72) 発明者 城 宏明

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

Fターム(参考) 3K007 AB17 BA06 DB03 GA02

5C080 AA06 BB05 DD02 DD08 EE19

EE25 FF11 JJ02 JJ03 JJ04

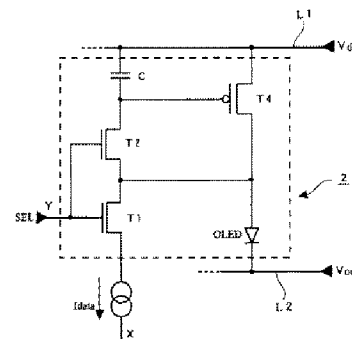
(54) 【発明の名称】 電気光学装置、電気光学装置の駆動方法および電子機器

(57) 【要約】

【課題】 駆動電流に応じた輝度で発光する電気光学素子を用いた電気光学装置において、動画表示特性を改善し、表示品質の一層の向上を図る。

【解決手段】 画素2は、キャパシタCに保持されたデータに応じて、駆動電流I_{oled}を設定する駆動トランジスタT4と、駆動電流I_{oled}に応じた輝度で発光する有機EL素子OLEDとを有する。書込対象となる画素2に対応する走査線が選択されてからこの走査線が次に選択されるまでの期間において、第1の電源線L1または第2の電源線L2の少なくとも一方の電位を可変に設定し、有機EL素子OLEDに順バイアスと非順バイアスとを交互に繰り返して印加する。

【選択図】 図2



【特許請求の範囲】**【請求項1】**

電気光学装置において、

複数の走査線と、

複数のデータ線と、

前記走査線と前記データ線との交差に対応して設けられた複数の画素であって、前記画素のそれぞれが、データを保持する保持手段と、前記保持手段に保持されたデータに応じて、第1の電源線から第2の電源線に向かって流れる駆動電流を設定する駆動素子と、当該設定された駆動電流に応じた輝度で発光する電気光学素子とを有する複数の画素と、前記走査線に走査信号を出力することにより、データの書込対象となる画素に対応する前記走査線を選択する走査線駆動回路と、

前記走査線駆動回路と協働し、前記書込対象となる画素に対応する前記データ線にデータを出力するデータ線駆動回路と、

前記書込対象となる画素に対応する前記走査線が選択されてから当該走査線が次に選択されるまでの期間において、前記第1の電源線または前記第2の電源線の少なくとも一方の電位を可変に設定し、前記電気光学素子に順バイアスと非順バイアスとを交互に繰り返し印加することにより、前記電気光学素子をインパルス駆動させる電源線制御回路とを有することを特徴とする電気光学装置。

【請求項2】

前記電源線制御回路は、前記電気光学素子に順バイアスを印加する場合、前記第2の電源線の電位を前記第1の電源線の電位よりも低く設定し、前記電気光学素子に非順バイアスを印加する場合、前記第2の電源線の電位を前記第1の電源線の電位以上に設定することを特徴とする請求項1に記載された電気光学装置。

【請求項3】

前記電源線制御回路は、前記電気光学素子に順バイアスを印加する場合、前記第1の電源線の電位を前記第2の電源線の電位よりも高く設定し、前記電気光学素子に非順バイアスを印加する場合、前記第1の電源線の電位を前記第2の電源線の電位以下に設定することを特徴とする請求項1に記載された電気光学装置。

【請求項4】

前記電源線制御回路は、前記電気光学素子に順バイアスを印加する場合、前記第1の電源線の電位を第1の電位に設定するとともに、前記第2の電源線の電位を前記第1の電位よりも低い第2の電位に設定し、前記電気光学素子に非順バイアスを印加する場合、前記第1の電源線の電位を前記第1の電位よりも低い第3の電位に設定するとともに、前記第2の電源線の電位を前記第3の電位以上の第4の電位に設定することを特徴とする請求項1に記載された電気光学装置。

【請求項5】

前記電源線制御回路は、ある走査線の選択が終了してから次の走査線の選択が開始されるまでの間に遅延期間を設け、当該遅延期間のそれぞれにおいて、前記電気光学素子をインパルス駆動させることを特徴とする請求項1から4のいずれかに記載された電気光学装置。

【請求項6】

前記電源線制御回路は、前記走査線単位で設けられており、

前記電源線制御回路のそれぞれは、当該電源線制御回路に対応する前記走査線の選択と同期して、当該走査線に対応する画素行の前記電気光学素子をインパルス駆動させることを特徴とする請求項1から4のいずれかに記載された電気光学装置。

【請求項7】

前記画素のそれぞれは、前記駆動電流の電流経路中に設けられた制御素子をさらに有し、当該制御素子の導通制御によって、データの書き込み途中における前記画素の発光を規制することを特徴とする請求項1から6のいずれかに記載された電気光学装置。

【請求項8】

請求項1から7のいずれかに記載された電気光学装置を実装したことを特徴とする電子機器。

【請求項9】

走査線とデータ線との交差に対応して配置された複数の画素と、前記走査線に走査信号を出力することにより、データの書込対象となる画素に対応する前記走査線を選択する走査線駆動回路と、前記走査線駆動回路と協働し、前記書込対象となる画素に対応する前記データ線にデータを出力するデータ線駆動回路とを有する電気光学装置の駆動方法において

、前記書込対象となる画素に対応する前記データ線にデータを出力し、前記書込対象となる前記画素に対して、データの書き込みを行う第1のステップと、

前記画素に書き込まれたデータに応じて、第1の電源線から第2の電源線に向かって流れる駆動電流を設定し、当該駆動電流を、駆動電流に応じた輝度で発光する電流駆動型の電気光学素子に供給する第2のステップと、

前記画素に対応する前記走査線が選択されてから、当該走査線が次に選択されるまでの期間において、前記第1の電源線または前記第2の電源線の少なくとも一方の電位を可変に設定し、前記電気光学素子に順バイアスと非順バイアスとを交互に繰り返し印加することにより、前記電気光学素子をインパルス駆動させる第3のステップと

を有することを特徴とする電気光学装置の駆動方法。

【請求項10】

前記第3のステップは、前記電気光学素子に順バイアスを印加する場合、前記第2の電源線の電位を前記第1の電源線の電位よりも低く設定するステップと、前記電気光学素子に非順バイアスを印加する場合、前記第2の電源線の電位を前記第1の電源線の電位以上に設定するステップとを含むことを特徴とする請求項9に記載された電気光学装置の駆動方法。

【請求項11】

前記第3のステップは、前記電気光学素子に順バイアスを印加する場合、前記第1の電源線の電位を前記第2の電源線の電位よりも高く設定するステップと、前記電気光学素子に非順バイアスを印加する場合、前記第1の電源線の電位を前記第2の電源線の電位以下に設定するステップとを含むことを特徴とする請求項9に記載された電気光学装置の駆動方法。

【請求項12】

前記第3のステップは、前記電気光学素子に順バイアスを印加する場合、前記第1の電源線の電位を第1の電位に設定するとともに、前記第2の電源線の電位を前記第1の電位よりも低い第2の電位に設定するステップと、前記電気光学素子に非順バイアスを印加する場合、前記第1の電源線の電位を前記第1の電位よりも低い第3の電位に設定するとともに、前記第2の電源線の電位を前記第3の電位以上の第4の電位に設定するステップとを含むことを特徴とする請求項9に記載された電気光学装置の駆動方法。

【請求項13】

前記第3のステップにおいて、ある走査線の選択が終了してから次の走査線の選択が開始されるまでの間に遅延期間を設け、当該遅延期間のそれぞれにおいて、前記電気光学素子をインパルス駆動させることを特徴とする請求項9から12のいずれかに記載された電気光学装置の駆動方法。

【請求項14】

前記第3のステップにおいて、前記走査線の選択と同期して、当該走査線に対応する画素行の前記電気光学素子を走査線単位でインパルス駆動させることを特徴とする請求項9から12のいずれかに記載された電気光学装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電流によって発光輝度が制御される電気光学素子を用いた電気光学装置、電気

光学装置の駆動方法および電子機器に係り、特に、電気光学素子のインパルス駆動に関する。

【0002】

【従来の技術】

ホールド型ディスプレイの高画質化を図る上での課題として、動画表示特性の改善が挙げられる。ホールド型ディスプレイとは、1フレームの期間中、画像を表示し続けるディスプレイをいい、液晶や有機EL(Electronic Luminescence)等を用いたディスプレイはこのタイプに属する。この類のディスプレイにおいて、画素内のキャパシタ等へ書き込まれたデータは、1フレーム経過後にデータが再度書き込まれるまで保持され、基本的に、データが保持されている間、発光し続ける。そのため、1フレーム内で一時的に発光するインパルス型ディスプレイ(例えばCRT)と比較して、特に動画を表示する際に残像が目立ち、表示される動画が不鮮明になるという問題がある。この問題を解決するために、従来より、動画表示プロセスにおいて黒画像を所定の間隔で挿入するブリンキング(Blinking)と呼ばれる手法が提案されている。

【0003】

例えば、特許文献1には、画素に対して所定電圧を供給する電圧ライン中にスイッチを設け、このスイッチで有機EL素子の発光時間を制御することにより、ブリンキングを行う技術が開示されている。具体的には、1フレームが複数のサブフレームに分割されており、サブフレーム毎にデータの書き込みが行われる。有機EL素子の発光期間は、サブフレームの一部期間として設定されており、この発光期間においてのみスイッチがオンする。これにより、発光期間では、所定電圧が電圧ラインを介して画素に供給されるため、有機EL素子が発光するが、それ以外の期間では、画素に対する電圧供給が停止するため、有機EL素子は発光しない(黒表示)。したがって、1サブフィールド期間、すなわち、ある走査線が選択されてから次にこれが選択されるまでの期間で捉えると、発光と非発光とがそれぞれ1回ずつ行われるという発光形態となる。

【0004】

なお、本願出願人の先願である特願2002-291145号には、電圧供給線の設定電圧を可変制御することにより、有機EL素子に順バイアスと非順バイアスとを印加する技術が記載されている。ある走査線が選択されてから次にこれが選択されるまでの期間において、有機EL素子には、順バイアスと非順バイアスとがそれぞれ1回ずつ印加される。これにより、駆動トランジスタの閾値電圧のばらつきによる影響を抑制し、画素回路を構成するトランジスタの個数の低減を図る。

【0005】

【特許文献1】

特開2000-347622号公報。

【0006】

【発明が解決しようとする課題】

本発明の目的は、駆動電流に応じた輝度で発光する電気光学素子を用いた電気光学装置において、動画表示特性を改善し、表示品質の一層の向上を図ることである。

【0007】

【課題を解決するための手段】

かかる課題を解決するために、第1の発明は、複数の走査線と、複数のデータ線と、走査線とデータ線との交差に対応して設けられた複数の画素と、走査線に走査信号を出力することにより、データの書込対象となる画素に対応する走査線を選択する走査線駆動回路と、走査線駆動回路と協働し、書込対象となる画素に対応するデータ線にデータを出力するデータ線駆動回路と、電気光学素子をインパルス駆動させる電源線制御回路とを有する電気光学装置を提供する。ここで、画素のそれぞれは、データを保持する保持手段と、保持手段に保持されたデータに応じて、第1の電源線から第2の電源線に向かって流れる駆動電流を設定する駆動素子と、設定された駆動電流に応じた輝度で発光する電気光学素子とを有する。また、電源線制御回路は、書込対象となる画素に対応する走査線が選択されて

からこの走査線が次に選択されるまでの期間において、第1の電源線または第2の電源線の少なくとも一方の電位を可変に設定し、電気光学素子に順バイアスと非順バイアスとを交互に繰り返し印加する。

【0008】

ここで、第1の発明において、電源線制御回路は、電気光学素子に順バイアスを印加する場合、第2の電源線の電位を第1の電源線の電位よりも低く設定し、電気光学素子に非順バイアスを印加する場合、第2の電源線の電位を第1の電源線の電位以上に設定してもよい。また、電源線制御回路は、電気光学素子に順バイアスを印加する場合、第1の電源線の電位を第2の電源線の電位よりも高く設定し、電気光学素子に非順バイアスを印加する場合、第1の電源線の電位を第2の電源線の電位以下に設定してもよい。さらに、電源線制御回路は、電気光学素子に順バイアスを印加する場合、第1の電源線の電位を第1の電位に設定するとともに、第2の電源線の電位を第1の電位よりも低い第2の電位に設定し、電気光学素子に非順バイアスを印加する場合、第1の電源線の電位を第1の電位よりも低い第3の電位に設定するとともに、第2の電源線の電位を第3の電位以上の第4の電位に設定してもよい。

【0009】

また、第1の発明において、電源線制御回路は、ある走査線の選択が終了してから次の走査線の選択が開始されるまでの間に遅延期間を設け、それぞれの遅延期間において、電気光学素子をインパルス駆動させてもよい。

【0010】

また、第1の発明において、電源線制御回路は、走査線単位で設けられていてもよい。この場合、電源線制御回路のそれぞれは、この電源線制御回路に対応する走査線の選択と同期して、この走査線に対応する画素行の電気光学素子をインパルス駆動させることが好ましい。

【0011】

また、第1の発明において、画素のそれぞれは、駆動電流の電流経路中に設けられた制御素子をさらに有していてもよい。この場合、この制御素子の導通制御によって、データの書き込み途中における画素の発光を規制することが望ましい。

【0012】

第2の発明は、上述した第1の発明に係る電気光学装置を実装した電子機器を提供する。

【0013】

第3の発明は、走査線とデータ線との交差に対応して配置された複数の画素と、走査線に走査信号を出力することにより、データの書込対象となる画素に対応する走査線を選択する走査線駆動回路と、走査線駆動回路と協働し、書込対象となる画素に対応するデータ線にデータを出力するデータ線駆動回路とを有する電気光学装置の駆動方法を提供する。この駆動方法は、書込対象となる画素に対応するデータ線にデータを出力し、この画素に対してデータの書き込みを行う第1のステップと、画素に書き込まれたデータに応じて、第1の電源線から第2の電源線に向かって流れる駆動電流を設定し、この駆動電流を、駆動電流に応じた輝度で発光する電流駆動型の電気光学素子に供給する第2のステップと、電気光学素子をインパルス駆動させる第3のステップとを有する。この第3のステップにおいて、ある画素に対応する走査線が選択されてから、この走査線が次に選択されるまでの期間において、第1の電源線または第2の電源線の少なくとも一方の電位を可変に設定し、電気光学素子に順バイアスと非順バイアスとを交互に繰り返し印加する。

【0014】

ここで、第3の発明の第3のステップは、電気光学素子に順バイアスを印加する場合、第2の電源線の電位を第1の電源線の電位よりも低く設定するステップと、電気光学素子に非順バイアスを印加する場合、第2の電源線の電位を第1の電源線の電位以上に設定するステップとを含んでいてもよい。また、第3のステップは、電気光学素子に順バイアスを印加する場合、第1の電源線の電位を第2の電源線の電位よりも高く設定するステップと、電気光学素子に非順バイアスを印加する場合、第1の電源線の電位を第2の電源線の電

位以下に設定するステップとを含んでいてもよい。さらに、第3のステップは、電気光学素子に順バイアスを印加する場合、第1の電源線の電位を第1の電位に設定するとともに、第2の電源線の電位を第1の電位よりも低い第2の電位に設定するステップと、電気光学素子に非順バイアスを印加する場合、第1の電源線の電位を第1の電位よりも低い第3の電位に設定するとともに、第2の電源線の電位を第3の電位以上の第4の電位に設定するステップとを含んでいてもよい。

【0015】

また、第3の発明の第3のステップにおいて、ある走査線の選択が終了してから次の走査線の選択が開始されるまでの間に遅延期間を設け、それぞれの遅延期間において、電気光学素子をインパルス駆動させてもよい。

【0016】

また、第3の発明の第3のステップにおいて、走査線の選択と同期して、この走査線に対応する画素行の電気光学素子を走査線単位でインパルス駆動させてもよい。

【0017】

【発明の実施の形態】

(第1の実施形態)

図1は、本実施形態に係る電気光学装置のブロック構成図である。表示部1は、例えば、FET(電界効果型トランジスタ)等のスイッチング素子によって電気光学素子を駆動するアクティブマトリクス型の表示パネルである。この表示部1には、 m ドット $\times n$ ライン分の画素2がマトリクス状(二次元平面的)に並んでいる。また、表示部1には、それぞれが水平方向に延在している走査線群 $Y1\sim Yn$ と、それぞれが垂直方向に延在しているデータ線群 $X1\sim Xm$ とが設けられており、これらの交差に対応して画素2が配置されている。それぞれの画素2は、第1の電源線 $L1$ と第2の電源線 $L2$ とに共通接続されている。第1の電源線 $L1$ の電位は電源電位 V_{dd} に固定的に設定されている。一方、第2の電源線 $L2$ の電位(後述する出力電位 V_{out})は、電気光学素子のインパルス駆動を実現すべく、可変に設定される。なお、本実施形態では、1つの画素2を画像の最小表示単位としているが、1つの画素2を複数のサブ画素で構成してもよい。

【0018】

制御回路5は、図示しない上位装置より入力される垂直同期信号 V_s 、水平同期信号 H_s 、ドットクロック信号 $DCLK$ および階調データ D 等に基づいて、走査線駆動回路3とデータ線駆動回路4と電源線制御回路6とを同期制御する。この同期制御の下、走査線駆動回路3、データ線駆動回路4および電源線制御回路6は、互いに協働して表示部1の表示制御を行う。制御回路5が出力する制御信号およびパルス信号は、基本的に従来のものと同様であるが、本実施形態では、特に、電源線制御回路6を制御する制御信号 S_c が追加されている点に留意されたい。

【0019】

走査線駆動回路3は、シフトレジスタ、出力回路等を主体に構成されており、各走査線 $Y1\sim Yn$ に走査信号 SEL を出力することによって、走査線 $Y1\sim Yn$ を所定の順序で選択していく。走査信号 SEL は、高レベル(以下、「Hレベル」という)または低レベル(以下、「Lレベル」という)の2値的な信号レベルをとり、データの書込対象となる画素行に対応する走査線 Y はHレベル、これ以外の走査線 Y はLレベルにそれぞれ設定される。これにより、1垂直走査期間において、所定の選択順序で(一般的には最上から最下に向かって)一走査線分の画素群(画素行)が選択されていく線順次走査が行われる。

【0020】

一方、データ線駆動回路4は、シフトレジスタ、ラインラッチ回路、出力回路等を主体に構成されている。データの書き込み方式として電流プログラム方式を用いる場合には、各データ線 $X1\sim Xm$ に対して、画像データが電流レベルで出力される。そのため、データ線駆動回路4は、画素2の表示階調に相当するデータ(データ電圧 V_{data})をデータ電流 I_{data} へと変換する可変電流源を含む。これに対して、電圧プログラム方式を用いる場合には、各データ線 $X1\sim Xm$ に対して、画像データが電圧レベルで出力されるた

め、かかる可変電流源は必要ない。データ線駆動回路4は、1水平走査期間において、今回データを書き込む画素行に対するデータ(DataまたはVdata)の一斉出力と、次の水平走査期間で書き込みを行う画素行に関するデータの点順次的なラッチとを同時に行う。ある水平走査期間において、データ線Xの本数に相当するm個のデータが順次ラッチされる。そして、次の水平走査期間において、ラッチされたm個のデータは、電流プログラム方式の場合にはデータ電流Dataに変換された上で、それぞれのデータ線X1~Xmに対して一斉に出力される。なお、データ線駆動回路4に対してフレームメモリ等(図示せず)から直接データを線順次的に入力する構成でも本発明を適用できるが、その場合においても本発明の主眼とする部分の動作は同様であるので説明を省略する。この場合には、データ線駆動回路4にシフトレジスタを設ける必要はない。

【0021】

図2は、画素2の一例を示す電流プログラム方式の画素回路図である。1つの画素2は、有機EL素子OLEDと、3つのトランジスタT1、T2、T4と、データを保持するキャパシタCとによって構成されている。なお、同図に示した画素2では、一例として、nチャネル型のトランジスタT1、T2とpチャネル型のトランジスタT4とが用いられている。また、データを保持する回路要素としては、キャパシタC以外にも、多ビットのデータを記憶可能なメモリ(SRAM等)を用いることもできる。

【0022】

第1のスイッチングトランジスタT1のゲートは、走査信号SELが供給される1本の走査線Y(YはY1~Ynの任意の一本を指す)に接続され、そのソースは、データ電流Dataが供給される1本のデータ線X(XはX1~Xmの任意の一本を指す)に接続されている。第1のスイッチングトランジスタT1のドレインは、第2のスイッチングトランジスタT2のソースと、駆動素子の一形態である駆動トランジスタT4のドレインと、有機EL素子OLEDのアノード(陽極)とに共通接続されている。第2のスイッチングトランジスタT2のゲートは、第1のスイッチングトランジスタT1と同様に、走査信号SELが供給される走査線Yに接続されている。第2のスイッチングトランジスタT2のドレインは、キャパシタCの一方の電極と、駆動トランジスタT4のゲートとに共通接続されている。キャパシタCの他方の電極および駆動トランジスタT4のソースは、電源電位Vddに設定された第1の電源線L1に共通接続されている。一方、有機EL素子OLEDのカソード(陰極)は、出力電位Voutによって電位が可変に設定される第2の電源線L2に接続されている。

【0023】

電源線制御回路6は、制御回路5からの制御信号Scに応じて、第2の電源線L2の電位である出力電位Voutを可変に制御する。図3は、電源線制御回路6の回路図である。この電源線制御回路6は、CMOSインバータ6aと、増幅器であるオペアンプ6bとによって構成されている。このインバータ6aは、2つの固定電位Voff、Vssとの間に直列接続されたnチャネル型トランジスタとpチャネル型トランジスタとを有し、その入力となる制御信号Scのレベルに応じて、電位Voff、Vssを択一的に出力する。ここで、オフ電位Voffは電源電位Vdd以上の所定の電位であり、電位Vssは電源電位Vddよりも低い所定の電位である($Voff \geq Vdd > Vss$)。インバータ6aから出力された出力電位Vin+は、オペアンプ6bの非反転入力端(+入力端)に入力される。オペアンプ6bによって構成される回路は、ユニティゲイン・バッファと呼ばれるバッファ回路であるが、ソースフォロワ回路を含む電圧フォロワ回路を用いてもよい。オペアンプ6bから出力される出力電位Voutは、電源制御信号Scのレベルを反転させた出力波形を有する。後段の回路に対して十分な駆動能力を確保すべく、インバータ6aを構成するトランジスタの利得係数βは大きく、オペアンプ6bのスルーレートは高く設定されている。

【0024】

電源線制御回路6からの出力電位Voutは、電位Vss、Voffのいずれかに設定され、これにより、図2に示した画素2を構成する有機EL素子OLEDの発光状態が制御

される。具体的には、制御信号 S_c が Hレベルの場合、オペアンプ 6 b から出力される出力電位 V_{out} は、電源電位 V_{dd} よりも低い電位 V_{ss} となる。この場合、有機 EL 素子 OLED のカソードには、第 2 の電源線 L 2 を介して電位 V_{ss} が印加される。有機 EL 素子 OLED のアノードには、第 1 の電源線 L 1 を介して電源電位 V_{dd} が印加されているため、 V_{ss} 印加時には、有機 EL 素子 OLED には順バイアス（順方向電圧）が印加される。その結果、第 1 の電源線 L 1 から第 2 の電源線 L 2 に向かって駆動電流 I_{oled} が流れ得るため、有機 EL 素子 OLED の発光が許容される。これに対して、制御信号 S_c が Lレベルの場合、オペアンプ 6 b から出力される出力電位 V_{out} は、電源電位 V_{dd} 以上のオフ電位 V_{off} となり、このオフ電位 V_{off} が有機 EL 素子 OLED のカソードに印加される。したがって、有機 EL 素子 OLED には、順バイアスでないバイアス、すなわち、非順バイアスが印加される。ここで、オフ電位 V_{off} を電源電位 V_{dd} よりも高い電位に設定した場合、非順バイアスは逆バイアス（逆方向電圧）に相当する。また、オフ電位 V_{off} を電源電位 V_{dd} とほぼ同等の電位に設定した場合（正確には、 $0 \leq V_{dd} - V_{off} < V_{th}$ (V_{th} は有機 EL 素子 OLED の閾電圧)）、非順バイアスはバイアスが印加されない状態に相当する。このような非順バイアス印加時には、有機 EL 素子 OLED の整流作用によって、駆動電流 I_{oled} の流れが阻止されるため、キャパシタ C の蓄積電荷に関わりなく、有機 EL 素子 OLED は発光しない。

【0025】

図 4 は、本実施形態に係る駆動タイミングチャートである。まず、タイミング t_0 において、走査線駆動回路 3 は、走査線群 $Y_1 \sim Y_n$ のうち、最上の走査線 Y_1 を選択する。このタイミング t_0 で、最上の走査線 Y_1 の走査信号 SEL_1 が Hレベルに立ち上がり、このレベルがタイミング t_1 まで維持される。この期間 $t_0 \sim t_1$ では、最上の走査線 Y_1 に対応する画素行において、図 2 に示したスイッチングトランジスタ T_1 、 T_2 が共にオンする。これにより、データ線 X と駆動トランジスタ T_4 のドレインとが電氣的に接続されるとともに、駆動トランジスタ T_4 は、自己のゲートと自己のドレインとが電氣的に接続されたダイオード接続となる。駆動トランジスタ T_4 は、データ線 X より供給されたデータ電流 I_{data} を自己のチャンネルに流し、このデータ電流 I_{data} に応じたゲート電圧 V_g を自己のゲートに発生させる。その結果、駆動トランジスタ T_4 のゲートに接続されたキャパシタ C には、発生したゲート電圧 V_g に応じた電荷が蓄積されて、データが書き込まれる。そして、タイミング t_1 になると、走査信号 SEL_1 が Lレベルに立ち下がり、最上の走査線 Y_1 に対応する画素行のスイッチングトランジスタ T_1 、 T_2 が共にオフする。これにより、データ線 X と駆動トランジスタ T_4 のドレインとが電氣的に遮断され、書込対象だった最上の画素行に対するデータ書き込みが終了する。なお、書込対象となっていない上から 2 番目以降の画素行に関しては、スイッチングトランジスタ T_1 、 T_2 が共にオフしているため、データの書き込みは行われない。

【0026】

走査信号 SEL_1 の立ち下がりと同期して、次の走査線 Y_2 の走査信号 SEL_2 が Hレベルに立ち上がり、上述したデータ書き込みと同様のプロセスで、走査線 Y_2 に対応する画素行へのデータ書き込みが行われる。これ以降、最下の走査線 Y_n の選択が終了するタイミング t_2 に到達するまで、書込対象となる画素行へのデータ書き込みが線順次走査的に行われていく。

【0027】

このような線順次走査が行われる期間 $t_0 \sim t_2$ を含む期間 $t_0 \sim t_3$ では、制御信号 S_c が Lレベルに維持される。したがって、すべての画素 2 には、第 2 の電源線 L 2 を介してオフ電位 V_{off} が供給され ($V_{out} = V_{off}$)、すべての有機 EL 素子 OLED に対して非順バイアスが印加される。その結果、この期間 $t_0 \sim t_3$ では、書込対象となる画素行であるか否かに拘わらず、すべての画素 2 が非発光状態に設定される（黒表示）。この期間 $t_0 \sim t_3$ において非順バイアスを設定する理由は、データの書き込み途中における画素 2 の発光を規制することで、表示の安定性を確保するためである。なお、本実施形態では、データの書き込み途中において画素 2 の発光を行わないが、画素回路の構成

によってはこれを行ってもよい(例えば、図14に示す画素回路)。

【0028】

タイミング t_2 に続くタイミング t_3 において、それ以前はLレベルだった制御信号 S_c は、HレベルとLレベルとを交互に繰り返すパルス波形へと変化する。制御信号 S_c がHレベルの場合、電源線 L_1 、 L_2 間の電位関係が $V_{dd} > V_{out} (=V_{ss})$ となるため、有機EL素子OLEDに順バイアスが印加される。したがって、第1の電源線 L_1 から第2の電源線 L_2 に向かって、駆動トランジスタ T_4 と有機EL素子OLEDとを介した、駆動電流 I_{oled} の電流経路が形成され得る。この駆動電流 I_{oled} は、駆動トランジスタ T_4 のチャネル電流に相当し、キャパシタ C の蓄積電荷に起因したゲート電圧 V_g によって制御される。換言すれば、駆動電流 I_{oled} の電流レベルは、先に書き込まれたキャパシタ C の蓄積電荷に応じて決定される。その結果、制御信号 S_c がHレベルの場合、有機EL素子OLEDは駆動電流 I_{oled} に応じた輝度で発光する。一方、制御信号 S_c がLレベルの場合、電源線 L_1 、 L_2 間の電位関係が $V_{dd} \leq V_{out} (=V_{off})$ となるため、有機EL素子OLEDに非順バイアスが印加される。したがって、この場合には、有機EL素子OLEDの整流作用により駆動電流 I_{oled} が流れないので、有機EL素子OLEDは非発光状態(黒表示)となる。このように、タイミング t_3 以降において、有機EL素子OLEDの駆動モードは、発光と非発光とを交互に繰り返すインパルス駆動となる。インパルス駆動は、1垂直走査期間の終了タイミング t_4 に到達するまで、換言すれば、次の垂直走査期間において、最上の走査線 Y_1 が再び選択されるまで継続される。

【0029】

このように、本実施形態では、走査線 Y_1 が選択されてからこの走査線 Y_1 が次に選択されるまでの期間 $t_0 \sim t_4$ (1垂直走査期間)の一部期間 $t_3 \sim t_4$ において、第2の電源線 L_2 の電位 V_{out} を電位 V_{ss} 、 V_{off} に交互に設定する。これにより、有機EL素子OLEDに対して順バイアスと非順バイアスとが交互に繰り返されるため、画素2の光学応答をインパルス型に近づけることができる。それとともに、この期間 $t_3 \sim t_4$ において、有機EL素子OLEDの発光・非発光を頻りに切り替えることで、黒表示が行われる期間を分散でき、かつ、1回の黒表示期間を短くできるため、表示画像のちらつきの低減を図ることができる。その結果、動画表示特性を改善でき、表示品質の一層の向上を図ることが可能となる。また、特に、オフ電位 V_{off} を電源電位 V_{dd} よりも高い電位に設定した場合には、上述した非順バイアスが逆バイアスとなり、順バイアスと逆バイアスとが交互に印加されるため、有機EL素子OLEDの寿命向上も期待できる。

【0030】

また、本実施形態では、1垂直走査期間の前半期間 $t_0 \sim t_3$ において、すべての画素2を非発光状態に設定し、続く後半期間 $t_3 \sim t_4$ において、すべての画素2を一斉に発光状態に設定している。したがって、表示部1を構成するすべての画素2が同時に、かつ同一期間で発光するため、複雑な駆動制御を行うことなく、表示部1全体の発光輝度を均一化できる。

【0031】

(第2の実施形態)

上述した実施形態では、1垂直走査期間の後半期間 $t_3 \sim t_4$ でインパルス駆動が行われるのに対して、本実施形態は、インパルス駆動が行われる期間を1垂直走査期間内でより均一に分散させることを意図したものである。図5は、本実施形態に係る駆動タイミングチャートである。

【0032】

まず、期間 $t_0 \sim t_1$ において、最上の走査線 Y_1 の走査信号 SEL_1 がHレベルになり、この走査線 Y_1 に対応する画素行へのデータ書き込みが行われる。この期間 $t_0 \sim t_1$ では、制御信号 S_c がLレベルに維持されるため、すべての画素2の有機EL素子OLEDは非発光状態に設定される。タイミング t_1 を起点に所定の遅延期間 τ が経過するまでの間は、制御信号 S_c がパルス波形に変化するため、すべての有機EL素子OLEDを対

象としたインパルス駆動が行われる。この遅延期間 τ では、いかなる画素2に対してもデータの書き込みは行われない。そして、遅延期間 τ が終了するタイミング t_2 において、制御信号 S_c がLレベルに立ち下がり、すべての有機EL素子OLEDの発光が停止する。それとともに、次の走査線 Y_2 の走査信号 SEL_2 がHレベルに立ち上がり、この走査線 Y_2 に対応する画素行へのデータ書き込みが行われる。これ以降、1垂直走査期間が終了するタイミング t_3 に到達するまで、遅延期間 τ 毎に、すべての有機EL素子OLEDを対象としたインパルス駆動が行われる。

【0033】

本実施形態では、線順次走査において、ある走査線の選択が終了してから次の走査線の選択が開始されるまでの間に遅延期間 τ を設け、それぞれの遅延期間 τ において、すべての有機EL素子OLEDを対象としたインパルス駆動が行われる。これにより、上述した各実施形態と比較して、表示画像のちらつきを一層有効に低減することができる。なぜなら、インパルス駆動が行われる期間を1垂直走査期間内で分散させることができ、インパルス駆動における黒表示期間も細分化されるからである。

【0034】

(第3の実施形態)

上述した第1の実施形態では、データの書き込み途中における画素2の発光規制を、制御信号 S_c のレベル設定($S_c=L$)によって実現している。これに対して、本実施形態は、駆動電流 I_{oled} の電流経路中に設けられた制御素子の導通制御によって、かかる発光規制を行うものである。図6は、本実施形態に係る画素2の回路図である。なお、同図の構成は、駆動電流 I_{oled} の電流経路中に、制御素子の一形態である制御トランジスタ T_5 を設けた点以外は図2の構成と同様であるから、図2に示した回路要素と同一の要素については同一の符号を付してここでの説明を省略する。また、電気光学装置の全体的なブロック構成は、図1に示したものと同様である。制御トランジスタ T_5 は、一例としてnチャンネル型トランジスタであり、駆動トランジスタ T_4 のドレインと有機EL素子OLEDのアノードとの間に設けられている。また、制御トランジスタ T_5 のゲートには、このトランジスタ T_5 の導通状態を走査線単位で制御する制御信号 GP ($GP_1 \sim GP_n$ のいずれか1つ)が供給されている。ここで、「走査線単位」とは、走査線 Y と制御信号 GP とが一对一に対応している場合はもとより、複数の走査線 Y をグループ化した走査線群毎に1つの制御信号 GP が対応付けられている場合も含む。

【0035】

図7は、本実施形態に係る駆動タイミングチャートである。図4に示したタイミングチャートとの主な相違点は、制御信号 $GP_1 \sim GP_n$ が追加された点および制御信号 S_c の波形を常時パルス状にした点である(これに起因して出力電位 V_{out} も常時パルス状になる)。それぞれの制御信号 $GP_1 \sim GP_n$ は、対応する走査信号 $SEL_1 \sim SEL_n$ と同期しており、そのレベルは、線順次走査に従い、画素行毎にオフセットしたタイミングで変化する。まず、走査信号 SEL_1 がHレベルになる期間 $t_0 \sim t_1$ では、最上の走査線 Y_1 が選択され、これに対応する画素行に対するデータ書き込みが行われる。この期間 $t_0 \sim t_1$ では、対応する制御信号 GP_1 がLレベルに維持されているため、最上の画素行における制御トランジスタ T_5 がオフする。これにより、駆動電流 I_{oled} の電流経路が遮断されるため、最上の画素行における有機EL素子OLEDは、制御信号 S_c のレベルに関わりなく非発光状態となる。そして、走査線 Y_1 の選択が終了するタイミング t_1 の直後より、制御信号 GP_1 がHレベルに立ち上がり、最上の画素行における制御トランジスタ T_5 が一斉にオンする。これにより、第1の実施形態と同様に、最上の画素行において、パルス状の制御信号 S_c に起因したインパルス駆動が一斉に行われる。このインパルス駆動は、制御信号 GP_1 がLレベルに立ち下がるまで、すなわち、最上の走査線 Y_1 が次に選択されるタイミング t_4 の直前まで継続される。つぎに、期間 $t_1 \sim t_2$ では、走査線号 SEL_2 がHレベルになって、直下の走査線 Y_2 に対応する画素行のデータ書き込みが行われるが、制御信号 GP_2 がLレベルなので、データ書き込み途中における発光は規制される。そして、走査線 Y_2 の選択が終了するタイミング t_1 の直後からこれが

次に選択されるタイミングの直前までの期間では、制御信号GP 2がHレベルになるため、走査線Y 2に対応する画素行におけるインパルス駆動が一斉に行われる。これ以降の画素行についても同様であり、走査線駆動回路3による線順次走査に従い、データ書き込み途中における発光規制と、これに続くインパルス駆動とが、走査線単位で順次実行されていく。そして、期間t 3～t 4における最下の走査線に選択を以て、1垂直走査期間が終了する。

【0036】

本実施形態によれば、上述した実施形態と同様に、動画表示特性を改善でき、表示品質の一層の向上を図ることができる。特に、本実施形態では、制御トランジスタT 5を追加することにより、制御信号S cの波形を常時パルス状に設定した場合でも、データの書き込み途中における画素2の発光を有効に規制できるという効果がある。また、制御信号GP 2によって制御トランジスタT 5を走査線単位で制御することにより、第1の実施形態と比較して、1垂直走査期間に占める発光期間を長くでき、この発光期間を均一に分散でき、かつ、発光効率に優れた低輝度側で有機EL素子OLEDを発光させることが可能となる。このことは、消費電力の低減や有機EL素子OLEDの寿命向上を図る上で有利である。なお、駆動電流I o l e dの電流経路中に制御トランジスタT 5を追加する点は、以下に述べる各実施形態および画素回路の各変形例に対しても同様に適用可能である。

【0037】

(第4の実施形態)

本実施形態は、第2の電源線L 2の電位を固定とし、第1の電源線L 1の電位を可変設定することにより、インパルス駆動を実現するものである。図8は、本実施形態に係る電気光学装置のブロック構成図である。第1の電源線L 1の出力電位V o u tを制御するために、電源線制御回路6は、制御回路5からの制御信号S cに応じて、2つの固定電位V o f f、V d dのいずれかを出力電位V o u tとして択一的に出力する。ここで、オフ電位V o f fは所定の電位V s s以下の所定の電位であり、電源電位V d dは所定の電位V s sよりも高い電位である ($V o f f \leq V s s < V d d$)。電源線制御回路6は、図3の回路構成をそのまま用いることができるが、同図に示したインバータ6 aの2つの電位端子のうち、オフ電位V o f f側を電源電位V d d、電位V s s側を本実施形態でいうオフ電位V o f fにそれぞれ変更する必要がある。

【0038】

図2に示した画素2を構成する有機EL素子OLEDの発光状態は、電源線制御回路6から出力された出力電位V o u tによって制御される。制御信号S cがLレベルの場合、電源線制御回路6から出力される出力電位V o u tは、電位V s sよりも高い電源電位V d dとなる。したがって、有機EL素子OLEDには順バイアスが印加されるため、有機EL素子OLEDの発光が許容される。これに対して、制御信号S cがHレベルの場合、出力電位V o u tは電位V s s以下のオフ電位V o f fとなる。したがって、有機EL素子OLEDには非順バイアスが印加されるため、有機EL素子OLEDの整流作用によって、有機EL素子OLEDの発光が規制される。

【0039】

図9は、本実施形態に係る駆動タイミングチャートである。電位を可変設定する対象が第2の電源線L 2から第1の電源線L 1に変わった関係上、本実施形態に係る制御信号S cは、図4の制御信号S cをレベル反転したものが用いられる。1垂直走査期間t 0～t 4における前半期間t 0～t 3では、制御信号S cがHレベルに維持されるため、すべての画素2に対してオフ電位V o f fが供給される ($V o u t = V o f f$)。したがって、この前半期間t 0～t 3では、すべての画素2の有機EL素子OLEDが非発光状態に設定される。そして、続く後半期間t 3～t 4では、制御信号S cがパルス波形になるため、すべての画素2の有機EL素子OLEDを対象にインパルス駆動が行われる。

【0040】

本実施形態によれば、第1の電源線L 1を対象とした設定電位の制御によって、インパルス駆動を実現できるため、上述した実施形態と同様に、動画表示特性の改善による表示品

質の向上を図ることができる。なお、電源線制御回路6の駆動能力の観点でいえば、第1の電源線L1側よりも第2の電源線L2側を制御する方が好ましい。第1の電源線L1側の制御では、有機EL素子OLEDの前段に駆動トランジスタT4が介在するため、このトランジスタT4を充放電しなければ、後段の有機EL素子OLEDの印加バイアスを切り替えることができない。これに対して、第2の電源線L2側の制御では、第2の電源線L2が有機EL素子OLEDのカソードに直接接続されている関係上、駆動トランジスタT4の容量を考慮する必要がないので、その分だけ印加バイアスの切り替えを高速化できる。また、第1の電源線L1側の制御において、非順バイアスとして逆バイアスを印加する場合には、負のオフ電位 V_{off} ($V_{off} < V_{ss}$)を設定する必要があるため、極性の異なる電位を生成しなければならない。これに対して、第2の電源線L2側の制御では、正の電位のみ、換言すれば、同極性の電位のみでインパルス駆動を実現できるため、電圧生成を行う上で有利である。なお、第1の電源線L1側の制御によりインパルス駆動を実現する点は、以下の実施形態においても同様に適用可能である。

【0041】

なお、2つの電源線L1、L2のそれぞれに電源線制御回路6を別個に設け、双方の電源線L1、L2の電位を可変設定することにより、印加バイアスの切り替えを行うことも当然に可能である。例えば、有機EL素子OLEDに順バイアスを印加する場合、第1の電源線L1の電位を V_{dd} 、第2の電源線L2の電位を V_{ss} に設定し、非順バイアスを印加する場合、第1の電源線L1の電位を $1/2V_{dd}$ 、第2の電源線L2の電位も $1/2V_{dd}$ に設定するといった如くである。この手法によれば、電源線L1、L2の電位レベルの変化量を小さくできるという利点がある。また、電源線L1、L2の両方の電位を可変設定することにより、電源電圧が $V_{ss} \sim V_{dd}$ の範囲内で制御できるため、電源構成が簡単になる。

【0042】

(第5の実施形態)

本実施形態は、電源線の電位を走査線単位で設定する駆動制御に関する。図10は、本実施形態に係る電気光学装置のブロック構成図である。電源線制御回路6(1)～6(n)は、走査線単位で設けられており、対応する制御信号 $S_c(1) \sim S_c(n)$ に応じて、対応する出力電位 $V_{out}(1) \sim V_{out}(n)$ を出力する。これらの出力電位 $V_{out}(1) \sim V_{out}(n)$ は、走査線単位で設けられた第2の電源線L2(1)～L2(n)のうちの対応するものに供給される。例えば、最上の走査線Y1に対応して設けられた電源線制御回路6(1)は、制御信号 $S_c(1)$ に応じて、最上の走査線Y1の画素行に対応する第2の電源線L2(1)に対して、出力電位 $V_{out}(1)$ を供給する。

【0043】

図11は、本実施形態に係る駆動タイミングチャートであり、インパルス駆動が行われる期間は、走査線Yの選択が順番に行われる関係上、走査線毎にオフセットしている。つまり、インパルス駆動は、走査線Yの選択と同期しており、画素行毎にオフセットしたタイミングで行われる点が本実施形態の特徴である。まず、最上の画素行に関しては、この画素行が選択されてから次に選択されるまでの期間 $t_0 \sim t_5$ (1垂直走査期間)うちの前半期間 $t_0 \sim t_1$ において、最上の走査線Y1が選択されて、データ書き込みが行われる。この期間 $t_0 \sim t_1$ を含む期間 $t_0 \sim t_2$ では、対応する制御信号 $S_c(1)$ がLレベルに維持され、この画素行の有機EL素子OLEDには非順バイアスが印加されるため、これらは非発光状態に設定される。そして、タイミング t_2 以降、最上の走査線Y1が次に選択されるタイミング t_5 に到達するまでの期間、制御信号 $S_c(1)$ がパルス波形に変化するため、最上の画素行における有機EL素子OLEDのインパルス駆動が一斉に行われる。つぎに、走査線Y1の直下の画素行に関しては、この画素行の1垂直走査期間のうちの前半期間 $t_1 \sim t_3$ において、走査線Y2が選択されて、データ書き込みが行われる。この期間 $t_1 \sim t_3$ を含む期間 $t_1 \sim t_4$ では、対応する制御信号 $S_c(2)$ がLレベルに維持され、この画素行の有機EL素子OLEDには非順バイアスが印加されるため、これらは非発光状態に設定される。そして、タイミング t_4 以降、走査線Y2が次に選

択されるまでの期間では、制御信号Sc(2)がパルス波形に変化するため、走査線Y2に対応する画素行における有機EL素子OLEDのインパルス駆動が一斉に行われる。それ以降の画素行についても同様であり、線順次走査による走査線Yの選択順序に従い、走査線毎にオフセットしながら、インパルス駆動が順次行われていく。

【0044】

本実施形態によれば、電源線制御回路6(1)～6(n)を走査線単位で設け、第2の電源線L2(1)～L2(n)の電位を独立して可変設定することにより、走査線単位でのインパルス駆動を実現している。これにより、ある走査線Yに対応した画素行に関するインパルス駆動を、それ以外の走査線Yの選択(データの書き込み)に関する時間的制約を受けることなく、独立して行うことができる。その結果、それぞれの画素行に関して、1垂直走査期間に占めるインパルス駆動の時間的割合を大きくできるため、駆動電流I_{oled}を増大させることなく、表示部1の高輝度化を図ることが可能となる。また、トータルでの消費電力の変化を小さく抑えられるため、電源の揺れが小さくなる。

【0045】

なお、上述した各実施形態に係る駆動制御は、電流によって発光輝度が制御される電気光学素子を含む様々な画素回路に広く適用可能であり、図2に示した画素回路はその一例にすぎない。以下、本発明が適用可能な画素回路の構成を例示的に列挙する。

【0046】

図12は、画素2の第1の変形例を示す電流プログラム方式の画素回路図である。この画素回路は、第1の走査信号SEL1および第2の走査信号SEL2がそれぞれ供給される2本の走査線に接続されている。1つの画素2は、有機EL素子OLED、4つのトランジスタT1～T4およびキャパシタCによって構成されている。この画素回路では、一例として、nチャネル型のトランジスタT1と、pチャネル型のトランジスタT2～T4とが用いられている。第1のスイッチングトランジスタT1のゲートは、第1の走査信号SEL1が供給される走査線に接続され、そのソースは、データ電流I_{data}が供給されるデータ線Xに接続されている。また、第1のスイッチングトランジスタT1のドレインは、第2のスイッチングトランジスタT2のドレインと、プログラミングトランジスタT3のドレインとに共通接続されている。第2の走査信号SEL2がゲートに供給された第2のスイッチングトランジスタT2のソースは、カレントミラー回路を構成する一対のトランジスタT3、T4のゲートと、キャパシタCの一方の電極とに共通接続されている。プログラミングトランジスタT3のソース、駆動トランジスタT4のソースと、キャパシタCの他方の電極とは、第1の電源線L1に接続されている。一方、有機EL素子OLEDのカソード(陰極)は、第2の電源線L2に接続されている。

【0047】

図12に示した画素回路の制御プロセスは以下ようになる。まず、1垂直走査期間の前半において、第1の走査信号SEL1がHレベル、第2の走査信号SEL2がLレベルにそれぞれ設定される。これにより、プログラミングトランジスタT3は、データ線Xより供給されたデータ電流I_{data}を自己のチャネルに流し、データ電流I_{data}に応じたゲート電圧V_gを自己のゲートに発生させる。このゲート電圧V_gによって、キャパシタCに電荷が蓄積され、データ書き込みが行われる。その後、1垂直走査期間の後半において、第1の走査信号SEL1がLレベル、第2の走査信号SEL2がHレベルにそれぞれ設定される。これにより、プログラミングトランジスタT3のゲートとドレインとの間が電氣的に分離され、駆動トランジスタT4のゲートには、キャパシタCに蓄積された電荷によってゲート電圧V_g相当が印加される。この状態において、第1の電源線L1の電位または第2の電源線L2の電位の少なくとも一方を可変設定することにより、有機EL素子OLEDをインパルス駆動させる。

【0048】

図13は、画素2の第2の変形例を示す電流プログラム方式の画素回路図である。この画素回路には、走査信号SELが供給される1本の走査線と、制御信号GPが供給される1本の信号線とが接続されている。1つの画素2は、有機EL素子OLED、4つのpチャ

ネル型トランジスタT1、T2、T4、T5およびキャパシタCによって構成されている。第1のスイッチングトランジスタT1のゲートは、走査信号SELが供給される走査線に接続され、そのソースは、データ電流I_{data}が供給されるデータ線Xに接続されている。第1のスイッチングトランジスタT1のドレインは、制御トランジスタT5のドレインと、駆動トランジスタT4のソースと、キャパシタCの一方の電極とに共通接続されている。キャパシタCの他方の電極は、駆動トランジスタT4のゲートと、第2のスイッチングトランジスタT2のソースとに共通接続されている。第2のスイッチングトランジスタT2のゲートは、第1のスイッチングトランジスタT1と同様に、走査信号SELが供給される走査線に接続されている。第2のスイッチングトランジスタT2のドレインは、駆動トランジスタT4のドレインと、有機EL素子OLEDのアノードとに共通接続されている。この有機EL素子OLEDのカソードは第2の電源線L2に接続されている。一方、制御トランジスタT5のゲートは制御信号GPが供給される信号線に接続され、そのソースは第1の電源線L1に接続されている。

【0049】

図13に示した画素回路の制御プロセスは以下になる。まず、1垂直走査期間の前半において、走査信号SELがLレベル、制御信号GPがHレベルにそれぞれ設定される。これにより、駆動トランジスタT4は、データ線Xより供給されたデータ電流I_{data}を自己のチャンネルに流し、このデータ電流I_{data}に応じたゲート電圧V_gを自己のゲートに発生させる。このゲート電圧V_gにより、キャパシタCに電荷が蓄積され、データ書き込みが行われる。その後、1垂直走査期間の後半において、走査信号SELがHレベル、制御信号GPがLレベルにそれぞれ設定される。これにより、駆動トランジスタT4のゲートとドレインとの間が電氣的に分離され、駆動トランジスタT4のゲートには、キャパシタCの蓄積電荷に応じて、ゲート電圧V_g相当が印加される。この状態において、第1の電源線L1の電位または第2の電源線L2の電位の少なくとも一方を可変設定することにより、有機EL素子OLEDをインパルス駆動させる。

【0050】

図14は、画素2の第3の変形例を示す電圧プログラム方式の画素回路図である。この画素回路は、走査信号SELが供給される1本の走査線に接続されている。1つの画素2は、有機EL素子OLED、nチャンネル型トランジスタT1、pチャンネル型トランジスタT4およびキャパシタCによって構成されている。スイッチングトランジスタT1のゲートは、走査信号SELが供給される走査線に接続され、そのドレインは、データ電圧V_{data}が供給されるデータ線Xに接続されている。スイッチングトランジスタT1のソースは、キャパシタCの一方の電極と、駆動トランジスタT4のゲートとに共通接続されている。キャパシタCの他方の電極は駆動トランジスタT4のソースと第1の電源線L1とに共通接続されている。駆動トランジスタT4のドレインは有機EL素子OLEDのアノードに接続されている。この有機EL素子OLEDのカソードは第2の電源線L2に接続されている。

【0051】

図14に示した画素回路の制御プロセスは以下になる。走査信号SELがHレベルの期間において、データ線Xに供給されたデータ電圧V_{data}がキャパシタCの一方の電極に印加され、データ電圧V_{data}相当の電荷がキャパシタCに蓄積される。そして、キャパシタCの蓄積電荷によって、駆動トランジスタT4のゲートにはゲート電圧V_g相当が印加される。この状態において、第1の電源線L1の電位または第2の電源線L2の電位の少なくとも一方を可変設定することにより、有機EL素子OLEDをインパルス駆動させる。

【0052】

図15は、画素2の第4の変形例を示す電圧プログラム方式の画素回路図である。この画素回路は、第1の走査信号SEL1および第2の走査信号SEL2がそれぞれ供給される2本の走査線と、制御信号GPが供給される信号線とに接続されている。1つの画素2は、有機EL素子OLED、4つのpチャンネル型トランジスタT1、T2、T4、T5およ

び2つのキャパシタC1, C2によって構成されている。第1のスイッチングトランジスタT1のゲートは、第1の走査信号SEL1が供給される走査線が接続され、そのソースは、データ電圧Vdataが供給されるデータ線Xに接続されている。第1のスイッチングトランジスタT1のドレインは、第1のキャパシタC1の一方の電極に接続されている。また、第1のキャパシタC1の他方の電極は、第2のキャパシタC2の一方の電極と、第2のスイッチングトランジスタT2のソースと、駆動トランジスタT4のゲートとに共通接続されている。第2のキャパシタC2の他方の電極と駆動トランジスタT4のソースとは、第1の電源線L1に接続されている。第2のスイッチングトランジスタT2のゲートには第2の走査信号SEL2が供給され、そのドレインは、駆動トランジスタT4のドレインと制御トランジスタT5のソースとに共通接続されている。制御信号GPがゲートに供給された制御トランジスタT5は、駆動トランジスタT4のドレインと有機EL素子OLEDのアノードとの間に設けられている。この有機EL素子OLEDのカソードは、第2の電源線L2に接続されている。

【0053】

図15に示した画素回路の制御プロセスは以下になる。1垂直走査期間は、4つの期間に分けられる。まず、第1の期間において、Lレベルの制御信号GPにより制御トランジスタT5がオンし、駆動トランジスタT4のドレインの電位が電位Vssに設定される。つぎに、第2の期間において、Lレベルの第2の走査信号SEL2およびHレベルの制御信号GPにより、駆動トランジスタT4のゲートには、自己のチャネルと第2のスイッチングトランジスタT2とを介して、自己のソースに印加された電源電位Vddが印加される。これにより、駆動トランジスタT4のゲート間電圧Vgsは、自己の閾値電圧Vthまで押し上げられる。駆動トランジスタT4のゲートに接続された2つのキャパシタC1, C2の電極には、それぞれ閾値電圧Vthが印加されることになる。一方、キャパシタC1, C2の対向する電極には、電源電位Vddが供給されているので、それぞれのキャパシタC1, C2の電位差は、電源電位Vddと閾値電圧Vthとの差(Vdd-Vth)に設定される。そして、第3の期間において、データ電圧Vdataとして、従前の電源電位Vddから $\Delta Vdata$ だけ低下させた電圧レベルがデータ線Xに印加されることにより、キャパシタC1, C2に対するデータ書き込みが行われる。この状態において、第1の電源線L1の電位または第2の電源線L2の電位の少なくとも一方を可変設定することにより、有機EL素子OLEDをインパルス駆動させる。なお、図15に示した画素回路に関する基本的な制御プロセスについては、特表2002-514320号公報に記載されているので必要ならば参照されたい。

【0054】

なお、上述した各実施形態において、インパルス駆動で非発光とする場合、第1の電源線L1の電位VL1と第2の電源線L2の電位VL2との関係をVL1 \leq VL2に設定する必要は必ずしもない。厳密には、回路全体で考えて、有機EL素子OLEDが発光し始めるための電圧VELを考慮すると、VL1+VEL \leq VL2となればよい。ここで、VELは、トランジスタ等の閾値および有機EL素子OLEDの発光閾値を足し合わせたものである。

【0055】

また、上述した各実施形態では、電気光学素子として有機EL素子OLEDを用いた例について説明した。しかしながら、本発明はこれに限定されるものではなく、駆動電流に応じた輝度で発光する、それ以外の電気光学素子に対しても適用可能である。

【0056】

さらに、上述した各実施形態に係る電気光学装置は、例えば、テレビ、プロジェクタ、携帯電話機、携帯端末、モバイル型コンピュータ、パーソナルコンピュータ等を含む様々な電子機器に実装可能である。これらの電子機器に上述した電気光学装置を実装すれば、電子機器の商品価値を一層高めることができ、市場における電子機器の商品訴求力の向上を図ることができる。

【0057】

【発明の効果】

本発明によれば、ある走査線が選択されてからこの走査線が次に選択されるまでの期間において、第1の電源線または第2の電源線の少なくとも一方の電位を可変に設定し、電気光学素子に順バイアスと非順バイアスとを交互に印加する。これにより、動画表示特性を改善でき、表示品質の一層の向上を図ることが可能となる。

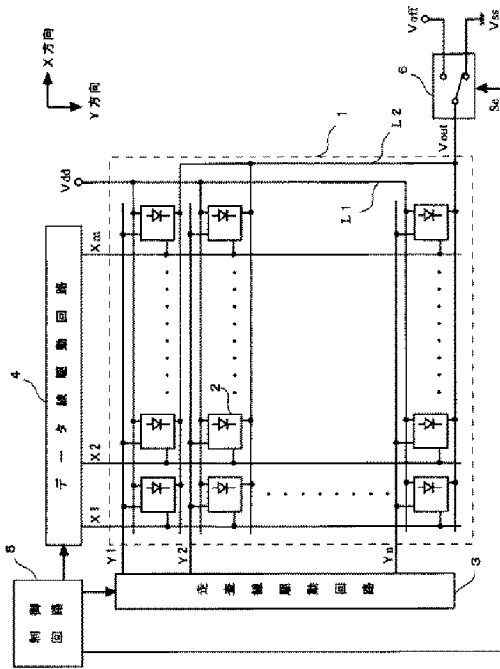
【図面の簡単な説明】

- 【図1】第1の実施形態に係る電気光学装置のブロック構成図
- 【図2】第1の実施形態に係る画素回路図
- 【図3】電源線制御回路の回路図
- 【図4】第1の実施形態に係る駆動タイミングチャート
- 【図5】第2の実施形態に係る駆動タイミングチャート
- 【図6】第3の実施形態に係る画素回路図
- 【図7】第3の実施形態に係る駆動タイミングチャート
- 【図8】第4の実施形態に係る電気光学装置のブロック構成図
- 【図9】第4の実施形態に係る画素の駆動タイミングチャート
- 【図10】第5の実施形態に係る電気光学装置のブロック構成図
- 【図11】第5の実施形態に係る画素の駆動タイミングチャート
- 【図12】画素の第1の変形例を示す画素回路図
- 【図13】画素の第2の変形例を示す画素回路図
- 【図14】画素の第3の変形例を示す画素回路図
- 【図15】画素の第4の変形例を示す画素回路図

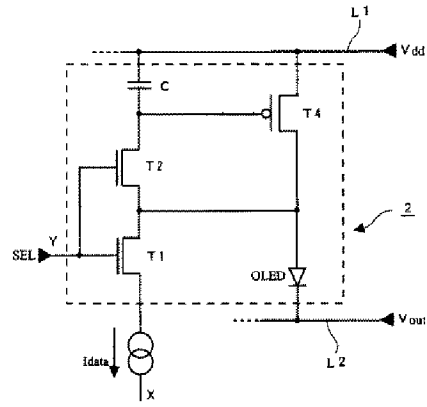
【符号の説明】

- 1 表示部
- 2 画素
- 3 走査線駆動回路
- 4 データ線駆動回路
- 5 制御回路
- 6 電源線制御回路
- 6 a CMOSインバータ
- 6 b オペアンプ
- T1 第1のスイッチングトランジスタ
- T2 第2のスイッチングトランジスタ
- T3 プログラミングトランジスタ
- T4 駆動トランジスタ
- T5 制御トランジスタ
- C キャパシタ
- C1 第1のキャパシタ
- C2 第2のキャパシタ
- OLED 有機EL素子

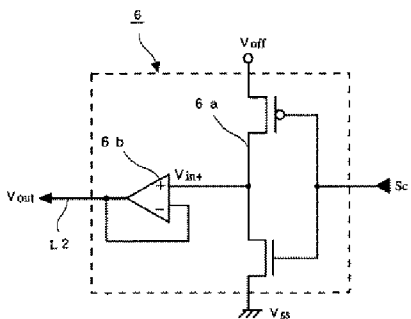
【図1】



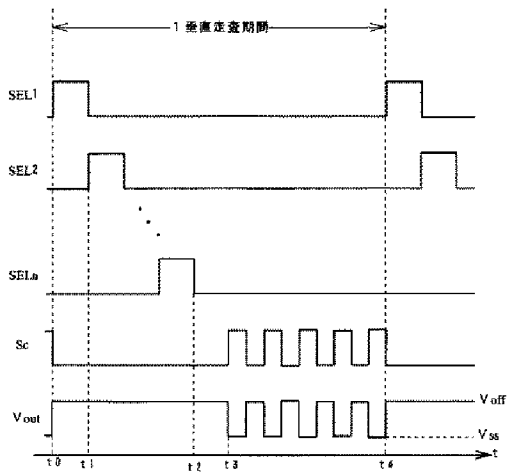
【図2】



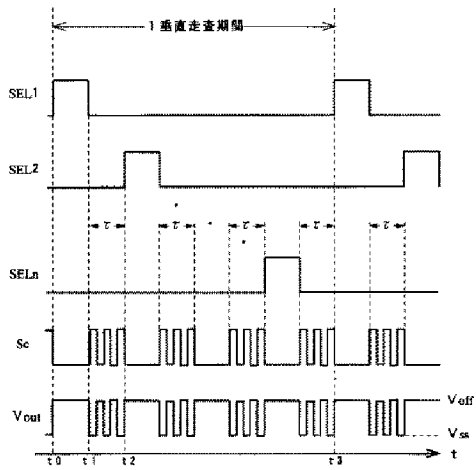
【図3】



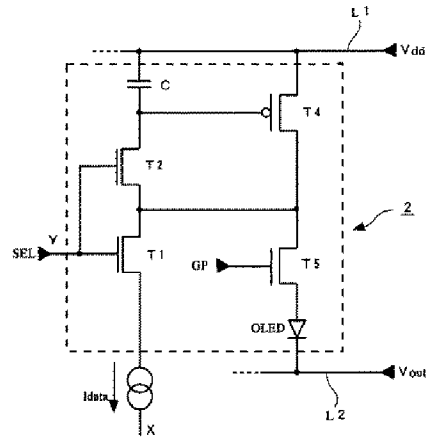
【図4】



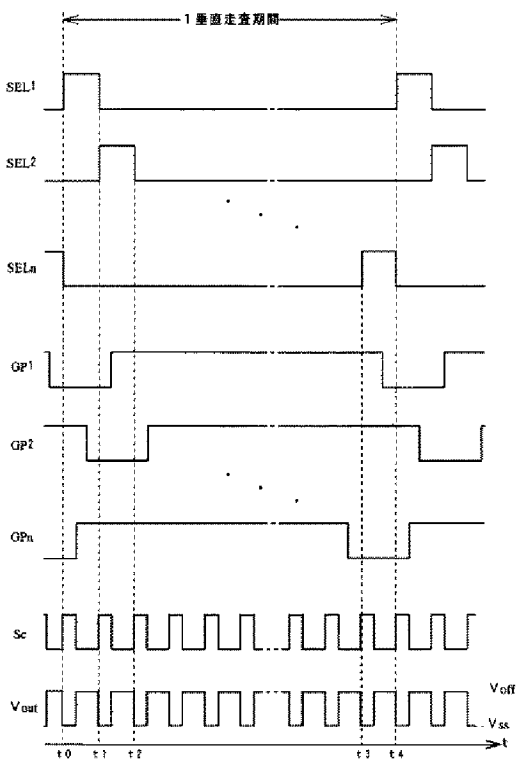
【図5】



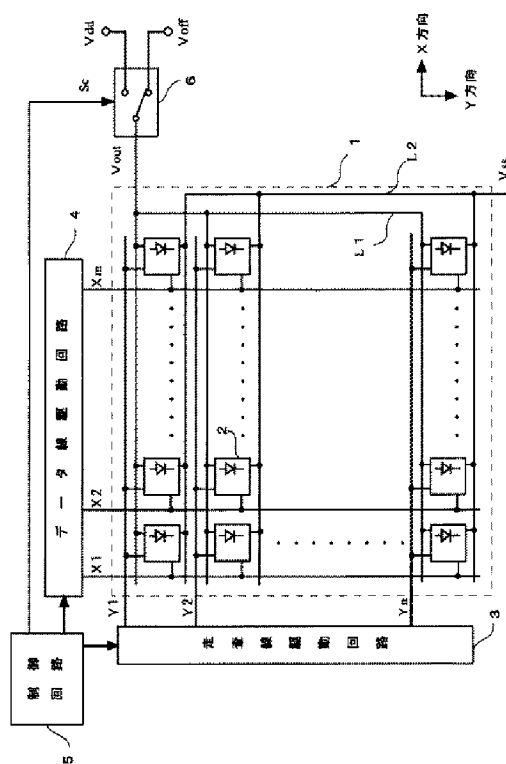
【図6】



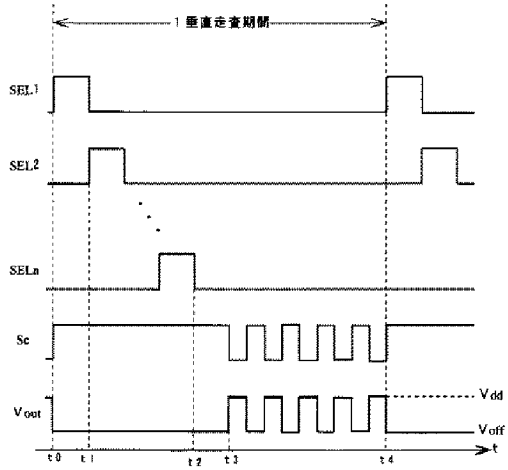
【図7】



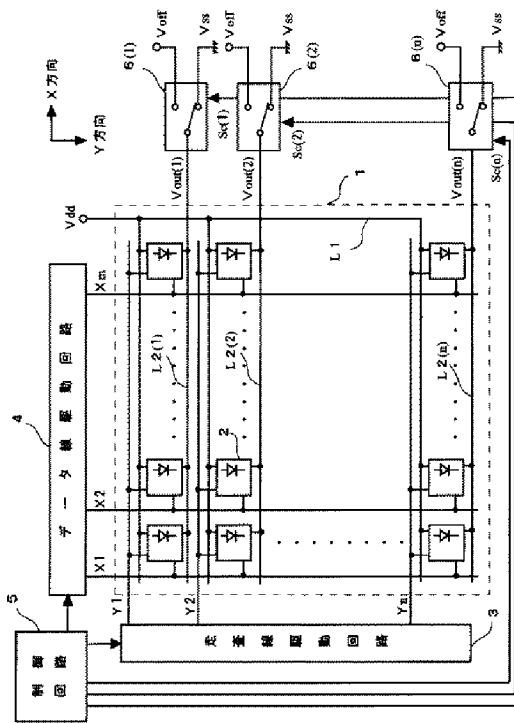
【図8】



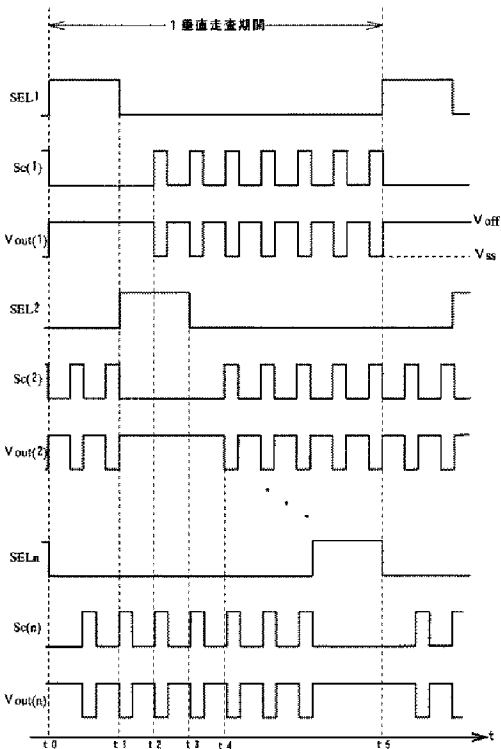
【図9】



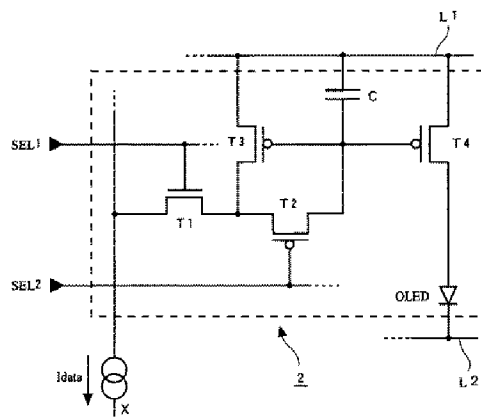
【図10】



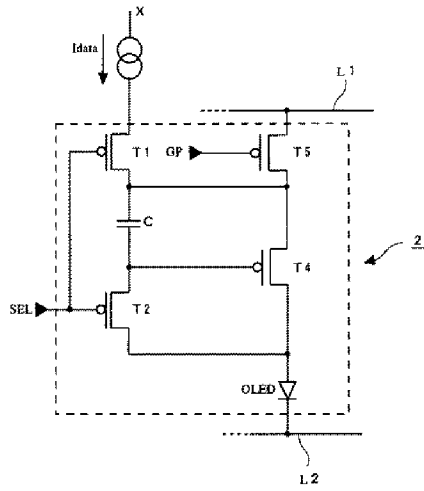
【図11】



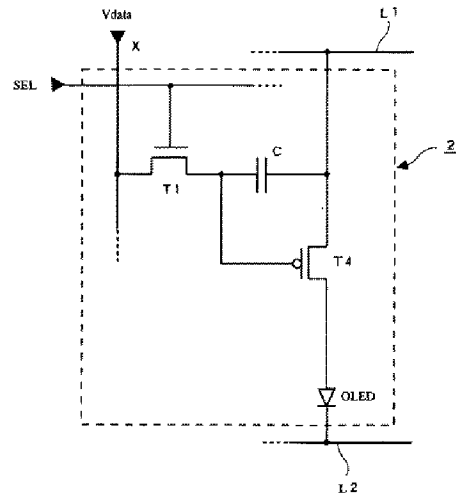
【図12】



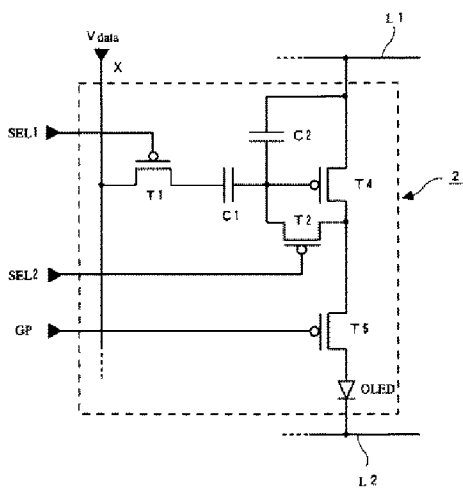
【図13】



【図14】



【図15】



(51)Int.Cl.⁷

F I

テーマコード (参考)

G 0 9 G	3/20	6 2 4 D
G 0 9 G	3/20	6 4 1 D
G 0 9 G	3/20	6 4 1 R
G 0 9 G	3/20	6 6 0 V
H 0 5 B	33/14	A

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-99773

(P2005-99773A)

(43) 公開日 平成17年4月14日(2005.4.14)

(51) Int. Cl. ⁷	F I	テーマコード(参考)
G09G 3/30	G09G 3/30 K	3K007
G09G 3/20	G09G 3/30 H	5C080
H05B 33/14	G09G 3/30 J	
	G09G 3/20 611H	
	G09G 3/20 624B	
審査請求 未請求 請求項の数 41 O L (全 33 頁) 最終頁に続く		

(21) 出願番号	特願2004-244834 (P2004-244834)	(71) 出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22) 出願日	平成16年8月25日(2004.8.25)	(74) 代理人	100095728 弁理士 上柳 雅普
(31) 優先権主張番号	特願2003-306804 (P2003-306804)	(74) 代理人	100107076 弁理士 藤網 英吉
(32) 優先日	平成15年8月29日(2003.8.29)	(74) 代理人	100107261 弁理士 須澤 修
(33) 優先権主張国	日本国(JP)	(72) 発明者	官澤 貴士 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		Fターム(参考)	3K007 AB02 AB17 BA06 DB03 GA00 GA04
最終頁に続く			

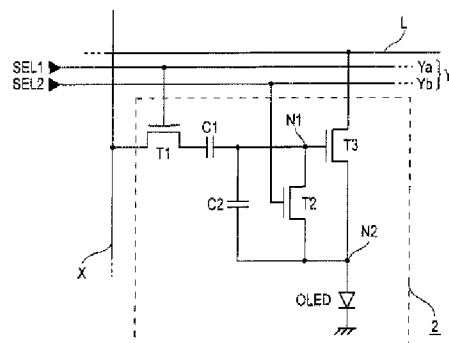
(54) 【発明の名称】 電子回路の駆動方法、電子回路、電子装置、電気光学装置、電子機器および電子装置の駆動方法

(57) 【要約】

【課題】 V_{th}補償と逆バイアスの印加とを一の動作プロセスで行うことにより、動作設計上のフレキシビリティの向上を図る。

【解決手段】 駆動トランジスタT3のゲートと自己の一方の端子とを接続し、駆動トランジスタT3に非順バイアスを印加することにより、駆動トランジスタT3のゲートに接続されたノードN1の電圧を駆動トランジスタのV_{th}に応じたオフセットレベルに設定する。つぎに、ノードN1と容量結合したデータ線Xにデータ電圧V_{dat a}を供給することにより、ノードN1に接続されたキャパシタC1、C2に対して、オフセットレベルを基準としたデータの書き込みを行う。そして、駆動トランジスタT3に順バイアスを印加することにより、駆動電流I_{oled}を発生し、これにより、有機EL素子OLEDの輝度を設定する。

【選択図】 図2



【特許請求の範囲】**【請求項1】**

電子回路の駆動方法であって、

第1の端子と、第2の端子と、前記第1の端子と前記第2の端子との間に配置されたチャンネル領域と、を有する駆動トランジスタのゲートと前記第1の端子とを電気的に接続した状態で、前記第1の端子が前記駆動トランジスタのドレインとして機能するように、前記第1の端子と前記第2の端子との間に電位差を生じさせる第1のステップと、

データ信号を前記駆動トランジスタの前記ゲートに供給することにより設定された前記駆動トランジスタの導通状態に応じた駆動電圧及び駆動電流のうち少なくともいずれか一つを、前記第2の端子が前記駆動トランジスタのドレインとして機能するように被駆動素子に供給する第2のステップと、を含むこと、

を特徴とする電子回路の駆動方法。

【請求項2】

請求項1に記載の電子回路の駆動方法において、

前記第1のステップを契機として、前記第1の端子と前記第2の端子との間に初期化電流を流し、前記駆動トランジスタのゲートの電圧を前記駆動トランジスタのしきい値に応じたオフセットレベルに設定すること、

を特徴とする電子回路の駆動方法。

【請求項3】

請求項1または2に記載の電子回路の駆動方法において、

前記電子回路は、

第1の電極と第2の電極とを備えるとともに、前記第1の電極と前記第2の電極との間に容量が形成されるキャパシタを含み、

前記ゲートは前記第1の電極に接続され、

前記第1のステップを行った後、前記ゲートをフローティング状態として、前記データ信号を、前記キャパシタを介した容量結合によって前記ゲートに供給し、前記導通状態を設定すること、

を特徴とする電子回路の駆動方法。

【請求項4】

請求項1乃至3のいずれかに記載の電子回路の駆動方法において、

前記第2のステップを行う期間の少なくとも一部の期間において、前記第1の端子と前記駆動トランジスタの前記ゲートとの電気的接続を切ること、

を特徴とする電子回路の駆動方法。

【請求項5】

請求項2乃至4のいずれかに記載の電子回路の駆動方法において、

前記被駆動素子は、前記第1の端子に接続された動作電極と、対向電極と、前記動作電極と前記対向電極との間に配置された機能層と、を備え、

前記第1のステップ及び前記第2のステップを行っている間は、少なくとも前記対向電極の電圧を、所定の電圧レベルに固定すること、

を特徴とする電子回路の駆動方法。

【請求項6】

請求項5に記載された電子回路の駆動方法において、

前記第1のステップを行う少なくとも1部の期間において、前記第2の端子の電圧レベルを前記所定の電圧レベルよりも低く設定すること、

を特徴とする電子回路の駆動方法。

【請求項7】

請求項5に記載の電子回路の駆動方法において、

さらに前記第1の端子の電圧レベルを前記所定の電圧レベルより低い電圧レベルに設定する第3のステップを含み、

前記第3のステップを行っている期間は、前記対向電極の電圧を前記所定の電圧レベルに固定すること、

を特徴とする電子回路の駆動方法。

【請求項8】

電子回路の駆動方法において、

前記電子回路は、

第1の端子と、第2の端子と、前記第1の端子と前記第2の端子との間に配置されたチャンネル領域と、を有する駆動トランジスタと、

第3の端子と、第4の端子と、前記第3の端子と前記第4の端子との間に配置されたチャンネル領域と、を有し、自己のゲートと前記第3の端子とが接続された補償トランジスタと、を含み、

前記第3の端子が前記補償トランジスタのドレインとして機能するよう、前記第3の端子と前記第4の端子との間に電位差を生じさせる第1のステップと、

データ信号を前記駆動トランジスタの前記ゲートに供給することにより設定された前記駆動トランジスタの導通状態に応じた駆動電圧及び駆動電流のうち少なくともいずれか一つを、前記被駆動素子に供給する第2のステップと、を含み、

前記第2のステップを行っている期間の少なくとも1部の期間において、前記第4の端子の電圧レベルを前記第1のステップを行っている期間の前記第4の端子の電圧レベルとは異なる電圧レベルに設定すること、

を特徴とする電子回路の駆動方法。

【請求項9】

請求項8に記載の電子回路の駆動方法において、

前記第1のステップを契機として、前記第3の端子と前記第4の端子との間に初期化電流を流し、前記駆動トランジスタのゲートを前記補償トランジスタのしきい値に応じたオフセットレベルに設定すること、

を特徴とする電子回路の駆動方法。

【請求項10】

請求項8または9に記載の電子回路の駆動方法において、

前記第2のステップを行っている期間の少なくとも1部の期間において、前記第3の端子と前記第4の端子との電氣的接続を実質的に切断すること、

を特徴とする電子回路の駆動方法。

【請求項11】

請求項8乃至10のいずれかに記載の電子回路の駆動方法において、

前記第1のステップを行っている期間の少なくとも一部の期間において、前記第1の端子の電圧レベルを前記第2の端子の電圧レベルより高く設定し、

前記第2のステップを行っている期間の少なくとも一部の期間において、前記第2の端子の電圧レベルを前記第1の端子の電圧レベルより高く設定すること、

を特徴とする電子回路の駆動方法。

【請求項12】

請求項8乃至11のいずれかに記載の電子回路の駆動方法において、

前記被駆動素子は、前記第1の端子に接続された動作電極と、対向電極と、前記動作電極と前記対向電極との間に配置された機能層と、を備え、

少なくとも、前記第1のステップ及び前記第2のステップを行っている期間は、前記対向電極の電圧レベルを、所定のレベルに固定すること、

を特徴とする電子回路の駆動方法。

【請求項13】

請求項12に記載された電子回路の駆動方法において、

前記第1のステップを行う少なくとも1部期間において、前記第2の端子の電圧レベルを前記所定の電圧レベルよりも低く設定すること、

を特徴とする電子回路の駆動方法。

【請求項14】

請求項1 2または1 3に記載の電子回路の駆動方法において、
さらに前記第1の端子の電圧レベルを前記所定の電圧レベルより低い電圧レベルに設定する第3のステップを含み、
前記第3のステップを行っている期間は、前記対向電極の電圧を前記所定の電圧レベルに固定すること、
を特徴とする電子回路の駆動方法。

【請求項15】

請求項8乃至1 4のいずれかに記載の電子回路に駆動方法において、
前記第4の端子の電圧レベルを、前記第1のステップ及び前記第2のステップを通して、前記第2の端子と同一の電圧レベルに設定すること、
を特徴とする電子回路の駆動方法。

【請求項16】

被駆動素子を駆動するための電子回路であって、
第1の端子と第2の端子とを備え、前記第1の端子と前記第2の端子との間にチャンネル領域を有する駆動トランジスタと、
第1の電極と第2の電極とを備えるとともに、前記第1の電極と前記第2の電極との間に容量が形成される第1のキャパシタと、
前記第1の端子と前記駆動トランジスタのゲートとの間に配置され、前記第1の端子と前記ゲートとの間の電気的接続を制御する第1のトランジスタと、を含み、
前記第1の電極は前記ゲートに接続され、前記第2の電極は前記第1の端子に接続されていることを特徴とする電子回路。

【請求項17】

請求項1 6に記載の電子回路において、
さらに第3の電極と第4の電極とを備えるとともに、前記第3の電極と前記第4の電極との間に容量が形成される第2のキャパシタと、
第3の端子の端子と、第4の端子と、前記第3の端子と前記第4の端子との間に配置されたチャンネル領域と、を有する第2のトランジスタと、を含み、
前記駆動トランジスタの前記ゲートは前記第3の電極に接続され、
前記第4の電極には前記第3の端子に接続されたことを特徴とする電子回路。

【請求項18】

請求項1 6または1 7に記載電子回路において、
前記第1の端子と前記駆動トランジスタの前記ゲートとが前記第1のトランジスタを介して電気的に接続された状態となる第1の期間の少なくとも一部の期間において、
前記第1の端子が、前記駆動トランジスタのドレインとして機能するように前記第1の端子および前記第2の端子のうち少なくとも一方の電圧レベルが設定され、
前記第1の端子と前記駆動トランジスタの前記ゲートとが電気的に切断された状態となる第2の期間の少なくとも一部の期間において、
前記第2の端子が、前記駆動トランジスタのドレインとして機能するように前記第1の端子および前記第2の端子のうち少なくとも一方の電圧レベルが設定されること、
を特徴とする電子回路。

【請求項19】

被駆動素子を駆動するための電子回路であって、
第1の端子と第2の端子とを備え、前記第1の端子と前記第2の端子との間にチャンネル領域を有する駆動トランジスタと、
前記第1の端子と前記駆動トランジスタのゲートとの間に配置され、前記第1の端子と前記ゲートとの間の電気的接続を制御する第1のトランジスタと、
前記第1の端子と前記駆動トランジスタの前記ゲートとが前記第1のトランジスタを介して電気的に接続された状態となる第1の期間の少なくとも一部の期間において、
前記第1の端子が、前記駆動トランジスタのドレインとして機能するように前記第1の

端子および前記第2の端子うち少なくとも一方の電圧レベルが設定され、

前記第1の端子と前記駆動トランジスタの前記ゲートとが電氣的に切断された状態となる第2の期間の少なくとも一部の期間において、

前記第2の端子が、前記駆動トランジスタのドレインとして機能するように前記第1の端子および前記第2の端子のうち少なくとも一方の電圧レベルが設定されること、
を特徴とする電子回路。

【請求項20】

請求項18または請求項19に記載の電子回路において、

前記第1の期間を契機として、前記駆動トランジスタの前記ゲートの電圧レベルは前記駆動トランジスタの閾値電圧に応じたオフセットレベルに設定され、

前記第2の期間の少なくとも一部の期間において、

前記駆動トランジスタの前記導通状態に応じた駆動電圧または駆動電流が前記被駆動素子に供給されること、
を特徴とする電子回路。

【請求項21】

被駆動素子を駆動するための電子回路であって、

第1の端子と第2の端子とを備え、前記第1の端子と前記第2の端子との間にチャネル領域を有する駆動トランジスタと、

第3の端子と、第4の端子と、前記第3の端子と前記第4の端子との間に配置されたチャネル領域と、を備え、前記第3の端子と自己のゲートとが接続された補償トランジスタと、を備え、

前記第3の端子及び前記第4の端子のうちいずれか一方が前記駆動トランジスタの前記ゲートに接続され、

前記第3の端子及び前記第4の端子の電圧は、それぞれ複数の電圧レベルに設定可能であること、
を特徴とする電子回路。

【請求項22】

請求項21に記載の電子回路において、

第1の期間において、前記第3の端子が前記補償トランジスタのドレインとして機能するよう、前記第3の端子及び前記第4の端子の少なくともいずれか一方の電圧レベルが設定され、

第2の期間において、前記第3の端子と前記第4の端子とが電氣的に切断されるよう前記第3の端子及び前記第4の端子の少なくともいずれか一方の電圧レベルが設定され、

前記第2の期間の少なくとも一部の期間において、データ信号が供給された際に設定された前記駆動トランジスタの導通状態に応じた駆動電圧又は駆動電流が前記被駆動素子に供給され、

前記第1の期間における前記第4の端子の電圧レベルと前記第2の期間における前記第4の端子の電圧レベルとは互いに異なること、
を特徴とする電子回路。

【請求項23】

請求項22に記載の電子回路において、

前記電子回路は、さらに第1の電極と、第2の電極と、を備え、前記第1の電極と前記第2の電極との間に容量が形成されたキャパシタを含み、

前記第1の電極は前記駆動トランジスタの前記ゲートに接続され、

前記第1の期間を契機として、前記補償トランジスタの前記第3の端子と前記第4の端子との間に初期化電流が流れることにより、前記駆動トランジスタの前記ゲートの電圧レベルが、前記補償トランジスタの閾値電圧に応じたオフセットレベルに設定された後、

前記データ信号に対応するデータ電圧が前記第2の電極に印加されることにより生じる前記キャパシタを介した容量結合により前記駆動トランジスタの前記ゲートが前記オフセットレベル及び前記データ電圧に対応する電圧レベルに設定され、前記導通状態が設定さ

れること、

を特徴とする電子回路。

【請求項24】

請求項1 9乃至23のいずれかに記載の電子回路において、
前記第4の端子及び前記第3の端子のうちいずれか一方の電圧レベルは、前記第1の期間及び前記第2の期間を通して、前記第2の端子と同一の電圧レベルに設定されること、
を特徴とする電子回路。

【請求項25】

電子装置であって、
複数の、請求項1 6乃至24のいずれかに記載の電子回路と、
前記複数の電子回路の各々に対して設けられた前記被駆動素子と、
を備えた電子装置。

【請求項26】

電気光学装置であって、
複数のデータ線と、
複数の走査線と、
複数の第1の電源線と、
前記複数のデータ線と前記複数の走査線との交差部に対応して設けられた複数の画素回路と、

前記複数の画素回路の各々は、

電気光学素子と、

第1の端子と第2の端子とを備え、前記第1の端子と前記第2の端子との間にチャネル領域を有する駆動トランジスタと、

前記第1の端子と前記駆動トランジスタのゲートとの間に配置され、前記第1の端子と前記ゲートとの間の電氣的接続を制御する第1のスイッチングトランジスタと、を含み、

前記複数のデータ線の一つのデータ線を介して供給されたデータ信号に応じて前記駆動トランジスタの導通状態が設定され、

前記駆動トランジスタの前記導通状態に応じた駆動電圧又は駆動電流が前記電気光学素子に供給され、

前記第1の端子と前記駆動トランジスタのゲートとが前記第1のスイッチングトランジスタを介して電氣的に接続された期間の少なくとも一部の期間において、前記第1の端子がドレインとして機能するよう、前記第1の端子及び前記第2の端子のうち少なくともいずれか一方の電圧レベルが設定され、

前記駆動電圧又は前記駆動電流が前記電気光学素子に供給されている期間の少なくとも一部の期間においては、

前記第2の端子がドレインとして機能するよう、前記第1の端子及び前記第2の端子のうち少なくともいずれか一方の電圧レベルが設定されること、

を特徴とする電気光学装置。

【請求項27】

請求項26に記載の電気光学装置において、

前記複数の画素回路の各々は、さらに第1の電極と第2の電極とを備えるとともに、前記第1の電極と前記第2の電極との間に容量が形成される第1のキャパシタと、

前記一つのデータ線と前記第2の電極との間の電氣的接続を制御する第2のスイッチングトランジスタと、を含み、

前記駆動トランジスタの前記ゲートは前記第1の電極に接続され、

前記第1の端子が前記駆動トランジスタのドレインとして機能する期間の少なくとも一部の期間において、前記第1の端子と前記第2の端子との間に初期化電流が流れ、前記駆動トランジスタの前記ゲートは、前記駆動トランジスタしきい値に応じたオフセットレベルに設定され、

前記オフセットレベルが設定された後、前記第2のスイッチングトランジスタを介して

供給された前記データ信号の前記第1のキャパシタを介した容量結合によって、前記駆動トランジスタの前記ゲート電圧が前記オフセットレベル及び前記データ信号に応じた電圧レベルに設定されること、

を特徴とする電気光学装置。

【請求項28】

請求項26または27に記載の電気光学装置において、

前記複数の画素回路の各々は、

さらに第3の電極と第4の電極とを備えるとともに、前記第3の電極と前記第4の電極との間に容量が形成される第2のキャパシタと、を備え、

前記第3の電極は前記駆動トランジスタの前記ゲートに接続され、

前記第4の電極は前記第1の端子に接続されていること、

を特徴とする電気光学装置。

【請求項29】

請求項26乃至28のいずれかに記載の電気光学装置において、

前記第2の端子は、前記複数の電源線の一つの電源線に接続され、

前記一つの電源線は複数の電圧レベルに設定可能であること、

を特徴とする電気光学装置。

【請求項30】

電気光学装置であって、

複数のデータ線と、

複数の走査線と、

複数の電源線と、

前記複数のデータ線と前記複数の走査線との交差部に対応して設けられた複数の画素回路と、

前記複数の画素回路の各々は、

電気光学素子と、

第1の端子と第2の端子とを備え、前記第1の端子と前記第2の端子との間にチャンネル領域を有する駆動トランジスタと、

第3の端子と、第4の端子と、前記第3の端子と前記第4の端子との間に配置されたチャンネル領域と、を備え、前記第3の端子と自己のゲートとが接続された補償トランジスタと、を含み、

前記複数のデータ線の一つのデータ線を介して供給されたデータ信号に応じて、前記駆動トランジスタの導通状態が設定され、

前記第3の端子及び前記第4の端子のうちいずれか一方が、前記複数の電源線のうちの一つの電源線に接続され、

前記駆動トランジスタの前記導通状態に応じた駆動電圧又は駆動電流が前記電気光学素子に供給され、

前記一つの電源線の電圧は複数の電圧レベルに設定できること、

を特徴とする電気光学装置。

【請求項31】

請求項30に記載の電気光学装置において、

前記第3の端子が前記補償トランジスタのドレインとして機能としている期間の少なくとも一部の期間において、前記一つの電源線の電圧レベルが第1の電圧レベルに設定され、

前記駆動電圧または前記駆動電流が前記電気光学素子に供給されている少なくとも一部の期間は、前記一つの電源線の電圧レベルは第2の電圧レベルに設定され、

前記第1の電圧レベルと前記第2の電圧レベルとは互いに異なること、

を特徴とする電気光学装置。

【請求項32】

請求項30または31に記載の電気光学装置において、

前記第3の端子が前記補償トランジスタのドレインとして機能している期間の少なくとも一部の期間において、前記駆動トランジスタの前記ゲートの電圧レベルは前記補償トランジスタの閾値電圧に応じたオフセットレベルに設定されること、
を特徴とする電気光学装置。

【請求項33】

請求項32に記載の電気光学装置において、
前記第4の端子は前記一つの電源線に接続され、
前記第1の電圧レベルは前記第2の電圧レベルより低いこと、
を特徴とする電気光学装置。

【請求項34】

請求項30乃至34のいずれかに記載の電気光学装置において、
前記第1の端子及び前記第2の端子のいずれか一方も前記一つの電源線に接続されていること、
を特徴とする電気光学装置。

【請求項35】

請求項30乃至34のいずれかに記載の電気光学装置において、
前記第1の端子及び前記第2の端子のいずれか一方は、前記複数の電源線のうち、前記一つの電源線とは異なる他の電源線に接続されていること、
を特徴とする電気光学装置。

【請求項36】

請求項26乃至35のいずれかに記載の電気光学装置において、
前記複数の電源線は、前記複数のデータ線と交差する方向に延在していること、
を特徴とする電気光学装置。

【請求項37】

請求項36乃至36のいずれかに記載の電気光学装置において、
前記複数の画素回路に含まれる、トランジスタの数は3つのみであること、
を特徴とする電気光学装置。

【請求項38】

請求項26乃至37のいずれかに記載の電気光学装置を実装したことを特徴とする電子機器。

【請求項39】

電子装置の駆動方法であって、
駆動トランジスタのゲートと一方の端子とを電氣的に接続し、前記駆動トランジスタに非順バイアスを印加することにより、前記駆動トランジスタのゲートに接続されたノードの電圧を前記駆動トランジスタのしきい値に応じたオフセットレベルに設定する第1のステップと、
前記ノードと容量結合したデータ線に可変電圧源からの電圧を供給することにより、前記ノードに接続されたキャパシタに対して、前記オフセットレベルを基準としたデータの書き込みを行う第2のステップと、
前記駆動トランジスタに順バイアスを印加することにより、前記キャパシタに保持されたデータに応じた電流を発生し、当該電流を電流検出回路に供給する第3のステップとを有することを特徴とする電子装置の駆動方法。

【請求項40】

電子装置の駆動方法であって、
第1の端子と、第2の端子と、前記第1の端子と前記第2の端子との間に配置されたチャネル領域と、を有する駆動トランジスタの特性バラツキを補償するステップを行っている期間の少なくとも一部の期間において、前記第1の端子の電圧レベルを前記第2の端子の電圧レベルより高くし、
前記被駆動素子に前記駆動トランジスタの導通状態に応じた駆動電圧又は駆動電流を供給している少なくとも一部の期間において、前記第1の端子の電圧レベルを前記第2の端子の

電圧レベルより低くすること、

を特徴とする電子装置の駆動の駆動方法。

【請求項41】

請求項40に記載の電子装置の駆動方法であって、

前記第1の端子と前記駆動トランジスタのゲートが接続された状態で前記補償ステップを行うこと、

【発明の詳細な説明】装置の駆動方法。

【技術分野】

【0001】

本発明は、電気光学素子等の被駆動素子の駆動に好適な電子回路の駆動方法、電子回路、電気光学装置、電子装置、電子装置の駆動方法及び電子機器に関する。

【背景技術】

【0002】

近年、有機EL (Electronic Luminescence) 素子を用いたディスプレイが注目されている。有機EL素子は、自己を流れる駆動電流に応じて輝度が設定される電流駆動型素子の一つである。アクティブマトリクス駆動の場合、正確に輝度を得るためには画素回路を構成するトランジスタの特性バラツキ等を補償する必要がある。その特性バラツキの補償の方法として、電圧プログラム方式及び電流プログラム方式等の駆動方法が提案されている。

【0003】

なお、 V_{th} 補償を行う先願としては、例えば、本出願人が既に出願した特願2002-255251号がある。

【発明の開示】

【発明が解決しようとする課題】

【0004】

本発明の目的の一つは、トランジスタの特性バラツキを補償する新規な電子回路等を提供することである。

【0005】

また、本発明の別の目的は、かかる電子回路等において、 V_{th} 補償と逆バイアスの印加とを一の動作プロセスで行うことにより、動作設計上のフレキシビリティの向上を図ることである。

【課題を解決するための手段】

【0006】

かかる課題を解決するために、本発明の第1の電子回路の駆動方法は、第1の端子と、第2の端子と、前記第1の端子と前記第2の端子との間に配置されたチャンネル領域と、を有する駆動トランジスタのゲートと前記第1の端子とを電気的に接続した状態で、前記第1の端子が前記駆動トランジスタのドレインとして機能するように、前記第1の端子と前記第2の端子との間に電位差を生じさせる第1のステップと、データ信号を前記駆動トランジスタの前記ゲートに供給することにより設定された前記駆動トランジスタの導通状態に応じた駆動電圧及び駆動電流のうち少なくともいずれか一つを、前記第2の端子が前記駆動トランジスタのドレインとして機能するように被駆動素子に供給する第2のステップと、を含むことを特徴とする。

【0007】

上記の電子回路の駆動方法において、前記第1の端子と前記第2の端子との相対的な電位関係はステップ等に応じて変動するが、これにより前記駆動トランジスタには順バイアスと逆バイアス（あるいは非順バイアス）とが印加され、前記駆動トランジスタの特性の変化や劣化の抑制することが可能となる。

【0008】

ここで「ドレイン」とは、トランジスタの導電型と相対的な電位関係によって定義される。例えば、トランジスタがn型である場合、チャンネル領域を挟んで配置された2つの端

子のうち高電位側の端子は「ドレイン」であり、トランジスタがp型である場合、チャンネル領域を挟んで配置された2つの端子のうち低電位側の端子が「ドレイン」と定義される。

【0009】

上記の電子回路の駆動方法において、前記第1のステップを契機として、前記第1の端子と前記第2の端子との間に初期化電流を流し、前記駆動トランジスタのゲートの電圧を前記駆動トランジスタのしきい値に応じたオフセットレベルに設定するようにしてもよい。

【0010】

ここで「契機として」とは、前記第1のステップを初期動作として行うという意味であり、前記オフセットレベルの設定のプロセスは、前記第1のステップを行った後、あるいは前記第1のステップを行っている間に行ってもよい。

【0011】

上記の電子回路の駆動方法において、前記電子回路は、第1の電極と第2の電極とを備えるとともに、前記第1の電極と前記第2の電極との間に容量が形成されるキャパシタを含み、前記ゲートは前記第1の電極に接続され、前記第1のステップを行った後、前記ゲートをフローティング状態として、前記データ信号を、前記キャパシタを介した容量結合によって前記ゲートに供給し、前記導通状態を設定するようにしてもよい。

【0012】

上記の電子回路の駆動方法において、前記第2のステップを行う期間の少なくとも一部の期間において、前記第1の端子と前記駆動トランジスタの前記ゲートとの電気的接続を切ることが好ましい。

【0013】

なお、ここで「電気的接続を切る」は前記第1の端子と前記ゲートとが導通状態でなくなることを意味しており、前記第1の端子と前記ゲートとの間にキャパシタ等は介在していてもよい。

【0014】

上記の電子回路の駆動方法において、前記被駆動素子は、前記第1の端子に接続された動作電極と、対向電極と、前記動作電極と前記対向電極との間に配置された機能層と、を備え、前記第1のステップ及び前記第2のステップを行っている間は、少なくとも前記対向電極の電圧を、所定の電圧レベルに固定するようにしてもよい。

【0015】

上記の電子回路の駆動方法において、前記第1のステップを行う少なくとも1部の期間において、前記第2の端子の電圧レベルを前記所定の電圧レベルよりも低く設定するようにしてもよい。これにより、例えば、前記駆動トランジスタ又は前記被駆動素子に非順バイアスを印加することが可能となる。

【0016】

上記の電子回路の駆動方法において、さらに前記第1の端子の電圧レベルを前記所定の電圧レベルより低い電圧レベルに設定する第3のステップを含み、前記第3のステップを行っている期間は、前記対向電極の電圧を前記所定の電圧レベルに固定するようにしてもよい。これにより、例えば、前記被駆動素子に非順バイアスを印加することが可能となる。

【0017】

本発明の第2の電子回路の駆動方法において、前記電子回路は、第1の端子と、第2の端子と、前記第1の端子と前記第2の端子との間に配置されたチャンネル領域と、を有する駆動トランジスタと、第3の端子と、第4の端子と、前記第3の端子と前記第4の端子との間に配置されたチャンネル領域と、を有し、自己のゲートと前記第3の端子とが接続された補償トランジスタと、を含み、前記第3の端子が前記補償トランジスタのドレインとして機能するよう、前記第3の端子と前記第4の端子との間に電位差を生じさせる第1のステップと、データ信号を前記駆動トランジスタの前記ゲートに供給することにより設定さ

れた前記駆動トランジスタの導通状態に応じた駆動電圧及び駆動電流のうち少なくともいずれか一つを、前記被駆動素子に供給する第2のステップと、を含み、前記第2のステップを行っている期間の少なくとも1部の期間において、前記第4の端子の電圧レベルを、前記第1のステップを行っている期間の前記第4の端子の電圧レベルとは異なる電圧レベルに設定すること、を特徴とする。

【0018】

上記の電子回路の駆動方法において、前記第1のステップを契機として、前記第3の端子と前記第4の端子との間に初期化電流を流し、前記駆動トランジスタのゲートを前記補償トランジスタのしきい値に応じたオフセットレベルに設定するようにしてもよい。

【0019】

ここで「契機として」とは、前記第1のステップを初期動作として行うという意味であり、前記オフセットレベルの設定のプロセスは、前記第1のステップを行った後、あるいは前記第1のステップを行っている間に行ってもよい。

【0020】

上記の電子回路の駆動方法において、前記第2のステップを行っている期間の少なくとも1部の期間において、前記第3の端子と前記第4の端子との電氣的接続を実質的に切断することが好ましい。これにより、例えば、前記駆動トランジスタの前記ゲートをフローティングにすることが可能となり、前記ゲートのゲート電圧を前記データ信号に応じた電圧レベルに維持することが可能となる。

【0021】

上記の電子回路の駆動方法において、前記第1のステップを行っている期間の少なくとも一部の期間において、前記第1の端子の電圧レベルを前記第2の端子の電圧レベルより高く設定し、前記第2のステップを行っている期間の少なくとも1部の期間において、前記第2の端子の電圧レベルを前記第1の端子の電圧レベルより高く設定することが好ましい。

【0022】

上記の電子回路の駆動方法において、前記被駆動素子は、前記第1の端子に接続された動作電極と、対向電極と、前記動作電極と前記対向電極との間に配置された機能層と、を備え、少なくとも、前記第1のステップ及び前記第2のステップを行っている期間は、前記対向電極の電圧レベルを、所定のレベルに固定するようにしてもよい。

【0023】

上記の電子回路の駆動方法において、前記第1のステップを行う少なくとも1部期間において、前記第2の端子の電圧レベルを前記所定の電圧レベルよりも低く設定することが好ましい。

【0024】

上記の電子回路の駆動方法において、さらに前記第1の端子の電圧レベルを前記所定の電圧レベルより低い電圧レベルに設定する第3のステップを含み、前記第3のステップを行っている期間は、前記対向電極の電圧を前記所定の電圧レベルに固定することが好ましい。

【0025】

上記の電子回路に駆動方法において、前記第4の端子の電圧レベルを、前記第1のステップ及び前記第2のステップを通して、前記第2の端子と同一の電圧レベルに設定するようにしてもよい。

【0026】

本発明の第1の電子回路は、被駆動素子を駆動するための電子回路であって、第1の端子と第2の端子とを備え、前記第1の端子と前記第2の端子との間にチャンネル領域を有する駆動トランジスタと、第1の電極と第2の電極とを備えるとともに、前記第1の電極と前記第2の電極との間に容量が形成される第1のキャパシタと、前記第1の端子と前記駆動トランジスタのゲートとの間に配置され、前記第1の端子と前記ゲートとの間の電氣的接続を制御する第1のトランジスタと、を含み、前記第1の電極は前記ゲートに接続され

、前記第2の電極は前記第1の端子に接続されていることを特徴とする。

【0027】

上記の電子回路において、さらに第3の電極と第4の電極とを備えるとともに、前記第3の電極と前記第4の電極との間に容量が形成される第2のキャパシタと、第3の端子の端子と、第4の端子と、前記第3の端子と前記第4の端子との間に配置されたチャンネル領域と、を有する第2のトランジスタと、を含み、前記駆動トランジスタの前記ゲートは前記第3の電極に接続され、前記第4の電極には前記第3の端子に接続されていてもよい。

【0028】

上記の電子回路において、前記第1の端子と前記駆動トランジスタの前記ゲートとが前記第1のトランジスタを介して電氣的に接続された状態となる第1の期間の少なくとも一部の期間において、前記第1の端子が、前記駆動トランジスタのドレインとして機能するように前記第1の端子および前記第2の端子のうち少なくとも一方の電圧レベルが設定され、前記第1の端子と前記駆動トランジスタの前記ゲートとが電氣的に切断された状態となる第2の期間の少なくとも一部の期間において、前記第2の端子が、前記駆動トランジスタのドレインとして機能するように前記第1の端子および前記第2の端子のうち少なくとも一方の電圧レベルが設定されるようにしてもよい。

【0029】

本発明の第2の電子回路は、被駆動素子を駆動するための電子回路であって、第1の端子と第2の端子とを備え、前記第1の端子と前記第2の端子との間にチャンネル領域を有する駆動トランジスタと、前記第1の端子と前記駆動トランジスタのゲートとの間に配置され、前記第1の端子と前記ゲートとの間の電氣的接続を制御する第1のトランジスタと、前記第1の端子と前記駆動トランジスタの前記ゲートとが前記第1のトランジスタを介して電氣的に接続された状態となる第1の期間の少なくとも一部の期間において、前記第1の端子が、前記駆動トランジスタのドレインとして機能するように前記第1の端子および前記第2の端子のうち少なくとも一方の電圧レベルが設定され、前記第1の端子と前記駆動トランジスタの前記ゲートとが電氣的に切断された状態となる第2の期間の少なくとも一部の期間において、前記第2の端子が、前記駆動トランジスタのドレインとして機能するように前記第1の端子および前記第2の端子のうち少なくとも一方の電圧レベルが設定されることを特徴とする。

【0030】

上記の電子回路において、前記第1の期間を契機として、前記駆動トランジスタの前記ゲートの電圧レベルは前記駆動トランジスタの閾値電圧に応じたオフセットレベルに設定され、前記第2の期間の少なくとも一部の期間において、前記駆動トランジスタの前記導通状態に応じた駆動電圧または駆動電流が前記被駆動素子に供給されるようにしてもよい。

【0031】

ここで、前記オフセットレベルの設定のプロセスは、前記第1の期間の経過後、あるいは前記第1の期間中に行ってもよい。

【0032】

本発明の第3の電子回路は、被駆動素子を駆動するための電子回路であって、第1の端子と第2の端子とを備え、前記第1の端子と前記第2の端子との間にチャンネル領域を有する駆動トランジスタと、第3の端子と、第4の端子と、前記第3の端子と前記第4の端子との間に配置されたチャンネル領域と、を備え、前記第3の端子と自己のゲートとが接続された補償トランジスタと、を備え、前記第3の端子及び前記第4の端子のうちいずれか一方が前記駆動トランジスタの前記ゲートに接続され、前記第3の端子及び前記第4の端子の電圧は、それぞれ複数の電圧レベルに設定可能であることを特徴とする。

【0033】

上記の電子回路において、第1の期間において、前記第3の端子が前記補償トランジスタのドレインとなるよう、前記第3の端子及び前記第4の端子の少なくともいずれか一方の電圧レベルが設定され、第2の期間において、前記第3の端子と前記第4の端子とが電

氣的に切断されるよう前記第3の端子及び前記第4の端子の少なくともいずれか一方の電圧レベルが設定され、前記第2の期間の少なくとも一部の期間において、データ信号が供給された際に設定された前記駆動トランジスタの導通状態に応じた駆動電圧又は駆動電流が前記被駆動素子に供給され、前記第1の期間における前記第4の端子の電圧レベルと前記第2の期間における前記第4の端子の電圧レベルとは互いに異なるようにしてもよい。

【0034】

上記の電子回路において、前記電子回路は、さらに第1の電極と、第2の電極と、を備え、前記第1の電極と前記第2の電極との間に容量が形成されたキャパシタを含み、前記第1の電極は前記駆動トランジスタの前記ゲートに接続され、前記第1の期間を契機として、前記補償トランジスタの前記第3の端子と前記第4の端子との間に初期化電流が流れることにより、前記駆動トランジスタの前記ゲートの電圧レベルが、前記補償トランジスタの閾値電圧に応じたオフセットレベルに設定された後、前記データ信号に対応するデータ電圧が前記第2の電極に印加されることにより生じる前記キャパシタを介した容量結合により前記駆動トランジスタの前記ゲートが前記オフセットレベル及び前記データ電圧に対応する電圧レベルに設定され、前記導通状態が設定されることが好ましい。

【0035】

上記の電子回路において、前記第4の端子及び前記第3の端子のうちいずれか一方の電圧レベルは、前記第1の期間及び前記第2の期間を通して、前記第2の端子と同一の電圧レベルに設定されることが好ましい。

【0036】

本発明の電子装置は、複数の、上記の電子回路と、前記複数の電子回路の各々に対して設けられた前記被駆動素子とを備えている。

【0037】

本発明の第1の電気光学装置は、複数のデータ線と、複数の走査線と、複数の第1の電源線と、前記複数のデータ線と前記複数の走査線との交差部に対応して設けられた複数の画素回路と、前記複数の画素回路の各々は、電気光学素子と、第1の端子と第2の端子とを備え、前記第1の端子と前記第2の端子との間にチャネル領域を有する駆動トランジスタと、前記第1の端子と前記駆動トランジスタのゲートとの間に配置され、前記第1の端子と前記ゲートとの間の電氣的接続を制御する第1のスイッチングトランジスタと、を含み、前記複数のデータ線の一つのデータ線を介して供給されたデータ信号に応じて前記駆動トランジスタの導通状態が設定され、前記駆動トランジスタの前記導通状態に応じた駆動電圧又は駆動電流が前記電気光学素子に供給され、前記第1の端子と前記駆動トランジスタのゲートとが前記第1のスイッチングトランジスタを介して電氣的に接続された期間の少なくとも一部の期間において、前記第1の端子がドレインとして機能するよう、前記第1の端子及び前記第2の端子のうち少なくともいずれか一方の電圧レベルが設定され、前記駆動電圧又は前記駆動電流が前記電気光学素子に供給されている期間の少なくとも一部の期間においては、前記第2の端子がドレインとして機能するよう、前記第1の端子及び前記第2の端子のうち少なくともいずれか一方の電圧レベルが設定されることを特徴とする。

【0038】

上記の電気光学装置において、前記複数の画素回路の各々は、さらに第1の電極と第2の電極とを備えるとともに、前記第1の電極と前記第2の電極との間に容量が形成される第1のキャパシタと、前記一つのデータ線と前記第2の電極との間の電氣的接続を制御する第2のスイッチングトランジスタと、を含み、前記駆動トランジスタの前記ゲートは前記第1の電極に接続され、前記第1の端子が前記駆動トランジスタのドレインとして機能する期間の少なくとも一部の期間において、前記第1の端子と前記第2の端子との間に初期化電流が流れ、前記駆動トランジスタの前記ゲートは、前記駆動トランジスタしきい値に応じたオフセットレベルに設定され、前記オフセットレベルが設定された後、前記第2のスイッチングトランジスタを介して供給された前記データ信号の前記第1のキャパシタを介した容量結合によって、前記駆動トランジスタの前記ゲート電圧が前記オフセットレ

ベル及び前記データ信号に応じた電圧レベルに設定ようにしてもよい。

【0039】

上記の電気光学装置において、前記複数の画素回路の各々は、さらに第3の電極と第4の電極とを備えるとともに、前記第3の電極と前記第4の電極との間に容量が形成される第2のキャパシタと、を備え、前記第3の電極は前記駆動トランジスタの前記ゲートに接続され、前記第4の電極は前記第1の端子に接続されていてもよい。これにより、例えば、前記第2のキャパシタを介した容量結合により前記第1の端子の電圧レベルの変動に対して、前記駆動トランジスタの前記ゲートの電圧レベルを自動的に調整することができる。

【0040】

上記の電気光学装置において、前記第2の端子は、前記複数の電源線の一つの電源線に接続され、前記一つの電源線は複数の電圧レベルに設定可能であることが好ましい。

【0041】

本発明の第2の電気光学装置であって、複数のデータ線と、複数の走査線と、複数の電源線と、前記複数のデータ線と前記複数の走査線との交差点部に対応して設けられた複数の画素回路と、前記複数の画素回路の各々は、電気光学素子と、第1の端子と第2の端子とを備え、前記第1の端子と前記第2の端子との間にチャンネル領域を有する駆動トランジスタと、第3の端子と、第4の端子と、前記第3の端子と前記第4の端子との間に配置されたチャンネル領域と、を備え、前記第3の端子と自己のゲートとが接続された補償トランジスタと、を含み、前記複数のデータ線の一つのデータ線を介して供給されたデータ信号に応じて、前記駆動トランジスタの導通状態が設定され、前記第3の端子及び前記第4の端子のうちいずれか一方が、前記複数の電源線のうちの一つの電源線に接続され、前記駆動トランジスタの前記導通状態に応じた駆動電圧又は駆動電流が前記電気光学素子に供給され、前記一つの電源線の電圧は複数の電圧レベルに設定できることを特徴とする。

【0042】

上記の電気光学装置において、前記第3の端子が前記補償トランジスタのドレインとして機能している期間の少なくとも一部の期間において、前記一つの電源線の電圧レベルが第1の電圧レベルに設定され、前記駆動電圧または前記駆動電流が前記電気光学素子に供給されている少なくとも一部の期間は、前記一つの電源線の電圧レベルは第2の電圧レベルに設定され、前記第1の電圧レベルと前記第2の電圧レベルとは互いに異なるようにしてもよい。

【0043】

上記の電気光学装置において、前記第3の端子が前記補償トランジスタのドレインとして機能している期間の少なくとも一部の期間において、前記駆動トランジスタの前記ゲートの電圧レベルは前記補償トランジスタの閾値電圧に応じたオフセットレベルに設定されるようにしてもよい。

【0044】

上記の電気光学装置において、前記第4の端子は前記一つの電源線に接続され、前記第1の電圧レベルは前記第2の電圧レベルより低くしてもよい。

【0045】

上記の電気光学装置において、前記第1の端子及び前記第2の端子のいずれか一方も前記一つの電源線に接続されていてもよい。

【0046】

これにより、例えば、一画素回路当たりの配線数を減らすことができる。

【0047】

上記の電気光学装置において、前記第1の端子及び前記第2の端子のいずれか一方は、前記複数の電源線のうち、前記一つの電源線とは異なる他の電源線に接続されていてもよい。

【0048】

上記の電気光学装置において、前記複数の電源線は、前記複数のデータ線と交差する方

向に延在していることが好ましい。

【0049】

上記の電気光学装置において、前記複数の画素回路に含まれる、トランジスタの数は3つのみであることが好ましい。

【0050】

これにより、開口率を向上させることができる。

【0051】

本発明の電子機器は、上記の電気光学装置を実装したことを特徴とする。

【0052】

本発明の電子装置の駆動方法は、駆動トランジスタのゲートと一方の端子とを接続し、前記駆動トランジスタに非順バイアスを印加することにより、前記駆動トランジスタのゲートに接続されたノードの電圧を前記駆動トランジスタのしきい値に応じたオフセットレベルに設定する第1のステップと、前記ノードと容量結合したデータ線に可変電圧源からの電圧を供給することにより、前記ノードに接続されたキャパシタに対して、前記オフセットレベルを基準としたデータの書き込みを行う第2のステップと、前記駆動トランジスタに順バイアスを印加することにより、前記キャパシタに保持されたデータに応じた電流を発生し、当該電流を電流検出回路に供給する第3のステップとを有することを特徴とする。

【0053】

本発明の第2の電子装置の駆動方法であって、第1の端子と、第2の端子と、前記第1の端子と前記第2の端子との間に配置されたチャンネル領域と、を有する駆動トランジスタの特性バラツキを補償するステップを行っている期間の少なくとも一部の期間において、前記第1の端子の電圧レベルを前記第2の端子の電圧レベルより高くし、前記被駆動素子に前記駆動トランジスタの導通状態に応じた駆動電圧又は駆動電流を供給している少なくとも一部期間において、前記第1の端子の電圧レベルを前記第2の端子の電圧レベルより低くすることを特徴とする。

【0054】

上記の電子装置の駆動方法において、前記第1の端子と前記駆動トランジスタのゲートとを電気的に接続した状態で前記補償ステップを行うことが好ましい。

【0055】

本発明にかかる画素回路の駆動方法は、駆動トランジスタのゲートと自己の一方の端子とを接続し、駆動トランジスタに非順バイアスを印加することにより、駆動トランジスタのゲートに接続されたノードの電圧を駆動トランジスタのしきい値に応じたオフセットレベルに設定する第1のステップと、ノードと容量結合したデータ線に画素の階調を規定するデータ電圧を供給することにより、ノードに接続されたキャパシタに対して、オフセットレベルを基準としたデータの書き込みを行う第2のステップと、駆動トランジスタに順バイアスを印加することにより、キャパシタに保持されたデータに応じた駆動電流を発生し、この駆動電流を駆動トランジスタに接続された電気光学素子に供給することによって、電気光学素子の輝度を設定する第3のステップとを有する。

【0056】

上記の画素回路の駆動方法において、駆動トランジスタの他方の端子は、電圧が可変に設定される電源線に接続されていてもよい。この場合、上記第1のステップは、電源線の電圧を第1の電圧に設定するステップを含み、上記第3のステップは、電源線の電圧を第1の電圧よりも高い第2の電圧に設定するステップを含むことが好ましい。また、上記第2のステップは、電源線の電圧を第1の電圧に設定するステップを含むことが望ましい。

【0057】

上記の画素回路の駆動方法において、第1の電圧は、非順バイアスの印加時における駆動トランジスタの一方の端子の電圧よりも低く、第2の電圧は、順バイアスの印加時における駆動トランジスタの一方の端子の電圧よりも高いことが好ましい。また、電気光学素子の対向電極には、所定の電圧が固定的に印加されていることが望ましい。

【0058】

上記の画素回路の駆動方法において、電源線の電圧を所定の電圧よりも低い第3の電圧に設定することにより、電気光学素子に非順バイアスを印加する第4のステップをさらに有していてもよい。また、駆動トランジスタと電気光学素子とを接続するノードに所定の電圧よりも低い第3の電圧を印加することにより、電気光学素子に非順バイアスを印加する第5のステップをさらに有していてもよい。

【0059】

本発明の第2の画素回路の駆動方法は、自己のゲートと自己の一方の端子とが接続された補償トランジスタに所定のバイアスを印加して、順方向のダイオード接続を形成するとともに、この補償トランジスタとは異なる駆動トランジスタとに非順バイアスを印加することにより、補償トランジスタのゲートに接続されたノードの電圧を補償トランジスタのしきい値に応じたオフセットレベルに設定する第1のステップと、所定のバイアスとは逆方向のバイアスを補償トランジスタに印加した上で、ノードと容量結合したデータ線に画素の階調を規定するデータ電圧を供給することにより、ノードに接続されたキャパシタに対して、オフセット電圧を基準としたデータの書き込みを行う第2のステップと、駆動トランジスタに順バイアスを印加することにより、キャパシタに保持されたデータに応じた駆動電流を発生し、この駆動電流を駆動トランジスタの一方の端子に接続された電気光学素子に供給することによって、電気光学素子の輝度を設定する第3のステップとを有する。

【0060】

ここで、上記の画素回路の駆動方法において、駆動トランジスタの他方の端子は、電圧が可変に設定される第1の電源線に接続されており、補償トランジスタの他方の端子は、電圧が可変に設定される第2の電源線に接続されていてもよい。この場合、上記第1のステップは、第1の電源線の電圧を第1の電圧に設定するステップと、第2の電源線の電圧を第2の電圧に設定するステップとを含み、上記第2のステップは、第2の電源線の電圧を第2の電圧よりも高い第3の電圧に設定するステップを含み、上記第3のステップは、第1の電源線の電圧を第1の電圧よりも高い第4の電圧に設定するステップを含むことが好ましい。また、上記第2のステップは、第1の電源線の電圧を第1の電圧に設定するステップを含み、第3のステップは、第2の電源線の電圧を第3の電圧に設定するステップを含むことが望ましい。

【0061】

上記の画素回路の駆動方法において、第1の電圧は、非順バイアスの印加時における駆動トランジスタの一方の端子の電圧よりも低く、第2の電圧は、非順バイアスの印加時における補償トランジスタの一方の端子の電圧よりも低く、第3の電圧は、順バイアスの印加時における補償トランジスタの一方の端子の電圧よりも高く、第4の電圧は、順バイアスの印加時における駆動トランジスタの一方の端子の電圧よりも高いことが好ましい。また、電気光学素子の対向電極には、所定の電圧が固定的に印加されていることが望ましい。

【0062】

上記の画素回路の駆動方法において、電源線の電圧を所定の電圧よりも低い第5の電圧に設定することにより、電気光学素子に非順バイアスを印加する第4のステップをさらに有していてもよい。

【0063】

本発明の第1の画素回路は、自己を流れる駆動電流によって、輝度が設定される電気光学素子と、一方の端子が電圧が可変に設定される電源線に接続され、他方の端子が電気光学素子に接続されているとともに、ゲート電圧に応じて、駆動電流を発生する駆動トランジスタと、一方の電極が駆動トランジスタのゲートに接続された第1のキャパシタと一方の電極が駆動トランジスタのゲートに接続され、他方の電極が駆動トランジスタの他方の端子に接続された第2のキャパシタと、一方の端子が第1のキャパシタの他方の電極に接続され、他方の端子がデータ線に接続された第1のスイッチングトランジスタと、一方の

端子が駆動トランジスタのゲートに接続され、他方の端子が駆動トランジスタの他方の端子に接続された第2のスイッチングトランジスタとを有する。

【0064】

ここで、上記の画素回路において、第1のスイッチングトランジスタをオフさせ、第2のスイッチングトランジスタをオンさせる初期化期間において、電源線の電圧を第1の電圧に設定することにより、駆動トランジスタに非順バイアスを印加するとともに、駆動トランジスタのゲート電圧を駆動トランジスタのしきい値に応じたオフセットレベルに設定することが好ましい。また、初期化期間よりも後の期間であって、第1のスイッチングトランジスタをオンさせ、第2のスイッチングトランジスタをオフさせるデータ書込期間において、データ線に画素の階調を規定するデータ電圧を供給することにより、第1のキャパシタと第2のキャパシタとに対して、オフセットレベルを基準としたデータの書き込みを行ってもよい。さらに、データ書込期間よりも後の期間であって、第1のスイッチングトランジスタおよび第2のスイッチングトランジスタをオフさせる駆動期間において、電源線の電圧を第1の電圧よりも高い第2の電圧に設定することにより、駆動トランジスタに順バイアスを印加するとともに、第1のキャパシタおよび第2のキャパシタに保持されたデータに応じた駆動電流を電気光学素子に供給することによって、電気光学素子の輝度を設定してもよい。

【0065】

本発明の第2の画素回路は、自己を流れる駆動電流によって、輝度が設定される電気光学素子と、一方の端子が電圧が可変に設定される第1の電源線に接続され、他方の端子が電気光学素子に接続されているとともに、ゲート電圧に応じて、駆動電流を発生する駆動トランジスタと、一方の電極が駆動トランジスタのゲートに接続された第1のキャパシタと、一方の電極が駆動トランジスタのゲートに接続され、他方の電極が駆動トランジスタの他方の端子に接続された第2のキャパシタと、一方の端子が第1のキャパシタの他方の電極に接続され、他方の端子がデータ線に接続されたスイッチングトランジスタと、自己のゲートと自己の一方の端子と駆動トランジスタのゲートとに接続され、他方の端子が電圧が可変に制御される第2の電源線に接続された補償トランジスタとを有する。

【0066】

ここで、上記の画素回路において、スイッチングトランジスタをオフさせる初期化期間において、第1の電源線の電圧を第1の電圧に設定することにより、駆動トランジスタに非順バイアスを印加し、第2の電源線の電圧を第2の電圧に設定することにより、補償トランジスタにおける順方向のダイオード接続を形成するとともに、駆動トランジスタのゲート電圧を補償トランジスタのしきい値に応じたオフセット電圧に設定することが好ましい。また、初期化期間よりも後の期間であって、スイッチングトランジスタをオンさせるデータ書込期間において、第2の電源線の電圧を第2の電圧よりも高い第3の電圧に設定することにより、補償トランジスタに印加されるバイアスを初期化期間とは逆方向にするとともに、データ線に画素の階調を規定するデータ電圧を供給することにより、第1のキャパシタと第2のキャパシタとに対して、オフセット電圧を基準としたデータの書き込みを行ってもよい。さらに、データ書込期間よりも後の期間であって、スイッチングトランジスタをオフさせる駆動期間において、第1の電源線の電圧を第1の電圧よりも高い第4の電圧に設定することにより、駆動トランジスタに順バイアスを印加するとともに、第1のキャパシタおよび第2のキャパシタに保持されたデータに応じた駆動電流を電気光学素子に供給することによって、電気光学素子の輝度を設定してもよい。

【0067】

本発明の第3の画素回路は、自己を流れる駆動電流によって輝度が設定された電気光学素子と、一方の端子が電圧が可変に設定される第1の電源線に接続され、ゲート電圧に応じて、駆動電流を発生する駆動トランジスタと、一方の電極が駆動トランジスタのゲートに接続された第1のキャパシタと、一方の電極が駆動トランジスタのゲートに接続され、他方の電極が駆動トランジスタの他方の端子に接続された第2のキャパシタと、一方の端子が第1のキャパシタの他方の電極に接続され、他方の端子がデータ線に接続された第1

のスイッチングトランジスタと、一方の端子が駆動トランジスタのゲートに接続され、他方の端子が駆動トランジスタの他方の端子に接続された第2のスイッチングトランジスタと、一方の端子が駆動トランジスタの他方の端子に接続され、他方の端子が電圧が可変に設定される第2の電源線に接続された第3のスイッチングトランジスタと、一方の端子が駆動トランジスタの他方の端子に接続され、他方の端子が電気光学素子に接続された第4のスイッチングトランジスタとを有する。

【0068】

ここで、上記の画素回路において、第1のスイッチングトランジスタをオフさせ、第2のスイッチングトランジスタをオンさせ、第3のスイッチングトランジスタを一部期間でオンさせ、第4のスイッチングトランジスタをオフさせる初期化期間において、第1の電源線の電圧を第1の電圧に設定し、第2の電源線の電圧を第2の電圧に設定することにより、駆動トランジスタに非順バイアスを印加するとともに、駆動トランジスタのゲート電圧を駆動トランジスタのしきい値に応じたオフセット電圧に設定することが好ましい。また、初期化期間よりも後の期間であって、第1のスイッチングトランジスタをオンさせ、第2のスイッチングトランジスタをオフさせ、第3のスイッチングトランジスタをオフさせ、第4のスイッチングトランジスタをオフさせるデータ書込期間において、データ線に画素の階調を規定するデータ電圧を供給することにより、第1のキャパシタと第2のキャパシタとに対して、オフセットレベルを基準としたデータの書き込みを行ってもよい。さらに、データ書込期間よりも後の期間であって、第1のスイッチングトランジスタをオフさせ、第2のスイッチングトランジスタをオフさせ、第3のスイッチングトランジスタをオフさせ、第4のスイッチングトランジスタをオンさせる駆動期間において、第1の電源線の電圧を第1の電圧よりも高い第3の電圧に設定することにより、駆動トランジスタに順バイアスを印加するとともに、第1のキャパシタおよび第2のキャパシタに保持されたデータに応じた駆動電流を電気光学素子に供給することによって、電気光学素子の輝度を設定してもよい。そして、駆動期間よりも後の期間であって、第1のスイッチングトランジスタをオフさせ、第2のスイッチングトランジスタをオフさせ、第3のスイッチングトランジスタをオンさせ、第4のスイッチングトランジスタをオンさせる逆バイアス期間において、第2の電源線の電圧を第2の電圧よりも低い第4の電圧に設定することにより、電気光学素子に非順バイアスを印加することが好ましい。

【0069】

本発明の第4の画素回路は、自己を流れる駆動電流によって、輝度が設定される電気光学素子と、一方の端子が電圧が可変に設定される電源線に接続され、他方の端子が電気光学素子に接続されているとともに、ゲート電圧に応じて、駆動電流を発生する駆動トランジスタと、一方の電極が駆動トランジスタのゲートに接続されたキャパシタと、一方の端子がキャパシタの他方の電極に接続され、他方の端子がデータ線に接続された第1のスイッチングトランジスタと、一方の端子が駆動トランジスタのゲートに接続され、他方の端子が駆動トランジスタの他方の端子に接続された第2のスイッチングトランジスタとを有する。

【0070】

ここで、上記の画素回路によって、第1のスイッチングトランジスタをオフさせ、第2のスイッチングトランジスタをオンさせる初期化期間において、電源線の電圧を第1の電圧に設定することにより、駆動トランジスタに非順バイアスを印加するとともに、駆動トランジスタのゲート電圧を駆動トランジスタのしきい値に応じたオフセット電圧に設定することが好ましい。

【0071】

また、初期化期間よりも後の期間であって、第1のスイッチングトランジスタをオンさせ、第2のスイッチングトランジスタをオフさせるデータ書込期間において、データ線に画素の階調を規定するデータ電圧を供給することにより、キャパシタに対して、オフセット電圧を基準としたデータの書き込みを行ってもよい。さらに、データ書込期間よりも後の期間であって、第1のスイッチングトランジスタおよび第2のスイッチングトランジスタ

タをオフさせる駆動期間において、電源線の電圧を第1の電圧よりも高い第2の電圧に設定することにより、駆動トランジスタに順バイアスを印加するとともに、キャパシタに保持されたデータに応じた駆動電流を電気光学素子に供給することによって、電気光学素子の輝度を設定してもよい。

【0072】

上記の画素回路によって構成された電気光学装置を電子機器をしてもよい。

【発明の効果】

【0073】

本発明の一つの効果として、トランジスタの特性補償のステップと非順バイアスの印加とを一の動作プロセスで行うことにより、動作設計上のフレキシビリティの向上を図ることができる。

【発明を実施するための最良の形態】

【0074】

(第1の実施形態)

図1は、本実施形態にかかる電気光学装置のブロック構成図である。表示部1は、例えばTFT (Thin Film Transistor) によって電気光学素子を駆動するアクティブマトリクス型の表示パネルである。この表示部1には、mドット×nライン分の画素群がマトリクス状(二次元平面的)に並んでいる。表示部1には、それぞれが水平方向に延在している走査線群Y1~Ynと、それぞれが垂直方向に延在しているデータ線群X1~Xmとが設けられており、これらの交差に対応して画素2(画素回路)が配置されている。電源線L1~Lnは、走査線Y1~Ynに対応して設けられており、データ線X1~Xmと交差する方向、換言すれば、走査線Y1~Ynの延在方向に延在している。電源線L1~Lnのそれぞれには、1本の走査線Yの延在方向に対応する画素行(mドット分)が共通接続されている。なお、本実施形態では、1つの画素2を画像の最小表示単位としているが、カラーパネルのように、1つの画素2をRGBの3つのサブ画素で構成してもよい。

【0075】

なお、後述する各実施形態にかかる画素回路の構成との関係で、図1に示した1つの走査線Yが1本の走査線を示す場合(図6)と、複数の走査線のセットを示す場合(図2, 9, 11)とがある。同様に、図1に示した1つの電源線Lが1本の電源線を示す場合(図2, 11)と、複数の電源線のセットを示す場合(図6, 9)とがある。

【0076】

制御回路5は、図示しない上位装置より入力される垂直同期信号Vs、水平同期信号Hs、ドットクロック信号DCLKおよび階調データD等に基づいて、走査線駆動回路3、データ線駆動回路4および電源線制御回路6を同期制御する。この同期制御の下、これらの回路3, 4, 6は、互いに協働して、表示部1の表示制御を行う。

【0077】

走査線駆動回路3は、シフトレジスタ、出力回路等を主体に構成されており、走査線Y1~Ynに走査信号SELを出力することによって、走査線Y1~Ynの順次走査を行う。走査信号SELは、高電位レベル(以下「Hレベル」という)または低電位レベル(以下「Lレベル」という)の2値的な信号レベルをとり、データの書込対象となる画素行に対応する走査線YはHレベル、これ以外の走査線YはLレベルにそれぞれ設定される。走査線駆動回路3は、1フレームの画像を表示する期間(1F)毎に、所定の選択順序で(一般的には最上から最下に向かって)、それぞれの走査線Yを順番に選択する順次走査を行う。また、データ線駆動回路4は、シフトレジスタ、ラインラッチ回路、出力回路等を主体に構成されている。

【0078】

データ線駆動回路4は、1本の走査線Yを選択する期間に相当する1水平走査期間(1H)において、今回データを書き込む画素行に対するデータ電圧Vdataの一斉出力と、次の1Hで書き込みを行う画素行に関するデータの点順次的なラッチとを同時に行う。ある1Hにおいて、データ線Xの本数に相当するm個のデータが順次ラッチされる。そして、

次の1 Fにおいて、ラッチされたm個のデータ電圧Vdataが、対応するデータ線X1～Xmに対して一斉に出力される。

【0079】

一方、電源線制御回路6は、シフトレジスタ、出力回路等を主体に構成されており、走査線駆動回路3による走査と同期して、電源線L1～Lnの電圧を画素行単位で可変に設定する。

【0080】

図2は、本実施形態にかかるボルテージフォロワ型電圧プログラム方式の画素回路図である。この画素回路に関して、図1に示した1つの走査線Yは、第1の走査信号SEL1が供給される第1の走査線Yaと、第2の走査信号SEL2が供給される第2の走査線Ybとを含んでいる。1つの画素回路は、被駆動素子の一形態である有機EL素子OLED、3つのトランジスタT1～T3、およびデータを保持する2つのキャパシタC1、C2によって構成されている。なお、本実施形態では、アモルファスシリコンによってTFTが形成されているため、そのチャンネル型はすべてn型になっているが、もちろん、アモルファスシリコン以外で構成されたトランジスタを用いてもよいし、チャンネル型はこれに限定されるものではない（後述する各実施形態についても同様）。また、本明細書では、ソース、ドレインおよびゲートを備える三端子型素子であるトランジスタに関して、ソースまたはドレインの一方を「一方の端子」、他方を「他方の端子」とそれぞれ呼ぶ。

【0081】

第1のスイッチングトランジスタT1は、第1の走査信号SEL1が供給される第1の走査線Yaにゲートが接続されており、この走査信号SEL1によって導通制御される。このトランジスタT1の一方の端子はデータ線Xに接続されており、その他方の端子は第1のキャパシタC1の一方の電極に接続されている。このキャパシタC1の他方の電極はノードN1に接続されている。このノードN1には、第1のキャパシタC1以外に、駆動トランジスタT3のゲート、第2のスイッチングトランジスタT2の一方の端子、および第2のキャパシタC2の一方の電極が共通接続されている。駆動トランジスタT3の一方の端子は電源線Lに接続されており、その他方の端子はノードN2に接続されている。このノードN2には、駆動トランジスタT3以外に、有機EL素子OLEDのアノード（陽極）、第2のスイッチングトランジスタT2の他方の端子および、第2のキャパシタC2の他方の電極が共通接続されている。有機EL素子OLEDのカソード（陰極）、すなわち対向電極には、電源電圧Vddよりも低い基準電圧Vss（例えば0V）が固定的に印加されている。第2のキャパシタC2は、駆動トランジスタT3のゲートとノードN2との間に設けられており、これによって、ボルテージフォロワ型の回路が構成される。第2のスイッチングトランジスタT2は、第2のキャパシタC2と並列に設けられている。このスイッチングトランジスタT2は、第2の走査信号SEL2が供給される第2の走査線Ybにゲートが接続されており、この走査信号SEL2によって導通制御される。

【0082】

図3は、図2に示した画素回路の動作タイミングチャートである。上述した1 Fに相当する期間t0～t3における一連の動作プロセスは、最初の期間t0～t1における初期化プロセス、これに続く期間t1～t2におけるデータ書込プロセス、および最後の期間t2～t3における駆動プロセスとに大別される。

【0083】

まず、初期化期間t0～t1では、駆動トランジスタT3に対する逆バイアスの印加とVth補償とが同時に行われる。具体的には、第1の走査信号SEL1がLレベルになって、第1のスイッチングトランジスタT1がオフし、第1のキャパシタC1とデータ線Xとが電気的に分離される。それに呼応して、第2の走査信号SEL2がHレベルになって、第2のスイッチングトランジスタT2がオンする。ここで、電源線LはVL=Vssに設定されており、ノードN2の電圧V2は、先の1 Fの駆動プロセスによって、少なくともVss+Vthよりも高い電圧になっている（その具体値は先の1 Fにおけるデータや駆動トランジスタT3の特性、有機EL素子OLED等に依存する）。このような電圧関係より、駆動トランジスタ

タT3には、後述する駆動電流 I_{oled} が流れる方向とは逆方向のバイアスが印加され、自己のゲートと自己のドレイン（ノードN2側の端子）とが順方向に接続されたダイオード接続となる。これにより、図4（a）に示すように、ノードN2の電圧V2（およびこれと直結したノードN1の電圧V1）が駆動トランジスタT3の V_{th} に応じたオフセットレベル（ $V_{ss} + V_{th}$ ）になるまで、ノードN2から電源線Lに向かって、駆動期間 $t_2 \sim t_3$ に流れる駆動電流 I_{oled} とは逆方向の電流Iが流れる。ノードN1に接続されたキャパシタC1、C2は、データの書き込みに先立ち、ノードN1の電圧V1がオフセットレベル（ $V_{ss} + V_{th}$ ）になるような電荷状態に設定される。このように、データの書き込みに先立ち、ノードN1の電圧をオフセットレベル（ $V_{ss} + V_{th}$ ）にオフセットしておくことにより、駆動トランジスタT3のしきい値 V_{th} を補償することが可能になる。

【0084】

つぎに、データ書込期間 $t_1 \sim t_2$ では、初期化期間 $t_0 \sim t_1$ にて設定されたオフセットレベル（ $V_{ss} + V_{th}$ ）を基準に、キャパシタC1、C2に対するデータの書き込みが行われる。

【0085】

具体的には、第2の走査信号SEL2がLレベルに立ち下がって、第2のスイッチングトランジスタT2がオフし、駆動トランジスタT3のダイオード接続が解除される。この走査信号SEL2の立ち下がり「同期」して、第1の走査信号SEL1がHレベルに立ち上がって、第1のスイッチングトランジスタT1がオンする。これにより、データ線Xと第1のキャパシタC1とが電気的に接続される。本明細書では、「同期」という用語を、同一タイミングである場合のみならず、設計上のマージン等の理由で若干の時間的なオフセットを許容する意味で用いている。そして、タイミング t_1 から所定の時間が経過した時点で、データ線Xの電圧 V_x が基準電圧 V_{ss} からデータ電圧 V_{data} （画素2の表示階調を規定する電圧レベルのデータ）に立ち上がる。図4（b）に示すように、データ線XおよびノードN1は、第1のキャパシタC1を介して容量結合している。そのため、このノードN1の電圧V1は、数式1に示すように、データ線Xの電圧変化量 ΔV_{data} （ $= V_{data} - V_{ss}$ ）に応じて、オフセット電圧（ $V_{ss} + V_{th}$ ）を基準として $\alpha \cdot \Delta V_{data}$ だけ上昇する。なお、同数式において、係数 α は、第1のキャパシタC1の容量 C_a と第2のキャパシタC2の容量 C_b との容量比によって特定される係数である（ $\alpha = C_a / (C_a + C_b)$ ）。

【0086】

（数式1）

$$\begin{aligned} V1 &= V_{ss} + V_{th} + \alpha \cdot \Delta V_{data} \\ &= V_{ss} + V_{th} + \alpha (V_{data} - V_{ss}) \end{aligned}$$

【0087】

キャパシタC1、C2には、数式1より算出される電圧V1に相当する電荷がデータとして書き込まれる。ノードN1、N2は、第2のキャパシタC2を介して容量結合しているものの、このキャパシタC2の容量を有機EL素子OLEDの容量よりも十分小さく設定すれば、この期間 $t_1 \sim t_2$ において、ノードN2の電圧V2は、ノードN1の電圧変動のほぼ影響を受けることなく、ほぼ $V_{ss} + V_{th}$ に維持される。なお、この期間 $t_1 \sim t_2$ において、電源線Lを $V_L = V_{ss}$ にすることにより、駆動電流 I_{oled} を流さず、有機EL素子OLEDの発光を規制することができる。

【0088】

そして、駆動期間 $t_2 \sim t_3$ では、駆動トランジスタT3のチャンネル電流に相当する駆動電流 I_{oled} が有機EL素子OLEDに供給され、有機EL素子OLEDが発光する。具体的には、第1の走査信号SEL1が再びLレベルになり、第1のスイッチングトランジスタT1がオフする。これにより、データ電圧 V_{data} が供給されるデータ線Xと第1のキャパシタC1とが電気的に分離されるが、駆動トランジスタT3のゲートN1には、キャパシタC1、C2に保持されているデータに応じた電圧が印加され続ける。そして、第1の走査信号SEL1の立ち下がり「同期」して、電源線Lが $V_L = V_{dd}$ になる。その結果、図4（c）に示すよ

うに、電源線Lから有機EL素子OLEDのカソード側に向かう方向に駆動電流 I_{oled} の経路が形成される。この時、ノードN2と駆動トランジスタT3のチャネル領域を挟んで反対側の端子は駆動トランジスタT3のドレインとして機能することになる。

【0089】

駆動トランジスタT3が飽和領域で動作することを前提として、有機EL素子OLEDを流れる駆動電流 I_{oled} (駆動トランジスタT3のチャネル電流 I_{ds}) は、数式2に基づいて算出される。同数式において、 V_{gs} は、駆動トランジスタT3のゲートソース間電圧である。また、利得係数 β は、駆動トランジスタT3のキャリアの移動度 μ 、ゲート容量 A 、チャネル幅 W 、チャネル長 L より特定される係数である ($\beta = \mu AW/L$)。

【0090】

(数式2)

$$\begin{aligned} I_{oled} &= I_{ds} \\ &= \beta/2 (V_{gs} - V_{th})^2 \end{aligned}$$

【0091】

ここで、駆動トランジスタT3のゲート電圧 V_g として数式1で算出された V_1 を代入すると、数式2は数式3のように変形できる。

【0092】

(数式3)

$$\begin{aligned} I_{oled} &= \beta/2 (V_g - V_s - V_{th})^2 \\ &= \beta/2 \{(V_{ss} + V_{th} + \alpha \cdot \Delta V_{data}) - V_s - V_{th}\}^2 \\ &= \beta/2 (V_{ss} + \alpha \cdot \Delta V_{data} - V_s)^2 \end{aligned}$$

【0093】

数式3において留意すべき点は、駆動トランジスタT3が発生する駆動電流 I_{oled} は、 V_{th} の相殺によって、駆動トランジスタT3のしきい値 V_{th} に依存しない点である。したがって、キャパシタ C_1 、 C_2 に対するデータの書き込みを V_{th} を基準に行えば、製造バラツキや経時変化等によって V_{th} にバラツキが生じたとしても、その影響を受けることなく駆動電流 I_{oled} を生成できる。

【0094】

有機EL素子OLEDの発光輝度は、データ電圧 V_{data} (電圧変化量 ΔV_{data}) に応じた駆動電流 I_{oled} により決定され、これによって、画素2の階調が設定される。なお、図4(c)に示した経路で駆動電流 I_{oled} が流れると、駆動トランジスタT3のソース電圧 V_2 は、有機EL素子OLEDの自己抵抗等に起因して、当初の $V_{ss} + V_{th}$ よりも上昇する。しかしながら、駆動トランジスタT3のゲートN1とノードN2とは第2のキャパシタ C_2 を介して容量結合しており、ソース電圧 V_2 の上昇にともないゲート電圧 V_1 も上昇するので、ある程度、ゲートソース間電圧 V_{gs} に対するソース電圧 V_2 の変動の影響を低減することができる。

【0095】

このように、本実施形態では電源線Lの電圧 V_L を可変とし、初期化期間 $t_0 \sim t_1$ で V_{ss} 、駆動期間 $t_2 \sim t_3$ でこれよりも高い V_{dd} にそれぞれ設定する。初期化期間 $t_0 \sim t_1$ における設定電圧 V_{ss} は、駆動トランジスタT3に逆バイアスを印加すべく、駆動トランジスタT3と有機EL素子OLEDとを接続するノードN2の電圧 V_2 よりも低い電圧である必要がある。また、駆動期間 $t_2 \sim t_3$ における設定電圧 V_{dd} は、駆動トランジスタT3に順バイアスを印加して、駆動電流 I_{oled} の経路形成を許容すべく、ノードN2の電圧 V_2 よりも高い電圧である必要がある。初期化期間 $t_0 \sim t_1$ で $V_L = V_{ss}$ にすることにより、駆動トランジスタT3に逆バイアスが印加され、このバイアス状態の下で V_{th} 補償が行われる。

V_{th} 補償を行うことにより、駆動電流 I_{oled} に対する V_{th} のバラツキの影響を低減できる。また、逆バイアスの印加を行うことにより、駆動トランジスタT3における V_{th} のシフト、すなわち、 V_{th} が経時変化してしまう現象を有効に抑制することが可能になる。そして、 V_{th} 補償と逆バイアスの印加とを同一の動作プロセス(初期化期間 $t_0 \sim t_1$)で行うことにより、動作設計上のフレキシビリティの向上を図ることが可能になる。

【0096】

なお、本実施形態では、初期化期間 $t_0 \sim t_1$ において、電源線Lの電圧VLを基準電圧Vssに落とすことにより、駆動トランジスタT3に逆バイアスを印加している。しかしながら、この期間 $t_0 \sim t_1$ における電圧VLをVssよりも低い電圧Vrvsに設定してもよい。この場合、電源線Lの電圧Vrvsが有機EL素子OLEDの対向電極側の電圧Vssよりも低くなるので、駆動トランジスタT3のみならず、有機EL素子OLEDにも逆バイアスを印加することができる。その結果、有機EL素子OLEDの長寿命化を図ることが可能になる。また、本実施形態の概念を拡張すれば、駆動トランジスタT3に順バイアスでない状態、すなわち非順バイアスを印加した上でVth補償を行うことにより、上述した効果を奏することが可能である。したがって、非順バイアスの一つである逆バイアスは最良の実施形態ではあるものの、本発明はこれに限定されるものではない。なお、これらの点は、後述する各実施形態についても同様である。

【0097】

(第2の実施形態)

本実施形態は、図2に示した画素回路において、駆動トランジスタT3に逆バイアスをより積極的に印加する手法に関する。この画素回路の構成については、上述したとおりであるから、ここでの説明を省略する。

【0098】

図5は、本実施形態にかかる動作タイミングチャートである。本実施形態では、駆動期間 $t_2 \sim t_3$ の後半に逆バイアス期間 $t_2' \sim t_3$ を設け、この期間 $t_2' \sim t_3$ で、電源線Lの電圧VLを基準電圧Vss（対向電極の電圧）よりも低いVrvsに設定する。これにより、有機EL素子OLEDの発光が停止し、有機EL素子OLEDおよび駆動トランジスタT3の双方に逆バイアスが印加される。

【0099】

本実施形態によれば、上述した第1の実施形態と同様の効果を有するほか、逆イアス期間 $t_2' \sim t_3$ において、より効果的に有機EL素子OLEDにも逆バイアスが印加されるので、有機EL素子OLEDの長寿命化を図ることが可能になる。

【0100】

(第3の実施形態)

図6は、本実施形態にかかるボルテージフォロワ型電圧プログラム方式の画素回路図である。この画素回路に関して、図1に示した1つの電源線Lは、第1の電源線Laと、第2の電源線Lbとを含んでいる。1つの画素回路は、有機EL素子OLED、3つのnチャンネル型のトランジスタT1～T3および、データを保持する2つのキャパシタC1、C2によって構成されている。なお、補償トランジスタT2のしきい値Vth2は、駆動トランジスタT3のしきい値Vth1とほぼ等しくなるように設定されている。同一プロセスにて製造され、表示部1上において極めて近接して配置されたトランジスタT2、T3に関しては、実際の製品においても、これらの電気的特性をほぼ同一に設定することが可能である。

【0101】

スイッチングトランジスタT1のゲートは、走査信号SELが供給される走査線Yに接続されている。このトランジスタT1の一方の端子は、データ線Xに接続されており、その他方の端子は、第1のキャパシタC1の一方の電極に接続されている。このキャパシタC1の他方の電極は、ノードN1に接続されている。このノードN1には、第1のキャパシタC1以外に、駆動トランジスタT3のゲートと、補償トランジスタT2の一方の端子（およびそのゲート）と、第2のキャパシタC2の一方の電極が共通接続されている。駆動トランジスタT3の一方の端子は第1の電源線Laに接続されており、その他方の端子はノードN2に接続されている。このノードN2には、駆動トランジスタT3以外に、有機EL素子OLEDのアノードおよび、第2のキャパシタC2の他方の電極が共通接続されている。有機EL素子OLEDのカソードには基準電圧Vssが固定的に印加されている。第2のキャパシタC2は、駆動トランジスタT3のゲートとノードN2との間に設けられており、これによって、ボルテージフォロワ型の回路が構成される。補償トランジスタT2の他方の端子

は、第2の電源線Lbに接続されている。

【0102】

図7は、図6に示した画素回路の動作タイミングチャートである。第1の実施形態と同様、1Fに相当する期間t0～t3は、初期化期間t0～t1、データ書込期間t1～t2および駆動期間t2～t3に大別される。

【0103】

まず、初期化期間t0～t1では、補償トランジスタT2および駆動トランジスタT3の双方に対する逆バイアスの印加とVth補償とが同時に行われる。具体的には、走査信号SELがLレベルになって、スイッチングトランジスタT1がオフし、第1のキャパシタC1とデータ線Xとが電気的に分離される。ここで、第2の電源線Lbの電圧VLbはVssに設定されており、先の1Fの駆動プロセスによって、ノードN1の電圧V1よりも低くなる。このような電位関係より、補償トランジスタT2のチャネル領域を挟んで配置された2つの端子のうち自己のゲートと接続された端子はドレインとして機能して、順方向にバイアス（駆動期間t2～t3のバイアス関係を順バイアスとすると逆バイアス）されたダイオード接続となる。

【0104】

これにより、図8(a)に示すように、ノードN1の電圧V1がオフセットレベル（Vss+Vth1）になるまで、ノードN1から第2の電源線Lbに向かって初期化電流となる電流I1が流れる。ノードN1に接続されたキャパシタC1、C2は、データの書き込みに先立ち、ノードN1の電圧V1がオフセットレベル（Vss+Vth）になるような電荷状態に設定される。

【0105】

また、第1の電源線Laの電圧VLaもVssに設定され、先の1Fの駆動プロセスによって、ノードN2の電圧V2よりも低くなる。そのため、駆動トランジスタT3にも逆バイアスが印加され、ノードN2から第1の電源線Laに向かって電流I2が流れる。電流I2は駆動トランジスタT3の特性の変化や劣化の抑制に寄与する。

【0106】

データ書込期間t1～t2では、初期化期間t0～t1にて設定されたオフセットレベル（Vss+Vth1）を基準に、キャパシタC1、C2に対するデータの書き込みが行われる。具体的には、まず、第2の電源線Lbの電圧VLbがVssからVddに立ち上がり、電圧VLbがノードN1の電圧V1よりも高くなる。これにより、初期化期間t0～t1とは逆方向のバイアス（駆動期間t2～t3のバイアス関係を順方向とすると順バイアス）が補償トランジスタT2に印加されて、ノードN1と第2の電源線Lbとが電気的に分離される。この電圧VLbの立ち上がりと同期して、走査信号SELがHレベルに立ち上がって、スイッチングトランジスタT1がオンする。これにより、データ線Xと第1のキャパシタC1とが電気的に接続される。そして、タイミングt1から所定の時間が経過した時点で、データ線Xの電圧Vxが基準電圧Vssからデータ電圧Vdataに立ち上がる。図8(b)に示すように、データ線XおよびノードN1は、第1のキャパシタC1を介して容量結合している。そのため、このノードN1の電圧V1は、数式4に示すように、オフセットレベル（Vss+Vth1）を基準として $\alpha \cdot \Delta Vdata$ 分だけ上昇する。キャパシタC1、C2は、数式4より算出される電圧V1になるような電荷状態に設定される。なお、この期間t1～t2において、第1の電源線LaはVLa=Vssに設定されているため、駆動電流Ioledが流れず、有機EL素子OLEDは発光しない。

【0107】

(数式4)

$$\begin{aligned} V1 &= Vss + Vth1 + \alpha \cdot \Delta Vdata \\ &= Vss + Vth1 + \alpha (Vdata - Vss) \end{aligned}$$

【0108】

駆動期間t2～t3では、駆動トランジスタT3のチャネル電流Idsに相当する駆動電流Ioledが有機EL素子OLEDを流れ、有機EL素子OLEDが発光する。具体的には、走査信号

SELが再びLレベルになり、スイッチングトランジスタT1がオフする。これにより、データ電圧Vdataが供給されるデータ線Xと第1のキャパシタC1とが電氣的に分離されるが、駆動トランジスタT3のゲートN1には、キャパシタC1、C2に保持されているデータに応じたゲート電圧Vgが印加され続ける。そして、走査信号SELの立ち下がりと同期して、第1の電源線LaがVLa=Vddになる。その結果、図8(c)に示すように、第1の電源線Laから有機EL素子OLEDのカソード側に向かう方向に駆動電流Ioledの経路が形成される。駆動トランジスタT3が飽和領域で動作することを前提として、有機EL素子OLEDを流れる駆動電流Ioledは、数式5に基づいて算出される。

【0109】

(数式5)

$$I_{oled} = I_{ds} \\ = \beta/2 (V_{gs} - V_{th2})^2$$

【0110】

ここで、駆動トランジスタT3のゲート電圧Vgとして数式1で算出されたV1を代入すると、数式5は数式6のように変形できる。

【0111】

(数式6)

$$I_{oled} = \beta/2 (Vg - V_s - V_{th2})^2 \\ = \beta/2 \{(V_{ss} + V_{th1} + \alpha \cdot \Delta V_{data}) - V_s - V_{th2}\}^2$$

【0112】

本実施形態では、補償トランジスタT2のしきい値Vth1と駆動トランジスタT3のしきい値Vth2とがほぼ等しく設定されている。したがって、同数式において、Vth1とVth2とが相殺されるので、結果的に、数式7のようにまとめることができる。同数式から分かるように、有機EL素子OLEDは、トランジスタT2、T3のしきい値Vth1、Vth2に依存しない駆動電流Ioledに基づいて発光し、これによって、画素2の階調が設定される。

【0113】

(数式7)

$$I_{oled} = \beta/2 (V_{ss} + \alpha \cdot \Delta V_{data} - V_s)^2$$

【0114】

このように、本実施形態によれば、Vth補償を行う際に、補償トランジスタT2および駆動トランジスタT3の双方に対する逆バイアスの印加を行う。これにより、第1の実施形態と同様の理由で、Vth補償とVthシフトの抑制とを同一の動作プロセス（初期化期間t0～t1）において行うことができ、動作設計上のフレキシビリティの向上を図ることができる。

【0115】

なお、本実施形態においても、第2の実施形態と同様の理由で、駆動期間t2～t3の後半に逆バイアス期間t2'～t3を設け、この期間t2'～t3で、電源線La、Lbの電圧VLa、VLbを共にVrvsに設定してもよい。

【0116】

また、駆動トランジスタT3及び補償トランジスタT2を本実施形態のように、それぞれ異なる第1の電源線La及び第2の電源線Lbに接続するのではなく、同一の電源線に接続してもよい。つまり、補償トランジスタT2の自己のチャネル領域を挟んで配置された2つの端子のうちいずれか一方の端子の電圧レベルを、駆動トランジスタT3の自己のチャネル領域を挟んで配置された2つの端子のうちいずれか一方の端子の電圧レベルと同一レベルとなるよう設定するようにしてもよい。これにより、1画素回路当たりの配線数を低減することができる。

【0117】

(第4の実施形態)

図9は、本実施形態にかかるボルテージフォロワ型電圧プログラム方式の画素回路図である。この画素回路に関して、図1に示した1つの走査線Yは、走査信号SEL1～SE

L4がそれぞれ供給される4つの走査線Y a～Y dを含むとともに、図1に示した1つの電源線Lは、2つの電源線L a、L bを含んでいる。1つの画素回路は、有機EL素子OLED、5つのnチャンネル型のトランジスタT1～T5、およびデータを保持する2つのキャパシタC1、C2を有する。この画素回路は、図2に示した画素回路を基本とし、これに2つのトランジスタT4、T5を付加した構成になっている。

【0118】

具体的には、第1のスイッチングトランジスタT1のゲートは、第1の走査信号SEL1が供給される第1の走査線Y aに接続されている。このトランジスタT1の一方の端子はデータ線Xに接続されており、その他方の端子は第1のキャパシタC1の一方の電極に接続されている。このキャパシタC1の他方の電極はノードN1に接続されている。このノードN1には、第1のキャパシタC1以外に、駆動トランジスタT3のゲート、第2のスイッチングトランジスタT2の一方の端子および、第2のキャパシタC2の一方の電極が共通接続されている。駆動トランジスタT3の一方の端子は第1の電源線L aに接続されており、その他方の端子はノードN2に接続されている。このノードN2には、駆動トランジスタT3以外に、第2のスイッチングトランジスタT2の他方の端子、第2のキャパシタC2の他方の電極、第3のスイッチングトランジスタT4の一方の端子および、第4のスイッチングトランジスタT5を介して、有機EL素子OLEDのアノードが共通接続されている。有機EL素子OLEDのカソードには、基準電圧V_{ss}が固定的に印加されている。第2のキャパシタC2は、駆動トランジスタT3のゲートとノードN2との間に設けられており、これによって、ボルテージフォロワ型の回路が構成される。第2のスイッチングトランジスタT2は、第2のキャパシタC2と並列に設けられており、そのゲートは第2の走査信号SEL2が供給される第2の走査線Y bに接続されている。第3のスイッチングトランジスタT4の他方の端子は、第2の電源線L bに接続されており、そのゲートは、第3の走査信号SEL3が供給される第3の走査線Y cに接続されている。また、第4のスイッチングトランジスタT5のゲートは、第4の走査信号SEL4が供給される第4の走査線Y dに接続されている。

【0119】

図10は、図9に示した画素回路の動作タイミングチャートである。本実施形態において、1Fに相当する期間t0～t3には、初期化期間t0～t1、データ書込期間t1～t2および駆動期間t2～t2'に加えて、有機EL素子OLEDに逆バイアスを印加する逆バイアス期間t2'～t3が設定されている。

【0120】

初期化期間t0～t1では、駆動トランジスタT3に対する逆バイアスの印加とV_{th}補償とが同時に行われる。具体的には、走査信号SEL1、SEL4がLレベルになって、スイッチングトランジスタT1、T5が共にオフする。これにより、第1のキャパシタC1とデータ線Xとが電氣的に分離されるとともに、有機EL素子OLEDとノードN2とが電氣的に分離される。また、第2の走査信号SEL2がHレベルになって、第2のスイッチングトランジスタT2がオンする。さらに、初期化期間t0～t1の一部期間（前半）において、第3の走査信号SEL3がHレベルになって、第3のスイッチングトランジスタT4がオンする。ここで、第1の電源線L aはV_{La}=V_{ss}に設定されており、第2の電源線L bの電圧V_{Lb}はV_{Lb}=V_{dd}に設定されている。このような電圧関係より、駆動トランジスタT3には、駆動電流I_{oled}が流れる方向とは逆方向のバイアスが印加され、自己のゲートと自己のドレイン（ノードN2側の端子）とが順方向に接続されたダイオード接続となる。その後、第3の走査信号SEL3がLレベルに立ち下がって、第3のスイッチングトランジスタT4がオフすると、ノードN2の電圧V2（およびこれと直結したノードN1の電圧V1）がオフセットレベル（V_{ss}+V_{th}）に設定される。ノードN1に接続されたキャパシタC1、C2は、データの書き込みに先立ち、ノードN1の電圧V1がオフセットレベル（V_{ss}+V_{th}）になるような電荷状態に設定される。

【0121】

データ書込期間t1～t2では、初期化期間t0～t1にて設定されたオフセットレベル（

$V_{ss} + V_{th}$) を基準に、キャパシタ C1, C2 に対するデータの書き込みが行われる。具体的には、第2の走査信号 SEL2 が L レベルに立ち下がって、第2のスイッチングトランジスタ T2 がオフし、駆動トランジスタ T3 のダイオード接続が解除される。この走査信号 SEL2 の立ち下がりと同期して、第1の走査信号 SEL1 が H レベルに立ち上がって、第1のスイッチングトランジスタ T1 がオンする。これにより、データ線 X と第1のキャパシタ C1 とが電氣的に接続される。そして、タイミング t1 から所定の時間が経過した時点で、データ線 X の電圧 V_x が基準電圧 V_{ss} からデータ電圧 V_{data} に立ち上がる。第1のキャパシタ C1 を介した容量結合により、ノード N1 の電圧 V_1 は、オフセットレベル ($V_{ss} + V_{th}$) を基準として $\alpha \cdot \Delta V_{data}$ 分だけ上昇し、これに応じたデータがキャパシタ C1, C2 に書き込まれる。なお、この期間 t1 ~ t2 において、第4のスイッチングトランジスタ T5 がオフしているため、駆動電流 I_{oled} が流れず、有機 EL 素子 OLED は発光しない。

【0122】

駆動期間 t2 ~ t2' では、第1の走査信号 SEL1 が L レベルに立ち下がって、第1のスイッチングトランジスタ T1 がオフする。そして、この立ち下がりと同期して、第4の走査信号 SEL4 が H レベルに立ち上がり、第4のスイッチングトランジスタ T5 がオンするとともに、第1の電源線 La も $V_{La} = V_{dd}$ になる。これにより、駆動電流 I_{oled} が有機 EL 素子 OLED を流れて、有機 EL 素子 OLED が発光する。上述した理由で、駆動電流 I_{oled} は、駆動トランジスタ T3 のしきい値 V_{th} にほぼ依存しない。

【0123】

逆バイアス期間 t2' ~ t3 では、第3の走査信号 SEL3 が H レベルに立ち上がるとともに、第1の電源線 La の電圧 V_{La} が V_{dd} から V_{ss} に立ち下がる。また、この期間 t2' ~ t3 では、第2の電源線 Lb が $V_{Lb} = V_{rvs}$ になっている。したがって、ノード N2 に第2の電源線 Lb の電圧 V_{rvs} が直接印加され、 $V_2 = V_{rvs}$ になるので、有機 EL 素子 OLED に逆バイアスが印加される。

【0124】

本実施形態によれば、上述した各実施形態と同様に、 V_{th} 補償と V_{th} シフトの抑制とを同一の動作プロセス (初期化期間 t0 ~ t1) において行うことができ、動作設計上のフレキシビリティの向上を図ることができる。また、逆バイアス期間 t2' ~ t3 において、有機 EL 素子 OLED に逆バイアスを印加しているため、有機 EL 素子 OLED の長寿命化を図ることができる。

【0125】

(第5の実施形態)

図 11 は、本実施形態にかかる電圧プログラム方式の画素回路図である。この画素回路は、上述した各実施形態とは異なり、ボルテージフォロワ型にはなっていない。1つの画素回路は、有機 EL 素子 OLED、3つの n チャンネル型のトランジスタ T1 ~ T3、およびデータを保持する1つのキャパシタ C1 によって構成されている。

【0126】

第1のスイッチングトランジスタ T1 のゲートは、第1の走査信号 SEL1 が供給される第1の走査線 Ya に接続されている。このトランジスタ T1 の一方の端子はデータ線 X に接続されており、その他方の端子は第1のキャパシタ C1 の一方の電極に接続されている。このキャパシタ C1 の他方の電極はノード N1 に接続されている。このノード N1 には、第1のキャパシタ C1 以外に、駆動トランジスタ T3 のゲートおよび、第2のスイッチングトランジスタ T2 の一方の端子が共通接続されている。駆動トランジスタ T3 の一方の端子は電源線 L に接続されており、その他方の端子はノード N2 に接続されている。このノード N2 には、駆動トランジスタ T3 以外に、有機 EL 素子 OLED のアノード (陽極) および、第2のスイッチングトランジスタ T2 の他方の端子が共通接続されている。有機 EL 素子 OLED のカソード (陰極) には、電源電圧 V_{dd} よりも低い基準電圧 V_{ss} (例えば 0 V) が恒定的に印加されている。第2のスイッチングトランジスタ T2 のゲートは第2の走査信号 SEL2 が供給される第2の走査線 Yb に接続されている。

【0127】

この画素回路の動作は、図3のタイミングチャートに示したとおりであり、第2のキャパシタC2が介在しない点を除けば、第1の実施形態と同様の動作になるので、ここでの説明を省略する。

【0128】

本実施形態によれば、ボルテージフォロワ型でない電圧プログラム方式の画素回路においても、 V_{th} 補償と V_{th} シフトの抑制とを同一の動作プロセス（初期化期間 $t_0 \sim t_1$ ）において行うことができる。その結果、このような画素回路における動作設計上のフレキシビリティの向上を図ることができる。

【0129】

上記の実施例において、駆動トランジスタのゲート電圧をオフセットレベルに設定する際には、駆動トランジスタのゲートに接続されたキャパシタの一方の電極に対向する他方のキャパシタの電極の電位を所定値に設定することが好ましい。これにより、容量カップリングにより前記駆動トランジスタのゲート電圧を正確に設定することができる。

【0130】

例えば、図3に示したタイミングチャートのように、第2のスイッチングトランジスタT2と第1のスイッチングトランジスタT1とがともにオン状態となる期間を設け、さらにこの期間内の電圧 V_x を、 V_{ss} 等の所定値に設定することにより、ノードN1がオフセットレベルに設定される際にノードN1に接続されたキャパシタC1の電極とは反対側の電極の電位が正確に設定され、このため、データ電圧 V_{data} を供給して容量カップリングにより行う、ノードN1の電圧レベルの設定も正確に行うことができる。

【0131】

同様に、図7に示したタイミングチャートのように、補償トランジスタT2のオン状態（電圧が V_{Lb} が V_{ss} に設定されている状態）となる期間の一部が、スイッチングトランジスタT1がオン状態となる期間の一部と重なるようにし、この、補償トランジスタT2及びスイッチングトランジスタT1がともにオン状態となっている期間に、キャパシタC1のノードN1と接続された電極とは反対側の電極の電位を所定電圧である V_{ss} とすることにより、その後に行われるデータ電圧 V_{data} の供給による容量カップリングで、ノードN1の電圧レベルを正確に設定することができる。

【0132】

上述した実施形態では、電気光学素子として有機EL素子OLEDを用いた例について説明した。しかしながら、本発明はこれに限定されるものではなく、駆動電流に応じて輝度が設定される電気光学素子（無機LED表示装置、フィールド・エミッション表示装置等）、或いは、駆動電流に応じた透過率・反射率を呈する電気光学装置（エレクトロクロミック表示装置、電気泳動表示装置等）に対しても広く適用可能である。

【0133】

また、上述した実施形態にかかる電気光学装置は、例えば、テレビ、プロジェクタ、携帯電話機、携帯端末、モバイル型コンピュータ、パーソナルコンピュータ等を含む様々な電子機器に実装可能である。これらの電子機器に上述した電気光学装置を実装すれば、電子機器の商品価値を一層高めることができ、市場における電子機器の商品訴求力の向上を図ることができる。

【0134】

さらに、本発明の特徴は、駆動トランジスタの V_{th} 補償とこれに対する逆バイアスの印加とを同一の動作プロセスで行う点にある。したがって、本発明の概念は、電気光学装置以外の電子回路、例えば、特開平8-305832号公報に開示された指紋センサ、或いは、本願出願人の先願である特願2003-107936号に開示されたバイオチップといった各種のセンシングを高感度に行うものに対しても広く適用可能である。電子回路の基本構成は、上述した各実施形態にかかる画素回路における電気光学素子（有機EL素子OLED）を電流検出回路に代えた点以外は同様である。この電子回路の動作としては、まず、駆動トランジスタのゲートと一方の端子とを接続し、駆動トランジスタに非順バイアス

を印加する。これにより、駆動トランジスタのゲートに接続されたノードの電圧をオフセット電圧 ($V_{ss} + V_{th}$) に設定する。つぎに、ノードと容量結合したデータ線に可変電圧源からの電圧を供給することにより、ノードに接続されたキャパシタに対して、オフセットレベル ($V_{ss} + V_{th}$) を基準としたデータの書き込みを行う。そして、駆動トランジスタに順バイアスを印加することにより、キャパシタに保持されたデータに応じた電流を発生し、これを電流検出回路に供給する。電流検出回路は、駆動トランジスタを流れる電流の電流量を計測する。

【図面の簡単な説明】

【0135】

【図1】電気光学装置のブロック構成図。

【図2】第1の実施形態にかかる画素回路図。

【図3】第1の実施形態にかかる動作タイミングチャート。

【図4】第1の実施形態にかかる動作説明図。

【図5】第2の実施形態にかかる動作タイミングチャート。

【図6】第3の実施形態にかかる画素回路図。

【図7】第3の実施形態にかかる動作タイミングチャート。

【図8】第3の実施形態にかかる動作説明図。

【図9】第4の実施形態にかかる画素回路図。

【図10】第4の実施形態にかかる動作タイミングチャート。

【図11】第5の実施形態にかかる画素回路図。

【符号の説明】

【0136】

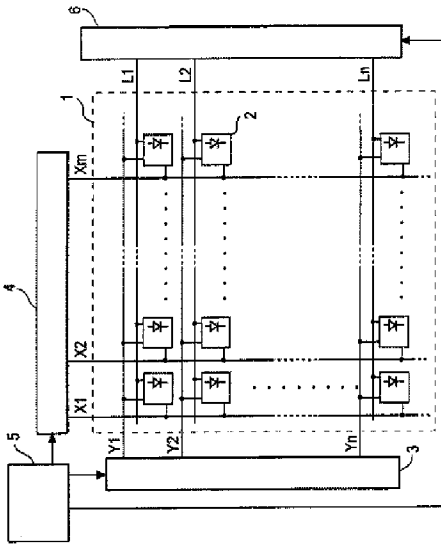
- 1 表示部
- 2 画素
- 3 走査線駆動回路
- 4 データ線駆動回路
- 5 制御回路
- 6 電源線制御回路

T1～T5 トランジスタ

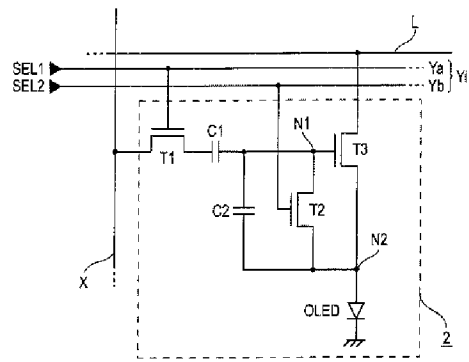
C1～C2 キャパシタ

OLED 有機EL素子

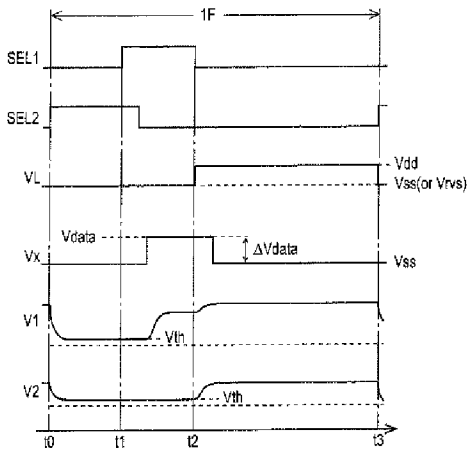
【図1】



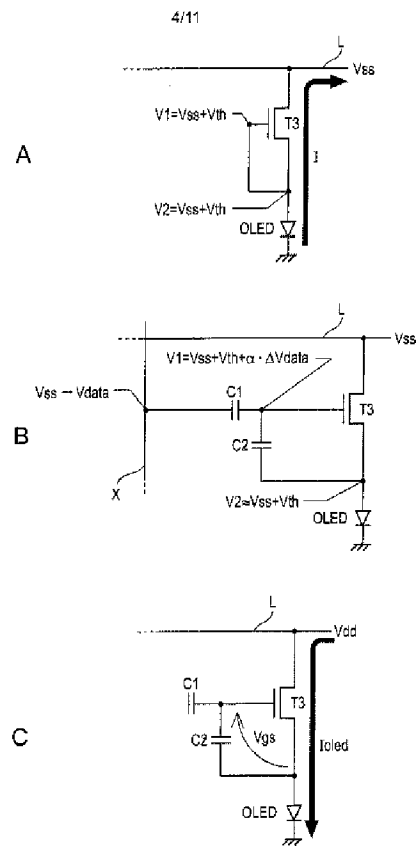
【図2】



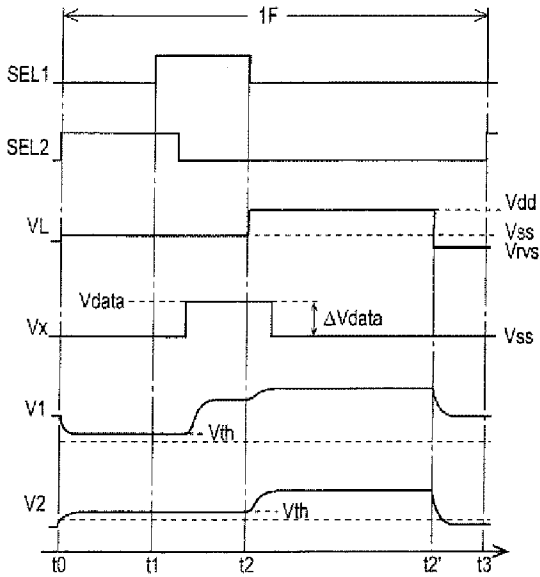
【図3】



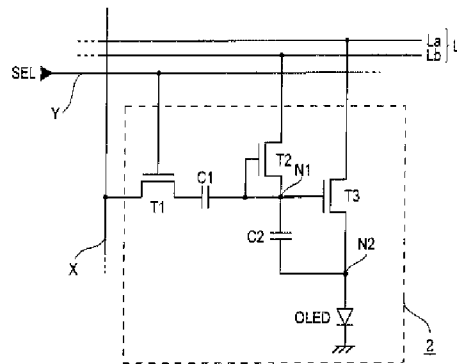
【図4】



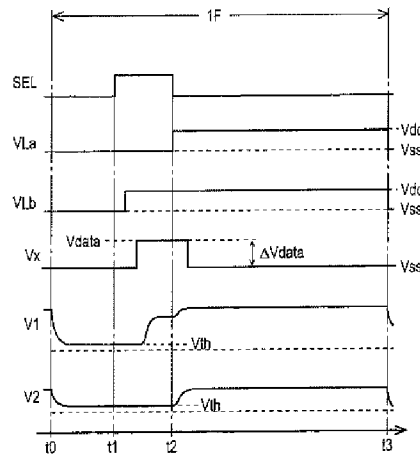
【図5】



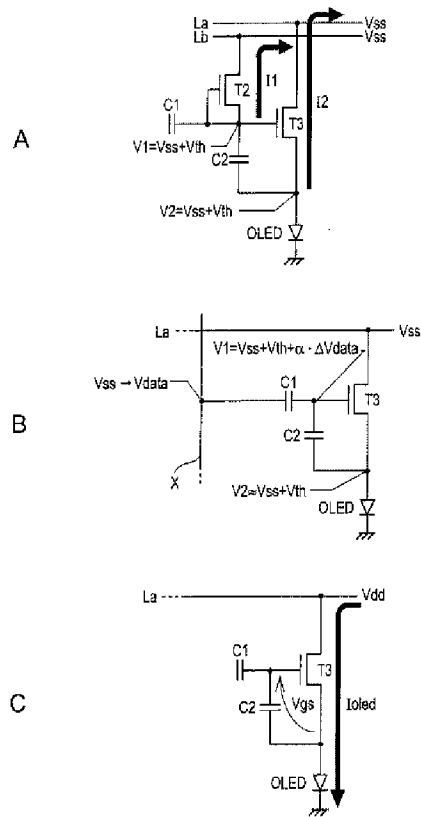
【図6】



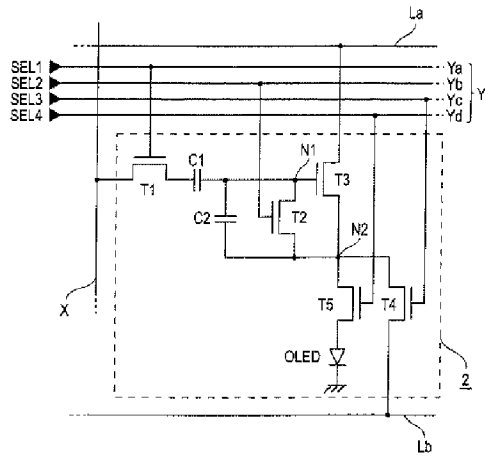
【図7】



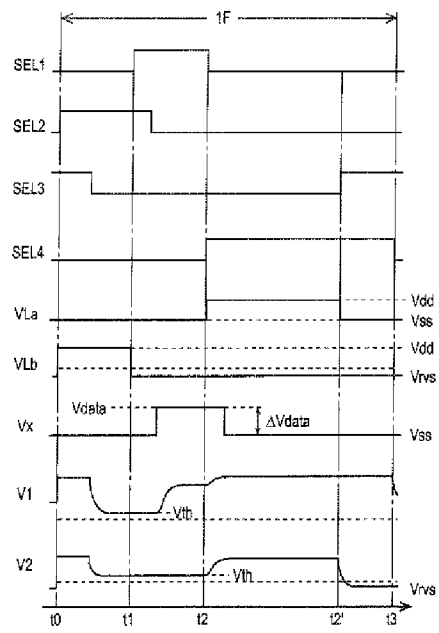
【図8】



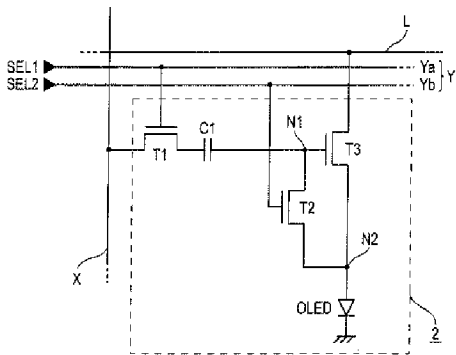
【図9】



【図10】



【図11】



(51)Int.Cl.⁷

F I

テーマコード(参考)

G 0 9 G 3/20 6 2 4 D

G 0 9 G 3/20 6 7 0 K

H 0 5 B 33/14 A

Fターム(参考) 5C080 AA06 AA11 AA13 AA18 BB05 DD05 DD29 EE29 FF11 JJ02
JJ03 JJ04 KK01 KK07 KK43 KK47

Electronic Patent Application Fee Transmittal

Application Number:	11438967
Filing Date:	23-May-2006
Title of Invention:	DISPLAY APPARATUS AND DRIVE CONTROL METHOD THEREOF
First Named Inventor/Applicant Name:	Tsuyoshi Ozaki
Filer:	Leonard Holtz/Alexander Distell
Attorney Docket Number:	06331/LH

Filed as Large Entity

Utility under 35 USC 111(a) Filing Fees

Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Petition fee- 37 CFR 1.17(h) (Group III)	1464	1	130	130

Patent-Appeals-and-Interference:

Post-Allowance-and-Post-Issuance:

Extension-of-Time:

Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Miscellaneous:				
Request for continued examination	1801	1	810	810
Total in USD (\$)				940

Electronic Acknowledgement Receipt

EFS ID:	8073721
Application Number:	11438967
International Application Number:	
Confirmation Number:	5382
Title of Invention:	DISPLAY APPARATUS AND DRIVE CONTROL METHOD THEREOF
First Named Inventor/Applicant Name:	Tsuyoshi Ozaki
Customer Number:	01933
Filer:	Leonard Holtz/Alexander Distell
Filer Authorized By:	Leonard Holtz
Attorney Docket Number:	06331/LH
Receipt Date:	22-JUL-2010
Filing Date:	23-MAY-2006
Time Stamp:	18:38:53
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Credit Card
Payment was successfully received in RAM	\$940
RAM confirmation Number	5339
Deposit Account	
Authorized User	

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
-----------------	----------------------	-----------	-------------------------------------	------------------	------------------

1	Request for Continued Examination (RCE)	06331_rce.pdf	37723 8f6caec4ba56a88b16b4e6c3d6fb37351d5421a7	no	3
Warnings:					
This is not a USPTO supplied RCE SB30 form.					
Information:					
2	Petition to Withdraw from Issue	06331_petition_withdraw_from_issue.pdf	309176 029a10b3b37f66c7cd720c05b4c6eac9fb313b3d	no	2
Warnings:					
Information:					
3		06331_ids5.pdf	511245 e078eef6764516645d2dfc81534a3aa61b4bc00b	yes	3
	Multipart Description/PDF files in .zip description				
	Document Description		Start	End	
	Transmittal Letter		1	2	
	Information Disclosure Statement (IDS) Filed (SB/08)		3	3	
Warnings:					
Information:					
4	NPL Documents	06331_jp_oa.pdf	170539 134a92919422dc818c6f8ce79f1a8116181f40e6	no	5
Warnings:					
Information:					
5	Foreign Reference	JP2004252104A.pdf	1929336 d05ecc22f4a0c616ca2d51c3155c03bca8c6277e	no	21
Warnings:					
Information:					
6	Foreign Reference	JP2005099773A.pdf	3021414 b1d51f5b65cf9068c7c4fea733c49489e5249774	no	33
Warnings:					
Information:					
7	Fee Worksheet (PTO-875)	fee-info.pdf	32334 f8b3b92be02aa9399c02cf80aac0dce1c9a1dd9c	no	2
Warnings:					
Information:					
Total Files Size (in bytes):			6011767		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.



APPLICATION NO.	ISSUE DATE	PATENT NO.	ATTORNEY DOCKET NO.	CONFIRMATION NO.
11/438,967	08/10/2010	7773077	06331/LH	5382

1933 7590 07/21/2010
FRISHAUF, HOLTZ, GOODMAN & CHICK, PC
220 Fifth Avenue
16TH Floor
NEW YORK, NY 10001-7708

ISSUE NOTIFICATION

The projected patent number and issue date are specified above.

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b) (application filed on or after May 29, 2000)

The Patent Term Adjustment is 1053 day(s). Any patent to issue from the above-identified application will include an indication of the adjustment on the front page.

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (<http://pair.uspto.gov>).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Application Assistance Unit (AAU) of the Office of Data Management (ODM) at (571)-272-4200.

APPLICANT(s) (Please see PAIR WEB site <http://pair.uspto.gov> for additional applicants):

Tsuyoshi Ozaki, Fuchu-shi, JAPAN;
Jun Ogura, Fussa-shi, JAPAN;



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

Table with 5 columns: APPLICATION NO., FILING DATE, FIRST NAMED INVENTOR, ATTORNEY DOCKET NO., CONFIRMATION NO.
11/438,967 05/23/2006 Tsuyoshi Ozaki 06331/LH 5382

1933 7590 07/09/2010
FRISHAUF, HOLTZ, GOODMAN & CHICK, PC
220 Fifth Avenue
16TH Floor
NEW YORK, NY 10001-7708

EXAMINER

SHANKAR, VIJAY

Table with 2 columns: ART UNIT, PAPER NUMBER

2629

Table with 2 columns: MAIL DATE, DELIVERY MODE

07/09/2010

PAPER

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.



UNITED STATES DEPARTMENT OF COMMERCE

U.S. Patent and Trademark Office

Address : COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450

APPLICATION NO./ CONTROL NO.	FILING DATE	FIRST NAMED INVENTOR / PATENT IN REEXAMINATION	ATTORNEY DOCKET NO.
11438967	5/23/2006	OZAKI ET AL.	06331/LH

FRISHAUF, HOLTZ, GOODMAN & CHICK, PC
220 Fifth Avenue
16TH Floor
NEW YORK, NY 10001-7708

EXAMINER

VIJAY SHANKAR

ART UNIT	PAPER
-----------------	--------------

2629

20100706

DATE MAILED:

Please find below and/or attached an Office communication concerning this application or proceeding.

Commissioner for Patents

The IDS filed on 6/10/10 is being considered by the Examiner.

/VIJAY SHANKAR/
Primary Examiner, Art Unit 2629

INFORMATION DISCLOSURE STATEMENT BY APPLICANT				Application Number	11/438,967			
				Filing Date	May 23, 2006			
				First Named Inventor	Tsuyoshi OZAKI			
				Group Art Unit	2629			
				Examiner Name	VIJAY SHANKAR			
Sheet	1	of	1	Attorney Docket Number	06331/LH			
FOREIGN PATENT DOCUMENTS								
Examiner Initials*	Cite No.	Country Code	Document Number	Kind Code	Patentee or Applicant	Publication Date (MM-DD-YYYY)	Translation	
							Yes	Abstract Only
		JP	2005-006250	A	CASIO COMPUTER CO LTD	01-06-2005		
		JP	2005-107233	A	CASIO COMPUTER CO LTD	04-21-2005		
OTHER DOCUMENTS								
Examiner Initials*	Cite No.	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.						
		Japanese Office Action dated May 13, 2010 and English translation thereof in counterpart Japanese Application No. 2005-150566.						
Examiner Signature	/Vijay Shankar/				Date Considered	07/06/2010		

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

DATE MAILED OR TRANSMITTED: **June 10, 2010**

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), to: **Mail** Mail Stop ISSUE Fee
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450
or Fax (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

1933 7590 03/29/2010

FRISHAUF, HOLTZ, GOODMAN & CHICK, PC
 220 Fifth Avenue
 16TH Floor
 NEW YORK, NY 10001-7708

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (571) 273-2885, on the date indicated below.

B. VILLANI	(Depositor's name)
<i>B. Villani</i>	(Signature)
EFS 6/25/10	(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
11/438,967	05/23/2006	Tsuyoshi Ozaki	06331/LH	5382

TITLE OF INVENTION: DISPLAY APPARATUS AND DRIVE CONTROL METHOD THEREOF

APPLN. TYPE	SMALL ENTITY	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	NO	\$1510	\$300	\$0	\$1810	06/29/2010

EXAMINER	ART UNIT	CLASS-SUBCLASS
SHANKAR, VIJAY	2629	345-204000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).
 Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.
 "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. Use of a Customer Number is required.

2. For printing on the patent front page, list
 (1) the names of up to 3 registered patent attorneys or agents OR, alternatively, 1 _____
 (2) the name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed. 2 **FRISHAUF, HOLTZ, GOODMAN & CHICK, P.C.**
 3 _____

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE: **CASIO COMPUTER CO., LTD.**
 (B) RESIDENCE: (CITY and STATE OR COUNTRY) **TOKYO, JAPAN**

Please check the appropriate assignee category or categories (will not be printed on the patent): Individual Corporation or other private group entity Government

4a. The following fee(s) are submitted:
 Issue Fee
 Publication Fee (No small entity discount permitted)
 Advance Order - # of Copies 2

4b. Payment of Fee(s): (Please first reapply any previously paid issue fee shown above)
 A check is enclosed.
 Payment by credit card. Form PTO-2038 is attached.
 The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment, to Deposit Account Number 06-1378 (enclose an extra copy of this form).

5. Change in Entity Status (from status indicated above)
 a. Applicant claims SMALL ENTITY status. See 37 CFR 1.27. b. Applicant is no longer claiming SMALL ENTITY status. See 37 CFR 1.27(g)(2).

NOTE: The Issue Fee and Publication Fee (if required) will not be accepted from anyone other than the applicant; a registered attorney or agent; or the assignee or other party in interest as shown by the records of the United States Patent and Trademark Office.

Authorized Signature *I. T. Volek* Date 6/25/10
 Typed or printed name IAN T. VOLEK Registration No. 59,240

This collection of information is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

"FEE ADDRESS" INDICATION FORM

Mail Stop: M. FEE
 Commissioner for Patents
 P.O. Box 1450,
 Alexandria, VA 22313-1450

Please recognize as the "Fee Address" under the provisions of 37 CFR 1.363 the following address:

CUSTOMER NUMBER 000197

COMPUTER PATENT ANNUITIES
 c/o Computer Patent Annuities North
 America LLC 225 Reinekers Lane
 Suite 400
 Alexandria, VA 22314

in the following listed application(s) for which the Issue Fee has been paid or patent(s).

PATENT NUMBER (if known)	APPLICATION NUMBER
	11/438,967



 Signature

Ian T. Volek, Reg. No. 59,240

FRISHAUF, HOLTZ, GOODMAN &
 CHICK, P.C.
 220 Fifth Avenue - 16th Floor
 New York, New York 10001-7708
 Tel. No. (212) 319-4900
 Fax No. (212) 319-5101

June 25, 2010

Date

Electronic Patent Application Fee Transmittal

Application Number:	11438967
Filing Date:	23-May-2006
Title of Invention:	DISPLAY APPARATUS AND DRIVE CONTROL METHOD THEREOF
First Named Inventor/Applicant Name:	Tsuyoshi Ozaki
Filer:	Leonard Holtz/Barbara Villani
Attorney Docket Number:	06331/LH

Filed as Large Entity

Utility under 35 USC 111(a) Filing Fees

Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
Utility Appl issue fee	1501	1	1510	1510
Publ. Fee- early, voluntary, or normal	1504	1	300	300

Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Extension-of-Time:				
Miscellaneous:				
Printed copy of patent - no color	8001	2	3	6
Total in USD (\$)				1816

Electronic Acknowledgement Receipt

EFS ID:	7892869
Application Number:	11438967
International Application Number:	
Confirmation Number:	5382
Title of Invention:	DISPLAY APPARATUS AND DRIVE CONTROL METHOD THEREOF
First Named Inventor/Applicant Name:	Tsuyoshi Ozaki
Customer Number:	01933
Filer:	Leonard Holtz/Barbara Villani
Filer Authorized By:	Leonard Holtz
Attorney Docket Number:	06331/LH
Receipt Date:	25-JUN-2010
Filing Date:	23-MAY-2006
Time Stamp:	12:33:57
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Credit Card
Payment was successfully received in RAM	\$1816
RAM confirmation Number	11736
Deposit Account	
Authorized User	

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
-----------------	----------------------	-----------	-------------------------------------	------------------	------------------

1		06331i.pdf	425713 f4c5eda820f94c3cab942c8d302664cee76fe2f1	yes	2
Multipart Description/PDF files in .zip description					
		Document Description	Start	End	
		Issue Fee Payment (PTO-85B)	1	1	
		Miscellaneous Incoming Letter	2	2	
Warnings:					
Information:					
2	Fee Worksheet (PTO-875)	fee-info.pdf	33818 de6edf6c6f34154f83d142da5d0751c1e80396d7	no	2
Warnings:					
Information:					
Total Files Size (in bytes):			459531		
<p>This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.</p> <p><u>New Applications Under 35 U.S.C. 111</u> If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.</p> <p><u>National Stage of an International Application under 35 U.S.C. 371</u> If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.</p> <p><u>New International Application Filed with the USPTO as a Receiving Office</u> If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.</p>					

INFORMATION DISCLOSURE STATEMENT BY APPLICANT				Application Number		11/438,967		
				Filing Date		May 23, 2006		
				First Named Inventor		Tsuyoshi OZAKI		
				Group Art Unit		2629		
				Examiner Name		VIJAY SHANKAR		
Sheet	1	of	1	Attorney Docket Number		06331/LH		
FOREIGN PATENT DOCUMENTS								
Examiner Initials*	Cite No.	Country Code	Document Number	Kind Code	Patentee or Applicant	Publication Date (MM-DD-YYYY)	Translation	
							Yes	Abstract Only
		JP	2005-006250	A	CASIO COMPUTER CO LTD	01-06-2005		
		JP	2005-107233	A	CASIO COMPUTER CO LTD	04-21-2005		
OTHER DOCUMENTS								
Examiner Initials*	Cite No.	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.						
		Japanese Office Action dated May 13, 2010 and English translation thereof in counterpart Japanese Application No. 2005-150566.						
Examiner Signature					Date Considered			

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

DATE MAILED OR TRANSMITTED: June 10, 2010

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-6250

(P2005-6250A)

(43) 公開日 平成17年1月6日(2005.1.6)

(51) Int. Cl. 7

F 1

テーマコード(参考)

H03F 3/343

H03F 3/343

A

3K007

G09G 3/20

G09G 3/20

612F

5C080

G09G 3/30

G09G 3/20

612U

5J500

H05B 33/14

G09G 3/20

621F

G09G 3/20

623B

審査請求 未請求 請求項の数 35 O L (全 43 頁) 最終頁に続く

(21) 出願番号 特願2003-170376(P2003-170376)

(22) 出願日 平成15年6月16日(2003.6.16)

(71) 出願人 000001443

カシオ計算機株式会社

東京都渋谷区本町1丁目6番2号

(74) 代理人 100096699

弁理士 鹿嶋 英實

(72) 発明者 白崎 友之

東京都八王子市石川町2951番地の5

カシオ計算機株式会

社八王子研究所内

(72) 発明者 岡澤 克彦

東京都八王子市石川町2951番地の5

カシオ計算機株式会

社八王子研究所内

Fターム(参考) 3K007 AB17 BA06 DB03 GA00 GA04

最終頁に続く

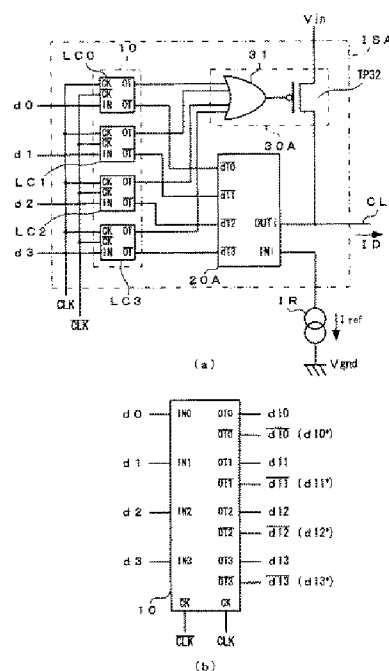
(54) 【発明の名称】 電流駆動回路及びその制御方法並びに該電流駆動回路を備えた表示装置

(57) 【要約】

【課題】表示画素に供給される階調電流が微小な場合であっても、該階調電流を生成する動作を迅速に実行することができるとともに、表示データに対応した適切な電流値の階調電流を生成することができ、かつ、適切な輝度階調で表示画素を発光動作させることができる電流駆動回路及びその制御方法、並びに、該電流駆動回路を備えた表示装置を提供する。

【解決手段】電流駆動回路ISAは、データラッチ部10から出力される複数ビットのデジタル信号d0~dの反転出力信号d10*~d13*に基づいて、所定の電流値を有する負荷駆動電流IDを生成し、駆動電流供給線CLに出力する電流生成部20Aと、データラッチ部10から出力される非反転出力信号d10~d13に基づいて、駆動電流供給線CLに対して特定電圧Vinを印加する特定状態設定部30Aと、を有している。

【選択図】 図1



【特許請求の範囲】**【請求項1】**

負荷に所定の電流値を有する駆動電流を供給して、該負荷を所望の駆動状態で動作させる電流駆動回路において、

少なくとも、

複数ビットのデジタル信号を保持する信号保持手段と、

定電流源から供給される基準電流に基づいて、前記複数ビットのデジタル信号の各ビットに対応する複数の単位電流を生成し、前記信号保持手段に保持された前記デジタル信号の各ビット値に応じて、前記単位電流を選択的に合成し、前記駆動電流として前記負荷に供給する駆動電流生成手段と、

前記負荷に特定電圧を印加して、少なくとも該負荷に付加された容量成分に蓄積された電荷を放電して、前記負荷を所定の低電位状態に初期化する特定状態設定手段と、
を備えていることを特徴とする電流駆動回路。

【請求項2】

前記特定状態設定手段は、前記デジタル信号に応じて前記単位電流の各々が全て非選択となる状態を判定するデジタル値判定部と、

前記デジタル値判定部による判定結果に基づいて、前記負荷を初期化するための前記特定電圧を印加する特定電圧印加部と、
を備えていることを特徴とする請求項1記載の電流駆動回路。

【請求項3】

前記駆動電流生成手段は、前記基準電流が流れる基準電流トランジスタと、前記各単位電流が流れる複数の単位電流トランジスタと、を具備し、前記基準電流トランジスタと前記複数の単位電流トランジスタとは、カレントミラー回路を構成していることを特徴とする請求項1又は2記載の電流駆動回路。

【請求項4】

前記駆動電流生成手段は、前記複数の単位電流が、前記複数ビットのデジタル信号の各々に対応して、前記基準電流に対して各々異なる比率の電流値を有するように設定されていることを特徴とする請求項1乃至3のいずれかに記載の電流駆動回路。

【請求項5】

前記複数の単位電流トランジスタは、トランジスタサイズが各々異なるように形成されていることを特徴とする請求項4記載の電流駆動回路。

【請求項6】

前記複数の単位電流トランジスタは、該各単位電流トランジスタの各チャンネル幅が、互いに 2^k ($k=0, 1, 2, 3, \dots$)で規定される、異なる比率に設定されていることを特徴とする請求項5記載の電流駆動回路。

【請求項7】

前記駆動電流生成手段は、前記基準電流の電流成分に応じた電荷を蓄積する電荷蓄積手段と、

前記電荷蓄積手段に保持された電荷量に基づいて前記複数の単位電流を生成する手段と、
を備えていることを特徴とする請求項1記載の電流駆動回路。

【請求項8】

前記駆動電流生成手段は、前記駆動電流の信号極性を、前記負荷側から引き込む方向に流すように設定することを特徴とする請求項1乃至7のいずれかに記載の電流駆動回路。

【請求項9】

前記駆動電流生成手段は、前記駆動電流の信号極性を、前記負荷に流し込む方向に流すように設定することを特徴とする請求項1乃至7のいずれかに記載の電流駆動回路。

【請求項10】

前記負荷は、前記駆動電流生成手段から供給される前記駆動電流の電流値に応じて、所定の輝度階調で発光動作する電流駆動型の発光素子を備えていることを特徴とする請求項1

乃至9のいずれかに記載の電流駆動回路。

【請求項11】

前記発光素子は、有機エレクトロルミネッセント素子であることを特徴とする請求項10記載の電流駆動回路。

【請求項12】

負荷に所定の電流値を有する駆動電流を供給して、該負荷を所望の駆動状態で動作させる電流駆動回路の制御方法において、
定電流源から供給される基準電流に基づいて、前記負荷の駆動状態を設定する複数ビットのデジタル信号の各ビットに対応する複数の単位電流を生成するステップと、
前記デジタル信号の各ビット値に応じて、前記複数の単位電流を選択的に合成し、前記駆動電流として前記負荷に供給するステップと、
前記負荷に前記駆動電流を供給するステップに先立って、前記負荷に特定電圧を印加して、前記負荷に付加された容量成分に蓄積された電荷を放電して、前記負荷を所定の低電位状態に初期化するステップと、
を含むことを特徴とする電流駆動回路の制御方法。

【請求項13】

前記特定電圧を前記負荷に対して印加するステップは、前記デジタル信号の各ビット値が前記単位電流の各々が全て非選択となる状態を判定し、該判定結果に基づいて実行されることを特徴とする請求項12記載の電流駆動回路の制御方法。

【請求項14】

前記複数の単位電流は、前記複数ビットのデジタル信号の各々に対応して、前記基準電流に対して各々異なる比率の電流値を有するように設定されていることを特徴とする請求項12又は13のいずれかに記載の電流駆動回路の制御方法。

【請求項15】

前記複数の単位電流の電流値は、互いに 2^k ($k=0, 1, 2, 3, \dots$)で規定される、異なる比率を有するように設定されていることを特徴とする請求項14記載の電流駆動回路の制御方法。

【請求項16】

前記負荷に前記駆動電流を供給するステップにおいて、前記複数ビットのデジタル信号は連続的に供給され、先に保持した前記複数ビットのデジタル信号に基づく前記駆動電流を前記負荷に供給する動作期間中に、次の前記複数ビットのデジタル信号を保持する動作を順次繰り返し実行することを特徴とする請求項12乃至15のいずれかに記載の電流駆動回路の制御方法。

【請求項17】

前記複数の単位電流を生成するステップは、
前記基準電流の電流成分に応じた電荷量を保持容量に蓄積するステップと、
前記保持容量に蓄積された電荷量に応じた電圧成分に基づいて、前記複数の単位電流を生成するステップと、
を含むことを特徴とする請求項12乃至16のいずれかに記載の電流駆動回路の制御方法。

【請求項18】

前記駆動電流の信号極性は、前記駆動電流が前記負荷から引き込む方向に流れるように設定されていることを特徴とする請求項12乃至17のいずれかに記載の電流駆動回路の制御方法。

【請求項19】

前記駆動電流の信号極性は、前記駆動電流が前記負荷に流し込む方向に流れるように設定されていることを特徴とする請求項12乃至17のいずれかに記載の電流駆動回路の制御方法。

【請求項20】

前記複数の負荷は、前記駆動電流の電流値に応じて、所定の輝度階調で発光動作する電流

駆動型の発光素子を備えていることを特徴とする請求項12乃至19いずれかに記載の電流駆動回路の制御方法。

【請求項21】

少なくとも、複数の走査線及び複数の信号線が相互に直交するように配設され、該走査線及び該信号線の交点に複数の表示画素がマトリクス状に配列された表示パネルと、前記各表示画素を行単位で選択状態にするための走査信号を前記走査線に印加する走査駆動手段と、表示信号に基づく駆動電流を、前記信号線を介して前記各表示画素に供給する信号駆動手段と、を備え、選択状態にある前記表示画素に対して、所定の電流値を有する前記駆動電流を供給することにより、前記表示パネルに所望の画像情報を表示する表示装置において、

前記信号駆動手段は、少なくとも、

前記表示信号に基づく複数ビットのデジタル信号を保持する信号保持手段と、

定電流源から供給される基準電流に基づいて、前記複数ビットのデジタル信号の各ビットに対応する複数の単位電流を生成し、前記信号保持手段に保持された前記デジタル信号の各ビット値に応じて、前記単位電流を選択的に合成し、前記駆動電流として前記表示画素に供給する駆動電流生成手段と、

前記複数の表示画素に特定電圧を印加して、少なくとも該表示画素に付加された容量成分に蓄積された電荷を放電して、前記表示画素を所定の低電位状態に初期化する特定状態設定手段と、

を有する電流駆動回路を複数具備することを特徴とする表示装置。

【請求項22】

前記特定状態設定手段は、前記デジタル信号に応じて前記単位電流の各々が全て非選択となる状態を判定するデジタル値判定部と、

前記デジタル値判定部による判定結果に基づいて、前記表示画素を初期化するための前記特定電圧を印加する特定電圧印加部と、

を備えていることを特徴とする請求項21記載の表示装置。

【請求項23】

前記駆動電流生成手段は、前記基準電流が流れる基準電流トランジスタと、前記各単位電流が流れる複数の単位電流トランジスタと、を具備し、前記基準電流トランジスタと前記複数の単位電流トランジスタとは、カレントミラー回路を構成していることを特徴とする請求項21又は22記載の表示装置。

【請求項24】

前記駆動電流生成手段は、前記複数の単位電流が、前記複数ビットのデジタル信号の各々に対応して、前記基準電流に対して各々異なる比率の電流値を有するように設定されていることを特徴とする請求項21乃至23のいずれかに記載の表示装置。

【請求項25】

前記複数の単位電流トランジスタは、トランジスタサイズが各々異なるように形成されていることを特徴とする請求項24記載の表示装置。

【請求項26】

前記複数の単位電流トランジスタは、該各単位電流トランジスタの各チャンネル幅が、互いに 2^k ($k=0, 1, 2, 3, \dots$)で規定される、異なる比率に設定されていることを特徴とする請求項25記載の表示装置。

【請求項27】

前記駆動電流生成手段は、前記基準電流の電流成分に応じた電荷を蓄積する電荷蓄積手段と、

前記電荷蓄積手段に保持された電荷量に基づいて前記複数の単位電流を生成する手段と、を備えていることを特徴とする請求項21記載の表示装置。

【請求項28】

前記駆動電流生成手段は、前記駆動電流の信号極性を、前記表示画素側から引き込む方向に流すように設定することを特徴とする請求項21乃至27のいずれかに記載の表示装置

。【請求項29】
前記駆動電流生成手段は、前記駆動電流の信号極性を、前記表示画素に流し込む方向に流すように設定することを特徴とする請求項21乃至27のいずれかに記載の表示装置。

【請求項30】
前記信号駆動手段は、少なくとも、前記信号線の各々に対して2組の前記電流駆動回路を備え、
一方の前記電流駆動回路において先に保持した前記複数ビットのデジタル信号に基づく前記駆動電流を前記表示画素に供給する動作期間中に、他方の前記電流駆動回路において次の前記複数ビットのデジタル信号を保持する動作を、交互に順次繰り返して実行することを特徴とする請求項21乃至29のいずれかに記載の表示装置。

【請求項31】
前記表示画素は、前記駆動電流生成手段から供給される前記駆動電流の電流値に応じて、所定の輝度階調で発光動作する電流駆動型の発光素子を備えていることを特徴とする請求項21乃至30のいずれかに記載の表示装置。

【請求項32】
少なくとも、複数の走査線及び複数の信号線が相互に直交するように配設され、該走査線及び該信号線の交点に複数の表示画素がマトリクス状に配列された表示パネルと、前記各表示画素を行単位で選択状態にするための走査信号を前記走査線に印加する走査駆動手段と、表示信号に基づく駆動電流を、前記信号線を介して前記各表示画素に供給する信号駆動手段と、を備え、選択状態にある前記表示画素に対して、所定の電流値を有する前記駆動電流を供給することにより、前記表示パネルに所望の画像情報を表示する表示装置において、

前記表示画素は、少なくとも、
前記駆動電流の電流値に応じた電荷を蓄積する電荷蓄積手段と、前記電荷蓄積手段に保持された電荷量に基づいて所定の電流値を有する発光駆動電流を生成する発光駆動手段と、特定電圧を印加することにより、少なくとも前記電荷蓄積手段に蓄積された電荷を放電して、該表示画素を所定の低電位状態に初期化する特定状態設定手段と、を有する電流駆動回路と、
前記発光駆動電流の電流値に応じて、所定の輝度階調で発光動作する電流駆動型の発光素子と、
を具備することを特徴とする表示装置。

【請求項33】
前記電流駆動回路は、前記発光駆動電流の信号極性を、前記発光素子素側から引き込む方向に流すように設定することを特徴とする請求項32記載の表示装置。

【請求項34】
前記電流駆動回路は、前記発光駆動電流の信号極性を、前記発光素子に流し込む方向に流すように設定することを特徴とする請求項32記載の表示装置。

【請求項35】
前記発光素子は、有機エレクトロルミネッセント素子であることを特徴とする請求項31乃至34のいずれかに記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電流駆動回路及びその制御方法並びに該電流駆動回路を備えた表示装置に関し、特に、画像表示信号（表示データ）に応じた電流を供給することにより所定の輝度階調で発光動作する電流駆動型（又は、電流指定型）の発光素子を備えた表示パネルに適用可能な電流駆動回路及びその制御方法、並びに、該電流駆動回路を備えた表示装置に関する。

【0002】

【従来の技術】

近年、パーソナルコンピュータや映像機器のモニタやディスプレイとして、液晶表示装置（LCD）等の陰極線管（CRT）に替わる表示装置や表示デバイスの普及が著しい。特に、液晶表示装置は、旧来の表示装置（CRT）に比較して、薄型軽量化、省スペース化、低消費電力化等が可能であるため、急速に普及している。また、比較的小型の液晶表示装置は、近年普及が著しい携帯電話やデジタルカメラ、携帯情報端末（PDA）等の表示デバイスとしても広く適用されている。

【0003】

このような液晶表示装置に続く次世代の表示デバイス（ディスプレイ）として、有機エレクトロルミネッセンス素子（以下、「有機EL素子」と略記する）や無機エレクトロルミネッセンス素子（以下、「無機EL素子」と略記する）、あるいは、発光ダイオード（LED）等のような自己発光型の光学要素（発光素子）を、マトリクス状に配列した表示パネルを備えた発光素子型のディスプレイ（表示装置）の本格的な実用化が期待されている。

【0004】

このような発光素子型ディスプレイ（特に、アクティブマトリクス駆動方式を適用した発光素子型ディスプレイ）においては、液晶表示装置に比較して、表示応答速度が速く、視野角依存性もなく、また、高輝度・高コントラスト化、表示画質の高精細化、低消費電力化等が可能であるとともに、液晶表示装置のようにバックライトを必要としないので、一層の薄型軽量化が可能であるという極めて優位な特徴を有している。

【0005】

このようなディスプレイの一例は、概略、行方向に配設された走査ラインと列方向に配設されたデータラインの各交点近傍に発光素子を含む表示画素が配列された表示パネルと、画像表示信号（表示データ）に応じた階調電流を生成して、データラインを介して各表示画素に供給するデータドライバと、所定のタイミングで走査信号を順次印加して特定の行の表示画素を選択状態にする走査ドライバと、を備え、各表示画素に供給された上記階調電流により、各発光素子が表示データに応じた所定の輝度階調で発光動作して、所望の画像情報が表示パネルに表示される。なお、発光素子型のディスプレイの具体例については、後述する発明の実施の形態において、詳しく説明する。

【0006】

ここで、上記ディスプレイにおける表示駆動動作としては、走査ドライバにより選択された特定の行の表示画素（発光素子）に対して、データドライバにより印加する階調信号電圧の電圧値を、表示データに応じて調整することにより、各発光素子に流す発光駆動電流の電流値を制御して、所定の輝度階調で発光動作させる電圧指定型の駆動方式や、データドライバにより供給する駆動電流（階調電流）の電流値を調整することにより、各発光素子に流す発光駆動電流の電流値を制御する電流指定型の駆動方式、あるいは、データドライバにより一定の電流値の駆動電流を供給する時間幅（信号幅）を、表示データに応じて調整することにより、各発光素子を所定の輝度階調で発光させるパルス幅変調（PWM）型の駆動方式等が知られている。

【0007】

このような表示駆動方式のうち、電圧指定型の駆動方式においては、各表示画素において階調信号電圧の電圧成分を電流成分に変換する画素駆動回路を備える必要があるが、この画素駆動回路を構成する能動素子（薄膜トランジスタ等）の特性は外的環境や経時変化による影響を受けやすく、そのため、発光駆動電流の電流値の変動が大きくなり、長期間にわたり安定的に所望の発光特性を得ることが困難であるという問題があるのに対して、表示画素に供給する駆動電流の電流値を調整する電流指定型の駆動方式においては、このような素子特性の変動を抑制することができるという優位性を有している。なお、電流指定型の駆動方式に適用される画素駆動回路の構成例については、詳しく後述する。

【0008】

そして、このような電流指定型の駆動方式を採用したディスプレイに適用されるデータドライバの具体的な構成としては、例えば、図18に示すように、電流路の一端側（エミッ

タ)が電源端子 TM_p に接続されるとともに、電流路の他端側(コレクタ)が基準電流入力端子 TM_r に接続されたトランジスタ TP_r と、電流路の一端側(エミッタ)が共通電源ライン L_p を介して上記電源端子 TM_p に共通に接続されるとともに、電流路の他端側(コレクタ)が個別の出力端子 OUT_1 、 OUT_2 、 \dots 、 OUT_m に接続され、かつ、各制御端子(ベース)が上記トランジスタ TP_r の制御端子(ベース)に並列的に接続された複数のトランジスタ TP_1 、 TP_2 、 \dots 、 TP_m からなるカレントミラー回路を基本構成として備えた定電流駆動回路を良好に適用することができる。

【0009】

このようなデータドライバにおいては、トランジスタ TP_r に流れる基準電流 I_r に応じて、複数のトランジスタ TP_1 、 TP_2 、 \dots 、 TP_m に流れる一定の電流値を有する駆動電流 IP_1 、 IP_2 、 \dots 、 IP_m を個別の出力端子 OUT_1 、 OUT_2 、 \dots 、 OUT_m を介して(もしくは、図示を省略した出力回路をさらに介して)、図示を省略した表示パネルを構成する複数の表示画素に一括して供給することにより、表示画素(発光素子)を発光動作させることができる。なお、図18に示したようなデータドライバ(定電流駆動回路)については、例えば、特許文献1等に、その基本構成や、出力電流間のバラツキを改善した構成が記載されている。

【0010】

また、データドライバの他の構成としては、例えば、図19に示すように、表示データに応じた電流値を有する電流を生成、出力する電流源 PI に共通の電流供給ライン Li を介して接続された複数のラッチ回路 LT_1 、 LT_2 、 \dots 、 LT_m と、該各ラッチ回路 LT_1 、 LT_2 、 \dots 、 LT_m に対応して設けられた出力回路 DO_1 、 DO_2 、 \dots 、 DO_m とを備えたものを良好に適用することができる。

【0011】

このようなデータドライバにおいては、電流源 PI から出力される表示データに応じた電流 Idt を、時系列的に入力されるラッチ制御信号 SL_1 、 SL_2 、 \dots 、 SL_m に基づいて、ラッチ回路 LT_1 、 LT_2 、 \dots 、 LT_m に順次保持し、所定のタイミングで入力される出力イネーブル信号 Sen に基づいて、出力回路 DO_1 、 DO_2 、 \dots 、 DO_m から個別の出力端子 OUT_1 、 OUT_2 、 \dots 、 OUT_m を介して、各ラッチ回路 LT_1 、 LT_2 、 \dots 、 LT_m に保持された電流 Idt に基づく駆動電流 ID_1 、 ID_2 、 \dots 、 ID_m を、表示パネルを構成する複数の表示画素に一括して供給する。ここで、図19においては、複数のラッチ回路及び出力回路からなる構成を一組のみ示したが、このような構成を二組設けて、一方のラッチ回路群に電流を順次保持している期間に、他方のラッチ回路群に保持された電流を出力するようにした構成を適用するものであってもよい。

【0012】

なお、図18、図19に示した従来技術においては、データドライバにより生成された駆動電流をデータドライバ側から表示パネル(表示画素)側に、流し込む方向に供給する場合について説明したが、上記特許文献1にも示されているように、データドライバにより生成された駆動電流を表示パネル(表示画素)側からデータドライバ側に、引き込む方向に供給するものも知られている。

【0013】

【特許文献1】

特開2002-202823号公報(第3頁、図2、図15)

【0014】

【発明が解決しようとする課題】

しかしながら、上述したような発光素子型ディスプレイにおいては、以下に示すような問題を有していた。

(1)すなわち、データドライバにより表示データに応じた駆動電流(階調電流)を表示画素ごとに生成し、出力端子に接続された各データラインを介して、特定行の各表示画素に一括して供給する従来の構成及び駆動制御方法においては、上記駆動電流が、表示データに対応して変化するとともに、各表示画素(データライン)に対応してデータドライバ

に個別に設けられたトランジスタやラッチ回路等の回路構成に、電流源から共通の電流供給ラインを介して供給される電流も変化することになる。

【0015】

一般に、信号配線には寄生容量（配線容量）が存在するため、上述したようなデータラインや電流供給ラインを介して所定の電流を供給する動作は、当該信号配線（データライン、電流供給ライン）に存在する寄生容量を所定の電位まで充電、あるいは、放電することに相当する。そのため、データラインや電流供給ラインを介して供給される電流が微少である場合には、データラインや電流供給ラインへの充放電動作に時間を要し、当該信号ラインの電位が安定するまでに所定の（ある程度の）時間を要することになる。

【0016】

一方、データドライバにおける動作は、データライン数（すなわち、表示画素数）が増加するほど、各データラインにおける電流の保持、供給動作等に割り当てられる動作期間が短くなって高速な動作を要求されるが、上述したようにデータラインや電流供給ラインへの充放電動作にある程度の時間を要するため、この充放電動作の速度に起因してデータドライバの動作速度が律速されてしまうという問題を有していた。すなわち、表示パネルの小型化や高精細化（高解像度化）等に伴って、データラインを介して供給される駆動電流の電流値が小さくなるほど、データドライバの動作速度（又は、動作期間）が制約されることになり、良好な画像表示動作を実現することが困難になるという問題を有していた。

【0017】

(2) また、上述したような電流指定型の駆動方式を採用した表示装置においては、データライン等への充放電動作に伴って、データライン等に付加された配線容量（寄生容量）や、発光素子の発光状態を保持するために表示画素に設けられた保持容量等の容量成分に、上記駆動電流に応じた電荷が蓄積されることになるが、表示画素（発光素子）を異なる輝度階調で連続的に発光動作させる場合には、表示データに応じた適切な輝度階調で発光動作させるために、先のタイミングにおける発光動作の際に、上記容量成分に蓄積された電荷を十分引き抜く（放電する）必要がある。一般に、この蓄積電荷の引き抜き動作は、表示画素（発光素子）等を介した自然放電により行われている。

【0018】

しかしながら、表示パネルに付加された容量成分が大きい場合には、各発光動作の際に蓄積される電荷量が大きくなり、低輝度階調に相当する駆動電流を指定して表示画素に書き込んだ場合（特に、最高輝度階調（あるいは、比較的高い輝度階調）から最低輝度階調（あるいは、比較的低い輝度階調）での発光状態へ表示状態を変化させた場合）等に、表示画素の選択期間（駆動電流の供給動作に割り当てられる期間）内で上述した蓄積電荷の引き抜きが十分行われず、残留電荷の影響により本来の表示データに応じた輝度階調が得られなくなり、表示階調特性の劣化が生じるという問題を有していた。

【0019】

そこで、本発明は、上述した課題に鑑み、発光素子を電流指定方式で発光制御するディスプレイにおいて、表示画素に供給される階調電流が微少な場合であっても、該階調電流を生成する動作を迅速に実行することができるとともに、表示データに対応した適切な電流値の階調電流を生成することができ、かつ、適切な輝度階調で表示画素を発光動作させることができる電流駆動回路及びその制御方法を提供し、以て、表示応答特性及び表示画質の向上を図ることができる表示装置を提供することを目的とする。

【0020】

【課題を解決するための手段】

請求項1記載の電流駆動回路は、負荷に所定の電流値を有する駆動電流を供給して、該負荷を所望の駆動状態で動作させる電流駆動回路において、少なくとも、複数ビットのデジタル信号を保持する信号保持手段と、定電流源から供給される基準電流に基づいて、前記複数ビットのデジタル信号の各ビットに対応する複数の単位電流を生成し、前記信号保持手段に保持された前記デジタル信号の各ビット値に応じて、前記単位電流を選択的に合成し、前記駆動電流として前記負荷に供給する駆動電流生成手段と、前記負荷に特定電圧を

印加して、少なくとも該負荷に付加された容量成分に蓄積された電荷を放電して、前記負荷を所定の低電位状態に初期化する特定状態設定手段と、を備えていることを特徴とする。

【0021】

請求項2記載の電流駆動回路は、請求項1記載の電流駆動回路において、前記特定状態設定手段は、前記デジタル信号に応じて前記単位電流の各々が全て非選択となる状態を判定するデジタル値判定部と、前記デジタル値判定部による判定結果に基づいて、前記負荷を初期化するための前記特定電圧を印加する特定電圧印加部と、を備えていることを特徴とする。

請求項3記載の電流駆動回路は、請求項1又は2記載の電流駆動回路において、前記駆動電流生成手段は、前記基準電流が流れる基準電流トランジスタと、前記各単位電流が流れる複数の単位電流トランジスタと、を具備し、前記基準電流トランジスタと前記複数の単位電流トランジスタとは、カレントミラー回路を構成していることを特徴とする。

【0022】

請求項4記載の電流駆動回路は、請求項1乃至3のいずれかに記載の電流駆動回路において、前記駆動電流生成手段は、前記複数の単位電流が、前記複数ビットのデジタル信号の各々に対応して、前記基準電流に対して各々異なる比率の電流値を有するように設定されていることを特徴とする。

請求項5記載の電流駆動回路は、請求項4記載の電流駆動回路において、前記複数の単位電流トランジスタは、トランジスタサイズが各々異なるように形成されていることを特徴とする。

【0023】

請求項6記載の電流駆動回路は、請求項5記載の電流駆動回路において、前記複数の単位電流トランジスタは、該各単位電流トランジスタの各チャンネル幅が、互いに 2^k ($k=0, 1, 2, 3, \dots$)で規定される、異なる比率に設定されていることを特徴とする。

請求項7記載の電流駆動回路は、請求項1記載の電流駆動回路において、前記駆動電流生成手段は、前記基準電流の電流成分に応じた電荷を蓄積する電荷蓄積手段と、前記電荷蓄積手段に保持された電荷量に基づいて前記複数の単位電流を生成する手段と、を備えていることを特徴とする。

請求項8記載の電流駆動回路は、請求項1乃至7のいずれかに記載の電流駆動回路において、前記駆動電流生成手段は、前記駆動電流の信号極性を、前記負荷側から引き込む方向に流すように設定することを特徴とする。

【0024】

請求項9記載の電流駆動回路は、請求項1乃至7のいずれかに記載の電流駆動回路において、前記駆動電流生成手段は、前記駆動電流の信号極性を、前記負荷に流し込む方向に流すように設定することを特徴とする。

請求項10記載の電流駆動回路は、請求項1乃至9のいずれかに記載の電流駆動回路において、前記負荷は、前記駆動電流生成手段から供給される前記駆動電流の電流値に応じて、所定の輝度階調で発光動作する電流駆動型の発光素子を備えていることを特徴とする。

請求項11記載の電流駆動回路は、請求項10記載の電流駆動回路において、前記発光素子は、有機エレクトロルミネッセント素子であることを特徴とする。

【0025】

請求項12記載の電流駆動回路の制御方法は、負荷に所定の電流値を有する駆動電流を供給して、該負荷を所望の駆動状態で動作させる電流駆動回路の制御方法において、定電流源から供給される基準電流に基づいて、前記負荷の駆動状態を設定する複数ビットのデジタル信号の各ビットに対応する複数の単位電流を生成するステップと、前記デジタル信号の各ビット値に応じて、前記複数の単位電流を選択的に合成し、前記駆動電流として前記負荷に供給するステップと、前記負荷に前記駆動電流を供給するステップに先立って、前記負荷に特定電圧を印加して、前記負荷に付加された容量成分に蓄積された電荷を放電して、前記負荷を所定の低電位状態に初期化するステップと、を含むことを特徴とする。

【0026】

請求項13記載の電流駆動回路の制御方法は、請求項12記載の電流駆動回路の制御方法において、前記特定電圧を前記負荷に対して印加するステップは、前記デジタル信号の各ビット値が前記単位電流の各々が全て非選択となる状態を判定し、該判定結果に基づいて実行されることを特徴とする。

請求項14記載の電流駆動回路の制御方法は、請求項12又は13のいずれかに記載の電流駆動回路の制御方法において、前記複数の単位電流は、前記複数ビットのデジタル信号の各々に対応して、前記基準電流に対して各々異なる比率の電流値を有するように設定されていることを特徴とする。

【0027】

請求項15記載の電流駆動回路の制御方法は、請求項14記載の電流駆動回路の制御方法において、前記複数の単位電流の電流値は、前記基準電流に対して、互いに 2^k ($k=0, 1, 2, 3, \dots$)で規定される、異なる比率を有するように設定されていることを特徴とする。

請求項16記載の電流駆動回路の制御方法は、請求項12乃至15のいずれかに記載の電流駆動回路の制御方法において、前記負荷に前記駆動電流を供給するステップにおいて、前記複数ビットのデジタル信号は連続的に供給され、先に保持した前記複数ビットのデジタル信号に基づく前記駆動電流を前記負荷に供給する動作期間中に、次の前記複数ビットのデジタル信号を保持する動作を順次繰り返して実行することを特徴とする。

【0028】

請求項17記載の電流駆動回路の制御方法は、前記複数の単位電流を生成するステップは、前記基準電流の電流成分に応じた電荷量を保持容量に蓄積するステップと、前記保持容量に蓄積された電荷量に応じた電圧成分に基づいて、前記複数の単位電流を生成するステップと、を含むことを特徴とする。

請求項18記載の電流駆動回路の制御方法は、請求項12乃至17のいずれかに記載の電流駆動回路の制御方法において、前記駆動電流の信号極性は、前記駆動電流が前記負荷から引き込む方向に流れるように設定されていることを特徴とする。

【0029】

請求項19記載の電流駆動回路の制御方法は、請求項12乃至17のいずれかに記載の電流駆動回路の制御方法において、前記駆動電流の信号極性は、前記駆動電流が前記負荷に流し込む方向に流れるように設定されていることを特徴とする。

請求項20記載の電流駆動回路の制御方法は、請求項12乃至19のいずれかに記載の電流駆動回路の制御方法において、前記複数の負荷は、前記駆動電流の電流値に応じて、所定の輝度階調で発光動作する電流駆動型の発光素子を備えていることを特徴とする。

【0030】

請求項21記載の表示装置は、少なくとも、複数の走査線及び複数の信号線が相互に直交するように配設され、該走査線及び該信号線の交点に複数の表示画素がマトリクス状に配列された表示パネルと、前記各表示画素を行単位で選択状態にするための走査信号を前記走査線に印加する走査駆動手段と、表示信号に基づく駆動電流を、前記信号線を介して前記各表示画素に供給する信号駆動手段と、を備え、選択状態にある前記表示画素に対して、所定の電流値を有する前記駆動電流を供給することにより、前記表示パネルに所望の画像情報を表示する表示装置において、前記信号駆動手段は、少なくとも、前記表示信号に基づく複数ビットのデジタル信号を保持する信号保持手段と、定電流源から供給される基準電流に基づいて、前記複数ビットのデジタル信号の各ビットに対応する複数の単位電流を生成し、前記信号保持手段に保持された前記デジタル信号の各ビット値に応じて、前記単位電流を選択的に合成し、前記駆動電流として前記表示画素に供給する駆動電流生成手段と、前記複数の表示画素に特定電圧を印加して、少なくとも該表示画素に付加された容量成分に蓄積された電荷を放電して、前記表示画素を所定の低電位状態に初期化する特定状態設定手段と、を有する電流駆動回路を複数具備することを特徴とする。

【0031】

請求項 2 2 記載の表示装置は、請求項 2 1 記載の表示装置において、前記特定状態設定手段は、前記デジタル信号に応じて前記単位電流の各々が全て非選択となる状態を判定するデジタル値判定部と、前記デジタル値判定部による判定結果に基づいて、前記表示画素を初期化するための前記特定電圧を印加する特定電圧印加部と、を備えていることを特徴とする。

請求項 2 3 記載の表示装置は、請求項 2 1 又は 2 2 記載の表示装置において、前記駆動電流生成手段は、前記基準電流が流れる基準電流トランジスタと、前記各単位電流が流れる複数の単位電流トランジスタと、を具備し、前記基準電流トランジスタと前記複数の単位電流トランジスタとは、カレントミラー回路を構成していることを特徴とする。

【0032】

請求項 2 4 記載の表示装置は、請求項 2 1 乃至 2 3 のいずれかに記載の表示装置において、前記駆動電流生成手段は、前記複数の単位電流が、前記複数ビットのデジタル信号の各々に対応して、前記基準電流に対して各々異なる比率の電流値を有するように設定されていることを特徴とする。

請求項 2 5 記載の表示装置は、請求項 2 4 記載の表示装置において、前記複数の単位電流トランジスタは、トランジスタサイズが各々異なるように形成されていることを特徴とする。

【0033】

請求項 2 6 記載の表示装置は、請求項 2 5 記載の表示装置において、前記複数の単位電流トランジスタは、該各単位電流トランジスタの各チャンネル幅が、互いに 2^k ($k=0, 1, 2, 3, \dots$) で規定される、異なる比率に設定されていることを特徴とする。

請求項 2 7 記載の表示装置は、請求項 2 1 記載の表示装置において、前記駆動電流生成手段は、前記基準電流の電流成分に応じた電荷を蓄積する電荷蓄積手段と、前記電荷蓄積手段に保持された電荷量に基づいて前記複数の単位電流を生成する手段と、を備えていることを特徴とする。

【0034】

請求項 2 8 記載の表示装置は、請求項 2 1 乃至 2 7 のいずれかに記載の表示装置において、前記駆動電流生成手段は、前記駆動電流の信号極性を、前記表示画素側から引き込む方向に流すように設定することを特徴とする。

請求項 2 9 記載の表示装置は、請求項 2 1 乃至 2 7 のいずれかに記載の表示装置において、前記駆動電流生成手段は、前記駆動電流の信号極性を、前記表示画素に流し込む方向に流すように設定することを特徴とする。

【0035】

請求項 3 0 記載の表示装置は、請求項 2 1 乃至 2 9 のいずれかに記載の表示装置において、前記信号駆動手段は、少なくとも、前記信号線の各々に対して 2 組の前記電流駆動回路を備え、一方の前記電流駆動回路において先に保持した前記複数ビットのデジタル信号に基づく前記駆動電流を前記表示画素に供給する動作期間中に、他方の前記電流駆動回路において次の前記複数ビットのデジタル信号を保持する動作を、交互に順次繰り返して実行することを特徴とする。

請求項 3 1 記載の表示装置は、請求項 2 1 乃至 3 0 のいずれかに記載の表示装置において、前記表示画素は、前記駆動電流生成手段から供給される前記駆動電流の電流値に応じて、所定の輝度階調で発光動作する電流駆動型の発光素子を備えていることを特徴とする。

【0036】

請求項 3 2 記載の表示装置は、少なくとも、複数の走査線及び複数の信号線が相互に直交するように配設され、該走査線及び該信号線の交点に複数の表示画素がマトリクス状に配列された表示パネルと、前記各表示画素を行単位で選択状態にするための走査信号を前記走査線に印加する走査駆動手段と、表示信号に基づく駆動電流を、前記信号線を介して前記各表示画素に供給する信号駆動手段と、を備え、選択状態にある前記表示画素に対して、所定の電流値を有する前記駆動電流を供給することにより、前記表示パネルに所望の画像情報を表示する表示装置において、前記表示画素は、少なくとも、前記駆動電流の電流

値に応じた電荷を蓄積する電荷蓄積手段と、前記電荷蓄積手段に保持された電荷量に基づいて所定の電流値を有する発光駆動電流を生成する発光駆動手段と、特定電圧を印加することにより、少なくとも前記電荷蓄積手段に蓄積された電荷を放電して、該表示画素を所定の低電位状態に初期化する特定状態設定手段と、を有する電流駆動回路と、前記発光駆動電流の電流値に応じて、所定の輝度階調で発光動作する電流駆動型の発光素子と、を具備することを特徴とする。

【0037】

請求項3記載の表示装置は、請求項2記載の表示装置において、前記電流駆動回路は、前記発光駆動電流の信号極性を、前記発光素子側から引き込む方向に流すように設定することを特徴とする。

請求項4記載の表示装置は、請求項2記載の表示装置において、前記電流駆動回路は、前記発光駆動電流の信号極性を、前記発光素子に流し込む方向に流すように設定することを特徴とする。

請求項5記載の表示装置は、請求項3乃至4のいずれかに記載の表示装置において、前記発光素子は、有機エレクトロルミネッセント素子であることを特徴とする。

【0038】

すなわち、本発明に係る電流駆動回路及びその制御方法は、有機EL素子や発光ダイオード等のように、電流値に応じて所定の駆動状態（発光輝度）で動作する負荷（表示画素、発光素子）に対して、所定の電流値を有する負荷駆動電流（階調電流、発光駆動電流）を個別に供給する電流駆動回路であって、負荷の駆動状態を設定する負荷制御信号（複数ビットのデジタル信号、階調電流）を保持する手段（信号保持手段、電荷蓄積手段）と、該制御信号に対応した電流値を有する負荷駆動電流（階調電流、発光駆動電流）を生成して出力する手段（駆動電流生成手段）と、少なくとも、負荷に付加された容量成分（寄生容量、保持容量）に蓄積された電荷を放電する手段（特定状態設定手段）と、を備え、上記駆動電流生成手段により制御信号に基づいて生成された負荷駆動電流を負荷に出力する動作に先立って、負荷に付加された容量成分に蓄積された電荷を放電して、例えば、負荷に電荷が蓄積されていない状態に設定（初期化、リセット）するように構成されている。

【0039】

ここで、上記制御信号の保持手段（信号保持手段）は、例えば、負荷の駆動状態を設定する複数ビットのデジタル信号を並列的に取り込んで保持し、駆動電流生成手段は、定電流源から供給される基準電流に基づいて、上記複数ビットのデジタル信号の各ビットに対応する複数の単位電流を生成し、保持されたデジタル信号の各ビット値に応じて、各単位電流を選択的に合成することにより所定の電流値を有する負荷駆動電流を生成して負荷に供給する。

【0040】

なお、駆動電流生成手段は、上記基準電流が流れる基準電流トランジスタと、上記複数の単位電流が各々流れる複数の単位電流トランジスタと、を具備したカレントミラー回路構成を適用することができ、特に、複数の単位電流トランジスタの各チャンネル幅が相互に異なるように設定することにより、一定の基準電流に対して各々異なる比率の電流値を有する複数の単位電流が生成される回路構成を適用することができる。

【0041】

これにより、負荷に直接駆動電流を供給する電流駆動回路において、一定の基準電流、及び、複数ビットのデジタル信号に基づいて、負荷を所望の駆動状態で動作させることができる電流値を有する負荷駆動電流を生成できるとともに、負荷駆動電流の生成に関連して供給される制御信号（デジタル信号及び基準電流）が電位変動をほとんど生じることがないので、負荷駆動電流の電流値が微少な場合や、負荷への負荷駆動電流の供給時間が短い場合であっても、上記制御信号を供給する信号線に付加する配線容量（寄生容量）への充放電動作に起因する信号遅延の影響を排除することができ、電流駆動回路の動作速度の低下を抑制して、負荷をより迅速かつ的確な駆動状態で動作させることができる。

【0042】

また、上記特定状態設定手段は、複数ビットのデジタル信号による単位電流の各々が全て非選択となる状態（駆動電流が生成されない状態）を判定して、上記信号保持手段における複数ビットのデジタル信号の保持動作、及び、駆動電流生成手段における該デジタル信号に応じた負荷駆動電流の生成、供給動作に先立つタイミングで、負荷及負荷に負荷駆動電流を供給する駆動電流供給線に対して、所定の低電位からなる特定電圧を印加して、配線容量や負荷に設けられた保持容量等の容量成分に蓄積された電荷を放電して初期化（リセット）するように制御する。

【0043】

これにより、負荷に負荷駆動電流を供給するタイミングに先立って、駆動電流供給線や負荷の電位が一定の低電位状態にリセットされるので、例えば、負荷を比較的高い階調の駆動状態から比較的低い階調の駆動状態に移行させる場合や、負荷駆動電流の供給時間が短く設定されている場合であっても、配線容量や保持容量等の容量成分に蓄積された電荷の影響を排除して、駆動電流供給線や負荷の信号レベルを迅速に、負荷駆動電流に応じた適切な電位に安定化させることができ、負荷を適切な駆動状態で動作させることができる。なお、特定状態設定手段は、上述したような複数ビットのデジタル信号からなる制御信号に限らず、コントローラ等により直接制御信号を供給して、負荷及駆動電流供給線に対して、特定電圧を印加して容量成分に蓄積された電荷を放電するようにすることもできる。

【0044】

そして、本発明に係る表示装置においては、相互に直交する走査ライン（走査線）及びデータライン（信号線）の交点近傍に、発光素子を備えた表示画素をマトリクス状に配列してなる表示パネルを備えた表示装置において、上述したような電流駆動回路をデータドライバ（信号駆動手段）に適用し、表示パネルの所定の行に配列された表示画素群の選択期間に、上記信号保持手段に保持した複数ビットのデジタル信号（表示データ）に基づいて階調電流生成回路（駆動電流生成手段）において生成された特定の単位電流の合成電流を、階調電流（負荷駆動電流）として表示画素に供給する電流生成供給動作に先立って、データライン及び表示画素に対して所定の低電位からなるリセット電圧（特定電圧）を印加して、該データラインや表示画素に残留する電荷を放電して低電位状態に初期化（リセット）するように構成されている。

【0045】

これにより、階調電流生成回路により表示画素に供給される階調電流が、一定の基準電流、及び、複数ビットのデジタル信号に基づいて生成されるので、表示画素を比較的低い輝度階調で発光動作させる場合（階調電流の電流値が微少な場合）や、表示パネルの高精細化等に伴って表示画素への階調電流の供給時間（選択時間）が短く設定されている場合であっても、階調電流の生成に関連してデータドライバ（階調電流生成回路）に供給される信号による、データライン等への充放電動作に起因する伝達遅延の影響を排除することができ、データドライバの動作速度の低下を抑制して、表示装置における表示応答特性並びに表示画質の向上を図ることができる。

【0046】

また、この場合、各表示画素への階調電流の供給動作に先立って、各データラインに一定の低電圧からなるリセット電圧（特定電圧）を印加して、データラインに付加された配線容量（寄生容量）や表示画素の保持容量等の容量成分に蓄積された電荷を充分放電することができるので、新たな表示データに基づく階調電流を書き込む場合（特に、比較的高い輝度階調で発光動作を行った直後に、比較的低い輝度階調で発光動作を行う場合や、表示画素の選択期間が短く設定されている場合であっても）、上記容量成分に残留する電荷による影響を排除することができ、信号レベルの安定化までの所要時間を短縮して表示画素への書込速度を高めて、表示装置の表示応答特性及び表示画質を向上させることができる。

【0047】

なお、本発明に係る表示装置においては、表示画素が接続された各列のデータラインごと

に2組の階調電流生成回路(電流駆動回路)を備え、該2組の階調電流生成回路を交互に選択状態に設定して、一方の階調電流生成回路から所定の行の表示画素群に階調電流を供給する動作を実行しつつ、並行して、他方の階調電流生成回路において、次の行の表示画素に対応した表示データ(複数ビットのデジタル信号)を取り込み保持する動作を実行するように構成したものであってもよい。これによれば、特定の行の表示画素に階調電流を供給する動作と、次行の表示画素に供給する階調電流を生成するための表示データを取り込む動作を、2組の階調電流生成回路により交互に繰り返して実行することにより、各行の表示画素に対して連続的に階調電流を生成して供給することができるので、実質的にデータドライバの動作速度を向上させて、表示装置の画質の向上を図ることができる。

【0048】

また、本発明に係る表示装置においては、上述したような電流駆動回路の技術思想、すなわち、駆動電流を負荷に供給する動作に先立って、特定電圧を印加することにより、駆動電流供給線(データライン)や負荷に付加された容量成分に残留する電荷を所定の低電位電源(接地電位)に放電するという概念を、表示画素(画素駆動回路)に適用し、表示画素に設けられた保持容量に蓄積された電荷を、リセット電圧を印加することにより放電するスイッチ手段(特定状態設定手段)を備え、データドライバから表示データに応じた階調電流を、データラインを介して表示画素に供給する書込動作に先立って、上記スイッチ手段を制御して、残留電荷を接地電位に放電するように構成されている。

【0049】

これにより、表示画素に付加された容量成分に蓄積された電荷を十分に放電して、所定の低電位状態に初期化することができるので、表示データに基づいて生成された階調電流に応じた適切な電荷量を蓄積することができ、発光素子に供給する発光駆動電流(駆動電流)を表示データに応じた適切な電流値に設定することができる。したがって、表示画素に付加された容量成分への充放電動作に起因する、表示パネルへの書込速度の低下を抑制して、表示応答特性を向上させることができるとともに、各表示画素を表示データに応じた適切な輝度階調で発光動作させることができ、良好な階調表示を実現することができる。

【0050】

【発明の実施の形態】

以下、本発明に係る電流駆動回路及びその制御方法並びに電流駆動回路を備えた表示装置について、実施の形態を示して詳しく説明する。

<電流駆動回路の第1の実施形態>

まず、本発明に係る電流駆動回路及びその制御方法について、図面を参照して説明する。

図1は、本発明に係る電流駆動回路の第1の実施形態を示す概略構成図である。

【0051】

図1(a)に示すように、本実施形態に係る電流駆動回路ISAは、電流値を指定するための複数ビットのデジタル信号(本実施形態においては、4ビットの場合を示す;負荷制御信号)d0、d1、d2、d3(d0~d3)を個別に取り込んで保持(ラッチ)するラッチ回路LC0、LC1、LC2、LC3(LC0~LC3)を備えたデータラッチ部(信号保持手段)10と、定電流発生源(定電流源)IRから供給される一定の電流値を有する基準電流Irefを取り込み、上記データラッチ部10(各ラッチ回路LC0~LC3)から出力される出力信号(反転出力信号)d10*、d11*、d12*、d13*(d10*~d13*;以下、本明細書中では、反転極性を示す記号を、便宜的に「*」を用いて示す。図1(a)の符号参照)に基づいて、基準電流Irefに対して所定比率の電流値を有する負荷駆動電流(駆動電流)IDを生成し、駆動電流供給線CLを介して図示を省略した負荷に出力する電流生成部(駆動電流生成手段)20Aと、上記データラッチ部10(各ラッチ回路LC0~LC3)から出力される出力信号(非反転出力信号)d10~d13に基づいて、負荷(駆動電流供給線CL)に対して特定電圧Vinを印加する特定状態設定部(特定状態設定手段)30Aと、を有して構成されている。ここで、本実施形態においては、定電流発生源IRは、電流生成部20Aから基準電流Irefを引き抜く方向に流すように、他端側が低電位電源(例えば、接地電位)Vgndに接続

されている。

【0052】

なお、図1(a)に示したデータラッチ部10の構成は、本明細書においては、便宜的に図1(b)に示すような回路記号で表す。図1(b)において、IN0～IN3は、各々、図1(a)に示した各ラッチ回路LC0～LC3の入力接点INを示し、OT0～OT3は、各々、各ラッチ回路LC0～LC3の非反転出力接点OTを示し、OT0*～OT3*は、各々、各ラッチ回路LC0～LC3の反転出力接点OT*を示す。

【0053】

以下、上記各構成について、具体的に説明する。

(データラッチ部10)

データラッチ部10は、図1に示すように、デジタル信号d0～d3のビット数(4ビット)に応じた数のラッチ回路LC0～LC3が並列に設けられた構成を有し、図示を省略したタイミングジェネレータやシフトレジスタ等から出力されるタイミング制御信号(非反転クロック信号)CLK、(反転クロック信号)CLK*に基づいて、該タイミング制御信号CLKがハイレベル(CLK*がローレベル)となるタイミングで、各々個別に供給される上記デジタル信号d0～d3を同時に取り込み、タイミング制御信号CLKがローレベル(CLK*がハイレベル)となるタイミングで、取り込んだデジタル信号d0～d3に基づく信号レベル(非反転レベル及び反転レベル)を出力、保持する動作(信号保持動作)を実行する。

【0054】

(電流生成部20A)

図2は、本実施形態に係る電流駆動回路に適用される電流生成部の一具体例を示す回路概念図である。

電流生成部20Aは、図2に示すように、基準電流Irefに対して、各々、異なる比率の電流値を有する複数の単位電流I_{sa}、I_{sb}、I_{sc}、I_{sd}(I_{sa}～I_{sd})を生成するカレントミラー回路部21Aと、上記複数の単位電流I_{sa}～I_{sd}のうち、上述したデータラッチ部10の各ラッチ回路LC0～LC3から出力される出力信号(反転出力信号)d10*～d13*(図1に示した反転出力接点OT0*～OT3*の信号レベル)に基づいて、任意の単位電流を選択するスイッチ回路部22Aと、を備えている。

【0055】

電流生成部20Aに適用されるカレントミラー回路部21Aは、具体的には、定電流発生源IRから基準電流Irefが供給される(引き抜かれる)電流入力接点INiと高電位電源+Vに接続された電源接点(以下、「高電位電源+V」と記す)との間に、電流路(ソースドレイン端子)が接続されるとともに、制御端子(ゲート端子)が接点Ngaに接続され、所定のチャネル幅を有するpチャネル型の電界効果型トランジスタ(以下、「pチャネル型トランジスタ」と略記する)からなる基準電流トランジスタTP11と、各接点Na、Nb、Nc、Ndと高電位電源+Vとの間に、各々、電流路が並列に接続されるとともに、各制御端子が上記接点Ngaに共通に接続され、各々所定のチャネル幅を有するpチャネル型トランジスタからなる単位電流トランジスタTP12、TP13、TP14、TP15と、を備えた構成を有している。ここで、接点Ngaは、電流入力接点INiに直接接続されているとともに、容量Caを介して高電位電源+Vに接続されている。

なお、図2においては、カレントミラー回路部21Aを構成する各電界効果型トランジスタのトランジスタサイズの大小関係を、トランジスタの回路記号の幅を変えることで便宜的かつ概念的に示した。

【0056】

また、電流生成部20Aに適用されるスイッチ回路部22Aは、負荷が接続される電流出力接点OUTiと上記各接点Na、Nb、Nc、Ndとの間に電流路が接続されるとともに、制御端子に上記データラッチ部10の各ラッチ回路LC0～LC3から個別に出力される出力信号d10*～d13*が並列的に印加される複数(4個)のpチャネル型トラ

ンジスタからなるスイッチトランジスタTP16、TP17、TP18、TP19と、を備えた構成を有している。

【0057】

このような構成を有する電流生成部20Aにおいて、特に、カレントミラー回路部21Aを構成する各単位電流トランジスタTP12～TP15に流れる単位電流 $I_{sa} \sim I_{sd}$ が、基準電流トランジスタTP11に流れる基準電流 I_{ref} に対して、各々異なる所定の比率の電流値を有するように設定されている。

具体的には、各単位電流トランジスタTP12～TP15のトランジスタサイズが、各々異なる比率、例えば、各単位電流トランジスタTP12～TP15を構成する電界効果型トランジスタにおいて、チャンネル長を一定とした場合の各チャンネル幅の比が、 $W12 : W13 : W14 : W15 = 1 : 2 : 4 : 8$ になるように形成されている。ここで、 $W12$ は、単位電流トランジスタTP12のチャンネル幅を示し、 $W13$ は、単位電流トランジスタTP13のチャンネル幅を示し、 $W14$ は、単位電流トランジスタTP14のチャンネル幅を示し、 $W15$ は、単位電流トランジスタTP15のチャンネル幅を示す。

【0058】

これにより、各単位電流トランジスタTP12～TP15に流れる単位電流 $I_{sa} \sim I_{sd}$ の電流値は、基準電流トランジスタTP11のチャンネル幅を $W11$ とすると、各々 $I_{sa} = (W12/W11) \times I_{ref}$ 、 $I_{sb} = (W13/W11) \times I_{ref}$ 、 $I_{sc} = (W14/W11) \times I_{ref}$ 、 $I_{sd} = (W15/W11) \times I_{ref}$ に設定される。したがって、単位電流トランジスタTP12～TP15の各チャンネル幅を、互いに 2^k ($k=0, 1, 2, 3, \dots$; $2^k=1, 2, 4, 8, \dots$)の比率を有するように設定することにより、単位電流間の電流値を 2^k で規定される比率に設定することができる。

【0059】

このように電流値が設定された各単位電流 $I_{sa} \sim I_{sd}$ から、後述するように、複数ビットのデジタル信号 $d0 \sim d3$ (すなわち、データラッチ部10からの出力信号 $d10^* \sim d13^*$)に基づいて、任意の単位電流を選択して合成することにより、 2^k 段階の電流値を有する負荷駆動電流 I_D が生成される。したがって、図1、図2に示したように、4ビットのデジタル信号 $d0 \sim d3$ を適用した場合、各単位電流トランジスタTP12～TP15に接続されるスイッチトランジスタTP16～TP19のオン状態に応じて、 $2^4 = 16$ 段階(階調)の異なる電流値を有する負荷駆動電流 I_D が生成される。

【0060】

すなわち、このような構成を有する電流生成部20Aにおいては、上記ラッチ回路LC0～LC3から出力される出力信号 $d10^* \sim d13^*$ の信号レベルに応じて、スイッチ回路部22Aのうちの、特定のスイッチトランジスタがオン動作(スイッチトランジスタTP16～TP19のいずれか1つ以上がオン動作する場合のほか、いずれのスイッチトランジスタTP16～TP19もオフ動作する場合を含む)し、該オン動作したスイッチトランジスタに接続されたカレントミラー回路部22Aの単位電流トランジスタ(TP12～TP15のいずれか1つ以上の組み合わせ)に、基準電流トランジスタTP11に流れる基準電流 I_{ref} に対して、所定比率($a \times 2^k$ 倍; a は基準電流トランジスタTP11のチャンネル幅 $W11$ により規定される定数)の電流値を有する単位電流 $I_{sa} \sim I_{sd}$ が流れ、上述したように、電流出力接点OUT $_i$ において、これらの単位電流の合成値となる電流値を有する負荷駆動電流 I_D が、高電位電源+Vから、オン状態にあるスイッチトランジスタ(TP16～TP19のいずれか)に接続された単位電流トランジスタ(TP12～TP15のいずれか)及び電流出力接点OUT $_i$ を介して、図示を省略した負荷方向に流れる。

【0061】

これにより、本実施形態に係る電流駆動回路ISAにおいては、タイミング制御信号CLK、CLK*により規定されるタイミングで、データラッチ部21Aに入力される複数ビットのデジタル信号 $d0 \sim d3$ に応じて、電流生成部22Aにより所定の電流値を有する

アナログ電流からなる負荷駆動電流 I_D が生成されて、負荷 L_D に供給されることになる（本実施形態においては、上述したように、電流駆動回路側から負荷方向に負荷駆動電流が流し込まれる）。

【0062】

（特定状態設定部 30A）

また、特定状態設定部 30A は、図 1（a）に示すように、上記ラッチ回路 $LC0 \sim LC3$ の各々から出力される出力信号（非反転出力信号） $d10 \sim d13$ を入力信号とする論理和演算回路（デジタル値判定部；以下、「OR 回路」と略記する）31 と、該 OR 回路 31 からの出力端が制御端子（ゲート）に、電流路の一端側が特定電圧（リセット電圧） V_{in} を印加する電圧源に、他端側が駆動電流供給線 CL （もしくは、上記電流生成部 20A の電流出力接点 OUT_i ）に、各々接続された p チャネル型トランジスタからなる特定電圧印加トランジスタ（特定電圧印加部） $TP32$ と、を備えた構成を有している。ここで、特定電圧印加トランジスタ $TP32$ を介して駆動電流供給線 CL に印加される特定電圧 V_{in} は、図示を省略した負荷を最低階調で動作させる場合に駆動電流供給線 CL に印加される一定の低電圧、例えば、接地電位 $V_{gnd} (= 0V)$ に設定されている。

【0063】

そして、このような構成を有する特定状態設定部 30A においては、OR 回路 31 により、上記ラッチ回路 $LC0 \sim LC3$ から出力される出力信号 $d10 \sim d13$ の信号レベルが全て“0”となる特定状態であるか否かが判別され、該特定状態においてのみ、特定電圧印加トランジスタ $TP32$ がオン動作して、駆動電流供給線 CL を介して負荷に特定電圧（リセット電圧） V_{in} が印加される。これにより、負荷及び駆動電流供給線 CL に付加された容量成分に蓄積された電荷が接地電位に放電される。

【0064】

なお、本実施形態においては、電流駆動回路に接続された負荷に対して、電流駆動回路側から負荷駆動電流を流し込むように構成した場合（以下、便宜的に、「電流印加方式」と記す）について示したが、本発明においては、負荷側から電流駆動回路方向に負荷駆動電流を引き込むように構成（以下、便宜的に、「電流シンク方式」と記す）したものであってもよい。以下、電流シンク方式に対応した電流駆動回路について、簡単に後述する。

【0065】

<電流駆動回路の第 2 の実施形態>

図 3 は、本発明に係る電流駆動回路の第 2 の実施形態を示す概略構成図であり、図 4 は、本実施形態に係る電流駆動回路に適用される電流生成部の一具体例を示す回路構成図である。ここで、上述した実施形態と同等の構成については、同一の符号を付して、その説明を簡略化する。

【0066】

図 3 に示すように、本実施形態に係る電流駆動回路 ISB は、上述した第 1 の実施形態（図 1 参照）と同等の構成を有するデータラッチ部 10 と、データラッチ部 10（ラッチ回路 $LC0 \sim LC3$ ）の非反転出力端子に並列的に接続された電流生成部 20B 及特定状態設定部 30B と、を有して構成されている。ここで、本実施形態においては、電流生成部 20B に接続された定電流発生源 IR は、電流生成部 20B に基準電流 I_{ref} を流し込むように、他端側が高電位電源 $+V$ に接続されている。

【0067】

本実施形態に係る電流生成部 20B は、図 4 に示すように、概略、上述した実施形態（図 2 参照）と略同等の回路構成を有するカレントミラー回路部 21B 及びスイッチ回路部 22B と、を備え、各ラッチ回路 $LC0 \sim LC3$ からの出力信号（非反転出力信号） $d10 \sim d13$ に基づいて、基準電流 I_{ref} に対して、所定比率の電流値を有する複数の単位電流 I_{sh} 、 I_{si} 、 I_{sj} 、 I_{sk} を任意に選択、合成して生成される負荷駆動電流 I_D を負荷に供給するように構成されている。

【0068】

電流生成部 20B は、具体的には、カレントミラー回路部 21B 及びスイッチ回路部 22

Bを構成する全てのトランジスタTN21～TN29がnチャンネル型からなり、基準電流トランジスタTN21は、電流路が電流入力接点INiと低電位電源Vgndとの間に接続されるとともに、制御端子が電流入力接点INiに接続された接点Ngbに接続されている。接点Ngbと低電位電源Vgndとの間には容量Cbが接続されている。また、単位電流トランジスタTN22～TN25は、各々、電流路が接点Nh、Ni、Nj、Nkと低電位電源Vgndとの間に接続されるとともに、制御端子が接点Ngbに共通に接続され、また、スイッチング用のトランジスタTN26～TN29は、各々、電流路が上記接点Nh、Ni、Nj、Nkと電流出力接点OUTiとの間に接続されるとともに、制御端子にデータラッチ部10（ラッチ回路LC0～LC3）から出力される出力信号d10～d13が並列的に印加されるように構成されている。

【0069】

ここで、本実施形態においても、カレントミラー回路部21Bを構成する各単位電流トランジスタTN22～TN25のトランジスタサイズ（すなわち、チャンネル長を一定とした場合のチャンネル幅）が、基準電流トランジスタTN21を基準として、所定の比率になるように形成され、各電流路に流れる単位電流Ish～Iskが、基準電流Irefに対して、各々異なる所定の比率の電流値を有するように設定されている。

【0070】

これにより、本実施形態に係る電流生成部20Bにおいても、データラッチ部10（ラッチ回路LC0～LC3）から出力される出力信号d10～d13の信号レベルに応じて、スイッチ回路部22Bの特定のトランジスタTN26～TN29がオン動作して、単位電流トランジスタTN22～TN25を介して基準電流Irefの所定比率倍の電流値を有する単位電流Ish～Iskが流れ、これらの合成電流が電流出力接点OUTiを介して負荷駆動電流IDとして図示を省略した負荷に供給される（本実施形態においては、負荷側から電流駆動回路方向に負荷駆動電流が流れ込む）。

【0071】

また、特定状態設定部30Bは、図3に示すように、上記ラッチ回路LC0～LC3の各々から出力される出力信号d10～d13を入力信号とする否定論理和演算回路（デジタル値判定部；以下、「NOR回路」と略記する）33と、該NOR回路33からの出力端が制御端子に、電流路の一端側が特定電圧Vinを印加する電圧源に、他端側が駆動電流供給線CLに、各々接続されたnチャンネル型トランジスタからなる特定電圧印加トランジスタ（特定電圧印加部）TN34と、を備えた構成を有している。

【0072】

そして、このような構成を有する特定状態設定部30Bにおいても、NOR回路33により、上記ラッチ回路LC0～LC3から出力される出力信号d10～d13の信号レベルが全て“0”となる特定状態が判別され、該特定状態においてのみ、特定電圧印加トランジスタTN34がオン動作して、駆動電流供給線CLを介して負荷に特定電圧Vinが印加される。

【0073】

したがって、上述した各実施形態に示した電流駆動回路ISA、ISBにおいては、駆動電流供給線CLを介して負荷に直接接続された電流生成部20A、20Bに、定電流発生源IRから信号レベルが変動しない一定の基準電流Irefを供給し、複数ビットのデジタル信号d0～d3（データラッチ部10の出力信号d10～d13、d10*～d13*）に基づいて、負荷を所望の駆動状態で動作させることができる電流値を有する負荷駆動電流IDを生成する構成を有していることにより、負荷駆動電流の生成に関連して供給される信号（デジタル信号及び基準電流）が電位変動をほとんど生じることがないので、負荷駆動電流IDの電流値が微少な場合や、負荷への負荷駆動電流IDの供給時間（あるいは、負荷の駆動時間）が短く設定されている場合であっても、配線容量等の寄生容量への充放電動作に起因する信号遅延の影響を排除することができ、電流駆動回路の動作速度の低下を抑制して、負荷をより迅速かつ的確な駆動状態で動作させることができる。

【0074】

また、複数ビットのデジタル信号により負荷を連続的に駆動制御する場合、新たなデジタル信号 $d_0 \sim d_3$ に基づく負荷駆動電流 I_D を駆動電流供給線 CL に供給するタイミングに先立って、全てのデジタル信号 $d_0 \sim d_3$ (出力信号 $d_{10} \sim d_{13}$ 、 $d_{10^*} \sim d_{13^*}$) を "0" に設定することにより、電流生成部 20A における電流出力が遮断されるとともに、特定状態設定部 30A を介して駆動電流供給線 CL に特定電圧 V_{in} ($=0V$) が印加されるので、駆動電流供給線 CL 及び負荷に付加された容量成分に蓄積された(残留する)電荷を、特定電圧(接地電位) V_{in} を印加する電圧源に十分に放電することができる。

【0075】

これにより、駆動電流供給線 CL を介して負荷駆動電流 I_D を供給するタイミングに先立って、駆動電流供給線 CL の信号レベルが常に一定の低電位状態にリセットされるので、例えば、負荷を比較的高い階調の駆動状態から比較的低い階調の駆動状態に移行させるために、駆動電流供給線 CL に供給する負荷駆動電流 I_D の電流値を微少に設定した場合や、負荷への負荷駆動電流 I_D の供給時間(あるいは、負荷の駆動時間)が短く設定されている場合であっても、駆動電流供給線 CL 及び負荷に残留する電荷の影響を排除して、駆動電流供給線 CL の信号レベルを迅速に、負荷駆動電流 I_D に応じた電位に安定化させ、負荷を適切な駆動状態で動作させることができる。

【0076】

なお、上述した各実施形態においては、電流生成部 20A、20B として、カレントミラー回路構成(カレントミラー回路部 21A、21B)を備え、各単位電流トランジスタにより、基準電流トランジスタに流れる基準電流 I_{ref} に対して各々異なる所定の比率の電流値を有する単位電流を選択的に合成して、負荷駆動電流 I_D を生成する構成について説明したが、本発明はこの回路構成に限定されるものではなく、データラッチ部 10(ラッチ回路)から同時並列的に出力される所定の信号レベルの出力信号に基づいて、負荷を所望の駆動状態で動作させることができる負荷駆動電流を生成、出力することができるものであれば、他の回路構成を有するものであってもよい。

【0077】

また、上記複数ビットのデジタル信号としては、後述するように、表示装置に所望の画像情報を表示するための表示データ(表示信号)を適用することでき、この場合において、電流駆動回路により生成、出力される負荷駆動電流は、表示パネルを構成する各表示画素を所定の輝度階調で発光動作させるために供給される階調電流に対応する。以下、上述したような構成及び機能を有する電流駆動回路 ISA 、 ISB を、データドライバに適用した表示装置について、具体的に説明する。

【0078】

<表示装置の第1の実施形態>

図5は、本発明に係る電流駆動回路を適用可能な表示装置の第1の実施形態を示す概略ブロック図であり、図6は、本実施形態に係る表示装置の要部構成を示す概略構成図である。ここでは、表示パネルとしてアクティブマトリクス方式に対応した表示画素を備えた構成について説明する。また、本実施形態においては、データドライバ側から表示画素に階調電流を流し込むようにした電流印加方式を採用した場合について説明し、上述した実施形態に示した電流駆動回路(図1、図2)を適宜参照する。

【0079】

図5、図6に示すように、本実施形態に係る表示装置 100A は、概略、複数の表示画素(負荷) EM がマトリクス状に配列された表示パネル 110A と、表示パネル 110A の行方向に配列された表示画素群ごとに、共通に接続された走査ライン(走査線) SLa 、 SLb に接続された走査ドライバ(走査駆動手段) 120A と、表示パネル 110A の列方向に配列された表示画素群ごとに、共通に接続されたデータライン(信号線) $DL1$ 、 $DL2$ 、 \dots (DL) に接続されたデータドライバ(信号駆動手段) 130A と、走査ドライバ 120A 及びデータドライバ 130A の動作状態を制御する各種制御信号を生成、出力するシステムコントローラ 140A と、表示装置 100A の外部から供給される映

像信号に基づいて、表示データやタイミング信号等を生成する表示信号生成回路150Aと、を備えて構成されている。

【0080】

以下、上記各構成について説明する。

(表示パネル110A)

表示パネル110Aは、具体的には、図6に示すように、各行ごとの表示画素EM群に対応して、各々、並列に配設された一対の走査ラインSLa、SLbと、各列ごとの表示画素群に対応するとともに、走査ラインSLa、SLbに対して直交するように配設されたデータラインDLと、これらの直交するラインの各交点近傍に配列された複数の表示画素EM(図6中、画素駆動回路DCx及び有機EL素子OELからなる構成)と、を備えた構成を有している。

【0081】

表示画素EMは、例えば、走査ドライバ120Aから走査ラインSLaを介して印加される走査信号Vse1、走査ラインSLbを介して印加される走査信号Vse1* (走査ラインSLaに印加される走査信号Vse1の極性反転信号; 図6の符号参照)、及び、データドライバ130AからデータラインDLを介して供給される階調電流(負荷駆動電流)Ipixに基づいて、各表示画素EMにおける階調電流Ipixの書込動作及び発光動作を制御する画素駆動回路DCxと、該画素駆動回路DCxから供給される発光駆動電流の電流値に応じて発光輝度が制御される、周知の有機EL素子(発光素子)OELと、を有して構成されている。なお、本実施形態においては、表示画素EMの発光素子として、有機EL素子を適用した構成を示すが、本発明はこれに限定されるものではなく、発光素子に供給される発光駆動電流の電流値に応じて所定の輝度階調で発光動作する電流駆動型の発光素子であれば、発光ダイオード等の他の発光素子を適用するものであってもよい。

【0082】

ここで、画素駆動回路DCxは、概略、走査信号Vse1、Vse1*に基づいて各表示画素EMの選択/非選択状態を制御し、選択状態において表示データに応じた階調電流Ipixを取り込んで電圧レベルとして保持し、非選択状態において上記保持した電圧レベルに基づく発光駆動電流を有機EL素子OELに供給して、所定の輝度階調で発光させる動作を維持する機能を有している。なお、画素駆動回路DCxに適用可能な回路構成例については後述する。

【0083】

(走査ドライバ120A)

走査ドライバ120Aは、図6に示すように、シフトレジスタとバッファからなるシフトブロックSBを、各行の走査ラインSLa、SLbに対応して複数段備え、システムコントローラ140Aから供給される走査制御信号(走査スタート信号SSTR、走査クロック信号SCLK等)に基づいて、シフトレジスタにより表示パネル110Aの上方から下方に順次シフトしつつ出力されるシフト信号が、バッファを介して所定の電圧レベル(選択レベル; 例えば、ハイレベル)を有する走査信号Vse1として各走査ラインSLaに印加されるとともに、該走査信号Vse1を極性反転した電圧レベルが走査信号Vse1*として各走査ラインSLbに印加される。これにより、各行ごとの表示画素EM群を選択状態とし、データドライバ130Aにより各データラインDLを介して供給される表示データに基づく階調電流Ipixを、各表示画素EMに書き込むように制御する。

【0084】

(データドライバ130A)

データドライバ130Aは、システムコントローラ140Aから供給されるデータ制御信号(後述するシフトスタート信号STR、シフトクロック信号SFC等)に基づいて、表示信号生成回路150Aから供給される複数ビットのデジタル信号からなる表示データを取り込んで保持し、当該表示データに対応する電流値を有する階調電流Ipixを生成して、各データラインDLを介して走査ドライバ120Aにより選択状態に設定された各表示画素EMに同時に並行して(一斉に)供給するように制御する。なお、データドライバ

130Aの具体的な回路構成やその駆動制御動作については、詳しく後述する。

【0085】

(システムコントローラ140A)

システムコントローラ140Aは、後述する表示信号生成回路150Aから供給されるタイミング信号に基づいて、少なくとも、走査ドライバ120A及びデータドライバ130Aの各々に対して、走査制御信号(上述した走査スタート信号SSTRや走査クロック信号SCLK等)及びデータ制御信号(上述したシフトスタート信号STRやシフトクロック信号SFC等)を生成して出力することにより、各ドライバを所定のタイミングで動作させて、表示パネル110Aに走査信号Vsel、Vsel*及び階調電流Ipixを出力させ、画素駆動回路DCxにおける所定の制御動作を連続的に実行させて、映像信号に基づく所定の画像情報を表示パネル110Aに表示させる制御を行う。

【0086】

(表示信号生成回路150A)

表示信号生成回路150Aは、例えば、表示装置100Aの外部から供給される映像信号から輝度階調信号成分を抽出し、表示パネル110Aの1行分ごとに、該輝度階調信号成分を、複数ビットのデジタル信号からなる表示データとしてデータドライバ130Aに供給する。ここで、上記映像信号が、テレビ放送信号(コンポジット映像信号)のように、画像情報の表示タイミングを規定するタイミング信号成分を含む場合には、表示信号生成回路150Aは、上記輝度階調信号成分を抽出する機能のほか、タイミング信号成分を抽出してシステムコントローラ140Aに供給する機能を有するものであってもよい。この場合においては、上記システムコントローラ140Aは、表示信号生成回路150Aから供給されるタイミング信号に基づいて、走査ドライバ120Aやデータドライバ130Aに対して供給する上記走査制御信号及びデータ制御信号を生成する。

【0087】

なお、本実施形態において、表示パネル110Aとその周辺に付設されるドライバやコントローラ等の周辺回路との実装構造については、特に限定するものではないが、例えば、少なくとも、表示パネル110Aと走査トランジスタ120A、データドライバ130Aが単一の基板上に形成されているものであってもよいし、後述するデータドライバ130Aのみ、もしくは、走査ドライバ120A及びデータドライバ130Aを、表示パネル110Aとは別個に設けて電気的に接続するようにしたものであってもよい。

【0088】

(データドライバの第1の構成例)

次いで、上述した表示装置に適用されるデータドライバの構成について説明する。本実施形態に係る表示装置100Aに適用されるデータドライバ130Aは、概略、図1に示した電流駆動回路ISA(データラッチ部10、電流生成部20A、特定状態設定部30A)が各データラインDLに対応して、階調電流生成回路として個別に設けられ、各々の階調電流生成回路に対して、例えば、単一の定電流発生源IRから共通の電流供給線を介して、一定の電流値を有する基準電流が供給される(本実施例においては、基準電流Irefが引き抜かれるように供給される)ように構成されている。

【0089】

本実施例に係るデータドライバ130Aは、例えば、図6に示すように、システムコントローラ140Aからデータ制御信号として供給されるシフトクロック信号SFCに基づいて、シフトスタート信号STRをシフトしつつ、所定のタイミングでシフト信号SR1、SR2、SR3、・・・(上述したタイミング制御信号CLKに相当する)を順次出力するシフトレジスタ回路131Aと、該シフトレジスタ回路131Aからの各シフト信号SR1、SR2、SR3、・・・及びシステムコントローラ140Aからデータ制御信号として供給されるリセット制御信号RSTを入力信号とし、それらの論理和演算結果を、後述する階調電流生成回路群132Aにタイミング制御信号CLKとして出力するOR回路301、302、303、・・・からなるOR回路群300Aと、各OR回路301、302、303、・・・から出力されるタイミング制御信号CLKに基づいて、表示信号生

成回路150Aから順次供給される1行分の表示データD0～Dq（ここでは、図1及び図2に示した電流駆動回路ISAに入力されるデジタル信号d0～d3に対応させて、便宜的にq=3とする）を順次取り込み、各表示画素EMにおける発光輝度に対応した階調電流Ipixを生成して、各データラインDL1、DL2、・・・に供給する階調電流生成回路PXA1、PXA2、PXA3、・・・（上述した電流駆動回路ISAに相当する；以下、便宜的に「階調電流生成回路PXA」とも記す）からなる階調電流生成回路群132Aと、データドライバ130Aの外部に設けられ、各階調電流生成回路PXA1、PXA2、PXA3、・・・に対して、共通の基準電流供給線Lsを介して一定の電流値を有する基準電流Irefを定常的に供給する定電流発生源IRと、を備えて構成されている。

【0090】

ここで、各階調電流生成回路PXA1、PXA2、PXA3、・・・は、上述した電流駆動回路ISA（図1、図2）と同等のデータラッチ部（信号保持手段）、電流生成部（駆動電流生成手段）及び特定状態設定部（特定状態設定手段）を備えた構成を有している。なお、本実施例においては、データドライバ130Aに設けられた全ての階調電流生成回路PXA1、PXA2、PXA3、・・・に対して、単一の定電流発生源IRから基準電流Irefが共通に供給される構成を示したが、本発明はこれに限定されるものではなく、例えば、データドライバが表示パネルに対して複数個設けられている場合には、各データドライバに対応して定電流発生源を個別に備えるものであってもよく、また、単一のデータドライバ内に設けられた複数の階調電流生成回路ごとに定電流発生源を備えるものであってもよい。

【0091】

（表示画素の第1の構成例）

次いで、上述した表示装置（表示パネル110A）の各表示画素に適用される画素駆動回路について簡単に説明する。

図7は、本実施形態に適用される表示画素（画素駆動回路）の第1の実施例を示す回路構成図である。なお、ここで示す画素駆動回路は、電流印加方式を採用した表示装置に適用可能な一例を示すものすぎず、同等の機能を有する他の回路構成を適用するものであってもよいことはいうまでもない。

【0092】

図7に示すように、本実施例に係る画素駆動回路DCxは、走査ラインSLa、SLbとデータラインDLとの交点近傍に、ゲート端子が走査ラインSLaに、ソース端子及びドレイン端子が電源接点Vdd及び接点Nxaに各々接続されたpチャネル型トランジスタTr31と、ゲート端子が走査ラインSLbに、ソース端子及びドレイン端子がデータラインDL及び接点Nxaに各々接続されたpチャネル型トランジスタTr32と、ゲート端子が接点Nxbに、ソース端子及びドレイン端子が接点Nxa及び接点Nxcに各々接続されたpチャネル型トランジスタTr33と、ゲート端子が走査ラインSLに、ソース端子及びドレイン端子が接点Nxb及び接点Nxcに各々接続されたnチャネル型トランジスタTr34と、接点Nxa及び接点Nxb間に接続されたコンデンサ（保持容量；電荷蓄積手段）Cxと、を備えた構成を有している。ここで、電源接点Vddは、例えば、図示を省略した電源ラインを介して、高電位電源に接続され、常時、もしくは、所定のタイミングで一定の高電位電圧が印加される。

【0093】

また、このような画素駆動回路DCxから供給される発光駆動電流により発光輝度が制御される有機EL素子OELは、アノード端子が上記画素駆動回路DCxの接点Nxcに、カソード端子が低電位電源（例えば、接地電位Vgnd）に各々接続された構成を有している。ここで、コンデンサCxは、トランジスタTr33のゲートーソース間に形成される寄生容量であってよいし、その寄生容量に加えてゲートーソース間にさらに、容量素子を別個に付加するようにしたものであってもよい。

【0094】

このような構成を有する画素駆動回路DCxにおける有機EL素子OELの駆動制御動作は、まず、書込動作期間において、例えば、走査ラインSLaにハイレベル（選択レベル）の走査信号Vse1を印加するとともに、走査ラインSLbにローレベルの走査信号Vse1*を印加し、このタイミングに同期して、有機EL素子OELを所定の輝度階調で発光動作させるための階調電流IpixをデータラインDLに供給する。ここでは、階調電流Ipixとして、正極性の電流を供給し、データドライバ130A側からデータラインDLを介して表示画素（画素駆動回路DCx）方向に当該電流が流し込まれる（印加する）ように設定する。

【0095】

これにより、画素駆動回路DCxを構成するトランジスタTr32及びTr34がオン動作するとともに、トランジスタTr31がオフ動作して、データラインDLに供給された階調電流Ipixに対応する正の電位が接点Nxaに印加される。また、接点Nxb及び接点Nxc間が短絡して、トランジスタTr33のゲートドレイン間が同電位に制御されることにより、トランジスタTr33がオフ動作するとともに、コンデンサCxの両端（接点Nxa及び接点Nxb間）には、階調電流Ipixに応じた電位差が生じ、該電位差に対応する電荷が蓄積され、電圧成分として保持される（充電される）。

【0096】

次いで、発光動作期間において、走査ラインSLaにローレベル（非選択レベル）の走査信号Vse1を印加するとともに、走査ラインSLbにハイレベルの走査信号Vse1*を印加し、このタイミングに同期して、階調電流Ipixの供給を遮断する。これにより、トランジスタTr32及びTr34がオフ動作してデータラインDL及び接点Nxa間、並びに、接点Nxb及び接点Nxc間が電氣的に遮断されることにより、コンデンサCxは、上述した書込動作において蓄積された電荷を保持する。

【0097】

このように、コンデンサCxが書込動作時の充電電圧を保持することにより、接点Nxa及び接点Nxb間（トランジスタのTr33のゲートソース間）の電位差が保持されることになり、トランジスタTr33はオン動作する。また、上記走査信号Vse1（ローレベル）の印加により、トランジスタTr31が同時にオン動作するので、電源接点（高電位電源）VddからトランジスタTr31及びTr33を介して、有機EL素子OELに階調電流Ipix（より詳しくは、コンデンサCxに保持された電荷）に応じた発光駆動電流が流れ、有機EL素子OELが所定の輝度階調で発光する。このように、本実施例に係る画素駆動回路DCxにおいては、トランジスタTr33は、発光駆動用トランジスタ（駆動電流生成手段、発光駆動手段）としての機能を有していることになる。

【0098】

<表示装置の駆動制御方法>

次に、上述した構成を有する表示装置の動作について、図面を参照して説明する。

図8は、本実施形態に係るデータドライバにおける制御動作の一例を示すタイミングチャートであり、図9は、本実施形態に係る表示パネル（表示画素）における制御動作の一例を示すタイミングチャートである。ここでは、図6に示したデータドライバの構成に加え、図1及び図2に示した電流駆動回路の構成も適宜参照しながら説明する。

【0099】

（データドライバの制御動作）

データドライバ130Aにおける制御動作は、まず、後述する信号保持動作に先立って、上述した各階調電流生成回路PXA1、PXA2、PXA3、・・・に設けられた特定状態設定部を介して、各データラインDL1、DL2、DL3、・・・に特定電圧（リセット電圧）Vinを印加するリセット動作と、各階調電流生成回路PXA1、PXA2、PXA3、・・・に設けられたデータラッチ部に、表示信号生成回路150Aから供給される表示データD0～D3を取り込み保持するとともに、該表示データD0～D3に基づく反転出力信号を一定期間出力する信号保持動作と、データラッチ部からの出力信号に基づいて、各階調電流生成回路PXA1、PXA2、PXA3、・・・に設けられた電流生成

部により、上記表示データD0～D3に対応する階調電流I_{pix}を生成して各データラインDL1、DL2、DL3、・・・を介して各表示画素に個別に供給する電流生成供給動作と、を順次設定することにより実行される。

【0100】

そして、上記リセット動作は、1水平選択期間内の信号保持動作及び電流生成供給動作を行う期間以外の期間、例えば帰線期間内に、各階調電流生成回路PXA1、PXA2、PXA3、・・・に対して一斉に実行され、信号保持動作及び電流生成供給動作は、1水平選択期間内の帰線期間を除く期間に、各階調電流生成回路PXA1、PXA2、PXA3、・・・ごとに順次実行される。

【0101】

ここで、リセット動作においては、図8に示すように、信号保持動作に先立つ帰線期間中に、システムコントローラ140Aからハイレベルのリセット制御信号RSTが供給されることにより、各OR回路301、302、303、・・・からハイレベルのタイミング制御信号CLKが各階調電流生成回路PXA1、PXA2、PXA3、・・・に設けられたデータラッチ部に出力され、また、このタイミングに同期して、表示信号生成回路150Aから最低輝度階調での発光動作（黒表示動作に相当する）に対応する表示データD0～D3（すなわち、全て“0”）がリセットデータとして供給されることにより、各データラッチ部に、当該表示データD0～D3が一斉に取り込み保持される。

【0102】

次いで、ローレベルのリセット制御信号RSTが供給されることにより、各OR回路301、302、303、・・・からローレベルのタイミング制御信号CLKが各階調電流生成回路PXA1、PXA2、PXA3、・・・のデータラッチ部に出力されることにより、上記保持した表示データD0～D3の非反転出力信号が特定状態設定部に出力されて、特定電圧（リセット電圧）V_{in}が各データラインDL1、DL2、DL3、・・・に印加される。これにより、各データラインDL1、DL2、DL3、・・・付加された配線容量や、該各データラインDL1、DL2、DL3、・・・に接続された表示画素EMに設けられた保持容量（コンデンサC_x）等の容量成分に蓄積されていた電荷が放電され、各電位が所定の低電位状態に設定される。

【0103】

また、信号保持動作においては、図8に示すように、システムコントローラ140Aからローレベルのリセット制御信号RSTが供給されることにより、シフトレジスタ回路131Aから順次出力されるシフト信号SR1、SR2、SR3、・・・の信号レベルに応じたタイミング制御信号CLKが各階調電流生成回路PXA1、PXA2、PXA3、・・・のデータラッチ部に出力され、タイミング制御信号CLKがハイレベルとなるタイミングで各データラッチ部により、各列の表示画素（すなわち、各データラインDL1、DL2、DL3、・・・）に対応して切り替わる表示データD0～D3を順次取り込む動作が1行分連続的に実行される。そして、データラッチ部に取り込まれた表示データD0～D3の反転出力信号が各電流生成部に出力される状態が、一定期間（例えば、次のハイレベルのシフト信号SR1、SR2、SR3、・・・が出力されるまでの期間）保持される。

【0104】

また、電流生成供給動作においては、上記データラッチ部から出力される反転出力信号に基づいて、各電流生成部に設けられた複数のスイッチトランジスタ（図2に示したスイッチトランジスタTP16～TP19）のオン/オフ状態が制御され、オン動作したスイッチトランジスタに接続された単位電流トランジスタ（図2に示したトランジスタTP12～TP15）に流れる単位電流の合成電流が、階調電流I_{pix}として各データラインDL1、DL2、DL3、・・・を介して順次供給される。

【0105】

ここで、階調電流I_{pix}は、例えば、全てのデータラインDL1、DL2、DL3、・・・に対して、少なくとも一定期間、並列的に供給されるように設定される。また、本実施形態においては、上述したように、基準電流I_{ref}に対して予めトランジスタサイズ

により規定された所定比率（例えば、 $a \times 2^k$ ； $k=0, 1, 2, 3, \dots$ ）の電流値を有する複数の単位電流を生成し、上記反転出力信号に基づいてスイッチトランジスタがオン/オフ動作することにより、所定の単位電流を選択して合成し、正極性の階調電流 I_{pix} を生成して、データドライバ130A側からデータラインDL1、DL2、DL3、 \dots 方向に流し込むように該階調電流 I_{pix} を供給する。

【0106】

なお、本実施例に係るデータドライバ130Aにおいては、図6に示したように、定電流発生源IRから一定の電流値を有する基準電流 I_{ref} が供給される共通の基準電流供給線 L_s に対して、複数の階調電流生成回路PXA1、PXA2、PXA3、 \dots が並列的に接続された構成を有し、図8に示したように、各階調電流生成回路PXA1、PXA2、 \dots において、表示データD0～D3に基づいて、同時に並行して各データラインDL1、DL2、DL3、 \dots （表示画素）に供給される階調電流 I_{pix} が生成されるので、基準電流供給線 L_s を介して各階調電流生成回路PXA1、PXA2、 \dots に供給される電流は、定電流発生源IRにより供給される基準電流 I_{ref} そのものではなく、階調電流生成回路の数（すなわち、表示パネル110Aに配設されたデータラインの数に相当する；例えば、 m 個）に応じて、略均等分割された電流値（ I_{ref}/m ）を有する電流が供給されることになる。

【0107】

したがって、各階調電流生成回路PXA1、PXA2、 \dots の電流生成部を構成するカレントミラー回路部において設定される基準電流に対する各単位電流の電流値の比率（基準電流トランジスタに対する単位電流トランジスタのチャンネル幅の比）を、各階調電流生成回路PXA1、PXA2、 \dots に供給される上記電流値（ I_{ref}/m ）を勘案して、例えば、図2に示した回路構成における比率の m 倍に設定するようにしてもよい。

【0108】

また、他の構成として、各階調電流生成回路PXA1、PXA2、 \dots に、例えば、シフトレジスタ回路131Aから出力されるシフト信号SR1、SR2、SR3、 \dots に基づいて選択的にオン動作するスイッチ手段を設け、各階調電流生成部において、表示データD0～D3に基づいて階調電流 I_{pix} が生成される電流生成供給動作の期間のみ、上記定電流発生源IRからの基準電流 I_{ref} をそのまま、各階調電流生成回路PXA1、PXA2、 \dots に選択的に供給するようにしてもよい。

【0109】

（表示パネル110Aの制御動作）

そして、表示パネル110A（表示画素EM）における制御動作は、図9に示すように、表示パネル110A一画面に所望の画像情報を表示する一走査期間 T_{sc} を1サイクルとして、該一走査期間 T_{sc} 内に、特定の走査ラインに接続された表示画素EM群を選択して、データドライバ130Aから供給される表示データD0～D3に対応する階調電流 I_{pix} を書き込み、信号電圧として保持する書込動作期間（選択期間） T_{se} と、該保持された信号電圧に基づいて、上記表示データに応じた発光駆動電流を有機EL素子OELに供給して、所定の輝度階調で発光動作させる発光動作期間（表示画素の非選択期間） T_{nse} と、を設定（ $T_{sc} = T_{se} + T_{nse}$ ）し、各動作期間において、上述した画素駆動回路DCxと同等の駆動制御を実行する。ここで、各行ごとに設定される書込動作期間 T_{se} は、相互に時間的な重なりが生じないように設定される。また、書込動作期間 T_{se} は、少なくとも、上記データドライバ130Aにおける電流生成供給動作において、各データラインDLに階調電流 I_{pix} を並列的に供給する一定期間を含む期間に設定される。

【0110】

すなわち、表示画素EMへの書込動作期間 T_{se} においては、図9に示すように、特定の行（ i 行目）の表示画素EMに対して、走査ドライバ120Aにより走査ラインSLa、SLbを所定の信号レベルに走査することにより、データドライバ130Aにより各データラインDLに並列的に供給された階調電流 I_{pix} を電圧成分として一斉に保持する動

作を実行し、その後の発光動作期間 T_{nse} においては、上記書込動作期間 T_{se} に保持された電圧成分に基づく発光駆動電流を有機EL素子OELに継続的に供給することにより、表示データに対応する輝度階調で発光する動作が継続される。

このような一連の駆動制御動作を、図9に示すように、表示パネル110Aを構成する全ての行の表示画素群について順次繰り返して実行することにより、表示パネル一画面分の表示データが書き込まれて、各表示画素EMが所定の輝度階調で発光し、所望の画像情報が表示される。

【0111】

したがって、本実施形態に係るデータドライバ130A及び表示装置100Aによれば、各階調電流生成回路PXA1、PXA2、・・・により各データラインDLを介して特定の行の表示画素EM群に供給される階調電流Ipixが、定電流発生源IRから（共通の基準電流供給線Lsを介して）供給される信号レベルが変動しない一定の基準電流Iref、及び、複数ビットのデジタル信号からなる表示データD0～D3に基づいて生成されるので、表示画素EMを比較的低い輝度階調で発光動作させる場合（階調電流Ipixの電流値が微少な場合）や、表示パネル110Aの高精細化等に伴って表示画素への階調電流Ipixの供給時間（選択時間）が短く設定されている場合であっても、階調電流Ipixの生成に関連してデータドライバ130A（各階調電流生成回路PXA1、PXA2、・・・）に供給される信号の伝達遅延の影響を排除することができ、データドライバの動作速度の低下を抑制して、表示装置における表示応答特性並びに表示画質の向上を図ることができる。

【0112】

また、この場合、各表示画素EMへの階調電流Ipixの供給動作（具体的には、データドライバ130Aにおける信号保持動作及び電流生成供給動作）に先立って、各データラインDLに一定の低電圧からなるリセット電圧を印加して、データラインDLに付加された配線容量（寄生容量）や表示画素EMの保持容量（画素駆動回路DCxのコンデンサCx）等の容量成分に蓄積された電荷を充分放電して初期化（リセット）することができるので、新たな表示データに基づく階調電流を書き込む場合（特に、比較的高い輝度階調で発光動作を行った直後に、比較的低い輝度階調で発光動作を行う場合や、表示画素EMの選択期間が短く設定されている場合であっても）、上記容量成分に残留する電荷による影響を排除することができ、信号レベルの安定化までの所要時間を短縮することができる。したがって、データラインや表示画素に印加される信号レベルを、迅速に表示データに応じたレベルに安定化させて表示画素への書込速度を高めることができるので、表示装置の表示応答特性及び表示画質を向上させることができる。

【0113】

なお、本実施形態においては、データドライバ130A及び表示画素EM（画素駆動回路DCx）として、電流印加方式に対応した構成を示したが、本発明はこれに限定されるものではなく、図3、図4に示したような電流駆動回路を階調電流生成回路に適用して、表示画素側からデータドライバ方向に階調電流を引き込むように供給する電流シンク方式の回路構成を適用することもできる。以下、上述した表示装置（表示パネル）の他の例として、電流シンク方式を適用した場合について簡単に説明する。

【0114】

<表示装置の第2の実施形態>

電流シンク方式を適用した表示装置は、概略、上述した第1の実施形態（図5、図6参照）と同様の表示パネル、走査ドライバ、システムコントローラ及び表示信号生成回路を備えた構成を有しているが、データドライバ及び表示パネルを構成する各表示画素（画素駆動回路）が以下に示すように異なる構成を有している。

【0115】

（データドライバの第2の構成例）

まず、本実施形態に係る表示装置に適用されるデータドライバの構成について説明する。図10は、第2の実施形態に係る表示装置の要部構成を示す概略構成図である。ここで、

第1の実施形態に示した表示装置と同等の構成については、同一又は同等の符号を付してその説明を簡略化又は省略する。

【0116】

図10に示すように、本実施形態に係る表示装置に適用されるデータドライバ130Bは、概略、図6に示したデータドライバ130Aと同等の構成を有するシフトレジスタ回路131B、定電流発生源IRに接続された電流供給線Ls、OR回路301、302、303、・・・からなるOR回路群300B、及び、特定電圧Vinが印加される電源線を備えるとともに、表示パネル110B（各表示画素EM）側から各データラインDLを介してデータドライバ130B方向に流れ込むように電流極性が設定された階調電流Ipixを生成する階調電流生成回路PXB1、PXB2、PXB3、・・・（以下、便宜的に「階調電流生成回路PXB」とも記す）からなる階調電流生成回路群132Bを備えた構成を有している。ここで、各階調電流供給回路PXB1、PXB2、PXB3、・・・は、上述した電流駆動回路ISB（図3、図4）と同等のデータラッチ部、電流生成部及び特定状態設定部を備えた構成を有している。

【0117】

このような構成を有するデータドライバ130Bにおける制御動作は、上述した実施形態において示したデータドライバの駆動制御方法（図8参照）と同様に、まず、信号保持動作及び電流生成供給動作に先立つリセット動作においては、リセット制御信号が印加されることにより、各階調電流生成回路PXA1、PXA2、PXA3、・・・に設けられた特定状態設定部により、各データラインDL1、DL2、DL3、・・・に特定電圧（リセット電圧）Vinが一斉に印加され、所定の低電位状態に設定される。

【0118】

次いで、信号保持動作においては、シフトレジスタ回路131Bから順次出力されるシフト信号SR1、SR2、SR3、・・・に基づいて、各階調電流生成回路PXA1、PXA2、PXA3、・・・のデータラッチ部により、各列（表示画素）ごとに順次取り込まれた表示データD0～D3の非反転出力信号が各電流生成部に出力される。

そして、電流生成供給動作においては、電流生成部により上記非反転出力信号に基づいて、複数の単位電流が選択的に合成され、負極性の階調電流Ipixを生成して、各表示画素EM側から各データラインDL1、DL2、・・・を介して、データドライバ130B方向に該階調電流Ipixを引き込むように順次供給する。

【0119】

（表示画素の第2の構成例）

次いで、本実施形態に係る表示パネルに適用される表示画素（画素駆動回路）の構成について説明する。

図11は、本実施形態に適用される画素駆動回路の一実施例を示す回路構成図である。なお、ここで示す画素駆動回路は、本発明に係る表示装置に適用可能な一例を示すにすぎず、同等の動作機能を有する他の回路構成を有するものであってもよいことはいうまでもない。

【0120】

図10、図11に示すように、本実施例に係る画素駆動回路DCyは、例えば、走査ラインSLとデータラインDLとの交点近傍に、ゲート端子が走査ラインSLに、ソース端子が走査ラインSLに平行に配設された電源ラインVLに、ドレイン端子が接点Nyaに各々接続されたnチャンネル型トランジスタTr41と、ゲート端子が走査ラインSLに、ソース端子及びドレイン端子がデータラインDL及び接点Nybに各々接続されたnチャンネル型トランジスタTr42と、ゲート端子が接点Nyaに、ソース端子及びドレイン端子が電源ラインVL及び接点Nybに各々接続されたnチャンネル型トランジスタTr43と、接点Nya及び接点Nyb間に接続されたコンデンサCyと、を備えた構成を有している。

【0121】

また、このような画素駆動回路DCyから供給される発光駆動電流により発光輝度が制御

される有機EL素子OELは、アノード端子が上記画素駆動回路DCyの接点Nybに、カソード端子が接地電位Vgndに各々接続された構成を有している。ここで、コンデンサCyは、nチャネル型トランジスタTr43のゲートソース間に形成される寄生容量であってもよいし、その寄生容量に加えてゲートソース間にさらに、容量素子を別個に付加するようにしたものであってもよい。

【0122】

ここで、電源ラインVLは、図10に示すように、走査ラインSLと並行して配設されて各行の表示画素EMに対応して共通に接続され、その一端が電源ドライバ160Bに接続されている。電源ドライバ160Bは、概略、第1の実施形態（図5参照）に示した走査ドライバ120Aと同等の構成を有し、各行ごとの電源ラインVLに対応して複数段のシフトブロック（図示を省略）を備え、システムコントローラから供給され、上記走査制御信号に同期する電源制御信号（電源スタート信号、電源クロック信号等）に基づいて、表示パネル110Bの上方から下方に順次シフトしつつ出力されたシフト信号が、所定の電圧レベル（例えば、走査ドライバ120Bによる選択状態においてはローレベル、非選択状態においてはハイレベル）を有する電源電圧Vscとして各電源ラインVLに印加される。

【0123】

このような構成を有する画素駆動回路DCyにおける有機EL素子OELの駆動制御動作は、まず、書込動作期間において、走査ラインSLに対して、選択レベル（ハイレベル）の走査信号Vse1を印加するとともに、電源ラインVLに対して、ローレベルの電源電圧Vscを印加する。また、このタイミングに同期して、データドライバ130BからデータラインDLに階調電流Ipixを供給する。ここでは、階調電流Ipixとして、負極性の電流を供給し、表示画素EM（画素駆動回路DCy）側からデータラインDLを介してデータドライバ130B方向に当該電流を引き込むように設定する。これにより、画素駆動回路DCyを構成するnチャネル型トランジスタTr41及びTr42がオン動作して、ローレベルの電源電圧Vscが接点Nyaに印加されるとともに、階調電流Ipixの引き込み動作によりnチャネル型トランジスタTr42を介してローレベルの電源電圧Vscよりも低電位の電圧レベルが接点Nybに印加される。

【0124】

このように、接点Nya及びNyb間（nチャネル型トランジスタTr43のゲートソース間）に電位差が生じることにより、nチャネル型トランジスタTr43がオン動作して、電源ラインVLからnチャネル型トランジスタTr43、接点Nyb、nチャネル型トランジスタTr42を介して、データラインDL方向に階調電流Ipixに対応した電流が流れる。

このとき、コンデンサCyには、接点Nya及びNyb間に生じた電位差に対応する電荷が蓄積され、電圧成分として保持される（充電される）。また、このとき、有機EL素子OELのアノード端子（接点Nxb）に印加される電位は、カソード端子の電位（接地電位）よりも低くなり、有機EL素子OELに逆バイアス電圧が印加されることになるため、有機EL素子OELには発光駆動電流が流れず、発光動作は行われない。

【0125】

次いで、発光動作期間においては、走査ラインSLに対して、非選択レベル（ローレベル）の走査信号Vse1を印加するとともに、電源ラインVLに対して、ハイレベルの電源電圧Vscを印加する。また、このタイミングに同期して、階調電流Ipixの引き込み動作を停止する。

これにより、nチャネル型トランジスタTr41及びTr42がオフ動作して、接点Nyaへの電源電圧Vscの印加が遮断されるとともに、接点Nybへの階調電流Ipixの引き込み動作に起因する電圧レベルの印加が遮断されるので、コンデンサCyは、上述した書込動作において蓄積された電荷を保持する。

【0126】

このように、コンデンサCyが書込動作時の充電電圧を保持することにより、接点Nya

及びNy b間 (nチャンネル型トランジスタのTr 4 3のゲートソース間) の電位差が保持されることになり、nチャンネル型トランジスタTr 4 3はオン状態を維持する。また、電源ラインVLには、接地電位よりも高い電圧レベルを有する電源電圧Vscが印加されるので、電源ラインVLからnチャンネル型トランジスタTr 4 3、接点Ny bを介して、有機EL素子OELに順バイアス方向に発光駆動電流が流れる。

【0127】

ここで、コンデンサCyに保持される電位差 (充電電圧) は、上記書込動作時においてnチャンネル型トランジスタTr 4 3に階調電流Ipixに対応する電流を流す際の電位差に相当するので、有機EL素子OELに流れる発光駆動電流は、上記電流と同等の電流値を有することになり、発光動作期間においては、書込動作期間に書き込まれた階調電流に対応する電圧成分に基づいて、有機EL素子OELは所望の輝度階調で発光する動作を継続する。

【0128】

そして、このような一連の駆動制御動作を、走査ドライバ120B、電源ドライバ160B及びデータドライバ130Bを用いて、図9に示した動作制御と同様に、表示パネル110Bを構成する全ての行の表示画素EM群について順次繰り返して実行することにより、表示パネル一画面分の表示データが書き込まれて、各表示画素EM (有機EL素子OEL) が所定の輝度階調で発光し、所望の画像情報が表示される。

【0129】

したがって、本実施形態に係るデータドライバ130Bを適用した表示装置においても、リセット動作によりデータラインや表示画素に付加された容量成分に蓄積された電荷を十分に放電して、所定の低電位状態に初期化し、その後、表示パネル (表示画素) に供給される各階調電流を、一定電流値の基準電流及びデジタル信号からなる表示データに基づいて生成し供給することができるので、データラインや基準電流供給線等に付加する容量成分の充放電動作に起因するデータドライバの動作速度の低下を抑制して、表示応答特性を向上させることができるとともに、各データラインに対応して個別に設けられた階調電流供給回路により表示データに応じた適切な電流値を有する階調電流を生成して、各表示画素に供給することができ、良好な階調表示を実現することができる。

【0130】

<表示装置の第3の実施形態>

次に、本発明に係る表示装置の第3の実施形態について説明する。

本実施形態に係る表示装置に適用されるデータドライバは、概略、図1に示した電流駆動回路を基本構成とする階調電流生成回路が、各データラインに2組設けられ、所定の動作タイミングで各組の階調電流生成回路が、相補的かつ連続的に表示データの取り込み保持、階調電流の生成、供給動作を実行するように構成されている。ここで、本構成例においては、2組設けられた各階調電流生成回路群に対して、単一の定電流発生源から一定の電流値を有する負の基準電流が供給されるように構成されている。

【0131】

(データドライバの第3の構成例)

図12は、第3の実施形態に係る表示装置に適用されるデータドライバの第3の実施例を示す概略構成図である。ここで、上述した実施形態と同等の構成については、同等の符号を付してその説明を簡略化又は省略する。

図12に示すように、本実施例に係るデータドライバ130Cは、具体的には、図示を省略したシステムコントローラから供給されるシフトクロック信号SFCに基づいて、非反転クロック信号CKa及び反転クロック信号CKbを生成する反転ラッチ回路133Cと、該非反転クロック信号CKa及び反転クロック信号CKbに基づいて、シフトスタート信号STRをシフトしつつ、所定のタイミングでシフト信号SR1、SR2、・・・(以下、便宜的に「シフト信号SR」とも記す)を順次出力するシフトレジスタ回路131Cと、各シフト信号SR1、SR2、SR3、・・・及びシステムコントローラから供給されるリセット制御信号RSTの論理和演算結果を、後述する階調電流生成回路群132C

及び132Dにタイミング制御信号CLKとして共通に出力するOR回路301、302、303、・・・からなるOR回路群300Cと、各OR回路301、302、303、・・・から出力されるタイミング制御信号CLKに基づいて、図示を省略した表示信号生成回路から順次供給される1行分の表示データD0～D3を順次取り込み、各表示画素における発光輝度に対応した階調電流Ipixを生成して、各データラインDL1、DL2、・・・を介して供給（印加）する2組の階調電流生成回路群132C及び132Dと、システムコントローラからデータ制御信号として供給される切替制御信号SELに基づいて、上記階調電流生成回路群132C及び132Dのいずれか一方を選択的に動作させるための選択設定信号（切替制御信号SELの非反転信号SLa及び反転信号SLb）を生成する選択設定回路134Cと、階調電流生成回路群132C及び132Dを構成する各階調電流生成回路PXC1、PXC2、・・・及びPXD1、PXD2、・・・（以下、「階調電流生成回路PXA、PXB」とも記す）に共通の基準電流供給線Lsを介して一定の基準電流Irefを供給する（負極性の電流を供給して引き抜く）定電流発生源IRと、を備えて構成されている。

【0132】

（階調電流生成回路PXA、PXB）

図13は、本実施例に係るデータドライバに適用される階調電流生成回路の一具体例を示す構成図である。ここでは、上述した電流駆動回路（図1、図2）の構成と対応付けながら説明する。また、上述した実施形態と同等の構成については、同等の符号を付してその説明を簡略化又は省略する。

【0133】

階調電流生成回路群132C、132Dを構成する各階調電流生成回路PXC、PXDは、図13に示すように、図1に示した電流駆動回路ISA（データラッチ部10、電流生成部20A、特定状態設定部30A）と同等の構成を有するデータラッチ部10、電流生成部20C及び特定状態設定部30Cと、選択設定回路134Cから出力される選択設定信号（非反転信号SLa又は反転信号SLb）に基づいて、各階調電流生成回路PXC、PXDの動作状態を選択的に設定する動作設定部40Cと、を備えた構成を有している。

【0134】

本実施例に係る階調電流生成回路PXC、PXDに適用される動作設定部40Cは、例えば、図13に示すように、選択設定回路134Cから出力される選択設定信号（非反転信号SLa又は反転信号SLb）を反転処理するインバータ52と、データラインDLに電流路が設けられ、制御端子に上記選択設定信号の反転信号（インバータ42の出力信号）が印加されるpチャネル型トランジスタTP41と、選択設定信号の反転信号及びOR回路群300からのタイミング制御信号CLKを入力とするNAND回路43と、該NAND回路43の論理出力を反転処理するインバータ44と、該インバータ44の反転出力をさらに反転処理するインバータ45と、を備えた構成を有している。

【0135】

このような構成を有する階調電流生成回路PXC、PXDにおいては、選択設定回路134Cから動作設定部40Cに選択レベル（ハイレベル）の選択設定信号（非反転信号SLa又は反転信号SLb）が入力されると、インバータ42により信号極性が反転処理されて印加されることにより、pチャネル型トランジスタTP41がオン動作して、電流生成部20Cの電流出力端子OUTiが、pチャネル型トランジスタTP53を介してデータラインDLに接続される。このとき同時に、NAND回路43及びインバータ44、45により、タイミング制御信号CLKの信号レベルに関わらずデータラッチ部10の非反転入力接点CKにはローレベルのクロック信号が、また、反転入力接点CK*の制御端子にはハイレベルのクロック信号が定期的に入力される。これにより、データラッチ部10に保持されている表示データD0～D3に基づく反転出力信号d10*～d13*が電流生成部20Cに供給され、該表示データD0～D3に応じた電流値を有する階調電流Ipixが生成されて、データラインDLを介して各表示画素に供給される。

【0136】

一方、選択設定回路134から非選択レベル（ローレベル）の選択設定信号（非反転信号SLa又は反転信号SLb）が入力されると、インバータ42により信号極性が反転処理されて印加されることにより、pチャンネル型トランジスタTP41がオフ動作して、階調電流生成部20Cの電流出力端子OUTiがデータラインDLから切り離される。また、このとき同時に、NAND回路43及びインバータ44、45により、タイミング制御信号CLKの信号レベルに対応してデータラッチ部10の非反転入力接点CKにはハイレベルのクロック信号が、また、反転入力接点CK*にはローレベルのクロック信号が入力されて、データラッチ部10に表示データD0～D3が取り込み保持される。

【0137】

これにより、選択レベルの選択設定信号が入力された場合には、データラッチ部10から出力される反転出力信号d10*～d13*に基づいて、電流生成部20Cにおいて、表示データD0～D3に応じた階調電流Ipixが生成されて、データラインDLを介して表示画素に供給されることになり、階調電流生成回路PXC又はPXDが選択状態に設定される。一方、非選択レベルの選択設定信号が入力された場合には、データラッチ部10において、表示データD0～D3を取り込んで保持するものの、階調電流Ipixは生成されず、データラインDLには供給されないことになり、階調電流生成回路PXC又はPXDが非選択状態に設定される。

【0138】

したがって、後述する選択設定回路134Cにより、2組の階調電流生成回路群132C及び132Dに入力する選択設定信号（切換制御信号SELの非反転信号SLa又は反転信号SLb）の信号レベルを適宜設定することにより、2組の階調電流生成回路群132C及び132Dのいずれか一方を選択状態とし、他方を非選択状態に設定することができる。

【0139】

（反転ラッチ回路133C／選択設定回路134C）

反転ラッチ回路133C又は選択設定回路134Cは、概略、シフトクロック信号SFC又は切換制御信号SELが印加されると、当該信号レベルが保持されて、該信号レベルの非反転信号及び反転信号が、各々非反転出力端子及び反転出力端子から出力され、シフトレジスタ回路131Cに対して非反転クロック信号CKa及び反転クロック信号CKbとして、また、階調電流生成回路群132C（各階調電流生成回路PXC1、PXC2、・・・）及び132D（各階調電流供給回路部PXD1、PXD2、・・・）に対して非反転信号SLa及び反転信号SLb（選択設定信号）として供給される。

【0140】

（シフトレジスタ回路131C）

シフトレジスタ回路131Cは、上述した反転ラッチ回路133Cから出力される非反転クロック信号CKa及び反転クロック信号CKbに基づいて、システムコントローラから供給されるシフトスタート信号STRを取り込み、所定のタイミングで順次シフトしつつ、該シフト信号SR1、SR2、・・・を階調電流生成回路群132C及び132Dに出力する。

【0141】

（データドライバの制御動作）

図14は、本実施形態に係るデータドライバにおける制御動作の一例を示すタイミングチャートである。

本実施形態に係るデータドライバの制御動作は、まず、2組の階調電流生成回路群のうち、一方を非選択状態に設定し、該階調電流生成回路群に設けられた各階調電流生成回路（データラッチ部）に、各表示画素に対応した表示データD0～D3を順次取り込み保持する信号保持動作と、該階調電流生成回路群を選択状態に設定し、各階調電流生成回路（特定状態設定部）を介して、各データラインDLに特定電圧（リセット電圧）Vinを一斉に印加して蓄積電荷を放電するリセット動作と、各階調電流生成回路（電流生成部）により、上記信号保持動作において保持した表示データD0～D3に対応する階調電流Ipi

xを生成して各データラインDLを介して各表示画素に順次供給する電流生成供給動作と、を設定することにより実行され、さらに、このような一連の動作が、2組の階調電流生成回路群により交互に連続的に実行される。

【0142】

本実施形態に係るデータドライバにおける制御動作は、図14に示すように、まず、システムコントローラから切換制御信号SELが供給されることにより、選択設定回路134Cにより一方の階調電流生成回路群（例えば、階調電流生成回路群132C）が非選択状態に設定された後、信号保持動作において、シフトレジスタ回路131Cから順次出力されるシフト信号SR1、SR2、・・・に基づいて、階調電流生成回路群132Cを構成する各階調電流生成回路PXC1、PXC2、PXC3、・・・に、各列の表示画素（すなわち、各データラインDL1、DL2、・・・）に対応して切り替わる表示データD0～D3を順次取り込み、保持する動作が1行分連続的に実行される。

【0143】

次いで、リセット動作においては、システムコントローラから切換制御信号SELが供給されることにより、選択設定回路134Cが選択状態に設定された後、リセット制御信号RSTが供給されることにより、該階調電流生成回路群132Cの各階調電流生成回路PXC1、PXC2、PXC3、・・・に、特定状態（黒表示状態に相当する）に対応した表示データD0～D3が一斉に取り込まれる。これにより、各階調電流生成回路PXC1、PXC2、PXC3、・・・から各データラインDLに対して特定電圧（リセット電圧）Vinが一斉に印加され、各データラインDL1、DL2、・・・及び表示画素EMに付加された容量成分に蓄積された電荷が放電される。

【0144】

次いで、電流生成供給動作においては、上記信号保持動作において各階調電流生成回路PXC1、PXC2、PXC3、・・・（データラッチ部）に保持された表示データD0～D3に基づいて、各々異なる比率の電流値を有するように設定された複数の単位電流を選択的に合成することにより、各表示画素における輝度階調を規定する階調電流Ipixを生成して、各データラインDL1、DL2、DL3、・・・を介して表示画素EMに順次供給される。

【0145】

そして、このような一連の動作は、図14に示すように、2組の階調電流生成回路群132C、132Dにより交互に繰り返して実行される。すなわち、一方の階調電流生成回路群132Cの非選択期間において、表示データを取り込む信号保持動作を実行しつつ、他方の階調電流生成回路群132Dの選択期間において、リセット動作を実行した後、先のタイミングで取り込んだ表示データに基づく階調電流を生成して、供給する電流生成供給動作を平行して実行し、また、一方の階調電流生成回路群132Cの選択期間において、リセット動作及び電流生成供給動作を実行しつつ、他方の階調電流生成回路群132Dの非選択期間において、次の表示データを取り込む信号保持を実行する動作を、交互に繰り返して実行する。

【0146】

したがって、本実施形態に係るデータドライバ130Cを適用した表示装置においても、リセット動作によりデータラインや表示画素に付加された容量成分に蓄積された電荷を十分に放電して、所定の低電位状態に初期化し、その後、表示パネル（表示画素）に供給される各階調電流を、一定電流値の基準電流及びデジタル信号からなる表示データに基づいて生成し供給することができるので、データラインや基準電流供給線等に付加する容量成分の充放電動作に起因するデータドライバの動作速度の低下を抑制して、表示応答特性を向上させることができるとともに、各データラインに対応して個別に設けられた階調電流供給回路により表示データに応じた適切な電流値を有する階調電流を生成して、各表示画素に供給することができ、良好な階調表示を実現することができる。

【0147】

また、各データラインに対して、2組の階調電流生成回路（群）を備え、各階調電流生成

回路の動作状態を交互に繰り返して実行することにより、データドライバから各表示画素に対して継続的に、表示データに適切に対応した電流値を有する階調電流を供給することができるので、表示画素を所定の輝度階調で迅速に発光動作させることができ、表示装置の表示応答速度及び表示画質を一層向上させることができる。

【0148】

なお、上述した各実施形態においては、表示データに基づく階調電流を表示画素に書き込む動作に先立って、データライン等に付加された配線容量（寄生容量）、あるいは、表示画素の保持容量等の容量成分に残留する電荷を所定の低電位電源（接地電位）に放電して、表示画素への階調電流の書き込み動作において、表示データに応じた的確な信号レベル（電位）に安定するまでに要する時間を短縮する構成及びその制御方法を、データドライバに適用した場合について説明したが、本発明においては、このような技術思想を、各表示画素を構成する画素駆動回路に適用することもできる。以下、具体的に説明する。

【0149】

<表示装置の第4の実施形態>

図15は、第4の実施形態に係る表示装置に適用される表示画素（画素駆動回路）の一実施例を示す回路構成図であり、図16は、本実施形態に係る表示装置に適用される表示画素（画素駆動回路）の他の実施例を示す回路構成図である。なお、ここでは、図7に示した画素駆動回路に、本発明に係る電流駆動回路の技術思想を適用した構成を示し、同等の構成については同一の符号を付して説明する。また、本発明に係る電流駆動回路を適用し画素駆動回路の構成はこれに限定されるものではなく、上述したような一連の動作タイミング（書き込み動作、発光動作）で発光素子を発光動作させることができるものであれば、他の回路構成を有しているものであってもよく、例えば、図11に示した画素駆動回路にも適用することができる。

【0150】

図15に示すように、本実施例に係る表示画素EM（画素駆動回路DCxa）は、図7に示した画素駆動回路DCxと同一の回路構成を有するトランジスタ群（pチャネル型トランジスタTr31、Tr33及びnチャネル型トランジスタTr32、Tr34）、保持容量（コンデンサCx）及び有機EL素子（負荷）OELに加え、接点Nxcと接地電位Vgnd間に電流路（ソースドレイン端子）が接続され、また、制御端子（ゲート端子）が走査ラインSLに並行に配設されたリセットラインRLに接続されたnチャネル型トランジスタ（特定状態設定手段）Tr35を備えた構成を有している。

【0151】

なお、図15においては、リセット機能を有するnチャネル型トランジスタTr35を、接点Nxcと接地電位Vgnd間に接続した構成について示したが、本発明はこれに限定されるものではなく、図16に示すように、接点Nxaと接地電位Vgnd間に接続した構成を有する画素駆動回路DCxbであってもよい。また、図15、図16に示した画素駆動回路DCxa、DCxbにおいては、Tr32がnチャネル型トランジスタからなり、該制御端子が走査ラインSL（図7に示した走査ラインにSLaに相当する）に接続された回路構成を有しているが、画素駆動回路における動作機能は、図7に示したものと同等である。

【0152】

このような構成において、図示を省略したシステムコントローラからリセットラインRLにハイレベルのリセット制御信号RSTが印加されることにより、nチャネル型トランジスタTr35がオン動作して、画素駆動回路DCxaの接点Nxc、又は、画素駆動回路DCxbの接点Nxaと接地電位間が電氣的に接続されることにより、各画素駆動回路DCxa、DCxbの保持容量（コンデンサCx）に蓄積されていた電荷が、該nチャネル型トランジスタTr35を介して接地電位に放電され、表示画素EMのリセット動作が実行される。

【0153】

なお、本実施形態に適用可能なデータドライバとしては、上述した第1乃至第3の各実施

形態に示したデータドライバ(図6、図10、図13参照)を良好に適用することもできるし、各実施形態に示した階調電流生成回路から特定状態設定部を省略した構成、さらには、従来技術に示したような周知の構成(図18、図19参照)を適用するものであってもよい。

【0154】

(表示パネルの制御動作)

図17は、本実施形態に係るデータドライバ及び表示パネルにおける制御動作の一例を示すタイミングチャートである。ここでは、データドライバとして上述した第1の実施形態に示した構成(図1、図6参照)において、階調電流生成回路PXA(電流駆動回路ISA)の特定状態設定部30A、及び、OR回路群300Aを省略した構成を有しているものとして説明する。また、図9に示した表示パネル(表示画素)における制御動作を適宜参照しながら説明する。

【0155】

本実施形態に係るデータドライバ及び表示パネル(表示画素EM)における制御動作は、まず、データドライバからの階調電流(負荷制御信号)の供給動作に先立って、各表示画素に付加された容量成分に蓄積された電荷を放電するリセット動作と、データドライバの各階調電流生成回路(データラッチ部)に、表示信号生成回路から供給される表示データを取り込み保持する信号保持動作と、該保持した表示データに基づいて階調電流Ipixを生成して各データラインDLに供給する電流生成供給動作と、を順次設定することにより実行される。

【0156】

本実施形態に係るデータドライバ及び表示パネル(表示画素)における制御動作は、図17に示すように、まず、リセット動作において、図示を省略したデータドライバから表示データに応じた階調電流Ipixを生成してデータラインを介して供給する動作に先立って、該階調電流Ipixを書き込むために選択状態に設定される行の表示画素EM群に対して、システムコントローラからリセットラインRLを介して、ハイレベルのリセット制御信号を供給することにより、各表示画素EMに設けられたnチャンネル型トランジスタTr35をオン動作させて、画素駆動回路DCxa、DCxbの特定の接点Nxc、Nxaを接地電位に接続する。これにより、画素駆動回路DCxa、DCxbに設けられた保持容量(コンデンサCx)等の容量成分に蓄積されていた電荷が接地電位に放電され、上記各接点Nxc、Nxaの電位が所定の低電位状態に初期化(リセット)される。

【0157】

次いで、信号保持動作において、上述した各実施形態と同様に、データドライバにより各列の表示画素EM(各データラインDL)に対応して切り替わる表示データを順次取り込み、保持する動作が1行分連続的に実行され、電流生成供給動作において、上記保持された表示データに基づいて、各々異なる比率の電流値に設定された複数の単位電流を選択的に合成することにより、階調電流Ipixを生成して、各データラインDLを介して表示画素EMに順次供給される。

【0158】

そして、図9に示したような表示パネル(表示画素)における書込動作において、上記リセット動作により容量成分に蓄積された電荷を放電した表示画素群に対して、図示を省略した走査ドライバにより走査ラインSLに選択レベル(ハイレベル)の走査信号Vselを印加することにより、上記電流生成供給動作によりデータドライバから各データラインDLに並列的に供給された階調電流Ipixを一斉に書き込んで、コンデンサCxに電圧成分として保持し、その後の発光動作において、該保持された電圧成分に基づく発光駆動電流を有機EL素子OELに継続的に供給することにより、表示データに対応する輝度階調で各表示画素EM(有機EL素子OEL)が発光する。

【0159】

これにより、本実施形態に係る表示パネル(表示画素)を適用した表示装置においても、リセット動作により表示画素に付加された容量成分に蓄積された電荷を良好に放電して、

所定の低電位状態に初期化することができるので、表示データに基づいて生成された階調電流に応じた適切な電荷量を蓄積することができ、有機EL素子に供給する発光駆動電流を表示データに応じた適切な電流値に設定することができる。したがって、表示画素に付加された容量成分への充放電動作に起因する、表示パネルへの書込速度の低下を抑制して、表示応答特性を向上させることができるとともに、各表示画素（有機EL素子）を表示データに応じた適切な輝度階調で発光動作させることができ、良好な階調表示を実現することができる。

【0160】

また、本実施形態においては、表示画素（画素駆動回路）に、階調電流の書込動作に先立って蓄積電荷を放電するためのリセット機構（nチャネル型トランジスタTr35及びリセットラインRL）を備えた構成を有しているため、上述したように、データドライバにおけるリセット機構（図6に示した各階調電流生成回路に設けられた特定状態設定部、及び、OR回路群）を省略することができ、回路構成を簡略化して、表示装置の小型化を図ることができる。

【0161】

なお、上述した各実施形態に係る表示装置においては、表示画素を構成する画素駆動回路から発光素子（有機EL素子）方向に発光駆動電流を流すように電流極性を設定した場合のみ示したが、本発明はこれに限定されるものではなく、発光素子の他端側に高電位電源を接続するとともに、発光素子の入出力端子を逆に接続して、発光素子から画素駆動回路方向に発光駆動電流が流れるように構成したものであってもよい。

【0162】

【発明の効果】

以上説明したように、本発明に係る電流駆動回路及びその制御方法によれば、有機EL素子等のように、電流値に応じて所定の駆動状態で動作する負荷に対して、所定の電流値を有する負荷駆動電流（階調電流）を個別に供給する電流駆動回路において、複数ビットのデジタル信号を並列的に保持するデータラッチ部と、該複数ビットのデジタル信号及び一定の基準電流に基づいて、負荷駆動電流を生成、出力する電流生成部と、少なくとも、負荷に付加された容量成分（寄生容量、保持容量）に蓄積された電荷を放電する特定状態設定部と、を備え、複数ビットのデジタル信号に基づいて生成された負荷駆動電流を負荷に出力する動作に先立って、負荷に付加された容量成分に蓄積された電荷を放電して、所定の低電位状態に設定（初期化、リセット）するように構成されているので、負荷駆動電流の生成に関連して供給されるデジタル信号や基準電流が電位変動をほとんど生じることがなく、駆動電流の電流値が微少な場合等であっても、上記制御信号を供給する信号線に付加する配線容量（寄生容量）への充放電動作に起因する信号遅延の影響を排除することができる。

【0163】

また、負荷駆動電流を供給するタイミングに先立って、駆動電流供給線や負荷の電位が一定の低電位状態にリセットされるので、例えば、負荷を比較的高い階調の駆動状態から比較的低い階調の駆動状態に移行させる場合等であっても、配線容量や保持容量等の容量成分に蓄積された電荷の影響を排除して、駆動電流供給線や負荷の信号レベルを迅速に、駆動電流に応じた適切な電位に安定化させることができる。

したがって、電流駆動回路の動作速度の低下を抑制して、負荷をより迅速かつ的確な駆動状態で動作させることができる。

【0164】

そして、本発明に係る表示装置においては、相互に直交する走査ライン及びデータラインの交点近傍に、発光素子を備えた表示画素をマトリクス状に配列してなる表示パネルを備えた表示装置において、上述したような電流駆動回路をデータドライバに適用することにより、階調電流生成回路により表示画素に供給される階調電流が、一定の基準電流、及び、複数ビットのデジタル信号に基づいて生成されるので、表示画素を比較的低い輝度階調で発光動作させる場合や、表示パネルの高精細化等に伴って表示画素への階調電流の供給

時間（選択時間）が短く設定されている場合であっても、階調電流の生成に関連してデータドライバに供給される信号による、データライン等への充放電動作に起因する伝達遅延の影響を排除することができ、データドライバの動作速度の低下を抑制して、表示装置における表示応答特性並びに表示画質の向上を図ることができる。

【0165】

また、この場合、各表示画素への階調電流の供給動作に先立って、各データラインに一定の低電圧からなるリセット電圧（特定電圧）を印加して、データラインに付加された配線容量（寄生容量）や表示画素の保持容量等の容量成分に蓄積された電荷を充分放電することができるので、新たな表示データに基づく階調電流を書き込む場合（特に、比較的高い輝度階調で発光動作を行った直後に、比較的低い輝度階調で発光動作を行う場合や、表示画素の選択期間が短く設定されている場合であっても）、上記容量成分に残留する電荷による影響を排除することができ、信号レベルの安定化までの所要時間を短縮して表示画素への書込速度を高めて、表示装置の表示応答特性及び表示画質を向上させることができる。

【0166】

また、本発明に係る表示装置においては、表示画素に設けられた保持容量に蓄積された電荷を、リセット電圧を印加することにより放電するスイッチ手段を備え、データドライバから表示データに応じた階調電流を、データラインを介して表示画素に供給する書込動作に先立って、上記スイッチ手段を制御して、残留電荷を接地電位に放電するように構成することができ、これにより、表示画素に付加された容量成分に蓄積された電荷を充分に放電して、所定の低電位状態に初期化することができるので、表示データに基づいて生成された階調電流に応じた適切な電荷量を蓄積することができ、発光素子に供給する発光駆動電流を適切な電流値に設定することができる。したがって、表示画素に付加された容量成分への充放電動作に起因する、表示パネルへの書込速度の低下を抑制して、表示応答特性を向上させることができるとともに、各表示画素を表示データに応じた適切な輝度階調で発光動作させることができ、良好な階調表示を実現することができる。

【図面の簡単な説明】

【図1】本発明に係る電流駆動回路の第1の実施形態を示す概略構成図である。

【図2】本実施形態に係る電流駆動回路に適用される電流生成部の一具体例を示す回路概念図である。

【図3】本発明に係る電流駆動回路の第2の実施形態を示す概略構成図である。

【図4】本実施形態に係る電流駆動回路に適用される電流生成部の一具体例を示す回路構成図である。

【図5】本発明に係る電流駆動回路を適用可能な表示装置の第1の実施形態を示す概略ブロック図である。

【図6】本実施形態に係る表示装置の要部構成を示す概略構成図である。

【図7】本実施形態に適用される表示画素（画素駆動回路）の第1の実施例を示す回路構成図である。

【図8】本実施形態に係るデータドライバにおける制御動作の一例を示すタイミングチャートである。

【図9】本実施形態に係る表示パネル（表示画素）における制御動作の一例を示すタイミングチャートである。

【図10】第2の実施形態に係る表示装置の要部構成を示す概略構成図である。

【図11】本実施形態に適用される画素駆動回路の一実施例を示す回路構成図である。

【図12】第3の実施形態に係る表示装置に適用されるデータドライバの第3の実施例を示す概略構成図である。

【図13】本実施例に係るデータドライバに適用される階調電流生成回路の一具体例を示す構成図である。

【図14】本実施形態に係るデータドライバにおける制御動作の一例を示すタイミングチャートである。

【図15】第4の実施形態に係る表示装置に適用される表示画素（画素駆動回路）の一実施例を示す回路構成図である。

【図16】本実施形態に係る表示装置に適用される表示画素（画素駆動回路）の他の実施例を示す回路構成図である。

【図17】本実施形態に係るデータドライバ及び表示パネルにおける制御動作の一例を示すタイミングチャートである。

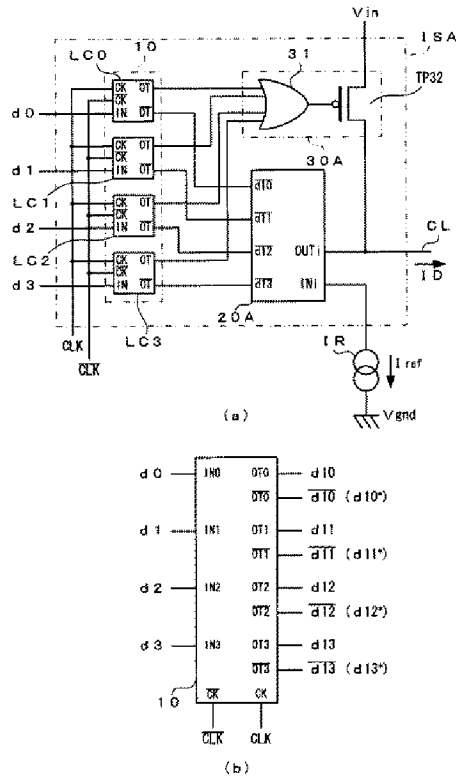
【図18】従来技術におけるデータドライバの一構成例を示す回路構成図である。

【図19】従来技術におけるデータドライバの他の構成例を示す回路構成図である。

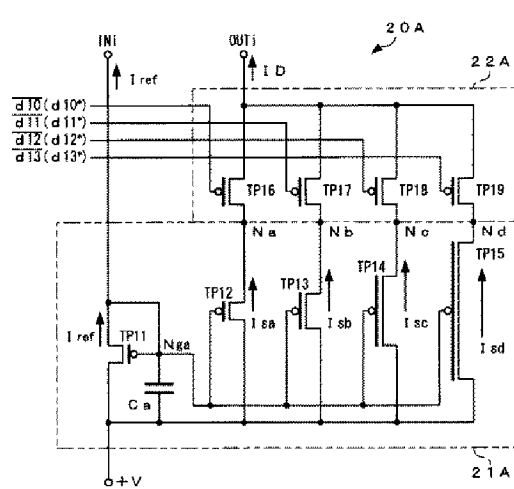
【符号の説明】

- I SA、I SB 電流駆動回路
- 10 データラッチ部
- 20A、20B 電流生成部
- 21A、21B カレントミラー回路部
- 22A、22B スイッチ回路部
- 30A、30B 特定状態設定部
- 100A 表示装置
- 110A 表示パネル
- 120A 走査ドライバ
- 130A~130C データドライバ
- IR 定電流発生源
- PXA~PXD 階調電流生成回路
- DCx、DCy 画素駆動回路

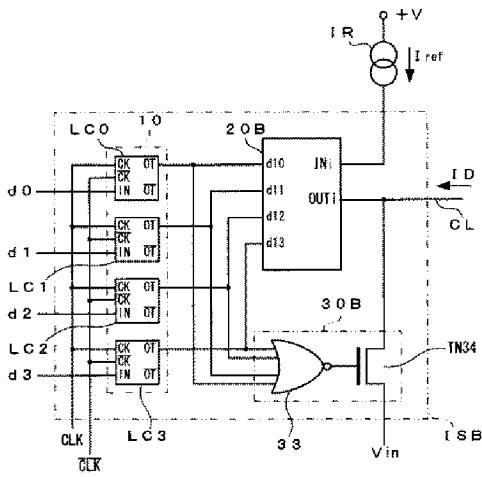
【図1】



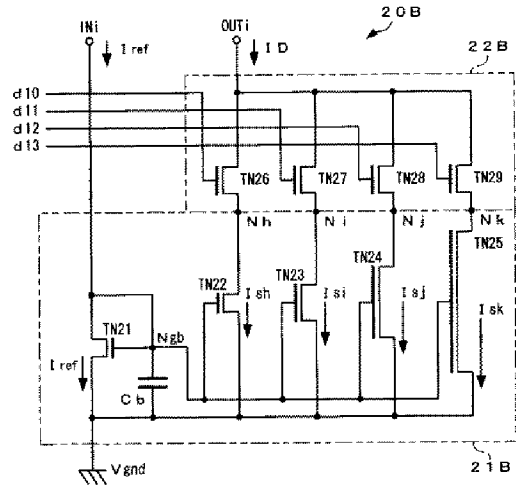
【図2】



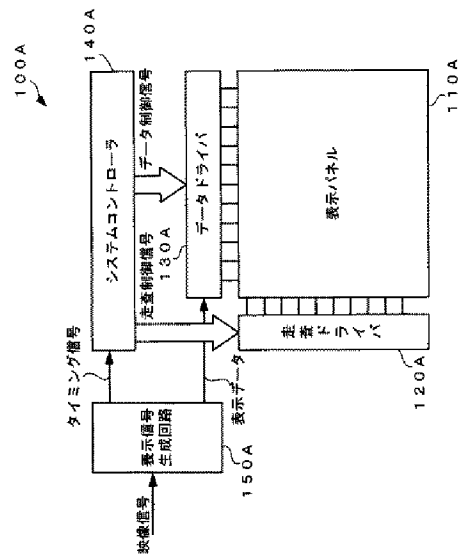
【図3】



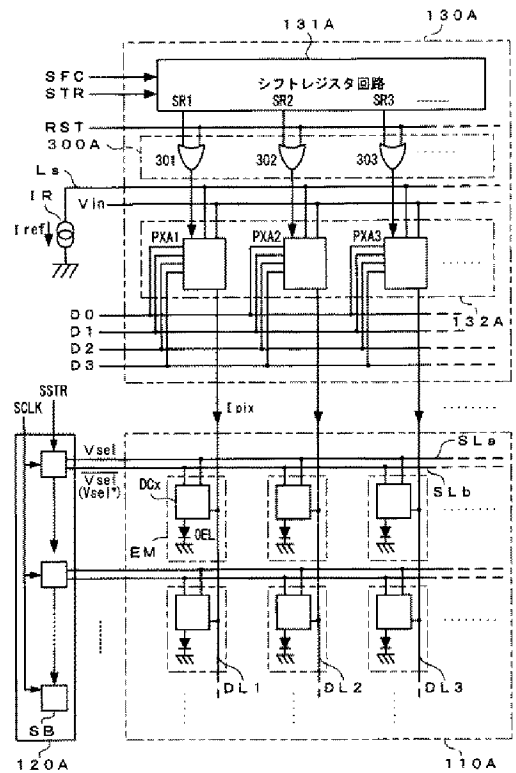
【図4】



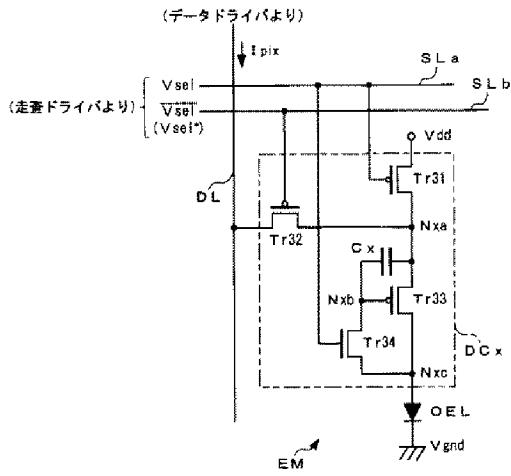
【図5】



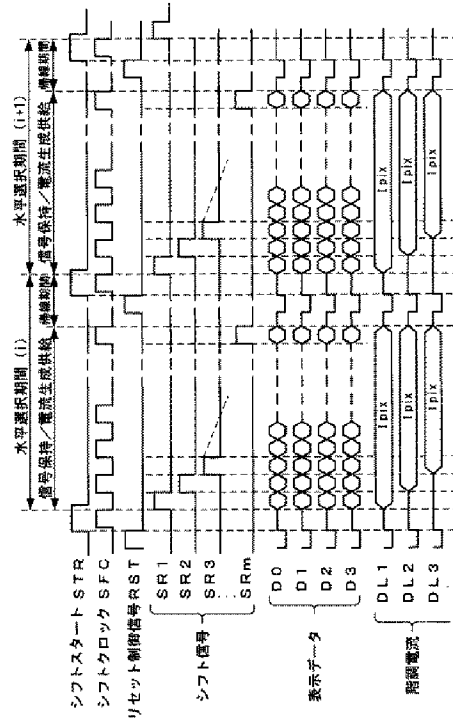
【図6】



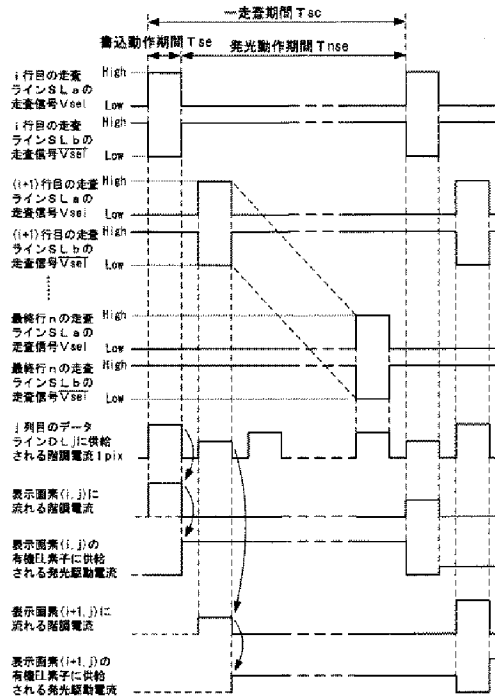
【図7】



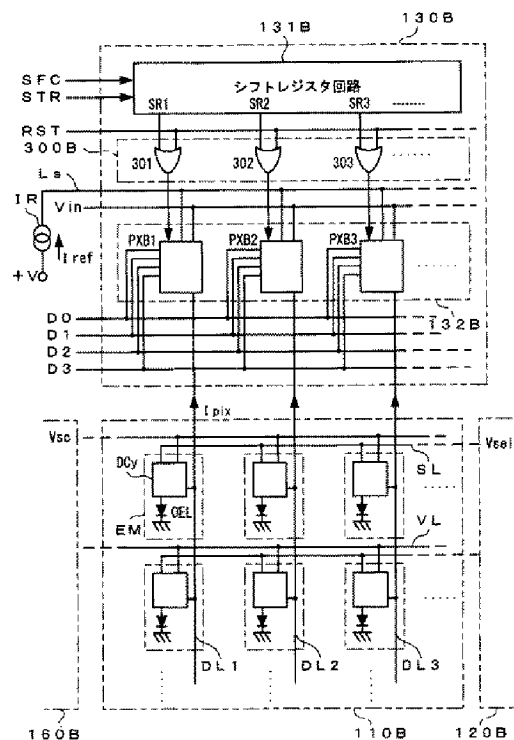
【図8】



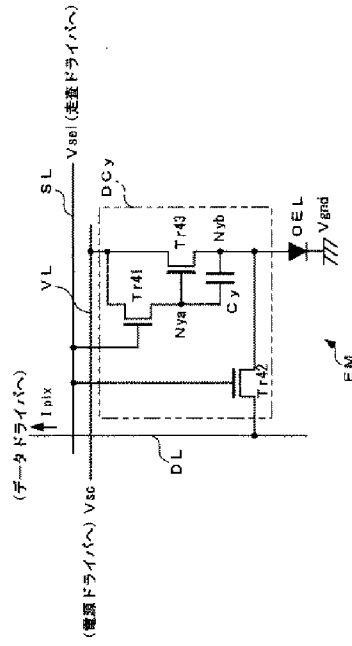
【図9】



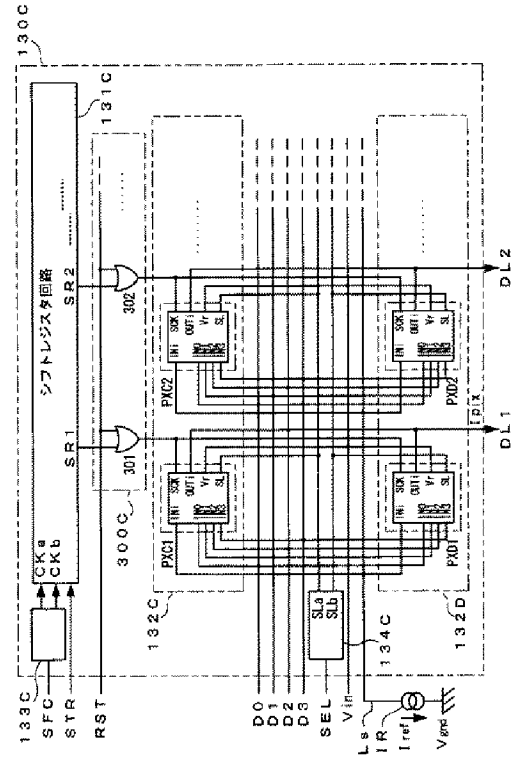
【図10】



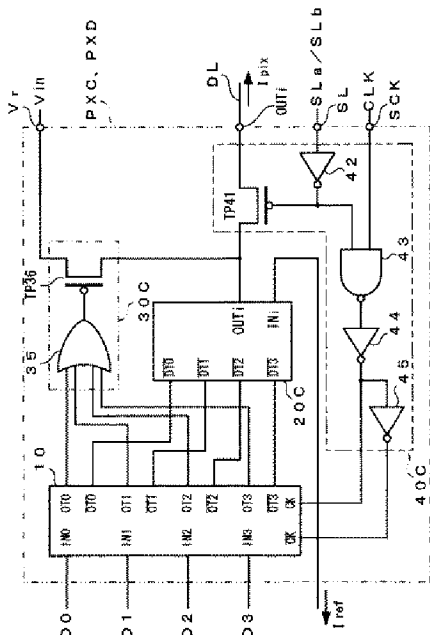
【図11】



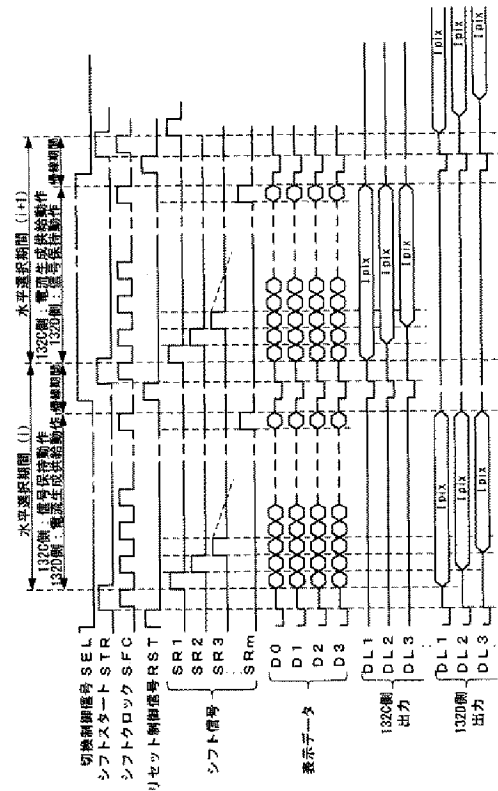
【図12】



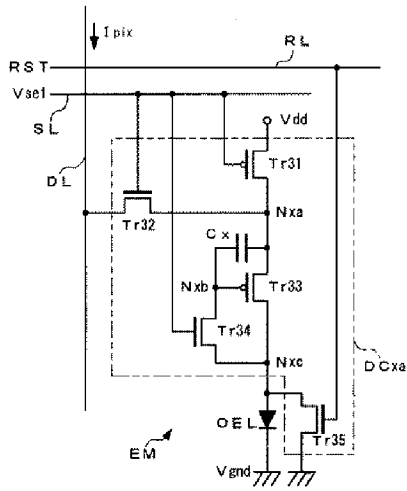
【図13】



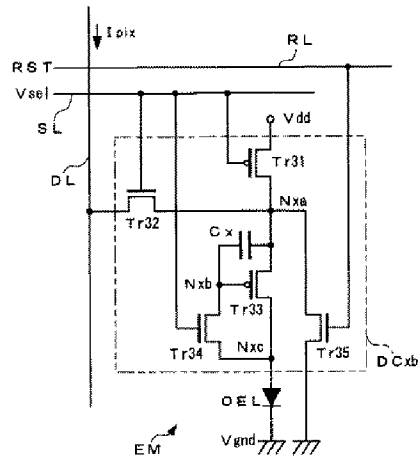
【図14】



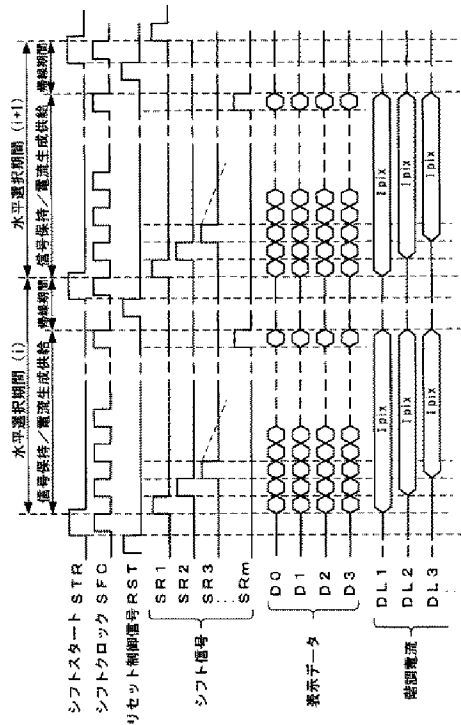
【図15】



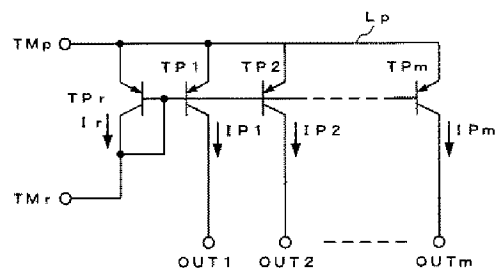
【図16】



【図17】



【図18】



(51)Int.Cl.⁷

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 3 F
G 0 9 G	3/20	6 2 3 G
G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 4 1 D
G 0 9 G	3/30	J
G 0 9 G	3/30	K
H 0 5 B	33/14	A

F ターム(参考) 5C080 AA06 BB05 DD08 EE29 FF01 FF11 HH09 JJ02 JJ03 JJ04
5J500 AA01 AA43 AC65 AF20 AH02 AH09 AH29 AH39 AK00 AK05
AK09 AK67 AS00 AT01

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-107233

(P2005-107233A)

(43) 公開日 平成17年4月21日(2005.4.21)

(51) Int. Cl. 7

F I

テーマコード(参考)

G09G 3/30

G09G 3/30 J

3K007

G09G 3/20

G09G 3/20 611H

5C080

H05B 33/14

G09G 3/20 612F

G09G 3/20 612T

G09G 3/20 623D

審査請求 有 請求項の数 11 O L (全 25 頁) 最終頁に続く

(21) 出願番号 特願2003-341434 (P2003-341434)
(22) 出願日 平成15年9月30日(2003.9.30)

(71) 出願人 000001443
カシオ計算機株式会社
東京都渋谷区本町1丁目6番2号
(74) 代理人 100090033
弁理士 荒船 博司
(74) 代理人 100093045
弁理士 荒船 良男
(72) 発明者 白崎 友之
東京都八王子市石川町2951番地5 カ
シオ計算機株式会社八王子研究所内
Fターム(参考) 3K007 AB17 BA06 DB03 GA04
5C080 AA06 BB05 DD05 DD20 DD29
EE29 FF11 HH09 JJ02 JJ03
JJ04 JJ05 JJ06

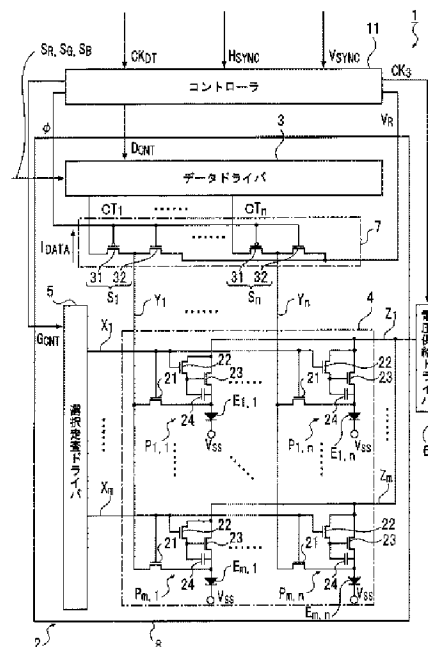
(54) 【発明の名称】 表示装置及び表示パネルの駆動方法

(57) 【要約】

【課題】 高品質な表示を行うことができる表示装置及び表示パネルの駆動方法を提供すること。

【解決手段】 有機エレクトロルミネッセンスディスプレイ1は有機エレクトロルミネッセンス表示パネル2を具備しており、有機エレクトロルミネッセンス表示パネル2においては画素 $P_{i,j}$ がマトリクス状に配列されており、画素 $P_{i,j}$ が有機EL素子 $E_{i,j}$ と画素回路 $D_{i,j}$ とを備える。有機エレクトロルミネッセンス表示パネル2は、データドライバ3、選択走査ドライバ5及び電圧供給ドライバ6によって駆動される。画素回路 $D_{i,j}$ は選択走査ドライバ5によって選択されると、信号線 Y_j に流れる階調指定電流の大きさに従ったレベルの電圧をトランジスタ23に保持する。画素回路 $D_{i,j}$ は発光期間ではトランジスタ23の電圧レベルに従った大きさの駆動電流を有機EL素子 $E_{i,j}$ に流す。

【選択図】 図1



【特許請求の範囲】**【請求項1】**

複数の走査線と前記複数の走査線に略垂直な複数の信号線との各交差部に配置され、流れる電流の大きさに従った輝度で発光する複数の発光素子と、

前記複数の走査線を順次選択する選択走査ドライバと、

前記選択走査ドライバによって前記複数の走査線が各々選択されている時に、映像信号に従った大きさの指定電流を前記複数の信号線に流すデータドライバと、

前記選択走査ドライバが前記複数の走査線を順次選択している時に指定電流用基準電圧を複数の信号供給線に印加し、前記選択走査ドライバが前記複数の走査線を順次選択することを終了した後に駆動電流用基準電圧を前記複数の信号供給線に印加する電圧供給ドライバと、

前記複数の発光素子の各々の周囲に設けられ、前記選択走査ドライバによって前記走査線が選択されている時に前記電圧供給ドライバが前記信号供給線に指定電流用基準電圧を印加することにより前記信号供給線から前記信号線に流れる指定電流の大きさを電圧のレベルに変換し、前記選択走査ドライバが前記複数の走査線を順次選択することを終了した後に前記電圧供給ドライバが前記信号供給線に駆動電流用基準電圧を印加することにより前記変換された電圧のレベルに従った大きさの駆動電流を前記発光素子に流す複数の画素回路と、を備えることを特徴とする表示装置。

【請求項2】

前記電圧供給ドライバが駆動電流用基準電圧を前記複数の信号供給線に印加した後に、前記選択走査ドライバが再び前記複数の走査線を順次選択するとともに前記電圧供給ドライバが再び指定電流用基準電圧を前記複数の信号供給線に印加することを特徴とする請求項1に記載の表示装置。

【請求項3】

前記複数の画素回路は各々、

前記電圧供給ドライバが前記複数の信号供給線に指定電流用基準電圧を印加している最中に前記選択走査ドライバによって前記走査線が選択されている時に前記信号線に流れる指定電流を自身に流すことでその指定電流の大きさを電圧のレベルに変換し、

前記電圧供給ドライバが前記複数の信号供給線に指定電流用基準電圧を印加している最中に前記選択走査ドライバによって前記走査線が選択されていない時に前記信号線に流れる指定電流を遮断するとともに前記変換された電圧のレベルを保持し、

前記選択走査ドライバが前記複数の走査線を順次選択することを終了した後に前記電圧供給ドライバが前記信号供給線に駆動電流用基準電圧を印加することにより前記保持された電圧のレベルに従った駆動電流を前記発光素子に流すことを特徴とする請求項1又は2に記載の表示装置。

【請求項4】

前記発光素子が有機エレクトロルミネッセンス素子であり、前記有機エレクトロルミネッセンス素子のアノードが前記画素回路に接続されていることを特徴とする請求項1から3の何れか一項に記載の表示装置。

【請求項5】

前記複数の画素回路は各々、

ゲートが前記走査線に接続され、ドレインとソースのうちの一方が前記信号線に接続された第一トランジスタと、

ゲートが前記走査線に接続され、ドレインとソースのうちの一方が前記信号供給線に接続された第二トランジスタと、

ゲートが前記第二トランジスタのドレインとソースのうちの他方に接続され、ドレインとソースのうちの一方が前記第二トランジスタのドレインとソースのうちの一方に接続され、ドレインとソースのうちの他方が前記第一トランジスタのドレインとソースのうちの他方に接続され且つ前記有機エレクトロルミネッセンス素子のアノードに接続された第三

トランジスタと、を有することを特徴とする請求項4に記載の表示装置。

【請求項6】

前記電圧供給ドライバが前記複数の信号供給線に指定電流用駆動電圧を印加している最中に前記選択走査ドライバが前記走査線を選択して前記第一トランジスタをオンしている時に、前記第一トランジスタが前記電圧供給ドライバから前記第三トランジスタのドレインソース間を介して前記信号線に指定電流を流すことによって、前記第三トランジスタが指定電流の大きさをゲートソース間電圧のレベルに変換し、

前記電圧供給ドライバが前記複数の信号供給線に指定電流用駆動電圧を印加している最中に前記選択走査ドライバが前記走査線を選択していないで前記第一トランジスタをオフしている時に、前記第二トランジスタが前記第三トランジスタによって変換されたゲートソース間電圧のレベルを保持し、

前記選択走査ドライバが前記複数の走査線を順次選択することを終了した後に前記電圧供給ドライバが前記複数の信号供給線に駆動電流用基準電圧を印加している時に、前記第三トランジスタが前記保持した電圧のレベルに従った大きさの駆動電流を前記信号供給線から前記有機エレクトロルミネッセンス素子へ流すことを特徴とする請求項5に記載の表示装置。

【請求項7】

前記電圧供給ドライバによって前記複数の信号供給線に印加される指定電流用基準電圧が前記有機エレクトロルミネッセンス素子のカソードの電圧以下に設定されており、前記電圧供給ドライバによって前記複数の信号供給線に印加される駆動電流用基準電圧が前記有機エレクトロルミネッセンス素子のカソードの電圧を越えるように設定されていることを特徴とする請求項4から6の何れか一項に記載の表示装置。

【請求項8】

第一行目の走査線と第二行目の走査線を有する走査線群と、

前記第一行目の走査線に接続され、流れる駆動電流の電流値に従って発光する第一光学要素と、前記第二行目の走査線に接続され、流れる駆動電流の電流値に従って発光する第二光学要素と、を有する光学要素群と、

前記第一光学要素に接続され、流れる指定電流の電流値と等しい駆動電流を流す第一画素回路と、前記第二光学要素に接続され、流れる指定電流の電流値と等しい駆動電流を流す第二画素回路と、を有する画素回路群と、

前記走査線群の各選択期間にそれぞれ指定電流用基準電圧を印加し、前記第一行目の走査線の選択期間後の前記第二行目の走査線の選択期間の後に、前記第一行目及び前記第二行目の画素回路群に前記駆動電流を流すための駆動電流用基準電圧を印加する電源と、

を備えることを特徴とする表示装置。

【請求項9】

前記電源は、全ての前記画素回路に前記駆動電流用基準電圧を同期して出力することを特徴とする請求項8記載の表示装置。

【請求項10】

前記指定電流用基準電圧は、前記駆動電流用基準電圧より低いことを特徴とする請求項8又は9に記載の表示装置。

【請求項11】

複数の走査線と前記複数の走査線に略垂直な複数の信号線との各交差部に配置され、流れる電流の大きさに従った輝度で発光する複数の発光素子と、前記複数の発光素子の各々の周囲に設けられた画素回路と、を備える表示パネルを駆動する方法であって、

前記複数の走査線を順次選択し、

前記複数の走査線を各々選択している時に、映像信号に従った大きさの指定電流を前記複数の信号線に流し、

前記選択走査ドライバが前記複数の走査線を順次選択している時に指定電流用基準電圧を複数の信号供給線に印加し、前記選択走査ドライバが前記複数の走査線を順次選択することを終了した後に駆動電流用基準電圧を前記複数の信号供給線に印加し、

前記走査線を選択している時に前記信号供給線に指定電流用基準電圧を印加することにより、前記信号供給線から前記信号線に流れる指定電流の大きさを前記画素回路によって電圧のレベルに変換し、前記複数の走査線を順次選択することを終了した後に前記信号供給線に駆動電流用基準電圧を印加することにより、前記変換された電圧のレベルに従った【発明の詳細な説明】路によって前記発光素子に流す表示パネルの駆動方法。

【技術分野】

【0001】

本発明は、流れる電流の大きさが定まると一義的に輝度が定まる発光素子を画素ごとに備える表示パネルを駆動する表示パネルの駆動方法、及び、前記表示パネルとデータドライバと走査ドライバとを具備し、前記データドライバ及び前記走査ドライバで前記表示パネルを駆動する表示装置に関する。

【背景技術】

【0002】

一般に、液晶ディスプレイにはアクティブマトリクス駆動方式のものと、単純マトリクス駆動方式のものがある。アクティブマトリクス駆動方式の液晶ディスプレイにおいては、単純マトリクス駆動方式の液晶ディスプレイに比較しても高輝度、高コントラスト及び高精細な画面表示が行われる。アクティブマトリクス駆動方式の液晶ディスプレイにおいては、キャパシタとしても機能する液晶素子と、スイッチング素子として機能するトランジスタとが、画素ごとに設けられている。アクティブマトリクス駆動方式では、シフトレジスタである走査ドライバによって走査線が選択されている時に、輝度を表すレベルの電圧がデータドライバによって信号線に印加されると、トランジスタを介して液晶素子に電圧が印加される。走査線の選択が終了してから次にその走査線が選択されるまでの間においてトランジスタがオフになっても、液晶素子がキャパシタとして機能するため、走査線の選択が終了してから次にその走査線が選択されるまでの間、電圧レベルが保持される。以上のように、走査線が選択されている時において液晶素子の光透過率が漸たにリフレッシュされて、バックライトの光がリフレッシュされた光透過率で液晶素子を透過することによって、液晶ディスプレイの階調表現が行われる。

【0003】

一方、自発光素子である有機EL (Electro Luminescence : エレクトロルミネッセンス) 素子を用いた有機エレクトロルミネッセンスディスプレイは、液晶ディスプレイのようにバックライトを必要とせず、薄型化に最適であるとともに、液晶ディスプレイのような視野角の制限もないため、次世代の表示装置として実用化が大きく期待されている。

【0004】

高輝度、高コントラスト、高精細といった観点から、有機エレクトロルミネッセンスディスプレイも、液晶ディスプレイと同様にアクティブマトリクス駆動方式の有機エレクトロルミネッセンスディスプレイが開発されている。例えば特許文献1に記載された従来のアクティブマトリクス駆動方式の有機エレクトロルミネッセンスディスプレイにおいては、有機EL素子と、この有機EL素子に接続された電流制御用トランジスタと、この電流制御用トランジスタのスイッチングを行うスイッチ用トランジスタとが、画素ごとに設けられている。この有機エレクトロルミネッセンスディスプレイでは、Y方向周辺駆動回路によって走査線が選択されている時に輝度を表すレベルの電圧がX方向周辺駆動回路によって信号線に印加されると、スイッチング用トランジスタがオンになり、信号線の電圧が電流制御用トランジスタのゲートに印加されることによって電流制御用トランジスタのゲートに輝度データとして書き込まれることになる。これにより、電流制御用トランジスタがオンになり、ゲート電圧のレベルに応じた大きさの駆動電流が電源から電流制御用トランジスタを介して有機EL素子に流れ、有機EL素子が電流の大きさに応じた輝度で発光する。走査線の選択が終了してから次にその走査線が選択されるまでの間では、スイッチ用トランジスタがオフになっても電流制御用トランジスタのゲート電圧のレベルが保持され続け、有機EL素子が電圧に応じた駆動電流の大きさに従った輝度で発光する。

【特許文献1】特開平8-330600号公報(第4図)

【発明の開示】

【発明が解決しようとする課題】

【0005】

ところで、一般的にトランジスタは、周囲の温度変化によってチャネル抵抗が変化したり、長時間の使用によりチャネル抵抗が変化したりするために、ゲート閾値電圧が経時変化したり、ゲート閾値電圧がトランジスタごとに異なる。従って、従来のアクティブマトリクス駆動方式の有機エレクトロルミネッセンスディスプレイでは、電流制御用トランジスタのゲート電圧のレベルを変化させることによって有機EL素子に流れる電流の大きさを変化させること、換言すれば、電流制御用トランジスタのゲートに印加する電圧のレベルを変化させることによって有機EL素子の輝度を変化させることを行っても、電流制御用トランジスタのゲート電圧のレベルで有機EL素子に流れる電流の大きさを一義的に指定するのは困難である。つまり、画素の間で同じレベルのゲート電圧を電流制御用トランジスタに印加したものとしても、画素の間で有機EL素子の発光輝度が異なってしまう、表示面内でバラツキが生じてしまう。

【0006】

そこで、本発明は、上記のような問題点を解決しようとしてなされたものであり、高品質な表示を行うことができる表示装置及び表示パネルの駆動方法を提供することを目的とする。

【課題を解決するための手段】

【0007】

以上の課題を解決するために、本発明の表示装置は、

複数の走査線と前記複数の走査線に略垂直な複数の信号線との各交差部に配置され、流れる電流の大きさに従った輝度で発光する複数の発光素子と、

前記複数の走査線を順次選択する選択走査ドライバと、

前記選択走査ドライバによって前記複数の走査線が各々選択されている時に、映像信号に従った大きさの指定電流を前記複数の信号線に流すデータドライバと、

前記選択走査ドライバが前記複数の走査線を順次選択している時に指定電流用基準電圧を複数の信号供給線に印加し、前記選択走査ドライバが前記複数の走査線を順次選択することを終了した後に駆動電流用基準電圧を前記複数の信号供給線に印加する電圧供給ドライバと、

前記複数の発光素子の各々の周囲に設けられ、前記選択走査ドライバによって前記走査線が選択されている時に前記電圧供給ドライバが前記信号供給線に指定電流用基準電圧を印加することにより前記信号供給線から前記信号線に流れる指定電流の大きさを電圧のレベルに変換し、前記選択走査ドライバが前記複数の走査線を順次選択することを終了した後に前記電圧供給ドライバが前記信号供給線に駆動電流用基準電圧を印加することにより前記変換された電圧のレベルに従った大きさの駆動電流を前記発光素子に流す複数の画素回路と、を備える。

【0008】

前記電圧供給ドライバが駆動電流用基準電圧を前記複数の信号供給線に印加した後に、前記選択走査ドライバが再び前記複数の走査線を順次選択するとともに前記電圧供給ドライバが再び指定電流用基準電圧を前記複数の信号供給線に印加することが好ましい。

【0009】

前記複数の画素回路は各々、

前記電圧供給ドライバが前記複数の信号供給線に指定電流用基準電圧を印加している最中に前記選択走査ドライバによって前記走査線が選択されている時に前記信号線に流れる指定電流を自身に流すことでその指定電流の大きさを電圧のレベルに変換し、

前記電圧供給ドライバが前記複数の信号供給線に指定電流用基準電圧を印加している最中に前記選択走査ドライバによって前記走査線が選択されていない時に前記信号線に流れる指定電流を遮断するとともに前記変換された電圧のレベルを保持し、

前記選択走査ドライバが前記複数の走査線を順次選択することを終了した後に前記電圧

供給ドライバが前記信号供給線に駆動電流用基準電圧を印加することにより前記保持された電圧のレベルに従った駆動電流を前記発光素子に流すことが好ましい。

【0010】

前記発光素子が有機エレクトロルミネッセンス素子であり、前記有機エレクトロルミネッセンス素子のアノードが前記画素回路に接続されていることが好ましい。

【0011】

前記複数の画素回路は各々、

ゲートが前記走査線に接続され、ドレインとソースのうちの一方が前記信号線に接続された第一トランジスタと、

ゲートが前記走査線に接続され、ドレインとソースのうちの一方が前記信号供給線に接続された第二トランジスタと、

ゲートが前記第二トランジスタのドレインとソースのうちの他方に接続され、ドレインとソースのうちの一方が前記第二トランジスタのドレインとソースのうちの一方に接続され、ドレインとソースのうちの他方が前記第一トランジスタのドレインとソースのうちの他方に接続され且つ前記有機エレクトロルミネッセンス素子のアノードに接続された第三トランジスタと、を有することが好ましい。

【0012】

前記電圧供給ドライバが前記複数の信号供給線に指定電流用駆動電圧を印加している最中に前記選択走査ドライバが前記走査線を選択して前記第一トランジスタをオンしている時に、前記第一トランジスタが前記電圧供給ドライバから前記第三トランジスタのドレイン-ソース間を介して前記信号線に指定電流を流すことによって、前記第三トランジスタが指定電流の大きさをゲート-ソース間電圧のレベルに変換し、

前記電圧供給ドライバが前記複数の信号供給線に指定電流用駆動電圧を印加している最中に前記選択走査ドライバが前記走査線を選択していないで前記第一トランジスタをオフしている時に、前記第二トランジスタが前記第三トランジスタによって変換されたゲート-ソース間電圧のレベルを保持し、

前記選択走査ドライバが前記複数の走査線を順次選択することを終了した後に前記電圧供給ドライバが前記複数の信号供給線に駆動電流用基準電圧を印加している時に、前記第三トランジスタが前記保持した電圧のレベルに従った大きさの駆動電流を前記信号供給線から前記有機エレクトロルミネッセンス素子へ流すことが好ましい。

【0013】

前記電圧供給ドライバによって前記複数の信号供給線に印加される指定電流用基準電圧が前記有機エレクトロルミネッセンス素子のカソードの電圧以下に設定されており、前記電圧供給ドライバによって前記複数の信号供給線に印加される駆動電流用基準電圧が前記有機エレクトロルミネッセンス素子のカソードの電圧を越えるように設定されていることが好ましい。

【0014】

そして本発明の他の表示装置は、

第一行目の走査線と第二行目の走査線を有する走査線群と、

前記第一行目の走査線に接続され、流れる駆動電流の電流値に従って発光する第一光学要素と、前記第二行目の走査線に接続され、流れる駆動電流の電流値に従って発光する第二光学要素と、を有する光学要素群と、

前記第一光学要素に接続され、流れる指定電流の電流値と等しい駆動電流を流す第一画素回路と、前記第二光学要素に接続され、流れる指定電流の電流値と等しい駆動電流を流す第二画素回路と、を有する画素回路群と、

前記走査線群の各選択期間にそれぞれ指定電流用基準電圧を印加し、前記第一行目の走査線の選択期間後の前記第二行目の走査線の選択期間の後に、前記第一行目及び前記第二行目の画素回路群に前記駆動電流を流すための駆動電流用基準電圧を印加する電源と、を備える。

【0015】

前記電源は、全ての前記画素回路に前記駆動電流用基準電圧を同期して出力することによって、選択期間及び発光期間で構成される一フレーム期間での駆動電流用基準電圧の印加回数を最小限としたので、指定電流用基準電圧と駆動電流用基準電圧との切替による消費電力を最小限とすることができる。

【0016】

前記指定電流用基準電圧は、前記駆動電流用基準電圧より低いことが好ましい。

【0017】

また、本発明の表示パネルの駆動方法は、

複数の走査線と前記複数の走査線に略垂直な複数の信号線との各交差部に配置され、流れる電流の大きさに従った輝度で発光する複数の発光素子と、前記複数の発光素子の各々の周囲に設けられた画素回路と、を備える表示パネルを駆動する方法であって、

前記複数の走査線を順次選択し、

前記複数の走査線を各々選択している時に、映像信号に従った大きさの指定電流を前記複数の信号線に流し、

前記選択走査ドライバが前記複数の走査線を順次選択している時に指定電流用基準電圧を複数の信号供給線に印加し、前記選択走査ドライバが前記複数の走査線を順次選択することを終了した後に駆動電流用基準電圧を前記複数の信号供給線に印加し、

前記走査線を選択している時に前記信号供給線に指定電流用基準電圧を印加することにより、前記信号供給線から前記信号線に流れる指定電流の大きさを前記画素回路によって電圧のレベルに変換し、前記複数の走査線を順次選択することを終了した後に前記信号供給線に駆動電流用基準電圧を印加することにより、前記変換された電圧のレベルに従った大きさの駆動電流を前記画素回路によって前記発光素子に流す。

【0018】

本発明では、複数の走査線が順次選択されていく時には、複数の信号供給線に指定電流用電圧が印加されている。或る走査線が選択されている時、信号供給線に指定電流用電圧が印加されているので、信号線に流れる指定電流が画素回路に流れ、その指定電流の大きさがその画素回路によって電圧のレベルに変換される。複数の走査線が順次選択されていくことによって各々の画素回路で指定電流の大きさを電圧のレベルに変換することが行順次に行われ、複数の走査線が順次選択されるのが終了すると、全ての画素回路において指定電流の大きさが電圧のレベルに変換される。複数の走査線が順次選択されるのが終了すると、複数の信号供給線に駆動電流用基準電圧が印加されているので、それぞれの画素回路は、変換した電圧のレベルに従った大きさの駆動電流を発光素子に流す。これにより、複数の走査線が順次選択されるのが終了すると全ての発光素子が発光するが、駆動電流の大きさは画素回路によって変換された電圧のレベルに従っており、その電圧のレベルは指定電流の大きさを変換したものであるから、発光素子は指定電流の大きさに依存した輝度で発光する。

【発明の効果】

【0019】

本発明によれば、複数の走査線が順次選択されるのが終了すると全ての発光素子が発光するが、発光素子は指定電流の大きさに依存した輝度で発光する。つまり、発光素子は指定電流の大きさに従った所望通りの輝度で発光するから、指定電流のレベルが画素の間で同じであれば、複数の発光素子の間で輝度のバラツキが生じず、高品質な画面表示を行うことができる。

【発明を実施するための最良の形態】

【0020】

以下に、本発明を実施するための最良の形態について図面を用いて説明する。但し、以下に述べる実施形態には、本発明を実施するために技術的に好ましい種々の限定が付されているが、発明の範囲を以下の実施形態及び図示例に限定するものではない。

【0021】

図1は、本発明の有機エレクトロルミネッセンスディスプレイを適用した実施の形態に

おける有機エレクトロルミネッセンスディスプレイ1を示した図面である。図1に示されるように、有機エレクトロルミネッセンスディスプレイ1は、基本構成として、選択走査線 $X_1 \sim X_m$ 、信号供給線 $Z_1 \sim Z_m$ 、信号線 $Y_1 \sim Y_n$ 及び画素 $P_{1,1} \sim P_{m,n}$ を備え付けた有機エレクトロルミネッセンス表示パネル2と、選択走査線 $X_1 \sim X_m$ を順次選択していく選択走査ドライバ5と、選択走査線 $X_1 \sim X_m$ が各々選択されている時に階調指定電流 I_{DATA} をそれぞれの信号線 $Y_1 \sim Y_n$ に流すデータドライバ3と、選択走査ドライバ5が選択走査線 $X_1 \sim X_m$ を順次選択している時(後述する非発光期間 T_{NL})に選択走査線 $X_1 \sim X_m$ に階調指定電流用基準電圧 V_{LOW} を印加し、選択走査ドライバ5が選択走査線 $X_1 \sim X_m$ を順次選択することを終了した後(後述する発光期間 T_L)に選択走査線 $X_1 \sim X_m$ に駆動電流用基準電圧 V_{HIGH} を印加する電圧供給ドライバ6と、信号線 $Y_1 \sim Y_n$ に対する出力を階調指定電流 I_{DATA} からリセット電圧 V_R に又はその逆に切り換える切換回路7と、データドライバ3、選択走査ドライバ5、電圧供給ドライバ6及び切換回路7を制御するコントローラ11と、を備える。

【0022】

有機エレクトロルミネッセンス表示パネル2は、映像が実質的に表示される表示部4が透明基板8に設けられた構造となっている。表示部4の周囲に選択走査ドライバ5、データドライバ3及び電圧供給ドライバ6が配設されている。選択走査ドライバ5及びデータドライバ3は、透明基板8上に設けられていても良いし、透明基板8の周辺に配された回路基板上に設けられても良い。

【0023】

表示部4においては、 $(m \times n)$ 個の画素 $P_{1,1} \sim P_{m,n}$ がマトリクス状となって透明基板8上に設けられており、縦方向つまり列方向に m 個の画素 $P_{i,j}$ が配列され、横方向つまり行方向に n 個の画素 $P_{i,j}$ が配列されている。ここで、 m 、 n は2以上の自然数であり、 i は1以上 m 以下の任意自然数であり、 j は1以上 n 以下の任意自然数である。従って、縦に i 番目(つまり、 i 行目)であって横に j 番目(つまり、 j 列目)である画素が画素 $P_{i,j}$ となる。

【0024】

また、表示部4においては、行方向に延在する m 本の選択走査線 $X_1 \sim X_m$ が列方向に配列して透明基板8上に設けられている。行方向に延在する m 本の信号供給線 $Z_1 \sim Z_m$ が各選択走査線 $X_1 \sim X_m$ と対応するように列方向に配列して透明基板8上に設けられている。各信号供給線 Z_k ($1 \leq k \leq m-1$)は選択走査線 X_k と選択走査線 X_{k+1} との間に配置され、選択走査線 X_m は信号供給線 Z_{m-1} と信号供給線 Z_m との間に配置されている。また、列方向に延在する n 本の信号線 $Y_1 \sim Y_n$ が行方向に配列して透明基板8上に設けられている。これら選択走査線 $X_1 \sim X_m$ 、信号供給線 $Z_1 \sim Z_m$ 及び信号線 $Y_1 \sim Y_n$ は、介在する絶縁膜等によって互いに絶縁されている。選択走査線 X_i 及び信号供給線 Z_i には、行方向に配列された n 個の画素 $P_{i,1} \sim P_{i,n}$ が接続されており、信号線 Y_j には、列方向に配列された m 個の画素 $P_{1,j} \sim P_{m,j}$ が接続されており、選択走査線 X_i と信号線 Y_j との交差点に画素 $P_{i,j}$ が配されている。選択走査線 $X_1 \sim X_m$ は選択走査ドライバ5のそれぞれの出力端子に接続されており、信号供給線 $Z_1 \sim Z_m$ は互いに導電して電圧供給ドライバ6の出力端子に接続されている。つまり、信号供給線 $Z_1 \sim Z_m$ には全て同じ信号が出力される。

【0025】

なお、選択走査線 $X_1 \sim X_m$ が信号供給線 $Z_1 \sim Z_m$ と平行であり且つ信号線 $Y_1 \sim Y_n$ に対して略垂直である代わりに、選択走査線 $X_1 \sim X_m$ が複数の信号供給線に対しても信号線 $Y_1 \sim Y_n$ に対しても略垂直であっても良い。この場合、信号供給線の本数は n 本であり、信号線 $Y_1 \sim Y_n$ と複数の信号線が交互に配列され、選択走査線 X_i には、行方向に配列された n 個の画素 $P_{i,1} \sim P_{i,n}$ が接続され、信号線 Y_j には、列方向に配列された m 個の画素 $P_{1,j} \sim P_{m,j}$ が接続され、任意の j 列の信号供給線には、列方向に配列された m 個の画素 $P_{1,j} \sim P_{m,j}$ が接続され、複数の信号供給線は互いに導電して電圧供給ドライバ6に接続されている。

【0026】

次に、図2及び図3を用いて画素 $P_{1,1} \sim P_{m,n}$ について説明する。図2は画素 $P_{i,j}$ を示した平面図であり、図3は隣接する四つの画素 $P_{i,j}$ 、 $P_{i+1,j}$ 、 $P_{i,j+1}$ 、 $P_{i+1,j+1}$ の等価回路図である。図2においては、より理解しやすいように、画素 $P_{i,j}$ 中の電極を主に示す。

【0027】

画素 $P_{i,j}$ は、電流の大きさに従った輝度で発光する自発光素子としての有機エレクトロルミネッセンス (Electro Luminescence) 素子 $E_{i,j}$ と、有機EL素子 $E_{i,j}$ の周辺に設けられているとともに有機エレクトロルミネッセンス素子 $E_{i,j}$ を駆動する画素回路 $D_{i,j}$ と、から構成されている。なお、以下では、有機エレクトロルミネッセンス素子を有機EL素子と略称する。

【0028】

有機EL素子 $E_{i,j}$ は、アノードとして機能する画素電極51と、電界により注入された正孔及び電子を輸送し、輸送した正孔と電子を再結合し、その再結合により生成された励起子を補足して発光する広義の発光層として機能する有機EL層52と、カソードとして機能する共通電極とをこの順に透明基板8上に積層した積層構造となっている。

【0029】

画素電極51は、信号線 $Y_1 \sim Y_n$ と選択走査線 $X_1 \sim X_m$ に囲まれる各囲繞領域に、画素 $P_{i,j}$ ごとに分割されるようにパターンニングされている。

【0030】

画素電極51は、導電性を有しているとともに、可視光に対して透過性を有している。また、画素電極51は、比較的仕事関数の高いものであり、有機EL層52へ正孔を効率よく注入するものが好ましい。画素電極51としては、例えば、錫ドーパ酸化インジウム (ITO)、亜鉛ドーパ酸化インジウム、酸化インジウム (In_2O_3)、酸化スズ (SnO_2)、酸化亜鉛 (ZnO) 又はカドミウム-錫酸化物 (CTO) を主成分としたものがある。

【0031】

各々の画素電極51上に有機EL層52が成膜されている。有機EL層52も画素 $P_{1,1} \sim P_{m,n}$ ごとにパターンニングされている。有機EL層52には、有機化合物である発光材料 (蛍光体) が含有されているが、発光材料は高分子系材料であっても良いし、低分子系材料であっても良い。また、有機EL層52は、画素電極51から順に正孔輸送層、狭義の発光層の順に積層した二層構造である。正孔輸送層は、導電性高分子であるPEDOT (ポリチオフェン) 及びドーパントであるPSS (ポリスチレンスルホン酸) からなり、狭義の発光層は、ポリフルオレン系発光材料からなる。なお、有機EL層52は、二層構造の他に、画素電極51から順に正孔輸送層、狭義の発光層、電子輸送層となる三層構造であっても良いし、狭義の発光層からなる一層構造であっても良いし、これらの層構造において適切な層間に電子或いは正孔の注入層が介在した積層構造であっても良いし、その他の積層構造であっても良い。

【0032】

この有機エレクトロルミネッセンス表示パネル2は、フルカラー表示又はマルチカラー表示が可能であり、この場合、各画素 $P_{i,1} \sim P_{i,n}$ の有機EL層52はそれぞれ、例えば赤色、緑色、青色の何れかに発光する機能を有する広義の発光層である。つまり、各画素 $P_{i,1} \sim P_{i,n}$ の有機EL層52が選択的に赤、緑、青に発光することにより、これらの色が適宜合成された色調で表示することができる。

【0033】

また、有機EL層52は、電子的に中立な有機化合物であることが望ましく、これにより正孔及び電子が有機EL層52でバランス良く注入され、輸送される。また、電子輸送性の物質が狭義の発光層に適宜混合されていても良いし、正孔輸送性の物質が狭義の発光層に適宜混合されていても良いし、電子輸送性の物質及び正孔輸送性の物質が狭義の発光層に適宜混合されていても良い。また、電子輸送層又は正孔輸送層である電荷輸送層を、電子と正孔を再結合する再結合領域として機能させ、この電荷輸送層に蛍光体を混在させ

ることによって発光させても良い。

【0034】

有機EL層52上に形成されている共通電極は、全ての画素 $P_{1,1} \sim P_{m,n}$ に共通して形成された一枚の電極である。なお、全ての全ての画素 $P_{1,1} \sim P_{m,n}$ に共通した共通電極の代わりに、列方向の画素 $P_{1,h-1} \sim P_{m,h-1}$ (h は任意の自然数であって且つ $2 \leq h \leq n$)群を接続するストライプ状の共通電極と、列方向の画素 $P_{1,h} \sim P_{m,h}$ 群を接続するストライプ状の共通電極と、 \dots というように列毎に接続された複数のストライプ形状の電極であっても良い。その他にも、行方向の画素 $P_{g-1,1} \sim P_{g-1,n}$ (g は任意の自然数であって且つ $2 \leq g \leq m$)群を接続するストライプ状の共通電極と、行方向の画素 $P_{1,1} \sim P_{g,n}$ 群を接続するストライプ状の共通電極と、 \dots というように行毎に接続された複数のストライプ形状の電極であっても良い。

【0035】

いずれにしても共通電極は、選択走査線 $X_1 \sim X_m$ 、信号線 $Y_1 \sim Y_n$ 、信号供給線 $Z_1 \sim Z_m$ と電気的に絶縁されている。共通電極は、仕事関数の低い材料で形成されており、例えば、インジウム、マグネシウム、カルシウム、リチウム、バリウム、希土類金属の少なくとも一種を含む単体又は合金で形成されている。また、共通電極は、上記各種材料の層が積層された積層構造となっても良いし、以上の各種材料の層に加えて金属層が堆積した積層構造となっても良く、具体的には、有機EL層52と接する界面側に設けられた低仕事関数の高純度のバリウム層と、バリウム層を被覆するように設けられたアルミニウム層との積層構造や、下層にリチウム層、上層にアルミニウム層が設けられた積層構造が挙げられる。また、画素電極51を透明電極とし、有機EL層52で発する光を画素電極51を介して透明基板8側から出射させる場合、共通電極は有機EL層52で発する光に対して遮光性を有することが好ましく、有機EL層52で発する光に対して高い反射性を有することがさらに好ましい。

【0036】

以上のように積層構造となる有機EL素子 $E_{i,j}$ では、画素電極51と共通電極との間に順バイアス電圧(画素電極51が共通電極よりも高電位)が印加されると、正孔が画素電極51から有機EL層52に注入され、電子が共通電極から有機EL層52に注入される。そして、有機EL層52で正孔及び電子が輸送されて、有機EL層52にて正孔及び電子が再結合することによって励起子が生成され、励起子が有機EL層52を励起して、有機EL層52が光を発する。

【0037】

有機EL素子 $E_{i,j}$ の発光輝度は有機EL素子 $E_{i,j}$ に流れる電流のおおきさに依存し、流れる電流が大きくなるにつれて発光輝度も増大する。つまり、有機EL素子 $E_{i,j}$ の劣化を考慮しなければ、有機EL素子 $E_{i,j}$ に流れる駆電流の大きさが定まると、有機EL素子 $E_{i,j}$ の輝度が一義的に定まる。

【0038】

各画素回路 $D_{i,j}$ は、三つの薄膜トランジスタ(以下単にトランジスタと記述する。)21、22、23と、キャパシタ24と、を備える。

【0039】

トランジスタ21、22、23は、ゲート、ドレイン、ソース、半導体層、不純物半導体層、ゲート絶縁膜等から構成されたNチャネルMOS型の電界効果トランジスタであり、特にアモルファスシリコンを半導体層(チャネル領域)としたa-Siトランジスタであるが、ポリシリコンを半導体層としたp-Siトランジスタであってもよい。何れのトランジスタ21、22、23は、Nチャネルの電界効果トランジスタである。トランジスタ21、22、23の構造は逆スタガ型であっても良いし、コプラナ型であっても良い。

【0040】

また、トランジスタ21、22、23は同一工程で同時に形成されても良いが、この場合、ゲート、ドレイン、ソース、半導体層、不純物半導体層、ゲート絶縁膜等の組成はトランジスタ21、22、23のあいだで同じであり、トランジスタ21、22、23の形

状、大きさ、寸法、チャネル幅、チャネル長等はトランジスタ21、22、23のそれぞれの機能に応じて異なる。以下では、トランジスタ21を第一トランジスタ21と、トランジスタ22を第二トランジスタ22と、トランジスタ23を第三トランジスタ23と称する。

【0041】

キャパシタ24は、第三トランジスタ23のゲート23gと接続された電極と、トランジスタ23のソース23sと接続された電極と、これら二つの電極の間に介在する絶縁膜（誘電体膜）と、で構成され、第三トランジスタ23のゲート23gとソース23sとの間に電荷を蓄積する機能を有する。

【0042】

i行目の画素回路 $D_{i,1} \sim D_{i,n}$ の各第二トランジスタ22においては、ゲート22gがi行目の選択走査線 X_i に接続され、ドレイン22dがi行目の信号供給線 Z_i に接続されている。i行目の画素回路 $D_{i,1} \sim D_{i,n}$ の各第三トランジスタ23においては、ドレイン23dがi行目の信号供給線 Z_i に接続されている。i行目の画素回路 $D_{i,1} \sim D_{i,n}$ の各第一トランジスタ21では、ゲート21gがi行目の選択走査線 X_i に接続されている。j列目の画素回路 $D_{1,j} \sim D_{m,j}$ の各第一トランジスタ21では、ソース21sがj列目の信号線 Y_j に接続されている。

【0043】

各画素 $P_{i,j} \sim P_{m,n}$ においては、第二トランジスタ22のソース22sは、コンタクトホール25を通じて第三トランジスタ23のゲート23gに接続されるとともに、キャパシタ24の一方の電極に接続されている。第三トランジスタ23のソース23sは、キャパシタ24の他方の電極に接続されるとともに第一トランジスタ21のドレイン21dに接続されている。第三トランジスタ23のソース23s、キャパシタ24の他方の電極、第一トランジスタ21のドレイン21dは、何れも有機EL素子 $E_{i,j}$ の画素電極51に接続されている。

【0044】

有機EL素子 $E_{1,1} \sim E_{m,n}$ の共通電極の電圧は、基準電圧 V_{SS} に一定に保たれており、本実施形態では、有機EL素子 $E_{1,1} \sim E_{m,n}$ の共通電極が接地されることで基準電圧 V_{SS} が0〔V〕に設定されている。

【0045】

次に、コントローラ11、選択走査ドライバ5、電圧供給ドライバ6、切換回路7及びデータドライバ3について説明する。

【0046】

図1に示すように、コントローラ11は、外部から入力されるドットクロック信号 CK_{DT} 、水平同期信号 H_{SYNC} 、垂直同期信号 V_{SYNC} に基づいて、データドライバ用クロック信号 $CK1$ 、スタート信号 $ST1$ 、ラッチ信号 L を含む制御信号群 D_{CNT} をデータドライバ3に出力し、選択走査ドライバ用クロック信号 $CK2$ 、スタート信号 $ST2$ を含む制御信号 G_{CNT} を選択走査ドライバ5に出力し、電圧供給ドライバ用クロック信号 $CK3$ を電圧供給ドライバ6に出力する。

【0047】

詳細に説明すると、データドライバ用クロック信号 $CK1$ は、ドットクロック信号 CK_{DT} と同期し、選択列を順次シフトするための信号であり、外部回路から8bitの赤用デジタル階調映像信号 S_R 、緑用デジタル階調映像信号 S_G 、青用デジタル階調映像信号 S_B がクロック信号 $CK1$ のタイミングで取り込まれる。スタート信号 $ST1$ は、水平同期信号 H_{SYNC} と同期し、選択列を最初の列に戻すための信号である。ラッチ信号 L は、水平同期信号 H_{SYNC} と同期し、データドライバ3内部のDAコンバータで一行分のデータつまり画素 $P_{i,1} \sim P_{i,n}$ の分の取り込まれた赤用デジタル階調映像信号 S_R 、緑用デジタル階調映像信号 S_G 、青用デジタル階調映像信号 S_B をアナログ変換したアナログ階調指定信号に基づいたアナログ階調指定電流 I_{DATA} がパラレルで信号線 $Y_1 \sim Y_n$ に流れるようにする信号である。選択走査ドライバ用クロック信号 $CK2$ は、水平同期信号 H_{SYNC} と同期し、選

択行を順次シフトするための信号である。スタート信号ST2は、垂直同期信号 V_{SYNC} と同期し、選択行を最初の行に戻すための信号である。電圧供給ドライバ用クロック信号CK3は、選択走査ドライバ用クロック信号CK2よりも周期の長いクロック信号である。

【0048】

選択走査ドライバ5は、いわゆるシフトレジスタであり、 m 個のフリップフロップ回路等を直列に接続した構成を有する。つまり、選択走査ドライバ5は、コントローラ11から入力した選択走査ドライバ用クロック信号CK2に基づいて選択走査線 X_1 から選択走査線 X_m への順（選択走査線 X_m の次は選択走査線 X_1 ）にオンレベル（ハイレベル）を順次出力することで、選択走査線 $X_1 \sim X_m$ を順次選択するものである。

【0049】

詳細には図4に示されるように、選択走査ドライバ5は、選択信号としてハイレベルのオン電圧 V_{ON} （基準電圧 V_{SS} よりも十分に高い。）又はローレベルのオフ電圧 V_{OFF} （基準電圧 V_{SS} 以下である。）の何れかのレベルの電圧を選択走査線 $X_1 \sim X_m$ に個別に印加することによって、選択走査線 $X_1 \sim X_m$ を順次選択する。ここで、図4において横軸は時間を表す。

【0050】

即ち、選択走査ドライバ5がオンレベルの選択信号としてオン電圧 V_{ON} を選択走査線 X_i に印加するように設定されており、これにより i 行目の選択走査線 X_i が選択される。選択走査ドライバ5がオン電圧 V_{ON} を i 行目の選択走査線 X_i に印加することにより i 行目の選択走査線 X_i が選択されている期間を、 i 行目の選択期間 T_{SE} と称する。

【0051】

選択走査ドライバ5がオン電圧 V_{ON} を i 行目の選択走査線 X_i に印加することにより、 i 行目の選択走査線 X_i に接続された画素回路 $D_{i,1} \sim D_{i,n}$ 各々では、トランジスタ21, 22がオン状態になる。第一トランジスタ21がオン状態になることによって信号線 $Y_1 \sim Y_n$ に流れる電流がそれぞれ画素回路 $D_{i,j} \sim D_{i,n}$ に流れ得るようになる。一方、 i 行目の選択走査線 X_i が選択されている選択期間 T_{SE} 以外の非選択期間 T_{NSE} では、選択走査ドライバ5がオフ電圧 V_{OFF} を選択走査線 X_i に印加する。これにより、 i 行目の選択走査線 X_i に接続された各画素回路 $D_{i,1} \sim D_{i,n}$ では、トランジスタ21, 22がオフ状態になる。第一トランジスタ21がオフ状態になることで、信号線 $Y_1 \sim Y_n$ に流れる電流はそれぞれ画素回路 $D_{i,1} \sim D_{i,n}$ に流れ得ないようになる。ここで、 $T_{SE} + T_{NSE} = T_{SC}$ で表される期間、つまり1行目の選択走査線 X_1 の選択期間 T_{SE} の開始時刻から1行目の選択走査線 X_1 の次の選択期間 T_{SE} の開始時刻までの期間が一走査期間であり、選択走査線 $X_1 \sim X_m$ の選択期間 T_{SE} は互いに重ならない。

【0052】

また、 i 行目の選択走査線 X_i の選択期間 T_{SE} の終了時刻から次の行の選択走査線 X_{i+1} の選択期間 T_{SE} の開始時刻までには（つまり、選択走査ドライバ5が i 行目の選択走査線 X_i にオン電圧 V_{ON} の印加を終了してから（ $i+1$ ）行目の選択走査線 X_{i+1} にオン電圧 V_{ON} を印加するまでには）、時間的間隔があり、この期間（以下、リセット期間 T_R と称する。）では選択走査ドライバ5が全ての選択走査線 $X_1 \sim X_m$ にオフ電圧 V_{OFF} を印加している。また、 m 行目の選択走査線 X_m の選択期間 T_{SE} の終了時刻から1行目の選択走査線 X_1 の選択期間 T_{SE} の開始時刻までの期間（ m 行目のリセット期間 T_R ）は、他の行のリセット期間 T_R よりも長くなるように設定されている。この m 行目の選択走査線 X_m の選択期間 T_{SE} の終了時刻から1行目の選択走査線 X_1 の選択期間 T_{SE} の開始時刻までの期間を、発光期間 T_L と称し、1行目の選択走査線 X_1 の選択期間 T_{SE} の開始時刻から m 行目の選択走査線 X_m の選択期間 T_{SE} の終了時刻までの期間を、非発光期間 T_{NL} と称する。発光期間 T_L と非発光期間 T_{NL} の和が一走査期間 T_{SC} に相当する。

【0053】

電圧供給ドライバ6は、安定した定格電圧を全ての信号供給線 $Z_1 \sim Z_m$ に印加するための独立電源であり、クロック信号CK3に従った位相の信号を信号供給線 $Z_1 \sim Z_m$ に出力する。即ち、選択走査ドライバ5が1行目の選択走査線 X_1 から m 行目の選択走査線 X_m を

順に選択している期間、すなわち非発光期間 T_{NL} では、電圧供給ドライバ6がローレベルとなる階調指定電流用基準電圧 V_{LOW} を全ての信号供給線 $Z_1 \sim Z_m$ に印加するように設定されている。一方、選択走査ドライバ5が m 行目の選択走査線 X_m を選択してから1行目の選択走査線 X_1 を選択するまでの期間、すなわち発光期間 T_L では、階調指定電流用基準電圧 V_{LOW} よりもハイレベルの駆動電流用基準電圧 V_{HIGH} を全ての信号供給線 $Z_1 \sim Z_m$ に印加するように設定されている。

【0054】

ここで、選択走査ドライバ5によって m 行目の選択走査線 X_m に出力されている信号がオフ電圧 V_{OFF} に下がった後に電圧供給ドライバ6から信号供給線 $Z_1 \sim Z_m$ に出力される信号が階調指定電流用基準電圧 V_{LOW} から駆動電流用基準電圧 V_{HIGH} に立ち上がる。この時が、非発光期間 T_{NL} の終了時であり、且つ、発光期間 T_L の開始時である。電圧供給ドライバ6から信号供給線 $Z_1 \sim Z_m$ に出力される信号がハイレベルの駆動電流用基準電圧 V_{HIGH} からローレベルの階調指定電流用基準電圧 V_{LOW} に下がると、選択走査ドライバ5によって1行目の選択走査線 X_1 に出力されている信号がオン電圧 V_{ON} に立ち上がる。この時が、発光期間 T_L 及び一走査期間 T_{SC} の終了時であり、且つ、次の一走査期間 T_{SC} 及び次の非発光期間 T_{NL} の開始時である。

【0055】

また、電圧供給ドライバ6が駆動電流用基準電圧 V_{HIGH} を信号供給線 $Z_1 \sim Z_m$ に印加した後に、選択走査ドライバ5が1行目の選択走査線 X_1 から m 行目の選択走査線 X_m を順に選択していき、その時の非発光期間 T_{NL} において電圧供給ドライバ6が再び階調指定電流用基準電圧 V_{LOW} を信号供給線 $Z_1 \sim Z_m$ に印加する。以上のように、電圧供給ドライバ6が階調指定電流用基準電圧 V_{LOW} を信号供給線 $Z_1 \sim Z_m$ に印加することと駆動電流用基準電圧 V_{HIGH} を信号供給線 $Z_1 \sim Z_m$ に印加することを繰り返し、電圧供給ドライバ6が階調指定電流用基準電圧 V_{LOW} を信号供給線 $Z_1 \sim Z_m$ に印加している最中には選択走査ドライバ5が選択走査線 $X_1 \sim X_m$ を順次選択するようになっている。

【0056】

電圧供給ドライバ6によって印加される階調指定電流用基準電圧 V_{LOW} は基準電圧 V_{SS} 以下に設定されているため、非発光期間 T_{NL} 中に各画素 $P_{i,j}$ の第三トランジスタ23がオン状態となっても、有機EL素子 $E_{i,j}$ のアノード-カソード間にはゼロ電圧又は逆バイアス電圧が印加されていることになるから、有機EL素子 $E_{i,j}$ に電流が流れないので、有機EL素子 $E_{i,j}$ が発光することがない。一方、電圧供給ドライバ6によって印加される駆動電流用基準電圧 V_{HIGH} が基準電圧 V_{SS} より高く、図5に示すように、第三トランジスタ23のソースドレイン間電圧 V_{DS} が飽和領域になるように設定されている。そのため、発光期間 T_L 中に第三トランジスタ23がオン状態となっていれば、有機EL素子 $E_{i,j}$ に順バイアス電圧が印加されていることになるから、信号供給線 Z_i から有機EL素子 $E_{i,j}$ へと電流が流れ、有機EL素子 $E_{i,j}$ が発光する。

【0057】

駆動電流用基準電圧 V_{HIGH} について説明する。図5は、Nチャネル型の電界効果トランジスタの電流-電圧特性を表したグラフである。図5において、横軸はドレイン-ソース間の電圧のレベルを表し、縦軸はドレイン-ソース間の電流のレベルを表す。図中の不飽和領域（ソースドレイン間電圧 $V_{DS} < \text{ドレイン飽和閾電圧 } V_{TH}$ となっている領域：ドレイン飽和閾電圧 V_{TH} は、ゲート-ソース間電圧 V_{GS} の関数であり、ゲート-ソース間電圧 V_{GS} が定まればゲート-ソース間電圧 V_{GS} で一義的に定まる。）では、ゲート-ソース間電圧 V_{GS} が一定であると、ソースドレイン間電圧 V_{DS} が大きくなるにつれてソースドレイン間電流 I_{DS} が大きくなる。更に、図中の飽和領域（ソースドレイン間電圧 $V_{DS} \geq \text{ドレイン飽和閾電圧 } V_{TH}$ ）では、ゲート-ソース間電圧 V_{GS} が一定であると、ソースドレイン間電圧 V_{DS} が大きくなってもソースドレイン間電流 I_{DS} はほぼ一定となる。

【0058】

また、図5において、ゲート-ソース間電圧 $V_{GS0} \sim V_{GSMAX}$ は、 $V_{GS0} = 0 \text{ [V]} < V_{GS1} < V_{GS2} < V_{GS3} < V_{GS4} < V_{GSMAX}$ の関係となっている。つまり、図5から明らかなよう

に、ドレインソース間電圧 V_{DS} が一定の場合、ゲートソース間電圧 V_{GS} が大きくなるにつれて、不飽和領域、飽和領域のいずれであってもドレインソース間電流 I_{DS} が大きくなる。更に、ゲートソース間電圧 V_{GS} が大きくなるにつれて、ドレイン飽和閾電圧 V_{TH} が大きくなる。

【0059】

以上のことから、不飽和領域では、ソースドレイン間電圧 V_{DS} がわずかに変わるとソースドレイン間電流 I_{DS} が変わってしまうが、飽和領域では、ゲートソース間電圧 V_{GS} によってドレインソース間電流 I_{DS} が一義的に定まる。

【0060】

ここで、第三トランジスタ23に最大のゲートソース間電圧 V_{GSMAX} が印加されている時のドレインソース間電流 I_{DS} は、最大輝度で発光する有機EL素子 $E_{i,j}$ の画素電極51と共通電極との間に流れる電流に設定されている。

また、第三トランジスタ23のゲートソース間電圧 V_{GS} が最大電圧 V_{GSMAX} であっても、第三トランジスタ23が飽和領域を維持するように、下記に示す条件式を満たしている。

$$V_{HIGH} - V_E - V_{SS} \geq V_{THMAX}$$

ここで、 V_E は、発光寿命期間中に有機EL素子 $E_{i,j}$ を最高輝度で発光するのに要するアノードカソード間の電圧である。 V_{THMAX} は、 V_{GSMAX} 時のトランジスタ23のソースドレイン間の飽和閾電圧レベルである。以上の条件式を満たすように駆動電流用基準電圧 V_{HTGH} が設定されている。従って、第三トランジスタ23と直列に接続された有機EL素子 $E_{i,j}$ の分圧により第三トランジスタ23のソースドレイン間電圧 V_{DS} が低くなっても、ソースドレイン間電圧 V_{DS} が常に飽和状態の範囲内なので、第三トランジスタ23に流れるソースドレイン間電流 I_{DS} はゲートソース間電圧 V_{GS} により一義的に決まることになる。

【0061】

図1に示すように、切換回路7は単位切換回路 $S_1 \sim S_n$ で構成されており、単位切換回路 $S_1 \sim S_n$ はそれぞれ信号線 $Y_1 \sim Y_n$ に接続されており、更にデータドライバ3の電流端子 $CT_1 \sim CT_n$ が単位切換回路 $S_1 \sim S_n$ にそれぞれ接続されている。単位切換回路 $S_1 \sim S_n$ には、コントローラ11から出力される切換信号 ϕ 及びリセット電圧 V_R が入力される。

【0062】

切替回路 S_j (切替回路 S_j は、 j 列目の信号線 Y_j に接続されている。)は、データドライバ3による階調指定電流 I_{DATA} を信号線 Y_j に流すことと、コントローラ11によるリセット電圧 V_R を信号線 Y_j に印加することの何れか一方に切り換えるものである。つまり、コントローラ11から単位切換回路 S_j に出力する切換信号 ϕ がハイレベルの場合には、単位切換回路 S_j は電流端子 CT_j の電流を遮断するとともにコントローラ11からのリセット電圧 V_R を信号線 Y_j に出力する。一方、コントローラ11から単位切換回路 S_j に出力する切換信号 ϕ がローレベルの場合には、単位切換回路 S_j は電流端子 CT_j の電流を信号線 Y_j に流すとともにコントローラ11からのリセット電圧 V_R を遮断する。なお、切換信号 ϕ のハイ・ローと切替回路 S_j の出力との関係は、逆であっても良い。

【0063】

切替回路 S_j の一例について説明する。切替回路 S_j は、Pチャネル型の電界効果トランジスタ31と、Nチャネル型の電界効果トランジスタ32とから構成される。トランジスタ31のゲート及びトランジスタ32のゲートはコントローラ11に接続され、切換信号 ϕ がコントローラ11からトランジスタ31のゲート及びトランジスタ32のゲートに入力される。トランジスタ31のソースは信号線 Y_j に接続されており、トランジスタ31のドレインは電流端子 CT_j に接続されている。トランジスタ32のドレインは信号線 Y_j に接続されている。トランジスタ32のソースはコントローラ11に接続され、リセット電圧 V_R がトランジスタ32のソースに入力される。この構成では、コントローラ11から出力された切換信号 ϕ がハイレベルの場合に、トランジスタ32がオン状態になり、ト

ランジスタ31がオフ状態になる。一方、コントローラ11から出力された切換信号φがローレベルの場合に、トランジスタ31がオン状態になり、トランジスタ32がオフ状態になる。なお、トランジスタ31をPチャネル型としトランジスタ32をNチャネル型とし、切換信号φのハイ・ローを逆位相にして単位切換回路S_jのスイッチングを切り換えても良い。

【0064】

ここでコントローラ11から切換回路7に出力される切換信号φの周期について説明する。図4に示すように、選択走査ドライバ5が選択走査線X₁～X_mのうちの何れかに対してオン電圧V_{ON}を印加している時(つまり、それぞれの行の選択期間T_{SE})に、コントローラ11から出力される切換信号φはローレベルである。一方、選択走査ドライバ5が全ての選択走査線X₁～X_mにオフ電圧V_{OFF}を印加している時(つまり、それぞれの行のリセット期間T_R)に、コントローラ11から出力される切換信号φがハイレベルである。

【0065】

階調指定電流I_{DATA}の電流値は、発光する有機EL素子E_{i,j}の輝度に合わせて有機EL素子E_{i,j}に流れる電流の電流値と等しいために極めて微小な値となる。ここで信号線Y₁～Y_nの配線容量のために、信号線Y₁～Y_nに流れる階調指定電流I_{DATA}に遅延が生じてしまい、選択期間T_{SE}の間の時間だけでは、第三トランジスタ23のゲートソース間に階調指定電流I_{DATA}に応じた電荷をチャージアップできないといった問題を生じていた。このため、ある選択走査線X_iの選択期間T_{SE}と次の選択走査線X_{i+1}の選択期間T_{SE}との間のリセット期間T_Rに信号線Y₁～Y_nに強制的にリセット電圧V_Rを印加したので、特に階調指定電流I_{DATA}の電流値が小さい輝度階調の場合であっても、選択期間T_{SE}内に第三トランジスタ23のゲートソース間に階調指定電流I_{DATA}に応じた電荷をチャージアップすることができる。

【0066】

なお、切換回路7が設けられてなくても良く、この場合には、データドライバ3の電流端子CT₁～CT_nは信号線Y₁～Y_nにそれぞれ接続されることになる。

【0067】

図1に示されるように、データドライバ3の電流端子CT₁～CT_nには、それぞれ単位切換回路S₁～S_nを介して、それぞれ信号線Y₁～Y_nが接続されている。データドライバ3は、コントローラ11からデータドライバ用クロック信号CK1、スタート信号ST1、ラッチ信号Lを含む制御信号群D_{CNT}が入力され、外部回路からの8bitの赤用デジタル階調映像信号S_R、緑用デジタル階調映像信号S_G、青用デジタル階調映像信号S_Bを取り込む。データドライバ3に取り込まれたデジタル信号は、データドライバ3内のDAコンバータでアナログ変換される。データドライバ3は、ラッチ信号L及びアナログ変換された信号に基づいた階調指定電流I_{DATA}が信号線Y₁～Y_nからそれぞれの単位切換回路S₁～S_nを介して、データドライバ3のそれぞれの電流端子CT₁～CT_nに向かって流れるように制御する。具体的には、データドライバ3は、各行の選択期間T_{SE}において、選択された行の信号供給線Z_iから各画素回路D_{i,1}～D_{i,n}の第三トランジスタ23及び第一トランジスタ21、それぞれの信号線Y₁～Y_n、それぞれの単位切換回路S₁～S_nを経てそれぞれの電流端子CT₁～CT_nに流れる階調指定電流I_{DATA}を発生させるものである。階調指定電流I_{DATA}とは、赤用デジタル階調映像信号S_R、緑用デジタル階調映像信号S_G、青用デジタル階調映像信号S_Bといった階調映像信号に従った輝度で有機EL素子E_{1,1}～E_{m,n}を発光期間T_L中に発光するために、発光期間T_Lに有機EL素子E_{1,1}～E_{m,n}に流れる電流と同じ大きさの電流であって、信号線Y₁～Y_nからそれぞれの電流端子CT₁～CT_nに向かって流れる電流である。

【0068】

次に、図6～図8を用いて画素回路D_{1,1}～画素回路D_{m,n}の機能について説明する。ここで、図6～図8では、電流の流れを矢印で示している。

図6は、i行目の選択期間T_{SE}の電流、電圧の状態を示した回路図である。図6に示すように、i行目の選択期間T_{SE}では、選択走査線X_iにはオン電圧V_{ON}が選択走査ドライ

バラによって印加されているとともに、信号供給線 Z_i には指定電流基準用電圧 V_{LOW} が印加されている。更に、 i 行目の選択期間 T_{SE} では、それぞれの単位切替回路 $S_1 \sim S_n$ がそれぞれの電流端子 $CT_1 \sim CT_n$ の電流をそれぞれの信号線 $Y_1 \sim Y_n$ に流すようにしているので、それぞれの信号線 $Y_1 \sim Y_n$ に階調指定電流 I_{DATA} が流れるようにデータドライバ3によって制御されている。

【0069】

i 行目の選択期間 T_{SE} では、 i 行目の各画素回路 $D_{i,1} \sim D_{i,n}$ の第二トランジスタ22がオン状態になっている。各画素回路 $D_{i,1} \sim D_{i,n}$ の第二トランジスタ22はオン状態となることにより、各画素回路 $D_{i,1} \sim D_{i,n}$ の第三トランジスタ23のゲート23gにも電圧が印加され、各画素回路 $D_{i,1} \sim D_{i,n}$ の第三トランジスタ23がオン状態となる。更に、各画素回路 $D_{i,1} \sim D_{i,n}$ の第一トランジスタ21もオン状態となっているので、各画素回路 $D_{i,1} \sim D_{i,n}$ の何れにおいても第一トランジスタ21が信号供給線 Z_i から第三トランジスタ23のドレイン23d及びソース23sを介して信号線 Y_j に階調指定電流 I_{DATA} を流す。また、各画素回路 $D_{i,1} \sim D_{i,n}$ の第三トランジスタ23がオン状態となっているが、信号供給線 Z_i にローレベルの階調指定電流用基準電圧 V_{LOW} が印加されているので、信号供給線 Z_i から有機EL素子 $E_{i,1} \sim E_{i,n}$ に電流は流れない。このため、信号線 Y_j に流れる階調指定電流 I_{DATA} の電流値と第三トランジスタ23のソース23s-ドレイン23d間電流 I_{DS} の電流値が等しくなる。第三トランジスタ23は、ゲート23g-ソース23s間の電圧が、ドレイン23dからソース23sに流れる階調指定電流 I_{DATA} の大きさにしたがるレベルになる。このため、第三トランジスタ23のゲート23g-ソース23s間の電圧のレベルに従った大きさの電荷がキャパシタ24にチャージされる。

【0070】

図7は、 i 行目の選択期間 T_{SE} の終了時から発光期間 T_L の開始時までの電流、電圧の状態を示した回路図である。図7に示すように、 i 行目の選択期間 T_{SE} が終了してから発光期間 T_L が開始するまでの間では、選択走査線 X_i にはオフ電圧 V_{OFF} が選択走査ドライバによって印加されているとともに、信号供給線 Z_i には指定電流基準用電圧 V_{LOW} が印加されている。また、 i 行目の選択期間 T_{SE} が終了してから発光期間 T_L が開始するまでの間に、選択走査ドライバが他の行を選択した時には、 i 行目の選択期間 T_{SE} と同様に、それぞれの信号線 $Y_1 \sim Y_n$ に階調指定電流 I_{DATA} が流れるようにデータドライバ3によって制御されている。

【0071】

i 行目の選択期間 T_{SE} が終了してから発光期間 T_L が開始するまでの間では、各画素回路 $D_{i,1} \sim D_{i,n}$ の第一トランジスタ21がオフ状態となっているので、各画素回路 $D_{i,1} \sim D_{i,n}$ の何れにおいても第一トランジスタ21が信号線 Y_j に流れている階調指定電流 I_{DATA} を遮断し、信号供給線 Z_i から第三トランジスタ23を介して信号線 Y_j に電流が流れないようにする。更に、各画素回路 $D_{i,1} \sim D_{i,n}$ の第二トランジスタ22がオフ状態となることによりキャパシタ24にチャージされた電荷を閉じ込め、第三トランジスタ23のゲート23g-ソース23s間の変換された電圧のレベルを保持する。ここで、各画素回路 $D_{i,1} \sim D_{i,n}$ の第三トランジスタ23がオン状態となっているが、信号供給線 Z_i にローレベルの階調指定電流用基準電圧 V_{LOW} が印加されているので、信号供給線 Z_i から有機EL素子 $E_{i,1} \sim E_{i,n}$ に電流は流れない。

【0072】

図8は、発光期間 T_L の電流、電圧の状態を示した回路図である。図8に示すように、発光期間 T_L では、選択走査線 X_i にはオフ電圧 V_{OFF} が選択走査ドライバによって印加されているとともに、信号供給線 Z_i には駆動電流用基準電圧 V_{HIGH} が印加されている。

【0073】

各画素回路 $D_{i,1} \sim D_{i,n}$ の第一トランジスタ21がオフ状態となっているので、各画素回路 $D_{i,1} \sim D_{i,n}$ の何れにおいても第一トランジスタ21が信号供給線 Z_i から第三トランジスタ23を介して信号線 Y_j に電流が流れないようにする。更に、各画素回路 $D_{i,1} \sim D_{i,n}$ の第二トランジスタ22がオフ状態であるので、第二トランジスタ22が第三トラン

ンジスタ23のゲート23g-ソース23s間の変換された電圧のレベルを保持する。更に、信号供給線 Z_i に、第三トランジスタ23のソースドレイン間電圧 V_{DS} が飽和領域になるようなハイレベルの駆動電流用基準電圧 V_{HIGH} が印加されているとともに各画素回路 $D_{i,1} \sim D_{i,n}$ の第三トランジスタ23がオン状態となっているので、第三トランジスタ23が信号供給線 Z_i から有機EL素子 $E_{i,j}$ に駆動電流が流れる。このときの画素回路 $D_{i,1} \sim D_{i,n}$ の第三トランジスタ23のゲート23g-ソース23s間に変換した電圧のレベルは、選択期間 T_{SE} にそれぞれ信号線 $Y_1 \sim Y_n$ に階調指定電流 I_{DATA} を流していたときの電圧のレベルと等しいために、有機EL素子 $E_{i,1} \sim E_{i,n}$ に流れる駆動電流の電流値は階調指定電流 I_{DATA} の電流値に等しい。したがって有機EL素子 $E_{i,1} \sim E_{i,n}$ の発光輝度は非発光期間 T_{NL} に各画素回路 $D_{i,1} \sim D_{i,n}$ に流れる階調指定電流 I_{DATA} の電流値によって一義的に決まる。

【0074】

次に、データドライバ3、選択走査ドライバ5及び電圧供給ドライバ6で有機エレクトロルミネッセンス表示パネル2を駆動する方法及び有機エレクトロルミネッセンスディスプレイ1の表示動作について説明する。

【0075】

図4に示されるように、非発光期間 T_{NL} では、選択走査ドライバ5が、コントローラ11から入力したクロック信号CK2に基づいて、1行目の選択走査線 X_1 からm行目の選択走査線 X_m の順にオン電圧 V_{ON} を印加して選択していく。これにより、選択走査線 X_1 から選択走査線 X_m の順に走査されていく。非発光期間 T_{NL} の後の発光期間 T_L では、選択走査ドライバ5が全ての選択走査線 $X_1 \sim X_m$ にオフ電圧 V_{OFF} を印加し、次の非発光期間 T_{NL} では、再び選択走査ドライバ5が1行目の選択走査線 X_1 からm行目の選択走査線 X_m の順にオン電圧 V_{ON} を印加していく。

【0076】

選択走査ドライバ5が選択走査線 $X_1 \sim X_m$ を順次選択する非発光期間 T_{NL} において、電圧供給ドライバ6が全ての信号供給線 $Z_1 \sim Z_m$ に階調指定電流用基準電圧 V_{LOW} を印加する。一方、選択走査ドライバ5がm行目の選択走査線 X_m の選択を終了してから次の走査期間 T_{SC} に1行目の選択走査線 X_1 を選択するまでの発光期間 T_L において、電圧供給ドライバ6が全ての信号供給線 $Z_1 \sim Z_m$ に駆動電流用基準電圧 V_{HIGH} を印加する。コントローラ11から電圧供給ドライバ6に入力されるクロック信号CK3によって、電圧供給ドライバ6がこのように動作する。

【0077】

更に、選択走査ドライバ5が選択走査線 $X_1 \sim X_m$ を順次選択する非発光期間 T_{NL} において、コントローラ11が切換信号 ϕ を単位切換回路 $S_1 \sim S_n$ に出力する。これにより、各行の選択期間 T_{SE} では、単位切換回路 $S_1 \sim S_n$ がそれぞれの電流端子 $CT_1 \sim CT_n$ とそれぞれの信号線 $Y_1 \sim Y_n$ との間の電流の流れを許容するとともにそれぞれの信号線 $Y_1 \sim Y_n$ に対するリセット電圧 V_R の印加を遮断し、各行のリセット期間 T_R では、単位切換回路 $S_1 \sim S_n$ がそれぞれの電流端子 $CT_1 \sim CT_n$ とそれぞれの信号線 $Y_1 \sim Y_n$ との間の電流の流れを遮断するとともにそれぞれの信号線 $Y_1 \sim Y_n$ に対するリセット電圧 V_R の印加を許容する。これにより信号線 $Y_1 \sim Y_n$ の配線容量を迅速にチャージアップできるので特に小さい値の階調指定電流 I_{DATA} を信号線 $Y_1 \sim Y_n$ に流す場合であっても第三トランジスタ23のゲート-ソース間のキャパシタ24に階調指定電流 I_{DATA} に応じた電荷を迅速にチャージアップすることができる。

【0078】

更に、選択走査ドライバ5が選択走査線 $X_1 \sim X_m$ を順次選択する非発光期間 T_{NL} において、データドライバ3は、コントローラ11から入力したクロック信号CK1に基づいて外部回路からの8bitの赤用デジタル階調映像信号 S_R 、緑用デジタル階調映像信号 S_G 、青用デジタル階調映像信号 S_B を取り込んでラッチする。そして、非発光期間 T_{NL} の各行の選択期間 T_{SE} において、データドライバ3が、ラッチした信号の階調に基づいた大きさの階調指定電流 I_{DATA} を信号線 $Y_1 \sim Y_n$ に流すようにする。

【0079】

ここで、非発光期間 T_{NL} において、選択走査ドライバ5がオン電圧 V_{ON} を i 行目の選択走査線 X_i に印加している時(つまり、 i 行目の選択期間 T_{SE})では、他の選択走査線 $X_1 \sim X_m$ (X_i を除く。)にはオフ電圧 V_{OFF} が印加されている。従って、 i 行目の選択期間 T_{SE} では、 i 行目の各画素回路 $D_{i,1} \sim D_{i,n}$ の第一トランジスタ21及び第二トランジスタ22がオン状態であり、他の行の画素回路 $D_{1,1} \sim D_{n,n}$ (但し、画素回路 $D_{i,1} \sim D_{i,n}$ を除く。)の第一トランジスタ21及び第二トランジスタ22がオフ状態である。

【0080】

このような i 行目の選択期間 T_{SE} では階調指定電流用基準電圧 V_{LOW} が全ての信号供給線 $Z_1 \sim Z_n$ に印加されており、 i 行目の各画素回路 $D_{i,1} \sim D_{i,n}$ の第二トランジスタ22がオン状態であるので、 i 行目の各画素回路 $D_{i,1} \sim D_{i,n}$ の第三トランジスタ23のゲート23gにも電圧が印加され、第三トランジスタ23がオン状態となる。更に、このような i 行目の選択期間 T_{SE} では、各单位切換回路 $S_1 \sim S_n$ のトランジスタ31がオン状態となることによって各单位切換回路 $S_1 \sim S_n$ がそれぞれの電流端子 $CT_1 \sim CT_n$ とそれぞれの信号線 $Y_1 \sim Y_n$ との間の電流の流れを許容するので、電流端子 $CT_1 \sim CT_n$ は i 行目の信号供給線 Z_i と電気的に導通する。この時、データドライバ3がラッチ信号 L により電流端子 $CT_1 \sim CT_n$ に向かって階調指定電流 I_{DATA} を流すようにし、信号供給線 Z_i の階調指定電流用基準電圧 V_{LOW} が電流端子 $CT_1 \sim CT_n$ の電圧よりも高く設定されている。従って、 i 行目の各画素回路 $D_{i,1} \sim D_{i,n}$ では、第一トランジスタ21のソース21s-ドレイン21d間及び第三トランジスタ23のソース23s-ドレイン23d間に階調指定電流 I_{DATA} が流れるような電圧が第三トランジスタ23のゲート23g-ソース23s及びソース23s-ドレイン23d間に加わる。

【0081】

つまり、図6に示すように、 i 行目の選択期間 T_{SE} 中では、データドライバ3によって各列に流れるようにされた階調指定電流 I_{DATA} は、信号供給線 Z_i →それぞれの画素回路 $D_{i,1} \sim D_{i,n}$ の第三トランジスタ23のドレイン23d-ソース23s間→それぞれの画素回路 $D_{i,1} \sim D_{i,n}$ の第一トランジスタ21のドレイン21d-ソース21s間→それぞれの信号線 $Y_1 \sim Y_n$ →それぞれの切換信号 $S_1 \sim S_n$ のトランジスタ31→データドライバ3のそれぞれの電流端子 $CT_1 \sim CT_n$ に向かって流れることになる。

【0082】

i 行目の選択期間 T_{SE} 中に、階調指定電流 I_{DATA} が信号供給線 Z_i →それぞれの画素回路 $D_{i,1} \sim D_{i,n}$ の第三トランジスタ23のドレイン23d-ソース23s間→それぞれの画素回路 $D_{i,1} \sim D_{i,n}$ の第一トランジスタ21のドレイン21d-ソース21s間→それぞれの信号線 $Y_1 \sim Y_n$ →それぞれの切換信号 $S_1 \sim S_n$ のトランジスタ31→データドライバ3のそれぞれの電流端子 $CT_1 \sim CT_n$ に向かって流れることによって、 i 行目の選択期間 T_{SE} 中に信号供給線 Z_i →第三トランジスタ23→第一トランジスタ21→それぞれの信号線 $Y_1 \sim Y_n$ →それぞれの単位切換回路 $S_1 \sim S_n$ →データドライバ3における電圧が定常状態になる。

【0083】

つまり、 i 行目のそれぞれの画素回路 $D_{i,1} \sim D_{i,n}$ の第三トランジスタ23に階調指定電流 I_{DATA} が流れて信号供給線 Z_i →第三トランジスタ23→第一トランジスタ21→それぞれの信号線 $Y_1 \sim Y_n$ →それぞれの単位切換回路 $S_1 \sim S_n$ →データドライバ3における電圧が定常状態になることによって、第三トランジスタ23に流れる階調指定電流 I_{DATA} の大きさに従ったレベルの電圧が第三トランジスタ23のゲート23g-ソース23s間に印加され、第三トランジスタ23のゲート23g-ソース23s間の電圧のレベルに従った大きさの電荷がキャパシタ24にチャージされる。

【0084】

以上のように、 i 行目の画素回路 $D_{i,1} \sim D_{i,n}$ の第三トランジスタ23のドレイン23d-ソース23s間に流れる電流の大きさ及びソース23s-ゲート23g間の電圧のレベルも前回の一走査期間 T_{SC} から上書きされるので、 i 行目の選択期間 T_{SE} 中において、

i 行目の画素回路 $D_{i,1} \sim D_{i,n}$ のキャパシタ24にチャージされる電荷の大きさが前回の一走査期間 T_{SC} から上書きされる。

【0085】

ここで、第三トランジスタ23～第一トランジスタ21～信号線 Y_j 間の任意の点での電位は、経時変化するトランジスタ21, 22, 23の内部抵抗等に因って変化してしまう。しかしながら、本実施形態では、第三トランジスタ23→第一トランジスタ21→信号線 Y_j へと流れる階調指定電流 I_{DATA} をデータドライバ3が強制的に流しているため、トランジスタ21, 22, 23の内部抵抗が経時変化しても、階調指定電流 I_{DATA} の大きさが所望通りとなる。

【0086】

また、 i 行目の選択期間 T_{SE} では、 i 行目の有機EL素子 $E_{i,1} \sim E_{i,n}$ の共通電極が基準電圧 V_{SS} であり、信号供給線 Z_i が基準電圧 V_{SS} と同じ又は基準電圧 V_{SS} よりもローレベルの階調指定電流用基準電圧 V_{LOW} であるため、 i 行目の有機EL素子 $E_{i,1} \sim E_{i,n}$ には逆バイアス電圧が印加されるから、 i 行目の有機EL素子 $E_{i,1} \sim E_{i,n}$ には電流が流れず、有機EL素子 $E_{i,1} \sim E_{i,n}$ は発光しない。 i 行目の選択期間 T_{SE} に限らず非発光期間 T_{NL} では、全ての有機EL素子 $E_{1,1} \sim E_{m,n}$ の共通電極は基準電圧 V_{SS} であり、全ての信号供給線 $Z_1 \sim Z_n$ は基準電圧 V_{SS} と同じ又は基準電圧 V_{SS} よりも低い階調指定電流用基準電圧 V_{LOW} であるため、全ての有機EL素子 $E_{1,1} \sim E_{m,n}$ には逆バイアス電圧が印加されるから、全ての有機EL素子 $E_{1,1} \sim E_{m,n}$ には電流が流れず、何れの有機EL素子 $E_{1,1} \sim E_{m,n}$ も発光しない。

【0087】

続いて、図7に示すように、 i 行目の選択期間 T_{SE} の終了時刻（ i 行目の非選択期間 T_{NSE} の開始時刻）では、選択走査ドライバ5から選択走査線 X_i に出力される信号がハイレベルのオン電圧 V_{ON} からローレベルのオフ電圧 V_{OFF} になり、 i 行目の画素回路 $D_{i,1} \sim D_{i,n}$ の第一トランジスタ21のゲート21g及び第二トランジスタ22のゲート22gに対してオフ電圧 V_{OFF} が選択走査ドライバ5によって印加される。

【0088】

このため、 i 行目の非選択期間 T_{NSE} では、 i 行目の画素回路 $D_{i,1} \sim D_{i,n}$ の第一トランジスタ21がオフ状態になり、オフ状態の第一トランジスタ21によって電流が信号供給線 Z_i からそれぞれの信号線 $Y_1 \sim Y_n$ へ流れなくなる。更に、 i 行目の非選択期間 T_{NSE} では、 i 行目の各画素回路 $D_{i,1} \sim D_{i,n}$ の第二トランジスタ22がオフ状態になると、直前の i 行目の選択期間 T_{SE} においてキャパシタ24にチャージされた電荷が第二トランジスタ22によって閉じ込められている。これにより、 i 行目の画素回路 $D_{i,1} \sim D_{i,n}$ の何れにおいても、第三トランジスタ23は、非選択期間 T_{NSE} 中オン状態を維持し続ける。つまり、 i 行目の画素回路 $D_{i,1} \sim D_{i,n}$ の何れにおいても、非選択期間 T_{NSE} における第三トランジスタ23のゲート23g-ソース23s間の電圧 V_{GS} の大きさがその直前の選択期間 T_{SE} における第三トランジスタ23のゲート23g-ソース23s間の電圧 V_{GS} の大きさと等しくなるように、第二トランジスタ22が第三トランジスタ23のゲート23g-ソース23s間の電圧 V_{GS} を保持する。

【0089】

そして、 i 行目の選択期間 T_{SE} が終了して発光期間 T_L が開始するまでの間は、電圧供給ドライバ6が階調指定電流用基準電圧 V_{LOW} を全ての信号供給線 $Z_1 \sim Z_n$ に印加している。そのため、 i 行目の選択期間 T_{SE} が終了して発光期間 T_L が開始するまでの間は、全ての有機EL素子 $E_{1,1} \sim E_{m,n}$ には逆バイアス電圧が印加されるから、全ての有機EL素子 $E_{1,1} \sim E_{m,n}$ には電流が流れず、何れの有機EL素子 $E_{1,1} \sim E_{m,n}$ も発光しない。

【0090】

ここで、 i 行目の選択期間 T_{SE} が終了してから（ $i+1$ ）行目の選択期間 T_{SE} が開始するまでの間（つまり、（ $i+1$ ）行目のリセット期間 T_R では）、それぞれの単位切替回路 $S_1 \sim S_n$ のトランジスタ31がオフ状態になり、それぞれの単位切替回路 $S_1 \sim S_n$ のトランジスタ32がオン状態になる。従って、（ $i+1$ ）行目のリセット期間 T_R では、何

れの信号線 $Y_1 \sim Y_n$ にも階調指定電流 I_{DATA} が流れないが、リセット電圧 V_R が全ての信号線 $Y_1 \sim Y_n$ に印加される。その上、 $(i+1)$ 行目のリセット期間 T_R では、どの行の選択期間 T_{SE} でもないから全ての画素回路 $D_{1,1} \sim D_{m,n}$ の第一トランジスタ21がオフ状態となっている。従って、リセット電圧 V_R が信号線 $Y_1 \sim Y_n$ に印加され、信号線 $Y_1 \sim Y_n$ の寄生容量に電荷がチャージされる。

【0091】

そして、 $(i+1)$ 行目の選択期間 T_{SE} が開始すると、 i 行目の場合と同様に、 $(i+1)$ 行目の選択走査線 X_{i+1} が選択走査ドライバ5によって選択されることによって、更に各単位切替回路 $S_1 \sim S_n$ のトランジスタ31がオン状態となることによって、それぞれの列において信号供給線 $Z_{i+1} \rightarrow$ 第三トランジスタ23 \rightarrow 第一トランジスタ21 \rightarrow それぞれの信号線 $Y_1 \sim Y_n \rightarrow$ それぞれの単位切替回路 $S_1 \sim S_n$ のトランジスタ31 \rightarrow データドライバ3に向かった階調指定電流 I_{DATA} が流れる。その後、 $(i+1)$ 行目の非選択期間 T_{NSE} となって、 i 行目の場合と同様に $(i+1)$ 行目の画素回路 $D_{i+1,1} \sim D_{i+1,n}$ の第一トランジスタ21がオフ状態になり、オフ状態の第一トランジスタ21によって電流が信号供給線 Z_{i+1} からそれぞれの信号線 $Y_1 \sim Y_n$ へ流れない。

【0092】

以上のように、リセット期間 T_R では、リセット電圧 V_R が信号線 $Y_1 \sim Y_n$ に強制的に印加されるので、信号線 $Y_1 \sim Y_n$ の寄生容量のチャージ量を小さい電流が流れるときに定常化されるときにチャージ量の近づける。そのため、 $(i+1)$ 行目のリセット期間 T_R の後の $(i+1)$ 行目の選択期間 T_{SE} において信号線 $Y_1 \sim Y_n$ に流れる電流が微小であっても速やかに定常状態にすることができる。

【0093】

以上のように、非発光期間 T_{NL} において選択走査ドライバ5が選択走査線 $X_1 \sim X_n$ を行順次に選択していき、それぞれの選択走査線 $X_1 \sim X_n$ の選択期間 T_{SE} においてデータドライバ3が階調指定電流 I_{DATA} を信号線 $Y_1 \sim Y_n$ に流すことによって、階調指定電流 I_{DATA} の大きさが画素回路 $D_{1,1} \sim D_{m,n}$ の第三トランジスタ23のゲート23g-ソース23s間の電圧の大きさに変換することが行順次に行われる。

【0094】

図8に示すように、非発光期間 T_{NL} の後の発光期間 T_L では、選択走査ドライバ5が全ての選択走査線 $X_1 \sim X_n$ にオフ電圧 V_{OFF} を印加しているため、何れの画素回路 $D_{1,1} \sim D_{m,n}$ でも第一トランジスタ21及び第二トランジスタ22がオフ状態となっている。第二トランジスタ22がオフ状態であると、上述したように、第二トランジスタ22が第三トランジスタ23のゲート23g-ソース23s間の電圧 V_{GS} を保持する。更に、非発光期間 T_{NL} の後の発光期間 T_L では、電圧供給ドライバ6が全ての信号供給線 $Z_1 \sim Z_n$ に駆動電流用基準電圧 V_{HIGH} を印加している。ここで、発光期間 T_L では、全ての有機EL素子 $E_{1,1} \sim E_{m,n}$ の共通電極が基準電圧 V_{SS} である上、全ての信号供給線 $Z_1 \sim Z_n$ が基準電圧 V_{SS} より高い駆動電流用基準電圧 V_{HIGH} であり、全ての画素回路 $D_{1,1} \sim D_{m,n}$ の第三トランジスタ23がオン状態であるため、全ての有機EL素子 $E_{1,1} \sim E_{m,n}$ には順バイアス電圧が印加される。従って、画素回路 $D_{1,1} \sim D_{m,n}$ の何れにおいても、それぞれの信号供給線 $Z_1 \sim Z_n$ から第三トランジスタ23を通じてそれぞれの有機EL素子 $E_{1,1} \sim E_{m,n}$ へ駆動電流が流れ、それぞれの有機EL素子 $E_{1,1} \sim E_{m,n}$ が発光する。

【0095】

つまり、発光期間 T_L 中のそれぞれの画素回路 $D_{i,j}$ においては、第一トランジスタ21が、信号線 Y_j と第三トランジスタ23との間を電気的に遮断するように機能し、第二トランジスタ22が、キャパシタ24の電荷を閉じ込めることによって、選択期間 T_{SE} において変換された第三トランジスタ23のゲート23g-ソース23s間の電圧のレベルを保持するように機能し、第三トランジスタ23が、保持されたゲート23g-ソース23s間の電圧のレベルに応じた大きさの駆動電流を有機EL素子 $E_{i,j}$ に流すように機能する。

【0096】

ここで、発光期間 T_L 中にそれぞれの有機EL素子 $E_{1,1} \sim E_{m,n}$ に流れる駆動電流の大きさは、それぞれの画素回路 $D_{1,1} \sim D_{m,n}$ の第三トランジスタ23に流れる電流の大きさと同じであり、従って、選択期間 T_{SE} においてそれぞれの画素回路 $D_{1,1} \sim D_{m,n}$ の第三トランジスタ23に流れる階調指定電流 I_{DATA} の大きさと同じである。上述したように、選択期間 T_{SE} では、それぞれの画素回路 $D_{1,1} \sim D_{m,n}$ の第三トランジスタ23に流れる階調指定電流 I_{DATA} の大きさは所望通りとなるから、それぞれの有機EL素子 $E_{1,1} \sim E_{m,n}$ に流れる駆動電流の大きさも所望通りになり、それぞれの有機EL素子 $E_{1,1} \sim E_{m,n}$ は所望の階調輝度で発光する。

【0097】

以上のように本実施の形態では、発光期間 T_L でそれぞれの有機EL素子 $E_{1,1} \sim E_{m,n}$ に流れる駆動電流のレベルを、非発光期間 T_{NL} 中の選択期間 T_{SE} において階調指定電流 I_{DATA} の大きさを表している。従って、例えば、画素回路 $D_{1,1} \sim D_{m,n}$ の間で第三トランジスタ23の特性にバラツキがあったとしても、画素回路 $D_{1,1} \sim D_{m,n}$ の間で階調指定電流 I_{DATA} の大きさが同じであれば、有機EL素子 $E_{1,1} \sim E_{m,n}$ の間で輝度にバラツキが生じない。つまり、本実施形態では、同じレベルの輝度階調信号が画素に出力されても画素の間で輝度が異なってしまうという面内バラツキを抑えることができる。従って、本実施形態の有機エレクトロルミネッセンスディスプレイ1は、高品質な映像表示を行える。

【0098】

また、一行につき二つの選択走査線 X_i と信号供給線 Z_j が設けられているが、信号供給線 Z_j に対しては走査のための信号ではなく、階調指定電流用基準電圧 V_{LOW} と駆動電流用基準電圧 V_{HIGH} からなる周期的な信号が電圧供給ドライバ6によって出力されている。この有機エレクトロルミネッセンスディスプレイ1が具備するシフトレジスタであるドライバは、選択走査ドライバらだけである。シフトレジスタは一般的に m 個のフリップフロップ回路等から構成されるが、周期的な信号を出力する電圧供給ドライバ6はシフトレジスタに比較しても実装面積が低く、構成が簡略であり、素子の数も少ない。従って、シフトレジスタがドライバとして二個設けられた従来の有機エレクトロルミネッセンスディスプレイに比較しても、本実施形態の有機エレクトロルミネッセンスディスプレイ1の製造コストが低く、歩留りが高い。

【0099】

なお、本発明は、上記実施の形態に限定されることなく、本発明の趣旨を逸脱しない範囲において、種々の改良並びに設計の変更を行っても良い。

例えば、上記各実施の形態では発光素子として有機EL素子を用いているが、整流性のある他の発光素子を用いても良い。つまり、逆バイアス電圧が印加された場合には電流が流れないとともに順バイアス電圧が印加された場合には電流が流れるような発光素子であって、流れる電流の大きさに従った輝度で発光する発光素子であっても良い。整流性のある発光素子としては、例えばLED (Light Emitting Diode) 素子が挙げられる。

【図面の簡単な説明】

【0100】

【図1】本発明を適用した実施の形態における有機エレクトロルミネッセンスディスプレイ1のブロック図である。

【図2】有機エレクトロルミネッセンスディスプレイ1の画素 $P_{i,j}$ の平面図である。

【図3】有機エレクトロルミネッセンスディスプレイ1の隣接する四つの画素 $P_{i,j}$, $P_{i+1,j}$, $P_{i,j+1}$, $P_{i+1,j+1}$ の等価回路図である。

【図4】有機エレクトロルミネッセンスディスプレイ1における信号のレベルを示したタイミングチャート。

【図5】Nチャネル型の電界効果トランジスタの電流-電圧特性を表したグラフである。

【図6】 i 行目の隣り合う二つの画素 $P_{i,j}$, $P_{i,j+1}$ の等価回路図とともに、 i 行目の選択期間 T_{SE} の電流、電圧の状態を示した図である。

【図7】 i 行目の隣り合う二つの画素 $P_{i,j}$, $P_{i,j+1}$ の等価回路図とともに、 i 行目の選択期間 T_{SE} の終了時から発光期間 T_L までの電流、電圧の状態を示した図である。

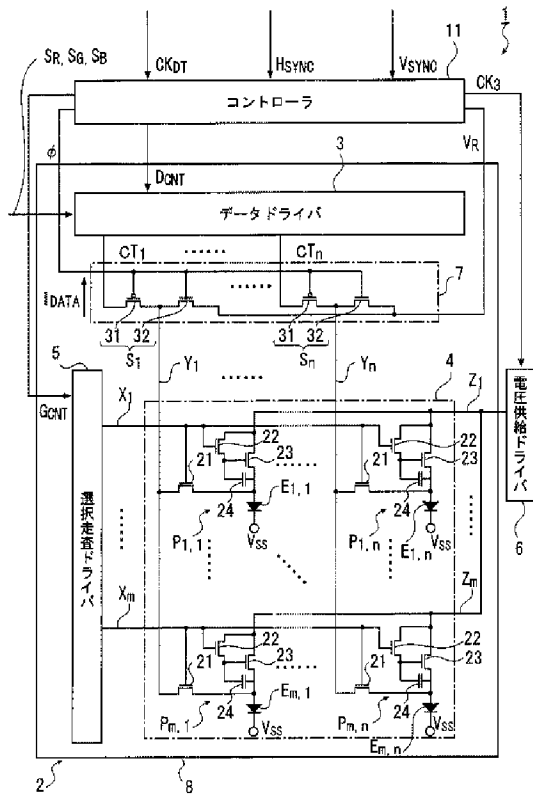
【図8】 i 行目の隣り合う二つの画素 $P_{i,j}$, $P_{i,j+1}$ の等価回路図とともに、発光期間 T_L の電流、電圧の状態を示した図である。

【符号の説明】

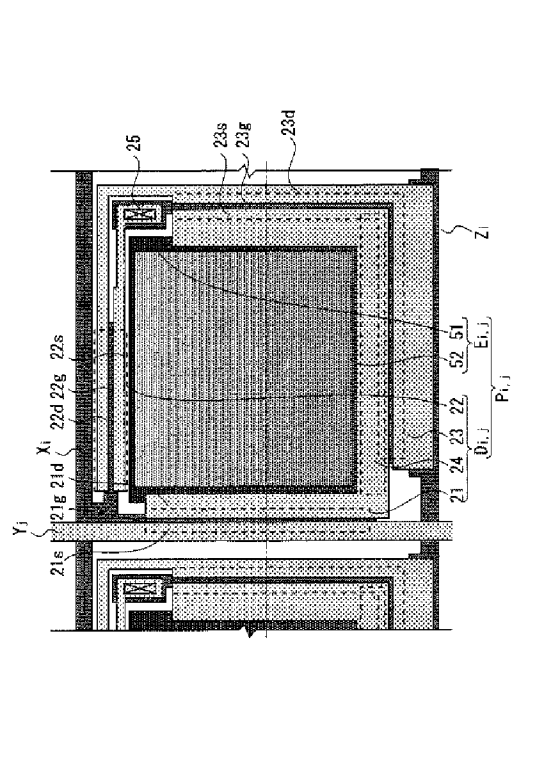
【0101】

- 1…有機エレクトロルミネッセンスディスプレイ (表示装置)
- 2…有機エレクトロルミネッセンス表示パネル (表示パネル)
- 3…データドライバ
- 5…選択走査ドライバ (走査ドライバ)
- 6…電圧供給ドライバ
- 21 … 第一トランジスタ
- 22 … 第二トランジスタ
- 23 … 第三トランジスタ
- $E_{1,1} \sim E_{m,n}$ … 有機EL素子 (発光素子)
- $Y_1 \sim Y_n$ … 信号線
- $X_1 \sim X_m$ … 選択走査線 (走査線)
- $Z_1 \sim Z_n$ … 信号供給線
- $P_{1,1} \sim P_{m,n}$ … 画素
- $D_{1,1} \sim D_{m,n}$ … 画素回路

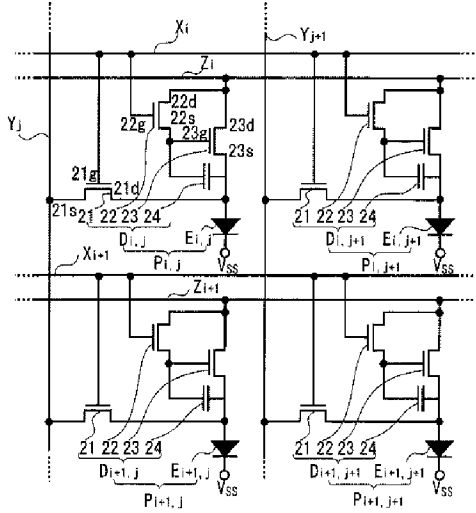
【図1】



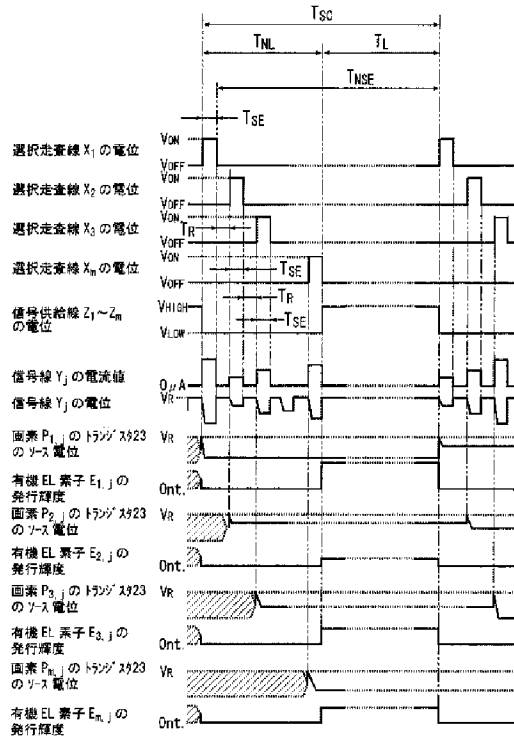
【図2】



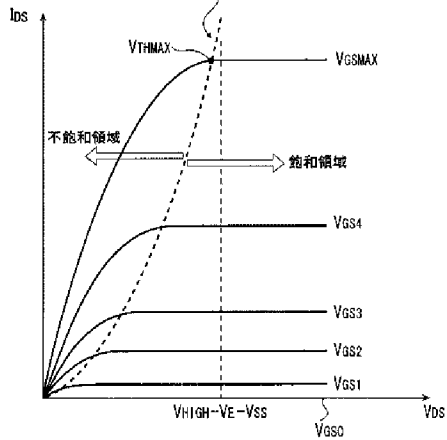
【図3】



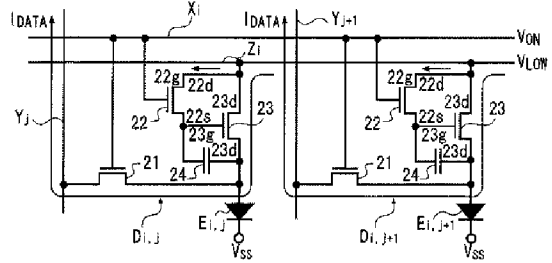
【図4】



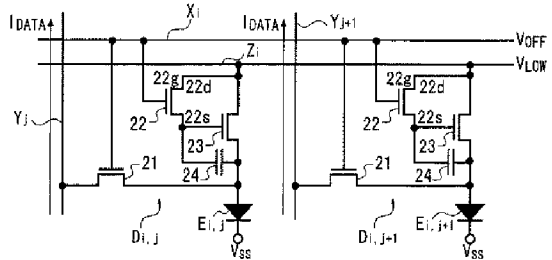
【図5】



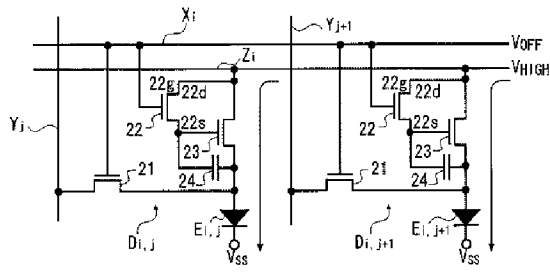
【図6】



【図7】



【図8】



(51)Int.Cl.7

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 4 1 D
G 0 9 G	3/20	6 4 2 A
H 0 5 B	33/14	A

Electronic Patent Application Fee Transmittal

Application Number:	11438967
Filing Date:	23-May-2006
Title of Invention:	DISPLAY APPARATUS AND DRIVE CONTROL METHOD THEREOF
First Named Inventor/Applicant Name:	Tsuyoshi Ozaki
Filer:	Leonard Holtz/Alexander Distell
Attorney Docket Number:	06331/LH

Filed as Large Entity

Utility under 35 USC 111(a) Filing Fees

Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				

Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Miscellaneous:				
Submission- Information Disclosure Stmt	1806	1	180	180
Total in USD (\$)				180

Electronic Acknowledgement Receipt

EFS ID:	7789809
Application Number:	11438967
International Application Number:	
Confirmation Number:	5382
Title of Invention:	DISPLAY APPARATUS AND DRIVE CONTROL METHOD THEREOF
First Named Inventor/Applicant Name:	Tsuyoshi Ozaki
Customer Number:	01933
Filer:	Leonard Holtz/Alexander Distell
Filer Authorized By:	Leonard Holtz
Attorney Docket Number:	06331/LH
Receipt Date:	10-JUN-2010
Filing Date:	23-MAY-2006
Time Stamp:	16:30:04
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Credit Card
Payment was successfully received in RAM	\$180
RAM confirmation Number	2886
Deposit Account	
Authorized User	

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
-----------------	----------------------	-----------	-------------------------------------	------------------	------------------

1		06331_ids4.pdf	99749 ee5eae768b777025a3540d41d809b50c6c71cfdde	yes	3
Multipart Description/PDF files in .zip description					
		Document Description	Start	End	
		Transmittal Letter	1	2	
		Information Disclosure Statement (IDS) Filed (SB/08)	3	3	
Warnings:					
Information:					
2	NPL Documents	06331_ids4_jp_oa.pdf	174675 ed1645ecaed8e7e022fc6d8c1442fb7583774f	no	4
Warnings:					
Information:					
3	Foreign Reference	JP2005006250A.pdf	4412590 7f8921550872b7ffa7654d23747c0b5c817c06c6	no	43
Warnings:					
Information:					
4	Foreign Reference	JP2005107233A.pdf	2483685 c8caf669a44172ec8224d4982b364c30d40890c1	no	25
Warnings:					
Information:					
5	Fee Worksheet (PTO-875)	fee-info.pdf	30374 894b12c0665cdf2e2c3ba3cc654f2e7c74154a09	no	2
Warnings:					
Information:					
Total Files Size (in bytes):			7201073		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

Attorney Docket No. 06331/LH

This paper is being
submitted via EFS-Web on
June 10, 2010

**IN THE UNITED STATES PATENT
AND TRADEMARK OFFICE**

Applicant(s) : Tsuyoshi OZAKI
Serial No. : 11/438,967
Confirm. No. : 5382
Filed : May 23, 2006
For : DISPLAY APPARATUS AND DRIVE
CONTROL METHOD THEREOF
Art Unit : 2629
Examiner : VIJAY SHANKAR

In the event that this Paper is late filed, and the necessary petition for extension of time is not filed concurrently herewith, please consider this as a Petition for the requisite extension of time, and to the extent not already paid, authorization to charge the extension fee to Account No. 06-1378. In addition, authorization is hereby given to charge any fees for which payment has not been submitted, or to credit any overpayments, to Account No. 06-1378.

**INFORMATION DISCLOSURE STATEMENT UNDER 37 CFR 1.97(d)
WITH STATEMENTS UNDER 37 CFR 1.97(e) (1)
AND UNDER 37 CFR 1.704(d) AND FEE**

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

S I R:

Submitted herewith are the following:

- (1) Copy of a Japanese Office Action dated May 13, 2010 (and English translation thereof) in counterpart Japanese Application No. 2005-150566;
- (2) Copies of cited foreign documents; and
- (3) IDS Form.

An English translation of said Japanese Office Action is provided, thereby satisfying the requirements for a concise explanation of relevance for the non-English language documents cited therein (MPEP 609.04 (a) III).

STATEMENT UNDER 37 CFR 1.97(e) (1)

Each item of information contained in this Information Disclosure Statement was first cited in any communication from foreign patent offices in counterpart foreign applications not more than three months prior to the filing of the present Information Disclosure Statement. Said Communication bears a mailing date of May 13, 2010.

STATEMENT UNDER 37 CFR 1.704(d)

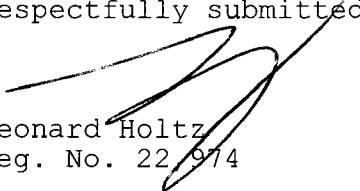
Each item of information contained in this Information Disclosure Statement was first cited in any communication from a foreign patent office in a counterpart application, and this communication was not received by any individual designated in §1.56(c) more than thirty days prior to the filing of the present Information Disclosure Statement.

IDS FEE

The USPTO fee of \$180.00 as set forth under 37 CFR 1.17(p) for filing an IDS at this stage of prosecution (after allowance) is being paid by credit card herewith. If any further fees are required, authorization is given to charge same against Account No. 06-1378.

It is requested that an initialed copy of the IDS Form be returned to indicate that the documents listed therein have been considered and made of record.

Respectfully submitted,


Leonard Holtz
Reg. No. 22,974

Frishauf, Holtz, Goodman & Chick, P.C.
220 Fifth Avenue, 16th Floor
New York, NY 10001-7708
Tel. No. (212) 319-4900
Fax. No. (212) 319-5101
LH:ad
encs.



NOTICE OF ALLOWANCE AND FEE(S) DUE

1933 7590 03/29/2010

FRISHAUF, HOLTZ, GOODMAN & CHICK, PC
220 Fifth Avenue
16TH Floor
NEW YORK, NY 10001-7708

EXAMINER: SHANKAR, VIJAY
ART UNIT: 2629 PAPER NUMBER:
DATE MAILED: 03/29/2010

Table with 5 columns: APPLICATION NO., FILING DATE, FIRST NAMED INVENTOR, ATTORNEY DOCKET NO., CONFIRMATION NO.

11/438,967 05/23/2006 Tsuyoshi Ozaki 06331/LH 5382

TITLE OF INVENTION: DISPLAY APPARATUS AND DRIVE CONTROL METHOD THEREOF

Table with 7 columns: APPLN. TYPE, SMALL ENTITY, ISSUE FEE DUE, PUBLICATION FEE DUE, PREV. PAID ISSUE FEE, TOTAL FEE(S) DUE, DATE DUE

nonprovisional NO \$1510 \$300 \$0 \$1810 06/29/2010

THE APPLICATION IDENTIFIED ABOVE HAS BEEN EXAMINED AND IS ALLOWED FOR ISSUANCE AS A PATENT. PROSECUTION ON THE MERITS IS CLOSED. THIS NOTICE OF ALLOWANCE IS NOT A GRANT OF PATENT RIGHTS. THIS APPLICATION IS SUBJECT TO WITHDRAWAL FROM ISSUE AT THE INITIATIVE OF THE OFFICE OR UPON PETITION BY THE APPLICANT. SEE 37 CFR 1.313 AND MPEP 1308.

THE ISSUE FEE AND PUBLICATION FEE (IF REQUIRED) MUST BE PAID WITHIN THREE MONTHS FROM THE MAILING DATE OF THIS NOTICE OR THIS APPLICATION SHALL BE REGARDED AS ABANDONED. THIS STATUTORY PERIOD CANNOT BE EXTENDED. SEE 35 U.S.C. 151. THE ISSUE FEE DUE INDICATED ABOVE DOES NOT REFLECT A CREDIT FOR ANY PREVIOUSLY PAID ISSUE FEE IN THIS APPLICATION. IF AN ISSUE FEE HAS PREVIOUSLY BEEN PAID IN THIS APPLICATION (AS SHOWN ABOVE), THE RETURN OF PART B OF THIS FORM WILL BE CONSIDERED A REQUEST TO REAPPLY THE PREVIOUSLY PAID ISSUE FEE TOWARD THE ISSUE FEE NOW DUE.

HOW TO REPLY TO THIS NOTICE:

I. Review the SMALL ENTITY status shown above.

If the SMALL ENTITY is shown as YES, verify your current SMALL ENTITY status:

A. If the status is the same, pay the TOTAL FEE(S) DUE shown above.

B. If the status above is to be removed, check box 5b on Part B - Fee(s) Transmittal and pay the PUBLICATION FEE (if required) and twice the amount of the ISSUE FEE shown above, or

If the SMALL ENTITY is shown as NO:

A. Pay TOTAL FEE(S) DUE shown above, or

B. If applicant claimed SMALL ENTITY status before, or is now claiming SMALL ENTITY status, check box 5a on Part B - Fee(s) Transmittal and pay the PUBLICATION FEE (if required) and 1/2 the ISSUE FEE shown above.

II. PART B - FEE(S) TRANSMITTAL, or its equivalent, must be completed and returned to the United States Patent and Trademark Office (USPTO) with your ISSUE FEE and PUBLICATION FEE (if required). If you are charging the fee(s) to your deposit account, section "4b" of Part B - Fee(s) Transmittal should be completed and an extra copy of the form should be submitted. If an equivalent of Part B is filed, a request to reapply a previously paid issue fee must be clearly made, and delays in processing may occur due to the difficulty in recognizing the paper as an equivalent of Part B.

III. All communications regarding this application must give the application number. Please direct all communications prior to issuance to Mail Stop ISSUE FEE unless advised to the contrary.

IMPORTANT REMINDER: Utility patents issuing on applications filed on or after Dec. 12, 1980 may require payment of maintenance fees. It is patentee's responsibility to ensure timely payment of maintenance fees when due.

PART B - FEE(S) TRANSMITTAL

**Complete and send this form, together with applicable fee(s), to: Mail Mail Stop ISSUE FEE
 Commissioner for Patents
 P.O. Box 1450
 Alexandria, Virginia 22313-1450
 or Fax (571)-273-2885**

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

1933 7590 03/29/2010

FRISHAUF, HOLTZ, GOODMAN & CHICK, PC
 220 Fifth Avenue
 16TH Floor
 NEW YORK, NY 10001-7708

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (571) 273-2885, on the date indicated below.

(Depositor's name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
11/438,967	05/23/2006	Tsuyoshi Ozaki	06331/LH	5382

TITLE OF INVENTION: DISPLAY APPARATUS AND DRIVE CONTROL METHOD THEREOF

APPLN. TYPE	SMALL ENTITY	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	NO	\$1510	\$300	\$0	\$1810	06/29/2010

EXAMINER	ART UNIT	CLASS-SUBCLASS
SHANKAR, VIJAY	2629	345-204000

<p>1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).</p> <p><input type="checkbox"/> Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.</p> <p><input type="checkbox"/> "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. Use of a Customer Number is required.</p>	<p>2. For printing on the patent front page, list</p> <p>(1) the names of up to 3 registered patent attorneys or agents OR, alternatively, 1 _____</p> <p>(2) the name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed. 2 _____</p> <p>3 _____</p>
---	---

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE _____ (B) RESIDENCE: (CITY AND STATE OR COUNTRY) _____

Please check the appropriate assignee category or categories (will not be printed on the patent) : Individual Corporation or other private group entity Government

<p>4a. The following fee(s) are submitted:</p> <p><input type="checkbox"/> Issue Fee</p> <p><input type="checkbox"/> Publication Fee (No small entity discount permitted)</p> <p><input type="checkbox"/> Advance Order - # of Copies _____</p>	<p>4b. Payment of Fee(s); (Please first reapply any previously paid issue fee shown above)</p> <p><input type="checkbox"/> A check is enclosed.</p> <p><input type="checkbox"/> Payment by credit card. Form PTO-2038 is attached.</p> <p><input type="checkbox"/> The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment, to Deposit Account Number _____ (enclose an extra copy of this form).</p>
---	--

5. Change in Entity Status (from status indicated above)

a. Applicant claims SMALL ENTITY status. See 37 CFR 1.27. b. Applicant is no longer claiming SMALL ENTITY status. See 37 CFR 1.27(g)(2).

NOTE: The Issue Fee and Publication Fee (if required) will not be accepted from anyone other than the applicant; a registered attorney or agent; or the assignee or other party in interest as shown by the records of the United States Patent and Trademark Office.

Authorized Signature _____ Date _____

Typed or printed name _____ Registration No. _____

This collection of information is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P. O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

Table with 5 columns: APPLICATION NO., FILING DATE, FIRST NAMED INVENTOR, ATTORNEY DOCKET NO., CONFIRMATION NO.
11/438,967 05/23/2006 Tsuyoshi Ozaki 06331/LH 5382
1933 7590 03/29/2010
FRISHAUF, HOLTZ, GOODMAN & CHICK, PC
220 Fifth Avenue
16TH Floor
NEW YORK, NY 10001-7708
EXAMINER SHANKAR, VIJAY
ART UNIT 2629 PAPER NUMBER
DATE MAILED: 03/29/2010

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(application filed on or after May 29, 2000)

The Patent Term Adjustment to date is 743 day(s). If the issue fee is paid on the date that is three months after the mailing date of this notice and the patent issues on the Tuesday before the date that is 28 weeks (six and a half months) after the mailing date of this notice, the Patent Term Adjustment will be 743 day(s).

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (http://pair.uspto.gov).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Customer Service Center of the Office of Patent Publication at 1-(888)-786-0101 or (571)-272-4200.

Notice of Allowability

Application No. 11/438,967	Applicant(s) OZAKI ET AL.	
Examiner VIJAY SHANKAR	Art Unit 2629	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--

All claims being allowable, PROSECUTION ON THE MERITS IS (OR REMAINS) CLOSED in this application. If not included herewith (or previously mailed), a Notice of Allowance (PTOL-85) or other appropriate communication will be mailed in due course. **THIS NOTICE OF ALLOWABILITY IS NOT A GRANT OF PATENT RIGHTS.** This application is subject to withdrawal from issue at the initiative of the Office or upon petition by the applicant. See 37 CFR 1.313 and MPEP 1308.

- 1. This communication is responsive to amendment filed on 1/4/2010.
- 2. The allowed claim(s) is/are 1-40.
- 3. Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).
 - a) All b) Some* c) None of the:
 - 1. Certified copies of the priority documents have been received.
 - 2. Certified copies of the priority documents have been received in Application No. _____.
 - 3. Copies of the certified copies of the priority documents have been received in this national stage application from the International Bureau (PCT Rule 17.2(a)).

* Certified copies not received: _____.

Applicant has THREE MONTHS FROM THE "MAILING DATE" of this communication to file a reply complying with the requirements noted below. Failure to timely comply will result in ABANDONMENT of this application.
THIS THREE-MONTH PERIOD IS NOT EXTENDABLE.

- 4. A SUBSTITUTE OATH OR DECLARATION must be submitted. Note the attached EXAMINER'S AMENDMENT or NOTICE OF INFORMAL PATENT APPLICATION (PTO-152) which gives reason(s) why the oath or declaration is deficient.
 - 5. CORRECTED DRAWINGS (as "replacement sheets") must be submitted.
 - (a) including changes required by the Notice of Draftsperson's Patent Drawing Review (PTO-948) attached
 - 1) hereto or 2) to Paper No./Mail Date _____.
 - (b) including changes required by the attached Examiner's Amendment / Comment or in the Office action of Paper No./Mail Date _____.
- Identifying indicia such as the application number (see 37 CFR 1.84(c)) should be written on the drawings in the front (not the back) of each sheet. Replacement sheet(s) should be labeled as such in the header according to 37 CFR 1.121(d).**
- 6. DEPOSIT OF and/or INFORMATION about the deposit of BIOLOGICAL MATERIAL must be submitted. Note the attached Examiner's comment regarding REQUIREMENT FOR THE DEPOSIT OF BIOLOGICAL MATERIAL.

Attachment(s)

- 1. Notice of References Cited (PTO-892)
- 2. Notice of Draftsperson's Patent Drawing Review (PTO-948)
- 3. Information Disclosure Statements (PTO/SB/08), Paper No./Mail Date _____
- 4. Examiner's Comment Regarding Requirement for Deposit of Biological Material
- 5. Notice of Informal Patent Application
- 6. Interview Summary (PTO-413), Paper No./Mail Date _____.
- 7. Examiner's Amendment/Comment
- 8. Examiner's Statement of Reasons for Allowance
- 9. Other _____.

VIJAY SHANKAR/
Primary Examiner, Art Unit 2629

Allowable Subject Matter

1. Claims 1-40 are allowed.
2. The following is an examiner's statement of reasons for allowance: The prior arts fails to teach a display apparatus for displaying image information corresponding to display data, comprising: a display panel including a plurality of display pixels arranged thereon in vicinities of respective intersections of a plurality of scanning lines arranged in a row direction and a plurality of data lines arranged in a column direction; a plurality of bias lines provided on the display panel along the scanning lines, respectively; a scanning drive unit which sequentially applies a scanning signal to each of said plurality of scanning lines and sets the display pixels corresponding to each said scanning line to a selection state; a data drive unit which generates a gradation signal corresponding to the display data and supplies the gradation signal to the display pixels set to the selection state; a power source drive unit which supplies to the display pixels a drive voltage for controlling a drive state of each of the display pixels; a state setting unit; and **a drive control unit which controls the power source drive unit to operate to set the display pixels to a non-display operation state during a non-display period in which the display pixels do not display the display data, and controls the scanning drive unit to operate to set the display pixels to the selection state during the non-display period, wherein each of the plurality of display pixels comprises an optical element and a display drive circuit which controls an operation of the optical element, the display drive circuit comprising an electric charge accumulation circuit which holds a voltage component corresponding to**

Art Unit: 2629

the gradation signal, a supply control circuit which generates a drive current having a predetermined current value based on the voltage component held in the electric charge accumulation circuit, and which supplies the drive current to the optical element, and a writing control circuit which controls a supply state of electric charges, based on the gradation signal, to the electric charge accumulation circuit, and wherein the state setting unit eliminates a bias state set corresponding to the display data based on the gradation signal to the display drive circuit of the display pixels in each row, generates a setting signal for setting a specific bias state, applies the setting signal to each of the bias lines, and applies the setting signal to the display pixels for each row of the display panel as Claimed in Claims 39 and 1.

The prior arts fails to teach a drive control method of controlling a display apparatus to display image information corresponding to display data, wherein the display apparatus comprises a display panel including a plurality of display pixels arranged thereon in vicinities of intersections of a plurality of scanning lines arranged in a row direction and a plurality of data lines arranged in a column direction, and each of the plurality of display pixels has an optical element and a display drive circuit which controls an operation of the optical element, the method comprising: sequentially setting the display pixels to a selection state, row by row; sequentially supplying a gradation signal corresponding to the display data to the display pixels in each row set to the selection state;

Art Unit: 2629

setting each of the display pixels to a display operation state with said display pixels in a bias state corresponding to the gradation signal; and in a non-display period including a period in which the display pixels are set to a selection state, setting the display pixels to a non-display operation state in which the display data is not displayed, wherein the setting the display pixels to the display operation state is performed by applying to the display drive circuit a first voltage for setting the optical element to a forward bias state, and by holding a voltage component corresponding to the gradation signal in the display drive circuit, and wherein the setting of each display pixel to the non-display operation state comprises setting a specific bias state by eliminating the bias state set, corresponding to the gradation signal, to the display drive circuit of the display pixel as claimed in Claims 40 and 2.

Any comments considered necessary by applicant must be submitted no later than the payment of the issue fee and, to avoid processing delays, should preferably accompany the issue fee. Such submissions should be clearly labeled "Comments on Statement of Reasons for Allowance."

Art Unit: 2629


3. Any inquiry concerning this communication or earlier communications from the examiner should be directed to VIJAY SHANKAR whose telephone number is (571) 272-7682. The examiner can normally be reached on M-F 7:30 am - 5:30 pm.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Alexander Eisen can be reached on (571) 272-7687. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see <http://pair-direct.uspto.gov>. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/VIJAY SHANKAR/
Primary Examiner, Art Unit 2629

VS

Search Notes 	Application/Control No. 11438967	Applicant(s)/Patent Under Reexamination OZAKI ET AL.
	Examiner VIJAY SHANKAR	Art Unit 2629

SEARCHED			
Class	Subclass	Date	Examiner
345	76-84, 87-104, 204-215, 690-699	3/23/10	VS
315	169.1-169.4	3/23/10	VS

SEARCH NOTES		
Search Notes	Date	Examiner
INVENTORS NAME SEARCH	3/23/10	VS

INTERFERENCE SEARCH			
Class	Subclass	Date	Examiner
SAME	AS SEARCH	3/23/10	VS

--	--

Application Serial No. 11/438,967
Response to Office Action

Customer No. 01933

Attorney Docket No. 06331/LH

This paper is being submitted
via EFS-Web on January 4, 2010

**IN THE UNITED STATES PATENT
AND TRADEMARK OFFICE**

Applicant(s): Tsuyoshi OZAKI

Serial No. : 11/438,967

Confirm. No.: 5382

Filed : May 23, 2006

For : DISPLAY APPARATUS AND DRIVE
CONTROL METHOD THEREOF

Art Unit : 2629

Examiner : VIJAY SHANKAR

In the event that this Paper is
late filed, and the necessary
petition for extension of time
is not filed concurrently
herewith, please consider this
as a Petition for the requisite
extension of time, and to the
extent not already paid,
authorization to charge the
extension fee to Account
No. 06-1378. In addition,
authorization is hereby given to
charge any fees for which
payment has not been submitted,
or to credit any overpayments,
to Account No. 06-1378.

A M E N D M E N T

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

S I R :

This is responsive to the Office Action mailed
September 4, 2009, the term for response to which is extended
by one month by Petition filed concurrently herewith to expire
on January 4, 2010.

Amendments to the Claims are set forth in the listing of
claims which begins on page 2 of this paper. Claims 1, 4, 6, 10,
11, 13, 14, 21-25, 27, 32, and 35 are amended; claims 2, 3, 5,
7-9, 12, 15-20, 26, 28-31, 33, 34, and 36-38 are maintained; and
claims 39 and 40 are added.

Remarks begin on page 22 of this paper.

Listing of Claims:

1. (Currently Amended) A display apparatus for displaying image information corresponding to display data, comprising:

a display panel including a plurality of display pixels arranged thereon in vicinities of respective intersections of a plurality of scanning lines arranged in a row direction and a
5 plurality of data lines arranged in a column direction;

a scanning drive unit which sequentially applies a scanning signal to each of said plurality of scanning lines and sets the display pixels corresponding to each said scanning line to a
10 selection state;

a data drive unit which generates a gradation signal corresponding to the display data and supplies the gradation signal to the display pixels set to the selection state;

a power source drive unit which supplies to the display
15 pixels a drive voltage for controlling a drive state of each of the display pixels; and

a drive control unit which ~~:(i) controls the power source drive unit to operate to set the display pixels to a non-display operation state during~~ sets a period including a select period in
20 which the scanning drive unit sets the display pixels to the selection state as a non-display period in which the display pixels do not display the display data, and ~~(ii) controls the~~

25 ~~scanning drive unit to operate~~ a voltage value of the drive
voltage supplied from the power source drive unit to set the
display pixels to ~~the selection state~~ a non-display operation
state during the non-display period,
wherein each of the plurality of display pixels has an
optical element and a display drive circuit which controls an
operation of the optical element, the display drive circuit
30 having a first switch circuit including a control terminal and a
conduction channel having a first end and a second end, the drive
voltage being applied to the first end of the conduction channel,
a first end of the optical element being connected to the second
end of the conduction channel, and a second end of the optical
35 element being set to a given potential.

2. (Original) The display apparatus according to claim 1,
wherein the power source drive unit selectively supplies, as the
drive voltage, a first voltage for setting the display pixels to
a display operation state in a bias state corresponding to the
5 gradation signal, and a second voltage for setting the display
pixels to the non-display operation state.

3. (Original) The display apparatus according to claim 2,
wherein the drive control unit controls the power source drive

unit to supply the first voltage as the drive voltage in a display period in which the display pixels display the display data, and to supply the second voltage as the drive voltage in the non-display period.

4. (Currently Amended) The display apparatus according to claim 1, further comprising:

a plurality of bias lines provided on the display panel along the scanning lines, respectively; and

5 a state setting unit which eliminates a bias state set corresponding to the display data ~~set~~ based on the gradation signal to the display drive circuit of the display pixels in each row, and which generates a setting signal for setting a specific bias state, applies the setting signal to each of the plurality
10 of bias lines, and applies the setting signal to the display pixels for each row of the display panel. ~~; and a plurality of bias lines provided on the display panel to apply the setting signal to the display pixels for each row of the display panel.~~

5. (Original) The display apparatus according to claim 4, wherein the drive control unit controls the state setting unit to supply the setting signal to the bias lines corresponding to the display pixels during a portion of the non-display period.

6. (Currently Amended) The display apparatus according to claim 4, wherein each of the display pixels comprises: ~~a current control type optical element and a display drive circuit which controls an operation of the optical element, and wherein the display drive circuit comprises:~~

an electric charge accumulation circuit which holds a voltage component corresponding to the gradation signal;

a supply control circuit which generates a drive current having a predetermined current value based on the voltage component held in the electric charge accumulation circuit, and which supplies the drive current to the optical element; and

a writing control circuit which controls a supply state of electric charges, based on the gradation signal, to the electric charge accumulation circuit,

wherein the supply control circuit includes the first switch circuit and is configured to supply the drive current to the optical element via the conduction channel, and wherein the electric charge accumulation circuit is connected to the control terminal of the first switch circuit.

7. (Original) The display apparatus according to claim 6, wherein the optical element comprises a light emitting element which performs a light emitting operation at a luminance corresponding to a value of the drive current applied thereto.

8. (Original) The display apparatus according to claim 7, wherein the data drive unit comprises a circuit which generates, as the gradation signal, a gradation current having a current value to cause the light emitting element to perform a light emitting operation with a luminance gradation corresponding to the display data.

9. (Original) The display apparatus according to claim 7, wherein the light emitting element comprises an organic electroluminescent element.

10. (Currently Amended) The display apparatus according to claim 6, wherein the display panel includes a plurality of power source lines corresponding respectively to rows of the display panel, and the drive voltage is supplied to the power source
5 lines, and

wherein the first end of the conduction channel of the first switch circuit of each of the display pixels is connected to one of the power source lines. ~~the supply control circuit of each of the display pixels comprises: a conduction channel having
10 a first end connected with one of the power source lines and a second end connected with one end of the light emitting element, through which the display drive current flows; and a control terminal connected with the electric charge accumulation circuit.~~

11. (Currently Amended) The display apparatus according to claim 10, wherein the writing control circuit of each of the display pixels comprises:

5 a conduction channel having a first end connected with one of the data lines and a second end connected with the control terminal of the first switch circuit of the supply control circuit via the electric charge accumulation circuit; and

a control terminal connected with one of the scanning lines.

12. (Original) The display apparatus according to claim 6, wherein the display drive circuit further comprises a bias control circuit which discharges electric charges accumulated in the electric charge accumulation circuit, and applies one of no voltage and a reverse bias voltage to the supply control circuit.

13. (Currently Amended) The display apparatus according to claim 12, wherein the bias control circuit comprises:

5 a conduction channel having a first end connected with one of the scanning lines and a second end connected with ~~[[a]]~~ the control terminal of the first switch circuit of the supply control circuit; and

a control terminal connected with one of the bias lines.

14. (Currently Amended) The display apparatus according to claim 12, wherein the display drive circuit comprises:

~~a first switch circuit including a conduction channel having a first end to which the drive voltage is applied and a second end which is connected to a connection contact point to one end of the optical element;~~

a second switch circuit including a control terminal connected with one of the scanning lines, and a conduction channel having a first end to which the drive voltage is applied and a second end to which a control terminal of the first switch circuit is connected;

a third switch circuit including a control terminal connected with one of the scanning lines, and a conduction channel having a first end to which one of the data lines is connected and a second end to which a connection contact point is connected;

a capacitance element connected between the control terminal of the first switch circuit and the connection contact point; and

a fourth switch circuit including a control terminal connected with one of the bias lines, and a conduction channel having a first end connected with one of the scanning lines and a second end connected with the control terminal of the first switch circuit,

~~wherein the supply control circuit comprises the first switch circuit,~~

25 wherein the bias control circuit comprises the fourth switch
circuit, and

 wherein the electric charge accumulation circuit comprises
the capacitance element.

15. (Original) The display apparatus according to claim 14,
wherein each of the first through fourth switch circuits
comprises an amorphous silicon thin film transistor.

16. (Original) The display apparatus according to claim 2,
wherein said plurality of image pixels of the display panel are
divided into a plurality of groups each including a plurality of
rows, and

5 wherein the drive control unit controls the power source
drive unit to supply the first voltage to the display pixels for
each said group as the drive voltage in a display period for
operating the display pixels to display the display data, and,
within each said group, simultaneously sets the display pixels to
10 a display operation state.

17. (Original) The display apparatus according to claim 16,
wherein the plurality of rows of each said group comprises a
plurality of adjacent rows.

18. (Original) The display apparatus according to claim 16, wherein the plurality of rows of each said group comprises a plurality of separated rows.

19. (Original) The display apparatus according to claim 16, wherein the drive control unit controls the power source drive unit to supply the second voltage to the display pixels for each said group as the drive voltage in the non-display period, and, within each said group, simultaneously sets the display pixels to the non-display operation state.

20. (Original) The display apparatus according to claim 19, wherein the display panel includes a plurality of power source lines corresponding respectively to rows of the display panel, and the drive voltage is applied via the power source lines, wherein the power source lines are divided into groups in correspondence to the plurality of rows of each said group, and wherein, within each said group, the power source drive unit commonly supplies the drive voltage to each of the power source lines in the group, and simultaneously supplies the drive voltage to the display pixels in the group.

21. (Currently Amended) The display apparatus according to claim 16, further comprising:

a plurality of bias lines provided on the display panel
along the scanning lines, respectively; and

5 a state setting unit which eliminates a bias state set
corresponding to the display data ~~set~~ based on the gradation
signal to the display drive circuit of the display pixels in each
row, ~~and which~~ generates a setting signal for setting a specific
bias state, and applies the setting signal to each of the bias
10 lines; to the display pixels for each row of the display panel;
~~and a plurality of bias lines provided on the display panel to
apply the setting signal to the display pixels for each row of
the display panel;~~

15 wherein the plurality of bias lines are divided into groups
each including a plurality of bias lines corresponding to the
plurality of rows of each said group, and

20 wherein, within each said group, the state setting unit
supplies the setting signal to said plurality of bias lines in
the group, and simultaneously supplies the setting signal to said
plurality of display pixels in the group.

22. (Currently Amended) The display apparatus according to
claim 16, further comprising:

a plurality of bias lines provided on the display panel
along the scanning lines, respectively; and

5 a state setting unit which eliminates a bias state set
corresponding to the display data ~~set~~ based on the gradation
signal to the display drive circuit of the display pixels in each
row, ~~and which~~ generates a setting signal for setting a specific
bias state, and applies the setting signal to each of the bias
10 lines; ~~to the display pixels for each row of the display panel;~~
~~and a plurality of bias lines provided on the display panel to~~
~~apply the setting signal to the display pixels for each row of~~
~~the display panel;~~

 wherein the state setting unit sequentially supplies the
15 setting signal to the plurality of bias lines corresponding to
the plurality of rows of each said group, and, within each said
group, sequentially supplies the setting signal to the display
pixels in the plurality of rows in the group.

23. (Currently Amended) A drive control method of
controlling a display apparatus to display image information
corresponding to display data, wherein the display apparatus
comprises a display panel including a plurality of display pixels
5 arranged thereon in vicinities of intersections of a plurality of
scanning lines arranged in a row direction and a plurality of
data lines arranged in a column direction, and wherein each of
the plurality of display pixels has an optical element and a
display drive circuit which controls an operation of the optical

10 element, the display drive circuit having a first switch circuit
including a control terminal and a conduction channel having a
first end and a second end, a drive voltage being applied to the
first end of the conduction channel, a first end of the optical
15 channel, and a second end of the optical element being set to a
given potential, the method comprising:

sequentially setting the display pixels to a selection
state, row by row;

20 sequentially supplying a gradation signal corresponding to
the display data to the display pixels ~~, row by row,~~ in each row
set to the selection state;

in a display period, supplying as the drive voltage a
voltage which sets each of the display pixels to a display
operation state, and setting the display drive circuit of each of
25 the display pixels to [[a]] the display operation state in a bias
state corresponding to the gradation signal; and

in a non-display period including a period in which the
display pixels are set to the selection state, supplying as the
drive voltage a voltage which sets each of the display pixels to
30 a non-display operation state, and setting each of the display
pixels to [[a]] the non-display operation state ~~in a non-display~~
~~period in which the display pixels do not display the display~~

data is not displayed. ; ~~wherein the display pixels are set to the selection state while set in the non-display operation state.~~

24. (Currently Amended) The drive control method according to claim 23, wherein the setting of each display pixel to the display operation state comprises supplying to the display pixel a first voltage for setting the optical element ~~the display pixel~~ to a forward bias, as the drive voltage, and

wherein the setting of each display pixel to the non-display operation state comprises supplying to the display pixel a second voltage for setting ~~the display pixel~~ the optical element to the non-display operation state, as the drive voltage.

25. (Currently Amended) The drive control method according to claim 23, wherein the setting of each display pixel to the non-display operation state comprises setting the display pixel to a specific bias state by eliminating [[a]] the bias state corresponding to the gradation signal set in the display pixel.

26. (Original) The drive control method according to claim 25, wherein the setting the display pixel to the specific bias state is performed by applying one of a no-voltage and a reverse bias voltage.

27. (Currently Amended) The drive control method according to claim 25, ~~wherein each of the display pixels comprises a current control type optical element and a display drive circuit which controls an operation of the optical element,~~ and wherein
5 the setting the display pixels to the display operation state is performed by applying to the display drive circuit a first voltage for setting the ~~display drive circuit~~ optical element to a forward bias state, ~~corresponding to the gradation signal as the drive voltage,~~ and by holding a voltage component
10 corresponding to the gradation signal in the display drive circuit.

28. (Original) The drive control method according to claim 27, wherein the setting the display pixels to the specific bias state is performed by discharging the voltage component held in the display drive circuit, and by applying and holding one of
5 a no-voltage and a reverse bias voltage in the display drive circuit.

29. (Original) The drive control method according to claim 27, wherein the optical element comprises a light emitting element which performs a light emitting operation at a luminance corresponding to a current value of a current applied thereto,
5 and wherein the display pixels are caused to perform a display

operation by causing the light emitting element to perform a light emitting operation with a luminance gradation corresponding to the gradation signal.

30. (Original) The drive control method according to claim 29, wherein the light emitting element comprises an organic electroluminescent element.

31. (Original) The drive control method according to claim 29, wherein the supplying the gradation signal to the display pixels comprises supplying to the display pixels a gradation current having a current value which causes the light emitting element to perform the light emitting operation with a luminance gradation corresponding to the display data.

32. (Currently Amended) The drive control method according to claim 23, wherein said plurality of display pixels of the display panel are divided into a plurality of groups, each including a plurality of rows, and

wherein the setting the display pixels to the display operation state comprises supplying to the display pixels for each said group a first voltage for setting the ~~display pixels~~ optical element to a forward bias, as the drive voltage, such

10 that, within each said group, the display pixels are
simultaneously set to the display operation state.

33. (Original) The drive control method according to claim 32, wherein the plurality of rows of each said group comprises a plurality of continuous rows.

34. (Original) The drive control method according to claim 32, wherein the plurality of rows of each said group comprises a plurality of separated rows.

5 35. (Currently Amended) The drive control method according to claim 32, wherein the setting the display pixels to the non-display operation state comprises supplying to the display pixels for each said group a second voltage for setting the ~~display pixels~~ optical element to the non-display operation state, as the drive voltage, such that, within each said group, the display pixels are simultaneously set to the non-display operation state.

36. (Original) The drive control method according to claim 32, wherein the setting the display pixels to the non-display operation state comprises eliminating the bias state

corresponding to the gradation signal set to the display pixels to set the display pixels to a specific bias state.

37. (Original) The drive control method according to claim 36, wherein the operation of setting the display pixels to the specific bias state comprises, within each said group, simultaneously setting said plurality of display pixels to the specific bias state.

38. (Original) The drive control method according to claim 36, wherein the setting the display pixels to the specific bias state comprises, within each said group, sequentially setting rows of the display pixels to the specific bias state.

39. (New) A display apparatus for displaying image information corresponding to display data, comprising:

a display panel including a plurality of display pixels arranged thereon in vicinities of respective intersections of a plurality of scanning lines arranged in a row direction and a

5

plurality of data lines arranged in a column direction;

a plurality of bias lines provided on the display panel along the scanning lines, respectively;

a scanning drive unit which sequentially applies a scanning signal to each of said plurality of scanning lines and sets the

10

display pixels corresponding to each said scanning line to a selection state;

15 a data drive unit which generates a gradation signal corresponding to the display data and supplies the gradation signal to the display pixels set to the selection state;

a power source drive unit which supplies to the display pixels a drive voltage for controlling a drive state of each of the display pixels;

a state setting unit; and

20 a drive control unit which controls the power source drive unit to operate to set the display pixels to a non-display operation state during a non-display period in which the display pixels do not display the display data, and controls the scanning drive unit to operate to set the display pixels to the selection
25 state during the non-display period,

wherein each of the plurality of display pixels comprises an optical element and a display drive circuit which controls an operation of the optical element, the display drive circuit comprising an electric charge accumulation circuit which holds a
30 voltage component corresponding to the gradation signal, a supply control circuit which generates a drive current having a predetermined current value based on the voltage component held in the electric charge accumulation circuit, and which supplies the drive current to the optical element, and a writing control

35 circuit which controls a supply state of electric charges, based
on the gradation signal, to the electric charge accumulation
circuit, and

wherein the state setting unit eliminates a bias state set
corresponding to the display data based on the gradation signal
40 to the display drive circuit of the display pixels in each row,
generates a setting signal for setting a specific bias state,
applies the setting signal to each of the bias lines, and applies
the setting signal to the display pixels for each row of the
display panel.

40. (New) A drive control method of controlling a display
apparatus to display image information corresponding to display
data, wherein the display apparatus comprises a display panel
including a plurality of display pixels arranged thereon in
5 vicinities of intersections of a plurality of scanning lines
arranged in a row direction and a plurality of data lines
arranged in a column direction, and each of the plurality of
display pixels has an optical element and a display drive circuit
which controls an operation of the optical element, the method
10 comprising:

sequentially setting the display pixels to a selection
state, row by row;

sequentially supplying a gradation signal corresponding to
the display data to the display pixels in each row set to the
15 selection state;

setting each of the display pixels to a display operation
state with said display pixels in a bias state corresponding to
the gradation signal; and

in a non-display period including a period in which the
20 display pixels are set to a selection state, setting the display
pixels to a non-display operation state in which the display data
is not displayed,

wherein the setting the display pixels to the display
operation state is performed by applying to the display drive
25 circuit a first voltage for setting the optical element to a
forward bias state, and by holding a voltage component
corresponding to the gradation signal in the display drive
circuit, and

wherein the setting of each display pixel to the non-display
30 operation state comprises setting a specific bias state by
eliminating the bias state set, corresponding to the gradation
signal, to the display drive circuit of the display pixel.

R E M A R K S

Reconsideration of this application, as amended, is respectfully requested.

ALLOWABLE SUBJECT MATTER

The Examiner's indication of the allowability of the subject matter of claims 6-22 and 27-38 is respectfully acknowledged.

New independent claim 39 is based on the subject matter of allowable claim 6 rewritten in independent form, and new independent claim 40 is based on the subject matter of allowable claim 27 rewritten in independent form.

No new matter has been added, and no new issues with respect to patentability have been raised.

Accordingly, it is respectfully requested that new claims 39 and 40 be approved and entered, and it is respectfully submitted that new independent claims 39 and 40 are in condition for immediate allowance.

THE CLAIM AMENDMENTS

Independent claim 1 has been amended to recite that the drive control unit sets a period including a select period in which the scanning drive unit sets the display pixels to the selection state as a non-display period in which the display pixels do not display the display data, and controls a voltage

value of the drive voltage supplied from the power source drive unit to set the display pixels to a non-display operation state during the non-display period. In addition, claim 1 has been amended to recite that each of the plurality of display pixels has an optical element and a display drive circuit which controls an operation of the optical element, the display drive circuit having a first switch circuit including a control terminal and a conduction channel having a first end and a second end, the drive voltage being applied to the first end of the conduction channel, a first end of the optical element being connected to the second end of the conduction channel, and a second end of the optical element being set to a given potential.

Independent claim 23 has been amended to recite that each of the plurality of display pixels has an optical element and a display drive circuit which controls an operation of the optical element, the display drive circuit having a first switch circuit including a control terminal and a conduction channel having a first end and a second end, a drive voltage being applied to the first end of the conduction channel, a first end of the optical element being connected to the second end of the conduction channel, and a second end of the optical element being set to a given potential. In addition, independent claim 23 has been amended to recite: in a display period, supplying as the drive voltage a voltage which sets each of the display pixels to a

display operation state, and setting the display drive circuit of each of the display pixels to the display operation state in a bias state corresponding to the gradation signal; and in a non-display period including a period in which the display pixels are set to the selection state, supplying as the drive voltage a voltage which sets each of the display pixels to a non-display operation state, and setting each of the display pixels to the non-display operation state in which the display data is not displayed.

In addition, the dependent claims have been amended to reflect the amendments to independent claims 1 and 23 and to make some additional improvements.

The informality in claim 10 pointed out by the Examiner has been corrected. Accordingly, it is respectfully requested that the rejection under 35 USC 112, second paragraph, be withdrawn.

No new matter has been added, and it is respectfully requested that the amendments to the claims be approved and entered.

CLAIM FEE

The application was originally filed with 38 claims of which 2 were independent, and the appropriate claim fee was paid for such claims. The application now contains 40 claims, of which 4 are independent. Accordingly, a claim fee in the amount

of \$324.00 for the addition of 1 extra independent claim and 2 extra claims in total is submitted herewith. In addition, authorization is hereby given to charge any additional fees which may be determined to be required to Account No. 06-1378.

THE PRIOR ART REJECTION

Claims 1-5 and 23-26 were rejected under 35 USC 102 as being anticipated by US 2003/0095087 ("Libsch et al"). This rejection, however, is respectfully traversed with respect to the claims as amended hereinabove.

According to the present invention as recited in amended independent claim 1, a display apparatus for displaying image information corresponding to display data comprises: a display panel including a plurality of display pixels arranged thereon in vicinities of respective intersections of a plurality of scanning lines arranged in a row direction and a plurality of data lines arranged in a column direction; a scanning drive unit which sequentially applies a scanning signal to each of said plurality of scanning lines and sets the display pixels corresponding to each said scanning line to a selection state; a data drive unit which generates a gradation signal corresponding to the display data and supplies the gradation signal to the display pixels set to the selection state; a power source drive unit which supplies to the display pixels a drive voltage for controlling a drive

state of each of the display pixels; and a drive control unit which sets a period including a select period in which the scanning drive unit sets the display pixels to the selection state as a non-display period in which the display pixels do not display the display data, and controls a voltage value of the drive voltage supplied from the power source drive unit to set the display pixels to a non-display operation state during the non-display period.

In addition, according to amended independent claim 1, each of the plurality of display pixels has an optical element and a display drive circuit which controls an operation of the optical element, the display drive circuit having a first switch circuit including a control terminal and a conduction channel having a first end and a second end, the drive voltage being applied to the first end of the conduction channel, a first end of the optical element being connected to the second end of the conduction channel, and a second end of the optical element being set to a given potential.

Thus, with the structure recited in amended independent claim 1, a power source drive unit supplies to the display pixels a drive voltage for controlling a drive state of each of the display pixels, and a drive control unit controls a voltage of the drive voltage supplied from the power source drive unit and controls a voltage value of a drive voltage to set the display

pixels to a non-display operation state during a non-display period which includes a select period in which the scanning drive unit sets the display pixels to the selection state.

Moreover, with the structure recited in amended independent claim 1 each of the plurality of display pixels has an optical element and a display drive circuit which controls an operation of the optical element. The display drive circuit has a first switch circuit including a control terminal and a conduction channel having a first end and a second end. The drive voltage is applied to the first end of the conduction channel. A first end of the optical element is connected to the second end of the conduction channel. And a second end of the optical element is set to a given potential.

Thus, the second end of the optical element of each display pixel is fixed to a certain potential regardless of its display state, a drive voltage is applied to the first end of the conduction channel of the first switch circuit of the display drive circuit, and the voltage value of the drive voltage is variably controlled in accordance with a display state/non-display state.

By contrast, it is respectfully submitted that Libsch et al discloses a configuration in which: one frame time has a preset period, a write data period and an expose period; the write data period includes a select period, and is set as a period longer

than the select period; [Preset period + write data period] and [expose period] changes a power source voltage V_{ca} ; and in the [preset period + write data period] (non-display period), the power source voltage V_{ca} is set to a voltage value which sets OLED 105 to a non-light emitting state (off-state).

That is, Libsch et al is configured to change the cathodic voltage V_{ca} of the OLED 105 between the display period and the non-display period.

By contrast, the present invention as recited in claim 1 is configured such that the voltage on the first end side of the conduction channel of the first switch, which is not connected to the optical element, is changed between the display period and the non-display period.

This feature of claim 1 not only differs structurally from Libsch et al, but also provides an advantageous effect that cannot be obtained from the invention disclosed in Libsch et al. According to Libsch et al, the OLED 105 is switched to an On/Off state by arbitrarily switching the voltage value of the voltage V_{ca} to be applied to the cathode of OLED 105. Here, the OLED 105 cathode of each display pixel is formed on the entire area of the display panel as a common electrode (hereinafter, referred to as a common cathode), and so the cathode of the OLED 105 of all of the display pixels is connected to a common potential. Accordingly, in Libsch et al, the switching of the OLED 105 to an

On/Off state is performed simultaneously and collectively with respect to all pixels 100 on the display panel. Thus, switching from an Off-state to an On-state is performed after completing writing data with respect to all pixel circuits 300 of the display panel.

Therefore, in the configuration disclosed in Libsch et al, in order to write and display data within one frame period, and to secure a sufficient display (light emitting) period, it is necessary to perform the data writing operation in a relatively short time. Data writing operation is thus required to be performed relatively quickly, which causes power consumption to increase. Moreover, especially when in low gradation, data writing may become insufficient and display quality may degrade.

In addition, when a period required for data writing is long, the remaining light emitting period in one frame period becomes short. Therefore, it becomes necessary to set the light emitting luminance relatively high, which will also cause power consumption to increase.

Still further, in Libsch et al, since the area of a common cathode formed on the entire area of the display panel is large, it has a relatively large content. Therefore, in order to switch the potential of the common cathode and stabilize a predetermined potential in a short time, relatively large power is required, which will also cause an increase in power consumption.

By contrast, with the structure of the present invention as recited in claim 1, an electrode (for example, a cathode) can be formed in common with each pixel, on the second end of the optical element of the display pixel, and fixed to a certain potential, and the apparatus is configured to control the voltage value of a drive voltage to be applied to the first end of the conduction channel of the first switch circuit of the display drive circuit, on the side not connected to the optical element.

With this structure, the first end of the conduction channel of the first switch circuit in the display drive circuit of the display pixel is not provided in common with all of the display pixels in the manner of the common cathode of Libsch et al, but rather is provided individually for each display pixel. Therefore, it is easy to apply the drive voltage to the first end of the conduction channel of the first switch circuit and to change the voltage value of the drive voltage with less power. It is also easy to change the timing of the drive voltage to be supplied to each display pixel. And therefore, it is possible to solve various problems which occur in a configuration which changes the voltage value of the common cathode, as described above with respect to Libsch et al.

In other words, with the structure of claim 1, the timing for setting the optical element of each display pixel to a forward bias state and switching to a light emitting state does

not have to wait until data is written to all of the display pixels, as is the case in Libsch et al. Therefore, the writing operation for all of the display pixels does not have to be completed in a short time. As a result, high-speed operation is not required, and power consumption can be reduced with respect to the configuration of Libsch et al. Moreover, the occurrence of insufficient writing can be suppressed, and a favorable display quality can be obtained. Still further, with the structure of the present invention as recited in claim 1, power consumption related to a writing operation and light emitting operation can be reduced, in contrast to the configuration of Libsch et al.

Accordingly, it is respectfully submitted that the present invention as recited in amended independent claim 1 clearly differs from Libsch et al in terms of both structure and effects, and it is respectfully submitted that amended claim 1 clearly patentably distinguishes over Libsch et al under 35 USC 102 as well as under 35 USC 103.

In addition, for similar reasons, it is respectfully submitted that the method of the present invention as recited in amended independent claim 23 also clearly patentably distinguishes over Libsch et al under 35 USC 102 as well as under 35 USC 103.

In view of the foregoing, it is respectfully submitted that amended independent claims 1 and 23, and all of the claims respectively depending therefrom, as well as allowable new independent claims 39 and 40, all patentably distinguish over Libsch et al under 35 USC 102 and under 35 USC 103.

* * * * *

Entry of this Amendment, allowance of the claims and the passing of this application to issue are respectfully solicited.

If the Examiner has any comments, questions, objections or recommendations, the Examiner is invited to telephone the undersigned at the telephone number given below for prompt action.

Respectfully submitted,

/Douglas Holtz/

Douglas Holtz
Reg. No. 33,902

Frishauf, Holtz, Goodman & Chick, P.C.
220 Fifth Avenue - 16th Floor
New York, New York 10001-7708
Tel. No. (212) 319-4900
Fax No. (212) 319-5101
DH:iv/dd/nps
encs.

Application Serial No. 11/438,967
Petition for Extension of Time

Customer No. 01933

Attorney Docket No. 06331/LH

This paper is being submitted
via EFS-Web on January 4, 2010

**IN THE UNITED STATES PATENT
AND TRADEMARK OFFICE**

In the event that this Paper is late filed, and the necessary petition for extension of time is not filed concurrently herewith, please consider this as a Petition for the requisite extension of time, and to the extent not already paid, authorization to charge the extension fee to Account No. 06-1378. In addition, authorization is hereby given to charge any fees for which payment has not been submitted, or to credit any overpayments, to Account No. 06-1378.

Applicant(s): Tsuyoshi OZAKI

Serial No. : 11/438,967

Confirm. No.: 5382

Filed : May 23, 2006

For : DISPLAY APPARATUS AND DRIVE
CONTROL METHOD THEREOF

Art Unit : 2629

Examiner : VIJAY SHANKAR

PETITION FOR EXTENSION OF TIME

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

S I R :

Applicants hereby petition for a one (1) month extension of time for timely filing of the papers filed concurrently herewith.

Extended time expires January 4, 2010.

The Patent Office fee of \$130.00 is being paid by credit card herewith. If any further fees are required, authorization is given to charge same against Account No. 06-1378.

Respectfully submitted,

/Douglas Holtz/

Douglas Holtz
Reg. No. 33,902

Frishauf, Holtz, Goodman & Chick, P.C.
220 Fifth Avenue - 16th Floor
New York, NY 10001-7708
Tel. No. (212) 319-4900
DH:nps

Electronic Patent Application Fee Transmittal

Application Number:	11438967
Filing Date:	23-May-2006
Title of Invention:	Display apparatus and drive control method thereof
First Named Inventor/Applicant Name:	Tsuyoshi Ozaki
Filer:	Douglas Holtz/Benjamin Lieberman
Attorney Docket Number:	06331/LH

Filed as Large Entity

Utility under 35 USC 111(a) Filing Fees

Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Basic Filing:				
Pages:				
Claims:				
Claims in excess of 20	1202	2	52	104
Independent claims in excess of 3	1201	1	220	220

Miscellaneous-Filing:

Petition:

Patent-Appeals-and-Interference:

Post-Allowance-and-Post-Issuance:

Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Extension-of-Time:				
Extension - 1 month with \$0 paid	1251	1	130	130
Miscellaneous:				
Total in USD (\$)				454

Electronic Acknowledgement Receipt

EFS ID:	6745937
Application Number:	11438967
International Application Number:	
Confirmation Number:	5382
Title of Invention:	Display apparatus and drive control method thereof
First Named Inventor/Applicant Name:	Tsuyoshi Ozaki
Customer Number:	01933
Filer:	Douglas Holtz/Benjamin Lieberman
Filer Authorized By:	Douglas Holtz
Attorney Docket Number:	06331/LH
Receipt Date:	04-JAN-2010
Filing Date:	23-MAY-2006
Time Stamp:	18:40:34
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Credit Card
Payment was successfully received in RAM	\$454
RAM confirmation Number	4833
Deposit Account	
Authorized User	

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
-----------------	----------------------	-----------	-------------------------------------	------------------	------------------

1		06331_amd.pdf	77875 99f4755fe6780cb8b7bc0d22150159bf078c0277	yes	32
Multipart Description/PDF files in .zip description					
		Document Description	Start	End	
		Amendment/Req. Reconsideration-After Non-Final Reject	1	1	
		Claims	2	21	
		Applicant Arguments/Remarks Made in an Amendment	22	32	
Warnings:					
Information:					
2	Extension of Time	06331_amd_ext.pdf	28916 e5e471143e4cf943ce194324ee14f3a3d6c16c29	no	1
Warnings:					
Information:					
3	Fee Worksheet (PTO-875)	fee-info.pdf	33320 1202147b5ec22ba0181d038f555df1a3b0cd0eab	no	2
Warnings:					
Information:					
Total Files Size (in bytes):				140111	
<p>This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.</p> <p><u>New Applications Under 35 U.S.C. 111</u> If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.</p> <p><u>National Stage of an International Application under 35 U.S.C. 371</u> If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.</p> <p><u>New International Application Filed with the USPTO as a Receiving Office</u> If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.</p>					

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD Substitute for Form PTO-875	Application or Docket Number 11/438,967	Filing Date 05/23/2006	<input type="checkbox"/> To be Mailed
---	---	----------------------------------	---------------------------------------

APPLICATION AS FILED – PART I			OTHER THAN SMALL ENTITY				
	(Column 1)	(Column 2)	SMALL ENTITY <input type="checkbox"/>	OR			
FOR	NUMBER FILED	NUMBER EXTRA	RATE (\$)	FEE (\$)	OR	RATE (\$)	FEE (\$)
<input type="checkbox"/> BASIC FEE <small>(37 CFR 1.16(a), (b), or (c))</small>	N/A	N/A	N/A			N/A	
<input type="checkbox"/> SEARCH FEE <small>(37 CFR 1.16(k), (l), or (m))</small>	N/A	N/A	N/A			N/A	
<input type="checkbox"/> EXAMINATION FEE <small>(37 CFR 1.16(o), (p), or (q))</small>	N/A	N/A	N/A			N/A	
TOTAL CLAIMS <small>(37 CFR 1.16(i))</small>	minus 20 =	*	X \$ =		OR	X \$ =	
INDEPENDENT CLAIMS <small>(37 CFR 1.16(h))</small>	minus 3 =	*	X \$ =			X \$ =	
<input type="checkbox"/> APPLICATION SIZE FEE <small>(37 CFR 1.16(s))</small>	If the specification and drawings exceed 100 sheets of paper, the application size fee due is \$250 (\$125 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).						
<input type="checkbox"/> MULTIPLE DEPENDENT CLAIM PRESENT <small>(37 CFR 1.16(j))</small>							
* If the difference in column 1 is less than zero, enter "0" in column 2.			TOTAL			TOTAL	

APPLICATION AS AMENDED – PART II					OTHER THAN SMALL ENTITY				
	(Column 1)	(Column 2)	(Column 3)		SMALL ENTITY	OR			
AMENDMENT	01/04/2010	CLAIMS REMAINING AFTER AMENDMENT	HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE (\$)	ADDITIONAL FEE (\$)	OR	RATE (\$)	ADDITIONAL FEE (\$)
	Total <small>(37 CFR 1.16(i))</small>	* 40	Minus	** 38 = 2	X \$ =		OR	X \$52=	104
	Independent <small>(37 CFR 1.16(h))</small>	* 4	Minus	***3 = 1	X \$ =		OR	X \$220=	220
<input type="checkbox"/> Application Size Fee <small>(37 CFR 1.16(s))</small>									
<input type="checkbox"/> FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM <small>(37 CFR 1.16(j))</small>							OR		
					TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	324

	(Column 1)	(Column 2)	(Column 3)		SMALL ENTITY	OR		
AMENDMENT	CLAIMS REMAINING AFTER AMENDMENT	HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE (\$)	ADDITIONAL FEE (\$)	OR	RATE (\$)	ADDITIONAL FEE (\$)
	Total <small>(37 CFR 1.16(i))</small>	*	Minus	** =	X \$ =		OR	X \$ =
	Independent <small>(37 CFR 1.16(h))</small>	*	Minus	*** =	X \$ =		OR	X \$ =
<input type="checkbox"/> Application Size Fee <small>(37 CFR 1.16(s))</small>								
<input type="checkbox"/> FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM <small>(37 CFR 1.16(j))</small>							OR	
					TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.
 ** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".
 *** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".
 The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

Legal Instrument Examiner:
 /THERESA LINDSAY/

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**
 If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

Table with 5 columns: APPLICATION NO., FILING DATE, FIRST NAMED INVENTOR, ATTORNEY DOCKET NO., CONFIRMATION NO.
11/438,967 05/23/2006 Tsuyoshi Ozaki 06331/LH 5382

1933 7590 09/04/2009
FRISHAUF, HOLTZ, GOODMAN & CHICK, PC
220 Fifth Avenue
16TH Floor
NEW YORK, NY 10001-7708

EXAMINER

SHANKAR, VIJAY

ART UNIT PAPER NUMBER

2629

MAIL DATE DELIVERY MODE

09/04/2009

PAPER

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Office Action Summary	Application No. 11/438,967	Applicant(s) OZAKI ET AL.	
	Examiner VIJAY SHANKAR	Art Unit 2629	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --

Period for Reply

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE 3 MONTH(S) OR THIRTY (30) DAYS, WHICHEVER IS LONGER, FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133). Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

Status

- 1) Responsive to communication(s) filed on 23 May 2006.
- 2a) This action is **FINAL**.
- 2b) This action is non-final.
- 3) Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

Disposition of Claims

- 4) Claim(s) 1-38 is/are pending in the application.
 - 4a) Of the above claim(s) _____ is/are withdrawn from consideration.
- 5) Claim(s) _____ is/are allowed.
- 6) Claim(s) 1-5 and 23-26 is/are rejected.
- 7) Claim(s) 6-22, 27-38 is/are objected to.
- 8) Claim(s) _____ are subject to restriction and/or election requirement.

Application Papers

- 9) The specification is objected to by the Examiner.
- 10) The drawing(s) filed on _____ is/are: a) accepted or b) objected to by the Examiner.
 - Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).
 - Replacement drawing sheet(s) including the correction is required if the drawing(s) is objected to. See 37 CFR 1.121(d).
- 11) The oath or declaration is objected to by the Examiner. Note the attached Office Action or form PTO-152.

Priority under 35 U.S.C. § 119

- 12) Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).
 - a) All b) Some * c) None of:
 - 1. Certified copies of the priority documents have been received.
 - 2. Certified copies of the priority documents have been received in Application No. _____.
 - 3. Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).

* See the attached detailed Office action for a list of the certified copies not received.

Attachment(s)

- | | |
|---|---|
| 1) <input checked="" type="checkbox"/> Notice of References Cited (PTO-892) | 4) <input type="checkbox"/> Interview Summary (PTO-413)
Paper No(s)/Mail Date. _____ |
| 2) <input type="checkbox"/> Notice of Draftsperson's Patent Drawing Review (PTO-948) | 5) <input type="checkbox"/> Notice of Informal Patent Application |
| 3) <input checked="" type="checkbox"/> Information Disclosure Statement(s) (PTO/SB/08)
Paper No(s)/Mail Date _____ | 6) <input type="checkbox"/> Other: _____ |

DETAILED ACTION

Priority

1. Receipt is acknowledged of papers submitted under 35 U.S.C. 119(a)-(d), which papers have been placed of record in the file.

Claim Rejections - 35 USC § 112

2. The following is a quotation of the second paragraph of 35 U.S.C. 112:

The specification shall conclude with one or more claims particularly pointing out and distinctly claiming the subject matter which the applicant regards as his invention.
3. Claim 10-11 are rejected under 35 U.S.C. 112, second paragraph, as being indefinite for failing to particularly point out and distinctly claim the subject matter which applicant regards as the invention.
4. Claim 10 recites the limitation "the display drive current " in line 11. There is insufficient antecedent basis for this limitation in the claim.

Claim Rejections - 35 USC § 102

5. The following is a quotation of the appropriate paragraphs of 35 U.S.C. 102 that form the basis for the rejections under this section made in this Office action:

A person shall be entitled to a patent unless –

(b) the invention was patented or described in a printed publication in this or a foreign country or in public use or on sale in this country, more than one year prior to the date of application for patent in the United States.

6. Claims 1-5 and 23-26 are rejected under 35 U.S.C. 102(b) as being anticipated by Libsch et al (US 2003/0095087 A1 provided in IDS filed on 10/26/06).

Regarding Claims 1 and 23, Libsch et al teaches a display apparatus for displaying image information corresponding to display data (Paragraph 0024-0032), comprising: a display panel including a plurality of display pixels arranged thereon in vicinities of respective intersections of a plurality of scanning lines arranged in a row direction and a plurality of data lines arranged in a column direction (Paragraph 0005, 0024-0032); a scanning drive unit which sequentially applies a scanning signal to each of said plurality of scanning lines and sets the display pixels corresponding to each said scanning line to a selection state (Paragraph 0005, 0024-0025); a data drive unit which generates a gradation signal corresponding to the display data and supplies the gradation signal to the display pixels set to the selection state (Figs.1-2; Paragraph 0005, 0032-0035); a power source drive unit (see VCA Signal Generator 140 in fig.1,3) which supplies to the display pixels a drive voltage for controlling a drive state of each of the display pixels (Figs.1-2; Paragraph 0025, 0032, 0038-0044); and a drive control unit which: (i) controls the power source drive unit to operate to set the display pixels to a non-display operation state during a non-display period in which the display pixels do not display the display data (Figs.1-2; Paragraph 0025, 0032, 0038-0044), and (ii) controls the scanning drive unit to operate to set the display pixels to the selection state during the non-display period. (Figs.1-4; Paragraph 0005, 0024-0029, 0032-0038, 0044-0057).

Regarding Claims 2 and 24, Libsch et al teaches a display apparatus wherein the power source drive unit selectively supplies, as the drive voltage, a first voltage for setting the display pixels to a display operation state in a bias state corresponding to the gradation signal, and a second voltage for setting the display pixels to the non-display operation state. (Figs.1-2; Paragraph 0025, 0032, 0038-0044).

Regarding Claims 3 and 25, Libsch et al teaches a display apparatus wherein the drive control unit controls the power source drive unit to supply the first voltage as the drive voltage in a display period in which the display pixels display the display data, and to supply the second voltage as the drive voltage in the non-display period. (Figs.1-2; Paragraph 0025, 0032, 0038-0044).

Regarding Claim 4, Libsch et al teaches a display apparatus further comprising: a state setting unit which eliminates a bias state corresponding to the display data set based on the gradation signal to the display pixels in each row, and which generates a setting signal for setting a specific bias state to the display pixels for each row of the display panel; and a plurality of bias lines provided on the display panel to apply the setting signal to the display pixels for each row of the display panel. (Figs.1-3; Paragraph 0032-0046).

Art Unit: 2629

Regarding Claims 5 and 26, Libsch et al teaches a display apparatus wherein the drive control unit controls the state setting unit to supply the setting signal to the bias lines corresponding to the display pixels during a portion of the non-display period. (Figs.2,4; Paragraph 0039- 0044, 0053-0057).

Allowable Subject Matter

7. Claims 6-22 and 27-38 are objected to as being dependent upon a rejected base claim, but would be allowable if rewritten in independent form including all of the limitations of the base claim and any intervening claims.

8. The following is an examiner's statement of reasons for allowance: The prior arts fails to teach the display apparatus **wherein each of the display pixels comprises a current control type optical element and a display drive circuit which controls an operation of the optical element, and wherein the display drive circuit comprises: an electric charge accumulation circuit which holds a voltage component corresponding to the gradation signal; a supply control circuit which generates a drive current having a predetermined current value based on the voltage component held in the electric charge accumulation circuit, and which supplies the drive current to the optical element; and a writing control circuit which controls a supply state of electric charges, based on the gradation signal, to the electric charge accumulation circuit as claimed in Claims 6-22 .**

9. The prior arts fails to teach the drive control method **wherein each of the display pixels comprises a current control type optical element and a display**

Art Unit: 2629

drive circuit which controls an operation of the optical element, and wherein the setting the display pixels to the display operation state is performed by applying to the display drive circuit a first voltage for setting the display drive circuit to a forward bias state corresponding to the gradation signal, and by holding a voltage component corresponding to the gradation signal in the display drive circuit as claimed in Claims 27-38.

Any comments considered necessary by applicant must be submitted no later than the payment of the issue fee and, to avoid processing delays, should preferably accompany the issue fee. Such submissions should be clearly labeled "Comments on Statement of Reasons for Allowance."

10. Any inquiry concerning this communication or earlier communications from the examiner should be directed to VIJAY SHANKAR whose telephone number is (571) 272-7682. The examiner can normally be reached on M-F 7:30 am - 5:30 pm.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Alexander Eisen can be reached on (571) 272-7687. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Art Unit: 2629

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see <http://pair-direct.uspto.gov>. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/VIJAY SHANKAR/
Primary Examiner, Art Unit 2629

VS

Notice of References Cited	Application/Control No. 11/438,967	Applicant(s)/Patent Under Reexamination OZAKI ET AL.	
	Examiner VIJAY SHANKAR	Art Unit 2629	Page 1 of 1

U.S. PATENT DOCUMENTS

*	Document Number Country Code-Number-Kind Code	Date MM-YYYY	Name	Classification
*	A US-7,071,932	07-2006	Libsch et al.	345/211
*	B US-7,248,237	07-2007	Yamada et al.	345/76
*	C US-7,345,685	03-2008	Miyazawa, Takashi	345/207
	D US-			
	E US-			
	F US-			
	G US-			
	H US-			
	I US-			
	J US-			
	K US-			
	L US-			
	M US-			

FOREIGN PATENT DOCUMENTS

*	Document Number Country Code-Number-Kind Code	Date MM-YYYY	Country	Name	Classification
	N				
	O				
	P				
	Q				
	R				
	S				
	T				

NON-PATENT DOCUMENTS

*	Document Number Country Code-Number-Kind Code	Date MM-YYYY	Country	Name	Classification
	Include as applicable: Author, Title Date, Publisher, Edition or Volume, Pertinent Pages)				
	U				
	V				
	W				
	X				

*A copy of this reference is not being furnished with this Office action. (See MPEP § 707.05(a).)
Dates in MM-YYYY format are publication dates. Classifications may be US or foreign.



9-29-07

EPW

Attorney Docket No. 06331/LH

Express Mail Mailing Label
No.: **EM 038 045 015 US**

**IN THE UNITED STATES PATENT
AND TRADEMARK OFFICE**

Date of Deposit:
March 27, 2007

Applicant : Tsuyoshi OZAKI et al.
Serial No. : 11/438,967
Filed : May 23, 2006
For : DISPLAY APPARATUS AND DRIVE
CONTROL METHOD THEREOF
Art Unit : 2629
Customer No.: 01933
Confirm. No.: 5382
Examiner : HJERPE, Richard A.

I hereby certify that this paper is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above, with sufficient postage, and is addressed to

The Commissioner for Patents
P.O. Box 1450,
Alexandria, VA 22313-1450

Diane J. Hegstrom
Diane J. Hegstrom

**INFORMATION DISCLOSURE STATEMENT
WITH STATEMENT UNDER 37 CFR 1.97(e)
AND STATEMENT UNDER 37 CFR 1.704(d)**

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

S I R :

Submitted herewith is a copy of the International Search Report (ISR) and Written Opinion dated March 15, 2007, which were issued by WIPO in a PCT Application corresponding to the present application. Said ISR and Written Opinion are identified on the enclosed form PTO/SB/08B.

US 2003/095087 and WO 2004/019314, cited in the enclosed International Search Report and Written Opinion, were previously cited in Applicants' IDS filed October 25, 2006 and are not cited again herein.

WO 2004/086347, identified and discussed in the enclosed ISR and Written Opinion, is submitted herewith, along with a Form PTO/SB/08A listing the particulars thereof and also listing U.S. family members of two WO documents cited in the International Search Report.

STATEMENT UNDER 37 CFR 1.97(e) (1)

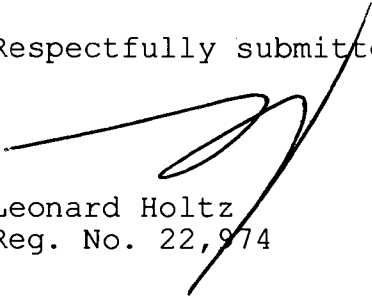
Each item of information contained in this Information Disclosure Statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the present Information Disclosure Statement. Said Communication bears a mailing date of March 15, 2007. Therefore, the filing of this Information Disclosure Statement is timely under the provisions of 37 CFR 1.97(e) and does not require a fee.

STATEMENT UNDER 37 CFR 1.704(d)

Each item of information contained in this Information Disclosure Statement was cited in said communication from a foreign patent office in a counterpart application, and this communication was not received by any individual designated in §1.56(c) more than thirty days prior to the filing of the present Information Disclosure Statement.

It is respectfully requested that initialed copies of the enclosed Forms PTO/SB/08A and PTO/SB/08B be returned to indicate that the documents listed therein have all been considered and made of record.

Respectfully submitted,


Leonard Holtz
Reg. No. 22,974

Dated: March 27, 2007


FRISHAUF HOLTZ GOODMAN & CHICK, P.C.
220 FIFTH AVENUE
NEW YORK, N.Y. 10001-7708
Tel. No. (212) 319-4900
Fax No. (212) 319-5101
LH:djh

Please type a plus sign (+) inside this box →

+

PTO/SB/08A (08-00)

U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE

Substitute for Form 1449A/PTO INFORMATION DISCLOSURE STATEMENT BY APPLICANT 	Application Number	11/438,967
	Filing Date	May 23, 2006
	First Named Inventor	Tsuyoshi OZAKI
	Group Art Unit	2629
	Examiner Name	HJERPE, Richard A.
Sheet 1 of 2	Attorney Docket Number	06331/LH

U.S. PATENT DOCUMENTS

Exam. Inits*	Cite No ¹	Document Number	Kind Code ²	Name of Patentee or Applicant	Publication Date MM-DD-YYYY	Relevant Portion
		2004/0090434	A1	MIYAZAWA	05-13-2004	
		2004/0256617	A1	YAMADA et al	12-23-2004	
		2006/0017668	A1	SHIBASAKI et al	01-26-2006	

FOREIGN PATENT DOCUMENTS

Exam Inits*	Cite No ¹	Offc ³	Document Number ⁴	Kind Code ⁵	Name of Patentee or Applicant	Publication Date MM-DD-YYYY	Relevant Portion	T ⁶
		WO	2004/086347	A2	CASIO COMPUTER CO., LTD.	10-07-2004		

Examiner Signature	/Vijay Shankar/	Date Considered	09/01/2009
--------------------	-----------------	-----------------	------------

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

¹ Unique citation designation number. ² See kinds of U.S. Patent Documents. ³ Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). ⁴ For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. ⁵ Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. ⁶ Place a check here if English translation is attached.

DATE MAILED: March 27, 2007

Please type a plus sign (+) inside this box →

+

PTO/SB/08B (08-00)

U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE

Substitute for Form 1449A/PTO INFORMATION DISCLOSURE STATEMENT BY APPLICANT				Application Number	11/438,967
				Filing Date	May 23, 2006
				First Named Inventor	Tsuyoshi OZAKI
				Group Art Unit	2629
				Examiner Name	HJERPE, Richard A.
Sheet	2	of	2	Attorney Docket Number	06331/LH

OTHER PRIOR ART - NON-PATENT LITERATURE DOCUMENTS

Examiner Initials ¹	Cite No. ¹	Include name of author (in CAPITAL LETTERS), title of article, title of item, date, page(s), volume-issue number(s), publisher, city and/or country where published	T ²
		Notification Concerning Transmittal of Copy of International Search Report and Written Opinion of the International Searching Authority for PCT/JP2006/310616, dated March 15, 2007, 23 sheets.	
Examiner Signature	/Vijay Shankar/		Date Considered
			09/01/2009

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

¹ Unique citation designation number. ² Place a check here if English translation is attached.

DATE MAILED: March 27, 2007




UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
 United States Patent and Trademark Office
 Address: COMMISSIONER FOR PATENTS
 P.O. Box 1450
 Alexandria, Virginia 22313-1450
 www.uspto.gov

BIB DATA SHEET

CONFIRMATION NO. 5382

SERIAL NUMBER 11/438,967	FILING or 371(c) DATE 05/23/2006 RULE	CLASS 250	GROUP ART UNIT 2629	ATTORNEY DOCKET NO. 06331/LH	
APPLICANTS Tsuyoshi Ozaki, Fuchu-shi, JAPAN; Jun Ogura, Fussa-shi, JAPAN; ** CONTINUING DATA ***** ** FOREIGN APPLICATIONS ***** JAPAN 2005-150566 05/24/2005 JAPAN 2005-153382 05/26/2005 ** IF REQUIRED, FOREIGN FILING LICENSE GRANTED ** 06/13/2006					
Foreign Priority claimed <input checked="" type="checkbox"/> Yes <input type="checkbox"/> No 35 USC 119(a-d) conditions met <input checked="" type="checkbox"/> Yes <input type="checkbox"/> No Verified and Acknowledged <u>/VIJAY SHANKAR/</u> Examiner's Signature	<input type="checkbox"/> Met after Allowance Initials _____	STATE OR COUNTRY JAPAN	SHEETS DRAWINGS 27	TOTAL CLAIMS 38	INDEPENDENT CLAIMS 2
ADDRESS FRISHAUF, HOLTZ, GOODMAN & CHICK, PC 220 Fifth Avenue 16TH Floor NEW YORK, NY 10001-7708 UNITED STATES					
TITLE Display apparatus and drive control method thereof					
FILING FEE RECEIVED 2150	FEES: Authority has been given in Paper No. _____ to charge/credit DEPOSIT ACCOUNT No. _____ for following:		<input type="checkbox"/> All Fees <input type="checkbox"/> 1.16 Fees (Filing) <input type="checkbox"/> 1.17 Fees (Processing Ext. of time) <input type="checkbox"/> 1.18 Fees (Issue) <input type="checkbox"/> Other _____ <input type="checkbox"/> Credit		


Search Notes 	Application/Control No. 11438967	Applicant(s)/Patent Under Reexamination OZAKI ET AL.
	Examiner VIJAY SHANKAR	Art Unit 2629

SEARCHED			
Class	Subclass	Date	Examiner
345	76-84, 87-104, 204-215, 690-699	9/1/09	VS
315	169.1-169.4	9/1/09	VS

SEARCH NOTES		
Search Notes	Date	Examiner
INVENTORS NAME SEARCH	9/1/09	VS
EAST SEARCH	9/1/09	VS

INTERFERENCE SEARCH			
Class	Subclass	Date	Examiner

--	--

Index of Claims 	Application/Control No. 11438967	Applicant(s)/Patent Under Reexamination OZAKI ET AL.
	Examiner VIJAY SHANKAR	Art Unit 2629

✓	Rejected
=	Allowed


-	Cancelled
÷	Restricted

N	Non-Elected
I	Interference

A	Appeal
O	Objected

Claims renumbered in the same order as presented by applicant
 CPA
 T.D.
 R.1.47

CLAIM		DATE							
Final	Original	09/02/2009							
	1	✓							
	2	✓							
	3	✓							
	4	✓							
	5	✓							
	6	○							
	7	○							
	8	○							
	9	○							
	10	○							
	11	○							
	12	○							
	13	○							
	14	○							
	15	○							
	16	○							
	17	○							
	18	○							
	19	○							
	20	○							
	21	○							
	22	○							
	23	✓							
	24	✓							
	25	✓							
	26	✓							
	27	○							
	28	○							
	29	○							
	30	○							
	31	○							
	32	○							
	33	○							
	34	○							
	35	○							
	36	○							

Index of Claims 	Application/Control No. 11438967	Applicant(s)/Patent Under Reexamination OZAKI ET AL.
	Examiner VIJAY SHANKAR	Art Unit 2629

✓	Rejected
=	Allowed

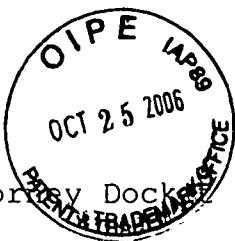
-	Cancelled
÷	Restricted

N	Non-Elected
I	Interference

A	Appeal
O	Objected

Claims renumbered in the same order as presented by applicant
 CPA
 T.D.
 R.1.47

CLAIM		DATE							
Final	Original	09/02/2009							
	37	○							
	38	○							



10-26-06

IFW

Attorney Docket No. 06331LH

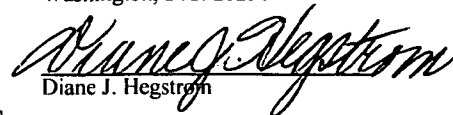
**IN THE UNITED STATES PATENT
AND TRADEMARK OFFICE**

Express Mail Mailing Label
No.: EV 972925098 US

Date of Deposit: October 25, 2006

Applicant : Tsuyoshi OZAKI et al
Serial No. : 11/438,967
Filed : May 23, 2006
For : DISPLAY APPARATUS AND
DRIVE CONTROL METHOD THEREOF
Customer No.: 01933
Art Unit : 2878
Examiner : Not Yet Assigned
Confirm. No.: 5382

I hereby certify the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to the Asst. Commissioner for Patents, Washington, D.C. 20231


Diane J. Hegstrom

In the event that this Paper is late filed, and the necessary petition for extension of time is not filed concurrently herewith, please consider this as a Petition for the requisite extension of time, and to the extent not tendered by credit card payment, authorization to charge the extension fee, or any other fee required in connection with this Paper to Account No. 06-1378.

**INFORMATION DISCLOSURE STATEMENT
WITH STATEMENT UNDER 37 CFR 1.97(e)
AND STATEMENT UNDER 37 CFR 1.704(d)**

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

S I R :

Submitted herewith are the following:

- (1) Copy of an Invitation to Pay Additional Fees and a Partial International Search Report dated September 29, 2006 issued in a counterpart International application;
- (2) A copy of cited publication (except U.S. patents and publications); and
- (3) Form PTO/SB/08A.

The Invitation to Pay Additional Fees and the Partial International Search Report are in English, and thereby satisfy the requirements for a concise explanation of relevance for the documents cited therein (MPEP 609.04(a) III).

US 2004/0256617 listed on the attached PTO/SB/08A is a counterpart of WO 2004/019314 cited in the attached Partial International Search Report. See the Patent Family Annex to the Partial International Search Report.

STATEMENT UNDER 37 CFR 1.97(e)(1)

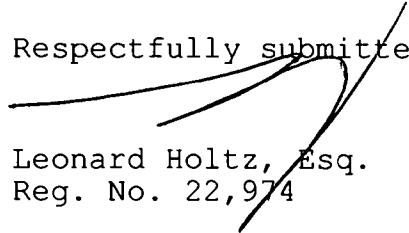
Each item of information contained in this Information Disclosure Statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the present Information Disclosure Statement. Said Communication bears a mailing date of September 29, 2006. Therefore, the filing of this Information Disclosure Statement is timely under the provisions of 37 CFR 1.97(e) and does not require a fee.

STATEMENT UNDER 37 CFR 1.704(d)

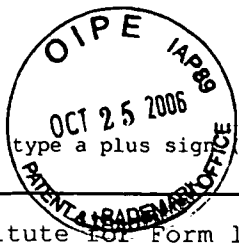
Each item of information contained in this Information Disclosure Statement was cited in said communication from a foreign patent office in a counterpart application, and this communication was not received by any individual designated in §1.56©) more than thirty days prior to the filing of the present Information Disclosure Statement.

It is requested that an initialed copy of the Form PTO/SB/08A be returned to indicate that the publications listed therein have been considered and made of record.

Respectfully submitted,


Leonard Holtz, Esq.
Reg. No. 22,974

FRISHAUF HOLTZ GOODMAN & CHICK, P.C.
220 FIFTH AVENUE
NEW YORK, N.Y. 10001-7708
Tel. No. (212) 319-4900
Fax No. (212) 319-5101
LH:djh



Please type a plus sign (+) inside this box →

+

PTO/SB/08A (08-00)

U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE

INFORMATION DISCLOSURE STATEMENT BY APPLICANT	Substitute for Form 1449A/PTO		Application Number	11/438,967	
			Filing Date	May 23, 2006	
			First Named Inventor	Tsuyoshi OZAKI	
			Group Art Unit	2878	
			Examiner Name	Not Yet Assigned	
Sheet	1	of	1	Attorney Docket Number	06331/LH

U.S. PATENT DOCUMENTS

Exam. Inits [*]	Cite No ¹	Document Number	Kind Code ²	Name of Patentee or Applicant	Publication Date MM-DD-YYYY	Relevant Portion
		US 2003/0095087	A1	LIBSCH et al	05-22-2003	
		US 2004/0256617	A1	YAMADA et al	12-23-2004	

FOREIGN PATENT DOCUMENTS

Exam Inits [*]	Cite No ¹	Offc ³	Document Number ⁴	Kind Code ⁵	Name of Patentee or Applicant	Publication Date MM-DD-YYYY	Relevant Portion	T ⁶
		WO	2004/019314	A1	CASIO COMPUTER CO., LTD	03-04-2004		

Examiner Signature	/Vijay Shankar/	Date Considered	09/01/2009
--------------------	-----------------	-----------------	------------

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

¹ Unique citation designation number. ² See kinds of U.S. Patent Documents. ³ Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). ⁴ For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. ⁵ Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. ⁶ Place a check here if English translation is attached.

DATE MAILED: October 25, 2006

INFORMATION DISCLOSURE STATEMENT BY APPLICANT				Application Number	11/438,967
				Filing Date	May 23, 2006
				First Named Inventor	Tsuyoshi OZAKI et al
				Group Art Unit	2629
				Examiner Name	SHANKAR, VIJAY
Sheet	1	of	1	Attorney Docket Number	06331

U.S. PATENT DOCUMENTS

Examiner Initials*	Cite No.	Document Number	Kind Code	Patentee or Applicant	Publication Date (MM-DD-YYYY)
		2005/0057454	A1	JANG	03-17-2005
		2006/0017668	A1	SHIRASAKI et al	01-26-2006
		7,362,288	B2	JANG	04-22-2008

FOREIGN PATENT DOCUMENTS

Examiner Initials*	Cite No.	Country Code	Document Number	Kind Code	Patentee or Applicant	Publication Date (MM-DD-YYYY)	Translation	
							Yes	Abstract Only
		KR	2003-0032530	A	SAMSUNG ELECTRONICS CO. LTD. (KR)	04-26-2003		x
		JP	2004-287349	A	CASIO COMPUTER CO., LTD.	10-14-2004		

OTHER DOCUMENTS

Examiner Initials*	Cite No.	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.
		Copy of Korean Office Action (and English translation thereof) dated September 30, 2008, issued in a counterpart Korean Application.

Examiner Signature	/Vijay Shankar/	Date Considered	09/01/2009
--------------------	-----------------	-----------------	------------

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

DATE MAILED OR TRANSMITTED: **November 18, 2008**

INFORMATION DISCLOSURE STATEMENT BY APPLICANT				Application Number	11/438,967
				Filing Date	May 23, 2006
				First Named Inventor	Tsuyoshi OZAKI et al
				Group Art Unit	2629
				Examiner Name	SHANKAR, VIJAY
Sheet	1	of	1	Attorney Docket Number	06331

U.S. PATENT DOCUMENTS

Examiner Initials*	Cite No.	Document Number	Kind Code	Patentee or Applicant	Publication Date (MM-DD-YYYY)
		2005/0057454	A1	JANG	03-17-2005
		2006/0017668	A1	SHIRASAKI et al	01-26-2006
		7,362,288	B2	JANG	04-22-2008

FOREIGN PATENT DOCUMENTS

Examiner Initials*	Cite No.	Country Code	Document Number	Kind Code	Patentee or Applicant	Publication Date (MM-DD-YYYY)	Translation	
							Yes	Abstract Only
		KR	2003-0032530	A	SAMSUNG ELECTRONICS CO. LTD. (KR)	04-26-2003		x
		JP	2004-287349	A	CASIO COMPUTER CO., LTD.	10-14-2004		

OTHER DOCUMENTS

Examiner Initials*	Cite No.	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.
		Copy of Korean Office Action (and English translation thereof) dated September 30, 2008, issued in a counterpart Korean Application.

Examiner Signature		Date Considered	
--------------------	--	-----------------	--

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

DATE MAILED OR TRANSMITTED: **November 18, 2008**

Please Click here to view the drawing

🔍 Korean FullDoc. 🌐 English Fulltext



KOREAN PATENT ABSTRACTS

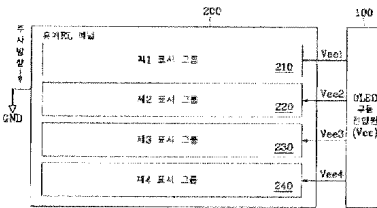
(11)Publication number: 1020030032530 A
 (43)Date of publication of application: 26.04.2003

(21)Application number: 1020010064340 (71)Applicant: SAMSUNG ELECTRONICS CO., LTD.
 (22)Date of filing: 18.10.2001 (72)Inventor: JANG, HYEON RYONG
 (30)Priority: ..
 (51)Int. Cl G09G 3/30

(54) ORGANIC ELECTROLUMINESCENCE PANEL, ORGANIC ELECTROLUMINESCENCE DISPLAY DEVICE INCLUDING THE SAME, AND DRIVING APPARATUS AND DRIVING METHOD THEREOF

(57) Abstract:

PURPOSE: An organic electroluminescence panel, an organic electroluminescence display device including the same, and a driving apparatus and a driving method thereof are provided to perform an operation for displaying a gray scale by using only organic electroluminescence display cells. CONSTITUTION: An organic electroluminescence display device is formed with an organic electroluminescence driving voltage source(100) and an organic electroluminescence panel(200). The organic electroluminescence driving voltage source(100) is used for outputting a plural organic electroluminescence driving voltages to the organic electroluminescence panel(200). The plural organic electroluminescence driving voltages are formed with the driving voltages having positive polarity or negative polarity. The organic electroluminescence panel(200) is divided into the first display group(210), the second display group(220), the third display group(230), and the fourth display group(240). A plurality of organic electroluminescence display cells are formed at the first to the fourth display groups(210,220,230,240). The organic electroluminescence driving voltage source(100) applies the first to the fourth organic electroluminescence driving voltages(Vee1, Vee2, Vee3, Vee4) to the first to the fourth display groups(210,220,230,240).



copyright KIPO 2003

Legal Status

Date of request for an examination (20061018)
 Notification date of refusal decision (00000000)

한국공개특허공보 특2003-0032530호(2003.04.26.) 1부.

특2003-0032530

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷ (11) 공개번호 특2003-0032530
G09G 3/30 (43) 공개일자 2003년04월26일

(21) 출원번호	10-2001-0064340
(22) 출원일자	2001년10월18일
(71) 출원인	삼성전자주식회사
(72) 발명자	경기도 수원시 팔달구 매탄3동 416번지 장현용
(74) 대리인	경기도오산시부산동운암주공아파트116동1104호 유미특허법인
심사청구 : 없음	
(54) 유기 전계발광 패널과 이를 포함하는 유기 전계발광 표시장치와 그의 구동 장치 및 구동 방법	

요약

본 발명은 유기 전계발광 패널과 이를 포함하는 유기 전계발광 표시 장치와 그의 구동 장치 및 구동 방법을 개시한다. 본 발명에 따른 유기 전계발광 패널은 제1단이 유기 전계발광 소자의 타단에 연결되고, 제2단이 제2 극성단에 연결되며, 스위칭 트랜지스터의 제3단을 통해 입력되는 데이터 신호의 온/오프 출력에 따라 제1 극성단에서 제2 극성단으로 또는 제2 극성단에서 제1 극성단으로 전류 흐름을 제어하여 유기 전계발광 소자의 발광을 제어하는 구동 트랜지스터를 하나의 유기 전계발광 표시 셀로 하여 일정 수의 주사 라인에 대응하는 유기 전계발광 표시셀을 하나의 유닛으로 그룹핑한 복수의 표시 그룹을 포함하며, 그룹핑된 복수의 표시 그룹중 현재의 표시 그룹 영역이 발광 표시 동작을 수행함과 동시에 다음의 표시 그룹 영역이 주사 동작을 수행한다. 그 결과, 각각의 유기 전계발광 표시 셀마다 별도의 스위칭 트랜지스터, 각 주사 라인마다 별도의 선택 신호 라인, 로우 구동 IC를 추가로 구비하지 않더라도 휘도를 개선할 수 있고, 또한 저렴한 비용으로 제조할 수 있으며, 그 수율을 향상할 수 있다.

대표도

도3

색인어

유기 전계발광, DPS, SES, 그룹, 계조, 휘도

명세서

도면의 간단한 설명

- 도 1은 일반적인 유기 EL 소자의 일례를 설명하기 위한 도면이다.
- 도 2는 일반적인 유기 EL 소자의 다른 일례를 설명하기 위한 도면이다.
- 도 3은 본 발명의 실시예에 따른 유기 EL 표시 장치를 설명하기 위한 도면이다.
- 도 4는 상기한 도 3의 유기 EL 패널에서 표시 그룹별 전압 공급 전극의 연결 관계를 설명하기 위한 도면이다.
- 도 5는 본 발명의 실시예에 따른 유기 EL 패널의 표시 그룹별 구동을 설명하기 위한 타이밍도이다.
- 도 6은 본 발명의 실시예에 따른 유기 EL 패널의 구동 방법을 설명하기 위한 흐름도이다.

<도면의 주요부분에 대한 부호의 설명>

- 100 : 유기 EL 구동 전압원
- 200 : 유기 EL 패널
- 210, 220, 230, 240 : 표시 그룹 영역
- Q₁ : 스위칭 트랜지스터
- Cst : 스토리지 캐패시터
- Q₂ : 구동 트랜지스터
- OLED : 유기 EL 소자
- Q₃ : 제2 스위칭 트랜지스터
- Vee1, Vee2, Vee3, Vee4 : 유기 EL 구동 전압

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 유기 전계발광(EL) 표시 장치에 관한 것으로, 보다 상세하게는 단순한 유기 전계발광 표시셀만으로도 계조 표시를 충분히 수행하기 위한 유기 전계발광 패널과 이를 포함하는 유기 전계발광 표시 장치와 이의 구동 장치 및 구동 방법에 관한 것이다.

현재 사용되는 디스플레이 장치로서는 가장 많이 쓰고 있는 것으로 브라운관(CRT)이 있으며, 컴퓨터용으로는 액정 표시 장치(이하 LCD)의 비율이 차차 증가하고 있다. 하지만 브라운관의 경우 너무 무겁고 부피가 크며, LCD의 경우 밝지 않고, 측면에서 잘 보이지 않으며, 효율이 낮은 등의 단점을 가지고 있어 사용자들을 만족하게 만족시키지 못하고 있다.

이에 따라 현재 많은 사람들이 보다 저렴하고, 효율이 높고, 얇고, 가벼운 디스플레이 장치를 개발하기 위해 노력하고 있으며, 그러한 차세대 디스플레이 소자로서 주목받고 있는 것 중에 하나가 Organic Light Emitting Device(OLED)이다.

이러한 OLED는 특정 유기물 또는 고분자들의 ElectroLuminescence(EL : 전기를 가하였을 때 빛을 방출하는 현상)를 이용하는 것으로 백 라이트를 구비하지 않아도 되므로 LCD에 비해 박형화가 가능하고, 더 싸고 쉽게 제작할 수 있으면서도, 넓은 시야각과 밝은 빛을 내는 장점을 가지고 있어 이에 관한 연구가 전세계적으로 뜨겁게 진행되고 있다.

도 1은 일반적인 유기 EL 구동 소자의 일례를 설명하기 위한 회로도이다.

도 1을 참조하면, 일반적인 유기 EL 구동 소자는 스위칭 트랜지스터(Q₃), 스토리지 캐패시터(Cst), 구동 트랜지스터(Q₀) 및 유기 EL 소자(OLED)로 구성된다.

구동시, 유기 EL 디스플레이 장치는 CRT와 같은 디스플레이 장치에 비해서 휘도가 상대적으로 낮기 때문에 하나의 가로 주사 라인을 선택할 때만 발광되는 수동 구동 방식을 이용하지 않고, 발광 유닛을 대폭 늘린 액티브 구동 방식을 사용한다. 이때, 발광 셀의 활성층은 주입된 전류 밀도에 비례하여 빛을 발산한다.

그러나, 발광 소자인 유기 EL 소자(OLED)측에 전류를 공급하는 구동 트랜지스터(Q₀)와 상기 구동 트랜지스터(Q₀)의 일단에 연결된 해당 유기 EL 소자(OLED)는 각각 전압 대 휘도 특성 산포가 매우 넓어서 계조 표시에 어려움이 있다.

이러한 전압 대 휘도 특성 산포에 영향을 적게 받으면서 균일한 계조 표시를 위해 시분할 계조 표시의 일종인 디스플레이 주기 분할(Display-Period-Separated: 이하 DPS) 구동법을 이용한다.

그러나, 상기한 DPS 구동법은 스위칭 트랜지스터(Q₃)의 동작 속도의 한계로 구동 주파수를 높게 할 수 없고, 데이터를 주사하는 시간이 길어서 발광 표시하는 시간이 상대적으로 줄어들기 때문에, 휘도를 개선하기가 어려워져 저해상도의 낮은 계조를 표현하는 디스플레이 제품에 한정되는 문제점이 있다.

이러한 문제점을 해결하기 위해 상기한 DPS 구동법에 비해 표시 유닛을 훨씬 늘려 휘도를 개선할 수 있는 순간 삭제 스캔(Simultaneous-Erasing-Scan; 이하 SES) 구동법을 사용한다.

도 2는 일반적인 유기 EL 소자의 다른 일례를 설명하기 위한 도면으로, 특히 SES 구동법을 적용하기에 적합한 유기 EL 소자의 일례이다.

도 2를 참조하면, 일반적인 유기 EL 구동 소자는 제1 스위칭 트랜지스터(Q₀₁), 제2 스위칭 트랜지스터(Q₀₂), 캐패시터(Cst), 구동 트랜지스터(Q₀) 및 유기 EL 소자(OLED)로 구성된다. 물론 도면상에서는 구동 트랜지스터(Q₀)의 제1단을 그라운드단(GND)으로 하고, 구동 트랜지스터(Q₀)의 제2단에 연결된 유기 EL 소자(OLED)의 타단에 부극성의 구동 전압(-V_{ee})을 인가하는 것을 그 일례로 도시하였으나, 그 역으로 구동 트랜지스터(Q₀)의 제1단에 정극성의 구동 전압(+V_{ee})을 인가하고, 유기 EL 소자(OLED)의 타단을 그라운드단(GND)으로 할 수도 있다.

그러나, 상기한 도 1에 언급한 유기 EL 구동 소자에 비해 각 유기 EL 셀마다 제2 스위칭 소자(Q₀₂)를 더 구비해야하고, 상기 제2 스위칭 소자(Q₀₂)의 게이트 단자에 데이터 소거 신호를 인가하기 위한 신호 라인(ES line)을 더 구비해야 하며, 상기한 데이터 소거 신호를 출력하며 유기 EL 패널의 수직 해상도에 해당하는 로우(row) 구동 IC를 더 구비해야 한다.

그러므로 유기 EL 패널 제조시 수열에 악영향을 끼치게 되어 유기 EL 표시 장치의 평가 상승을 초래하는 문제점이 있다.

또한 일반적으로 MOS 타입으로 구현되는 제2 스위칭 트랜지스터(Q₀₂)의 추가는 유기 EL 표시 셀의 개구율을 낮추게 되므로 휘도와 발광 효율을 떨어뜨리는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

이에 본 발명의 기술과 과제는 이러한 종래의 문제점을 해결하기 위한 것으로, 본 발명의 목적은 유기 전계발광 표시 셀의 개구율을 낮추지 않으면서 단순한 유기 전계발광 셀을 구비하면서도 계조 표시를 원활하게 하기 위한 유기 전계발광 패널을 제공하는 것이다.

특2003-0032530

또한 본 발명의 다른 목적은 상기한 유기 전계발광 패널을 포함하는 유기 전계발광 표시 장치를 제공하는 것이다.

또한 본 발명의 또 다른 목적은 상기한 유기 전계발광 표시 장치의 구동 장치를 제공하는 것이다.

또한 본 발명의 또 다른 목적은 상기한 유기 전계발광 표시 장치의 구동 방법을 제공하는 것이다.

발명의 구성 및 작용

상기한 본 발명의 목적을 실현하기 위한 하나의 특징에 따른 유기 전계발광 패널은, 데이터 신호를 전달하는 복수의 데이터 라인과, 주사 신호를 전달하는 복수의 주사 라인과, 상기 데이터 라인과 상기 주사 라인에 의해 규정되어 행렬 형태로 배열된 복수의 유기 전계발광 표시 셀을 포함하는 유기 전계발광 패널에 있어서,

제1단이 상기 데이터 라인에 연결되고, 제2단이 상기 주사 라인에 연결되며, 상기 주사 신호에 따라 제3단을 통해 상기 데이터 신호를 온/오프 출력하는 스위칭 트랜지스터;

일단이 제1 극성단에 연결되며, 인가되는 전류의 양에 대응하는 빛을 발광하는 유기 전계발광 소자;

제1단이 상기 유기 전계발광 소자의 타단에 연결되고, 제2단이 제2 극성단에 연결되며, 상기 스위칭 트랜지스터의 제3단을 통해 입력되는 데이터 신호의 온/오프 출력에 따라 상기 제1극성단에서 상기 제2극성단으로 또는 상기 제2 극성단에서 상기 제1 극성단으로 전류 흐름을 제어하여 상기 유기 전계발광 소자의 발광을 제어하는 구동 트랜지스터를 하나의 유기 전계발광 표시 셀로 하여 일정 수의 주사 라인에 대응하는 유기 전계발광 표시셀을 하나의 유니트로 그룹핑한 복수의 표시 그룹을 포함하며,

상기 그룹핑된 복수의 표시 그룹중 현재의 표시 그룹 영역이 발광 표시 동작을 수행함과 동시에 다음의 표시 그룹 영역이 주사 동작을 수행하는 것을 특징으로 한다.

여기서, 상기한 유기 전계발광 표시 셀은 일단이 상기 스위칭 트랜지스터의 제3단에 연결되고, 타단이 상기 제2 극성단에 연결되어 상기 스위칭 트랜지스터의 제3단을 통해 입력되는 데이터 신호를 일정 시간 동안 유지하는 스토리지 캐패시터를 더 포함하는 것이 바람직하다.

또한, 상기한 제1 극성단은 부극성 또는 정극성 중 어느 한 극성의 전압을 인가받고, 상기한 제2 극성단은 정극성 또는 부극성 중 어느 한 극성의 전압을 인가받는 것을 특징으로 한다.

또한, 상기한 표시 그룹의 일례로서, 소스단(또는 드레인단)을 통해 접지된 구동 트랜지스터와, 일단은 상기 구동 트랜지스터의 드레인단(또는 소스단)에 연결되고, 타단은 유기 전계발광 구동 전압을 제공받아 발광하는 유기 전계발광 소자를 구비하는 복수의 유기 전계발광 표시 셀을 포함하고, 상기 유기 전계발광 소자의 타단은 소정의 전압 공급 전극을 통해 좌우 인접하는 유기 전계발광 소자의 타단과 연결되며, 상기 전압 공급 전극을 통해 상기 유기 전계발광 구동 전압을 제공받는 것이 바람직하다.

또한, 상기한 표시 그룹의 다른 일례로서, 소스단(또는 드레인단)을 통해 유기 전계발광 구동 전압을 제공받는 구동 트랜지스터와, 일단은 상기 구동 트랜지스터의 드레인단(또는 소스단)에 연결되고, 타단은 접지되어 발광하는 유기 전계발광 소자를 구비하는 복수의 유기 전계발광 표시 셀을 포함하고, 상기 구동 트랜지스터의 소스단(또는 드레인단)은 소정의 전압 공급 전극을 통해 좌우 인접하는 구동 트랜지스터의 소스단(또는 드레인단)과 연결되며, 상기 전압 공급 전극을 통해 상기 유기 전계발광 구동 전압을 제공받는 것이 바람직하다.

또한, 상기한 본 발명의 다른 목적을 실현하기 위한 하나의 특징에 따른 유기 전계발광 패널을 포함하는 유기 전계발광 표시 장치는, 데이터 신호를 전달하는 복수의 데이터 라인과, 주사 신호를 전달하는 복수의 주사 라인과, 상기 데이터 라인과 상기 주사 라인에 의해 규정되어 행렬 형태로 배열된 복수의 유기 전계발광 표시 셀을 포함하는 유기 전계발광 패널을 구비하는 유기 전계발광 표시 장치에 있어서,

상기 유기 전계발광 표시 셀은,

제1단이 상기 데이터 라인에 연결되고, 제2단이 상기 주사 라인에 연결되며, 상기 주사 신호에 따라 제3단을 통해 상기 데이터 신호를 온/오프 출력하는 스위칭 트랜지스터와, 일단이 제1 극성단에 연결되며, 인가되는 전류의 양에 대응하는 빛을 발광하는 유기 전계발광 소자와, 제1단이 상기 유기 전계발광 소자의 타단에 연결되고, 제2단이 제2 극성단에 연결되며, 상기 스위칭 트랜지스터의 제3단을 통해 입력되는 데이터 신호의 온/오프 출력에 따라 상기 제1극성단에서 상기 제2극성단으로 또는 상기 제2 극성단에서 상기 제1 극성단으로 전류 흐름을 제어하여 상기 유기 전계발광 소자의 발광을 제어하는 구동 트랜지스터를 하나의 유기 전계발광 표시 셀로 하여 일정 수의 주사 라인에 대응하는 유기 전계발광 표시셀을 하나의 유니트로 그룹핑한 복수의 표시 그룹을 포함하며,

상기 유기 전계발광 패널에 배치되는 소정 수의 행을 하나의 유니트로하여 그룹핑한 복수의 표시 그룹중 현재의 표시 그룹 영역에 주사를 위한 유기 전계발광 구동 전압을 인가하고, 상기 주사의 완료에 따라 상기 현재 표시 그룹 영역에 발광을 위한 유기 전계발광 구동 전압을 인가함과 동시에 다음의 표시 그룹 영역에 주사를 위한 유기 전계발광 구동 전압을 인가하는 방식을 통해 상기 복수의 표시 그룹 각각에 유기 전계발광 구동 전압을 순차 출력하는 유기 전계발광 구동 전압원을 포함하여 이루어진다.

또한, 상기한 본 발명의 또 다른 목적을 실현하기 위한 하나의 특징에 따른 유기 전계발광 표시 장치의 구동 장치는, 데이터 신호를 전달하는 복수의 데이터 라인과, 주사 신호를 전달하는 복수의 주사 라인과, 상기 데이터 라인과 상기 주사 라인에 의해 규정되어 행렬 형태로 배열된 복수의 유기 전계발광 표시 셀을 포함하는 유기 전계발광 패널을 구비하는 유기 전계발광 표시 장치의 구동 장치에 있어서,

상기 유기 전계발광 패널에 배치되는 소정 수의 행을 하나의 유니트로 하여 그룹핑한 복수의 표시 그룹 중 현재의 표시 그룹 영역에 주사를 위한 유기 전계발광 구동 전압을 인가하고, 상기 주사의 완료에 따라 상기 현재 표시 그룹 영역에 발광을 위한 유기 전계발광 구동 전압을 인가함과 동시에 다음의 표시 그룹 영

특2003-0032530

역에 주사를 위한 유기 전계발광 구동 전압을 인가하는 방식을 통해 상기 복수의 표시 그룹 각각에 유기 전계발광 구동 전압을 순차 출력하는 유기 전계발광 구동 전압원을 포함하여 이루어진다.

또한, 상기한 본 발명의 또 다른 목적을 실현하기 위한 하나의 특징에 따른 유기 전계발광 표시 장치의 구동 방법은, 데이터 신호를 전달하는 복수의 데이터 라인과, 주사 신호를 전달하는 복수의 주사 라인과, 상기 데이터 라인과 상기 주사 라인에 의해 규정되어 행렬 형태로 배열된 복수의 유기 전계발광 표시 셀을 포함하는 유기 전계발광 패널을 구비하는 유기 전계발광 표시 장치의 구동 방법에 있어서,

(a) 상기 유기 전계발광 패널에 배치되는 소정 수의 행을 하나의 유니트로 하여 각각 그룹핑한 복수의 표시 그룹 중 현재의 표시 그룹 영역에 주사 동작을 수행하고, 상기 주사 동작의 완료에 따라 상기 현재의 표시 그룹 영역에 발광 표시 동작의 수행을 제어함과 동시에 다음의 표시 그룹 영역에 주사 동작을 수행하는 단계를 포함하여 이루어진다. 여기서, 상기 단계(a)는,

(a-1) K개로 분할된 공통 단자를 통해 K개의 표시 그룹을 갖는 유기 전계발광 패널의 n번째 표시 그룹 영역에 데이터를 주사하는 단계(여기서, n은 1보다 크고, K보다 작은 정수);

(a-2) 상기 단계(a-1)에서 n번째 표시 그룹 영역 전체에 주사 동작을 완료함에 따라, n번째 표시 그룹 영역에 발광 표시하는 단계;

(a-3) 상기 단계(a-2)에서 n번째 표시 그룹 영역 전체를 발광 표시함에 따라, 상기 n와 상기 K의 동일 여부를 체크하는 단계;

(a-4) 상기 단계(a-3)에서 상기 n이 상기 K와 상이하다고 체크되는 경우에는 n값을 '1' 증가시켜 상기 단계(a-1)로 피드백하는 단계; 및

(a-5) 상기 단계(a-3)에서 상기 n이 상기 K와 동일하다고 체크되는 경우에는 한 프레임에 대한 화상 신호의 디스플레이를 종료하는 단계를 포함하는 것이 바람직하다.

이러한 상기한 유기 전계발광 패널과 이를 포함하는 유기 전계발광 표시 장치와 이의 구동 장치 및 구동 방법에 의하면, 각각의 유기 전계발광 표시 셀마다 별도의 스위칭 트랜지스터나 별도의 선택 신호 라인을 구비하지 않더라도 유기 전계발광 표시 장치의 회로를 개선할 수 있고, 또한 저렴한 비용으로 유기 전계발광 표시 장치를 제조할 수 있으며, 그 수율을 향상할 수 있다.

그러면, 통상의 지식을 지닌 자가 본 발명을 용이하게 실시할 수 있도록 실시예에 관해 설명하기로 한다.

도 3은 본 발명의 실시예에 따른 유기 EL 표시 장치를 설명하기 위한 도면이고, 도 4는 상기한 도 3의 유기 EL 패널에서 표시 그룹별 전압 공급 전극의 연결 관계를 설명하기 위한 도면이다.

도 3을 참조하면, 본 발명의 실시예에 따른 유기 EL 표시 장치는 유기 EL 구동 전압원(100)과, 유기 EL 패널(200)을 포함한다. 여기서, 유기 EL 패널(200)에 비도시 데이터 신호를 출력하는 데이터 드라이버와 상기 비디오 데이터 신호의 선택을 위한 스캔 드라이버는 널리 공지되었으므로 도서를 생략하며, 그 동작 설명 역시 생략한다.

유기 EL 구동 전압원(100)은 복수의 유기 EL 구동 전압을 유기 EL 패널(200)에 출력한다. 여기서, 복수의 유기 EL 구동 전압은 정극성의 구동전압일 수도 있고, 부극성의 구동전압일 수도 있을 것이다.

유기 EL 패널(200)은 복수의 표시 그룹 영역, 예를 들어 4개의 표시 그룹 영역(210, 220, 230, 240)으로 분할되어, 상기 복수의 유기 EL 구동 전압을 제공받아 소정의 화상을 디스플레이한다.

보다 상세히는, 유기 EL 패널의 각 주사 라인을 수직 주사 방향으로 복수 개의 표시 그룹으로 분할한다. 특히, 표시 그룹을 4개로 나눈 것을 일례로서 설명한다.

즉, 첫 주사 라인부터 마지막 주사 라인까지 제1 표시 그룹(210), 제2 표시 그룹(220), 제3 표시 그룹(230) 및 제4 표시 그룹(240)으로 각각 4분할한다. 이때 각 표시 그룹내에 포함되는 주사 라인 수는 동일하게 분할될 수도 있고, 상이하게 분할될 수도 있다.

또한, 분할된 각 표시 그룹(210, 220, 230, 240)내에 구비되는 유기 EL 표시 셀들은 상기한 도 1에서 도시한 바와 같이, 스위칭 트랜지스터(Q_b), 스토리지 캐패시터(C_{st}), 구동 트랜지스터(Q_d) 및 유기 EL 소자(OLED)로 구성되며, 유기 EL 소자(OLED)의 캐소드 전극을 모두 연결한다.

물론 도면상에서는 3단자 소자인 구동 트랜지스터(Q_d)의 제1단을 그라운드단(GND)으로 하고, 구동 트랜지스터(Q_d)의 제2단에 연결된 유기 EL 소자(OLED)의 타단에 부극성의 구동 전압(-V_{ee})을 인가하는 것을 그 일례로 도시하였으나, 그 역으로 구동 트랜지스터(Q_d)의 제1단에 정극성의 구동 전압(+V_{ee})을 인가하고, 유기 EL 소자(OLED)의 타단을 그라운드단(GND)으로 할 수도 있을 것이다.

또한, 분할된 각 표시 그룹(210, 220, 230, 240)은 하나의 유기 EL 구동 전압을 인가받기 위한 입력 단자를 구비한다. 이때 각각의 단자에는 차례로 제1 내지 제4 유기 EL 구동 전압(V_{ee1}, V_{ee2}, V_{ee3}, V_{ee4})을 순차적으로 인가한다.

도면상에서는 정극성의 구동 전압을 출력하는 것을 도시하였으나, 만일 유기 EL 소자의 타단, 즉 캐소드단을 통해 구동 전압을 인가하는 경우에는 부극성의 구동 전압을 출력할 수도 있다.

상기 단자들에 인가되는 유기 EL 구동 전압(V_{ee1}, V_{ee2}, V_{ee3}, V_{ee4}) 각각의 인가 시점은 해당하는 표시 그룹이 주사 기간이 아닌 구간을 표시 기간으로 할당하고 4개 모두 동일 값을 갖는 것이 바람직하고, 하나의 유기 EL 구동 전압은 이전 표시 그룹 셀에 인가된 이전의 유기 EL 구동 전압을 일정 기간 동안 쉬프트(Shift)시킨 전압이다.

상기한 본 발명의 일 실시예에서는 유기 EL 패널의 표시 셀을 4개의 표시 그룹으로 분할하는 것을 그 일례로 설명하였으므로, 유기 EL 구동 전압원(100)에서는 제1 구동 전압(V_{ee1})을 분할된 제1 표시 그룹(210)에

출력하고, 제2 구동 전압(Vee2)을 분할된 제2 표시 그룹(220)에 출력하는 등의 방식을 통해 전체의 표시 그룹에 동일한 유기 EL 구동 전압을 서로 다른 시간에 출력한다.

도 5는 본 발명의 일실시예에 따른 유기 EL 패널의 표시 그룹별 구동을 설명하기 위한 타이밍도이다. 특히, 도면의 상측에서는 한 프레임에 대응하는 유기 EL 패널 전체의 주사 기간과 표시 기간을 설명하는데, 가로 방향의 X 축은 한 프레임에 대응하는 시간축이고, 세로 방향의 Y축은 유기 EL 패널의 첫 주사 라인부터 마지막 주사 라인까지를 의미한다.

또한, 도면의 아래측에서는 유기 EL 구동 전압원으로부터 출력되는 제1 내지 제4 유기 EL 구동 전압(Vee1 내지 Vee4)의 출력 타이밍을 설명하며, 상기한 구동 전압은 부극성인 것을 그 일례로 한다.

도 3 내지 도 5를 참조하면, 첫 번째 주사 라인부터 주사 동작을 실시하는데, 제1 표시 그룹을 주사하는 동안 제1 유기 EL 구동 전압(Vee1)은 그라운드 레벨로 유지한다.

이에 따라 제1 표시 그룹(210)에 속하는 유기 EL 소자는 발광하지 않고, 다만, 스토리지 커패시터에 전하를 축적하는 데이터 기인 동작만 수행한다.

제1 표시 그룹(210)의 데이터 주사를 완료하면 제1 표시 그룹(210)은 표시 기간이 되며, 제1 유기 EL 구동 전압(Vee1)은 디스플레이 주기 분할(Display-Period-Separated: 이하 DPS) 구동법에 의한 데이터 가중치에 해당하는 시간 동안 제1 표시 그룹(210)의 유기 EL 소자에 데이터 상태에 따른 전류를 공급한다. 여기서, 상기한 표시 기간은 DPS 구동법에서 데이터 가중치에 따라 차이가 있다.

한편, 제1 표시 그룹(210)에 전류를 공급하는 일정 기간 동안 제2 표시 그룹에 속하는 주사 라인의 첫 번째 주사 라인에 주사 동작을 실시한다.

이러한 구동 방법을 통해 분할된 제4 표시 그룹(240)까지 주사 동작을 완료하고, 제4 표시 그룹(240)의 표시 기간이 완료된 경우에는 다음 프레임에 대한 화상을 디스플레이하기 위해 제1 표시 그룹(210)에 대응하는 주사 동작을 실시한다.

이상에서 설명한 바와 같이, 최상위비트(MSB)를 전체의 유기 EL 패널에 표시하고, 차례로 MSB-1, MSB-2, ... LSB까지 표시하여 하나의 프레임을 완성한다. 이러한 하나의 프레임을 통해 인간은 시간적으로 광량을 적분해서 화면의 밝기를 느낄 수 있다.

상기한 DPS 구동법은 일반적으로 2진수의 화상 데이터를 이용하여 가중치 별로 화상을 표시하는데, 도 5에서는 화상 데이터를 5비트로 하여 최상위비트(MSB)부터 최하위비트(LSB) 순으로 순차적으로 표시하는 일례를 도시하였으나, 최하위비트(LSB)부터 최상위비트(MSB) 순으로 역순으로 변경시켜 표시할 수 있고, 또는 최상위비트(MSB)와 최하위비트(LSB)의 순서를 랜덤하게 혼재시켜 표시할 수도 있을 것이다.

또한, 본 발명의 일실시예에서는 1프레임 구성을 5비트의 화상 데이터로 하여 구동 제어하는 것을 설명하였으나 상기 5비트에 한정하지는 않고, 1프레임을 4개의 표시 그룹으로 분할하여 구동하는 것을 설명하였으나 이 역시 상기 4개의 표시 그룹에 한정하지는 않는다.

도 6은 본 발명의 일실시예에 따른 유기 EL 패널의 구동 방법을 설명하기 위한 흐름도이다.

도 5와 도 6을 참조하면, 먼저 유기 EL 패널의 공통 단자를 K개로 분할하는 방식을 통해 K개의 표시 그룹 영역으로 분할하고, K개의 구동 전압원을 구비한다(단계 S110). 여기서 K개의 구동 전압원 각각은 K개로 분할된 각각의 표시 그룹 영역을 구동하기 위한 구동 전압원이다.

상기한 단계 S110의 조건을 만족하는 경우에, n번째 표시 그룹 영역에 데이터를 주사한다(단계 S120). 여기서, 'n'은 '0'보다 크고, 'K'와 동일한 자연수 중 어느 하나로서, '1'부터 시작하는 것이 바람직하다.

이어, n번째 표시 그룹 영역 전체에 주사를 완료했는지의 여부를 체크하여(단계 S130), n번째 표시 그룹 영역 전체에 주사를 완료하지 않은 것으로 체크되는 경우에는 단계 S120으로 피드백하여 해당 n번째 표시 그룹 영역 전체의 주사를 계속하고, 주사를 완료했다고 체크되는 경우에는 n번째 표시 그룹 영역을 표시한다(단계 S140).

이어 n번째 표시 그룹 영역에 표시를 완료했는지의 여부를 체크하여(단계 S150), n번째 표시 그룹 영역에 표시를 미완료했다고 체크되는 경우에는 단계 S140으로 피드백한다.

단계 S150에서 n번째 표시 그룹 영역에 표시를 완료했다고 체크되는 경우에는 'n=k' 인지의 여부를 체크하여(단계 S160), 'n=k' 인 경우에는 종료하지만, 'n=k'가 아닌 경우에는 'n'값을 '1'만큼 증가시킨 후(단계 S170), 단계 S120으로 피드백한다.

상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

발명의 효과

이상 설명한 바와 같이, 본 발명에 따르면 각각의 유기 EL 표시 셀마다 별도의 스위칭 트랜지스터, 각 주사 라인마다 별도의 선택 신호 라인, 로우 구동 IC를 추가로 구비하지 않더라도 유기 EL 표시 장치의 휘도를 개선할 수 있고, 또한 저렴한 비용으로 유기 EL 표시 장치를 제조할 수 있으며, 그 수율을 향상할 수 있다.

또한, 별도의 스위칭 트랜지스터를 구비하지 않아도 되므로 표시 셀의 개구율을 개선할 수 있어, 휘도 및 발광 효율을 높일 수 있다.

(57) 청구의 범위

청구항 1

데이터 신호를 전달하는 복수의 데이터 라인과, 주사 신호를 전달하는 복수의 주사 라인과, 상기 데이터 라인과 상기 주사 라인에 의해 규정되어 행렬 형태로 배열된 복수의 유기 전계발광 표시 셀을 포함하는 유기 전계발광 패널에 있어서,

제1단이 상기 데이터 라인에 연결되고, 제2단이 상기 주사 라인에 연결되며, 상기 주사 신호에 따라 제3단을 통해 상기 데이터 신호를 온/오프 출력하는 스위칭 트랜지스터;

일단이 제1 극성단에 연결되며, 인가되는 전류의 양에 대응하는 빛을 발광하는 유기 전계발광 소자;

제1단이 상기 유기 전계발광 소자의 타단에 연결되고, 제2단이 제2 극성단에 연결되며, 상기 스위칭 트랜지스터의 제3단을 통해 입력되는 데이터 신호의 온/오프 출력에 따라 상기 제1극성단에서 상기 제2극성단으로 또는 상기 제2 극성단에서 상기 제1 극성단으로 전류 흐름을 제어하여 상기 유기 전계발광 소자의 발광을 제어하는 구동 트랜지스터를 하나의 유기 전계발광 표시 셀로 하여 일정 수의 주사 라인에 대응하는 유기 전계발광 표시셀을 하나의 유니트로 그룹핑한 복수의 표시 그룹을 포함하며,

상기 그룹핑된 복수의 표시 그룹중 현재의 표시 그룹 영역이 발광 표시 동작을 수행함과 동시에 다음의 표시 그룹 영역이 주사 동작을 수행하는 것을 특징으로 하는 유기 전계발광 패널.

청구항 2

제1항에 있어서, 상기 유기 전계발광 표시 셀은,

일단이 상기 스위칭 트랜지스터의 제3단에 연결되고, 타단이 상기 제2 극성단에 연결되어 상기 스위칭 트랜지스터의 제3단을 통해 입력되는 데이터 신호를 일정 시간 동안 유지하는 스토리지 캐패시터를 더 포함하는 것을 특징으로 하는 유기 전계발광 패널.

청구항 3

제1항에 있어서,

상기 제1 극성단은 부극성 또는 정극성 중 어느 한 극성의 전압을 인가받고,

상기 제2 극성단은 정극성 또는 부극성 중 어느 한 극성의 전압을 인가받는 것을 특징으로 하는 유기 전계발광 패널.

청구항 4

제1항에 있어서, 상기 표시 그룹은,

소스단(또는 드레인단)을 통해 접지된 구동 트랜지스터와, 일단은 상기 구동 트랜지스터의 드레인단(또는 소스단)에 연결되고, 타단은 유기 전계발광 구동 전압을 제공받아 발광하는 유기 전계발광 소자를 구비하는 복수의 유기 전계발광 표시 셀을 포함하고,

상기 유기 전계발광 소자의 타단은 소정의 전압 공급 전극을 통해 좌우 인접하는 유기 전계발광 소자의 타단과 연결되며, 상기 전압 공급 전극을 통해 상기 유기 전계발광 구동 전압을 제공받는 것을 특징으로 하는 유기 전계발광 패널.

청구항 5

제1항에 있어서, 상기 표시 그룹은,

소스단(또는 드레인단)을 통해 유기 전계발광 구동 전압을 제공받는 구동 트랜지스터와, 일단은 상기 구동 트랜지스터의 드레인단(또는 소스단)에 연결되고, 타단은 접지되어 발광하는 유기 전계발광 소자를 구비하는 복수의 유기 전계발광 표시 셀을 포함하고,

상기 구동 트랜지스터의 소스단(또는 드레인단)은 소정의 전압 공급 전극을 통해 좌우 인접하는 구동 트랜지스터의 소스단(또는 드레인단)과 연결되며, 상기 전압 공급 전극을 통해 상기 유기 전계발광 구동 전압을 제공받는 것을 특징으로 하는 유기 전계발광 패널.

청구항 6

데이터 신호를 전달하는 복수의 데이터 라인과, 주사 신호를 전달하는 복수의 주사 라인과, 상기 데이터 라인과 상기 주사 라인에 의해 규정되어 행렬 형태로 배열된 복수의 유기 전계발광 표시 셀을 포함하는 유기 전계발광 패널을 구비하는 유기 전계발광 표시 장치에 있어서,

상기 유기 전계발광 표시 셀은,

제1단이 상기 데이터 라인에 연결되고, 제2단이 상기 주사 라인에 연결되며, 상기 주사 신호에 따라 제3단을 통해 상기 데이터 신호를 온/오프 출력하는 스위칭 트랜지스터와, 일단은 제1 극성단에 연결되며, 인가되는 전류의 양에 대응하는 빛을 발광하는 유기 전계발광 소자와, 제1단이 상기 유기 전계발광 소자의 타단에 연결되고, 제2단이 제2 극성단에 연결되며, 상기 스위칭 트랜지스터의 제3단을 통해 입력되는 데이터 신호의 온/오프 출력에 따라 상기 제1극성단에서 상기 제2극성단으로 또는 상기 제2 극성단에서 상기 제1 극성단으로 전류 흐름을 제어하여 상기 유기 전계발광 소자의 발광을 제어하는 구동 트랜지스터를 하나의 유기 전계발광 표시 셀로 하여 일정 수의 주사 라인에 대응하는 유기 전계발광 표시셀을 하나의 유니트로 그룹핑한 복수의 표시 그룹을 포함하며,

상기 유기 전계발광 패널에 배치되는 소정 수의 행을 하나의 유니트로하여 그룹핑한 복수의 표시 그룹중 현재의 표시 그룹 영역에 주사를 위한 유기 전계발광 구동 전압을 인가하고, 상기 주사의 완료에 따라 상기 현재 표시 그룹 영역에 발광을 위한 유기 전계발광 구동 전압을 인가함과 동시에 다음의 표시 그룹 영

특2003-0032530

역에 주사를 위한 유기 전계발광 구동 전압을 인가하는 방식을 통해 상기 복수의 표시 그룹 각각에 유기 전계발광 구동 전압을 순차 출력하는 유기 전계발광 구동 전압원을 포함하는 유기 전계발광 표시 장치.

청구항 7

제6항에 있어서, 상기 유기 전계발광 표시 셀은,

일단이 상기 스위칭 트랜지스터의 제3단에 연결되고, 타단이 상기 제2 극성단에 연결되어 상기 스위칭 트랜지스터의 제3단을 통해 입력되는 데이터 신호를 일정 시간 동안 유지하는 스토리지 캐패시터를 더 포함하는 것을 특징으로 하는 유기 전계발광 표시 장치.

청구항 8

제5항에 있어서, 상기 표시 그룹은,

소스단(또는 드레인단)을 통해 접지된 구동 트랜지스터와, 일단은 상기 구동 트랜지스터의 드레인단(또는 소스단)에 연결되고, 타단은 유기 전계발광 구동 전압을 제공받아 발광하는 유기 전계발광 소자를 구비하는 복수의 유기 전계발광 표시 셀을 포함하고,

상기 유기 전계발광 소자의 타단은 소정의 전압 공급 전극을 통해 좌우 인접하는 유기 전계발광 소자의 타단과 연결되며, 상기 전압 공급 전극을 통해 상기 유기 전계발광 구동 전압을 제공받는 것을 특징으로 하는 유기 전계발광 표시 장치.

청구항 9

제8항에 있어서, 상기 유기 전계발광 구동 전압은 부극성 또는 정극성 중 어느 하나의 유기 전계발광 구동 전압인 것을 특징으로 하는 유기 전계발광 표시 장치.

청구항 10

제8항에 있어서, 상기 전압 공급 전극은 각 표시 그룹마다 구비되며, 상기 유기 전계발광 패널의 외각부에 배치되는 것을 특징으로 하는 유기 전계발광 표시 장치.

청구항 11

제6항에 있어서, 상기 표시 그룹은,

소스단(또는 드레인단)을 통해 유기 전계발광 구동 전압을 제공받는 구동 트랜지스터와, 일단은 상기 구동 트랜지스터의 드레인단(또는 소스단)에 연결되고, 타단은 접지되어 발광하는 유기 전계발광 소자를 구비하는 복수의 유기 전계발광 표시 셀을 포함하고,

상기 구동 트랜지스터의 소스단(또는 드레인단)은 소정의 전압 공급 전극을 통해 좌우 인접하는 구동 트랜지스터의 소스단(또는 드레인단)과 연결되며, 상기 전압 공급 전극을 통해 상기 유기 전계발광 구동 전압을 제공받는 것을 특징으로 하는 유기 전계발광 표시 장치.

청구항 12

제11항에 있어서, 상기 유기 전계발광 구동 전압은 정극성 또는 부극성 중 어느 하나의 유기 전계발광 구동 전압인 것을 특징으로 하는 유기 전계발광 표시 장치.

청구항 13

제11항에 있어서, 상기 전압 공급 전극은 각 표시 그룹마다 구비되며, 상기 유기 전계발광 패널의 외각부에 배치되는 것을 특징으로 하는 유기 전계발광 표시 장치.

청구항 14

제6항에 있어서, 상기 유기 전계발광 구동 전압원은 상기 그룹화된 각 표시 그룹의 수만큼 유기 전계발광 구동 전압을 출력하는 것을 특징으로 하는 유기 전계발광 표시 장치.

청구항 15

제14항에 있어서, 상기 유기 전계발광 구동 전압원은 해당 표시 그룹의 표시 기간동안만 유기 전계발광 구동 전압을 출력하는 것을 특징으로 하는 유기 전계발광 표시 장치.

청구항 16

제6항에 있어서, 상기 표시 그룹은,

어느 하나의 표시 그룹이 주사 동작을 수행하는 동안 나머지 표시 그룹은 셀이 발광하는 표시 동작을 유지하는 것을 특징으로 하는 유기 전계발광 표시 장치.

청구항 17

제16항에 있어서, 상기 표시 그룹은,

특정 표시 그룹의 주사 완료의 함께 발광 표시 동작을 수행하고, 상기 발광 표시 동작의 수행과 함께, 다음 단의 표시 그룹은 주사 동작을 수행하는 것을 특징으로 하는 유기 전계발광 표시 장치.

청구항 18

특2003-0032530

제17항에 있어서,

상기 주사 동작은 상기 표시 그룹 내에서 첫 주사 라인부터 순차적으로 수행하고,

상기 발광 표시 동작은 해당 표시 그룹이 동시에 수행하는 것을 특징으로 하는 유기 전계발광 표시 장치.

청구항 19

데이터 신호를 전달하는 복수의 데이터 라인과, 주사 신호를 전달하는 복수의 주사 라인과, 상기 데이터 라인과 상기 주사 라인에 의해 규정되어 행렬 형태로 배열된 복수의 유기 전계발광 표시 셀을 포함하는 유기 전계발광 패널을 구비하는 유기 전계발광 표시 장치의 구동 장치에 있어서,

상기 유기 전계발광 패널에 배치되는 소정 수의 행을 하나의 유니트로 하여 그룹핑한 복수의 표시 그룹 중 현재의 표시 그룹 영역에 주사를 위한 유기 전계발광 구동 전압을 인가하고, 상기 주사의 완료에 따라 상기 현재 표시 그룹 영역에 발광을 위한 유기 전계발광 구동 전압을 인가함과 동시에 다음의 표시 그룹 영역에 주사를 위한 유기 전계발광 구동 전압을 인가하는 방식을 통해 상기 복수의 표시 그룹 각각에 유기 전계발광 구동 전압을 순차 출력하는 유기 전계발광 구동 전압

을 포함하는 유기 전계발광 표시 장치의 구동 장치.

청구항 20

제19항에 있어서, 상기 유기 전계발광 구동 전압원은 상기 그룹핑된 각 표시 그룹의 수만큼 유기 전계발광 구동 전압을 출력하는 것을 특징으로 하는 유기 전계발광 표시 장치의 구동 장치.

청구항 21

제20항에 있어서, 상기 유기 전계발광 구동 전압원은 해당 표시 그룹의 표시 기간동안만 유기 전계발광 구동 전압을 출력하는 것을 특징으로 하는 유기 전계발광 표시 장치의 구동 장치.

청구항 22

데이터 신호를 전달하는 복수의 데이터 라인과, 주사 신호를 전달하는 복수의 주사 라인과, 상기 데이터 라인과 상기 주사 라인에 의해 규정되어 행렬 형태로 배열된 복수의 유기 전계발광 표시 셀을 포함하는 유기 전계발광 패널을 구비하는 유기 전계발광 표시 장치의 구동 방법에 있어서,

(a) 상기 유기 전계발광 패널에 배치되는 소정 수의 행을 하나의 유니트로 하여 각각 그룹핑한 복수의 표시 그룹 중 현재의 표시 그룹 영역에 주사 동작을 수행하고, 상기 주사 동작의 완료에 따라 상기 현재의 표시 그룹 영역에 발광 표시 동작의 수행을 제어함과 동시에 다음의 표시 그룹 영역에 주사 동작을 수행하는 단계

를 포함하는 유기 전계발광 표시 장치의 구동 방법.

청구항 23

제22항에 있어서, 상기 단계(a)는,

(a-1) K개로 분할된 공통 단자를 통해 K개의 표시 그룹을 갖는 유기 전계발광 패널의 n번째 표시 그룹 영역에 데이터를 주사하는 단계(여기서, n은 1보다 크고, K보다 작은 정수);

(a-2) 상기 단계(a-1)에서 n번째 표시 그룹 영역 전체에 주사 동작을 완료함에 따라, n번째 표시 그룹 영역에 발광 표시하는 단계;

(a-3) 상기 단계(a-2)에서 n번째 표시 그룹 영역 전체를 발광 표시함에 따라, 상기 n와 상기 K의 동일 여부를 체크하는 단계;

(a-4) 상기 단계(a-3)에서 상기 n이 상기 K와 상이하다고 체크되는 경우에는 n값을 '1'증가시켜 상기 단계(a-1)로 피드백하는 단계; 및

(a-5) 상기 단계(a-3)에서 상기 n이 상기 K와 동일하다고 체크되는 경우에는 한 프레임에 대한 화상 신호의 디스플레이를 종료하는 단계

를 포함하는 유기 전계발광 표시 장치의 구동 방법.

2003-0032530

Figure 1

Figure 1

Data line

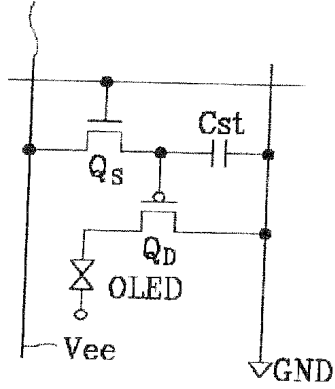
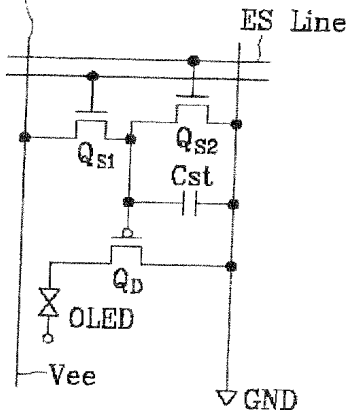
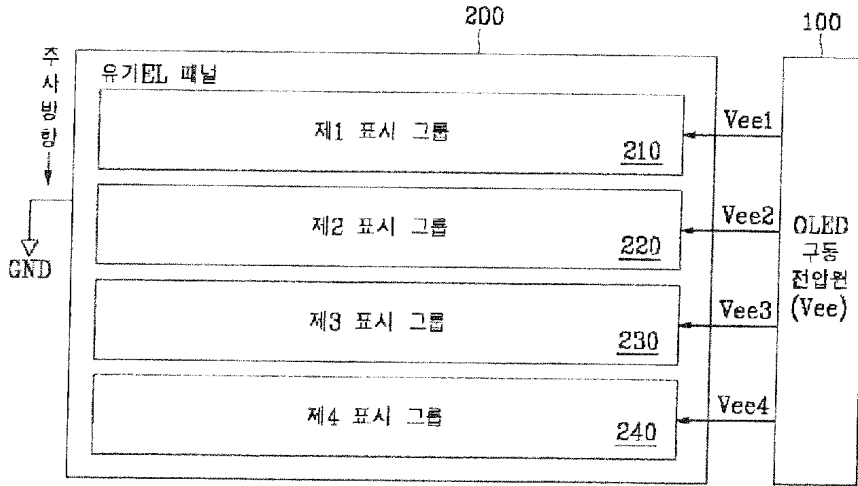


Figure 2

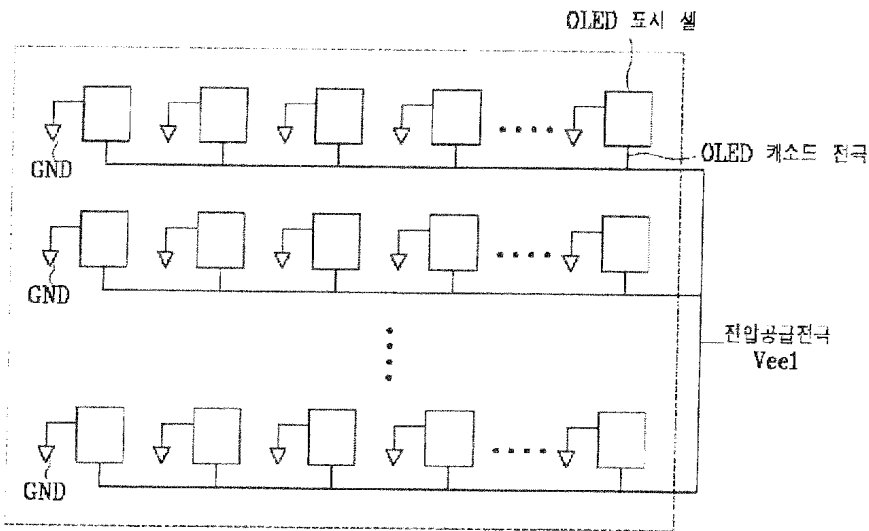
Data line



도면3

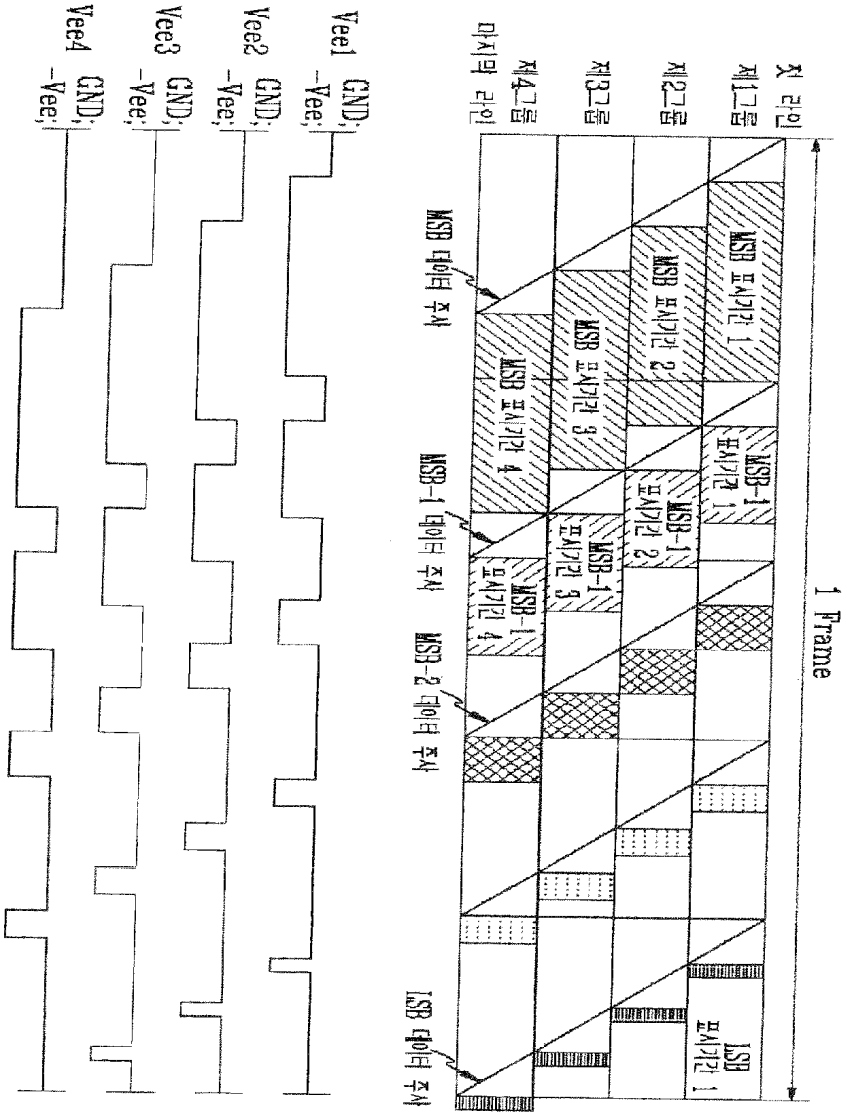


도면4

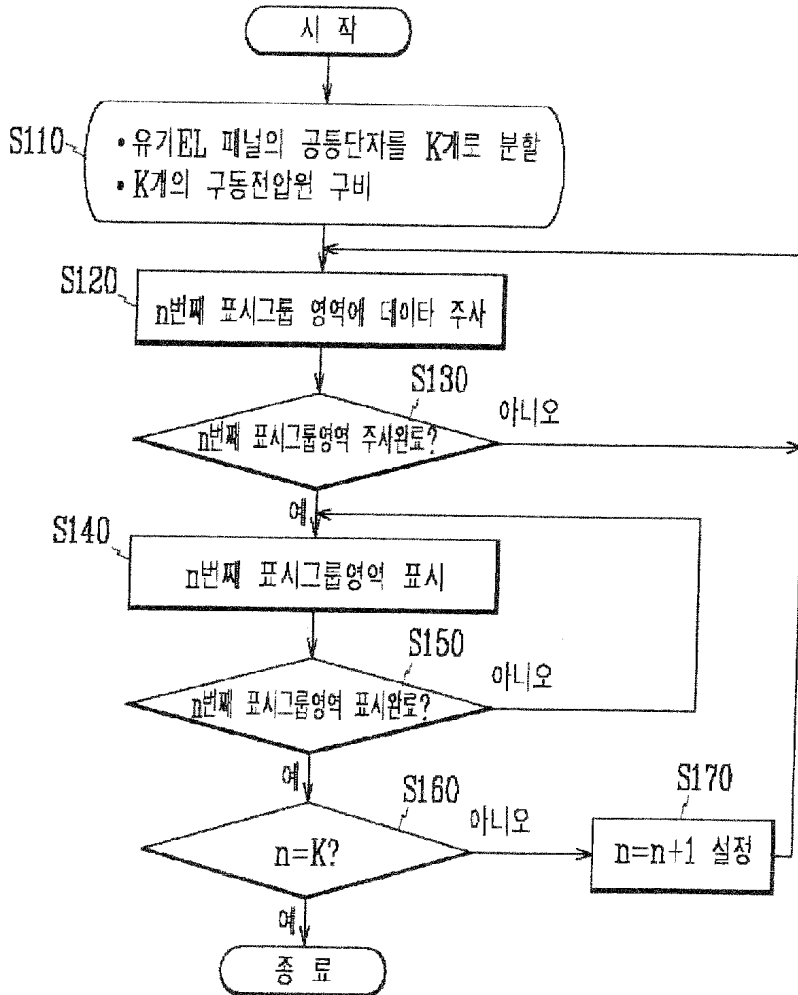


2003-0032530

32
UH



도면6



일본공개특허공보 특개2004-287349호(2004.10.14.) 1부.

(19) 日本国特許庁 (JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-287349

(P2004-287349A)

(43) 公開日 平成16年10月14日(2004.10.14)

(51) Int. Cl.⁷

G09G 3/30
G09G 3/20
H05B 33/14

F I

G09G 3/30 J
G09G 3/30 K
G09G 3/20 622Q
G09G 3/20 623B
G09G 3/20 623F

テーマコード (参考)

3K007
5C080

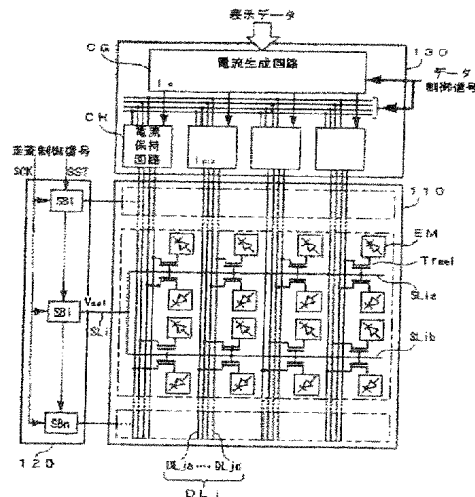
審査請求 未請求 請求項の数 18 O L (全 31 頁) 最終頁に続く

(21) 出願番号 特願2003-82465 (P2003-82465)
(22) 出願日 平成15年3月25日(2003.3.25)

(71) 出願人 000001443
カシオ計算機株式会社
東京都渋谷区本町1丁目6番2号
(74) 代理人 100096699
弁理士 鹿嶋 英實
(72) 発明者 白崎 友之
東京都八王子市石川町2951番地の5
カシオ計算機株式会
社八王子研究所内
(72) 発明者 武居 学
東京都八王子市石川町2951番地の5
カシオ計算機株式会
社八王子研究所内
Fターム(参考) 3K007 AB03 AB11 AB17 BA06 DB03
GA04

最終頁に続く

(54) 【発明の名称】 表示駆動装置及び表示装置並びにその駆動制御方法



33-1

【0001】

【発明の属する技術分野】

本発明は、表示駆動装置及び表示装置並びにその駆動制御方法に関し、特に、表示データに応じた電流を供給することにより所定の輝度階調で発光する電流制御型の発光素子を備えた表示画素を、複数配列してなる表示パネルに適用可能な表示駆動装置、及び、該表示駆動装置を備えた表示装置、並びに、該表示装置における駆動制御方法に関する。

【0002】

【従来の技術】

従来、有機エレクトロルミネッセンス素子（以下、「有機EL素子」と略記する）や発光ダイオード（LED）等のように供給される駆動電流の電流値に応じて所定の輝度階調で発光動作する電流制御型の発光素子を備えた表示画素を、2次元配列した表示パネルを具備する発光素子型のディスプレイ（表示装置）が知られている。

【0003】

特に、アクティブマトリックス駆動方式を適用した発光素子型ディスプレイは、近年普及が著しい液晶表示装置（LCD）に比較して、表示応答速度が速く、視野角依存性もなく、また、高輝度・高コントラスト化、表示画質の高精細化、低消費電力化等が可能であるとともに、液晶表示装置の場合のように、バックライトを必要としないので、一層の薄型軽量化が可能という極めて優位な特徴を有しており、次世代のディスプレイとして研究開発が盛んに行われている。

【0004】

そして、このような発光素子型ディスプレイにおいては、上述した電流制御型の発光素子を発光制御するための駆動制御機構や制御方法が種々提案されている。例えば、特許文献1や特許文献2等に記載されているように、表示パネルを構成する各表示画素ごとに、上記発光素子に加えて、該発光素子を発光制御するための複数のスイッチング手段からなる駆動回路（以下、便宜的に「発光駆動回路」と記す）を備えたものが知られている。

【0005】

図15は、従来技術における発光素子型ディスプレイに適用される表示画素の構成例を示す等価回路図である。

すなわち、特許文献1等に記載された表示画素は、図15(a)に示すように、表示パネルにマトリクス状に配設された複数の走査ライン（選択ライン）SL及びデータライン（信号ライン）DLの各交点近傍に、ゲート端子が走査ラインSLに、ソース端子及びドレイン端子がデータラインDL及び接点N111に各々接続された薄膜トランジスタ（TFT）Tr111と、ゲート端子が接点N111に接続され、ソース端子に接地電位V_{gnd}が印加された薄膜トランジスタTr112と、を備えた発光駆動回路DP1、及び、該発光駆動回路DP1の薄膜トランジスタTr112のドレイン端子にアノード端子が接続され、カソード端子に接地電位V_{gnd}よりも低電位の低電源電圧V_{ss}が印加された有機EL素子（電流制御型の発光素子）OELを有して構成されている。

【0006】

ここで、図15(a)において、CP1は、薄膜トランジスタTr112のゲートーソース間に形成される寄生容量である。また、薄膜トランジスタTr111は、nチャネル型の電界効果型トランジスタにより構成され、薄膜トランジスタTr112は、pチャネル型の電界効果型トランジスタにより構成されている。

そして、このような構成を有する発光駆動回路DP1においては、薄膜トランジスタTr111及びTr112からなる2個のトランジスタ（スイッチング手段）を所定のタイミングでオン、オフ制御することにより、以下に示すように、有機EL素子OELを発光制御する。

【0007】

すなわち、発光駆動回路DP1において、図示を省略した走査ドライバにより、走査ラインSLにハイレベルの走査信号V_{sel}を印加して表示画素を選択状態に設定すると、薄膜トランジスタTr111がオン動作して、図示を省略したデータドライバによりデータラインDLに印加された、表示データに応じた階調信号電圧V_{pix}が薄膜トランジスタTr111を介して、接点N111（すなわち、薄膜トランジスタTr112のゲート端子）に印加される。これにより、薄膜トランジスタTr112が上記階調信号電圧V_{pix}に応じた導通状態でオン動作して、接地電位V_{gnd}から所定の発光駆動電流が薄膜トランジスタTr112及び有機EL素子OELを介して低

122を介して接点N122に取り込まれるとともに、該階調電流Ipixの電流レベルが薄膜トランジスタTr123により電圧レベルに変換されてゲートソース間に所定の電圧が生じる（書込動作）。

【0013】

次いで、例えば、走査ラインSL2にハイレベルの走査信号Vsel2を印加すると、薄膜トランジスタTr122がオフ動作することにより、薄膜トランジスタTr123のゲートソース間に生じた電圧が寄生容量CP2により保持され、次に、走査ラインSL1にローレベルの走査信号Vsel1を印加すると、薄膜トランジスタTr121がオフ動作することにより、データラインDLと画素駆動回路DP2とが電気的に遮断される。これにより、上記寄生容量CP2に保持された電圧に基づく電位差により、薄膜トランジスタTr124がオン動作して、高電源電圧Vdから所定の発光駆動電流が薄膜トランジスタTr124及び有機EL素子OELを介して接地電位に流れ、有機EL素子OELが表示データに応じた輝度階調で発光する（発光動作）。

【0014】

ここで、薄膜トランジスタTr124を介して有機EL素子OELに供給される発光駆動電流は、表示データの輝度階調に基づいた電流値になるように制御され、この発光動作は、次の表示データに応じた階調電流が各表示画素に書き込まれるまで、例えば、1フレーム期間継続されるように制御される。

このような駆動制御方法は、各表示画素（薄膜トランジスタTr123のゲート端子）に表示データに応じた電流値を指定した階調電流を供給し、該電流値に応じて保持される電圧に基づいて、有機EL素子OELに流す発光駆動電流を制御して、所定の輝度階調で発光動作させていることから、電流印加方式（又は、電流指定方式）と呼ばれている。

【0015】

このように、電流印加方式を採用した発光駆動回路においては、各表示画素に供給される表示データに応じた階調電流の電流レベルを電圧レベルに変換する薄膜トランジスタTr123（電流／電圧変換用トランジスタ）及び有機EL素子OELに所定の電流値の駆動電流を供給する薄膜トランジスタTr124（発光駆動用トランジスタ）を備え、有機EL素子OELに供給する発光駆動電流の電流値を設定することにより、各薄膜トランジスタTr123、Tr124の動作特性のバラツキの影響を抑制することができるという利点を有している。

【0016】

【特許文献1】

特開2002-156923号公報（第4頁、図2）

【特許文献2】

特開2001-147659号公報（第7頁～第8頁、図1）

【0017】

【発明が解決しようとする課題】

しかしながら、上述したような方式を採用した発光駆動回路においては、以下に示すような問題を有していた。

すなわち、電流指定方式の画素駆動回路においては、最下位又は比較的輝度の低い表示データに基づく階調電流を各表示画素に書き込む場合（低階調表示時）、表示データの輝度階調に対応した小さい電流値を有する信号電流を各表示画素に供給する必要がある。

【0018】

ここで、各表示画素に表示データ（階調電流）を書き込む動作は、データラインに寄生する容量成分（配線容量）を所定の電圧まで充電することに相当するので、特に、表示パネルの大型化等によりデータラインの配線長が長く設計されている場合には、階調電流の電流値が小さくなるほど（すなわち、低階調表示時ほど）、データラインの充電時間が長くなって、表示画素への書込動作に時間を要するようになり、予め設定された（既定の）書込時間では表示画素に書き込まれた表示データが充分安定した状態（飽和状態）に達していない、いわゆる、書込不足が生じ、表示データに応じた適切な輝度階調で発光動作することができない表示画素が発生して、表示パネル内で輝度差が生じて表示画質の劣化を招くという問題を有していた。

【0019】

また、表示パネルを高精細化するために、表示パネルに配設される走査ラインの数を増加させて、各走査ラインの選択期間を短く設定した場合においても、階調電流の電流値が小さくなるほど、各表示画素への十分な書込動作が行われなくなり、書込不足が発生して表示画質の劣化を招いたり、表示パネルの高精細化が制約されるという問題を有していた。

【0020】

図16は、従来の表示装置における表示データの書込特性への影響（書込階調に対する書込率の変化）を説明するためのシミュレーション結果であり、図17は、従来の表示装置における配線容量の書込特性への影響（表示パネル上の位置に対する書込率の変化）を説明するためのシミュレーション結果である。ここで、図16、図17に示すシミュレーション結果は、表示パネルの大きさや画素数等において、各々異なる仕様を有する表示装置（図16、表参照）における書込特性（表示データの書込率）を示すものである。

【0021】

図16に示すように、表示データの階調（書込階調）に対する書込率の相関関係を示す各特性曲線 $S_a \sim S_e$ から、概ね表示パネルが大型化して、表示画素数が増加するほど、低階調における表示データの書込率が顕著に低下して書込不足を生じる傾向を示すことが判明した。

また、図17に示すように、表示パネル上の表示画素の配置位置（規格化位置）に対する書込率の相関関係を示す各特性曲線 $S_a \sim S_e$ から、概ね表示パネルが大型化してデータラインの配線長が長くなり、データドライバからの距離が長くなるほど、表示データの書込率が顕著に低下して書込不足を生じる傾向を示すことが判明した。

【0022】

さらに、上述した電流印加方式を適用した発光駆動回路（図15（b）参照）においては、薄膜トランジスタ T_{r123} 及び T_{r124} のゲート端子相互を直接接続したカレントミラー回路構成を有し、データラインに供給する階調電流 I_{pix} に対して有機EL素子 OEL に供給される発光駆動電流を小さくするように構成することにより、低階調表示を行う場合であっても、データラインに比較的大きな電流値を有する階調電流を流して、上述したような書込不足を回避することができるが、データラインに供給される階調電流の電流値が常に大きくなってしまいうため、表示装置の消費電力が増大するという問題を有していた。

【0023】

そこで、本発明は、上述した問題点に鑑み、表示画素に設けられた発光素子を電流印加方式で発光制御するディスプレイにおいて、発光素子を長期間にわたり安定した発光特性で発光動作させることができるとともに、表示画素への表示データ（階調電流）の書込動作に際し、消費電力を抑制しつつ書込不足による表示画質の劣化を抑制することができ、さらに、表示パネルの高精細化に良好に対応することができる表示駆動装置及び表示装置並びにその駆動制御方法を提供することを目的とする。

【0024】

【課題を解決するための手段】

請求項1記載の表示駆動装置は、表示パネルを構成する2次元配列された表示画素に対して、表示データに基づく階調信号を供給することにより、各表示画素を所望の輝度階調で発光動作させる表示駆動装置において、少なくとも、前記表示パネルに配列された特定の複数行の前記表示画素を同時に選択状態に設定する画素選択手段と、前記表示データに基づいて前記各表示画素の輝度階調を制御する所定の電流値を有する信号電流を生成する電流生成手段と、前記電流生成手段から出力される前記信号電流を、前記複数行の表示画素ごとに順次取り込んで保持し、所定のタイミングで前記保持した前記信号電流に基づく階調電流を、前記複数行の表示画素の各々に対して一斉に出力する複数の電流記憶手段と、を備えたことを特徴とする。

【0025】

請求項2記載の表示駆動装置は、請求項1記載の表示駆動装置において、前記画素選択手段は、前記表示パネルに配列された前記複数行の表示画素に接続された複数の走査線に対して、単一の走査信号を印加することにより、前記表示画素を同時に選択状態に設定することを特徴とする。

請求項3記載の表示駆動装置は、請求項1記載の表示駆動装置において、前記画素選択手段は、前記表示パネルを

構成する全ての行の前記表示画素に接続された複数の走査線に対して、単一の走査信号を印加することにより、前記表示パネルを構成する全ての前記表示画素を同時に選択状態に設定することを特徴とする。

【0026】

請求項4記載の表示駆動装置は、請求項1乃至3のいずれかに記載の表示駆動装置において、前記電流生成手段は、前記表示画素ごとに生成される前記信号電流を、前記選択状態に設定される同一列の複数行の表示画素ごとに、時系列データとして前記電力記憶手段に順次出力することを特徴とする。

請求項5記載の表示駆動装置は、請求項1乃至4のいずれかに記載の表示駆動装置において、前記複数の電流記憶手段は、前記選択状態に設定された前記複数行の表示画素の各々に対して、前記階調電流を個別の信号線を介して同時に供給することを特徴とする。

【0027】

請求項6記載の表示駆動装置は、請求項1乃至5のいずれかに記載の表示駆動装置において、前記電流記憶手段は、第1のタイミングで、前記電流生成手段から出力される前記信号電流に対応する電圧成分を保持し、第2のタイミングで、前記電圧成分に対応する電流を、前記階調電流として出力することを特徴とする。

請求項7記載の表示駆動装置は、請求項1乃至6のいずれかに記載の表示駆動装置において、前記電流記憶手段は、各々、並列に配置された一対の電流記憶部を備え、一方の電流記憶部に前記電流生成手段から出力される前記信号電流を取り込み保持する動作と、他方の電流記憶部に保持した前記信号電流に基づき前記階調電流を前記表示画素に出力する動作を、同時に並行して実行するように制御されることを特徴とする。

【0028】

請求項8記載の表示装置は、表示パネルの行方向に配設された複数の走査線及び列方向に配設された複数の信号線の各交点近傍に配列された複数の表示画素に対して、表示データに応じた所定の電流値を有する階調電流を供給することにより、前記表示画素を所定の輝度階調で発光動作させて、前記表示パネルに所望の画像情報を表示する表示装置において、少なくとも、前記表示パネルに配列された特定の複数行の前記表示画素に接続された複数の走査線に対して、単一の走査信号を印加することにより、前記表示画素を同時に選択状態に設定する走査駆動回路と、前記表示データに基づいて前記各表示画素の輝度階調を制御する所定の電流値を有する信号電流を生成する電流生成手段と、前記電流生成手段から出力される前記信号電流を、前記複数行の表示画素ごとに順次取り込んで保持し、前記保持した前記信号電流に基づく階調電流を、前記走査駆動回路により選択状態に設定された前記複数行の表示画素の各々に対して、個別の信号線を介して一斉に出力する複数の電流記憶手段と、を備えた信号駆動回路と、を具備することを特徴とする。

【0029】

請求項9記載の表示装置は、請求項8記載の表示装置において、前記走査駆動回路は、前記表示パネルを構成する全ての行の前記表示画素に接続された複数の走査線に対して、単一の走査信号を印加することにより、前記表示パネルを構成する全ての前記表示画素を同時に選択状態に設定することを特徴とする。

請求項10記載の表示装置は、請求項8又は9記載の表示装置において、前記電流記憶手段は、第1のタイミングで、前記電流生成手段から出力される前記信号電流に対応する電圧成分を保持し、第2のタイミングで、前記電圧成分に対応する電流を、前記階調電流として出力することを特徴とする。

【0030】

請求項11記載の表示装置は、請求項8乃至10のいずれかに記載の表示装置において、前記電流記憶手段は、各々、並列に配置された一対の電流記憶部を備え、一方の電流記憶部に前記電流生成手段から出力される前記信号電流を取り込み保持する動作と、他方の電流記憶部に保持した前記信号電流に基づく前記階調電流を前記表示画素に出力する動作を、同時に並行して実行するように制御されることを特徴とする。

請求項12記載の表示装置は、請求項8乃至11のいずれかに記載の表示装置において、前記電流記憶手段から前記複数行の表示画素の各々に対して、前記階調電流を供給する複数の前記信号線は、前記表示パネルに配列された前記表示画素相互の列間の領域に配設されていることを特徴とする。

【0031】

請求項13記載の表示装置は、請求項8乃至12のいずれかに記載の表示装置において、前記表示パネルに配列された前記表示画素は、前記階調電流に基づいて所定の発光駆動電流を生成する発光駆動回路と、該発光駆動回路が

流に基づく階調電流を各表示画素に出力する動作を、同時に並行して実行するように構成されている。

これにより、単一の電流記憶回路により、連続的に電流書き込動作を行いつつ、並行して連続的に電流読出動作を実行することができるので、実質的に、各動作期間を長くすることができ、表示画素への階調電流の供給時間を長くすることができる。

【0037】

さらに、本発明に係る表示装置においては、各表示画素に設けられる発光素子として、トップエミッション構造を有する有機EL素子を適用することができるので、複数行の表示画素に対応して、階調電流を一括して供給するためのデータライン数が増加した場合であっても、有機から発光される光が当該配線層により遮断されることがなく、表示パネルの開閉率が低下することなく、表面輝度が高く、表示画質が良好な表示パネルを実現することができる。

【0038】

【発明の実施の形態】

以下、本発明に係る表示駆動装置及び表示装置並びにその駆動制御方法について、実施の形態を示して詳しく説明する。

<表示装置の基本構成>

まず、本発明に係る表示駆動装置を適用可能な表示装置の概略構成（基本構成）について、図面を参照して説明する。

図1は、本発明に係る表示装置の基本構成を示す概略ブロック図であり、図2は、本実施形態に係る表示装置の要部構成を示す概略構成図である。なお、図2においては、図示の都合上、 i 行目の走査ライン群に接続される表示画素のみ詳しく示す。

【0039】

図1、図2に示すように、本実施形態に係る表示装置100は、大別して、行方向に配設され、複数本（図2では2本）の走査ラインSL_{1a}、SL_{1b}を一組とする信号線群（図2では単一の信号線に接続した状態を示す）を、複数組（図2では n 組）備えてなる走査ライン群SL _{i} （ $1 \leq i \leq n$ ）と、該走査ライン群SL _{i} に直交するように列方向に配設され、複数本（図2では4本）のデータラインDL _{j a}～DL _{j d}を一組とした信号線群を、複数組（図2では4組）備えてなるデータライン群DL _{j} （ $1 \leq j \leq m$ ； $m=4$ ）と、各組の走査ライン群SL _{i} を構成する走査ラインSL _{i a}、SL _{i b}と各組のデータライン群DL _{j} を構成するデータラインDL _{j a}～DL _{j d}との各交点近傍に、選択トランジスタTrselを介して接続された複数の表示画素EMが配列された表示パネル110と、該表示パネル110の走査ライン群SL _{i} に接続され、各走査ライン群SL _{i} に所定のタイミングで順次走査信号Vselを印加することにより、該走査ライン群SL _{i} に接続された複数行（図2では4行）分の表示画素を一斉に選択状態に設定する走査ドライバ（走査駆動回路、画素選択手段）120と、表示パネル110のデータライン群DL _{j} に接続され、後述する表示信号生成回路150から供給される表示データを、各データライン群DL _{j} に対応する複数行の表示画素分（図2では4画素分）ごとに取り込んで一旦保持し、所定のタイミングで該複数行の表示画素に階調電流Ipixとして一斉に供給するデータドライバ（信号駆動回路）130と、後述する表示信号生成回路150から供給されるタイミング信号に基づいて、少なくとも、走査ドライバ120及びデータドライバ130の動作状態を制御する走査制御信号及びデータ制御信号を生成して出力するシステムコントローラ140と、例えば、表示装置100の外部から供給される映像信号に基づいて、表示データ（例えば、デジタルデータ）を生成してデータドライバ130に供給するとともに、該表示データを表示パネル110に画像表示するためのタイミング信号（システムクロック等）を生成、又は、抽出してシステムコントローラ140に供給する表示信号生成回路150と、を備えて構成されている。

【0040】

以下、上記各構成について具体的に説明する。

（表示パネル110）

本実施形態に係る表示装置に適用可能な表示パネル110は、例えば、図2に示すように、各々2本の走査ライン（走査線）SL_{1a}、SL_{1b}を一組とする走査ライン群SL _{i} と、各々4本のデータライン（信号線）DL _{j a}～DL _{j d}を一組とするデータライン群DL _{j} が、相互に直交するように配設され、各走査ラインSL _{i a}、SL

$i b$ とデータライン $D L j a \sim D L j d$ との各交点に、表示画素 $E M$ が接続された構成を有している。ここで、図2に示す構成においては、各走査ライン $S L i a$ 、 $S L i b$ には、各々2行分の表示画素 $E M$ が接続されており、各走査ライン群 $S L i$ には4行分の表示画素 $E M$ が接続されている。

【0041】

ここで、各走査ライン群 $S L i$ を構成する走査ラインの数や表示画素 $E M$ の行数は、特に限定するものではなく、図2に示したように、各走査ライン群 $S L i$ が数本(2本)の走査ラインからなり、数行(4行)分の表示画素 $E M$ に接続された構成を有するものであってもよいし、表示パネル110を構成する全走査ライン(n 本)を単一の走査ライン群として、1画面(全行)分の表示画素 $E M$ が共通に接続された構成を有するものであってもよい。この場合にあっては、後述するように、単一の走査信号により1画面分の表示画素 $E M$ が一括して選択状態に設定される。

【0042】

また、各表示画素 $E M$ は、ゲート端子が各走査ライン $S L i a$ 、 $S L i b$ に接続され、ソース端子が各データライン $D L j a \sim D L j d$ に接続された選択トランジスタ $T r s e l$ の、ドレイン端子に接続された構成を有している。また、各表示画素 $E M$ は、データドライバ130から各データライン $D L j a \sim D L j d$ 及び上記選択トランジスタ $T r s e l$ を介して供給される階調電流 $I p i x$ に基づいて、所定の輝度階調で発光動作する電流制御型の発光素子を備えている。

【0043】

このような構成を有する表示パネル110においては、後述する走査ドライバ120から特定の走査ライン群 $S L i$ に走査信号 $V s e l$ を印加すると、該走査ライン群 $S L i$ を構成する複数の走査ライン $S L i a$ 、 $S L i b$ に接続された選択トランジスタ $T r s e l$ がオン動作して、4行分の表示画素 $E M$ が一括して選択状態に設定される。そして、この特定の走査ライン群 $S L i$ に走査信号 $V s e l$ を印加した状態(選択状態)で、後述するデータドライバ130から各データライン群 $D L j$ に表示データに対応する階調電流 $I p i x$ を一斉に供給することにより、上記オン動作した選択トランジスタ $T r s e l$ を介して、選択状態に設定された4行分の表示画素 $E M$ に一括して表示データが書き込まれる。なお、選択トランジスタを含む表示画素 $E M$ の具体回路例や回路動作については詳しく後述する。

【0044】

(走査ドライバ120)

走査ドライバ120は、システムコントローラ140から供給される走査制御信号に基づいて、上記各走査ライン群 $S L i$ に選択レベル(例えば、ハイレベル)の走査信号 $V s e l$ を印加する動作を順次実行することにより、各走査ライン群 $S L i$ を構成する走査ライン $S L i a$ 、 $S L i b$ に接続された4行分の表示画素 $E M$ を一斉に選択状態に設定し、後述するデータドライバ130により各データライン群 $D L j$ を介して供給される表示データに基づく階調電流 $I p i x$ を、各表示画素 $E M$ に一斉に書き込むように制御する。

【0045】

走査ドライバ120は、例えば、図2に示すように、シフトレジスタとバッファからなるシフトブロック $S B 1$ 、 $S B 2$ 、 \dots 、 $S B i$ 、 \dots 、 $S B n$ を、各走査ライン群 $S L i$ に対応して複数段(n 段)備え、後述するシステムコントローラ140から供給される走査制御信号(走査スタート信号 $S S T$ 、走査クロック信号 $S C K$ 等)に基づいて、シフトレジスタにより表示パネル110の上方から下方に順次シフトしつつ生成されたシフト出力が、バッファを介して所定の選択レベル(ハイレベル)を有する走査信号 $V s e l$ として各走査ライン群 $S L i$ に印加される。

なお、上述したように、表示パネル110を構成する全ての表示画素 $E M$ が単一の走査ライン群 $S L i$ に接続された構成を有する場合には、図2に示したようなシフトブロックは必要なく、上記走査制御信号に基づいて、所定のタイミングで単一の走査信号 $V s e l$ を走査ライン群 $S L i$ に印加する。

【0046】

(データドライバ130)

データドライバ130は、システムコントローラ140から供給されるデータ制御信号に基づいて、後述する表示信号生成回路150から供給される表示データに基づく信号電流 $I c$ を、各データライン群 $D L i$ ごと(詳しくは

、各列の表示画素EMごとに)に所定のタイミングで取り込んで保持し、上述した走査ドライバ120により特定の走査ライン群SLiを選択状態に設定するタイミングで、上記保持した信号電流Icを階調電流Ipixとして、各データライン群DLjを介して表示画素EMに一斉に供給する。

[0047]

データドライバ130は、例えば、図2に示すように、少なくとも、表示信号生成回路150から供給される表示データに基づいて、信号電流Icを生成する電流生成回路(電流生成手段)CGと、表示パネル110に配設された各データライン群DLjごとに接続された複数の電流保持回路(電流記憶手段)CHを備え、後述するシステムコントローラ140から供給されるデータ制御信号に基づいて、表示信号生成回路150から供給される表示データに基づく信号電流Icを、電流保持回路CHにより各データライン群DLiごとに、各走査ライン群SLiに接続された4行の表示画素分順次取り込んで保持し、所定のタイミングで、各データライン群DLiを介して選択状態に設定された走査ライン群SLiの4行分の全表示画素EMに対して、上記保持した信号電流Icを階調電流Ipixとして一括して供給する。なお、データドライバの具体的な構成及び動作については詳しく後述する。

[0048]

(システムコントローラ140)

システムコントローラ140は、上述した走査ドライバ120及びデータドライバ130に対して、動作状態を制御する走査制御信号及びデータ制御信号を出力することにより、各ドライバを所定のタイミングで動作させて走査信号Vsel及び階調電流Ipixを生成、出力させ、表示信号生成回路により生成される表示データを各表示画素EMに書き込んで発光動作させ、映像信号に基づく所定の画像情報を表示パネル110に表示させる制御を行う。

[0049]

(表示信号生成回路150)

表示信号生成回路150は、例えば、表示装置100の外部から供給される映像信号から輝度階調信号成分を抽出し、表示パネル110の1行分ごとに表示データとしてデータドライバ130に供給する。ここで、上記映像信号が、テレビ放送信号(コンポジット映像信号)のように、画像情報の表示タイミングを規定するタイミング信号成分を含む場合には、表示信号生成回路150は、上記輝度階調信号成分を抽出する機能のほか、タイミング信号成分を抽出してシステムコントローラ140に供給する機能を有するものであってもよい。この場合においては、上記システムコントローラ140は、表示信号生成回路150から供給されるタイミング信号に基づいて、走査ドライバ120やデータドライバ130、電源ドライバ140に対して供給する走査制御信号及びデータ制御信号を生成する。

[0050]

<データドライバの具体例>

次に、本発明に適用可能なデータドライバの一構成例について、具体的に説明する。

図3は、本発明に係る表示装置のデータドライバに適用可能な電流生成回路を示すブロック図であり、図4は、本発明に係る表示装置のデータドライバに適用可能な電圧電流変換・電流供給回路の一例を示す回路構成図である。また、図5は、本発明に係る表示装置のデータドライバに適用可能な電流保持回路の一例を示す概略構成図である。

[0051]

電流生成回路CGは、図3に示すように、システムコントローラ140からデータ制御信号として供給されるシフトクロック信号CLKに基づいて、サンプリングスタート信号STRを順次シフトしつつシフト信号を出力するシフトレジスタ回路131と、該シフト信号の入力タイミングに基づいて、表示信号生成回路150から供給される1行分の表示データD0~Dm(デジタルデータ)を順次取り込むデータレジスタ回路132と、データラッチ信号STBに基づいて、データレジスタ回路132により取り込まれた1行分の表示データD0~Dmを保持するデータラッチ回路133と、図示を省略した電源供給手段から供給される階調基準電圧V0~Vpに基づいて、上記保持された表示データD0~Dmを所定のアナログ信号電圧(階調電圧Vpix)に変換するD/Aコンバータ134と、アナログ信号電圧に変換された表示データに対応する信号電流Icを生成し、システムコントローラ140から供給される出力ラインケーブル信号OEに基づいて、表示パネル110に配設された各データライン群DLj単位であって、各走査ライン群SLiに接続された複数行(4行)の表示画素EM分ごとに、各電流保持回路CHに順次供給する(本実施例においては、信号電流Icとして負極性の信号電流を生成することにより、信号電流Ic

を引き込む) 電圧電流変換・電流供給回路135と、を有して構成されている。

【0052】

ここで、電圧電流変換・電流供給回路135に適用可能であって、各データライン群DLjごとに接続される回路構成としては、例えば、図4に示すように、一方の入力端子(負入力(-))に、入力抵抗Rを介して逆極性の階調電圧(-Vpix)が入力され、他方の入力端子(正入力(+))に、入力抵抗Rを介して基準電圧(接地電位)が入力されるとともに、出力端子が帰還抵抗Rを介して一方の入力端子(-)に接続されたオペアンプOP1と、オペアンプOP1の出力端子に出力抵抗Rを介して設けられた接点NAの電位が、一方の入力端子(+))に入力され、出力端子が他方の入力端子(-)に接続されるとともに、出力抵抗Rを介してオペアンプOP1の他方の入力端子(+))に基準電圧(接地電位)を入力し、出力端子が帰還抵抗Rを介して一方の入力端子接続されたオペアンプOP2と、接点NAに、システムコントローラ150から供給される出力イネーブル信号OEに基づいてオン/オフ動作し、電流保持回路CHへの信号電流Icの供給状態(本実施形態においては、生成される信号電流Icが負極性となるので、当該電流を引き込む動作)を制御するスイッチング手段SWと、を備えた構成を有している。

【0053】

このような電圧電流変換・電流供給回路135によれば、入力される負極性の階調電圧(-Vpix)に対して、 $-Ic = (-Vpix) / R$ からなる負極性の信号電流Icが生成され、出力イネーブル信号OEに基づくタイミングで、各データライン群DLjに順次供給される。

なお、本実施例に係る電流生成回路CG(電圧電流変換・電流供給回路135)においては、後述する表示画素に設けられる画素駆動回路及び発光素子の回路構成に対応させるために、説明の都合上、負極性の信号電流Icを生成して、該信号電流Icを引き込む場合について説明したが、本発明はこれに限定されるものではなく、表示画素に設けられる画素駆動回路及び発光素子の回路構成に応じて、正極性の信号電流Icを生成して、該信号電流Icを流し込む構成を有するものであってもよい。

【0054】

また、電流保持回路CHは、図5に示すように、各データラインごとに並列的に一対設けられ、上記電流生成回路CGから供給される信号電流Icを、個別のタイミングで交互(選択的)に取り込んで保持する電流記憶部CMA、CMBからなる電流記憶回路を複数組(図5では4組)設けた回路群(電流記憶回路31A~31D)と、電流生成回路CGから供給される、各データラインDLja~DLjd(すなわち、各行の表示画素EM)に対応した信号電流Icを各組の電流記憶回路31A~31Dへ順次供給するタイミングを設定するシフトレジスタ部32と、該シフトレジスタ部32から順次出力されるタイミング信号(シフト出力)SR1~SR4に基づいて、所定のタイミングで各組の電流記憶回路31A~31Dへ上記信号電流Icの供給状態(供給/遮断)を制御する供給制御スイッチ33A~33Dと、各組の電流記憶回路31A~31Dに対応して設けられ、システムコントローラ140から供給されるデータ制御信号である書込メモリ選択信号MSw(後述する読出メモリ選択信号MSrの反転信号)に基づくタイミングで、各組の電流記憶回路31A~31Dを構成する電流記憶部CMA又はCMBのいずれか一方に上記信号電流Icを、選択的に供給する切換制御を行う複数の入力側メモリ選択スイッチ34A~34Dと、各組の電流記憶回路31A~31Dに対応して設けられ、システムコントローラ140から供給されるデータ制御信号である読出メモリ選択信号MSrに基づくタイミングで、からの出力選択信号SEL(データ制御信号)に基づくタイミングで、各組の電流記憶回路31A~31Dを構成する電流記憶部CMA又はCMBのいずれか一方に保持された信号電流Icを、階調電流Ipixとして各データラインDLja~DLjdに供給する切換制御を行う複数の出力側メモリ選択スイッチ35A~35Dと、を備えて構成されている。ここで、シフトレジスタ部32は、システムコントローラ140から供給されるデータ制御信号であるシフトレジスタリセット信号FRM及びシフトクロックDCKに基づいて、特定方向(例えば、図面左方から右方)に順次シフトしつつ生成されたシフト出力が、タイミング信号SR1~SR4として各供給制御スイッチ33A~33Dに出力される。

【0055】

このような構成を有するデータドライバ130においては、表示信号生成回路150により映像信号に基づいて生成された表示データ(デジタルデータ)に基づいて、電流生成回路CGにおいて発光素子の輝度階調に応じた電流値を有する信号電流Icを生成し、該信号電流を各データラインDLja~DLjdに対応する各電流記憶回路31A~31Dの一方側の電流記憶部(例えば、電流記憶部CMA)に順次取り込んで保持するとともに、先のタイミングで他方側の電流記憶部(例えば、電流記憶部CMB)に保持されていた信号電流Icを階調電流Ipixとして、表示パネル110に記設された各データラインDLja~DLjdへ一斉に出力する動作を交互かつ連続的に実行する。

【0056】

<電流記憶部>

次いで、上述した電流保持回路に適用される電流記憶部の具体例について説明する。

図6は、本実施例に適用可能な電流記憶部の一具体例を示す回路構成図である。なお、ここでは、本発明に係る表示装置に適用可能な一構成例を示すものにすぎず、この回路構成に何ら限定されるものではない。また、本実施例においては、電流記憶部として、電流成分保持部とカレントミラー回路部からなる構成を示すが、これに限定されるものではなく、例えば、電流成分保持部のみからなる回路構成を有しているものであってもよい。

【0057】

電流保持回路CHの各電流記憶回路31A～31Dを構成する電流記憶部CMa又はCMbは、例えば、図6に示すように、電流生成回路CGから出力される信号電流Icの電流成分を電圧成分に変換して保持する電流成分保持部31aと、該電流成分保持部31aに保持された後、読み出された電流成分の電流値を設定するカレントミラー回路部31bからなる回路構成を適用することができる。ここで、電流成分保持部31aは、上述した供給制御スイッチ33A～33D（「供給制御スイッチ33」と総称する）、入力側メモリ選択スイッチ34A～34D（「入力側メモリ選択スイッチ34」と総称する）及び出力側メモリ選択スイッチ35A～35D（「出力側メモリ選択スイッチ35」と総称する）を含む構成を示す。

【0058】

電流成分保持部31aは、例えば、図6に示すように、電流生成回路CGにより生成された信号電流Icが供給される入力端子Tin（電流生成回路CGの出力端子に相当する）及び接点N31間にソース及びドレインが接続され、シフトレジスタ部32から供給されるタイミング信号SR1～SR4（「タイミング信号SR」と総称する）が印加される供給制御端子TMsにゲートが接続されたPMOSトランジスタM31と、接点N31及びN32間にソース及びドレインが接続され、システムコントローラ140から供給される書込メモリ選択信号MSwが印加される書込端子TMwにゲートが接続されたPMOSトランジスタM32と、高電位電源Vdd及び接点N32間に接続された蓄積容量C31と、高電位電源Vdd及び接点N33間にソース及びドレインが接続され、接点N32にゲートが接続されたPMOSトランジスタM33と、接点N33及びN31間にソース及びドレインが接続され、上記書込端子TMwにゲートが接続されたPMOSトランジスタM34と、接点N33及び後段のカレントミラー回路部31bへの出力接点N34間にソース及びドレインが接続され、システムコントローラ140から供給される読出メモリ選択信号MSrが印加される読出端子TMrにゲートが接続されたPMOSトランジスタM35と、を備えた構成を有している。

【0059】

ここで、シフトレジスタ32からのタイミング信号SR（シフト出力）に基づいて、オン/オフ動作するPMOSトランジスタM31は、上述した供給制御スイッチ33を構成する。また、システムコントローラ140からの書込メモリ選択信号MSwに基づいて、オン/オフ動作するPMOSトランジスタM32、M34は、上述した入力側メモリ選択スイッチ34を構成し、読出メモリ選択信号MSrに基づいて、オン/オフ動作するPMOSトランジスタM35は、上述した出力側メモリ選択スイッチ35を構成する。また、高電位電源Vdd及び接点N32間に設けられる蓄積容量C31は、PMOSトランジスタM33のゲートソース間に形成される寄生容量であってよい。

【0060】

なお、図6においては、各電流記憶回路31A～31Dを構成する一对の電流記憶部CMa、CMbのうち、いずれか一方側の回路構成を示すように各制御信号（書込メモリ選択信号MSw、読出メモリ選択信号MSr）を設定したが、後述するように、電流記憶部CMa、CMbは、選択的に電流書込状態と電流読出状態が設定され、同時並行的に電流書込動作及び電流読出動作を実行するように制御されるので、他方側の電流記憶部においては、図6と同等の回路構成において、例えば、書込端子TMwに書込メモリ選択信号MSwの反転信号を印加し、読出端子TMrに読出メモリ選択信号MSrの反転信号を印加するように設定する。

【0061】

また、カレントミラー回路部31bは、例えば、図6に示すように、各々、上記電流成分保持部31aの出力接点N34にコレクタ及びベースが接続され、接点N35にエミッタが接続されたnpnトランジスタQ31、Q32と、接点N35及び低電位電源Vss間に接続された抵抗R31と、出力電流（階調電流Ipix）が出力される

出力端子T_{out}にコレクタが接続され、上記電流成分保持部31aの出力接点N34がベースに接続されたn_pn_nトランジスタQ33と、該n_pn_nトランジスタQ33のエミッタ及び低電位電源V_{ss}間に接続された抵抗R32と、を備えた構成を有している。

【0062】

ここで、出力電流（階調電流I_{pix}）は、上記電流成分保持部31aから出力され、出力接点N34を介して入力された制御電流I_dの電流値に対して、カレントミラー回路構成により規定される所定の電流比率に応じた電流値を有するように設定されている。本実施例においては、出力端子T_{out}（各データラインDL_{ja}～DL_{jd}）に対して負極性の出力電流を供給することにより（すなわち、階調電流I_{pix}が出力端子T_{out}側から低電位電源V_{ss}方向に流れるように設定することにより）、電流成分が各データラインDL_{ja}～DL_{jd}（表示画素EM）側から電流保持回路CH方向に引き込まれるように流れる。

【0063】

また、本実施例に示した電流記憶部CMa、CMbにおいては、カレントミラー回路部31bにより制御電流I_dの電流値を所定の比率で低減して出力電流（階調電流I_{pix}）の電流値を規定するように設定することにより（すなわち、電流成分保持部31aから出力される制御電流I_dの電流値を、カレントミラー回路部31bにより生成される出力電流の電流値よりも大きく設定することにより）、電流成分保持部31a内部で取り扱う電流値を、階調電流I_{pix}の電流値よりも大きく設定することができるので、電流成分保持部31aにおける電流書込動作及び電流読出動作に係る処理速度を向上させることができる。

【0064】

<電流記憶部の動作>

次いで、上述したような構成を有する電流記憶部における動作について説明する。

図7は、本実施例に適用可能な電流記憶部の基本動作を示す概念図である。

本実施例に係る電流記憶部における動作は、表示パネルを構成する表示画素の発光駆動サイクルに対して、相互に時間的な重なりが生じない所定のタイミングで、信号電流I_cを取り込んで電圧成分として保持（記憶）する電流書込動作と、保持した電圧成分に基づいて、所定の電流値を有する階調電流I_{pix}を出力する電流読出動作と、を順次繰り返して実行するように設定されている。また、電流記憶回路に並列に設けられた一対の電流記憶部により、一方の電流記憶部において電流書込動作を実行すると同時に、同時並行的に、他方の電流記憶部において電流読出動作を実行するように制御され、実質的に、単一の電流記憶回路により、連続的に電流書込動作を行いつつ、並行して連続的に電流読出動作が実行される。

【0065】

（電流書込動作）

電流書込動作においては、まず、システムコントローラ140から読出端子T_{Mr}を介して、ハイレベルの読出メモリ選択信号MS_rを印加することにより、出力側メモリ選択スイッチ35としてのPMOSTランジスタM35がオフ動作する。この状態で、電流生成回路31aから表示データD₀～D_mに応じた、負極性の電流成分を有する信号電流I_cを、入力端子T_{in}を介して供給するとともに、システムコントローラ140から書込端子T_{Mw}を介して、所定のタイミングでローレベルの書込メモリ選択信号MS_wを印加することにより、入力側メモリ選択スイッチ34としてのPMOSTランジスタM32、M34がオン動作する。なお、この電流書込動作においては、シフトレジスタ部32から供給制御端子T_{Ms}を介して、ローレベルのタイミング信号S_Rを印加することにより、供給制御スイッチ33としてのPMOSTランジスタM31がオン動作する。

【0066】

これにより、接点N32（すなわち、PMOSTランジスタM33のゲート端子及び蓄積容量C31の一端）に負極性を有する信号電流I_cに応じたローレベルの電圧レベルが印加されて、高電位電源V_{dd}及び接点N32間（PMOSTランジスタM33のゲートソース間）に電位差が生じることにより、PMOSTランジスタM33がオン動作し、図7（a）に示すように、高電位電源V_{dd}からPMOSTランジスタM33、M34及びM31を介して入力端子T_{in}方向に、信号電流I_cと同等の書込電流I_wが引き込まれるように流れる。

【0067】

このとき、蓄積容量C31には、高電位電源V_{dd}及び接点N32間（PMOSTランジスタM33のゲートソ

一空間)に生じた電位差に対応する電荷が蓄積され、電圧成分として保持される。ここで、蓄積容量C31に蓄積された電荷(電圧成分)は、電流書込動作の終了により、システムコントローラ140から書込端子TMwを介して、ハイレベルの書込メモリ選択信号MSwが印加され、PMOSTランジスタM32、M34がオフ動作して、上記書込電流Iwの引き込みが停止された後においても保持される。

【0068】

(電流読出動作)

次いで、電流書込動作終了後の階調電流の出力動作(電流読出動作)においては、システムコントローラ140から読出端子TMrを介して、ローレベルの読出メモリ選択信号MSrを印加することにより、PMOSTランジスタM35がオン動作する。また、このとき、上述したように、書込端子TMwを介して、ハイレベルの書込メモリ選択信号MSwが印加されることにより、PMOSTランジスタM32、M34がオフ動作する。なお、この電流読出動作においては、シフトレジスタ部32から供給制御端子TMsを介して、ハイレベルのタイミング信号SRを印加することにより、PMOSTランジスタM31がオフ動作する。

【0069】

ここで、蓄積容量C31に保持された電圧成分により、PMOSTランジスタM33のゲートソース間に電流書込動作時と同等の電位差が生じているので、図7(b)に示すように、高電位電源VddからPMOSTランジスタM33、M35を介して出力接点N34(カレントミラー回路部31b)方向に、上記書込電流Iw(≒信号電流Ic)と同等の電流値を有する制御電流Idが流れる。

【0070】

これにより、カレントミラー回路部31bに入力された制御電流Idは、カレントミラー回路構成により規定される所定の電流比率に応じた電流値を有する階調電流Ipixに変換されて、出力端子Tout及び各データラインDLja~DLjdを介して、負荷である表示画素EMに供給される。ここで、階調電流Ipixは、電流読出動作の終了により、システムコントローラ140から読出端子TMrを介して、ハイレベルの読出メモリ選択信号MSrが印加されることにより、PMOSTランジスタM35がオフ動作して、カレントミラー回路部31bへの供給が停止される。

【0071】

<表示装置の駆動制御方法>

次に、上述した構成を有する表示装置における駆動制御動作(駆動制御方法)について、具体的に説明する。

図8は、本実施形態に係る表示装置における駆動制御動作(駆動制御方法)を説明するタイミングチャートである。ここでは、上述した表示装置の各構成を適宜参照しながら説明する。

上述したような構成を有する表示装置において、まず、表示信号生成回路150により、映像信号から表示パネル110を構成する各表示画素(発光素子)EMを所定の輝度階調で発光動作させるためのデジタルデータからなる表示データが抽出されて、表示パネル110の各行ごとにシリアルデータとしてデータドライバ130に順次供給される。

【0072】

データドライバ130に供給された表示データ(デジタルデータ)は、電流生成回路CGにおいて、システムコントローラ140から供給されるデータ制御信号に基づくタイミングで、上記表示データに応じた信号電流Icに変換され、表示パネル110に配設された各データライン群DLjに対応して設けられた各電流保持回路CHに出力される。ここで、電流生成回路CGから電流保持回路CHに出力される信号電流Icは、表示パネル110の各列に対応するデータライン群DLj単位であって、例えば、該データライン群DLjを構成する各データラインDLja~DLjdに接続された各表示画素EMの行番号に対応するように、時系列的に出力される。

【0073】

電流保持回路CHにおいては、図8に示すように、各列ごとの複数行(4行)に配置された表示画素EMに対応する上記信号電流Icを順次取り込んで、シフトレジスタ部32から出力される供給制御信号SR1~SR4の入力タイミングで、供給制御スイッチ33A~33Dのうち、いずれかがオン動作して、電流書込動作が実行される電流記憶回路(例えば、電流記憶回路31A)が選択され、さらに、システムコントローラ140から供給される書込メモリ選択信号MSwに基づいて、入力側メモリ選択スイッチ34Aが切り換え制御されて、当該選択された電

流記憶回路31Aを構成する一対の電流記憶部CMa、CMbのうち、いずれか一方の電流記憶部（例えば、電流記憶部CMa）が選択される。

【0074】

これにより、電流生成回路CGから電流保持回路CHに供給された信号電流I_c（図8に示したデータライン群DLj用信号電流I_c）のうち、電流記憶回路31Aに対応するデータラインDLjaに接続された、特定の行の表示画素EMに対応する電流成分が特定のタイミングで電流記憶部CMaに供給されて保持される。このような電流書込動作を、シフトレジスタ部32から出力される供給制御信号SR1～SR4の入カタイミングで、電流保持回路CHに設けられた各電流記憶回路31B～31Dを順次選択して実行することにより、当該電流保持回路CHが接続された特定の列のデータライン群DLjに接続された4行分の表示画素EMの電流成分が各電流記憶部CMaに順次保持される。

したがって、電流生成回路CGから各列のデータライン群DLjごとに出力される信号電流I_cを、各電流保持回路CHに設けられた複数の電流記憶回路31A～31Dに順次保持することにより、表示パネル110に配置された複数行（4行）全列分の表示画素EMに対応する電流成分が同時並行的に保持（記憶）される。

【0075】

また、この電流書込動作が実行されている動作期間においては、図8に示すように、上述した電流記憶部の動作においても説明したように、システムコントローラ140から上記書込メモリ選択信号MSwの反転信号となる読出メモリ選択信号MSrが各電流保持回路CHに供給されることにより、出力側メモリ選択スイッチ35A～35Dが切り換え制御され、各電流記憶回路31A～31Dを構成する一対の電流記憶部CMa、CMbのうち、上記電流書込動作に選択されていない他方側の電流記憶部（例えば、電流記憶部CMb）が選択される。

これにより、当該電流書込動作の実行期間に先立って、各電流記憶部CMbに書込み、保持されていた電流成分が読み出され、階調電流I_{pix}（図8に示したデータライン群DLj用階調電流I_{pix}）として、各電流保持部CHから各列のデータライン群DLjを構成する各データラインDLja～DLjdに、同一のタイミングで一斉に出力される（電流読出動作）。

【0076】

したがって、電流保持回路CHから各列のデータライン群DLjを介して階調電流I_{pix}を出力し、システムコントローラ140から供給される走査制御信号に基づくタイミングで、図8に示すように、走査ドライバ120の特定のシフトブロックSB(i-1)から選択レベルの走査信号V_{sel}を走査ライン群SL(i-1)に印加することにより、当該走査ライン群SL(i-1)を構成する各走査ラインSLia、SLibに接続された全ての選択トランジスタTrselがオン動作して、複数行（4行）の表示画素EMに、上記各データラインDLja～DLjdを介して供給された階調電流I_{pix}が取り込まれ、各表示画素EMが該階調電流I_{pix}に基づく所定の輝度階調で発光動作する。

【0077】

次いで、システムコントローラ140からシフトレジスタ部32にシフトレジスタリセット信号FRMを印加して、シフトレジスタ部32をリセットした後、上述した一連の電流書込動作を各電流記憶回路31A～31Dの他方側の電流記憶部CMbに対して実行するとともに、同時並行的に、電流読出動作を各電流記憶回路31A～31Dの一方側の電流記憶部CMaに対して実行する。

すなわち、図8に示すように、電流生成回路CGにより生成された表示データに応じた信号電流I_cは、各列ごとに電流保持回路CHに順次取り込まれ、供給制御信号SR1～SR4の入カタイミング及び書込メモリ選択信号MSwに基づいて、選択状態に設定された各電流記憶回路31A～31Dの他方側の電流記憶部CMbに順次保持される。

【0078】

また、このとき、上記書込メモリ選択信号MSwの反転信号となる読出メモリ選択信号MSrが各電流保持回路CHに供給されることにより、各電流記憶回路31A～31Dの一方側の電流記憶部CMaに、上記電流書込動作により保持されていた電流成分が読み出され、階調電流I_{pix}として各列のデータライン群DLj一斉に出力される。

これにより、各電流記憶回路31A～31Dに設けられた一対の電流記憶部CMa、CMbに、電流書込動作及び電流読出動作を同時並行的に実行する制御を、所定の動作周期ごとに交互に繰り返すことにより、電流生成回路C

Gから出力される、表示データに対応した信号電流 I_c が、実質的に、連続的に電流保持部に取り込み保持されて、階調電流 I_{pix} として複数行の表示画素に一齐に供給される動作が実行される。

【0079】

このように、本実施形態においては、複数の表示画素が2次元配列された表示パネルについて、走査ドライバから単一の走査信号を印加することにより、複数行分（4行分）の表示画素を一括して選択状態に設定するように構成され、かつ、データドライバにより当該複数行の表示画素に対応する表示データを順次取り込んで保持し、所定のタイミング（例えば、1走査期間）で、一括して階調電流を供給するように構成されている。

これにより、単一の走査タイミングで駆動される走査ライン数（選択される表示画素の行数）を複数倍にすることができるので、1走査ラインに1走査信号を印加する周知の駆動制御方法に比較して、階調電流の表示画素への書込時間を実質的に複数倍（4倍）に長く設定することができ、例えば、低階調の表示データに基づく、小さい電流値を有する階調電流を表示画素に書き込む場合であっても、データラインの配線容量を所定の電圧まで十分に充電することができる。

【0080】

したがって、各表示画素への表示データの書込時間を十分に長く確保することができるので、表示パネルを大型化した場合や高精細化した場合、あるいは、低階調表示時であっても、表示データの書込不足を解消して、各表示画素を表示データに応じた適切な輝度階調で発光動作することができ、表示パネル内で発生する輝度傾斜（表示ムラ）を大幅に低減して表示画質の向上を図ることができる。

なお、本実施形態においては、説明の都合上、4行分の表示画素に接続された走査ライン群に、単一の走査信号を印加して、各表示画素を選択状態に設定する場合について説明したが、本発明はこれに限定されるものではなく、例えば、上述したように、表示パネルを構成する全行（ n 行）の表示画素に接続された走査ライン群に対して、単一の走査信号を印加して、1画面（全行）分の表示画素を一括して選択状態に設定するものであってもよい。

【0081】

<書込特性の検証>

ここで、上述したような構成を有する表示装置における表示データの書込特性について検証する。

図9は、本実施形態に係る表示装置における表示データの書込特性（書込時間と書込率の関係）を説明するためのシミュレーション結果である。ここで、図9に示すシミュレーション結果は、水平画素数1365、垂直画素数768、データラインの配線容量 19.9pF を有する3.7インチサイズの表示パネルをモデルにして書込時間（パルス幅）を順次変化させた場合の書込特性の変化を示すものである。

【0082】

図9に示すように、表示画素に書き込む表示データの階調に対する、当該表示データの書込率の相関関係を示す特性曲線 $T(1) \sim T(12)$ は、書込時間が標準状態（ $22\mu\text{sec}$ ）に対して2倍（ $44\mu\text{sec}$ ）、4倍（ $88\mu\text{sec}$ ）、6倍（ $132\mu\text{sec}$ ）、・・・と長くなるほど、最低階調に近似する程度の低階調の表示データを書き込む場合であっても、概ね100%の書込率が得られることが判明した。

【0083】

したがって、上述した実施形態に示したように、複数行（例えば、4行）分の表示画素を単一の走査信号により選択状態に設定する（駆動する）場合には、比較的low階調の表示データを表示画素に書き込む場合であっても、書込時間を複数倍（例えば、4倍）に設定することができるので、概ね100%に近似する書込率を実現することができ、表示パネルの大型化及び高精細化に良好に対応することができる。

【0084】

<表示画素の具体回路例>

次いで、上述した表示画素に適用される具体回路例について、図面を参照して説明する。

図10は、本発明に係る表示装置に適用可能な表示画素（画素駆動回路、発光素子）の具体回路例を示す回路構成図であり、図11は、本実施例に係る画素駆動回路の駆動制御動作を示す概念図である。図12は、本実施例に係る表示画素を適用した表示装置の表示駆動動作を示すタイミングチャートである。また、図13は、本実施例に係

る表示画素を適用した表示装置の一構成例を示す概略ブロック図である。

【0085】

本実施例に係る表示画素EM（選択トランジスタを含む）は、図10に示すように、概略、上述した走査ドライバ120から印加される走査信号Vse1に基づいて表示画素EMを選択状態に設定し、該選択状態においてデータドライバ130から供給される階調電流Ipixを取り込み、該階調電流Ipixに応じた発光駆動電流を発光素子に流す画素駆動回路（発光駆動回路）DCと、画素駆動回路DCから供給される発光駆動電流に基づいて、所定の輝度階調で発光動作する有機EL素子OEL等の電流制御型の発光素子と、を有して構成されている。

【0086】

画素駆動回路DCは、例えば、図10に示すように、ゲート端子が走査ラインSLに、ソース端子が電源ラインVLに、ドレイン端子が接点N1に各々接続されたnチャネル型の薄膜トランジスタTr11と、ゲート端子が走査ラインSLに、ソース端子及びドレイン端子がデータラインDL及び接点N12に各々接続されたnチャネル型の薄膜トランジスタTr12と、ゲート端子が接点N11に、ソース端子及びドレイン端子が電源ラインVL及び接点N12に各々接続されたnチャネル型の薄膜トランジスタTr13と、接点N11及び接点N12間に接続されたコンデンサCsと、を備えた構成を有し、有機EL素子OELのアノード端子が接点N12に、カソード端子が接地電位に各々接続されている。ここで、コンデンサCsは、薄膜トランジスタTr13のゲート-ソース間に形成される寄生容量であってもよい。また、薄膜トランジスタTr12は、図2に示した選択トランジスタTrselに相当する。

【0087】

このような構成を有する画素駆動回路DCにおける発光素子（有機EL素子OEL）の発光駆動制御は、例えば、図12に示すように、一走査期間Tscを1サイクルとして、該一走査期間Tsc内に、特定の走査ライン群SLiに接続された複数行の表示画素を選択して表示データに対応する階調電流Ipixを書き込み、電圧成分として保持する選択期間（書込動作期間）Tseと、該選択期間Tseに書き込み、保持された電圧成分に基づいて、上記表示データに応じた発光駆動電流を有機EL素子OELに供給して、所定の輝度階調で発光動作させる非選択期間（発光動作期間）Tnseと、を設定することにより実行される（Tsc=Tse+Tnse）。ここで、複数行の表示画素EMが接続された各走査ライン群SLiごとに設定される選択期間Tseは、相互に時間的な重なりが生じないように設定される。

【0088】

（選択期間）

すなわち、表示画素の選択期間Tseにおいては、図12に示すように、まず、走査ドライバ120から特定の走査ライン群SLiに対して、ハイレベルの走査信号Vse1（Vselh）が印加されて複数行の表示画素が一括して選択状態に設定されるとともに、当該複数行の表示画素の電源ラインVLに対して、ローレベルの電源電圧Vselが印加される。また、このタイミングに同期して、データドライバ130から当該複数行の表示画素に対応する負極性の階調電流（-Ipix）が各データライン群DLjに供給される。

【0089】

これにより、画素駆動回路DCを構成する薄膜トランジスタTr11及びTr12がオン動作して、ローレベルの電源電圧Vsel（Vsel）が接点N11（すなわち、薄膜トランジスタTr13のゲート端子及びコンデンサCsの一端）に印加されるとともに、データラインDLを介して負極性の階調電流（-Ipix）を引き込む動作が行われることにより、ローレベルの電源電圧Vselよりも低電位の電圧レベルが接点N12（すなわち、薄膜トランジスタTr13のソース端子及びコンデンサCsの他端）に印加される。

【0090】

このように、接点N11及びN12間（薄膜トランジスタTr13のゲート-ソース間）に電位差が生じることにより、薄膜トランジスタTr13がオン動作して、図11（a）に示すように、電源ラインVLから薄膜トランジスタTr13、接点N12、薄膜トランジスタTr12、データラインDLを介して、データドライバ130に、階調電流Ipixに対応した書込電流Iaが流れる。

【0091】

このとき、コンデンサCsには、接点N11及びN12間（薄膜トランジスタのTr13のゲート-ソース間）に

生じた電位差に対応する電荷が蓄積され、電圧成分として保持される（充電される）。また、電源ラインVLには、接地電位以下の電圧レベルを有する電源電圧Vsc1が印加され、さらに、書込電流IaがデータラインDL方向に流れるように制御されていることから、有機EL素子OELのアノード端子（接点N12）に印加される電位はカソード端子の電位（接地電位）よりも低くなり、有機EL素子OELに逆バイアス電圧が印加されていることになるため、有機EL素子OELには駆動電流が流れず、発光動作は行われない。

[0092]

（非選択期間）

次いで、選択期間Tse終了後の非選択期間Tnseにおいては、図12に示すように、走査ドライバ120から特定の走査ライン群SLiに対して、ローレベルの走査信号Vsel（Vsi1）が印加されて複数行の表示画素が非選択状態に設定されるとともに、当該複数行の表示画素の電源ラインVLに対して、ハイレベルの電源電圧Vsc2（Vsch）が印加される。また、このタイミングに同期して、データドライバ130による階調電流Ipixの引き込み動作が停止される。

[0093]

これにより、画素駆動回路DCを構成する薄膜トランジスタTr11及びTr12がオフ動作して、接点N11（すなわち、薄膜トランジスタTr13のゲート端子及びコンデンサCsの一端）への電源電圧Vscの印加が遮断されるとともに、接点N12（すなわち、薄膜トランジスタTr13のソース端子及びコンデンサCsの他端）へのデータドライバ130による階調電流Ipixの引き込み動作に起因する電圧レベルの印加が遮断されるので、コンデンサCsは、上述した選択期間において蓄積された電荷を保持する。

[0094]

このように、コンデンサCsが書込動作時の充電電圧を保持することにより、接点N11及びN12間（薄膜トランジスタのTr13のゲートソース間）の電位差が保持されることになり、薄膜トランジスタTr13はオン状態を維持する。また、電源ラインVLには、接地電位よりも高い電圧レベルを有する電源電圧Vsc（Vsch）が印加されるので、有機EL素子OELのアノード端子（接点N2）に印加される電位はカソード端子の電位（接地電位）よりも高くなる。

[0095]

したがって、図11（b）に示すように、電源ラインVLから薄膜トランジスタTr13、接点N12を介して、有機EL素子OELに順バイアス方向に所定の発光駆動電流Ibが流れ、有機EL素子OELが発光する。ここで、コンデンサCsにより保持される電位差（充電電圧）は、薄膜トランジスタTr13において階調電流Ipixに対応した書込電流Iaを流下させる場合の電位差に相当するので、有機EL素子OELに流下する発光駆動電流Ibは、上記書込電流Iaと同等の電流値を有することになる。これにより、選択期間Tse後の非選択期間Tnseにおいては、選択期間Tseに書き込まれた表示データ（階調電流Ipix）に対応する電圧成分に基づいて、薄膜トランジスタTr13を介して、駆動電流が継続的に供給されることになり、有機EL素子OELは表示データに対応する輝度階調で発光する動作を継続する。

[0096]

そして、上述した一連の動作を、図12に示すように、表示パネル110を構成する全ての走査ライン群SLiについて順次繰り返し実行することにより、表示パネル110画面分の表示データが書き込まれて、所定の輝度階調で発光し、所望の画像情報が表示される。

ここで、本実施例に係る画素駆動回路DCに適用される薄膜トランジスタTr11～Tr13については、特に限定するものではないが、薄膜トランジスタTr11～Tr13を全てnチャネル型の薄膜トランジスタにて構成することができるため、nチャネル型アモルファスシリコンTFTを良好に適用することができる。その場合、すでに確立された製造技術を適用して、動作特性の安定した画素駆動回路を比較的安価に製造することができる。

[0097]

また、上述したような回路構成を有する画素駆動回路DCによれば、表示画質の高精細化に伴って、各走査ライン群SLiごとの選択期間が短く設定された場合であっても、表示データの輝度階調に応じた比較的大きな電流値を有する階調電流Ipixをデータドライバ130により引き込むように流して、有機EL素子OELを発光動作させるための発光制御トランジスタ（薄膜トランジスタTr13）のゲートソース間に付設されたコンデンサCsに階調電流Ipixに対応した電圧を良好に充電する（書き込む）ことができるので、表示データの書き込み速度

を向上させて表示応答特性の改善を図ることができる。

【0098】

ここで、本実施例に係る画素駆動回路DCにおいて電源ラインVLに所定の電源電圧V_{cs}を印加する構成としては、例えば、図13に示すように、表示パネル110の走査ライン群SLiを構成する各走査ラインに並行に配設された複数の電源ラインVLからなる電源ライン群VLiを接続した電源ドライバ160を備え、システムコントローラ140から供給される電源制御信号に基づいて、走査ドライバ120から出力される走査信号V_{sel}に同期する所定のタイミングで、電源ドライバ160から所定の電圧値を有する電源電圧V_{cs}に印加するようにした構成を良好に適用することができる。

【0099】

なお、上述した表示画素においては、画素駆動回路として3個の薄膜トランジスタを備え、データラインを介してデータドライバ方向に階調電流を引き込む形態の電流印加方式に対応した回路構成を示したが、本発明はこの実施形態に限定されるものではなく、少なくとも、電流印加方式を適用した画素駆動回路を備えた表示装置であって、発光素子への駆動電流の供給を制御する発光制御トランジスタ、及び、階調電流の電圧動作を制御する電圧制御トランジスタを有し、表示データに応じた階調電流（書込電流）を保持した後、該階調電流に基づいて、上記発光制御トランジスタをオン動作させて発光駆動電流を供給して、発光素子を所定の輝度階調で発光させるものであれば、他の回路構成を有するものであればよく、例えば、4個の薄膜トランジスタを備えた回路構成を有するものであってもよく、さらには、データドライバからデータラインに階調電流を印加する（流し込む）形態の回路構成を有するものであってもよい。

【0100】

また、上述した実施例においては、表示画素を構成する発光素子として、有機EL素子を適用した構成を示したが、本発明に係る表示装置はこれに限るものではなく、供給される発光駆動電流の電流値に応じて所定の輝度階調で発光動作する電流制御型の発光素子であれば、上述した有機EL素子の他に、例えば、発光ダイオードやその他の発光素子を良好に適用することができる。

【0101】

（有機EL素子の発光構造）

ここで、上述した実施例に係る表示画素に適用可能な有機EL素子の構造について、さらに詳しく説明する。

図14は、本発明に係る表示装置の表示画素に適用可能な有機EL素子の構造を示す概略断面図である。

【0102】

上述したように、本実施形態に係る表示装置においては、表示パネルに配列された複数行（例えば、k行）の表示画素ごとに、単一の走査信号が印加される各走査ライン群に接続され、該複数行の表示画素に対応するように、各々複数本（k本）のデータラインからなるデータライン群が列方向に配設された構成を有している。すなわち、各表示画素相互の列間の領域に配設されるデータライン数は、周知の表示パネル（各列ごとに1本のデータラインが配設された構成）に比較して、複数倍（k倍）に増加し、上記列間に設けられる配線形成領域が大幅に増大することになる。

【0103】

ここで、周知のように、有機EL素子は、概略、図14(a)に示すように、ガラス基板等の透明な絶縁性基板11の一面側に、ITO(Indium Thin Oxide)等の透明電極材料からなるアノード電極(陽極)12aと、有機化合物等の発光材料からなる有機EL層(発光層)13と、金属材料からなる反射特性を有するカソード電極(陰極)14aが順次積層された構成を有している。ここで、図14(a)中、15は有機EL素子を発光駆動するための各信号(走査信号、階調電流、電源電圧等)が供給される金属配線層である。

【0104】

このような有機EL素子OELにおいて、図14(a)に示すように、直流電圧源からアノード電極12aに正電圧、カソード電極14aに負電圧を印加して直流電流を流すことにより、有機EL層13内でホールと電子が再結合する際のエネルギーが光hνとして放射される。この光hνは、透明なアノード電極12aを透過して絶縁性基板11方向に放出されることから、このような構成を有する有機EL素子OELの発光構造は、ボトムエミッショ

ン構造と呼ばれている。

【0105】

このようなボトムエミッション構造を有する有機EL素子OELを本実施形態に係る表示装置（表示画素）に適用した場合、上述したように、データライン数が大幅に増加するため、有機EL素子（アノード電極12a、カソード電極14a及び有機EL層13からなる構成）と絶縁性基板11間に配設される配線層15が多くなり、有機EL層13から放射される光hνがデータライン（配線層15）に遮断されて、表示パネルの開口率が低下するという影響を受ける。

【0106】

そこで、本実施形態においては、有機EL素子との構造として、図14（b）に示すように、絶縁性基板11の一面側に、金属材料からなる反射特性を有するアノード電極12bと、有機EL層13と、ITO等の透明電極材料からなるカソード電極14bが順次積層された構成を有し、アノード電極12bに正電圧、カソード電極14bに負電圧を印加して直流電流を流すことにより、透明なカソード電極14bを透過して光hνを放射する、いわゆる、トップエミッション構造を適用する。

これによれば、有機EL素子OELを発光駆動するための配線層15が形成される絶縁性基板11側とは反対方向に、光hνが放射されるので、データライン数が増加して配線形成領域が増大した場合であっても、表示パネルの開口率が低下することなく、表面輝度が高く、表示画質が良好な表示パネルを実現することができる。

【0107】

【発明の効果】

以上説明したように、本発明に係る表示駆動装置及び該表示駆動装置を備えた表示装置並びにその駆動制御方法によれば、表示信号（表示データ）に応じた階調電流を各表示画素に印加することにより、各表示画素の発光素子を所定の輝度階調で発光動作させて、所望の画像情報を表示パネルに表示する表示装置において、表示パネルに2次元配列された表示画素について、走査ドライバから単一の走査信号を印加することにより、複数行分の表示画素を一括して選択状態に設定し、また、データドライバにより当該複数行の表示画素に対応する表示データを順次取り込んで保持し、所定のタイミング（例えば、1走査期間）で一括して、上記選択状態に設定された複数行の表示画素に対して、階調電流として供給することができるので、1走査ラインに1走査信号を印加して1行の表示画素を選択状態に設定する周知の駆動制御方法に比較して、階調電流の表示画素への書込時間を実質的に複数倍（k倍）に長く設定することができる。

【0108】

したがって、各表示画素への表示データの書込時間を充分に長く確保することができるので、表示パネルを大型化した場合や高精細化した場合、あるいは、低階調表示時であっても、データライン（信号線）の配線容量に起因する表示データの書込不足を解消して、各表示画素を表示データに応じた適切な輝度階調で発光動作することができ、表示パネル内で発生する輝度傾斜（表示ムラ）を低減して表示画質の向上を図ることができる。

【0109】

また、本発明に係る表示駆動装置及び表示装置においては、複数行の表示画素に対応して配設されたデータライン群ごとに接続される電流記憶回路（電流記憶手段）が、並列に配置された一対の電流記憶部を備え、一方の電流記憶部に表示データに基づく信号電流を保持する動作期間に、他方の電流記憶部に先のタイミングで保持した信号電流に基づく階調電流を各表示画素に出力する動作を、同時に並行して実行することができるので、単一の電流記憶回路により、連続的に電流書込動作を行いつつ、並行して連続的に電流読出動作を実行することができ、実質的に、各動作期間を長くして、表示画素への階調電流の供給時間を長くすることができる。

【0110】

さらに、本発明に係る表示装置においては、各表示画素に設けられる発光素子として、トップエミッション構造を有する有機EL素子を適用することができるので、複数行の表示画素に対応して、階調電流を一括して供給するためのデータライン数が増加した場合であっても、有機から発光される光が当該配線層により遮断されることがなく、表示パネルの開口率が低下することなく、表面輝度が高く、表示画質が良好な表示パネルを実現することができる。

【図面の簡単な説明】

- 【図 1】本発明に係る表示装置の基本構成を示す概略ブロック図である。
- 【図 2】本実施形態に係る表示装置の要部構成を示す概略構成図である。
- 【図 3】本発明に係る表示装置のデータドライバに適用可能な電流生成回路を示すブロック図である。
- 【図 4】本発明に係る表示装置のデータドライバに適用可能な電圧電流変換・電流供給回路の一例を示す回路構成図である。
- 【図 5】本発明に係る表示装置のデータドライバに適用可能な電流保持回路の一例を示す概略構成図である。
- 【図 6】本実施例に適用可能な電流記憶部の一具体例を示す回路構成図である。
- 【図 7】本実施例に適用可能な電流記憶部の基本動作を示す概念図である。
- 【図 8】本実施形態に係る表示装置における駆動制御動作（駆動制御方法）を説明するタイミングチャートである。
- 【図 9】本実施形態に係る表示装置における表示データの書込特性（書込時間と書込率の関係）を説明するためのシミュレーション結果である。
- 【図 10】本発明に係る表示装置に適用可能な表示画素（画素駆動回路、発光素子）の具体回路例を示す回路構成図である。
- 【図 11】本実施例に係る画素駆動回路の駆動制御動作を示す概念図である。
- 【図 12】本実施例に係る表示画素を適用した表示装置の表示駆動動作を示すタイミングチャートである。
- 【図 13】本実施例に係る表示画素を適用した表示装置の一構成例を示す概略ブロック図である。
- 【図 14】本発明に係る表示装置の表示画素に適用可能な有機 EL 素子の構造を示す概略断面図である。
- 【図 15】従来技術における発光素子型ディスプレイに適用される表示画素の構成例を示す等価回路図である。
- 【図 16】従来の表示装置における表示データの書込特性への影響（書込階調に対する書込率の変化）を説明するためのシミュレーション結果である。
- 【図 17】従来の表示装置における配線容量の書込特性への影響（表示パネル上の位置に対する書込率の変化）を説明するためのシミュレーション結果である。

【符号の説明】

- 3 1 A ~ 3 1 D 電流記憶回路
- 3 3 A ~ 3 3 D 供給制御スイッチ
- 3 4 A ~ 3 4 D 入力側メモリ選択スイッチ
- 3 5 A ~ 3 5 D 出力側メモリ選択スイッチ
- CM a、CM b 電流記憶部
- 1 0 0 表示装置
- 1 1 0 表示パネル
- 1 2 0 走査ドライバ
- 1 3 0 データドライバ
- 1 4 0 システムコントローラ
- 1 5 0 表示信号生成回路
- CG 電流生成回路
- CH 電流保持回路

EM	表示画素
SLI	走査ライン群
DLI	データライン群

【請求項 1】

表示パネルを構成する2次元配列された表示画素に対して、表示データに基づく階調信号を供給することにより、各表示画素を所望の輝度階調で発光動作させる表示駆動装置において、

少なくとも、

前記表示パネルに配列された特定の複数行の前記表示画素を同時に選択状態に設定する画素選択手段と、

前記表示データに基づいて前記各表示画素の輝度階調を制御する所定の電流値を有する信号電流を生成する電流生成手段と、

前記電流生成手段から出力される前記信号電流を、前記複数行の表示画素ごとに順次取り込んで保持し、所定のタイミングで前記保持した前記信号電流に基づく階調電流を、前記複数行の表示画素の各々に対して一斉に出力する複数の電流記憶手段と、

を備えたことを特徴とする表示駆動装置。

【請求項 2】

前記画素選択手段は、前記表示パネルに配列された前記複数行の表示画素に接続された複数の走査線に対して、単一の走査信号を印加することにより、前記表示画素を同時に選択状態に設定することを特徴とする請求項1記載の表示駆動装置。

【請求項 3】

前記画素選択手段は、前記表示パネルを構成する全ての行の前記表示画素に接続された複数の走査線に対して、単一の走査信号を印加することにより、前記表示パネルを構成する全ての前記表示画素を同時に選択状態に設定することを特徴とする請求項1記載の表示駆動装置。

【請求項 4】

前記電流生成手段は、前記表示画素ごとに生成される前記信号電流を、前記選択状態に設定される同一列の複数行の表示画素ごとに、時系列データとして前記電力記憶手段に順次出力することを特徴とする請求項1乃至3のいずれかに記載の表示駆動装置。

【請求項 5】

前記複数の電流記憶手段は、前記選択状態に設定された前記複数行の表示画素の各々に対して、前記階調電流を個別の信号線を介して同時に供給することを特徴とする請求項1乃至4のいずれかに記載の表示駆動装置。

【請求項 6】

前記電流記憶手段は、第1のタイミングで、前記電流生成手段から出力される前記信号電流に対応する電圧成分を保持し、第2のタイミングで、前記電圧成分に対応する電流を、前記階調電流として出力することを特徴とする請求項1乃至5のいずれかに記載の表示駆動装置。

【請求項 7】

前記電流記憶手段は、各々、並列に配置された一対の電流記憶部を備え、

一方の電流記憶部に前記電流生成手段から出力される前記信号電流を取り込み保持する動作と、他方の電流記憶部に保持した前記信号電流に基づく前記階調電流を前記表示画素に出力する動作を、同時に並行して実行するように

制御されることを特徴とする請求項 1 乃至 6 のいずれかに記載の表示駆動装置。

【請求項 8】

表示パネルの行方向に配設された複数の走査線及び列方向に配設された複数の信号線の各交点近傍に配列された複数の表示画素に対して、表示データに応じた所定の電流値を有する階調電流を供給することにより、前記表示画素を所定の輝度階調で発光動作させて、前記表示パネルに所望の画像情報を表示する表示装置において、

少なくとも、

前記表示パネルに配列された特定の複数行の前記表示画素に接続された複数の走査線に対して、単一の走査信号を印加することにより、前記表示画素を同時に選択状態に設定する走査駆動回路と、

前記表示データに基づいて前記各表示画素の輝度階調を制御する所定の電流値を有する信号電流を生成する電流生成手段と、前記電流生成手段から出力される前記信号電流を、前記複数行の表示画素ごとに順次取り込んで保持し、前記保持した前記信号電流に基づく階調電流を、前記走査駆動回路により選択状態に設定された前記複数行の表示画素の各々に対して、個別の信号線を介して一斉に出力する複数の電流記憶手段と、を備えた信号駆動回路と、

を具備することを特徴とする表示装置。

【請求項 9】

前記走査駆動回路は、前記表示パネルを構成する全ての行の前記表示画素に接続された複数の走査線に対して、単一の走査信号を印加することにより、前記表示パネルを構成する全ての前記表示画素を同時に選択状態に設定することを特徴とする請求項 8 記載の表示装置。

【請求項 10】

前記電流記憶手段は、第 1 のタイミングで、前記電流生成手段から出力される前記信号電流に対応する電圧成分を保持し、第 2 のタイミングで、前記電圧成分に対応する電流を、前記階調電流として出力することを特徴とする請求項 8 又は 9 記載の表示装置。

【請求項 11】

前記電流記憶手段は、各々、並列に配置された一対の電流記憶部を備え、

一方の電流記憶部に前記電流生成手段から出力される前記信号電流を取り込み保持する動作と、他方の電流記憶部に保持した前記信号電流に基づく前記階調電流を前記表示画素に出力する動作を、同時に並行して実行するように制御されることを特徴とする請求項 8 乃至 10 のいずれかに記載の表示装置。

【請求項 12】

前記電流記憶手段から前記複数行の表示画素の各々に対して、前記階調電流を供給する複数の前記信号線は、前記表示パネルに配列された前記表示画素相互の列間の領域に配設されていることを特徴とする請求項 8 乃至 11 のいずれかに記載の表示装置。

【請求項 13】

前記表示パネルに配列された前記表示画素は、

前記階調電流に基づいて所定の発光駆動電流を生成する発光駆動回路と、

該発光駆動回路から供給される前記発光駆動電流の電流値に基づいて、所定の輝度階調で発光動作する電流制御型の発光素子と、

を備えることを特徴とする請求項 8 乃至 12 のいずれかに記載の表示装置。

【請求項 14】

前記発光素子は、有機エレクトロルミネッセント素子であることを特徴とする請求項 8 乃至 13 のいずれかに記載の表示装置。

【請求項 15】

前記発光素子は、基板の一面側に、前記表示画素に接続された前記走査線及び前記信号線が形成された配線層上に、前記有機エレクトロルミネッセント素子が形成され、前記階調電流に基づく発光動作により放射される光が、前記基板とは反対方向に放出されるトップエミッション構造を有していることを特徴とする請求項 14 記載の表示装置。

【請求項 16】

行及び列方向に延伸して設けられた複数の走査線及び信号線の各交点に、複数の表示画素が配列された表示パネルと、所定のタイミングで前記表示パネルの各行の前記表示画素に走査信号を印加して、選択状態に設定する走査駆動回路と、所望の画像情報を表示するための表示データに応じた階調電流を生成し、前記選択状態に設定された行の前記表示画素に供給する信号駆動回路と、を備え、前記表示画素の各々に、前記階調電流を供給することにより、前記表示画素を所定の輝度階調で発光動作させて、前記表示パネルに所望の画像情報を表示する表示装置の駆動制御方法において、

前記表示データに基づいて前記各表示画素の輝度階調を制御する所定の電流値を有する信号電流を生成するステップと、

前記信号電流を、前記表示パネルに配列された特定の複数行の表示画素ごとに順次取り込んで保持するステップと、

前記保持した前記信号電流に基づく階調電流を、前記複数行の表示画素の各々に対して、個別の信号線を介して一斉に出力するステップと、

前記複数行の表示画素を同時に選択状態に設定して、前記階調電流を書き込むステップと、

を含むことを特徴とする表示装置の駆動制御方法。

【請求項 17】

前記複数行の表示画素は、前記表示パネルを構成する全ての行の前記表示画素であって、全ての前記表示画素が同時に選択状態に設定されて、前記階調電流が同時に書き込まれることを特徴とする請求項 16 記載の表示装置の駆動制御方法。

【請求項 18】

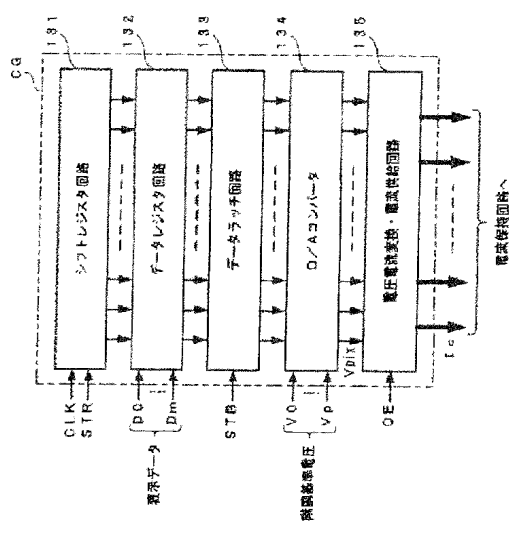
前記信号電流を、前記複数行の表示画素ごとに順次取り込んで保持するステップは、該ステップ以前に保持した前記信号電流に基づく階調電流を、前記複数行の表示画素の各々に対して、一斉に出力するステップと、同時に並行して実行されることを特徴とする請求項 16 又は 17 記載の表示装置の駆動制御方法。

(57) 【要約】

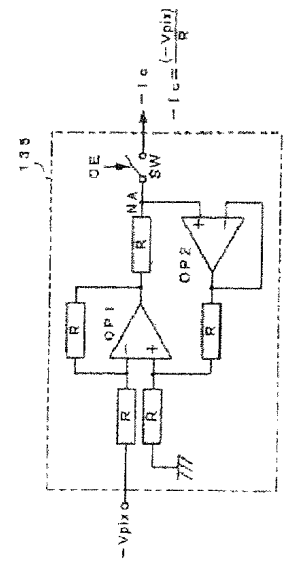
【課題】表示画素への表示データの書込動作に際し、消費電力を抑制しつつ書込不足による表示画質の劣化を抑制することができ、さらに、表示パネルの高精細化に良好に対応することができる表示駆動装置及び表示装置並びにその駆動制御方法を提供する。

【解決手段】表示装置 100 は、走査ライン群 S L i を構成する走査ライン S L i a、S L i b とデータライン群 D L j を構成するデータライン D L j a ~ D L j d との各交点に接続された表示画素 E M が配列された表示パネル 110 と、各走査ライン群 S L i に順次走査信号 V s e l を印加することにより、複数行分の表示画素を一斉に選択状態に設定する走査ドライバ 120 と、表示データを複数行の表示画素分ごとに取り込んで一旦保持し、上記選択された複数行の表示画素に階調電流 I p i x として一斉に供給するデータドライバ 130 と、を備えている。

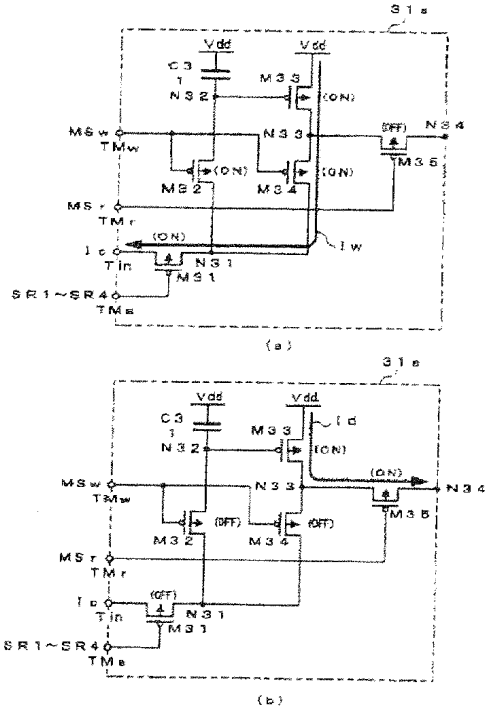
【図 3】



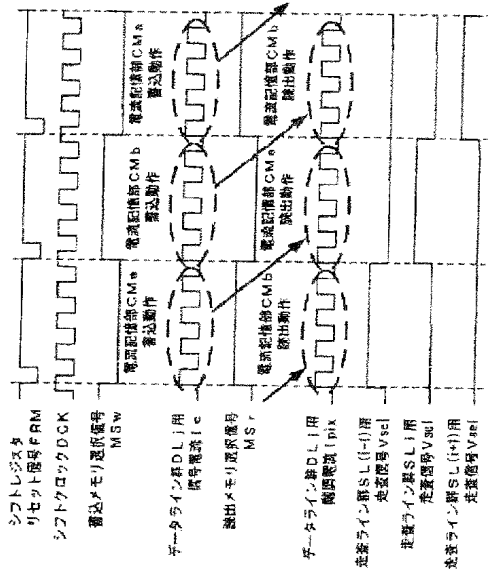
【図 4】



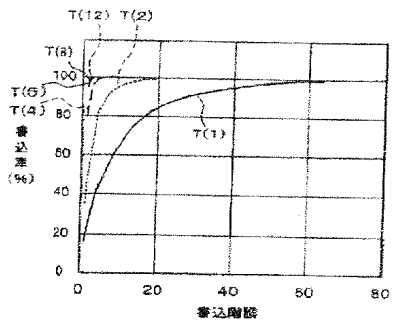
【 図 7 】



【 図 8 】

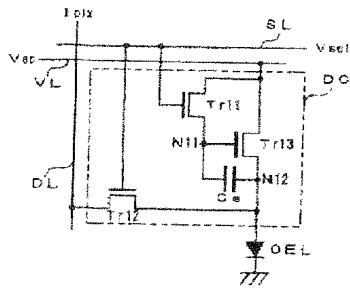


【圖 9】

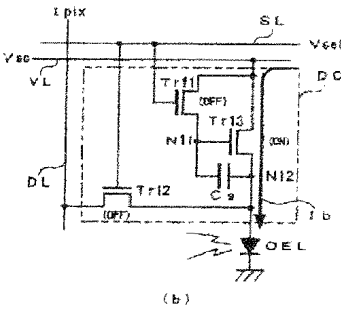
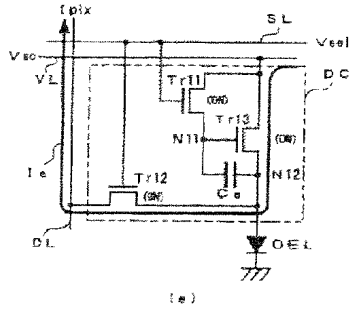


表示記号	遲延時間(μsec)	倍率
T(1)	22	1倍(標準)
T(2)	44	2倍
T(4)	88	4倍
T(6)	132	6倍
T(8)	176	8倍
T(12)	264	12倍

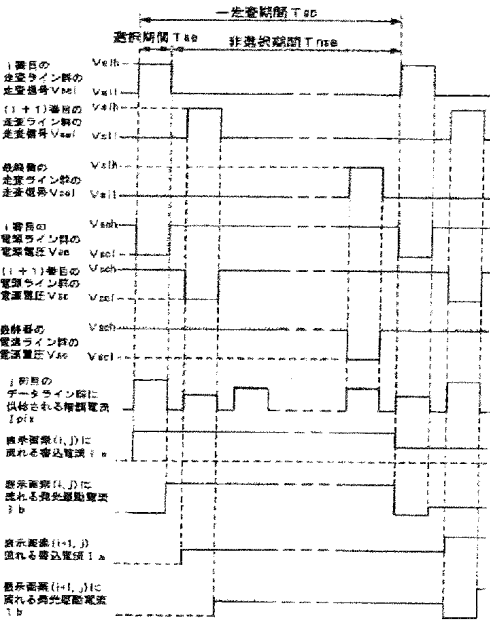
【圖 10】



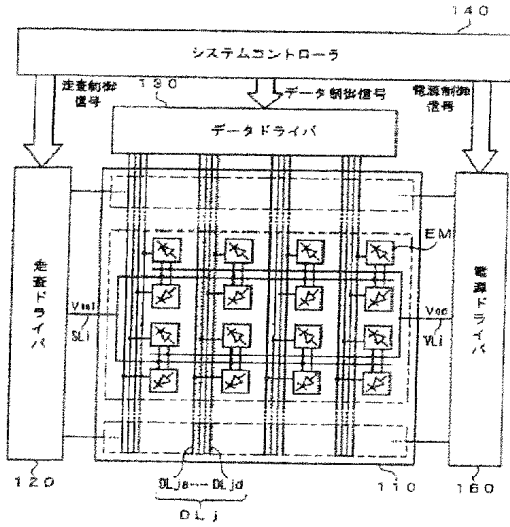
【図 11】



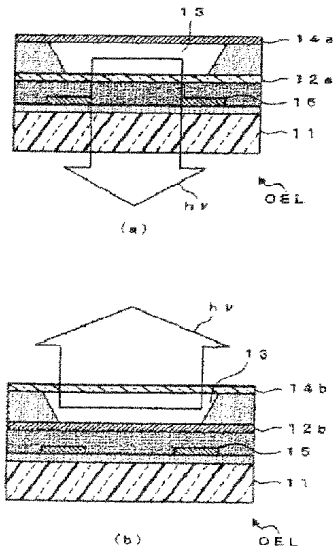
【図 12】



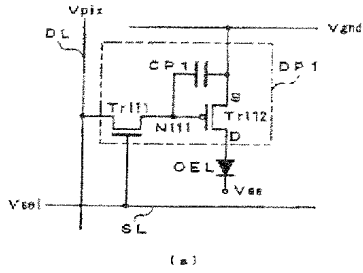
【図 13】



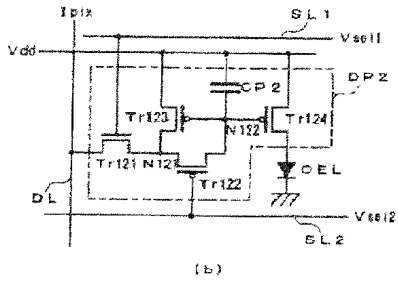
【図 14】



【図 15】

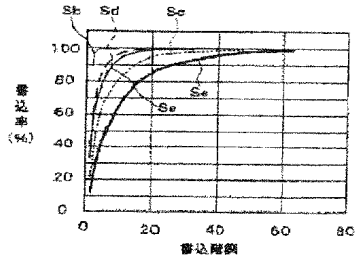


(a)



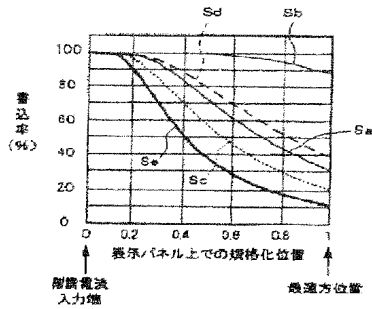
(b)

【図 16】



表示記号	S _a	S _b	S _c	S _d	S _e
画面サイズ (画素数)	1.6" 60000pix	2.04" 60000pix	2.04" 120000pix	3.5" QVGA	3.7" Hi Vision
水平画素数	280	128	176	320	1365
垂直画素数	220	160	240	240	765
データライン の配線容量	3.5pF	3.1pF	4.0pF	4.7pF	13.9pF

【図 17】



(51) Int. Cl.⁷

F 1

テーマコード (参考)

G 0 9 G 3/20 6 2 3 U

G 0 9 G 3/20 6 4 1 D

G 0 9 G 3/20 6 4 2 A

H 0 5 B 33/14 A

Fターム(参考) 5C080 AA06 BB05 DD05 DD07 EE29 FF01 FF11 GG12 JJ02 JJ04
JJ05

Electronic Acknowledgement Receipt

EFS ID:	4309432
Application Number:	11438967
International Application Number:	
Confirmation Number:	5382
Title of Invention:	Display apparatus and drive control method thereof
First Named Inventor/Applicant Name:	Tsuyoshi Ozaki
Customer Number:	01933
Filer:	Leonard Holtz/Diane Hegstrom
Filer Authorized By:	Leonard Holtz
Attorney Docket Number:	06331/LH
Receipt Date:	18-NOV-2008
Filing Date:	23-MAY-2006
Time Stamp:	15:32:23
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no
------------------------	----

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		06331_ids3.pdf	371718 ff079baac319ab35a489c50f84ebadea3883e84c	yes	3

Multipart Description/PDF files in .zip description					
Document Description			Start	End	
Information Disclosure Statement Letter			1	2	
Information Disclosure Statement (IDS) Filed (SB/08)			3	3	
Warnings:					
Information:					
2	NPL Documents	KoreanOA.pdf	925217 8b33dd8f26a653124e188daed3468d13d0361532	no	6
Warnings:					
Information:					
3	NPL Documents	KoreanOA_English.pdf	955368 4972da48007f2d4493fd25859e46373adfa566ed	no	5
Warnings:					
Information:					
4	Foreign Reference	KR20030032530.pdf	1970583 316c4cce6d865cfaf79f8ed6d67e988d5c0609bc	no	14
Warnings:					
Information:					
5	Foreign Reference	JP2004287349.pdf	5059478 7ad3673c8c040b78caee0e0ed2c4b2d945859624	no	34
Warnings:					
Information:					
Total Files Size (in bytes):			9282364		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

Attorney Docket No. 06331/LH

This paper is being
submitted via EFS-Web on
November 18, 2008

**IN THE UNITED STATES PATENT
AND TRADEMARK OFFICE**

Applicant(s) : Tsuyoshi OZAKI et al
Serial No. : 11/438,967
Confirm. No. : 5382
Filed : May 23, 2006
For : DISPLAY APPARATUS AND DRIVE
CONTROL METHOD THEREOF
Art Unit : 2629
Examiner : SHANKAR, VIJAY

In the event that this Paper
is late filed, and the
necessary petition for
extension of time is not
filed concurrently herewith,
please consider this as a
Petition for the requisite
extension of time, and to
the extent not already paid,
authorization to charge the
extension fee to Account
No. 06-1378. In addition,
authorization is hereby
given to charge any fees for
which payment has not been
submitted, or to credit any
overpayments, to Account No.
06-1378.

**INFORMATION DISCLOSURE STATEMENT
WITH STATEMENT UNDER 37 C.F.R. 1.97(e)(1)**

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

S I R:

It is respectfully requested that the Examiner consider and make of record the document(s) listed on the attached Information Disclosure Statement form. Copy(ies) of the cited document(s), except for U.S. patent documents, is/are submitted herewith. English language abstracts and/or English translations or partial translations are provided for foreign language documents where indicated on the attached IDS form.

CITED DOCUMENTS

Documents listed on the attached IDS form were cited in an International Search Report (copy submitted herewith) , or in a Search Report or Office Action (copy submitted herewith) issued in a counterpart foreign application.

Said Search Report or Office Action is in English or an English language translation of said Search Report or Office Action is submitted herewith, thereby satisfying the requirement for a concise explanation of relevance for any non-English language documents cited therein.

English language family members of cited foreign language documents are provided as follows:

US 2005/0057454 and USP 7,362,288 listed on the attached IDS Form are patent family members of KR 2003-0032530 which is cited in the Korean Office Action dated September 30, 2008.

US 2006/0017668 listed on the attached ID Form are patent family members of JP 2004-287349 which is cited in said Korean Office Action.

STATEMENT UNDER 37 CFR 1.97(e)(1)

Each item of information contained in this Information Disclosure Statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of this Information Disclosure Statement. (37 CFR 1.97(e)(1))

FEES

No fee is believed to be required.

Authorization is hereby given to charge any fee which is determined to be required and for which payment has not been submitted, and to credit any overpayment, to Account No. 06-1378.

Respectfully submitted,

Leonard Holtz
Reg. No. 22,974

Frishauf, Holtz, Goodman & Chick, P.C.
220 Fifth Avenue, 16th Floor
New York, NY 10001-7708
Tel. No. (212) 319-4900
Fax. No. (212) 319-5101
LH:djh
encs.

9-29-07

JPW



Attorney Docket No. 06331/LH

Express Mail Mailing Label
No.: **EM 038 045 015 US**

**IN THE UNITED STATES PATENT
AND TRADEMARK OFFICE**

Date of Deposit:
March 27, 2007

Applicant : Tsuyoshi OZAKI et al.
Serial No. : 11/438,967
Filed : May 23, 2006
For : DISPLAY APPARATUS AND DRIVE
CONTROL METHOD THEREOF
Art Unit : 2629
Customer No.: 01933
Confirm. No.: 5382
Examiner : HJERPE, Richard A.

I hereby certify that this paper is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above, with sufficient postage, and is addressed to

The Commissioner for Patents
P.O. Box 1450,
Alexandria, VA 22313-1450

Diane J. Hegst

**INFORMATION DISCLOSURE STATEMENT
WITH STATEMENT UNDER 37 CFR 1.97(e)
AND STATEMENT UNDER 37 CFR 1.704(d)**

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

S I R :

Submitted herewith is a copy of the International Search Report (ISR) and Written Opinion dated March 15, 2007, which were issued by WIPO in a PCT Application corresponding to the present application. Said ISR and Written Opinion are identified on the enclosed form PTO/SB/08B.

US 2003/095087 and WO 2004/019314, cited in the enclosed International Search Report and Written Opinion, were previously cited in Applicants' IDS filed October 25, 2006 and are not cited again herein.

WO 2004/086347, identified and discussed in the enclosed ISR and Written Opinion, is submitted herewith, along with a Form PTO/SB/08A listing the particulars thereof and also listing U.S. family members of two WO documents cited in the International Search Report.

STATEMENT UNDER 37 CFR 1.97(e) (1)

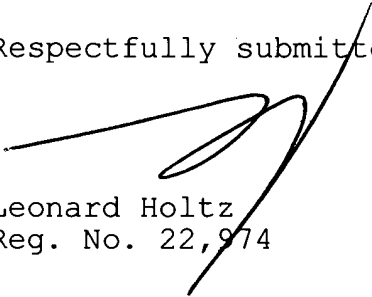
Each item of information contained in this Information Disclosure Statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the present Information Disclosure Statement. Said Communication bears a mailing date of March 15, 2007. Therefore, the filing of this Information Disclosure Statement is timely under the provisions of 37 CFR 1.97(e) and does not require a fee.

STATEMENT UNDER 37 CFR 1.704(d)

Each item of information contained in this Information Disclosure Statement was cited in said communication from a foreign patent office in a counterpart application, and this communication was not received by any individual designated in §1.56(c) more than thirty days prior to the filing of the present Information Disclosure Statement.

It is respectfully requested that initialed copies of the enclosed Forms PTO/SB/08A and PTO/SB/08B be returned to indicate that the documents listed therein have all been considered and made of record.

Respectfully submitted,


Leonard Holtz
Reg. No. 22,974

Dated: March 27, 2007

FRISHAUF HOLTZ GOODMAN & CHICK, P.C.
220 FIFTH AVENUE
NEW YORK, N.Y. 10001-7708
Tel. No. (212) 319-4900
Fax No. (212) 319-5101
LH:djh

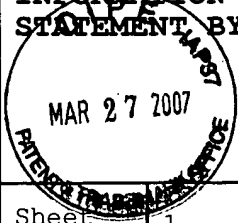
Please type a plus sign (+) inside this box →

+

PTO/SB/08A (08-00)

U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE

Substitute for Form 1449A/PTO INFORMATION DISCLOSURE STATEMENT BY APPLICANT	Application Number		11/438,967		
	Filing Date		May 23, 2006		
	First Named Inventor		Tsuyoshi OZAKI		
	Group Art Unit		2629		
	Examiner Name		HJERPE, Richard A.		
Sheet 1	of	2	Attorney Docket Number		06331/LH



U.S. PATENT DOCUMENTS

Exam. Inits*	Cite No ¹	Document Number	Kind Code ²	Name of Patentee or Applicant	Publication Date MM-DD-YYYY	Relevant Portion
		2004/0090434	A1	MIYAZAWA	05-13-2004	
		2004/0256617	A1	YAMADA et al	12-23-2004	
		2006/0017668	A1	SHIRASAKI et al	01-26-2006	

FOREIGN PATENT DOCUMENTS

Exam Inits*	Cite No ¹	Offc ³	Document Number ⁴	Kind Code ⁵	Name of Patentee or Applicant	Publication Date MM-DD-YYYY	Relevant Portion	T ⁶
		WO	2004/086347	A2	CASIO COMPUTER CO., LTD.	10-07-2004		

Examiner Signature		Date Considered	
--------------------	--	-----------------	--

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

¹ Unique citation designation number. ² See kinds of U.S. Patent Documents. ³ Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). ⁴ For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. ⁵ Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. ⁶ Place a check here if English translation is attached.

DATE MAILED: March 27, 2007

Please type a plus sign (+) inside this box →

PTO/SB/08B (08-00)

U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE

Substitute for Form 1449A/PTO INFORMATION DISCLOSURE STATEMENT BY APPLICANT				Application Number	11/438,967
				Filing Date	May 23, 2006
				First Named Inventor	Tsuyoshi OZAKI
				Group Art Unit	2629
				Examiner Name	HJERPE, Richard A.
Sheet	2	of	2	Attorney Docket Number	06331/LH

OTHER PRIOR ART - NON-PATENT LITERATURE DOCUMENTS

Examiner Initials ¹	Cite No. ¹	Include name of author (in CAPITAL LETTERS), title of article, title of item, date, page(s), volume-issue number(s), publisher, city and/or country where published	T ²
		Notification Concerning Transmittal of Copy of International Search Report and Written Opinion of the International Searching Authority for PCT/JP2006/310616, dated March 15, 2007, 23 sheets.	
Examiner Signature		Date Considered	

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

¹ Unique citation designation number. ² Place a check here if English translation is attached.

DATE MAILED: March 27, 2007

(19) World Intellectual Property Organization
International Bureau



(43) International Publication Date
7 October 2004 (07.10.2004)

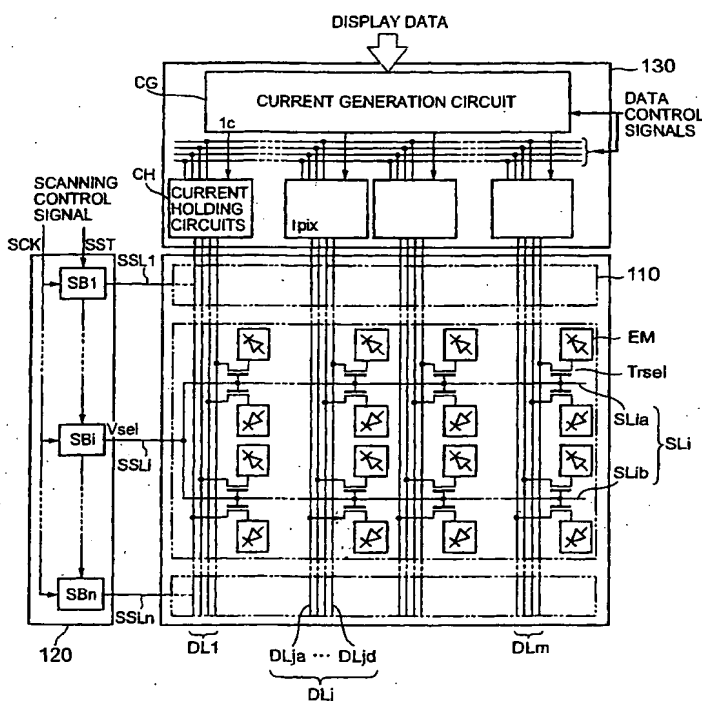
PCT

(10) International Publication Number
WO 2004/086347 A2

- (51) International Patent Classification⁷: G09G 3/32
- (21) International Application Number: PCT/JP2004/004041
- (22) International Filing Date: 24 March 2004 (24.03.2004)
- (25) Filing Language: English
- (26) Publication Language: English
- (30) Priority Data: 2003-82465 25 March 2003 (25.03.2003) JP
- (71) Applicant (for all designated States except US): CA-SIO COMPUTER CO., LTD. [JP/JP]; 6-2, Honmachi 1-chome, Shibuya-ku, Tokyo 151-0071 (JP).
- (72) Inventors; and
- (75) Inventors/Applicants (for US only): SHIRASAKI, Tomoyuki [JP/JP]; 1425-3-234, Sakuragaoka 1-chome, Higashiyamato-shi, Tokyo 207-0022 (JP). TAKEL, Manabu [JP/JP]; 2-20-5-B202, Hikarigaoka, Sagamihara-shi, Kanagawa 229-0027 (JP).
- (74) Agent: KASHIMA, Hidemi; 5-4-18, Ozenji Nishi, Asao-ku, Kawasaki-shi, Kanagawa 215-0017 (JP).
- (81) Designated States (unless otherwise indicated, for every kind of national protection available): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) Designated States (unless otherwise indicated, for every kind of regional protection available): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), Eurasian (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[Continued on next page]

(54) Title: A DRIVE DEVICE AND A DISPLAY DEVICE



(57) Abstract: The display device of the present invention comprising a display panel (110) which comprises a plurality of scanning lines (SL_{1a}, SL_{1b}) arranged in rows and a plurality of data lines (DL_{1a} ... DL_{1d}) arranged in columns; and a plurality of display pixels (EM) arranged in matrix form near the intersecting point of the plurality of scanning lines and the plurality of data lines; a scanning driver circuit (120) which selects simultaneously the display pixels of a plurality of rows connected to some of the plurality of scanning lines of the display panel; and a signal driver circuit (130) which comprises a current generation circuit (CG) which generates signal currents and supplies the display data that provides the display gradation for each of the display pixels and have a current value according to the value of the display data and a plurality of current holding circuits (CH) supplied with the signal currents which take in and hold the signal currents corresponding to the display pixels of the plurality of rows selected by the scanning driver circuit (120) and outputs simultaneously the gradation currents to each of the plurality of display pixels in the plurality of scanning lines based on the signal currents. The display panel comprising a plurality of scanning line groups (SL_i) which constitute sets of the plurality of scanning lines through which simultaneous selection is performed by the scanning driver circuit; a plurality of scanning signal lines (SSL_i) which are connected to

each of the plurality of scanning line groups; and a plurality of data line groups (DL_j) which constitute sets of the plurality of data lines corresponding to the line count of the display pixels of the plurality of rows connected to each of the scanning line groups within the plurality of data lines.

WO 2004/086347 A2



Declarations under Rule 4.17:

— as to applicant's entitlement to apply for and be granted a patent (Rule 4.17(ii)) for the following designations AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, UZ, VC, VN, YU, ZA, ZM, ZW, ARIPO patent (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, BG,

CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)

— of inventorship (Rule 4.17(iv)) for US only

Published:

— without international search report and to be republished upon receipt of that report

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

DESCRIPTION**A DRIVE DEVICE AND A DISPLAY DEVICE****Cross-reference to Related Application**

5 This application is based upon and claims the benefit of
priority from the prior Japanese Patent Application No.
2003-082465, filed March 25, 2003, the entire contents of which
is incorporated herein by reference.

Technical Field

10 This invention relates to a drive device which drives a display
panel comprising a plurality of display pixels having current
control type display devices, and more particularly a display
device comprising the drive device and associated drive method
with regard to the display device comprising the drive device
and the drive device.

Background Art

15 In recent years, the spread of flat panel type display devices
as monitors and displays of personal computers and video equipment
has been remarkable. Particularly, Liquid Crystal Displays
(hereinafter denoted as "LCD") have many advantages as these
20 devices are thin-shaped, space-saving, low-powered and the like
as compared to conventional display devices.

Furthermore, as the next-generation display device
technology which supplants current LCD's, Research and

Development (R&D) of a self-luminescence type display devices (self-luminescence type displays) equipped with a display panel which performs two-dimensional digital array of the display pixels is being actively developed. These LCD's comprise a self-luminescence type display device composed of light emitting devices to perform luminescent operation according to the display data and extensively employ organic electroluminescent devices (hereinafter denoted as "organic EL devices") or Light Emitting Diodes (LEDs) and the like.

Such self-luminescence type displays as compared to LCD's have rapid display response speed to moving images and there is no angle-of-visibility dependability. Additionally, because backlight is not needed like an LCD, higher luminance with a greater contrast ratio, higher resolution of the display image quality together with using low-power are attainable. These very predominant features will lead to extremely thin-shaped and lightweight models and full-scale utilization of such self-luminescence type displays are expected in the near future.

In self-luminescence type display configurations which apply an active-matrix drive method, various drive control mechanisms and control methods of the display pixels comprising a display device composed of light emitting devices constituted of a plurality of switching elements for controlling operation of the light emitting devices have been proposed.

FIGS 15A and 15B are equivalent circuit drawings showing prior art example configurations as in the case of the display

pixels applied to organic EL devices OEL as the light emitting devices in a self-luminescence type display.

The configuration shown in FIG. 15A comprises a voltage application method which is constituted with a light generation driver circuit DP1 comprising an n-channel type Thin-Film Transistor (TFT) Tr111, a p-channel type Thin-Film Transistor Tr112, a capacitor CP1 and the organic EL devices OEL. The light generation driver circuit DP1 comprises the n-channel type Thin-Film Transistor (TFT) Tr111 (hereinafter denoted as "Nch transistor") whereby the gate terminal is connected to the scanning lines SL, along with the source terminal and the drain terminal each other connected to the data lines DL and the contact point N111 (hereinafter denoted as "contact" for the convenience of explanation) each near the intersecting point of a plurality of scanning lines SL and data lines DL arranged in matrix form in the display panel; the capacitor CP1 gate terminal is connected to contact N111 which is connected in between the p-channel type Thin-Film Transistor Tr112 (hereinafter denoted as "Pch transistor") source terminal by which ground potential Vgnd is applied along with the contact N111 and the Pch transistor Tr112 gate terminal; and the organic EL devices OEL whereby the anode terminal is connected to the drain terminal of the Pch transistor Tr112 of the light generation driver circuit DP1 and the low power supply voltage Vss of low electric potential is applied to the cathode terminal lower than the ground potential Vgnd.

In this configuration, the gradation signal voltage Vpix

according to the display data is applied to the data lines DL. When a high-level scanning signal Vsel is applied to the scanning lines SL and the display pixels are set to a selection state, the Nch transistor Tr111 in the light generation driver circuit DP1 performs an "ON" operation. The gradation signal voltage Vpix is applied to the data lines DL via Nch transistor Tr111 to the contact N111, specifically the gate terminal of Pch transistor Tr112. Accordingly, the Pch transistor Tr112 performs an "ON" operation by the switch-on state according to the above-mentioned gradation signal voltage Vpix and predetermined light generation drive current flows to the low voltage Vss via the Pch transistor Tr112 and the organic EL devices OEL from the ground potential Vgnd. Thus, the organic EL devices OEL perform luminescent operation by the luminosity gradation according to the above-mentioned display data. Subsequently, when a low-level scanning signal Vsel is applied to the scanning lines SL and the display pixels are set to a non-selection state, the Nch transistor Tr111 performs an "OFF" operation. Although the data lines DL and the light generation driver circuit DP1 are electrically blocked out, the voltage applied to the gate terminal of Pch transistor Tr112 is stored by the capacitor CP1 (parasitic capacitance) and one frame periods are performed.

Additionally, the configuration shown in FIG. 15B comprises a current application method which is constituted with the light generation circuit DP2 comprising an Nch transistor Tr121, Pch transistors Tr122 to Tr124, a capacitor CP2 and the organic EL

devices OEL. The light generation circuit DP2 comprises the Nch transistor Tr121 gate is connected to first scanning lines SL1, along with the source terminal and drain terminal each other connected to the data lines DL and the contact N121 near the
5 intersecting point of the first and second scanning lines SL1 and SL2 arranged in parallel to each other and the data lines DL; the Pch transistor Tr122 gate terminal is connected to the second scanning lines SL2, along with the source terminal and drain terminal each other connected to the contact N121 and contact
10 N122; the Pch transistor Tr123 gate terminal is connected to the contact N122, along with the drain terminal each other connected to the contact N121 and the high voltage Vdd applied to the source terminal; the Pch transistor Tr124 gate terminal is connected to the contact N122 and the high voltage Vdd is
15 applied to the source terminal; the capacitor CP2 is connected between the gate-source of the Pch transistors Tr123 and Tr124; and the organic EL devices OEL in which the anode terminal is connected to the drain terminal of Pch transistor Tr124 and the ground potential is applied to the cathode terminal.

20 In this configuration, the gradation current I_{pix} according to the display data is applied to the data lines DL. When the high-level scanning signal V_{sel1} to the scanning lines SL1 and the low-level scanning signal V_{sel2} to the scanning lines SL2 are each other applied and the display pixels are set to the
25 selection state, the transistors Tr121 and Tr122 in the light generation driver circuit DP2 perform an "ON" operation. While

the gradation current I_{pix} according to the display data applied to the data lines DL is taken in at the contact N122 via the transistors Tr121 and Tr122, the current level of this gradation current I_{pix} is converted to the voltage level by the Pch transistor Tr123 and predetermined voltage is generated between the gate-source. Subsequently, when the high-level scanning signal Vsel2 is applied to the scanning lines SL2, the Pch transistor Tr122 performs an "OFF" operation. The voltage generated between the gate-source of the Pch transistor Tr123 is stored by the capacitor CP2 (parasitic capacitance). Next, when the low-level scanning signal Vsel1 is applied to the scanning lines SL1, the Nch transistor Tr121 performs an "OFF" operation. The data lines DL and the light generation driver circuit DP2 are electrically blocked out and the Pch transistor performs an "ON" operation according to the electric potential difference based on the voltage stored in the above-mentioned capacitor CP2. As a result, predetermined light generation drive current from the high power supply voltage Vdd flows to ground potential via the Pch transistor Tr124 and the organic EL devices OEL, which is controlled so that the organic EL devices OEL emit light by the luminosity gradation according to the display data and one frame periods are performed.

Although the pixel driver circuit of the current application method as shown in the above-mentioned FIG. 15B has the advantage of not being easily influenced by the effects of fluctuation or varying operating characteristics of each of the Thin-Film

Transistors in the light generation driver circuit as opposed to the voltage application method as shown in FIG. 15A, there is an inherent problem with regard to writing gradation currents to each of the display pixels at the time of low gradation with comparatively low luminosity.

Accordingly, although it is necessary to supply and write-in gradation current to each of the display pixels which has a relatively low current value at the time of low luminosity gradation, the operation which writes in gradation currents in the display pixels is equivalent to charging the capacity component, such as the wiring capacitor and the like, which is parasitic on the data lines to predetermined voltage. For example, in the case where the wire length of the data lines is designed to be lengthened by enlargement of the display panel and the like, or the number of scanning lines are increased and high resolution is performed. Therefore, when the selection period of each of the scanning lines is set briefly to the extent that the current value of the gradation currents becomes low, the charging time period of the data lines requires more time and the time period required for the write-in operation to the display pixels becomes longer. Furthermore, by using the write-in time set beforehand, the pixels become written insufficiently and luminosity differences occur within the display panel.

FIG. 16 is the simulation results for illustrating the influence of the write-in characteristics on the display data in various types of display panels.

FIG. 17 is the simulation results for illustrating the influence of the write-in characteristics on the wiring capacitor in various types of display panels.

Here, the simulation results shown in FIGS. 16 and 17, illustrated in FIG. 16 as Sa-Se, the size, the number of pixels and the like of the display panels, as well as the write-in rate of the display data in five types of displays which have respectively different specifications are shown.

The inclination of the write-in rate of the display data in low gradation drops significantly and the resultant write-in deficiency is shown as the display panel is enlarged the number of display pixels increases. In FIG. 16 as illustrated in each of the characteristic curves Sa-Se, shown is the correlation of the write-in rate to the gradation (write-in gradation) of the display data.

In addition, the inclination of the write-in rate of the display data drops significantly and the resultant write-in deficiency is shown as the display panel is enlarged the wire length of the data lines becomes longer and the distance from the data driver becomes lengthier. In FIG. 17 as illustrated in each of the characteristic curves Sa-Se, shown is the correlation of the write-in rate to the arrangement position of the display pixels on the display panel.

Disclosure of the Invention

The present invention has been made in view of the

circumstances mentioned above. Accordingly, it is the primary object of the present invention to provide a drive device which drives a display panel comprising a plurality of display pixels which have current drive type display devices and set to a display device comprising this drive device which displays desired image information, as well as at the time of the write-in operation of the display data to the display pixels, deterioration of the display image quality due to write-in deficiency can be controlled. Thus, the present invention has an advantage to acquire satisfactory display image quality relative to higher resolutions and enlargement of the display panel.

The driver circuit in the present invention for acquiring the above-mentioned advantage comprises at least a display panel having a plurality of display pixels comprising at least a pixel selection circuit for setting simultaneously to the selection state the plurality of the display pixels which are arranged in a plurality of rows; a current generation circuit in which gradation signals that provide the display gradation of each of the display pixels are supplied and for generating signal currents having a current value according to the value of the gradation signals; and a plurality of current holding circuits in which the signal currents are supplied and which take in and hold the signal currents corresponding to the plurality of display pixels which are set to the selection state by the pixel selection circuit and for outputting simultaneously the gradation currents to each of the display pixels in the plurality rows based on

the signal currents.

The current generation circuit comprises a means which outputs sequentially the signal currents as time series data to the current holding circuits corresponding to the plurality of display pixels of coinciding columns in the signal currents
5 corresponding to the display pixels of the plurality of rows set to the selection state by the pixel selection circuit.

Additionally, the current holding circuits have a first timing operation which holds the voltage component corresponding
10 to the signal currents outputted from the current generation circuit; and a second timing operation which outputs the currents corresponding to the voltage component as the gradation currents.

The plurality of current holding circuit comprise a means which takes in sequentially a plurality of signal currents
15 corresponding to the plurality of display pixels of each column of a plurality of rows set to the selection state according to the time series timing of the signal currents and gradation currents based on the signal currents are outputted simultaneously to each of the plurality of display pixels for
20 every column of the plurality of display pixels of the plurality of rows set to the selection state by the pixel selection circuit. Each of the plurality of current storage circuits comprises a pair of current storage sections arranged in parallel and are controlled to perform simultaneously in parallel an operation
25 which takes in and holds the signal currents outputted to one side of the current storage sections from the current generation

circuit; and an operation which supplies the gradation currents to the data lines based on the signal currents held in the other side of the current storage sections. The current storage sections comprise voltage component holding sections which take in the signal currents outputted from the current generation circuit and held as the voltage component corresponding to the current value of the signal currents, for example, consists of a capacitative element.

The display device in the present invention for acquiring the above-mentioned advantage comprises at least a display panel comprising a plurality of scanning lines arranged in rows and a plurality of data lines arranged in columns, and a plurality of display pixels arranged in matrix form near the intersecting points of the plurality of scanning lines and data lines; a scanning driver circuit which selects simultaneously some of a plurality of scanning lines of the plurality of scanning lines of the display panel; a signal driver circuit comprises a current generation circuit in which the display data that provides the display gradation of each of the display pixels is supplied and which generates signal currents having a current value according to the value of the display data; and a plurality of current holding circuits in which the signal currents are supplied and which take in and hold the signal currents corresponding to the display pixels of a plurality of rows selected by the scanning driver circuit and outputs simultaneously the gradation currents to each of the plurality of display pixels in the plurality of

scanning lines based on the signal currents.

The display panel comprising a plurality of scanning line groups which constitute sets of the plurality of scanning lines through which simultaneous selection is performed by the scanning driver circuit; a plurality of scanning signal lines which are
5 connected to each of the plurality of scanning line groups; and a plurality of data line groups which constitute sets of the plurality of data lines corresponding to the line count of the display pixels of the plurality of rows connected to each of
10 the scanning line groups within the plurality of data lines. The scanning driver circuit sequentially applies the scanning signal to each of the plurality of scanning signal lines. The plurality of display pixels are a herein the scanning driver circuit sequentially applies the scanning signal to each of the
15 plurality of scanning signal lines arranged near each intersecting points of each of the scanning lines and each of the data line groups. The data line groups are arranged within each area between the sequences of each other of the display pixels arranged in the display panel.

20 The current generation circuit comprises a means which generates and outputs the signal currents supplied to the current holding circuits as time series data corresponding to the plurality of display pixels connected to each of the plurality of data lines of each of the data line groups.

25 Furthermore, the plurality of current holding circuits comprises a first timing operation which holds the voltage

component corresponding to the signal currents and outputs from the current generation circuit, and a second timing operation which outputs currents corresponding to the voltage component as the gradation currents. The plurality of current holding
5 circuits comprise a means which takes in sequentially a plurality of signal currents corresponding to a plurality of display pixels connected to a plurality of data lines of each of the data line groups according to time series timing of the signal currents, and the gradation currents based on the signal currents are
10 supplied simultaneously to a plurality of data lines of each of the data line groups. Each these plurality of current holding circuits comprises a pair of current storage sections arranged in parallel and are controlled to perform simultaneously in parallel an operation which takes in and holds the signal currents
15 outputted from the current generation circuit to one side of the current storage sections; and an operation which supplies the gradation currents based on the signal currents held in the other side of the current storage sections to the data lines. The current storage sections comprise a voltage component holding
20 sections which take in the signal currents outputted from the current generation circuit and hold the voltage component corresponding to the current value of the signal currents, for example, consists of a capacitative element.

Furthermore, the display pixels comprise the pixel driver
25 circuit which generates drive currents having a current value based on the gradation currents; and current control type display

devices which operate by the display luminosity based on the current value of the drive currents. The display devices have light emitting devices which perform luminescent operation by the luminescent luminosity based on the current value of the drive currents. For example, the light emitting devices are composed of organic electroluminescent devices. The organic electroluminescent devices, for example, are provided distributed in the entire surface side of the substrate in which the scanning lines and the data lines are provided and have a top emission structure which emits the light radiated by the luminescent operation in the opposite direction of the substrate.

The drive method of the display device in the present invention for acquiring the above-mentioned advantage comprises a configuration in which the display data is supplied by the signal driver circuit that provides the display gradation of each of the display pixels and the signal currents are generated which have a current value according to the value of the display data; the signal currents are taken in sequentially and held as the signal currents corresponding to the display pixels of the plurality of rows selected by the scanning driver circuit; the gradation currents are outputted simultaneously to each of the display pixels of the plurality of rows connected to the plurality of scanning lines based on the signal currents; the plurality of scanning lines are selected simultaneously by the scanning driver circuit and the gradation currents are written in the plurality of display pixels; and the plurality of display pixels

in which the gradation currents were written operate by the display
luminosity based on the current value of the gradation currents.
The signal currents are generated as time series data
corresponding to the display pixels of the plurality of rows
5 selected by the scanning driver circuit wherein the taking in
of the signal currents are taken in sequentially as a plurality
of signal currents corresponding to the display pixels of the
plurality of rows according to the time series timing of the
signal currents. Additionally, the taking in as the signal
10 currents for each of the display pixels signal currents and
outputting of the gradation currents are performed simultaneously
in parallel based on the signal currents.

The above and further objects and novel features of the present
invention will more fully appear from the following detailed
15 description when the same is read in conjunction with the
accompanying drawings. It is to be expressly understood, however,
that the drawings are for the purpose of illustration only and
are not intended as a definition of the limits of the invention.

Brief Description of the Drawings

20 FIG. 1 is an outline block diagram showing the basic
configuration of the display device related to this invention;

FIG. 2 is an outline block diagram showing an example of
the principal parts of the display device related to this
invention;

25 FIG. 3 is a block diagram showing the current generation

circuit applicable to the data driver of the display device related to this invention;

FIG. 4 is a circuit configuration drawing shown an example of the voltage current conversion and the gradation currents drawing-in circuit applicable to the data driver of the display device related to this invention;

FIG. 5 is an outline block diagram showing an example of the current holding circuits applicable to the data driver of the display device related to this invention;

FIG. 6 is a circuit configuration drawing showing an example of the current storage sections applicable to the embodiment;

FIGs. 7A and 7B are conceptual diagrams showing the basic operation of the current storage sections applicable to the embodiment;

FIG. 8 is a timing chart explaining the drive method in the display device related to the embodiment;

FIG. 9 is the simulation results for explaining the write-in characteristics of the display data in the display device related to the embodiment;

FIG. 10 is a circuit configuration diagram showing an example of an illustrative circuit of the display pixels applicable to the display device related to this invention;

FIGs. 11A and 11B are operational conceptual diagrams for explaining the drive control operation of the pixel driver circuit related to the embodiment;

FIG. 12 is a timing chart showing the display drive operation

of the display device as applied to the display pixels related to the embodiment;

FIG. 13 is an outline block diagram showing an example of the configuration of the display device as applied to the display pixels related to the embodiment;

FIGs. 14A and 14B are outline sectional drawings showing the structure of the organic EL devices applicable to the display pixels of the display device related to this invention;

FIGs 15A and 15B are equivalent circuit drawings showing prior art example configurations as in the case of the display pixels applied to organic EL devices OEL as the light emitting devices in a self-luminescence type display.

FIG. 16 is the simulation results for illustrating the influence of the write-in characteristics on the display data in various types of display panels.

FIG. 17 is the simulation results for illustrating the influence of the write-in characteristics on the wiring capacitor in various types of display panels.

Best Mode for Carrying Out the Invention

Hereinafter, the display device comprised with the drive device and the drive device related to the present invention together with its associated drive method will be explained based on the embodiment shown in the drawings.

<<Basic configuration of the display device>>

First, the basic configuration of the display device as applied to the drive device related to the present invention will be explained with reference to the drawings.

FIG. 1 is an outline block diagram showing the basic configuration of the display device related to this invention.

FIG. 2 is an outline block diagram showing an example of the principal parts of the display device related to this invention.

In FIG. 2, only the display pixels connected to the scanning line groups of the i -th line are shown in detail for convenience of reference.

As shown in FIGS. 1 and 2, the display device 100 related to this embodiment comprises a display panel 110, a scanning driver 120 (scanning driver circuit; pixel selection circuit), a data driver 130 (signal driver circuit), a system controller 140 and a display signal generation circuit. The main configuration comprises the display panel 110 has a plurality of groups (By the configuration shown in FIG. 2, n groups) of the scanning line groups SL_i ($i = 1 \sim n$) and each group consists of a plurality (By the configuration shown in FIG. 2, two lines) of the scanning lines SL_{ia} , SL_{ib} which are arranged in the line writing direction (rows); a plurality of lines (FIG. 2, n lines) of the scanning signal lines SSL_i ($i = 1 \sim n$) are connected to each scanning line group SL_i ; a plurality of groups (By the configuration shown in FIG. 2, m groups) of the data line groups DL_j ($j = 1 \sim m$) and each group consists of a plurality (By the

configuration shown in FIG. 2, four lines) of the data lines DLja-DLjd are arranged in columns to intersect at right angles with each scanning line group SLi; a plurality of display pixels EM are connected via the selection transistor Trsel and arranged
5 near the intersecting point of each of the scanning lines SLia, SLib and each data line group DLj; the scanning driver 120 (scanning driver circuit; a pixel selection circuit) applies the sequential scanning signal Vsel to each scanning line group SLi sets the display pixels of a plurality of lines (By the configuration
10 shown in FIG. 2, four lines) of each scanning line group SLi to the selection state simultaneously by connecting to each scanning signal line SSLi of the display panel 110 and applying the sequential scanning signals Vsel at predetermined timing to each scanning signal line SSLi; the data driver 130 (signal
15 driver circuit) takes in and holds the display data supplied from the display signal generation circuit (described later) for each portion of the plurality of display pixels EM corresponding to the number of data lines of each data line group and by connecting to each data line group DL1-DLm of the display
20 panel 110 supplies simultaneously the gradation current Ipix to the plurality of the data lines DLja-DLjd of each data line group DL1-DLm at predetermined timing; the system controller 140 generates and outputs the scanning control signals and data control signals that control the operating state of at least
25 the scanning driver 120 and the data driver 130 based on the timing signals supplied by the display signal generation circuit

150 (described later); and the display signal generation circuit
150 extracts or generates the timing signals, such as the system
clock and the like, and supplied to the system controller 140
for performing the image display of the display data on the display
5 panel 110, while generating the display data and supplying the
data driver 130.

Hereafter, each of the above-mentioned configurations will
be explained in detail.

(Display panel)

10 The display panel 110 applicable to the display device related
to the embodiment, for example as shown in FIG. 2, has a
configuration comprising a plurality of groups (n groups) of the
scanning line groups SL_i ($i = 1 \sim n$) and each group consists of
two scanning lines SL_{ia} , SL_{ib} which are arranged in the line
15 writing direction (rows); a plurality (n lines) of scanning signal
lines SSL_i ($i = 1 \sim n$) which are connected to each scanning line
group SL_i ; a plurality of groups (m groups) of the data line
groups DL_j ($j = 1 \sim m$) and each group consists of four data lines
 $DL_{ja} \sim DL_{jd}$ which are arranged in columns; and a plurality of display
20 pixels EM which are arranged in matrix form. Two scanning lines
 SL_{ia} , SL_{ib} of each scanning line group SL_i and four data lines
 $DL_{ja} \sim DL_{jd}$ of the data line groups DL_j are arranged to intersect
at right angles with each other. Each of the display pixels EM
are arranged near each intersecting point of each of the scanning
25 lines SL_{ia} , SL_{ib} and each of the data line groups DL_j which are

connected to each scanning line and each data line.

In the configuration shown in FIG. 2, the display pixels EM for two line segments are connected respectively to each of the scanning lines SL_{ia}, SL_{ib} of the scanning line groups SL_i and the display pixels EM for four line segments are connected to each scanning line group SL_i. Here, the number of data lines which constitute each data line group DL_j is set to correspond to the line count of the display pixels EM connected to each of the scanning line groups SL_i.

In addition, the number of scanning lines which constitute each of the scanning line groups SL_i, the line count of the display pixels EM connected to each scanning line and the number of data lines which constitute each data line group DL_j corresponding to this is not limited in particular. As shown in FIG. 2, the scanning line groups consist of two scanning lines that may connect with the display pixels EM of four lines, the data line groups DL_j may be composed of four data lines and each may be what are further composed of many numbers. The scanning lines which constitute each scanning line group may be composed from at least some of all the scanning lines that comprise the display panel 110. Furthermore, for example, you may have a configuration in which all the scanning lines that constitute the display panel 110 are a single scanning line group, whereby the display pixels EM for all line segments (one screen) are connected in common to one scanning signal line. In this case, the display pixels EM of one screen from one single scanning signal are collectively

set to the selection state.

5 Additionally, each display pixel EM has a configuration connected to the drain terminal of the selection transistor Trsel by which the gate terminal is connected to each scanning line and the source terminal is connected to each data line, and comprises current control type light emitting devices which perform luminescent operation by predetermined luminosity gradation according to the gradation current I_{pix} supplied via each data line and the above-mentioned selection transistor Trsel
10 by the data driver 130. Also, the configuration of the display pixels mentioned above expresses the composition of the display pixels in the present invention conceptually; the illustrative circuit configuration of the display pixels EM including the selection transistor and its circuit operation will be described
15 later in detail.

 In the display panel 110 which has such a configuration, when the scanning signal Vsel is applied to specified scanning signal lines SSLi by the scanning driver circuit 120 (described later), the selection transistor Trsel connected to a plurality
20 of the scanning lines SLia, SLib of those scanning line groups SLi will perform an "ON" operation and the display pixels EM of four line segments will be collectively set to the selection state. Also, in the state (selection state) the scanning signals Vsel are applied to the scanning line groups SLi, by supplying
25 simultaneously the gradation current I_{pix} corresponding to the display data of each data line group DLj from the data driver

130 (described later) via the selection transistor Trsel which performed the above-mentioned "ON" operation, the display data is collectively written into four lines of the display pixels EM set to the selection state.

5 (Scanning driver)

The scanning driver 120, based on the scanning control signals supplied by the system controller 140, by performing the operation which applies sequentially the scanning signal Vsel of the selection level (for example, high-level) to each scanning signal line SSLi-SSLn, the display pixels EM for the four line segments connected to the scanning lines SLia, SLib of each of the scanning line groups SLi are set to the selection state simultaneously by the data driver 130 (described later), and controls the write-in simultaneously of the gradation current Ipix in each of the display pixels EM based on the display data supplied via each data line group DLj.

In the scanning driver 120, for example as shown in FIG. 2, the shift clocks SB1, SB2 . . . SBi, SBn constitute the shift register and buffer corresponding to each scanning signal line group SLi comprising a plurality of stages (n stages) based on the scanning control signals (scanning start signal SST, scanning clock signal SCK and the like) supplied by the system controller 140 (described later). The shift output generated while shifting sequentially from the upper part to the lower part of the display panel 110 by the shift register is applied sequentially to each

of the scanning signal lines SSL1-SSLn as the scanning signal Vsel which has a predetermined selection level (high-level) via the buffer.

In addition, as mentioned above, in the case of having a configuration in which all the display pixels EM that constitute the display panel 110 are connected to the single scanning line groups SLi, the shift blocks as shown in FIG. 2 are unnecessary and applies a single scanning signal Vsel at predetermined timing to the scanning line groups SLi based on the above-mentioned scanning control signals.

(Data driver)

The data driver 130, based on the data control signals supplied from the system controller 140, supplies the display data from the display signal generation circuit 150 (described later) and the signal currents Ic based on the display data are taken in and held at predetermined timing for each number of the data lines of each data line group DLj. Next, the display pixels EM are supplied simultaneously via each data line group by converting into gradation currents Ipix the signal currents Ic that are held at the above-mentioned timing which sets each of the scanning line groups SLi to the selection state by the scanning driver 120 mentioned above.

The data driver 130, for example as shown in FIG. 2, comprises a current generation circuit CG and a plurality of current holding circuits CH. The current generation circuit CG generates the

signal currents I_c at least based on the display data. The plurality of current holding circuits CH are connected for each data line group DL_j arranged in the display panel 110. Based on the data control signals supplied from the system controller 140 (described later), the signal currents I_c according to the display data supplied from the display signal generation circuit 150 are generated by the current generation circuit CG. The signal currents I_c of the four data lines of the data line groups DL_j corresponding to the display pixels of four lines connected to each of the scanning lines of the scanning line groups is taken in sequentially and held at predetermined timing by the current holding circuits CH. The signal currents I_c which are held as mentioned above are collectively supplied as gradation current I_{pix} via the four data lines of each of the data line groups DL_j to the display pixels EM for the four line segments set to the selection state of each of the scanning lines of the scanning line groups SL_i . In addition, in regard to the complete configuration and operation of the data driver will be described later in further detail.

(System controller)

The system controller 140 operates each driver at predetermined timing by outputting the scanning control signals and data control signals which control the operating state of scanning driver 120 and the data driver 130 mentioned above; generates and outputs the scanning signal V_{sel} and the gradation

currents I_{pix} ; writes in the display data generated by the display signal generation circuit for performing the luminescent operation in each of the display pixels EM; and performs control on the display panel 110 to display predetermined image information based on the video signal.

(Display signal generation circuit)

The display signal generation circuit 150 extracts the luminosity gradation signal component from the video supplied from the exterior of the display device 100 and supplies the data driver 130 as the display data for each one line segment of the display panel 110. Here, when the above-mentioned video signal contains a timing signal component which provides display timing of the image information such as a television broadcasting signal (composite video signal), the display signal generation circuit 150 may have the function which extracts the timing signal component besides the function which extracts the above-mentioned luminosity gradation signal component that is supplied to the system controller 140. In this case, the above-mentioned system controller 140 generates the scanning control signals and data control signals which are supplied to the scanning driver 120, the data driver 130 and a power supply driver 160 based on the timing signal provided from the display signal generation circuit 150.

<<Data driver example>>

Next, an example configuration of the data driver applicable to the present invention will be explained in detail.

FIG. 3 is a block diagram showing the current generation circuit applicable to the data driver of the display device related to this invention.

FIG. 4 is a circuit configuration drawing shown an example of the voltage current conversion and the gradation currents drawing-in circuit applicable to the data driver of the display device related to this invention.

FIG. 5 is an outline block diagram showing an example of the current holding circuits applicable to the data driver of the display device related to this invention.

The current generation circuit CG, for example as shown in FIG. 3, comprises the shift register circuit 131 which outputs the shift signals while shifting sequentially the sampling start signal STR based on the shift clock signals CLK supplied as the data control signals from the system controller 140;

The data register circuit 132 which takes in sequentially the display data D0~Dm (digitized data) for one line segments supplied from the display signal generation circuit 150 based on the input timing of the above-mentioned shift signals;

The data latch circuit 133 which holds the display data D0~Dm for a one line segments taken in by the data register circuit 132 based on the data latch signals STB;

The D/A converter 134 (Digital-Analog) which converts the

display data D0-Dm held in the data latch circuit 133 into predetermined analog signal voltage (gradation voltage Vpix) based on the gradation reference voltage V0-Vp supplied from the power supply circuit; and

5 The voltage current conversion and current supply circuit 135 which generates the signal currents Ic corresponding to the display data converted into analog signal voltage (gradation voltage Vpix) and sequentially supplies each of the current holding circuits CH each of the signal currents Ic of the four
10 data lines of each data line group DLj corresponding to the display pixels EM of the four lines connected to each of the scanning lines SLia, SLib of the scanning line groups SLi of the display panel 110 based on the output enable signals OE supplied from the system controller 140.

15 In the embodiment, in order to make correspond the pixel driver circuit and the circuit configuration of the light emitting devices provided in the display pixels described later, the signal current of negative polarity is generated as the signal currents Ic. Furthermore, although the signal currents Ic are obtained
20 from a configuration which flows in the direction drawn out from the voltage current conversion and current supply circuit side, this invention is not limited to this. According to the circuit configuration of the pixel driver circuit and the light emitting devices provided in the display pixels, the signal currents Ic
25 of positive polarity may be generated and you may have a configuration which flows in the signal currents Ic.

Here, as a circuit configuration practicable to the voltage current conversion and current supply circuit 135 connected to each data line of each data line group DLj, as shown in FIG. 4 for example, comprises the operational amplifier OP1 by which the gradation voltage (-Vpix) of reverse polarity is inputted to one input terminal (negative input terminal (-)) via the input resistor R, while the reference voltage (ground potential) is inputted to the input terminal (positive input terminal (+)) of the other side via the input resistor R, and the output terminal is connected to one input terminal (-) via the feedback resistor R; the operational amplifier OP2 by which the reference voltage (ground potential) is inputted into the input terminal (+) of the other operational amplifier OP1 via the output resistor R and an input terminal connection of one side is made for the output terminal via the feedback resistor R, while the potential of the contact NA provided in the output terminal of the operational amplifier OP1 via the output resistor R is inputted into one input terminal (+) and the output terminal is connected to the input terminal (-) of the other side; and the switching circuit SW which performs "ON/OFF" operations based on the output enable signals OE supplied from the system controller 140 to the contact NA and controls the supply state of the signal currents Ic to the current holding circuits CH.

According to such a voltage current conversion and current supply circuit 135, the signal currents Ic of negative polarity consisting of $-Ic = (-Vpix) / R$ are generated relative to the

gradation voltage ($-V_{pix}$) of negative polarity inputted, and supplied sequentially to each data line group DLj to timing based on the output enable signal OE.

The current holding circuits CH, as shown in FIG. 5, are constituted by circuit groups comprising the current storage circuits 31A-31D of which each are composed of a pair of the current storage sections CMa, CMb formed in parallel and a plurality of groups (FIG. 5, four groups) are provided corresponding to each data line of the data line groups DLj, which take in and hold alternately the signal currents I_c supplied from the above-mentioned current generation circuit CG into each of the current storage sections CMa, CMb;

The shift register section 32 which sets the timing to supply sequentially the signal currents I_c corresponding to each data line DLja~DLjd of the data line groups DLj supplied from the current generation circuit CG to each group of the current storage circuits 31A-31D;

The supply control switches 33A-33D which control the supply state (supply/cutoff) of the above-mentioned signal currents I_c to each group of the current storage circuits 31A-31D at predetermined timing based on the timing signals (shift output) SR1~SR4 outputted sequentially from the shift register section 32;

A plurality of input side memory selection switches 34A-34D which perform switching control to supply selectively the above-mentioned signal currents I_c to either of the current

storage sections CMA, CMB that form each group of the current storage circuits 31A~31D at timing based on the write-in memory selection signals MSw (inversion signals of the read-out memory selection signals MSr described later) that is the data control
5 signal provided corresponding to each group of the current storage circuits 31A~31D and supplied from the system controller 140.

A plurality of output side memory selection switches 35A~35D which perform switching control to supply the signal currents Ic to each data line DLja~DLjd as gradation current Ipix which
10 are held in either of the current storage sections CMA, CMB that form each group of the current storage circuits 31A~31D at timing based on the read-out memory selection signals MSr that is the data control signal provided corresponding to each group of the current storage circuit 31A~31D and supplied from the system
15 controller 140.

Here, in the shift register section 32, the shift output is generated while shifting sequentially in the specified direction (for example, drawing from left to right direction) based on the shift register reset signal FRM and the shift clock
20 DCK supplied from the system controller 140 which are the data control signals outputted to each of the supply control switches 33A~33D as the timing signals SR1~SR4.

In the data driver 130 which has such a configuration, the signal currents Ic are generated which have a current value
25 according to the luminosity gradation of the light emitting devices in the current generation circuit CG according to the

display data (digitized data) produced by the display signal generation circuit 150 based on the video signal. While the signal currents I_c are taken in and held sequentially in one side of the current storage sections (for example, the current storage section C_{Ma}) of each of the current storage circuits 31A~31D corresponding to each data line DL_{Ja} ~ DL_{Jd} of the data line groups DL_j , the signal currents I_c held at previous timing in the other side of the current storage sections (for example, the current storage section C_{Mb}) are converted into gradation current I_{pix} and the operation which outputs simultaneously to each data line DL_{Ja} ~ DL_{Jd} arranged in the display panel 110 is performed alternately and consecutively.

<<Current storage sections>>

Next, an example of the current storage sections applicable to the current holding circuits mentioned above will be explained.

FIG. 6 is a circuit configuration drawing showing an example of the current storage sections applicable to the embodiment.

Here, the description illustrates one configuration example applicable to the display device related to the present invention, but this circuit configuration is not exclusively limited to this.

In the embodiment, although the configuration which is composed of the current component holding sections and the current mirror sections are shown as the current storage sections, this invention is not limited to this. For example, you may have a

circuit configuration which is composed only of the current component holding sections.

The current storage sections CMa, CMb which are constituted in each of the current storage circuits 31A-31D of the current holding circuits CH, for instance as shown in FIG. 6, can apply a circuit configuration which consists of a current component holding section 36a which converts and holds the current component of the signal currents I_c outputted from the current generation circuit CG as the voltage component; and a current component mirror circuit 36b which sets the current value of the read-out current component after being held in the current component holding section 36a.

Here, the current component holding section 36a configuration is shown which includes the supply control switches 33A-33D (denoted as "supply control switch 33" generically) mentioned above, the input side memory selection switches 34A-34D (denoted as "input side memory selection switch 34" generically), and the output side memory selection switches 35A-35D (denoted as "output side memory selection switch 35" generically).

As for the current component holding section 36a, for example as shown in FIG. 6, has a configuration comprising a PMOS transistor M31 (p-channel type MOS), a PMOS transistor M32, a storage capacitor C31, a PMOS transistor M33, a PMOS transistor M34, and a PMOS transistor M35. The PMOS transistor M31 source and drain are connected between the input terminal T_{in} to supply the signal currents I_c that are generated by the current generation

circuit CG (connects with the output terminal of the current generation circuit CG) and the contact point N31 (hereinafter denoted as "contact" for convenience of explanation), and the gate is connected to the supply control terminal TMs to apply the timing signals SR1~SR4 (denoted as "timing signal SR" generically) that are supplied from the shift register 32;

The PMOS transistor M32 source and drain are connected between the contact N31 and N32, along with the gate connected to the write-in terminal TMw to apply the write-in memory selection signal MSw supplied from the system controller 140;

The storage capacitor C31 is connected between the high electric potential Vdd and contact N32; the PMOS transistor M33 source and drain are connected between the contact N33 and the high electric potential Vdd, along with the gate connected to contact N32;

The PMOS transistor M34 source and drain are connected between the contact N31 and N33, along with the gate connected to the above-mentioned write-in terminal TMw; and

The PMOS transistor M35 source and drain are connected between the output contact N34 of the latter current mirror circuit section 36b and the contact N33, along with the gate connected to the read-out terminal TMr to apply the read-out terminal selection signals MSr supplied from the system controller 140.

Here, the PMOS transistor M31 performs "ON/OFF" operations based on the timing signals SR (shift output) from the shift register 32 which constitutes the above-mentioned supply control

switches 33A~33D.

Furthermore, the PMOS transistors M32 and M34 perform "ON/OFF" operations based on the write-in memory selection signal MSw from the system controller 140 which constitute the input side memory selection switches 34A~34D mentioned above, and the PMOS transistor M35 performs "ON/OFF" operations based on the read-out memory selection signals MSr which constitutes the output side memory selection switches 35A~35D mentioned above. Also, the storage capacitor C31 provided between the high electric potential Vdd and the contact N32 may be parasitic capacitance formed between the gate-source of the PMOS transistor M33.

The circuit configuration shown in FIG. 6 is applicable to both of the pair of current storage sections CMa, CMb which constitute each of the current storage circuits 31A~31D. Thus, whichever of either side of the circuit configuration is shown although each control signal (write-in memory selection signal MSw, read-out memory selection signal) is set as described later. The current storage sections CMa, CMb are controlled to perform a current write-in operation and a current read-out operation in parallel simultaneously as well as set the current write-in state and the current read-out state selectively. Therefore, the current storage sections of other (opposite) sides, in a circuit configuration equivalent to FIG. 6, for example, are set so that the inversion signals of the write-in memory selection signals MSw are applied to the write-in terminal TMw and the inversion signals of the read-out memory selection signal MSr

are applied to the read-out terminal TMr.

Furthermore, the current mirror circuit section 36b, for example as shown in FIG. 6, has a configuration comprising the NPN transistor Q31, NPN transistor Q32, resistance R31 (resistor),
5 NPN transistor Q33 and resistance R32. The NPN transistors Q31 and Q32 collector and base are connected to the output contact N34 of the above-mentioned current component holding sections 36a and the emitter is each other connected to the contact N35; the resistance R31 is connected between the contact N35 and the
10 low electric potential Vss; the NPN transistor Q33 collector is connected to the output terminal Tout (connects with each of the data lines DLja~DLjd) to output the output current (gradation current I_{pix}), and the base is connected to the output contact N34 of the above-mentioned current component holding
15 section 36a; and the resistance R32 is connected between the emitter of the NPN transistor Q33 and the low electric potential supply Vss.

Here, the output current (gradation current I_{pix}) is outputted from the above-mentioned current component holding
20 section 36a and set so that it has the current value corresponding to the predetermined current ratio provided by the current mirror circuit configuration relative to the current value of the control current I_d inputted via the output contact N34.

In addition, this embodiment is constituted so that the
25 current component flows in the direction drawn in the current holding circuit CH direction from each of the data lines DLja~DLjd

by supplying the output current of negative polarity to the output terminal Tout, specifically, by setting so that the gradation current I_{pix} flows in the low electric potential Vss direction from the output terminal Tout side.

5 Also, the current storage sections CMa, CMb shown in this embodiment are set so that the current value of the control current I_d may be reduced by a predetermined ratio by the current mirror circuit section 36b and the current value of the output current (gradation current I_{pix}) can be regulated by setting the current
10 value of the control current I_d outputted from the current component holding section 36a greater than the current value of the output current generated by the current mirror circuit section 36b. Since the current value managed within the current component holding sections 36a can be set greater than the current
15 value of the gradation current I_{pix} , the processing speed related to the current write-in operation and current read-out operation in the current component holding sections 36a can be raised.

<<Operation of the current storage sections>>

20 Next, the operation of the current storage sections which have a configuration mentioned above will be explained.

 FIGs. 7A and 7B are conceptual diagrams showing the basic operation of the current storage sections applicable to the embodiment.

25 The operation of the current storage sections related to this embodiment is set so that sequential repetitive execution

can be performed of the current write-in operation which takes
in the signal currents I_c and held (stored) as the voltage component
at predetermined timing that does not generate time overlaps
with each other in relation to the light generation drive cycles
5 of the display pixels that constitute the display panel; and
the current read-out operation which outputs the gradation
current I_{pix} that has a predetermined current value based on
the held voltage component.

Furthermore, regarding the pair of current storage sections
10 provided in parallel in the current storage circuits, when a
current write-in operation is performed in one side of the current
storage sections, it is controlled to perform a current read-out
operation in the other side of the current storage sections in
parallel simultaneously within the period. Essentially, while
15 performing current write-in operations continuously, current
read-out operations are performed continuously in parallel by
the single current storage circuits.

(Current write-in operation)

Initially in the current write-in operation, as shown in
20 FIG. 7A, the PMOS transistor M35 in the capacity of an output
side memory selection switch 35 performs an "OFF" operation by
applying a high-level read-out memory selection signal MS_r via
the read-out terminal TMr from the system controller 140.

In this state, while supplying the signal currents I_c which
25 has the current component of negative polarity according to the

display data D0-Dm via the input terminal Tin from the current generation circuit 36a, the PMOS transistors M32 and M34 in the capacity of an input side memory selection switch 34 perform an "ON" operation by applying a low-level write-in memory selection signal MSw at predetermined timing via the write-in terminal TMw from the system controller 140.

In this current write-in operation, the PMOS transistor M31 in the capacity of a supply control switch 33 performs an "ON" operation by applying a low-level timing signal SR via the supply control terminal TMs from the shift register 32.

Accordingly, the gate terminal of the PMOS transistor M33 and one end of the storage capacitor C31, specifically, the contact N32, when the low-level voltage level according to the signal currents Ic which has the same negative polarity is applied and an electric potential difference occurs between the high electric potential Vdd and the contact N32 (that is, between the gate-source of the PMOS transistor M33), the PMOS transistor M33 performs an "ON" operation and flows so that the write-in currents Iw equivalent to the signal currents Ic may be drawn in the direction of the input terminal Tin via the PMOS transistors M33, M34 and M31 from the high electric potential Vdd.

At this time, the storage capacitor C31 stores the electric charge corresponding to the electric potential difference generated between the high electric potential Vdd and the contact N32 (that is, between the gate-source of the PMOS transistor M33) and is held as the voltage component.

Here, the high-level write-in memory selection signal MSw is applied via the write-in terminal TMw from the system controller 140 by the termination of the current write-in operation, the PMOS transistors M32 and M34 perform an "OFF" operation and the electric charge (voltage component) stored in the storage capacitor C31 is held after the drawing in of the above-mentioned write-in currents Iw is suspended (stopped).

(Current read-out operation)

Next, in the current read-out operation which outputs the gradation currents after the current write-in operation terminates, as shown in FIG. 7B, the PMOS transistor M35 performs an "ON" operation by applying the low-level read-out memory selection signal MSr via the read-out terminal TMr from the system controller 140.

At this time, as mentioned above, the PMOS transistors M32 and M34 perform an "OFF" operation by applying a high-level write-in memory selection signal MSw via the write-in terminal TMw. In this current read-out operation, the PMOS transistor M31 performs an "OFF" operation by applying a high-level timing signal SR via the supply control terminal TMs from the shift register 32.

Here, by the voltage component held in the storage capacitor C31, since an electric potential difference equivalent to the time of the current write-in operation has occurred between the gate-source of the PMOS transistor M33, the control currents

Id which have a current value equivalent to the above-mentioned write-in currents I_w (= signal currents I_c) flow in the direction of the output contact N34 (current mirror circuit section 36b) via PMOS transistors M33 and M35 from the high electric potential Vdd.

Accordingly, the control currents Id inputted into the current mirror circuit section 36b are converted into the gradation currents I_{pix} which have a current value according to the predetermined current ratio specified by the current mirror circuit configuration and are supplied to the display pixels EM as the load via the output terminal Tout and each of the data lines DLja-Dljd. Here, the gradation current I_{pix} at the termination of the current read-out operation, by applying a high-level read-out memory selection signal MSr via the read-out terminal Tmr from the system controller 140, the PMOS transistor M35 performs an "OFF" operation and supply to the current mirror circuit section 36b is suspended.

<<The drive method of the display device>>

Next, the drive method in the display device which has the configuration mentioned above is explained in detail.

FIG. 8 is a timing chart explaining the drive method in the display device related to the embodiment.

In addition, explanation will refer to each configuration of the display device mentioned above.

In the display device which has the configuration mentioned

above, first, the luminosity gradation signal component is extracted from the video signal supplied from the exterior of the display signal generation circuit 150. The display data which is composed of the digitized data for performing the luminescent operation of each display pixel EM which constitutes the display panel 110 by predetermined luminosity gradation is extracted and the data driver 130 is supplied sequentially as the serial data of each line of the display panel 110.

The display data (digitized data) supplied to the data driver 130 within the current generation circuit CG at timing based on the data control signal supplied from the system controller 140, converted into signal currents I_c according to the above-mentioned display data, and outputted to each of the current holding circuits Ch provided corresponding to each of the data line groups DLj arranged in the display panel 110.

Here, the signal currents I_c outputted to the current holding circuits CH from the current generation circuit CH is set as the configuration corresponding to each column of the data line groups DLj in the display panel 110, and configured so that each of the signal currents I_c corresponding to the display pixels of each line (four lines) connected to each of the data lines DLja-DLjd which constitute the data line groups DLj and outputted in time series sequences.

In the current holding circuits CH, as shown in FIG. 8, the above-mentioned signal currents I_c corresponding to each of the display pixels EM of a plurality of lines corresponding to each

column of the data line groups is taken in sequentially. The input timing of the supply control signals SR1~SR4 are then outputted from the shift register 32. When any of the supply control switches 33A~33D performs an "ON" operation, the current storage circuits (for example, current storage circuit 31A) are selected which accomplish the current write-in operation. Further, based on the write-in memory selection signal MSw supplied from the system controller 140, the input side memory selection switch 34A~34D switches (flip-flops) and is controlled. After the above-mentioned selection is made, one of the current storage sections (for example, current storage section CMa) is selected among the pair of current storage sections CMa, C Mb which constitute the current storage circuit 36a.

Accordingly, among the signal currents I_c (signal currents I_c for the data line groups DLj shown in FIG. 8) supplied to the current holding circuits CH from the current generation circuit CG connected with the data lines DLja corresponding to the current storage circuits 31A, the current component corresponding to the display pixels of specified lines is supplied and held at specified timing in the current storage sections CMa. In such a current write-in operation, the current component of the display pixels EM for a plurality of lines (four lines) connected to the specified columns of the data line groups DLj which the appropriate current holding circuits CH are connected is held sequentially in each of the current storage sections CMa by selecting sequentially and executing to each of the current

storage circuits 31A~31D provided in the current holding circuits CH to the input timing of the supply control signals SR1~SR4 outputted from the shift register 32.

Therefore, by holding sequentially the signal currents I_c outputted for each of the data line groups DLj of each column from the current generation circuit CG to the plurality of current storage circuits 31A~31D provided in each of the current holding circuits CH, the current component corresponding to the display pixels EM for a plurality of lines (four lines) connected to each column of the data line groups DLj in the display panel 110 is held (stored) in parallel at each of the current storage circuits 31A~31D of each of the current holding circuits CH.

Additionally, in the operation period when the current write-in operation is performed, as shown in FIG. 8 and as explained in the operation of the current storage sections mentioned above, by supplying the read-out memory selection signals MSr which function as the inversion signals of the above-mentioned write-in memory selection signals MSw from the system controller 140 to each of the current holding circuits CH, the output side memory selection switches 35A~35D switch (flip-flops) and are controlled. The current storage sections (for example, current storage section Cmb) of the other side which is not selected in the above-mentioned current write-in operation is then selected from among the pair of current storage sections Cma, Cmb which constitute each of the current storage circuits 31A~31D.

Accordingly, in advance of the switchover period to the

current write-in operation, the current component is written and held in each of the current storage sections CMB as gradation current I_{pix} (gradation current I_{pix} for the data line groups DLj shown in FIG. 8) and outputted at the same timing (current read-out operation) to each data line DLja~DLjd which constitute each column of the data line groups DLj from each current holding section CH.

Therefore, the gradation current I_{pix} outputs via each column of the data line groups DLj from the current holding circuits CH and by applying the scanning signal Vsel of the selection level to the scanning line groups SL (i-1) from the specified shift blocks SB (i-1) of the scanning driver 120 as shown in FIG. 8 to the timing based on the scanning control signals supplied from the system controller 140, all of the selection transistors Trsel connected to each of the scanning lines SLia, SLib which constitute the scanning line groups SL (i-1) perform an "ON" operation. The gradation current I_{pix} is taken in and supplied via each of the above-mentioned data lines DLja~DLjd to the display pixels EM of the plurality of lines (four lines) connected to each of the scanning lines SLia, SLib and each of the display pixel EM performs luminescent operation (light generation) by predetermined luminosity gradation based on this gradation current I_{pix} .

Next, after applying the shift register reset signal FRM to the shift register section 32 from the system controller 140 and resetting the shift register 32, while performing a series

of current write-in operations mentioned above relating to the other side of the current storage sections CMB of each of the current storage circuits 31A-31D, current read-out operations are performed in parallel simultaneously to the side of the current storage sections CMA of each of the current storage circuits 31A-31D.

Consequently, as shown in FIG. 8, the signal currents I_c according to the display data generated by the current generation circuit CG is taken in sequentially to each column of the current holding circuits CH and held sequentially in the other side of the current storage sections CMB of each of the current storage circuits 31A-31D set to the selection state based on the input timing and the write-in memory selection signals MSw of the supply control signals SR1-SR4.

Also, at this time by supplying the read-out memory selection signals MSr functioning as the inversion signals of the above-mentioned write-in memory selection signals MSw to each of the current holding circuits CH, the current component held by the above-mentioned current write-in operation is read to the current storage sections CMA on one side of each of the current storage circuits 31A-31D and outputted simultaneously to each column of the data line group DLj as gradation current I_{pix} .

As a result, by repeating alternately the controls which perform the current write-in operations and current read-out operations in parallel simultaneously each predetermined operation period to the pair of current storage sections CMA,

CMB provided in each of the current storage circuits 31A-31D, basically, the signal currents I_c corresponding to the display data and outputted from the current generation circuit CG are taken in and held in the current holding sections continuously and the operation to supply simultaneously the display pixels of the plurality of lines with gradation currents I_{pix} are performed.

Therefore, in this embodiment, by applying a single scanning signal from the scanning driver of the display panel by which two-dimensional array of the plurality of display pixels is performed, the present invention is constituted so that the display pixels for the plurality of lines (four lines in the configuration shown in FIG. 2) may be collectively set to the selection state. Furthermore, with the data driver, the present invention takes in and holds sequentially the display data corresponding to the display pixels of the specified plurality of lines which is constituted so that collectively the gradation currents can be supplied in one scanning period.

Consequently, since the number of scanning lines driven to single scanning timing, specifically the line count of the display pixels which are selected simultaneously and driven, can be increased a plurality of times (two or more folds), if the period to scan all the scanning lines (one screen) is made the same as compared with conventional drive methods which select sequentially and apply one scanning signal for each of the scanning lines, the application period of one scanning signal applied

from the scanning driver can be set a plurality of times (By the configuration shown in FIG. 2, fourfold). As a result, the write-in time to the display pixels can be set a plurality of times in contrast with cases of conventional drive methods. In view of this, for example, even if it is the case where the gradation current written in the display pixels has a low current value based on display data of low gradation, the wiring capacitor of the data lines can be fully charged to predetermined voltage.

Thus, according to the configuration of this embodiment, since the write-in time of the display data to each of the display pixels can be acquired sufficiently longer, when the display panel is enlarged or high resolution is performed, or even at times of low gradation the write-in deficiency of the display data can be cancelled out (neutralized). In addition, the luminescent operation of each of the display pixels can be performed by the proper luminosity gradation according to the display data, display non-uniformity, such as the luminosity inclination generated within the display panel, can be diminished substantially, as well as marked improvement in the display image quality can be attained.

Here, the advantages of the configuration in this embodiment will be explained based on the write-in characteristics of the display data.

FIG. 9 is the simulation results for explaining the write-in characteristics of the display data in the display device related to the embodiment.

Here, the simulation results illustrated in FIG. 9 show the change of the write-in characteristic at the time of a 37" (screen size of 37 inches) display panel model (Corresponding to the display panel Se in FIG. 16) which has 1365 horizontal pixels, 768 vertical pixels and the wiring capacitor of 19.9pF (power factor) of the data lines and changes write-in time sequentially. Each characteristic curve T(1)-T(12) shows the correlation of the write-in rate of the proper display data versus the gradation of the display data when lengthening the write time of the normal state (22 μ sec - 22 microseconds) relative to twofold (44 μ sec (2x)), fourfold (88 μ sec (4x)), sixfold (132 μ sec (8x)) . . . twelvefold (264 μ sec (12x)). As shown in FIG. 9, by making the write time fourfold or more as shown in T(4), in general the write time of the display data of low gradation improves to the extent that the write rate becomes longer. Thus, even if it is the case where the display data of low gradation close to minimum gradation is written in, it proves that generally 100% of the write rate is gained.

In the embodiment mentioned above, as the display pixels for the plurality of lines (for example, four lines) are driven and set to the selection state by a single scanning signal, the write time can be set to a plurality of times (for example, fourfold) and the write time can be made longer than cases of conventional drive methods. Thereby, as shown in FIG. 9, even if it is the case where the display data of relatively low gradation is written in the display pixels, the write rate approximated

to 100% in general is achievable. Consequently, improvement of the display image quality can be attained toward enlargement and higher resolution of the display panel.

<<An example configuration of the display pixels>>

5 Next, an example of the configuration of an illustrative circuit applicable to the display pixels mentioned above will be explained with reference to the drawings.

FIG. 10 is a circuit configuration diagram showing an example of an illustrative circuit of the display pixels applicable to the display device related to this invention;

FIGS. 11A and 11B are operational conceptual diagrams for explaining the drive control operation of the pixel driver circuit related to the embodiment.

FIG. 12 is a timing chart showing the display drive operation of the display device as applied to the display pixels related to the embodiment.

FIG. 13 is an outline block diagram showing an example of the configuration of the display device as applied to the display pixels related to the embodiment.

20 The display pixels related to this embodiment are equivalent to the selection transistor Trsel and the display pixels EM shown in FIG. 2. As shown in FIG. 10, briefly, the circuit configuration has a pixel driver circuit DC (light generation driver circuit) which is set to the selection state based on the scanning signal
25 Vsel applied from the scanning driver 120 mentioned above, takes

in gradation currents I_{pix} supplied from the data driver 130
in this selection state, and flows the light generation drive
currents according to this gradation currents I_{pix} to the light
emitting devices; and the current control type light emitting
5 devices which perform luminescent operation by predetermined
luminosity gradation based on light generation drive currents
supplied from the pixel driver circuit DC.

The pixel driver circuit DC, for example as shown in FIG.
10, has a configuration comprising the n-channel type Thin-Film
Transistor (TFT) Tr11 (hereinafter denoted as "Nch transistor"),
the Nch transistor Tr12, the Nch transistor Tr13, and the capacitor
CS. The Nch transistor Tr11 is each other connected with the
gate terminal to the scanning lines SL, the source terminal to
the supply lines VL and the drain terminal to the contact N11.
15 The Nch transistor Tr12 gate terminal is connected to the supply
lines VL, along with the source terminal and the drain terminal
each other connected to the data lines DL and the contact N12.
The Nch transistor Tr13 gate terminal is connected to the contact
N11, along with the source terminal and the drain terminal each
20 other connected to the contact N12 and the supply lines VL. The
capacitor Cs is connected between the contact N11 and the contact
N12. Furthermore, the organic EL devices OEL are each other
connected with the anode terminal to the contact N12 and the
cathode terminal to ground potential.

25 Here, the capacitor Cs can be parasitic capacitance provided
between the gate-source of the Nch transistor Tr13. Also, the

Nch transistor Tr12 is equivalent to the selection transistor Trsel in FIG. 2.

The light generation drive control of the light emitting devices (organic EL devices OEL) in the pixel driver circuit DC which has such a configuration, for example as shown in FIG. 12, performs by setting ($T_{sc} = T_{se} + T_{nse}$). One scanning period T_{sc} denotes one cycle. The selection period T_{se} (write-in operation period) selects the display pixels of the plurality of lines connected to the specified scanning line groups SL_i , writes in the gradation current I_{pix} corresponding to the display data and is held as the voltage component within this one scanning period T_{sc} . The non-selection period T_{nse} (luminescent operation period) writes in the selection period T_{se} , supplies the light generation drive according to the above-mentioned display data to the organic EL devices OEL based on the voltage component and performs the luminescent operation by predetermined luminosity gradation. Here, the selection period T_{se} is set for every one of the scanning line groups SL_i connected to the plurality of display pixels EM so that a time period overlap does not occur with one another.

(Selection period: write-in operation period)

That is, in the selection period T_{se} of the display pixels, as shown in FIG. 12, first, while the high-level scanning signal V_{sel} (V_{slh}) is applied to the specified scanning line groups SL_i from the scanning driver 120 and the display pixels of the

plurality of lines are collectively set to the selection state, the low-level power supply voltage V_{scl} is applied to the supply lines VL of the display pixels of the appropriate plurality of lines.

5 Also, synchronizing with this timing, the gradation current ($-I_{pix}$) of the negative polarity corresponding to the display pixels of the appropriate plurality of lines is supplied to each data line group DLj from the data driver 130.

10 Accordingly, the Nch transistors Tr11 and Tr12 which constitute the pixel driver circuit DC perform an "ON" operation. As the low-level power supply voltage Vsc (V_{scl}) is applied to the contact N11 (specifically, the gate terminal of the Nch transistor Tr13 and one end of the capacitor Cs) that performs the operation which draws the gradation current ($-I_{pix}$) of
15 negative polarity via the data lines DL, the voltage level of the low electric potential from the low-level power supply voltage V_{scl} is applied to the contact N12, namely the source terminal of the Nch transistor Tr13 and the other end of the capacitor Cs.

20 Thus, when an electric potential difference occurs between contact N11 and N12 (between gate-source of the Nch transistor Tr13), the Nch transistor Tr13 performs an "ON" operation. As shown in FIG. 11A, the write-in current I_a corresponding to the gradation current I_{pix} flows from the supply lines VL to the
25 data driver 130 via the Nch transistor Tr13, the contact N12, the Nch transistor Tr12 and the data lines DL. Accordingly, the

capacitor Cs (charge) stores the electric charge corresponding to the electric potential difference generated between the contacts N11 and N12 (between the gate-source of Nch transistor Tr13) and the write-in operation which holds it as the voltage component (charge voltage) is performed. Moreover, the power supply voltage Vscl which has the voltage level lower than ground potential is applied to the supply lines VL and further controlled so that the write-in current Ia flows in the direction of the data lines DL. Because the electric potential applied to the anode terminal (contact N12) of the organic EL devices OEL becomes lower than the electric potential (ground potential) of the cathode terminal, reverse-bias is applied to the organic EL devices OEL, drive current does not flow to the organic EL devices OEL and the luminescent operation is not performed.

(Non-selection period: luminescent operation period)

Next, in the non-selection period Tnse after termination of the selection period Tse, as shown in FIG. 12, while the low-level scanning signal Vsel (Vsll) is applied to the specified scanning line groups SLi from the scanning driver 120 and the display pixels of the plurality of lines are set to the non-selection state, the high-level power supply voltage Vscl is applied to the supply lines VL of the display pixels of the appropriate plurality of lines. Also, synchronizing with this timing, the drawing in operation of the gradation current Ipix by the data driver 130 is suspended.

Accordingly, the Nch transistors Tr11 and Tr12 which constitute the pixel driver circuit DC perform an "OFF" operation. While applying the power supply voltage Vsc to the contact N11 through which it passes, namely, the Nch transistor Tr13 and one end of capacitor Cs, is blocked out. Because application of the voltage level resulting from the drawing in operation of the gradation current I_{pix} by the data driver 130 to the contact N12 (accordingly, the source terminal of Nch transistor Tr13 and the other end of capacitor Cs) is blocked out, the capacitor holds the electric charge (voltage component) stored in the selection period mentioned above.

Thus, when capacitor Cs holds the electric charge (voltage component) stored by the write-in operation of the selection period, the electric potential difference between contacts N11 and N12 (between the gate-source of Nch transistor Tr13) is held, the Nch transistor Tr13 maintains an "ON" state. Also, the power supply voltage Vsc (Vsch) which has a voltage level higher than ground potential is applied to the supply lines VL, the electric potential applied to the anode terminal (contact N12) of the organic EL devices OEL becomes higher than the electric potential (ground potential) of the cathode terminal.

Therefore, as shown in FIG. 11B, predetermined light generation drive current I_b flows into the organic EL devices OEL in the direction of forward-bias via Nch transistor Tr13 and the contact N12 from the supply lines VL and the organic EL devices OEL emit light.

Here, because the voltage component (charge voltage) held by capacitor C_s is equivalent to the electric potential difference in the case of making it flow down the write-in current I_a corresponding to the gradation current I_{pix} in the Nch transistor Tr_{13} , the light generation drive current I_b which flows down to the organic EL devices OEL will have the current value equivalent to the above-mentioned write-in current I_a . Accordingly, in the non-selection period T_{nse} after the selection period T_{se} , based on the voltage component corresponding to the display data (gradation current I_{pix}) written in the selection period T_{se} , via the Nch transistor Tr_{13} , drive current is supplied continuously and the organic EL devices OEL continue the operation which emits light by the luminosity gradation corresponding to the display data.

Also, as shown in FIG. 12, by performing sequentially a series of operations mentioned above repeatedly and sequentially to all the scanning line groups SL_i which constitute the display panel 110, the display data for one screen of the display panel is written in, light is emitted by the predetermined luminosity gradation, and the desired image information is displayed.

In regard to the Nch transistors Tr_{11} ~ Tr_{13} applicable to the pixel driver circuit DC related to this embodiment, though not limited especially, as the Nch transistors Tr_{11} ~ Tr_{13} can all be constituted from n-channel type Thin-Film Transistors (TFTs), n-channel type amorphous silicon TFTs are satisfactorily applicable. In that case, the already established manufacturing

technology can be applied and a pixel driver circuit which has stabilized operating characteristics can be produced relatively cheaply.

5 Here, as a configuration which applies the predetermined power supply voltage V_{cs} to the supply lines VL in the pixel driver circuit DC related to this embodiment, for example as shown in FIG. 13, comprises the supply driver 160 which is connected to the supply line groups VL_i which are composed of a plurality of supply lines VL arranged in parallel with each of the scanning
10 lines which constitute the scanning line groups SL_i of the display panel 110. The configuration made to apply the power supply voltage which has predetermined voltage value from the supply driver 160 to predetermined timing which synchronizes with the scanning signal V_{sel} outputted from the scanning driver 120 based
15 on the supply control signal supplied from the system controller 140 is satisfactorily applicable.

In the display pixels mentioned above, although the circuit configuration corresponding to the current application method of the configuration which draws gradation current in the
20 direction of the data driver via the data lines comprising three Thin-Film Transistors as a pixel driver circuit is shown, the present invention is not limited to this embodiment of a display device at least comprised of a pixel driver circuit which applies the current application method; a light generation control
25 transistor which controls supply of the drive current to the light emitting devices; after a write-in control transistor

controls a write-in operation of the gradation current and holds the gradation current (write-in current) according to the display data, as well as based on this gradation current, performs an "ON" operation of the above-mentioned light generation control transistor and light generation drive is supplied. This is what is necessary just to have another circuit configuration if the light emitting devices are made to emit light by predetermined luminosity gradation. For example, you may have a circuit configuration comprised with four Thin-Film Transistors and may have further configurations of the circuitry which applies (draws in) gradation currents to the data lines from the data driver.

Furthermore, in the embodiment mentioned above, although the configuration which applies the organic EL devices as the light emitting devices which constitute the display pixels is shown, the display device related to the present invention is not limited to this. If it is a current control type light emitting device which can perform luminescent operation by predetermined luminosity according to the current value for supplying the light generation drive current, light emitting diodes or other light emitting devices other than the organic EL devices mentioned above are satisfactorily applicable.

(Light generation structure of the organic EL devices)

Here, the structure of the organic EL devices applicable to the display pixels related to the embodiment mentioned above will be explained in detail.

FIGs. 14A and 14B are outline sectional drawings showing the structure of the organic EL devices applicable to the display pixels of the display device related to this invention.

As mentioned above, the display device related to the embodiment is connected with each of the scanning line groups SL_i to which a single scanning signal is applied to every display pixel of a plurality of lines (for example, four lines) arranged in the display panel and the data line groups DL_j which are each other composed of a plurality data lines (four) which have a configuration arranged in columns so that as to correspond to the display pixels of these plurality of lines. Specifically, the number of data lines arranged in the area between each other of the columns of each of the display pixels increases a plurality of times (fourfold) as compared to a display panel which has a configuration arranged with one data line for each and every column, and the wiring formation area provided between the above-mentioned columns is increased substantially.

Here, the structure of known organic EL devices of which one has a bottom emission structure as shown in FIG. 14A and one has a top emission structure as shown in FIG. 14B.

The bottom emission structure, as shown in FIG. 14A, has a configuration laminated sequentially on the entire surface side of a transparent insulating substrate 11, such as a glass substrate and the like, an anode electrode 12a (anode) composed of transparent electrode materials, such as Indium Tin Oxide (ITO) and the like, an organic EL layer 13 (luminescent layer)

composed of luminescent materials of organic compound and the like, and a cathode electrode 14a (cathode) which has a reflection property composed of precious metal material. Here, within FIG. 14A, element 15 is a precious metal wiring layer to which each of the signals (the scanning signals, gradation current signals, power supply voltage, etc.) for performing light generation drive of the organic EL devices is supplied.

In such an organic EL device OEL, the energy at the time of the hole and the electron recombine within the organic EL layer 13 is radiated as light $h\nu$ by applying positive voltage to the anode electrode 12a from a direct current voltage supply and negative voltage to the cathode electrode 14a and flowing direct current.

On the other hand, the top emission structure shown in FIG. 14B, the anode 12b which has a reflection property from the precious metal material on the entire surface side of the insulating substrate 11, the organic EL layer 13, the cathode electrode 14b composed of transparent electrode materials, such as Indium Tin Oxide (ITO) and the like, and has a configuration laminated sequentially. By applying positive voltage to the anode electrode 12b and negative voltage to the cathode electrode 14b and flowing direct current, the transparent cathode electrode 14b radiates permeated light $h\nu$.

When the organic EL devices OEL which have a bottom emission structure as shown in FIG. 14A is applied to the display device (display pixels) related to the embodiment, as mentioned above,

since the number of data lines increases substantially, the wiring layer 15 arranged between the organic EL devices (configuration which is composed of the anode electrode 12a, the cathode electrode 14a and the organic EL layer 13) and the insulating substrate 11 increases, the light $h\nu$ radiated from the organic EL layer 13 is blocked out by the data lines (wiring layer 15) and is influenced and the aperture ratio of the display panel declines.

Then, in the embodiment, for the structure of the organic EL devices, the organic EL devices OEL with the top emission structure shown in FIG. 14B are satisfactorily applicable.

More specifically, based on this top emission structure, a display panel with high surface brightness and satisfactory display image quality can be attained without the aperture ratio of the display panel declining. Even if it is the case where the number of data lines increased and the wiring formation area increases, because light $h\nu$ is radiated to the opposite direction with the insulating substrate 11 side in which the wiring layer 15 for performing the light generation drive of the organic EL devices OEL is formed.

While the present invention has been described with reference to the preferred embodiments, it is intended that the invention be not limited by any of the details of the description thereof.

As this invention can be embodied in several forms without departing from the spirit of the essential characteristics thereof, the present embodiments are therefore illustrative and not restrictive, since the scope of the invention is defined

by the appended claims rather than by the description preceding them, and all changes that fall within meets and bounds of the claims, or equivalence of such meets and bounds thereof are intended to be embraced by the claims.

CLAIMS

1. A driver circuit which drives each display pixel of a display panel having a plurality of display pixels (EM) comprising at least:

a pixel selection circuit (120) for setting simultaneously to a selection state the plurality of the display pixels which are arranged in a plurality of rows and columns;

a current generation circuit (CG) in which gradation signals that provide the display gradation of each of the display pixels are supplied and for generating signal currents having a current value according to the value of the gradation signals; and

a plurality of current holding circuits (CH) in which the signal currents are supplied and which take in and hold the signal currents corresponding to the plurality of display pixels which are set to the selection state by the pixel selection circuit (120) and for outputting simultaneously the gradation currents to each of the display pixels (EM) in the plurality rows based on the signal currents.

2. The driver circuit according to claim 1, wherein the current generation circuit (CG) comprises a means which outputs sequentially the signal currents as time series data to the current holding circuits (CH) corresponding to the plurality of display pixels of coinciding columns in the signal currents corresponding to the display pixels of the plurality of rows set to the selection state by the pixel selection circuit (120).

3. The driver circuit according to claim 1, wherein the current holding circuits (CH) comprise a plurality of current storage circuits (31A, 31B, 31C, 31D) which take in sequentially a plurality of signal currents corresponding to the plurality of display pixels of each column of the plurality of rows set to the selection state according to time series timing of the signal currents, and output gradation currents based on the signal currents.

4. The driver circuit according to claim 3, wherein each of the current storage circuits in the current holding circuits comprises a pair of current storage sections (CMA, CMB) arranged in parallel.

5. The driver circuit according to claim 4, wherein the pairs of current storage sections (CMA, CMB) are controlled to perform simultaneously in parallel an operation which takes in and holds the signal currents outputted from the current generation circuit to one side of the current storage sections; and an operation which outputs the gradation currents to the display pixels based on the signal currents held in the other side of the current storage sections.

6. The driver circuit according to claim 4, wherein the current storage sections (CMA, CMB) comprise a voltage component holding sections which take in the signal currents outputted from the

current generation circuit and hold the voltage component
5 corresponding to the current value of the signal currents.

7. The driver circuit according to claim 6, wherein the voltage
component holding sections have a capacitative element (C31)
in which the electric charge is written in as the voltage component
corresponding to the signal currents.

8. The driver circuit according to claim 7, wherein the voltage
component holding sections have Field-Effect Transistors (M33)
which flow the signal currents between the source-drain; the
capacitative element (C31) at least consists of parasitic
5 capacitance between the source-gate of the Field-Effect
Transistors; and the voltage between source-gate based on the
signal currents is written in the capacitative element.

9. The driver circuit according to claim 1, wherein the current
holding circuits (CH) have a first timing operation which holds
the voltage component corresponding to the signal currents
outputted from the current generation circuit; and a second timing
5 operation which outputs the currents corresponding to the voltage
component as the gradation currents.

10. The driver circuit according to claim 1, wherein the display
pixels (EM) comprise current control type light emitting devices
(OEL) which perform luminescent operation by the luminosity

gradation according to the gradation current.

11. The driver circuit according to claim 1, wherein the pixel selection circuit comprises a means which applies in common a single scanning signal to a plurality of display pixels of the plurality of rows set to the selection state.

12. The driver circuit according to claim 1, wherein the current holding circuits have a means which supplies the gradation currents simultaneously to each of the plurality of display pixels for every column of the plurality of display pixels of the plurality
5 of rows set to the selection state by the pixel selection circuit.

13. A display device which display image information comprising at least:

a display panel comprising a plurality of scanning lines (SL_{1a}, SL_{1b}) arranged in rows and a plurality of data lines (DL_{1a}..
5 ..DL_{1d}) arranged in columns, and a plurality of display pixels (110) arranged in matrix form near the intersecting points of the plurality of scanning lines and data lines;

a scanning driver circuit (120) which selects simultaneously some of a plurality of scanning lines of the plurality of scanning
10 lines of the display panel;

a signal driver circuit (130) comprising a current generation circuit (CG) in which the display data that provides the display gradation of each of the display pixels is supplied and which

generates signal currents having a current value according to
15 the value of the display data; and

a plurality of current holding circuits (CH) in which the
signal currents are supplied and which take in and hold the signal
currents corresponding to the display pixels of a plurality of
scanning lines selected by the scanning driver circuit (120)
20 and outputs simultaneously the gradation currents to each of
the plurality of display pixels in the plurality of scanning
lines based on the signal currents.

14. The display device according to claim 13, wherein the display
panel (110) comprising a plurality of scanning line groups (SLi)
which constitute sets of the plurality of scanning lines through
which simultaneous selection is performed by the scanning driver
5 circuit; a plurality of scanning signal lines (SSLi) which are
connected to each of the plurality of scanning line groups; and
a plurality of data line groups (DLj) which constitute sets of
the plurality of data lines corresponding to the line count of
the display pixels of the plurality of rows connected to each
10 of the scanning line groups within the plurality of data lines.

15. The display device according to claim 14, wherein the
scanning driver circuit sequentially applies the scanning signal
to each of the plurality of scanning signal lines.

16. The display device according to claim 14, wherein the

plurality of display pixels (EM) are arranged near each intersecting points of each of the scanning lines and each of the data line groups.

17. The display device according to claim 14, wherein the data line groups are arranged within each area between the sequences of each other of the display pixels arranged in the display panel.

18. The display device according to claim 14, wherein the current holding circuits comprise a means which supplies simultaneously the gradation currents to the plurality of data lines of each of the data line groups.

19. The display device according to claim 18, wherein the means which supplies simultaneously the gradation currents to the plurality of data lines of each of the data line groups in the current holding circuits (CH) comprise a plurality of current storage circuits (31A, 31B, 31C, 31D) which take in the signal currents corresponding to the plurality of data lines of each of the data line groups and outputs gradation currents based on the signal currents.

20. The display device according to claim 19, wherein the current generation circuit comprises a means which generates and outputs the signal currents supplied to the current holding circuits as time series data corresponding to the plurality of display

5 pixels connected to each of the plurality of data lines of each of the data line groups

21. The display device according to claim 20, wherein each of the plurality of current storage circuits comprise a means which takes in sequentially the signal currents supplied as the time series data from the current generation circuit as the plurality of signal currents corresponding to each of the plurality of display pixels connected to the plurality of data lines of each of the data line groups according to the time series timing of the signal currents.

22. The display device according to claim 19, wherein each of the plurality of current storage circuits comprises a pair of current storage sections (C_{Ma}, C_{Mb}) arranged in parallel.

23. The display device according to claim 22, wherein the pairs of current storage sections are controlled to perform simultaneously in parallel an operation which takes in and holds the signal currents outputted to one side of the current storage sections from the current generation circuit; and an operation which supplies the gradation currents to the data lines based on the signal currents held in the other side of the current storage sections.

24. The display device according to claim 22, wherein each of

the current storage sections comprise voltage component holding sections which take in the signal currents outputted from the current generation circuit and hold the voltage component corresponding to the current value of the signal currents.

25. The display device according to claim 24, wherein the voltage component holding sections comprise a capacitative element (C31) in which the electric charge is written in as the voltage component corresponding to the signal currents.

26. The display device according to claim 25, wherein the voltage component holding sections comprise Field-Effect Transistors (M33) which flow the signal currents between source-drain; the capacitative element at least consists of parasitic capacitance between the source-gate of the Field-Effect Transistors; and the voltage between source-gate is written in the capacitative element based on the signal currents.

27. The display device according to claim 13, wherein the current holding circuits comprise a first timing operation which holds the voltage component corresponding to the signal currents outputted from the current generation circuit; and a second timing operation which outputs the currents corresponding to the voltage component as the gradation currents.

28. The display device according to claim 13, wherein the display

panel comprise single scanning line groups which include all of the plurality of scanning lines of the display panel and a single scanning signal line connected to the scanning line groups;

5 and the scanning driver circuit applies a single scanning signal to the scanning signal lines and selects simultaneously all of the plurality of display pixels of the display panel.

29. The display device according to claim 13, wherein the display pixels (EM) comprises a pixel driver circuit (DC) which generates drive currents having a current value based on the gradation currents; and current control type display devices (OEL) which
5 operate by the display luminosity based on the current value of the drive currents.

30. The display device according to claim 29, wherein the display devices have light emitting devices which perform luminescent operation by the luminescent luminosity based on the current value of the drive currents.

31. The display device according to claim 30, wherein the light emitting devices are organic electroluminescent devices.

32. The display device according to claim 31, wherein the organic electroluminescent devices are provided distributed in the entire surface side of the substrate in which the scanning lines and the data lines are provided and have a top emission structure

5 which emits the light radiated by the luminescent operation in the opposite direction of the substrate.

33. The display device according to claim 29, wherein the pixel driver circuit comprises at least a charge storage circuit which stores the electric charge accompanying the gradation currents; and a drive control circuit which generates the drive currents
5 supplied to the display device based on the electric charge stored in the charge storage circuit.

34. The display device according to claim 33, wherein the display pixels are controlled so that the electric charge accompanying the gradation currents is stored in the charge storage circuit of the pixel driver circuit during a selection period when the
5 plurality of display pixels are selected simultaneously by the scanning driver circuit; and the drive currents generated by the drive control circuit of the pixel driver circuit are supplied to the display device during a non-selection period when the plurality of display pixels are non-selected.

35. The display device according to claim 34, wherein during the selection period of each of the display pixels, the display device is set to a non-operational state by shifting to a reverse-bias condition; and during the non-selection period of
5 each of the display pixels, the display device is set to the operational state by shifting to a forward-bias condition.

36. A drive method of the display device which displays image information comprising at least:

the display device comprising a display panel which comprises a plurality of display pixels arranged near each of the intersecting points of a plurality of scanning lines and a plurality of data lines distributed extending in the direction of rows and columns; a scanning driver circuit which selects simultaneously a plurality of display pixels of the plurality of rows connected to some of the plurality of scanning lines of the plurality of scanning lines of the display panel; and a signal driver circuit which outputs gradation currents according to the display data that provides the display gradation of each of the display pixels to the plurality of display pixels selected by the scanning driver circuit;

the display data is supplied by the signal driver circuit that provides the display gradation of each of the display pixels and the signal currents are generated which have a current value according to the value of the display data;

the signal currents are taken in sequentially and held as the signal currents corresponding to the display pixels of the plurality of rows selected by the scanning driver circuit;

the gradation currents are outputted simultaneously to each of the display pixels of the plurality of rows connected to the plurality of scanning lines based on the signal currents;

the plurality of scanning lines are selected simultaneously by the scanning driver circuit and the gradation currents are

written in the plurality of display pixels; and

the plurality of display pixels in which the gradation currents were written operate by the display luminosity based on the current value of the gradation currents.

30

37. The drive method of the display device according to claim 36, wherein the signal currents are generated as time series data corresponding to the display pixels of the plurality of rows selected by the scanning driver circuit.

38. The drive method of the display device according to claim 37, wherein the taking in of the signal currents are taken in sequentially as a plurality of signal currents corresponding to the display pixels of the plurality of rows according to the time series timing of the signal currents.

5

39. The drive method of the display device according to claim 38, wherein the taking in as the signal currents for each of the display pixels signal currents and outputting of the gradation currents are performed simultaneously in parallel based on the signal currents.

5

40. The drive method of the display device according to claim 36, wherein the display pixels comprising at least:

a pixel driver circuit comprising a charge storage circuit which stores the electric charge accompanying the gradation

5 currents; and a drive control circuit which generates the drive
currents supplied to the display device based on the electric
charge stored in the charge storage circuit; and the current
control type display devices which operate by the display
luminosity based on the current value of the drive currents;
10 the electric charge accompanying the gradation currents
are stored in the charge storage circuit of the pixel driver
circuit and the write in of the gradation currents are performed
in the selection period when the plurality of scanning lines
are selected by the scanning driver circuit;
15 the drive currents are supplied to the display device based
on the electric charge accumulated in the charge storage circuit
by the drive control circuit of the pixel driver circuit during
a non-selection period when the plurality of scanning lines are
non-selected and the display device operates by the display
20 luminosity according to the current vale of the drive currents.

41. The drive method of the display device according to claim
40, wherein during the selection period of each of the display
pixels, the display device is set in a non-operational state
by shifting into a reverse-bias condition; and during the
25 non-selection period of each of the display pixels, the display
device is set in an operational state by shifting into a
forward-bias condition.

FIG. 1

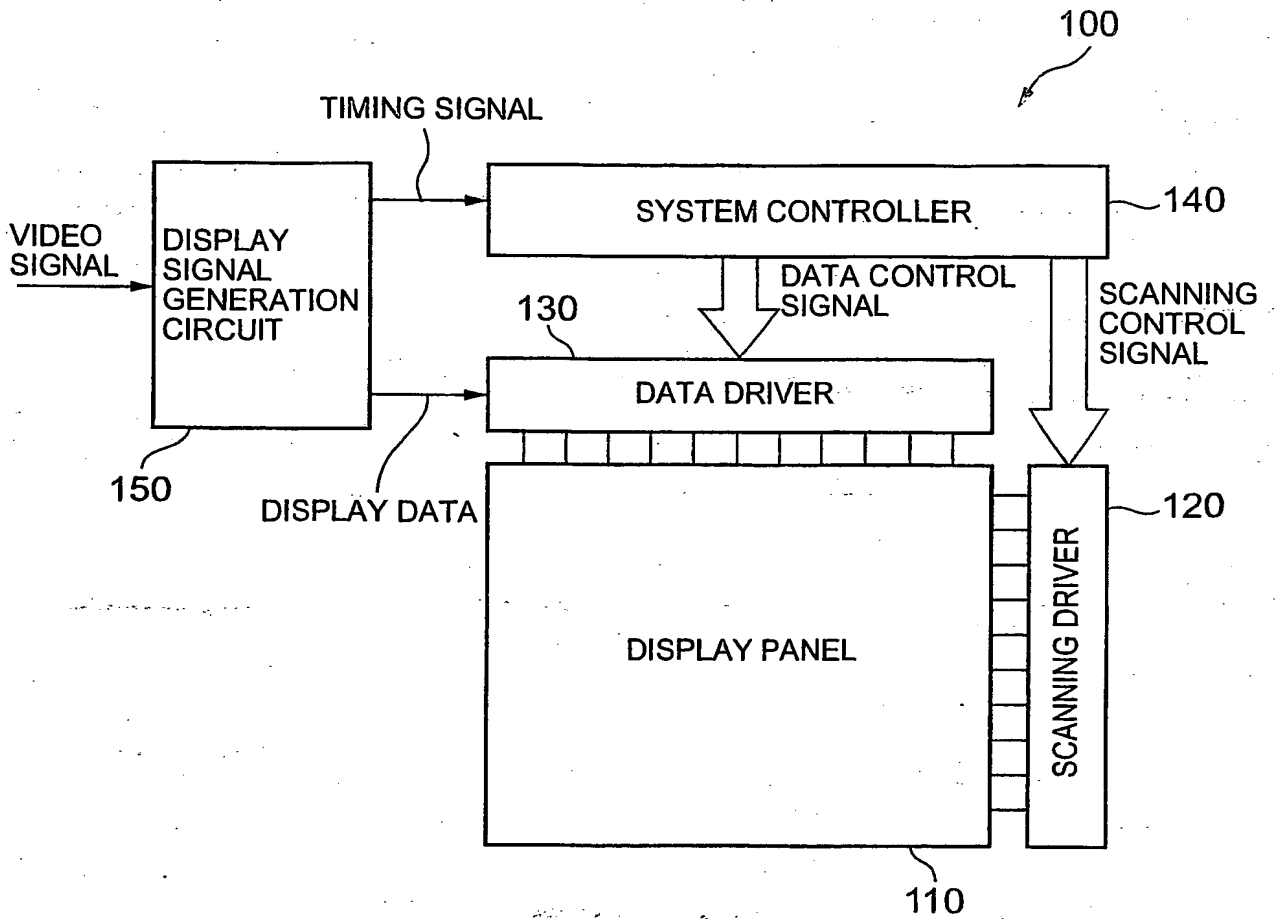


FIG. 2

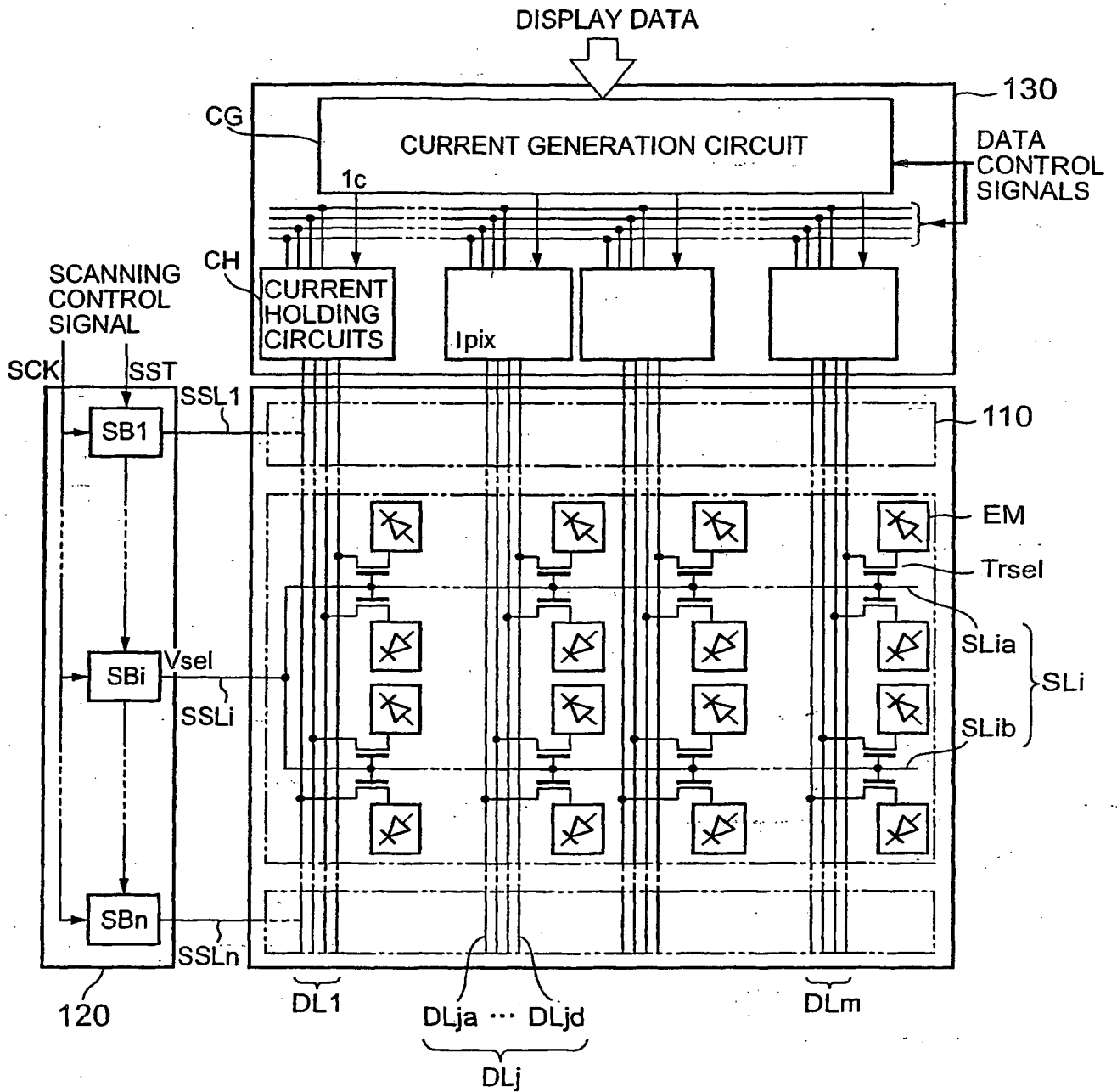


FIG. 3

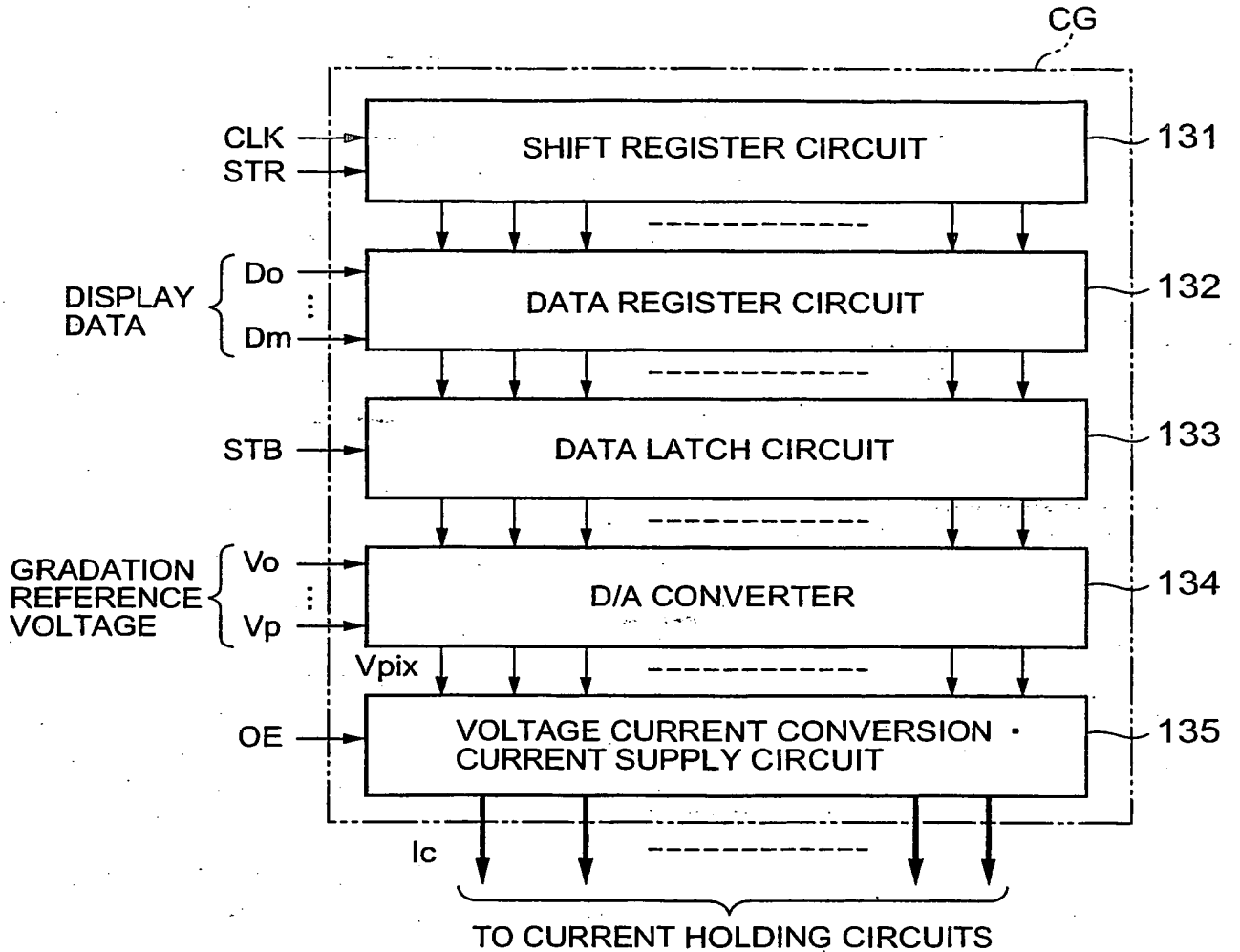


FIG. 4

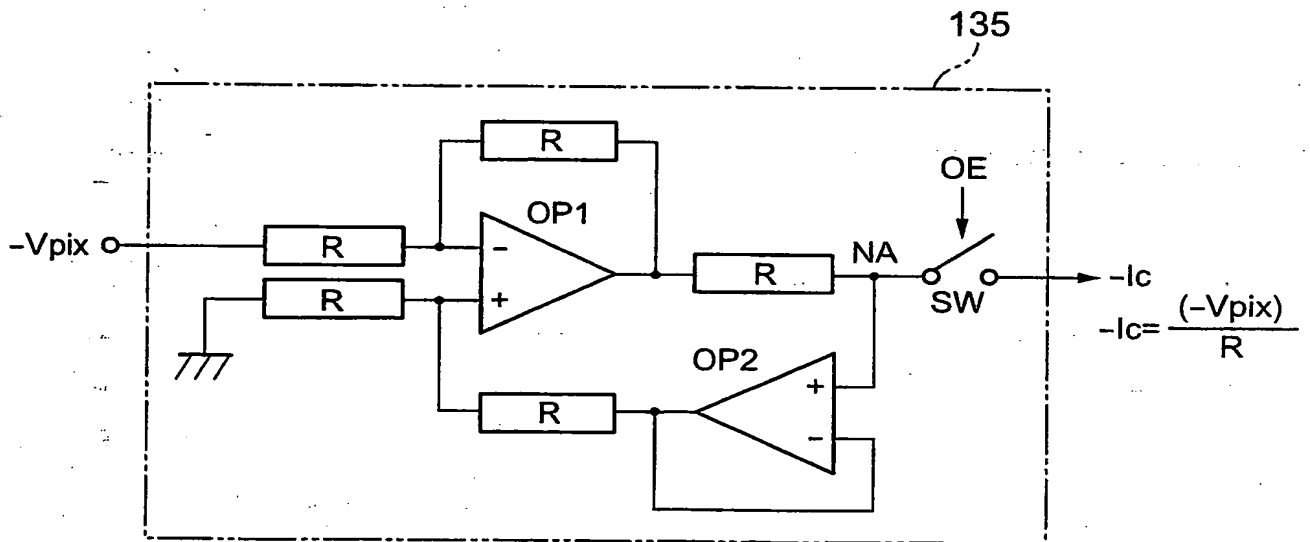


FIG. 5

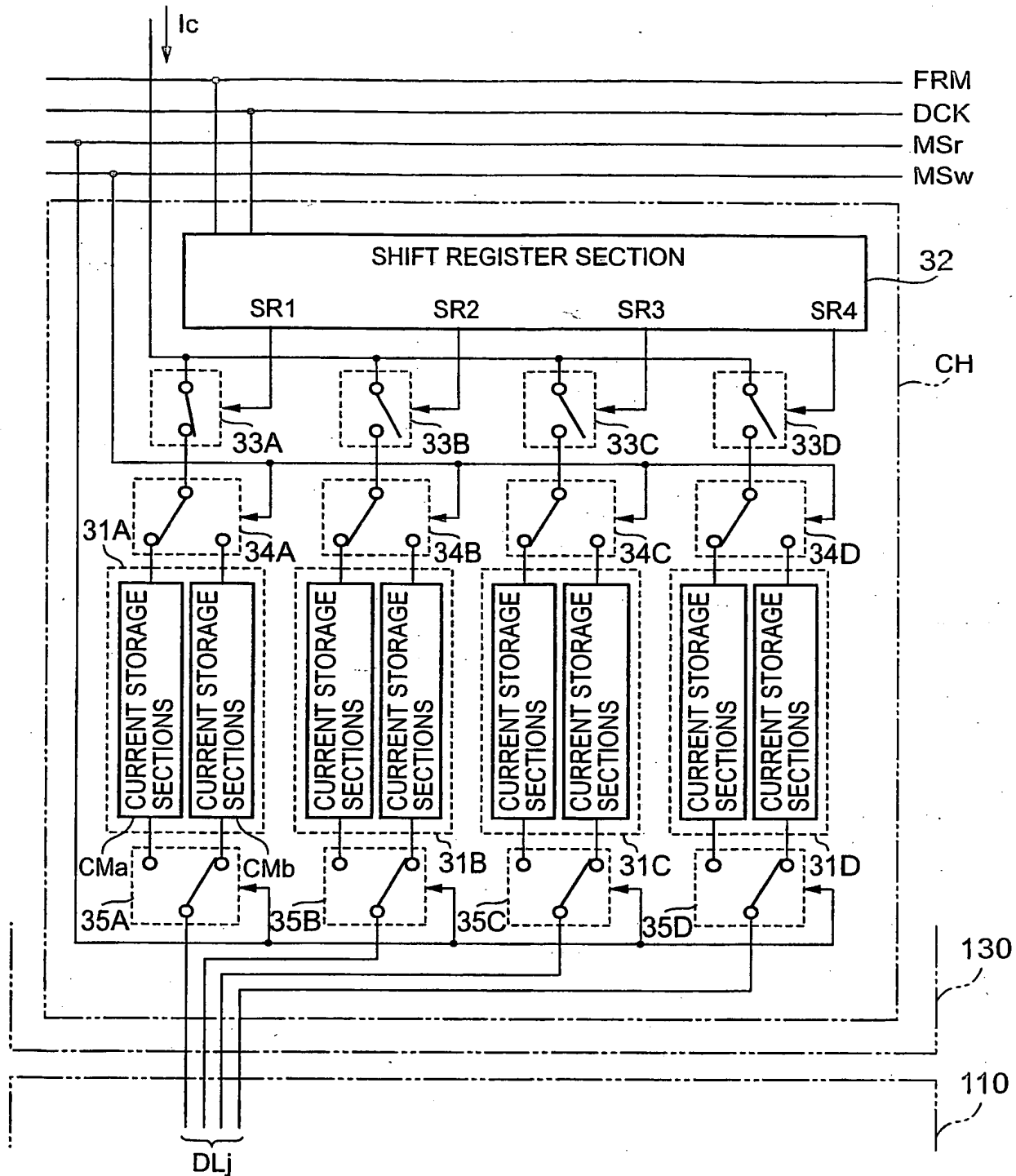


FIG. 6

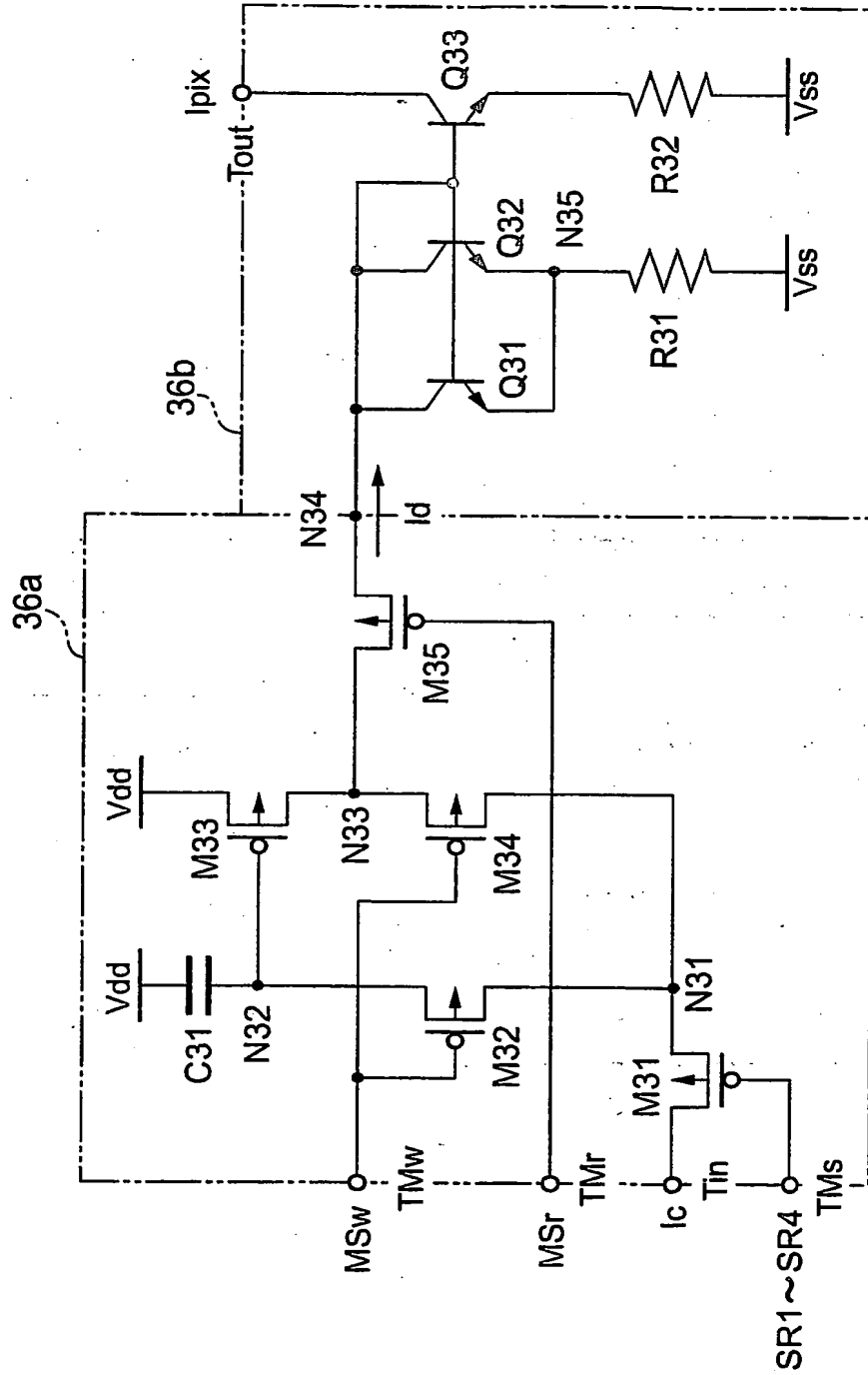


FIG. 7A

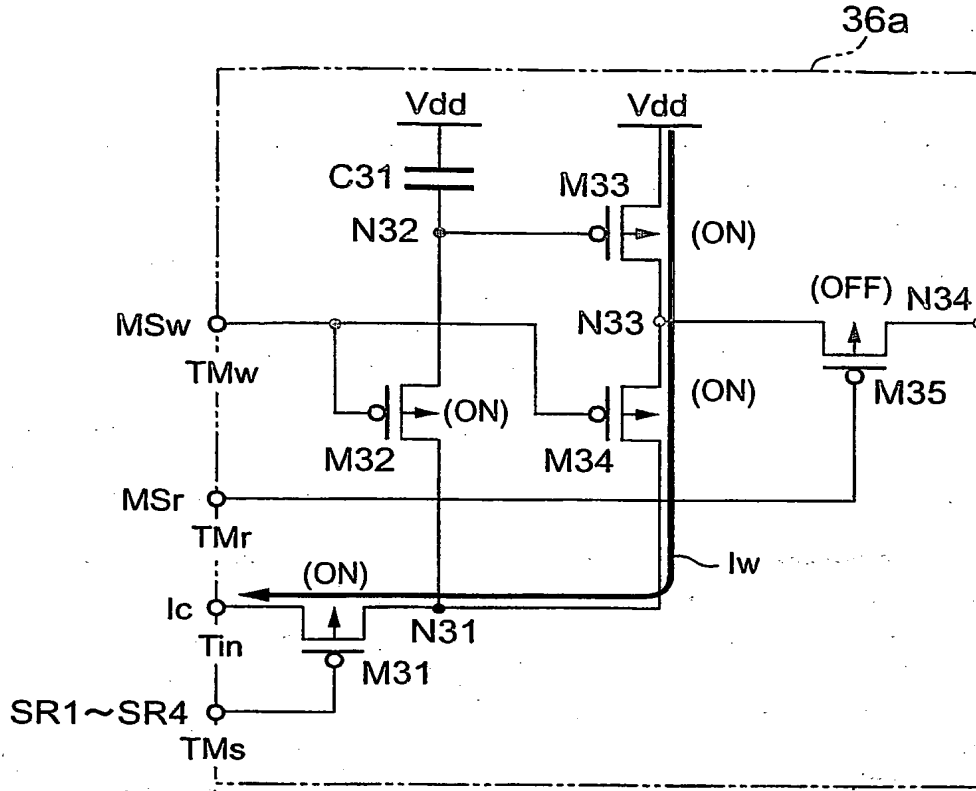


FIG. 7B

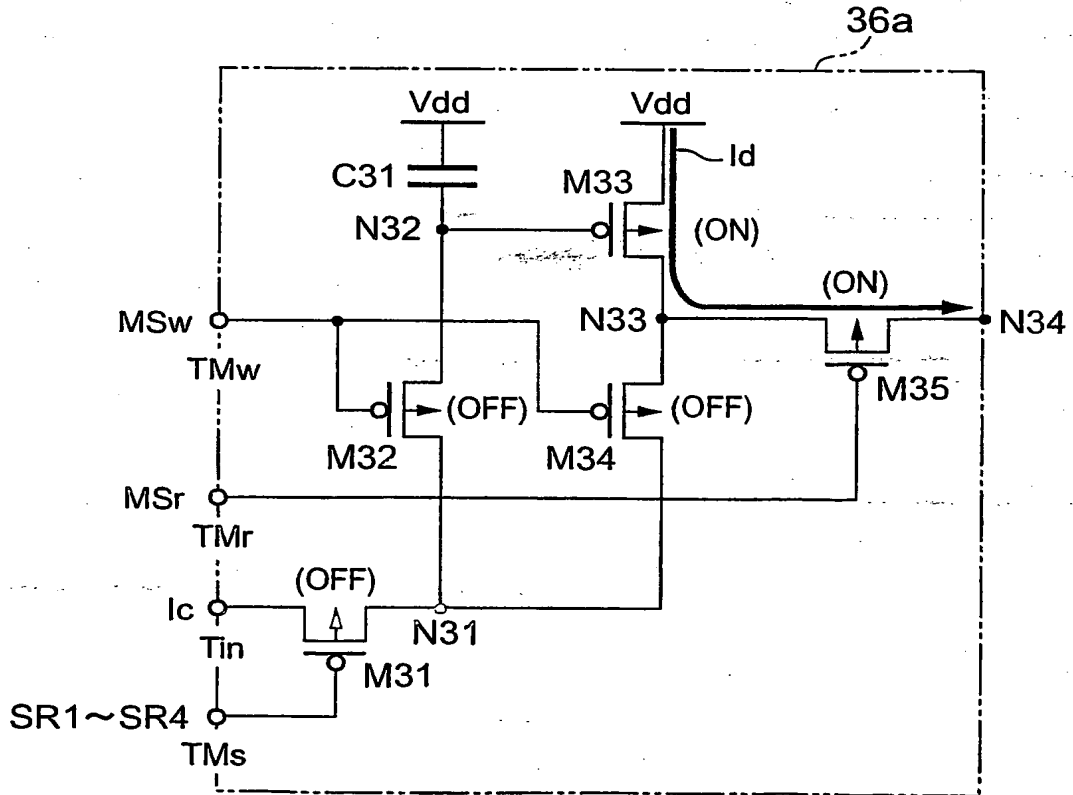


FIG. 8

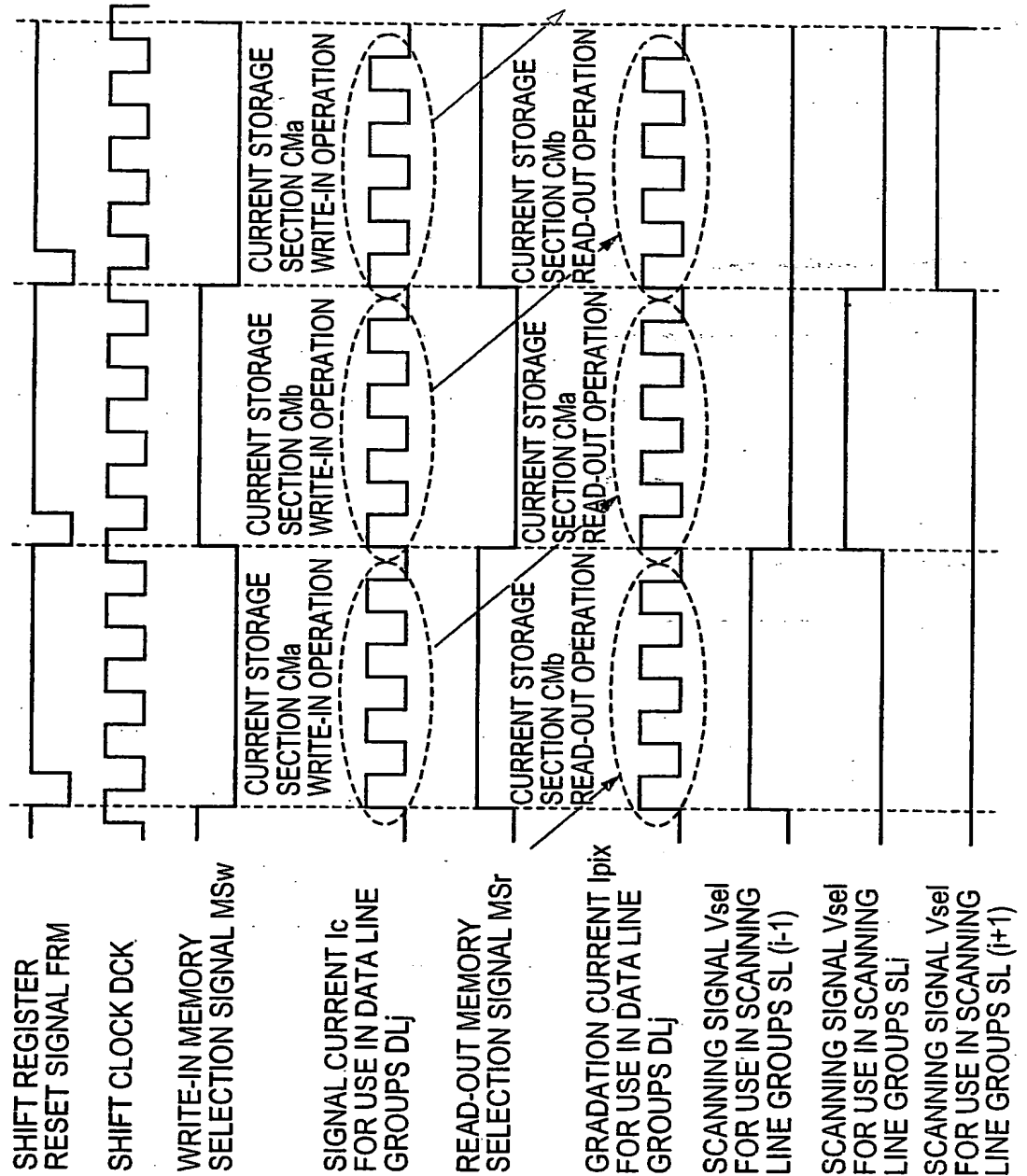
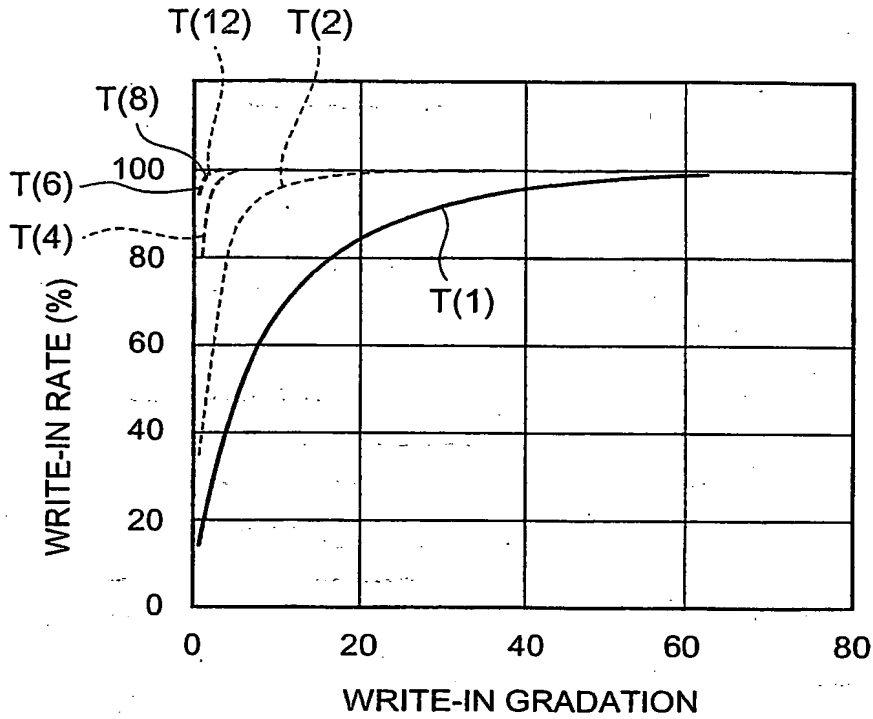


FIG. 9



DISPLAY NOTATION	WRITE-IN PERIOD (μ sec)	SCALE FACTOR
T(1)	22	1 FOLD (NORMAL)
T(2)	44	2 FOLD
T(4)	88	4 FOLD
T(6)	132	6 FOLD
T(8)	176	8 FOLD
T(12)	264	12 FOLD

FIG. 10

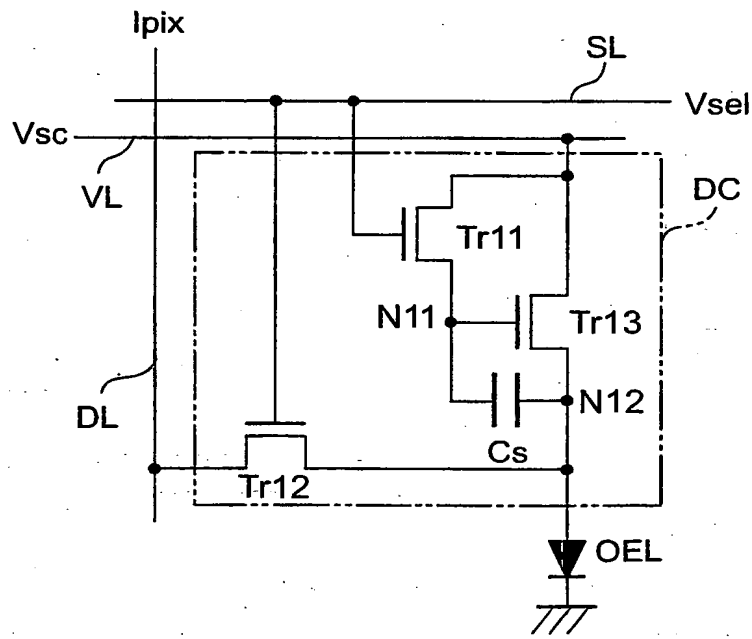


FIG. 11A

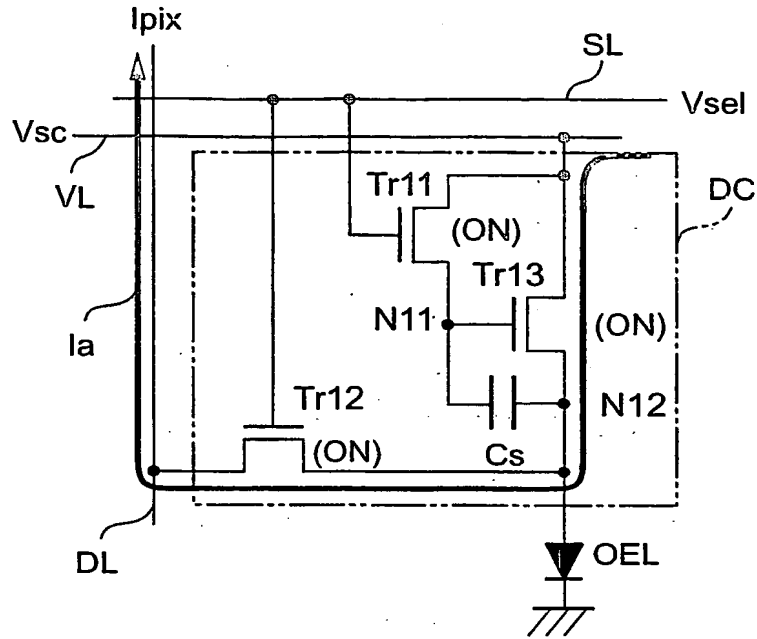


FIG. 11B

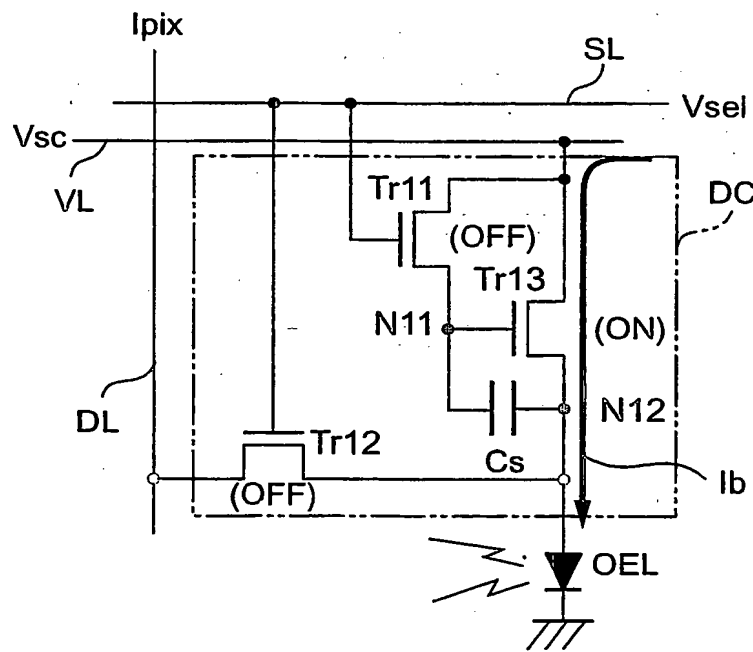


FIG. 12

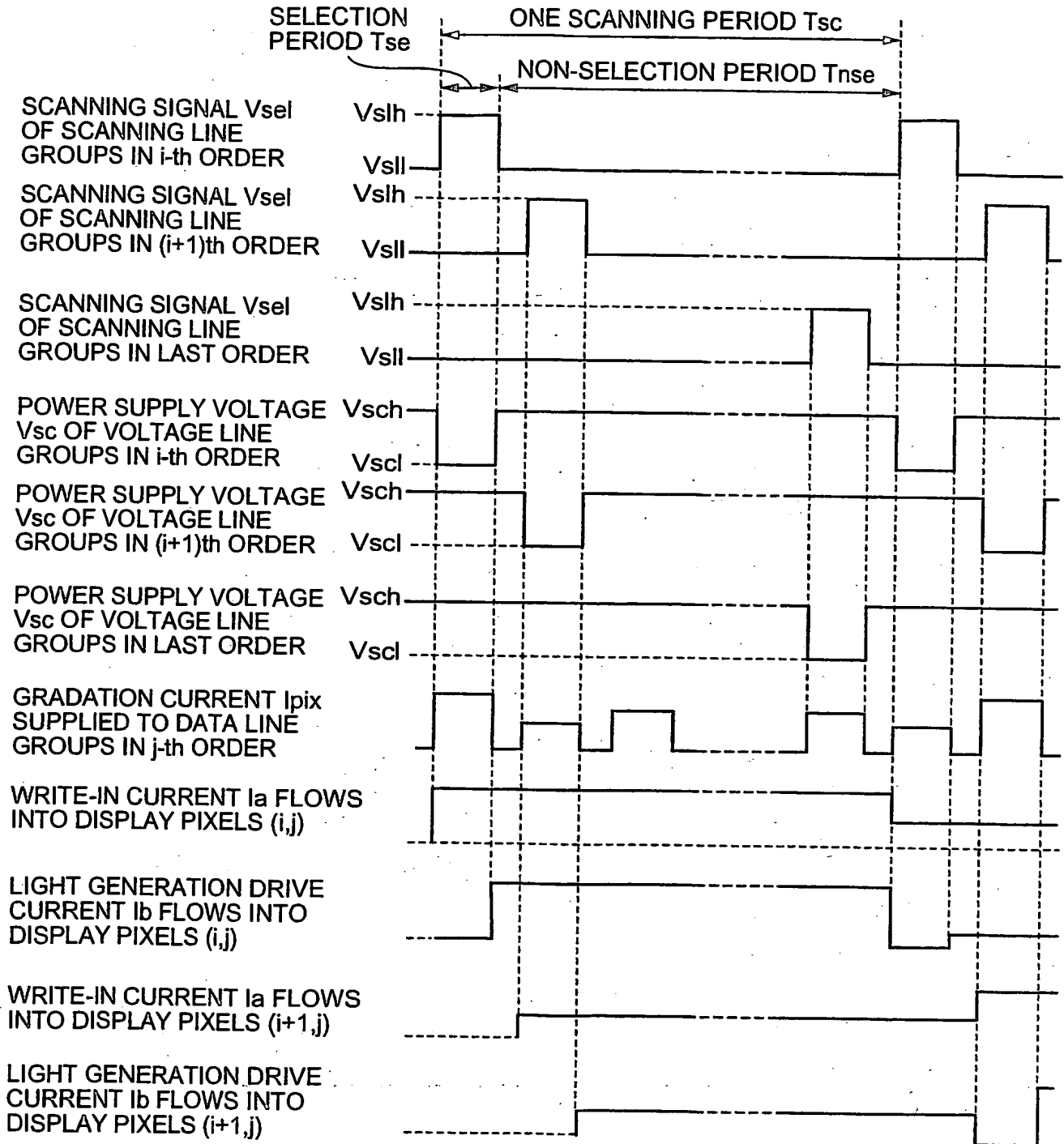


FIG. 13

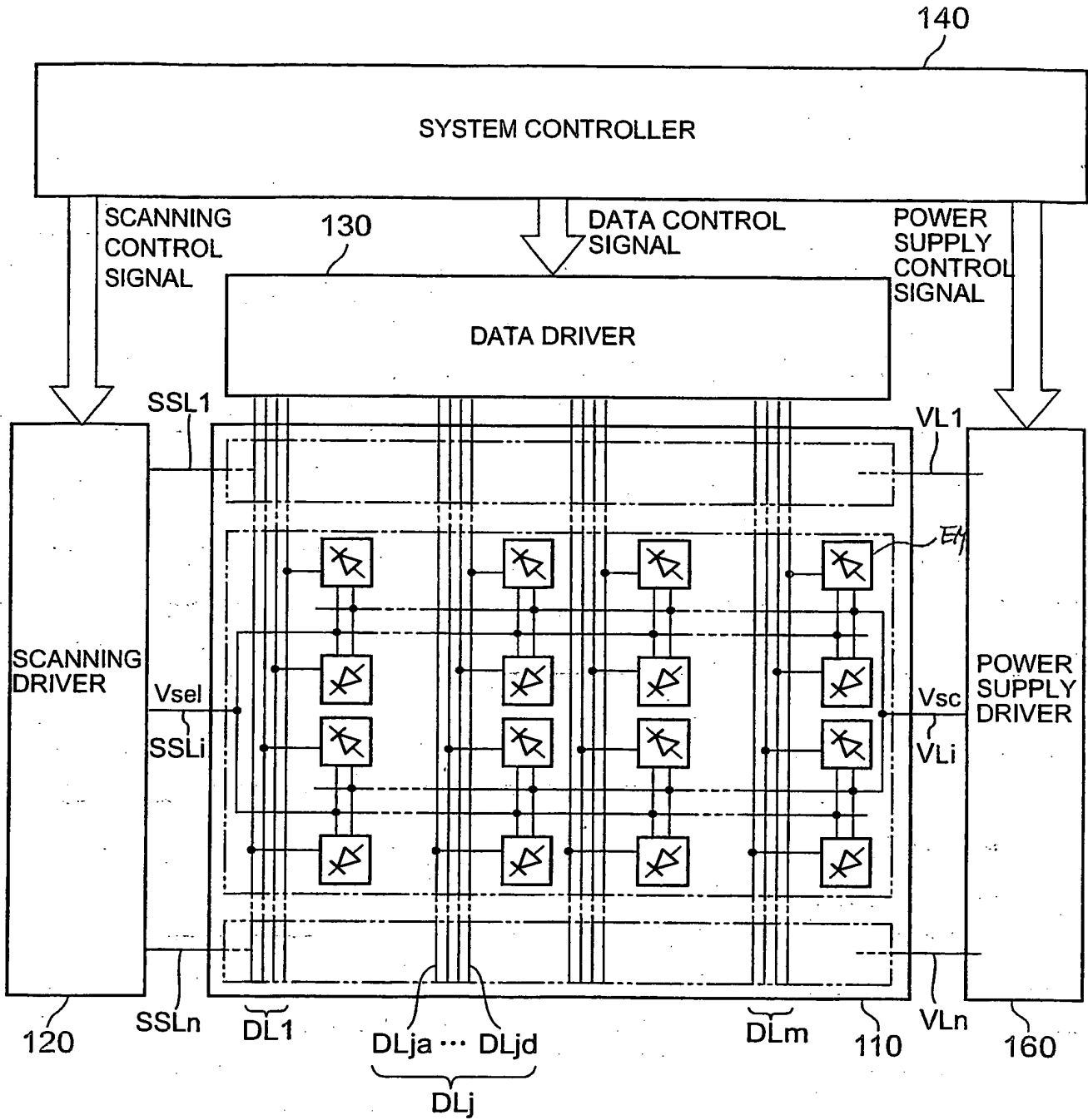


FIG. 14A

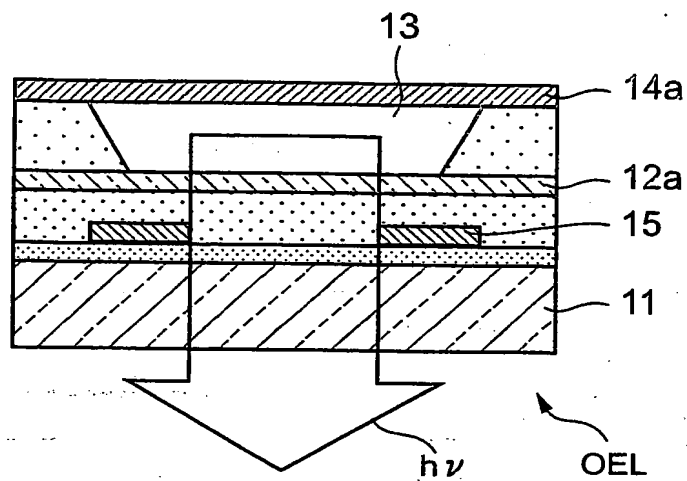


FIG. 14B

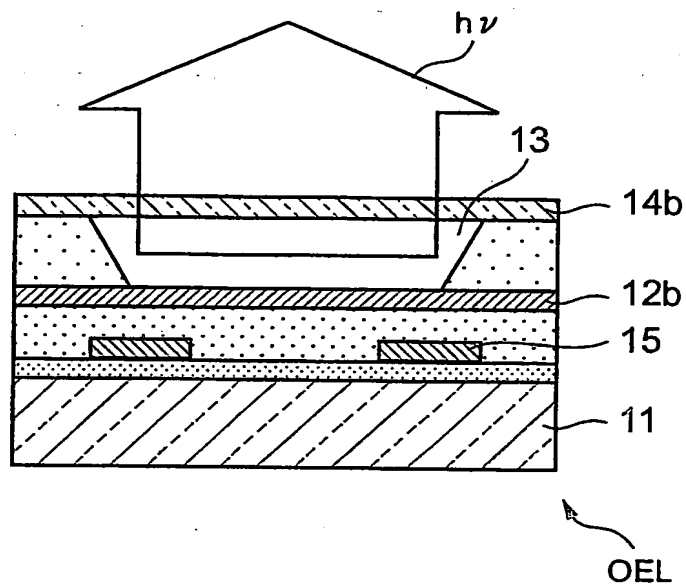


FIG. 15A
PRIOR ART

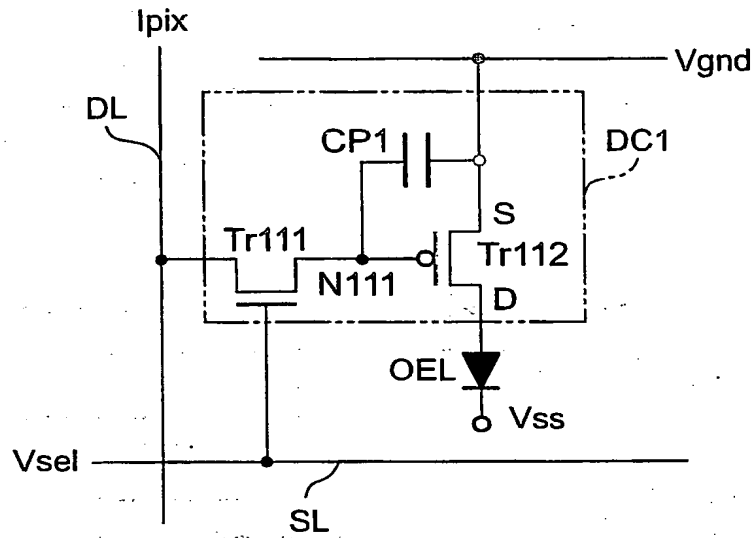


FIG. 15B
PRIOR ART

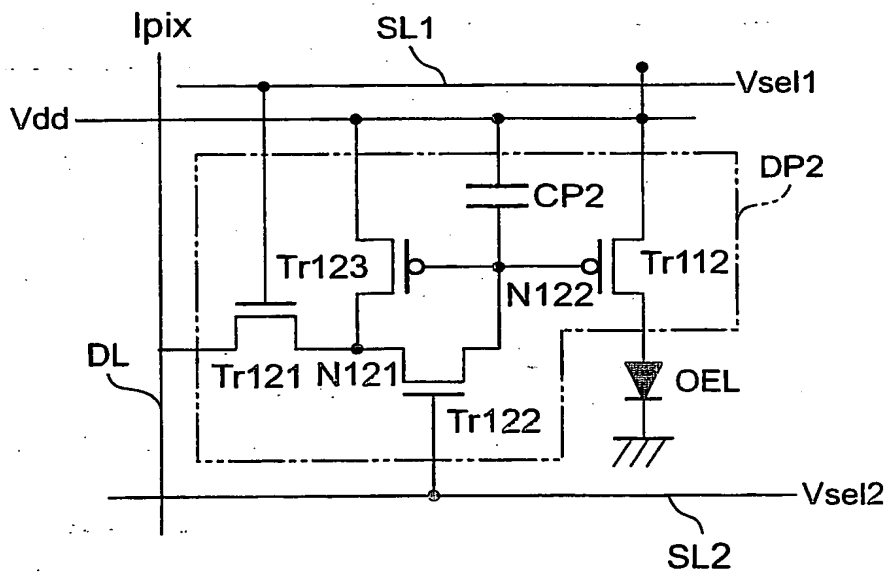
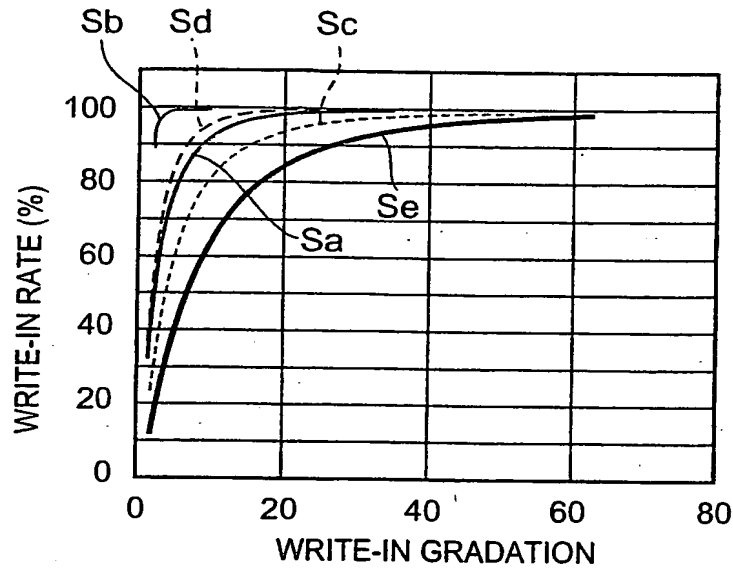
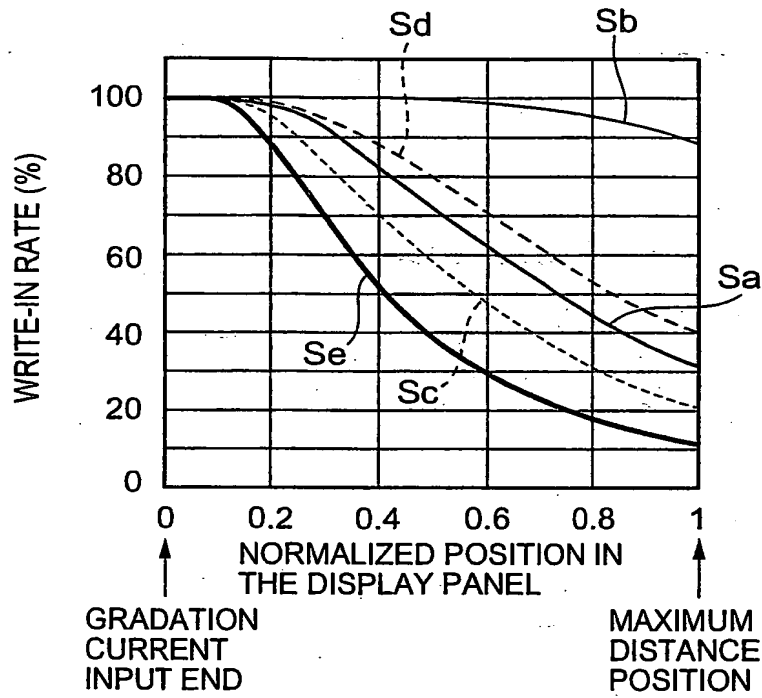


FIG. 16



DISPLAY NOTATION	Sa	Sb	Sc	Sd	Se
SCREEN SIZE (NUMBER OF PIXELS)	1.6" 60000pix	2.04" 60000pix	2.04" 120000pix	3.5" QVGA	37" Hi vision
NUMBER OF HORIZONTAL PIXELS	280	128	176	320	1365
NUMBER OF VERTICAL PIXELS	220	160	240	240	768
WIRING CAPACITOR OF THE DATA LINES	3.6pF	3.1pF	4.0pF	4.7pF	19.9pF

FIG. 17





APPLICATION NUMBER	FILING OR 371(c) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
11/438,967	05/23/2006	Tsuyoshi Ozaki	0633/LH

CONFIRMATION NO. 5382

01933
FRISHAUF, HOLTZ, GOODMAN & CHICK, PC
220 Fifth Avenue
16TH Floor
NEW YORK, NY10001-7708

Title: Display apparatus and drive control method thereof

Publication No. US-2006-0267886-A1

Publication Date: 11/30/2006

NOTICE OF PUBLICATION OF APPLICATION

The above-identified application will be electronically published as a patent application publication pursuant to 37 CFR 1.211, et seq. The patent application publication number and publication date are set forth above.

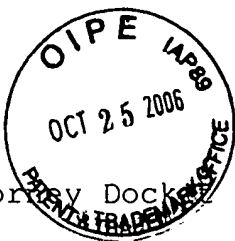
The publication may be accessed through the USPTO's publicly available Searchable Databases via the Internet at www.uspto.gov. The direct link to access the publication is currently <http://www.uspto.gov/patft/>.

The publication process established by the Office does not provide for mailing a copy of the publication to applicant. A copy of the publication may be obtained from the Office upon payment of the appropriate fee set forth in 37 CFR 1.19(a)(1). Orders for copies of patent application publications are handled by the USPTO's Office of Public Records. The Office of Public Records can be reached by telephone at (703) 308-9726 or (800) 972-6382, by facsimile at (703) 305-8759, by mail addressed to the United States Patent and Trademark Office, Office of Public Records, Alexandria, VA 22313-1450 or via the Internet.

In addition, information on the status of the application, including the mailing date of Office actions and the dates of receipt of correspondence filed in the Office, may also be accessed via the Internet through the Patent Electronic Business Center at www.uspto.gov using the public side of the Patent Application Information and Retrieval (PAIR) system. The direct link to access this status information is currently <http://pair.uspto.gov/>. Prior to publication, such status information is confidential and may only be obtained by applicant using the private side of PAIR.

Further assistance in electronically accessing the publication, or about PAIR, is available by calling the Patent Electronic Business Center at 703-305-3028.

Pre-Grant Publication Division, 703-605-4283



10-26-06

IFW

Attorney Docket No. 06331LH

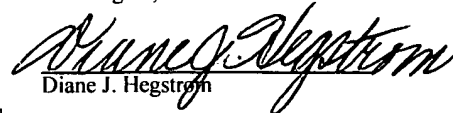
**IN THE UNITED STATES PATENT
AND TRADEMARK OFFICE**

Express Mail Mailing Label
No.: EV 972925098 US

Date of Deposit: October 25, 2006

Applicant : Tsuyoshi OZAKI et al
Serial No. : 11/438,967
Filed : May 23, 2006
For : DISPLAY APPARATUS AND
DRIVE CONTROL METHOD THEREOF
Customer No.: 01933
Art Unit : 2878
Examiner : Not Yet Assigned
Confirm. No.: 5382

I hereby certify the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to the Asst. Commissioner for Patents, Washington, D.C. 20231


Diane J. Hegstrom

In the event that this Paper is late filed, and the necessary petition for extension of time is not filed concurrently herewith, please consider this as a Petition for the requisite extension of time, and to the extent not tendered by credit card payment, authorization to charge the extension fee, or any other fee required in connection with this Paper to Account No. 06-1378.

**INFORMATION DISCLOSURE STATEMENT
WITH STATEMENT UNDER 37 CFR 1.97(e)
AND STATEMENT UNDER 37 CFR 1.704(d)**

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

S I R :

Submitted herewith are the following:

- (1) Copy of an Invitation to Pay Additional Fees and a Partial International Search Report dated September 29, 2006 issued in a counterpart International application;
- (2) A copy of cited publication (except U.S. patents and publications); and
- (3) Form PTO/SB/08A.

The Invitation to Pay Additional Fees and the Partial International Search Report are in English, and thereby satisfy the requirements for a concise explanation of relevance for the documents cited therein (MPEP 609.04(a) III).

US 2004/0256617 listed on the attached PTO/SB/08A is a counterpart of WO 2004/019314 cited in the attached Partial International Search Report. See the Patent Family Annex to the Partial International Search Report.

STATEMENT UNDER 37 CFR 1.97(e)(1)

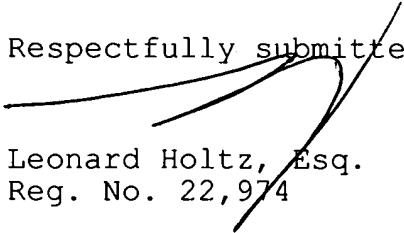
Each item of information contained in this Information Disclosure Statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the present Information Disclosure Statement. Said Communication bears a mailing date of September 29, 2006. Therefore, the filing of this Information Disclosure Statement is timely under the provisions of 37 CFR 1.97(e) and does not require a fee.

STATEMENT UNDER 37 CFR 1.704(d)

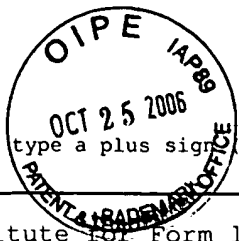
Each item of information contained in this Information Disclosure Statement was cited in said communication from a foreign patent office in a counterpart application, and this communication was not received by any individual designated in §1.56©) more than thirty days prior to the filing of the present Information Disclosure Statement.

It is requested that an initialed copy of the Form PTO/SB/08A be returned to indicate that the publications listed therein have been considered and made of record.

Respectfully submitted,


Leonard Holtz, Esq.
Reg. No. 22,974

FRISHAUF HOLTZ GOODMAN & CHICK, P.C.
220 FIFTH AVENUE
NEW YORK, N.Y. 10001-7708
Tel. No. (212) 319-4900
Fax No. (212) 319-5101
LH:djh



Please type a plus sign (+) inside this box →

+

PTO/SB/08A (08-00)

U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE

Substitute for Form 1449A/PTO INFORMATION DISCLOSURE STATEMENT BY APPLICANT	Application Number	11/438,967
	Filing Date	May 23, 2006
	First Named Inventor	Tsuyoshi OZAKI
	Group Art Unit	2878
	Examiner Name	Not Yet Assigned
Sheet 1 of 1	Attorney Docket Number	06331/LH

U.S. PATENT DOCUMENTS

Exam. Inits ¹	Cite No ¹	Document Number	Kind Code ²	Name of Patentee or Applicant	Publication Date MM-DD-YYYY	Relevant Portion
		US 2003/0095087	A1	LIBSCH et al	05-22-2003	
		US 2004/0256617	A1	YAMADA et al	12-23-2004	

FOREIGN PATENT DOCUMENTS

Exam Inits ¹	Cite No ¹	Offc ³	Document Number ⁴	Kind Code ⁵	Name of Patentee or Applicant	Publication Date MM-DD-YYYY	Relevant Portion	T ⁶
		WO	2004/019314	A1	CASIO COMPUTER CO., LTD	03-04-2004		

Examiner Signature	Date Considered	
--------------------	-----------------	--

¹ EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

² Unique citation designation number. ³ See kinds of U.S. Patent Documents. ⁴ Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). ⁵ For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. ⁶ Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. ⁷ Place a check here if English translation is attached.

DATE MAILED: October 25, 2006

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau



(43) International Publication Date
4 March 2004 (04.03.2004)

PCT

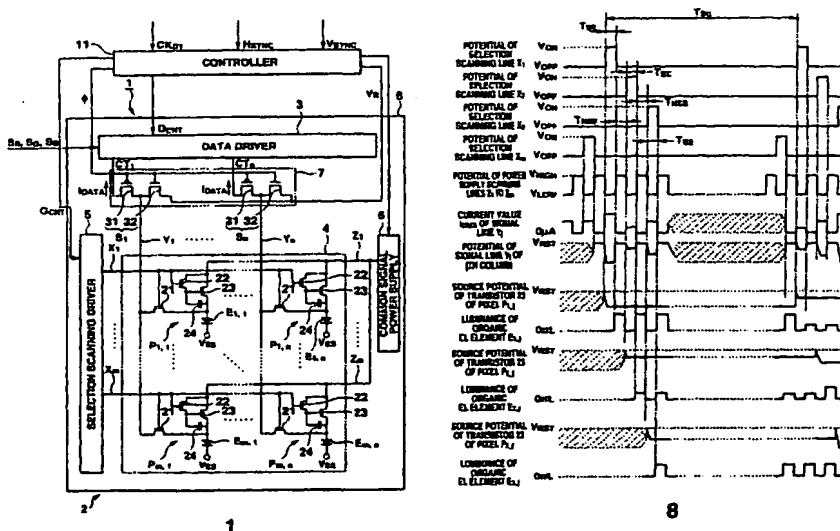
(10) International Publication Number
WO 2004/019314 A1

- (51) International Patent Classification⁷: G09G 3/32
- (21) International Application Number: PCT/JP2003/010644
- (22) International Filing Date: 22 August 2003 (22.08.2003)
- (25) Filing Language: English
- (26) Publication Language: English
- (30) Priority Data: 2002-245444 26 August 2002 (26.08.2002) JP
- (71) Applicant (for all designated States except US): CASIO COMPUTER CO., LTD. [JP/JP]; 6-2, Hon-machi 1-chome, Shibuya-ku, Tokyo 151-8543 (JP).
- (72) Inventors; and
- (75) Inventors/Applicants (for US only): YAMADA, Hiroyasu [JP/JP]; 2-11-5-502, Bessho, Hachioji-shi, Tokyo 192-0363 (JP). SHIRASAKI, Tomoyuki [JP/JP]; 1-1425-3-234, Sakuragaoka, Higashiyamato-shi, Tokyo 207-0022 (JP).
- (74) Agents: SUZUYE, Takehiko et al.; c/o SUZUYE & SUZUYE, 7-2, Kasumigaseki 3-chome, Chiyoda-ku, Tokyo 100-0013 (JP).
- (81) Designated States (national): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) Designated States (regional): ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Published:
 — with international search report
 — before the expiration of the time limit for amending the claims and to be republished in the event of receipt of amendments

[Continued on next page]

(54) Title: DISPLAY DEVICE AND DISPLAY DEVICE DRIVING METHOD



(57) Abstract: A display device includes a plurality of scanning lines ($X_1 - X_m$), a plurality of signal lines ($Y_1 - Y_n$), a scanning driver (5) which sequentially supplies to the scanning lines selection signals that select the scanning lines, a data driver (3) which supplies a designation current to the plurality of signal lines during within a selection period when the scanning lines are being selected, a plurality of pixel circuits which supplies a driving current corresponding to a current value of the designation current that flows to the signal lines, a plurality of optical elements ($E_{1,1} - E_{m,n}$) which emit light in accordance with the driving current supplied by the plurality of pixel circuits and a power supply (6) which outputs to the plurality of pixel circuits a driving current reference voltage to supply the driving current.

WO 2004/019314 A1

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

D E S C R I P T I O N

DISPLAY DEVICE AND DISPLAY DEVICE DRIVING METHOD

5

Technical Field

The present invention relates to a display device and a display device driving method.

Background Art

Liquid crystal displays are generally classified
10 into active matrix driving liquid crystal displays and
simple matrix driving liquid crystal displays. The
active matrix driving liquid crystal display displays
an image having a higher luminance, higher contrast,
and higher resolution as compared to the simple matrix
15 driving liquid crystal display. In the active matrix
driving liquid crystal display, a liquid crystal
element which also functions as a capacitor and a
transistor which activates the liquid crystal element
are arranged for each pixel. In the active matrix
20 driving liquid crystal display, a selection signal is
input from a scanning driver serving as a shift
register to a scanning line so that the scanning line
is selected. At this time, when a voltage having a
level representing a luminance is applied from a data
25 driver to a signal line, the voltage is applied to the
liquid crystal element through the transistor. Even
when the transistor is turned off during a period from

the end of signal input to the scanning line to the next signal input, the voltage level is held until the next signal is input to the scanning line because the liquid crystal element functions as a capacitor. As described above, while the signal is input to the scanning line, the light transmittance of the liquid crystal element is newly refreshed. Light from a backlight passes through the liquid crystal element at the refreshed light transmittance so that the gray level of the liquid crystal display is expressed.

On the other hand, an organic EL (ElectroLuminescence) display which uses organic EL elements as spontaneous optical elements requires no backlight, unlike liquid crystal displays. Hence, the organic EL display is optimum for a thin display. In addition, the organic EL display has no limitation on the angle of field, unlike liquid crystal displays. For this reason, practical utilization of organic EL displays as next-generation display devices is greatly expected.

From the viewpoint of a high luminance, high contrast, and high resolution, voltage-controlled active matrix driving schemes have been developed not only for liquid crystal displays but also for organic EL displays. However, the capacity of an organic EL element is much smaller than that of a liquid crystal element so a current flows to the organic EL element

itself. To hold a voltage, the number of transistors increases. This leads to an increase in complexity of a circuit constituted by transistors.

In a transistor, generally, the channel resistance
5 changes due to a change in ambient temperature or long-time use. For this reason, the gate threshold voltage changes over time or varies between transistors. It is therefore difficult to uniquely designate the current level to be supplied to an
10 organic EL element on the basis of the gate voltage level of a switching transistor by changing the value of the voltage to be applied to the gate electrode of the transistor and thus changing the level of the current to be supplied to the organic EL element. In
15 other words, the level of the current to be supplied can hardly be uniquely designated by changing the value of the voltage to be applied to the gate electrode of the transistor and thus changing the luminance of the organic EL element. That is, even when a gate voltage
20 of the same level is applied to the transistors of a plurality of pixels, the organic EL elements of the plurality of pixels may have different emission luminances. This may cause a variation in luminance on the display screen.

25

Disclosure of Invention

It is an object of the present invention to provide a display device and a display device driving

method, which allow stable display on the basis of a simple driving principle.

In order to solve the above problems, according to an aspect of the present invention, there is provided a display device comprising:

a plurality of scanning lines (e.g., selection scanning lines X_1 to X_m);

a plurality of signal lines (e.g., signal lines Y_1 to Y_n);

a scanning driver (e.g., a selection scanning driver 5) which sequentially supplies to the scanning lines selection signals that select the scanning lines;

a data driver (e.g., a data driver 3) which supplies a designation current (e.g., a gray level designation current I_{DATA}) to the plurality of signal lines within a selection period (e.g., a selection period T_{SE}) when the scanning lines are being selected;

a plurality of pixel circuits (e.g., pixel circuits $D_{1,1}$ to $D_{m,n}$) which supplies a driving current corresponding to a current value of the designation current that flows to the signal lines;

a plurality of optical elements (e.g., light-emitting elements $E_{1,1}$ to $E_{m,n}$) which emit light in accordance with the driving current supplied by the plurality of pixel circuits; and

a power supply (e.g., a common signal power supply 6) which outputs to the plurality of pixel circuits a

driving current reference voltage (e.g., a voltage V_{HIGH}) to supply the driving current.

In the above device, in accordance with the timing when the power supply outputs the driving current reference voltage, the plurality of pixel circuits supply the driving current in accordance with the current value of the designation current that flows within each selection period. Accordingly, the optical elements emit light.

Hence, when the power supply outputs the driving current reference voltage from the end of the selection period of a predetermined scanning line till the beginning of the selection period of the next scanning line, a driving current corresponding to both an optical element corresponding to the predetermined scanning line and an optical element corresponding to the next scanning line flows. Hence, the optical elements can emit light at a desired luminance.

When the power supply outputs the driving current reference voltage to the pixel circuit at once after all the scanning lines are selected, all the optical elements can emit light.

When a reset voltage is output to the plurality of signal lines within a period when none of the plurality of optical elements are selected, the signal lines reset charges stored in the preceding selection period. For this reason, the parasitic capacitance of the

signal lines can be quickly charged within the next
selection period so that even when a designation
current having a smaller current value is supplied, the
current value of the designation current can rapidly be
5 set in the steady state. Hence, even an optical
element such as an organic EL element whose luminance
is modulated by a small current on the μ A order is
allowed to quickly display multiple gray level
luminances.

10 Brief Description of Drawings

FIG. 1 is a view showing an organic EL display
applied as a display device according to the first
embodiment of the present invention;

15 FIG. 2 is a plan view showing a pixel shown in
FIG. 1, in which an oxide insulating film, channel
protective insulating film, and common electrode are
omitted to help understanding;

FIG. 3 is a sectional view taken along a line
III - III in FIG. 2;

20 FIG. 4 is a sectional view taken along a line
IV - IV in FIG. 2;

FIG. 5 is a sectional view taken along a line
V - V in FIG. 2;

25 FIG. 6 is an equivalent circuit diagram of four
adjacent pixels;

FIG. 7 is a graph showing the current vs. voltage
characteristic of an N-channel field effect transistor

used in the first embodiment;

FIG. 8 is a timing chart showing the levels of signals in the apparatus according to the first embodiment;

5 FIG. 9A is a view showing a voltage state when no switching circuit is arranged, and a gray level designation current with the maximum current value is supplied across the drain and source of a transistor and a signal line during the selection period of the
10 ith row;

 FIG. 9B is a view showing a voltage state when a switching circuit is arranged, and a gray level designation current with the maximum current value is supplied across the drain and source of a transistor
15 and a signal line during the selection period of the
 ith row;

 FIG. 10 is a view showing an organic EL display applied as a display device according to the second embodiment of the present invention, in which a common
20 signal power supply is arranged in a controller;

 FIG. 11 is a view showing an organic EL display applied as a display device according to the third embodiment of the present invention, in which the drain of the transistor of a pixel circuit is connected to a
25 selection scanning line;

 FIGS. 12A and 12B are equivalent circuit diagrams showing adjacent pixels in the third embodiment to

indicate current flows in different operation periods;
and

FIG. 13 is a timing chart showing the levels of
signals in the apparatus according to the third
5 embodiment.

Best Mode for Carrying Out the Invention

Detailed embodiments of the present invention will
be described below with reference to the accompanying
drawings. The scope and spirit of the display device
10 or panel are not limited to the illustrated
embodiments.

[First Embodiment]

FIG. 1 is a view showing an organic EL display to
which the present invention is applied. An organic EL
15 display 1 comprises, as a basic arrangement, an organic
EL display panel 2, data driver 3, selection scanning
driver 5, common signal power supply 6, switching
circuit 7, and controller 11.

In the organic EL display panel 2, a display
20 section 4 on which an image is actually displayed is
formed on a transparent substrate 8. The data driver
3, selection scanning driver 5, common signal power
supply 6, and switching circuit 7 are arranged around
the display section 4. The data driver 3, selection
25 scanning driver 5, and common signal power supply 6 may
be arranged either on the transparent substrate 8 or
on a flexible circuit board arranged around the

transparent substrate 8.

In the display section 4, ($m \times n$) pixels $P_{1,1}$ to $P_{m,n}$ (m and n are arbitrary natural numbers) are arranged in a matrix on the transparent substrate 8.

5 In the column direction, i.e., in the vertical direction, m pixels $P_{1,j}$ to $P_{m,j}$ (j is an arbitrary natural number; $1 \leq j \leq n$) are arrayed. In the row direction, i.e., in the horizontal direction, n pixels $P_{i,1}$ to $P_{i,n}$ (i is an arbitrary natural number; $1 \leq$
10 $i \leq m$) are arrayed. That is, a pixel which exists on the i th line (i.e., the i th row) from the upper side in the vertical direction and the j th line (i.e., the j th column) from the left side in the horizontal direction is defined as a pixel $P_{i,j}$.

15 In the display section 4, m selection scanning lines X_1 to X_m running in the row direction are parallelly arranged in the column direction on the transparent substrate 8. In addition, m common signal supply lines Z_1 to Z_m running in the row direction are
20 parallelly arranged in the column direction on the transparent substrate 8 in correspondence with the selection scanning lines X_1 to X_m . Each common signal supply line Z_k ($1 \leq k \leq m-1$) is inserted between the selection scanning lines X_k and X_{k+1} . The selection
25 scanning line X_m is inserted between the common signal supply lines Z_{m-1} and Z_m . In addition, n signal lines Y_1 to Y_n running in the column direction are parallelly

arranged in the row direction on the transparent substrate 8. The selection scanning lines X_1 to X_m , common signal supply lines Z_1 to Z_m , and signal lines Y_1 to Y_n are insulated from each other by intervening insulating films. A selection scanning line X_i and common signal supply line Z_i are connected to n pixels $P_{i,1}$ to $P_{i,n}$ arrayed in the row direction. A signal line Y_j is connected to m pixels $P_{i,j}$ to $P_{m,j}$ arrayed in the column direction. The pixel $P_{i,j}$ is arranged at a portion surrounded by the selection scanning line X_i , common signal supply line Z_i , and signal line Y_j . The selection scanning lines X_1 to X_m are connected to the output terminals of the selection scanning driver 5. The common signal supply lines Z_1 to Z_m are rendered conductive to each other and connected to the output terminal of the common signal power supply 6. That is, the same signal is output to the common signal supply lines Z_1 to Z_m .

The pixel $P_{i,j}$ will be described next with reference to FIGS. 2 to 6. FIG. 2 is a plan view showing the pixel $P_{i,j}$. To help understanding, an oxide insulating film 41, channel protective insulating film 45, and common electrode 53 (to be described later) are omitted. FIG. 3 is a sectional view taken along a line III - III in FIG. 2. FIG. 4 is a sectional view taken along a line IV - IV in FIG. 2. FIG. 5 is a sectional view taken along a line V - V in

FIG. 2.

FIG. 6 is an equivalent circuit diagram of four adjacent pixels $P_{i,j}$, $P_{i+1,j}$, $P_{i,j+1}$, and $P_{i+1,j+1}$.

The pixel $P_{i,j}$ is constituted by a light-emitting element $E_{i,j}$ which emits light with a luminance ($\text{nt.} = \text{cd/m}^2$) corresponding to the current value of the driving current and a pixel circuit $D_{i,j}$ which is arranged around the light-emitting element $E_{i,j}$ and drives the light-emitting element $E_{i,j}$. The pixel circuit $D_{i,j}$ holds the current value of a current that flows to the light-emitting element $E_{i,j}$ during a predetermined light-emitting period on the basis of a voltage signal and current output from the data driver 3, selection scanning driver 5, power supply scanning driver 6, and switching circuit 7. With this operation, the luminance of the light-emitting element $E_{i,j}$ is held at a predetermined value during a predetermined period.

The light-emitting element $E_{i,j}$ is made of an organic EL element. The light-emitting element $E_{i,j}$ has a multilayered structure formed by sequentially stacking a pixel electrode 51, an organic EL layer 52, and the common electrode 53. The pixel electrode 51 functions as an anode on the transparent substrate 8. The organic EL layer 52 has a function of receiving holes and electrons by an electric field and a function of transporting holes and electrons. The organic EL

layer 52 has a recombination region where the transported holes and electrons are recombined and a light-emitting region where light is emitted by capturing excitons generated upon recombination. The organic EL layer 52 functions as a light-emitting layer in a broad sense. The common electrode 53 functions as a cathode.

The pixel electrode 51 is patterned and separated for each pixel $P_{i,j}$ in each surrounded region surrounded by the signal lines Y_1 to Y_n and selection scanning lines X_1 to X_m . The peripheral edge of the pixel electrode 51 is covered with an interlayer dielectric film 54 which has a layer of silicon nitride or silicon oxide that covers three transistors 21, 22, and 23 of the pixel circuit $D_{i,j}$. The upper surface at the center of the pixel electrode 51 is exposed through a contact hole 55 in the interlayer dielectric film 54. The interlayer dielectric film 54 may also have a second layer formed of an insulating film of polyimide or the like on the first layer of silicon nitride or silicon oxide.

The pixel electrode 51 has conductivity and transmittance to visible light. The pixel electrode 51 preferably has a relatively high work function and efficiently injects holes into the organic EL layer 52. For example, the pixel electrode 51 contains, as a principal component, indium tin oxide (ITO), indium

zinc oxide, indium oxide (In_2O_3), tin oxide (SnO_2), or zinc oxide (ZnO).

The organic EL layer 52 is formed on each pixel electrode 51. The organic EL layer 52 is also
5 patterned for each pixel $P_{i,j}$. The organic EL layer 52 contains a light-emitting material (phosphor) as an organic compound. The light-emitting material may be either a polymeric material or a low molecular weight material. The organic EL layer 52 may have, e.g., a
10 two-layered structure in which a hole transport layer 52A and a light-emitting layer 52B in a narrow sense are formed sequentially from the side of the pixel electrode 51, as shown in FIG. 3. The light-emitting layer 52B has a recombination region where holes and
15 electrons are recombined and a light-emitting region where light is emitted by capturing excitons generated upon recombination. Alternatively, the organic EL layer 52 may have a three-layered structure in which a hole transport layer, a light-emitting layer in a
20 narrow sense, and electron transport layer are formed sequentially from the side of the pixel electrode 51. The organic EL layer 52 may have a single-layered structure including a light-emitting layer in a narrow sense. The organic EL layer 52 may also have a
25 multilayered structure formed by interposing an electron or hole injection layer between appropriate layers of the above layer structure. The organic EL

layer 52 may have any other layer structure.

The organic EL display panel 2 is capable of full-color display or multi-color display. In this case, the organic EL layer 52 of each of the pixels $P_{i,1}$ to $P_{i,n}$ is formed of a light-emitting layer in a broad sense, which has a function of emitting one of, e.g., red light, green light, and blue light. That is, when the pixels $P_{i,1}$ to $P_{i,n}$ selectively emit red, green, and blue light, a color tone is displayed by appropriately synthesizing the colors.

The organic EL layer 52 is preferably made of an organic compound that is electronically neutral. In this case, holes and electrons are injected and transported in the organic EL layer 52 in good balance. In addition, an electron transportable substance may be appropriately mixed into the light-emitting layer in a narrow sense. A hole transportable substance may be appropriately mixed into the light-emitting layer in a narrow sense. An electron transportable substance and a hole transportable substance may be appropriately mixed into the light-emitting layer in a narrow sense. A charge transport layer serving as an electron transport layer or a hole transport layer may be caused to function as a recombination region. Light may be emitted by mixing phosphor into the charge transport layer.

The common electrode 53 formed on the organic EL

layer 52 is a single electrode connected to all the pixels $P_{1,1}$ to $P_{m,n}$. Alternately, the common electrode 53 may comprise a plurality of stripe-shaped electrodes connected to the respective columns. More specifically, the common electrode 53 may comprise a stripe common electrode connected to a group of pixels $P_{1,h-1}$ to $P_{m,h-1}$ (h is an arbitrary natural number; $2 \leq h \leq n$) in the column direction, a stripe common electrode connected to a group of pixels $P_{1,h}$ to $P_{m,h}$. In this manner, the common electrode 53 comprises a plurality of stripe-shaped electrodes each connected to each column. Alternatively, the common electrode 53 may comprise a stripe common electrode connected to a group of pixels $P_{g-1,1}$ to $P_{g-1,n}$ (g is an arbitrary natural number; $2 \leq g \leq m$) in the row direction, a stripe common electrode connected to a group of pixels $P_{g,1}$ to $P_{g,n}, \dots$. In this manner, the common electrode 53 comprises a plurality of stripe-shaped electrodes connected to each row.

In any case, the common electrode 53 is electrically insulated from the selection scanning line X_i , signal line Y_j , and common signal supply line Z_i . The common electrode 53 is made of a material having a low work function. For example, the common electrode 53 is made of a single element or an alloy containing at least one of indium, magnesium, calcium, lithium, barium, and rare-earth metals. The common electrode 53

may have a multilayered structure formed by stacking a plurality of layers made of the above materials. More specifically, the multilayered structure may include a high purity barium layer which has a low work function and is formed on the side of the interface that is in contact with the organic EL layer 52, and an aluminum layer that covers the barium layer. Alternatively, the multilayered structure may have a lithium layer on the lower side and an aluminum layer on the upper side.

5

10 When a transparent electrode is used as the pixel electrode 51, and light emitted from the organic EL layer 52 of the organic EL display panel 2 should exit from the side of the transparent substrate 8 through the pixel electrode 51, the common electrode 53 preferably shields the light emitted from the organic EL layer 52. More preferably, the common electrode 53 has a high reflectance against the light emitted from the organic EL layer 52.

15

As described above, in the light-emitting element $E_{i,j}$ having a multilayered structure, when a forward bias voltage is applied between the pixel electrode 51 and the common electrode 53, holes are injected from the pixel electrode 51 to the organic EL layer 52 while electrons are injected from the common electrode 53 to the organic EL layer 52. The holes and electrons are transported in the organic EL layer 52. When the holes and electrons are recombined in the organic EL layer

20

25

52, excitons are generated. The excitons excite the organic EL layer 52. The organic EL layer 52 emits light.

The emission luminance (unit: nt. = cd/m²) of the light-emitting element $E_{i,j}$ depends on the current value of the current that flows to the light-emitting element $E_{i,j}$. To maintain a predetermined emission luminance of the light-emitting element $E_{i,j}$ during the light-emitting of the light-emitting element $E_{i,j}$ or obtain an emission luminance corresponding to the current value of a gray level designation current I_{DATA} drawn from the data driver 3, the pixel circuit $D_{i,j}$ is arranged around the light-emitting element $E_{i,j}$ of each pixel $P_{i,j}$. The pixel circuit $D_{i,j}$ controls the current value of the light-emitting element $E_{i,j}$.

Each pixel circuit $D_{i,j}$ comprises three transistors 21, 22, and 23 and a capacitor 24. Each transistor is formed of a field effect thin film transistor (TFT) having an N-channel MOS structure.

Each transistor 21 is an MOS field effect transistor constituted by a gate electrode 21g, gate insulating film 42, semiconductor layer 43, source electrode 21s, and drain electrode 21d. Each transistor 22 is an MOS field effect transistor constituted by a gate electrode 22g, gate insulating film 42, semiconductor layer 43, source electrode 22s, and drain electrode 22d. Each transistor 23 is

constituted by a gate electrode 23g, gate insulating film 42, semiconductor layer 43, source electrode 23s, and drain electrode 23d.

More specifically, as shown in FIG. 3, the first transistor 21 is a reverse stagger type transistor comprising the gate electrode 21g, oxide insulating film 41, gate insulating film 42, island-shaped semiconductor layer 43, channel protective insulating film 45, impurity-doped semiconductor layers 44, source electrode 21s, and drain electrode 21d. The gate electrode 21g is made of aluminum and formed on the transparent substrate 8. The oxide insulating film 41 is formed by anodizing aluminum that covers the gate electrode 21g. The gate insulating film 42 is made of silicon nitride or silicon oxide and covers the oxide insulating film 41. The semiconductor layer 43 is formed on the gate insulating film 42. The channel protective insulating film 45 is made of silicon nitride and formed on the gate insulating film 42. The impurity-doped semiconductor layers 44 are made of n⁺-silicon and formed at both ends of the semiconductor layer 43. The source electrode 21s and drain electrode 21d are made of a material selected from chromium, a chromium alloy, aluminum and an aluminum alloy, and formed on the impurity semiconductor layers 44.

The second and third transistors 22 and 23 have the same structure as that of the first transistor 21

described above. However, the shapes, sizes, and dimensions of the transistors 21, 22, and 23, and the channel widths and channel lengths of the semiconductor layers 43 are appropriately set in accordance with the functions of the transistors 21, 22, and 23.

The transistors 21, 22, and 23 may be formed simultaneously by the same process. In this case, the gate electrodes, oxide insulating films 41, gate insulating films 42, semiconductor layers 43, impurity semiconductor layers 44, source electrodes, and drain electrodes of the transistors 21, 22, and 23 have the same compositions.

Even when the semiconductor layers 43 of the transistors 21, 22, and 23 are made of amorphous silicon, they can be sufficiently driven. However, the semiconductor layers 43 may be made of polysilicon. The structures of the transistors 21, 22, and 23 are not limited to the reverse stagger type. Even a stagger type or coplanar type structure may be employed.

Each capacitor 24 is constituted by an electrode 24A, electrode 24B, and dielectric body. The electrode 24A is connected to the gate electrode 23g of the third transistor 23. The electrode 24B is connected to the source electrode 23s of the transistor 23. The dielectric body has the gate insulating film 42 interposed between the electrodes 24A and 24B. The

capacitor 24 stores charges between the source electrode 23s and the drain electrode 23d of the transistor 23.

As shown in FIG. 6, in the second transistor 22 of
5 each of the pixel circuit $D_{i,1}$ to $D_{i,n}$ of the i th row, the gate electrode 22g is connected to the selection scanning line X_i of the i th row. The drain electrode 22d is connected to the common signal supply line Z_i of the i th row. As shown in FIG. 5, the drain electrode
10 23d of the third transistor 23 of each of the pixel circuit $D_{i,1}$ to $D_{i,n}$ of the i th row is connected to the common signal supply line Z_i of the i th row through a contact hole 26. The gate electrode 21g of the first transistor 21 of each of the pixel circuit $D_{i,1}$ to $D_{i,n}$
15 of the i th row is connected to the selection scanning line X_i of the i th row. The source electrode 21s of the transistor 21 of each of the pixel circuit $D_{1,j}$ to $D_{m,j}$ of the j th column is connected to the signal line Y_j of the j th column.

20 In each of the pixels $P_{1,1}$ to $P_{m,n}$, the source electrode 22s of the second transistor 22 is connected to the gate electrode 23g of the third transistor 23 through a contact hole 25 formed in the gate insulating film 42, as shown in FIG. 4. The source electrode 22s
25 is also connected to one electrode of the capacitor 24. The source electrode 23s of the transistor 23 is connected to the other electrode of the capacitor 24

and also to the drain electrode 21d of the transistor 21. The source electrode 23s of the transistor 23, the other electrode of the capacitor 24, and the drain electrode 21d of the transistor 21 are connected to the pixel electrode 51 of the light-emitting element $E_{i,j}$.
5 The voltage of the common electrode 53 of the light-emitting element $E_{i,j}$ is a reference voltage V_{SS} . In this embodiment, the common electrode 53 of all light-emitting elements $E_{1,1}$ to $E_{m,n}$ is grounded so
10 that the reference voltage V_{SS} is set to 0 [V].

Protective films 43A formed by patterning the same film as that of the semiconductor layers 43 of the transistors 21 to 23 are arranged between the selection scanning line X_i and the signal line Y_j and between the
15 common signal supply line Z_i and the signal line Y_j as well as the gate insulating film 42.

The controller 11 outputs a control signal group D_{CNT} including a data driver clock signal CK1, start signal ST1 and latch signal L to the data driver 3 on
20 the basis of a dot clock signal CK_{DT} , horizontal sync signal H_{SYNC} and vertical sync signal V_{SYNC} , which are input from the outside. The controller 11 also outputs a control signal group G_{CNT} including a selection scanning driver clock signal CK2 and start signal ST2.
25 The controller 11 also outputs a common signal clock signal CK3 to the common signal power supply 6. The controller 11 also supplies a reset voltage V_{RST} to the

switching circuit 7 and outputs a switching signal ϕ to the switching circuit 7.

More specifically, the data driver clock signal CK1 is a signal to sequentially shift the selected column in synchronism with the dot clock signal CK_{DT}.
5 An 8-bit red digital gray level image signal S_R, green digital gray level image signal S_G, and blue digital gray level image signal S_B are received from an external circuit at the timing of the clock signal CK1.
10 The start signal ST1 is a signal to return the selected column to the first column in synchronism with the horizontal sync signal H_{SYNC}. The latch signal L is a signal to parallelly supply the analog gray level designation current I_{DATA} based on an analog gray level designation signal to the signal lines Y₁ to Y_n. The analog gray level designation signal is obtained by causing the D/A converter in the data driver 3 to
15 D/A-convert the data of one row, i.e., the red digital gray level image signal S_R, green digital gray level image signal S_G, and blue digital gray level image
20 signal S_B which are received in correspondence with the pixels P_{i,1} to P_{i,n}.

The selection scanning driver clock signal CK2 is a signal to sequentially shift the selected row in
25 synchronism with the horizontal sync signal H_{SYNC}. The start signal ST2 is a signal to return the selected row to the first row in synchronism with the vertical sync

signal V_{SYNC}.

The common signal clock signal CK3 is a clock signal to output a common signal to the common signal supply lines Z₁ to Z_m.

5 The data driver 3, selection scanning driver 5, and common signal power supply 6 arranged around the display section 4 will be described next.

10 The selection scanning driver 5 is a so-called shift register in which m flip-flop circuits are connected in series. The driver 5 outputs a selection signal to the selection scanning lines X₁ to X_m. That is, in accordance with the selection scanning driver clock signal CK2 received from the controller 11, the selection scanning driver 5 sequentially outputs a selection signal of ON level (high level) to the selection scanning lines X₁ to X_m in this order (the selection scanning line X₁ follows the selection scanning line X_m), thereby sequentially selecting the selection scanning lines X₁ to X_m.

15 More specifically, as shown in FIG. 8, the selection scanning driver 5 individually applies, to the selection scanning lines X₁ to X_m, one of an ON voltage V_{ON} (e.g., much higher than the reference voltage V_{SS}) as a high-level selection signal and an OFF voltage V_{OFF} (e.g., equal to or lower than the reference voltage V_{SS}) as a low-level selection signal, thereby selecting each selection scanning line X_i at a

predetermined period.

During a selection period T_{SE} when the selection scanning line X_i is to be selected, the selection scanning driver 5 applies the ON voltage V_{ON} as a selection signal of ON level (high level) to the selection scanning line X_i . Accordingly, the transistors 21 and 22 (the transistors 21 and 22 of all the pixel circuits $D_{i,1}$ to $D_{i,n}$) connected to the selection scanning line X_i are turned on. When the first transistor 21 is turned on, the current that flows to the signal line Y_j can flow to the pixel circuit $D_{i,j}$. On the other hand, a non-selection period T_{NSE} is present from the end of the selection period T_{SE} of the selection scanning line X_i of the i th row till the beginning of the selection period T_{SE} of the selection scanning line X_{i+1} of the $(i+1)$ th row. When the selection scanning driver 5 applies the OFF voltage V_{OFF} of low level to all the selection scanning lines X_1 to X_m , the transistors 21 and 22 of all the selection scanning lines X_1 to X_m are turned off. When the transistor 21 is turned off, supply of the gray level designation current I_{DATA} to the signal line Y_j is stopped. The period from the start of the selection period T_{SE} of the selection scanning line X_1 of the first row to the start of the next selection period T_{SE} of the selection scanning line X_1 of the first row is defined as one scanning period T_{SC} . The selection

periods T_{SE} of the selection scanning lines X_1 to X_m do not overlap each other.

The common signal power supply 6 is an independent power supply to supply a stable rated voltage to all the common signal supply lines Z_1 to Z_m . The common signal power supply 6 outputs a signal having a phase corresponding to the common signal clock signal CK3 to the common signal supply lines Z_1 to Z_m . While the selection scanning driver 5 is applying the ON voltage V_{ON} to one of all the selection scanning lines X_1 to X_m as a selection signal, i.e., during the selection period T_{SE} , the common signal power supply 6 outputs a low-level voltage V_{LOW} to all the common signal supply lines Z_1 to Z_m as a reference potential for the gray level designation current. During the non-selection period T_{NSE} from the end of the selection period T_{SE} of the selection scanning line X_i of the i th row till the beginning of the selection period T_{SE} of the selection scanning line X_{i+1} of the $(i+1)$ th row, the common signal power supply 6 outputs a high-level voltage V_{HIGH} as a reference potential for a driving current. Hence, when the common signal from the common signal power supply 6 is the voltage V_{LOW} , the selection scanning driver 5 outputs the selection signal of the ON voltage V_{ON} to one selection scanning line X_i of the selection scanning lines X_1 to X_m . The selection scanning driver 5 outputs the selection signal of the

OFF voltage V_{OFF} to the selection scanning lines X_1 to
 X_m except the selection scanning line X_i . When the
common signal output from the common signal power
supply 6 drops from the high-level voltage V_{HIGH} to the
5 low-level voltage V_{LOW} , the selection signal output
from the selection scanning driver 5 to one of the
selection scanning lines X_1 to X_m rises. When the
common signal output from the common signal power
supply 6 rises from the low-level voltage V_{LOW} to the
10 high-level voltage V_{HIGH} , the selection signal of the
ON voltage V_{ON} output from the selection driver 5 to
one of the selection scanning lines X_1 to X_m falls.

The low-level voltage V_{LOW} (the reference voltage
for the designation current) as the common signal
15 output from the common signal power supply 6 is lower
than the reference voltage V_{SS} . However, the low-level
voltage V_{LOW} may be equal to the reference voltage V_{SS} .
For this reason, even when the third transistors 23 of
the pixels $P_{i,1}$ to $P_{i,n}$ are ON during the selection
20 period T_{SE} of the i th row, a voltage of 0 V or a
reverse bias voltage is applied between the anode and
the cathode of each of the light-emitting elements $E_{i,1}$
to $E_{i,n}$ because the voltage V_{LOW} of the common signal
is lower than the reference voltage V_{SS} . Hence, no
25 current flows in the light-emitting elements $E_{i,1}$ to
 $E_{i,n}$. Light is not emitted. On the other hand, the
high-level voltage (the reference voltage for the

driving current) V_{HIGH} output from the common signal power supply 6 is set to be higher than the reference voltage V_{SS} . That is, when the common signal is the voltage V_{HIGH} , the selection scanning driver 5 applies the OFF voltage V_{OFF} to all the selection scanning lines X_1 to X_m . The transistors 21 and 22 of all the pixels $P_{1,1}$ to $P_{m,n}$ are turned off. A forward bias is applied between the light-emitting elements $E_{1,1}$ to $E_{m,n}$ and the transistors 23 connected in series with the light-emitting elements $E_{1,1}$ to $E_{m,n}$.

The voltage V_{HIGH} will be described. FIG. 7 is a graph showing the current vs. voltage characteristic of the N-channel field effect transistor 23. Referring to FIG. 7, the abscissa represents the voltage value between the drain and the source. The ordinate represents the current value between the drain and the source. In the unsaturated region (the region where source-drain voltage $V_{DS} <$ drain saturation threshold voltage V_{TH} : the drain saturation threshold voltage V_{TH} is a function of a gate-source voltage V_{GS} and is uniquely defined in accordance with the source-drain voltage V_{DS} when the gate-source voltage V_{GS} is determined) shown in FIG. 7, when the gate-source voltage V_{GS} has a predetermined value, a source-drain current I_{DS} increases as the source-drain voltage V_{DS} increases. In the saturated region (source-drain voltage $V_{DS} \geq$ drain saturation threshold voltage V_{TH})

shown in FIG. 7, when the gate-source voltage V_{GS} has a predetermined value, the source-drain current I_{DS} is almost constant even when the source-drain voltage V_{DS} increases.

5 Referring to FIG. 7, gate-source voltages V_{GS0} to V_{GSMAX} have a relationship given by $V_{GS0} = 0 [V] < V_{GS1} < V_{GS2} < V_{GS3} < V_{GS4} < V_{GSMAX}$. That is, as is apparent from FIG. 7, when the source-drain voltage V_{DS} has a predetermined value, the source-drain current I_{DS}
10 increases as the gate-source voltage V_{GS} increases independently of whether it is the unsaturated region or saturated region. In addition, as the gate-source voltage V_{GS} increases, the drain saturation threshold voltage V_{TH} increases.

15 As described above, in the unsaturated region, when the source-drain voltage V_{DS} changes even slightly, the source-drain current I_{DS} changes. In the saturated region, when the gate-source voltage V_{GS} is defined, the source-drain current I_{DS} is uniquely
20 defined independently of the source-drain voltage V_{DS} .

When the maximum gate-source voltage V_{GSMAX} is being applied to the third transistor 23, the source-drain current I_{DS} is set to the value of the current that flows between the anode 51 and the cathode
25 of the light-emitting element $E_{i,j}$ that emits light at the maximum luminance.

In addition, to make the third transistor 23

maintain the saturated region even when the gate-source voltage V_{GS} of the third transistor 23 is the maximum voltage V_{GSMAX} , the following condition is satisfied.

$$V_{HIGH} - V_E - V_{SS} \geq V_{THMAX}$$

5 where V_E is the voltage between the anode and the cathode voltage, which is required by the light-emitting element $E_{i,j}$ for emitting light at the maximum luminance during the light emission life period. V_{THMAX} is the saturation threshold voltage
10 between the source and the drain of the third transistor 23, which corresponds to V_{GSMAX} . The voltage V_{HIGH} is set such that the above condition is satisfied. Hence, even when the source-drain voltage V_{DS} of the third transistor 23 becomes low due to the
15 voltage division of the light-emitting element $E_{i,j}$ connected in series with the transistor 23, the source-drain voltage V_{DS} always falls within the range of the saturated state. For this reason, the source-drain current I_{DS} that flows to the third
20 transistor 23 is uniquely defined by the gate-source voltage V_{GS} .

The data driver 3 will be described next. As shown in FIG. 1, the signal lines Y_1 to Y_n are connected to current terminals CT_1 to CT_n of the data
25 driver 3, respectively. The data driver 3 receives the control signal group D_{CNT} including the data driver clock signal $CK1$, start signal $ST1$, and latch signal L

from the controller 11. The data driver 3 also receives the 8-bit red digital gray level image signal S_R , green digital gray level image signal S_G , and blue digital gray level image signal S_B from an external circuit. The received digital signals are converted into analog signals by the D/A converter in the data driver 3. The data driver 3 controls such that the gray level designation current I_{DATA} based on the latch signal L and the converted analog signals flows from the signal lines Y_1 to Y_n to the current terminals CT_1 to CT_n of the data driver 3. The gray level designation current I_{DATA} is a current that is equivalent to the current level (current value) that flows to the light-emitting elements $E_{1,1}$ to $E_{m,n}$ to cause them to emit light at a luminance corresponding to a gray level image signal from an external circuit. The gray level designation current I_{DATA} flows from the signal lines Y_1 to Y_n to the current terminals CT_1 to CT_n .

The switching circuit 7 is formed of switching circuits S_1 to S_n . The switching circuits S_1 to S_n are connected to the signal lines Y_1 to Y_n , respectively. In addition, the current terminals CT_1 to CT_n of the data driver 3 are connected to the switching circuits S_1 to S_n , respectively. Each of the switching circuits S_1 to S_n receives the switching signal ϕ and a reset voltage V_{RST} from the controller 11.

A switching circuit S_j (the switching circuit S_j is connected to the signal line Y_j of the j th column) switches between two operations: an operation in which the gray level designation current I_{DATA} is supplied from the path between the drain 23d and the source 23s of the third transistor 23 and the signal line Y_j to a current terminal CT_j of the data driver 3; and an operation in which the reset voltage V_{RST} having a predetermined voltage level is output from the controller 11 to the signal line Y_j . More specifically, when the switching signal ϕ input from the controller 11 to the switching circuit S_j is at high level, the switching circuit S_j cuts off the current of the current terminal CT_j . The switching circuit S_j also outputs the reset voltage V_{RST} from the controller 11 to the signal line Y_j . On the other hand, when the switching signal ϕ input from the controller 11 to the switching circuit S_j is at low level, the switching circuit S_j supplies the gray level designation current I_{DATA} between the current terminal CT_j and the signal line Y_j to the path between the drain 23d and the source 23s of the transistor 23 and the signal line Y_j . The switching circuit S_j also cuts off the reset voltage V_{RST} from the controller 11.

In the organic EL display 1 having no switching circuit 7 for reset, assume that, e.g., the pixel $P_{i,j}$ of the i th row on the signal line Y_j of the j th column

should emit light at the highest gray level, as shown in FIG. 9A. Assume that, for this purpose, the gray level designation current I_{DATA} having the maximum current value is supplied to the path between the drain 23d and the source 23s of the third transistor 23 and the signal line Y_j during the selection period T_{SE} . At this time, a highest gray level voltage V_{hsb} of the current terminal CT_j is much lower than the voltage V_{LOW} and reference voltage V_{SS} of the common signal power supply 6. That is, the potential difference between the current terminal CT_j and the voltage V_{LOW} of the common signal power supply 6 is sufficiently large. For this reason, a large current can rapidly be supplied to the path between the drain 23d and the source 23s of the transistor 23 and the signal line Y_j to charge up the parasitic capacitance of the signal line Y_j , and a steady state can quickly be set. Next, assume that the pixel $P_{i+1,j}$ of the $(i+1)$ th row should emit light at the lowest gray level luminance. Assume that, for this purpose, the gray level designation current I_{DATA} having the minimum current value (the current value is not zero) is to be supplied to the signal line Y_j . That is assume that the potential of the current terminal CT_j is to be changed to a lowest gray level voltage V_{lsb} which has a small potential difference to the voltage V_{LOW} of the common signal power supply 6 by supplying the very small gray level

designation current I_{DATA} , and the gray level designation current I_{DATA} should thus be set in the steady state. At this time, the amount of charges which are stored in the parasitic capacitance of the signal line Y_j when the gray level designation current I_{DATA} for the i th row is supplied is large. For this reason, the potential difference that corresponds to the change in potential of the signal line Y_j per unit time becomes small. A long time may therefore be required until the potential of the signal line Y_j is changed from the highest gray level voltage V_{hsb} to the lowest gray level voltage V_{lsb} and set in the steady state. In addition, when the selection period T_{SE} is set to be short, a difference corresponding to a voltage V_{DF} is generated before the potential reaches the lowest gray level voltage V_{lsb} . Hence, the pixel $P_{i+1,j}$ cannot emit light at an accurate luminance.

The organic EL display 1 of this embodiment has the switching circuit 7. Hence, as shown in FIG. 9B, the switching circuit S_j forcibly switches the potential of the signal line Y_j to the reset voltage V_{RST} much higher than the highest gray level voltage V_{hsb} during the non-selection period T_{NSE} , i.e., before the gray level designation current I_{DATA} for the $(i+1)$ th row is supplied to the path between the drain 23d and the source 23s of the transistor 23 and the signal line Y_j . During the selection period T_{SE} , the

amount of charges stored in the signal line Y_j serving as a parasitic capacitance quickly changes so the signal line Y_j can rapidly be set at a high potential. For this reason, even when the gray level designation current I_{DATA} for the $(i+1)$ th row has a very small current value corresponding to the lowest gray level, the potential can quickly reach the lowest gray level voltage V_{lsb} .

The reset voltage V_{RST} is set to be higher than the highest gray level voltage V_{hsb} . The highest gray level voltage V_{hsb} is set in the steady state in accordance with charges stored in the signal lines Y_1 to Y_n by the gray level designation current I_{DATA} which has a current value equal to a maximum gray level driving current I_{MAX} . The maximum gray level driving current I_{MAX} flows to the light-emitting elements $E_{1,1}$ to $E_{m,n}$ when they emit light at a maximum gray level luminance L_{MAX} for brightest light during the selection period T_{SE} . More preferably, the reset voltage V_{RST} is set to be equal to or higher than an intermediate voltage that has an intermediate value between the lowest gray level voltage V_{lsb} and the highest gray level voltage V_{hsb} . The lowest gray level voltage V_{lsb} is set in the steady state in accordance with charges stored in the signal lines Y_1 to Y_n by the gray level designation current I_{DATA} which has a current value equal to a minimum gray level driving current I_{MIN} .

The minimum gray level driving current I_{MIN} flows to the light-emitting elements $E_{1,1}$ to $E_{m,n}$ when they have a minimum gray level luminance L_{MIN} (however, the current level is more than 0 A) for darkest light. The
5 reset voltage V_{RST} more preferably has a value equal to or more than the lowest gray level voltage V_{lsb} .

An example of the switching circuit S_j of the j th column will be described. The switching circuit S_j is constituted by a fourth transistor 31 formed of a
10 P-channel field effect transistor and a fifth transistor 32 formed of an N-channel field effect transistor. The gate electrode of the transistor 31 and the gate electrode of the transistor 32 are connected to the controller 11 so that the switching
15 circuit S_j receives the switching signal ϕ . The source electrode of the transistor 31 is connected to the signal line Y_j . The drain electrode of the transistor 31 is connected to the current terminal CT_j of the data driver 3. The drain electrode of the
20 transistor 32 is connected to the signal line Y_j . The source electrode of the transistor 32 is connected to the controller 11 so that the switching circuit S_j receives the reset voltage V_{RST} . In this arrangement, when the switching signal ϕ from the controller 11 is
25 at high level, the fifth transistor 32 is turned on while the fourth transistor 31 is turned off. On the other hand, when the switching signal ϕ from the

controller 11 is at low level, the transistor 31 is
turned on while the transistor 32 is turned off. The
transistor 31 may be set to a P-channel type, and the
transistor 32 may be set to an N-channel type. In this
5 case, the switching mode of the switching circuit S_j
is changed by reversing the phase of the switching
signal ϕ .

The period of the switching signal ϕ input to the
controller 11 will be described here. As shown in
10 FIG. 8, when the selection scanning driver 5 is
applying the ON voltage V_{ON} to one of the selection
scanning lines X_1 to X_m , the switching signal ϕ input
to the controller 11 is at low level. On the other
hand, during the non-selection period T_{NSE} when the
15 selection scanning driver 5 is applying the OFF voltage
 V_{OFF} to all the selection scanning lines X_1 to X_m , the
switching signal ϕ input to the controller 11 is at
high level. That is, the switching signal ϕ input to
the controller 11 is a pulse signal which changes to
20 high level for each of the m non-selection periods T_{NSE}
in one selection period T_{SE} .

The switching circuits S_1 to S_n are circuits which
switch between two operations: an operation for
supplying the gray level designation current I_{DATA} from
25 the signal lines Y_1 to Y_n to the current terminals CT_1
to CT_n in accordance with the switching signal ϕ from
the controller 11; and an operation for forcibly

charging the signal lines Y_1 to Y_n to the reset voltage V_{RST} . When the switching signal ϕ input from the controller 11 is at low level, i.e., during the selection period T_{SE} of one of the selection scanning lines X_1 to X_m , each switching circuit turns on the transistor 31 and off the transistor 32. With this operation, the gray level designation current I_{DATA} flows to the current terminals CT_1 to CT_n through the paths between the drain 23d and the source 23s of the transistors 23 and the signal lines Y_1 to Y_n . When the switching signal ϕ input from the controller 11 is at high level, i.e., during the non-selection period T_{NSE} of all the selection scanning lines X_1 to X_m , each switching circuit turns off the transistor 31 and on the transistor 32. At this time, the gray level designation current I_{DATA} does not flow to the drains 23d and sources 23s of the transistors 23 and the signal lines Y_1 to Y_n . Instead, the potentials of the signal lines Y_1 to Y_n are forcibly set to the reset voltage V_{RST} .

Hence, in the selection period T_{SE} of each row, the gray level designation current I_{DATA} flows from the signal lines Y_1 to Y_n to the current terminals CT_1 to CT_n . On the other hand, in the non-selection period T_{NSE} between the rows, the reset voltage V_{RST} is forcibly applied to the signal lines Y_1 to Y_n . The charge amount of the parasitic capacitance of the

signal lines Y_1 to Y_n becomes almost the same as the charge amount when the small gray level designation current I_{DATA} flows, and the steady state is set. For this reason, even when the current value of the gray level designation current I_{DATA} is very small, the steady state can quickly be set.

In the selection period T_{SE} of each row, the data driver 3 generates the gray level designation current I_{DATA} which should flow from the common signal supply lines Z_1 to Z_m to the current terminals CT_1 to CT_n through the transistors 23, transistors 21, signal lines Y_1 to Y_n , and switching circuits S_1 to S_n . The current value of the gray level designation current I_{DATA} is equal to the current value of the driving current which is supplied to the light-emitting elements $E_{1,1}$ to $E_{m,n}$ to cause them to emit light at a luminance gray level corresponding to image data.

A method of causing the data driver 3, selection scanning driver 5, and common signal power supply 6 to drive the organic EL display panel 2 and the display operation of the organic EL display 1 will be described next.

As shown in FIG. 8, on the basis of the selection scanning driver clock signal CK2 received from the controller 11, the selection scanning driver 5 sequentially applies the ON voltage V_{ON} to the selection scanning line X_1 of the first row to the

selection scanning line X_m of the m th row in this order (the selection scanning line X_1 follows the selection scanning line X_m) during each selection period T_{SE} to select the selection scanning line. Accordingly, the
5 selection scanning lines X_1 to X_m are scanned in this order.

Simultaneously when the selection scanning driver
5 sequentially selects and scans the selection scanning lines, the common signal power supply 6 outputs common
10 signals to all the common signal supply lines Z_1 to Z_m . The common signals output to the common signal supply lines Z_1 to Z_m are synchronized with each other. In all pixel circuits $D_{1,1}$ to $D_{m,n}$, the common signal of the voltage V_{LOW} is input to the source electrode 22s
15 of the second transistor 22 and the source electrode 23s of the third transistor 23.

In addition, during the sequential scanning by the selection scanning driver, the data driver 3 receives and latches the 8-bit red digital gray level image
20 signal S_R , green digital gray level image signal S_G , and blue digital gray level image signal S_B from an external circuit on the basis of the data driver clock signal $CK1$ input from the controller 11. When the selection signal V_{ON} that selects the selection
25 scanning line X_i is output, the switching signal ϕ is synchronously input to the switching circuit 7. The switching signal ϕ turns on the transistor 31 and off

the transistor 32. The gray level designation currents I_{DATA} having current values based on the gray level of the latched signals flow to the current terminals CT_1 to CT_n of the data driver 3 through the common signal supply line Z_i , the paths between the drains 23d and the sources 23s of the transistors 23 of the pixels $P_{i,1}$ to $P_{i,n}$, the paths between the drains 21d and the sources 21s of the transistors 21 of the pixels $P_{i,1}$ to $P_{i,n}$, and the signal lines Y_1 to Y_n .

5
10
15
20
When the selection signal of ON level V_{ON} is being output to the given selection scanning line X_i , a selection signal of off level is output to the remaining selection scanning lines X_1 to X_m (except X_i). This period is the selection period T_{SE} of the i th row. Hence, for the pixel circuits $D_{i,1}$ to $D_{i,n}$ of the i th row, the first transistor 21 and second transistor 22 are ON. For the pixel circuits $D_{1,1}$ to $D_{m,n}$ (except the pixel circuits $D_{i,1}$ to $D_{i,n}$) of the remaining rows, the first transistor 21 and second transistor 22 are OFF.

25
That is, when the voltage V_{ON} is applied to the selection scanning line X_i during the selection period T_{SE} of the i th row, the first transistors 21 and second transistors 22 in the pixel circuits $D_{i,1}$ to $D_{i,n}$ are turned on. At this time, the voltage V_{LOW} from the common signal supply lines Z_1 to Z_m is supplied to the drain electrodes 23d of the third transistors 23 and

the drain electrodes 22d of the second transistors 22 of all the pixel circuits $D_{1,1}$ to $D_{m,n}$. Simultaneously, the data driver 3 is going to supply the gray level designation current I_{DATA} to the current terminals CT_1 to CT_n in accordance with the latch signal L. At this time, the switching signal ϕ is input from the controller 11 to the switching circuit 7 to turn on the transistors 31 and off the transistors 32. Hence, the current terminals CT_1 to CT_n are electrically connected to the common signal supply line Z_i . The voltage V_{LOW} of the common signal supply line Z_i is set to be higher than the potentials of the current terminals CT_1 to CT_n . For this reason, a voltage that supplies the gray level designation current I_{DATA} to the path between the source and the drain of the third transistor 23 is applied between the gate 23g and the source 23s and between the source 23s and the drain 23d of the third transistor 23.

The current value of the gray level designation current I_{DATA} is based on the red digital gray level image signal S_R , green digital gray level image signal S_G , and blue digital gray level image signal S_B input to the data driver 3. During the selection period T_{SE} , the data driver 3 stores charges in the capacitor 24 between the gate 23g and the source 23s of the transistor 23 of each of the pixel $P_{i,1}$ to $P_{i,n}$. With this operation, the current value of the gray level

designation current I_{DATA} that flows to the current terminals CT_1 to CT_n of the data driver 3 through the common signal supply line Z_i , the paths between the drains 23d and the sources 23s of the transistors 23 of the pixels $P_{i,1}$ to $P_{i,n}$, the paths between the drains 21d and the sources 21s of the transistors 21 of the pixels $P_{i,1}$ to $P_{i,n}$, and the signal lines Y_1 to Y_n is set in the steady state. That is, the gray level designation current I_{DATA} having a predetermined current value is supplied to the paths between the drains 23d and the sources 23s of the transistors 23 of the pixels $P_{i,1}$ to $P_{i,n}$. After that, the capacitor 24 can hold the charges at least during one scanning period T_{SC} or more. In other words, the transistor 23 is going to supply a driving current having a current value equal to the gray level designation current I_{DATA} at least for a time corresponding to one scanning period T_{SC} or more by the charges in the capacitor 24. That is, the capacitor 24 serves as a storage means for storing the current value of the gray level designation current I_{DATA} that flows during the selection period T_{SE} and flowing a driving current having a current value equal to the gray level designation current I_{DATA} to the light-emitting elements $E_{i,1}$ to $E_{i,n}$ during the non-selection period T_{NSE} .

Hence, during the selection period T_{SE} of the i th row, the first transistors 21 and second transistors 22

of the pixel circuits $D_{i,1}$ to $D_{i,n}$ of the i th row are turned on. Accordingly, the gray level designation current I_{DATA} supplied from the signal lines Y_1 to Y_n to the data driver 3 is stored in the capacitor 24 of each of the pixel circuits $D_{i,1}$ to $D_{i,n}$ of the i th row. In each of the pixel circuits $D_{1,1}$ to $D_{m,n}$ (except the pixel circuits $D_{i,1}$ to $D_{i,n}$) of the remaining rows, the first transistor 21 and second transistor 22 are OFF. Hence, the gray level designation current I_{DATA} is not stored in the capacitors 24 of the remaining rows. That is, the third transistors 23 of the remaining rows cannot flow the gray level designation current I_{DATA} . As described above, during the selection period T_{SE} of the i th row, charges between the gate and the source of the third transistor 23 are received by each of the pixel circuits $D_{i,1}$ to $D_{i,n}$ in correspondence with the gray level designation current I_{DATA} . Accordingly, the charges between the gate and the source of the third transistor 23, which have been stored so far, are refreshed. During the plurality of non-selection periods T_{NSE} after the selection period T_{SE} of the i th row, the pixel circuits $D_{i,1}$ to $D_{i,n}$ supply driving currents (the driving currents have the same level as that of the gray level designation current I_{DATA}) corresponding to the charges stored between the gates and the sources of the third transistors 23 to the light-emitting elements $E_{i,1}$ to $E_{i,n}$, thereby causing

them to emit light.

As described above, the selection scanning driver 5 line-sequentially shifts the selection signal from the first row to the m th row. Accordingly, the gray level designation current I_{DATA} flows sequentially to the pixel circuits $D_{1,1}$ to $D_{1,n}$ of the first row to the pixel circuits $D_{m,1}$ to $D_{m,n}$ of the m th row in accordance with the red digital gray level image signal S_R , green digital gray level image signal S_G , and blue digital gray level image signal S_B input to the data driver 3. With this operation, the charges stored between the gate and the source of each third transistor 23 are refreshed. When such line-sequential scanning is repeated, an image is displayed on the display section 4 of the organic EL display panel 2.

The operation of causing the pixel circuits $D_{i,1}$ to $D_{i,n}$ to receive the gray level designation current I_{DATA} during the selection period T_{SE} of the i th row and the operation of causing the light-emitting elements $E_{i,1}$ to $E_{i,n}$ to emit light on the basis of the received gray level designation current I_{DATA} will be described here in detail.

During the selection period T_{SE} of the i th row, a selection signal of the ON voltage V_{ON} is output from the selection scanning driver 5 to the selection scanning line X_i of the i th row in accordance with the control signal group G_{CNT} including the clock signal

CK2 from the controller 11. Then, the first transistors 21 and second transistors 22 of all the pixel circuits $D_{i,1}$ to $D_{i,n}$ connected to the selection scanning line X_i are set in the ON state during the selection period T_{SE} . At the start of the selection period T_{SE} of the i th row, the common signal changes to the voltage V_{LOW} . During the selection period T_{SE} of the i th row, the voltage V_{LOW} is applied to all the common signal supply lines Z_1 to Z_m . Since the second transistor 22 is ON, a voltage is applied even to the gate electrode 23g of the third transistor 23. Hence, the third transistor 23 is turned on.

Furthermore, when a given column of the light-emitting elements $E_{i,1}$ to $E_{i,n}$ of the selected row is to be caused to emit light during the non-selection period T_{NSE} (to be described later), the data driver 3 controls the potential of one of the current terminals CT_1 to CT_n , which corresponds to the column to be caused to emit light, to be lower than the voltage V_{LOW} . Accordingly, in the column of the pixel circuit $D_{i,j}$, which should emit light, the gray level designation current I_{DATA} flows from the common signal supply line Z_j to the data driver 3. When a given column of the light-emitting elements $E_{i,1}$ to $E_{i,n}$ of the selected i th row is to be inhibited from emitting light during the non-selection period T_{NSE} (to be described later), the data driver 3 controls the

potential of one of the current terminals CT_1 to CT_n , which corresponds to the column that should be inhibited from emitting light, to be equal to the voltage V_{LOW} . Accordingly, in the column of the pixel circuit $D_{i,j}$, which should emit light, the gray level designation current I_{DATA} does not flow from the common signal supply line Z_i to the data driver 3. During the selection period T_{SE} of the i th row, the data driver 3 controls the potentials of the current terminals CT_1 to CT_n to supply the gray level designation current I_{DATA} to the data driver 3 to the signal lines Y_1 to Y_n (the gray level designation current I_{DATA} does not flow for a column which should be inhibited from emitting light). In each of the pixel circuits $D_{i,1}$ to $D_{i,n}$ of the i th row, the first transistor 21 and second transistor 22 are turned on. Hence, the gray level designation current I_{DATA} flows through a path of common signal supply line $Z_i \rightarrow$ paths between the drains 23d and the sources 23s of the transistors 23 of the pixels $P_{i,1}$ to $P_{i,n} \rightarrow$ paths between the drains 21d and the sources 21s of the transistors 21 of the pixels $P_{i,1}$ to $P_{i,n} \rightarrow$ signal lines Y_1 to $Y_n \rightarrow$ transistors 31 of the switching circuits S_1 to $S_n \rightarrow$ current terminals CT_1 to CT_n of the data driver 3.

As described above, charges corresponding to the current value of the gray level designation current I_{DATA} are received by the pixel circuits $D_{i,1}$ to $D_{i,n}$.

At this time, in all of the first to nth columns, the current value of the driving current flowing to the light-emitting elements $E_{i,1}$ to $E_{i,n}$ is equal to the current value of the gray level designation current I_{DATA} . The current value is designated by the data driver 3. Hence, the current value of the gray level designation current I_{DATA} which is continuously held during the non-selection period T_{NSE} is constant.

That is, during the selection period T_{SE} , the gray level designation current I_{DATA} flows to the third transistor 23. The voltage across the common signal supply line Z_i , third transistors 23, first transistors 21, signal lines Y_1 to Y_n , switching circuits S_1 to S_n , and data driver 3 is set in the steady state.

Accordingly, a voltage at a level corresponding to the level of the gray level designation current I_{DATA} that flows to the third transistor 23 is applied between the gate electrode 23g and the source electrode 23s of the third transistor 23. Charges with a magnitude corresponding to the level of the voltage between the gate electrode 23g and the source electrode 23s of the third transistor 23 are stored in the capacitor 24.

During the selection period T_{SE} of the i th row, in each of the pixel circuits $D_{i,1}$ to $D_{i,n}$ of the i th row, the first transistor 21 and second transistor 22 function to supply the gray level designation current I_{DATA} flowing to the signal line Y_j to the third transistor

23. The third transistor 23 functions to convert the current value of the gray level designation current I_{DATA} into the value of the voltage between the gate and the source.

5 As described above, during the selection period T_{SE} of the i th row, the magnitude of the charges stored in the capacitors 24 of the pixel circuits $D_{i,1}$ to $D_{i,n}$ of the i th row is refreshed from the preceding scanning period T_{SC} . At the same time, the drain-source current
10 level and the source-drain voltage level of the third transistors 23 of the pixel circuits $D_{i,1}$ to $D_{i,n}$ of the i th row are also refreshed from the preceding scanning period T_{SC} .

 The potential at an arbitrary point on the path of
15 the third transistor 23, first transistor 21, and signal line Y_j changes depending on the internal resistance of the transistors 21, 22, and 23, which changes over time. However, in this embodiment, the current value of the gray level designation current
20 I_{DATA} that flows through the path of third transistor 23 → first transistor 21 → signal line Y_j is forcibly supplied by the data driver 3. Hence, even when the internal resistance of the transistors 21, 22, and 23 changes over time, the gray level designation current
25 I_{DATA} that flows through the path of third transistor 23 → first transistor 21 → signal line Y_j has a desired level.

During the selection period T_{SE} of the i th row, the common signal supply line Z_i is set to the voltage V_{LOW} that is equal to or lower than the reference voltage V_{SS} . In addition, a zero bias or reverse bias is applied across the anodes and the cathodes of the light-emitting elements $E_{i,1}$ to $E_{i,n}$ of the i th row. Hence, no current flows to the light-emitting elements $E_{i,1}$ to $E_{i,n}$, and they does not emit light.

At the end time of the selection period T_{SE} of the i th row (at the start time of the non-selection period T_{NSE} of the i th row), the selection signal output from the selection scanning driver 5 to the selection scanning line X_i changes from the high-level potential V_{ON} to the low-level potential V_{OFF} . The selection scanning driver 5 applies the OFF voltage V_{OFF} to the gate electrodes 21g of the first transistors 21 and the gate electrodes 22g of the second transistors 22 of the pixel circuits $D_{i,1}$ to $D_{i,n}$ of the i th row.

Hence, during the non-selection period T_{NSE} of the i th row, the first transistors 21 of the pixel circuits $D_{i,1}$ to $D_{i,n}$ of the i th row are turned off. The gray level designation current I_{DATA} that flows from the common signal supply line Z_i to the corresponding signal lines Y_1 to Y_n is cut off. In addition, during the non-selection period T_{NSE} of the i th row, in all the pixel circuits $D_{i,1}$ to $D_{i,n}$ of the i th row, even when the transistor 22 is turned off, charges stored in

the capacitor 24 during the immediately preceding selection period T_{SE} of the i th row are confined by the second transistor 22. For this reason, in all the pixel circuits $D_{i,1}$ to $D_{i,n}$ of the i th row, the third transistor 23 is kept ON during the non-selection period T_{NSE} . That is, in all the pixel circuits $D_{i,1}$ to $D_{i,n}$ of the i th row, the second transistor 22 holds the gate-source voltage level V_{GS} of the third transistor 23 such that the gate-source voltage level V_{GS} of the third transistor 23 during the non-selection period T_{NSE} becomes equal to the gate-source voltage level V_{GS} of the third transistor 23 during the selection period T_{SE} .

During the non-selection period T_{NSE} , the common signal output from the common signal power supply 6 to the common signal supply line Z_i rises to the voltage V_{HIGH} . During the non-selection period T_{NSE} , the cathodes of the light-emitting elements $E_{i,1}$ to $E_{i,n}$ of the i th row are at the reference voltage V_{SS} . The common signal supply line Z_i is at the voltage V_{HIGH} higher than the reference voltage V_{SS} . In addition, charges corresponding to the gray level designation current I_{DATA} flowing during the selection period T_{SE} are stored between the gate 23g and the source 23s of the third transistor 23 connected in series. In this case, a forward bias voltage corresponding to the gray level designation current I_{DATA} is applied to the

light-emitting elements $E_{i,1}$ to $E_{i,n}$ of the i th row. Hence, in all the pixel circuits $D_{i,1}$ to $D_{i,n}$ of the i th row, a driving current equal to the gray level designation current I_{DATA} flows from the common signal supply line Z_i to the light-emitting elements $E_{i,1}$ to $E_{i,n}$ of the i th row through the drains 23s and sources 23s of the third transistors 23. Hence, the light-emitting elements $E_{i,1}$ to $E_{i,n}$ emit light.

More specifically, in each of the pixel circuits $D_{i,1}$ to $D_{i,n}$ during the non-selection period T_{NSE} , the first transistor 21 functions to electrically disconnect the corresponding signal line Y_j from the third transistor 23 such that the gray level designation current I_{DATA} flowing to the signal line Y_j does not flow to the third transistor 23. The second transistor 22 functions to hold the voltage between the gate 23g and the source 23s of the third transistor 23, which is converted during the selection period T_{SE} , by confining the charges in the capacitor 24. In all the pixel circuits $D_{i,1}$ to $D_{i,n}$ of the i th row, when the common signal is set to the voltage V_{HIGH} during the non-selection period T_{NSE} , the third transistor 23 functions to supply a driving current of a level corresponding to the held gate-source voltage level to the light-emitting element $E_{i,j}$.

Hence, the light-emitting elements $E_{i,1}$ to $E_{i,n}$ of the i th row do not emit light during each of the

selection periods T_{SE} of the first to m th rows. The light-emitting elements $E_{i,1}$ to $E_{i,n}$ emit light during each of the m non-selection periods T_{NSE} in one scanning period T_{SC} . The current value of the driving current that flows to the light-emitting elements $E_{i,1}$ to $E_{i,n}$ when the common signal is at V_{HIGH} is the same as that of the current flowing to the third transistor 23 of each of the pixel circuits $D_{i,1}$ to $D_{i,n}$. That is, the current value is equal to that of the gray level designation current I_{DATA} that flows to the third transistor 23 of each of the pixel circuits $D_{i,1}$ to $D_{i,n}$ during the selection period T_{SE} of the i th row. During the selection period T_{SE} of the i th row, when the current value that flows to the third transistor 23 of each of the pixel circuits $D_{i,1}$ to $D_{i,n}$ of the i th row is set, the driving current of each of the light-emitting elements $E_{i,1}$ to $E_{i,n}$ has a desired current value. Hence, the light-emitting elements $E_{i,1}$ to $E_{i,n}$ emit light at a desired gray level luminance.

As described above, in this embodiment, even when the current vs. voltage characteristic of the third transistor 23 changes between the pixel circuits $D_{1,1}$ to $D_{m,n}$, the gray level designation current I_{DATA} having a predetermined current value is forcibly supplied between the source 23s and the drain 23d of the third transistor 23 during the selection period T_{SE} . In addition, when the voltage between the source

23s and the drain 23d of the third transistor 23 is always saturated, as shown in FIG. 7, the common signal of the voltage V_{HIGH} is output to the common signal supply lines Z_1 to Z_m during the non-selection period T_{NSE} . Accordingly, a driving current having a current value equal to the gray level designation current I_{DATA} is supplied between the source 23s and the drain 23d of the third transistor 23. For this reason, the luminance does not vary between the light-emitting elements $E_{1,1}$ to $E_{m,n}$ of the pixels. That is, in this embodiment, even when a luminance gray level signal having the same voltage level is output to pixels, any in-plane variation in luminance between the pixels can be suppressed. Hence, the organic EL display 1 of this embodiment can display a high-quality image.

During the non-selection period T_{NSE} , the common signal changes to V_{HIGH} m times. The light emission duty of the light-emitting element $E_{i,j}$ is about 50%. To the contrary, in a simple matrix driving display having m light-emitting elements arrayed in the vertical direction and n light-emitting elements arrayed in the horizontal direction, the light emission duty is $1/m$. In the simple matrix driving display, as the resolution becomes high, the light emission duty of the light-emitting element decreases. In the organic EL display 1 of this embodiment, however, even when the resolution becomes high, the light emission duty of the

light-emitting element $E_{i,j}$ does not decrease. The organic EL display 1 can display an image at a high luminance, high contrast, and high resolution.

One selection scanning line X_i and one common signal supply line Z_i are arranged in each row. Not a signal for scanning but a common signal is simply output from the common signal power supply 6 to the common signal supply line Z_i . The only shift register for scanning, which is arranged in the organic EL display 1, is the selection scanning driver 5. A shift register is generally formed from m flip-flop circuits. The common signal power supply 6 only needs to output signals having the same waveform to all the common signal supply lines Z_1 to Z_m and therefore can have a simplified circuit structure. For this reason, in the common signal power supply 6, the mounting area is smaller, the structure is simpler, and the number of elements is smaller than a shift register. As compared to a conventional organic EL display having two shift registers serving as drivers, the organic EL display 1 of this embodiment can reduce the manufacturing cost and increase the yield.

[Second Embodiment]

An organic EL display according to the second embodiment will be described next.

Even in the second embodiment, the organic EL display comprises an organic EL display panel 2, data

driver 3, and selection scanning driver 5, like the organic EL display 1 according to the first embodiment shown in FIG. 1. The data driver 3, a display section 4, the selection scanning driver 5, pixel circuits $D_{1,1}$ to $D_{m,n}$, and light-emitting elements $E_{1,1}$ to $E_{m,n}$ have the same structures as those in the organic EL display 1 of the first embodiment, and a detailed description thereof will be omitted in the second embodiment.

In the second embodiment, a common signal power supply 6 is arranged in a controller 11 connected to the organic EL display 1, as shown in FIG. 10. For this reason, the ratio of the occupied area of the pixels on the substrate of the organic EL display 1 can be increased.

The organic EL display 1 according to the second embodiment can operate in accordance with the waveform chart shown in FIG. 8, as in the first embodiment.

[Third Embodiment]

The third embodiment will be described next. This embodiment is the same as the first embodiment except that a drain 22d of a second transistor 22 of a pixel circuit $D_{i,j}$ of each pixel $P_{i,j}$ is not connected to a common signal supply line Z_i but to a selection scanning line X_i , as shown in FIG. 11. The same reference numerals as in the first embodiment denote the same parts in the third embodiment, and a detailed description thereof will be omitted.

In the transistor 22, the drain electrode 22d and gate electrode 22g are connected to the selection scanning line X_i . A source electrode 22s is connected to a gate electrode 23g of a third transistor 23. The transistor 22 is an N-channel amorphous silicon thin film transistor, like a first transistor 21 and the transistor 23.

The transistor 22 operates upon receiving the voltage shown in the waveform chart in FIG. 8. That is, as shown in FIG. 12A, during a selection period T_{SE} , the transistor 22 of each of pixels $P_{i,1}$ to $P_{i,n}$ is turned on by a scanning signal of an ON-level (high-level) voltage V_{ON} from the selection scanning line X_i so that the voltage from the selection scanning line X_i is applied to the gate of the transistor 23. Simultaneously, the transistor 21 of each of the pixels $P_{i,1}$ to $P_{i,n}$ is turned on. In addition, the transistor 23 of each of the pixels $P_{i,1}$ to $P_{i,n}$ is turned on by the gate voltage applied by the transistor 22 during the selection period T_{SE} . Hence, the data driver 3 supplies a gray level designation current I_{DATA} to the paths between the drains 23d and the sources 23s of the transistors 23 of the pixels $P_{i,1}$ to $P_{i,n}$ and signal lines Y_1 to Y_n in the direction indicated by the arrow in FIG. 12A. The current value of the gray level designation current I_{DATA} at this time corresponds to the gray level of a red digital gray level image signal

S_R , green digital gray level image signal S_G , and blue digital gray level image signal S_B input to the data driver 3. Charges corresponding to the current value of the gray level designation current I_{DATA} are stored in capacitors 24 connected to the paths between the gates 23g and the sources 23s of the transistors 23 of the pixels $P_{i,1}$ to $P_{i,n}$ during the selection period T_{SE} .

During a non-selection period T_{NSE} , the transistor 21 and transistor 22 of each of the pixels $P_{i,1}$ to $P_{i,n}$ are turned off by a scanning signal of an OFF-level voltage V_{OFF} supplied to the selection scanning line X_i . A voltage V_{HIGH} is applied to all common signal supply lines Z_1 to Z_m . For this reason, the voltages between the sources 23s and the drains 23d of all the transistors 23 are saturated. The voltages between the gates 23g and the sources 23s of all the transistors 23 have a voltage value corresponding to the charges stored in the capacitors 24 during the selection period T_{SE} . As shown in FIG. 12B, a driving current having a current value equal to the gray level designation current I_{DATA} flows between the sources 23s and the drains 23d of all the transistors 23. Since the voltage V_{HIGH} is much higher than a reference voltage V_{SS} , the driving current flows in the direction indicated by the arrow in FIG. 12A to cause light-emitting elements $E_{1,1}$ to $E_{m,n}$ to emit light.

The present invention is not limited to the above embodiments. Various changes and modifications of design may be done without departing from the spirit and scope of the invention.

5 For example, in the above embodiments, all the first transistor 21, second transistor 22, and third transistor 23 of the pixel circuit $D_{i,j}$ are N-channel transistors. However, all the transistors may be formed from P-channel transistors, and the anode and
10 cathode of the light-emitting element $E_{i,j}$ may be connected in the reverse direction. At this time, the waveforms shown in FIG. 8 are inverted.

 In the embodiments, the light-emitting period of the light-emitting elements $E_{1,1}$ to $E_{m,n}$ is the
15 non-selection period T_{NSE} between the selection periods T_{SE} . the light-emitting period of the light-emitting element $E_{i,j}$ is the m discontinuous non-selection periods T_{NSE} between the selection period T_{SE} of the i th row and the selection period T_{SE} of the next i th
20 row. As shown in FIG. 13, all the light-emitting elements $E_{1,1}$ to $E_{m,n}$ may be simultaneously caused to emit light during the non-selection period T_{NSE} after charges by the gray level designation current I_{DATA} are written in the capacitors 24 of all the light-emitting
25 elements $E_{1,1}$ to $E_{m,n}$. At this time, when at least one of the selection period T_{SE} during one scanning period T_{SC} and $(m-1)$ reset periods T_R when the reset voltage

V_{RST} is applied to the signal lines Y_1 to Y_n is set to be short, the non-selection period T_{NSE} , i.e., the light-emitting period of the light-emitting elements $E_{1,1}$ to $E_{m,n}$ can be made relatively long. Referring to FIG. 13, after the selection scanning line X_m is selected, to return the charges stored in the parasitic capacitances of the signal lines Y_1 to Y_n in the write mode of the pixels $P_{m,1}$ to $P_{m,n}$ of the selection scanning line X_m , the reset voltage V_{RST} may be applied to increase the number of reset periods T_R during one scanning period T_{SC} to m .

In the above embodiments, an organic EL element is used. However, any other light-emitting element having rectification properties may be used. That is, the light-emitting element may be an element which flows no current when a reverse bias voltage is applied but flows a current when a forward bias voltage is applied, and also emits light at a luminance correspondence with the magnitude of the flowing current. An example of a light-emitting element having rectification properties is an LED (Light Emitting Diode) element.

In the above embodiments, the data driver 3 and selection scanning driver 5 operate on the basis of a clock signal input from the controller 11. However, the clock signal CK3 that is output from the common signal power supply 6 and used as a common signal may be input to the selection scanning driver 5 as the

clock signal CK2.

In the above embodiments, the number of times the common signal output from the common signal power supply 6 changes to low level, i.e., the gray level designation current I_{DATA} is supplied is one per selection period T_{SE} . However, the number of times may be two or more per selection period T_{SE} .

According to the present invention, when a driving current flows to the light-emitting element, the light-emitting element emits light. The current value of the driving current corresponds to the voltage held between the gates 23g and the source 23s of the transistor 23 of the pixel circuit. The voltage value is obtained by converting the current value of the designation current. For these reasons, the current value of the driving current coincides with the current value of the designation current. The light-emitting element emits light at a luminance depending on the current value of the designation current. That is, the light-emitting element emits light at a luminance set by the current value of the designation current. Hence, if the current value of the designation current does not change between pixels, the luminance does not vary between the plurality of light-emitting elements, and a high-quality image can be displayed.

It is only the scanning driver 5 that supplies a selection signal to each scanning line. No drivers for

scanning are arranged at all. In addition, the common
signal power supply 6 has a smaller number of elements
than that of the scanning driver and therefore has a
simple arrangement. Hence, the mounting area of the
5 driver is small.

C L A I M S

1. A display device comprising:
 - a plurality of scanning lines;
 - a plurality of signal lines;
 - 5 a scanning driver which sequentially supplies to the scanning lines selection signals that select the scanning lines;
 - a data driver which supplies a designation current to said plurality of signal lines within a selection
 - 10 period when the scanning lines are being selected;
 - a plurality of pixel circuits which supplies a driving current corresponding to a current value of the designation current that flows to the signal lines;
 - a plurality of optical elements which emit light
 - 15 in accordance with the driving current supplied by said plurality of pixel circuits; and
 - a power supply which outputs to said plurality of pixel circuits a driving current reference voltage to supply the driving current.
- 20 2. A display device according to claim 1, wherein the power supply outputs the driving current reference voltage to said plurality of pixel circuits within a non-selection period.
3. A display device according to claim 2, wherein
- 25 the non-selection period is a period when none of said plurality of optical elements are selected.
4. A display device according to claim 2, wherein

a reset voltage is output to said plurality of signal lines within the non-selection period.

5 5. A display device according to claim 1, wherein the power supply selectively outputs the driving current reference voltage and a designation current reference voltage to supply the designation current.

6. A display device according to claim 5, wherein the designation current reference voltage is lower than the driving current reference voltage.

10 7. A display device according to claim 5, wherein the power supply outputs the designation current reference voltage within the selection period.

15 8. A display device according to claim 1, wherein the power supply alternately outputs a designation current reference voltage to supply the designation current and the driving current reference voltage.

20 9. A display device according to claim 1, wherein the data driver supplies the designation current to the signal lines and the pixel circuits on the basis of a designation current reference voltage output from the power supply within the selection period, and

25 each of the pixel circuits stores the current value of the designation current and supplies the driving current that is equal to the current value of the designation current on the basis of the driving current reference voltage output from the power supply.

10. A display device according to claim 1, wherein

each of the pixel circuits comprises a driving transistor and a capacitor which is connected between a gate and a source of the driving transistor,

the data driver supplies the designation current to the signal lines and the driving transistors of the pixel circuits on the basis of a designation current reference voltage output from the power supply within the selection period, and

the capacitor stores charges corresponding to the designation current between the gate and the source, and when the driving current reference voltage is input from the power supply, the driving transistor supplies the driving current corresponding to the charges stored between the gate and the source.

11. A display device according to claim 1, wherein each of the pixel circuits comprises

a first transistor in which a gate is connected to the scanning line and one of a drain and a source is connected to the signal line,

a second transistor in which a gate is connected to the scanning line and a designation current reference voltage and the driving current reference voltage are selectively input to one of a drain and a source, and

a driving transistor in which a gate is connected to the other of the drain and the source of the second transistor, one of a drain and a source is connected to

one of the drain and the source of the second transistor, and the other of the drain and the source is connected to the other of the drain and the source of the first transistor and the optical element.

5 12. A display device according to claim 11, wherein the scanning driver selects the first transistor and the second transistor, which are connected to a predetermined scanning line, within the selection period.

10 13. A display device according to claim 1, wherein each of the pixel circuits comprises

 a first transistor in which a gate is connected to the scanning line and one of a drain and a source is connected to the signal line,

15 a second transistor in which a gate is connected to the scanning line and one of a drain and a source is connected to the scanning line, and

 a driving transistor in which a gate is connected to the other of the drain and the source of the second transistor, one of a drain and a source is connected to the power supply, and the other of the drain and the source is connected to the other of the drain and the source of the first transistor and the optical element.

20 14. A display device according to claim 13, wherein the scanning driver selects the first transistor and the second transistor, which are connected to a predetermined scanning line, within the

selection period.

15. A display device according to claim 1, wherein the power supply outputs the driving current reference voltage from the end of the selection period of a
5 predetermined scanning line till the beginning of the selection period of a next scanning line.

16. A display device according to claim 1, wherein the optical element has a first electrode connected to the power supply through the pixel circuit and a second
10 electrode to which a reference voltage is applied.

17. A display device according to claim 16, wherein

the power supply selectively outputs the driving current reference voltage and a designation current
15 reference voltage to supply the designation current, and

the driving current reference voltage is not less than the reference voltage, and the designation current reference voltage is not more than the reference
20 voltage.

18. A display device according to claim 1, wherein the optical element is an organic EL element.

19. A display device comprising:

a scanning line group having a scanning line of a
25 first row and a scanning line of a second row;

an optical element group having a first optical element which is connected to the scanning line of the

first row and emits light in accordance with a current value of a first driving current supplied, and a second optical element which is connected to the scanning line of the second row and emits light in accordance with a current value of a second driving current supplied;

5

a pixel circuit group having a first pixel circuit which is connected to the first optical element and supplies the first driving current equal to a current value of a first designation current supplied, and a second pixel circuit which is connected to the second optical element and supplies the second driving current equal to a current value of a second designation current supplied; and

10

a power supply which applies a driving current reference voltage to supply the first driving current to the first optical element through the first pixel circuit and applies the driving current reference voltage to supply the second driving current to the second optical element through the second pixel circuit between a selection period of the scanning line of the first row and a selection period of the scanning line of the second row.

15

20

20. A display device according to claim 19, wherein the power supply outputs the driving current reference voltage to the optical element group within a non-selection period.

25

21. A display device according to claim 20,

wherein the non-selection period is a period when none of the optical elements of the optical element group are selected.

22. A display device according to claim 20,
5 wherein a reset voltage is output to said plurality of signal lines within the non-selection period.

23. A display device according to claim 19,
wherein the power supply selectively outputs the driving current reference voltage and a designation
10 current reference voltage to supply the first and second designation currents to the first and second pixel circuits.

24. A display device according to claim 23,
wherein the designation current reference voltage is
15 lower than the driving current reference voltage.

25. A display device according to claim 23,
wherein the power supply outputs the designation current reference voltage within the selection period.

26. A display device according to claim 19,
20 wherein the power supply alternately outputs a designation current reference voltage to supply the first and second designation currents and the driving current reference voltage.

27. A display device according to claim 19,
25 further comprising a data driver which supplies the first and second designation currents to the first and second pixel circuits on the basis of a designation

current reference voltage output from the power supply within the selection period.

28. A display device according to claim 27, further comprising a signal line which connects the data driver to the pixel circuits.

29. A display device according to claim 19, wherein each of the pixel circuits stores the current value of the designation current supplied within the selection period and supplies the driving current that is equal to the current value of the designation current on the basis of the driving current reference voltage output from the power supply after the selection period.

30. A display device according to claim 19, wherein

each of the pixel circuits comprises a driving transistor and a capacitor which is connected between a gate and a source of the driving transistor,

the data driver supplies the designation current to the driving transistors of the pixel circuits on the basis of a designation current reference voltage output from the power supply within the selection period, and

the capacitor stores charges corresponding to the designation current between the gate and the source, and when the driving current reference voltage is input from the power supply, the driving transistor supplies the driving current corresponding to the charges stored

between the gate and the source.

31. A display device according to claim 19,
wherein each of the pixel circuits comprises

5 a first transistor in which a gate is connected to
one scanning line of the scanning line group and one of
a drain and a source is connected to the data driver,

10 a second transistor in which a gate is connected
to the scanning line and a designation current
reference voltage and the driving current reference
voltage are selectively input to one of a drain and a
source, and

15 a driving transistor in which a gate is connected
to the other of the drain and the source of the second
transistor, one of a drain and a source is connected
to one of the drain and the source of the second
transistor, and the other of the drain and the source
is connected to the other of the drain and the source
of the first transistor and one optical element of the
optical element group.

20 32. A display device according to claim 31,
further comprising a selection scanning driver which
selects the first transistor and the second transistor,
which are connected to the predetermined scanning line
of the scanning line group within the selection period.

25 33. A display device according to claim 19,
wherein each of the pixel circuits comprises

a first transistor in which a gate is connected to

one scanning line of the scanning line group and one of a drain and a source is connected to the data driver,

a second transistor in which a gate is connected to the scanning line and one of a drain and a source is connected to the scanning line, and

a driving transistor in which a gate is connected to the other of the drain and the source of the second transistor, one of a drain and a source is connected to the power supply, and the other of the drain and the source is connected to the other of the drain and the source of the first transistor and one optical element of the optical element group.

34. A display device according to claim 33, further comprising a selection scanning driver which selects the first transistor and the second transistor, which are connected to the predetermined scanning line of the scanning line group within the selection period.

35. A display device according to claim 19, wherein the power supply outputs the driving current reference voltage within a non-selection period between the selection period of a predetermined scanning line and the selection period of a next scanning line.

36. A display device according to claim 19; wherein the optical element has a first electrode connected to the power supply through the pixel circuit and a second electrode to which a reference voltage is applied.

37. A display device according to claim 36,
wherein

the power supply selectively outputs the driving
current reference voltage and the designation current
5 reference voltage to supply the first and second
designation currents, and

the driving current reference voltage is not less
than the reference voltage, and the designation current
reference voltage is not more than the reference
10 voltage.

38. A display device according to claim 19,
wherein the optical element is an organic EL element.

39. A display device comprising:

a plurality of scanning lines;
15 a scanning driver which sequentially supplies to
the scanning lines selection signals that select one of
said plurality of scanning lines;

a plurality of pixel circuits each of which is
connected to a corresponding one of said plurality of
20 scanning lines and supplies a driving current corre-
sponding to a current value of the designation current;

a plurality of optical elements each of which
emits light in accordance with the driving current
supplied by a corresponding one of said plurality of
25 pixel circuits;

a data driver which supplies the designation
currents to the pixel circuits within a selection

period when the scanning lines are selected; and

a common voltage output circuit which outputs to the selected pixel circuit a designation current reference voltage to supply the designation currents within the selection period of the scanning lines and outputs to said plurality of pixel circuits a driving current reference voltage to supply the driving currents within a non-selection period.

40. A display device according to claim 39, wherein the common voltage output circuit outputs the driving current reference voltage to all the pixel circuits within the non-selection period.

41. A display device according to claim 39, wherein the designation current reference voltage is lower than the driving current reference voltage.

42. A display device driving method comprising:
a first designation current step of supplying a first designation current to a first driving transistor within a first selection period to store charges corresponding to a current value of the first designation current between a gate and a source of the first driving transistor;

a second designation current step of supplying a second designation current to a second driving transistor within a second selection period to store charges corresponding to a current value of the second designation current between a gate and a source of the

second driving transistor; and

a driving current reference voltage output step of, from the end of the first selection period till the beginning of the second selection period, outputting a driving current reference voltage to the first driving transistor and a first optical element which is connected in series with the first driving transistor and outputting the driving current reference voltage to the second driving transistor and a second optical element which is connected in series with the second driving transistor.

43. A display device driving method according to claim 42, wherein the driving current reference voltage is a voltage at which a source-drain voltage of the first driving transistor and a source-drain voltage of the second driving transistor are set in a saturated state.

44. A display device driving method comprising:
a first designation current step of supplying a first designation current to a first driving transistor within a first selection period to store charges corresponding to a current value of the first designation current between a gate and a source of the first driving transistor;
a second designation current step of supplying a second designation current to a second driving transistor within a second selection period after the

first designation current step to store charges corresponding to a current value of the second designation current between a gate and a source of the second driving transistor; and

5 a driving current reference voltage output step of, after the second designation current step, outputting a driving current reference voltage to the first driving transistor and a first optical element which is connected in series with the first driving
10 transistor and outputting the driving current reference voltage to the second driving transistor and a second optical element which is connected in series with the second driving transistor.

15 45. A display device driving method according to claim 44, wherein the driving current reference voltage is a voltage at which a source-drain voltage of the first driving transistor and a source-drain voltage of the second driving transistor are set in a saturated state.

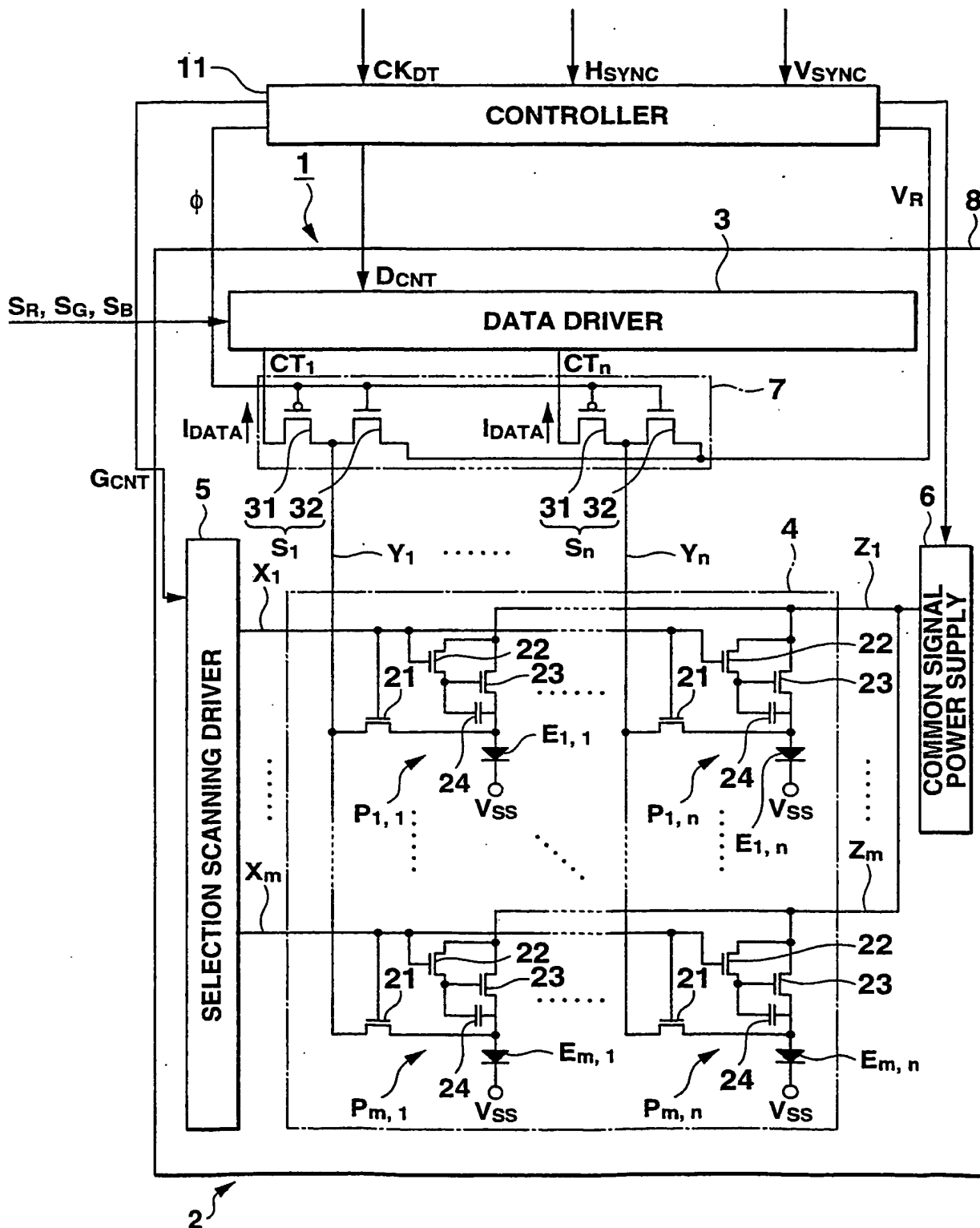


FIG. 1

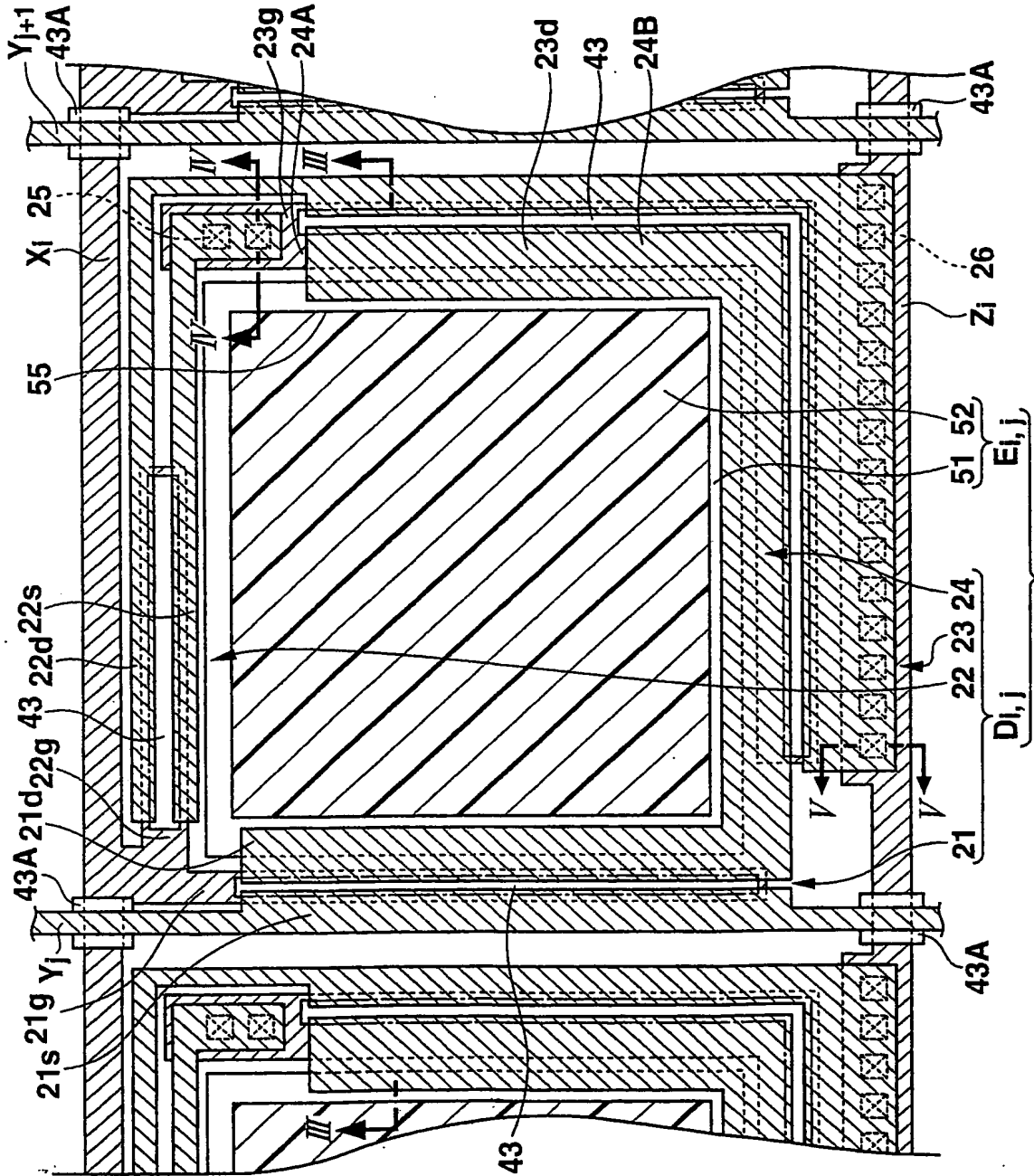


FIG.2

3/12

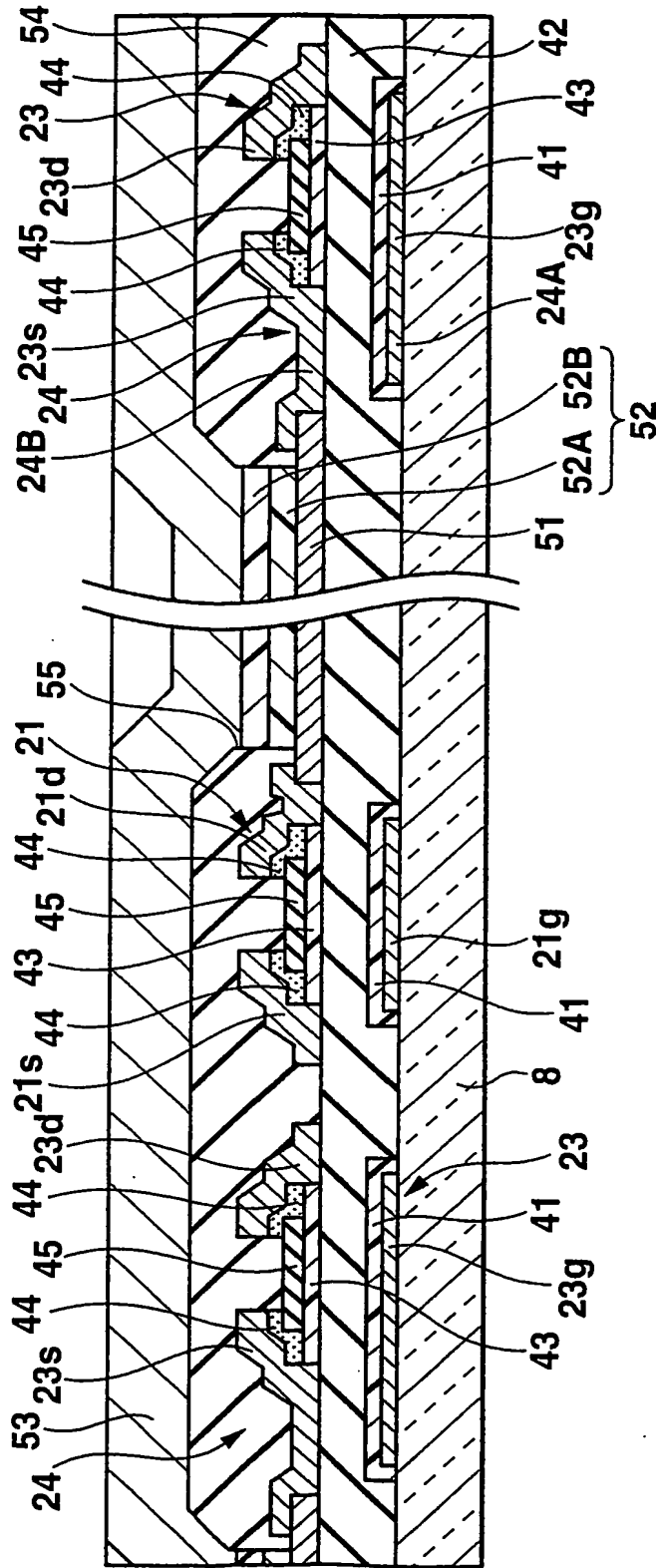


FIG.3

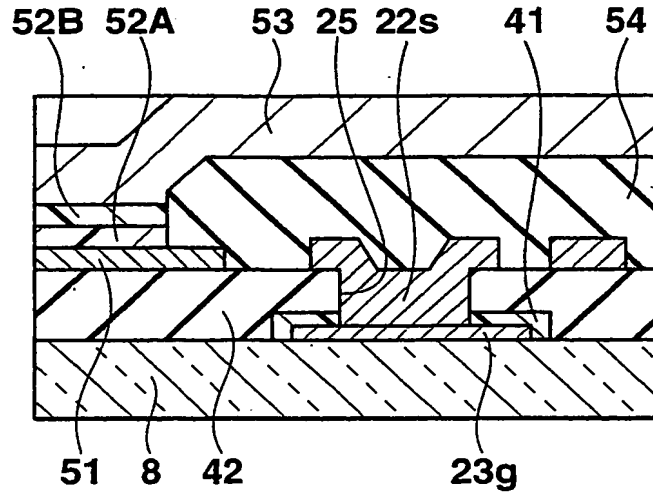


FIG.4

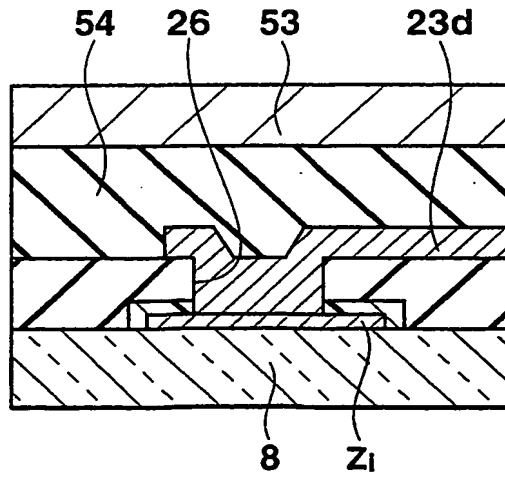


FIG.5

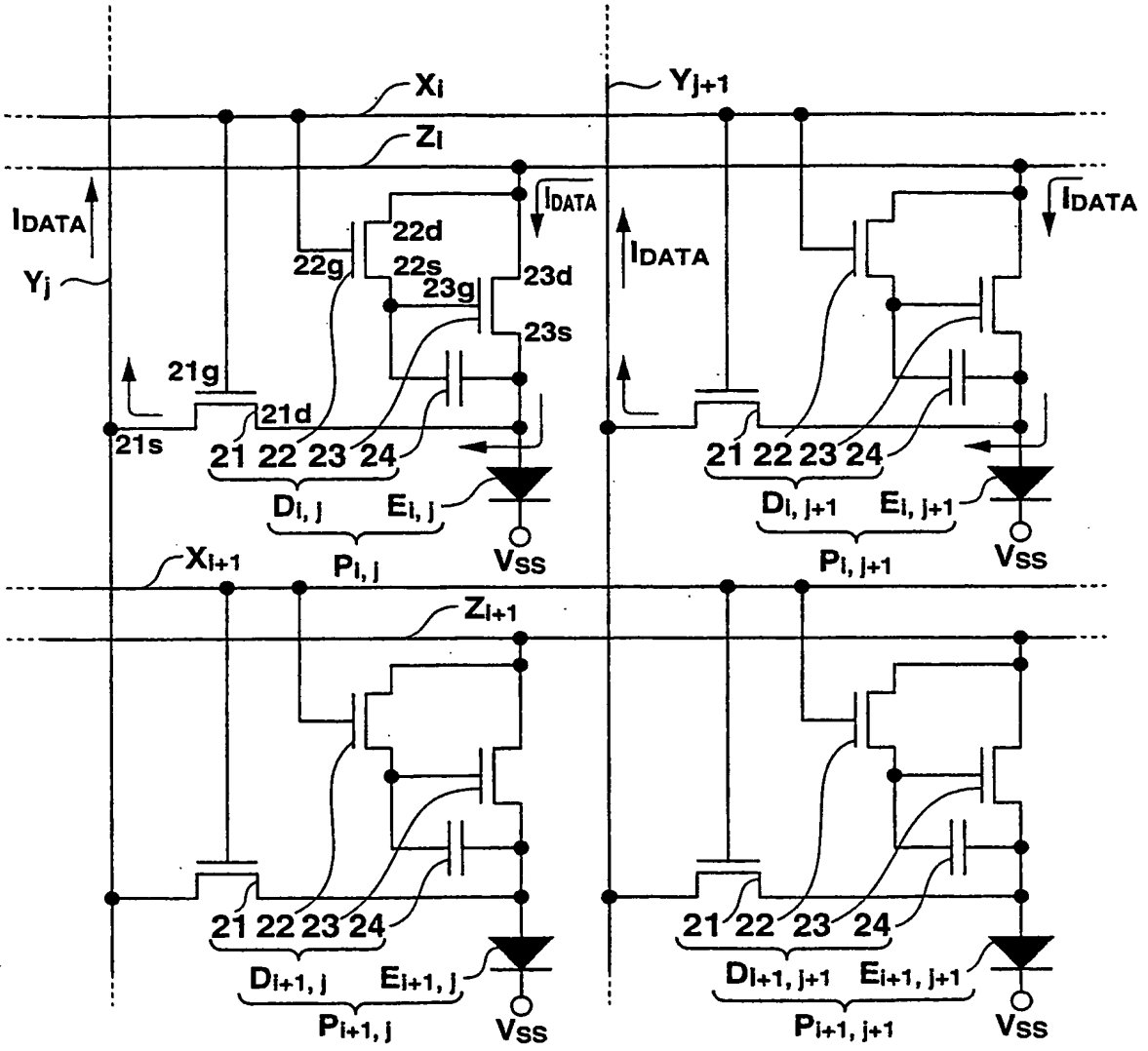


FIG.6

6/12

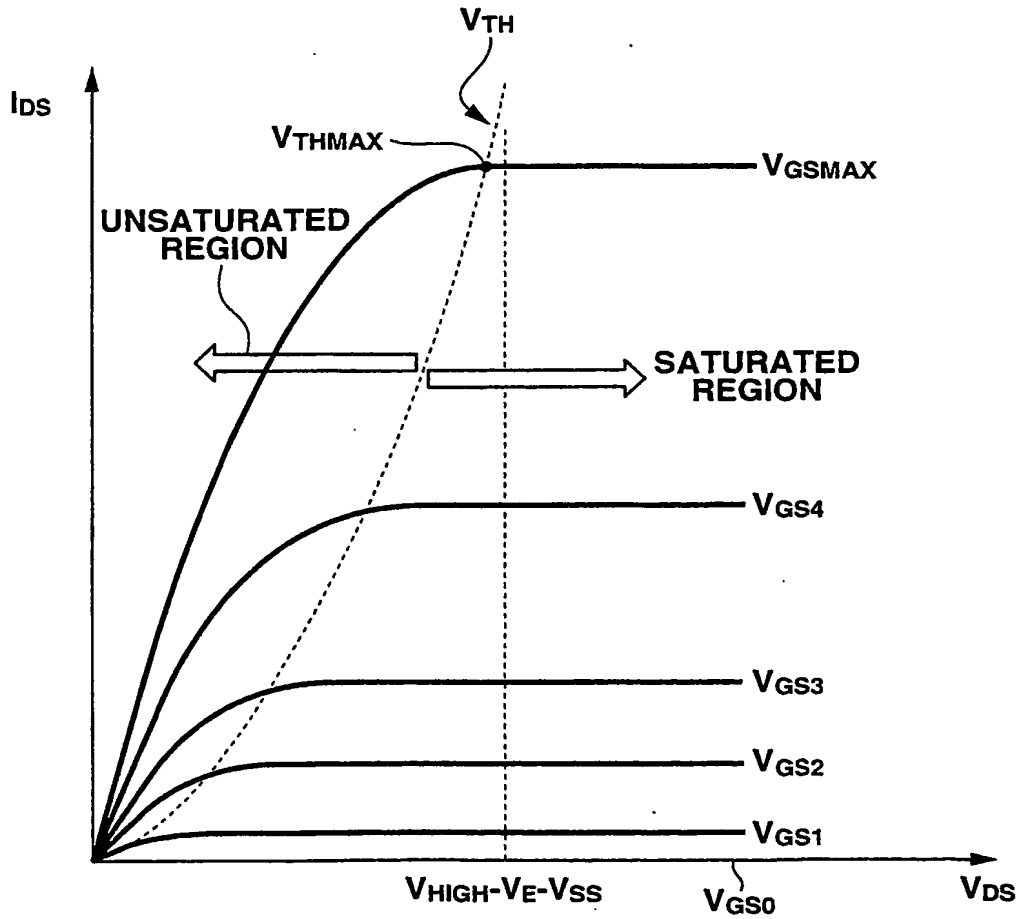


FIG.7

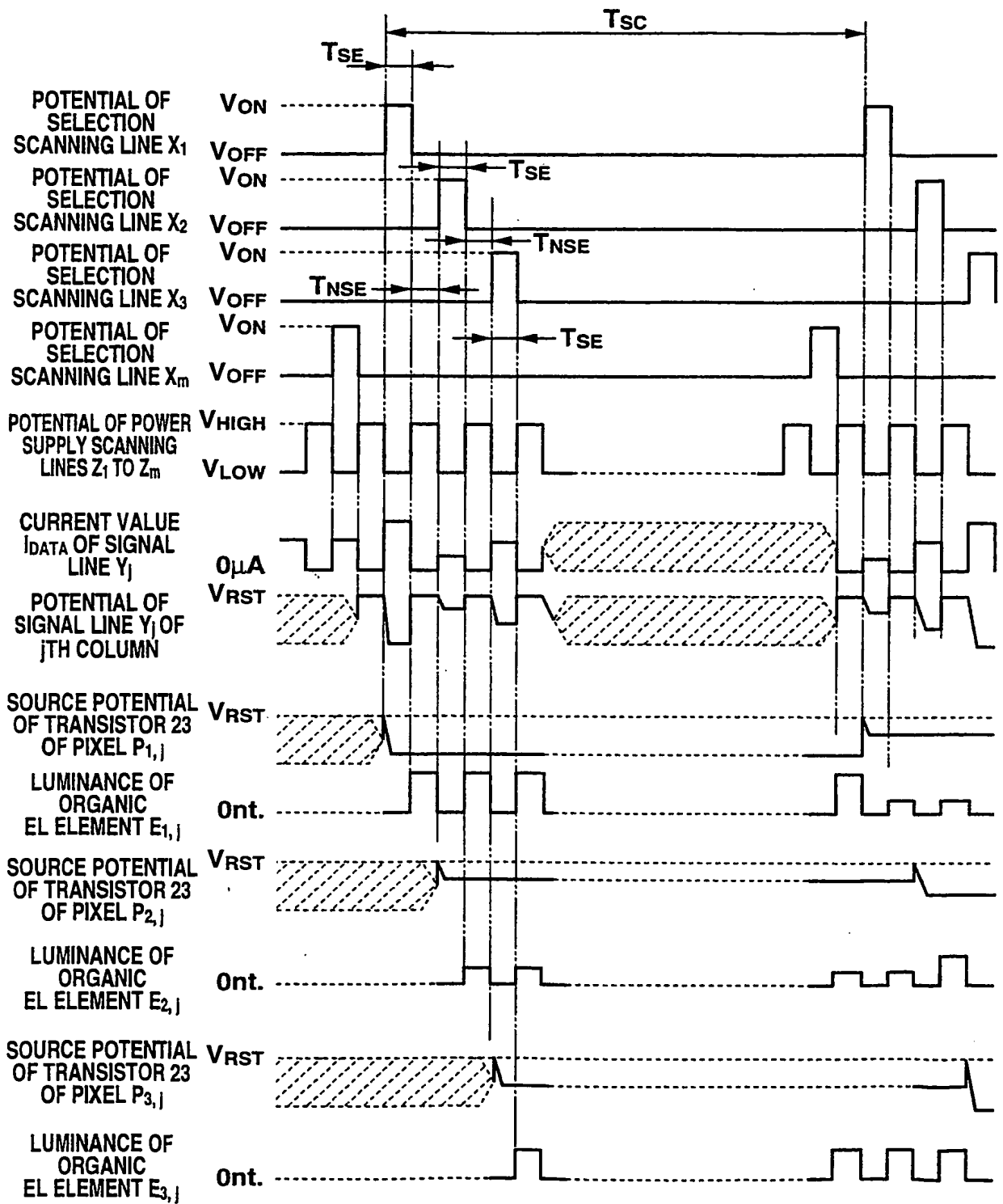


FIG.8

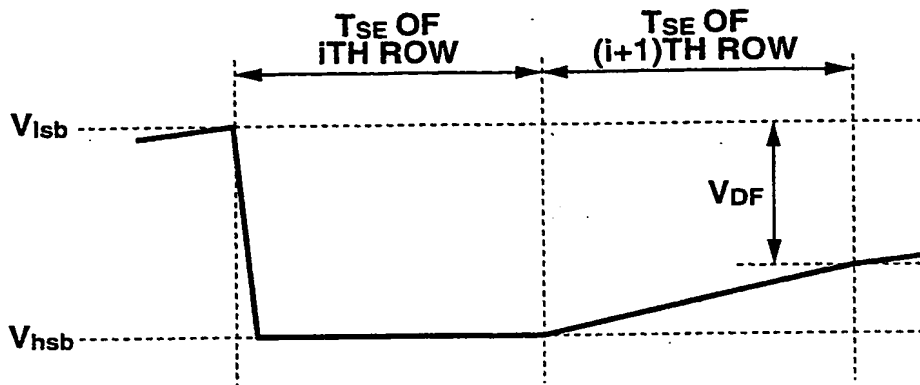


FIG.9A

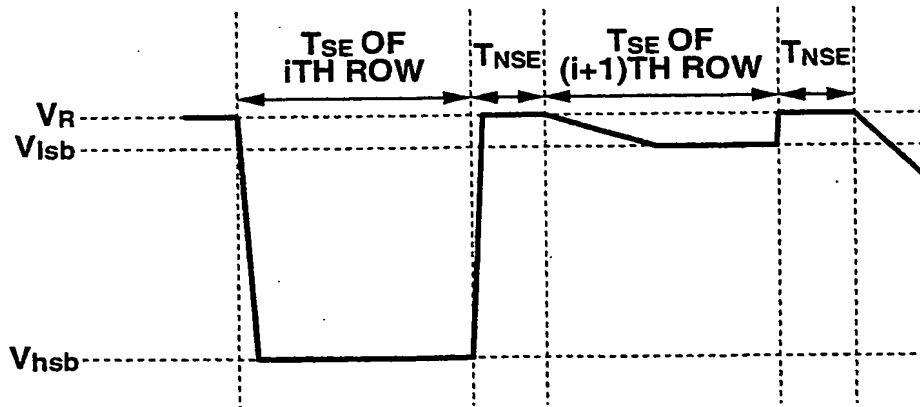


FIG.9B

9/12

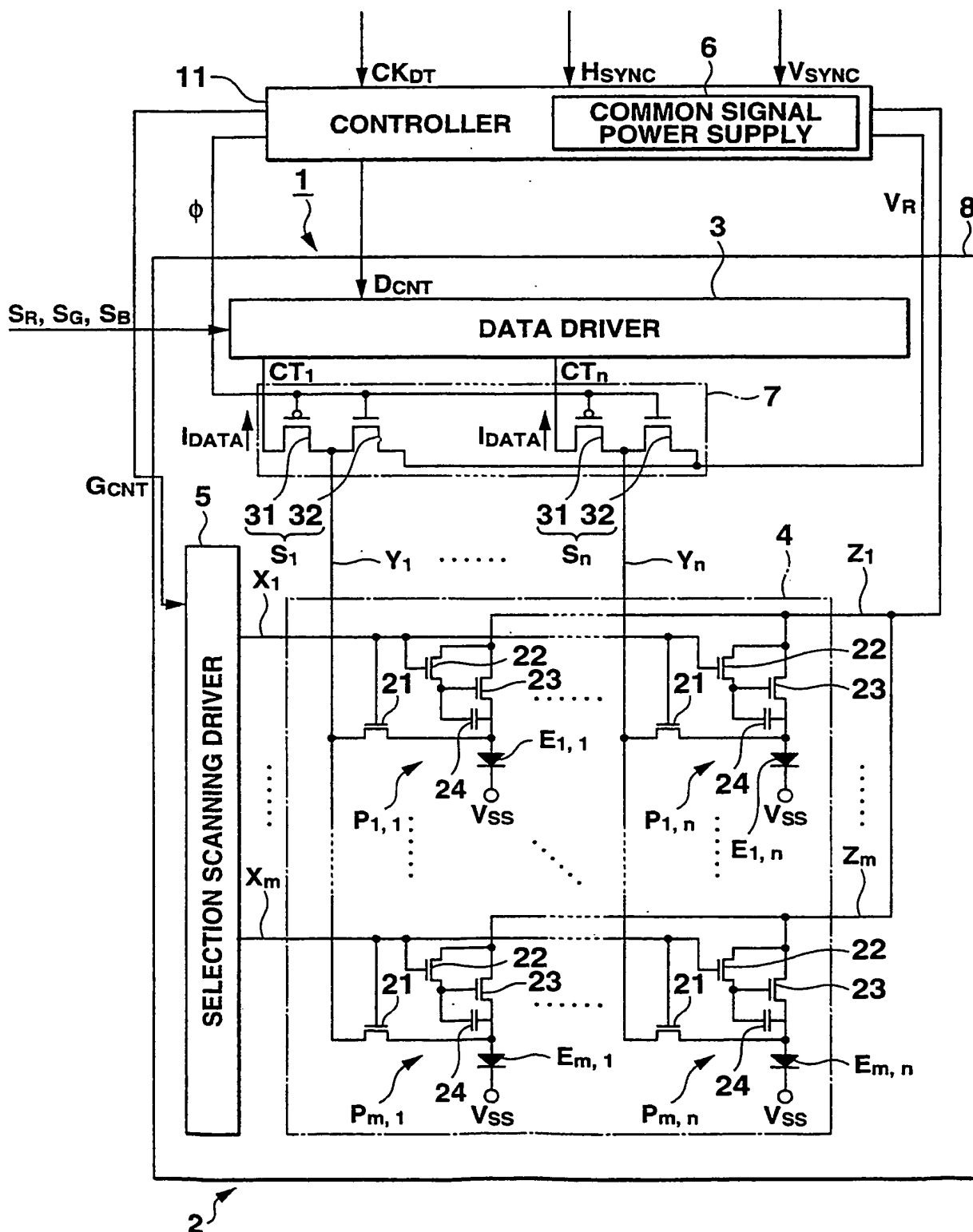


FIG.10

10/12

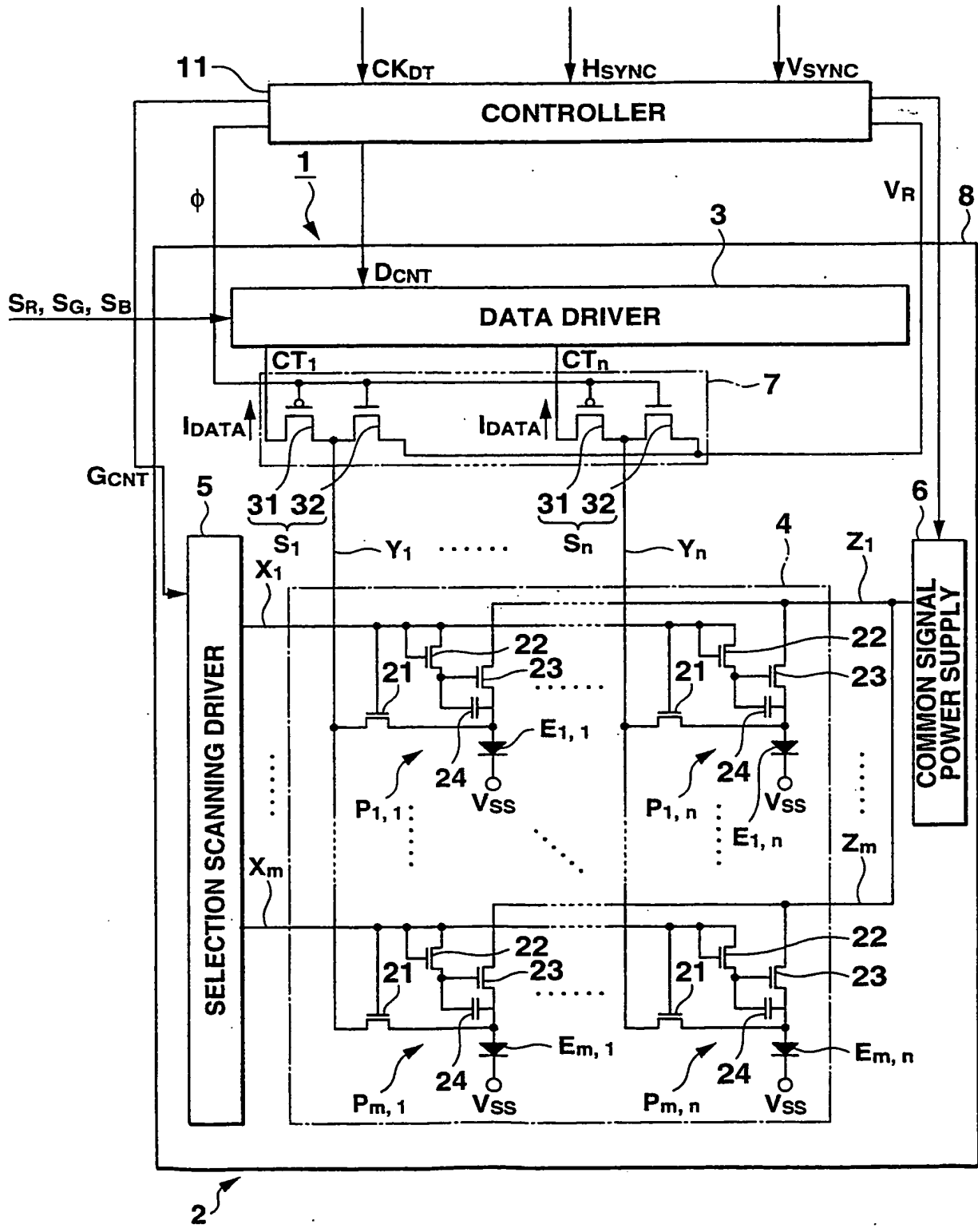


FIG.11

11/12

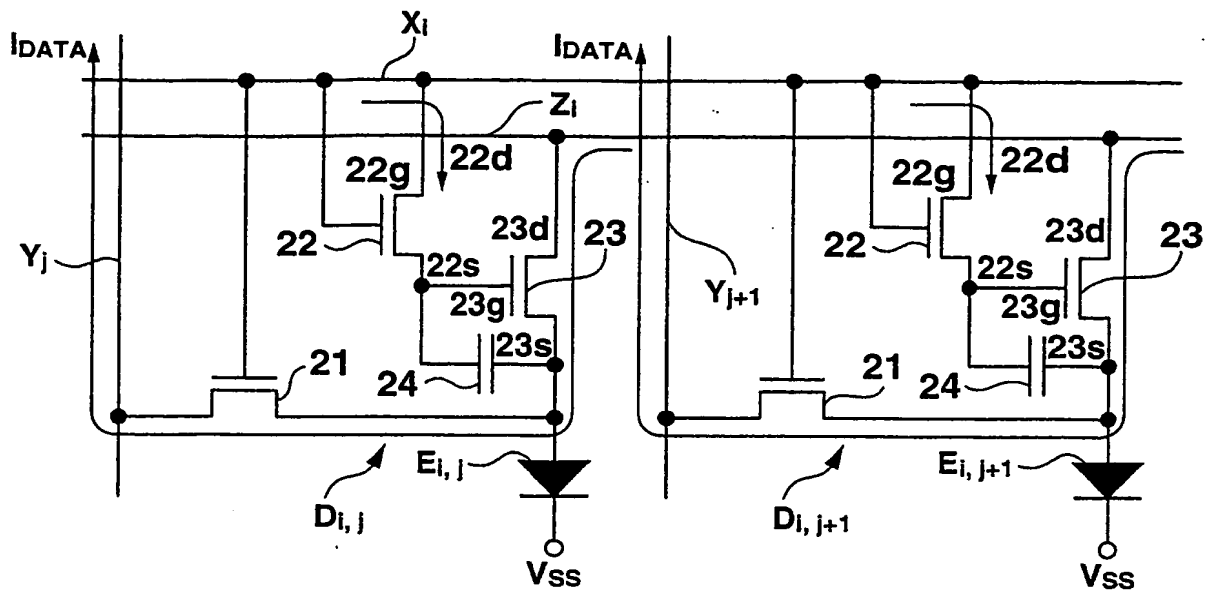


FIG.12A

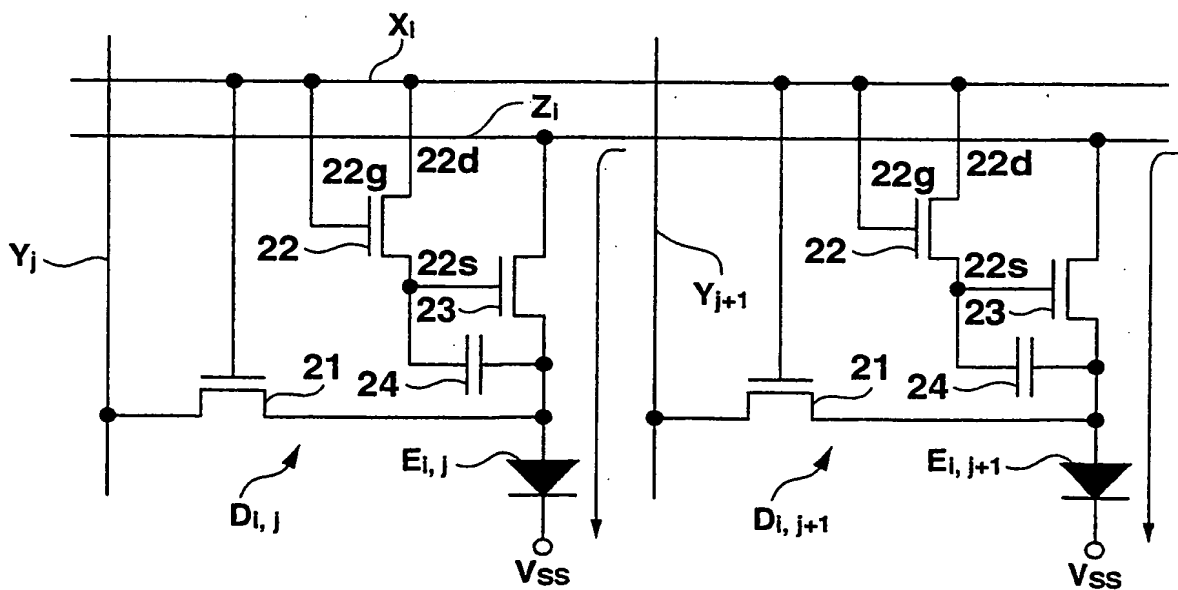


FIG.12B

12/12

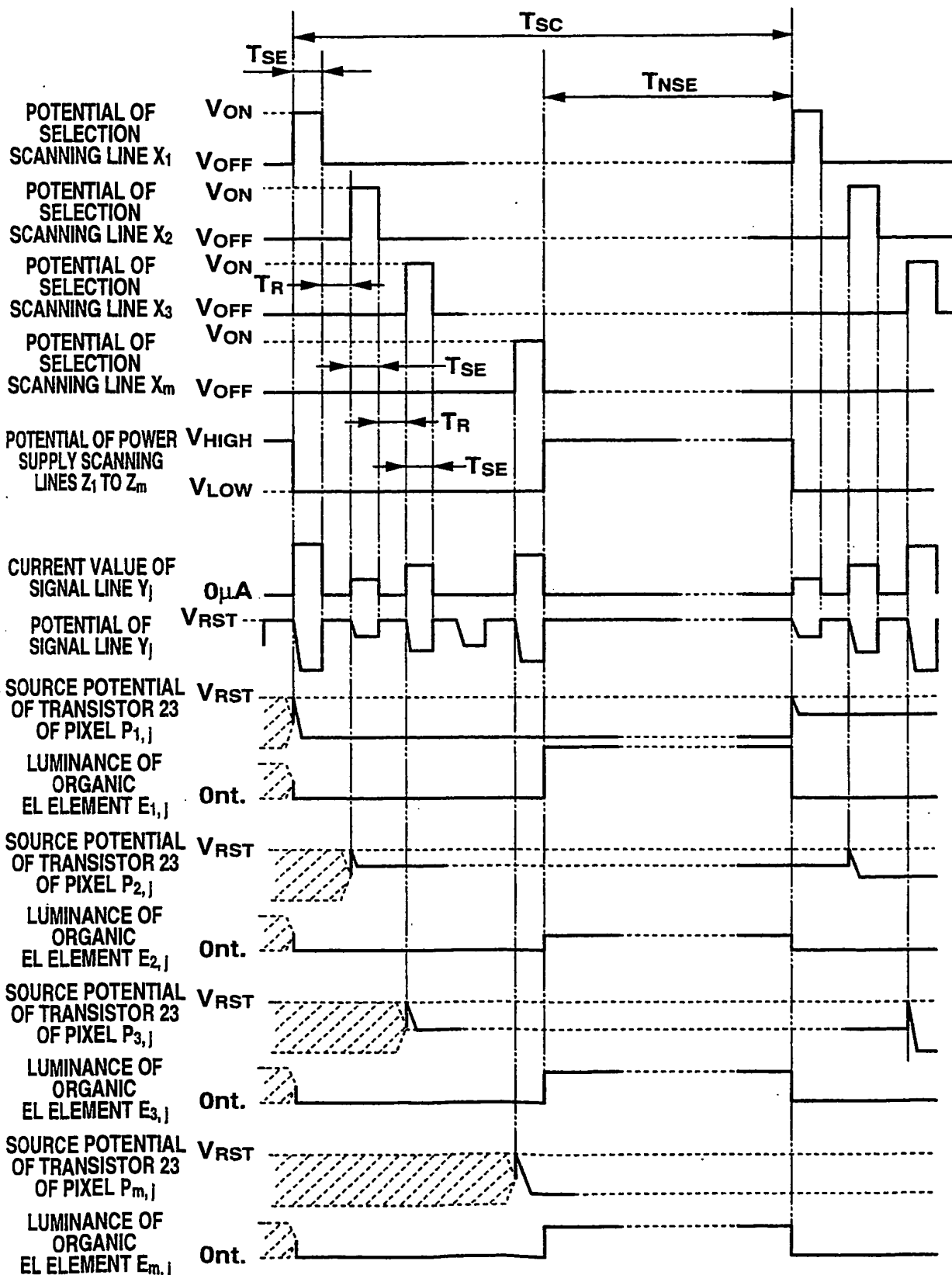


FIG.13

INTERNATIONAL SEARCH REPORT

International application No
PCT/JP 03/10644

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 0963/32

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 096G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, X	WO 03 058328 A (CASIO COMP CO LTD ;HATTORI REIJI (JP); YAMADA HIROYASU (JP); SHIRA) 17 July 2003 (2003-07-17) figures 1,7,9 --- -/-	1,2, 5-20, 23-39, 41-44

Further documents are listed in the continuation of box C.

Patent family members are listed in annex.

* Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *G* document member of the same patent family

Date of the actual completion of the international search

2 January 2004

Date of mailing of the international search report

15/01/2004

Name and mailing address of the ISA
European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax (+31-70) 340-3016

Authorized officer

Gundlach, H

INTERNATIONAL SEARCH REPORT

International application No
PCT/JP 03/10644

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 99 65011 A (KONINKL PHILIPS ELECTRONICS NV ;PHILIPS SVENSKA AB (SE)) 16 December 1999 (1999-12-16) page 8, line 5 - line 6; figure 1 page 8, line 9 - line 10 page 8, line 15 - line 18 page 10, line 5 - line 16 page 11, line 25 -page 12, line 14 page 12, line 3 - line 8 page 12, line 31 -page 13, line 16; figure 4 page 13, line 2 - line 25 page 14, line 26 -page 15, line 7	1-10, 15-45
X	EP 1 170 718 A (SEIKO EPSON CORP) 9 January 2002 (2002-01-09) figure 5	1
A	JP 2002 215095 A (PIONEER ELECTRONIC CORP) 31 July 2002 (2002-07-31) figures 1-8 -& US 2002/135309 A1 (PIONEER ELECTRONIC CORP) 26 September 2002 (2002-09-26)	11,13

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/JP 03/10644

Patent document cited in search report	A	Publication date	JP	Patent family member(s)	Publication date
WO 03058328	A	17-07-2003	JP	2003195810 A	09-07-2003
			WO	03058328 A1	17-07-2003
WO 9965011	A	16-12-1999	EP	1034530 A2	13-09-2000
			WO	9965011 A2	16-12-1999
			JP	2002517806 T	18-06-2002
			US	6373454 B1	16-04-2002
EP 1170718	A	09-01-2002	CN	1388951 T	01-01-2003
			EP	1170718 A1	09-01-2002
			WO	0205254 A1	17-01-2002
			US	2002033718 A1	21-03-2002
JP 2002215095	A	31-07-2002	US	2002135309 A1	26-09-2002

Form PCT/ISA/210 (patent family annex) (July 1992)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT OR DRAWING
- BLURRED OR ILLEGIBLE TEXT OR DRAWING
- SKEWED/SLANTED IMAGES
- COLOR OR BLACK AND WHITE PHOTOGRAPHS
- GRAY SCALE DOCUMENTS
- LINES OR MARKS ON ORIGINAL DOCUMENT
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

FRISHAUF, HOLTZ, GOODMAN & CHICK, P.C.
ATTORNEYS AT LAW

220 FIFTH AVENUE, NEW YORK, N.Y. 10001-7708

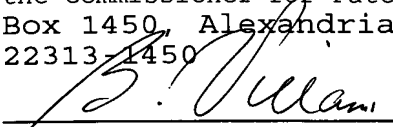
FRANK HOLTZ
HERBERT GOODMAN
MARSHALL J. CHICK
RICHARD S. BARTH
DOUGLAS HOLTZ
ROBERT P. MICHAL
TELEPHONE: (212) 319-4900
FACSIMILE: (212) 319-5101

Commissioner for Patents
P.O. Box 1450,
Alexandria, VA 22313-1450

Express Mail Mailing Label
No.: EV 919 310 009 US

Date of Deposit: May 23, 2006

I hereby certify that this paper is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450


Barbara Villani

Attorney Docket No. 06331/LH
CUSTOMER NO. 01933

113235 U.S. PTO
11/438967



Pursuant to 37 CFR 1.53(b), transmitted herewith for filing is the patent application of

Inventor(s): Tsuyoshi OZAKI of Fuchu-shi, Japan
Jun OGURA of Fussa-shi, Japan

Title: "DISPLAY APPARATUS AND DRIVE CONTROL METHOD THEREOF"

Priority Claim (35 U.S.C. 119) is made, based upon:
Japan No. 2005-150566 filed May 24, 2005
Japan No. 2005-153382 filed May 26, 2005

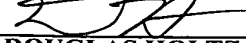
ASSIGNMENT INFORMATION FOR PUBLICATION:
Casio Computer Co., Ltd.
Tokyo, Japan

Enclosed herewith are:

- Specification (Description, Claims, Abstract): Pages 1 - 119 ; Number of claims 1 - 38
- Declaration and Power of Attorney
- 27 Sheets of drawings, Figures 1 - 27 [X] Formal [] Informal
- Assignment and "Patents" Recordation Form Cover Sheet (PTO-1595) AND \$40. RECORDATION FEE.
- Certified copies of priority documents identified above
- Information Disclosure Statement; [] Form PTO/SB/08A
- Preliminary Amendment
- Change of Correspondence Address (Form PTO/SB/122)
- PTO Form 2038 (Payment by Credit Card)
- TO THE EXTENT NOT TENDERED BY CREDIT CARD PAYMENT ATTACHED HERETO, AUTHORIZATION IS GIVEN TO CHARGE ANY FEES UNDER 37 CFR 1.16 AND 1.17 DURING PENDENCY OF THE APPLICATION, OR TO CREDIT ANY OVERPAYMENT, TO DEPOSIT ACCOUNT NO. 06-1378. DUPLICATE COPY OF THIS LETTER IS ENCLOSED.
- Receipt Postcard

	Number Filed		Number Extra	Rate		Calculations
Total Claims	38	-20 =	18	x \$50.00 =		\$ 900.00
Independent Claims	2	-3 =	0	x \$200.00 =		\$ 250.00
Application Size Fee				+ \$360.00 =		\$ 1000.00
MULTIPLE DEPENDENT CLAIMS				BASIC FEE (Including Filing, Search and Examination Fees)		\$ 1000.00
Total of above Calculations						\$ 2150.00

FRISHAUF, HOLTZ, GOODMAN & CHICK, P.C.

By: 
DOUGLAS HOLTZ
Reg. No. 33,902

LH:bv

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

<p align="center">CHANGE OF CORRESPONDENCE ADDRESS <i>Application</i></p> <p>Address to: Commissioner for Patents P.O. Box 1450 Alexandria, VA. 22313-1450</p>	Application Number	Not yet assigned
	Filing Date	Herewith
	First Named Inventor	OZAKI
	Group Art Unit	
	Examiner Name	
	Attorney Docket Number	06331/LH

Please change the Correspondence Address for the above-identified application to:

Customer Number [01933] →

OR

<input type="checkbox"/> Firm or Individual Name				
Address				
Address				
City		State		ZIP
Country				
Telephone		Fax		

This form cannot be used to change the data associated with a Customer Number. To change the data associated with an existing Customer Number use "Request for Customer Number Data Change" (PTO/SB/124).

I am the:


Applicant/Inventor.

Assignee of record of the entire interest. Statement under 37 CFR 3.73(b) is enclosed. (Form PTO/SB/96).

Attorney or Agent of record. **Registration No. 33,902**

Registered practitioner named in the application transmittal letter in an application without an executed oath or declaration. See 37 CFR 1.33(a)(1). Registration Number _____.

Typed or Printed Name **Douglas Holtz, Reg. No. 33,902**

Signature 

Date **May 23, 2006** Telephone: **(212) 319-4900**

NOTE: Signatures of all the inventors or assignees of record of the entire interest or their representative(s) are required. Submit multiple forms if more than one signature is required. See below.

Total of ____ forms are submitted.

This collection of information is required by 37 CFR 1.33. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 USC 122 and 37 CFR 1.14. This collection is estimated to take 3 minutes to complete, including gathering, preparing and submitting the completed application to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

TITLE OF THE INVENTION
DISPLAY APPARATUS AND DRIVE CONTROL METHOD THEREOF
CROSS-REFERENCE TO RELATED APPLICATIONS

This application is based upon and claims the
5 benefit of priority from prior Japanese Patent
Applications No. 2005-150566, filed May 24, 2005; and
No. 2005-153382, filed May 26, 2005, the entire
contents of both of which are incorporated herein by
reference.

10 BACKGROUND OF THE INVENTION

1. Field of the Invention

The present invention relates to a display
apparatus and a display drive method thereof. In
particular, the invention relates to a display
15 apparatus and a drive control method thereof, the
apparatus being provided with a display panel having a
plurality of current control type optical elements
arranged thereon to display image information.

2. Description of the Related Art

20 In recent years, light weight and thin type
display devices which consume a lower amount of
electric power are conspicuously prevalent as monitors
and displays of personal computers and video equipment.
In particular, liquid crystal display (LCD) apparatuses
25 are widely applied as display devices for mobile
phones, digital cameras, personal data assistants
(PDA's), and portable devices (mobile handsets) such as

electronic dictionaries.

As a next-generation display device which follows such an LCD apparatus, research and development have been briskly made toward a full-scale popularization of a self-luminous type display device (a self-luminous type display) provided with a display panel in which organic electroluminescent elements (organic EL elements), inorganic electroluminescent element (inorganic EL elements) or self-luminous type optical elements such as light emitting diodes (LED) are arranged in a matrix form.

In particular, a self-luminous type display apparatus to which an active matrix drive mode is applied has a higher display response speed than that of the above-described liquid crystal display. Further, the self-luminous type display apparatus does not have view field angle dependency, and can achieve an increase in luminance/contrast and in fineness of a display image quality. Furthermore, the self-luminous type display apparatus does not require the backlight used in a liquid crystal display, and hence the self-luminous type display has very advantageous characteristics in the application to portable devices that a further reduction in a thickness and a weight and/or a further decrease in power consumption is possible.

FIG. 25 is schematic structural diagram showing a

primary part of an active matrix type self-luminous type display apparatus in a prior art.

FIG. 26 is a timing chart showing one example of a display drive method of the active matrix type self-luminous type display apparatus in the prior art.

FIG. 27 is a timing chart showing another example of the active matrix type self-luminous type display apparatus in the prior art.

Here, in FIGS. 26 and 27, for ease of comparison with embodiments which will be described later, there is shown a display drive method in the case where the apparatus has a configuration in which a display panel has twelve rows (first to twelfth rows) of display pixels arranged. In FIGS. 26 and 27, symbol K denotes a positive integer. Incidentally, hatching is provided for clarifying a writing operation and display operation of image data in each row, and writing operation and display operation of blanking data.

An active matrix type display apparatus such as a liquid crystal display apparatus and a self-luminous type display apparatus generally has, as shown in FIG. 25, a configuration comprising: a display panel 110P in which a plurality of display pixels EM_p are arranged in two dimensions in the vicinity of intersections of a plurality of scanning lines SL_p and data lines DL_p arranged in row and column directions; a scanning driver 120P which is connected with the

scanning lines SLp; and a data driver 140P which is connected with the data lines DL.

For example, as shown in FIG. 26, in a display drive control in the display apparatus having such a configuration, display pixels EMp for each row are sequentially set to a selection state by sequentially applying a selection level scanning signal Ssel to the scanning lines SLp in each row from the scanning driver 120P in the beginning. Then, in synchronization with the selection timing of each row, a gradation voltage Vpix corresponding to image data (display data) in the row is applied to the data line DLp in each column from the data driver 140P, whereby a voltage component based on the gradation voltage Vpix is held to each of the display pixels EMp (a image data writing period). As a consequence, a gradation control corresponding to the above-described voltage component is performed in each display pixel EMp, so that a display operation (light emitting operation) corresponding to the image data is performed and desired image information is displayed on the display panel.

Subsequently, the display pixels EMp for each row are set to a non-selection state by sequentially applying a non-selection level scanning signal Ssel to the scanning lines SLp from the scanning driver 120P. However, when the voltage component written immediately previously is held in each of the display pixels, the

display operation corresponding to the image data continues (a image display period), and the operation continues until next image data is written in the display pixels EMp in each row. This type of display control method is referred to as a hold type.

In such a hold type display control method, there is provided a characteristic such that flickering is hardly generated in the display operation of static images because the display operation (the light emitting operation) corresponding to the image data continues in almost all the period of one frame period. However, on the other hand, in the display of moving images, image information displayed in the previous frame period can become visually recognized more easily as an afterimage, and consequently, blurs and stains of the image information occur, which will lead to the deterioration of display image quality.

Then, as a display drive method for improving the display image quality by suppressing blurs and stains in the display operation of moving images, there is known a technique for performing, in one frame period, an operation (a blanking data writing period) of supplying from a data driver to each data line blanking data for performing an operation (a light emitting operation) of displaying each display pixel EMp at the lowest gradation, or for performing a non-display operation (a non-light emitting operation) and a black

display operation (a black display period) based on the blanking data, in addition to the above-described image data writing period and image display period. As a consequence, a definite length of a black display period is inserted into the one frame period and a blank display state is set. Accordingly, a display drive method (referred to as a "pseudo-impulse type display drive method" for convenience) in which the image display period is relatively reduced can be realized and a display image quality in the display operation of moving images can be improved.

However, in such a pseudo-impulse type display drive method, as shown in FIG. 27, it is required to set, in one frame period, the writing period of the blanking data supplied from the data driver and the black display period as well as the writing period of the image data supplied from the data driver and the image display period. For this reason, only the writing operation of the image data supplied from the data driver and the image display operation are performed in one frame period as shown in FIG. 26. As compared with the case in which the black display operation is not performed, the time which can be allocated to the writing operation of the image data is shortened, and as a consequence, it becomes necessary to write the image data at a high speed by heightening a drive frequency (that is, the drive frequency of the

display apparatus) associated with the writing operation of the image data.

5 In this manner, when the writing period of the image data (display data) is shortened so that the writing operation must be performed at a high rate, a writing insufficiency occurs owing to the insufficiency of the time for writing the image data to each display pixel with respect to a signal delay generated resulting from a CR time constant produced by a
10 resistance component parasitic on signal wirings of a display panel and a capacity component, etc. Consequently, gradation display corresponding to the image data may not be executed properly.

BRIEF SUMMARY OF THE INVENTION

15 The present invention has an advantage in that the invention can provide a display apparatus which comprises an active matrix type display panel and displays image information corresponding to display data, the apparatus being capable of displaying moving
20 images with a favorable display quality while being capable of displaying image information at an appropriate gradation corresponding to the display data, and also can provide a display drive method thereof.

25 A display apparatus according to the present invention to obtain the above advantage comprises: a display panel including a plurality of display pixels

arranged thereon in vicinities of respective intersections of a plurality of scanning lines arranged in a row direction and a plurality of data lines arranged in a column direction; a scanning drive unit which sequentially applies a scanning signal to each of said plurality of scanning lines and sets the display pixels corresponding to each the scanning line to a selection state; a data drive unit which generates a gradation signal corresponding to the display data and supplies the gradation signal to the display pixels set to the selection state; a power source drive unit which supplies to the display pixels a drive voltage for controlling a drive state of each of the display pixels; and a drive control unit which: (i) controls the power source drive unit to operate to set the display pixels to a non-display operation state during a non-display period in which the display pixels do not display the display data, and (ii) controls the scanning drive unit to operate to set the display pixels to the selection state during the non-display period.

A drive control method of controlling a display apparatus according to the present invention to obtain the above advantage, in which the display apparatus comprises a display panel including a plurality of display pixels arranged thereon in vicinities of intersections of a plurality of scanning lines arranged

in a row direction and a plurality of data lines arranged in a column direction, the method comprising: sequentially setting the display pixels to a selection state, row by row; sequentially supplying a gradation signal corresponding to the display data to the display pixels, row by row, in each row set to the selection state; setting each of the display pixels to a display operation state in a bias state corresponding to the gradation signal; and setting the display pixels to a non-display operation state in a non-display period in which the display pixels do not display the display data; wherein the display pixels are set to the selection state while set in the non-display operation state.

15 BRIEF DESCRIPTION OF THE SEVERAL VIEWS OF THE DRAWING

FIG. 1 is a schematic block diagram showing a first embodiment of a display apparatus according to the present invention.

20 FIG. 2 is a structural diagram of a primary part, showing one example of a display panel applied to the display apparatus according to the first embodiment and a peripheral circuit thereof.

25 FIG. 3 is a circuit structural diagram showing one example of a display pixel applied to a display apparatus according to the first embodiment.

FIG. 4 is a schematic block diagram showing one example of a data driver which can be applied to the

display apparatus according to the first embodiment.

FIG. 5 is a timing chart showing a drive control method in the display pixel applied to the display apparatus according to the first embodiment.

5 FIGS. 6A and 6B are conceptual diagrams each showing a non-light emitting operation and a writing operation in the display pixel according to the first embodiment.

10 FIG. 7 is a conceptual diagram showing a light emitting operation in the display pixel according to the first embodiment.

FIG. 8 is a timing chart showing one example of the display drive method of the display apparatus according to the first embodiment.

15 FIG. 9 is a schematic block diagram showing a second embodiment of the display apparatus according to the present invention.

20 FIG. 10 is a structural diagram of a primary part, showing one example of a display panel applied to the display apparatus according to the second embodiment and a peripheral circuit thereof.

FIG. 11 is a circuit structural diagram showing one example of a display pixel applied to the display apparatus according to the second embodiment.

25 FIG. 12 is a timing chart showing a drive control method in the display pixel applied to the display apparatus according to the second embodiment.

FIGS. 13A and 13B are conceptual diagrams showing a reverse bias setting operation and a non-light emitting operation in the display pixel according to the second embodiment.

5 FIGS. 14A and 14B are conceptual diagrams showing a writing operation and a light emitting operation in the display pixel according to the second embodiment.

10 FIG. 15 is a graph showing an experiment result representative of a change amount of a threshold voltage in the case where a switching element for display drive is set to a reverse bias state in the display pixel according to the second embodiment.

15 FIG. 16 is a timing chart showing one example of the display drive method of the display apparatus according to the second embodiment.

 FIG. 17 is a structural diagram of a primary part, showing one example of a display panel applied to a display apparatus according to a third embodiment.

20 FIG. 18 is a structural diagram of a primary part, showing one example of a peripheral circuit of the display panel applied to the display apparatus according to the third embodiment.

25 FIG. 19 is a structural diagram of a primary part, showing another example of the display panel applied to the display apparatus according to the third embodiment and the peripheral circuit thereof.

 FIG. 20 is a timing chart showing a first example

of the display drive method of the display apparatus according to the third embodiment.

FIG. 21 is a timing chart showing a second example of the display drive method of the display apparatus according to the third embodiment.

FIG. 22 is a structural diagram of a primary part, showing one example of a display panel applied to a display apparatus according to a fourth embodiment and a peripheral circuit thereof.

FIG. 23 is a timing chart showing a first example of a display drive method of the display apparatus according to the fourth embodiment.

FIG. 24 is a timing chart showing a second example of the display drive method of the display apparatus according to the fourth embodiment.

FIG. 25 is a conceptual structural diagram showing a primary part of a voltage control active matrix self-luminous type display in the prior art.

FIG. 26 is an equivalent circuit diagram showing a structural example of a display pixel applicable to the self-luminous type display in the prior art.

FIG. 27 is a timing chart showing one example of a display drive method of a display panel in the prior art.

DETAILED DESCRIPTION OF THE INVENTION

Hereinafter, a display apparatus according to the present invention and a drive control method thereof

will be explained in detail on the basis of embodiments shown in the figure.

[First Embodiment]

5 First, a schematic configuration of a display apparatus according to a first embodiment will be explained with reference to the drawings. FIG. 1 is a schematic block diagram showing the first embodiment of the display apparatus according to the invention.

10 FIG. 2 is a structural diagram of a primary part, showing one example of a display panel applied to the display apparatus according to the first embodiment and a peripheral circuit thereof.

15 Incidentally, in the embodiment shown hereinbelow, there will be explained a self-luminous type display apparatus wherein a display panel has a configuration in which a plurality of display pixels provided with self-luminous type light emitting elements are arranged in two dimensions as optical elements, the display apparatus displaying image information by allowing the
20 optical elements of each of the display pixels to perform a light emitting operation with a luminance gradation corresponding to display data (image data). However, the present invention is not limited thereto. Like a liquid crystal display apparatus, a display
25 apparatus may be permissible which provides a gradation display (display operation) of desired image information by means of transmitting light or

reflecting light in such a manner that each display pixel is gradation-controlled in accordance with display data (set to a bias state in accordance to the display data).

5 As shown in FIGS. 1 and 2, a display apparatus 100A according to the present embodiment comprises a display panel 110, a scanning driver (a scanning drive unit) 120, a power source driver (a power source drive unit) 130, a data driver (a data drive unit) 140, a
10 system controller (a drive control unit) 150, and a display signal generation circuit 160. The display panel 110 has a plurality of display pixels EM arranged thereon in the vicinity of intersections of a plurality of scanning lines SL and a plurality of data lines DL
15 arranged so as to generally extend at right angles to each other in row and column directions, the pixels being provided with a display drive circuit described later and a light emitting element. The scanning
20 driver 120 is connected with the scanning lines SL of the display panel 110, and sequentially applies a selection level (high level) scanning signal Vsel at a predetermined timing for the scanning lines SL, thereby
25 setting display pixels EM for each row to a selection state. The power source driver 130 is connected with a plurality of power source lines VL arranged in parallel to the scanning lines SL in each row, and sequentially applies a drive voltage Vsc at a predetermined timing

for the power source lines VL. The data driver 140 is connected with the data lines DL of the display panel 110, and supplies a gradation signal (gradation current Idata) corresponding to display data to the display pixels EM via each of the data lines DL. The system controller 150 controls an operation state of at least the scanning driver 120, the power source driver 130 and the data driver 140 on the basis of a timing signal supplied from a display signal generation circuit 160 described later to generate and output a scanning control signal, a power source control signal and a data control signal for performing a predetermined image display operation in the display panel 110. The display signal generation circuit 160 generates display data and supplies the data to the data driver 140 on the basis of a image signal supplied, for example, from the outside of the display apparatus 100A, and also extracts or generates a timing signal (a system clock or the like) for displaying predetermined image information on the display panel 110 on the basis of the display data to supply the timing signal to the system controller 150.

Next, each of the above-described configurations will be specifically explained.

(Display Panel and Display Pixel)

FIG. 3 is a circuit structural diagram showing one example of a display pixel (a display drive circuit)

which is applied to the display apparatus according to the present embodiment.

Incidentally, in the present embodiment, there will be explained a case in which there is provided a circuit configuration (a display drive circuit) corresponding to a drive control method of a current gradation designation system. The drive control method allows a display drive current having a current value corresponding to display data to flow in a light emitting element provided on each display pixel by supplying a gradation current having a current value corresponding to the display data as a display pixel, thereby performing a light emitting operation (a display operation) with a desired luminance gradation. However, the present invention is not limited thereto. For example, the present invention may have a circuit configuration corresponding to a drive control method of voltage gradation designation system. The drive control method allows a display drive current having a current value corresponding to display data to flow in a light emitting element of each display pixel by applying a gradation voltage having a voltage value corresponding to the display data, thereby performing a light emitting operation with a desired luminance gradation.

The display panel 110 which is applied to the display apparatus 110A according to the present

invention sequentially allows the display pixels EM in each row to perform a non-light emitting operation (a non-display operation) in a predetermined period by, for example, sequentially shutting down the application of the drive voltage for display drive to the display pixels EM for each row in the beginning in a plurality of display pixels EM arranged in two dimensions in row and column directions. Thereafter, a writing operation of the display data is sequentially performed, so that the display pixels EM for each row are controlled to sequentially perform a light emitting operation (a display operation) with a predetermined luminance gradation.

As a configuration for attaining such an object, with respect to the display pixels EM arranged in the display panel 110 according to the present embodiment, a configuration can be applied which comprises a display drive circuit DC1 and a known organic EL element (a light emitting element) OEL as shown in, for example, FIG. 3. The display drive circuit DC1 sets the display pixels EM to a selection state on the basis of the scanning signal Vsel generally applied from the scanning driver 120, fetches the gradation signal (the gradation current Idata) supplied from the data driver 140 in the selection state, and generates a display drive current corresponding to the gradation signal. The organic EL element OEL performs a light emitting

operation with a predetermined luminance gradation on the basis of the display drive current supplied from the display drive circuit DC1.

The display drive circuit DC1 according to the present embodiment has, as shown in FIG. 3 specifically, a configuration which comprises a thin film transistor (a writing control circuit, a second switching circuit) Tr11, a thin film transistor (a writing control circuit, a third switching circuit) Tr12, a thin film transistor (a control circuit, a first switching circuit, a display drive circuit) Tr13, and a capacitor (an electric charge accumulation circuit, a capacitance element) Cs. In the thin film transistor Tr11, a gate terminal (a control terminal) is connected with a scanning line SL, and a drain terminal and a source terminal (first end and second end of a conduction channel) are connected respectively to a power source line VL to which a predetermined voltage Vsc is applied and a contact point N11. In the thin film transistor Tr12, a gate terminal (a control terminal) is connected with the scanning line SL, and a source terminal and a drain terminal (first end and second end of a conduction channel) are connected respectively to the power source line VL and a contact point N12. In the thin film transistor Tr13, a gate terminal (a control terminal) is connected with the contact point N11, and a drain terminal and a source

terminal (one end and the other end of a conduction channel) are connected respectively to the power source line VL and the contact point (connection contact point) N12. The capacitor Cs is connected between the contact point N11 and the contact point N12 (between the gate and source terminals of the thin film transistor Tr13).

Furthermore, in the organic EL element OEL, an anode terminal is connected with the contact point N12 of the display drive circuit DC1 whereas a common voltage Vcom is applied to a cathode terminal. Here, the common voltage Vcom is set to an arbitrary potential (for example, a ground potential GND). The common voltage Vcom is set to be equipotential to a drive voltage Vsc (= Vs) set to a low level in the writing operation period in which the gradation signal (the gradation current Idata) corresponding to the display data is supplied to the display pixels EM (the display drive circuit DC1) and in the non-light emitting operation period (the non-display operation period) in which the organic EL element (the light emitting element) OEL is not allowed to perform the light emitting operation. Alternatively, the common voltage Vcom is set to an arbitrary potential (for example, a ground potential GND) which is a potential set to be higher than the drive voltage Vsc and which becomes a potential lower than the drive voltage Vsc

(= V_e) set to a high level in the light emitting operation period (the display operation period) in which the display drive current is supplied to the organic EL element (the light emitting element) OEL so
5 that the organic EL element (the light emitting element) performs the light emitting operation with a predetermined luminance gradation ($V_s \leq V_{com} \leq V_e$).

Here, the capacitor C_s may be a parasitic capacitance which is formed between the gate and the
10 source of the thin film transistor Tr_{13} , or a capacitance element may be further connected in parallel between the contact point N_{11} and the contact point N_{12} in addition to the parasitic capacitance.

Furthermore, the thin film transistors Tr_{11} to
15 Tr_{13} are not particularly limited. For example, an n-channel type amorphous silicon thin film transistor can be applied by constituting the thin film transistors Tr_{11} to Tr_{13} all with a single channel type thin film transistor (an electric field effect type
20 transistor).

In this case, the display drive circuit comprising amorphous silicon thin film transistors having uniform and stable element characteristics can be manufactured in a relatively easy manufacturing process by applying
25 an already established amorphous silicon manufacturing technique. Incidentally, in the following explanation, there will be explained a case in which the thin film

transistors Tr11 to Tr13 are constituted all with n-channel type thin film transistors as one structural example of the display drive circuit DC1.

5 In addition, in the above-described case, the organic EL element OEL is used as the light emitting element which is display-driven by the display drive circuit DC1. However, the light emitting element in the present invention is not limited to the organic EL element OEL. As long as the light emitting element is
10 a current control type light emitting element, another type of light emitting element such as a light emitting diode may be used. Furthermore, in the present embodiment, there will be explained a case in which image information is displayed by display-driving the
15 current control type light emitting element by the display drive circuit DC1. A configuration for generating a voltage component corresponding to display data to display-drive the voltage control type light emitting element, and a circuit configuration for
20 changing an orientation state of liquid crystal molecules may be provided.

(Scanning Driver)

The scanning driver 120 sets the display pixels EM for each row to a selection state by applying the
25 selection level scanning signal Vsel to each scanning line SL on the basis of the scanning control signal supplied from the system controller 150. More

specifically, an operation of applying the scanning
signal Vsel to the scanning lines SL in each row is
performed with a shift of timing for preventing the
mutual overlapping of operations in terms of time to
5 sequentially set the display pixels EM for each row to
a selection state.

Here, as shown in, for example, FIG. 2, the
scanning driver 120 has a configuration which comprises
a known shift register 121 and an output circuit unit
10 (an output buffer) 122. The shift register 121
sequentially outputs a shift signal corresponding to
the scanning line SL in each row on the basis of a
scanning clock signal SCK and a scanning start signal
SST which are supplied from the system controller 150
15 described later as scanning control signals. The
output circuit unit 122 converts the shift signal
output from the shift register 121 to a predetermined
signal level (on-level) signal to output the converted
signals to the scanning lines SL as the scanning
20 signals Vsel on the basis of an output control signal
SOE supplied from the system controller 150 as a
scanning control signal.

(Power Source Driver)

The power source driver 130 applies a high level
25 drive voltage (a first voltage) Vsc (= Ve) to the power
source line VL in the row only in the light emitting
operation period with respect to the display pixels EM

in each row on the basis of the power source control signal supplied from the system controller 150, and applies a low level drive voltage (a second voltage) V_{sc} ($= V_s$) in the other operation period (the non-light emitting period (the non-display operation) period) than the light emitting operation (the display operation) period. In this case, an operation of applying the low level drive voltage V_{sc} becomes substantially equivalent to an operation of shutting down the supply of the drive voltage V_{sc} to the display pixels EM (the display drive circuit DC1).

As shown in, for example, FIG. 2, the power source driver 130 has a configuration which comprises a known shift register 130 and an output circuit unit 132, as in the scanning driver 120 described above. The shift register 130 sequentially outputs a shift signal corresponding to the power source line VL in each row on the basis of a clock signal VCK and a start signal VST which are supplied as power source control signals from the system controller 150. The output circuit unit 132 converts the shift signals to predetermined voltage levels (voltage values V_e , V_s) to output the converted signals to the power source lines VL as the drive voltage V_{sc} on the basis of the output control signal VOE supplied as the power source control signal.

(Data Driver)

FIG. 4 is a schematic block diagram showing one

example of a data driver which can be applied to the display apparatus according to the present embodiment.

Incidentally, an internal configuration of the data driver shown in FIG. 4 is shown merely as one
5 example in which a gradation current having a current value corresponding to display data can be generated, and the present invention is not limited thereto.

Generally, as shown in FIGS. 1 and 2, the data driver 140 sequentially fetches and holds display data
10 (luminance gradation data) comprising digital signals supplied from the display signal generation circuit 160 described later on the basis of the data control signal supplied from the system controller 150 for one row portion at a predetermined timing. Then, the data
15 driver 140 generates a gradation current I_{data} having a current value corresponding to a gradation value of the display data, and simultaneously supplies the gradation current I_{data} to the display pixels EM of a row set to a selection state in the writing period via the data
20 lines DL.

Specifically, as shown in FIG. 5 described later, the data driver 140 can be applied with a configuration which comprises a shift register circuit 41, a data register circuit 42, a data latch circuit 43, a D/A
25 converter 44, and a voltage current conversion and gradation current supply circuit 45. The shift register circuit 41 sequentially outputs a shift signal

on the basis of a data control signal (a shift clock
signal CLK, a sampling start signal STR) supplied from
the system controller 150. The data register circuit
42 sequentially fetches one row portion of display data
5 D0 to Dm which are supplied from the display signal
generation circuit 160. The data latch circuit 43
holds one row portion of the display data D0 to Dm
which are fetched with the data register circuit 42 on
the basis of a data control signal (a data latch signal
10 STB). The D/A converter 44 converts the held display
data D0 to Dm to a predetermined analog signal voltage
(a gradation voltage Vpix). The voltage current
conversion and gradation current supply circuit 45
generates a gradation current Idata corresponding to
15 the display data converted to an analog signal voltage
to simultaneously output the gradation current Idata to
the data lines DL in a column corresponding to the
display data at a timing based on a data control signal
(an output enable signal OE) supplied from the system
20 controller 150.

(System Controller)

The system controller 150 operates each of the
drivers at a predetermined timing by generating and
outputting a scanning control signal, a power source
control signal and a data control signal at least to
25 each of the scanning driver 120, the power source
driver 130 and the data driver 140 as timing control

signals for controlling an operation state, and generates and outputs a scanning signal Vsel and a drive voltage Vsc having a predetermined voltage level as well as a gradation signal (a gradation current Idata) corresponding to the display data. Then, the system controller continuously performs the drive control operation (the non-light emitting operation, writing operation and light emitting operation) in each of the display pixels EM (the display drive circuit DC1), thereby making a control to display predetermined image information based on a image signal on the display panel 110.

(Display Signal Generation Circuit)

The display signal generation circuit 160 extracts, for example, a luminance gradation signal component from a image signal supplied from the outside of the display apparatus 100A, and supplies the luminance gradation signal component for each row portion of the display panel 110 to the data register circuit 42 of the data driver 140 as the display data (the luminance gradation data) comprising digital signals. Here, in the case where the above-described image signal includes a timing signal component for regulating a display timing of the image information like a television broadcast signal (a composite image signal), the display signal generation circuit 160 may have a function of extracting the timing signal

component to supply the component to the system controller 150 in addition to the function of extracting the luminance gradation signal component. In this case, the above system controller 150 generates each of the control signals supplied individually to the scanning driver 120, the power source driver 130 and the data driver 140 on the basis of the timing signal supplied from the display signal generation circuit 160.

5

10

<Drive Control Method of Display Pixel>

Next, there will be explained a drive control method of the display pixels constituting the display panel described above in the present embodiment.

15

FIG. 5 is a timing chart showing the drive control method in the display pixels applied to the display apparatus according to the present embodiment.

FIGS. 6A and 6B are conceptual diagrams showing a non-light emitting operation and a writing operation in the display pixels according to the present embodiment.

20

FIG. 7 is a conceptual diagram showing a light emitting operation in the display pixels according to the present embodiment.

25

As shown in FIG. 5, a drive control operation in the display pixel EM (the display drive circuit DC1) according to the present embodiment is set so as to include a writing operation period T_{wrt} , a light emitting operation period (a display operation period)

Tem, and a non-light emitting operation period (a non-
display operation period) Tnem in a predetermined
process cycle period (an operation period) Tcyc. In
the writing operation period Twrt, the display pixels
5 EM connected with a scanning line SL are set to a
selection state and a gradation current Idata having a
current value corresponding to display data is supplied,
whereby a voltage component corresponding to the
display data is held in between the gate and the source
10 (in the capacitor Cs) of the thin film transistor Tr13
for display drive provided on the display drive circuit
DC1. In the light emitting operation period (the
display operation period) Tem, a display drive current
having a current value corresponding to the display
15 data is allowed to flow in the organic EL element OEL
on the basis of the voltage component held in between
the gate and the source of the thin film transistor
Tr13 in the writing operation period Twrt to perform a
light emitting operation with a predetermined luminance
20 gradation. The non-light emitting operation period
(the non-display operation period) Tnem is the other
period than the light emitting operation (a period
including the above writing operation period). In
The non-light emitting operation period Tnem, the
25 supply of the display drive current to the organic EL
element is shut down to prevent the light emitting
operation by shutting down the supply of the drive

voltage Vsc (applying a low level drive voltage Vsc) to the display pixels EM (the display drive circuit DC1) ($T_{cyc} \geq T_{em} + T_{nem}$, $T_{nem} \geq T_{wrt}$).

5 Here, as shown in FIG. 5, the writing operation period T_{wrt} , the light emitting operation period T_{em} and the non-light emitting operation period T_{nem} set in the one process cycle period T_{cyc} may be such that the writing operation and the light emitting operation are continuously performed after the non-light emitting
10 operation, or may be such that the writing operation is performed at an arbitrary timing (during the non-light emitting operation period) of the non-light emitting operation period to perform the light emitting operation after the termination of the light emitting
15 operation period.

Furthermore, the one process cycle period T_{cyc} according to the present embodiment is set to a period which is required for the display pixel EM to display one pixel portion of image information out of an image
20 having one frame (one screen). That is, as will be explained in the display drive method of the display apparatus described later, in the case where one frame of image is displayed on the display panel 110 having a plurality of display pixels EM arranged thereon in two
25 dimensions in the row and column directions, the above-described one process cycle period T_{cyc} is set to a period which is required for one row portion of the

display pixels EM to display one row portion of image out of the one frame of images.

(Non-display Operation Period)

5 In the non-light emitting operation period (the non-display operation period) T_{nem} , as shown in FIGS. 5 and 6A, the display pixels EM are set to a non-selection state by applying a non-selection level (for example, low level) scanning signal V_{sel} with respect to the scanning line SL from the scanning driver 120
10 while a low level drive voltage (a second voltage) is applied to the power source line VL from the power source driver 130. In addition, no gradation current I_{data} is supplied to the data line DL from the data driver 140.

15 As a consequence, the thin film transistors Tr_{11} and Tr_{12} provided on the display drive circuit DC1 are set to an OFF state. Accordingly, a setting is made such that an electric connection between the gate terminal (the contact point N11, one end side of the
20 capacitor C_s) of the thin film transistor Tr_{13} and the power source line VL is shut down, and that an electric connection between the source terminal (the contact point N12, the other end side of the capacitor C_s) of the thin film transistor Tr_{13} and the data line DL is
25 also shut down.

Here, as will be explained in the display drive method of the display apparatus described later, the

drive control operation in each display pixel is repeatedly performed by using one process cycle period T_{cyc} (one frame period T_{fr}) as one cycle. Therefore, the voltage component written on the basis of the display data in a process cycle period prior to the one process cycle period by one period is held in the gate and the source (the both ends of the capacitor C_s) of the thin film transistor $Tr13$ at the start time of the above-described non-light emitting operation period T_{nem} , while the thin film transistor $Tr13$ is set to an ON state.

As a consequence, a low level (not more than the ground potential GND) drive voltage V_{sc} ($= V_s$) which has been applied to the power source line VL is applied to the anode terminal (the contact point N12) of the organic EL element OEL via the thin film transistor $Tr13$, and a potential not more than the same level is set with respect to the potential V_{com} (the ground potential GND) of the cathode terminal. As a result, a reverse bias voltage is applied to the organic EL element OEL, so that no display drive current flows and no non-light emitting operation is performed (the non-light emitting operation).

(Writing Operation Period)

Next, in the writing operation period T_{wrt} set in the above-described non-light emitting operation period T_{nem} , a selection level scanning signal V_{sel} is applied

to the scanning line SL from the scanning driver 120 as shown in FIGS. 5 and 6A to set the display pixels EM to a selection state. In addition, in synchronization with this selection timing, a gradation current Idata having a current value (having a negative polarity) corresponding to display data is supplied to the data line DL from the data driver 140. Further, in the writing operation period Twrt, a low level drive voltage (a second voltage) Vsc (= Vs) is applied to the power source line VL from the power source driver 130, in the same manner as in the above-described non-light emitting operation period Tnem.

Accordingly, the thin film transistors Tr11 and Tr12 provided on the display drive circuit DC1 perform an ON operation, so that the low level drive voltage Vsc is applied to the gate terminal (the contact point N11; one end side of the capacitor Cs) of the thin film transistor Tr13 via the thin film transistor Tr11 while the source terminal (the contact point N12; the other end side of the capacitor Cs) of the thin film transistor Tr13 is electrically connected with the data line DL via the thin film transistor Tr12.

Here, since the gradation current Idata having a current value of negative polarity is supplied to the data line DL, a drawing-in action is accrued in which the gradation current Idata is likely to flow in a direction of the data driver 140 from the side of the

data line DL, and a voltage level having a potential lower than the low level drive voltage V_{sc} is applied to the source terminal (the contact point N12; the other end side of the capacitor C_s) of the thin film transistor Tr13.

5

In this manner, a potential difference is generated between the contact points N11 and N12 (between the gate and the source of the thin film transistor Tr13). As a result, the thin film transistor Tr13 performs an ON operation, and a writing current I_a corresponding to the gradation current I_{data} flows in the direction of the data driver 140 via the thin film transistor Tr13, the contact point N12, the thin film transistor Tr12 and the data line DL from the power source line VL.

10

15

At this time, electric charges corresponding to the potential difference generated between the contact points N11 and N12 (between the gate and the source of the thin film transistor Tr13) are accumulated in the capacitor C_s to be held as the voltage component (refer to a potential V_c between the both ends of the capacitor C_s in FIG. 5). Furthermore, the low level (not more than the ground potential GND) drive voltage V_{sc} ($= V_s$) is applied to the power source line VL, and further, the writing current I_a is controlled so as to flow in a direction of the data line DL, so that the potential applied to the anode terminal (the contact

20

25

point N12) of the organic EL element becomes lower than the potential Vcom (the ground potential GND) of the cathode terminal. Consequently, a reverse bias voltage is applied to the organic EL element OEL, so that no display drive current flows in the organic EL element OEL and a non-light emitting operation is not performed (the non-light emitting operation).

(Display Operation Period)

Next, in the light emitting operation (the display operation period) T_{em} after the termination of the writing operation period T_{wrt} or the non-light emitting operation period (the non-display operation period) T_{nem} including the writing operation T_{wrt} , as shown in FIGS. 5 and 7, the following operation is performed in the same manner as in the non-light emitting operation period T_{nem} described above. That is, a low level scanning signal V_{sel} is applied to the scanning line SL from the scanning driver 120 to set the display pixels EM to a non-selection state, and in synchronization with this non-selection timing, the supply of the gradation current I_{data} from the data driver 140 is shut down and the drawing-in action in the gradation current I_{data} is suspended. Furthermore, in the light emitting operation period T_{em} , a high level drive voltage (a first voltage) V_{sc} (= V_e) is applied to the power source line VL from the power source driver 130.

As a consequence, the thin film transistors Tr_{11}

and Tr12 provided on the display drive circuit DC1 perform an OFF operation, so that the application of the drive voltage Vsc to the gate terminal (the contact point N11; one end side of the capacitor Cs) of the thin film transistor Tr13 is shut down while the application of the voltage level resulting from the action of drawing-in in the gradation current Idata to the source terminal (the contact point N12; the other end side of the capacitor Cs) of the thin film transistor Tr13 is shut down. Consequently, electric charges accumulated in the writing operation period Twrt described above are held in the capacitor Cs.

In this manner, a potential difference between the contact points N11 and N12 (between the gate and the source of the thin film transistor Tr13; the both ends of the capacitor Cs) is held, so that the thin film transistor Tr13 maintains the ON state. Furthermore, since a drive voltage Vsc having a higher potential than the common voltage Vcom (the ground potential GND) is applied to the power source line VL, the potential applied to the anode terminal (the contact point N12) of the organic EL element OEL becomes higher than the potential (the ground potential) of the cathode terminal.

Accordingly, a predetermined display drive current Ib flows in a forward bias direction in the organic EL element OEL via the thin film transistor Tr13 and the

contact point N12 from the power source line VL, and the organic EL element OEL emits light. Here, the voltage component (the potential V_c between the both ends of the capacitor Cs) held in the capacitor Cs corresponds to a potential difference in the case where the writing current I_a corresponding to the gradation current I_{data} is allowed to flow in the thin film transistor Tr13. For this reason, the display drive current I_b flowing in the organic EL element OEL has the same current value ($I_b \approx I_a$) as the above writing current I_a .

Then, in the display pixel EM, the display drive current I_b is continuously supplied via the thin film transistor Tr13 in the light emitting operation period T_{em} on the basis of the voltage component corresponding to display data (the gradation current I_{data}) written in the writing operation period T_{wrt} , and as a result, the organic EL element OEL continues an operation of emitting light with a luminance gradation corresponding to the display data.

In this manner, with respect to the display pixels EM (the display drive circuit DC1) according to the present embodiment, the gradation current I_{data} having a designated current value corresponding to the display data (the luminance gradation) is made to forcibly flow between the drain and the source of the drive transistor Tr13 in the writing operation period T_{wrt} to

control the display drive current I_b which is allowed to flow in the organic EL element (the light emitting element) OEL on the basis of the voltage component between the gate and the source of the drive transistor Tr13 held in accordance with the current value. As a consequence, a drive control method of a current gradation designation system for performing a light emitting operation with a predetermined luminance gradation can be applied.

10 Furthermore, with respect to the display pixel EM according to the present embodiment, it is possible to realize both a function (a current/voltage conversion function) of converting a current level of the gradation current I_{data} corresponding to the display data to a voltage level by means of a single display drive transistor (the thin film transistor Tr13) constituting the display drive circuit DC1 provided on each of the display pixels EM, and a function (a display drive function) of supplying the display drive current DC I_b having a predetermined current value to the organic EL element OEL. Accordingly, stable desired light emitting characteristics can be realized over a long period without being affected by a disparity in the operation characteristics of each transistor constituting the display drive circuit DC and the change with the lapse of time.

<Display Drive Method of Display Apparatus>

Next, there will be explained a display drive method (an operation of displaying image information) in the display apparatus according to the present embodiment.

FIG. 8 is a timing chart showing one example of the display drive method of the display apparatus according to the present invention.

In the present embodiment, it is explained that the present embodiment has a configuration having twelve rows of ($n = 12$; first to twelfth rows) display pixels arranged on the display panel, for the sake of explanation.

In the figure, symbol k denotes a positive integer. Hatching portions shown by a cross mesh in each row in the figure represent respectively the writing operation period of display data described above. Hatching portion shown by dots represent respectively the light emitting operation period described above.

In the display drive method of the display apparatus 100A according to the present embodiment, first, a non-light emitting operation is performed for preventing a display operation of the display pixels EM (preventing a light emitting operation of the organic EL element) with respect to the display pixels EM (the display drive circuit DC1) for each row arranged in the

display panel 110. Then, a writing operation is sequentially performed for each row for writing a gradation current I_{data} corresponding to display data at an arbitrary timing (just before the end of the non-light emitting operation period T_{nem} in the present embodiment) in the non-light emitting operation period T_{nem} followed by sequentially performing a light emitting operation with a predetermined luminance gradation corresponding to the display data, whereby image information is displayed in one screen portion of the display panel 110. Here, the operation timing is controlled in such a manner that at least the writing operation periods T_{wrt} in the respective rows are not mutually overlapped (in terms of time).

Specifically, in the beginning, as shown in FIG. 8, in the non-light emitting operation period T_{nem} (denoted by outline typefaces in the drawing) in one frame period T_{fr} , a non-selection level scanning signal V_{sel} is applied from the scanning driver 120 to a scanning line SL in a specific row (for example, the i -th row; $1 \leq i \leq 12$) of the display panel 110 to set the display pixels EM in the i -th row to a non-selection state. Furthermore, a state is set in which no gradation current I_{data} is supplied to each of the data lines DL from the data driver 140 (a state in which the supply of the gradation current I_{data} is shut down).

Then, in synchronization with this timing, a low level drive current (the second voltage) V_{sc} ($= V_s$) is applied to the power source line VL in the i -th row from the power source driver 130, so that no potential difference is generated between the drain and the source of the display drive thin film transistor Tr13 in the display pixels EM in the i -th row as shown in FIG. 6A. Consequently, the display drive current I_b does not flow in a direction of the organic EL element OEL via the thin film transistor Tr13, and the display pixels EM in the i -th row are set to a non-light emitting state (the non-light emitting operation is performed).

Next, as shown in FIG. 8, in the writing operation period T_{wrt} (denoted by a cross mesh in the drawing) set in the above-described non-light emitting operation period T_{nem} , as shown in FIG. 5, a selection level scanning signal V_{sel} is applied from the scanning driver 120 to the scanning line SL in the i -th row of the display panel 110, so that the display pixels EM in the i -th row are set to a selection state. Furthermore, in the writing operation period T_{wrt} , a low level drive voltage V_{sc} ($= V_s$) is applied to the power source line VL in the i -th row from the power source driver 130.

Then, in synchronization with this selection timing, a gradation current I_{data} having a current

value corresponding to display data in the i -th row is supplied to each data line DL from the data driver 140. As a result, as shown in FIG. 6B, a writing current I_a corresponding to the gradation current I_{data} flows in the display drive circuit DC of each display pixel EM in the i -th row, and a voltage component corresponding to the gradation current I_{data} is held (electric charges are accumulated) between the gate and the source terminal (across the capacitor C_s) of each thin film transistor Tr13.

Here, in the writing operation period T_{wrt} , the writing operation is performed in the same manner as in the non-light emitting operation T_{nem} described above. That is, a low level drive voltage V_{sc} ($= V_s$) is applied to a power source line VL in an i -th row in which the writing operation is performed, whereby no potential difference is generated between the drain and the source of the display drive thin film transistor Tr13 in each of the display pixels EM. For this reason, no display drive current I_b flows in the direction of the organic EL element OEL via the thin film transistor Tr13, thereby setting the display pixels EM in the i -th row to a non-light emitting state (the non-light emitting operation is performed).

The non-light emitting operation including the writing operation is sequentially performed with a shift of timing for each row with respect to the

display pixels EM arranged on the display panel 110. In particular, the writing operations in the respective rows are sequentially performed such that the operations are not overlapped in terms of time.

5 Next, as shown in FIG. 8, in the light emitting operation (denoted by dot hatching in the drawing) as shown in FIG. 5, a non-selection level scanning signal Vsel is applied from the scanning driver 120 to the scanning line SL in an i-th row in which the non-light
10 emitting operation period Tnem has been terminated, whereby the display pixels EM in the i-th row are set to a non-selection state. Furthermore, the supply of the gradation current Idata to each of the data lines DL from the data driver 140 is shut down.

15 Then, in synchronization with this timing, the high level drive voltage (the first voltage) Vsc (= Vs) is applied to the power source line VL in the i-th row from the power source driver 130, so that, as shown in FIG. 7, a potential difference is generated between the
20 drain and the source of the display drive thin film transistor Tr13 in each of the display pixels EM in the i-th row. Consequently, the display drive current Ib corresponding to the display data (the gradation current Idata) is supplied to the organic EL element
25 OEL on the basis of the voltage component charged in each of the display pixels EM (between the gate and the source of the display drive thin film transistor Tr13),

so that the light emitting operation is performed with a predetermined luminance gradation.

Such a light emitting operation is sequentially performed with a shift of timing for each of the display pixels EM in a row in which the writing operation (the non-light emitting operation including the writing operation) has been terminated with respect to the display pixels EM arranged on the display panel 110.

That is, with respect to a plurality of display pixels EM arranged in two dimensions on the display panel 110, a non-light emitting operation period T_{nem} having a predetermined length is set in one frame period for each row. Therefore, a pseudo-impulse type display drive control can be realized wherein each of the display pixels EM performs a light emitting operation with a luminance gradation corresponding to the display data (the gradation current I_{data}) only in one definite period out of the one frame period T_{fr} . Here, the length of the non-light emitting operation period or the light emitting operation period T_{em} set in the one frame period T_{fr} can be arbitrarily set with the power source control signal, the data control signal and the scanning control signal which are supplied as timing control signals to the scanning driver 120, the power source driver 130, and the data driver 130 from the system controller 150, for example.

Accordingly, in the timing chart shown in FIG. 8, a ratio of the non-display period (a black insertion ratio) by means of the above-described non-light emitting operation (including the writing operation) in the one frame period T_{fr} is set, for example, to 50%, so that the half of the image information (the display screen) displayed on the display panel 110 can be provided in the black display (non-display). Thus, in the human sense of vision, the black insertion ratio of approximately 30% or more which is required for clear visual recognition of moving images without blurs and stains can be realized with the result that moving images can be displayed in a favorable display image quality. Incidentally, the black insertion ratio (the ratio of non-display period) in the one frame period T_{fr} is not limited to 50% which is described above, and an arbitrary value of the above-described 30% or more is desirable. However, a value of 30% or less is possible.

Furthermore, in this case, the writing operation can be sequentially performed to the display images EM in all the rows (twelve rows) of the display panel 110 by using all the time of the one frame period T_{fr} , in the same manner as in the display drive method (refer to FIG. 17) shown in the prior art. Therefore, unlike the conventional display drive method shown in FIG. 27, the writing operation period T_{wrt} in each row (which

corresponds to the image data writing period in the prior art) is not shortened to realize the operation of writing blanking data and the black display operation, and thus, the writing time of each row can be sufficiently secured. The deterioration of the display quality which results from the writing insufficiency of display data can be suppressed, so that an appropriate gradation display corresponding to display data can be realized.

5

10

Furthermore, this enables providing an allowance in the timing control of various kinds of signals, thereby making it possible to suppress the occurrence of an erroneous operation of the display apparatus.

15

20

25

Incidentally, in the present embodiment, as shown in the timing chart of FIG. 8, there is explained, for the sake of explanation, a case in which the non-light emitting operation (the non-display operation) including the writing operation period is performed in one frame period T_{fr} followed by performing the light emitting operation (the display operation). The control operation is substantially the same even in the case where, a light emitting operation having a predetermined length is performed after a writing operation which is not accompanied with the light emitting operation of the organic EL element OEL (the display operation of the display pixels EM) is performed, and then the non-light emitting operation is

performed.

[Second Embodiment]

Next, there will be explained a second embodiment of the display apparatus according to the present
5 embodiment and the display drive method thereof with reference to the drawings.

FIG. 9 is a schematic block diagram showing the second embodiment of the display apparatus according to the present invention.

10 FIG. 10 is a structural diagram of a primary part, showing one example of a display panel applied to the display apparatus according to the embodiment and a peripheral circuit thereof.

15 FIG. 11 is a circuit structural diagram showing one example of a display pixel (a display drive circuit) which is applied to the display apparatus according to the embodiment.

20 Here, the same components as those of the first embodiment (refer to FIGS. 1 to 3) described above are denoted by the same or equivalent reference numerals, and an explanation thereof is simplified.

In the above-described first embodiment, as shown in FIG. 3, a circuit configuration comprising a plurality of single channel type thin film transistors
25 is shown as a display drive circuit DC1 provided on each display pixel EM. In this case, there is explained that an amorphous silicon thin film

transistor which is easy in the manufacturing process and which is uniform in the element characteristics (an electron movement degree) can be applied.

5 However, it is known that a change in threshold voltage (V_{th} shift) resulting from the drive history is generally easily generated in the amorphous silicon thin film transistor.

10 As a consequence, in the case where an amorphous silicon thin film transistor is applied as a switching element (thin film transistor Tr13) for display drive, the current value of the display drive current I_b which is supplied to the organic EL element OEL owing to the change in threshold voltage does not correspond to display data, and the light emitting operation (the display operation) cannot be performed with an
15 appropriate luminance gradation. Consequently, there is a possibility that the deterioration of the display image quality is invited.

20 Therefore, in the second embodiment, and the subsequent third and fourth embodiments, there is provided a configuration in which the voltage between the gate and the source (the potential V_c between the both ends of the capacitor C_s) of the display drive switching element (the thin film transistor Tr13) of
25 each display pixel EM is set to 0V (no voltage) or a negative voltage (a reverse bias voltage) in the non-light emitting operation period (the non-display

operation period) except for the time of the light emitting operation (the display operation) which results in the change in threshold voltage in the one frame period T_{fr} described above to suppress the change in threshold voltage of the switching element.

As shown in FIGS. 9 and 10, a display apparatus 100B according to the second embodiment, in the same manner as in the first embodiment, comprises a display panel 110, a scanning driver (a scanning drive unit) 120, a power source driver (a power source drive unit) 130, a data driver (a data drive unit) 140, a system controller (a drive control unit) 150, and a display signal generation circuit 160. The display panel 110 has a plurality of display pixels EM arranged in two dimensions in row and column directions. The scanning driver 120 sequentially applies a selection level scanning signal V_{sel} to scanning lines SL of the display panel 110 to set display pixels EM for each row to a selection state. The power source driver 130 sequentially applies a drive voltage V_{sc} to power source lines VL arranged in parallel to the scanning lines SL in each row. The data driver 140 supplies a gradation signal (a gradation current I_{data}) corresponding to display data to the display pixels EM via data lines DL. The system controller 150 generates and outputs a scanning control signal, a power source control signal, a reverse bias control signal and a

data control signal for performing a predetermined
image display operation in the display panel 110. The
display signal generation circuit 160 generates display
data (luminance gradation data) and supplies the data
5 to the data driver 140 on the basis of a picture image
supplied from the outside. Furthermore, the
configuration thereof comprises a reverse bias driver
(a state setting unit) 170 for applying a bias signal
(a set signal) V_{bs} having a predetermined voltage level
10 to the display pixels EM in each row. The display
signal generation circuit 160 generates display data
(luminance gradation data) and outputs the display data
to the data driver 140, and also supplies to the system
controller 150 a timing signal for displaying
15 predetermined image information to the display
panel 110.

With respect to the display pixels EM in each row,
the reverse bias driver 170 applies the bias signal V_{bs}
to the bias line BL of the row only in a specific
20 period in the non-light emitting operation period T_{nem}
on the basis of the bias control signal supplied from
the system controller 150. Then, the reverse bias
driver 170 sets to a no-electric field state or a
reverse bias state (a specific bias state) a display
25 drive switching element provided on each display pixel
EM (a display drive circuit DC2) in the non-light
emitting operation period T_{nem} except for the writing

operation period T_{wrt} (by applying 0V (no voltage), or a reverse bias voltage between the gate and the source of the thin film transistor Tr13).

5 Here, as shown in, for example, FIG. 10, the reverse bias driver 170 comprises a known shift register 171 and an output circuit unit 172, as in the scanning driver 120 and the power source driver 130 described above. The shift register 171 sequentially outputs a shift signal corresponding to the bias line
10 BL in each row on the basis of the clock signal BCK and the start signal BST supplied from the system controller 150 as the bias control signals. The output circuit unit 172 converts the shift signal to a predetermined voltage level to output the shift signal
15 to each bias line BL as the bias signal V_{bs} on the basis of the output control signal BOE supplied as a bias control signal.

The system controller 150 generates and outputs the bias control signal to the reverse bias driver 170
20 as a timing control signal for controlling the operation state to operate at a predetermined timing the reverse bias driver 170 in addition to the scanning driver 120, the power source driver 130 and the data driver 140 shown in the first embodiment.

25 Consequently, a control (a display drive control of the display apparatus described later) is performed for generating a scanning signal V_{sel} and a drive voltage

Vsc having a predetermined voltage level, a gradation signal (a gradation current I_{data}) corresponding to the display data and a bias signal V_{bs} to output them to the display panel 110 and for continuously performing a drive control operation (a non-light emitting operation, a reverse bias setting operation, a writing operation and a light emitting operation) in each display pixel EM to display predetermined image information based on a image signal on the display panel 110.

Furthermore, as shown in, for example, FIG. 11, in the same manner as the configuration shown in the above-described first embodiment, the display pixel EM arranged on the display panel 110 according to the present embodiment comprises a display drive circuit DC2 and an organic EL element (a light emitting element) OEL. The display drive circuit DC2 fetches a gradation signal (a gradation current I_{data}) corresponding to display data and generates a display drive current. The organic EL element OEL performs a light emitting operation with a predetermined luminance gradation on the basis of the display drive current. In particular, the display drive circuit DC2 which is applied to the display pixels EM according to the present embodiment specifically has a configuration which comprises a thin film transistor (a bias control circuit, a fourth switching circuit) Tr14 in addition

to the thin film transistor Tr11 to Tr13 and the capacitor Cs shown in the first embodiment. The thin film transistor Tr14 has a gate terminal (a control terminal) connected with the bias line BL and has a drain terminal and a source terminal (one and the other end of the conduction channel) respectively connected with the scanning line SL and the contact point N11.

5

Here, as described above, the thin film transistors Tr11 to Tr14 are constituted by applying amorphous silicon thin film transistors, which are simple to manufacture and uniform in the element characteristics (an electron movement degree or the like).

10

Next, there will be explained the drive control method of the display pixel which is applied to the display panel according to the present embodiment.

15

FIG. 12 is a timing chart showing the drive control method (the reverse bias setting operation, the non-light emitting operation, the writing operation and the light emitting operation) in the display pixels applied to the display apparatus according to the present embodiment.

20

FIGS. 13A and 13B are conceptual diagrams showing the reverse bias setting operation and the non-light emitting operation in the display pixels (the display drive circuit) according to the present embodiment.

25

FIGS. 14A and 14B are conceptual diagrams showing

the writing operation and the light emitting operation in the display pixels (the display drive circuit) according to the present embodiment.

Here, an explanation on the drive control operation which is the same as the first embodiment described above is omitted. As shown in FIG. 12, the drive control operation in the display pixels EM (the display drive circuit DC2) according to the present embodiment is set to include a non-light emitting operation period (a non-display operation period) T_{nem} , a reverse bias setting period T_{bs} , a writing operation period T_{wrt} , and a light emitting operation period (a display operation period) T_{em} in a predetermined one process cycle period T_{cyc} (for example, one frame period T_{fr}). In the non-light emitting operation period T_{nem} , the supply of the drive current V_{sc} to the display pixels EM (the display drive circuit DC2) is shut down (a low level drive voltage (a second voltage) V_{sc} is supplied), whereby the supply of the display drive current V_{sc} to the organic EL element OEL is shut down to prevent the light emitting operation. The reverse bias setting period T_{bs} is performed in the non-light emitting operation period T_{nem} . In the reverse bias setting period T_{bs} , the bias signal V_{bs} is applied via the bias line BL to discharge electric charges held (resides) between the gate and the source (in the capacitor C_s) of the display drive thin film

transistor Tr13 provided on the display drive circuit DC2, whereby a no-electric field state or a reverse bias state is set in which 0V (no voltage) or a reverse bias voltage is applied. The writing operation period Twrt is performed in the non-light emitting operation period Tnem. In the writing operation period Twrt, the display pixels EM connected with the scanning line SL are set to a selection state to supply a gradation current Idata having a current value corresponding to display data, whereby the voltage component corresponding to the display data is held in between the gate and the source (in the capacitor Cs) of the display drive thin film transistor Tr13 provided on the display drive circuit DC2. In the light emitting operation period Tem, the display drive current Ib having a current value corresponding to the display data is allowed to flow in the organic EL element OEL on the basis of the voltage component held in between the gate and the source of the thin film transistor Tr13 in the writing operation period Twrt, thereby performing a light emitting operation with a predetermined luminance gradation ($T_{cyc} \geq T_{em} + T_{nem}$, $T_{nem} \geq T_{bs} + T_{wrt}$).

Here, as shown in FIG. 12, the reverse bias setting period Tbs and the writing operation period Twrt set in the non-light emitting operation period Tnem may be set at the start time and the termination

time of the non-light emitting operation period T_{nem} .
Alternatively, the reverse bias setting period T_{bs} and
the writing operation period T_{wrt} may be set so that
the reverse bias setting operation and the writing
5 operation are performed at an arbitrary timing (in the
midst of the non-light emitting operation period) of
the non-light emitting operation period.

(Non-light Emitting Operation Period)

First, in the non-light emitting operation period
10 T_{nem} , as shown in FIGS. 12 and 13A, the display pixels
EM is set to a non-selection state by applying a non-
selection level scanning signal V_{sel} to the scanning
line SL from the scanning driver 120 while a low level
drive voltage (a first voltage) V_{sc} is applied to the
15 power source line VL from the power source driver 130.
Furthermore, no gradation current I_{data} is supplied to
the data line DL from the data driver 140.

Consequently, the thin film transistor Tr_{11} and
 Tr_{12} provided on the display drive circuit DC2 are set
20 to an OFF state. Thus, there is established a state in
which an electric connection between the gate terminal
(the contact point N11; one end side of the capacitor
Cs) of the thin film transistor Tr_{13} and the power
source line VL is shut down while an electric
25 connection between the source terminal (the contact
point N12; the other end side of the capacitor Cs) of
the thin film transistor Tr_{13} and the data line DL is

also shut down. Incidentally, in the other period in the non-light emitting operation period T_{nem} than the reverse bias setting period T_{bs} described later, a low level bias signal V_{sb} is applied to the bias line BL from the reverse bias driver 170, so that the thin film transistor Tr_{14} is set to an OFF state. As a consequence, an electric connection between the gate terminal (the contact point N11; one end side of the capacitor C_s) of the thin film transistor Tr_{13} and the scanning line SL is set to a shut-down state.

Here, in the same manner as in the non-display operation period shown in the first embodiment described above, the drive control operation in each display pixel is repeatedly performed by using one process cycle period T_{cyc} (one frame period T_{fr}) as one cycle. Therefore, there is provided a state in which a voltage component written based on the display data in one process cycle period prior to the one process cycle period by one period is held in between the source and the gate (in the capacitor C_s) of the thin film transistor Tr_{13} at the start time of the above-described non-light emitting operation period T_{nem} , and the thin film transistor Tr_{13} is set to an ON state.

For this reason, a low level (not more than the ground potential GND) drive voltage V_{sc} ($= V_s$) which has been applied to the power source line VL is applied to the anode terminal (the contact point N12) of the

organic EL element OEL via the thin film transistor Tr13, whereby a potential not more than the same level is set with respect to the potential Vcom (the ground potential GND) of the cathode terminal. Consequently, a reverse bias voltage is applied to the organic EL element OEL, so that no display drive current flows in the organic EL element OEL and the light emitting operation is not performed (non-light emitting operation).

5

10 (Reverse Bias Setting Period)

Next, in the reverse bias setting period Tbs set in the above-described non-light emitting operation period Tnem, a high level bias signal Vbs is applied to the bias line BL from the reverse bias driver 170, as shown in FIGS. 12 and 13A.

15

Accordingly, the thin film transistor Tr14 provided on the display drive circuit DC2 performs an ON operation, thereby setting to a state in which a voltage level of the scanning signal Vsel set to the non-selection level (Vsn) is applied to the gate terminal (the contact point N11; one end side of the capacitor Cs) of the thin film transistor Tr13. Consequently, a potential difference is generated between the voltage level based on the above-described non-selection level scanning signal Vsel (= Vsn) and the contact point N12.

20

25

Here, as described above, the voltage component

written based on the display data in one process cycle period prior to the process cycle period by one period is held in the capacitor Cs at the start time of the non-light emitting operation period Tnem, and the thin film transistor Tr13 is set to an ON state.

Consequently, in the case where, as shown in FIG. 12, the reverse bias setting operation is performed at the start time of the non-light emitting operation period Tnem, the drive voltage Vsc (= Vs) applied to the power source line VL is applied to the contact point N12 (the other end of the capacitor Cs) via the thin film transistor Tr13.

Accordingly, a difference ($V_{sn} - V_s$) between the non-selection level scanning signal Vsel (= V_{sn}) and the low level drive voltage Vsc (= V_s) is applied to and held in between the gate and the source (the both ends of the capacitor Cs) of the thin film transistor Tr13 (refer to the potential Vc between the both ends of the capacitor Cs in FIGS. 12 and 13B). Here, at least the voltage level of the non-selection level scanning signal Vsel is set to a level equal to or lower than the low level drive voltage Vsc (= V_s), whereby the potential difference (the voltage Vc between the both ends of the capacitor Cs) applied to between the gate and the source of the thin film transistor Tr13 can be set to 0V (no-electric field state) or a reverse bias state.

Incidentally, in the case where the reverse bias setting operation is performed at the start time of the non-light emitting operation period T_{nem} , the above-described reverse bias voltage ($V_{sn} - V_s$) is held in
5 between the gate and the source (the both ends of the capacitor C_s) of the thin film transistor $Tr13$, and the no-electric field state or the reverse bias state is continuously held in the non-light emitting operation period T_{nem} .

10 As a consequence, the thin film transistor $Tr13$ is controlled so as to perform an OFF operation without fail. Therefore, the potential applied to the anode terminal (the contact point $N12$) of the organic EL element OEL is set to a level equal to or smaller than
15 the potential V_{com} (the ground potential GND) of the cathode terminal, and the reverse bias voltage is applied to the organic EL element, so that no display drive current flows in the organic EL element OEL and the light emitting operation is not performed (non-
20 light emitting operation.

(Writing Operation Period)

Next, in the writing operation period T_{wrt} set in the above-described non-light emitting operation period T_{nem} , as shown in FIGS. 12 and 14A, a selection level
25 scanning signal V_{sel} is applied to the scanning line SL from the scanning driver 120 to set the display pixels EM in a selection state while a gradation current I_{data}

having a current value (with a negative polarity) corresponding to display data is supplied to the data lines DL from the data driver 140 in synchronization with this selection timing. Furthermore, in the writing operation period T_{wrt} , a low level drive voltage (a second voltage) V_{sc} ($= V_a$) is applied to the power source line VL from the power source driver 130, and a low level bias signal V_{bs} is applied to the bias line BL from the reverse bias driver 170, in the same manner as in the non-light emitting operation period T_{nem} described above.

As a consequence, the thin film transistor Tr_{14} provided on the display drive circuit DC2 is set to an OFF state, whereby an electric connection between the gate terminal (the contact point N11; one end side of the capacitor C_s) of the thin film transistor Tr_{13} and the scanning line SL is set to a shut-down state. In addition, the thin film transistors Tr_{11} to Tr_{13} perform an ON operation in the same manner as in the writing operation period shown in the above-described first embodiment, so that a writing current I_a corresponding to the gradation current I_{data} flows in the direction of the data driver 140 via the thin film transistor Tr_{13} , the contact point N12, the thin film transistor Tr_{12} and the data line DL from the power source line VL.

Accordingly, electric charges corresponding to the

potential difference generated by the writing current
Ia are accumulated between the gate and the source (the
both ends of the capacitor Cs) of the thin film
transistor Tr13 and are held as a voltage component
5 Vdata (refer to the potential Vc between the both ends
of the capacitor Cs in FIG. 12). In addition, a
reverse bias voltage is applied to the organic EL
element OEL at this time, so that no display drive
current flows and the light emitting operation is not
10 performed (the non-light emitting operation).

(Light Emitting Operation Period)

Next, in the writing operation period Twrt, or in
the light emitting operation period Tem after the
termination of the non-light emitting operation period
15 Tnem including the writing operation period Twrt, as
shown in FIGS. 12 and 14B, a low level scanning signal
Vsel is applied to the scanning line SL from the
scanning driver 120 to set the display pixels EM to a
non-selection state while the supply of the gradation
20 current Idata from the data driver 140 is shut down in
synchronization with this non-selection timing, and an
operation of drawing in the gradation current Idata is
suspended, in the same manner as in the non-light
emitting operation period Tnem. Furthermore, in the
25 same manner as in the non-light emitting operation
period Tnem, a low level bias signal Vbs is applied to
the bias line BL from the reverse bias driver 170. In

this writing operation period T_{wrt} , on the other hand, a high level drive voltage (a first voltage) V_{sc} ($= V_e$) is applied to the power source line VL from the power source driver 130.

5 As a consequence, the thin film transistors Tr11, Tr12 and Tr14 provided on the display drive circuit DC2 perform an OFF operation, so that the electric charges (the voltage component V_{data}) accumulated in the above-described writing operation period T_{wrt} are held in the
10 capacitor C_s , and the thin film transistor Tr13 maintains an ON operation. Furthermore, when a high level drive voltage V_{sc} ($= V_e$) is applied to the power source line VL, the potential of the anode terminal (the contact point N12) of the organic EL element OEL
15 becomes higher than the potential (the ground potential) of the cathode terminal.

 Consequently, a predetermined display drive current I_b ($\approx I_a$) flows in the forward bias direction in the organic EL element OEL via the thin film
20 transistor Tr13 and the contact point N12 from the power source line VL. In the light emitting operation period T_{em} , the organic EL element OEL continues an operation of emitting light with a luminance gradation corresponding to the display data (the gradation
25 current I_{data}).

 Here, there will be specifically explained an effect of change suppression of the threshold voltage

(a Vth shift amount suppression effect) by means of a display pixel (a display drive circuit) having the circuit configuration described above and a display drive control method thereof.

5 FIG. 15 is a graph showing an experiment result showing a change amount (a Vth shift amount) of the threshold voltage in the case where the switching element (the thin film transistor) for display drive is set to a reverse bias state in the display pixels
10 according to the present embodiment. Here, there is shown one example of a result of measurement in which a change tendency in the change amount of the threshold voltage is measured with respect to the lapse of time in the case where an n-channel type amorphous silicon
15 thin film transistor applied as the display drive switching element is continuously allowed to perform an ON operation (denoted by dot lines in the drawing), and in the case where the switching element is set to a reverse bias state only in 1/5 of the drive operation
20 period (denoted by solid lines in the drawing).

 As shown in FIG. 15, in the case where a forward bias voltage is continuously applied to the thin film transistor, there is shown a tendency of remarkable increase (of about 2V with a lapse of 250 hours) in the
25 change amount (the Vth shift amount) of the threshold voltage with the lapse of time (a horizontal axis), as shown by dot lines in the drawing. In contrast, in the

case where a reverse bias voltage is applied to the thin film transistor for a definite time, it has been made clear that there is shown a tendency such that the change amount of the threshold voltage is largely suppressed (about 0.6V with a lapse of 250 hours) with respect to the lapse of time (a horizontal axis), as shown by solid lines in the figure.

It is considered that such an effect of change suppression of the threshold voltage (the V_{th} shift amount suppression effect) is brought about by the discharge of electric charges trapped in a nitride film by introducing electric charges into the nitride film constituting a gate insulation film in a relatively shallow area with the setting of a reverse bias state in a definite period during a drive operation period and by suppressing the introduction of the electric charges into the deep area and being set to a reverse bias state in an element structure of an amorphous silicon thin film transistor.

Consequently, even if the amorphous silicon thin film transistor is applied as the display drive switching element provided on each display pixel EM (the display drive circuit DC2), the change (V_{th} shift) in threshold value by the drive history can be suppressed. Accordingly, the display drive current I_b having a current value corresponding to the display data can be supplied to the organic EL element OEL and

a light emitting operation (a display operation) can be performed with an appropriate luminance gradation, thereby enabling the improvement in a display image quality.

5 <Display Drive Method of Display Apparatus>

Next there will be explained a display drive method (an operation of displaying image information) in the display apparatus according to the present embodiment.

10 FIG. 16 is a timing chart showing one example of the display drive method of the display apparatus according to the present invention. Here, an explanation on a control method which is the same as the first embodiment described above is simplified.
15 Furthermore, the hatching portions shown by slanted lines in each row in FIG. 16 respectively show the reverse bias period of the display data described above.

In the display drive method of the display
20 apparatus 100B according to the present embodiment, a non-light emitting operation of preventing the display operation of the display pixels EM (preventing the light emitting operation of the organic EL element OEL) is first performed with respect to the display pixels
25 EM (the display drive circuit DC2) for each row arranged on the display panel 110. Then, a reverse bias setting operation is sequentially performed for

applying a reverse bias voltage to the display drive
switching element (the thin film transistor Tr13)
provided on each of the display pixels EM (the display
drive circuit DC2) at an arbitrary timing (at the same
5 time as the start of the non-light emitting operation
period Tnem in the present embodiment) in the non-light
emitting operation period Tnem. Thereafter, at an
arbitrary timing (at the time of the termination of the
non-light emitting operation period Tnem in the present
10 embodiment) in the non-light emitting operation period
Tnem, the writing operation of writing the gradation
current Idata corresponding to display data is
sequentially performed for each row. Subsequently, the
light emitting operation is sequentially performed with
15 a predetermined luminance gradation corresponding to
the display data, whereby image information in one
screen portion of the display panel 110 is displayed.
Here, the operation timing is controlled so that at
least the writing operation periods Twrt in the
20 respective rows are not mutually overlapped (in terms
of time).

Specifically, in the beginning, as shown in
FIG. 16, in the reverse bias setting period Tbs
(denoted by slanted lines in the drawing) set in
25 synchronization with the start timing of the non-light
emitting operation period Tnem in one frame period Tfr,
a non-selection level scanning signal Vsel is applied

to the scanning line SL in a specific row (for example, i-th row; $1 \leq i \leq 12$) of the display panel 110, so that the display pixels EM in the i-th row are set to a non-selection state, as shown in FIG. 12.

5 In synchronization with this timing, a low level drive voltage V_{sc} ($= V_s$) is applied to the power source line VL in the i-th row while applying a bias signal V_{bs} to the bias line BL in the i-th row. Consequently, as shown in FIG. 13B, a reverse bias voltage is applied
10 to between the drain and the source of the display drive thin film transistor Tr13 in the display pixels EM in the i-th row (a reverse bias setting operation). Thus, the thin film transistor Tr13 performs an OFF operation, so that no display drive current I_b flows in
15 the direction of the organic EL element OEL and the display pixels EM in the i-th row are set to a non-light emitting state (the non-light emitting operation is performed).

 Furthermore, in the non-light emitting operation
20 period T_{nem} (denoted by outline typefaces in the drawing) after the termination of the reverse bias setting period T_{bs} , a reverse bias voltage applied to between the drain and the source of the thin film transistor Tr13 is held in the reverse bias setting
25 operation described above. Consequently, the thin film transistor Tr13 holds an OFF state, no display drive current I_b flows in the direction of the organic EL

element OEL, and the display pixels EM in the i -th row continues the non-light emitting state (the non-light emitting operation is performed).

Next, as shown in FIG. 16, in the writing operation period T_{wrt} (denoted by a cross mesh in the drawing) set in synchronization with the termination timing of the above-described non-light emitting operation period T_{nem} , a selection level scanning signal V_{sel} is applied to the scanning line SL in an i -th row, whereby the display pixels EM in the i -th row are set to a selection state, as shown in FIG. 12. Furthermore, a low level drive voltage V_{sc} ($= V_s$) is applied to the power source line VL of the i -th row.

Then, in synchronization with this selection timing, a gradation current I_{data} having a current value corresponding to display data in the i -th row is supplied to each of the data lines DL. As a consequence, as shown in FIG. 14A, a voltage component corresponding to the gradation current I_{data} is held (electric charges are accumulated) between the gate and the source (the both ends of the capacitor C_s) of the thin film transistor Tr_{13} of each of the display pixels EM (the display drive circuit DC2) in the i -th row.

The non-light emitting operation including such a writing operation is sequentially performed with a shift of timing for each row with respect to the display pixels EM arranged on the display panel 110.

In particular, the writing operations for the respective rows are sequentially performed in such a manner that the writing operations are not mutually overlapped in terms of time.

5 Next, as shown in FIG. 16, in the light emitting operation (denoted by a dot hatching in the drawing), the display pixels EM in an i -th row are set to a non-selection state while the supply of the gradation current I_{data} to each of the data lines DL is shut
10 down, as shown in FIG. 16.

 Then, in synchronization with this timing, a high level drive voltage V_{sc} ($= V_e$) is applied to the power source line VL in the i -th row. As a result, as shown in FIG. 14B, the display drive current I_b corresponding
15 to the display data (the gradation current I_{data}) is supplied to the organic EL element OEL via the thin film transistor Tr13 on the basis of the voltage component charged in each of the display pixels EM (between the gate and the source of the display drive
20 thin film transistor Tr13), so that a light emitting operation is performed with a predetermined luminance gradation.

 Such a light emitting operation is sequentially performed with a shift of timing for each of the
25 display pixels EM in a row with which the writing operation (or the non-light emitting operation including the writing operation) described above is

performed with respect to the display pixels EM arranged on the display panel 110.

That is, with respect to the plurality of display pixels EM arranged in two dimensions on the display panel 110, the non-light emitting operation period T_{nem} having a predetermined length is set in one frame period T_{fr} for each row. Therefore, a pseudo-impulse type display drive control can be realized wherein each of the display pixels EM performs a light emitting operation with a luminance gradation corresponding to the display data (the gradation current I_{data}) only in a definite period out of the one frame period T_{fr} . Consequently, moving images can be clearly displayed without blurs and stains.

In this case, in the same manner as the display drive method (refer to FIG. 26) shown in the prior art, the writing operation is sequentially performed with respect to the display pixels EM in all the rows (twelve rows) of the display panel 110 by using the whole time of the one frame period T_{fr} . Accordingly, the writing operation period T_{wrt} is not shortened in each row and the writing time can be sufficiently secured. In addition, an appropriate gradation display corresponding to the display data is realized by suppressing a deterioration of the display quality resulting from the writing insufficiency of the display data.

Moreover, in the non-light emitting operation period T_{nem} , a reverse bias voltage is applied to the switching element (the thin film transistor $Tr13$) for display drive provided on each of the display pixels EM, so that the switching element can be set to a reverse bias state. Consequently, even in the case where an amorphous silicon thin film transistor is applied as the above-described switching element, the change (V_{th} shift) in threshold voltage is largely suppressed, and the organic EL element OEL is allowed to perform a light emitting operation with an appropriate luminance gradation corresponding to the display data.

[Third Embodiment]

Next, there will be explained a display apparatus according to a third embodiment and a display drive method thereof with reference to the drawings.

FIG. 17 is a structural diagram of a primary part, showing one example of a display panel applied to the display apparatus according to the third embodiment.

FIG. 18 is a structural diagram of a primary part, showing one example of a peripheral circuit of the display panel applied to the display apparatus according to the third embodiment.

In the same manner as in the case of the second embodiment, the third embodiment has a configuration in which a voltage between a gate and a source of a

display drive switching element of each display pixel EM is set to 0V (no voltage) or a negative voltage (a reverse bias voltage) to suppress the change in threshold voltage of the switching element in a non-light emitting operation period (a non-display operation period) other than a light emitting operation (a display operation) in one frame period.

As shown in FIGS. 17 and 18, the display apparatus 100C according to the third embodiment, in the same manner as in the second embodiment, is configured to comprise a display panel 110, a scanning driver (a scanning drive unit) 120, a power source driver (a power source drive unit) 130, a reverse bias driver (a state setting unit) 170, and a data driver (a data drive unit) 140. The display panel 110 has a plurality of display pixels EM arranged thereon in row and column directions. The scanning driver 120 sequentially sets the display pixels EM for each row to a selection state by sequentially applying a selection level scanning signal Vsel to scanning lines SL of the display panel 110. The power source driver 130 is connected with a plurality of power source lines VL arranged in parallel with the scanning lines SL in each row, and the lines are divided into groups for each of arbitrary plural rows in advance. The power source driver 130 sequentially applies a drive voltage Vsc at a predetermined timing for each group to the power source

lines VL in rows included in the group. The reverse bias driver 170 is connected with a plurality of reverse bias lines BL arranged in parallel with the scanning lines SL in each row. The reverse bias driver 5 170 applies a reverse bias setting signal (a setting signal) Vbs at a predetermined timing to the reverse bias lines (the bias signal lines) BL in rows included in the group for each of the groups divided for each of the above-described plural rows, thereby sequentially 10 setting the display pixels for each row to a reverse bias state (a specific bias state). The data driver 140 supplies a gradation signal (a gradation current Idata) corresponding to display data to the display pixels EM via each of the data lines DL.

15 FIG. 19 is a structural diagram of a primary part, showing another example of the display panel applied to the display apparatus according to the present embodiment, and the peripheral circuit thereof (the scanning driver, the power source driver, and the 20 reverse bias driver).

That is, another example of the display panel 110 and the peripheral circuit thereof (the scanning driver 120, the power source driver 130, and the reverse bias driver 170), as shown in FIG. 19, is configured in such 25 a manner that individual scanning lines SL, power source lines VL and reverse bias lines BL are respectively arranged with respect to the display

pixels EM in each row of the display panel 110, and that individual scanning signals Vsel, drive voltages Vsc and reverse bias setting signals Vbs are applied for each row from the scanning driver 120, the power source driver 130 and the reverse bias driver 170, respectively.

Here, with respect to the power source driver 130, a configuration can be applied wherein the drive voltages Vsc having the same voltage level are simultaneously applied to the individual power source lines VL in rows included in the same group in an output circuit unit 132 on the basis of shift signals sequentially outputted from a shift register 131 in correspondence to the power source lines VL in rows, as shown in, for example, FIG. 19, such that the drive voltages Vsc having the same voltage level can be simultaneously applied to the power source lines VL in rows included in the same group.

Also with respect to the reverse bias driver 170, a configuration can be applied wherein the reverse bias setting signals Vbs having the same voltage level are simultaneously applied to the individual reverse bias lines BL in rows included in the same group in an output circuit unit 142 on the basis of shift signals sequentially outputted from a shift register 141 in correspondence to the reverse bias lines BL in rows, as shown in, for example, FIG. 19, such that the reverse

bias setting signals Vbs having the same voltage level can be simultaneously applied to the reverse bias lines BL in rows included in the same group.

<Display Drive Method of Display Apparatus>

5 Next, there will be explained the display drive method of the display apparatus according to the third embodiment.

 FIG. 20 is a timing chart showing one example of the display drive method of the display apparatus according to the present embodiment.

 Incidentally, in the present embodiment, it is explained, for the sake of explanation, that there is provided a configuration in which twelve rows ($n = 12$; first to twelfth rows) of display pixels are
15 conveniently arranged on the display panel. Furthermore, in the figure, symbol k denotes a positive integer, and the hatching portions shown by slanted lines of each row in the figure respectively denote the reverse bias setting period of the display data
20 described above. The hatching portions shown by cross meshes respectively denote the writing operation period of the display data described above, and the hatching portions shown by dots respectively denote the light emitting operation period described above.

25 In a display drive method of a display apparatus 100C according to the present embodiment, in the beginning, a non-light emitting operation (a

non-display operation) of preventing the display operation of the display pixels EM (preventing the light emitting operation of the organic EL element OEL) is performed for each of the display pixels EM in plurality rows divided into groups in advance with respect to the display pixels EM (the display drive circuit DC) for each row arranged on the display panel 100. Then, a writing operation of writing a gradation current Idata corresponding to display data is sequentially performed for each row at an arbitrary timing (at the time of the termination of the non-light emitting operation period Tnem in the present embodiment) in the non-light emitting operation period Tnem. Thereafter, each of the display pixels EM in a plurality of rows in each group is allowed to simultaneously perform a light emitting operation with a predetermined luminance gradation corresponding to display data (a gradation current), so that image information in one screen portion of the display panel 110 is displayed.

Specifically, in the beginning, all the display pixels EM arranged on the display panel 110 are divided into groups in advance for each of plurality rows. For example, as shown in FIG. 20, the display pixels EM in the twelve rows constituting the display panel 110 are divided into four groups by respectively setting three rows of display pixels EM as one set, such as the

mutually adjacent first to third rows; the fourth to sixth rows; the seventh to ninth rows; and the tenth to twelfth rows.

5 Then, in the non-light emitting operation period (the non-display operation period) T_{nem} (denoted by outline typefaces in the drawing) in one frame period T_{fr} , a low level drive voltage (a second voltage) V_{sc} (= V_s) is applied from the power source driver 130 to the power source lines VL in plural rows included in
10 the same group of the display panel 110. Thereby, as in FIGS. 12 and 13A described above, no potential difference is generated between the drain and the source of the display drive thin film transistor Tr13 in the display pixels EM in all the rows included in
15 the group. Consequently, no display drive current I_b flows in the organic EL element OEL via the thin film transistor Tr13, so that all the display pixels EM in the group are set to a non-light emitting state (the non-light emitting operation is performed).

20 Here, in the non-light emitting operation period T_{nem} except for the writing operation period described above, a non-selection level scanning signal V_{sel} is applied from the scanning driver 120 with respect to the scanning line SL in all the rows included in the
25 group which performs the non-light emitting operation while the display pixels EM are set to a state in which no gradation current I_{data} is supplied to each of the

data lines DL from the data driver 140 (a state in which the supply of the gradation current Idata is shut down).

Then, in the reverse bias setting period Tbs (denoted by slanted lines in the drawing) set at an arbitrary timing in the non-light emitting operation period Tnem (in synchronization with the start timing of the non-light emitting operation period Tnem in the present embodiment), a reverse bias setting signal Vbs is applied from the reverse bias driver 170 to the reverse bias lines BL in all the rows included in the group which performs the non-light emitting operation in the same manner as shown in FIGS. 12 and 13B described above. As a consequence, a reverse bias voltage is applied to between the gate and the source of the display drive thin film transistor Tr13 in each of the display pixels EM included in the group (a reverse bias setting operation), so that the thin film transistor Tr13 performs an OFF operation.

In the non-light emitting operation period Tnem (denoted by outline typefaces in the drawing) after the termination of the reverse bias setting period Tbs, the reverse bias voltage applied to between the gate and the source of the thin film transistor Tr13 is held by the reverse bias setting operation described above, whereby the thin film transistor Tr13 holds an OFF state.

Next, as shown in FIG. 20, in the writing operation period T_{wrt} (denoted by cross meshes in the drawing) set at an arbitrary timing after an elapse of a definite time in the reverse bias state by the
5 above-described reverse bias setting operation in the non-light emitting operation period T_{nem} , the display pixels EM in each row are sequentially set to a selection state by sequentially applying the selection level scanning signal V_{sel} to the scanning lines SL in
10 each row of the display panel 110 from the scanning driver 120, in the same manner as shown in FIGS. 12 and 14A described above.

Then, in synchronization with this selection timing, a gradation current I_{data} having a current
15 value corresponding to display data in each row from the data driver 140 is supplied to each of the data lines DL. Thereby, a writing current I_a corresponding to the gradation current I_{data} flows in the display drive circuit DC of each of the display drive pixels EM
20 in the row in the same manner as shown in FIG. 14A described above, so that a voltage component (V_{data}) corresponding to the gradation current I_{data} is held in between the gate and the source (the both ends of the capacitor C_s) of each thin film transistor Tr_{13} .

25 Such a writing operation period T_{wrt} is sequentially performed with a shift of timing with respect to the display pixels EM arranged on the

display panel 110 such that the writing operation periods are not overlapped in terms of time for each row. Here, in the writing operation period T_{wrt} , while the display pixels EM in rows included in the same group are set to a selection state, a low level drive voltage V_{sc} ($= V_s$) is applied from the power source driver 130 to the power source lines VL in all the rows in the same group, whereby a reverse bias voltage is applied to the organic EL element OEL. Consequently, no current flows in the organic EL element OEL from the display drive circuit DC, and all the display pixels EM in the group are set to a non-light emitting state (the non-light emitting operation is performed).

Next, as shown in FIG. 20, in the light emitting operation (the display operation period) T_{em} (denoted by dot hatching in the drawing), a non-selection level scanning signal V_{sel} is applied from the scanning driver 120 to the scanning lines SL in rows included in the same group in the same manner as shown in FIGS. 12 and 14B described above. As a consequence, all the display pixels EM in the group are set to a non-selection state while the supply of the gradation current I_{data} to each of the data lines DL from the data driver 140 is shut down.

Then, in synchronization with this timing, a high level drive voltage (a first voltage) V_{sc} ($= V_e$) is applied from the power source driver 130 to the power

source lines VL in rows included in the group.

Consequently, a display drive current I_b corresponding to the display data (the gradation current I_{data}) is supplied to the organic EL element OEL on the basis of

5 the voltage component held in each of the display pixels EM (between the gate and the source of the display drive thin film transistor Tr13) of the group in the same manner as shown in FIG. 14B described above. Thus, the light emitting operation is performed
10 with a predetermined luminance gradation.

Such a light emitting operation is simultaneously started with respect to the display pixels EM in all the rows included in the same group in synchronization with the timing of the termination of the above-
15 described writing operation (immediately after the termination thereof) with respect to the display pixels EM in all the rows of the group, and the light emitting operation is continuously performed until the timing of the start of the next non-light emitting operation
20 (including the reverse bias setting operation) with respect to the respective rows of the group.

That is, like the present embodiment, the non-light emitting operation and the reverse bias setting operation are simultaneously performed with respect to
25 the display pixels EM in each row in the group in which the display pixels EM in the first to third rows are set to one set. Thereafter, after the writing

operation is performed in order up to the display pixels EM in the first row to those in the third row, the display pixels EM in each row simultaneously perform the light emitting operation. This light emitting operation continues until the timing of the start of the non-light emitting operation and the reverse bias setting operation in the next one frame period T_{fr} with respect to the display pixels EM in the first to third rows included in the group.

Hereinafter, the same operation is performed sequentially with a shift of timing in such a manner that the writing operations in respective rows are not overlapped in terms of time with respect to respective groups in which the display pixels EM in the fourth to sixth rows, the display pixels EM in the seventh to ninth rows and the display pixels EM in the tenth to twelfth rows are set to one set.

Accordingly, in such a display drive method of the display apparatus, the non-light emitting operation period T_{nem} having a predetermined length is set to one frame period T_{fr} for each group in which the display pixels in plural rows are set to one set. As a consequence, a pseudo-impulse type display drive control can be realized wherein each of the display pixels EM performs a light emitting operation with a luminance gradation corresponding to the display data (the gradation current I_{data}) for a definite period out

of one frame period T_{fr} .

Incidentally, the execution timing and the execution time (length) of the non-light emitting operation, the reverse bias setting period T_{bs} , the writing operation period T_{wrt} , and the light emitting operation period T_{em} which are executed in one frame period T_{fr} can be arbitrarily set with the scanning control signal, the power source control signal, the reverse bias control signal and the data control signal which are supplied as the timing control signals to the scanning driver 120, the power source driver 130, the reverse bias driver 170, and the data driver 140 from the system controller 150.

Here, in the timing chart shown in FIG. 20, a control is made in such a manner that the display pixels EM in twelve rows constituting the display panel 110 are divided into four groups, whereby the non-light emitting operation (including the reverse bias setting operation) and the light emitting operation are simultaneously performed at timings different for each of the groups. Consequently, a ratio of the non-display period (a black insertion ratio) by the above-described non-light emitting operation in one frame period T_{fr} is set to approximately 50%, so that a half of image information (a display screen) displayed on the display panel 110 can be provided as a black display (no display).

In order to allow clear recognition of moving images without blurs and stains with a human sense of vision, a black insertion ratio of about 30% or more is generally preferable. Consequently, according to the present embodiment, it is possible to realize a display apparatus which can display moving images of good display quality. Incidentally, the black insertion ratio (the ratio of the non-display period) in one frame period T_{fr} is not limited to 50% described above. The black insertion ratio can be arbitrarily set depending on the number of groups. In particular, it is desired that the black insertion ratio is not less than 30% described above, but a value of 30% or less is also possible.

Further, in the present embodiment, as shown in FIG. 20, there is explained a case in which the writing operation is sequentially performed with respect to the display pixels EM in all the rows (twelve rows) of the display panel 110 by using a majority of time (two thirds of period in one frame period T_{fr} in FIG. 20) of one frame period T_{fr} . Even if the period in which the reverse bias state is held is set to a relatively short time of one frame period T_{fr} (for example, one fifth of one frame period T_{fr}), the change in threshold voltage (the V_{th} shift amount) in the switching element (the thin film transistor Tr13) for display drive provided on each of the display pixels EM can be largely

suppressed. As a result, the writing operation can be sequentially performed with respect to the display pixels EM in all the rows of the display panel 110 by using a majority of time of one frame period T_{fr} .

5 In this case, like the display drive method shown in FIG. 27, the writing operation period T_{wrt} (corresponding to the image data writing period in the prior art) in each row is not largely shortened in order to realize the writing operation of blanking data and the black display operation, the writing time of
10 each row can be sufficiently secured, and an appropriate gradation display corresponding to display data can be realized by suppressing the deterioration of the display quality resulting from the writing
15 insufficiency of the display data. In addition, this enables providing an allowance in the timing control of various kinds of signals, whereby the generation of an erroneous operation of the display apparatus can be suppressed.

20 Moreover, a reverse bias state can be set by applying a reverse bias voltage to the switching element (the thin film transistor $Tr13$) for display drive provided on each of the display pixels EM in the non-light emitting operation period T_{nem} .
25 Consequently, even in the case where an amorphous silicon thin film transistor is applied as the above-described switching element, the organic EL element OEL

can perform a light emitting operation with an appropriate luminance gradation corresponding to display data by largely suppressing the change in threshold voltage (the V_{th} shift amount).

5 In addition, in the present embodiment, the voltage level of the drive voltage V_{sc} is set for each group in order to control the light emitting operation and the non-light emitting operation. Thus, as shown in FIGS. 17 and 18, a single drive voltage V_{sc} is
10 output for each group, and the drive voltage V_{sc} can be simultaneously applied to the display pixels EM in each row via the power source lines VL branched and arranged in the group. Furthermore, in order to suppress the change in threshold voltage of the switching element
15 (the thin film transistor Tr_{13}) for display drive provided on each of the display pixels EM, the application state (application and shutdown) of the reverse bias setting signal V_{sc} is set for each group. Therefore, as shown in FIGS. 17 and 18, a single
20 reverse bias setting signal V_{bs} is output for each group, so that the reverse bias setting signal V_{bs} can be simultaneously applied to the display pixels EM in each row via the reverse bias lines BL branched and arranged in the group.

25 Accordingly, at least, the number of connection terminals for transmitting the drive voltage V_{sc} between the display panel 110 and the power source

driver 130 and the number of connection terminals for transmitting the reverse bias setting signal Vbs between the display panel 110 and the reverse bias driver 170 can be set to the number (four in the present embodiment) corresponding to the number of groups set in the display panel 110. Consequently, the number of connection terminals can be largely decreased as compared with the case in which the connection terminals are provided for the power source lines VL and the reverse bias lines BL of each row while a circuit configuration of the power source driver 130 and the reverse bias driver 170 can be simplified.

Incidentally, in the present embodiment, as shown in the timing chart shown in FIG. 20, there is explained, for the sake of explanation, a case in which the light emitting operation (the display operation) is performed after the non-light emitting operation (non-display operation) including the reverse bias setting period and the writing operation period are performed in one frame period Tfr. The control operation is substantially the same, for example, even if the light emitting operation having a predetermined length is performed after the writing operation which is not accompanied by the light emitting operation of the organic EL element OEL (the display operation of the display pixels EM) is performed, and thereafter, the non-light emitting operation including the reverse bias

setting operation is performed.

Next, there will be explained a second example of the display drive method which can be applied to the display apparatus according to the present embodiment with reference to the drawings.

FIG. 21 is a timing chart showing a second example of the display drive method of the display apparatus according to the present embodiment.

Here, an explanation on the display drive method which is the same as the above-described first example (refer to FIG. 20) described above will be simplified.

In the second example of the display drive method of the display apparatus 100C according to the present embodiment, the following operation is performed in one frame period T_{fr} . That is, a plurality of display pixels EM which are arranged on the display panel 110 and which are not mutually adjacent (continuous) to one another are divided into groups as one set, the above-described non-light emitting operation (including the reverse bias setting operation) and light emitting operation are simultaneously performed with respect to the display pixels EM for each group, and an operation is performed for sequentially performing the above-described writing operation with a shift of timing with respect to the display pixels EM for each row.

Specifically, as shown in, for example, FIG. 21, the display pixels EM in twelve rows constituting the

display panel 110 are divided into four groups by setting three rows of display pixels EM respectively to one set, i.e. such as a set of the first, fifth and ninth rows; a set of the second, sixth and tenth rows; 5 a set of the third, seventh and eleventh rows; and a set of the fourth, eighth and twelfth rows. For example, in the group in which the display pixels in the first, fifth and ninth rows are set as one set, the non-light emitting operation and the reverse bias setting operation are performed with respect to the 10 display pixels EM in all the rows included in the group. Thereafter, the above-described writing operation is performed with respect to the display pixels EM in order of the first row, the fifth row and the ninth row. After the writing operation is 15 completed with respect to the display pixels EM in the ninth row, the display pixels EM in all the rows of the first, fifth and ninth rows included in the group simultaneously perform the light emitting operation. 20 This light emitting operation continues with respect to the display pixels EM in the first, fifth and ninth rows until the timing of performing the non-light emitting operation (including the reverse bias setting operation) in the next frame period.

25 Furthermore, at the timing of the completion of the writing operation with respect to the display pixels EM in the ninth row, the non-light emitting

operation and the reverse bias setting operation, or the light emitting operation are/is simultaneously performed at a predetermined timing in such a manner that the above-described writing operation is performed with respect to the display pixels EM in an order of the second row, the sixth row and the tenth row in a group in which the display pixels EM in the second, sixth and tenth rows are set to one set. Hereinafter, the same operation is repeatedly performed in a group in which the third, seventh and eleventh rows are set as one set and in a group in which the fourth, eighth and twelfth rows are set as one set.

Consequently, even with such a display drive method of the display apparatus, a pseudo-impulse type display drive control, in the same manner as in the display drive method according to the first example described above, can be realized wherein the light emitting operation is performed with a luminance gradation corresponding to display data only in a definite period in one frame period T_{fr} for each group while the non-light emitting operation (including the reverse bias setting operation and the writing operation) is performed in a period except for the light emitting operation. Here, in the present display drive method as well, a ratio of the non-display period (a black insertion ratio) by the non-light emitting operation can be set to 30% or more, whereby a display

apparatus can be realized wherein the clarity is improved by suppressing the blurs and stains of the moving images.

5 Further, for each of the rows included in each of the groups, the switching element (the thin film transistor Tr13) for display drive provided on each of the display pixels EM can be set to a reverse bias state. Accordingly, the large change in threshold voltage (the V_{th} shift amount) which is generated
10 resulting from the drive history can be largely suppressed in an amorphous silicon thin film transistor applied to the switching element, and the organic EL element OEL is allowed to perform the light emitting operation with an appropriate luminance gradation
15 corresponding to display data.

Moreover, in this case as well, the timing of the writing operation is appropriately set by the system controller 150, whereby the writing operation can be sequentially performed with respect to the display
20 pixels EM in all the rows (twelve rows) of the display panel 110 by using a majority of time of one frame period T_{fr} . Consequently, the writing time of each row can be sufficiently secured, and the deterioration of the display quality resulting from the writing
25 insufficiency of display data is suppressed, thereby enabling realizing an appropriate gradation display corresponding to the display data.

In addition, the voltage level of the drive voltage Vsc and the application state of the reverse bias setting signal Vbs are set for each of groups in order to control the light emitting operation and the non-light emitting operation as well as the reverse bias setting operation. Therefore, the number of connection terminals between the display panel 110 and the power source driver 130, and the number of connection terminals between the display panel 110 and the reverse bias driver 170 are decreased to the number corresponding to the number of the above-described groups (four in the present embodiment), thereby enabling simplification of the circuit configuration of the power source driver 130 and the reverse bias driver 170.

Incidentally, in the display drive methods according to the first and second examples described above, there will be explained a case in which the display pixels EM constituting the display panels 110 are divided into four groups by setting three rows to one set. However, the present invention is not limited thereto. It goes without saying that the number of the groups can be set by appropriately increasing and decreasing the number thereof.

[Fourth Embodiment]

Next, there will be explained a display apparatus according to a fourth embodiment and a display drive

method thereof with reference to the drawings.

<Display Apparatus>

FIG. 22 is a structural diagram of a primary part, showing one example of a display panel which is applied to the display apparatus according to the fourth
5 embodiment and a peripheral circuit thereof.

Here, the same components as those in the third embodiment described above are denoted by the same or similar symbols, and an explanation thereof is
10 simplified.

In the same manner as in the second and third embodiments, the present embodiment has a configuration in which a voltage between a gate and a source of a display drive switching element of each display pixel
15 EM is set to 0V (no voltage) or a negative voltage (a reverse bias voltage) in the non-light emitting operation period (the non-display operation period) except for the time of the light emitting operation (the display operation) in one frame period to suppress
20 the change in threshold voltage of the switching element.

As shown in FIG. 22, a display apparatus 100D according to the present invention, in the same manner as in the first embodiment described above, has a
25 configuration which comprises a display panel 110, a scanning driver 120, a power source driver 130, a reverse bias driver 170, a data driver 140, a system

controller 150, and a display signal generation circuit 160. On the display panel 110, a plurality of display pixels EM arranged in two dimensions are divided into groups for each of arbitrary plural rows. The scanning driver 120 is connected with scanning lines SL in each row of the display panel 110. The power source driver 130 is connected with power source lines VL in each row. The reverse bias driver 170 is connected with reverse bias lines BL in each row. The data driver 140 is connected with data lines DL in each column. The system controller 150 outputs a timing control signal (a scanning control signal, a power source control signal, a reverse bias control signal and a data control signal) to the respective drivers described above. The display signal generation circuit 160 generates display data (luminance gradation data) and supplies the data to the data driver 140. In particular, the present embodiment has a configuration in which a single power source line VL is branched and arranged so as to correspond to the display pixels EM in each row for each of the above-described groups, and further, individual reverse bias lines BL are arranged so as to correspond to the display pixels EM in each of the rows included in each of the groups.

That is, in the same manner as in the third embodiment described above, the power source driver 130 is configured to sequentially output for each group a

single drive voltage V_{sc} corresponding to the power source lines VL in a plurality of rows in each group while the reverse bias driver 170 is configured to sequentially output for each row individual reverse bias setting signal V_{bs} corresponding to the reverse bias lines BL in the plurality of rows included in each row, as in the above-described scanning driver 120.

5

As a consequence, a drive voltage V_{sc} having a predetermined voltage level is simultaneously applied for each group from the power source driver 130 with respect to the power source lines VL in the rows included in each group. Accordingly, in the case where a low level drive voltage (a second voltage) V_{sc} ($= V_s$) is applied, the display pixels EM in all the rows in the group are simultaneously set to a light emitting state. On the other hand, in the case where a high level drive voltage (a first voltage) V_{sc} ($= V_e$) is applied, the display pixels in all the rows of the group are simultaneously set to a light emitting state (a gradation display state).

10

15

20

Furthermore, a reverse bias setting signal V_{bs} is sequentially applied for each row from the reverse bias driver 170 to the reverse bias lines BL in each of the rows included in each group. Consequently, in the same manner as in the case in which the display pixels in each row are sequentially set to a selection state with the scanning signal V_{sel} output from the scanning

25

driver 120, the display pixels EM in each row are sequentially set to a reverse bias state.

<Display Drive Method of Display Apparatus>

Next, there will be explained a display drive method (an operation of displaying image information) in the display apparatus according to the present embodiment.

FIG. 23 is a timing chart showing a first example of the display drive method of the display apparatus according to the fourth embodiment. Here, the drive control method of the display pixels shown in the above-described first embodiment will be appropriately explained with reference to the drawings. In addition, an explanation on the same display drive method as that of the third embodiment described above is simplified.

In the first example of the display drive method of the display apparatus 100D according to the present embodiment, the following operation is performed in one frame period T_{fr} . That is, the display pixels EM in a plurality of mutually adjacent (continuous) rows arranged on the display panel 110 are divided into groups as one set, the above-described non-light emitting operation and light emitting operation are simultaneously performed with respect to the display pixels EM for each group, and the above-described reverse bias setting operation and writing operation are sequentially performed with a shift of timing with

respect to the display pixels EM for each row.

Specifically, in the beginning, all the display pixels EM arranged on the display panel 110 are divided into groups in advance for each of plural rows in the same manner as in the first example according to the third embodiment described above. For example, as shown in FIG. 23, the display pixels EM in twelve rows constituting the display panel 110 are divided into four groups by setting respectively three rows of display pixels EM as one set, such as mutually adjacent (continuous) first to third rows; fourth to sixth rows; and tenth to twelfth rows.

Then, in the non-light emitting operation period T_{nem} (denoted by outlined typefaces in the drawing) in one frame period T_{fr} , a single low level drive voltage V_{sc} (= V_s) is applied from the power source driver 130 to the power source lines VL in plural rows included in the same group of the display panel 110 via the power source line VL branched and arranged. Thereby, all the display pixels EM in the group are simultaneously set to a non-light emitting state (the non-light emitting operation is performed).

In the reverse bias setting period T_{bs} (denoted by slanted lines in the drawing) set at an arbitrary timing in this non-light emitting operation period T_{nem} (in synchronization with the start timing of the non-light emitting operation period T_{nem} in this

embodiment), a reverse bias setting signal Vbs is applied with a shift of timing in order from the first row to the individually arranged reverse bias line BL for each row from the reverse bias driver 170.

5 Consequently, a reverse bias voltage is applied to between the gate and the source of the display drive thin film transistor Tr13 provided on the display pixels EM in each row, thereby sequentially setting the display pixels EM to a reverse bias state. The reverse bias state set for each row is continued until a
10 voltage component Vdata corresponding to display data (a gradation current Idata) is held in between the gate and the source of the thin film transistor Tr13 provided on the display pixels EM in each row in the
15 writing operation described later.

Next, in the writing operation period Twrt (denoted by cross meshes in the drawing) set at an arbitrary timing after the termination of the reverse bias setting operation in each of the rows included in
20 each group in the above-described non-light emitting operation period Tnem, a selection level scanning signal Vsel is sequentially set in order from the first row to the scanning line SL in each row from the scanning driver 120 to sequentially set the display
25 pixels EM in each row to a selection state. In synchronization with this selection timing, the gradation current Idata having a current value

corresponding to display data in each row is supplied from the data driver 140 to the data lines DL in each column, so that the writing operation is performed for holding the voltage component V_{data} corresponding to the gradation current I_{data} in between the gate and the source of the display driver thin film transistor Tr13 provided on each of the display pixels EM in the row.

Subsequently, in the light emitting operation period T_{em} (denoted by a dot hatching in the drawing), a single high level drive voltage V_{sc} ($= V_e$) is applied from the power source driver 130 to the power source line VL branched and arranged in each of the rows included in a group with which the writing operation in each of the rows is terminated, whereby all the display pixels EM in the group are simultaneously set to a light emitting state (the light emitting operation is performed). The light emitting operation which is performed for each of the groups is continued until the next non-light emitting operation (including the reverse bias operation) is started with respect to each row of the group.

Hereinafter, the same operation is performed with respect to each of the groups in which the fourth to sixth rows, the seventh to ninth rows and the tenth to twelfth rows of the display pixels EM are respectively set to one set in such a manner that the above-described reverse bias setting operation and writing

operation are sequentially performed with a shift of timing (are not overlapped in terms of time) with respect to each row of the display panel 110. As a consequence, image information in one screen portion of the display panel 110 is displayed.

Accordingly, since a pseudo-impulse type display drive control can be realized with such a display drive method of the display device in the same manner as in the display drive method according to the above-described first embodiment, a display apparatus can be realized in which the blurs and stains of moving images are suppressed and the clarity thereof is improved.

Furthermore, the period in which the reverse bias state set between the reverse bias setting period and the writing operation is held by individually performing the reverse setting operation and the writing operation for each row can be set to be definite for intervals between the rows. Consequently, the suppression amount of the change (V_{th} shift) in threshold voltage in the switching element (the thin film transistor Tr13) for display drive provided on each display pixel EM is made to be uniform, and a more favorable display image quality can be realized by allowing the organic EL element OEL to perform a light emitting operation (a display operation) with an appropriate gradation corresponding to display data.

Next, there will be explained a second example of

the display drive method which can be applied to the display apparatus according to the present embodiment with reference to the drawings.

FIG. 24 is a timing chart showing the second example of the display drive method of the display apparatus according to the present embodiment. Here, an explanation on the display drive method same as that of the above-described first example (refer to FIG. 23) will be simplified.

In the second example of the display drive method of the display apparatus 100D according to the present embodiment, the following operation is performed in one frame period T_{fr} . That is, the display pixels EM in a plurality of rows which are arranged on the display panel 110 and which are not mutually adjacent (continuous) to one another are divided into groups, the above-described non-light emitting operation and light emitting operation are simultaneously performed with respect to the display pixels EM for each group, and the above-described bias setting operation and writing operation are sequentially performed with a shift of timing with respect to the display pixels EM for each row.

Specifically, as shown in, for example, FIG. 24, the display pixels EM arranged on the display panel 110 are divided into four groups by setting three rows of display pixels EM to one set as seen in mutually not

adjacent (not continuous) rows such as: the first, fifth and ninth rows; the second, sixth and tenth rows; the third, seventh and eleventh rows; and the fourth, eighth and twelfth rows.

5 Then, for example, in a group in which the first, fifth and ninth rows of the display pixels EM are set as one set, the non-light emitting operation is simultaneously performed with respect to the display pixels EM in all the rows included in the group, and
10 then, the reverse bias setting operation is performed with respect to the display pixels EM in an order of the first row, the fifth row and the tenth row. Thereafter, the writing operation is performed with respect to the first row, the fifth row and the tenth
15 row and the writing operation is completed with respect to the display pixels EM in the ninth row, and then, the display pixels EM in all the rows of the first, fifth and tenth rows included in the group simultaneously perform the light emitting operation.
20 This light emitting operation continues until the timing at which the non-light emitting operation is performed in the next frame period with respect to the display pixels EM in the first, fifth and ninth rows.

 Furthermore, at a timing at which the reverse bias
25 setting operation is completed with respect to the display pixels EM in the ninth row described above, the non-light emitting operation is simultaneously

performed in the group in which the display pixels in the second, sixth and tenth rows are set to one set, and the reverse bias setting operation is performed with respect to the display pixels EM in an order of the second row, the fifth row and the tenth row. At the timing at which the writing operation is completed with respect to the display pixels EM in the ninth row described above, the non-light emitting operation, the reverse bias setting operation and the writing operation are performed at a predetermined timing in such a manner that the writing operation is performed with respect to the display pixels EM in an order of the second row, the sixth row and the tenth row in the group in which the display pixels EM in the second, sixth and tenth rows are set to one set. Hereinafter, the same operation is repeatedly performed in the group in which the third, seventh and eleventh rows are set to one set as well as the group in which the fourth, eighth and twelfth rows are set to one set.

Therefore, with such a display drive method of the display apparatus, a pseudo-impulse type display drive control is realized in the same manner as in the display drive method according to the first example described above, so that the blurs and stains of moving images can be suppressed. In the meantime, the period of holding the reverse bias state between respective rows is set, whereby the suppression amount of the

change (Vth shift) in threshold voltage in the switching element (the thin film transistor Tr13) for display drive provided on each of the display pixels EM can be made uniform.

WHAT IS CLAIMED IS:

1. A display apparatus for displaying image information corresponding to display data, comprising:

5 a display panel including a plurality of display pixels arranged thereon in vicinities of respective intersections of a plurality of scanning lines arranged in a row direction and a plurality of data lines arranged in a column direction;

10 a scanning drive unit which sequentially applies a scanning signal to each of said plurality of scanning lines and sets the display pixels corresponding to each said scanning line to a selection state;

15 a data drive unit which generates a gradation signal corresponding to the display data and supplies the gradation signal to the display pixels set to the selection state;

a power source drive unit which supplies to the display pixels a drive voltage for controlling a drive state of each of the display pixels; and

20 a drive control unit which: (i) controls the power source drive unit to operate to set the display pixels to a non-display operation state during a non-display period in which the display pixels do not display the display data, and (ii) controls the scanning drive unit
25 to operate to set the display pixels to the selection state during the non-display period.

2. The display apparatus according to claim 1,

wherein the power source drive unit selectively supplies, as the drive voltage, a first voltage for setting the display pixels to a display operation state in a bias state corresponding to the gradation signal, and a second voltage for setting the display pixels to the non-display operation state.

3. The display apparatus according to claim 2, wherein the drive control unit controls the power source drive unit to supply the first voltage as the drive voltage in a display period in which the display pixels display the display data, and to supply the second voltage as the drive voltage in the non-display period.

4. The display apparatus according to claim 1, further comprising:

a state setting unit which eliminates a bias state corresponding to the display data set based on the gradation signal to the display pixels in each row, and which generates a setting signal for setting a specific bias state to the display pixels for each row of the display panel; and

a plurality of bias lines provided on the display panel to apply the setting signal to the display pixels for each row of the display panel.

5. The display apparatus according to claim 4, wherein the drive control unit controls the state setting unit to supply the setting signal to the bias

lines corresponding to the display pixels during a portion of the non-display period.

6. The display apparatus according to claim 4, wherein each of the display pixels comprises a current control type optical element and a display drive circuit which controls an operation of the optical element, and

wherein the display drive circuit comprises:

an electric charge accumulation circuit which holds a voltage component corresponding to the gradation signal;

a supply control circuit which generates a drive current having a predetermined current value based on the voltage component held in the electric charge accumulation circuit, and which supplies the drive current to the optical element; and

a writing control circuit which controls a supply state of electric charges, based on the gradation signal, to the electric charge accumulation circuit.

7. The display apparatus according to claim 6, wherein the optical element comprises a light emitting element which performs a light emitting operation at a luminance corresponding to a value of the drive current applied thereto.

8. The display apparatus according to claim 7, wherein the data drive unit comprises a circuit which generates, as the gradation signal, a gradation current

having a current value to cause the light emitting element to perform a light emitting operation with a luminance gradation corresponding to the display data.

9. The display apparatus according to claim 7,
5 wherein the light emitting element comprises an organic electroluminescent element.

10. The display apparatus according to claim 6,
wherein the display panel includes a plurality of power source lines corresponding respectively to rows of the
10 display panel, and the drive voltage is supplied to the power source lines, and

wherein the supply control circuit of each of the display pixels comprises:

a conduction channel having a first end connected
15 with one of the power source lines and a second end connected with one end of the light emitting element, through which the display drive current flows; and

a control terminal connected with the electric charge accumulation circuit.

20 11. The display apparatus according to claim 10, wherein the writing control circuit of each of the display pixels comprises:

a conduction channel having a first end connected
with one of the data lines and a second end connected
25 with the control terminal of the control circuit via the electric charge accumulation circuit; and

a control terminal connected with one of the

scanning lines.

12. The display apparatus according to claim 6, wherein the display drive circuit further comprises a bias control circuit which discharges electric charges accumulated in the electric charge accumulation circuit, and applies one of no voltage and a reverse bias voltage to the supply control circuit.

13. The display apparatus according to claim 12, wherein the bias control circuit comprises:

a conduction channel having a first end connected with one of the scanning lines and a second end connected with a control terminal of the supply control circuit; and

a control terminal connected with one of the bias lines.

14. The display apparatus according to claim 12, wherein the display drive circuit comprises:

a first switch circuit including a conduction channel having a first end to which the drive voltage is applied and a second end which is connected to a connection contact point to one end of the optical element;

a second switch circuit including a control terminal connected with one of the scanning lines, and a conduction channel having a first end to which the drive voltage is applied and a second end to which a control terminal of the first switch circuit is

connected;

a third switch circuit including a control terminal connected with one of the scanning lines, and a conduction channel having a first end to which one of the data lines is connected and a second end to which a connection contact point is connected;

a capacitance element connected between the control terminal of the first switch circuit and the connection contact point; and

a fourth switch circuit including a control terminal connected with one of the bias lines, and a conduction channel having a first end connected with one of the scanning lines and a second end connected with the control terminal of the first switch circuit,

wherein the supply control circuit comprises the first switch circuit,

wherein the bias control circuit comprises the fourth switch circuit, and

wherein the electric charge accumulation circuit comprises the capacitance element.

15. The display apparatus according to claim 14, wherein each of the first through fourth switch circuits comprises an amorphous silicon thin film transistor.

16. The display apparatus according to claim 2, wherein said plurality of image pixels of the display panel are divided into a plurality of groups each

including a plurality of rows, and

wherein the drive control unit controls the power source drive unit to supply the first voltage to the display pixels for each said group as the drive voltage in a display period for operating the display pixels to display the display data, and, within each said group, simultaneously sets the display pixels to a display operation state.

17. The display apparatus according to claim 16, wherein the plurality of rows of each said group comprises a plurality of adjacent rows.

18. The display apparatus according to claim 16, wherein the plurality of rows of each said group comprises a plurality of separated rows.

19. The display apparatus according to claim 16, wherein the drive control unit controls the power source drive unit to supply the second voltage to the display pixels for each said group as the drive voltage in the non-display period, and, within each said group, simultaneously sets the display pixels to the non-display operation state.

20. The display apparatus according to claim 19, wherein the display panel includes a plurality of power source lines corresponding respectively to rows of the display panel, and the drive voltage is applied via the power source lines,

wherein the power source lines are divided into

groups in correspondence to the plurality of rows of each said group, and

wherein, within each said group, the power source drive unit commonly supplies the drive voltage to each of the power source lines in the group, and
5 simultaneously supplies the drive voltage to the display pixels in the group.

21. The display apparatus according to claim 16, further comprising:

10 a state setting unit which eliminates a bias state corresponding to the display data set based on the gradation signal to the display pixels in each row, and which generates a setting signal for setting a specific bias state to the display pixels for each row of the display panel; and
15

a plurality of bias lines provided on the display panel to apply the setting signal to the display pixels for each row of the display panel;

wherein the plurality of bias lines are divided into groups each including a plurality of bias lines corresponding to the plurality of rows of each said group, and
20

wherein, within each said group, the state setting unit supplies the setting signal to said plurality of bias lines in the group, and simultaneously supplies the setting signal to said plurality of display pixels in the group.
25

22. The display apparatus according to claim 16,
further comprising:

a state setting unit which eliminates a bias state
corresponding to the display data set based on the
5 gradation signal to the display pixels in each row, and
which generates a setting signal for setting a specific
bias state to the display pixels for each row of the
display panel; and

a plurality of bias lines provided on the display
10 panel to apply the setting signal to the display pixels
for each row of the display panel;

wherein the state setting unit sequentially
supplies the setting signal to the plurality of bias
lines corresponding to the plurality of rows of each
15 said group, and, within each said group, sequentially
supplies the setting signal to the display pixels in
the plurality of rows in the group.

23. A drive control method of controlling a
display apparatus to display image information
20 corresponding to display data, wherein the display
apparatus comprises a display panel including a
plurality of display pixels arranged thereon in
vicinities of intersections of a plurality of scanning
lines arranged in a row direction and a plurality of
25 data lines arranged in a column direction, the method
comprising:

sequentially setting the display pixels to a

selection state, row by row;

sequentially supplying a gradation signal corresponding to the display data to the display pixels, row by row, in each row set to the selection state;

5

setting each of the display pixels to a display operation state in a bias state corresponding to the gradation signal; and

setting the display pixels to a non-display operation state in a non-display period in which the display pixels do not display the display data;

10

wherein the display pixels are set to the selection state while set in the non-display operation state.

15

24. The drive control method according to claim 23, wherein the setting of each display pixel to the display operation state comprises supplying a first voltage for setting the display pixel to a forward bias, and

20

wherein the setting of each display pixel to the non-display operation state comprises supplying a second voltage for setting the display pixel to the non-display operation state.

25

25. The drive control method according to claim 23, wherein the setting of each display pixel to the non-display operation state comprises setting the display pixel to a specific bias state by eliminating a

bias state corresponding to the gradation signal set in the display pixel.

26. The drive control method according to claim 25, wherein the setting the display pixel to the specific bias state is performed by applying one of a no-voltage and a reverse bias voltage.

27. The drive control method according to claim 25, wherein each of the display pixels comprises a current control type optical element and a display drive circuit which controls an operation of the optical element, and

wherein the setting the display pixels to the display operation state is performed by applying to the display drive circuit a first voltage for setting the display drive circuit to a forward bias state corresponding to the gradation signal, and by holding a voltage component corresponding to the gradation signal in the display drive circuit.

28. The drive control method according to claim 27, wherein the setting the display pixels to the specific bias state is performed by discharging the voltage component held in the display drive circuit, and by applying and holding one of a no-voltage and a reverse bias voltage in the display drive circuit.

29. The drive control method according to claim 27, wherein the optical element comprises a light emitting element which performs a light emitting

operation at a luminance corresponding to a current value of a current applied thereto, and

wherein the display pixels are caused to perform a display operation by causing the light emitting element to perform a light emitting operation with a luminance gradation corresponding to the gradation signal.

30. The drive control method according to claim 29, wherein the light emitting element comprises an organic electroluminescent element.

31. The drive control method according to claim 29, wherein the supplying the gradation signal to the display pixels comprises supplying to the display pixels a gradation current having a current value which causes the light emitting element to perform the light emitting operation with a luminance gradation corresponding to the display data.

32. The drive control method according to claim 23, wherein said plurality of display pixels of the display panel are divided into a plurality of groups, each including a plurality of rows, and

wherein the setting the display pixels to the display operation state comprises supplying to the display pixels for each said group a first voltage for setting the display pixels to a forward bias such that, within each said group, the display pixels are simultaneously set to the display operation state.

33. The drive control method according to

claim 32, wherein the plurality of rows of each said group comprises a plurality of continuous rows.

34. The drive control method according to claim 32, wherein the plurality of rows of each said group comprises a plurality of separated rows.

35. The drive control method according to claim 32, wherein the setting the display pixels to the non-display operation state comprises supplying to the display pixels for each said group a second voltage for setting the display pixels to the non-display operation state, such that, within each said group, the display pixels are simultaneously set to the non-display operation state.

36. The drive control method according to claim 32, wherein the setting the display pixels to the non-display operation state comprises eliminating the bias state corresponding to the gradation signal set to the display pixels to set the display pixels to a specific bias state.

37. The drive control method according to claim 36, wherein the operation of setting the display pixels to the specific bias state comprises, within each said group, simultaneously setting said plurality of display pixels to the specific bias state.

38. The drive control method according to claim 36, wherein the setting the display pixels to the specific bias state comprises, within each said group,

sequentially setting rows of the display pixels to the specific bias state.

ABSTRACT OF THE DISCLOSURE

A display apparatus is disclosed. A display panel includes a plurality of display pixels arranged at intersections of a plurality of scanning lines and a plurality of data lines. A scanning drive unit sequentially applies a scanning signal to each of the scanning lines and sets the corresponding display pixels to a selection state. A data drive unit generates a gradation signal corresponding to the display data and supplies the gradation signal to the display pixels. A power source drive unit supplies to the display pixels a drive voltage for controlling a drive state of each of the display pixels. A drive control unit controls the power source drive unit to operate to set the display pixels to a non-display operation state during a non-display period, and controls the scanning drive unit to operate to set the display pixels to the selection state during the non-display period.

FIG.1

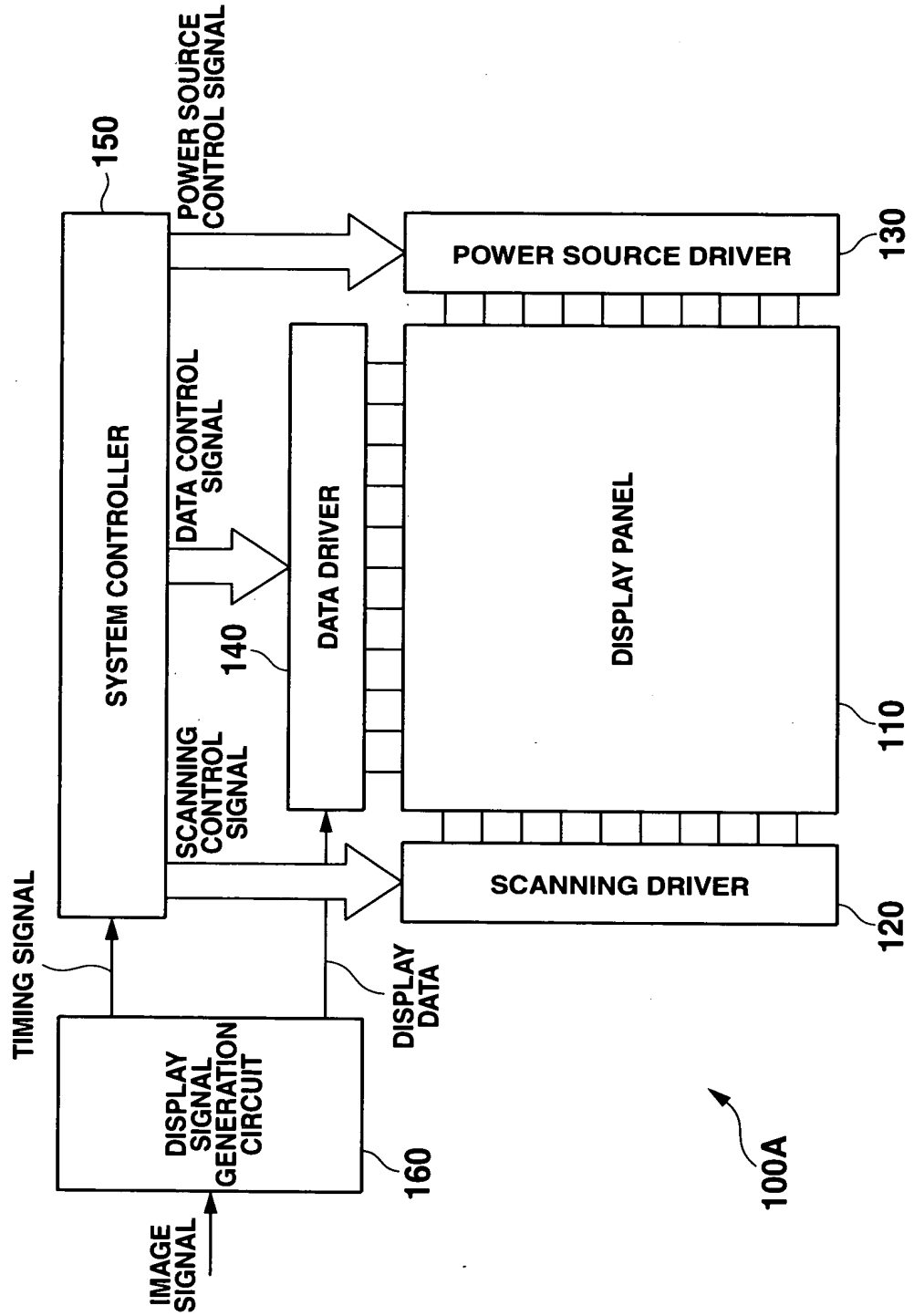


FIG.2

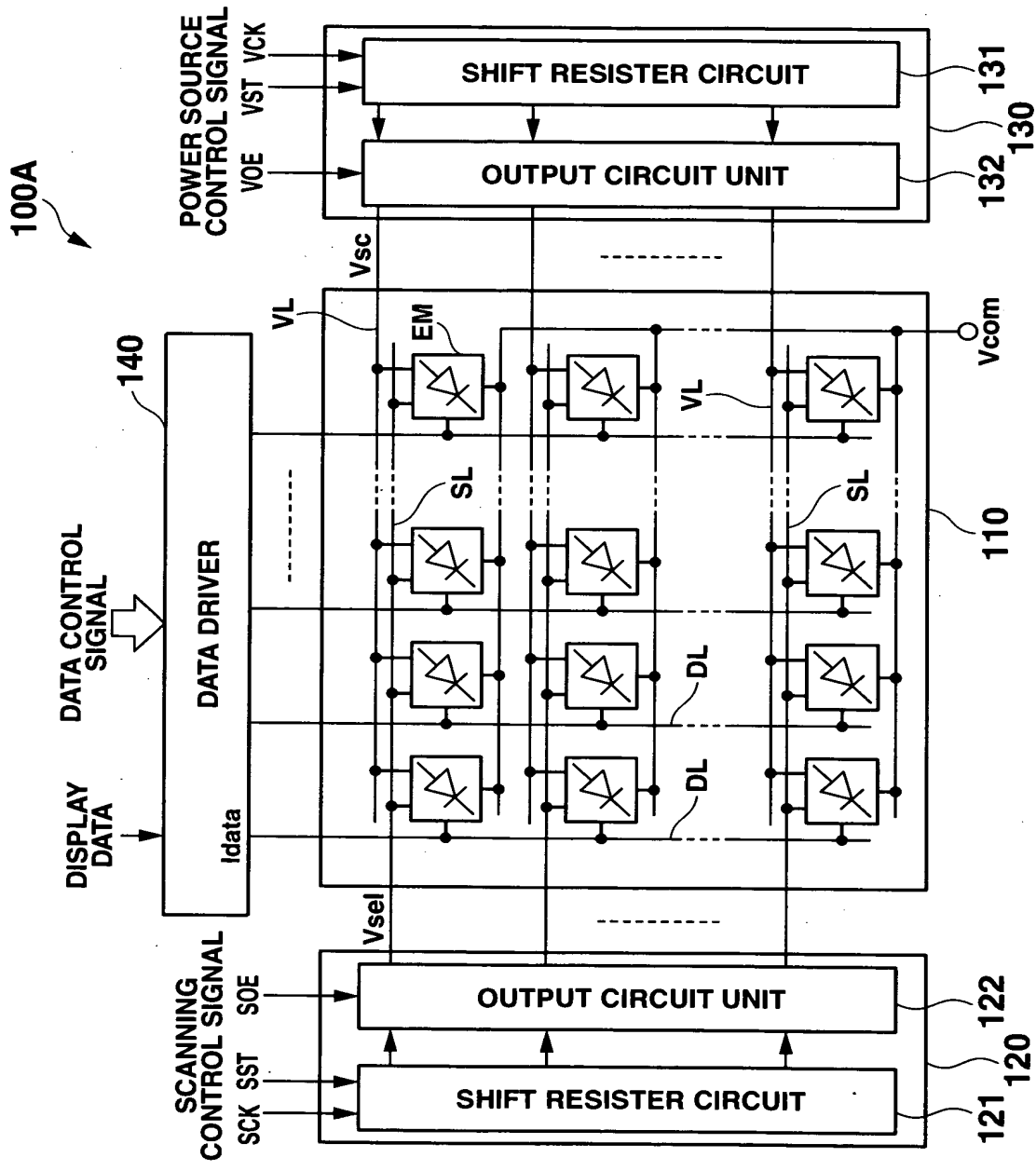


FIG.3

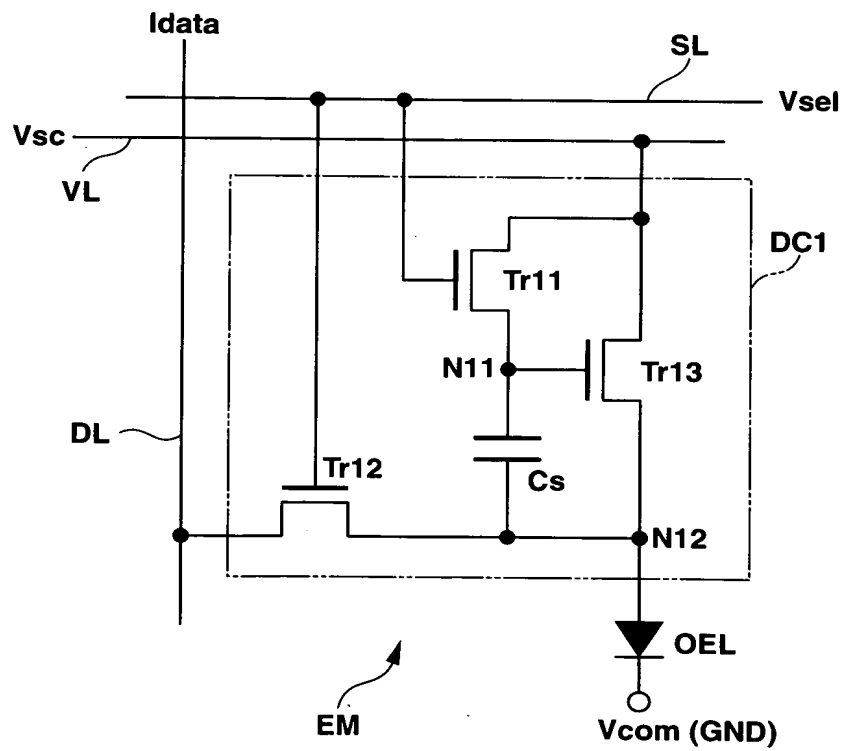


FIG.4

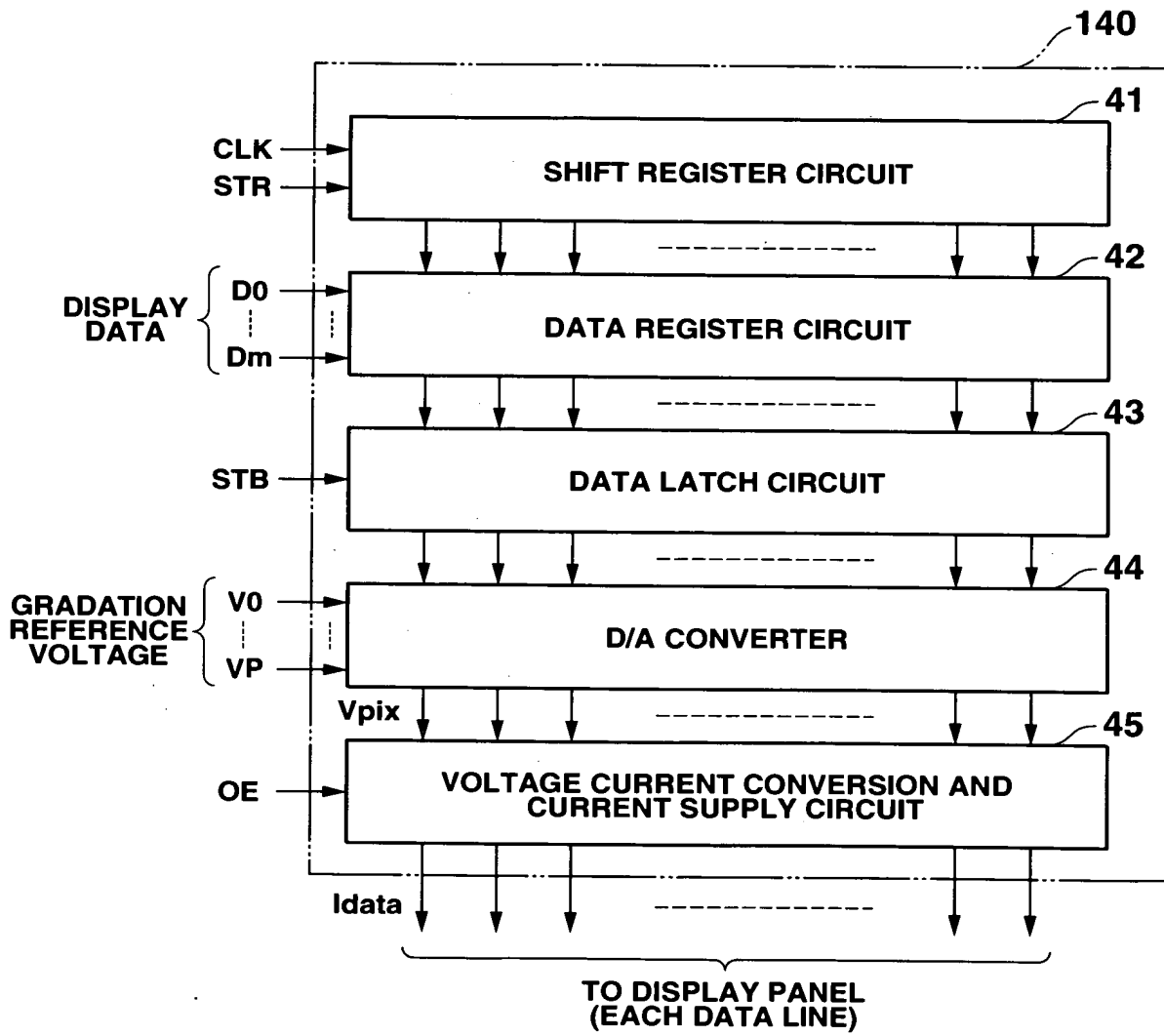


FIG.5

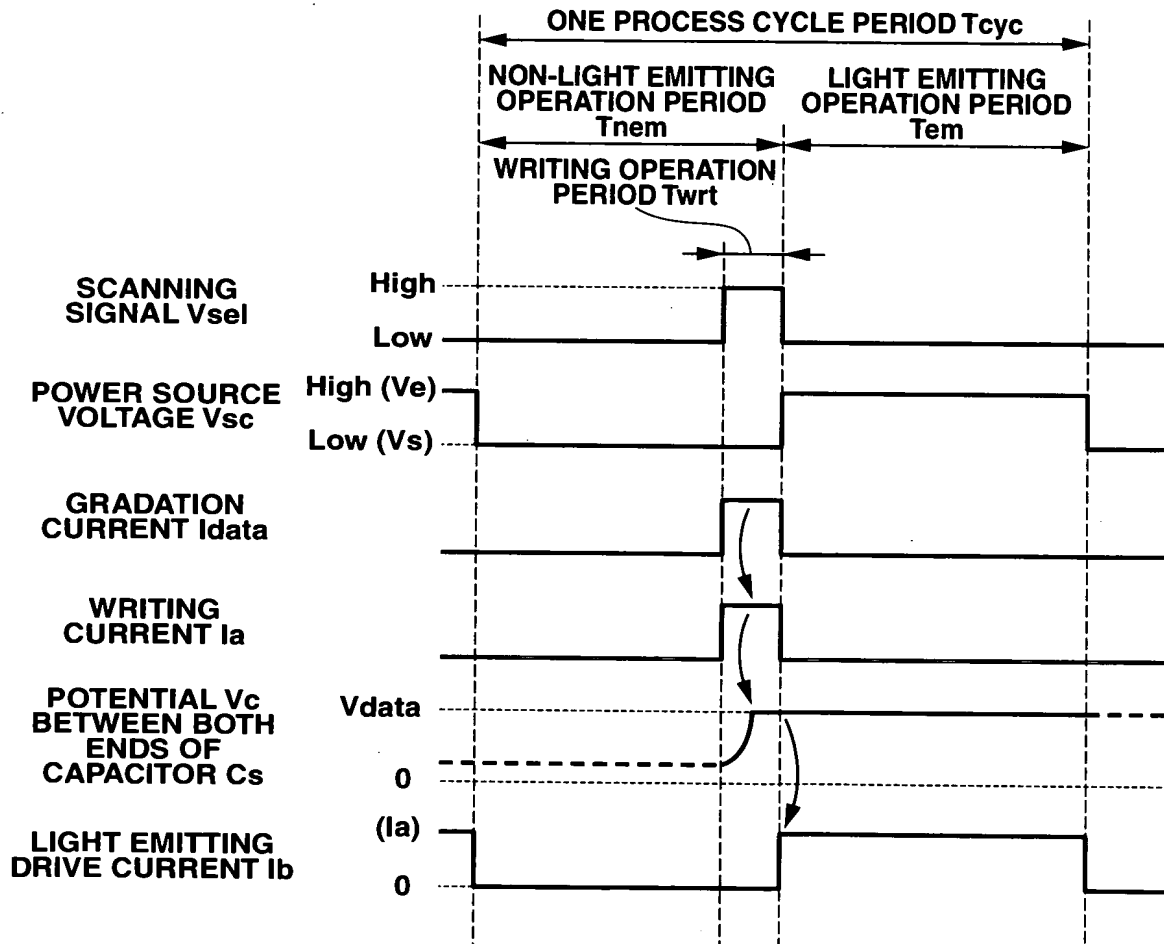


FIG.6A

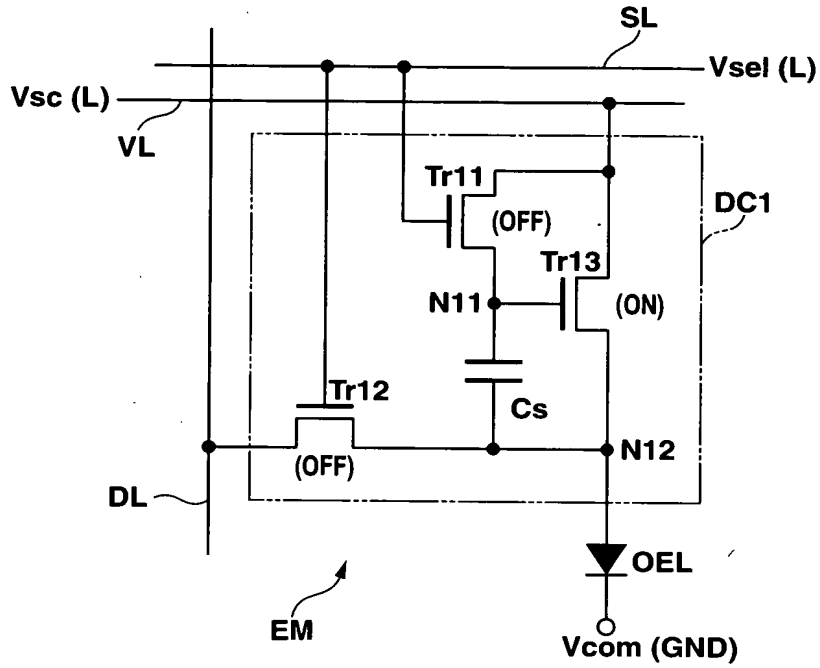


FIG.6B

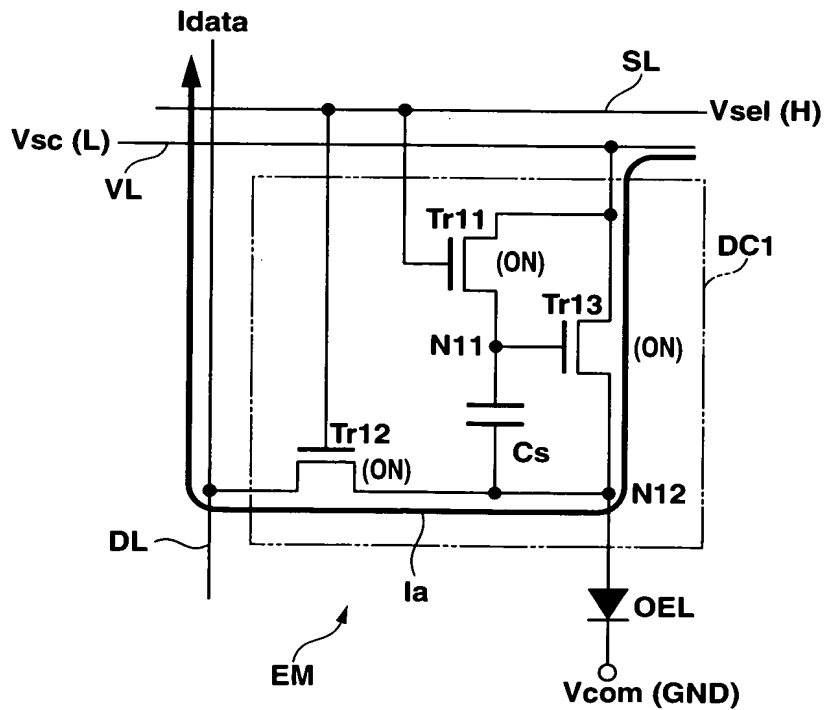


FIG.7

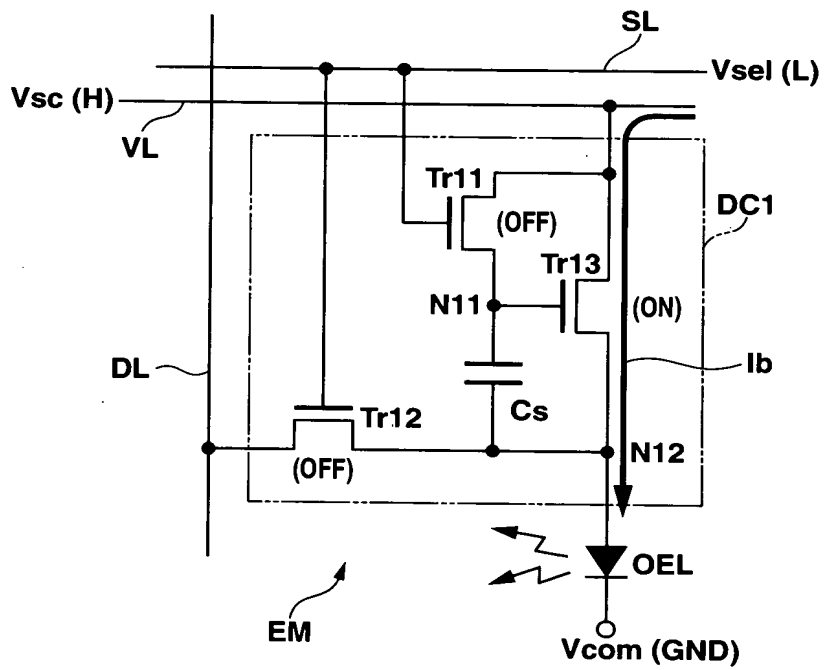


FIG.8

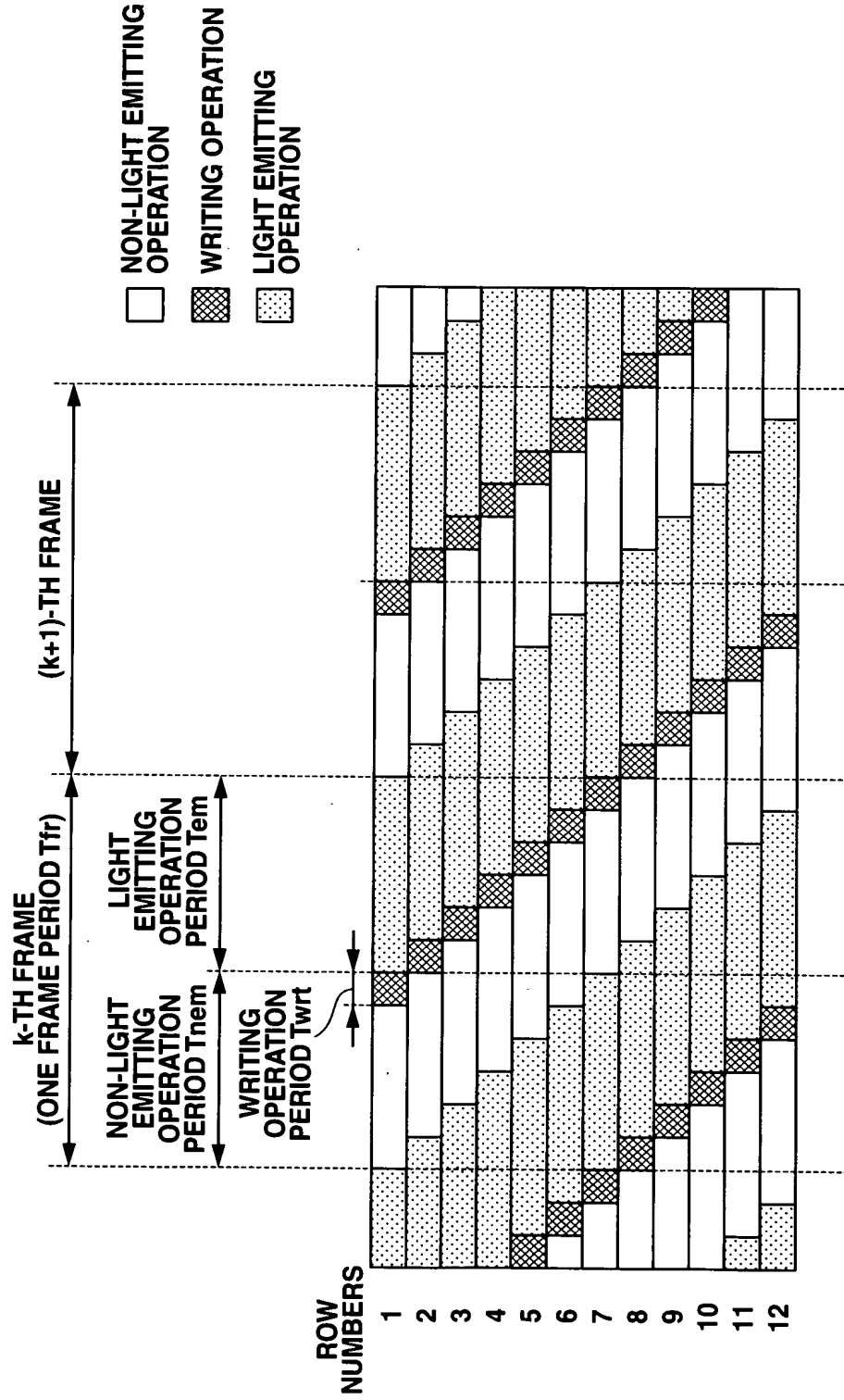


FIG.9

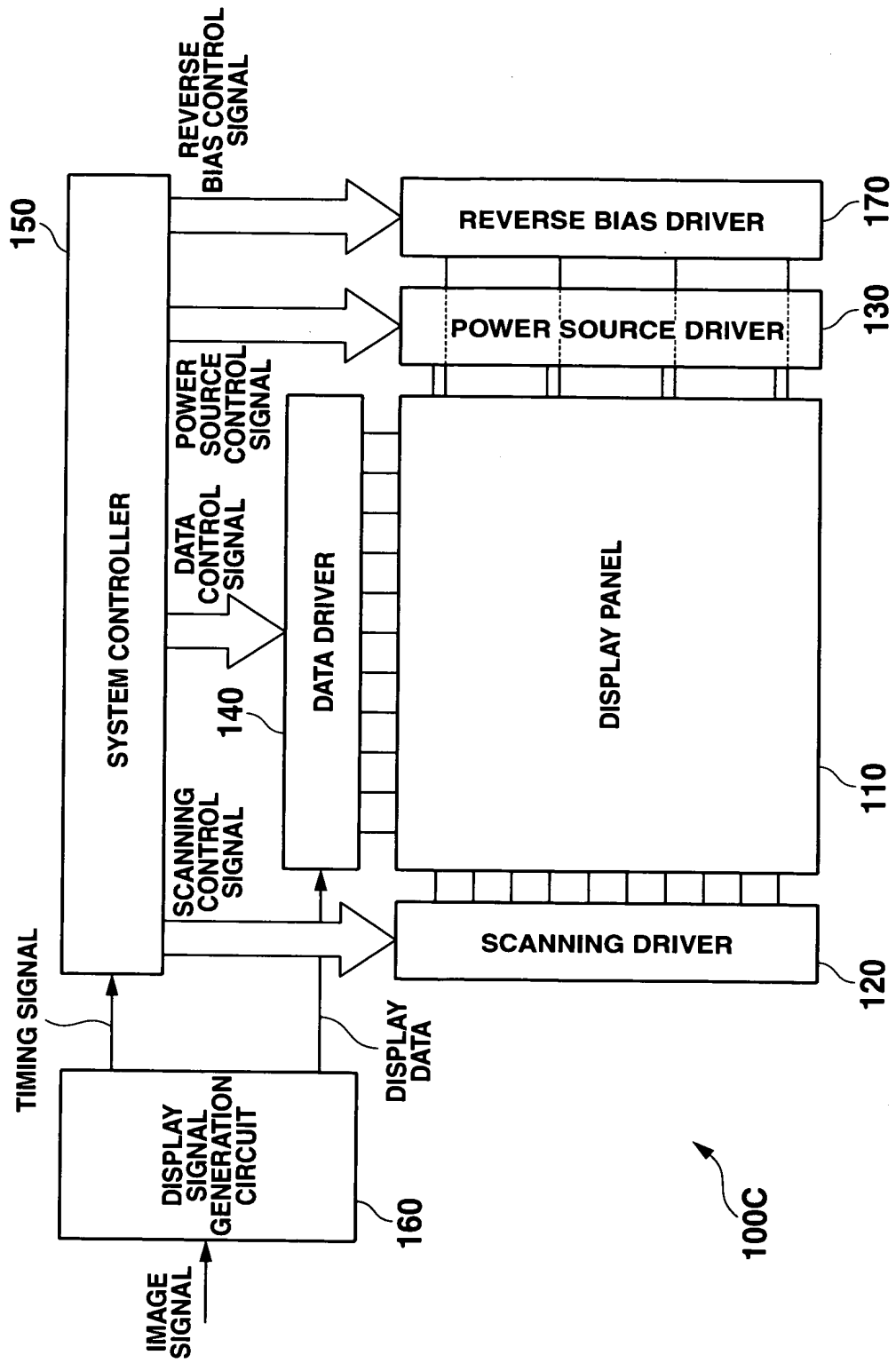


FIG.10

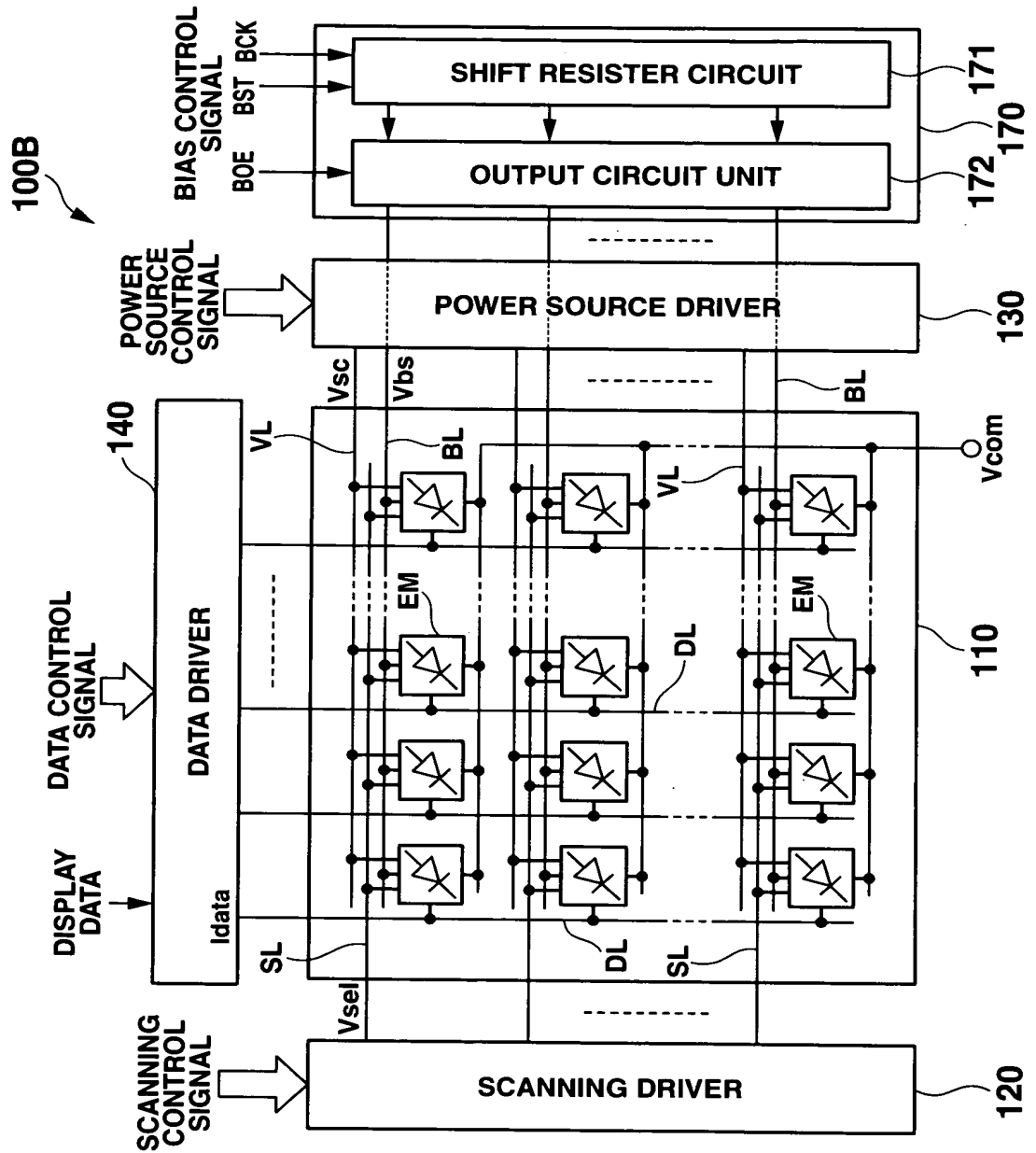


FIG.11

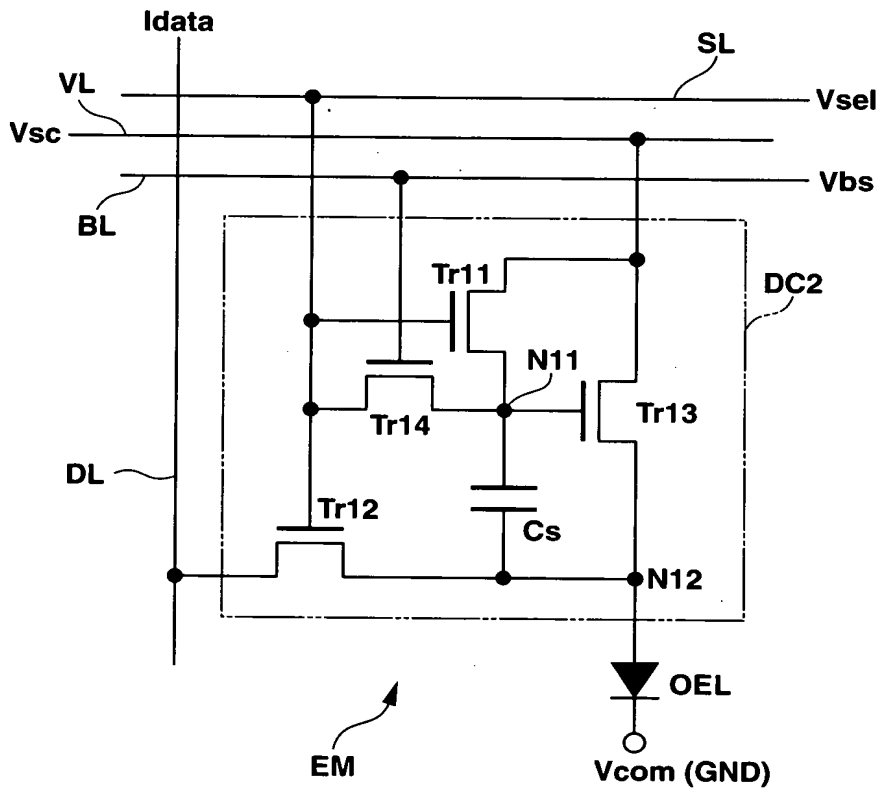


FIG.12

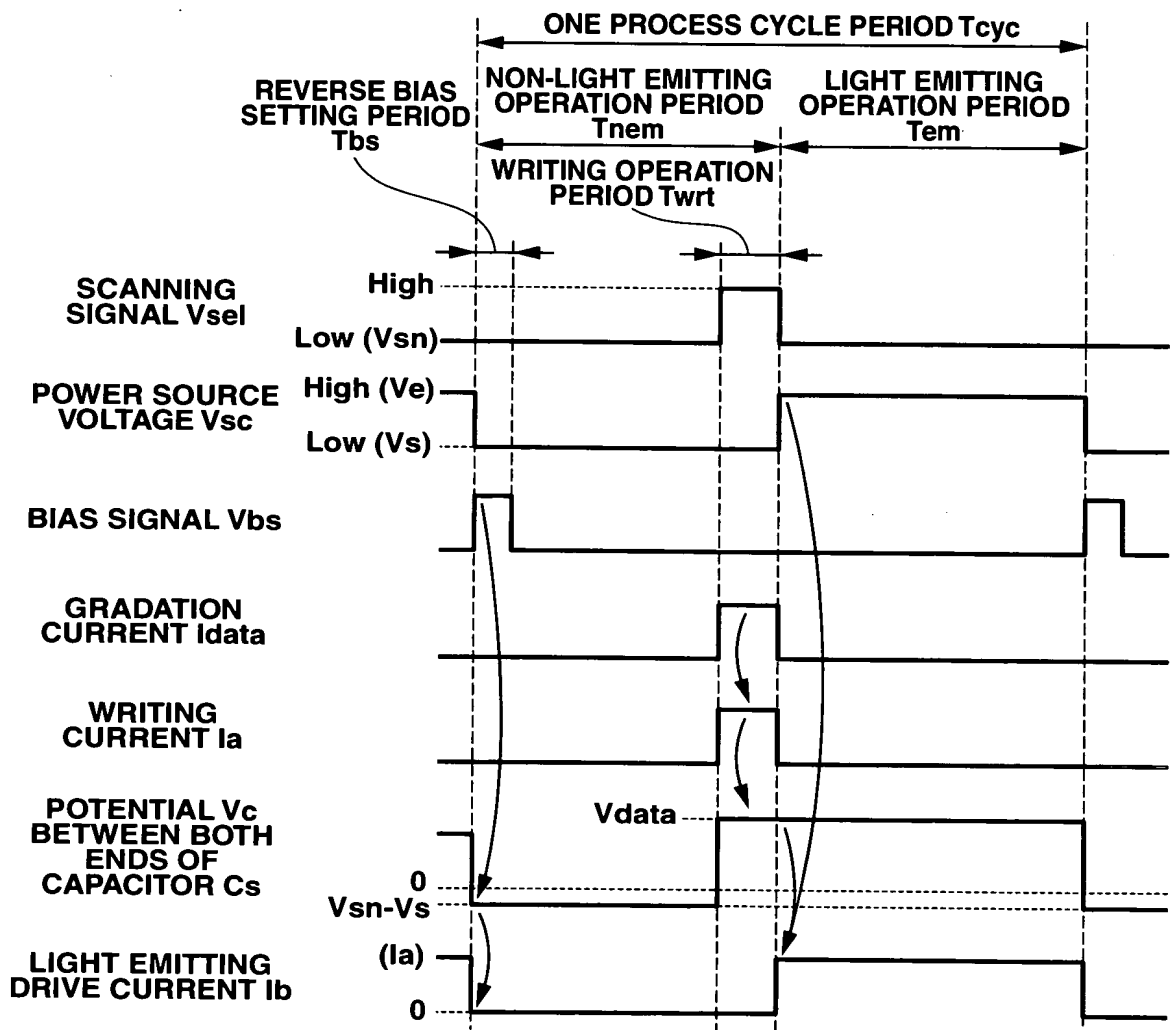


FIG.13A

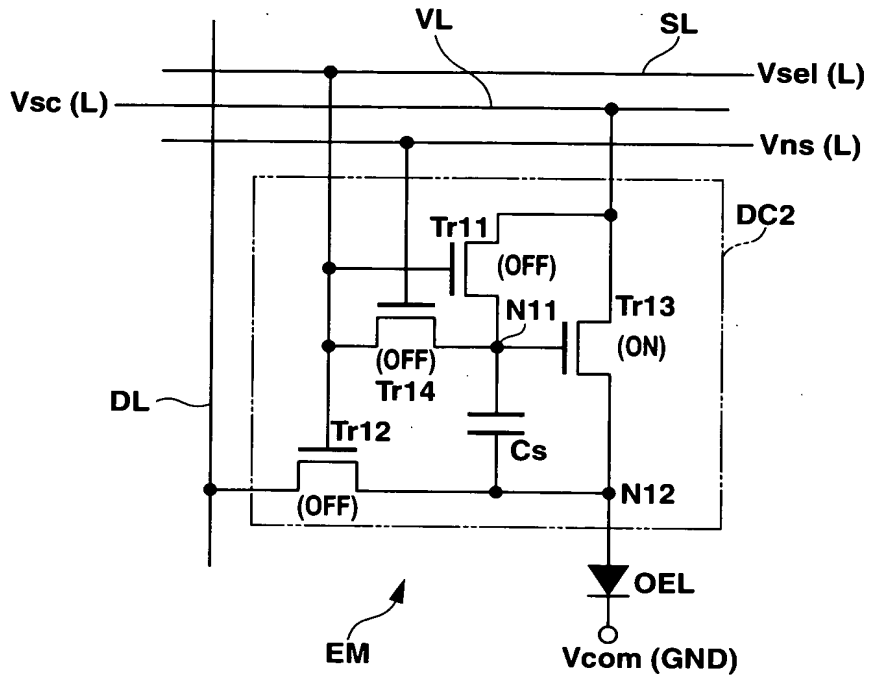


FIG.13B

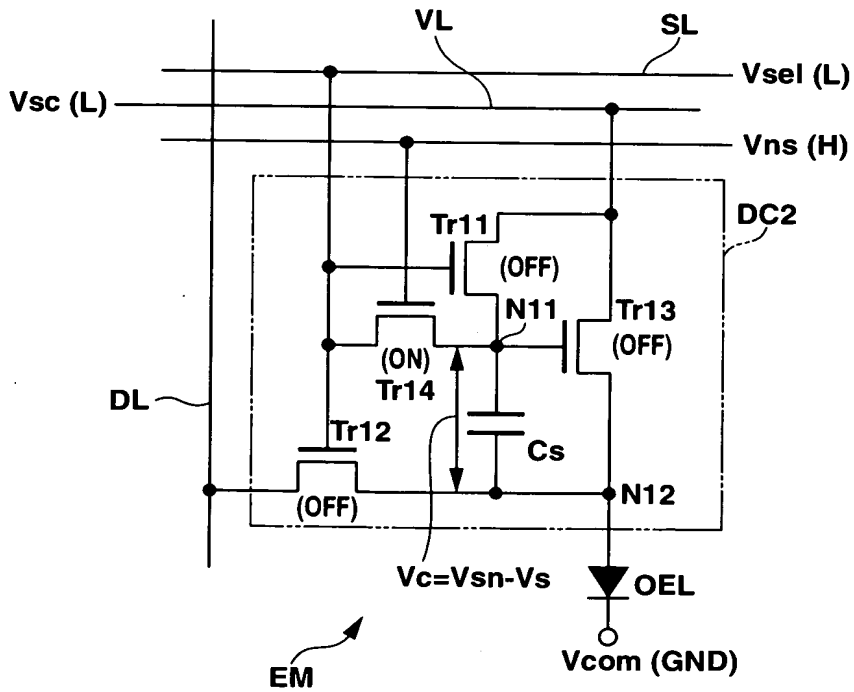


FIG.14A

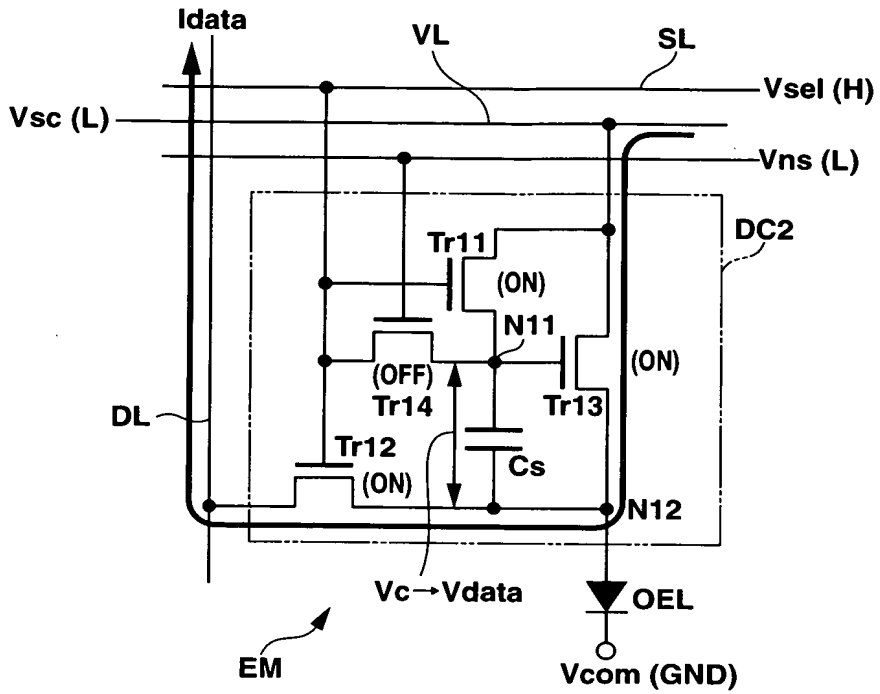


FIG.14B

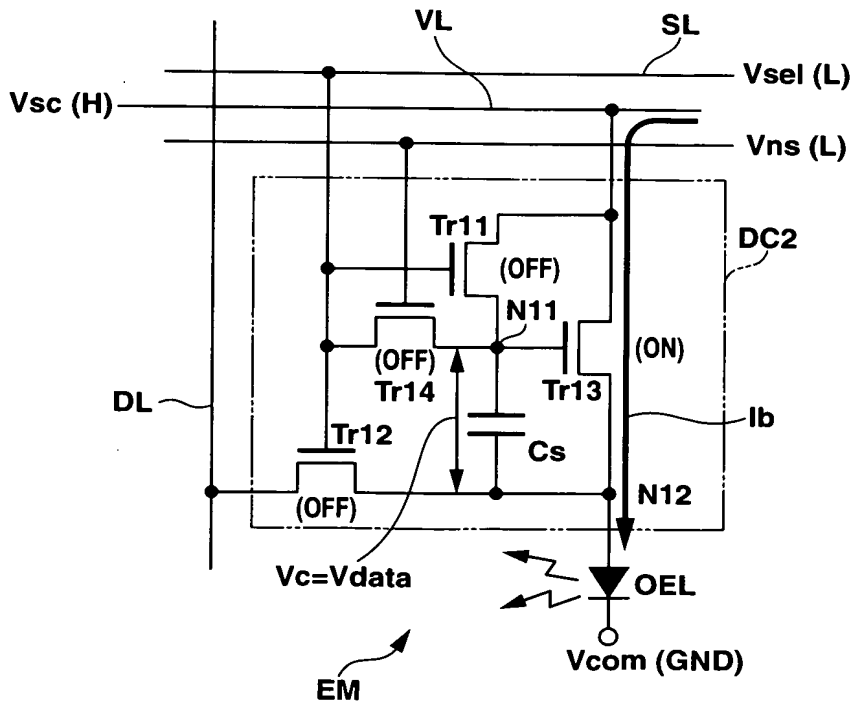


FIG.15

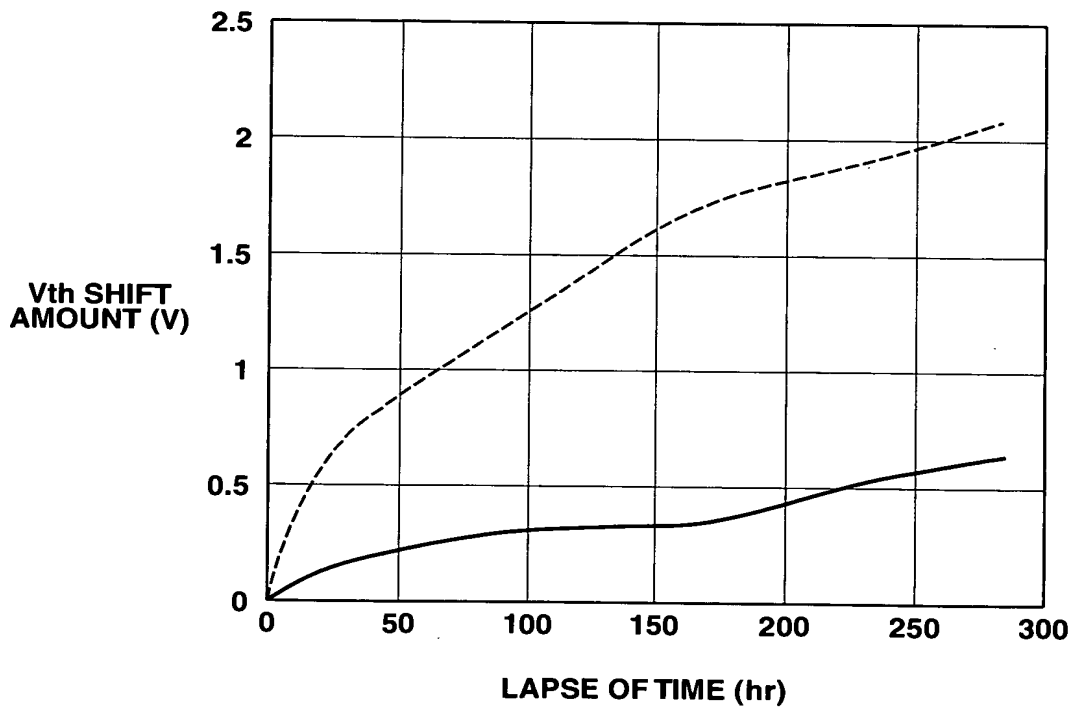


FIG. 16

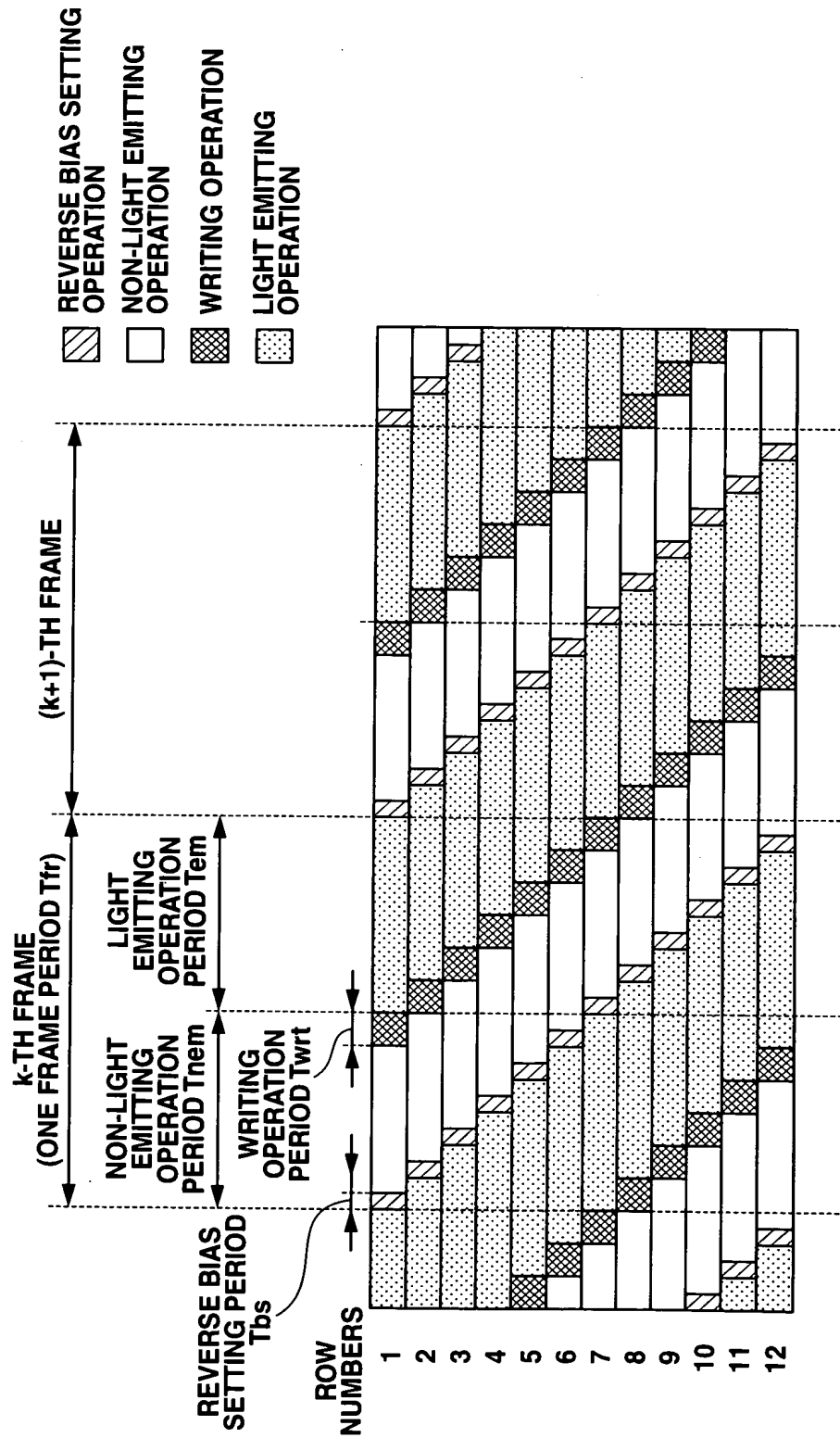


FIG.17

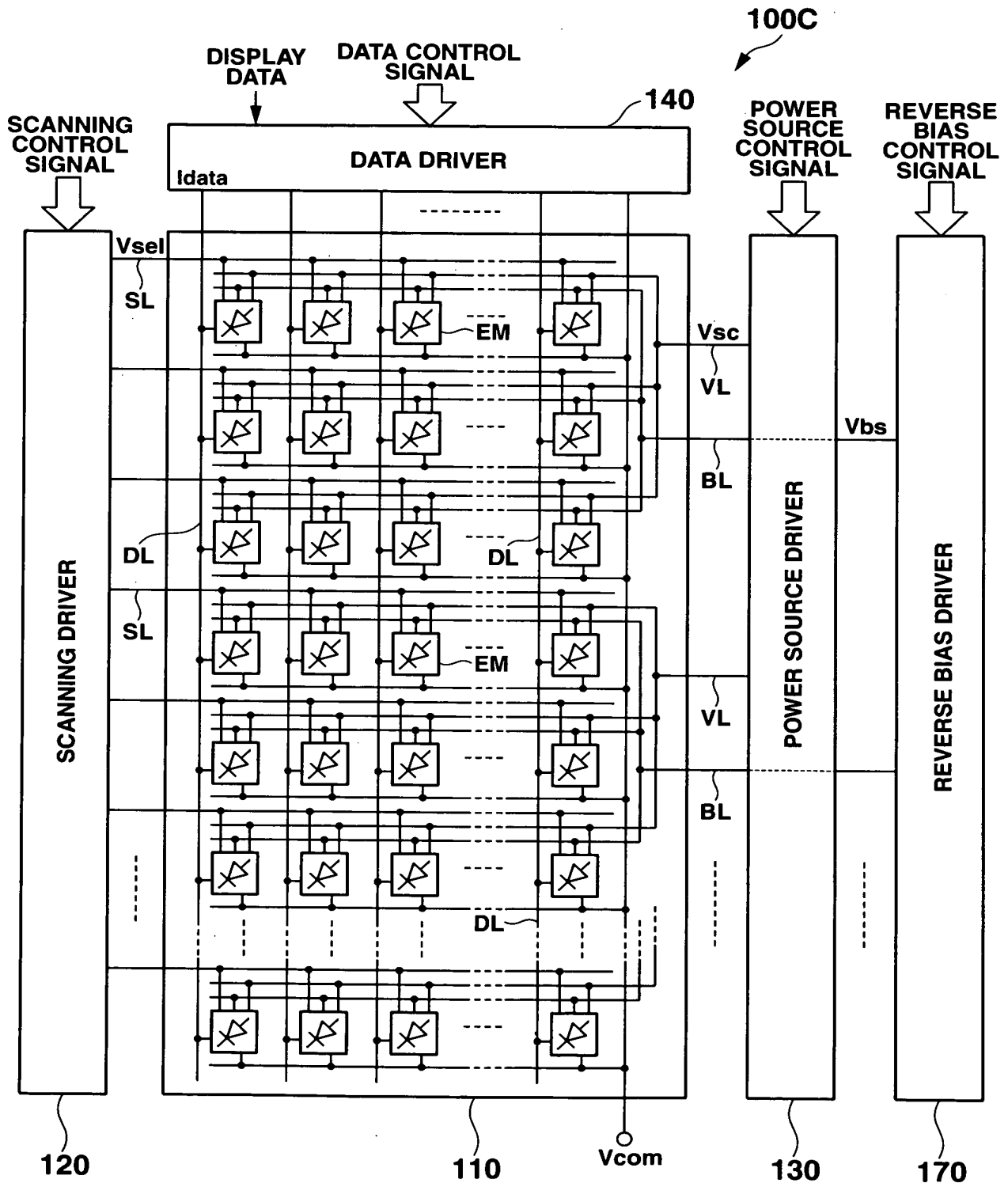


FIG.18

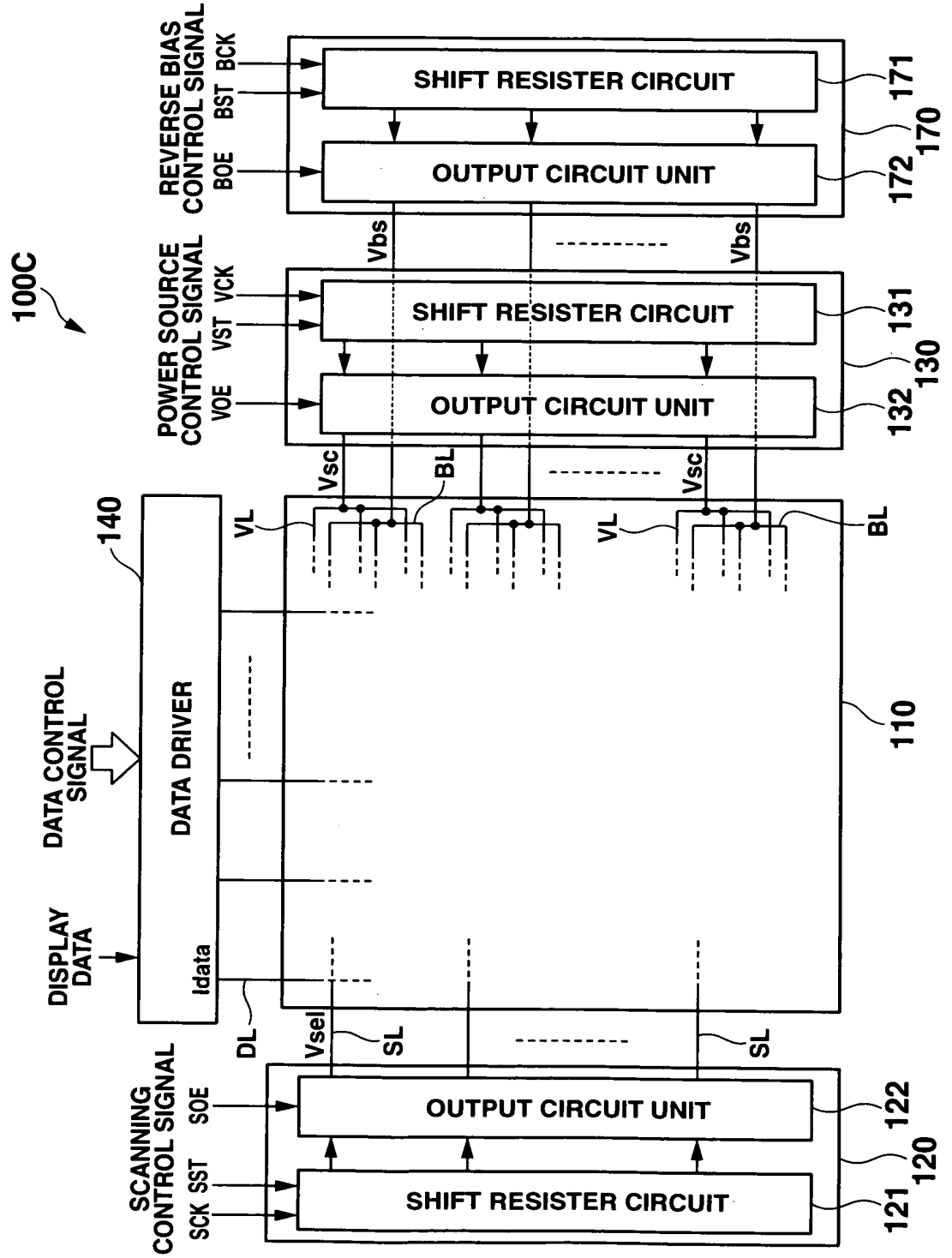


FIG. 19

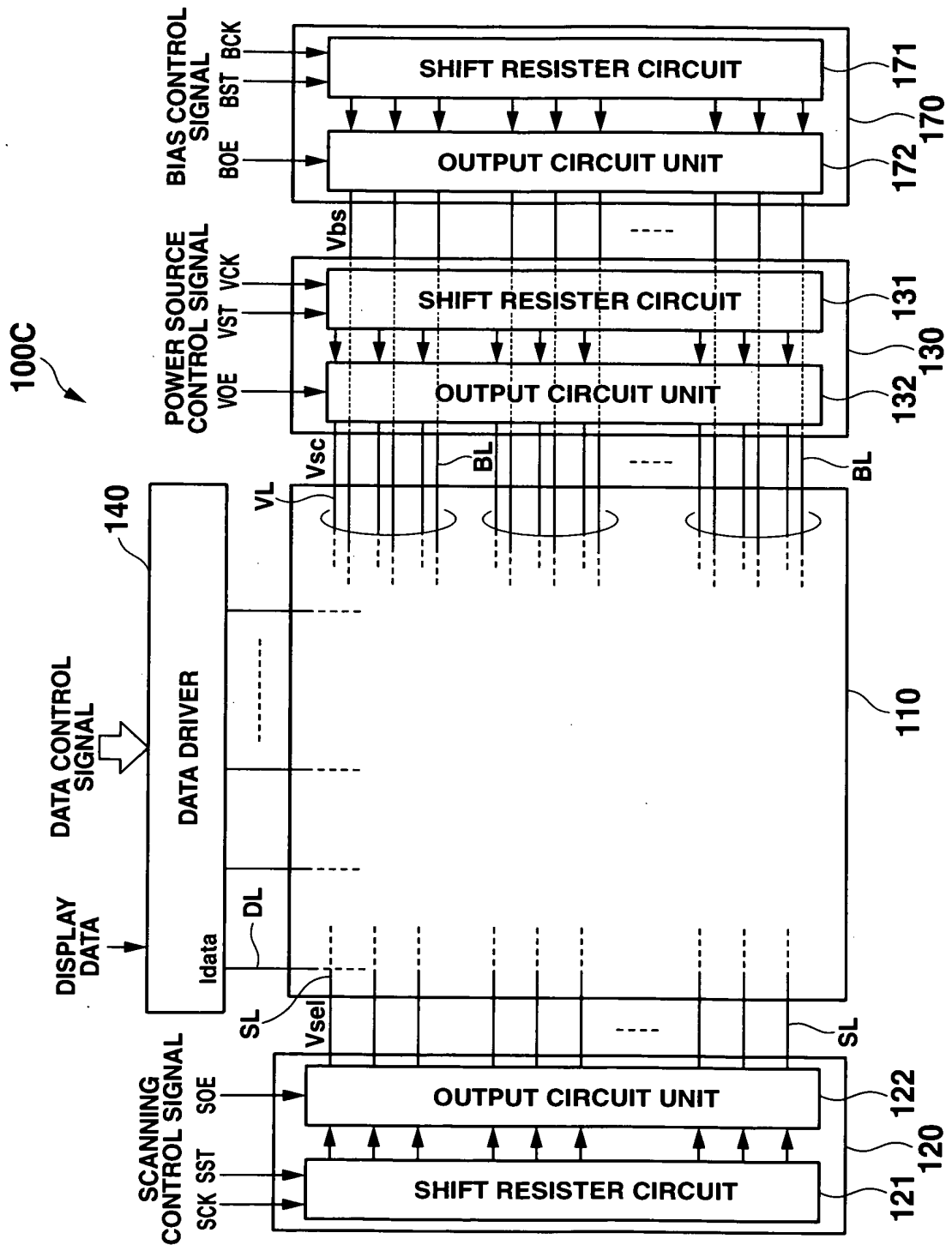


FIG. 20

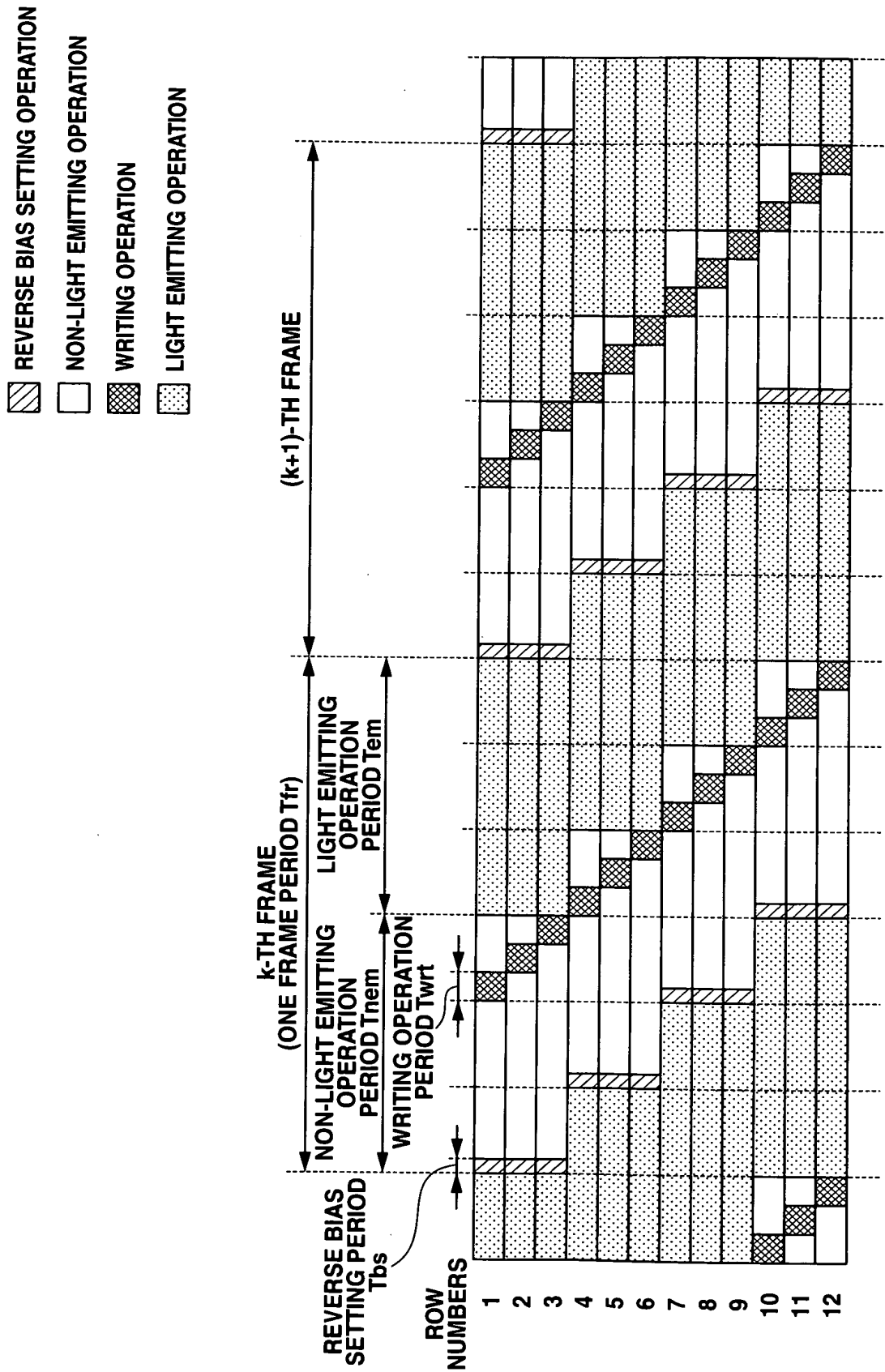




FIG. 21

-  REVERSE BIAS SETTING OPERATION
-  NON-LIGHT EMITTING OPERATION
-  WRITING OPERATION
-  LIGHT EMITTING OPERATION

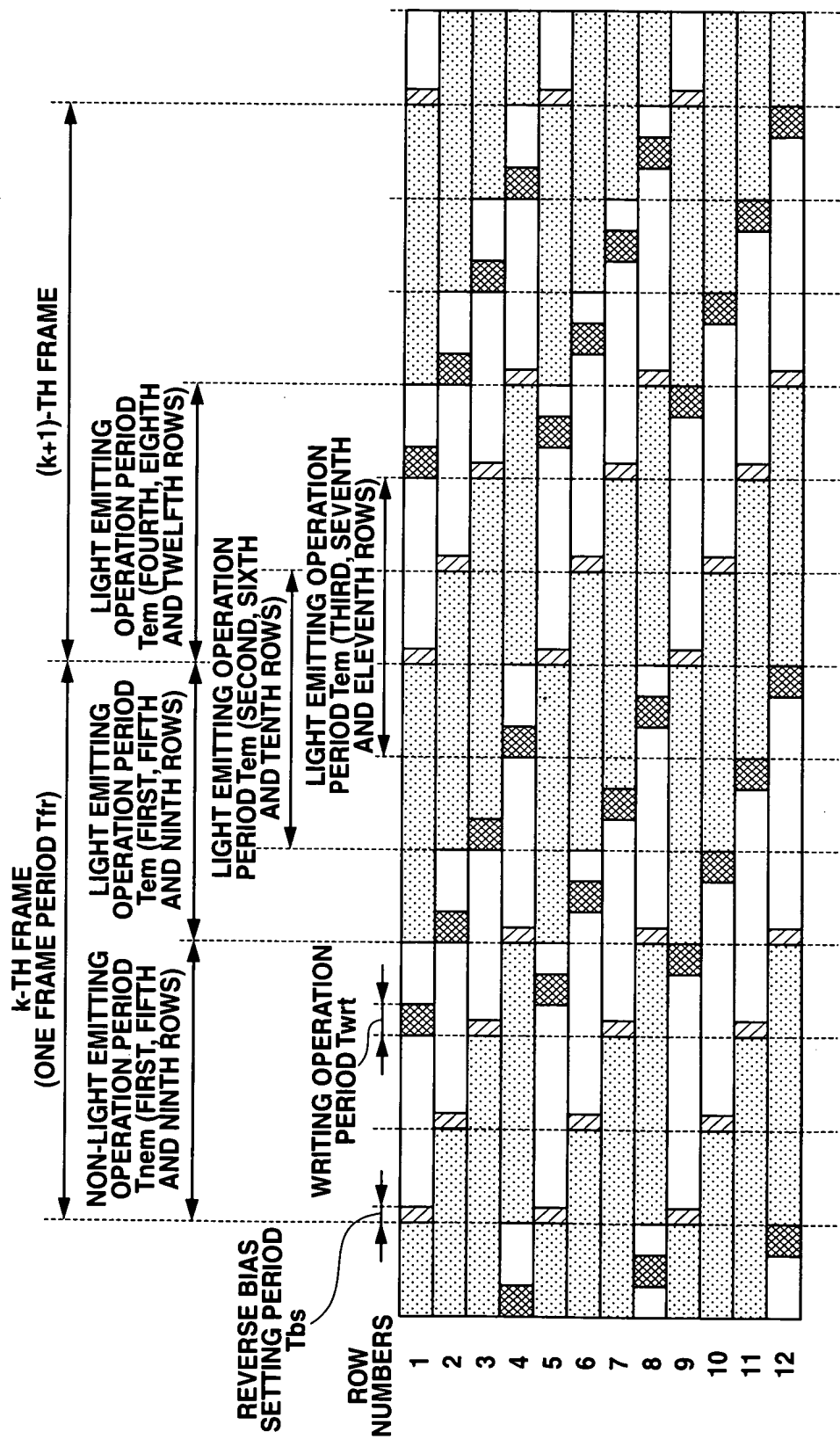


FIG.22

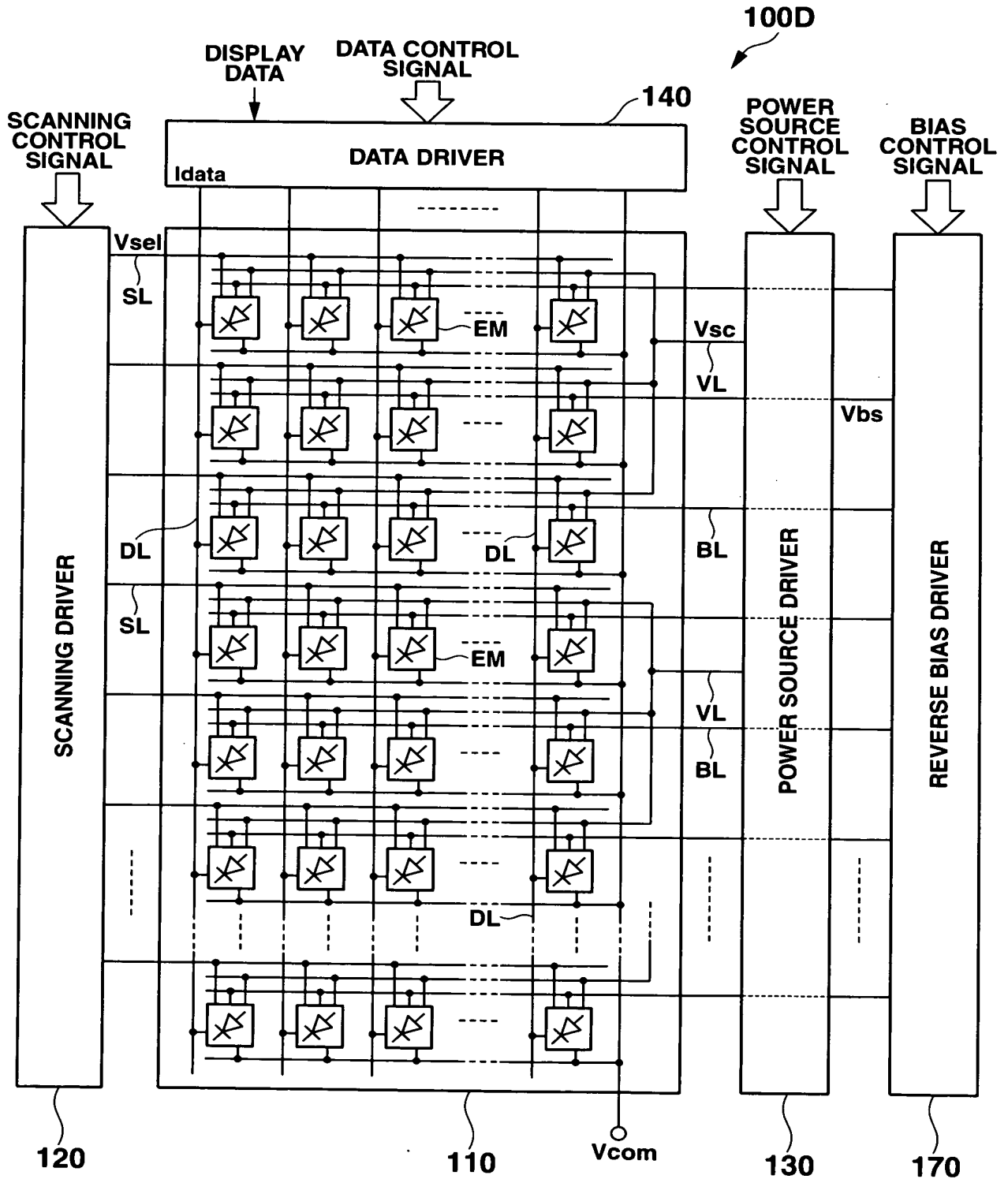






FIG. 23

-  REVERSE BIAS SETTING OPERATION
-  NON-LIGHT EMITTING OPERATION
-  WRITING OPERATION
-  LIGHT EMITTING OPERATION

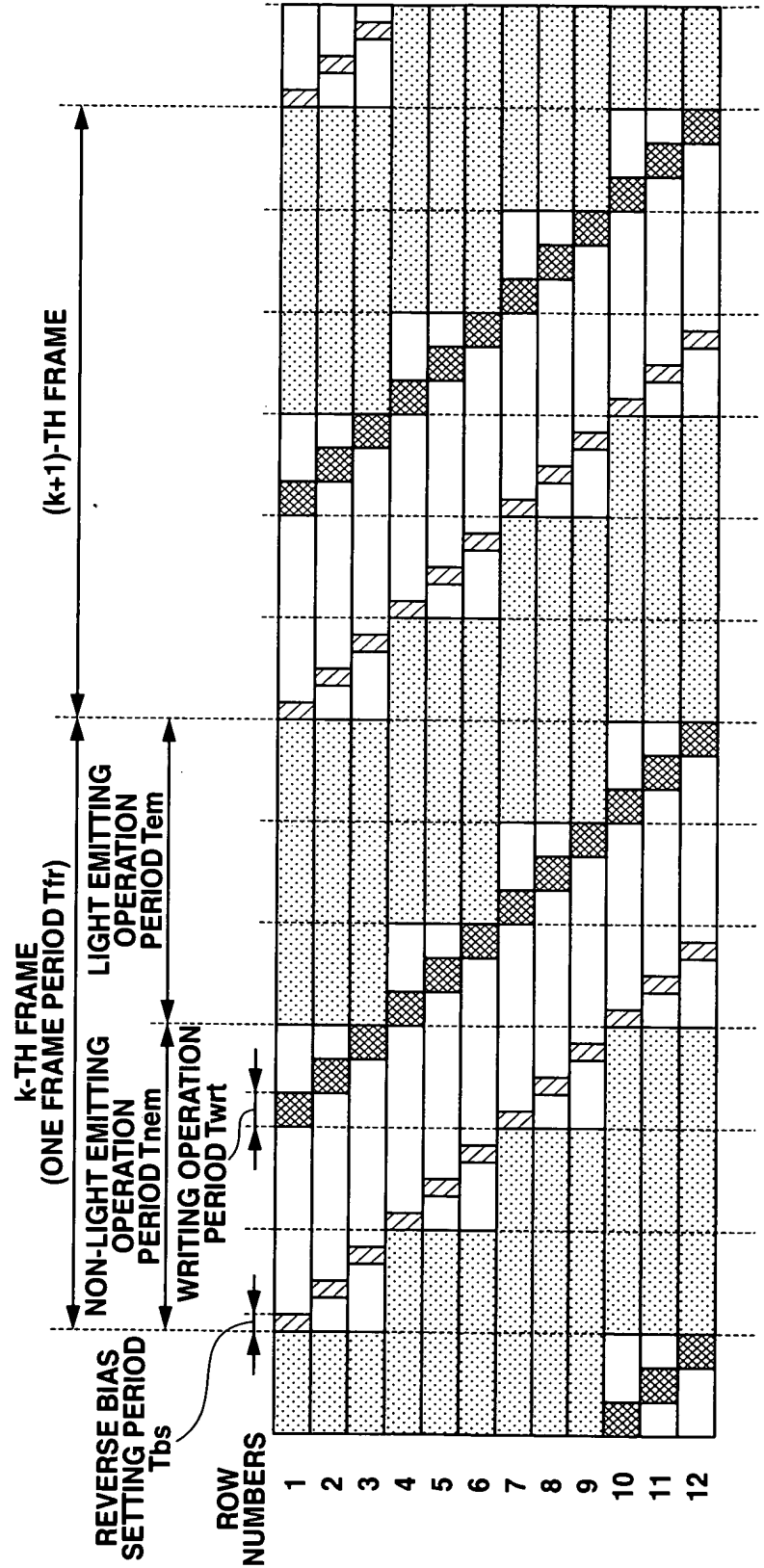






FIG. 24

-  REVERSE BIAS SETTING OPERATION
-  NON-LIGHT EMITTING OPERATION
-  WRITING OPERATION
-  LIGHT EMITTING OPERATION

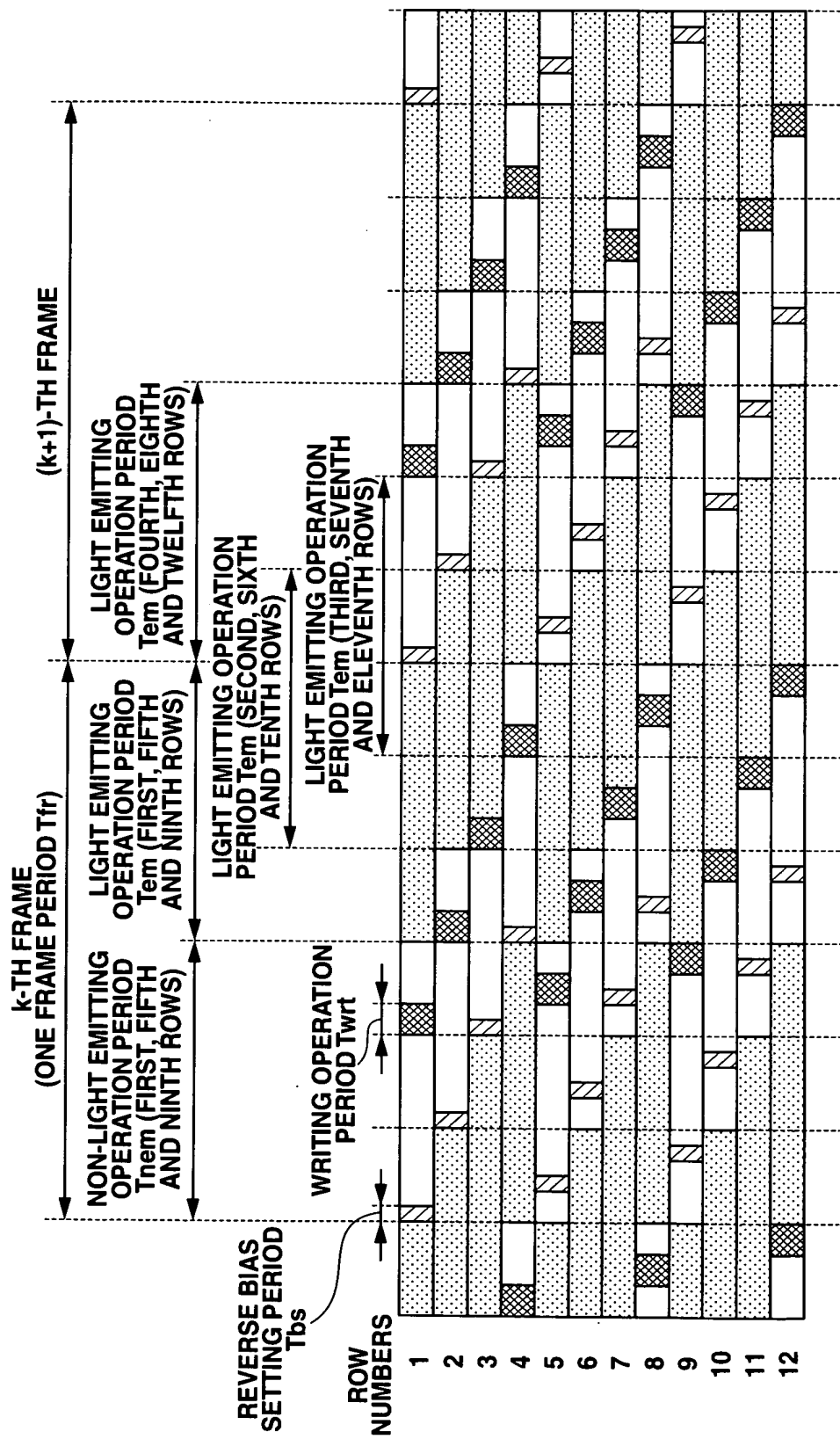


FIG.25
PRIOR ART

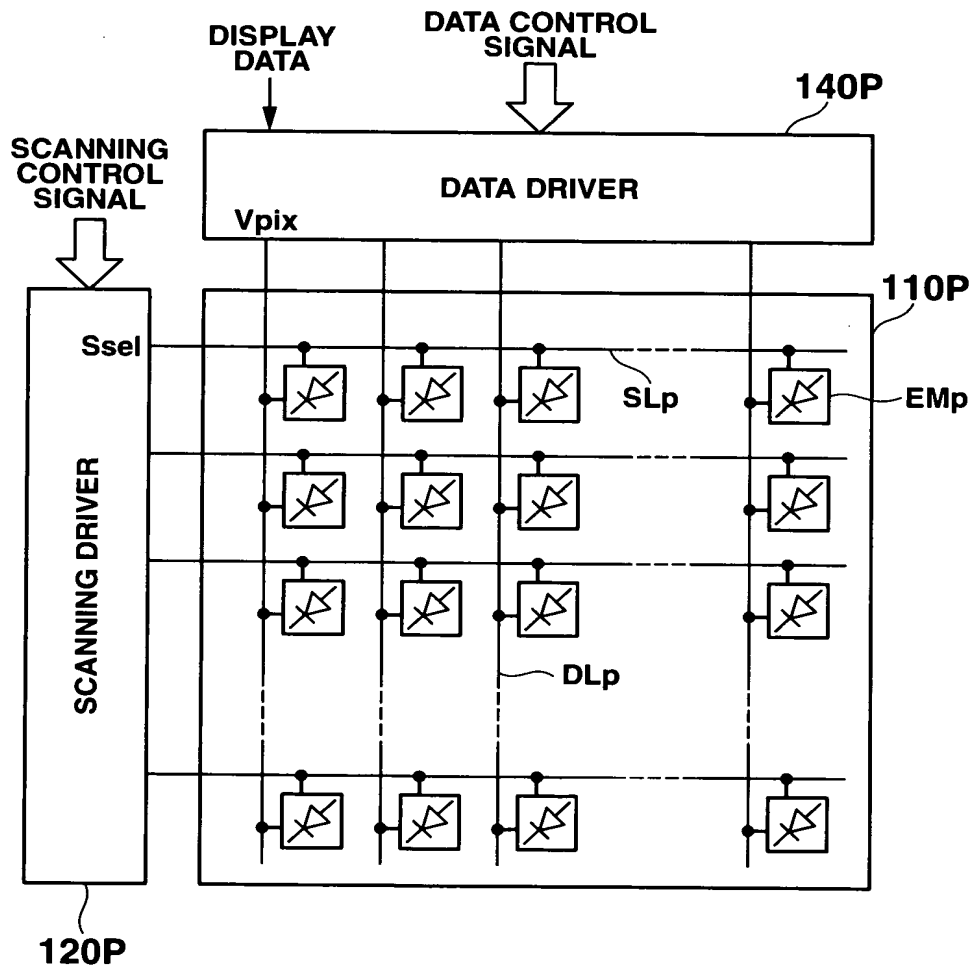


FIG.26
PRIOR ART

 IMAGE DATA WRITING OPERATION
 IMAGE DISPLAY OPERATION

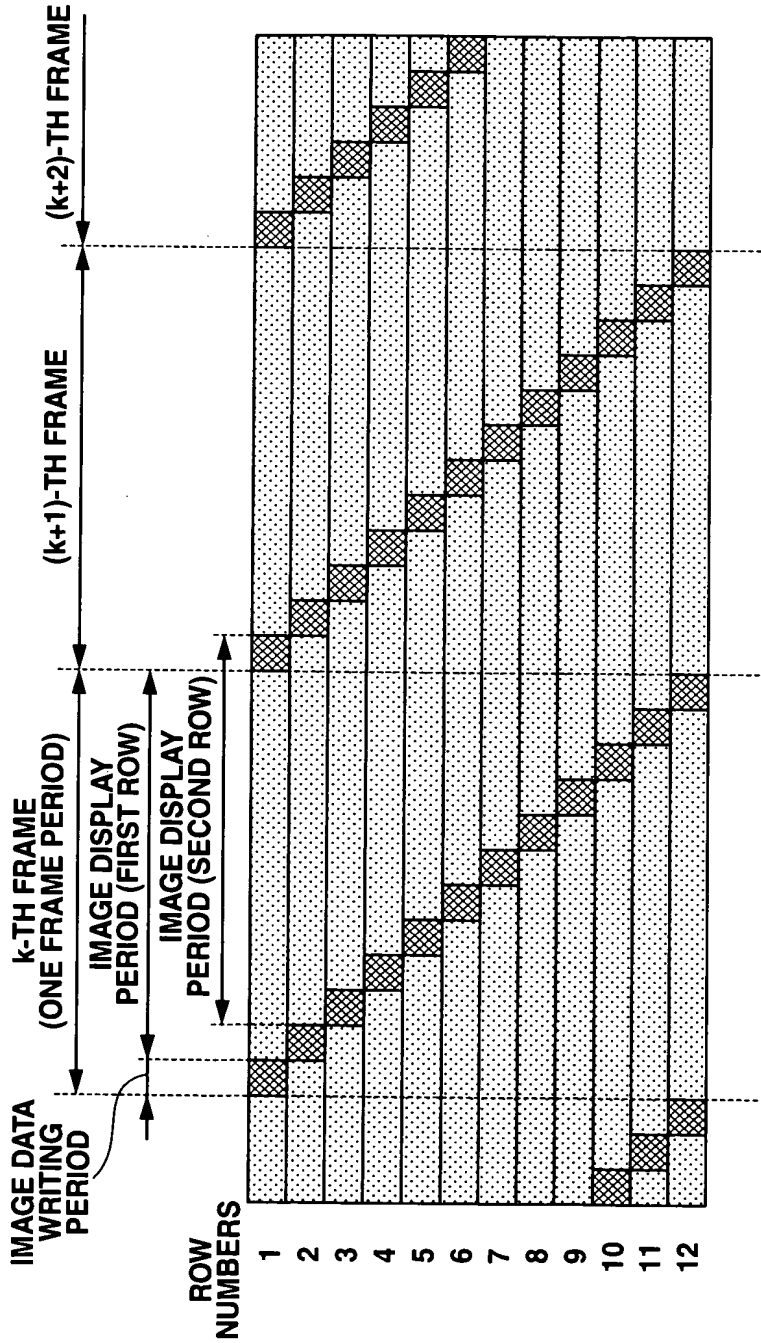




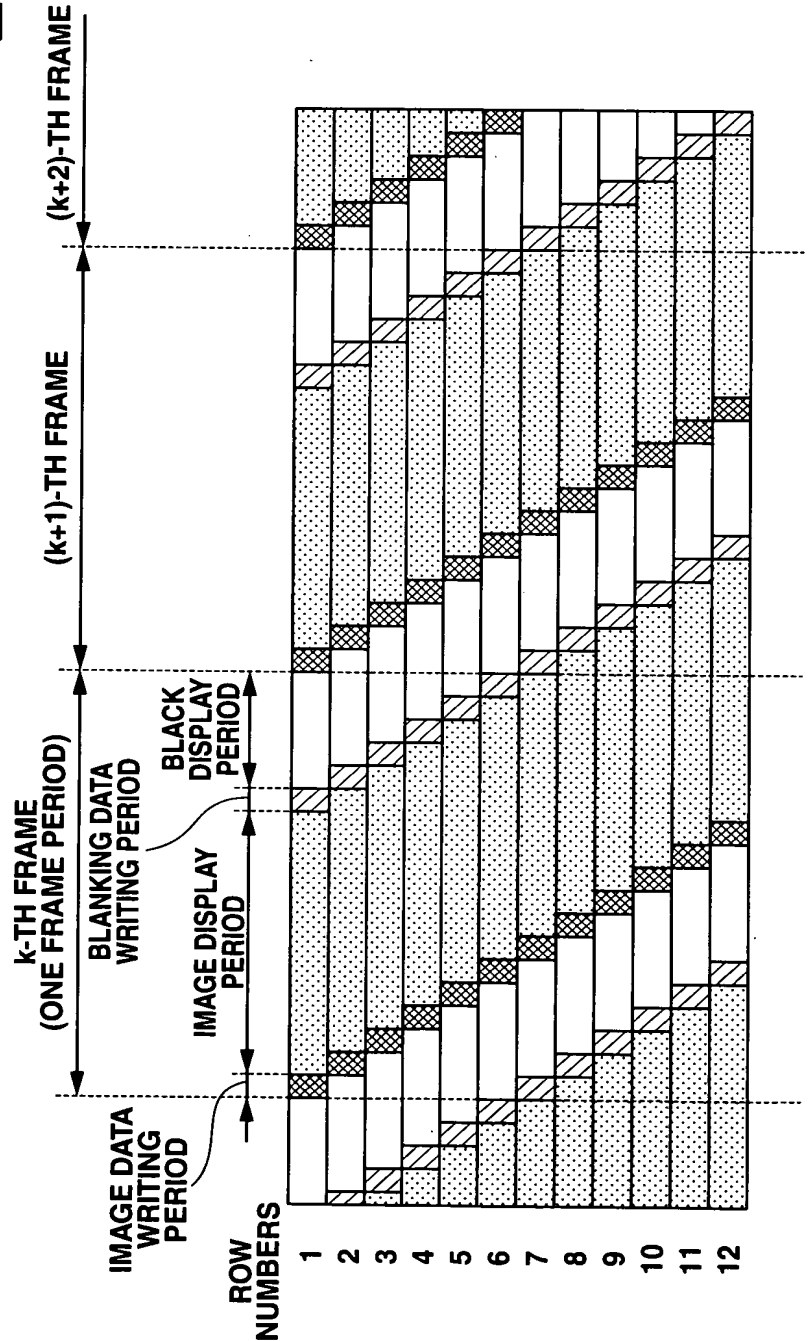


FIG. 27

PRIOR ART

-  IMAGE DATA WRITING OPERATION
-  IMAGE DISPLAY OPERATION
-  BLANKING DATA WRITING OPERATION
-  BLACK DISPLAY OPERATION



As a below named inventor, I declare that my residence, mailing address and citizenship are as stated above my name; I believe that I am the original, first and sole inventor (if only one name is listed below) or an original, first and joint inventor (if plural names are listed below) of the subject matter which is claimed and for which a patent is sought on the invention entitled:

DISPLAY APPARATUS AND DRIVE CONTROL METHOD THEREOF

the specification of which is attached hereto unless the following box is checked.

was filed on _____ as United States Application No.
or PCT International Application No.

and was amended on _____

I hereby state that I have reviewed and understand the contents of the above-identified specification, including the claims, as amended by any amendment referred to above.

I acknowledge the duty to disclose information which is material to patentability as defined in 37 CFR 1.56.

I hereby claim foreign priority benefits under 35 U.S.C. 119(a)-(d) or 365(b) of any foreign application(s) for patent or inventor's certificate, or 35 U.S.C. 365(a) of any PCT International application which designated at least one country other than the United States, listed below and have also identified below any foreign application for patent or inventor's certificate, or PCT International application having a filing date before that of the application on which priority is claimed:

Country	Category	Application Number	Filing Date	Priority Claim
Japan	Patent	2005-150566	May 24, 2005	Yes
Japan	Patent	2005-153382	May 26, 2005	Yes

I hereby appoint as my attorneys, with full power of substitution and revocation, to prosecute this application and transact all business in the Patent and Trademark Office connected therewith the practitioners at

Customer Number : 01933

of Frishauf, Holtz, Goodman & Chick, P.C.. Please address all correspondence and telephone communications to the address and telephone number for this Customer Number.

I hereby declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code and that such willful false statements may jeopardize the validity of the application or any patent issued thereon.

BEST AVAILABLE COPY

DECLARATION FOR PATENT APPLICATION

C2184P0601
(06S0076-1)

[1st Inventor]

Residence Address: Fuchu-shi, Japan

Mailing Address: c/o Intellectual Property Department, Casio Computer Co., Ltd., Hamura R&D Center,
2-1, Sakae-cho 3-chome, Hamura-shi, Tokyo 205-8555, Japan

Citizenship: Japan

Tsuyoshi Ozaki
Tsuyoshi Ozaki

MAY 15, 2006

Date:

[2nd Inventor]

Residence Address: Fussa-shi, Japan

Mailing Address: c/o Intellectual Property Department, Casio Computer Co., Ltd., Hamura R&D Center,
2-1, Sakae-cho 3-chome, Hamura-shi, Tokyo 205-8555, Japan

Citizenship: Japan

Jun Ogura
Jun Ogura

MAY 15, 2006

Date:

[3rd Inventor]

Residence Address:

Mailing Address:

Citizenship:

Date:

[4th Inventor]

Residence Address:

Mailing Address:

Citizenship:

Date:

[5th Inventor]

Residence Address:

Mailing Address:

Citizenship:

Date:

BEST AVAILABLE COPY

PATENT APPLICATION SERIAL NO. _____

U.S. DEPARTMENT OF COMMERCE
PATENT AND TRADEMARK OFFICE
FEE RECORD SHEET

05/25/2006 GWORDDF1 00000019 11438967

01 FC:1011	300.00	OP
02 FC:1081	250.00	OP
03 FC:1111	500.00	OP
04 FC:1311	200.00	OP
05 FC:1202	900.00	OP

PTO-1556
(5/87)

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD
 Substitute for Form PTO-875 Effective December 8, 2004

Application or Docket Number

17,438,967

APPLICATION AS FILED - PART I

FOR	(Column 1) NUMBER FILED	(Column 2) NUMBER EXTRA
BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A
SEARCH FEE (37 CFR 1.16(k), (l), or (m))	N/A	N/A
EXAMINATION FEE (37 CFR 1.16(q), (r), or (s))	N/A	N/A
TOTAL CLAIMS (37 CFR 1.16(i))	38	minus 20 = 18
INDEPENDENT CLAIMS (37 CFR 1.16(h))	2	minus 3 = 0
APPLICATION SIZE FEE (37 CFR 1.16(e))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is \$250 (\$125 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).	
MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))		

SMALL ENTITY OR

RATE (\$)	FEE (\$)
N/A	150.00
N/A	\$250
N/A	\$100
X\$ 25 =	
X100 =	
+180=	
TOTAL	

OTHER THAN SMALL ENTITY

RATE (\$)	FEE (\$)
N/A	300.00
N/A	\$500
N/A	\$200
X\$50 =	900
X200 =	
+360=	
TOTAL	2,150

* If the difference in column 1 is less than zero, enter "0" in column 2. 1

APPLICATION AS AMENDED - PART II

23

(Column 1) (Column 2) (Column 3)

AMENDMENT A	CLAIMS REMAINING AFTER AMENDMENT	HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA
Total (37 CFR 1.16(i))	Minus	**	=
Independent (37 CFR 1.16(h))	Minus	***	=
Application Size Fee (37 CFR 1.16(s))			
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))			

SMALL ENTITY OR

RATE (\$)	ADDITIONAL FEE (\$)
X\$ 25 =	
X100 =	
+180=	
TOTAL ADD'L FEE	

OTHER THAN SMALL ENTITY

RATE (\$)	ADDITIONAL FEE (\$)
X\$50 =	
X200 =	
+360=	
TOTAL ADD'L FEE	

(Column 1) (Column 2) (Column 3)

AMENDMENT B	CLAIMS REMAINING AFTER AMENDMENT	HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA
Total (37 CFR 1.16(i))	Minus	**	=
Independent (37 CFR 1.16(h))	Minus	***	=
Application Size Fee (37 CFR 1.16(s))			
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))			

SMALL ENTITY OR

RATE (\$)	ADDITIONAL FEE (\$)
X\$ 25 =	
X100 =	
+180=	
TOTAL ADD'L FEE	

OTHER THAN SMALL ENTITY

RATE (\$)	ADDITIONAL FEE (\$)
X\$50 =	
X200 =	
+360=	
TOTAL ADD'L FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.
 ** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".
 *** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".

The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 5 年 5 月 2 4 日
Date of Application:

出 願 番 号 特 願 2 0 0 5 - 1 5 0 5 6 6
Application Number:

パリ条約による外国への出願に用いる優先権の主張の基礎となる出願の国コードと出願番号
The country code and number of your priority application, which may be used for filing abroad under the Paris Convention, is

J P 2 0 0 5 - 1 5 0 5 6 6

願 人 カシオ計算機株式会社
Applicant(s):

CERTIFIED COPY OF
PRIORITY DOCUMENT

2 0 0 6 年 3 月 3 日

特許庁長官
Commissioner,
Japan Patent Office

中 嶋



BEST AVAILABLE COPY

出証番号 出証特 2 0 0 6 - 3 0 1 5 1 2 4

【書類名】 特許願
【整理番号】 05-0158-00
【あて先】 特許庁長官 殿
【国際特許分類】 H04N 01/387
G09G 03/00
G09G 03/20
G09G 03/30

【発明者】
【住所又は居所】 東京都八王子市石川町 2951 番地の 5
カシオ計算機株式会社 八王子技術センター内
【氏名】 尾崎 剛

【特許出願人】
【識別番号】 000001443
【氏名又は名称】 カシオ計算機株式会社
【代表者】 樫尾 和雄

【代理人】
【識別番号】 100096699
【弁理士】
【氏名又は名称】 鹿嶋 英實

【手数料の表示】
【予納台帳番号】 021267
【納付金額】 16,000円

【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9600683

【書類名】 特許請求の範囲**【請求項 1】**

行方向に配設され複数の走査ライン及び列方向に配設された複数のデータラインの各交点近傍に、複数の表示画素が配列された表示パネルを有する表示装置において、

所定のタイミングで前記表示パネルの各行ごとの前記表示画素に走査信号を順次印加して、選択状態に設定する走査駆動部と、

所望の画像情報を表示するための表示データに応じた階調信号を生成し、前記選択状態に設定された行の前記表示画素に順次供給するデータ駆動部と、

前記表示パネルの各行ごとの前記表示画素に、前記データ駆動部から供給された前記階調信号に基づいて前記表示データに応じたバイアス状態で表示動作させるための電源電圧を印加する電源駆動部と、

タイミング制御信号を供給することにより、前記走査駆動部及び前記データ駆動部、前記電源駆動部の各々を所定のタイミングで動作させ、少なくとも、前記各行ごとの前記表示画素を、前記表示データに応じたバイアス状態で表示動作させる期間以外の期間に、前記電源駆動部による当該行の前記表示画素への前記電源電圧の印加を遮断して非表示動作させる駆動制御部と、

を備えていることを特徴とする表示装置。

【請求項 2】

前記駆動制御部は、前記各行の前記表示画素への前記電源電圧の印加を遮断して非表示動作させる期間中に、当該行の前記表示画素に前記データ駆動部から前記階調信号を供給する前記タイミング制御信号を生成する手段を有していることを特徴とする請求項 1 記載の表示装置。

【請求項 3】

前記表示装置は、前記表示パネルの各行ごとの前記表示画素に、前記階調信号に基づいて前記各行の前記表示画素に設定された、前記表示データに応じたバイアス状態を解消して特定のバイアス状態に設定するための設定信号を印加する状態設定制御部を、さらに備えていることを特徴とする請求項 1 又は 2 記載の表示装置。

【請求項 4】

前記駆動制御部は、前記各行の前記表示画素への前記電源電圧の印加を遮断して非表示動作させる期間中に、当該行の前記表示画素に前記状態設定制御部から前記設定信号を供給する前記タイミング制御信号を生成する手段を有していることを特徴とする請求項 3 記載の表示装置。

【請求項 5】

前記各表示画素は、発光素子と、前記発光素子の発光動作を制御する発光駆動回路と、を備え、

前記発光駆動回路は、少なくとも、前記階調信号に基づく電荷を蓄積する電荷蓄積手段と、前記電荷蓄積手段に蓄積された電荷量に応じた順バイアス電圧に基づいて所定の電流値を有する発光駆動電流を生成し、前記発光素子に供給する発光制御手段と、前記電荷蓄積手段への前記階調信号に基づく電荷の供給状態を制御する書込制御手段と、を備えていることを特徴とする請求項 1 乃至 4 のいずれかに記載の表示装置。

【請求項 6】

前記各表示画素に設けられる前記発光制御手段は、一端が前記電源ラインに接続され、他端が前記発光素子に接続されて、前記発光駆動電流を流す導通路と、前記電荷蓄積手段に接続され、前記導通路の導通状態を制御して前記発光素子への前記発光駆動電流の供給状態を制御する制御端子を備えていることを特徴とする請求項 5 記載の表示装置。

【請求項 7】

前記各表示画素に設けられる前記書込制御手段は、一端が前記階調信号が供給される前記データラインに接続され、他端が前記電荷蓄積手段を介して前記発光制御手段の前記制御端子に接続された導通路と、前記走査信号が印加される前記走査ラインに接続され、前記電荷蓄積手段への前記階調信号に基づく電荷の供給状態を制御する制御端子を備えている

ことを特徴とする請求項 6 記載の表示装置。

【請求項 8】

前記発光駆動回路は、少なくとも、導通路の一端に前記電源電圧が印加され、該導通路の他端に前記発光素子との接続接点が接続された第 1 のスイッチ手段と、制御端子が前記走査ラインに接続され、導通路の一端に前記電源電圧が印加され、該導通路の他端に前記第 1 のスイッチ手段の制御端子が接続された第 2 のスイッチ手段と、制御端子が前記走査ラインに接続され、導通路の一端に前記データラインが接続され、該導通路の他端に前記接続接点が接続された第 3 のスイッチ手段と、前記第 1 のスイッチ手段の制御端子と前記接続接点との間に接続された容量素子と、を備え、

前記発光制御手段は、前記第 1 のスイッチ手段を含んで構成され、前記電荷蓄積手段は、前記容量素子を含んで構成されていることを特徴とする請求項 5 乃至 7 のいずれかに記載の表示装置。

【請求項 9】

前記発光駆動回路は、前記電荷蓄積手段に蓄積された電荷を放電して、前記発光制御手段に無電圧、又は、逆バイアス電圧を印加するバイアス制御手段を、さらに備えていることを特徴とする請求項 5 乃至 8 のいずれかに記載の表示装置。

【請求項 10】

前記各表示画素に設けられる前記バイアス制御手段は、一端が前記走査信号が供給される走査ラインに接続され、他端が前記発光制御手段の前記制御端子に接続されて、所定の信号レベルの前記走査信号を前記発光制御手段の前記制御端子に印加する導通路と、前記設定信号が印加されるバイアスラインに接続され、前記電荷蓄積手段に蓄積された電荷の放電状態を制御する制御端子を備えていることを特徴とする請求項 9 記載の表示装置。

【請求項 11】

前記発光駆動回路は、制御端子が前記バイアスラインに接続され、導通路の一端が前記走査ラインに接続され、該導通路の他端に前記第 1 のスイッチ手段の制御端子が接続された第 4 のスイッチ手段を、さらに備え、

前記バイアス制御手段は、前記第 4 のスイッチ手段を含んで構成されていることを特徴とする請求項 9 又は 10 記載の表示装置。

【請求項 12】

少なくとも前記発光駆動回路に設けられる前記発光制御手段は、アモルファスシリコン薄膜トランジスタにより構成されていることを特徴とする請求項 5 乃至 11 のいずれかに記載の表示装置。

【請求項 13】

前記データ駆動部は、前記階調信号として、前記発光素子を所定の輝度階調で発光動作させるための所定の電流値を有する階調電流を生成する手段を備えていることを特徴とする請求項 5 乃至 12 のいずれかに記載の表示装置。

【請求項 14】

前記発光素子は、有機エレクトロルミネッセンス素子であることを特徴とする請求項 5 乃至 13 のいずれかに記載の表示装置。

【請求項 15】

行方向に配設され複数の走査ライン及び列方向に配設された複数のデータラインの各交点近傍に、複数の表示画素が配列された表示パネルを有し、所定のタイミングで前記表示パネルの各行ごとの前記表示画素に走査信号を順次印加して、選択状態に設定するタイミングに同期して、所望の画像情報を表示するための表示データに応じた階調信号を供給することにより、前記表示画素を前記表示データに応じたバイアス状態で表示動作させて、前記表示パネルに前記所望の画像情報を表示する表示装置の表示駆動方法において、

前記表示パネルに配列された各行ごとの前記表示画素を順次選択状態に設定して前記階調信号を供給するステップと、

前記階調信号が供給された前記各行の前記表示画素を、前記表示データに応じたバイアス状態で順次表示動作させるステップと、

前記各行ごとの前記表示画素に前記階調信号を供給するステップを実行する期間を含む期間に、前記各行ごとの前記表示画素を前記表示データに応じたバイアス状態で表示動作させるための電源電圧の印加を遮断して非表示動作させるステップと、を含むことを特徴とする表示装置の表示駆動方法。

【請求項 16】

前記各表示画素は、表示駆動手段を備え、

前記各行の前記表示画素を前記表示データに応じたバイアス状態で表示動作させるステップは、前記表示駆動手段に前記階調信号に応じた順バイアス電圧を印加することにより実行されることを特徴とする請求項 15 記載の表示装置の表示駆動方法。

【請求項 17】

前記各行ごとの前記表示画素を非表示動作させるステップを実行する期間中に、前記各行の前記表示画素に設定された、前記表示データに応じたバイアス状態を解消して特定のバイアス状態に設定するステップを、さらに含むことを特徴とする請求項 15 又は 16 記載の表示装置の表示駆動方法。

【請求項 18】

前記各行の前記表示画素に設定された、前記表示データに応じたバイアス状態を解消して特定のバイアス状態に設定するステップは、前記表示駆動手段に無電圧、又は、逆バイアス電圧を印加することにより実行されることを特徴とする請求項 17 記載の表示装置の表示駆動方法。

【請求項 19】

前記各表示画素は、発光素子を備え、

前記各行の前記表示画素を前記表示データに応じたバイアス状態で表示動作させるステップは、前記各表示画素の前記発光素子を前記表示データに応じた輝度階調で発光動作させることを特徴とする請求項 15 乃至 18 のいずれかに記載の表示装置の表示駆動方法。

【請求項 20】

前記各行の前記表示画素に前記階調信号を供給するステップは、前記階調信号として、前記発光素子を所定の輝度階調で発光動作させるための所定の電流値を有する階調電流を供給することを特徴とする請求項 19 記載の表示装置の表示駆動方法。

【書類名】明細書

【発明の名称】表示装置及びその表示駆動方法

【技術分野】

【0001】

本発明は、表示装置及びその表示駆動方法に関し、特に、アクティブマトリックス型の駆動方式に対応した表示パネルを備えた表示装置及びその表示駆動方法に関する。

【背景技術】

【0002】

近年、パーソナルコンピュータや映像機器のモニターやディスプレイとして、薄型軽量で低消費電力の表示デバイスの普及が著しい。特に、液晶表示装置（LCD）は、近年普及が著しい携帯電話やデジタルカメラ、携帯情報端末（PDA）、電子辞書等の携帯機器（モバイル機器）の表示デバイスとして広く適用されている。

【0003】

また、このような液晶表示装置に続く次世代の表示デバイスとして、有機エレクトロルミネッセンス素子（有機EL素子）や無機エレクトロルミネッセンス素子（無機EL素子）、あるいは、発光ダイオード（LED）等のような自己発光型の光学要素（発光素子）を、マトリクス状に配列した表示パネルを備えた発光素子型の表示装置の本格的な普及に向けた研究開発も盛んに行われている。

【0004】

特に、アクティブマトリックス型の駆動方式を適用した発光素子型の表示装置においては、液晶表示装置に比較して、表示応答速度が速く、また、視野角依存性もなく、高輝度・高コントラスト化、表示画質の高精細化等が可能であるとともに、液晶表示装置のようにバックライトを必要としないので、一層の薄型軽量化や低消費電力化が可能である、という携帯機器への適用に極めて優位な特徴を有している。

【0005】

ここで、液晶表示装置や発光素子型の表示装置における駆動制御方法について、図面を参照して簡単に説明する。

図16は、従来技術におけるアクティブマトリックス型の表示装置の要部を示す概略構成図である。また、図17は、従来技術におけるアクティブマトリックス型の表示装置の表示駆動方法の一例（ホールド型）を模式的に示したタイミングチャートであり、図18は、従来技術におけるアクティブマトリックス型の表示装置の表示駆動方法の他の例（擬似インパルス型）を模式的に示したタイミングチャートである。ここで、図17及び図18においては、後述する実施形態との比較のために、便宜的に表示パネルに12行（第1行～第12行）の表示画素が配列された構成を有する場合について、その表示駆動方法を示した。図中、 k は正の整数である。なお、各行における映像データの書込動作及び表示動作、ブランキングデータの書込動作及び表示動作を明確にするため、便宜的にハッチングを施して示した。

【0006】

まず、旧来の陰極線管（CRT）を適用した表示装置においては、周知のように、電子ビームを陰極線管内部で偏向させて、蛍光面（スクリーン）を照射しつつ走査することにより、1フレーム期間のうち、僅かな時間だけ発光動作させ、次のフレーム期間において再び電子ビームが照射されるまで、何も表示（発光）しない、インパルス型の表示駆動制御が実行される。

【0007】

これによれば、前のフレーム期間における画像情報が消えた後に次のフレーム期間の画像情報が表示されるので、動画像の表示動作において残像が視認されにくくなり、良好な表示画質を実現することができる反面、動きのない静止画像の表示動作においてはちらつきが生じやすいという問題を有している。

【0008】

一方、液晶表示装置や発光素子型の表示装置のようなアクティブマトリックス型の表示

装置は、一般に、図16に示すように、行、列方向に配設された複数の走査ラインSLP及びデータラインDLPの各交点近傍に、複数の表示画素EMPが2次元配列された表示パネル110Pと、各走査ラインSLPに接続された走査ドライバ120Pと、各データラインDLPに接続されたデータドライバ130Pと、を備えた構成を有している。

【0009】

このような構成を有する表示装置における表示駆動制御は、例えば、図17に示すように、まず、走査ドライバ120Pから各行の走査ラインSLPに選択レベルの走査信号Sselを順次印加することにより、行ごとの表示画素EMPを順次選択状態に設定し、各行の選択タイミングに同期して、データドライバ130Pから当該行の映像データ（表示データ）に応じた階調電圧Vpixを各列のデータラインDLPに印加することにより、各表示画素EMPに階調電圧Vpixに基づく電圧成分が保持される（映像データが書き込まれる；映像データ書込動作）。

【0010】

これにより、各表示画素EMPにおいて上記電圧成分に応じた階調制御が行われる（具体的には、液晶表示装置においては液晶分子の配向状態が制御され、発光素子型の表示装置においては、発光素子の発光輝度が制御される）ことにより、上記映像データに応じた表示動作（発光動作）が実行され、表示パネルに所望の画像情報が表示される。

【0011】

次いで、走査ドライバ120Pから走査ラインSLPに非選択レベルの走査信号Sselを順次印加することにより、行ごとの表示画素EMPが非選択状態に設定されるが、このとき、各表示画素に書き込まれた映像データ（電圧成分）が保持されることにより、上記映像データに応じた表示動作が継続される（映像表示動作）。この表示動作は、次の映像データが各行の表示画素EMPに書き込まれるまで、例えば、1フレーム期間継続して実行される（ホールド型の表示駆動制御）。

【0012】

このようなホールド型の表示駆動方法においては、上述したインパルス型の表示駆動方法とは異なり、1フレーム期間のほとんどの期間において、映像データに応じた表示動作（発光動作）が継続されるので、静止画像の表示動作においてはちらつきが生じにくいという特性を有しているが、その反面、動画像の表示動作においては、前のフレーム期間に表示された画像情報が残像として視認されやすくなり、画像情報のボケやにじみを生じ、表示画質の劣化を招くという問題を有していた。

【0013】

そこで、液晶表示装置や発光素子型の表示装置において、上述した動画像の表示動作におけるボケやにじみを抑制して表示画質を向上させる表示駆動方法として、例えば、図18に示すように、1フレーム期間に、上述した各行の表示画素EMPに対する映像データ書込動作（映像データ書込期間）及び映像表示動作（映像表示期間）に加え、各表示画素EMPを最低階調で表示動作（発光動作）、又は、非表示動作（非発光動作）させるために、データドライバから各データラインにブランキングデータを供給して、各表示画素に当該ブランキングデータを書き込む動作（ブランキングデータ書込期間）、及び、当該ブランキングデータに基づく黒表示動作（黒表示期間）を実行する手法が知られている。

【0014】

これにより、1フレーム期間に一定期間の黒表示期間が挿入されて、何も表示（発光）されない表示状態が設定されるので、映像表示期間が相対的に短縮されて、上述した陰極線管に適用されるインパルス型に類似した表示駆動方法（便宜的に「擬似インパルス型の表示駆動方法」と記す）を実現することができ、動画像の表示動作における表示品質を向上させることができる。このような表示装置の駆動制御方法については、例えば、特許文献1等に詳しく記載されている。

【0015】

【特許文献1】特開2004-264481号公報（第17頁～第18頁、図6）

【発明の開示】

【発明が解決しようとする課題】**【0016】**

しかしながら、従来技術に示した擬似インパルス型の表示駆動方法においては、図18に示したように、1フレーム期間内に、データドライバから供給される映像データの書込期間及び映像表示期間と、同様にデータドライバから供給されるブランキングデータの書込期間及び黒表示期間とを設定する必要があるため、図17に示したように、1フレーム期間内に、データドライバから供給される映像データの書込動作及び映像表示動作のみを実行し、黒表示動作を実行しない場合に比較して、映像データの書込動作に割り当てられる時間が短くなり、書込動作に係る駆動周波数（すなわち、表示装置の駆動周波数）を高くする必要がある（高速で書き込む必要がある）。

【0017】

このように映像データ（表示データ）の書込期間が短くなり、高速で書込動作を実行しなければならなくなると、表示パネル（信号配線等）に寄生する抵抗成分や容量成分等によるCR時定数に起因して信号遅延が生じ、各表示画素への映像データの書込状態が不十分となる書込不足が発生して、映像データに応じた階調表示が適切に実行されなくなるといった問題を有していた。

【0018】

また、図17、図18においては図示を省略したが、各表示画素に映像データを書き込む際には、先のフレーム期間において当該表示画素に書き込まれ、残留している映像データに基づく電圧成分を放電して初期化（リセット）するリセット動作や、当該行の走査ラインを選択レベルに設定する際の信号レベルの立ち上がり動作のための時間を短くする必要があるため、動作タイミングの設定に余裕がなくなり、タイミング制御が複雑になったり、誤動作が生じやすくなったりするという問題を有していた。

【0019】

そこで、本発明は、上述した種々の問題点に鑑み、アクティブマトリックス型の駆動方式に対応した表示パネルを備えた表示装置において、動画像をボケやにじみのない良好な表示品質で表示することができるとともに、映像データ（表示データ）に対応した適切な階調で画像情報を表示することができる表示装置及びその表示駆動方法を提供することを目的とする。

【課題を解決するための手段】**【0020】**

請求項1記載の発明は、行方向に配設され複数の走査ライン及び列方向に配設された複数のデータラインの各交点近傍に、複数の表示画素が配列された表示パネルを有する表示装置において、所定のタイミングで前記表示パネルの各行ごとの前記表示画素に走査信号を順次印加して、選択状態に設定する走査駆動部と、所望の画像情報を表示するための表示データに応じた階調信号を生成し、前記選択状態に設定された行の前記表示画素に順次供給するデータ駆動部と、前記表示パネルの各行ごとの前記表示画素に、前記データ駆動部から供給された前記階調信号に基づいて前記表示データに応じたバイアス状態で表示動作させるための電源電圧を印加する電源駆動部と、タイミング制御信号を供給することにより、前記走査駆動部及び前記データ駆動部、前記電源駆動部の各々を所定のタイミングで動作させ、少なくとも、前記各行ごとの前記表示画素を、前記表示データに応じたバイアス状態で表示動作させる期間以外の期間に、前記電源駆動部による当該行の前記表示画素への前記電源電圧の印加を遮断して非表示動作させる駆動制御部と、を備えていることを特徴とする。

【0021】

請求項2記載の発明は、請求項1記載の表示装置において、前記駆動制御部は、前記各行の前記表示画素への前記電源電圧の印加を遮断して非表示動作させる期間中に、当該行の前記表示画素に前記データ駆動部から前記階調信号を供給する前記タイミング制御信号を生成する手段を有していることを特徴とする。

【0022】

請求項 3 記載の発明は、請求項 1 又は 2 記載の表示装置において、前記表示装置は、前記表示パネルの各行ごとの前記表示画素に、前記階調信号に基づいて前記各行の前記表示画素に設定された、前記表示データに応じたバイアス状態を解消して特定のバイアス状態に設定するための設定信号を印加する状態設定制御部を、さらに備えていることを特徴とする。

【0023】

請求項 4 記載の発明は、請求項 3 記載の表示装置において、前記駆動制御部は、前記各行の前記表示画素への前記電源電圧の印加を遮断して非表示動作させる期間中に、当該行の前記表示画素に前記状態設定制御部から前記設定信号を供給する前記タイミング制御信号を生成する手段を有していることを特徴とする。

【0024】

請求項 5 記載の発明は、請求項 1 乃至 4 のいずれかに記載の表示装置において、前記各表示画素は、発光素子と、前記発光素子の発光動作を制御する発光駆動回路と、を備え、前記発光駆動回路は、少なくとも、前記階調信号に基づく電荷を蓄積する電荷蓄積手段と、前記電荷蓄積手段に蓄積された電荷量に応じた順バイアス電圧に基づいて所定の電流値を有する発光駆動電流を生成し、前記発光素子に供給する発光制御手段と、前記電荷蓄積手段への前記階調信号に基づく電荷の供給状態を制御する書込制御手段と、を備えていることを特徴とする。

【0025】

請求項 6 記載の発明は、請求項 5 記載の表示装置において、前記各表示画素に設けられる前記発光制御手段は、一端が前記電源ラインに接続され、他端が前記発光素子に接続されて、前記発光駆動電流を流す導通路と、前記電荷蓄積手段に接続され、前記導通路の導通状態を制御して前記発光素子への前記発光駆動電流の供給状態を制御する制御端子を備えていることを特徴とする。

【0026】

請求項 7 記載の発明は、請求項 6 記載の表示装置において、前記各表示画素に設けられる前記書込制御手段は、一端が前記階調信号が供給される前記データラインに接続され、他端が前記電荷蓄積手段を介して前記発光制御手段の前記制御端子に接続された導通路と、前記走査信号が印加される前記走査ラインに接続され、前記電荷蓄積手段への前記階調信号に基づく電荷の供給状態を制御する制御端子を備えていることを特徴とする。

【0027】

請求項 8 記載の発明は、請求項 5 乃至 7 のいずれかに記載の表示装置において、前記発光駆動回路は、少なくとも、導通路の一端に前記電源電圧が印加され、該導通路の他端に前記発光素子との接続接点が接続された第 1 のスイッチ手段と、制御端子が前記走査ラインに接続され、導通路の一端に前記電源電圧が印加され、該導通路の他端に前記第 1 のスイッチ手段の制御端子が接続された第 2 のスイッチ手段と、制御端子が前記走査ラインに接続され、導通路の一端に前記データラインが接続され、該導通路の他端に前記接続接点が接続された第 3 のスイッチ手段と、前記第 1 のスイッチ手段の制御端子と前記接続接点との間に接続された容量素子と、を備え、前記発光制御手段は、前記第 1 のスイッチ手段を含んで構成され、前記電荷蓄積手段は、前記容量素子を含んで構成されていることを特徴とする。

【0028】

請求項 9 記載の発明は、請求項 5 乃至 8 のいずれかに記載の表示装置において、前記発光駆動回路は、前記電荷蓄積手段に蓄積された電荷を放電して、前記発光制御手段に無電圧、又は、逆バイアス電圧を印加するバイアス制御手段を、さらに備えていることを特徴とする。

【0029】

請求項 10 記載の発明は、請求項 9 記載の表示装置において、前記各表示画素に設けられる前記バイアス制御手段は、一端が前記走査信号が供給される走査ラインに接続され、他端が前記発光制御手段の前記制御端子に接続されて、所定の信号レベルの前記走査信号

を前記発光制御手段の前記制御端子に印加する導通路と、前記設定信号が印加されるバイアスラインに接続され、前記電荷蓄積手段に蓄積された電荷の放電状態を制御する制御端子を備えていることを特徴とする。

【0030】

請求項11記載の発明は、請求項9又は10記載の表示装置において、前記発光駆動回路は、制御端子が前記バイアスラインに接続され、導通路の一端が前記走査ラインに接続され、該導通路の他端に前記第1のスイッチ手段の制御端子が接続された第4のスイッチ手段を、さらに備え、前記バイアス制御手段は、前記第4のスイッチ手段を含んで構成されていることを特徴とする。

請求項12記載の発明は、請求項5乃至11のいずれかに記載の表示装置において、少なくとも前記発光駆動回路に設けられる前記発光制御手段は、アモルファスシリコン薄膜トランジスタにより構成されていることを特徴とする。

【0031】

請求項13記載の発明は、請求項5乃至12のいずれかに記載の表示装置において、前記データ駆動部は、前記階調信号として、前記発光素子を所定の輝度階調で発光動作させるための所定の電流値を有する階調電流を生成する手段を備えていることを特徴とする。

請求項14記載の発明は、請求項5乃至13のいずれかに記載の表示装置において、前記発光素子は、有機エレクトロルミネッセンス素子であることを特徴とする。

【0032】

請求項15記載の発明は、行方向に配設され複数の走査ライン及び列方向に配設された複数のデータラインの各交点近傍に、複数の表示画素が配列された表示パネルを有し、所定のタイミングで前記表示パネルの各行ごとの前記表示画素に走査信号を順次印加して、選択状態に設定するタイミングに同期して、所望の画像情報を表示するための表示データに応じた階調信号を供給することにより、前記表示画素を前記表示データに応じたバイアス状態で表示動作させて、前記表示パネルに前記所望の画像情報を表示する表示装置の表示駆動方法において、前記表示パネルに配列された各行ごとの前記表示画素を順次選択状態に設定して前記階調信号を供給するステップと、前記階調信号が供給された前記各行の前記表示画素を、前記表示データに応じたバイアス状態で順次表示動作させるステップと、前記各行ごとの前記表示画素に前記階調信号を供給するステップを実行する期間を含む期間に、前記各行ごとの前記表示画素を前記表示データに応じたバイアス状態で表示動作させるための電源電圧の印加を遮断して非表示動作させるステップと、を含むことを特徴とする。

【0033】

請求項16記載の発明は、請求項15記載の表示装置の表示駆動方法において、前記各表示画素は、表示駆動手段を備え、前記各行の前記表示画素を前記表示データに応じたバイアス状態で表示動作させるステップは、前記表示駆動手段に前記階調信号に応じた順バイアス電圧を印加することにより実行されることを特徴とする。

【0034】

請求項17記載の発明は、請求項15又は16記載の表示装置の表示駆動方法において、前記各行ごとの前記表示画素を非表示動作させるステップを実行する期間中に、前記各行の前記表示画素に設定された、前記表示データに応じたバイアス状態を解消して特定のバイアス状態に設定するステップを、さらに含むことを特徴とする。

【0035】

請求項18記載の発明は、請求項17記載の表示装置の表示駆動方法において、前記各行の前記表示画素に設定された、前記表示データに応じたバイアス状態を解消して特定のバイアス状態に設定するステップは、前記表示駆動手段に無電圧、又は、逆バイアス電圧を印加することにより実行されることを特徴とする。

【0036】

請求項19記載の発明は、請求項15乃至18のいずれかに記載の表示装置の表示駆動方法において、前記各表示画素は、発光素子を備え、前記各行の前記表示画素を前記表

示データに応じたバイアス状態で表示動作させるステップは、前記各表示画素の前記発光素子を前記表示データに応じた輝度階調で発光動作させることを特徴とする。

【0037】

請求項20記載の発明は、請求項19記載の表示装置の表示駆動方法において、前記各行の前記表示画素に前記階調信号を供給するステップは、前記階調信号として、前記発光素子を所定の輝度階調で発光動作させるための所定の電流値を有する階調電流を供給することを特徴とする。

【発明の効果】

【0038】

すなわち、本発明に係る表示装置及びその表示駆動方法においては、表示パネルに2次元配列された複数の表示画素を、各行ごとに表示動作させるための電源電圧を印加する電源駆動部（電源ドライバ）を備え、表示パネルに配列された各行の表示画素を表示データに応じたバイアス状態で表示させる表示動作期間（発光動作期間）においては、各行の表示画素に電源電圧を印加し、一方、各行の表示画素への表示データに応じた階調信号（階調電流）の書込動作期間を含む非表示動作期間においては、各行の表示画素への電源電圧の印加を遮断するように制御する。

【0039】

これにより、各行の表示画素へのブランキングデータの書込動作を行うことなく、電源電圧の印加を遮断する動作のみで、当該行の表示画素（発光素子）を非表示動作（非発光動作）させることができるので、所定の1処理サイクル期間（1フレーム期間）のうち、一定期間のみ表示データに応じた輝度階調で表示動作（発光動作）する擬似インパルス型の表示駆動制御を実現することができる。

【0040】

ここで、各行の表示画素への電源電圧の印加を遮断する期間を任意に設定することにより、1処理サイクル期間（1フレーム期間）における上記非表示期間の比率（黒挿入率）を、動画像においてボケやにじみを抑制することができる概ね30%以上に設定することができるので、鮮明で良好な表示画質を実現することができる。

【0041】

また、本発明に係る表示装置及びその表示駆動方法によれば、動画像を鮮明な表示画質で表示するために、1フレーム期間中に黒表示動作（ブランキングデータの書込動作及び表示動作）を実行する必要がないので、各行の表示画素に対する表示データの書込動作期間が短縮されることがなく、各行の書込時間を十分に確保することができる。したがって、表示データの書込不足に起因する表示品質の低下を抑制して、表示データに応じた適切な階調表示を実現することができる。また、これにより、各種信号のタイミング制御に余裕を持たせることができるので、表示装置の誤動作の発生を抑制することができる。

【0042】

さらに、本発明に係る表示装置及びその表示駆動方法によれば、表示パネルに配列される各表示画素に、発光制御手段や表示駆動手段（発光駆動用のスイッチング素子）として、例えば、アモルファスシリコン薄膜トランジスタからなる回路構成を適用した場合、非表示動作期間中に各表示画素に設けられた発光制御手段や表示駆動手段に無電圧（0V）、又は、逆バイアス電圧を印加した状態（逆バイアス状態）に設定することができるので、アモルファスシリコン薄膜トランジスタにおける素子特性（しきい値電圧の変動； V_{th} シフト）の劣化を大幅に抑制して、表示データに応じた適切な階調表示（適切な輝度階調での発光素子の発光動作）を実現することができる。

【発明を実施するための最良の形態】

【0043】

以下、本発明に係る表示装置及びその表示駆動方法について、実施の形態を示して詳しく説明する。

[第1の実施形態]

<表示装置>

まず、本発明に係る表示装置の概略構成について、図面を参照して説明する。

図 1 は、本発明に係る表示装置の第 1 の実施形態を示す概略ブロック図であり、図 2 は、本実施形態に係る表示装置に適用される表示パネル及びその周辺回路（走査ドライバ、データドライバ、電源ドライバ）の一例を示す要部構成図である。

【0044】

なお、以下に示す実施形態においては、表示パネルとして、発光素子を備えた複数の表示画素を 2 次元配列した構成を有し、各表示画素が表示データ（映像データ）に応じた輝度階調で発光動作することにより画像情報を表示する発光素子型の表示装置について説明するが、本発明はこれに限定されるものではなく、液晶表示装置のように、各表示画素が表示データに応じて階調制御（表示データに応じたバイアス状態に設定）され、透過光や反射光により所望の画像情報を階調表示（表示動作）する表示装置であってもよい。

【0045】

図 1、図 2 に示すように、本実施形態に係る表示装置 100A は、概略、行、列方向に相互に直交するように配設された複数の走査ライン SL と複数のデータライン DL との各交点近傍に、後述する発光駆動回路及び発光素子を備えた複数の表示画素 EM が配列された表示パネル 110 と、該表示パネル 110 の各走査ライン SL に接続され、各走査ライン SL ごとに所定のタイミングで選択レベル（ハイレベル）の走査信号 Vsel を順次印加することにより、行ごとの表示画素 EM を選択状態に設定する走査ドライバ（走査駆動部）120 と、各行の走査ライン SL に並行に配設された複数の電源ライン VL に接続され、各電源ライン VL ごとに所定のタイミングで電源電圧 Vsc を順次印加する電源ドライバ（電源駆動部）130 と、表示パネル 110 の各データライン DL に接続され、表示データに応じた階調信号（階調電流 Idata）を、各データライン DL を介して表示画素 EM へ供給するデータドライバ（データ駆動部）140 と、後述する表示信号生成回路 160 から供給されるタイミング信号に基づいて、少なくとも上記走査ドライバ 120 及び電源ドライバ 130、データドライバ 140 の動作状態を制御して、表示パネル 110 における所定の画像表示動作を実行するための走査制御信号及び電源制御信号、データ制御信号を生成して出力するシステムコントローラ（駆動制御部）150 と、例えば、表示装置 100A の外部から供給される映像信号に基づいて、表示データ（輝度階調データ）を生成してデータドライバ 140 に供給するとともに、該表示データに基づいて表示パネル 110 に所定の画像情報を表示するためのタイミング信号（システムクロック等）を抽出、又は、生成してシステムコントローラ 150 に供給する表示信号生成回路 160 と、を備えて構成されている。

【0046】

以下、上記各構成について具体的に説明する。

（表示パネル・表示画素）

図 3 は、本実施形態に係る表示装置に適用される表示画素（発光駆動回路）の一例を示す回路構成図である。なお、本実施形態においては、表示画素として、表示データに応じた電流値を有する階調電流を供給することにより、各表示画素に設けられた発光素子に表示データに応じた電流値を有する発光駆動電流を流して、所望の輝度階調で発光動作（表示動作）させる電流階調指定方式の駆動制御方法に対応した回路構成（発光駆動回路）を備えた場合について説明するが、本発明はこれに限定されるものではなく、例えば、表示データに応じた電圧値を有する階調電圧を印加することにより、各表示画素の発光素子に表示データに応じた電流値を有する発光駆動電流を流して、所望の輝度階調で発光動作させる電圧階調指定方式の駆動制御方法に対応した回路構成を備えたものであってもよい。

【0047】

本実施形態に係る表示装置 100A に適用される表示パネル 110 は、行、列方向に 2 次元配列された複数の表示画素 EM において、例えば、まず、各行ごとの表示画素 EM に対して、発光駆動のための電源電圧の印加を順次遮断することにより、各行の表示画素 EM を所定の期間、順次非発光動作（非表示動作）させ、その後、表示データの書込動作を順次実行して、各行ごとの表示画素 EM を所定の輝度階調で順次発光動作（表示動作）さ

せるように制御する。

【0048】

そのための構成として、本実施形態に係る表示パネル110に配列される表示画素EMは、例えば、図3に示すように、概略、走査ドライバ120から印加される走査信号Vslに基づいて、表示画素EMを選択状態に設定し、当該選択状態においてデータドライバ140から供給される階調信号（階調電流Idata）を取り込み、該階調信号に応じた発光駆動電流を生成する発光駆動回路DC1と、該発光駆動回路DC1から供給される発光駆動電流に基づいて、所定の輝度階調で発光動作する周知の有機EL素子（発光素子）OELと、を備えた構成を適用することができる。

【0049】

本実施形態に係る発光駆動回路DC1は、具体的には、図3に示すように、ゲート端子（制御端子）が走査ラインSLに、ドレイン端子及びソース端子（導通路の一端、他端）が所定の電源電圧Vscが印加される電源ラインVL及び接点N11に各々接続された薄膜トランジスタ（書込制御手段、第2のスイッチ手段）Tr11と、ゲート端子（制御端子）が走査ラインSLに、ソース端子及びドレイン端子（導通路の一端、他端）がデータラインDL及び接点N12に各々接続された薄膜トランジスタ（書込制御手段、第3のスイッチ手段）Tr12と、ゲート端子（制御端子）が接点N11に、ドレイン端子及びソース端子（導通路の一端、他端）が電源ラインVL及び接点（接続接点）N12に各々接続された薄膜トランジスタ（発光制御手段、第1のスイッチ手段、表示駆動手段）Tr13と、接点N11及び接点N12間（薄膜トランジスタTr13のゲート-ソース端子間）に接続されたコンデンサ（電荷蓄積手段、容量素子）Csと、を備えた構成を有している。

【0050】

また、有機EL素子OELは、アノード端子が上記発光駆動回路DC1の接点N12に接続され、カソード端子には共通電圧Vcomが印加されている。ここで、共通電圧Vcomは、表示データに応じた階調信号（階調電流Idata）が当該表示画素EM（発光駆動回路DC1）に供給される書込動作期間、及び、有機EL素子（発光素子）OELを発光動作させない非発光動作期間（非表示動作期間）においてローレベルに設定される電源電圧Vsc（=Vs）と等電位であるか、あるいは、当該電源電圧Vscよりも高い電位であって、かつ、有機EL素子（発光素子）OELに発光駆動電流が供給されて所定の輝度階調で発光動作する発光動作期間（表示動作期間）においてハイレベルに設定される電源電圧Vsc（=Ve）よりも低電位となる、任意の電位（例えば、接地電位GND）に設定されている（ $Vs \leq Vcom < Ve$ ）。

【0051】

ここで、コンデンサCsは、薄膜トランジスタTr13のゲート-ソース間に形成される寄生容量であってもよいし、該寄生容量に加えて接点N11及び接点N12間にさらに容量素子を並列に接続したものであってもよい。また、薄膜トランジスタTr11~Tr13については、特に限定するものではないが、例えば、薄膜トランジスタTr11~Tr13を全て単一のチャンネル型の薄膜トランジスタ（電界効果型トランジスタ）により構成することにより、nチャンネル型アモルファスシリコン薄膜トランジスタを適用することができる。

【0052】

この場合、すでに確立されたアモルファスシリコン製造技術を適用して、素子特性（電子移動度等）が均一で安定したアモルファスシリコン薄膜トランジスタからなる発光駆動回路を、比較的簡易な製造プロセスで製造することができる。なお、以下の説明においては、発光駆動回路DC1の一構成例として、薄膜トランジスタTr11~Tr13を全てnチャンネル型の薄膜トランジスタにより構成した場合について説明する。

【0053】

また、上記においては、発光駆動回路DC1により発光駆動される発光素子を有機EL素子OELとしたが、本発明における発光素子は有機EL素子OELに限定されるもので

はなく、電流制御型の発光素子であれば、例えば、発光ダイオード等の他の発光素子であってもよい。さらに、本実施形態においては、発光駆動回路DC1により電流制御型の発光素子を発光駆動することにより画像情報を表示する場合について説明するが、表示データに応じた電圧成分を生成して、電圧制御型の発光素子を発光駆動する構成や、液晶分子の配向状態を変化させる回路構成を有するものであってもよい。

【0054】

(走査ドライバ)

走査ドライバ120は、システムコントローラ150から供給される走査制御信号に基づいて、各走査ラインSLに選択レベル(上述した表示画素EMにおいては、ハイレベル)の走査信号Vselを印加することにより、各行ごとの表示画素EMを選択状態に設定する。具体的には、各行の走査ラインSLに走査信号Vselを印加する動作を、相互に時間的に重ならないタイミングでずらして実行することにより、各行ごとの表示画素EMを順次選択状態に設定する。

【0055】

ここで、走査ドライバ120は、例えば、図2に示すように、後述するシステムコントローラ150から走査制御信号として供給される走査クロック信号SCK及び走査スタート信号SSTに基づいて、各行の走査ラインSLに対応するシフト信号を順次出力する周知のシフトレジスタ121と、該シフトレジスタ121から出力されるシフト信号を所定の信号レベル(オンレベル)に変換して、システムコントローラ150から走査制御信号として供給される出力制御信号SOEに基づいて、各走査ラインSLに走査信号Vselとして出力する出力回路部(出力バッファ)122と、を備えた構成を有している。

【0056】

(電源ドライバ)

電源ドライバ130は、システムコントローラ150から供給される電源制御信号に基づいて、各行の表示画素EMについて、発光動作期間中のみハイレベルの電源電圧Vsc(=Ve)を当該行の電源ラインVLに印加し、発光動作(表示動作)期間以外の動作期間(書込動作期間を含む非発光動作(非表示動作)期間)中、ローレベルの電源電圧Vsc(=Vs)を印加する。ここで、ローレベルの電源電圧Vscを印加する動作は、実質的に、表示画素EM(発光駆動回路DC1)への電源電圧Vscの供給を遮断する動作と等価となる。

【0057】

ここで、電源ドライバ130は、例えば、図2に示すように、上述した走査ドライバ120と同様に、システムコントローラ150から電源制御信号として供給されるクロック信号VCK及びスタート信号VSTに基づいて、各行の電源ラインVLに対応するシフト信号を順次出力する周知のシフトレジスタ131と、シフト信号を所定の電圧レベル(電圧値Ve、Vs)に変換して、電源制御信号として供給される出力制御信号VOEに基づいて、各電源ラインVLに電源電圧Vscとして出力する出力回路部132と、を備えた構成を有している。

【0058】

(データドライバ)

図4は、本実施形態に係る表示装置に適用可能なデータドライバの一例を示す概略ブロック図である。なお、図4に示すデータドライバの内部構成については、表示データに応じた電流値を有する階調電流を生成することができる一構成例を示したものに過ぎず、本発明はこれに限定されるものではない。

【0059】

データドライバ140は、概略、図1、図2に示すように、システムコントローラ150から供給されるデータ制御信号に基づいて、後述する表示信号生成回路160から供給される、デジタル信号からなる表示データ(輝度階調データ)を1行分ごとに所定のタイミングで順次取り込んで保持し、該表示データの階調値に対応する電流値を有する階調電流Idataを生成して、書込動作期間に選択状態に設定された行の表示画素EMに対して、

各データラインDLを介して一斉に供給する。

【0060】

データドライバ140は、具体的には、図5に示すように、システムコントローラ150から供給されるデータ制御信号（シフトクロック信号CLK、サンプリングスタート信号STR）に基づいて、順次シフト信号を出力するシフトレジスタ回路41と、該シフト信号の入力タイミングに基づいて、表示信号生成回路160から供給される1行分の表示データD0～Dmを順次取り込むデータレジスタ回路42と、データ制御信号（データラッチ信号STB）に基づいて、データレジスタ回路42により取り込まれた1行分の表示データD0～Dmを保持するデータラッチ回路43と、図示を省略した電源供給手段から供給される階調基準電圧V0～VPに基づいて、上記保持された表示データD0～Dmを、所定のアナログ信号電圧（階調電圧Vpix）に変換するD/Aコンバータ44と、アナログ信号電圧に変換された表示データに対応する階調電流Idataを生成し、システムコントローラ150から供給されるデータ制御信号（出力イネーブル信号OE）に基づくタイミングで、当該表示データに対応する列のデータラインDLに一斉に出力する電圧電流変換・階調電流供給回路45と、を備えた構成を適用することができる。

【0061】

（システムコントローラ）

システムコントローラ150は、少なくとも、走査ドライバ120及び電源ドライバ130、データドライバ140の各々に対して、動作状態を制御するタイミング制御信号として、走査制御信号及び電源制御信号、データ制御信号を生成して出力することにより、各ドライバを所定のタイミングで動作させて、所定の電圧レベルを有する走査信号Vsel及び電源電圧Vsc、並びに、表示データに応じた階調信号（階調電流Idata）を生成して出力させ、各表示画素EM（発光駆動回路DC1）における駆動制御動作（非発光動作、書込動作、発光動作）を連続的に実行させて、映像信号に基づく所定の画像情報を表示パネル110に表示させる制御（後述する表示装置の表示駆動制御）を行う。

【0062】

（表示信号生成回路）

表示信号生成回路160は、例えば、表示装置100Aの外部から供給される映像信号から輝度階調信号成分を抽出し、表示パネル110の1行分ごとに、該輝度階調信号成分をデジタル信号からなる表示データ（輝度階調データ）としてデータドライバ140のデータレジスタ回路42に供給する。ここで、上記映像信号が、テレビ放送信号（コンポジット映像信号）のように、画像情報の表示タイミングを規定するタイミング信号成分を含む場合には、表示信号生成回路160は、上記輝度階調信号成分を抽出する機能のほか、タイミング信号成分を抽出してシステムコントローラ150に供給する機能を有するものであってもよい。この場合においては、上記システムコントローラ150は、表示信号生成回路160から供給されるタイミング信号に基づいて、走査ドライバ120や電源ドライバ130、データドライバ140に対して個別に供給する各制御信号を生成する。

【0063】

＜表示画素（発光駆動回路）の駆動制御方法＞

次に、本実施形態において、上述した表示パネルを構成する表示画素（図3参照）の駆動制御方法について説明する。

図5は、本実施形態に係る表示装置に適用される表示画素における駆動制御方法（非発光動作、書込動作、発光動作）を示すタイミングチャートである。また、図6は、本実施形態に係る表示画素（発光駆動回路）における非発光動作及び書込動作を示す概念図であり、図7は、本実施形態に係る表示画素（発光駆動回路）における発光動作を示す概念図である。

【0064】

本実施形態に係る表示画素EM（発光駆動回路DC1）における駆動制御動作は、図5に示すように、所定の1処理サイクル期間Tcyc内に、走査ラインSLに接続された表示画素EMを選択状態に設定し、表示データに応じた電流値を有する階調電流Idataを供給

することにより、発光駆動回路DC1に設けられた発光駆動用の薄膜トランジスタTr13のゲートソース間（コンデンサCs）に、当該表示データに応じた電圧成分を保持させる書込動作期間T_{wrt}と、当該書込動作期間T_{wrt}に薄膜トランジスタTr13のゲートソース間に保持された電圧成分に基づいて、表示データに応じた電流値を有する発光駆動電流を有機EL素子OELに流して、所定の輝度階調で発光動作させる発光動作期間（表示動作期間）T_{em}と、当該発光動作期間T_{em}以外の期間（上記書込動作期間T_{wrt}を含む期間）であって、表示画素EM（発光駆動回路DC1）への電源電圧V_{sc}の供給を遮断（ローレベルの電源電圧V_{sc}を印加）することにより、有機EL素子OELへの発光駆動電流の供給を遮断して、発光動作させない非発光動作期間（非表示動作期間）T_{nem}と、を含むように設定されている（T_{cyc} ≥ T_{em} + T_{nem}、T_{nem} ≥ T_{wrt}）。

【0065】

ここで、1処理サイクル期間T_{cyc}中に設定される書込動作期間T_{wrt}、発光動作期間T_{em}及び非発光動作期間T_{nem}は、図5に示すように、非発光動作の後に、書込動作及び発光動作を連続的に実行するものであってもよいし、非発光動作期間の任意のタイミング（非発光動作期間の途中）で書込動作を実行し、当該発光動作期間の終了後に発光動作を実行するものであってもよい。

【0066】

また、本実施形態に係る1処理サイクル期間T_{cyc}は、例えば、表示画素EMが1フレーム（1画面）の画像のうちの1画素分の画像情報を表示するのに要する期間に設定される。すなわち、後述する表示装置の表示駆動方法において説明するように、複数の表示画素EMを行方向及び列方向に2次元配列した表示パネル110に、1フレームの画像を表示する場合、上記1処理サイクル期間T_{cyc}は、1行分の表示画素EMが1フレームの画像のうちの1行分の画像を表示するのに要する期間に設定される。

【0067】

（非表示動作期間）

まず、非発光動作期間（非表示動作期間）T_{nem}においては、図5、図6（a）に示すように、走査ドライバ120から走査ラインSLに対して、非選択レベルの走査信号V_{sel}を印加して当該表示画素EMを非選択状態に設定するとともに、電源ドライバ130から電源ラインVLに対して、ローレベルの電源電圧V_{sc}（=V_s）が印加される。また、データドライバ140からはデータラインDLに対して階調電流I_{data}は供給されない。

【0068】

これにより、発光駆動回路DC1に設けられた薄膜トランジスタTr11及びTr12がオフ状態に設定されるので、薄膜トランジスタTr13のゲート端子（接点N11；コンデンサCsの一端側）と電源ラインVLとの電気的な接続が遮断されるとともに、薄膜トランジスタTr13のソース端子（接点N12；コンデンサCsの他端側）とデータラインDLとの電気的な接続も遮断された状態に設定される。

【0069】

ここで、後述する表示装置の表示駆動方法において説明するように、各表示画素における駆動制御動作は、1処理サイクル期間T_{cyc}（1フレーム期間T_{fr}）を周期として繰り返し実行されるので、上記非発光動作期間T_{nem}の開始時点における薄膜トランジスタのTr13のゲートソース間（コンデンサCsの両端）には、一つ前の処理サイクル期間において表示データに基づいて書き込まれた電圧成分が保持された状態にあり、薄膜トランジスタTr13はオン状態にある。

【0070】

そのため、有機EL素子OELのアノード端子（接点N12）には、電源ラインVLに印加されているローレベル（接地電位GND以下）の電源電圧V_{sc}（=V_s）が薄膜トランジスタTr13を介して印加されることになり、カソード端子の電位V_{com}（接地電位GND）に対して同等以下の電位に設定されるので、有機EL素子OELに逆バイアス電圧が印加されることになり、発光駆動電流は流れず、発光動作は行われぬ（非発光動作）。

【0071】

(書込動作期間)

次いで、上記非発光動作期間 T_{nem} 中に設定される書込動作期間 T_{wrt} においては、図5、図6(a)に示すように、走査ドライバ120から走査ラインSLに対して、選択レベル(ハイレベル)の走査信号 V_{sel} を印加して当該表示画素EMを選択状態に設定するとともに、この選択タイミングに同期して、データドライバ140からデータラインDLに対して、表示データに応じた(負極性の)電流値を有する階調電流 I_{data} を供給する。また、この書込動作期間 T_{wrt} においては、上記非発光動作期間 T_{nem} と同様に、電源ドライバ130から電源ラインVLに対して、ローレベルの電源電圧 $V_{sc}(=V_s)$ が印加される。

【0072】

これにより、発光駆動回路DC1に設けられた薄膜トランジスタ T_{r11} 及び T_{r12} がオン動作して、ローレベルの電源電圧 V_{sc} が薄膜トランジスタ T_{r11} を介して薄膜トランジスタ T_{r13} のゲート端子(接点N11;コンデンサ C_s の一端側)に印加されるとともに、薄膜トランジスタ T_{r13} のソース端子(接点N12;コンデンサ C_s の他端側)が薄膜トランジスタ T_{r12} を介して、データラインDLに電氣的に接続される。

【0073】

ここで、データラインDLには負極性の電流値を有する階調電流 I_{data} が供給されることにより、データラインDL側からデータドライバ140方向に階調電流 I_{data} を引き込む動作が行われ、ローレベルの電源電圧 V_{sc} よりも低電位の電圧レベルが薄膜トランジスタ T_{r13} のソース端子(接点N12;コンデンサ C_s の他端側)に印加される。

【0074】

このように、接点N11及びN12間(薄膜トランジスタ T_{r13} のゲート-ソース間)に電位差が生じることにより、薄膜トランジスタ T_{r13} がオン動作して、電源ラインVLから薄膜トランジスタ T_{r13} 、接点N12、薄膜トランジスタ T_{r12} 、データラインDLを介して、データドライバ140方向に、階調電流 I_{data} に対応した書込電流 I_a が流れる。

【0075】

このとき、コンデンサ C_s には、接点N11及びN12間(薄膜トランジスタの T_{r13} のゲート-ソース間)に生じた電位差に対応する電荷が蓄積され、電圧成分として保持される(図5中、コンデンサ C_s の両端電位 V_c 参照)。また、電源ラインVLには、ローレベル(接地電位GND以下)の電源電圧 $V_{sc}(=V_s)$ が印加され、さらに、書込電流 I_a がデータラインDL方向に流れるように制御されていることから、有機EL素子OELのアノード端子(接点N12)に印加される電位はカソード端子の電位 V_{com} (接地電位GND)よりも低くなるので、有機EL素子OELに逆バイアス電圧が印加されることになり、有機EL素子OELには発光駆動電流は流れず、発光動作は行われ(非発光動作)。

【0076】

(表示動作期間)

次いで、書込動作期間 T_{wrt} 、又は、該書込動作期間 T_{wrt} を含む非発光動作期間(非表示動作期間) T_{nem} 終了後の発光動作期間(表示動作期間) T_{em} においては、図5、図7に示すように、上述した非発光動作期間 T_{nem} と同様に、走査ドライバ120から走査ラインSLに対して、ローレベルの走査信号 V_{sel} を印加して当該表示画素EMを非選択状態に設定するとともに、この非選択タイミングに同期して、データドライバ130からの階調電流 I_{data} の供給が遮断されて、当該階調電流 I_{data} の引き込み動作が停止される。また、この発光動作期間 T_{em} においては、電源ドライバ130から電源ラインVLに対して、ハイレベルの電源電圧 $V_{sc}(=V_e)$ が印加される。

【0077】

これにより、発光駆動回路DC1に設けられた薄膜トランジスタ T_{r11} 及び T_{r12} がオフ動作して、薄膜トランジスタ T_{r13} のゲート端子(接点N11;コンデンサ C_s

の一端側)への電源電圧 V_{sc} の印加が遮断されるとともに、薄膜トランジスタ T_{r13} のソース端子(接点 $N12$;コンデンサ C_s の他端側)への階調電流 I_{data} の引き込み動作に起因する電圧レベルの印加が遮断されるので、コンデンサ C_s には、上述した書込動作期間 T_{wrt} において蓄積された電荷が保持される。

【0078】

このように、接点 $N11$ 及び $N12$ 間(薄膜トランジスタの T_{r13} のゲート-ソース間;コンデンサ C_s の両端)の電位差が保持されることになり、薄膜トランジスタ T_{r13} はオン状態を維持する。また、電源ライン V_L には、共通電圧 V_{com} (接地電位 GND)よりも高電位の電源電圧 V_{sc} が印加されるので、有機 EL 素子 OEL のアノード端子(接点 $N12$)に印加される電位はカソード端子の電位(接地電位)よりも高くなる。

【0079】

したがって、電源ライン V_L から薄膜トランジスタ T_{r13} 、接点 $N12$ を介して、有機 EL 素子 OEL に順バイアス方向に所定の発光駆動電流 I_b が流れ、有機 EL 素子 OEL が発光する。ここで、コンデンサ C_s により保持される電圧成分(コンデンサ C_s の両端電位 V_c)は、薄膜トランジスタ T_{r13} において階調電流 I_{data} に対応した書込電流 I_a を流す場合の電位差に相当するので、有機 EL 素子 OEL に流れる発光駆動電流 I_b は、上記書込電流 I_a と同等の電流値($I_b \doteq I_a$)を有することになる。

【0080】

そして、当該表示画素 EM において、書込動作期間 T_{wrt} に書き込まれた表示データ(階調電流 I_{data})に対応する電圧成分に基づいて、発光動作期間 T_{em} 中、薄膜トランジスタ T_{r13} を介して発光駆動電流 I_b が継続的に供給されることになり、有機 EL 素子 OEL は当該表示データに応じた輝度階調で発光する動作を継続する。

【0081】

このように、本実施形態に係る表示画素 EM (発光駆動回路 $DC1$)によれば、書込動作期間 T_{wrt} において、表示データ(輝度階調)に応じた電流値を指定した階調電流 I_{data} (書込電流 I_a)を強制的に駆動トランジスタ T_{r13} のドレイン-ソース間に流して、その電流値に応じて保持される駆動トランジスタ T_{r13} のゲート-ソース間の電圧成分に基づいて、有機 EL 素子(発光素子) OEL に流す発光駆動電流 I_b を制御することにより、所定の輝度階調で発光動作させる電流階調指定方式の駆動制御方法を適用することができる。

【0082】

また、本実施形態に係る表示画素 EM によれば、各表示画素 EM に設けられた発光駆動回路 $DC1$ を構成する単一の発光駆動用トランジスタ(薄膜トランジスタ T_{r13})により、表示データに応じた階調電流 I_{data} の電流レベルを電圧レベルに変換する機能(電流/電圧変換機能)と、有機 EL 素子 OEL に所定の電流値を有する発光駆動電流 I_b を供給する機能(発光駆動機能)の双方を実現することができるので、発光駆動回路 DC を構成する各トランジスタの動作特性のバラツキや経時変化の影響を受けることなく、長期間にわたり安定的に所望の発光特性を実現することができる。

【0083】

<表示装置の表示駆動方法>

次に、本実施形態に係る表示装置における表示駆動方法(画像情報の表示動作)について説明する。

図8は、本実施形態に係る表示装置の表示駆動方法の一例を模式的に示したタイミングチャートである。なお、本実施形態においては、説明の都合上、便宜的に表示パネルに12行($n=12$;第1行~第12行)の表示画素が配列された構成を有しているものとして説明する。また、図中、 k は正の整数であり、図中の各行のクロスメッシュで示したハッチング部分は、各々、上述した表示データの書込動作期間を表しており、ドットで示したハッチング部分は、各々、上述した発光動作期間を表している。

【0084】

本実施形態に係る表示装置100Aの表示駆動方法は、まず、表示パネル110に配列

された各行ごとの表示画素EM（発光駆動回路DC1）に対して、表示画素EMを表示動作させない（有機EL素子OELを発光動作させない）非発光動作を実行し、当該非発光動作期間 T_{nem} 中の任意のタイミング（本実施形態では非発光動作期間 T_{nem} の終了間際）で、表示データに応じた階調電流 I_{data} を書き込む書込動作を各行ごとに順次実行し、その後、表示データ（階調電流）に応じた所定の輝度階調で順次発光動作させることにより、表示パネル110一画面分の画像情報が表示される。ここで、少なくとも各行における書込動作期間 T_{wrt} が相互に（時間的に）重ならないように動作タイミングが制御される。

【0085】

具体的には、まず、図8に示すように、1フレーム期間 T_{fr} 内の非発光動作期間 T_{nem} （図中、白抜きで表示）において、図5に示したように、走査ドライバ120から表示パネル110の特定の行（例えば、 i 行目； $1 \leq i \leq 12$ ）の走査ラインSLに対して、非選択レベル（ローレベル）の走査信号 V_{sel} を印加することにより、当該 i 行の表示画素EMを非選択状態に設定する。また、データドライバ140から各データラインDLに階調電流 I_{data} が供給されない状態（階調電流 I_{data} の供給が遮断された状態）に設定する。

【0086】

そして、このタイミングに同期して、電源ドライバ130から当該 i 行の電源ラインVLに対して、ローレベルの電源電圧 V_{sc} （= V_s ）が印加されることにより、図6（a）に示したように、当該 i 行の各表示画素EMにおいて発光駆動用の薄膜トランジスタ T_{r13} のドレインソース間に電位差が生じないので、当該薄膜トランジスタ T_{r13} を介して有機EL素子OEL方向に発光駆動電流 I_b は流れず、当該 i 行の表示画素EMが非発光状態に設定される（非発光動作する）。

【0087】

次いで、図8に示すように、上記非発光動作期間 T_{nem} 内に設定される書込動作期間 T_{wrt} （図中、クロスメッシュで表示）においては、図5に示したように、走査ドライバ120から表示パネル110の i 行の走査ラインSLに対して、選択レベル（ハイレベル）の走査信号 V_{sel} を印加することにより、当該 i 行の表示画素EMを選択状態に設定する。また、当該書込動作期間 T_{wrt} においては、電源ドライバ130から当該 i 行の電源ラインVLに対して、ローレベルの電源電圧 V_{sc} （= V_s ）が印加される。

【0088】

そして、この選択タイミングに同期して、データドライバ140から当該 i 行の表示データに応じた電流値を有する階調電流 I_{data} を、各データラインDLに供給することにより、図6（b）に示したように、当該 i 行の各表示画素EMの発光駆動回路DCに階調電流 I_{data} に応じた書込電流 I_a が流れて、各薄膜トランジスタ T_{r13} のゲートソース端子間（コンデンサ C_s の両端）に、階調電流 I_{data} に応じた電圧成分 V_{data} が保持（電荷が蓄積）される。

【0089】

ここで、当該書込動作期間 T_{wrt} においては、上述した非発光動作期間 T_{nem} と同様に、書込動作が行われている i 行目の電源ラインVLに対して、ローレベルの電源電圧 V_{sc} （= V_s ）が印加されることにより、各表示画素EMにおいて発光駆動用の薄膜トランジスタ T_{r13} のドレインソース間に電位差が生じないので、薄膜トランジスタ T_{r13} を介して有機EL素子OEL方向に発光駆動電流は流れず、当該 i 行の表示画素EMが非発光状態に設定される（非発光動作する）。

このような書込動作を含む非発光動作は、表示パネル110に配列された表示画素EMについて、各行ごとにタイミングをずらして順次実行され、特に各行における書き込み動作は相互に時間的に重ならないように順次実行される。

【0090】

次いで、図8に示すように、発光動作期間 T_{em} （図中、ドットハッチングで表示）においては、図5に示したように、走査ドライバ120から非発光動作期間 T_{nem} が終了した

i 行の走査ライン SL に対して、非選択レベル（ローレベル）の走査信号 Vsel を印加することにより、当該 i 行の各表示画素 EM を非選択状態に設定する。また、データドライバ 140 から各データライン DL への階調電流 Idata の供給が遮断される。

【0091】

そして、このタイミングに同期して、電源ドライバ 130 から当該 i 行の電源ライン VL に対して、ハイレベルの電源電圧 Vsc (= Ve) が印加されることにより、図 7 に示したように、i 行の各表示画素 EM において発光駆動用の薄膜トランジスタ Tr13 のドレインソース間に電位差が生じるので、各表示画素 EM（発光駆動用の薄膜トランジスタ Tr13 のゲートソース間）に充電された電圧成分に基づいて、表示データ（階調電流 Idata）に応じた発光駆動電流 Ib が有機 EL 素子 OEL に供給されて、所定の輝度階調で発光動作が行われる。

このような発光動作は、表示パネル 110 に配列された表示画素 EM について、上述した書込動作（又は、書込動作を含む非発光動作）が終了した行の表示画素 EM ごとにタイミングをずらして順次実行される。

【0092】

すなわち、表示パネル 110 に 2 次元配列された複数の表示画素 EM について、各行ごとに 1 フレーム期間 Tfr 中に所定の長さの非発光動作期間 Tnem が設定されるので、1 フレーム期間 Tfr のうち、一定期間のみ表示データ（階調電流 Idata）に応じた輝度階調で各表示画素 EM が発光動作する擬似インパルス型の表示駆動制御を実現することができる。ここで、1 フレーム期間 Tfr 中に設定される非発光動作期間 Tnem、又は、発光動作期間 Tem の長さは、例えば、システムコントローラ 150 から走査ドライバ 120、電源ドライバ 130 及びデータドライバ 140 にタイミング制御信号として供給される走査制御信号、電源制御信号及びデータ制御信号により任意に設定することができる。

【0093】

したがって、図 8 に示したタイミングチャートにおいて、1 フレーム期間 Tfr における上記非発光動作（書込動作を含む）による非表示期間の比率（黒挿入率）を、例えば、50% に設定することにより、表示パネル 110 に表示される画像情報（表示画面）の半分を黒表示（非表示）することができるので、人間の視覚において、動画像をボケやにじみがなく鮮明に視認するために必要とされる概ね 30% 以上の黒挿入率を実現することができる。なお、1 フレーム期間 Tfr における黒挿入率（非表示期間の比率）は、上述した 50% に限定されるものではなく、上記 30% 以上の任意の数値であることが望ましいが、30% 以下の数値であってもよい。

【0094】

また、この場合、従来技術に示した表示駆動方法（図 17 参照）と同様に、1 フレーム期間 Tfr の全時間を用いて表示パネル 110 の全行（12 行分）の表示画素 EM に対して、順次書込動作を実行することができるので、図 18 に示した表示駆動方法のように、ランキングデータの書込動作及び黒表示動作を実行するために、各行における書込動作期間 Twrt（従来技術における映像データ書込期間に相当する）が短縮されることがなく、各行の書込時間を十分に確保することができ、表示データの書込不足に起因する表示品質の低下を抑制して、表示データに応じた適切な階調表示を実現することができる。また、これにより、各種信号のタイミング制御に余裕を持たせることができるので、表示装置の誤動作の発生を抑制することができる。

【0095】

なお、本実施形態においては、説明の都合上、図 8 のタイミングチャートに示したように、1 フレーム期間 Tfr 中に、書込動作期間を含む非発光動作（非表示動作）を実行した後、発光動作（表示動作）を実行する場合について説明したが、有機 EL 素子 OEL の発光動作（表示画素 EM の表示動作）を伴わない書込動作を実行した後、所定の長さの発光動作を実行し、その後、非発光動作を実行する場合であっても、実質的に制御動作は同等である。

【0096】

【第2の実施形態】

次に、本実施形態に係る表示装置及びその表示駆動方法の第2の実施形態について、図面を参照して説明する。

図9は、第2の実施形態に係る表示装置に適用される表示パネル及びその周辺回路（走査ドライバ、データドライバ、電源ドライバ、バイアス制御ドライバ）の一例を示す要部構成図である。また、図10は、本実施形態に係る表示装置に適用される表示画素（発光駆動回路）の一例を示す回路構成図である。ここで、上述した第1の実施形態（図1～図3参照）と同等の構成については、同一又は同等の符号を付してその説明を簡略化する。

【0097】

上述した第1の実施形態においては、図3に示したように、各表示画素EMに設けられる発光駆動回路DC1として、単一のチャンネル型の複数の薄膜トランジスタからなる回路構成を示し、この場合、製造プロセスが簡易で素子特性（電子移動度）が均一なアモルファスシリコン薄膜トランジスタを適用することができることを説明したが、アモルファスシリコン薄膜トランジスタは、一般に駆動履歴によるしきい値電圧の変動（ V_{th} シフト）が発生しやすいということが知られている。

【0098】

そのため、発光駆動用のスイッチング素子（薄膜トランジスタTr13）として、アモルファスシリコン薄膜トランジスタを適用した場合、そのしきい値電圧の変動により、有機EL素子OELに供給される発光駆動電流Ibの電流値が、表示データに対応しなくなって適切な輝度階調で発光動作（表示動作）することができなくなり、表示画質の劣化を招く可能性がある。

【0099】

そこで、本実施形態においては、上述した1フレーム期間Tfrにおいて、しきい値電圧の変動をもたらす発光動作（表示動作）時以外の非発光動作期間（非表示動作期間）に、各表示画素EMの発光駆動用のスイッチング素子（薄膜トランジスタTr23）のゲートソース間電圧（コンデンサCsの両端電位Vc）を0V（無電圧）又は負電圧（逆バイアス電圧）に設定して、当該スイッチング素子のしきい値電圧の変動を抑制するようにした構成を有している。

【0100】

図9に示すように、本実施形態に係る表示装置100Bは、具体的には、上述した第1の実施形態と同様に、行、列方向に複数の表示画素EMが2次元配列された表示パネル110と、該表示パネル110の各走査ラインSLに選択レベル（ハイレベル）の走査信号Vselを順次印加して、行ごとの表示画素EMを選択状態に設定する走査ドライバ（走査駆動部）120と、各行の走査ラインSLに並行に配設された電源ラインVLに電源電圧Vscを順次印加する電源ドライバ（電源駆動部）130と、表示データに応じた階調信号（階調電流Idata）を、各データラインDLを介して表示画素EMへ供給するデータドライバ（データ駆動部）140と、表示パネル110における所定の画像表示動作を実行するための走査制御信号及び電源制御信号、データ制御信号を生成して出力するシステムコントローラ（駆動制御部）150と、外部から供給される映像信号に基づいて、表示データ（輝度階調データ）を生成してデータドライバ140に供給する表示信号生成回路160と、を備え、さらに、各行の走査ラインSLに並行に配設されたバイアスラインBLを介して、各行の表示画素EMに所定の電圧レベルを有するバイアス信号（設定信号）Vbsを印加するバイアス制御ドライバ（状態設定制御部）170と、を備えた構成されている。

【0101】

バイアス制御ドライバ170は、システムコントローラ150から供給されるバイアス制御信号に基づいて、各行の表示画素EMについて、非発光動作期間Tnem中の特定の期間のみ、バイアス信号Vbsを当該行のバイアスラインBLに印加し、書込動作期間Twrntを除く非発光動作期間Tnem中、各表示画素EM（発光駆動回路DC2）に設けられた発光駆動用のスイッチング素子（薄膜トランジスタTr13のゲートソース間に0V（無

電圧)、又は、逆バイアス電圧を印加して)を無電界状態、又は、逆バイアス状態(特定のバイアス状態)に設定する。

【0102】

ここで、バイアス制御ドライバ170は、例えば、図9に示すように、上述した走査ドライバ120や電源ドライバ130と同様に、システムコントローラ150からバイアス制御信号として供給されるクロック信号BCK及びスタート信号BSTに基づいて、各行のバイアスラインBLに対応するシフト信号を順次出力する周知のシフトレジスタ171と、シフト信号を所定の電圧レベルに変換して、バイアス制御信号として供給される出力制御信号BOEに基づいて、各バイアスラインBLにバイアス信号Vbsとして出力する出力回路部172と、を備えた構成を有している。

【0103】

システムコントローラ150は、バイアス制御ドライバ170に対して、動作状態を制御するタイミング制御信号としてバイアス制御信号を生成して出力することにより、第1の実施形態に示した走査ドライバ120及び電源ドライバ130、データドライバ140に加え、バイアス制御ドライバ170を所定のタイミングで動作させて、所定の電圧レベルを有する走査信号Vsel及び電源電圧Vsc、表示データに応じた階調信号(階調電流Idata)、バイアス信号Vbsを生成して表示パネル110に出力させ、各表示画素EM(発光駆動回路DC2)における駆動制御動作(非発光動作、逆バイアス設定動作、書込動作、発光動作)を連続的に実行させて、映像信号に基づく所定の画像情報を表示パネル110に表示させる制御(後述する表示装置の表示駆動制御)を行う。

【0104】

また、本実施形態に係る表示パネル110に配列される表示画素EMは、例えば、図10に示すように、上述した第1の実施形態に示した構成(図3参照)と同様に、表示データに応じた階調信号(階調電流Idata)を取り込み、発光駆動電流を生成する発光駆動回路DC2と、該発光駆動電流に基づいて、所定の輝度階調で発光動作する有機EL素子(発光素子)OELと、を備え、特に、本実施形態に係る表示画素EMに適用される発光駆動回路DC2は、具体的には、第1の実施形態に示した薄膜トランジスタTr11~Tr13及びコンデンサCsに加え、ゲート端子(制御端子)がバイアスラインBLに、ドレイン端子及びソース端子(導通路の一端、他端)が走査ラインSL及び接点N11に各々接続された薄膜トランジスタ(バイアス制御手段、第4のスイッチ手段)Tr14を備えた構成を有している。

ここで、薄膜トランジスタTr11~Tr14は、上述したように、製造技術が簡易で素子特性(電子移動度等)が均一なアモルファスシリコン薄膜トランジスタを適用して構成されている。

【0105】

次いで、本実施形態に係る表示パネルに適用される表示画素(図10参照)の駆動制御方法について説明する。

図11は、本実施形態に係る表示装置に適用される表示画素における駆動制御方法(逆バイアス設定動作、非発光動作、書込動作、発光動作)を示すタイミングチャートである。また、図12は、本実施形態に係る表示画素(発光駆動回路)における逆バイアス設定動作及び非発光動作を示す概念図であり、図13は、本実施形態に係る表示画素(発光駆動回路)における書込動作及び発光動作を示す概念図である。ここで、上述した第1の実施形態と同等の駆動制御動作については、その説明を簡略化する。

【0106】

本実施形態に係る表示画素EM(発光駆動回路DC2)における駆動制御動作は、図11に示すように、所定の1処理サイクル期間Tcyc(例えば、1フレーム期間Tfr)内に、表示画素EM(発光駆動回路DC2)への電源電圧Vscの供給を遮断(ローレベルの電源電圧Vscを印加)することにより、有機EL素子OELへの発光駆動電流の供給を遮断して、発光動作させない非発光動作期間(非表示動作期間)Tnemと、当該非発光動作期間Tnem中に実行され、バイアスラインBLを介してバイアス信号Vbsを印加することに

より、発光駆動回路 DC 2 に設けられた発光駆動用の薄膜トランジスタ T_{r13} のゲートソース間（コンデンサ C_s ）に保持された（残留する）電荷を放電して 0 V（無電圧）又は逆バイアス電圧が印加された無電界状態又は逆バイアス状態に設定する逆バイアス設定期間 T_{bs} と、当該非発光動作期間 T_{nem} 中に実行され、走査ライン SL に接続された表示画素 EM を選択状態に設定し、表示データに応じた電流値を有する階調電流 I_{data} を供給することにより、発光駆動回路 DC 2 に設けられた発光駆動用の薄膜トランジスタ T_{r13} のゲートソース間（コンデンサ C_s ）に、当該表示データに応じた電圧成分を保持させる書込動作期間 T_{wrt} と、当該書込動作期間 T_{wrt} に薄膜トランジスタ T_{r13} のゲートソース間に保持された電圧成分に基づいて、表示データに応じた電流値を有する発光駆動電流 I_b を有機 EL 素子 OEL に流して、所定の輝度階調で発光動作させる発光動作期間（表示動作期間） T_{em} と、を含むように設定されている（ $T_{cyc} \geq T_{em} + T_{nem}$ 、 $T_{nem} \geq T_{bs} + T_{wrt}$ ）。

【0107】

ここで、非発光動作期間 T_{nem} 中に設定される逆バイアス設定期間 T_{bs} 及び書込動作期間 T_{wrt} は、図 11 に示すように、各々、非発光動作期間 T_{nem} の開始時及び終了時に設定されるものであってもよいし、非発光動作期間の任意のタイミング（非発光動作期間の途中）で逆バイアス設定動作及び書込動作が実行されるように、逆バイアス設定期間 T_{bs} 及び書込動作期間 T_{wrt} が設定されるものであってもよい。

【0108】

（非発光動作期間）

まず、非発光動作期間 T_{nem} においては、図 11、図 12 (a) に示すように、走査ドライバ 120 から走査ライン SL に対して、非選択レベルの走査信号 V_{sel} を印加して当該表示画素 EM を非選択状態に設定するとともに、電源ドライバ 130 から電源ライン VL に対して、ローレベルの電源電圧 V_{sc} ($= V_s$) が印加される。また、データドライバ 140 からはデータライン DL に対して階調電流 I_{data} は供給されない。

【0109】

これにより、発光駆動回路 DC 2 に設けられた薄膜トランジスタ T_{r11} 及び T_{r12} がオフ状態に設定されるので、薄膜トランジスタ T_{r13} のゲート端子（接点 $N11$ ；コンデンサ C_s の一端側）と電源ライン VL との電気的な接続が遮断されるとともに、薄膜トランジスタ T_{r13} のソース端子（接点 $N12$ ；コンデンサ C_s の他端側）とデータライン DL との電気的な接続も遮断された状態に設定される。なお、非発光動作期間 T_{nem} において、後述する逆バイアス設定期間 T_{bs} 以外の期間においては、バイアス制御ドライバ 170 からバイアスライン BL に対して、ローレベルのバイアス信号 V_{bs} が印加され、薄膜トランジスタ T_{r14} はオフ状態に設定されることにより、薄膜トランジスタ T_{r13} のゲート端子（接点 $N11$ ；コンデンサ C_s の一端側）と走査ライン SL との電気的な接続が遮断された状態に設定される。

【0110】

ここで、上述した第 1 の実施形態に示した非表示動作期間と同様に、各表示画素における駆動制御動作は、1 処理サイクル期間 T_{cyc} （1 フレーム期間 T_{fr} ）を周期として繰り返し実行されるので、上記非発光動作期間 T_{nem} の開始時点における薄膜トランジスタの T_{r13} のゲートソース間（コンデンサ C_s の両端）には、一つ前の処理サイクル期間において表示データに基づいて書き込まれた電圧成分が保持された状態にあり、薄膜トランジスタ T_{r13} はオン状態にある。

【0111】

そのため、有機 EL 素子 OEL のアノード端子（接点 $N12$ ）には、電源ライン VL に印加されているローレベル（接地電位 GND 以下）の電源電圧 V_{sc} ($= V_s$) が薄膜トランジスタ T_{r13} を介して印加されることになり、カソード端子の電位 V_{com} （接地電位 GND ）に対して同等以下の電位に設定されるので、有機 EL 素子 OEL に逆バイアス電圧が印加されることになり、有機 EL 素子 OEL には発光駆動電流は流れず、発光動作は行われぬ（非発光動作）。

【0112】

(逆バイアス設定期間)

次いで、上記非発光動作期間 T_{nem} 中に設定される逆バイアス設定期間 T_{bs} においては、図11、図12(b)に示すように、バイアス制御ドライバ170からバイアスラインBLに対して、ハイレベルのバイアス信号 V_{bs} が印加される。

【0113】

これにより、発光駆動回路DC2に設けられた薄膜トランジスタ T_{r14} がオン動作することにより、薄膜トランジスタ T_{r13} のゲート端子(接点N11;コンデンサ C_s の一端側)には非選択レベル(ローレベル; V_{sn})に設定された走査信号 V_{sel} の電圧レベルが印加された状態に設定されるので、薄膜トランジスタ T_{r13} のゲートソース間(コンデンサ C_s の両端)には、上記非選択レベルの走査信号 V_{sel} に基づく電圧レベル($=V_{sn}$)と、接点N12の電位との差分が生じることになる。

【0114】

ここで、上述したように、非発光動作期間 T_{nem} の開始時点におけるコンデンサ C_s には、一つ前の処理サイクル期間において表示データに基づいて書き込まれた電圧成分が保持された状態にあり、薄膜トランジスタ T_{r13} はオン状態にあるので、図11に示すように、上記非発光動作期間 T_{nem} の開始時点で逆バイアス設定動作を実行する場合、接点N12(コンデンサ C_s の他端)には、薄膜トランジスタ T_{r13} を介して電源ラインVLに印加されている電源電圧 $V_{sc}(=V_s)$ が印加されることになる。

【0115】

したがって、薄膜トランジスタ T_{r13} のゲートソース間(コンデンサ C_s の両端)には、非選択レベルの走査信号 $V_{sel}(=V_{sn})$ と、ローレベルの電源電圧 $V_{sc}(=V_s)$ との差分($V_{sn}-V_s$)が印加、保持されることになる(図11、図12(b)中、コンデンサ C_s の両端電位 V_c 参照)。ここで、少なくとも非選択レベルの走査信号 $V_{sel}(=V_{sn})$ の電圧レベルを、ローレベルの電源電圧 $V_{sc}(=V_s)$ に対して同等、もしくは、低く設定することにより、薄膜トランジスタ T_{r13} のゲートソース間に印加される電位差(コンデンサ C_s の両端電圧 V_c)を、0V(無電界状態)又は逆バイアス状態に設定することができる。

【0116】

なお、上記非発光動作期間 T_{nem} の開始時点で逆バイアス設定動作を実行した場合、薄膜トランジスタ T_{r13} のゲートソース間(コンデンサ C_s の両端)には、上記逆バイアス電圧($V_{sn}-V_s$)が保持され、非発光動作期間 T_{nem} 中、継続して無電界状態又は逆バイアス状態が保持される。

【0117】

これにより、薄膜トランジスタ T_{r13} は確実にオフ動作するように制御されるので、有機EL素子OELのアノード端子(接点N12)に印加される電位はカソード端子の電位 V_{com} (接地電位GND)に対して同等以下に設定されて、有機EL素子OELに逆バイアス電圧が印加されることになり、有機EL素子OELには発光駆動電流は流れず、発光動作は行われぬ(非発光動作)。

【0118】

(書込動作期間)

次いで、上記非発光動作期間 T_{nem} 中に設定される書込動作期間 T_{wrt} においては、図11、図13(a)に示すように、走査ドライバ120から走査ラインSLに対して、選択レベル(ハイレベル)の走査信号 V_{sel} を印加して当該表示画素EMを選択状態に設定するとともに、この選択タイミングに同期して、データドライバ140からデータラインDLに対して、表示データに応じた(負極性の)電流値を有する階調電流 I_{data} を供給する。また、この書込動作期間 T_{wrt} においては、上記非発光動作期間 T_{nem} と同様に、電源ドライバ130から電源ラインVLに対して、ローレベルの電源電圧 $V_{sc}(=V_s)$ が印加され、バイアス制御ドライバ170からバイアスラインBLに対して、ローレベルのバイアス信号 V_{bs} が印加される。

【0119】

これにより、発光駆動回路DC2に設けられた薄膜トランジスタTr14がオフ状態に設定されるので、薄膜トランジスタTr13のゲート端子（接点N11；コンデンサCsの一端側）と走査ラインSLとの電氣的な接続が遮断された状態に設定され、上述した第1の実施形態に示した書込動作期間と同様に、薄膜トランジスタTr11～Tr13がオン動作して、電源ラインVLから薄膜トランジスタTr13、接点N12、薄膜トランジスタTr12、データラインDLを介して、データドライバ140方向に、階調電流Idataに対応した書込電流Iaが流れる。

【0120】

したがって、薄膜トランジスタのTr13のゲートソース間（コンデンサCsの両端）には、書込電流Iaにより生じた電位差に対応する電荷が蓄積され、電圧成分Vdataとして保持される（図11中、コンデンサCsの両端電位Vc参照）。また、このとき、有機EL素子OELには逆バイアス電圧が印加されることになり、発光駆動電流は流れず、発光動作は行われぬ（非発光動作）。

【0121】

（発光動作期間）

次いで、書込動作期間T_{wrt}、又は、該書込動作期間T_{wrt}を含む非発光動作期間T_{nem}終了後の発光動作期間T_{em}においては、図11、図13（b）に示すように、上述した非発光動作期間T_{nem}と同様に、走査ドライバ120から走査ラインSLに対して、ローレベルの走査信号V_{sel}を印加して当該表示画素EMを非選択状態に設定するとともに、この非選択タイミングに同期して、データドライバ130からの階調電流I_{data}の供給が遮断されて、当該階調電流I_{data}の引き込み動作が停止される。また、上記非発光動作期間T_{nem}と同様に、バイアス制御ドライバ170からバイアスラインBLに対して、ローレベルのバイアス信号V_{bs}が印加される。一方、この発光動作期間T_{em}においては、電源ドライバ130から電源ラインVLに対して、ハイレベルの電源電圧V_{sc}（=V_e）が印加される。

【0122】

これにより、発光駆動回路DC2に設けられた薄膜トランジスタTr11、Tr12、Tr14がオフ動作するので、上述した第1の実施形態に示した発光動作期間と同様に、コンデンサCsには、上述した書込動作期間T_{wrt}において蓄積された電荷（電圧成分V_{data}）が保持されることになり、薄膜トランジスタTr13はオン状態を維持する。また、電源ラインVLにハイレベルの電源電圧V_{sc}（=V_e）が印加されることにより、有機EL素子OELのアノード端子（接点N12）の電位はカソード端子の電位（接地電位）よりも高くなる。

【0123】

したがって、電源ラインVLから薄膜トランジスタTr13、接点N12を介して、有機EL素子OELに順バイアス方向に所定の発光駆動電流I_b（≒I_a）が流れ、発光動作期間T_{em}中、有機EL素子OELは表示データ（階調電流I_{data}）に応じた輝度階調で発光する動作を継続する。

【0124】

ここで、上述した回路構成を有する表示画素（発光駆動回路）及びその駆動制御方法によるしきい値電圧の変動抑制効果（V_{th}シフト量抑制効果）について具体的に説明する。

図14は、本実施形態に係る表示画素において、発光駆動用のスイッチング素子（薄膜トランジスタ）を逆バイアス状態に設定した場合のしきい値電圧の変動量（V_{th}シフト量）を示す実験結果である。ここでは、発光駆動用のスイッチング素子として適用されるnチャネル型のアモルファスシリコン薄膜トランジスタについて、ゲートソース間に順バイアス電圧を印加して継続的にオン動作させた場合（図中、点線で示す）と、駆動動作期間の1/5の期間だけ、逆バイアス電圧（例えば、-30V）を印加して逆バイアス状態に設定した場合（図中、実線で示す）の、時間経過に対するしきい値電圧の変動量の変化傾向を測定した結果の一例を示す。

【0125】

図14に示すように、薄膜トランジスタに順バイアス電圧を継続的に印加した場合においては、図中、点線で示すように、時間の経過（横軸）にしたがって、しきい値電圧の変動量（ V_{th} シフト量）が顕著に増大する傾向を示す（250時間経過で2V程度）のに対して、薄膜トランジスタに一定期間、逆バイアス電圧を印加した場合においては、図中、実線で示すように、時間の経過（横軸）に対して、しきい値電圧の変動量が大幅に抑制される傾向を示す（250時間経過で0.6V程度）ことが判明した。

【0126】

このようなしきい値電圧の変動抑制効果（ V_{th} シフト量抑制効果）は、アモルファスシリコン薄膜トランジスタの素子構造において、駆動動作期間中に一定期間だけ逆バイアス状態を設定することによって、ゲート絶縁膜を構成する窒化膜中への電荷の導入が膜厚の比較的浅い領域において行われ、深い領域への導入が抑制されること、さらに、逆バイアス状態に設定されることにより、窒化膜にトラップされた電荷が放出されることによるものと考えられている。

【0127】

したがって、各表示画素EM（発光駆動回路DC2）に設けられる発光駆動用のスイッチング素子として、アモルファスシリコン薄膜トランジスタを適用した場合であっても、駆動履歴によるしきい値電圧の変動（ V_{th} シフト）を抑制することができるので、有機EL素子OELに対して表示データに対応した電流値を有する発光駆動電流 I_b を供給することができ、適切な輝度階調で発光動作（表示動作）することができ、表示画質を向上させることができる。

【0128】

<表示装置の表示駆動方法>

次に、本実施形態に係る表示装置における表示駆動方法（画像情報の表示動作）について説明する。

図15は、本実施形態に係る表示装置の表示駆動方法の一例を模式的に示したタイミングチャートである。ここで、上述した第1の実施形態と同等の制御方法については、その説明を簡略化する。また、図中の各行の斜線で示したハッチング部分は、各々、上述した表示データの逆バイアス設定期間を表している。

【0129】

本実施形態に係る表示装置100Bの表示駆動方法は、まず、表示パネル110に配列された各行ごとの表示画素EM（発光駆動回路DC2）に対して、表示画素EMを表示動作させない（有機EL素子OELを発光動作させない）非発光動作を実行し、当該非発光動作期間 T_{nem} 中の任意のタイミング（本実施形態では非発光動作期間 T_{nem} の開始と同時に）で、各表示画素EM（発光駆動回路DC2）に設けられた発光駆動用のスイッチング素子（薄膜トランジスタ T_{r13} ）に逆バイアス電圧を印加する逆バイアス設定動作を各行ごとに順次実行する。その後、当該非発光動作期間 T_{nem} 中の任意のタイミング（本実施形態では非発光動作期間 T_{nem} の終了間際）で、表示データに応じた階調電流 I_{data} を書き込む書込動作を各行ごとに順次実行し、その後、当該表示データ（階調電流）に応じた所定の輝度階調で順次発光動作させることにより、表示パネル110一画面分の画像情報が表示される。ここで、少なくとも各行における書込動作期間 T_{wrt} が相互に（時間的に）重ならないように動作タイミングが制御される。

【0130】

具体的には、まず、図15に示すように、1フレーム期間 T_{fr} 内の非発光動作期間 T_{nem} の開始タイミングに同期して設定される逆バイアス設定期間 T_{bs} （図中、斜線で表示）においては、図11に示したように、表示パネル110の特定の行（例えば、 i 行目； $1 \leq i \leq 12$ ）の走査ラインSLに対して、非選択レベル（ローレベル）の走査信号 V_{sel} を印加することにより、当該 i 行の表示画素EMを非選択状態に設定する。

【0131】

そして、このタイミングに同期して、当該 i 行の電源ラインVLに対して、ローレベル

の電源電圧 V_{sc} ($=V_s$) を印加するとともに、当該 i 行のバイアスライン BL に対して、バイアス信号 V_{bs} を印加することにより、図 12 (b) に示したように、当該 i 行の各表示画素 EM において発光駆動用の薄膜トランジスタ T_{r13} のゲートソース間に逆バイアス電圧が印加される（逆バイアス設定動作）ので、当該薄膜トランジスタ T_{r13} はオフ動作して、有機 EL 素子 OEL 方向に発光駆動電流 I_b は流れず、当該 i 行の表示画素 EM が非発光状態に設定される（非発光動作する）。

【0132】

また、逆バイアス設定期間 T_{bs} 終了後の非発光動作期間 T_{nem} （図中、白抜きで表示）においては、上述した逆バイアス設定動作により薄膜トランジスタ T_{r13} のゲートソース間に印加された逆バイアス電圧が保持されることにより、当該薄膜トランジスタ T_{r13} はオフ状態を保持して、有機 EL 素子 OEL 方向に発光駆動電流 I_b は流れず、当該 i 行の表示画素 EM が非発光状態を継続する（非発光動作する）。

【0133】

次いで、図 15 に示すように、上記非発光動作期間 T_{nem} の終了タイミングに同期して設定される書込動作期間 T_{wrt} （図中、クロスマッシュで表示）においては、図 11 に示したように、 i 行の走査ライン SL に対して、選択レベル（ハイレベル）の走査信号 V_{sel} を印加することにより、当該 i 行の表示画素 EM を選択状態に設定する。また、当該 i 行の電源ライン VL に対して、ローレベルの電源電圧 V_{sc} ($=V_s$) が印加される。

【0134】

そして、この選択タイミングに同期して、当該 i 行の表示データに応じた電流値を有する階調電流 I_{data} を、各データライン DL に供給することにより、図 13 (a) に示したように、当該 i 行の各表示画素 EM （発光駆動回路 DC ）の薄膜トランジスタ T_{r13} のゲートソース端子間（コンデンサ C_s の両端）に、階調電流 I_{data} に応じた電圧成分が保持（電荷が蓄積）される。

【0135】

このような書込動作を含む非発光動作は、表示パネル 110 に配列された表示画素 EM について、各行ごとにタイミングをずらして順次実行され、特に各行における書込動作は相互に時間的に重ならないように順次実行される。

次いで、図 15 に示すように、発光動作期間 T_{em} （図中、ドットハッチングで表示）においては、 i 行の各表示画素 EM を非選択状態に設定するとともに、各データライン DL への階調電流 I_{data} の供給が遮断される。

【0136】

そして、このタイミングに同期して、当該 i 行の電源ライン VL に対して、ハイレベルの電源電圧 V_{sc} ($=V_e$) が印加されることにより、図 13 (b) に示したように、各表示画素 EM （発光駆動用の薄膜トランジスタ T_{r13} のゲートソース間）に充電された電圧成分に基づいて、表示データ（階調電流 I_{data} ）に応じた発光駆動電流 I_b が薄膜トランジスタ T_{r13} を介して有機 EL 素子 OEL に供給されて、所定の輝度階調で発光動作が行われる。

このような発光動作は、表示パネル 110 に配列された表示画素 EM について、上述した書込動作（又は、書込動作を含む非発光動作）が終了した行の表示画素 EM ごとにタイミングをずらして順次実行される。

【0137】

すなわち、表示パネル 110 に 2 次元配列された複数の表示画素 EM について、各行ごとに 1 フレーム期間 T_{fr} 中に所定の長さの非発光動作期間 T_{nem} が設定されるので、1 フレーム期間 T_{fr} のうち、一定期間のみ表示データ（階調電流 I_{data} ）に応じた輝度階調で各表示画素 EM が発光動作する擬似インパルス型の表示駆動制御を実現することができる。これにより、動画像をボケやにじみがなく鮮明に表示することができる。

【0138】

また、この場合、従来技術に示した表示駆動方法（図 17 参照）と同様に、1 フレーム期間 T_{fr} の全時間を用いて表示パネル 110 の全行（12 行分）の表示画素 EM に対して

、順次書込動作を実行することができるので、各行における書込動作期間 T_{wrt} が短縮されることがなく、書込時間を十分に確保することができ、表示データの書込不足に起因する表示品質の低下を抑制して、表示データに応じた適切な階調表示を実現することができる。

【0139】

さらに、非発光動作期間 T_{nem} において、各表示画素 EM に設けられた発光駆動用のスイッチング素子（薄膜トランジスタ $Tr13$ ）に逆バイアス電圧を印加して逆バイアス状態に設定することができるので、上記スイッチング素子としてアモルファスシリコン薄膜トランジスタを適用した場合であっても、しきい値電圧の変動（ V_{th} シフト）を大幅に抑制して、表示データに応じた適切な輝度階調で有機 EL 素子 OEL を発光動作させることができる。

【図面の簡単な説明】**【0140】**

【図1】 本発明に係る表示装置の第1の実施形態を示す概略ブロック図である。

【図2】 第1の実施形態に係る表示装置に適用される表示パネル及びその周辺回路（走査ドライバ、データドライバ、電源ドライバ）の一例を示す要部構成図である。

【図3】 第1の実施形態に係る表示装置に適用される表示画素（発光駆動回路）の一例を示す回路構成図である。

【図4】 第1の実施形態に係る表示装置に適用可能なデータドライバの一例を示す概略ブロック図である。

【図5】 第1の実施形態に係る表示装置に適用される表示画素における駆動制御方法（非発光動作、書込動作、発光動作）を示すタイミングチャートである。

【図6】 第1の実施形態に係る表示画素（発光駆動回路）における非発光動作及び書込動作を示す概念図である。

【図7】 第1の実施形態に係る表示画素（発光駆動回路）における発光動作を示す概念図である。

【図8】 第1の実施形態に係る表示装置の表示駆動方法の一例を模式的に示したタイミングチャートである。

【図9】 第2の実施形態に係る表示装置に適用される表示パネル及びその周辺回路（走査ドライバ、データドライバ、電源ドライバ、バイアス制御ドライバ）の一例を示す要部構成図である。

【図10】 第2の実施形態に係る表示装置に適用される表示画素（発光駆動回路）の一例を示す回路構成図である。

【図11】 第2の実施形態に係る表示装置に適用される表示画素における駆動制御方法（逆バイアス設定動作、非発光動作、書込動作、発光動作）を示すタイミングチャートである。

【図12】 第2の実施形態に係る表示画素（発光駆動回路）における逆バイアス設定動作及び非発光動作を示す概念図である。

【図13】 第2の実施形態に係る表示画素（発光駆動回路）における書込動作及び発光動作を示す概念図である。

【図14】 第2の実施形態に係る表示画素において、発光駆動用のスイッチング素子（薄膜トランジスタ）を逆バイアス状態に設定した場合のしきい値電圧の変動量（ V_{th} シフト量）を示す実験結果である。

【図15】 第2の実施形態に係る表示装置の表示駆動方法の一例を模式的に示したタイミングチャートである。

【図16】 従来技術におけるアクティブマトリックス型の表示装置の要部を示す概略構成図である。

【図17】 従来技術におけるアクティブマトリックス型の表示装置の表示駆動方法の一例（ホールド型）を模式的に示したタイミングチャートである。

【図18】 従来技術におけるアクティブマトリックス型の表示装置の表示駆動方法の

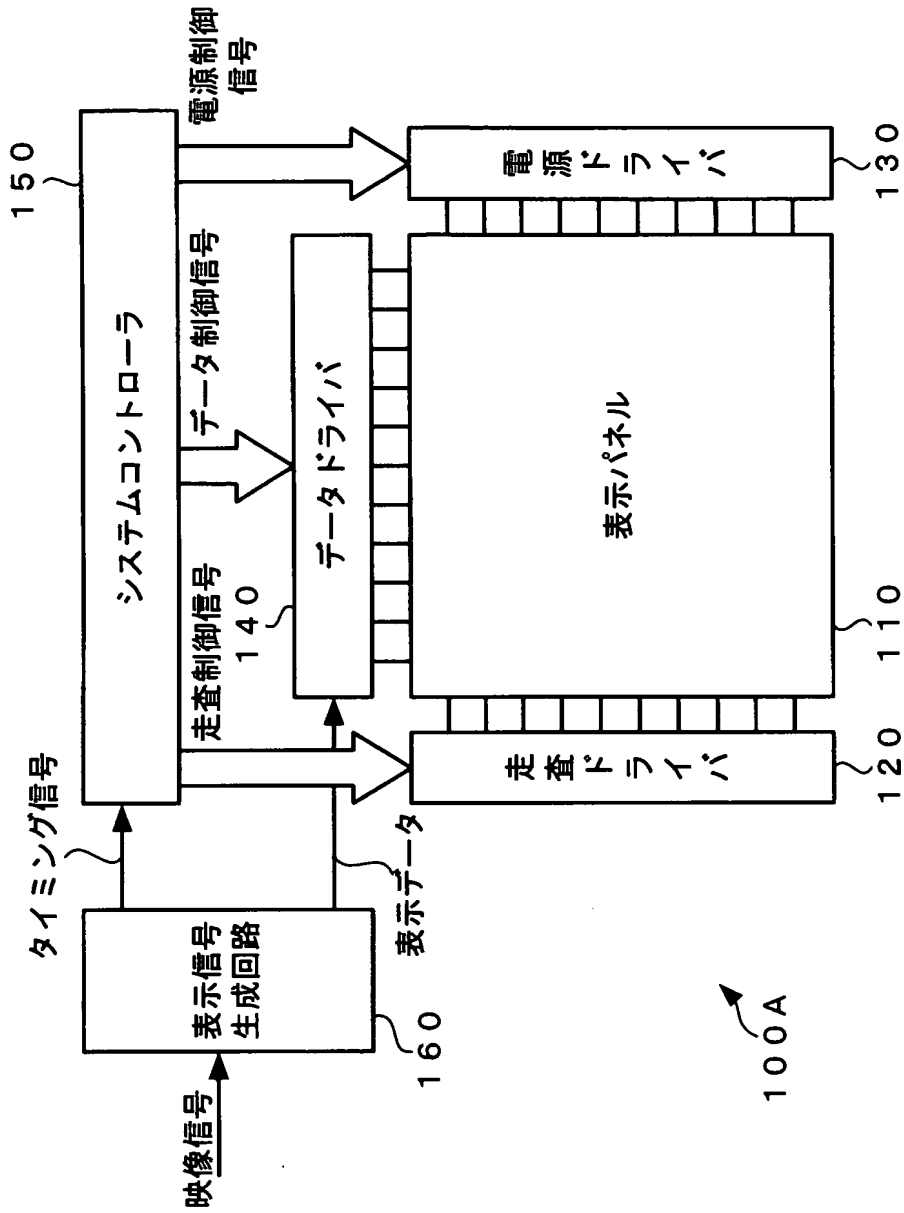
他の例（擬似インパルス型）を模式的に示したタイミングチャートである。

【符号の説明】

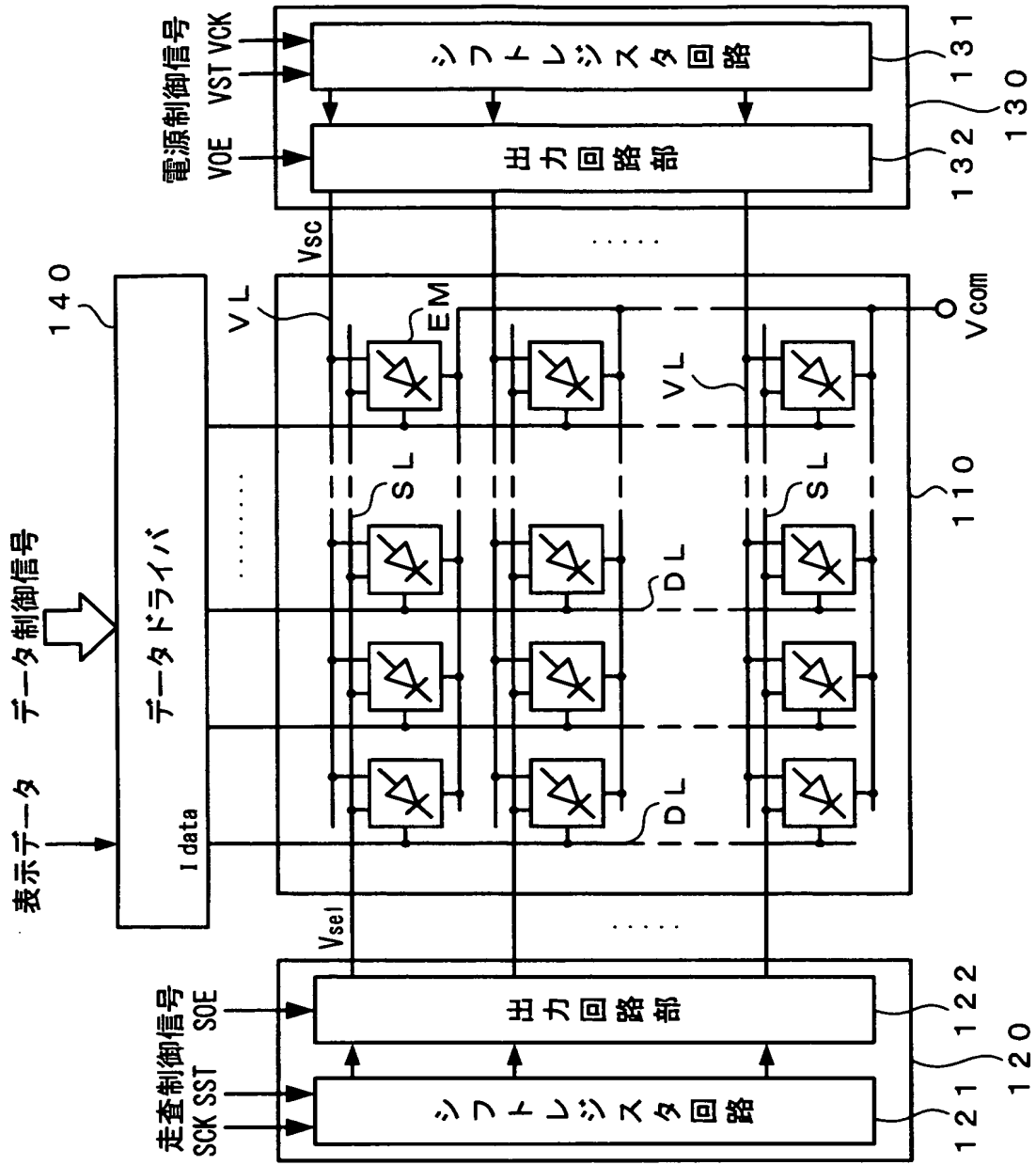
【0141】

100A、100B	表示装置
110	表示パネル
120	走査ドライバ
130	電源ドライバ
140	データドライバ
150	システムコントローラ
160	表示信号生成回路
150	バイアス制御ドライバ
EM	表示画素
DC1、DC2	発光駆動回路
SL	走査ライン
VL	電源ライン
DL	データライン
BL	バイアスライン
Tr11~Tr14	薄膜トランジスタ
Cs	コンデンサ
OEL	有機EL素子

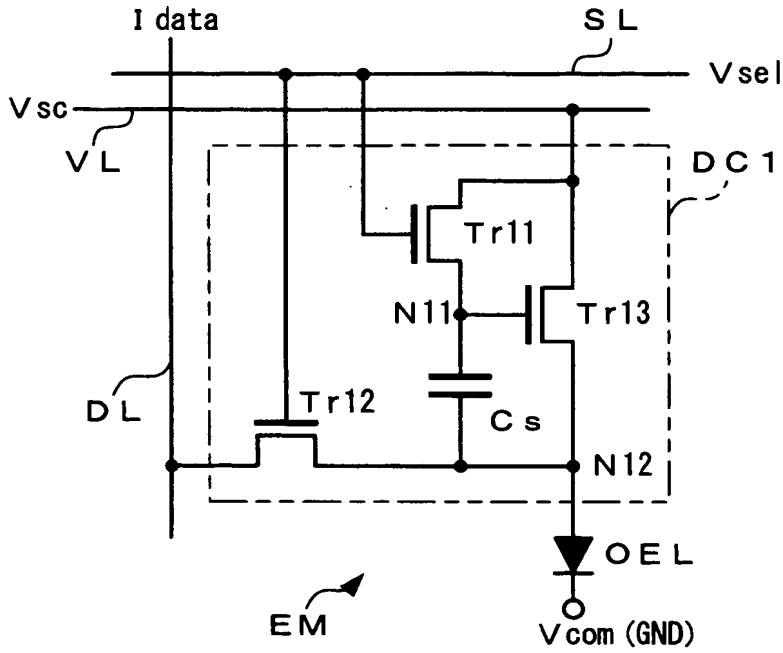
【書類名】 図面
【図 1】



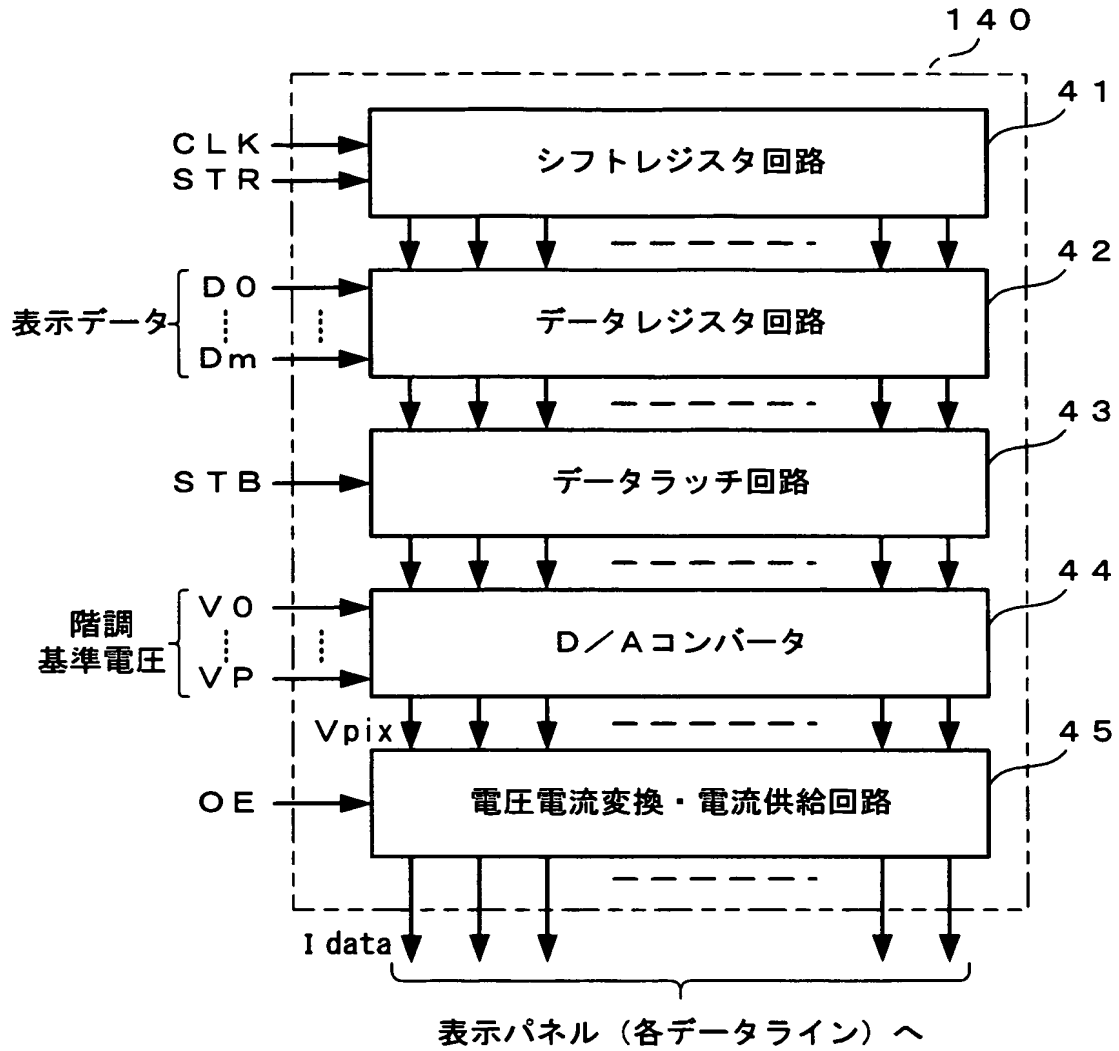
【図2】



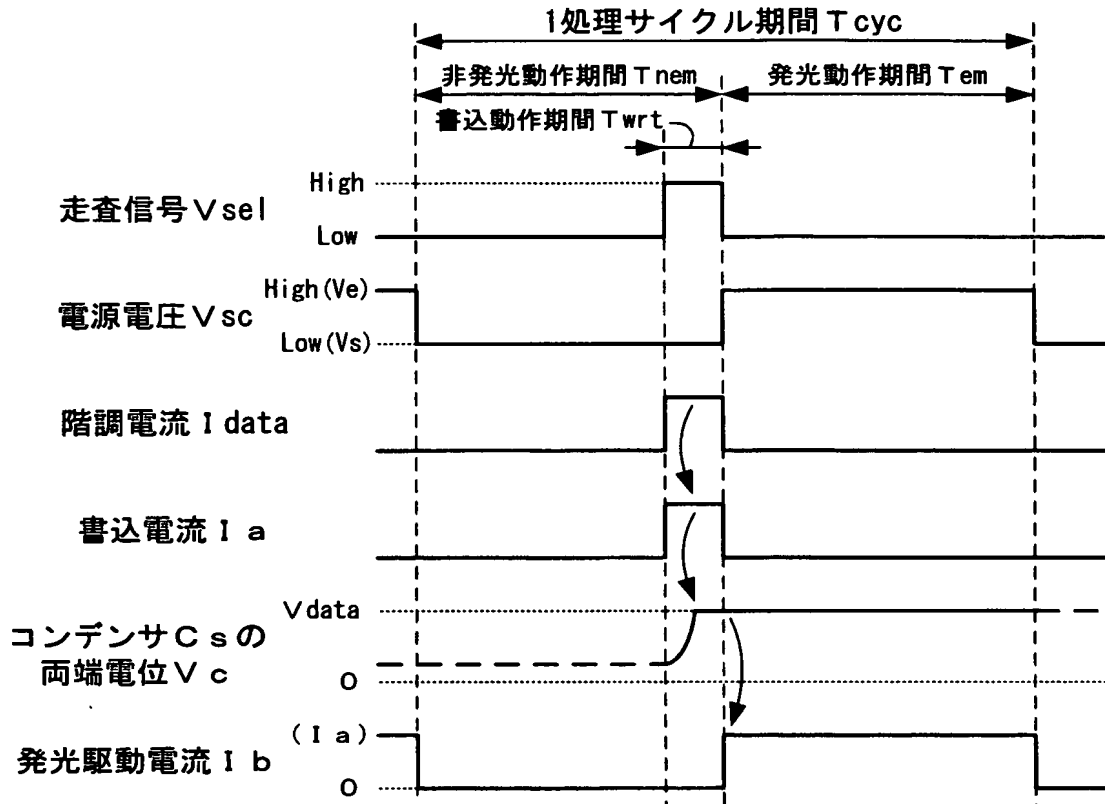
【図 3】



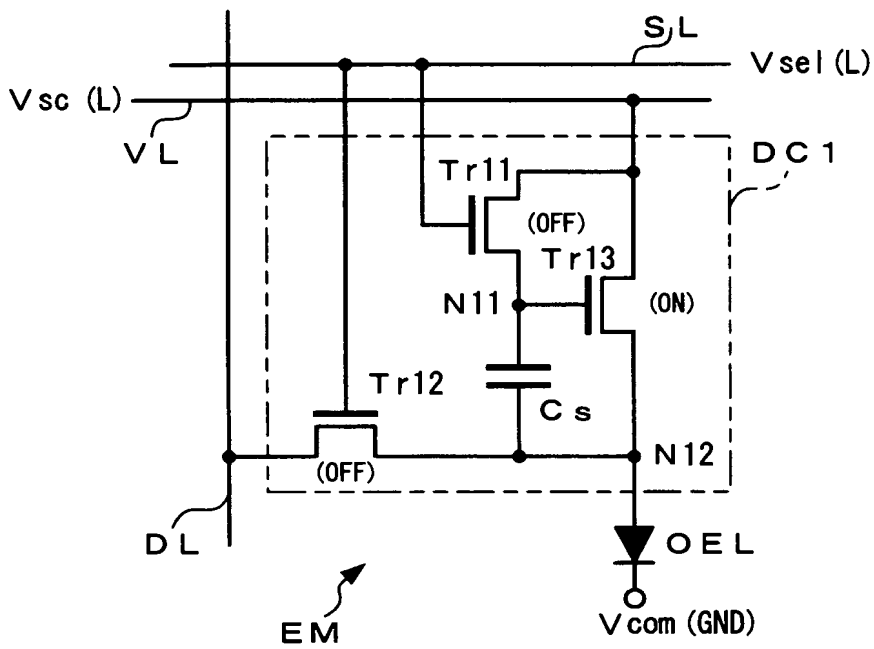
【図4】



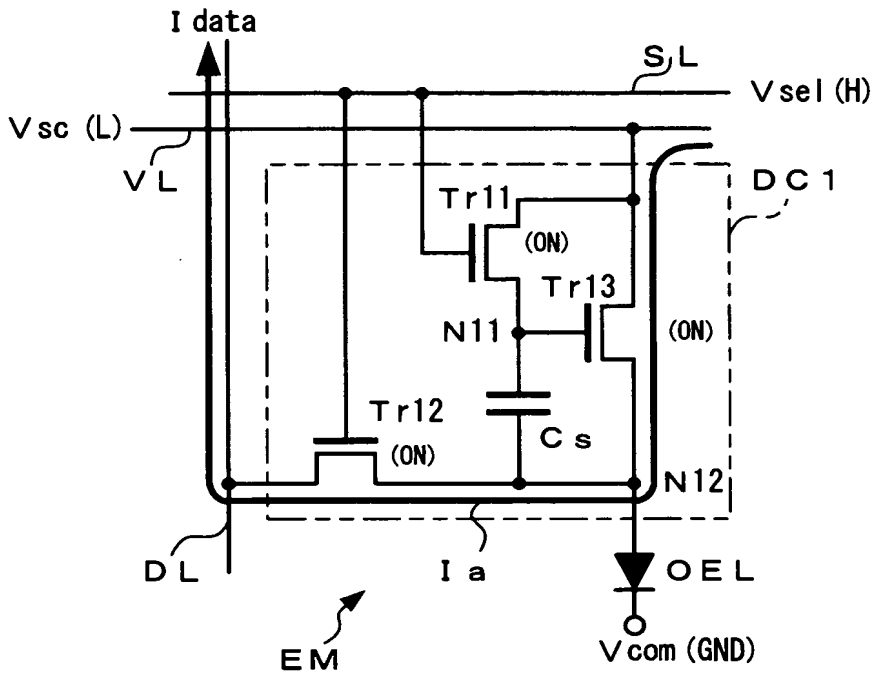
【図 5】



【図6】

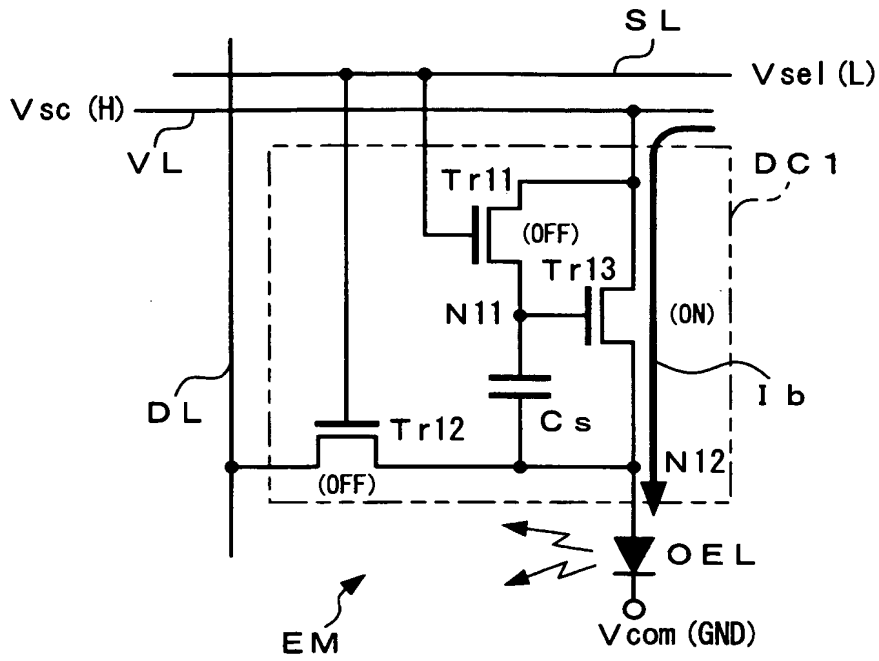


(a)

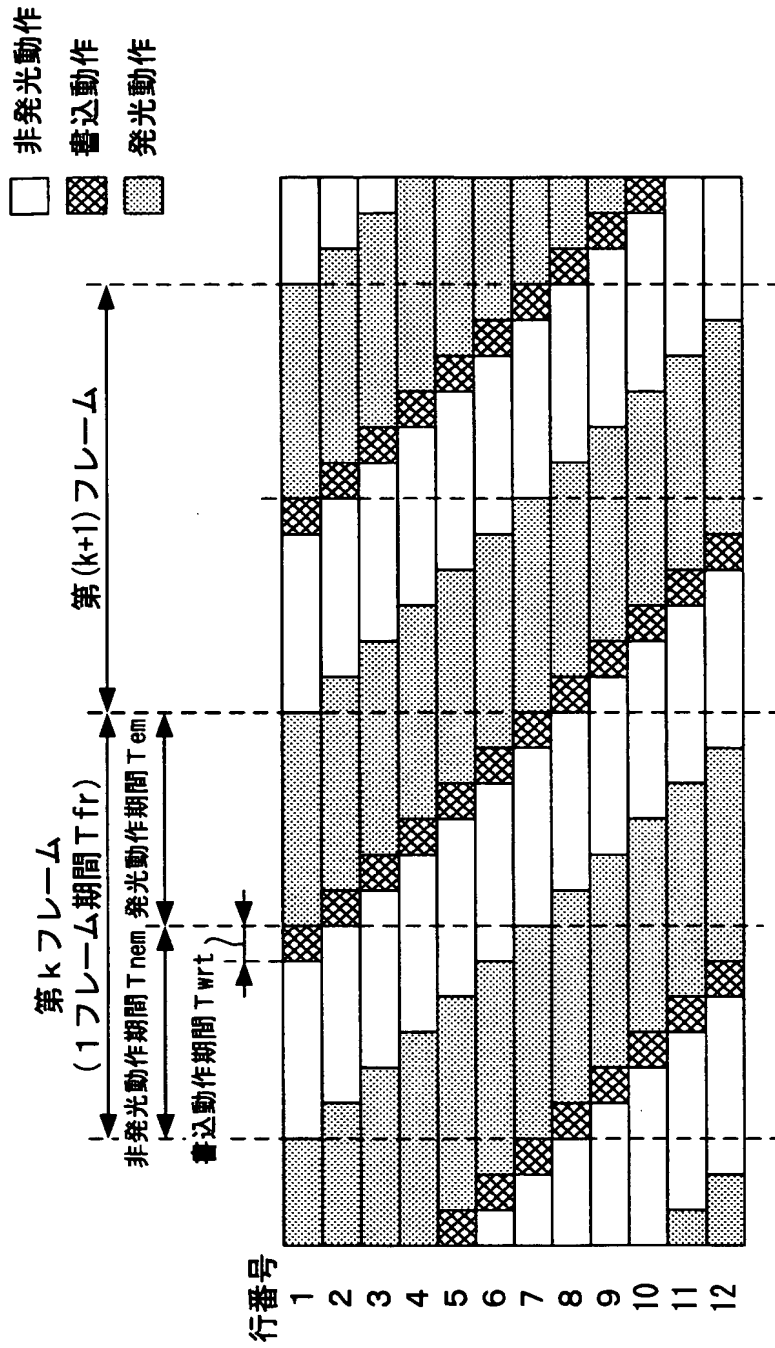


(b)

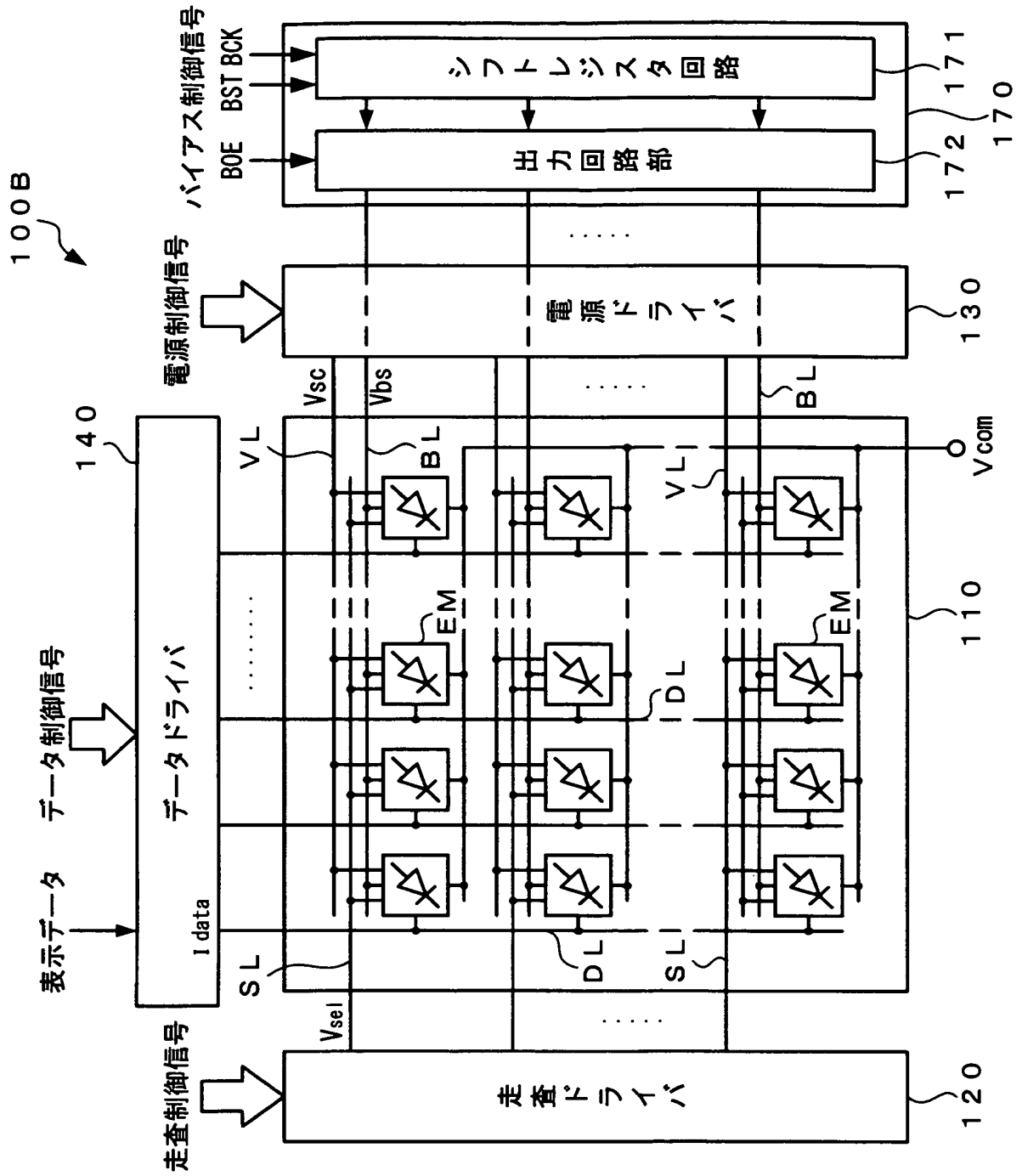
【図 7】



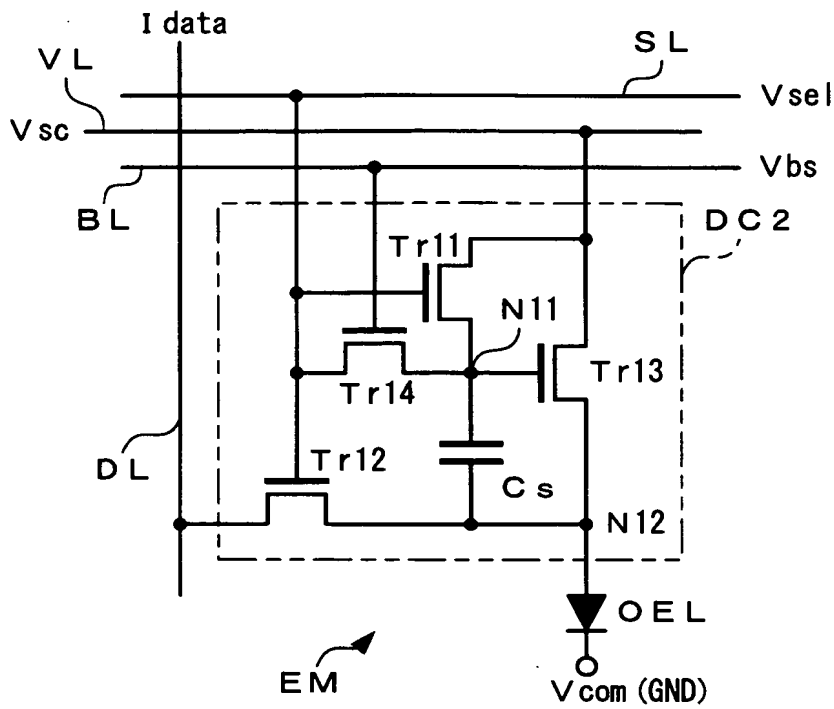
【図 8】



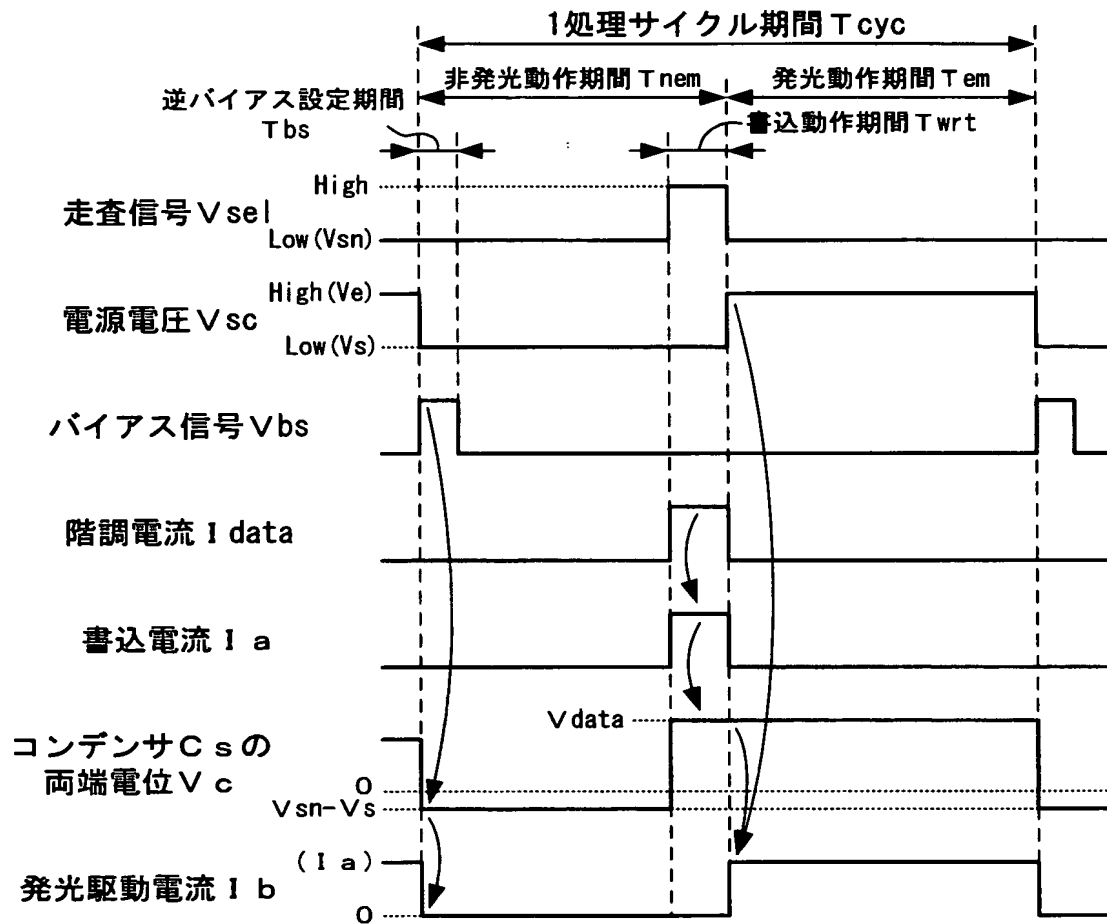
【図9】



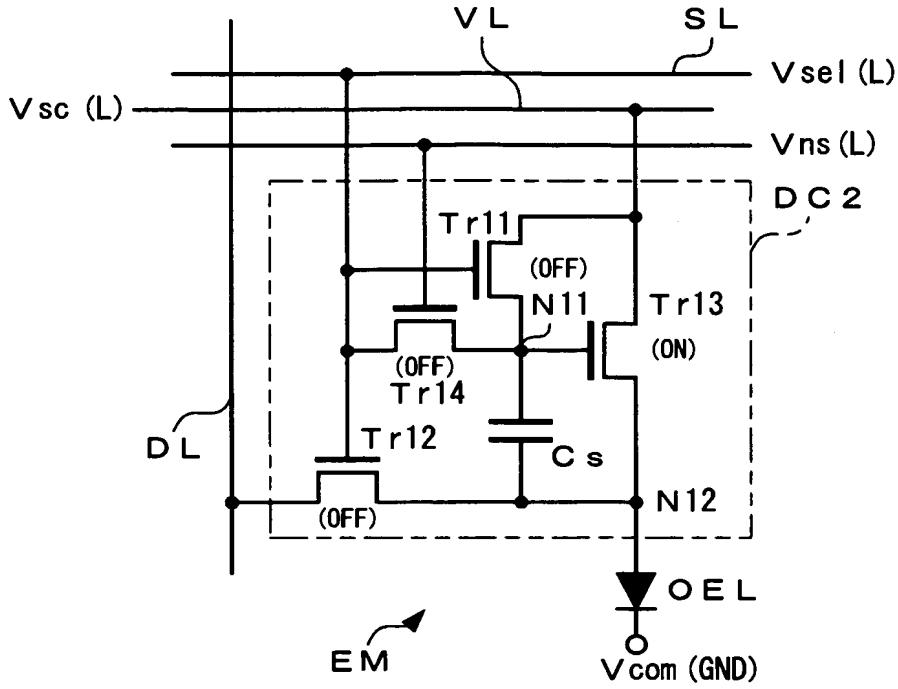
【図 10】



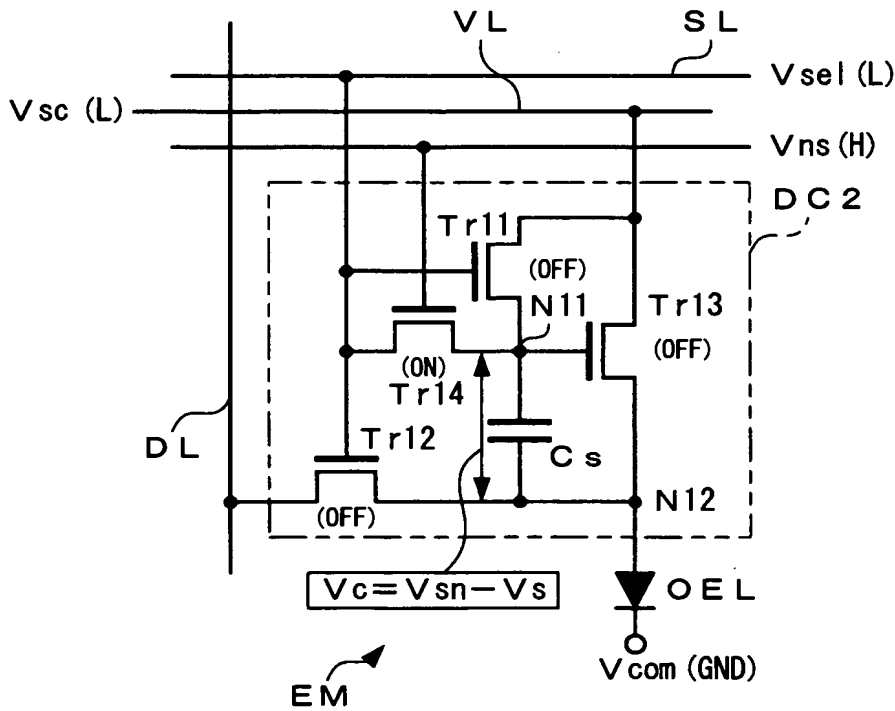
【図 11】



【図 12】

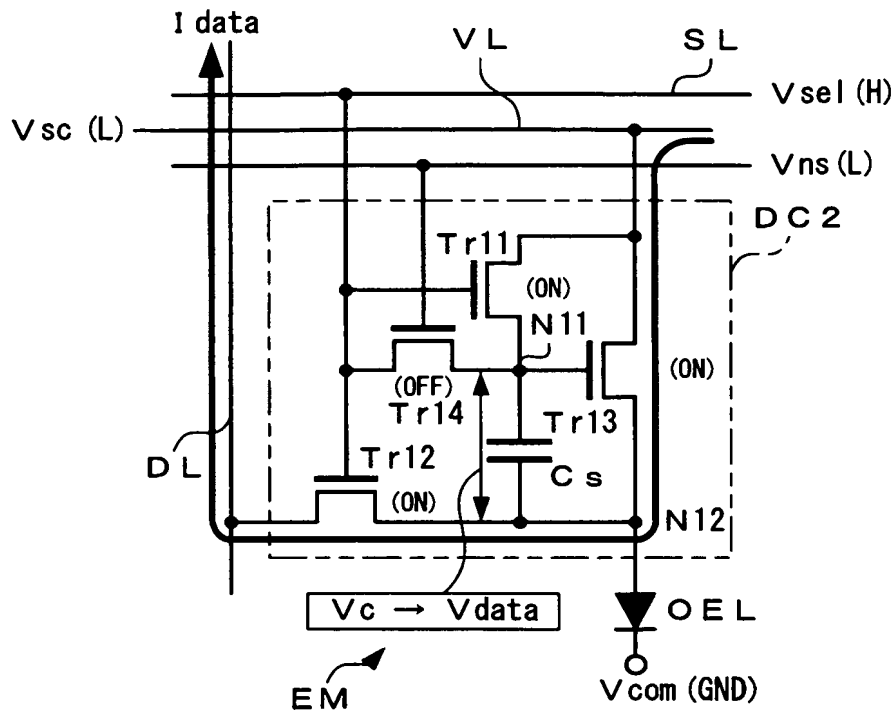


(a)

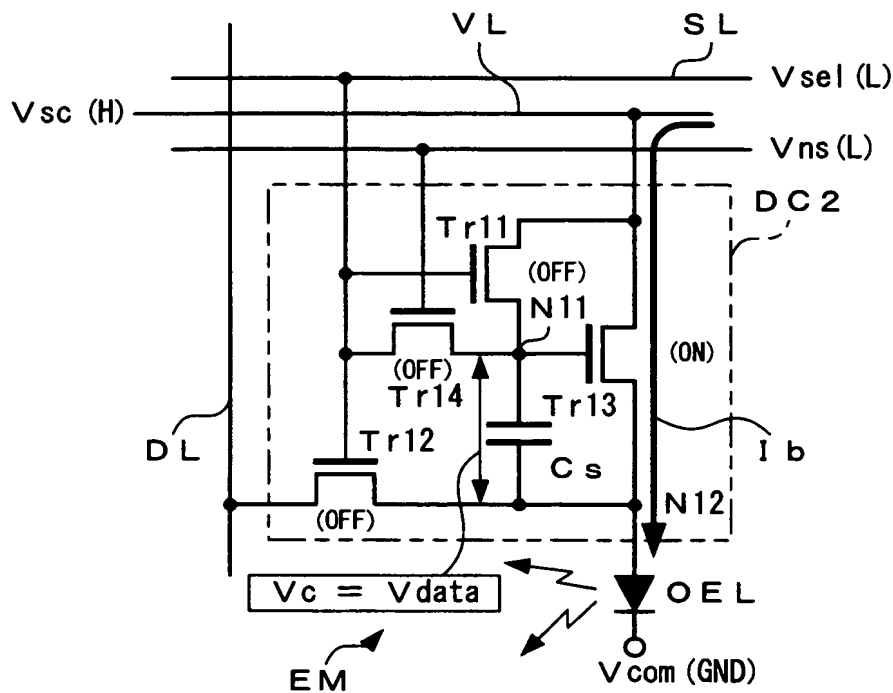


(b)

【図13】

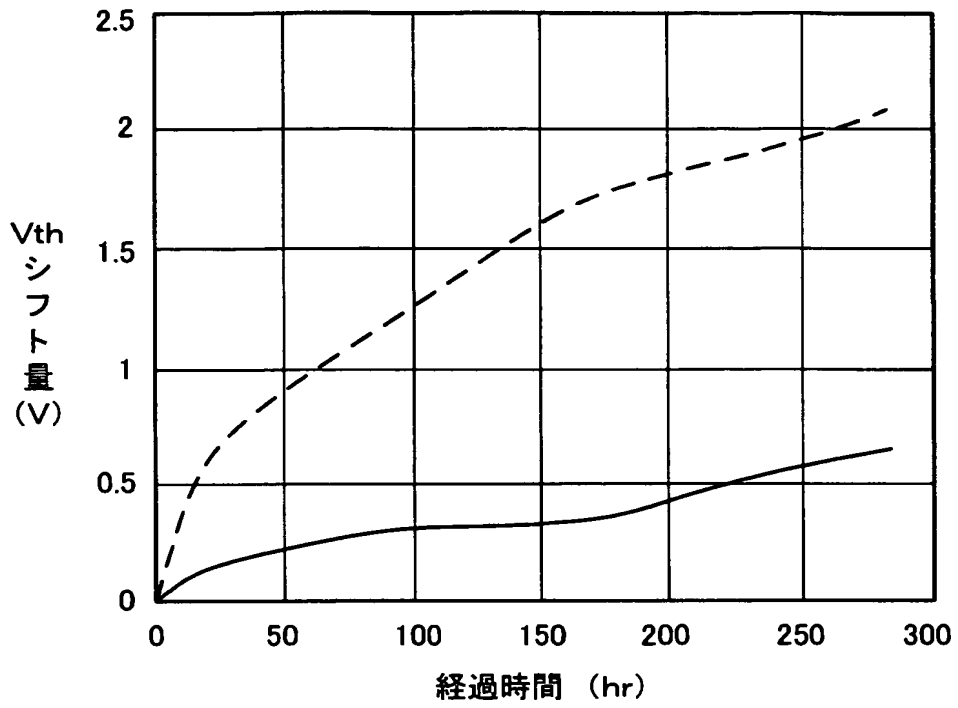


(a)

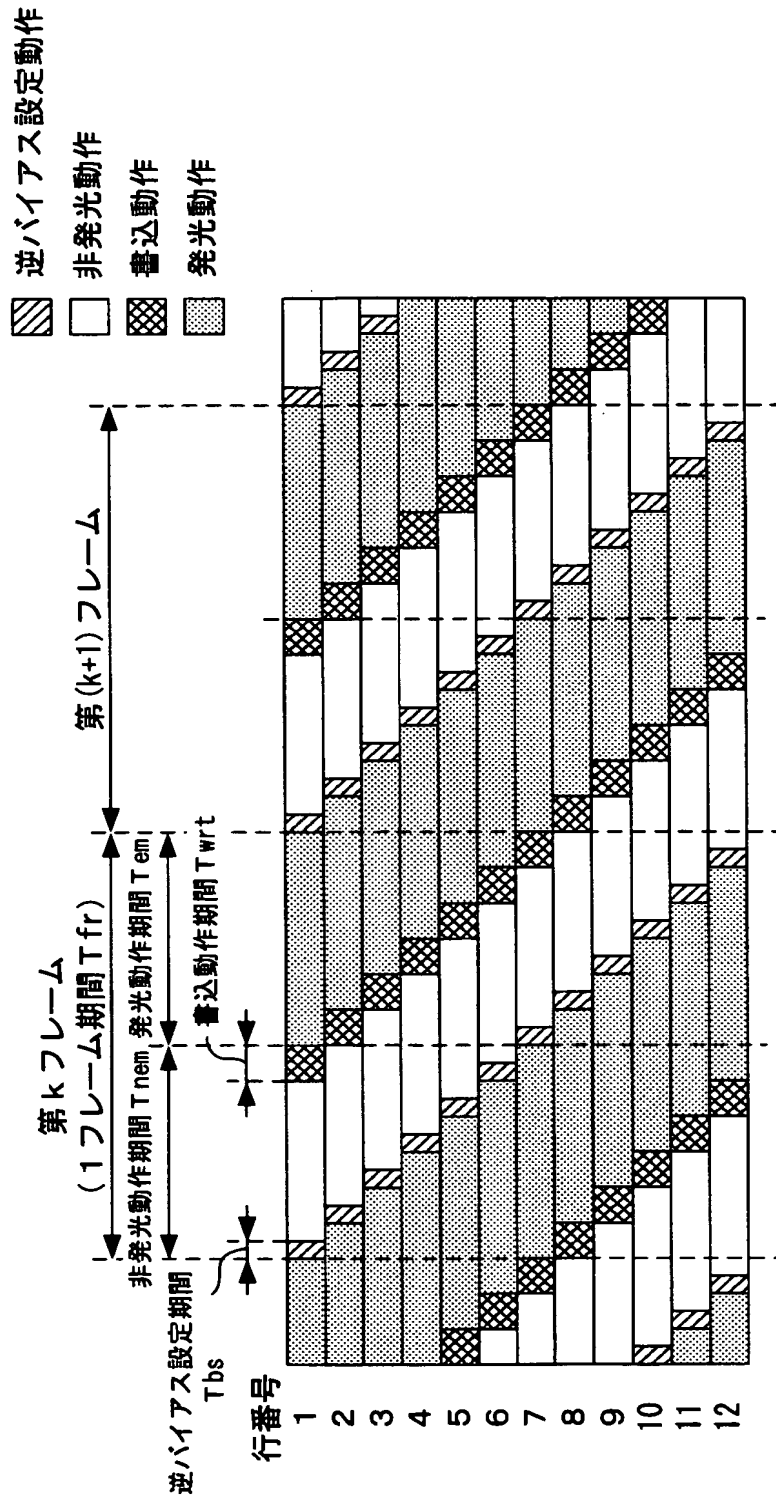


(b)

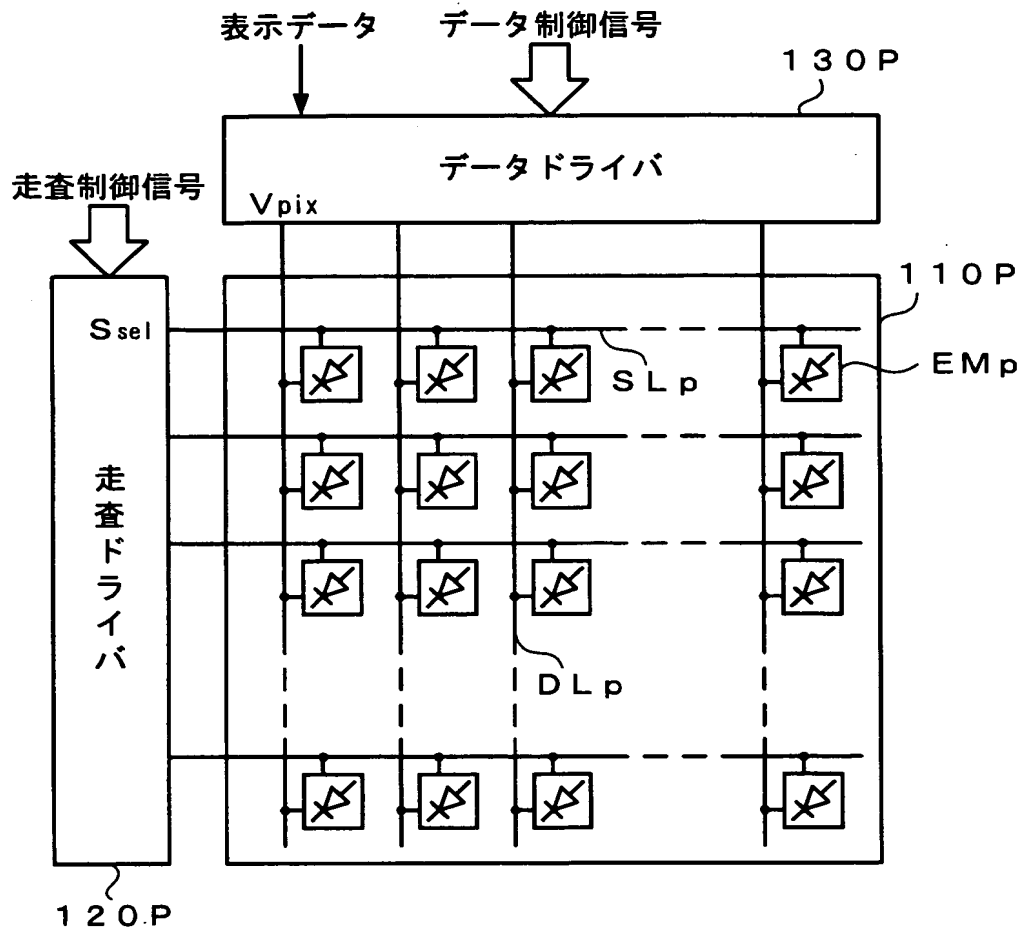
【図 14】



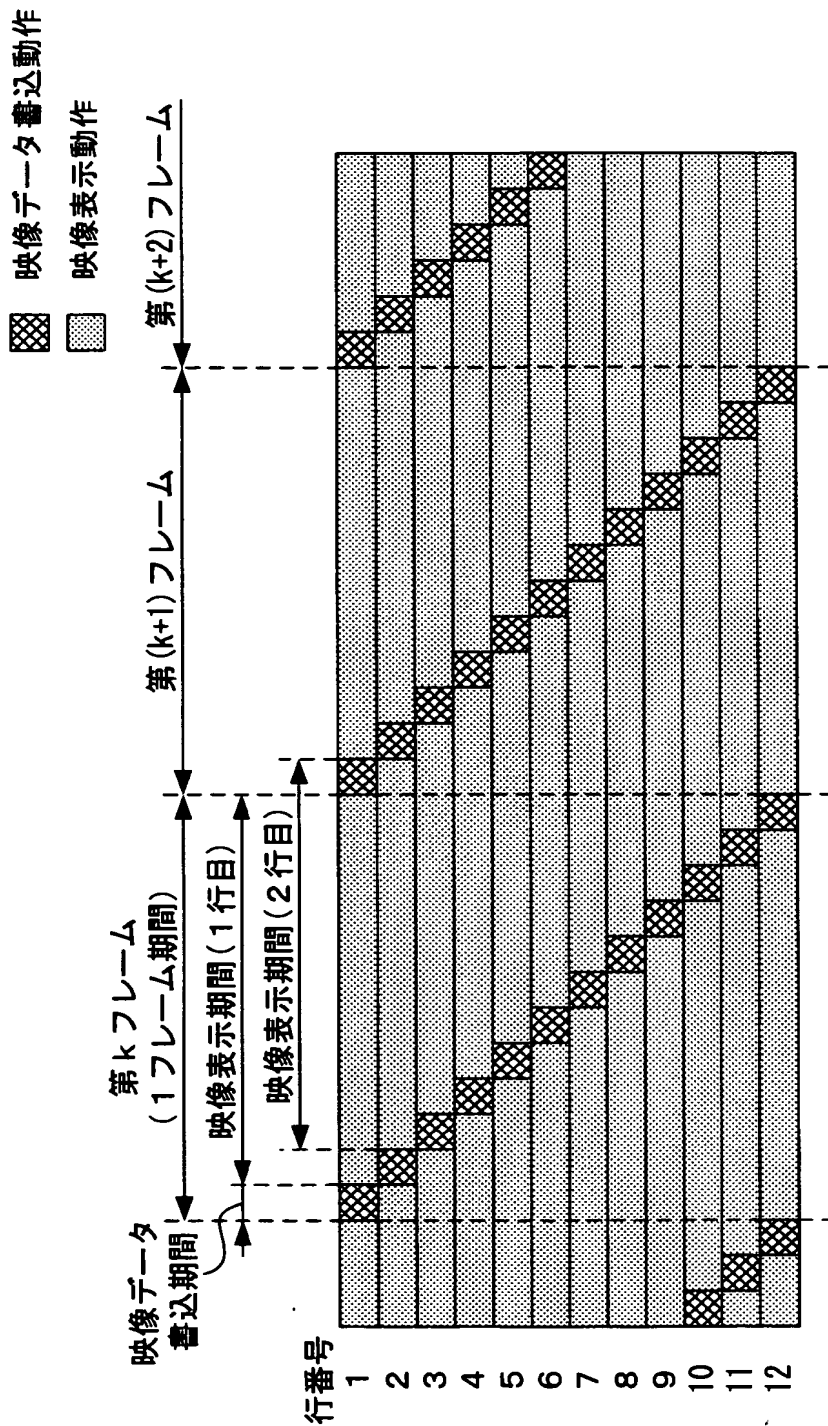
【図 15】



【図 16】

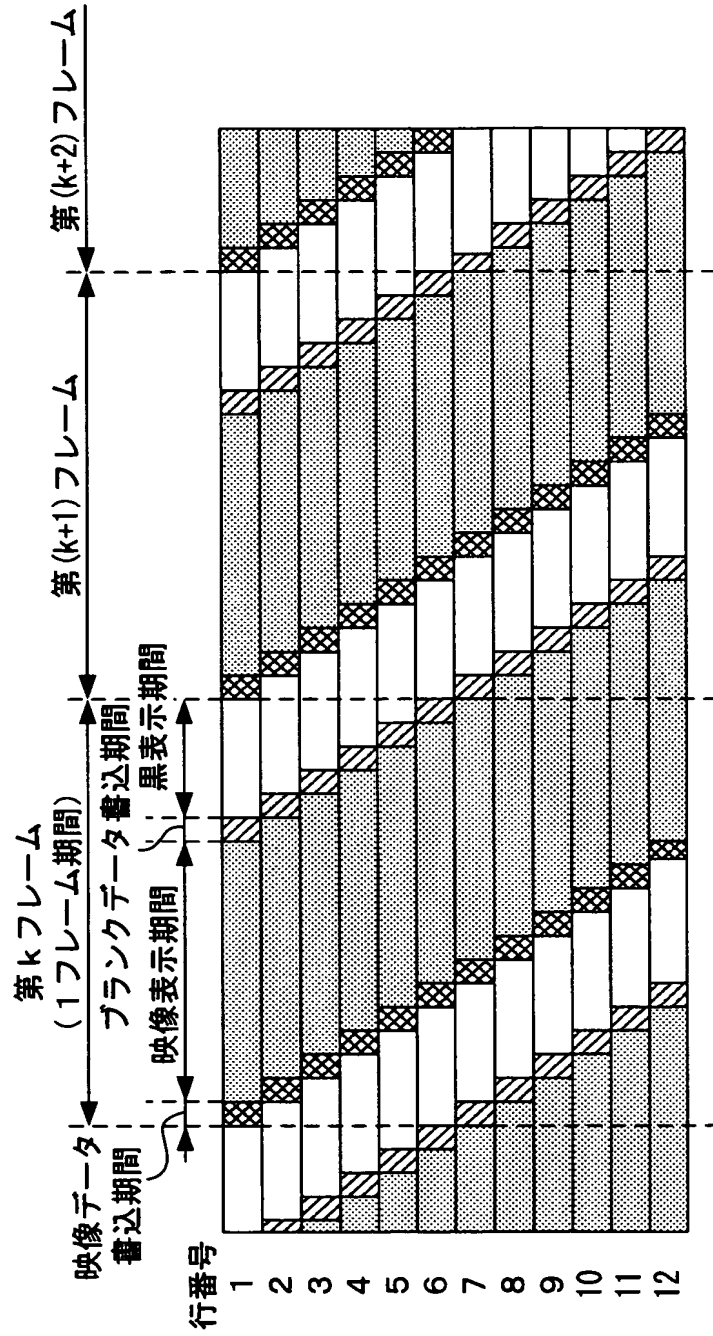


【図17】



【図 18】

- 映像データ書込動作
- 映像表示動作
- ブランキングデータ書込動作
- 黒表示動作



【書類名】 要約書**【要約】**

【課題】 アクティブマトリックス型の駆動方式に対応した表示パネルを備えた表示装置において、動画像をボケやにじみのない良好な表示品質で表示することができるとともに、映像データ（表示データ）に対応した適切な階調で画像情報を表示することができる表示装置及びその表示駆動方法を提供する。

【解決手段】 1 処理サイクル期間 T_{cyc} 内に、表示画素 EM にローレベルの電源電圧 V_{sc} を印加することにより、有機 EL 素子 OEL への発光駆動電流の供給を遮断して発光動作させない非発光動作期間 T_{nem} と、表示画素 EM を選択状態に設定し、表示データに応じた電圧成分を保持させる書込動作期間 T_{wrt} と、当該書込動作期間 T_{wrt} に保持された電圧成分に基づいて、表示データに応じた発光駆動電流を有機 EL 素子 OEL に流して発光動作させる発光動作期間 T_{em} と、を含むように設定されている。

【選択図】 図 5

認定・付加情報

特許出願の番号	特願 2005-150566
受付番号	50500924824
書類名	特許願
担当官	第一担当上席 0090
作成日	平成17年 5月25日

<認定情報・付加情報>

【提出日】 平成17年 5月24日

特願 2005-150566

出願人履歴情報

識別番号 [000001443]

1. 変更年月日 1998年 1月 9日
[変更理由] 住所変更
住所 東京都渋谷区本町1丁目6番2号
氏名 カシオ計算機株式会社

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日
Date of Application: 2005年 5月26日

出 願 番 号
Application Number: 特願2005-153382

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号
This country code and number
refer to your priority application,
which is used for filing abroad
under the Paris Convention, is
JP2005-153382

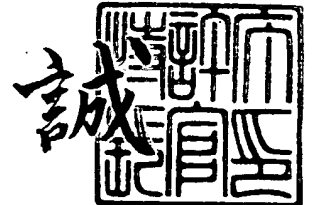
願 人
Applicant(s): カシオ計算機株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2006年 3月 3日

特許庁長官
Commissioner,
Japan Patent Office

中 嶋



BEST AVAILABLE COPY

出証番号 出証特2006-3015125

【書類名】 特許願
【整理番号】 05-0188-00
【あて先】 特許庁長官 殿
【国際特許分類】 H04N 01/387
G09G 03/00
G09G 03/20
G09G 03/30

【発明者】
【住所又は居所】 東京都八王子市石川町 2951 番地の 5
カシオ計算機株式会社 八王子技術センター内
【氏名】 尾崎 剛

【発明者】
【住所又は居所】 東京都八王子市石川町 2951 番地の 5
カシオ計算機株式会社 八王子技術センター内
【氏名】 小倉 潤

【特許出願人】
【識別番号】 000001443
【氏名又は名称】 カシオ計算機株式会社
【代表者】 樫尾 和雄

【代理人】
【識別番号】 100096699
【弁理士】
【氏名又は名称】 鹿嶋 英實

【手数料の表示】
【予納台帳番号】 021267
【納付金額】 16,000円

【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9600683

【書類名】 特許請求の範囲**【請求項 1】**

行方向に配設され複数の走査ライン及び列方向に配設された複数のデータラインの各交点近傍に、複数の表示画素が配列された表示パネルを有する表示装置において、

所定のタイミングで前記表示パネルの各行ごとの前記表示画素に走査信号を順次印加して、選択状態に設定する走査駆動部と、

所望の画像情報を表示するための表示データに応じた階調信号を生成し、前記選択状態に設定された行の前記表示画素に供給するデータ駆動部と、

前記表示パネルに配列された前記複数の表示画素を複数行ごとにグループ分けした各グループごとの前記表示画素に、当該表示画素を表示動作させる第 1 の電源電圧を供給する電源駆動部と、

前記階調信号に基づいて前記各行の前記表示画素に設定された、前記表示データに応じたバイアス状態を解消して、特定のバイアス状態に設定する状態設定信号を前記表示画素に供給する状態設定部と、

タイミング制御信号を供給することにより、前記走査駆動部及び前記データ駆動部、前記電源駆動部、前記状態設定部の各々を所定のタイミングで動作させ、少なくとも、前記表示パネルの前記各グループごとの前記表示画素を、前記表示データに応じたバイアス状態で一斉に表示動作させる駆動制御部と、

を備えていることを特徴とする表示装置。

【請求項 2】

前記駆動制御部は、少なくとも、前記状態設定部から前記表示画素に前記状態設定信号を供給する期間中、及び、前記データ駆動部から前記各グループごとの前記表示画素に前記階調信号を供給する期間中、前記電源駆動部から当該グループの前記表示画素を非表示動作させる第 2 の電源電圧を印加する前記タイミング制御信号を生成する手段を有していることを特徴とする請求項 1 記載の表示装置。

【請求項 3】

前記表示パネルは、前記各グループに含まれる各行に対応して分岐して配設された信号ラインを、各グループごとに有し、

前記状態設定部は、前記各グループごとに単一の前記状態設定信号を出力し、単一の前記信号ラインを介して、前記グループごとの前記表示画素に前記状態設定信号を同時に供給することを特徴とする請求項 1 又は 2 記載の表示装置。

【請求項 4】

前記表示パネルは、前記各グループに含まれる各行に対応して個別に配設された信号ラインを有し、

前記状態設定部は、前記各行ごとに前記状態設定信号を順次出力し、前記信号ラインを介して、前記行ごとの前記表示画素に前記状態設定信号を順次供給することを特徴とする請求項 1 又は 2 記載の表示装置。

【請求項 5】

前記表示パネルは、前記各グループに含まれる各行に対応して分岐して配設された電源ラインを、各グループごとに有し、

前記電源駆動部は、前記各グループごとに単一の前記第 1 の電源電圧又は前記第 2 の電源電圧を出力し、単一の前記電源ラインを介して、前記グループごとの前記表示画素に前記第 1 の電源電圧又は前記第 2 の電源電圧を同時に供給することを特徴とする請求項 1 乃至 4 のいずれかに記載の表示装置。

【請求項 6】

前記各グループの複数行の前記表示画素は、連続する複数の行の前記表示画素からなることを特徴とする請求項 1 乃至 5 のいずれかに記載の表示装置。

【請求項 7】

前記各グループの複数行の前記表示画素は、連続しない複数の行の前記表示画素からなることを特徴とする請求項 1 乃至 5 のいずれかに記載の表示装置。

【請求項 8】

前記表示画素は、前記データ駆動部から供給される前記階調信号に基づいて、記表示データに応じた電圧成分を保持して前記バイアス状態を設定する表示駆動手段を備え、

前記特定のバイアス状態は、前記表示駆動手段に保持された電圧成分を放電して、前記表示駆動手段に無電圧、又は、逆バイアス電圧が印加、保持された状態であることを特徴とする請求項 1 乃至 7 のいずれかに記載の表示装置。

【請求項 9】

前記各表示画素は、発光素子と、前記発光素子の発光動作を制御する発光駆動回路と、を備え、

前記発光駆動回路は、少なくとも、前記階調信号に基づく電荷を蓄積する電荷蓄積手段と、前記電荷蓄積手段に蓄積された電荷量に応じた順バイアス電圧に基づいて所定の電流値を有する発光駆動電流を生成し、前記発光素子に供給する発光制御手段と、前記電荷蓄積手段への前記階調信号に基づく電荷の供給状態を制御する書込制御手段と、前記電荷蓄積手段に蓄積された電荷を放電して、前記発光制御手段に無電圧、又は、逆バイアス電圧を印加するバイアス制御手段を、を備えていることを特徴とする請求項 1 乃至 7 のいずれかに記載の表示装置。

【請求項 10】

前記各表示画素に設けられる前記発光制御手段は、一端が前記電源ラインに接続され、他端が前記発光素子に接続されて、前記発光駆動電流を流す導通路と、前記電荷蓄積手段に接続され、前記導通路の導通状態を制御して前記発光素子への前記発光駆動電流の供給状態を制御する制御端子を備えていることを特徴とする請求項 9 記載の表示装置。

【請求項 11】

前記各表示画素に設けられる前記書込制御手段は、一端が前記階調信号が供給される前記データラインに接続され、他端が前記電荷蓄積手段を介して前記発光制御手段の前記制御端子に接続された導通路と、前記走査信号が印加される前記走査ラインに接続され、前記電荷蓄積手段への前記階調信号に基づく電荷の供給状態を制御する制御端子を備えていることを特徴とする請求項 9 又は 10 記載の表示装置。

【請求項 12】

前記各表示画素に設けられる前記バイアス制御手段は、一端が前記走査ラインに接続され、他端が前記発光制御手段の前記制御端子に接続されて、所定の信号レベルの前記走査信号を前記発光制御手段の前記制御端子に印加する導通路と、前記設定信号が印加される前記信号ラインに接続され、前記電荷蓄積手段に蓄積された電荷の放電状態を制御する制御端子を備えていることを特徴とする請求項 9 乃至 11 のいずれかに記載の表示装置。

【請求項 13】

前記発光駆動回路は、少なくとも、導通路の一端に前記第 1 の電源電圧又は前記第 2 の電源電圧が印加され、該導通路の他端に前記発光素子との接続接点が接続された第 1 のスイッチ手段と、制御端子が前記走査ラインに接続され、導通路の一端に前記第 1 の電源電圧又は前記第 2 の電源電圧が印加され、該導通路の他端に前記第 1 のスイッチ手段の制御端子が接続された第 2 のスイッチ手段と、制御端子が前記走査ラインに接続され、導通路の一端に前記データラインが接続され、該導通路の他端に前記接続接点が接続された第 3 のスイッチ手段と、制御端子が前記信号ラインに接続され、導通路の一端が前記走査ラインに接続され、該導通路の他端に前記第 1 のスイッチ手段の制御端子が接続された第 4 のスイッチ手段と、前記第 1 のスイッチ手段の制御端子と前記接続接点との間に接続された容量素子と、を備え、

前記発光制御手段は、前記第 1 のスイッチ手段を含んで構成され、前記バイアス制御手段は、前記第 4 のスイッチ手段を含んで構成され、前記電荷蓄積手段は、前記容量素子を含んで構成されていることを特徴とする請求項 9 乃至 12 のいずれかに記載の表示装置。

【請求項 14】

少なくとも前記発光駆動回路に設けられる前記発光制御手段は、アモルファスシリコン薄膜トランジスタにより構成されていることを特徴とする請求項 9 乃至 13 のいずれかに記

載の表示装置。

【請求項 15】

前記データ駆動部は、前記階調信号として、前記発光素子を所定の輝度階調で発光動作させるための所定の電流値を有する階調電流を生成する手段を備えていることを特徴とする請求項 9 乃至 14 のいずれかに記載の表示装置。

【請求項 16】

前記発光素子は、有機エレクトロルミネッセンス素子であることを特徴とする請求項 9 乃至 15 のいずれかに記載の表示装置。

【請求項 17】

行方向に配設され複数の走査ライン及び列方向に配設された複数のデータラインの各交点近傍に、複数の表示画素が配列された表示パネルを有し、所定のタイミングで前記表示パネルの各行ごとの前記表示画素に走査信号を順次印加して、選択状態に設定するタイミングに同期して、所望の画像情報を表示するための表示データに応じた階調信号を供給することにより、前記表示画素を前記表示データに応じたバイアス状態で表示動作させて、前記表示パネルに前記所望の画像情報を表示する表示装置の表示駆動方法において、

前記表示パネルに配列された前記複数の表示画素を、複数行ごとにグループ分けした各グループごとの各行の前記表示画素を順次選択状態に設定して前記階調信号を供給するステップと、

前記階調信号が供給された前記グループごとの前記表示画素に、第 1 の電源電圧を印加して、前記表示データに応じたバイアス状態で一斉に表示動作させるステップと、

前記階調信号に基づいて前記各行の前記表示画素に設定された前記表示データに応じたバイアス状態を解消して、特定のバイアス状態に設定するステップと、

前記各行ごとの前記表示画素を前記特定のバイアス状態に設定するステップを実行する期間、及び、前記各行ごとの前記表示画素に前記階調信号を供給するステップを実行する期間を含む期間に、前記各グループごとの前記表示画素に第 2 の電源電圧を印加して、一斉に非表示動作させるステップと、

を含むことを特徴とする表示装置の表示駆動方法。

【請求項 18】

前記表示画素を前記特定のバイアス状態に設定するステップは、前記各グループごとの前記表示画素に、単一の状態設定信号を同時に供給することにより、当該グループの前記表示画素を一斉に前記特定のバイアス状態に設定することを特徴とする請求項 17 記載の表示装置の表示駆動方法。

【請求項 19】

前記表示画素を前記特定のバイアス状態に設定するステップは、前記各行ごとの前記表示画素に、状態設定信号を順次供給することにより、前記各グループの各行の前記表示画素を順次前記特定のバイアス状態に設定することを特徴とする請求項 17 記載の表示装置の表示駆動方法。

【請求項 20】

前記各表示画素は、表示駆動手段を備え、

前記各グループごとに前記表示画素を一斉に表示動作させるステップは、前記表示駆動手段に前記階調信号に応じた順バイアス電圧からなる電圧成分が印加、保持されることにより実行され、

前記各行の前記表示画素を前記特定のバイアス状態に設定するステップは、前記特定のバイアス状態は、前記表示駆動手段に保持された前記電圧成分を放電して、前記表示駆動手段に無電圧、又は、逆バイアス電圧が印加、保持されることにより実行されることを特徴とする請求項 17 乃至 19 のいずれかに記載の表示装置の表示駆動方法。

【請求項 21】

前記各グループの複数行の前記表示画素は、連続する複数の行の前記表示画素からなることを特徴とする請求項 17 乃至 20 のいずれかに記載の表示装置の表示駆動方法。

【請求項 22】

前記各グループの複数行の前記表示画素は、連続しない複数の行の前記表示画素からなることを特徴とする請求項 17 乃至 20 のいずれかに記載の表示装置の表示駆動方法。

【請求項 23】

前記各表示画素は、発光素子を備え、

前記各グループごとに前記表示画素を前記表示データに応じたバイアス状態で一齐に表示動作させるステップは、前記各表示画素の前記発光素子を前記表示データに応じた輝度階調で発光動作させることを特徴とする請求項 17 乃至 22 のいずれかに記載の表示装置の表示駆動方法。

【請求項 24】

前記各行の前記表示画素に前記階調信号を供給するステップは、前記階調信号として、前記発光素子を所定の輝度階調で発光動作させるための所定の電流値を有する階調電流を供給することを特徴とする請求項 23 記載の表示装置の表示駆動方法。

【書類名】 明細書

【発明の名称】 表示装置及びその表示駆動方法

【技術分野】

【0001】

本発明は、表示装置及びその表示駆動方法に関し、特に、アクティブマトリクス型の駆動方式に対応した表示パネルを備えた表示装置及びその表示駆動方法に関する。

【背景技術】

【0002】

近年、パーソナルコンピュータや映像機器のモニタやディスプレイとして、薄型軽量で低消費電力の表示デバイスの普及が著しい。特に、液晶表示装置（LCD）は、近年普及が著しい携帯電話やデジタルカメラ、携帯情報端末（PDA）、電子辞書等の携帯機器（モバイル機器）の表示デバイスとして広く適用されている。

【0003】

また、このような液晶表示装置に続く次世代の表示デバイスとして、有機エレクトロルミネッセンス素子（有機EL素子）や無機エレクトロルミネッセンス素子（無機EL素子）、あるいは、発光ダイオード（LED）等のような自己発光型の光学要素（発光素子）を、マトリクス状に配列した表示パネルを備えた発光素子型の表示装置の本格的な普及に向けた研究開発も盛んに行われている。

【0004】

特に、アクティブマトリクス型の駆動方式を適用した発光素子型の表示装置においては、液晶表示装置に比較して、表示応答速度が速く、また、視野角依存性もなく、高輝度・高コントラスト化、表示画質の高精細化等が可能であるとともに、液晶表示装置のようにバックライトを必要としないので、一層の薄型軽量化や低消費電力化が可能である、という携帯機器への適用に極めて優れた特徴を有している。

【0005】

ここで、液晶表示装置や発光素子型の表示装置における駆動制御方法について、図面を参照して簡単に説明する。

図16は、従来技術におけるアクティブマトリクス型の表示装置の要部を示す概略構成図である。また、図17は、従来技術におけるアクティブマトリクス型の表示装置の表示駆動方法の一例（ホールド型）を模式的に示したタイミングチャートであり、図18は、従来技術におけるアクティブマトリクス型の表示装置の表示駆動方法の他の例（擬似インパルス型）を模式的に示したタイミングチャートである。ここで、図17及び図18においては、後述する実施形態との比較のために、便宜的に表示パネルに12行（第1行～第12行）の表示画素が配列された構成を有する場合について、その表示駆動方法を示した。図中、 k は正の整数である。なお、各行における映像データの書込動作及び表示動作、ブランキングデータの書込動作及び表示動作を明確にするため、便宜的にハッチングを施して示した。

【0006】

まず、旧来の陰極線管（CRT）を適用した表示装置においては、周知のように、電子ビームを陰極線管内部で偏向させて、蛍光面（スクリーン）を照射しつつ走査することにより、1フレーム期間のうち、僅かな時間だけ発光動作させ、次のフレーム期間において再び電子ビームが照射されるまで、何も表示（発光）しない、インパルス型の表示駆動制御が実行される。

【0007】

これによれば、前のフレーム期間における画像情報が消えた後に次のフレーム期間の画像情報が表示されるので、動画像の表示動作において残像が視認されにくくなり、良好な表示画質を実現することができる反面、動きのない静止画像の表示動作においてはちらつきが生じやすいという問題を有している。

【0008】

一方、液晶表示装置や発光素子型の表示装置のようなアクティブマトリクス型の表示

装置は、一般に、図16に示すように、行、列方向に配設された複数の走査ラインSLP及びデータラインDLPの各交点近傍に、複数の表示画素EMPが2次元配列された表示パネル110Pと、各走査ラインSLPに接続された走査ドライバ120Pと、各データラインDLPに接続されたデータドライバ130Pと、を備えた構成を有している。

【0009】

このような構成を有する表示装置における表示駆動制御は、例えば、図17に示すように、まず、走査ドライバ120Pから各行の走査ラインSLPに選択レベルの走査信号Sselを順次印加することにより、行ごとの表示画素EMPを順次選択状態に設定し、各行の選択タイミングに同期して、データドライバ130Pから当該行の映像データ（表示データ）に応じた階調電圧Vpixを各列のデータラインDLPに印加することにより、各表示画素EMPに階調電圧Vpixに基づく電圧成分が保持される（映像データが書き込まれる；映像データ書込動作）。

【0010】

これにより、各表示画素EMPにおいて上記電圧成分に応じた階調制御が行われる（具体的には、液晶表示装置においては液晶分子の配向状態が制御され、発光素子型の表示装置においては、発光素子の発光輝度が制御される）ことにより、上記映像データに応じた表示動作（発光動作）が実行され、表示パネルに所望の画像情報が表示される。

【0011】

次いで、走査ドライバ120Pから走査ラインSLPに非選択レベルの走査信号Sselを順次印加することにより、行ごとの表示画素EMPが非選択状態に設定されるが、このとき、各表示画素に書き込まれた映像データ（電圧成分）が保持されることにより、上記映像データに応じた表示動作が継続される（映像表示動作）。この表示動作は、次の映像データが各行の表示画素EMPに書き込まれるまで、例えば、1フレーム期間継続して実行される（ホールド型の表示駆動制御）。

【0012】

このようなホールド型の表示駆動方法においては、上述したインパルス型の表示駆動方法とは異なり、1フレーム期間のほとんどの期間において、映像データに応じた表示動作（発光動作）が継続されるので、静止画像の表示動作においてはちらつきが生じにくいという特性を有しているが、その反面、動画像の表示動作においては、前のフレーム期間に表示された画像情報が残像として視認されやすくなり、画像情報のボケやにじみを生じ、表示画質の劣化を招くという問題を有していた。

【0013】

そこで、液晶表示装置や発光素子型の表示装置において、上述した動画像の表示動作におけるボケやにじみを抑制して表示画質を向上させる表示駆動方法として、例えば、図18に示すように、1フレーム期間に、上述した各行の表示画素EMPに対する映像データ書込動作（映像データ書込期間）及び映像表示動作（映像表示期間）に加え、各表示画素EMPを最低階調で表示動作（発光動作）、又は、非表示動作（非発光動作）させるために、データドライバから各データラインにブランキングデータを供給して、各表示画素に当該ブランキングデータを書き込む動作（ブランキングデータ書込期間）、及び、当該ブランキングデータに基づく黒表示動作（黒表示期間）を実行する手法が知られている。

【0014】

これにより、1フレーム期間に一定期間の黒表示期間が挿入されて、何も表示（発光）されない表示状態が設定されるので、映像表示期間が相対的に短縮されて、上述した陰極線管に適用されるインパルス型に類似した表示駆動方法（便宜的に「擬似インパルス型の表示駆動方法」と記す）を実現することができ、動画像の表示動作における表示品質を向上させることができる。このような表示装置の駆動制御方法については、例えば、特許文献1等に詳しく記載されている。

【0015】

【特許文献1】特開2004-264481号公報（第17頁～第18頁、図6）
【発明の開示】

【発明が解決しようとする課題】**【0016】**

しかしながら、従来技術に示した擬似インパルス型の表示駆動方法においては、図18に示したように、1フレーム期間内に、データドライバから供給される映像データの書込期間及び映像表示期間と、同様にデータドライバから供給されるブランキングデータの書込期間及び黒表示期間とを設定する必要があるため、図17に示したように、1フレーム期間内に、データドライバから供給される映像データの書込動作及び映像表示動作のみを実行し、黒表示動作を実行しない場合に比較して、映像データの書込動作に割り当てられる時間が短くなり、書込動作に係る駆動周波数（すなわち、表示装置の駆動周波数）を高くする必要がある（高速で書き込む必要がある）。

【0017】

このように映像データ（表示データ）の書込期間が短くなり、高速で書込動作を実行しなければならなくなると、表示パネル（信号配線等）に寄生する抵抗成分や容量成分等によるCR時定数に起因して信号遅延が生じ、各表示画素への映像データの書込状態が不十分となる書込不足が発生して、映像データに応じた階調表示が適切に実行されなくなるといった問題を有していた。

【0018】

また、図17、図18においては図示を省略したが、各表示画素に映像データを書き込む際には、先のフレーム期間において当該表示画素に書き込まれ、残留している映像データに基づく電圧成分を放電して初期化（リセット）するリセット動作や、当該行の走査ラインを選択レベルに設定する際の信号レベルの立ち上がり動作のための時間を短くする必要があるため、動作タイミングの設定に余裕がなくなり、タイミング制御が複雑になったり、誤動作が生じやすくなったりするという問題を有していた。

【0019】

そこで、本発明は、上述した種々の問題点に鑑み、アクティブマトリクス型の駆動方式に対応した表示パネルを備えた表示装置において、動画像をボケやにじみのない良好な表示品質で表示することができるとともに、映像データ（表示データ）に対応した適切な階調で画像情報を表示することができる表示装置及びその表示駆動方法を提供することを目的とする。

【課題を解決するための手段】**【0020】**

請求項1記載の発明は、行方向に配設され複数の走査ライン及び列方向に配設された複数のデータラインの各交点近傍に、複数の表示画素が配列された表示パネルを有する表示装置において、所定のタイミングで前記表示パネルの各行ごとの前記表示画素に走査信号を順次印加して、選択状態に設定する走査駆動部と、所望の画像情報を表示するための表示データに応じた階調信号を生成し、前記選択状態に設定された行の前記表示画素に供給するデータ駆動部と、前記表示パネルに配列された前記複数の表示画素を複数行ごとにグループ分けした各グループごとの前記表示画素に、当該表示画素を表示動作させる第1の電源電圧を供給する電源駆動部と、前記階調信号に基づいて前記各行の前記表示画素に設定された、前記表示データに応じたバイアス状態を解消して、特定のバイアス状態に設定する状態設定信号を前記表示画素に供給する状態設定部と、タイミング制御信号を供給することにより、前記走査駆動部及び前記データ駆動部、前記電源駆動部、前記状態設定部の各々を所定のタイミングで動作させ、少なくとも、前記表示パネルの前記各グループごとの前記表示画素を、前記表示データに応じたバイアス状態で一斉に表示動作させる駆動制御部と、を備えていることを特徴とする。

【0021】

請求項2記載の発明は、請求項1記載の表示装置において、前記駆動制御部は、少なくとも、前記状態設定部から前記表示画素に前記状態設定信号を供給する期間中、及び、前記データ駆動部から前記各グループごとの前記表示画素に前記階調信号を供給する期間中、前記電源駆動部から当該グループの前記表示画素を非表示動作させる第2の電源電圧を

印加する前記タイミング制御信号を生成する手段を有していることを特徴とする。

【0022】

請求項3記載の発明は、請求項1又は2記載の表示装置において、前記表示パネルは、前記各グループに含まれる各行に対応して分岐して配設された信号ラインを、各グループごとに有し、前記状態設定部は、前記各グループごとに単一の前記状態設定信号を出力し、単一の前記信号ラインを介して、前記グループごとの前記表示画素に前記状態設定信号を同時に供給することを特徴とする。

【0023】

請求項4記載の発明は、請求項1又は2記載の表示装置において、前記表示パネルは、前記各グループに含まれる各行に対応して個別に配設された信号ラインを有し、前記状態設定部は、前記各行ごとに前記状態設定信号を順次出力し、前記信号ラインを介して、前記行ごとの前記表示画素に前記状態設定信号を順次供給することを特徴とする。

【0024】

請求項5記載の発明は、請求項1乃至4のいずれかに記載の表示装置において、前記表示パネルは、前記各グループに含まれる各行に対応して分岐して配設された電源ラインを、各グループごとに有し、前記電源駆動部は、前記各グループごとに単一の前記第1の電源電圧又は前記第2の電源電圧を出力し、単一の前記電源ラインを介して、前記グループごとの前記表示画素に前記第1の電源電圧又は前記第2の電源電圧を同時に供給することを特徴とする。

【0025】

請求項6記載の発明は、請求項1乃至5のいずれかに記載の表示装置において、前記各グループの複数行の前記表示画素は、連続する複数の行の前記表示画素からなることを特徴とする。

請求項7記載の発明は、請求項1乃至5のいずれかに記載の表示装置において、前記各グループの複数行の前記表示画素は、連続しない複数の行の前記表示画素からなることを特徴とする。

【0026】

請求項8記載の発明は、請求項1乃至7のいずれかに記載の表示装置において、前記表示画素は、前記データ駆動部から供給される前記階調信号に基づいて、記表示データに応じた電圧成分を保持して前記バイアス状態を設定する表示駆動手段を備え、前記特定のバイアス状態は、前記表示駆動手段に保持された電圧成分を放電して、前記表示駆動手段に無電圧、又は、逆バイアス電圧が印加、保持された状態であることを特徴とする。

【0027】

請求項9記載の発明は、請求項1乃至7のいずれかに記載の表示装置において、前記各表示画素は、発光素子と、前記発光素子の発光動作を制御する発光駆動回路と、を備え、前記発光駆動回路は、少なくとも、前記階調信号に基づく電荷を蓄積する電荷蓄積手段と、前記電荷蓄積手段に蓄積された電荷量に応じた順バイアス電圧に基づいて所定の電流値を有する発光駆動電流を生成し、前記発光素子に供給する発光制御手段と、前記電荷蓄積手段への前記階調信号に基づく電荷の供給状態を制御する書込制御手段と、前記電荷蓄積手段に蓄積された電荷を放電して、前記発光制御手段に無電圧、又は、逆バイアス電圧を印加するバイアス制御手段を、を備えていることを特徴とする。

【0028】

請求項10記載の発明は、請求項9記載の表示装置において、前記各表示画素に設けられる前記発光制御手段は、一端が前記電源ラインに接続され、他端が前記発光素子に接続されて、前記発光駆動電流を流す導通路と、前記電荷蓄積手段に接続され、前記導通路の導通状態を制御して前記発光素子への前記発光駆動電流の供給状態を制御する制御端子を備えていることを特徴とする。

【0029】

請求項11記載の発明は、請求項9又は10記載の表示装置において、前記各表示画素に設けられる前記書込制御手段は、一端が前記階調信号が供給される前記データラインに

接続され、他端が前記電荷蓄積手段を介して前記発光制御手段の前記制御端子に接続された導通路と、前記走査信号が印加される前記走査ラインに接続され、前記電荷蓄積手段への前記階調信号に基づく電荷の供給状態を制御する制御端子を備えていることを特徴とする。

【0030】

請求項12記載の発明は、請求項9乃至11のいずれかに記載の表示装置において、前記各表示画素に設けられる前記バイアス制御手段は、一端が前記走査ラインに接続され、他端が前記発光制御手段の前記制御端子に接続されて、所定の信号レベルの前記走査信号を前記発光制御手段の前記制御端子に印加する導通路と、前記設定信号が印加される前記信号ラインに接続され、前記電荷蓄積手段に蓄積された電荷の放電状態を制御する制御端子を備えていることを特徴とする。

【0031】

請求項13記載の発明は、請求項9乃至12のいずれかに記載の表示装置において、前記発光駆動回路は、少なくとも、導通路の一端に前記第1の電源電圧又は前記第2の電源電圧が印加され、該導通路の他端に前記発光素子との接続接点が接続された第1のスイッチ手段と、制御端子が前記走査ラインに接続され、導通路の一端に前記第1の電源電圧又は前記第2の電源電圧が印加され、該導通路の他端に前記第1のスイッチ手段の制御端子が接続された第2のスイッチ手段と、制御端子が前記走査ラインに接続され、導通路の一端に前記データラインが接続され、該導通路の他端に前記接続接点が接続された第3のスイッチ手段と、制御端子が前記信号ラインに接続され、導通路の一端が前記走査ラインに接続され、該導通路の他端に前記第1のスイッチ手段の制御端子が接続された第4のスイッチ手段と、前記第1のスイッチ手段の制御端子と前記接続接点との間に接続された容量素子と、を備え、前記発光制御手段は、前記第1のスイッチ手段を含んで構成され、前記バイアス制御手段は、前記第4のスイッチ手段を含んで構成され、前記電荷蓄積手段は、前記容量素子を含んで構成されていることを特徴とする。

【0032】

請求項14記載の発明は、請求項9乃至13のいずれかに記載の表示装置において、少なくとも前記発光駆動回路に設けられる前記発光制御手段は、アモルファスシリコン薄膜トランジスタにより構成されていることを特徴とする。

請求項15記載の発明は、請求項9乃至14のいずれかに記載の表示装置において、前記データ駆動部は、前記階調信号として、前記発光素子を所定の輝度階調で発光動作させるための所定の電流値を有する階調電流を生成する手段を備えていることを特徴とする。

請求項16記載の発明は、請求項9乃至15のいずれかに記載の表示装置において、前記発光素子は、有機エレクトロルミネッセンス素子であることを特徴とする。

【0033】

請求項17記載の発明は、行方向に配設され複数の走査ライン及び列方向に配設された複数のデータラインの各交点近傍に、複数の表示画素が配列された表示パネルを有し、所定のタイミングで前記表示パネルの各行ごとの前記表示画素に走査信号を順次印加して、選択状態に設定するタイミングに同期して、所望の画像情報を表示するための表示データに応じた階調信号を供給することにより、前記表示画素を前記表示データに応じたバイアス状態で表示動作させて、前記表示パネルに前記所望の画像情報を表示する表示装置の表示駆動方法において、前記表示パネルに配列された前記複数の表示画素を、複数行ごとにグループ分けした各グループごとの各行の前記表示画素を順次選択状態に設定して前記階調信号を供給するステップと、前記階調信号が供給された前記グループごとの前記表示画素に、第1の電源電圧を印加して、前記表示データに応じたバイアス状態で一斉に表示動作させるステップと、前記階調信号に基づいて前記各行の前記表示画素に設定された前記表示データに応じたバイアス状態を解消して、特定のバイアス状態に設定するステップと、前記各行ごとの前記表示画素を前記特定のバイアス状態に設定するステップを実行する期間、及び、前記各行ごとの前記表示画素に前記階調信号を供給するステップを実行する期間を含む期間に、前記各グループごとの前記表示画素に第2の電源電圧を印加して、一

齊に非表示動作させるステップと、を含むことを特徴とする。

【0034】

請求項18記載の発明は、請求項17記載の表示装置の表示駆動方法において、前記表示画素を前記特定のバイアス状態に設定するステップは、前記各グループごとの前記表示画素に、単一の状態設定信号を同時に供給することにより、当該グループの前記表示画素を一斉に前記特定のバイアス状態に設定することを特徴とする。

【0035】

請求項19記載の発明は、請求項17記載の表示装置の表示駆動方法において、前記表示画素を前記特定のバイアス状態に設定するステップは、前記各行ごとの前記表示画素に、状態設定信号を順次供給することにより、前記各グループの各行の前記表示画素を順次前記特定のバイアス状態に設定することを特徴とする。

【0036】

請求項20記載の発明は、請求項17乃至19のいずれかに記載の表示装置の表示駆動方法において、前記各表示画素は、表示駆動手段を備え、前記各グループごとに前記表示画素を一斉に表示動作させるステップは、前記表示駆動手段に前記階調信号に応じた順バイアス電圧からなる電圧成分が印加、保持されることにより実行され、前記各行の前記表示画素を前記特定のバイアス状態に設定するステップは、前記特定のバイアス状態は、前記表示駆動手段に保持された前記電圧成分を放電して、前記表示駆動手段に無電圧、又は、逆バイアス電圧が印加、保持されることにより実行されることを特徴とする。

【0037】

請求項21記載の発明は、請求項17乃至20のいずれかに記載の表示装置の表示駆動方法において、前記表示パネルに配列された前記複数の表示画素は、連続する複数の行の前記表示画素を、1グループとすることを特徴とする。

請求項22記載の発明は、請求項17乃至20のいずれかに記載の表示装置の表示駆動方法において、前記表示パネルに配列された前記複数の表示画素は、連続しない複数の行の前記表示画素を、1グループとすることを特徴とする。

【0038】

請求項23記載の発明は、請求項17乃至22のいずれかに記載の表示装置の表示駆動方法において、前記各表示画素は、発光素子を備え、前記各グループごとに前記表示画素を前記表示データに応じたバイアス状態で一斉に表示動作させるステップは、前記各表示画素の前記発光素子を前記表示データに応じた輝度階調で発光動作させることを特徴とする。

【0039】

請求項24記載の発明は、請求項23記載の表示装置の表示駆動方法において、前記各行の前記表示画素に前記階調信号を供給するステップは、前記階調信号として、前記発光素子を所定の輝度階調で発光動作させるための所定の電流値を有する階調電流を供給することを特徴とする。

【発明の効果】

【0040】

すなわち、本発明に係る表示装置及びその表示駆動方法においては、表示パネルに2次元配列された複数の表示画素を、予め複数行ごとにグループ分けし、電源駆動部（電源ドライバ）から各グループごとに、当該グループに含まれる全ての行の表示画素に、同一の電圧レベルを有する電源電圧（第1の電源電圧、又は、第2の電源電圧）を同時に印加することにより、当該グループの表示画素を一斉に表示動作（発光動作）、又は、非表示動作（非発光動作）させるように制御される。

【0041】

また、各グループの表示画素の非表示動作期間内に、状態設定部（逆バイアスドライバ）から各行の表示画素に、状態設定信号（逆バイアス設定信号）を供給することにより、各行の表示画素に設けられた表示駆動手段や発光制御手段（発光駆動用のスイッチング手段）に無電圧（0V）、又は、逆バイアス電圧を、一括して、又は、順次印加した状態（

逆バイアス状態)に設定するとともに、走査駆動部(走査ドライバ)及びデータ駆動部(データドライバ)により、各行の表示画素に表示データに応じた階調信号(階調電流)を順次供給して書き込むように制御される。

【0042】

これにより、同一グループ内の各行の表示画素に、少なくとも逆バイアス設定動作及び書込動作を実行する期間中、当該グループに含まれる表示画素(発光素子)の表示動作が行われず、非表示状態(非発光状態)に設定されるので、所定の1処理サイクル期間(1フレーム期間)のうち、一定期間のみ非表示動作(非発光動作)が行われ、その残りの期間、表示データに応じた輝度階調で表示動作(発光動作)が行われる擬似インパルス型の表示駆動制御を実現することができる。

【0043】

ここで、各グループごとに異なるタイミングで当該グループの表示画素を一斉に非表示動作又は表示動作することができるので、各グループの表示画素への第1及び第2の電源電圧の印加時間を任意に設定することにより、1処理サイクル期間(1フレーム期間)における上記非表示期間の比率(黒挿入率)を、概ね30%以上に設定することができ、動画像においてボケやにじみを抑制して、鮮明で良好な表示画質を実現することができる。

【0044】

また、本発明に係る表示装置及びその表示駆動方法によれば、動画像を鮮明な表示画質で表示するために、黒表示動作のためのブランキングデータの書込動作を実行する必要がないので、各行の表示画素に対する表示データの書込時間を充分確保することができる。したがって、表示データの書込不足に起因する表示品質の低下を抑制して、表示データに応じた適切な階調表示を実現することができる。また、これにより、各種信号のタイミング制御に余裕を持たせることができるので、表示装置の誤動作の発生を抑制することができる。

【0045】

さらに、本発明に係る表示装置及びその表示駆動方法によれば、表示パネルに配列される各表示画素に、表示駆動手段や発光制御手段(発光駆動用のスイッチング素子)として、例えば、アモルファスシリコン薄膜トランジスタからなる回路構成を適用した場合であっても、各表示画素に設けられた発光制御手段や表示駆動手段を逆バイアス状態に設定することができるので、アモルファスシリコン薄膜トランジスタにおける素子特性(しきい値電圧の変動; V_{th} シフト)の劣化を大幅に抑制して、表示データに応じた適切な階調表示(適切な輝度階調での発光素子の発光動作)を実現することができる。

【発明を実施するための最良の形態】

【0046】

以下、本発明に係る表示装置及びその表示駆動方法について、実施の形態を示して詳しく説明する。

〔第1の実施形態〕

<表示装置>

まず、本発明に係る表示装置の概略構成について、図面を参照して説明する。

図1は、本発明に係る表示装置の第1の実施形態を示す概略ブロック図である。また、図2は、本実施形態に係る表示装置に適用される表示パネルの一例を示す要部構成図であり、図3は、本実施形態に係る表示装置に適用される表示パネルの周辺回路(走査ドライバ、電源ドライバ、逆バイアスドライバ)の一例を示す要部構成図である。

【0047】

なお、以下に示す実施形態においては、表示パネルとして、発光素子を備えた複数の表示画素を2次元配列した構成を有し、各表示画素が表示データ(映像データ)に応じた輝度階調で発光動作することにより画像情報を表示する発光素子型の表示装置について説明するが、本発明はこれに限定されるものではなく、液晶表示装置のように、各表示画素が表示データに応じて階調制御(表示データに応じたバイアス状態に設定)され、透過光や反射光により所望の画像情報を階調表示(表示動作)する表示装置であってもよい。

【0048】

図1、図2、図3に示すように、本実施形態に係る表示装置100は、概略、行、列方向に相互に直交するように配設された複数の走査ラインSLと複数のデータラインDLとの各交点近傍に、後述する発光駆動回路及び発光素子を備えた複数の表示画素EMが配列された表示パネル110と、該表示パネル110の各走査ラインSLに接続され、各走査ラインSLに所定のタイミングで選択レベル（ハイレベル）の走査信号Vselを印加することにより、行ごとの表示画素EMを順次選択状態に設定する走査ドライバ（走査駆動部）120と、各行の走査ラインSLに並行に配設された複数の電源ラインVLに接続され、予め任意の複数行ごとにグループ分けされ、各グループごとに、当該グループに含まれる行の電源ラインVLに所定のタイミングで電源電圧（第1の電源電圧、第2の電源電圧）Vscを順次印加する電源ドライバ（電源駆動部）130と、各行の走査ラインSLに並行に配設された複数の逆バイアスラインBLに接続され、上記複数行ごとにグループ分けされた各グループごとに、当該グループに含まれる行の逆バイアスライン（信号ライン）BLに所定のタイミングで逆バイアス設定信号（状態設定信号）Vbsを印加することにより、行ごとの表示画素EMを順次逆バイアス状態（特定のバイアス状態）に設定する逆バイアスドライバ（状態設定部）140と、表示パネル110の各データラインDLに接続され、表示データに応じた階調信号（階調電流Idata）を、各データラインDLを介して表示画素EMへ供給するデータドライバ（データ駆動部）150と、後述する表示信号生成回路170から供給されるタイミング信号に基づいて、少なくとも上記走査ドライバ120及び電源ドライバ130、逆バイアスドライバ140、データドライバ150の動作状態を制御して、表示パネル110における所定の画像表示動作を実行するための走査制御信号及び電源制御信号、逆バイアス制御信号、データ制御信号を生成して出力するシステムコントローラ（駆動制御部）160と、例えば、表示装置100の外部から供給される映像信号に基づいて、表示データ（輝度階調データ）を生成してデータドライバ150に供給するとともに、該表示データに基づいて表示パネル110に所定の画像情報を表示するためのタイミング信号（システムクロック等）を抽出、又は、生成してシステムコントローラ160に供給する表示信号生成回路170と、を備えて構成されている。

【0049】

以下、上記各構成について具体的に説明する。

（表示パネル・表示画素）

図4は、本実施形態に係る表示装置に適用される表示画素（発光駆動回路）の一例を示す回路構成図である。なお、本実施形態においては、表示画素として、表示データに応じた電流値を有する階調電流を供給することにより、各表示画素に設けられた発光素子に表示データに応じた電流値を有する発光駆動電流を流して、所望の輝度階調で発光動作（表示動作）させる電流階調指定方式の駆動制御方法に対応した回路構成（発光駆動回路）を備えた場合について説明するが、本発明はこれに限定されるものではなく、例えば、表示データに応じた電圧値を有する階調電圧を印加することにより、各表示画素の発光素子に表示データに応じた電流値を有する発光駆動電流を流して、所望の輝度階調で発光動作させる電圧階調指定方式の駆動制御方法に対応した回路構成を備えたものであってもよい。

【0050】

本実施形態に係る表示装置100に適用される表示パネル110は、図2に示すように、行、列方向に2次元配列された複数の表示画素EMが、予め任意の複数行ごと（図2では、3行ごと）にグループ分けされ、各グループごとに、各々単一の電源ラインVL及び逆バイアスラインBLが各行の表示画素EMに接続されるように分岐して配設された構成を有している。

【0051】

そして、後述する表示駆動方法に示すように、各グループに含まれる行の表示画素EMに対して、各発光駆動用のスイッチング素子（薄膜トランジスタ）に逆バイアス電圧が印加された逆バイアス状態に設定する逆バイアス設定動作において、後述する逆バイアスドライバ140から各グループごとに単一の逆バイアス設定信号Vbsが、各グループに含ま

れる全ての行に対応して分岐して配設された逆バイアスラインBLに印加されることにより、各グループに含まれる全ての行の表示画素EM（発光駆動用のスイッチング素子）が一斉に逆バイアス状態に設定される。

【0052】

また、少なくとも、上記グループに含まれる行の表示画素EMが逆バイアス状態に設定されている期間、及び、同一グループに含まれるいずれかの行の表示画素EMについて表示データの書込動作が実行されている期間、後述する電源ドライバ130から各グループごとに単一の電源電圧Vsc（ハイレベル又はローレベル）が、各グループに含まれる全ての行に対応して分岐して配設された電源ラインVLに印加されることにより、各グループに含まれる全ての行の表示画素EMが一斉に発光動作（表示動作）、又は、非発光動作（非表示動作）するように制御される。

【0053】

なお、表示パネル110に配列された表示画素EMに対して表示データを書き込む書込動作においては、後述する走査ドライバ120から各行ごとに個別の走査信号Vselが、各行ごとに配設された走査ラインSLに印加されることにより、各行の表示画素EMが選択状態に設定され、データドライバ150から各表示画素EMに対応した階調信号（階調電流）が、各列に配設されたデータラインDLに供給されることにより、各行ごとの表示画素EMに表示データが書き込まれる。

【0054】

また、本実施形態に係る表示パネル110に配列される表示画素EMは、例えば、図4に示すように、概略、走査ドライバ120から印加される走査信号Vselに基づいて、表示画素EMを選択状態に設定し、当該選択状態においてデータドライバ150から供給される階調信号（階調電流Idata）を取り込み、該階調信号に応じた発光駆動電流を生成する発光駆動回路DCと、該発光駆動回路DCから供給される発光駆動電流に基づいて、所定の輝度階調で発光動作する周知の有機EL素子（発光素子）OELと、を備えた構成を適用することができる。

【0055】

本実施形態に係る発光駆動回路DCは、具体的には、図4に示すように、ゲート端子（制御端子）が走査ラインSLに、ドレイン端子及びソース端子（導通路の一端、他端）が所定の電源電圧Vscが印加される電源ラインVL及び接点N11に各々接続された薄膜トランジスタ（書込制御手段、第2のスイッチ手段）Tr11と、ゲート端子（制御端子）が走査ラインSLに、ソース端子及びドレイン端子（導通路の一端、他端）がデータラインDL及び接点N12に各々接続された薄膜トランジスタ（書込制御手段、第3のスイッチ手段）Tr12と、ゲート端子（制御端子）が接点N11に、ドレイン端子及びソース端子（導通路の一端、他端）が電源ラインVL及び接点（接続接点）N12に各々接続された薄膜トランジスタ（表示駆動手段、発光制御手段、第1のスイッチ手段）Tr13と、ゲート端子（制御端子）が逆バイアスラインBLに、ドレイン端子及びソース端子（導通路の一端、他端）が走査ラインSL及び接点N11に各々接続された薄膜トランジスタ（バイアス制御手段、第4のスイッチ手段）Tr14と、接点N11及び接点N12間（薄膜トランジスタTr13のゲート-ソース端子間）に接続されたコンデンサ（電荷蓄積手段、容量素子）Csと、を備えた構成を有している。

【0056】

また、有機EL素子OELは、アノード端子が上記発光駆動回路DCの接点N12に接続され、カソード端子には共通電圧Vcomが印加されている。ここで、共通電圧Vcomは、有機EL素子（発光素子）OELへの発光駆動電流の供給が遮断されて発光動作しない非発光動作期間（非表示動作期間）においてローレベルに設定される電源電圧Vsc（=Vs）と等電位であるか、あるいは、当該電源電圧Vscよりも高い電位であって、かつ、有機EL素子（発光素子）OELに発光駆動電流が供給されて所定の輝度階調で発光動作する発光動作期間（表示動作期間）においてハイレベルに設定される電源電圧Vsc（=Ve）よりも低電位となる、任意の電位（例えば、接地電位GND）に設定されている（Vs ≤

$V_{com} < V_e$)。

【0057】

ここで、コンデンサ C_s は、薄膜トランジスタ T_{r13} のゲートソース間に形成される寄生容量であってもよいし、該寄生容量に加えて接点 $N11$ 及び接点 $N12$ 間にさらに容量素子を並列に接続したものであってもよい。また、薄膜トランジスタ $T_{r11} \sim T_{r13}$ については、特に限定するものではないが、例えば、薄膜トランジスタ $T_{r11} \sim T_{r13}$ を全て単一のチャネル型の薄膜トランジスタ（電界効果型トランジスタ）により構成することにより、 n チャネル型アモルファスシリコン薄膜トランジスタを良好に適用することができる。

【0058】

これにより、すでに確立されたアモルファスシリコン製造技術を適用して、素子特性（電子移動度等）が均一で安定したアモルファスシリコン薄膜トランジスタからなる発光駆動回路を、比較的簡易な製造プロセスで製造することができる。なお、以下の説明においては、発光駆動回路 DC の一構成例として、薄膜トランジスタ $T_{r11} \sim T_{r13}$ を全て n チャネル型の薄膜トランジスタにより構成した場合について説明する。

【0059】

また、図4に示した表示画素 EM においては、発光駆動回路 DC により発光駆動される発光素子を有機 EL 素子 OEL としたが、本発明における発光素子は有機 EL 素子 OEL に限定されるものではなく、電流制御型の発光素子であれば、例えば、発光ダイオード等の他の発光素子であってもよい。さらに、本実施形態においては、発光駆動回路 DC により電流制御型の発光素子を発光駆動することにより画像情報を表示する場合について説明するが、表示データに応じた電圧成分を生成して、電圧制御型の発光素子を発光駆動する構成や、液晶分子の配向状態を変化させる回路構成を有するものであってもよい。

【0060】

（走査ドライバ）

走査ドライバ 120 は、システムコントローラ 160 から供給される走査制御信号に基づいて、各走査ライン SL に選択レベル（上述した表示画素 EM においては、ハイレベル）の走査信号 V_{sel} を印加することにより、各行ごとの表示画素 EM を選択状態に設定する。具体的には、各行の走査ライン SL に走査信号 V_{sel} を印加する動作を、相互に時間的に重ならないタイミングでずらして実行することにより、各行ごとの表示画素 EM を順次選択状態に設定する。

【0061】

特に、本実施形態に係る表示装置 100 においては、表示パネル 110 について予めグループ分けされた複数行ごとの表示画素 EM に対して、グループ内の各行の走査ライン SL に順次走査信号 V_{sel} を印加することにより、当該グループについて各行の表示画素 EM が順次選択状態に設定され、さらに、各グループについて同様の動作が実行されることにより、表示パネル 110 に配列された全ての表示画素 EM が行ごとに順次選択状態に設定される。

【0062】

ここで、走査ドライバ 120 は、例えば、図3に示すように、後述するシステムコントローラ 160 から走査制御信号として供給される走査クロック信号 CLK 及び走査スタート信号 SST に基づいて、各行の走査ライン SL に対応するシフト信号を順次出力する周知のシフトレジスタ 121 と、該シフトレジスタ 121 から出力されるシフト信号を所定の信号レベル（オンレベル）に変換して、システムコントローラ 160 から走査制御信号として供給される出力制御信号 SOE に基づいて、各走査ライン SL に走査信号 V_{sel} として出力する出力回路部（出力バッファ） 122 と、を備えた構成を有している。

【0063】

（電源ドライバ）

電源ドライバ 130 は、システムコントローラ 160 から供給される電源制御信号に基づいて、各グループに含まれる行の表示画素 EM について、発光動作期間中のみハイレベ

ルの電源電圧 V_{sc} ($=V_e$; 第1の電源電圧) を当該グループに含まれる行の電源ライン V_L に印加し、発光動作期間以外の動作期間 (後述する表示装置の表示駆動動作において同一のグループに含まれる全ての行の表示画素 EM における逆バイアス設定期間及び書込動作期間を含む非発光動作期間) 中、ローレベルの電源電圧 V_{sc} ($=V_s$; 第2の電源電圧) を印加する。ここで、ローレベルの電源電圧 V_{sc} を印加する動作は、実質的に、表示画素 EM (発光駆動回路 DC) への電源電圧 V_{sc} の供給を遮断する動作と等価となる。

【0064】

これにより、当該グループの表示画素 EM について逆バイアス状態に設定されている期間及び書込動作が実行されている期間中は、当該グループの全ての行の表示画素 EM にローレベルの電源電圧 V_{sc} ($=V_s$) が同時に印加されて一斉に非発光状態 (非表示状態) に設定され、当該グループの全ての行の表示画素 EM に対して書込動作が終了した後において、当該グループの全ての行の表示画素 EM にハイレベルの電源電圧 V_{sc} ($=V_e$) が同時印加されて一斉に発光状態 (階調表示状態) に設定される。

【0065】

ここで、電源ドライバ130は、例えば、図3に示すように、システムコントローラ160から電源制御信号として供給されるクロック信号 VCK 及びスタート信号 VST に基づいて、各グループごとの電源ライン V_L に対応するシフト信号を順次出力する周知のシフトレジスタ131と、シフト信号を所定の電圧レベル (電圧値 V_e 、 V_s) に変換して、電源制御信号として供給される出力制御信号 VOE に基づいて、各グループごとの電源ライン V_L に電源電圧 V_{sc} として出力する出力回路部132と、を備えた構成を有している。

【0066】

(逆バイアスドライバ)

逆バイアスドライバ140は、システムコントローラ160から供給される逆バイアス制御信号に基づいて、各グループに含まれる行の表示画素 EM について、非発光動作期間 T_{nem} 中の特定の期間のみ、逆バイアス設定信号 V_{bs} を当該グループに含まれる行の逆バイアスライン B_L に印加し、書込動作期間 T_{wrt} 開始以前の非発光動作期間 T_{nem} 中、各表示画素 EM (発光駆動回路 DC) に設けられた発光駆動用のスイッチング素子 (薄膜トランジスタ Tr 13ゲートソース間) に逆バイアス電圧 ($0V$ (無電圧) を含む) を印加して、逆バイアス状態 (無電界状態を含む) に設定する。

【0067】

これにより、当該グループの全ての行の表示画素 EM に、逆バイアス設定信号 V_{bs} が同時印加されて一斉に逆バイアス状態に設定され、また、当該グループの各行の表示画素 EM について書込動作が実行されるまで、各行の表示画素 EM における逆バイアス状態が継続して設定される。

【0068】

ここで、逆バイアスドライバ140は、例えば、図3に示すように、上述した電源ドライバ130と同様に、システムコントローラ160から逆バイアス制御信号として供給されるクロック信号 BCK 及びスタート信号 BST に基づいて、各グループごとの逆バイアスライン B_L に対応するシフト信号を順次出力する周知のシフトレジスタ141と、シフト信号を所定の電圧レベルに変換して、逆バイアス制御信号として供給される出力制御信号 BOE に基づいて、各グループごとの逆バイアスライン B_L に逆バイアス設定信号 V_{bs} として出力する出力回路部142と、を備えた構成を有している。

【0069】

(データドライバ)

図5は、本実施形態に係る表示装置に適用されるデータドライバの一例を示す概略ブロック図である。なお、図5に示すデータドライバの内部構成については、表示データに応じた電流値を有する階調電流を生成することができる一構成例を示したものに過ぎず、本発明はこれに限定されるものではない。

【0070】

データドライバ150は、概略、システムコントローラ160から供給されるデータ制御信号に基づいて、後述する表示信号生成回路170から供給される、デジタル信号からなる表示データ（輝度階調データ）を1行分ごとに所定のタイミングで順次取り込んで保持し、該表示データの階調値に対応する電流値を有する階調電流 I dataを生成して、書込動作期間に選択状態に設定された行の表示画素EMに対して、各データラインDLを介して一斉に供給する。

【0071】

データドライバ150は、具体的には、図5に示すように、システムコントローラ160から供給されるデータ制御信号（シフトクロック信号CLK、サンプリングスタート信号STR）に基づいて、順次シフト信号を出力するシフトレジスタ回路51と、該シフト信号の入力タイミングに基づいて、表示信号生成回路170から供給される1行分の表示データD0～Dmを順次取り込むデータレジスタ回路52と、データ制御信号（データラッチ信号STB）に基づいて、データレジスタ回路52により取り込まれた1行分の表示データD0～Dmを保持するデータラッチ回路53と、図示を省略した電源供給手段から供給される階調基準電圧V0～VPに基づいて、上記保持された表示データD0～Dmを、所定のアナログ信号電圧（階調電圧Vpix）に変換するD/Aコンバータ54と、アナログ信号電圧に変換された表示データに対応する階調電流 I dataを生成し、システムコントローラ160から供給されるデータ制御信号（出力イネーブル信号OE）に基づくタイミングで、当該表示データに対応する列のデータラインDLに一斉に出力する電圧電流変換・階調電流供給回路55と、を備えた構成を適用することができる。

【0072】

（システムコントローラ）

システムコントローラ160は、少なくとも、走査ドライバ120及び電源ドライバ130、逆バイアスドライバ140、データドライバ150の各々に対して、動作状態を制御するタイミング制御信号として、走査制御信号及び電源制御信号、逆バイアス制御信号、データ制御信号を生成して出力することにより、各ドライバを所定のタイミングで動作させて、所定の電圧レベルを有する走査信号Vsel及び電源電圧Vsc、逆バイアス設定信号Vbs、並びに、表示データに応じた階調信号（階調電流 I data）を生成して表示パネル110に出力させ、各表示画素EM（発光駆動回路DC）における駆動制御動作（非発光動作、逆バイアス設定動作、書込動作、発光動作）を連続的に実行させて、映像信号に基づく所定の画像情報を表示パネル110に表示させる制御（後述する表示装置の表示駆動制御）を行う。

【0073】

（表示信号生成回路）

表示信号生成回路170は、例えば、表示装置100の外部から供給される映像信号から輝度階調信号成分を抽出し、表示パネル110の1行分ごとに、該輝度階調信号成分をデジタル信号からなる表示データ（輝度階調データ）としてデータドライバ150のデータレジスタ回路52に供給する。ここで、上記映像信号が、テレビ放送信号（コンポジット映像信号）のように、画像情報の表示タイミングを規定するタイミング信号成分を含む場合には、表示信号生成回路170は、上記輝度階調信号成分を抽出する機能のほか、タイミング信号成分を抽出してシステムコントローラ160に供給する機能を有するものであってもよい。この場合においては、上記システムコントローラ160は、表示信号生成回路170から供給されるタイミング信号に基づいて、走査ドライバ120や電源ドライバ130、逆バイアスドライバ140、データドライバ150に対して個別に供給する各制御信号を生成する。

【0074】

なお、図2、図3に示した表示パネル及びその周辺回路（走査ドライバ、データドライバ、逆バイアスドライバ、電源ドライバ）においては、予め複数行ごとにグループ分けされた表示パネル110の表示画素EMに対して、電源ドライバ130及び逆バイアスドライバ140から各グループごとに分岐して配設された電源ラインVL及び逆バイアスライ

ンBLを介して所定の電圧レベルを有する単一の電源電圧 V_{sc} 及び逆バイアス設定信号 V_{bs} を印加する構成を示したが、本発明はこれに限定されるものではなく、例えば、以下に示すように、各グループにおける電源ラインVL及び逆バイアスラインBLを分岐することなく、行ごとに個別に配設し、個別の電源電圧 V_{sc} 及び逆バイアス設定信号 V_{bs} を同時に印加するようにした構成を有するものであってもよい。

【0075】

図6は、本実施形態に係る表示装置に適用される表示パネル及びその周辺回路（走査ドライバ、電源ドライバ、逆バイアスドライバ）の他の例を示す要部構成図である。

すなわち、表示パネル110及びその周辺回路（走査ドライバ120、電源ドライバ130、逆バイアスドライバ140）の他の例は、図6に示すように、表示パネル110の各行の表示画素EMに対して、各々個別の走査ラインSL、電源ラインVL及び逆バイアスラインBLが配設され、走査ドライバ120、電源ドライバ130及び逆バイアスドライバ140から、各々個別の走査信号 V_{sel} 、電源電圧 V_{sc} 、逆バイアス設定信号 V_{bs} が各行ごとに印加されるように構成されている。

【0076】

ここで、電源ドライバ130は、同一のグループに含まれる各行の電源ラインVLに対して、同一の電圧レベルを有する電源電圧 V_{sc} を同時に印加することができるように、例えば、図6に示したように、シフトレジスタ131から各行の電源ラインVLに対応して順次出力されたシフト信号に基づいて、出力回路部132において、同一のグループに含まれる各行の個別の電源ラインVLに対して同一の電圧レベルを有する電源電圧 V_{sc} を同時に印加する構成を適用することができる。

【0077】

また、逆バイアスドライバ140についても、同一のグループに含まれる各行の逆バイアスラインBLに対して、同一の電圧レベルを有する逆バイアス設定信号 V_{bs} を同時に印加することができるように、例えば、図6に示すように、シフトレジスタ141から各行の逆バイアスラインBLに対応して順次出力されたシフト信号に基づいて、出力回路部142において、同一のグループに含まれる各行の個別の逆バイアスラインBLに対して同一の電圧レベルを有する逆バイアス設定信号 V_{bs} を同時に印加する構成を適用することができる。

【0078】

<表示画素（発光駆動回路）の駆動制御方法>

次に、本実施形態において、上述した表示パネルを構成する表示画素（図3参照）の駆動制御方法について説明する。

図7は、本実施形態に係る表示装置に適用される表示画素における駆動制御方法（逆バイアス設定動作、非発光動作、書込動作、発光動作）を示すタイミングチャートである。また、図8は、本実施形態に係る表示画素（発光駆動回路）における逆バイアス設定動作及び非発光動作を示す概念図であり、図9は、本実施形態に係る表示画素（発光駆動回路）における書込動作及び発光動作を示す概念図である。

【0079】

本実施形態に係る表示画素EM（発光駆動回路DC）における駆動制御動作は、図7に示すように、所定の1処理サイクル期間 T_{cyc} 内に、表示画素EM（発光駆動回路DC）への電源電圧 V_{sc} の供給を遮断（ローレベルの電源電圧 V_{sc} を印加）することにより、有機EL素子OELへの発光駆動電流の供給を遮断して、発光動作させない非発光動作期間（非表示動作期間） T_{nem} と、当該非発光動作期間 T_{nem} 中に実行され、逆バイアスラインBLを介して逆バイアス設定信号 V_{bs} を印加することにより、発光駆動回路DCに設けられた発光駆動用の薄膜トランジスタ T_{r13} のゲートソース間（コンデンサCs）に保持された（残留する）電荷を放電して0V（無電圧）又は逆バイアス電圧が印加された逆バイアス状態（無電界状態を含む）に設定する逆バイアス設定期間 T_{bs} と、非発光動作期間 T_{nem} 中に実行され、走査ラインSLに接続された表示画素EMを選択状態に設定し、表示データに応じた電流値を有する階調電流 I_{data} を供給することにより、発光駆動回路

DC2に設けられた発光駆動用の薄膜トランジスタTr13のゲートソース間（コンデンサCs）に、当該表示データに応じた電圧成分を保持させる書込動作期間Twrと、当該書込動作期間Twrに薄膜トランジスタTr13のゲートソース間に保持された電圧成分に基づいて、表示データに応じた電流値を有する発光駆動電流Ibを有機EL素子OELに流して、所定の輝度階調で発光動作させる発光動作期間（表示動作期間）Temと、を含むように設定されている（ $T_{cyc} \geq T_{em} + T_{nem}$ 、 $T_{nem} \geq T_{bs} + T_{wr}$ ）。

【0080】

ここで、非発光動作期間Tnem中に設定される逆バイアス設定期間Tbs及び書込動作期間Twrは、図7に示すように、各々、非発光動作期間Tnemの開始時及び終了時に設定されるものであってもよいし、非発光動作期間の任意のタイミング（非発光動作期間の途中）で逆バイアス設定動作及び書込動作が実行されるように、逆バイアス設定期間Tbs及び書込動作期間Twrが設定されるものであってもよい。

【0081】

また、本実施形態に係る1処理サイクル期間Tcycは、例えば、表示画素EMが1フレーム（1画面）の画像のうちの1画素分の画像情報を表示するのに要する期間に設定される。すなわち、後述する表示装置の表示駆動方法において説明するように、複数の表示画素EMを行方向及び列方向に2次元配列した表示パネル110に、1フレームの画像を表示する場合、上記1処理サイクル期間Tcycは、1行分の表示画素EMが1フレームの画像のうちの1行分の画像を表示するのに要する期間（1フレーム期間Tfr）に設定される。

【0082】

（非表示動作期間）

まず、非発光動作期間（非表示動作期間）Tnemにおいては、図7、図8（a）に示すように、走査ドライバ120から走査ラインSLに対して、非選択レベルの走査信号Vslを印加して当該表示画素EMを非選択状態に設定するとともに、電源ドライバ130から電源ラインVLに対して、ローレベルの電源電圧Vsc（=Vs）が印加される。また、データドライバ150からはデータラインDLに対して階調電流Idataは供給されない。

【0083】

これにより、発光駆動回路DCに設けられた薄膜トランジスタTr11及びTr12がオフ状態に設定されるので、薄膜トランジスタTr13のゲート端子（接点N11；コンデンサCsの一端側）と電源ラインVLとの電氣的な接続が遮断されるとともに、薄膜トランジスタTr13のソース端子（接点N12；コンデンサCsの他端側）とデータラインDLとの電氣的な接続も遮断された状態に設定される。なお、非発光動作期間Tnemにおいて、後述する逆バイアス設定期間Tbs以外の期間においては、逆バイアスドライバ140から逆バイアスラインBLに対して、ローレベルの逆バイアス設定信号Vbsが印加され、薄膜トランジスタTr14はオフ状態に設定されることにより、薄膜トランジスタTr13のゲート端子（接点N11；コンデンサCsの一端側）と走査ラインSLとの電氣的な接続が遮断された状態に設定される。

【0084】

ここで、後述する表示装置の表示駆動方法において説明するように、各表示画素EMにおける駆動制御動作は、1処理サイクル期間Tcyc（1フレーム期間Tfr）を周期として繰り返し実行されるので、上記非発光動作期間Tnemの開始時点における薄膜トランジスタのTr13のゲートソース間（コンデンサCsの両端）には、一つ前の処理サイクル期間において表示データに基づいて書き込まれた電圧成分が保持された状態にあり、薄膜トランジスタTr13はオン状態にある。

【0085】

そのため、有機EL素子OELのアノード端子（接点N12）には、電源ラインVLに印加されているローレベル（接地電位GND以下）の電源電圧Vsc（=Vs）が薄膜トランジスタTr13を介して印加されることになり、カソード端子の電位Vcom（接地電位GND）に対して同等以下の電位に設定されるので、有機EL素子OELに逆バイアス電

圧が印加されることになり、有機EL素子OELには発光駆動電流は流れず、発光動作は行われない（非発光動作）。

【0086】

（逆バイアス設定期間）

次いで、上記非発光動作期間 T_{nem} 中に設定される逆バイアス設定期間 T_{bs} においては、図7、図8（b）に示すように、逆バイアスドライバ140から逆バイアスラインBLに対して、ハイレベルの逆バイアス設定信号 V_{bs} が印加される。

【0087】

これにより、発光駆動回路DCに設けられた薄膜トランジスタ T_{r14} がオン動作することにより、薄膜トランジスタ T_{r13} のゲート端子（接点N11；コンデンサ C_s の一端側）には非選択レベル（ローレベル； V_{sn} ）に設定された走査信号 V_{sel} の電圧レベルが印加された状態に設定されるので、薄膜トランジスタ T_{r13} のゲートソース間（コンデンサ C_s の両端）には、上記非選択レベルの走査信号 V_{sel} に基づく電圧レベル（= V_{sn} ）と、接点N12の電位との差分が生じることになる。

【0088】

ここで、上述したように、非発光動作期間 T_{nem} の開始時点におけるコンデンサ C_s には、一つ前の処理サイクル期間において表示データに基づいて書き込まれた電圧成分が保持された状態にあり、薄膜トランジスタ T_{r13} はオン状態にあるので、図7に示すように、上記非発光動作期間 T_{nem} の開始時点で逆バイアス設定動作を実行する場合、接点N12（コンデンサ C_s の他端）には、薄膜トランジスタ T_{r13} を介して電源ラインVLに印加されているローレベルの電源電圧 V_{sc} （= V_s ）が印加されることになる。

【0089】

したがって、薄膜トランジスタ T_{r13} のゲートソース間（コンデンサ C_s の両端）には、非選択レベルの走査信号 V_{sel} （= V_{sn} ）と、ローレベルの電源電圧 V_{sc} （= V_s ）との差分（ $V_{sn}-V_s$ ）が印加、保持されることになる（図7、図8（b）中、コンデンサ C_s の両端電位 V_c 参照）。ここで、少なくとも非選択レベルの走査信号 V_{sel} （= V_{sn} ）の電圧レベルを、ローレベルの電源電圧 V_{sc} （= V_s ）に対して同等、もしくは、低く設定することにより、薄膜トランジスタ T_{r13} のゲートソース間に印加される電位差（コンデンサ C_s の両端電圧 V_c ）を、0Vとなる無電界状態、又は、負電圧となる逆バイアス状態に設定することができる（以下の説明においては、便宜的に、無電界状態と逆バイアス状態を総称して、「逆バイアス状態」と記す）。

【0090】

なお、上記非発光動作期間 T_{nem} の開始時点で逆バイアス設定動作を実行した場合、薄膜トランジスタ T_{r13} のゲートソース間（コンデンサ C_s の両端）には、上記逆バイアス電圧（ $V_{sn}-V_s$ ）が保持され、非発光動作期間 T_{nem} 中、継続して逆バイアス状態が保持される。

【0091】

これにより、薄膜トランジスタ T_{r13} は確実にオフ動作するように制御されるので、有機EL素子OELのアノード端子（接点N12）に印加される電位はカソード端子の電位（共通電圧 V_{com} （= GND ））に対して同等以下に設定されて、有機EL素子OELに逆バイアス電圧が印加されることになり、有機EL素子OELには発光駆動電流は流れず、発光動作は行われない（非発光動作）。

【0092】

なお、本実施形態に示した表示画素EMの回路構成においては、逆バイアス設定信号 V_{bs} の印加によりオン動作して、薄膜トランジスタ T_{r13} のゲート端子（接点N11）に所定の電圧レベルを印加する手段として、導通路の一端が走査ラインSLに接続された薄膜トランジスタ T_{r14} を備え、非選択レベルの走査信号 V_{sel} （= V_{sn} ）を薄膜トランジスタ T_{r13} のゲート端子（接点N11）に印加して、当該薄膜トランジスタ T_{r13} を逆バイアス状態に設定する場合について説明したが、本発明はこれに限定されるものではなく、例えば、上記薄膜トランジスタ T_{r14} の一端側に非選択レベルの走査信号 V_{se}

1 (= V_{sn}) する) と同等の電圧レベルを有する電源電圧が印加された構成 (又は、当該電源電圧の印加された電源ラインに接続された構成) を有するものであってもよい。

【0093】

(書込動作期間)

次いで、上記非発光動作期間 T_{nem} 中に設定される書込動作期間 T_{wrt} においては、図7、図9 (a) に示すように、走査ドライバ120から走査ラインSLに対して、選択レベル (ハイレベル) の走査信号 V_{sel} を印加して当該表示画素EMを選択状態に設定するとともに、この選択タイミングに同期して、データドライバ150からデータラインDLに対して、表示データに応じた (負極性の) 電流値を有する階調電流 I_{data} を供給する。また、この書込動作期間 T_{wrt} においては、上記非発光動作期間 T_{nem} と同様に、電源ドライバ130から電源ラインVLに対して、ローレベルの電源電圧 V_{sc} (= V_s) が印加され、逆バイアスドライバ140から逆バイアスラインBLに対して、ローレベルの逆バイアス設定信号 V_{bs} が印加される。

【0094】

これにより、発光駆動回路DCに設けられた薄膜トランジスタ T_{r11} 及び T_{r12} がオン動作して、ローレベルの電源電圧 V_{sc} が薄膜トランジスタ T_{r11} を介して薄膜トランジスタ T_{r13} のゲート端子 (接点N11; コンデンサ C_s の一端側) に印加されるとともに、薄膜トランジスタ T_{r13} のソース端子 (接点N12; コンデンサ C_s の他端側) が薄膜トランジスタ T_{r12} を介して、データラインDLに電氣的に接続される。このとき、薄膜トランジスタ T_{r14} はオフ状態に設定されるので、薄膜トランジスタ T_{r13} のゲート端子 (接点N11; コンデンサ C_s の一端側) と走査ラインSLとの電氣的な接続が遮断された状態に設定される。

【0095】

ここで、データラインDLには負極性の電流値を有する階調電流 I_{data} が供給されることにより、データラインDL側からデータドライバ150方向に階調電流 I_{data} を引き込む動作が行われ、ローレベルの電源電圧 V_{sc} よりも低電位の電圧レベルが薄膜トランジスタ T_{r13} のソース端子 (接点N12; コンデンサ C_s の他端側) に印加される。

【0096】

このように、接点N11及びN12間 (薄膜トランジスタ T_{r13} のゲート-ソース間) に電位差が生じることにより、薄膜トランジスタ T_{r13} がオン動作して、電源ラインVLから薄膜トランジスタ T_{r13} 、接点N12、薄膜トランジスタ T_{r12} 、データラインDLを介して、データドライバ150方向に、階調電流 I_{data} に対応した書込電流 I_a が流れる。

【0097】

このとき、薄膜トランジスタの T_{r13} のゲート-ソース間 (コンデンサ C_s の両端) には、書込電流 I_a により生じた電位差に対応する電荷が蓄積され、電圧成分として保持される (図7、図9 (a) 中、コンデンサ C_s の両端電位 V_c 参照)。また、電源ラインVLには、ローレベル (接地電位GND以下) の電源電圧 V_{sc} (= V_s) が印加され、さらに、書込電流 I_a がデータラインDL方向に流れるように制御されていることから、有機EL素子OELのアノード端子 (接点N12) に印加される電位はカソード端子の電位 V_{com} (接地電位GND) よりも低くなるので、有機EL素子OELに逆バイアス電圧が印加されることになり、有機EL素子OELには発光駆動電流は流れず、発光動作は行われない (非発光動作)。

【0098】

(表示動作期間)

次いで、書込動作期間 T_{wrt} 、又は、該書込動作期間 T_{wrt} を含む非発光動作期間 T_{nem} 終了後の発光動作期間 (表示動作期間) T_{em} においては、図7、図9 (b) に示すように、走査ドライバ120から走査ラインSLに対して、ローレベルの走査信号 V_{sel} を印加して当該表示画素EMを非選択状態に設定するとともに、この非選択タイミングに同期して、データドライバ130からの階調電流 I_{data} の供給が遮断されて、当該階調電流 I_{da}

taの引き込み動作が停止される。また、上記非発光動作期間 T_{nem} と同様に、逆バイアスドライバ140から逆バイアスラインBLに対して、ローレベルの逆バイアス設定信号 V_{bs} が印加される。一方、この発光動作期間 T_{em} においては、電源ドライバ130から電源ラインVLに対して、ハイレベルの電源電圧 V_{sc} ($=V_e$) が印加される。

【0099】

これにより、発光駆動回路DCに設けられた薄膜トランジスタ T_{r11} 、 T_{r12} 、 T_{r14} がオフ動作するので、薄膜トランジスタ T_{r13} のゲート端子（接点N11；コンデンサ C_s の一端側）への電源電圧 V_{sc} の印加が遮断されるとともに、薄膜トランジスタ T_{r13} のソース端子（接点N12；コンデンサ C_s の他端側）への階調電流 I_{data} の引き込み動作に起因する電圧レベルの印加が遮断されるので、コンデンサ C_s には、上述した書込動作期間 T_{wrt} において蓄積された電荷（電圧成分 V_{data} ）が保持されることになり、薄膜トランジスタ T_{r13} はオン状態を維持する。また、電源ラインVLには、共通電圧 V_{com} （接地電位GND）よりも高電位の電源電圧 V_{sc} ($=V_e$) が印加されるので、有機EL素子OELのアノード端子（接点N12）に印加される電位はカソード端子の電位（接地電位）よりも高くなる。

【0100】

したがって、電源ラインVLから薄膜トランジスタ T_{r13} 、接点N12を介して、有機EL素子OELに順バイアス方向に所定の発光駆動電流 I_b が流れ、有機EL素子OELが発光する。ここで、コンデンサ C_s により保持される電圧成分（コンデンサ C_s の両端電位 V_c ）は、薄膜トランジスタ T_{r13} において階調電流 I_{data} （表示データ）に対応した書込電流 I_a を流す場合の電位差に相当するので、有機EL素子OELに流れる発光駆動電流 I_b は、上記書込電流 I_a と同等の電流値（ $I_b \approx I_a$ ）を有することになる。

【0101】

また、当該表示画素EMにおいて、書込動作期間 T_{wrt} に書き込まれた表示データ（階調電流 I_{data} ）に対応する電圧成分に基づいて、発光動作期間 T_{em} 中、薄膜トランジスタ T_{r13} を介して発光駆動電流 I_b が継続的に供給されることになり、有機EL素子OELは当該表示データに応じた輝度階調で発光する動作を継続する。

【0102】

このように、本実施形態に係る表示画素EM（発光駆動回路DC）によれば、書込動作期間 T_{wrt} において、表示データ（輝度階調）に応じた電流値を指定した階調電流 I_{data} （書込電流 I_a ）を強制的に駆動トランジスタ T_{r13} のドレイン-ソース間に流して、その電流値に応じて保持される駆動トランジスタ T_{r13} のゲート-ソース間の電圧成分に基づいて、有機EL素子（発光素子）OELに流す発光駆動電流 I_b を制御することにより、所定の輝度階調で発光動作させる電流階調指定方式の駆動制御方法を適用することができる。

【0103】

また、本実施形態に係る表示画素EMによれば、各表示画素EMに設けられた発光駆動回路DCを構成する単一の発光駆動用トランジスタ（薄膜トランジスタ T_{r13} ）により、表示データに応じた階調電流 I_{data} の電流レベルを電圧レベルに変換する機能（電流/電圧変換機能）と、有機EL素子OELに所定の電流値を有する発光駆動電流 I_b を供給する機能（発光駆動機能）の双方を実現することができるので、発光駆動回路DCを構成する各トランジスタの動作特性のバラツキや経時変化の影響を受けることなく、長期間にわたり安定的に所望の発光特性を実現することができる。

【0104】

次いで、上述した回路構成を有する表示画素（発光駆動回路）及びその駆動制御方法によるしきい値電圧の変動抑制効果（ V_{th} シフト量抑制効果）について具体的に説明する。

図10は、本実施形態に係る表示画素において、発光駆動用のスイッチング素子（薄膜トランジスタ）を逆バイアス状態に設定した場合のしきい値電圧の変動量（ V_{th} シフト量）を示す実験結果である。ここでは、発光駆動用のスイッチング素子として適用されるn

チャンネル型のアモルファスシリコン薄膜トランジスタのゲートソース間に、順バイアス電圧を印加して継続的にオン動作させた場合（図中、点線で示す）と、駆動動作期間の1/5の期間、-30Vの逆バイアス電圧を印加して逆バイアス状態に設定した場合（図中、実線で示す）における、時間経過に対するしきい値電圧の変動量の変化傾向を測定した結果の一例を示す。

【0105】

本実施形態においては、図4に示したように、各表示画素EMに設けられる発光駆動回路DCとして、単一のチャンネル型の複数のアモルファスシリコン薄膜トランジスタからなる回路構成を示して説明したが、アモルファスシリコン薄膜トランジスタは、一般に駆動履歴によるしきい値電圧の変動（ V_{th} シフト）が発生しやすいということが知られている。

【0106】

そのため、発光駆動用のスイッチング素子（薄膜トランジスタTr13）として、アモルファスシリコン薄膜トランジスタを適用した場合、そのしきい値電圧の変動により、有機EL素子OELに供給される発光駆動電流 I_b の電流値が、表示データに対応しなくなって適切な輝度階調で発光動作（表示動作）することができなくなり、表示画質の劣化を招く可能性がある。

【0107】

そこで、本実施形態においては、上述した1フレーム期間Tfr中に設定される非発光動作期間（非表示動作期間）に、各表示画素EMの発光駆動用のスイッチング素子（薄膜トランジスタTr13）のゲートソース間電圧（コンデンサCsの両端電位Vc）を0V（無電圧）又は負電圧（逆バイアス電圧）に設定することにより、当該スイッチング素子のしきい値電圧の変動を抑制するようにしている。

【0108】

具体的には、図10に示すように、薄膜トランジスタに順バイアス電圧のみを継続的に印加した場合においては、図中、点線で示すように、時間の経過（横軸）にしたがって、しきい値電圧の変動量（ V_{th} シフト量）が顕著に増大する傾向を示す（250時間経過で2V程度）。これに対して、薄膜トランジスタに一定期間、逆バイアス電圧を印加した場合においては、図中、実線で示すように、時間の経過（横軸）に対して、しきい値電圧の変動量が大幅に抑制される傾向を示す（250時間経過で0.6V程度）ことが判明した。

【0109】

このようなしきい値電圧の変動抑制効果（ V_{th} シフト量抑制効果）は、アモルファスシリコン薄膜トランジスタの素子構造において、駆動動作期間中に一定期間だけ逆バイアス状態を設定することによって、ゲート絶縁膜を構成する窒化膜中への電荷の導入が膜厚の比較的浅い領域において行われ、深い領域への導入が抑制されること、さらに、逆バイアス状態に設定されることにより、窒化膜にトラップされた電荷が放出されることによるものと考えられている。

【0110】

したがって、各表示画素EM（発光駆動回路DC2）に設けられる発光駆動用のスイッチング素子として、アモルファスシリコン薄膜トランジスタを適用した場合であっても、駆動履歴によるしきい値電圧の変動（ V_{th} シフト）を抑制することができるので、有機EL素子OELに対して表示データに対応した電流値を有する発光駆動電流 I_b を供給することができ、適切な輝度階調で発光動作（表示動作）することができ、表示画質を向上させることができる。

【0111】

<表示装置の表示駆動方法>

次に、本実施形態に係る表示装置における表示駆動方法（画像情報の表示動作）について説明する。

図11は、本実施形態に係る表示装置の表示駆動方法の第1の例を模式的に示したタイ

ミングチャートである。なお、本実施形態においては、説明の都合上、便宜的に表示パネルに12行 ($n=12$; 第1行~第12行) の表示画素が配列された構成を有しているものとして説明する。また、図中、 k は正の整数であり、図中の各行の斜線で示したハッチング部分は、各々、上述した表示データの逆バイアス設定期間を表しており、クロスメッシュで示したハッチング部分は、各々、上述した表示データの書込動作期間を表しており、ドットで示したハッチング部分は、各々、上述した発光動作期間を表している。

【0112】

本実施形態に係る表示装置100の表示駆動方法は、まず、表示パネル110に配列された各行ごとの表示画素EM (発光駆動回路DC) に対して、予めグループ分けした複数行の表示画素EM (有機EL素子OEL) ごとに、表示画素EMを表示動作させない (有機EL素子OELを発光動作させない) 非発光動作 (非表示動作) を実行し、当該非発光動作期間 T_{nem} 中の任意のタイミング (本実施形態では非発光動作期間 T_{nem} の終了間際) で、表示データに応じた階調電流 I_{data} を書き込む書込動作を各行ごとに順次実行し、その後、各グループの複数行の表示画素EMごとに、表示データ (階調電流) に応じた所定の輝度階調で一斉に発光動作させることにより、表示パネル110一画面分の画像情報が表示される。

【0113】

具体的には、まず、表示パネル110に配列された全ての表示画素EMを複数行ごとに予めグループ分けする。例えば、図11に示すように、表示パネル110を構成する12行の表示画素EMを、相互に隣接 (連続) する1~3行目、4~6行目、7~9行目、10~12行目のように、各3行分の表示画素EMを一組として4グループに分ける。

【0114】

そして、1フレーム期間 T_{fr} 内の非発光動作期間 (非表示動作期間) T_{nem} (図中、白抜きで表示) において、電源ドライバ130から表示パネル110の同一のグループに含まれる複数行の電源ラインVLに対して、ローレベルの電源電圧 V_{sc} ($=V_s$) を印加することにより、図7、図8 (a) に示したように、当該グループに含まれる全ての行の表示画素EMにおいて発光駆動用の薄膜トランジスタ T_{r13} のドレインソース間に電位差が生じないので、当該薄膜トランジスタ T_{r13} を介して有機EL素子OELに発光駆動電流 I_b は流れず、当該グループの全ての表示画素EMが非発光状態に設定される (非発光動作する)。

【0115】

ここで、後述する書込動作期間以外の非発光動作期間 T_{nem} においては、非発光動作するグループに含まれる全ての行の走査ラインSLに対して、走査ドライバ120から非選択レベル (ローレベル) の走査信号 V_{sel} が印加されるとともに、データドライバ150から各データラインDLに階調電流 I_{data} が供給されない状態 (階調電流 I_{data} の供給が遮断された状態) に設定されている。

【0116】

そして、この非発光動作期間 T_{nem} 中の任意のタイミングで (本実施形態では非発光動作期間 T_{nem} の開始タイミングと同期して) 設定される逆バイアス設定期間 T_{bs} (図中、斜線で表示) においては、図7、図8 (b) に示したように、非発光動作するグループに含まれる全ての行の逆バイアスラインBLに対して、逆バイアスドライバ140から逆バイアス設定信号 V_{bs} を印加することにより、当該グループに含まれる各表示画素EMにおいて発光駆動用の薄膜トランジスタ T_{r13} のゲートソース間に逆バイアス電圧が印加される (逆バイアス設定動作) ので、当該薄膜トランジスタ T_{r13} はオフ動作する。

【0117】

この逆バイアス設定期間 T_{bs} 終了後の非発光動作期間 T_{nem} (図中、白抜きで表示) においては、上述した逆バイアス設定動作により薄膜トランジスタ T_{r13} のゲートソース間に印加された逆バイアス電圧 (逆バイアス状態) が保持されることにより、当該薄膜トランジスタ T_{r13} はオフ状態を保持する。

【0118】

次いで、図 11 に示すように、上記非発光動作期間 T_{nem} において上記逆バイアス設定動作による逆バイアス状態が一定時間以上経過した後の任意のタイミングで設定される書込動作期間 T_{wrt} (図中、クロスメッシュで表示) においては、図 7、図 9 (a) に示したように、走査ドライバ 120 から表示パネル 110 の各行の走査ライン SL に対して、選択レベル (ハイレベル) の走査信号 V_{sel} を順次印加することにより、各行の表示画素 EM を順次選択状態に設定する。

【0119】

そして、この選択タイミングに同期して、データドライバ 150 から各行の表示データに応じた電流値を有する階調電流 I_{data} を、各データライン DL に供給することにより、図 9 (a) に示したように、当該行の各表示画素 EM の発光駆動回路 DC に階調電流 I_{data} に応じた書込電流 I_a が流れて、各薄膜トランジスタ $Tr13$ のゲートソース端子間 (コンデンサ C_s の両端) に、階調電流 I_{data} に応じた電圧成分 (V_{data}) が保持される。

このような書込動作期間 T_{wrt} は、表示パネル 110 に配列された表示画素 EM について、各行ごとに時間的に重ならないようにタイミングをずらして順次実行される。

【0120】

ここで、この書込動作期間 T_{wrt} においては、同一のグループに含まれる行の表示画素 EM が選択状態に設定されている間、当該グループ内の全ての行の電源ライン VL に対して、電源ドライバ 130 からローレベルの電源電圧 V_{sc} ($=V_s$) が印加されることにより、有機 EL 素子 OEL に逆バイアス電圧が印加されるので、発光駆動回路 DC から有機 EL 素子 OEL に電流は流れず、当該グループ内の全ての表示画素 EM が非発光状態に設定される (非発光動作する)。

【0121】

次いで、図 11 に示すように、発光動作期間 (表示動作期間) T_{em} (図中、ドットハッチングで表示) においては、図 7、図 9 (b) に示したように、同一のグループに含まれる各行の走査ライン SL に対して、走査ドライバ 120 から非選択レベル (ローレベル) の走査信号 V_{sel} を印加することにより、当該グループ内の全ての表示画素 EM が非選択状態に設定されるとともに、データドライバ 150 から各データライン DL への階調電流 I_{data} の供給が遮断される。

【0122】

そして、このタイミングに同期して、電源ドライバ 130 から当該グループに含まれる各行の電源ライン VL に対して、ハイレベルの電源電圧 V_{sc} ($=V_e$) が印加されることにより、図 9 (b) に示したように、当該グループの各表示画素 EM (発光駆動用の薄膜トランジスタ $Tr13$ のゲートソース間) に保持された電圧成分に基づいて、表示データ (階調電流 I_{data}) に応じた発光駆動電流 I_b が有機 EL 素子 OEL に供給されて、所定の輝度階調で発光動作が行われる。

【0123】

このような発光動作は、当該グループの全ての行の表示画素 EM について上記書込動作が終了したタイミングに同期して (終了直後から)、当該グループに含まれる全ての行の表示画素 EM について一斉に開始され、当該グループの各行について次の非発光動作 (逆バイアス設定動作を含む) が開始されるタイミングまで継続して実行される。

【0124】

すなわち、本実施形態のように、1~3行目の表示画素 EM を一組とするグループにおいては、各行の表示画素 EM について、一斉に非発光動作及び逆バイアス設定動作が実行され、その後、1行目から3行目の表示画素 EM まで順に書込動作が実行された後、各行の表示画素 EM が一斉に発光動作する。この発光動作は、当該グループに含まれる1~3行目の表示画素 EM に対して、次の1フレーム期間 T_{fr} における非発光動作及び逆バイアス設定動作が開始されるタイミングまで継続される。

以下、同様の動作が4~6行目、7~9行目、10~12行目の表示画素 EM を各々

組とする各グループについて、各行の書込動作期間が時間的に重ならないように順次タイミングをずらしながら実行される。

【0125】

したがって、このような表示装置の表示駆動方法によれば、複数行の表示画素を一組とする各グループごとに、1フレーム期間 T_{fr} 中に所定の長さの非発光動作期間 T_{nem} が設定されるので、1フレーム期間 T_{fr} のうち、一定期間のみ表示データ（階調電流 I_{data} ）に応じた輝度階調で各表示画素 EM が発光動作する擬似インパルス型の表示駆動制御を実現することができる。

【0126】

なお、1フレーム期間 T_{fr} 中に実行される非発光動作期間 T_{nem} 、逆バイアス設定期間 T_{bs} 、書込動作期間 T_{wrt} 、発光動作期間 T_{em} の実行タイミング及び実行時間（長さ）は、システムコントローラ160から走査ドライバ120、電源ドライバ130、逆バイアスドライバ140及びデータドライバ150にタイミング制御信号として供給される走査制御信号、電源制御信号、逆バイアス制御信号及びデータ制御信号により任意に設定することができる。

【0127】

ここで、図11に示したタイミングチャートにおいては、表示パネル110を構成する12行の表示画素 EM を、4組にグループ分けして、各グループごとに異なるタイミングで一斉に非発光動作（逆バイアス設定動作を含む）及び発光動作を実行するように制御されるので、1フレーム期間 T_{fr} における上記非発光動作による非表示期間の比率（黒挿入率）を概ね50%に設定して、表示パネル110に表示される画像情報（表示画面）の半分を黒表示（非表示）することができる。

【0128】

人間の視覚において、動画像をボケやにじみがなく鮮明に視認するためには、一般に、概ね30%以上の黒挿入率を有していることが目安になるので、本実施形態によれば、良好な表示画質で動画像を表示することができる表示装置を実現することができる。なお、1フレーム期間 T_{fr} における黒挿入率（非表示期間の比率）は、上述した50%に限定されるものではなく、上記グループ数に応じて任意に設定することができる。特に、上述した30%以上の黒挿入率であることが望ましいが、30%以下の数値であってもよい。

【0129】

また、本実施形態においては、図11に示したように、1フレーム期間 T_{fr} の大半の時間（図11においては、1フレーム期間 T_{fr} の2/3の期間）を用いて表示パネル110の全行（12行分）の表示画素 EM に対して、順次書込動作を実行する場合について説明したが、図10に示したように、逆バイアス状態が保持される期間を、1フレーム期間 T_{fr} の比較的短い時間（例えば、1フレーム期間 T_{fr} の1/5）に設定した場合であっても、各表示画素 EM に設けられた発光駆動用のスイッチング素子（薄膜トランジスタ T_{r13} ）におけるしきい値電圧の変動（ V_{th} シフト量）を大幅に抑制することができるので、1フレーム期間 T_{fr} の大半の時間を用いて表示パネル110の全行の表示画素 EM に対して、順次書込動作を実行することができる。

【0130】

この場合、図18に示した表示駆動方法のように、ブランキングデータの書込動作及び黒表示動作を実行するために、各行における書込動作期間 T_{wrt} （従来技術における映像データ書込期間に相当する）が大幅に短縮されることがなく、各行の書込時間を十分に確保することができ、表示データの書込不足に起因する表示品質の低下を抑制して、表示データに応じた適切な階調表示を実現することができる。また、これにより、各種信号のタイミング制御に余裕を持たせることができるので、表示装置の誤動作の発生を抑制することができる。

【0131】

さらに、非発光動作期間 T_{nem} において、各表示画素 EM に設けられた発光駆動用のスイッチング素子（薄膜トランジスタ T_{r13} ）に逆バイアス電圧を印加して逆バイアス状

態に設定することができるので、上記スイッチング素子としてアモルファスシリコン薄膜トランジスタを適用した場合であっても、しきい値電圧の変動（ V_{th} シフト量）を大幅に抑制して、表示データに応じた適切な輝度階調で有機EL素子OELを発光動作させることができる。

【0132】

加えて、本実施形態においては、発光動作及び非発光動作を制御するために、グループごとに電源電圧 V_{sc} の電圧レベルを設定しているので、図2、図3に示したように、グループごとに単一の電源電圧 V_{sc} を出力し、当該グループ内に分岐して配設された電源ライン V_L を介して各行の表示画素EMに同時に当該電源電圧 V_{sc} を印加することができる。また、各表示画素EMに設けられる発光駆動用のスイッチング素子（薄膜トランジスタ $Tr13$ ）のしきい値電圧の変動を抑制するために、グループごとに逆バイアス設定信号 V_{bs} の印加状態（印加及び遮断）を設定しているので、図2、図3に示したように、グループごとに単一の逆バイアス設定信号 V_{bs} を出力し、当該グループ内に分岐して配設された逆バイアスライン B_L を介して各行の表示画素EMに同時に当該逆バイアス設定信号 V_{bs} を印加することができる。

【0133】

したがって、少なくとも、表示パネル110と電源ドライバ130間で電源電圧 V_{sc} を伝達するための接続端子、及び、表示パネル110と逆バイアスドライバ140間で逆バイアス設定信号 V_{bs} を伝達するための接続端子（図示を省略）の数を、表示パネル110に設定されたグループの数に相当する個数分（本実施形態においては、4個）に設定することができるので、各行の電源ライン V_L 、逆バイアスライン B_L ごとに接続端子を備える場合に比較して接続端子数を大幅に削減できるとともに、電源ドライバ130及び逆バイアスドライバ140の回路構成を簡略化することができる。

【0134】

なお、本実施形態においては、説明の都合上、図11のタイミングチャートに示したように、1フレーム期間 T_{fr} 中に、逆バイアス設定期間及び書込動作期間を含む非発光動作（非表示動作）を実行した後、発光動作（表示動作）を実行する場合について説明したが、例えば、有機EL素子OELの発光動作（表示画素EMの表示動作）を伴わない書込動作を実行した後、所定の長さの発光動作を実行し、その後さらに、逆バイアス設定動作を含む非発光動作を実行する場合であっても、実質的に制御動作は同等である。

【0135】

次に、本実施形態に係る表示装置に適用可能な表示駆動方法の第2の例について、図面を参照して説明する。

図12は、本実施形態に係る表示装置の表示駆動方法の第2の例を模式的に示したタイミングチャートである。ここで、上述した第1の例（図11参照）と同等の表示駆動方法については、その説明を簡略化する。

【0136】

本実施形態に係る表示装置100の表示駆動方法の第2の例は、1フレーム期間 T_{fr} 内に、表示パネル110に配列され、相互に隣接（連続）しない複数行の表示画素EMを一組としてグループ分けし、各グループごとの表示画素EMに対して、上記非発光動作（逆バイアス設定動作を含む）及び発光動作を一斉に実行し、各行ごとの表示画素EMに対して、上記書込動作をタイミングをずらして順次実行する動作を行う。

【0137】

具体的には、例えば、図12に示すように、表示パネル110を構成する12行の表示画素EMを、1、5、9行目、2、6、10行目、3、7、11行目、4、8、12行目のように、各々3行分の表示画素EMを一組として4グループに分ける。

そして、例えば、1、5、9行目の表示画素EMを一組とするグループにおいて、当該グループに含まれる全ての行の表示画素EMに、一斉に非発光動作及び逆バイアス設定動作が実行され、その後、1、5、9行目の順に表示画素EMに対して上記書込動作が実行され、9行目の表示画素EMについて書込動作が終了した後、当該グループに含まれる1

、5、9行目の全ての行の表示画素EMが一齐に発光動作する。この発光動作は、1、5、9行目の表示画素EMに対して、次のフレーム期間において非発光動作（逆バイアス設定動作を含む）が実行されるタイミングまで継続される。

【0138】

また、上記9行目の表示画素EMについて書込動作が終了したタイミングで、2、6、10行目の表示画素EMを一組とするグループにおいて、2、6、10行目の順に表示画素EMに対して上記書込動作が実行されるように、非発光動作及び逆バイアス設定動作、又は、発光動作が所定のタイミングで一齐に実行される。以下、同様の動作が3、7、11行目、及び、4、8、12行目を各々一組とするグループにおいて繰り返し実行される。

【0139】

したがって、このような表示装置の表示駆動方法によっても、上述した第1の例に係る表示駆動方法と同様に、各グループごとに1フレーム期間Tfr中の一定期間のみ、表示データに応じた輝度階調で発光動作が実行されるとともに、当該発光動作期間以外の期間において、非発光動作（逆バイアス設定動作及び書込動作を含む）が実行される擬似インパルス型の表示駆動制御を実現することができる。ここで、本表示駆動方法においても、当該非発光動作による非表示期間の比率（黒挿入率）を30%以上に設定することができるので、動画像のボケやにじみを抑制して鮮明さを向上させた表示装置を実現することができる。

【0140】

また、各グループに含まれる行ごとに、非発光動作期間Tnem中に、各表示画素EMに設けられた発光駆動用のスイッチング素子（薄膜トランジスタTr13）が逆バイアス状態に設定されるので、当該スイッチング素子に適用されるアモルファスシリコン薄膜トランジスタにおいて駆動履歴に起因して顕著に生じるしきい値電圧の変動（Vthシフト量）を大幅に抑制することができ、表示データに応じた適切な輝度階調で有機EL素子OELを発光動作させることができる。

【0141】

さらに、この場合においても、システムコントローラ160により書込動作のタイミングを適宜設定することにより、1フレーム期間Tfrの大半の時間を用いて表示パネル110の全行（12行分）の表示画素EMに対して、順次書込動作を実行することができるので、各行の書込時間を十分に確保することができ、表示データの書込不足に起因する表示品質の低下を抑制して、表示データに応じた適切な階調表示を実現することができる。

【0142】

また、発光動作及び非発光動作、並びに、逆バイアス設定動作を制御するために、グループごとに電源電圧Vscの電圧レベルや逆バイアス設定信号Vbsの印加状態を設定しているので、表示パネル110と電源ドライバ130間の接続端子、及び、表示パネル110と逆バイアスドライバ140間の接続端子の数を、上記グループの数に相当する個数分（本実施形態においては、4個）に削減して、電源ドライバ130及び逆バイアスドライバ140の回路構成を簡略化することができる。

【0143】

なお、上述した第1、第2の例に係る表示駆動方法においては、表示パネル110を構成する表示画素EMを、3行を一組として4グループに分けた場合について説明したが、本発明はこれに限定されるものではなく、上記グループ数を適宜増減させて設定したものであってもよいことはいうまでもない。

【0144】

[第2の実施形態]

次に、本実施形態に係る表示装置及びその表示駆動方法の第2の実施形態について、図面を参照して説明する。

<表示装置>

図13は、第2の実施形態に係る表示装置に適用される表示パネル及びその周辺回路（

走査ドライバ、電源ドライバ、逆バイアスドライバ、データドライバ) の一例を示す要部構成図である。ここで、上述した第 1 の実施形態 (図 1 ~ 図 6 参照) と同等の構成については、同一又は同等の符号を付してその説明を簡略化する。

【0145】

図 13 に示すように、本実施形態に係る表示装置 100 は、上述した第 1 の実施形態と同様に、2 次元配列された複数の表示画素 EM が、予め任意の複数行ごとにグループ分けされた表示パネル 110 と、該表示パネル 110 の各行の走査ライン SL に接続された走査ドライバ 120 と、各行の電源ライン VL に接続された電源ドライバ 130 と、各行の逆バイアスライン BL に接続された逆バイアスドライバ 140 と、各列のデータライン DL に接続されたデータドライバ 150 と、上記各ドライバにタイミング制御信号 (走査制御信号、電源制御信号、逆バイアス制御信号、データ制御信号) を出力するシステムコントローラ 160 と、表示データ (輝度階調データ) を生成してデータドライバ 150 に供給する表示信号生成回路 170 と、を備えた構成を有し、特に、本実施形態においては、上記各グループごとに単一の電源ライン VL が各行の表示画素 EM に対応するように分岐して配設され、また、上記各グループに含まれる各行の表示画素 EM に対応するように個別の逆バイアスライン BL が配設された構成を有している。

【0146】

すなわち、電源ドライバ 130 は、上述した第 1 の実施形態と同様に、各グループの複数行の電源ライン VL に対応する単一の電源電圧 V_{sc} を、各グループごとに順次出力し、一方、逆バイアスドライバ 140 は、上述した走査ドライバ 120 と同様に、各グループに含まれる複数行の逆バイアスライン BL の各々に対応する個別の逆バイアス設定信号 V_{bs} を、各行ごとに順次出力するように構成されている。

【0147】

これにより、各グループに含まれる各行の電源ライン VL に対して、電源ドライバ 130 から各グループごとに所定の電圧レベルを有する電源電圧 V_{sc} が同時に印加されるので、ローレベルの電源電圧 V_{sc} ($=V_s$) が印加された場合には、当該グループの全ての行の表示画素 EM が一斉に非発光状態 (非表示状態) に設定され、一方、ハイレベルの電源電圧 V_{sc} ($=V_e$) が印加された場合には、当該グループの全ての行の表示画素 EM が一斉に発光状態 (階調表示状態) に設定される。

【0148】

また、各グループに含まれる各行の逆バイアスライン BL に対して、逆バイアスドライバ 140 から各行ごとに逆バイアス設定信号 V_{bs} が順次印加されるので、走査ドライバ 120 から出力される走査信号 V_{sel} によって各行の表示画素 EM が順次選択状態に設定される場合と同様に、各行の表示画素 EM が順次逆バイアス状態に設定される。

【0149】

<表示装置の表示駆動方法>

次に、本実施形態に係る表示装置における表示駆動方法 (画像情報の表示動作) について説明する。

図 14 は、本実施形態に係る表示装置の表示駆動方法の第 1 の例を模式的に示したタイミングチャートである。ここでは、上述した第 1 の実施形態に示した表示画素の駆動制御方法を適宜参照しながら説明する。また、上述した第 1 の実施形態の第 1 の例と同等の表示駆動方法については、その説明を簡略化する。

【0150】

本実施形態に係る表示装置 100 の表示駆動方法の第 1 の例は、1 フレーム期間 T_{fr} 内に、表示パネル 110 に配列された相互に隣接 (連続) する複数行の表示画素 EM を一組としてグループ分けし、各グループごとの表示画素 EM に対して、上記非発光動作及び発光動作を一斉に実行するとともに、各行ごとの表示画素 EM に対して、上記逆バイアス設定動作及び書込動作をタイミングをずらして順次実行する動作を行う。

【0151】

具体的には、まず、表示パネル 110 に配列された全ての表示画素 EM を、上述した第

1の実施形態の第1の例と同様に、複数行ごとに予めグループ分けする。例えば、図14に示すように、表示パネル110を構成する12行の表示画素EMを、相互に隣接（連続）する1～3行目、4～6行目、7～9行目、10～12行目のように、各3行分の表示画素EMを一組として4グループに分ける。

【0152】

そして、1フレーム期間 T_{fr} 内の非発光動作期間 T_{nem} （図中、白抜きで表示）において、電源ドライバ130から表示パネル110の同一のグループに含まれる複数行の電源ラインVLに対して、単一のローレベルの電源電圧 V_{sc} （= V_s ）を分岐して配設された電源ラインVLを介して印加することにより、当該グループの全ての表示画素EMを一斉に非発光状態に設定する（非発光動作させる）。

【0153】

この非発光動作期間 T_{nem} 中の任意のタイミングに（本実施形態では非発光動作期間 T_{nem} の開始タイミングと同期して）設定される逆バイアス設定期間 T_{bs} （図中、斜線で表示）においては、逆バイアスドライバ140から各行ごとに個別に配設された逆バイアスラインBLに対して、1行目から順にタイミングをずらしながら逆バイアス設定信号 V_{bs} を印加することにより、各行の表示画素EMに設けられた発光駆動用の薄膜トランジスタ T_{r13} のゲートソース間に逆バイアス電圧を印加して、順次逆バイアス状態に設定する。この各行ごとに設定される逆バイアス状態は、後述する書込動作において、各行の表示画素EMに設けられた薄膜トランジスタ T_{r13} のゲートソース間に表示データ（階調電流 I_{data} ）に応じた電圧成分 V_{data} が保持されるまで継続される。

【0154】

次いで、上記非発光動作期間 T_{nem} において各グループに含まれる各行における逆バイアス設定動作が終了した後の任意のタイミングに設定される書込動作期間 T_{wrt} （図中、クロスハッチで表示）においては、走査ドライバ120から各行の走査ラインSLに対して、1行目から順に選択レベル（ハイレベル）の走査信号 V_{sel} を順次印加することにより、各行の表示画素EMを順次選択状態に設定し、この選択タイミングに同期して、データドライバ150から各行の表示データに応じた電流値を有する階調電流 I_{data} を、各列のデータラインDLに供給することにより、当該行の各表示画素EMに設けられた発光駆動用の薄膜トランジスタ T_{r13} のゲートソース間に階調電流 I_{data} に応じた電圧成分 V_{data} を保持させる書込動作を実行する。

【0155】

次いで、発光動作期間 T_{em} （図中、ドットハッチングで表示）においては、上述した各行における書込動作が終了したグループに含まれる各行に分岐して配設された電源ラインVLに対して、電源ドライバ130から単一のハイレベルの電源電圧 V_{sc} （= V_e ）を印加することにより、当該グループ内の全ての表示画素EMを一斉に発光状態に設定する（発光動作させる）。この各グループごとに実行される発光動作は、当該グループの各行について次の非発光動作（逆バイアス設定動作を含む）が開始されるまで継続される。

【0156】

以下、上記逆バイアス設定動作及び書込動作が、表示パネル110の各行について（時間的に重ならないように）タイミングをずらして順次実行されるように、4～6行目、7～9行目、10～12行目の表示画素EMを各々一組とする各グループについても同様の動作が実行される。これにより、表示パネル110一画面分の画像情報が表示される。

【0157】

したがって、このような表示装置の表示駆動方法によっても、上述した第1の実施形態に係る表示駆動方法と同様に、擬似インパルス型の表示駆動制御を実現することができるので、動画像のボケやにじみを抑制して鮮明さを向上させた表示装置を実現することができる。

【0158】

また、各行ごとに個別に逆バイアス設定動作及び書込動作を実行することにより、逆バイアス設定動作から書込動作までの期間に設定される逆バイアス状態に保持される期間を

、各行間で一定に設定することができるので、図10に示した各表示画素EMに設けられた発光駆動用のスイッチング素子（薄膜トランジスタTr13）におけるしきい値電圧の変動（Vthシフト）抑制量を均一化することができ、表示データに応じた適切な輝度階調で有機EL素子OELを発光動作（表示動作）させて、より一層良好な表示画質を実現することができる。

【0159】

次に、本実施形態に係る表示装置に適用可能な表示駆動方法の第2の例について、図面を参照して説明する。

図15は、本実施形態に係る表示装置の表示駆動方法の第2の例を模式的に示したタイミングチャートである。ここで、上述した第1の例（図14参照）と同等の表示駆動方法については、その説明を簡略化する。

【0160】

本実施形態に係る表示装置100の表示駆動方法の第2の例は、1フレーム期間Tfr内に、表示パネル110に配列された相互に隣接（連続）しない複数行の表示画素EMを一組としてグループ分けし、各グループごとの表示画素EMに対して、上記非発光動作及び発光動作を一斉に実行するとともに、各行ごとの表示画素EMに対して、上記逆バイアス設定動作及び書込動作をタイミングをずらして順次実行する動作を行う。

【0161】

具体的には、例えば、図15に示すように、表示パネル110に配列された表示画素EMを、上述した第1の実施形態の第2の例と同様に、相互に隣接（連続）しない1、5、9行目、2、6、10行目、3、7、11行目、4、8、12行目のように、各々3行分の表示画素EMを一組として4グループに分ける。

【0162】

そして、例えば、1、5、9行目の表示画素EMを一組とするグループにおいて、当該グループに含まれる全ての行の表示画素EMに、一斉に非発光動作が実行された後、1、5、9行目の順に表示画素EMに対して逆バイアス設定動作が実行される。さらに、その後、1、5、9行目の順に書込動作が実行され、9行目の表示画素EMについて書込動作が終了した後、当該グループに含まれる1、5、9行目の全ての行の表示画素EMが一斉に発光動作する。この発光動作は、1、5、9行目の表示画素EMに対して、次のフレーム期間において非発光動作が実行されるタイミングまで継続される。

【0163】

また、上記9行目の表示画素EMについて逆バイアス設定動作が終了したタイミングで、2、6、10行目の表示画素EMを一組とするグループにおいて、一斉に非発光動作が実行され、2、6、10行目の順に表示画素EMに対して逆バイアス設定動作が実行され、また、上記9行目の表示画素EMについて書込動作が終了したタイミングで、2、6、10行目の表示画素EMを一組とするグループにおいて、2、6、10行目の順に表示画素EMに対して書込動作が実行されるように、非発光動作及び逆バイアス設定動作、書込動作が所定のタイミングで実行される。以下、同様の動作が3、7、11行目、及び、4、8、12行目を各々一組とするグループにおいて繰り返し実行される。

【0164】

したがって、このような表示装置の表示駆動方法によっても、上述した第1の例に係る表示駆動方法と同様に、擬似インパルス型の表示駆動制御を実現して、動画像のボケやにじみを抑制することができるとともに、各行間で逆バイアス状態に保持される期間を一定にして、各表示画素EMに設けられた発光駆動用のスイッチング素子（薄膜トランジスタTr13）におけるしきい値電圧の変動（Vthシフト）抑制量を均一化することができる。

【図面の簡単な説明】

【0165】

【図1】本発明に係る表示装置の第1の実施形態を示す概略ブロック図である。

【図2】第1の実施形態に係る表示装置に適用される表示パネルの一例を示す要部構

成図である。

【図 3】第 1 の実施形態に係る表示装置に適用される表示パネルの周辺回路（走査ドライバ、電源ドライバ、逆バイアスドライバ）の一例を示す要部構成図である。

【図 4】第 1 の実施形態に係る表示装置に適用される表示画素（発光駆動回路）の一例を示す回路構成図である。

【図 5】第 1 の実施形態に係る表示装置に適用されるデータドライバの一例を示す概略ブロック図である。

【図 6】第 1 の実施形態に係る表示装置に適用される表示パネル及びその周辺回路（走査ドライバ、電源ドライバ、逆バイアスドライバ）の他の例を示す要部構成図である。

【図 7】第 1 の実施形態に係る表示装置に適用される表示画素における駆動制御方法（逆バイアス設定動作、非発光動作、書込動作、発光動作）を示すタイミングチャートである。

【図 8】第 1 の実施形態に係る表示画素（発光駆動回路）における逆バイアス設定動作及び非発光動作を示す概念図である。

【図 9】第 2 の実施形態に係る表示画素（発光駆動回路）における書込動作及び発光動作を示す概念図である。

【図 10】第 1 の実施形態に係る表示画素において、発光駆動用のスイッチング素子（薄膜トランジスタ）を逆バイアス状態に設定した場合のしきい値電圧の変動量（V_{th}シフト量）を示す実験結果である。

【図 11】第 1 の実施形態に係る表示装置の表示駆動方法の第 1 の例を模式的に示したタイミングチャートである。

【図 12】第 1 の実施形態に係る表示装置の表示駆動方法の第 2 の例を模式的に示したタイミングチャートである。

【図 13】第 2 の実施形態に係る表示装置に適用される表示パネル及びその周辺回路（走査ドライバ、電源ドライバ、逆バイアスドライバ、データドライバ）の一例を示す要部構成図である。

【図 14】第 2 の実施形態に係る表示装置の表示駆動方法の第 1 の例を模式的に示したタイミングチャートである。

【図 15】第 2 の実施形態に係る表示装置の表示駆動方法の第 2 の例を模式的に示したタイミングチャートである。

【図 16】従来技術におけるアクティブマトリックス型の表示装置の要部を示す概略構成図である。

【図 17】従来技術におけるアクティブマトリックス型の表示装置の表示駆動方法の一例（ホールド型）を模式的に示したタイミングチャートである。

【図 18】従来技術におけるアクティブマトリックス型の表示装置の表示駆動方法の他の例（擬似インパルス型）を模式的に示したタイミングチャートである。

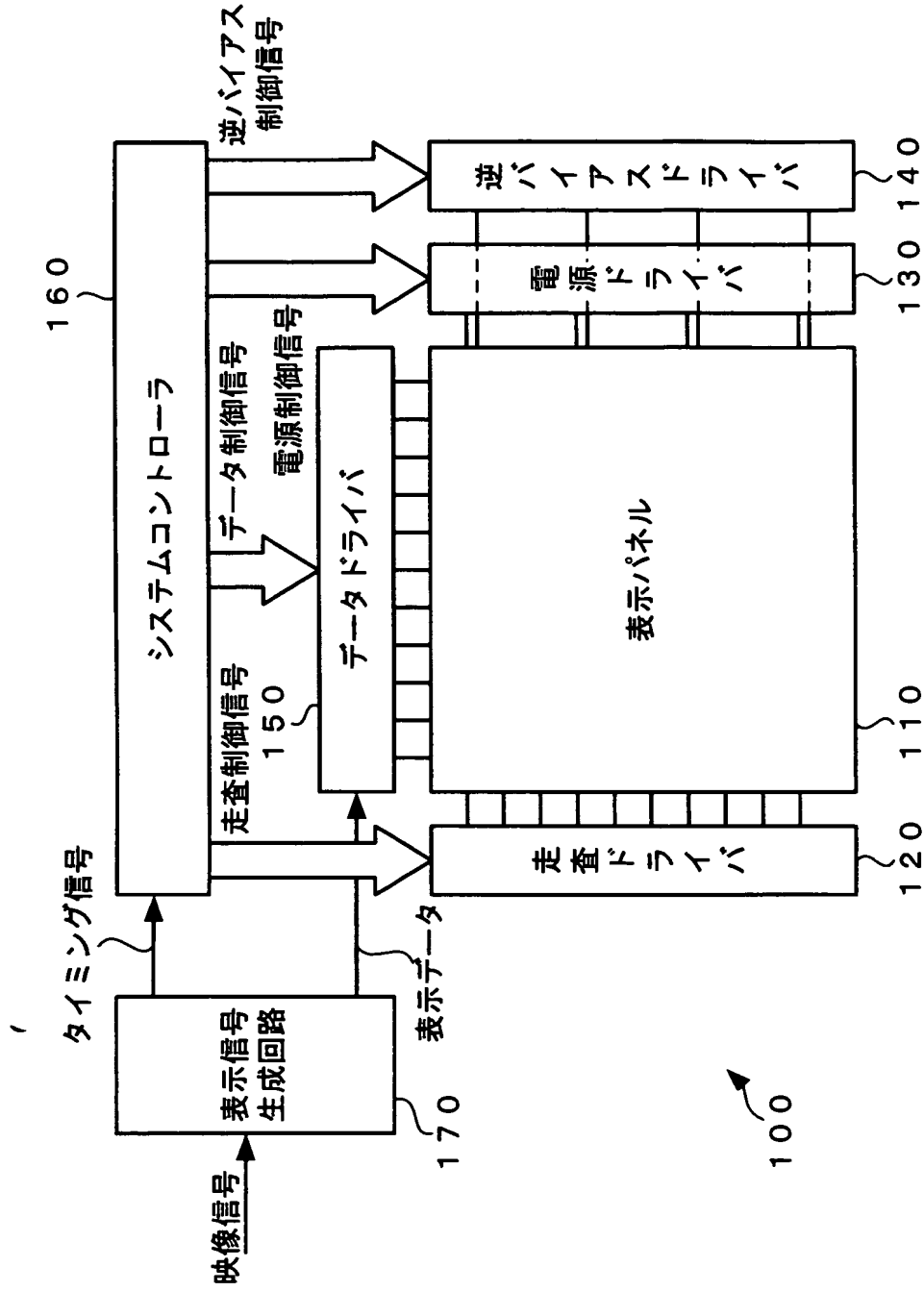
【符号の説明】

【0166】

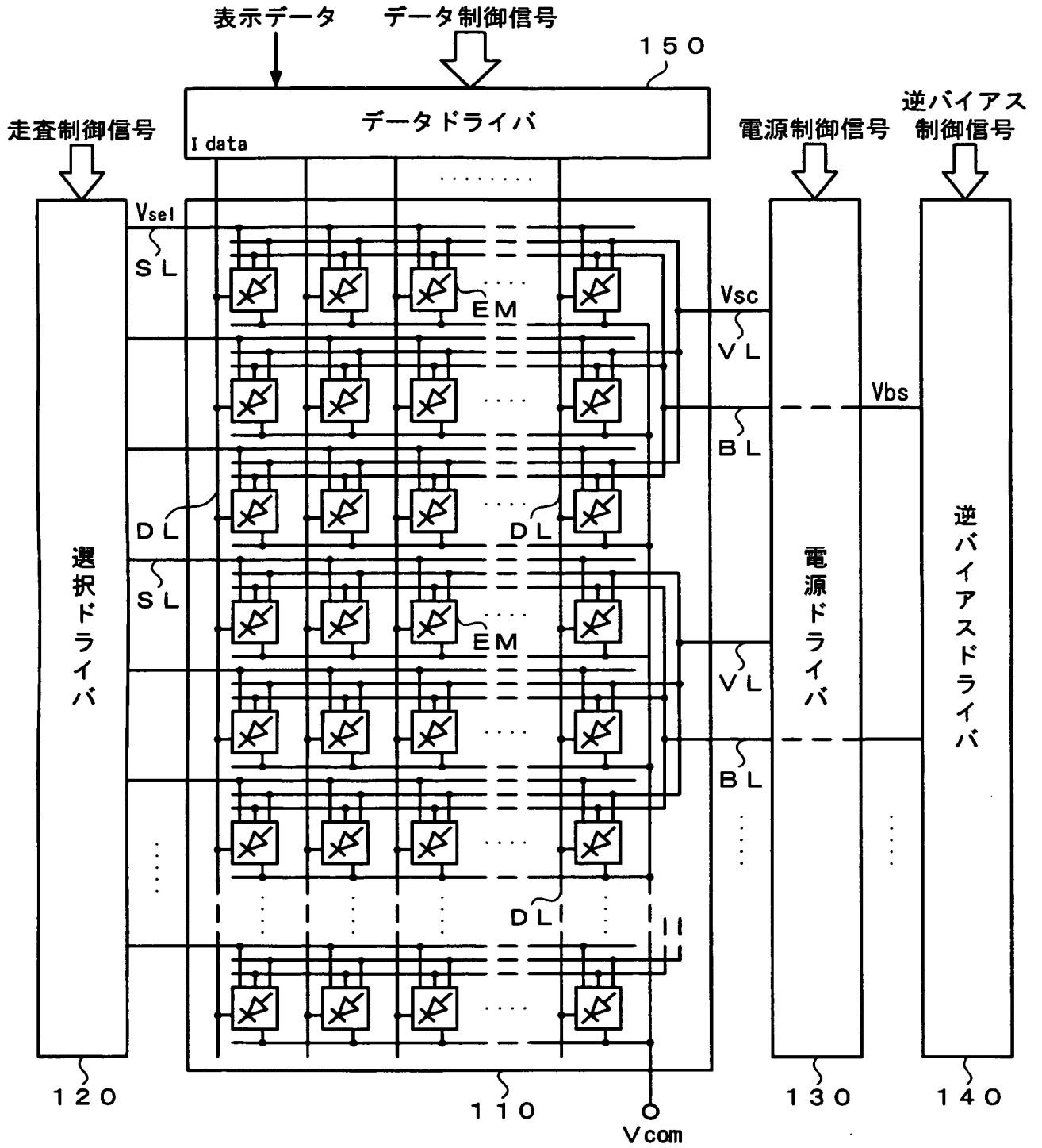
100	表示装置
110	表示パネル
120	走査ドライバ
130	電源ドライバ
140	バイアス制御ドライバ
150	データドライバ
160	システムコントローラ
170	表示信号生成回路
EM	表示画素
DC	発光駆動回路
SL	走査ライン

VL 電源ライン
BL バイアスライン
DL データライン
Tr 11 ~ Tr 14 薄膜トランジスタ
Cs コンデンサ
OEL 有機EL素子

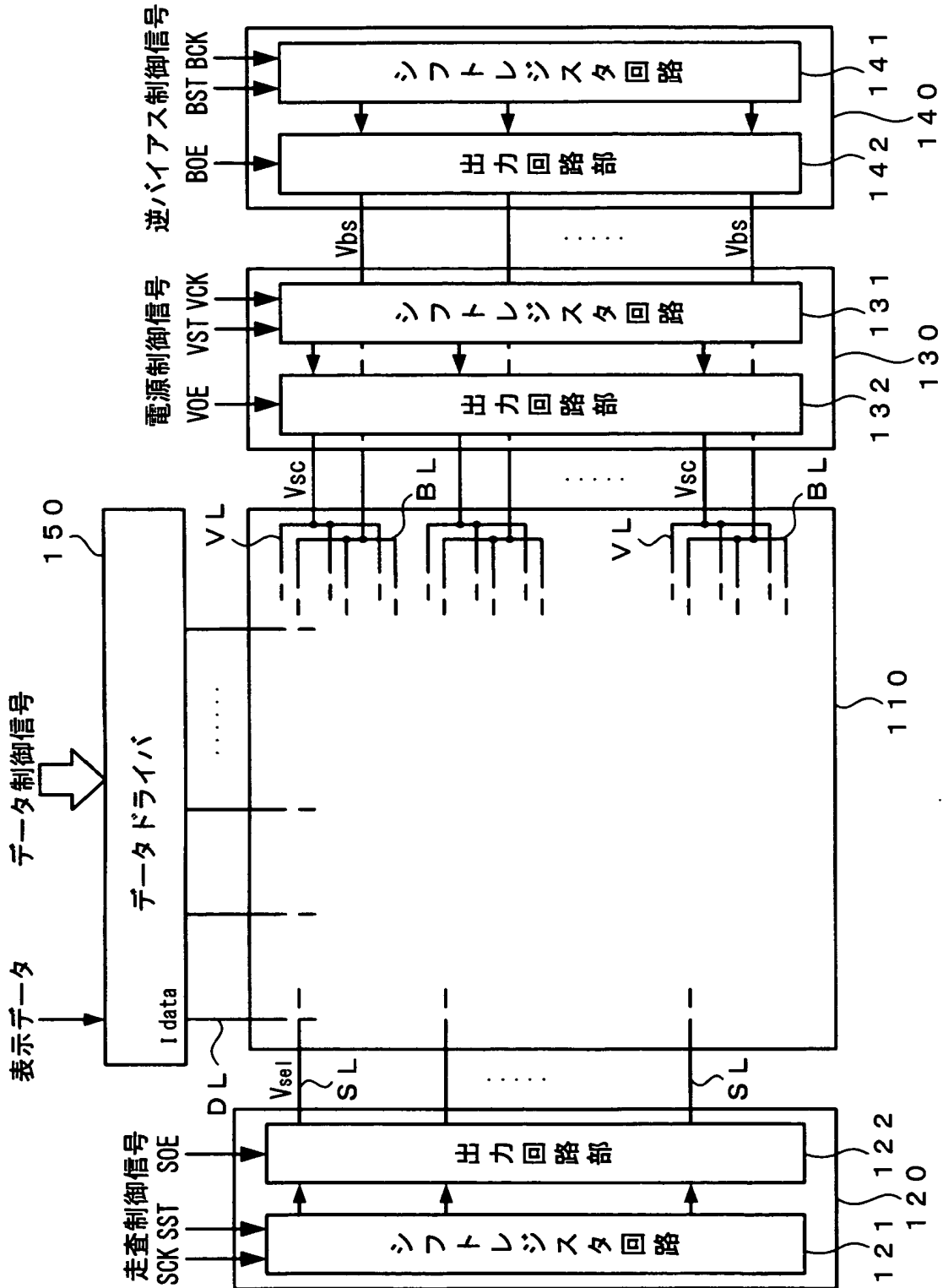
【書類名】 図面
【図1】



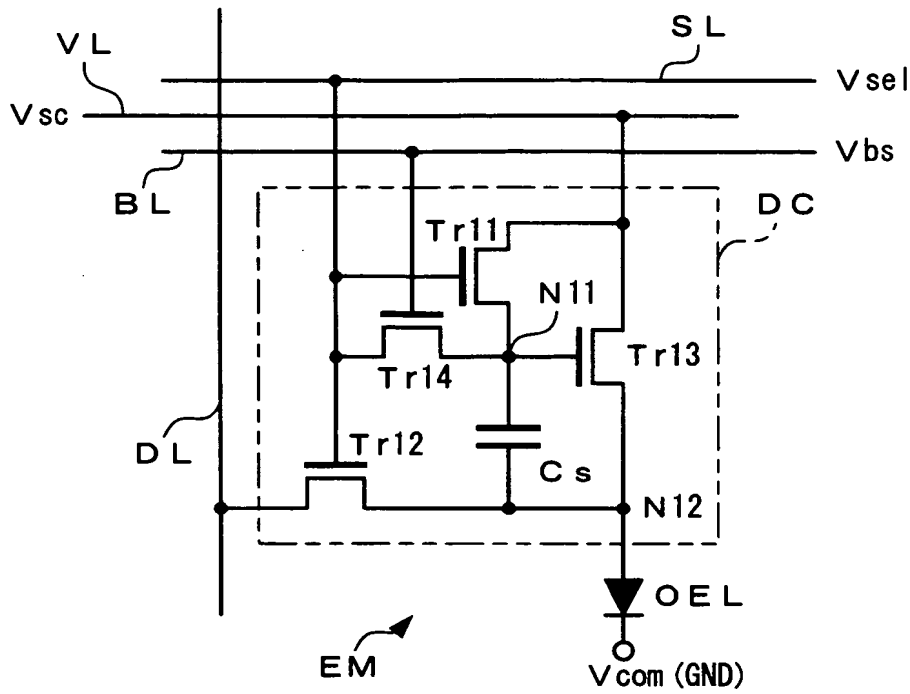
【図 2】



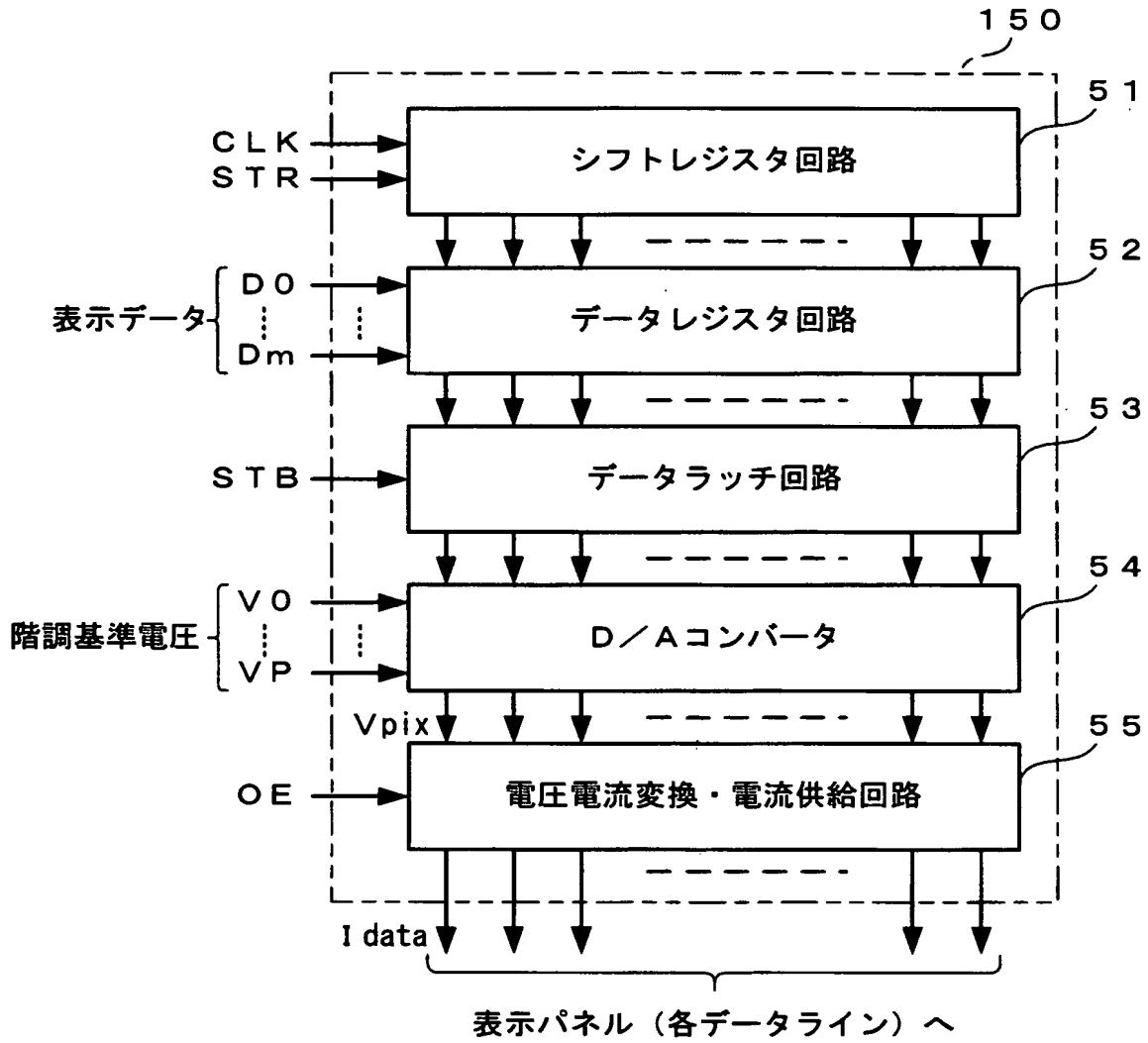
【図3】



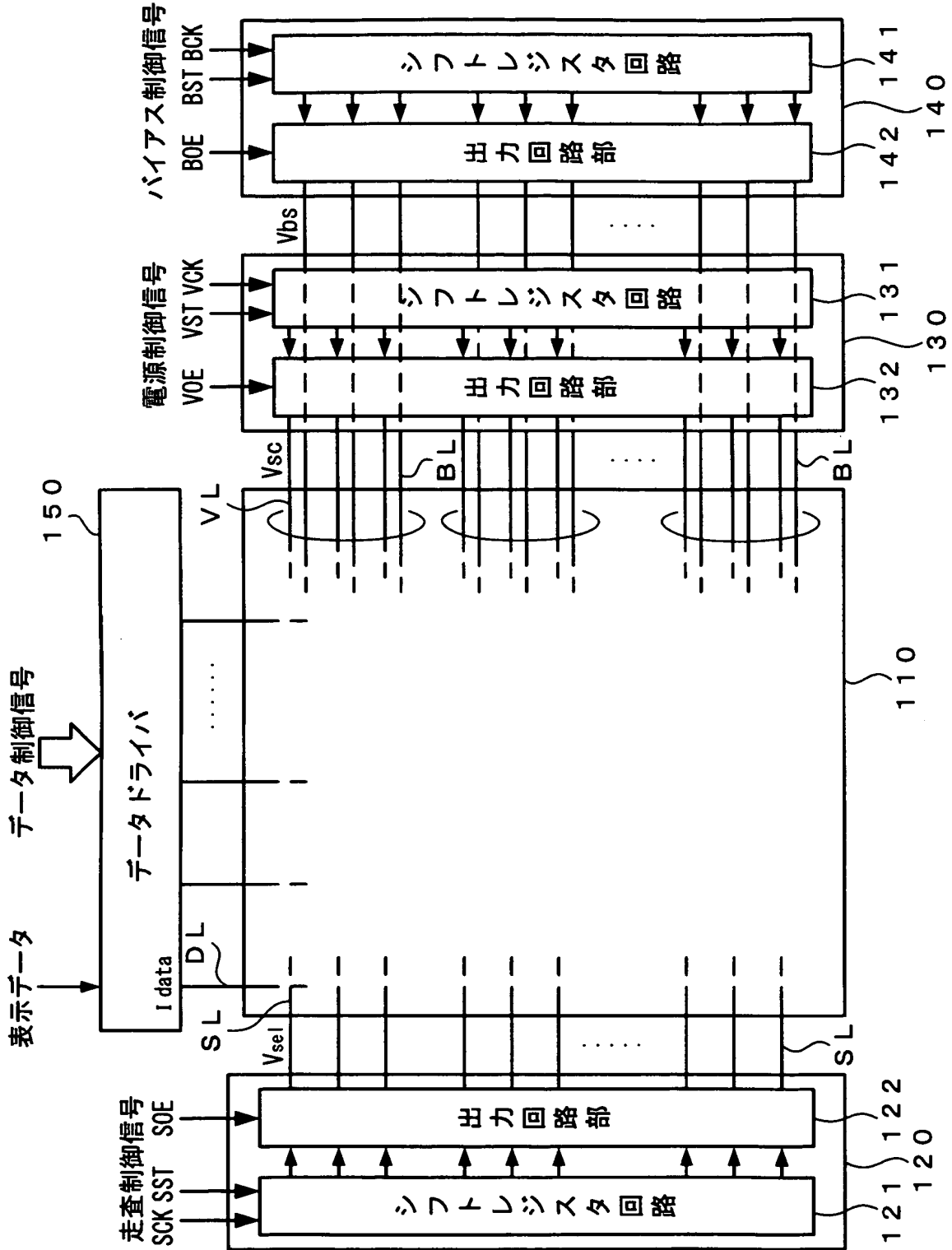
【図 4】



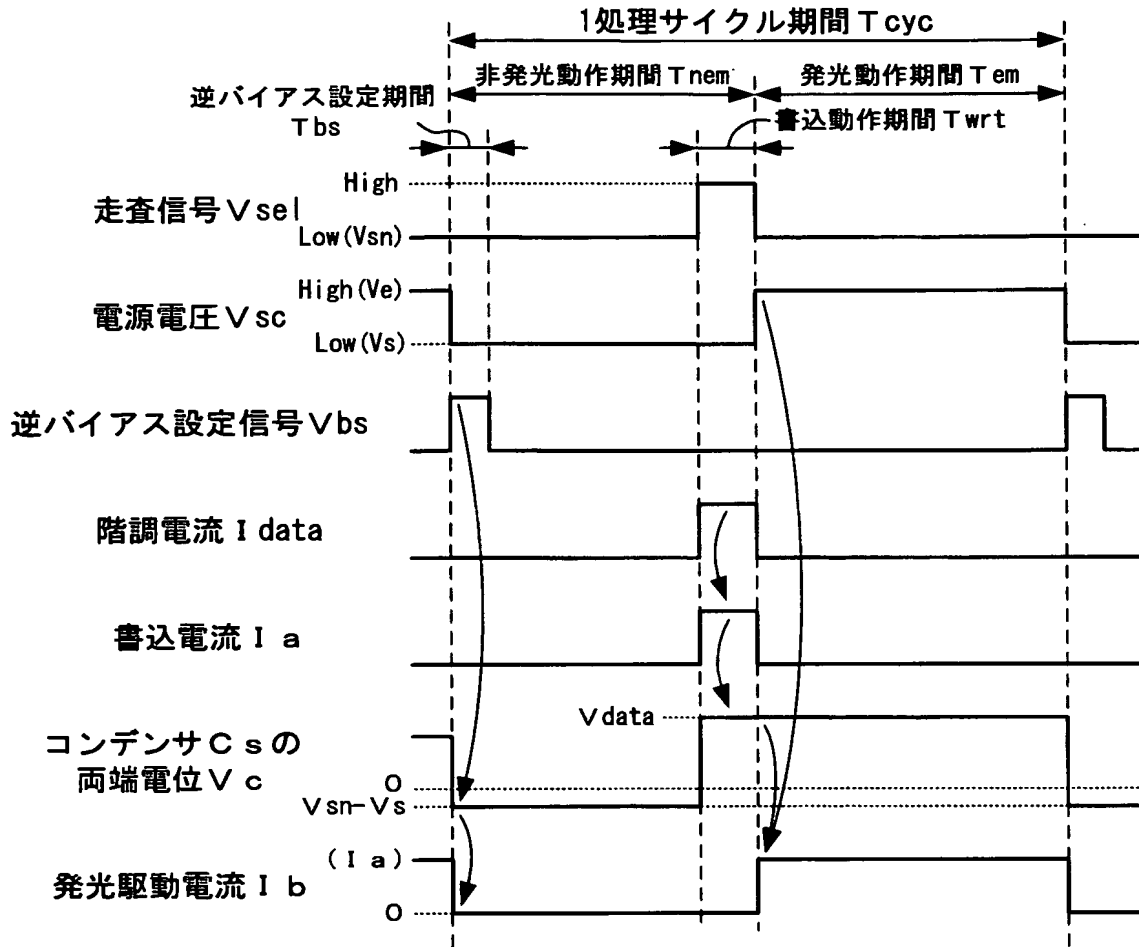
【図 5】



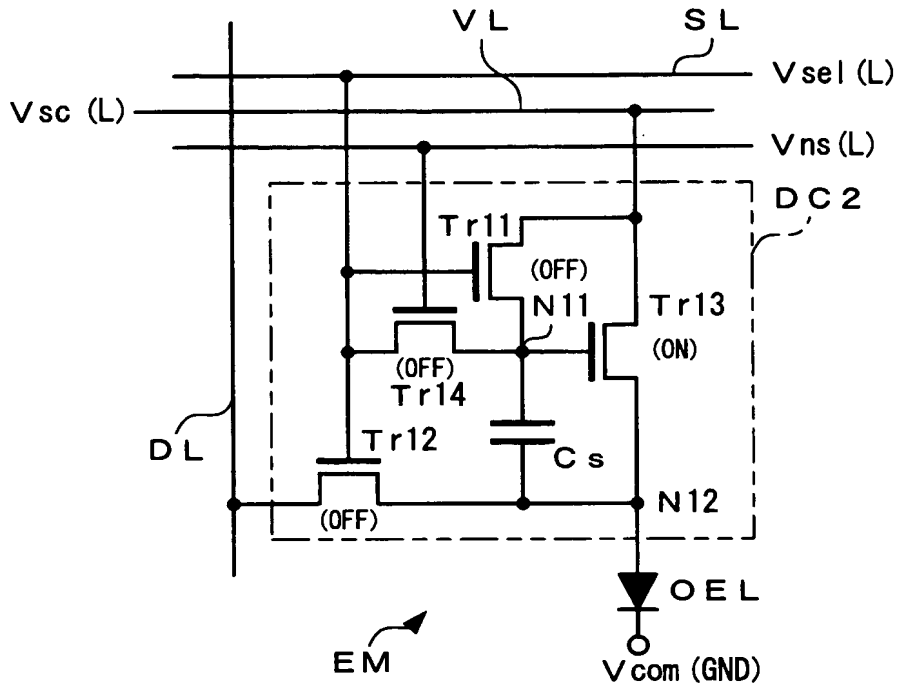
【図6】



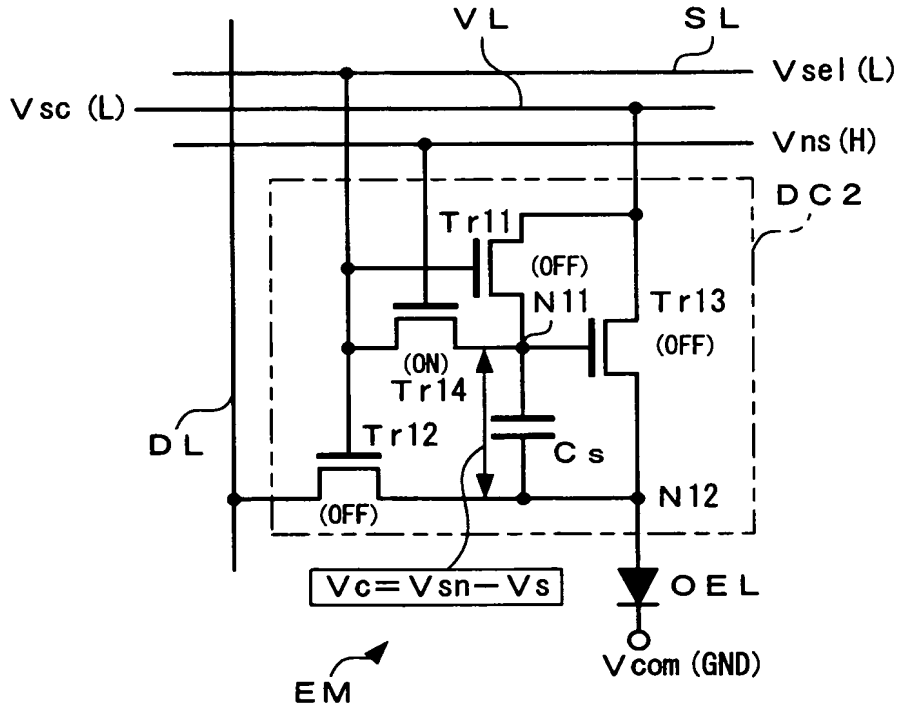
【図 7】



【図 8】

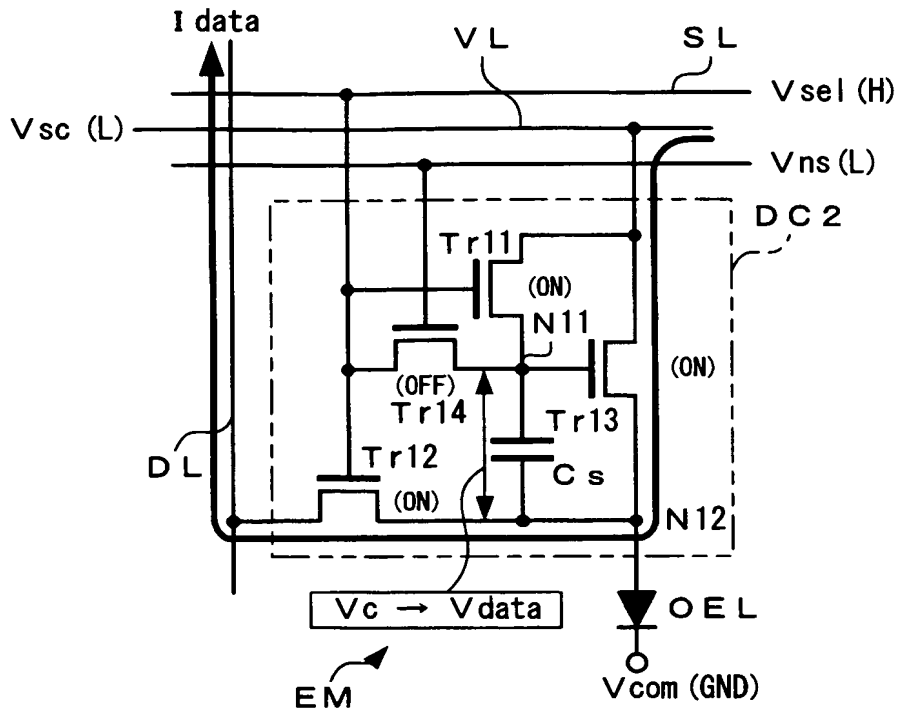


(a)

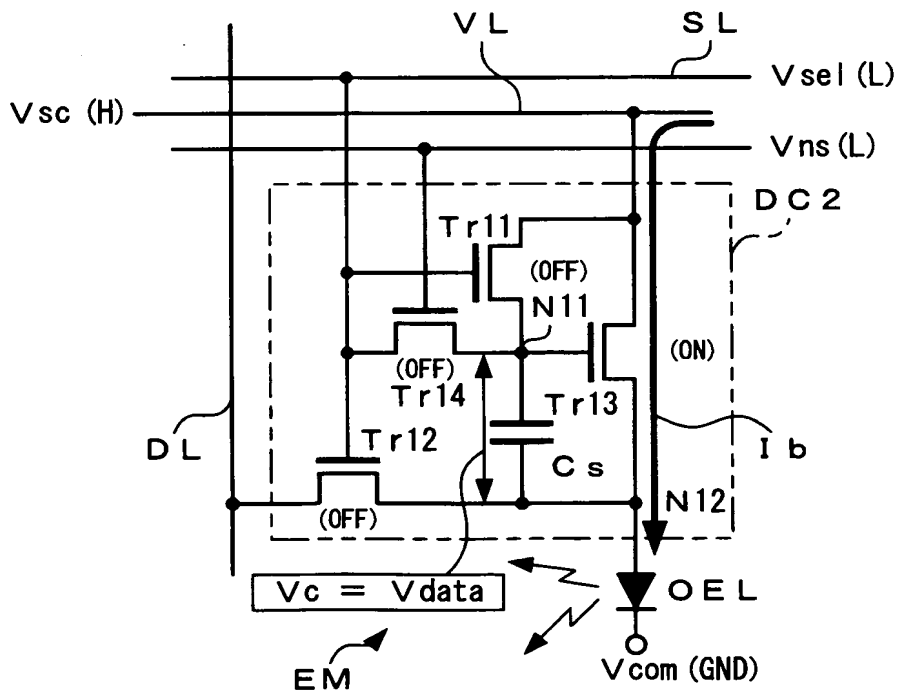


(b)

【図 9】

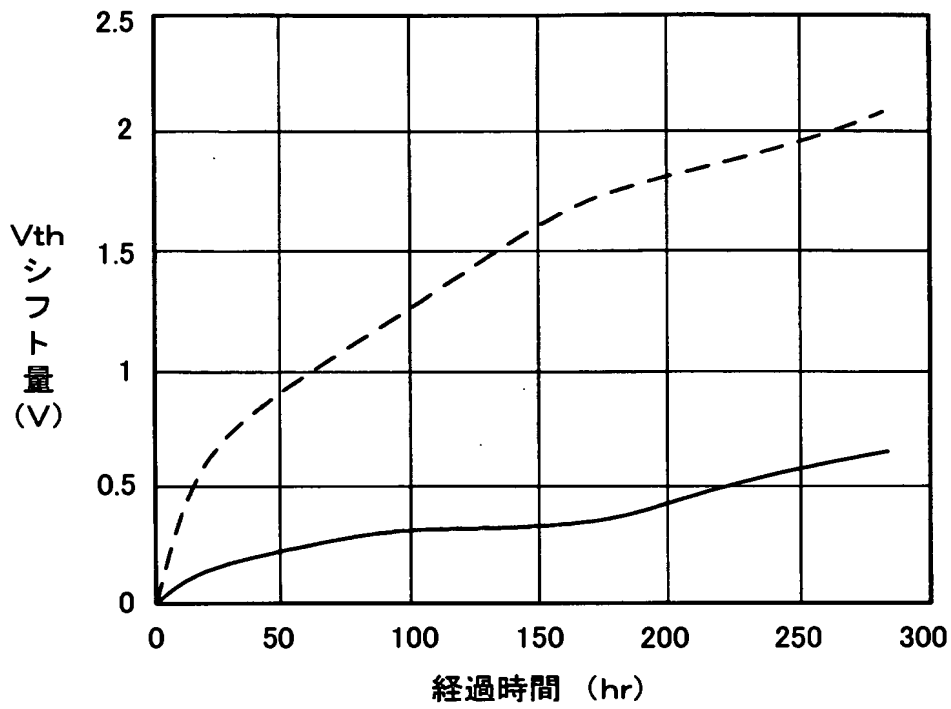


(a)







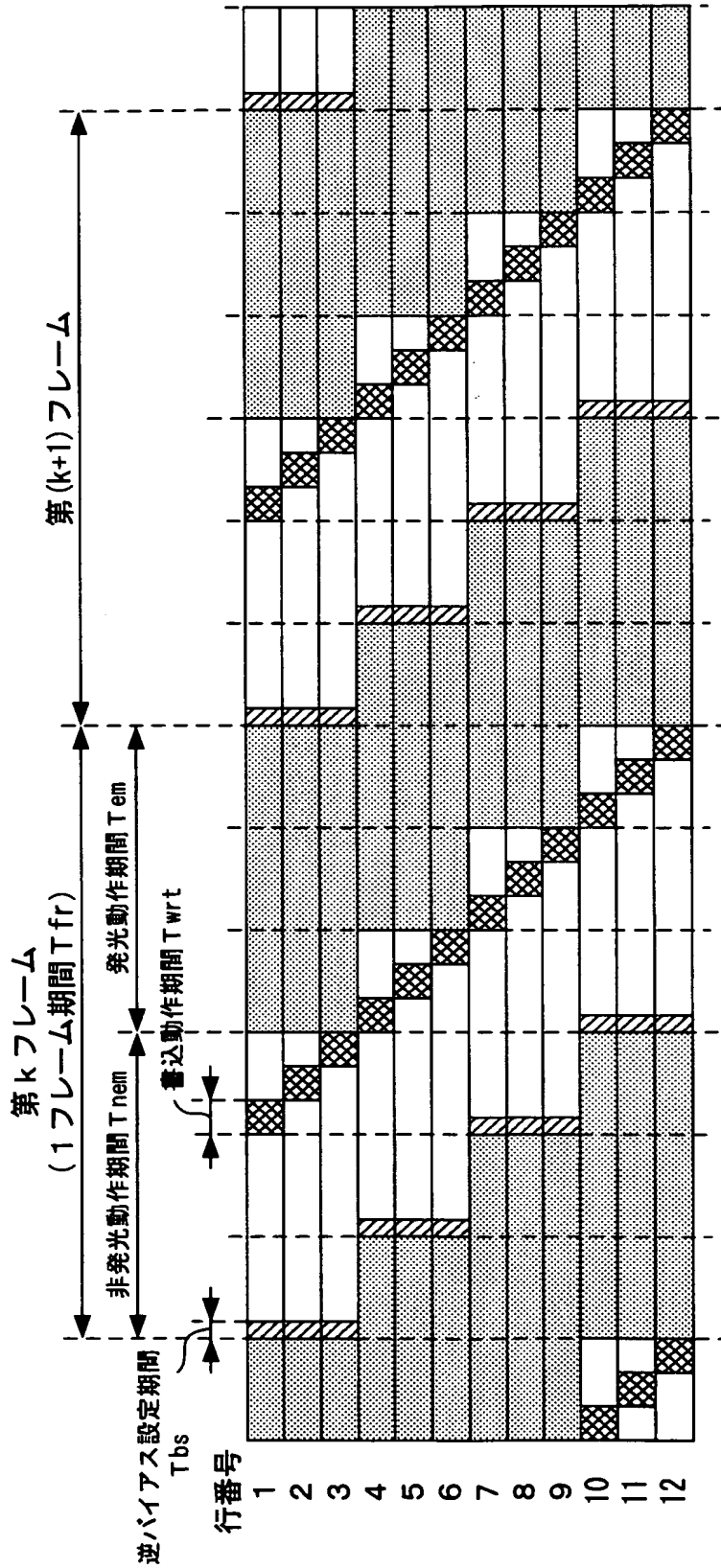
(b)

【図 10】

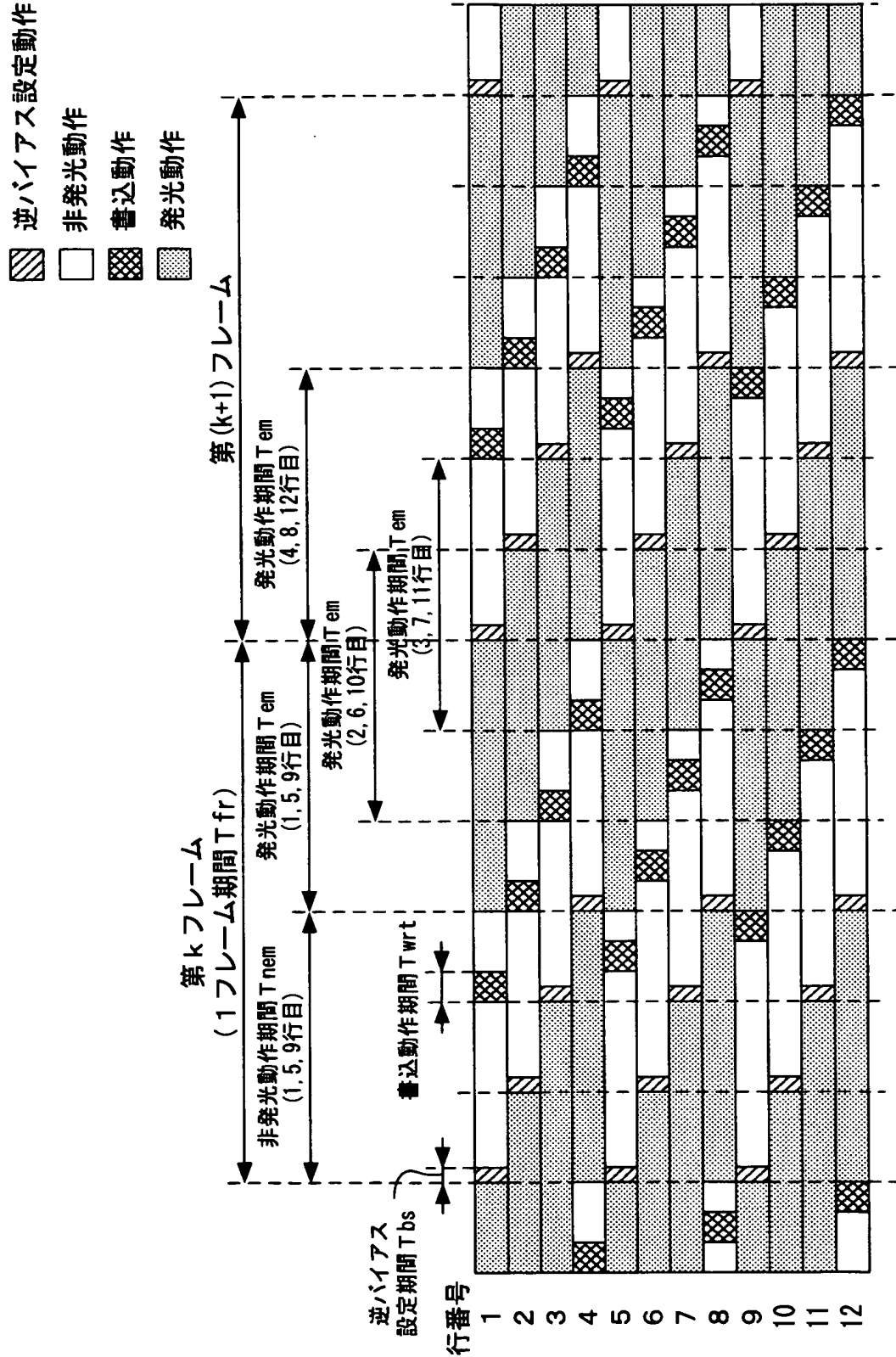


【図11】

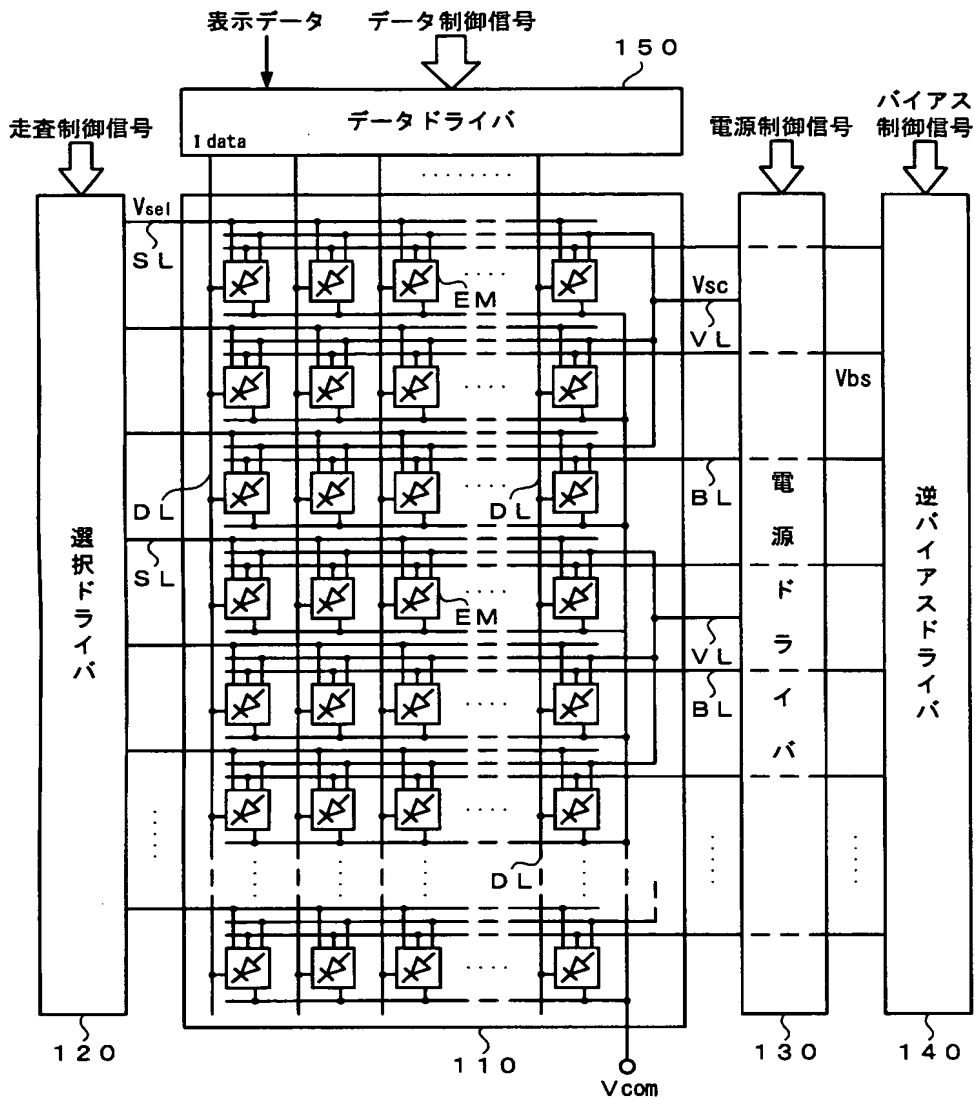
-  逆バイアス設定動作
-  非発光動作
-  書込動作
-  発光動作



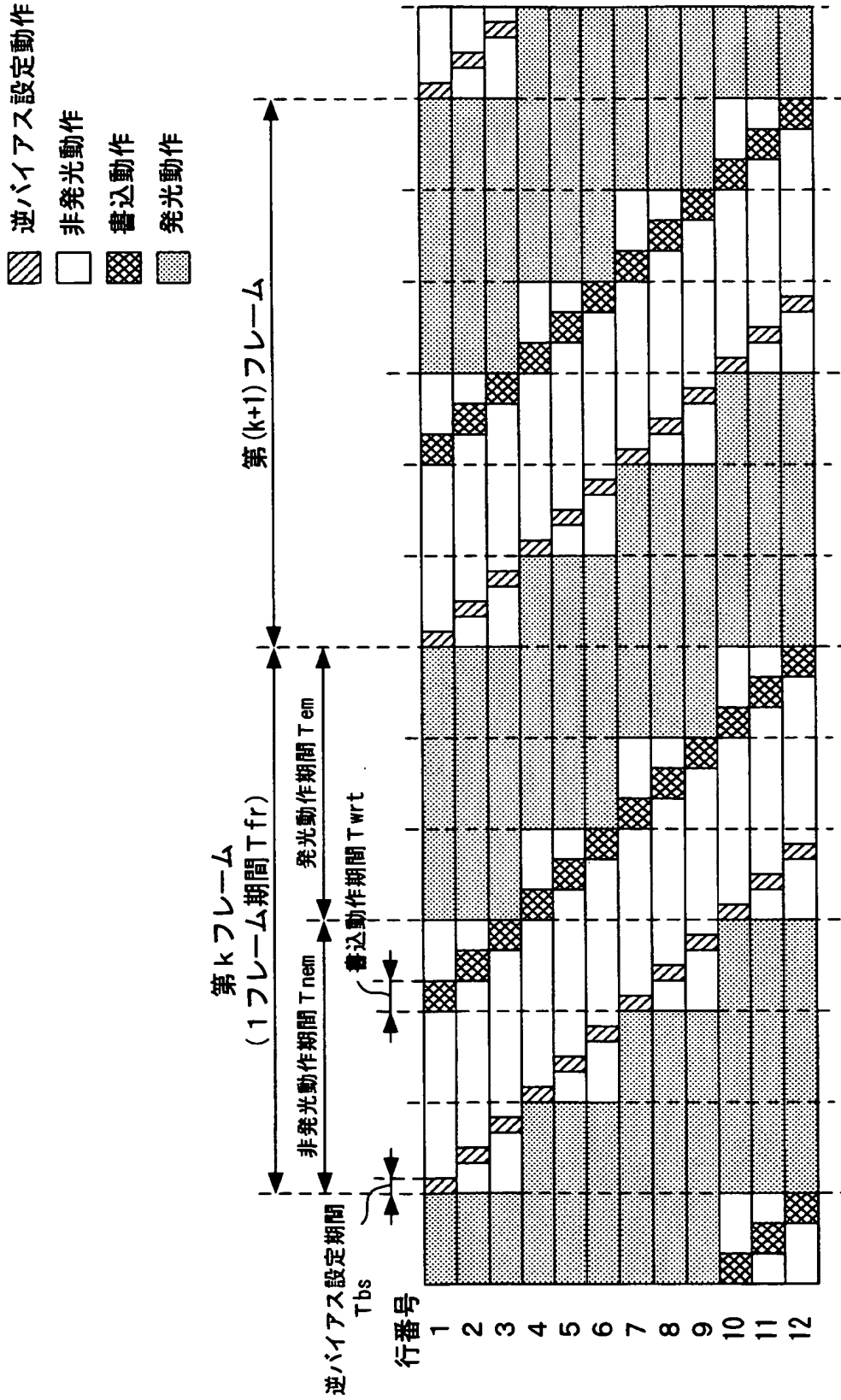
【図 12】



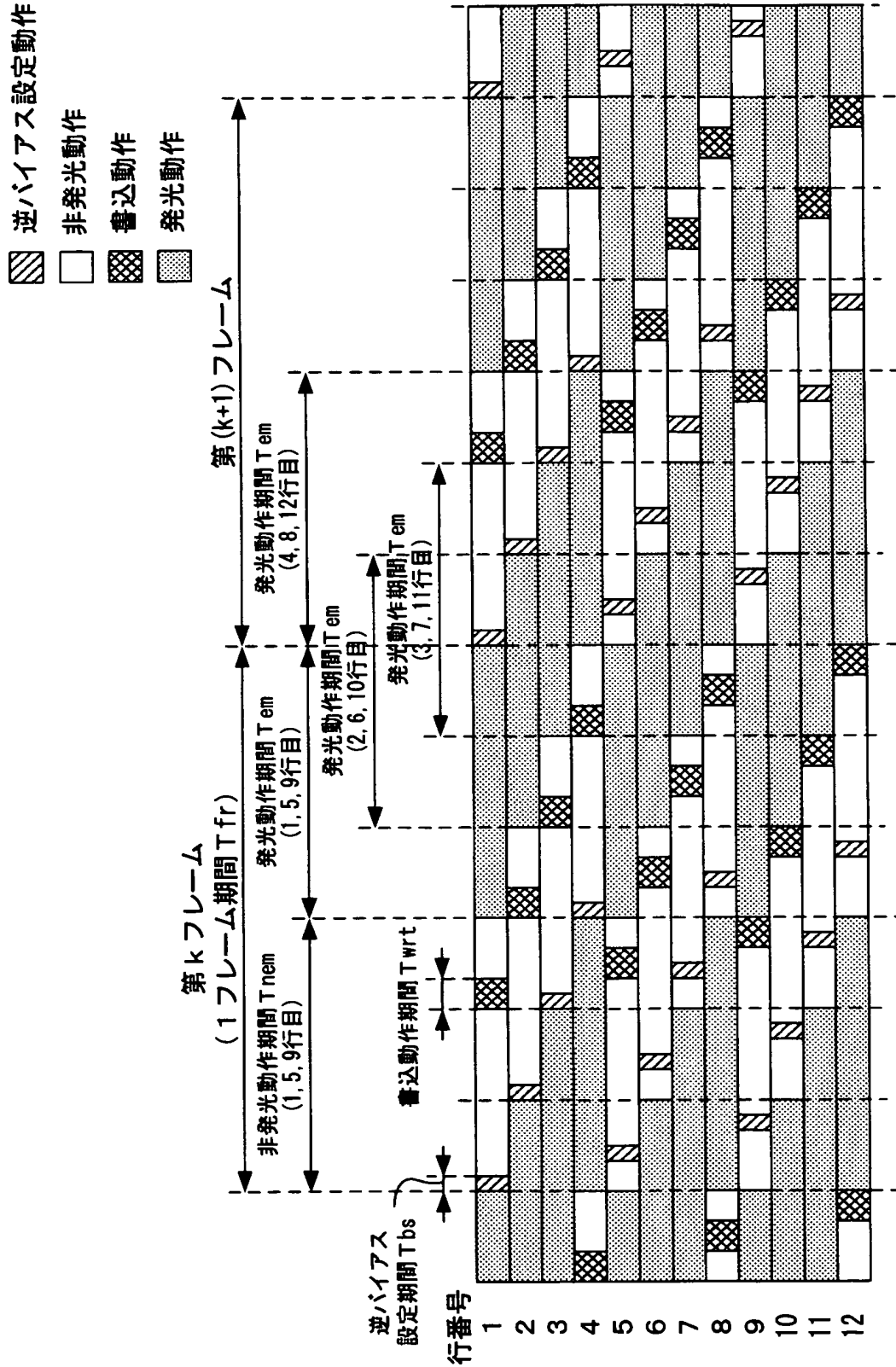
【図 13】



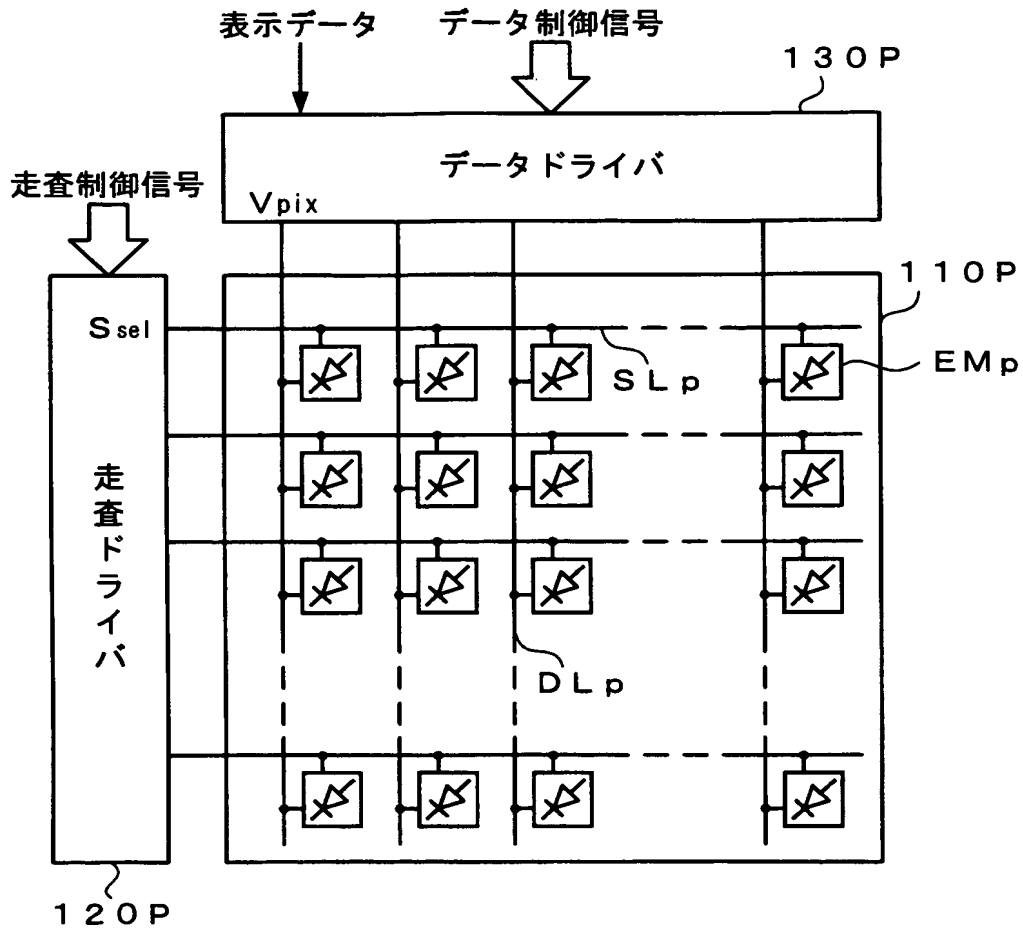
【図 14】



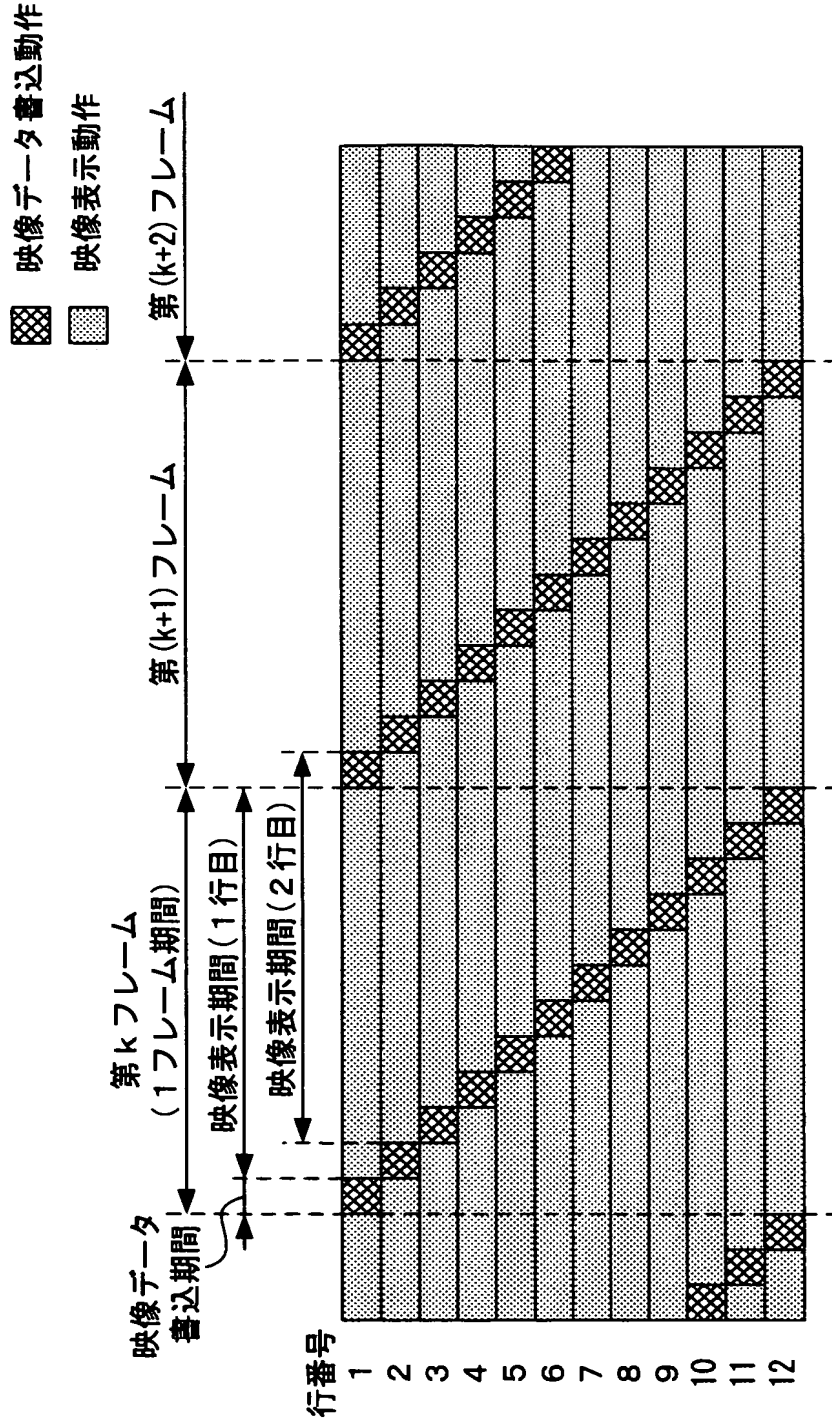
【図 15】



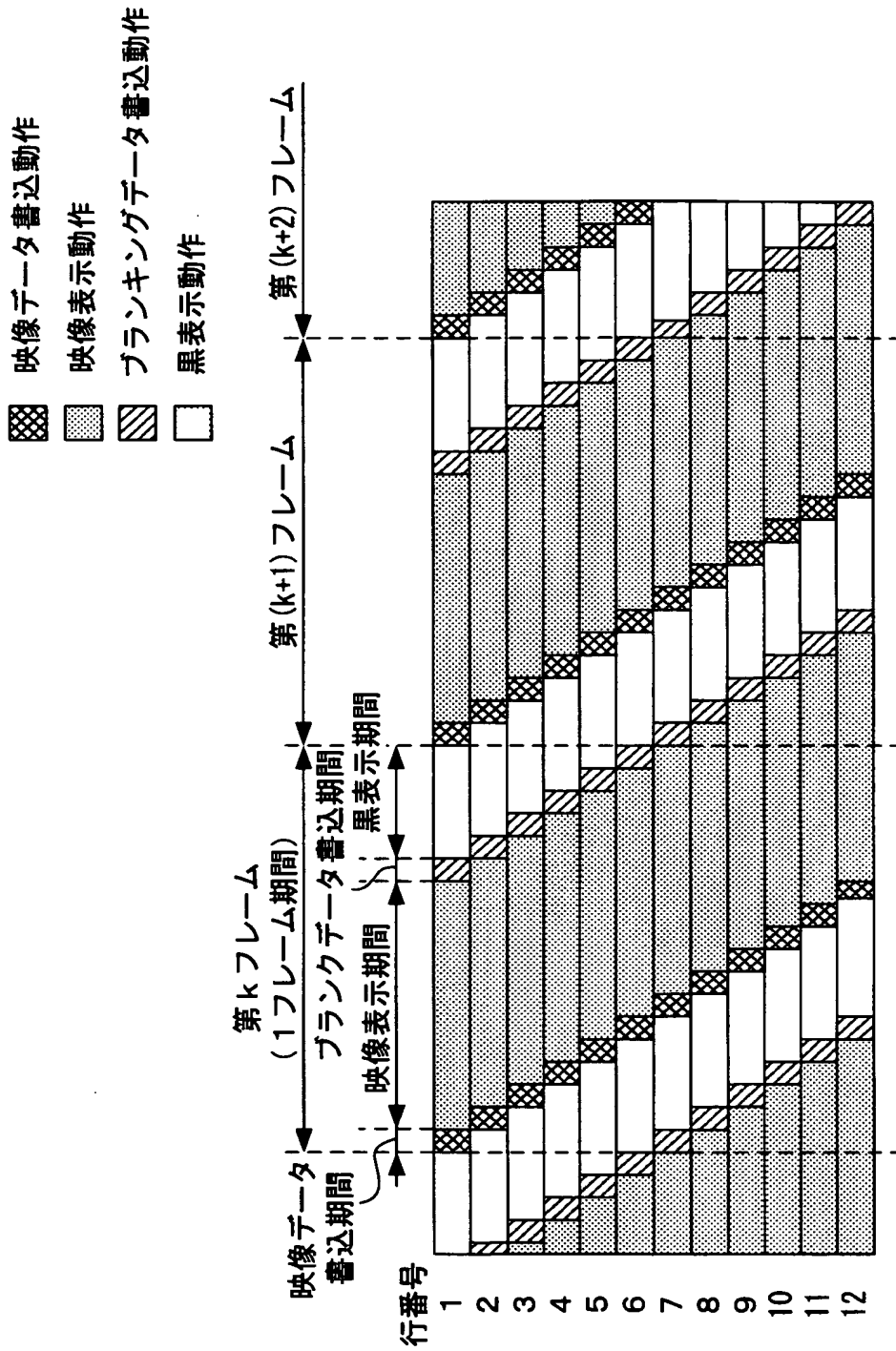
【図 16】




【図 17】



【図18】



**【書類名】 要約書****【要約】**

【課題】 動画像をボケやにじみのない良好な表示品質で表示することができるとともに、映像データ（表示データ）に対応した適切な階調で画像情報を表示することができる表示装置及びその表示駆動方法を提供する。

【解決手段】 2次元配列された複数の表示画素 EM が予め任意の複数行ごとにグループ分けされた表示パネル 110 と、該表示パネル 110 の各行の走査ライン SL に走査信号 Vsel を印加する走査ドライバ 120 と、同一グループに含まれる各行の電源ライン VL に電源電圧 Vsc を同時に印加する電源ドライバ 130 と、同一グループに含まれる各行の逆バイアスライン BL に逆バイアス設定信号 Vbs を同時に印加する逆バイアスドライバ 140 と、表示パネル 110 の各列のデータライン DL に表示データに応じた階調信号（階調電流 Idata）を供給するデータドライバ 150 と、を備えて構成されている。

【選択図】 図 2



認定・付加情報

特許出願の番号	特願 2005-153382
受付番号	50500944294
書類名	特許願
担当官	第一担当上席 0090
作成日	平成17年 5月27日

<認定情報・付加情報>

【提出日】 平成17年 5月26日

特願 2005-153382

出願人履歴情報

識別番号 [000001443]

1. 変更年月日 1998年 1月 9日
[変更理由] 住所変更
住 所 東京都渋谷区本町1丁目6番2号
氏 名 カシオ計算機株式会社