

9/12

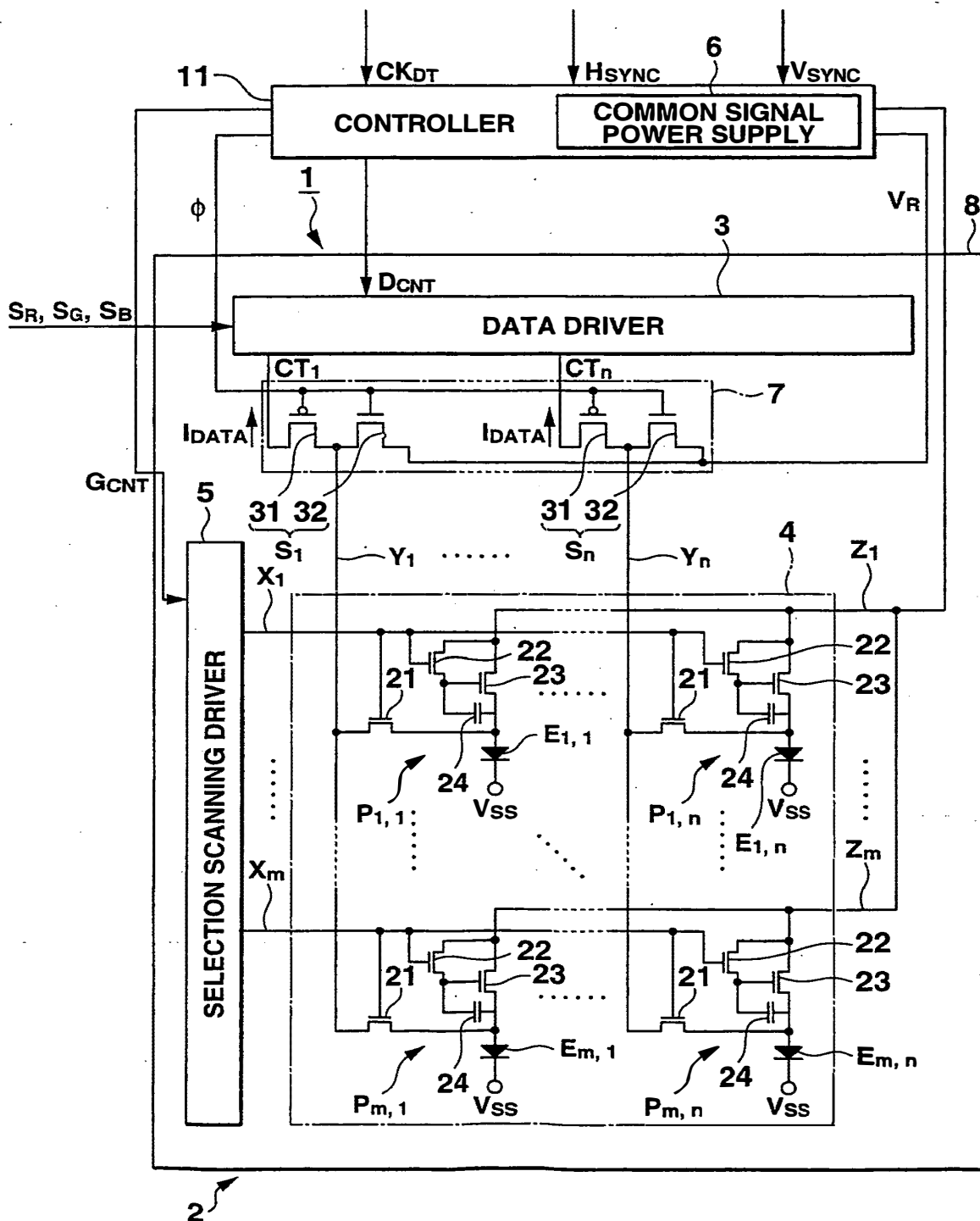


FIG.10

10/12

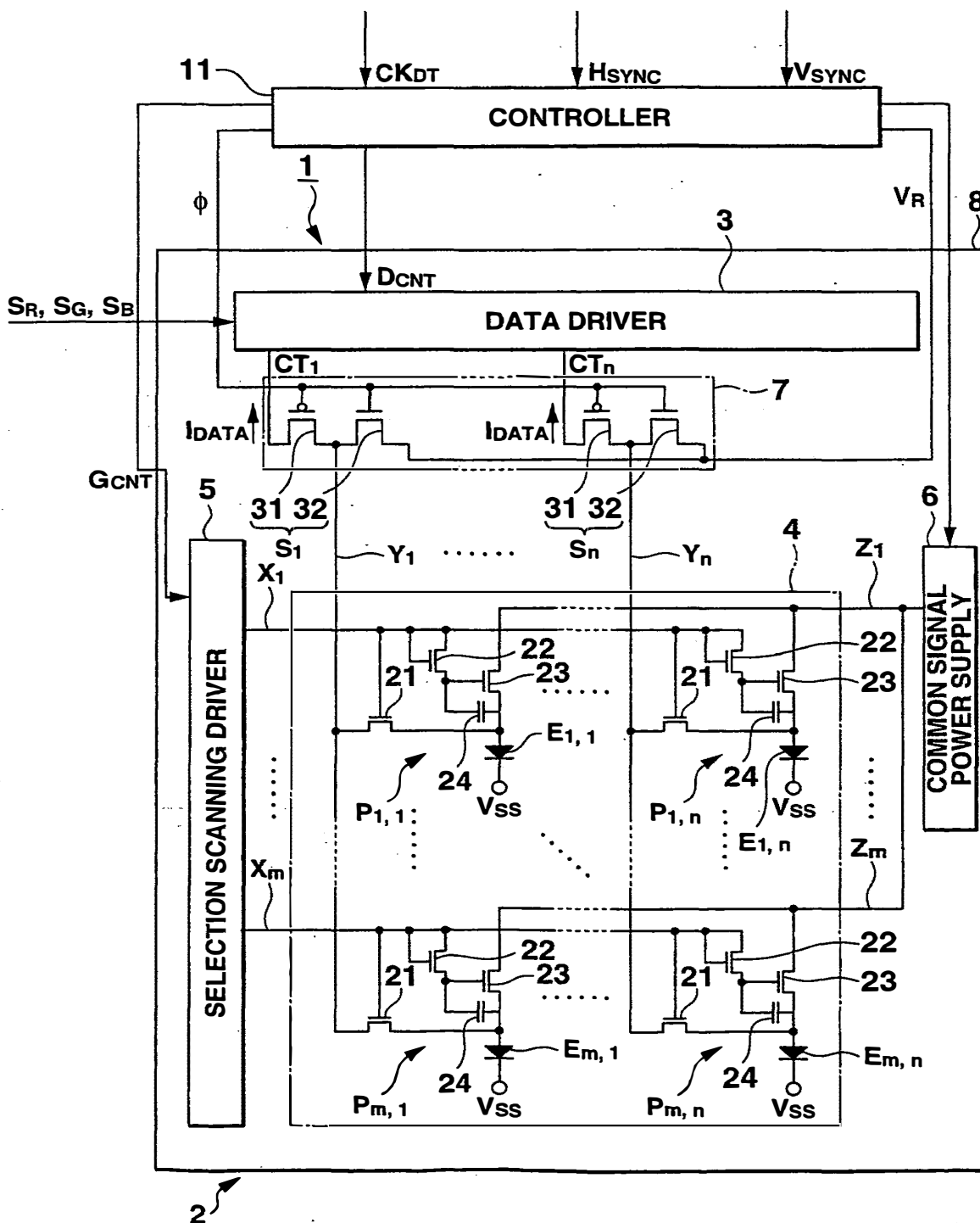


FIG.11

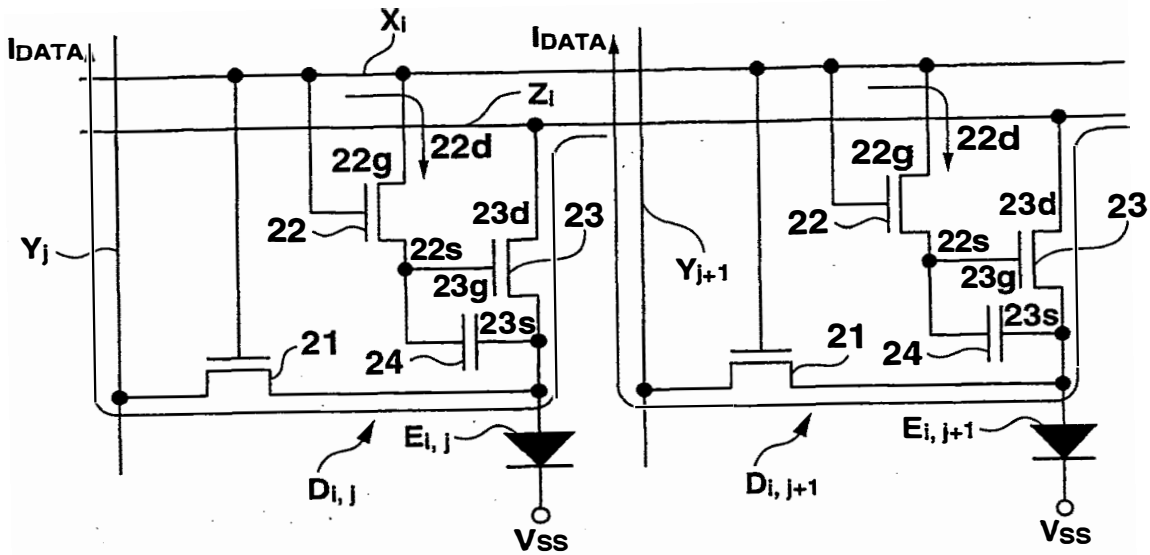


FIG.12A

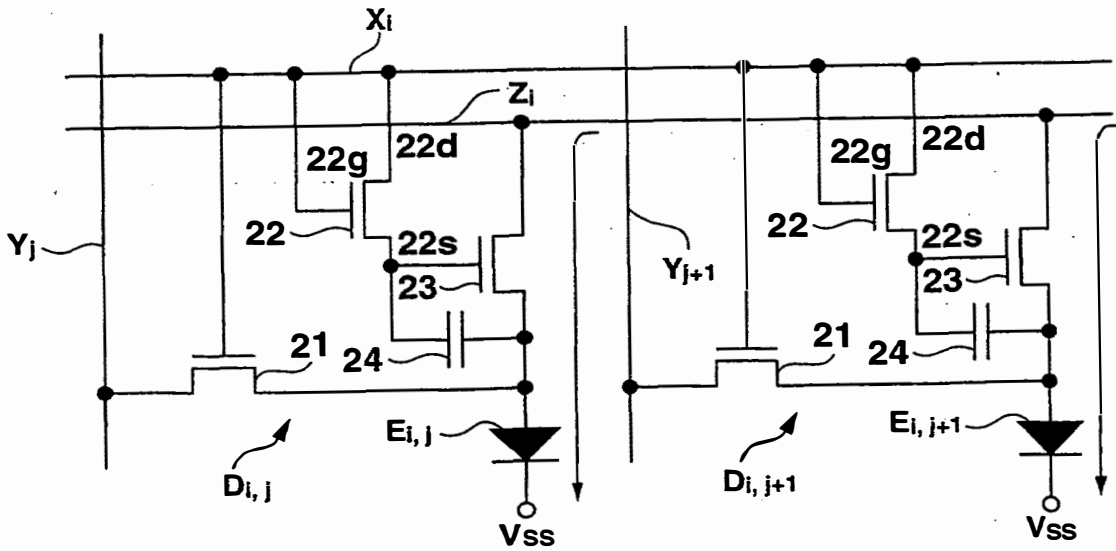


FIG.12B

12/12

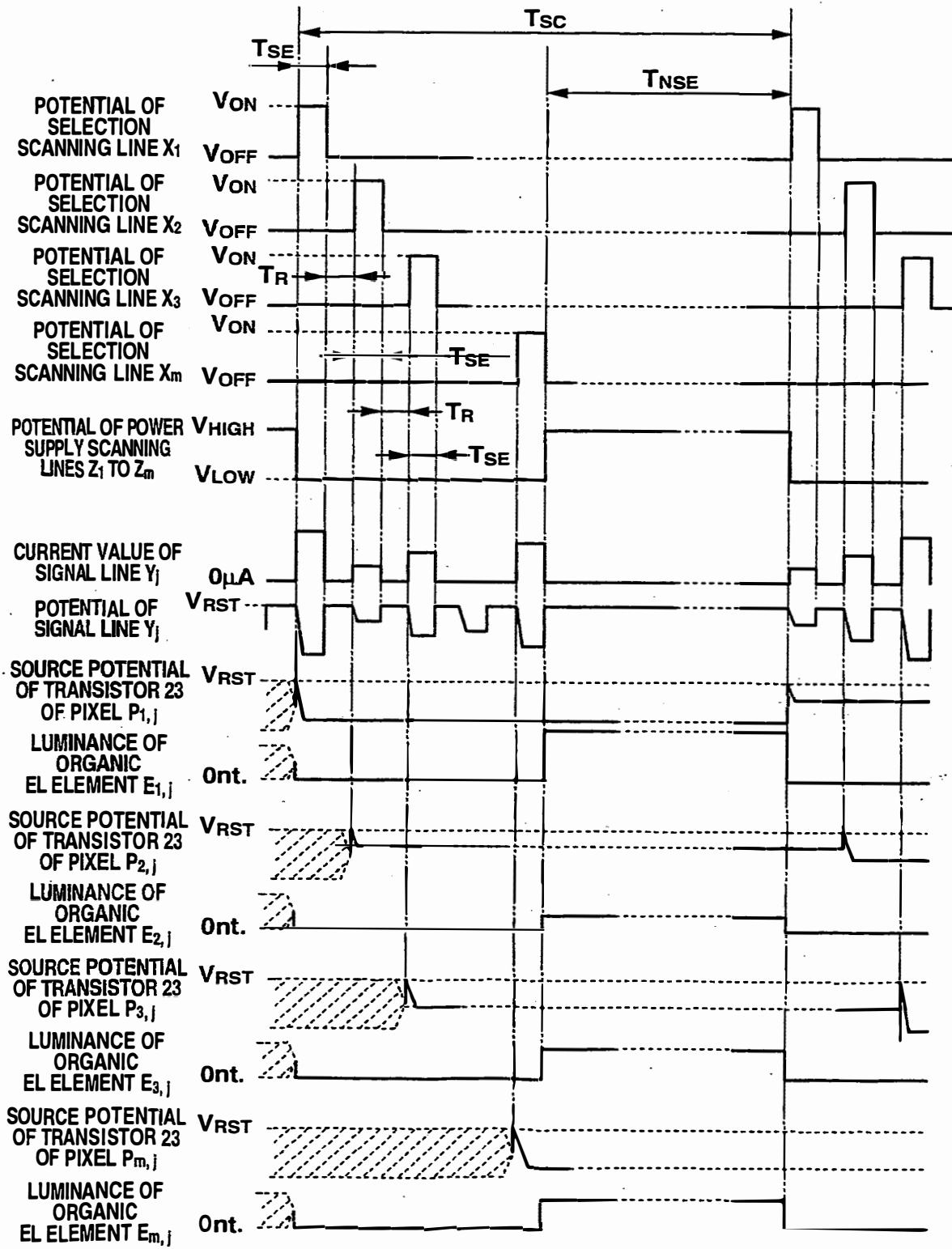


FIG.13

INTERNATIONAL SEARCH REPORT

International Application No

PCT/JP 03/10644

A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G09G3/32		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 G09G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the International search (name of data base and, where practical, search terms used) EPO-Internal, PAJ		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, X	WO 03 058328 A (CASIO COMP CO LTD ;HATTORI REIJI (JP); YAMADA HIROYASU (JP); SHIRA) 17 July 2003 (2003-07-17) figures 1,7,9 --- -/-	1,2, 5-20, 23-39, 41-44
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C.		
<input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents :		
A document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed		*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *Z* document member of the same patent family
Date of the actual completion of the international search 2 January 2004		Date of mailing of the international search report 15/01/2004
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax (+31-70) 340-3016		Authorized officer Gundlach, H

INTERNATIONAL SEARCH REPORT

International Application No

PCT/JP 03/10644

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	<p>WO 99 65011 A (KONINKL PHILIPS ELECTRONICS NV ; PHILIPS SVENSKA AB (SE)) 16 December 1999 (1999-12-16) page 8, line 5 - line 6; figure 1 page 8, line 9 - line 10 page 8, line 15 - line 18 page 10, line 5 - line 16 page 11, line 25 - page 12, line 14 page 12, line 3 - line 8 page 12, line 31 - page 13, line 16; figure 4 page 13, line 2 - line 25 page 14, line 26 - page 15, line 7</p>	<p>1-10, 15-45</p>
X	<p>EP 1 170 718 A (SEIKO EPSON CORP) 9 January 2002 (2002-01-09) figure 5</p>	<p>1</p>
A	<p>JP 2002 215095 A (PIONEER ELECTRONIC CORP) 31 July 2002 (2002-07-31) figures 1-8 - & US 2002/135309 A1 (PIONEER ELECTRONIC CORP) 26 September 2002 (2002-09-26)</p>	<p>11,13</p>

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No.

PCT/JP 03/10644

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
WO 03058328	A	17-07-2003	JP 2003195810 A
			WO 03058328 A1
			09-07-2003
WO 9965011	A	16-12-1999	EP 1034530 A2
			WO 9965011 A2
			JP 2002517806 T
			US 6373454 B1
			13-09-2000
			16-12-1999
			18-06-2002
			16-04-2002
EP 1170718	A	09-01-2002	CN 1388951 T
			EP 1170718 A1
			WO 0205254 A1
			US 2002033718 A1
			01-01-2003
			09-01-2002
			17-01-2002
			21-03-2002
JP 2002215095	A	31-07-2002	US 2002135309 A1
			26-09-2002

Form PCT/ISA/210 (patent family annex) (July 1992)

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁷

H01L 27/15

H01L 31/12 H01L 21/00

G09F 9/30

[12] 发明专利申请公开说明书

[21] 申请号 01143386.8

[43]公开日 2002年7月24日

[11]公开号 CN 1360350A

[22]申请日 2001.12.21 [21]申请号 01143386.8

[30]优先权

[32]2000.12.21 [33]JP [31]388378/00

[71]申请人 株式会社半导体能源研究所

地址 日本神奈川县

[72]发明人 三崎舜平 小山润 长田麻衣

[74]专利代理机构 中国专利代理(香港)有限公司

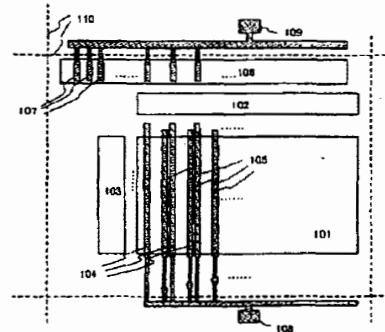
代理人 郑立柱 梁永

权利要求书 8 页 说明书 36 页 附图页数 22 页

[54]发明名称 发光设备及其制造方法

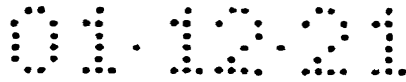
[57]摘要

提供了一种发光设备,甚至可以在大屏幕的情况下实现低功耗。电镀像素部分的源信号线或电源线的表面以减少接线的阻抗。像素部分的源信号线是通过一个不同于制造驱动电路部分的源信号线的步骤制造的。像素部分的电源线是通过一个不同于制造基底上引出的电源线的步骤制造的。同样,电镀接头以减少阻抗。最好是电镀前的接线是由与栅电极相同的材料制成的,且是电镀接线的表面而形成源信号线或电源线的。



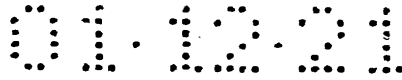
ISSN 1008-4274

知识产权出版社出版



权 利 要 求 书

1. 一种发光设备, 包括:
很多矩阵排列的像素, 很多像素中的每一个包括一个开关元件和一个发光元件; 以及
- 5 很多为开关元件提供信号的源信号线,
其中多数源信号线中至少有一个包括一条导线和导线上的导电涂层。
2. 根据权利要求 1 的发光设备, 其中导电涂层是通过电镀方法形成的。
- 10 3. 根据权利要求 1 的发光设备, 其中导电涂层包括至少一种从包含铜、铝、金、银的组中选择的元素及其合金作为主要成分。
4. 根据权利要求 1 的任一个的发光设备, 其中导线是由与开关元件栅电极相同的材料制成的。
5. 根据权利要求 1 的发光设备, 其中开关元件包括至少一个薄
- 15 膜晶体管。
6. 一种包括根据权利要求 1 的发光设备的电子设备, 其中发光设备是从包含电致发光显示设备、个人计算机和数字通用光盘的集合中选取的。
7. 一种发光设备, 包括:
- 20 很多矩阵排列的像素, 很多像素中的每一个包括一个开关元件和一个发光元件; 以及
很多为发光元件加电压的电源线,
其中多数电源线中至少有一个包括一条导线和导线上的导电涂层。
- 25 8. 根据权利要求 7 的发光设备, 其中导电涂层是通过电镀方法形成的。
9. 根据权利要求 7 的发光设备, 其中导电涂层包括至少一种从包含铜、铝、金、银的集合中选择的元素及其合金作为主要成分。
10. 根据权利要求 7 的任一个的发光设备, 其中导线是由与开关
- 30 元件栅电极相同的材料制成的。
11. 根据权利要求 7 的发光设备, 其中开关元件包括至少一个薄膜晶体管。



12. 一种包括根据权利要求 7 的发光设备的电子设备, 其中发光设备是从包含电致发光显示设备、个人计算机和数字通用光盘的集合中选取的。

13. 一种发光设备, 包括:

5 很多矩阵排列的像素, 很多像素中的每一个包括一个开关元件和一个发光元件;

很多为开关元件提供信号的源信号线; 以及

很多为发光元件加电压的电源线,

10 其中多数源信号线中的至少一条包括一条第一导线和第一导线上的第一导电涂层, 以及

其中多数电源线中的至少一条包括一条第二导线和第二导线上的第二导电涂层。

14. 根据权利要求 13 的发光设备, 其中第一导电涂层和第二导电涂层中至少有一个是由电镀方法形成的。

15 15. 根据权利要求 13 的发光设备, 其中第一导电涂层和第二导电涂层中至少有一个包括至少一种从包含铜、铝、金、银的集合中选择的元素及其合金作为主要成分。

16. 根据权利要求 13 的发光设备, 其中第一导电涂层和第二导电涂层是同时形成的。

20 17. 根据权利要求 13 的发光设备, 其中第一导电涂层和第二导电涂层中至少有一个是由与开关元件栅电极相同的材料制成的。

18. 根据权利要求 13 的任一个的发光设备, 其中第一导电涂层和第二导电涂层中至少有一个是由印刷方法形成的。

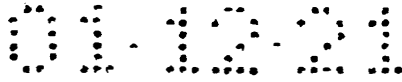
25 19. 根据权利要求 13 的发光设备, 其中开关元件包括至少一个薄膜晶体管。

20. 一种包括根据权利要求 13 的发光设备的电子设备, 其中发光设备是从包含电致发光显示设备、个人计算机和数字通用光盘的集合中选取的。

21. 一种发光设备, 包括:

30 很多矩阵排列的像素, 很多像素中的每一个包括一个开关元件和一个发光元件;

很多为开关元件提供信号的源信号线; 以及



至少一个接头，

其中多数源信号线中的至少一条包括一条第一导线和第一导线上的第一导电涂层，以及

其中接头包括一条第二导线和第二导线上的第二导电涂层。

5 22. 根据权利要求 21 的发光设备，其中第一导电涂层和第三导电涂层中至少有一个是由电镀方法形成的。

23. 根据权利要求 21 的发光设备，其中第一导电涂层和第二导电涂层中至少有一个包括至少一种从包含铜、铝、金、银的集合中选择的元素及其合金作为主要成分。

10 24. 根据权利要求 21 的任一种的发光设备，其中第一导电涂层和第二导电涂层是同时形成的。

25. 根据权利要求 21 的发光设备，其中第一导电涂层和第二导电涂层中至少有一个是由与开关元件栅电极相同的材料制成的。

15 26. 根据权利要求 21 中任一个的发光设备，其中第一导电涂层和第二导电涂层中至少有一个是由印刷方法形成的。

27. 根据权利要求 21 的发光设备，其中开关元件包括至少一个薄膜晶体管。

20 28. 一种包括根据权利要求 21 的发光设备的电子设备，其中发光设备是从包含电致发光显示设备、个人计算机和数字通用光盘的集合中选取的。

29. 一种发光设备，包括：

很多矩阵排列的像素，很多像素中的每一个包括一个开关元件和一个发光元件；

很多为发光元件加电压的电源线；以及

25 至少一个与多数电源线电连接的接头，

其中多数电源线中的至少一条包括一条第一导线和第一导线上的第一导电涂层，以及

其中接头包括一条第二导线和第二导线上的第二导电涂层。

30 30. 根据权利要求 29 的发光设备，其中第一导电涂层和第二导电涂层中至少有一个是由电镀方法形成的。

31. 根据权利要求 29 的发光设备，其中第一导电涂层和第二导电涂层中至少有一个包括至少一种从包含铜、铝、金、银的集合中选择

的元素及其合金作为主要成分。

32. 根据权利要求 29 的发光设备, 其中第一导电涂层和第二导电涂层是同时形成的。

5 33. 根据权利要求 29 的发光设备, 其中第一导电涂层和第二导电涂层中至少有一个是由与开关元件栅电极相同的材料制成的。

34. 根据权利要求 29 的发光设备, 其中第一导电涂层和第二导电涂层中至少有一个是由印刷方法形成的。

35. 根据权利要求 29 的发光设备, 其中开关元件包括至少一个薄膜晶体管。

10 36. 一种包括根据权利要求 29 的发光设备的电子设备, 其中发光设备是从包含电致发光显示设备、个人计算机和数字通用光盘的集合中选取的。

37. 一种发光设备, 包括:

15 一像素部分, 包括很多矩阵排列的像素, 多数像素中的每一个都包括一个第一开关元件、很多为开关元件提供信号的源信号线和一个发光元件; 以及

一个驱动很多像素的驱动电路, 驱动电路有一个第二开关元件和一个第三开关元件,

20 其中多数源信号线中至少有一个包括一条导线和导线上的导电涂层。

38. 根据权利要求 37 的发光设备, 其中第一、第二和第三开关元件是 n 沟道薄膜晶体管。

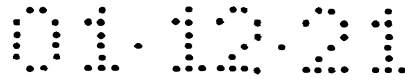
39. 根据权利要求 37 的发光设备, 其中第一、第二和第三开关元件是 p 沟道薄膜晶体管。

25 40. 根据权利要求 37 的发光设备, 其中第二和第三开关元件包括 EEMOS 电路和 EDMOS 电路中的至少一个。

41. 根据权利要求 37 的发光设备, 其中第二开关元件是一个 n 沟道薄膜晶体管, 而第三开关元件是一个 p 沟道薄膜晶体管。

30 42. 根据权利要求 37 的发光设备, 其中导电涂层是通过电镀方法形成的。

43. 根据权利要求 37 的发光设备, 其中导电涂层是通过印刷方法形成的。



44. 根据权利要求 37 的发光设备, 其中导电涂层包括至少一种从包含铜、铝、金、银的集合中选择的元素及其合金作为主要成分。

45. 根据权利要求 37 的发光设备, 其中导线是由与第一、第二和第三开关元件的栅电极相同的材料制成的。

5 46. 根据权利要求 37 的发光设备, 其中第一、第二和第三开关元件中至少有一个包括至少一个薄膜晶体管。

47. 根据权利要求 37 的发光设备, 其中第一开关元件包括很多沟道形成区域。

10 48. 根据权利要求 37 的发光设备, 其中第一开关元件包括三个沟道形成区域。

49. 根据权利要求 37 的发光设备, 其中第一、第二和第三开关元件中至少有一个包含一个具有一个锥形部分的栅电极、一个与栅电极重叠的沟道形成区域和一个部分与栅电极重叠的杂质区域。

15 50. 根据权利要求 49 的发光设备, 其中第一、第二和第三开关元件中至少有一个的杂质区域包括一个浓度梯度至少处于 1×10^{17} 到 $1 \times 10^{18}/\text{cm}^3$ 杂质浓度的区域, 且杂质浓度随与沟道形成区域的距离的增加而增加。

20 51. 一种包括根据权利要求 37 的发光设备的电子设备, 其中发光设备是从包含电致发光显示设备、个人计算机和数字通用光盘的集合中选取的。

52. 一种发光设备, 包括:

像素部分包括很多矩阵排列的像素, 很多像素中的每一个都包括一个开关元件、一个发光元件和很多为发光元件加电压的电源线; 以及

25 一个驱动多数像素的驱动电路, 驱动电路有一个第二开关元件和一个第三开关元件,

其中多数电源线中至少有一个包括一条导线和导线上的导电涂层。

30 53. 根据权利要求 52 的发光设备, 其中第一、第二和第三开关元件中至少有一个包括至少一个薄膜晶体管。

54. 根据权利要求 52 的发光设备, 其中第一、第二和第三开关元件是 n 沟道薄膜晶体管。



55. 根据权利要求 52 的发光设备, 其中第一、第二和第三开关元件是 p 沟道薄膜晶体管。

56. 根据权利要求 52 的发光设备, 其中第二和第三开关元件包括 EEMOS 电路和 EDMOS 电路中的至少一个。

5 57. 根据权利要求 52 的发光设备, 其中第二开关元件是一个 n 沟道薄膜晶体管, 而第三开关元件是一个 p 沟道薄膜晶体管。

58. 根据权利要求 52 的发光设备, 其中导电涂层是通过电镀方法形成的。

59. 根据权利要求 52 的发光设备, 其中导电涂层是通过印刷方法形成的。

60. 根据权利要求 52 的发光设备, 其中导电涂层包括至少一种从包含铜、铝、金、银的集合中选择的元素及其合金作为主要成分。

61. 根据权利要求 52 的发光设备, 其中导线是由与开关元件栅电极相同的材料制成的。

15 62. 根据权利要求 52 的发光设备, 其中第一开关元件包括很多沟道形成区域。

63. 根据权利要求 52 的发光设备, 其中第一开关元件包括三个沟道形成区域。

20 64. 根据权利要求 52 的发光设备, 其中第一、第二和第三开关元件中至少有一个包含一个具有一个锥形部分的栅电极、一个与栅电极重叠的沟道形成区域和一个部分与栅电极重叠的杂质区域。

25 65. 根据权利要求 64 的发光设备, 其中第一、第二和第三开关元件中至少有一个的杂质区域包括一个浓度梯度至少处于 1×10^{17} 到 $1 \times 10^{18}/\text{cm}^3$ 杂质浓度的区域, 且杂质浓度随与沟道形成区域的距离的增加而增加。

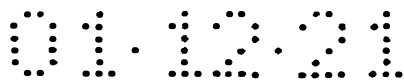
66. 一种包括根据权利要求 52 的发光设备的电子设备, 其中发光设备是从包含电致发光显示设备、个人计算机和数字通用光盘的集合中选取的。

67. 一种制造发光设备的方法, 包括下列步骤:

30 形成覆盖基底绝缘表面的半导体膜;

形成覆盖半导体膜的栅极绝缘膜;

在栅极绝缘膜上形成一个栅电极和一条导线;



将给予 n 型的杂质元素加入到半导体膜之中，形成一个 n 型杂质区域；

通过电镀方法在导线表面上形成阻抗低于导线的导电涂层，从而形成一条源信号线；

- 5 形成覆盖源信号线的绝缘膜；以及
在绝缘膜上形成一条栅极信号线。

68. 根据权利要求 67 的制造发光设备的方法，其中源信号线是一种包括至少一种从包含铜、铝、金、银的集合中选择的元素及其合金作为主要成分的材料制成的。

- 10 69. 根据权利要求 67 的任一个的制造发光设备的方法，其中导线与接线相连，从而在使用电镀方法的步骤中处于同一电压。

70. 根据权利要求 69 的制造发光设备的方法，其中接线是在形成导电涂层之后使用激光分割的。

- 15 71. 根据权利要求 69 的制造发光设备的方法，其中接线是在电镀之后同时与基底分离的。

72. 一种制造发光设备的方法，包括下列步骤：

形成覆盖基底绝缘表面的半导体膜；

形成覆盖半导体膜的栅极绝缘膜；

在栅极绝缘膜上形成一个栅电极和一条导线；

- 20 将给予 n 型的杂质元素加入到半导体膜之中，形成一个 n 型杂质区域；

通过电镀方法在导线表面上形成阻抗低于导线的导电涂层，从而形成一条电源线；

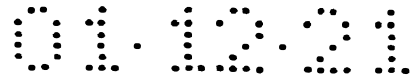
形成覆盖电源线的绝缘膜；以及

- 25 在绝缘膜上形成一条栅极信号线。

73. 根据权利要求 72 的制造发光设备的方法，其中源信号线是一种包括至少一种从包含铜、铝、金、银的集合中选择的元素及其合金作为主要成分的材料制成的。

- 30 74. 根据权利要求 72 的任一个的制造发光设备的方法，其中导线与接线相连，从而在使用电镀方法的步骤中处于同一电压。

75. 根据权利要求 74 的制造发光设备的方法，其中接线是在形成导电涂层之后使用激光分割的。



76. 根据权利要求 74 的制造发光设备的方法, 其中接线是在电镀之后同时与基底分离的。



说明书

发光设备及其制造方法

技术领域

5 本发明涉及一种显示屏，其发光元件形成在基底之上，密封在基底和表面部件之间。本发明还涉及一种显示模块，其中在显示屏中安装了一个 IC。请注意，在此定义中，显示屏和显示模块统称为发光设备。本发明还涉及使用发光设备的电子设备。

背景技术

10 因为发光元件本身会发光，可见度高，液晶显示设备 (LCD) 所需的背景光不是必需的，所以它适合薄的厚度，而且对观看角度没有限制。因此，最近将使用发光元件的发光设备称作替换 CRT 和 LCD 的显示设备。

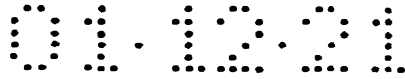
15 发光元件有一个包括有一种加上电场而发光 (电致发光) 的有机化合物的层 (下文中称作有机化合物层)、一个阳极层和一个阴极层。有机化合物的光包括其从单线激励态返回到基态所发出的光 (荧光) 和从三线激励态返回到基态所发出的光 (磷光)。在本发明的发光设备中可以使用任一种光。

20 请注意，在此定义中，阳极层和阴极层之间的所有层被称为有机化合物层。有机化合物层特别包括一个发光层、一个空子发射层、一个电子发射层、一个空子传输层和一个电子传输层。基本上发光元件的结构是阳极、发光层和阴极顺次层叠。除了这种结构之外，还有发光元件的结构是阳极、空子发射层、发光层和阴极顺次层叠的情形和发光元件的结构是阳极、空子发射层、发光层、电子传输层和阴极顺次层叠的情形。

25 另外，在此定义中，发光元件的光发射称为发光元件的操作。此外，在此定义中，包括阳极、有机化合物层和阴极的元件称作发光元件。

30 近来有源矩阵发光设备的使用扩大，对大尺寸的屏幕、高清晰度和高可靠性的需求增加。同时，提高了生产力，增加了对低成本的需求。

在有源矩阵发光设备中，流入发光设备的电流由各个像素中提供



的一个薄膜晶体管 (TFT) 控制。

5 传统上，当生产上面提到的 TFT 使用铝作为栅极信号线的材料时，热处理会形成如小丘或金属须一类的突起，而且铝原子会渗透到沟道形成区域之中。所以导致了 TFT 工作的失败和 TFT 品质的降低。为了防止这种情况，当使用耐热处理的金属材料，典型是具有高熔点的金属元件时，在屏幕尺寸变大的情况下线路阻抗更高。因此导致了功耗增加这样的问题。对于发光元件来说耗电流大。因此，特别是在屏幕为 3 英寸或更大的情况下，由于线路阻抗的影响而导致了屏幕两端的亮度不同或相互干扰。

10

发明描述

因此，本发明的一个目标是提供一种即使是在大屏幕的情况下也能实现低功耗的发光设备的结构及制造该设备的方法。

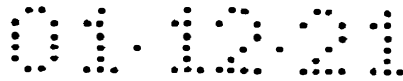
15 本发明试图电镀像素部分中源信号线的表面或电源线的表面，以减少接线阻抗。请注意，在本发明中像素部分的源信号线使用不同于制造驱动电路部分中源信号线的工艺制造。像素部分的电源线也使用不同于制造导向基底的电源线的工艺制造。此外，对于接头执行同样的电镀过程以减少阻抗。

20 在本发明中，最好是接线在电镀之前使用与栅电极相同的材料制造，然后电镀接线的表面以形成源信号线或电源线。要电镀的金属膜优选使用电阻抗低于栅电极的膜。因此，像素部分的源信号线或电源线经过电镀成为低阻抗的接线。

25 在此定义中提出的本发明设计一种包括一根源信号线、一个发光元件或一个 TFT 的发光设备，其特征在于源信号线由导线和阻抗低于导线并覆盖其上的涂层组成，TFT 的开关根据输入到源信号线的信号进行控制，由此来控制发光元件的光发射。

30 在此定义中提出的本发明涉及一种包括一根电源线、一个发光元件和一个 TFT 的发光设备，其特征在于：电源线由导线和阻抗低于导线并覆盖其上的涂层组成；TFT 的开关根据输入到 TFT 栅电极的信号进行控制；当打开 TFT 时，电源线的电压加到发光元件的像素电极上，使发光元件发光。

在此定义中提出的本发明涉及一种包括一根源信号线、一根电源线、一个发光元件和一个 TFT 的发光设备，其特征在于：源信号线由



第一导线和阻抗低于第一导线并覆盖其上的第一涂层组成；电源线由第二导线和阻抗低于第二导线并覆盖其上的第二涂层组成；TFT的开关根据输入到TFT栅电极的信号进行控制；当打开TFT时，电源线的电压加到发光元件的像素电极上，使发光元件发光。

5 本发明的设备的特征在于第一导线和第二导线是同时形成的。

在此定义中提出的本发明涉及一种包括一根源信号线、一个发光元件、一个TFT和一个接头的发光设备，其特征在于：源信号线由第一导线和阻抗低于第一导线并覆盖其上的第一涂层组成；接头由第二导线和阻抗低于第二导线并覆盖其上的第二涂层组成；TFT的开关根据输入到源信号线的信号进行控制，以控制发光元件的发光。

本发明的设备的特征在于第一导线和第二导线是同时形成的。

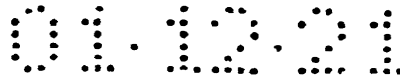
在此定义中提出的本发明涉及一种包括一根电源线、一个发光元件、一个TFT和一个接头的发光设备，其特征在于：电源线由第一导线和阻抗低于第一导线并覆盖其上的第一涂层组成；接头由第二导线和阻抗低于第二导线并覆盖其上的第二涂层组成；当打开TFT时，电源线的电压加到发光元件的像素电极上，使从发光元件发光。

本发明的设备的特征在于第一导线和第二导线是同时形成的。

在此定义中提出的本发明涉及一种包括一个像素部分和一个驱动电路的发光设备，像素部分有一根源信号线、一个发光元件和一个第一TFT，驱动电路有一个第二TFT和一个第三TFT，其特种在于：源信号线由导线和阻抗低于该导线并覆盖其上的涂层组成；第一TFT的开关根据输入到第一TFT栅电极的信号进行控制；当打开第一TFT时，电源线的电压加到发光元件的像素电极上以从发光元件发光。

在此定义中提出的本发明涉及一种包括一个像素部分和一个驱动电路的发光设备，像素部分有一根电源线、一个发光元件和一个第一TFT，驱动电路有一个第二TFT和一个第三TFT，其特种在于：电源线由导线和阻抗低于该导线并覆盖其上的涂层组成；第一TFT的转换根据输入到第一TFT栅电极的信号进行控制；当打开第一TFT时，电源线的电压加到发光元件的像素电极上以从发光元件发光。

30 在此定义中提出的本发明涉及一种制造发光设备的方法，包括下列步骤：在基底的绝缘表面上形成一个半导体层；在半导体层上形成一个栅极绝缘膜；在栅极绝缘膜上形成一个栅电极和一条导线；在半



导体层上加入一种给予 n 型的杂质元素以形成一个杂质区域；通过一种电镀方法在半导体的表面上形成一个阻抗低于半导体的涂层，以形成源信号线；形成一个覆盖源信号线的绝缘膜；以及在绝缘膜上形成一个栅极信号线。

- 5 在此定义中提出的本发明涉及一种制造发光设备的方法，包括下列步骤：在基底的绝缘表面上形成一个半导体层；在半导体层上形成一个栅极绝缘膜；在栅极绝缘膜上形成一个栅电极和一条导线；在半导体层上加上一种给予 n 型杂质元素以形成一个杂质区域；通过一种电镀方法在半导体的表面上形成一个阻抗低于半导体的涂层，以形成
- 10 电源线；形成一个覆盖电源线的绝缘膜；以及在绝缘膜上形成一个栅极信号线。

 本发明的设备的特征在于通过一种电镀方法形成涂层。

 本发明的设备的特征在于涂层包括从铜、铝、金、银的集合中选出的的一种元素及其合金作为主要成分。

- 15 本发明的设备特征在于导线是由与 TFT 栅电极相同的材料制成。

 本发明的设备特征在于涂层是通过一种印刷的方法形成的。

 本发明的设备特征在于第一 TFT、第二 TFT 和第三 TFT 是 n 沟道 TFT。

- 本发明的设备特征在于第一 TFT、第二 TFT 和第三 TFT 是 p 沟道
- 20 TFT。

 本发明的设备特征在于第一 TFT、第二 TFT 和第三 TFT 包括 EEMOS 电路和 EDMOS 电路中的一个。

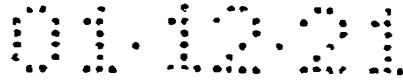
 本发明的设备特征在于第二 TFT 是 n 沟道 TFT，第三 TFT 是 p 沟道 TFT。

- 25 本发明的设备特征在于第一 TFT 包括一个带有锥形部分的栅电极、一个与栅电极重叠的沟道形成区域和一个部分与栅电极重叠的杂质区域。

 本发明的设备特征在于第一 TFT 包括许多沟道形成区域。

 本发明的设备特征在于第一 TFT 包括三个沟道形成区域。

- 30 本发明的设备特征在于第二 TFT 和第三 TFT 中的每一个都包括一个带有锥形部分的栅电极、一个与栅电极重叠的沟道形成区域的和一个部分与栅电极重叠的杂质区域。



本发明的设备特征在于第一 TFT、第二 TFT 和第三 TFT 中的一个中的杂质区域包括一个浓度梯度至少处于 1×10^{-17} 到 $1 \times 10^{-18}/\text{cm}^3$ 杂质浓度的区域，杂质浓度随着与沟道形成区域距离的增加而增加。

5 本发明的设备特征在于发光设备是电致发光显示设备、个人计算机和数字通用光盘之一。

本发明的方法特征在于在使用电镀方法的步骤中导线与接线连接，使得电压相同。

本发明的方法特征在于为了处于相同电压而连接的接线在形成涂层之后使用激光切断。

10 本发明的方法特征在于为了处于相同电压而连接的接线在电镀之后同时与基底隔离。

附图描述

在附图中：

- 图 1 是处于电镀阶段的发光设备的上表面视图；
- 15 图 2 是发光设备电镀之后的上表面视图；
- 图 3A 到 3C 显示了根据本发明制造发光设备的步骤；
- 图 4A 到 4C 显示了根据本发明制造发光设备的步骤；
- 图 5A 到 5C 显示了根据本发明制造发光设备的步骤；
- 图 6 显示了根据本发明制造发光设备的步骤；
- 20 图 7A 和 7B 显示了一个接头部分；
- 图 8 是一个像素的上表面视图；
- 图 9A 和 9C 显示了接头部分；
- 图 10 是一个发光设备的截面图；
- 图 11A 和 11B 显示了 NMOS 电路的一个结构；
- 25 图 12A 和 12B 显示了移位寄存器的一个结构；
- 图 13 是发光设备在电镀之后的上表面视图；
- 图 14 是一个像素的上表面视图；
- 图 15A 到 15C 显示了一个接头部分；
- 图 16 是一种发光设备的截面图；
- 30 图 17 是一种发光设备的截面图；
- 图 18 是一种发光设备的截面图；
- 图 19 是一种发光元件的截面图；

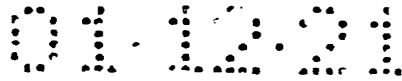


图 20A 和 20B 是一个接头和一个引线之间的连接以及一个反电极和引线之间的连接的截面图；

图 21 是一种发光设备的上表面视图；

图 22 是发光设备中一个像素部分的上表面视图；

5 图 23A 和 23B 是驱动电路框图；

图 24A 到 24C 显示了电子设备；以及

图 25 是一种发光设备的截面图。

优选实施形式

下文将描述本发明的实施方案。

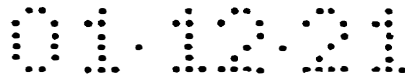
10 首先，在基底上形成基础绝缘膜之后，形成具有想要形状的半导体层。然后，形成覆盖半导体层的绝缘膜（包括栅极绝缘膜）。在绝缘膜上形成导电膜并蚀刻形成栅电极、作为像素部分源信号线的导线、作为像素部分电源线的导线和作为接头电极的导线。请注意，在本发明中，在形成栅电极之后才在层间绝缘层上形成栅极信号线。

15 接下来，使用保护层掩模或栅电极将给予传导率的杂质元素加入到半导体层之中，在半导体层上形成杂质区域。请注意，将杂质元素加入到半导体层中可以在形成栅电极之前或形成栅电极之后进行。栅电极还可以在将杂质元素加入到半导体层中之后再次蚀刻。

20 根据本发明，在活化加入到各个半导体层中的杂质元素之后，执行电镀（电镀方法），在作为像素部分源信号线的导线表面、作为像素部分电源线的导线表面和作为接头电极的导线表面上形成一个金属膜（涂层）。

25 请注意，在此定义中，源信号线包括电镀之前的源信号线和电镀之后的源信号线。包括在表面上形成的金属膜（涂层）的，电镀之后的源信号线称作源信号线。同样的，电源线包括电镀之前的电源线（导线）和电镀之后的电源线。包括在表面上形成的金属膜（涂层）的，电镀之后的电源线称作电源线。同样的，接头包括电镀之前的接头（导线）和电镀之后的接头。包括在表面上形成的金属膜（涂层）的，电镀之后的接头称作接头。

30 图 1 显示了一个状态，在该状态中通过一种电镀方法在作为像素部分源信号线的导线表面上、作为像素部分电源线的导线表面上和作为接头的导线表面上形成金属膜。请注意，图 1 中显示了三条像素部



分的源信号线 104, 并只显示了三条电源线 105. 像素部分的源信号线 104 相互平行, 是带状的. 像素部分的电源线 105 相互平行, 是带状的. 图中只显示了六个接头 107.

5 参考数字 101 代表一个像素部分. 在像素部分 101 中给出了电镀之前的源信号线 104 和电镀之前的电源线 105. 源信号线 104 和电源线 105 与电镀电极 108 连接. 请注意, 电镀前的源信号线 104 和电镀前的电源线 105 不必与同一个电镀电极 108 相连, 可以与不同的电镀电极相连.

10 在接头部分 106, 形成了许多(六个)电镀前的接头 107 并与电镀电极 109 相连.

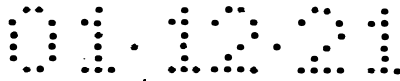
在此实施方案中, 在作为像素部分 101 的同一基底上形成了源极
端驱动电路 102 和栅极驱动电路 103. 但是, 不必在作为像素部分
101 的同一基底上形成源极驱动电路 102 和栅极驱动电路 103. 请
注意, 在图 1 中, 源极驱动电路 102 和栅极驱动电路 103 处于执
15 行电镀方法之前的状态.

参考数字 110 表示基底分割线. 当在电镀之后沿着基底分割线 110
分割基底时, 源信号线 104、电源线 105 和接头 107 与电镀电极 108
和 109 分离开来.

20 电镀方法是使直流电流流经包含有要通过电镀方法形成的金属离子的水溶液, 然后在阴极表面形成一个金属膜. 当镀上金属时, 可以使用阻抗低于栅电极的材料, 例如铜、银、金、铬、铁、镍、铂、它们的合金或类似的材料. 因为铜具有非常低的电阻抗, 所以适合用作根据本发明覆盖在源信号线表面的金属膜.

25 图 1 中显示的显示屏被浸入到包含有要镀的金属离子的电解液中. 然后要镀的金属或不可溶的金属用作阳极, 并在电镀电极 108 和 109 之间加上预定义的位差. 这样, 从阳离子还原的、要镀的金属沉淀在源信号线 104、电源线 105 和接头 107 的表面中.

30 在电镀之后, 形成层间绝缘层, 并形成与半导体层杂质区域相连的连接电极 121 和栅极信号线 111. 在本发明中, 栅极信号线 111 是通过层间绝缘层中提供的接触孔与栅电极电连接的. 图 2 是在形成了用于将导线层的杂质区域或电源线与接头连接起来的接线(引线) 121 和栅极信号线 111 之后的显示屏的上表面视图.



像素部分的源信号线 104 与源极端驱动电路 102 电连接。电源线 105 与接头 107 相互之间电连接。源极端驱动电路 102 与接头 107 相互之间电连接。

5 在电镀之后，基底沿着基底分割线 110 分割，将源信号线 104、电源线 105 和接头 107 与电镀电极 108 和 109 分离开来。

操作员通过控制电流密度和时间可以适当的设置由电镀方法形成的金属膜的膜厚度。

10 因此，根据本发明，像素部分的源信号线、像素部分的电源线和接头覆盖有低阻抗的金属材料。因此，即使像素部分的面积大，也足以得到高速驱动。

特别是在降低了电源线的阻抗时，避免了由引线阻抗引起的电源线电压降，因此可以防止串扰。

15 这里有一个例子，其中像素部分的源信号线、像素部分的电源线和接头是与栅电极同时形成的。但是，它们和栅电极可以分别形成。例如，在将杂质元素加入到各个半导体层中之后，形成保护栅电极的绝缘膜，活化加入到各个半导体层中的杂质元素，并通过光刻步骤同时在绝缘膜上形成由低阻抗材料（典型是主要包含铝、银和铜的材料）制成的像素部分的源信号线、像素部分的电源线和接头。电镀由此而得到的像素部分的源信号线、像素部分的电源线和接头。为了减少掩膜的数目，可以使用印刷的方法来形成像素部分的源信号线和像素部分的电源线。

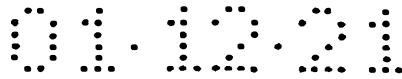
20 在此实施方案中，通过电镀方法用低阻抗的金属材料覆盖像素部分的源信号线、像素部分的电源线和接头。但是，像素部分的源信号线或像素部分的电源线优选通过电镀方法用低阻抗的金属材料覆盖。

25 根据本发明，在有源矩阵发光设备中，即使像素部分的面积变大而得到一个大屏幕，也可以实现较好的显示。

对于具有上述结构的本发明，下面将结合实施方案进行更为详细的描述。

实施方案 1

30 在这种实施方案中，将要参考图 3A-3C 到图 6 来描述在同一基底上同时制造包括像素部分的 TFT 和包括一个在像素部分附近配置的驱动电路的 TFT（CMOS 电路包括一个 n 沟道 TFT 和一个 p 沟道的 TFT）。



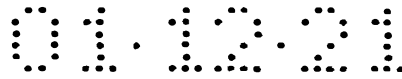
首先，在此实施方案中使用了由玻璃制成的基底 200，例如氟硼酸钡玻璃（以#7059 玻璃、#1737 玻璃或类似的玻璃为代表，由 Corning Corporation 生产）或氟硼酸铝玻璃。基底 200 除半透明外没有特别的限制，且可以使用石英玻璃。另外，可以使用具有耐此实施方案中的处理温度的耐热度的塑胶基底。

接下来，在基底 200 上形成由氧化硅膜、氮化硅膜或氧氮化硅膜一类的绝缘膜制成的带基薄膜 201。在此实施方案中，带基薄膜 201 使用了两层的结构。但是，可以使用单层膜的绝缘膜或两层或更多层层叠的结构。氧氮化硅膜 201a 是带基薄膜 201 的第一层，是通过等离子体 CVD 方法，以 SiH_4 、 NH_3 和 N_2O 作为活性气体而形成的，厚度为 10 到 200 nm（优选是 50 到 100 nm）。在此实施方案中，形成了膜厚度为 50 nm 的氧氮化硅膜 201a（成分比例：Si=32%、O=27%、N=24%、H=17%）。氧氮化硅膜 201b 是带基薄膜 201 的第二层，是通过等离子体 CVD 方法，以 SiH_4 和 N_2O 作为活性气体层叠而成的，厚度为 50 到 200 nm（优选是 100 到 150 nm）。在此实施方案中，形成了膜厚度为 100 nm 的氧氮化硅膜 201b（成分比例：Si=32%、O=59%、N=7%、H=2%）。

然后，依下列步骤在带基薄膜上形成半导体层 202 到 205：在通过一种已有的方法（例如喷射方法、LPCVD 方法或等离子体 CVD 方法）形成一个非晶形结构的半导体膜之后，执行一个已有的结晶处理（例如激光结晶方法、热结晶方法或使用镍一类催化剂的热结晶方法）来获得一个晶形半导体膜，然后将晶形半导体膜制成想要的形状。形成的半导体层 201 到 205 的厚度要达到 25 到 80 nm（优选是 30 到 60 nm）。对用于晶形半导体膜的材料没有限制。但是，优选使用硅、硅锗合金或类似的材料制成。在本实施方案中，在通过等离子体 CVD 方法形成厚度为 55 nm 的非晶形硅膜之后，在非晶形硅膜上保留一种含镍溶液。在非晶形硅膜于 500°C 脱氢 1 小时之后，于 550°C 执行热结晶 4 小时，然后执行增强结晶的激光退火处理以形成晶形硅膜。然后，使用光刻方法形成晶形硅膜的形状，以形成半导体层 202 到 205。

在形成半导体层 202 到 205 之后，可以相称的加入痕量杂质元素（硼或磷）以分别形成增强型和耗尽型。

当通过激光结晶方法形成晶形半导体膜时，可以使用受激准分子激光器、YAG 激光器或 YVO₄ 激光器，它是脉冲振荡型或持续光发射型。



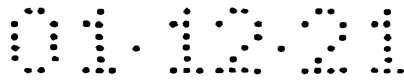
当使用了这些激光器时，优选使用一种通过光学系统线性会聚激光振荡器发出的激光并将其照射到半导体膜上的方法。结晶的条件由操作员适当的选择。当使用了受激准分子激光器时，脉冲振荡频率设置为 300 [Hz]，激光能量密度设置为 100 到 400 [mJ/cm^2] (典型是 200 到 300 [mJ/cm^2])。当使用了 YAG 激光器时，最好是使用其第二谐波，脉冲振荡频率设置为 30 到 300 [Hz]，激光能量密度设置为 300 到 600 [mJ/cm^2] (典型是 300 到 500 [mJ/cm^2])。激光使用 100 到 1000 [μm] 的宽度，例如 400 [μm]，线性会聚后照射到基底的整个表面上。此时，线性激光的重合度设置为 50 到 90[%]。

请注意，可以将执行持续振荡或脉冲振荡的气体激光器或固体激光器用作激光器。作为气体激光器有受激准分子激光器、氩激光器、氦激光器、氖激光器、氪激光器等激光器。另外作为固体激光器有 YAG 激光器、 YVO_4 激光器、YLF 激光器、 YA10_3 激光器、玻璃激光器、红宝石激光器、紫翠玉激光器、钛：蓝宝石激光器等激光器。使用如 YAG、 YVO_4 、YLF 或 YA10_3 这样的晶体的激光器加入铬、钕、铒、钕、铈、铈、铈或铈后也可以用作固体激光器。激光器的基波依加入的材料而变，获得了基波为 1 μm 左右的激光。通过非线性光学元件可获得基波的谐波。

此外，在使用非线性光学元件将固体激光器发射的红外激光转换成绿色激光之后，可以使用由另外一个非线性光学元件获得的紫外线激光。

为了在非晶形半导体膜结晶阶段获得大结晶粒度的晶体，优选做法是使用能够进行连续振荡的固体激光器并使用基波的第二谐波到第四谐波。典型的，最好用 Nd: YVO_4 激光器 (1064 nm 的基波) 的第二谐波 (532 nm) 或第三谐波 (355 nm)。具体是通过一个非线性光学元件将输出为 10 W 的连续振荡 YVQ_4 激光器发射出的激光转换成谐波。另外，有一个通过定位共鸣器中 YVQ_4 晶体和非线性光学元件来发射谐波的方法。优选是矩形或椭圆形的激光通过一个光学系统形成在照射表面上，并照射到要处理的目标上。在此时需要有大为 0.01 到 100 MW/cm^2 的能量密度 (优选是 0.1 到 10 MW/cm^2)。半导体膜以相对于激光的大约 10 到 2000 cm/s 的速度移动并被激光照射。

然后形成覆盖半导体层 202 到 205 的栅极绝缘膜 206。栅极绝缘膜 206 是通过等离子体 CVD 方法或喷射方法用厚度为 40 到 150 nm 的含硅

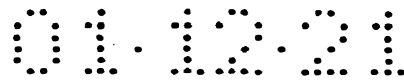


绝缘膜形成的。在这个实施方案中，通过等离子体 CVD 方法形成了厚度为 115 nm 的氮氧化硅膜（成分比例：Si=32%、O=59%、N=7%、H=2%）。当然栅极绝缘膜不限于氮氧化硅膜，因此可以使用单层或层叠结构的其它绝缘膜。

5 然后，如图 3A 所示，膜厚度为 20 到 100 nm 的第一传导膜 207a 和膜厚度为 100 到 400nm 的第二传导膜 207b 层叠在栅极绝缘膜 206 上。在此实施方案中，层叠了膜厚度为 30 nm、由氮化钽制成的第一传导膜 207a 和膜厚度为 370 nm、由钨制成的第二传导膜 207b。氮化钽膜是通过喷射方法，以钽作为含氮气体中的目标而形成的。此外它可以
10 可以通过热 CVD 方法使用六氟化钨 (WF_6) 来形成。在任一情况下，当这些膜用作栅电极时，必须要降低阻抗，钨膜的电阻率最好达到 20 或更低。当晶体颗粒增大时可以降低钨膜的电阻率。但是，如果在钨膜中存在大量的杂质元素，例如氧，那么会抑制结晶，从而增加阻抗。因此，在此实施方案中，在适当考虑后通过喷射方法用高纯度钨（纯
15 度为 99.9999%或 99.99%）作为目标来形成钨膜，这样在膜形成阶段杂质就不会从气相进入其中。这样可以达到 9 到 20 的电阻率。

请注意，在此实施方案中，氮化钽用于第一传导膜 207a，钨用于第二传导膜 207b。但是，本发明没有特别限制要用这些材料，可以使用
20 用钽、钨、钛、钼、铝、铜、铬和钨中的一种元素或将上述元素作为主要成分的合金材料或复合材料来形成各个传导膜。另外，可以使用形式为掺有杂质元素，例如磷，的多晶硅膜的半导体膜。此外还有由钽 (Ta) 膜制成的第一传导膜和由钨膜制成的第二传导膜的组合物、由氮化钛 (TiN) 膜制成的第一传导膜和由钨膜制成的第二传导膜的组合物、由氮化钽 (TaN) 膜制成的第一传导膜和由铝膜制成的第二传导
25 膜的组合物和由氮化钽 (TaN) 膜制成的第一传导膜和由铜膜制成的第二传导膜的组合物。

接下来，通过光刻法形成由保护膜制成的掩膜 208，并执行形成电极和接线的
30 第一蚀刻处理。第一蚀刻处理是在第一蚀刻条件和第二蚀刻条件下执行的。在此实施方案中，作为第一蚀刻条件，使用了 ICP（感应耦合等离子体）蚀刻方法。此外， CF_4 、 Cl_2 和 O_2 用作蚀刻气体，各种气体流量比设置为 25/25/10 (sccm)。在 1 Pa 气压下给螺旋型电极加上 500 W 和 13.56 MHz 的 RF 功率以产生等离子体，从而进行蚀刻。



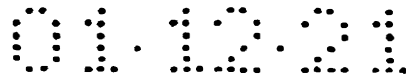
5 请注意, Cl_2 、 BCl_3 、 SiCl_4 、 CCl_4 等形式的氟系气体、 CF_4 、 SF_6 、 NF_3 等形式的氟系气体或 O_2 适合用作蚀刻气体。这里使用了由 Matsushita Electric Industrial Co. 制造的, 使用 ICP 的干蚀刻仪器 (Model E645-
□ ICP)。此外, 供给基底端 150 W 和 13.56 MHz 的 RF 功率 (采样阶段) 以施加足够的自偏负电压。在此第一蚀刻条件下蚀刻钨膜, 这样使第一导电涂层的末端部分变成锥状。第一蚀刻条件下钨的蚀刻速度为 200.39 nm/min, 氮化钽的蚀刻速度是 80.32 nm/min。钨与氮化钽的选择比为 2.5 左右。在第一蚀刻条件下, 钨的锥角为 26 左右。

10 接下来, 在不去除由保护膜制成的掩膜 208 的情况下将第一蚀刻条件变成第二时刻条件。即, 将 CF_4 和 Cl_2 用作蚀刻气体, 各种气体流量比设置为 30/30 (sccm)。在 1 Pa 气压下给螺旋型电极加上 500 W 和 13.56 MHz 的 RF 功率以产生等离子体, 然后进行 30 秒左右的蚀刻。此外, 供给基底端 150 W 和 13.56 MHz 的 RF 功率 (采样阶段) 以施加足够的自偏负电压。在混合了 CF_4 和 Cl_2 这样的第二蚀刻条件下, 将钨
15 膜和氮化钽膜蚀刻到相同的程度。第二蚀刻条件下钨的蚀刻速度为 58.97 nm/min, 氮化钽的蚀刻速度是 66.43 nm/min。请注意, 为了进行蚀刻而不在栅极绝缘膜上留下残渣, 蚀刻时间优选是以大约 10 到 20% 的速度增加。

20 在上面的第一蚀刻处理中, 当保护膜制成的掩膜的形状适合时, 由于加在基底端的偏压的影响, 第一和第二导电涂层的末端变成了锥形。锥部的角度优选设置为 15 到 45 。

因此, 通过第一蚀刻处理形成了由第一导电涂层和第二导电涂层 (第一导电涂层 213a 到 218a 和第二导电涂层 213b 到 218b) 制成的第一成形导电涂层 213 到 218 (图 3B)。虽然没有给出, 在作为栅极绝缘膜的绝缘膜 206 中, 将没有被第一成形导电涂层 213 到 218 覆盖的
25 区域蚀刻了大约 10 到 20 nm, 从而形成了较薄的区域。

然后, 在不去除由保护膜制成的掩膜的情况下执行第一添加处理, 将给予 n 型的杂质元素加入到半导体层中 (图 3C)。添加处理优选是通过离子添加方法或离子注入方法来执行。对于离子添加方法的条件, 剂量设置为 1×10^{13} 到 5×10^{15} /cm², 加速电压设置为 60 到 100
30 keV。在此实施方案中, 剂量设置为 1.5×10^{15} , 加速电压设置为 80 keV。对于给予 n 型的杂质元素, 使用了周期表族 15 的元素, 典型是磷 (P)



或砷 (As)。这里使用了磷 (P)。在这种情况下，导电涂层 213 到 216 变成给予 n 的掩膜，从而以自动调整的方式形成 n 型杂质区域（高浓度）270 到 273。给予 n 型的杂质元素以 1×10^{20} 到 $1 \times 10^{21}/\text{cm}^3$ 的浓度范围加入到杂质区域 270 到 273 中。

5 接下来，在不去除由保护膜制成的掩膜的情况下执行第二添加处理。这里将 SF_6 、 Cl_2 和 O_2 用作蚀刻气体，各种气体流量比设置为 24/12/24 (sccm)。在 1.3 Pa 气压下给螺旋型电极加上 700 W 和 13.56 MHz 的 RF 功率以产生等离子体，然后进行 25 秒的蚀刻。此外，供给基底端 10 W 和 13.56 MHz 的 RF 功率（采样阶段）以施加足够的自偏负电压。在混合了 CF_4 和 Cl_2 这样的第二时刻条件下，将钨膜和氮化钽膜
10 蚀刻到相同的程度。第二蚀刻条件下钨的蚀刻速度为 227.3 nm/min，氮化钽的蚀刻速度是 32.1 nm/min。请注意，为了进行蚀刻而不在栅极绝缘膜上留下残渣，蚀刻时间优选是以大约 10 到 20% 的速度增加，钨与氮化钽的选择比为 6.83 左右。因此，当 SF_6 用作蚀刻气体时，由于
15 对绝缘膜的选择比高，所以可以抑制膜缩减。

通过第二蚀刻处理，第二导电涂层（钨）的锥角变成 70 左右。通过第二蚀刻处理形成第二导电涂层 222b 到 227b。另一方面很难蚀刻到第一导电涂层，从而形成第一导电涂层 222a 到 227a。另外，通过第二蚀刻处理将保护层制成的掩膜 208 变成保护层制成的掩膜 209 的形
20 状（图 4A）。虽然没有显示，第一导电涂层的宽度与第二蚀刻处理之前相比，实际上在第二蚀刻处理之后变窄了 0.15 μm ，即在整个线宽变窄 0.3 μm 。这里，沟道长度方向的第二导电涂层的宽度对应于上述实施方案中显示的第二宽度。

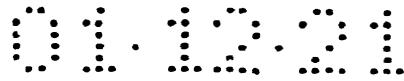
在上面的第二蚀刻处理中，将 CF_4 、 Cl_2 和 O_2 用作蚀刻气体。在这种情况下，各种气体流量比优选设置为 25/25/10 (sccm)，在 1 Pa 气压下给螺旋型电极加上 500 W 和 13.56 MHz 的 RF 功率以产生等离子体，从而进行蚀刻。此外，供给基底端 20 W 和 13.56 MHz 的 RF 功率（采样阶段）以施加足够的自偏负电压。在使用了 CF_4 、 Cl_2 和 O_2 的情况下，钨的蚀刻速度为 124.62 nm/min，氮化钽的蚀刻速度是 20.67 nm/min。
25 钨与氮化钽的选择比为 6.05。因此是选择性的蚀刻钨膜。在这种情况下，在绝缘膜 206 中，没有被第一成形导电涂层 222 到 227 覆盖的区域蚀刻了大约 50 nm，从而形成了较薄的区域。
30



接下来在去除了保护膜制成的掩膜之后，执行第二添加处理以获得图 4B 中的状态。第二导电涂层 222b 到 225b 用作杂质元素的掩膜，然后进行添加，将杂质元素加入到第一导电涂层 222a 到 225a 锥形部分下的半导体层中。在此实施方案中，磷 (P) 用作杂质元素，等
5 离子添加是在 $1.5 \times 10^{14}/\text{cm}^3$ 剂量、90 keV 加速电压、 $0.5 \text{ A}/\text{cm}^2$ 离子电流密度、磷化氢 (PH_3) 的 5% 稀释氢气体和 30 sccm 气体流量的添加条件下执行的。因此，以自动调整的方式形成以第一导电涂层覆盖的杂质区域 (低浓度) 228 到 231。添加到杂质区域 228 到 231 中的磷 (P) 的浓度为 1×10^{17} 到 $1 \times 10^{19}/\text{cm}^3$ ，具有与第一导电涂层锥形部分膜厚度
10 一致的浓度梯度。请注意，第一导电涂层锥形部分覆盖的半导体层的杂质浓度 (P) 是从第一导电涂层锥形部分的末端到内部逐渐降低的。即浓度分布是由第二添加处理形成的。另外，将杂质元素添加到杂质区域 (高浓度) 270 到 273 以形成杂质区域 (高浓度) 232 到 235。

请注意，在此实施方案中，锥形部分的宽度 (沟道长度方向的宽度) 优选为 $0.5 \text{ }\mu\text{m}$ 或更大，其限制是 $1.5 \text{ }\mu\text{m}$ 到 $2 \text{ }\mu\text{m}$ 。因此，虽然在沟道长度方向具有浓度梯度的杂质区域 (低浓度) 宽度限制取决于膜厚度，但变成了 $1.5 \text{ }\mu\text{m}$ 到 $2 \text{ }\mu\text{m}$ 。虽然这里分别显示了杂质区域 (高
15 浓度) 和杂质区域 (低浓度)，但实际上没有明确的边界，从而形成了浓度变化的区域。同样的，在沟道形成区域和杂质区域 (低浓度) 之间没有明确的边界。
20

然后，在除像素部分之外的区域被掩膜 246 覆盖的时候执行第三蚀刻处理。对于掩膜 246，优选使用金属镀层、玻璃镀层、陶瓷镀层或陶瓷玻璃镀层。在第三蚀刻处理中，选择性蚀刻没有被掩膜 246 覆盖的区域中的第一导电涂层的锥形部分，这样不会存在被半导体层杂质
25 区域所覆盖的区域。第三蚀刻处理是由使用对钨具有高选择比的 Cl_3 作为蚀刻气体的 ICP 蚀刻仪器执行的。在此实施方案中， Cl_3 的气体流量设置为 80 (sccm)，在 1.2 Pa 气压下给螺旋型电极加上 350 W 和 13.56 MHz 的 RF 功率以产生等离子体，然后进行 30 秒的蚀刻。此外，供给基底端 50 W 和 13.56 MHz 的 RF 功率 (采样阶段) 以施加足够的自偏负
30 电压。通过第三蚀刻处理形成了导电涂层 236 (第一导电涂层 236a 和第二导电涂层 236b)、237 (第一导电涂层 237a 和第二导电涂层 237b)、238 (第一导电涂层 238a 和第二导电涂层 238b) 和 239 (第一导电涂



层 239a 和第二导电涂层 239b)。请注意, 导电涂层 238 成为源信号线, 导电涂层 239 成为电源线 (图 4C)。

在此实施方案中介绍了执行第三蚀刻处理的例子。但是, 如果不需要第三蚀刻处理就不必执行它。

5 接下来, 如图 5A 所示, 在去除了保护膜制成的掩膜之后, 新形成了保护膜制成的掩膜 245, 并执行了第三添加处理。通过第三添加处理, 在半导体层中形成了杂质区域 247 到 250, 这些区域作为 p 沟道 TFT 的有源层, 添加了给予与上面导电类型 (n 型) 相反的导电类型 (p 型) 的杂质元素。给予 p 型的杂质元素的添加是以导电涂层 223 和 237
10 作为掩膜, 以自动调整的方式形成杂质区域的。

在此实施方案中, 杂质区域 247 到 250 是由使用乙硼烷 (B_2H_6) 的离子添加方法形成的。请注意, 杂质区域 247 包括杂质区域 247a 和 247b。同样杂质区域 249 包括杂质区域 249a 和 249b。在第三添加处理
15 中, 构成 n 沟道 TFT 的半导体层为保护层制成的掩膜 245 所覆盖。虽然通过第一添加处理和第二添加处理在杂质区域 247 到 250 中加入了不同浓度的磷, 还要执行添加处理, 使任一区域中给予 p 型的杂质元素的浓度达到 2×10^{20} 到 2×10^{21} 原子/ cm^3 。这样, 由于那些杂质区域起 p 沟道 TFT 的源极区和漏极区的作用, 所以将不会产生问题。

接下来, 执行活化添加到各个半导体层中的杂质元素的步骤。这个活化步骤是使用退火熔炉通过热退火方法执行的。热退火方法优选
20 是在 1 ppm 或更低的氧浓度, 优选是 0.1 ppm, 400 到 700°C, 典型是 500 到 550°C, 的氮气中执行。在此实施方案中, 活化处理是在 550°C 热处理 4 小时完成的。请注意, 除了热退火方法, 可以使用激光退火方法或快速热退火方法 (RTA 方法)。

25 虽然没有显示, 但通过活化处理扩散了杂质元素。从而使 n 型杂质区域 (低浓度) 和 n 型杂质区域 (高浓度) 之间的边界不再存在。

请注意, 在此实施方案中, 与上面活化处理同时发生的是, 作为结晶催化剂的镍被含高浓度磷的杂质区域所吸收, 主要减少的是成为沟道形成区域的半导体层中的镍。对于由此制造的、带有沟道形成区域
30 的 TFT, 减小了关电流, 结晶度更好。因此获得了高场效应迁移率, 取得了更好的性能。

此外, 在氢气中进行热处理来氢化半导体层。作为氢化的另一种

方法，可以执行等离子体氢化（使用由等离子体激励的氢）。

在此实施方案中，当使用了激光退火方法时，可以使用在结晶中使用的激光器，在活化的情况下，需要有与结晶时相同的移动速度和大约 0.01 到 100 MW/cm^2 的能量密度（优选是 0.01 到 10 MW/cm^2 ）。

5 接下来，电镀作为像素部分源信号线的导电涂层 238 的表面、作为像素部分电源线的导电涂层 239 的表面和接头部分的电极表面（没有显示）。图 7A 是执行电镀之后的接头部分的上表面视图，图 7B 是其截面图。在图 7B 中，参考数字 400 代表接头部分，401 代表接头。在图 7B 中还典型显示了一个驱动电路部分的 TFT 303，并只显示了一条像素部分的源信号线 238。在此实施方案中是使用铜电镀液（EEJA 生产的 Microfab Cu2000）进行电镀的。在这个电镀之后，如上面实施方案中一个例子所描述的，要电镀的导线通过伪模式彼此之间连接起来，这样它们的电压相同。在随后步骤中分割基底的时候，切割其间的电极，并将基底分离。使用伪模式会形成短路环。

15 接下来，形成覆盖像素部分源信号线的第一层间绝缘膜 255。优选将包含的硅作为主要成分的无机绝缘膜用作第一层间绝缘膜 255。

然后，在第一层间绝缘膜 255 上形成由有机绝缘材料制成的第二层间绝缘膜 256。在此实施方案中，形成了膜厚度为 $1.6 \mu\text{m}$ 的丙烯酸类树脂膜。

20 接着使用光掩膜在第二层间绝缘膜 256 上形成透明传导膜制成的像素电极 257。例如，优选将 ITO（氧化铟与氧化锡的合金）、氧化铟与氧化锌的合金（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）或氧化锌（ ZnO ）用作作为像素电极 257 的透明传导膜。

接着使用光掩膜选择性的蚀刻第二层间绝缘膜 256，形成到达各个杂质区域（232、234、247 和 249）的接触孔、到达像素部分源信号线 238 的接触孔和到达电源线 239 的接触孔。

接着形成将杂质区域（232、234、247 和 249）与源信号线 238 和电源线 239 电连接的电极 257 到 263。还形成栅极信号线 264。

30 通过与像素电极 247 接触并与其重叠的电极 262，像素电极 257 与像素部分的电流控制 TFT 307 的杂质区域 249a 电连接。

杂质区域 234 通过电极 260 与源信号线 238 电连接。杂质区域 249b 通过电极 263 与电源线 239 电连接。

在此实施方案中，简要说明了一个在形成像素电极 247 之后形成电极 262 的例子。但是，在形成了接触孔和电极之后，可以形成透明传导膜制成的像素电极来重叠电极。

5 这样，包括一个 CMOS 电路 302 的驱动电路 301 由一个 n 沟道 TFT 303 和一个 p 沟道 TFT 304 组成，带有由 n 沟道 TFT 制成的开关 TFT 306 的像素部分 305 和由 p 沟道 TFT 构成的电流控制 TFT 307 可以在同一基底上形成（图 5C）。在此实施方案中，出于便利的关系，这样的基底称作有源矩阵基底。

10 接下来，如图 6 所示，形成厚度为 500 [nm] 的含硅绝缘膜（在此实施方案中是氧化硅膜），然后在对应于像素电极 257 的位置形成一个槽。这样形成了起堤作用的第三层间绝缘膜 280。当在形成槽时使用了湿蚀刻方法时，可以轻松的形成锥形的侧壁。如果没有在槽中形成形状足够平缓的侧壁，那么由于该步骤而导致的有机化合物层变质是一个值得注意的问题。因此需要注意。

15 请注意，在此实施方案中，由氧化硅制成的膜用作第三层间绝缘膜 280。但是，在某些情况下可以使用由聚酰亚胺、聚酰胺、丙烯或 BCB（环丁烯甲苯）制成的有机树脂膜。

20 接下来，通过蒸发的方法形成有机化合物层 265，然后通过蒸发方法形成阴极（银化镁电极）266。此时最好对像素电极 257 执行热处理，在形成有机化合物层 265 和阴极 266 之前完全去除水分。请注意，在此实施方案中银化镁电极用作发光元件的阴极。但是可以使用其它已有的材料制造。

25 对于有机化合物层 265，可以使用通过加电场而发光的已有材料。在此实施方案中，有机化合物层是由空子传输层和发射层构成的两层结构。但是，有一种情况是有机化合物层中还有空子发射层、电子发射层和电子传输层中的任意一个。由此，已经介绍了各种组合的示例，可以使用任何一种结构。

30 在此实施方案中，通过蒸发的方法形成聚四氟乙烯作为空子传输层。另外，通过蒸发的方法形成其中分子扩散了 30 到 40% 的噻二唑衍生物 1,3,4 的 PBD 的聚乙烯吡啶作用发光层，并在其中添加了 1% 的、作为绿光发光中心的氧杂萘邻酮 6 号。

此外优选提供钝化膜 267。在此实施方案中，厚度为 300 nm 的氮

化硅膜用作钝化膜 267。在形成阴极 266 之后不需暴露到空气中就可以接着形成钝化膜。通过钝化膜 267，有机化合物层 265 可以进一步不与水气和氧气接触。

5 请注意，有机化合物层 265 的厚度优选设置为 10 到 400 [nm]（典型是 60 到 150 [nm]），阴极的厚度优选设置为 80 到 200 [nm]（典型是 100 到 150 [nm]）。

10 由此完成了如图 6 中显示结构的发光设备。请注意，在此实施方案制造发光设备的步骤中，根据电路结构和步骤之间的相互关系，使用钽和钨作为形成栅电极的材料来制成源信号线，使用铝作为形成源极和漏极的接线材料来制成栅极信号线。但是可以使用不同的材料。

15 图 8 显示了在此实施方案中制造的有源矩阵基底像素部分的上表面视图。请注意，对于图 5A 到 5C 和图 6 中对应的部分使用了相同的参考标识。图 6 中显示的虚线 A-A' 对应于通过沿图 8 中显示的虚线 A-A' 切割而获得的截面图。图 6 中显示的虚线 B-B' 也对应于通过沿图 8 中显示的虚线 B-B' 切割而获得的截面图。

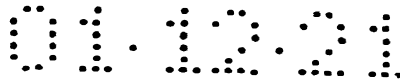
20 像素 331 包括源信号线 238 和栅极信号线 264。电流控制 TFT 307 的漏极区通过电极 262 与像素电极 257 相连。在开口 330 中，像素电极 257 和有机化合物层相互重叠，而发光设备 308 发光。栅极接线 333 的一部分包括电流控制 TFT 307 的栅电极 237。参考数字 334 代表由半导体层制成的电容接线。部分 332 是一个电容，其中电容器接线 334 和栅极接线 333 通过插入其中的栅极绝缘膜而相互重叠。

请注意，为了不使用屏蔽膜就光屏蔽像素电极之间的裂缝，可以制造一个仪器，使用源信号线 238 覆盖像素电极的末端。

25 根据此实施方案中给出的步骤，制造有源矩阵基底所需的光掩膜的数量可以设置为 5。

30 实际上，在完成了图 6 中显示的结构之后，为了防止大气暴露，优选是使用保护膜（复合薄膜、可紫外线硬化的树脂膜或类似的膜）或具有高密封性和低脱气的半透明密封元件来封装（密封）。在这种情况下，当密封元件内部是惰性气体或其中装有吸湿材料（例如氧化钡）时，会提高发光元件的可靠性。

然后使用密封元件或类似元件来密封有源矩阵基底和遮蔽元件以提高密封性。从元件或电路中引出的连接接头的连接器是在带有外部



信号接头（柔性印制电路：FPC）的基底上形成的，连接它就得到了一个产品。

5 接下来，将有源矩阵基底分割成想要的形状。请注意，这个分割操作可以在使用密封元件密封有源矩阵基底和遮蔽元件之前或之后进行。通过这个分割操作，分离了为电镀而提供的伪模式。

图 9A 是分割之后接头部分的上表面视图，图 9B 是沿着虚线 D-D' 切割而得到截面图。在图 9B 和图 C 中，参考数字 400 表示接头部分，401 表示与外部接头连接的接头。图 9A 到 9C 还典型显示了一个驱动电路部分的 TFT 和像素部分中唯一的一个源信号线 238。接头 401 与源信号线 238 和电源线 239 电连接。在接头部分 400 中，露出了电镀接头 401 的一部分，并在其上形成了由 ITO 制成的透明传导膜 404。请注意，透明传导膜 404 可以与像素部分的像素电极同时形成。

此外用一种已有技术将一个 FPC 粘到接头的露出部分上。图 9C 是粘完 FPC 405 之后的截面图。

15 这里介绍了在基底上形成所有驱动电路的例子。但是几个 IC 可以用作驱动电路的一部分。

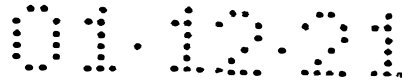
这样制造的发光设备可以用作各种电子设备的显示部分。

实施方案 2

在实施方案 1 中介绍了在驱动电路中形成 CMOS 电路的例子。但是，NMOS 可以只使用 n 沟道 TFT 来形成。请注意，当通过 n 沟道 TFT 的组合来形成 NMOS 电路时，例子有如图 11A 所示的只使用增强型 TFT 形成的电路和如图 11B 所示的使用增强型 TFT 和损耗型 TFT 的组合形成的电路。在像素部分装配的 TFT 还可以只使用 n 沟道 TFT 形成。请注意，在这种情况下，像素的电极优选是阴极。图 10 是此实施方案的发光设备的截面图。请注意，图 10 显示的是形成像素电极 547 之后和形成第三层绝缘膜之前的状态。

20 参考数字 501 代表包含 TFT 的驱动电路，505 代表包含 TFT 的像素部分。像素部分 505 包含开关 TFT 506 和电流控制 TFT 507，两者都是 n 沟道 TFT。

30 参考数字 526 代表电镀之后的源信号线，527 代表电镀后的电源线。源信号线 526 通过电极 561 与开关 TFT 506 的杂质区域电连接。电源线 527 通过接线 562 与电流控制 TFT 506 的杂质区域电连接。



驱动电路 501 包括带有 n 沟道 TFT 503 和 504 的 nMOS 电路。

通过将属于周期表族 15 的一种元素（优选是磷）或周期表族 13 的一种元素（优选是硼）添加到用于沟道形成区域的半导体中，n 沟道 TFT 503 和 504 可以分别成为增强型和耗尽型。

5 当分别形成了增强型和耗尽型时，如果需要，优选将属于周期表族 15 的一种元素（优选是磷）或周期表族 13 的一种元素（优选是硼）添加到用于沟道形成区域的半导体中。

在图 11A 中，参考数字 31 和 32 各代表一个增强型 n 沟道 TFT（下文称为 E 型 NTFT）。在图 11B 中参考数字 33 代表一个 E 型 NTFT，34 代表一个耗尽型 n 沟道 TFT（下文称为 D 型 NTFT）。

请注意，在图 11A 和 11B 中，参考标识 VDH 代表一根施加正电压的电源线（正压电源线），参考标识 VDL 代表一根施加负电压的电源线（负压电源线）。结合地电压（地电源线），负压电源线可以用作电源线。

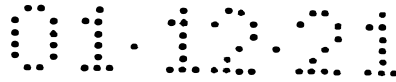
15 图 12A 和 12B 显示了一个使用图 11A 所示的 EEMOS 电路或图 11B 所示的 EDMOS 制造移位寄存器的例子。在图 12A 和 12B 中，参考数字 40 和 41 各代表一个触发器电路。另外，参考数字 42 和 43 各代表一个 E 型 NTFT。一个时钟信号（CL）输入到 E 型 NTFT 42 的栅极。一个颠倒了极性的时钟信号（CL 条）输入到 E 型 NTFT 42 的栅极。参考数字 20 44 代表一个倒相器电路。如图 12B 所示，图 11A 所示的 EEMOS 电路或图 11B 所示的 EDMOS 被用作倒相器电路。因此，显示设备的驱动电路可以只包括一个 n 沟道 TFT。

当使用包含 n 沟道 TFT 的 NMOS 电路制造小显示区域的显示设备中的驱动电路时，与使用 NMOS 电路相比增加了功耗。但是本发明在大显示区域的情况下特别有效。因此，在具有大显示区域的固定监视器或电视的情况中不会引起涉及功耗的问题。在只使用 NMOS 电路制造栅极端驱动电路的情况下也没有问题。但是，源极端驱动电路最好部分使用外部 IC 或类似的元件制造，而不是只使用 NMOS 电路，其原因在于这样可以实现高速驱动。

30 请注意，通过与实施方案 1 的自由组合可以实现此实施方案。

实施方案 3

在此实施方案中将描述使用同一电镀电极连接包含在像素部分中



的源信号线、包含在像素部分的电源线和接头并执行电镀情况下的虚模式。

5 图 13 是此实施方案的发光设备的上表面视图。请注意，图 13 中典型显示了像素部分中的三个源信号线 604 和三个电源线 605。像素部分中的源信号线 604 彼此平行，是带状的。像素部分中的电源线 605 彼此平行，是带状的。典型显示了 6 个接头。

参考数字 601 代表像素部分。像素部分 601 中配有电镀前的源信号线 604 和电镀前的电源线 605。在接头部分 606 形成了很多（6 个）电镀前的接头。

10 源信号线 604、电源线 605 和接头 607 都与电镀电极 609 相连。

在此实施方案中，与像素部分 601 中的情况一样，在同一基底上形成源极端驱动电路 602 和栅极端驱动电路 603。但是不需象像素部分 601 一样在同一基底上形成源极端驱动电路 602 和栅极端驱动电路 603。请注意，在图 13 中源极端驱动电路 602 和栅极端驱动电路 603 15 在执行电镀方法之前处于一个状态。

参考数字 610 代表基底分割线。当在电镀之后沿着基底分割线 610 分割基底时，源信号线 604、电源线 605 和接头 607 与电镀电极 609 分离开来。

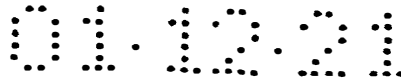
在电镀之后形成了层间绝缘膜，并形成了用于连接半导体层杂质 20 区域的接线（引线）和栅极信号线。在本发明中，栅极信号线通过层间绝缘膜中提供的接触孔与栅电极电连接。在图 13 中参考数字 612 代表引线，611 代表栅极信号线。

像素部分中的源信号线 604 通过接线与源极端驱动电路 602 电连接。电源线 605 和接头 607 通过引线 612 彼此之间相互电连接。源极 25 端驱动电路 602 和接头 607 通过引线 612 彼此之间电连接。

在电镀之后，沿着基底分割线 610 分隔基底，将源信号线 604、电源线 605 和接头 607 与电镀电极 609 分离开来。

这样，根据本发明，像素部分的源信号线、像素部分的电源线和 30 接头用低阻抗的金属材料覆盖。因此，即使像素部分的区域大，也可以有效实现高速驱动。

特别是当减小了电源线的阻抗时，避免了由接线阻抗引起的电源线压降，由此可以防止串扰。



此实施方案可以通过与实施方案 1 或者 2 的自由组合来实现。

实施方案 4

在此实施方案中描述了一根源信号线用与栅电极一样的材料制造，电源线用与栅极信号线一样的材料制造的例子。

5 图 14 显示了此实施方案中一个像素的上表面视图。在此实施方案中，包含源信号线 703、栅极信号线 704 和电源线 705 的区域对应于像素 700。像素 700 有一个开关 TFT 701 和一个电流控制 TFT 702。

栅极接线 711 包括电流控制 TFT 702 的栅电极 712。

10 源信号线 703、开关 TFT 701 的栅电极 708、电流控制 TFT 702 的栅电极 712 和栅极接线 711 是由同一传导膜制成的。

电流控制 TFT 702 的漏极区通过电极 709 与像素电极 706 相连。在像素电极 706 上形成了第三层间绝缘膜（没有显示），在第三层间绝缘膜上形成了有机化合物层（没有显示）。像素电极 706 和有机化合物层通过第三层间绝缘膜中提供的开口 707 彼此之间相互接触。

15 电极 709、电源线 705、栅极信号线 704、直接与开关 TFT 701 源极区和漏极区相连的接线和直接与电流控制 TFT 702 源极区和漏极区相连的接线是由相同的传导膜制成。

栅极接线 711 包括电流控制 TFT 702 的栅电极 712。参考数字 710 代表由半导体层制成的电容接线。电容接线 710 和栅极接线 711 通过插入其间的栅极绝缘膜（没有显示）而重叠的区域是一个电容。

请注意，为了不使用遮蔽膜就光遮蔽像素电极之间的裂缝，可以制造一种仪器，用源信号 703 覆盖像素电极 706 的末端。

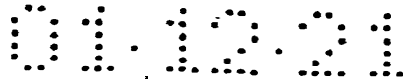
这个实施方案可以通过与实施方案 3 的自由组合来实现。

实施方案 5

25 在此实施方案中，在图 15A 到 15C 中显示了一个由与实施方案 1 中不同的步骤形成源信号线或电源线的例子。

图 15A 显示了一个电镀像素部分的源信号线 903 或电源线（没有显示），形成层间绝缘膜，在层间绝缘膜中形成接触孔，然后电镀接头部分 900 的例子。

30 接头 901 和源信号线 903 或电源线是以与 TFT 的栅极电极 902 相同的步骤形成的。首先，只选择性的电镀像素部分的源信号线 903 或电源线。然后形成层间绝缘膜，并在其中形成接触孔。在形成接触孔



时露出了接头部分 900 中接头 901 的一部分。接下来，只电镀接头部分 900 中接头 901 露出的部分，形成涂层 904。请注意，涂层 904 包含在接头 901 中。

5 此后，形成与引线或半导体层杂质区域相连的电极。根据实施方案 1 执行后续的步骤，这样更好的得到了图 15A 所示的结构。

请注意，包含在半导体层中的杂质元素的活化优选在形成涂层 904 之前执行。

10 对于实施方案 1 的情况，在电镀阶段要电镀的电极或接线通过虚模式彼此互连，这样它们处于同一电压。在后续步骤分割基底的时候，切割它们之间的电极，分离基底。使用虚模式还会形成一个短路环。

图 15B 显示了一个通过与图 15A 不同的步骤进行电镀的例子。此实施方案是一个源信号线 913 没有与 TFT 栅电极 912 同时形成的例子。

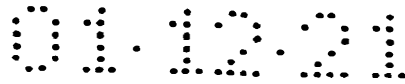
15 在形成了保护栅电极 912 的绝缘膜之后，活化添加到各个半导体膜之中的杂质元素。然后，通过一个光刻法的步骤在绝缘膜上同时形成由低阻抗金属材料（典型的是主要包含铝、银和铜的材料）制成的像素部分的源信号线 913 和接头 911。这样，根据本发明，像素部分的源信号线是由低阻抗的金属材料制成的。这样，即使像素部分的区域变得更大，仍足以驱动它。另外，为了减少掩膜的数量，可以通过印刷方法通过源信号线。

20 然后执行电镀（电镀方法），在像素部分源信号线 913 的表面和接头 911 的表面上形成金属膜。根据实施方案 1 执行后续步骤，这样更好的获得了图 15B 中显示的结构。

图 15C 显示了一个通过与图 15A 不同的步骤形成源信号线的例子。

25 在此实施方案中，通过印刷方法形成源信号线。提供的导电涂层用于提高像素中源信号线的位置精确度。

30 在此实施方案中，通过与栅电极情况中一样的步骤形成包含源信号线的导电涂层 915a 和 915b。然后不用绝缘膜覆盖栅电极就活化杂质元素。活化是在减压了的情性气体中通过，例如，热退火进行的，避免了导电涂层氧化引起的阻抗增加。然后，为了填充导电涂层之间的缝隙，使用印刷的方法形成源信号线。当沿着源信号线提供了导电涂层时，可以防止在印刷方法（丝网印刷）中引起的易断问题。根据实



施方案 1 执行激光步骤，这样更好的得到了图 15C 显示的结构。

丝网印刷是将具有想要形状的孔洞的镀膜用作掩膜，形成粘液（稀
释液）或者墨水，在其中在一个衬底上混合了例如金属粒子（Ag, Al,
或者相似的），该衬底是一个将要通过孔洞进行印刷的主体，然后通
5 过热烘烤形成带有想要形状的接线。这样的印刷方法成本相对较低，
可以用于大区域的情况，因此适合本发明。

除了丝网印刷方法，本发明还可以应用使用旋转鼓的凹板印刷方
法、凹板印刷方法和各种平板印刷方法。

像素部分的源信号线可以通过上面的各种方法形成。

10 请注意，此实施方案可以与实施方案 1 到 4 中的任一个自由组合。
实施方案 6

在此实施方案中，将用图 16 描述具有与实施方案 1 中介绍的不同
结构的发光设备。

15 在驱动电路 921 中，形成了 p 沟道 TFT 923 和 n 沟道 TFT 924，从
而制成了 CMOS 电路。

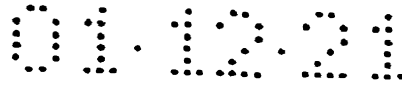
在像素部分 922 中形成开关 TFT 925 和电流控制 TFT 926。开关
TFT 925 的源极区域和漏极区域中的一个是与源信号线 927 电连接的。
另外，虽然没有显示，另一个是与电流控制 TFT 926 的栅电极电连接
的。

20 电流控制 TFT 926 中的源极区域和漏极区域中的一个是与电源线
（没有显示）电连接的。此外，另一个是与包含在发光元件 928 中的
像素电极 929 连接的。

25 发光元件 928 包含像素电极 929、与像素电极 929 接触的有机化合
物层 930 和与有机化合物层 930 接触的反电极 931。请注意，在此实施
方案中，在反电极 931 上配有覆盖驱动电路 921 和像素部分 922 的保
护膜 932。

30 在此实施方案中，如图 16 所示，具有孔洞部分的第三层间绝缘膜
934 形成在对应于像素电极 929 的位置上。第三层间绝缘膜 934 具有绝
缘属性，充当了一个筑堤，具有分隔相邻像素的各个有机化合物层的
作用。在此实施方案中，第三层间绝缘膜 934 是由保护层制成的。

在此实施方案中，第三层间绝缘膜 934 的厚度设置为 1 μ m 左右。
形成孔洞部分是其随着接近像素电极 929 而扩大，即变成所谓的逆锥



形。这是按下列步骤形成的。首先，在形成保护膜之后，使用掩膜覆盖除形成孔洞部分所在区域以外的区域。接下来，照射 UV 光使其露出，然后通过显影剂去掉露出的区域。

5 如在此实施方案中所述，当以逆锥形形成第三层间绝缘膜 934 时，在后续步骤形成有机层阶段于相邻像素间分割有机化合物层。这样，即使有机化合物层的热膨胀系数与第三层间绝缘膜 934 的不同，也可以避免有机化合物层的裂化和剥皮。

10 请注意，在此实施方案中，由保护膜制成的膜用作第三层间绝缘膜。但是，在某些情况下可以使用聚酰亚胺、聚酰胺、丙烯、BCB（环丁烯甲苯）、氧化硅膜或类似的膜。如果第三层间绝缘膜 934 是具有绝缘属性的物质，那么可以使用有机物或无机物。

虽然图 16 中没有显示，电源线也在与栅电极情况中一样的层中形成，然后电镀。这样可以减少接线阻抗。

此实施方案可以通过与实施方案 1 到 5 自由组合来实现。

15 实施方案 7

在此实施方案中描述了一个具有反转交错的 TFT 的发光设备的结构。图 17 是此实施方案的发光设备的截面图。请注意，图 17 显示了处在形成像素电极之后、形成第三层间绝缘膜之前的状态。

20 在此实施方案的发光设备中，驱动电路 940 包括一个 n 沟道 TFT 942 和一个 p 沟道 TFT 943，这构成一个 CMOS 电路。

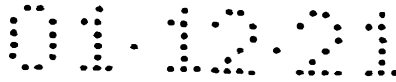
像素部分 941 包括一个开关 TFT 944 和一个电流控制 TFT 945。参考数字 947 代表源信号线，948 代表电源线，而 949 代表栅极信号线。

25 开关 TFT 944 中的源极区域和漏极区域中的一个是与源信号线 947 电连接的。另外，虽然没有显示，另一个是与电流控制 TFT 945 的栅电极电连接的。

电流控制 TFT 945 中的源极区域和漏极区域中的一个是与电源线 948 电连接的。此外，另一个是与像素电极 946 电连接的。

栅极信号线 949 是在第二层间绝缘膜 950 上形成的。虽然没有显示，栅极信号线 949 是与开关 TFT 944 的栅电极相连的。

30 源信号线 947 和电源线 948 在与 TFT 栅电极情况中相同的层中形成的，然后电镀以减小接线阻抗。请注意，在此实施方案中，栅极绝缘膜 951 的一部分是在电镀（电镀方法）之前通过蚀刻去掉的，这露



出了像素部分中源信号线 947 的表面和电源线 948 的表面，然后通过电镀方法在这些表面上形成一层金属膜。

此实施方案可以通过与实施方案 1 到 6 的自由组合来实现。

实施方案 8

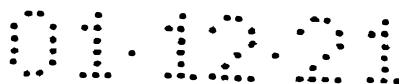
5 在此实施方案中描述了一种具有与实施方案 1 不同结构的发光设备。图 18 是此实施方案发光设备像素部分的截面图。

10 图 18 显示了形成开关 TFT 834、电容 833 和电流控制 TFT 832 的情形。玻璃基底或有机树脂基底用作基底 801，这是形成这些元件的基础。与玻璃材料相比，有机树脂基底重量轻，因此对减少发光设备自身的重量有作用。当制造发光设备时，可以使用聚酰亚胺、聚乙烯对本二酸盐 (PET)、聚乙烯萘 (PEN)、聚醚砜 (PES) 或芳族聚酰胺。对于玻璃基底优选使用称作非碱性玻璃的硼硅酸钡玻璃或硼硅酸铝玻璃。玻璃基底所使用的厚度为 0.5~1.1 mm。但是为了减轻重量，需要减少厚度。另外，为了进一步减轻重量，优选使用具有 2.37 g/cc 这样小比重的玻璃基底。

15 在基底 801 上形成防止基底杂质扩散和进行压力控制的第一绝缘膜 802。这是用含硅绝缘膜制成的。例如，这可使用等离子体 CVD 方法用 SiH_4 、 NH_3 和 N_2O 形成一个厚度为 20 到 100 nm 的氮氧化硅膜来获得。关于成分，其中氮浓度设置为 20 到 30 原子%，氧浓度设置为 20 到 30 原子%，这样就提供了张应力。在第一绝缘膜的上层最好再形成一层由用 SiH_4 和 N_2O 得到的氮氧化硅膜所制成的绝缘膜。关于该绝缘膜的成分，氮浓度设置为 1 到 20 原子%，氧浓度设置为 55 到 65 原子%，这样就减少了氮浓度并减轻了内部压力。

20 半导体膜 803 和 804 由具有晶体结构的硅膜制成。一个典型的例子是通过由等离子体 CVD 方法形成的非晶形硅膜进行激光照射或热处理而得到的半导体膜。其厚度设置为 20 到 60 nm。在上层形成作为栅极绝缘膜的第二绝缘膜 805 和栅电极 806、807。栅电极 807 与电容 833 的一个电极相连。

30 在栅电极的上层形成第三绝缘层 808，第三绝缘层 808 由用 SiH_4 、 NH_3 和 N_2 得到的氮化硅或用 SiH_4 、 NH_3 和 N_2O 得到的氮氧化硅制成，起保护膜的作用。还有由聚酰亚胺或丙烯酸树脂这样的有机树脂材料形成的第四绝缘膜 809，是一个平面膜。



在由有机树脂材料形成的第四绝缘膜之上形成由氮化硅一类的无机绝缘材料制成的第五绝缘膜 810。有机树脂材料有吸湿性，即吸纳水分的属性。如果再次散发出水分，会给有机化合物供氧，从而导致发光元件变质。因此，为了防止水分的滞留和再次散发，要在第四绝缘膜 809 上形成由 SiH_4 、 NH_3 和 N_2O 得到的氮氧化硅或 SiH_4 、 NH_3 和 N_2 得到的氮化硅制成的第五绝缘膜 810。另一种方法是省略第四绝缘膜 809，第五绝缘膜 810 只有一层可以用作基底。

然后，形成接触各个半导体膜中的源极或漏极区域的接触孔。通过喷射方法形成由 ITO（氧化铟锡）、氧化锌或类似材料制成的，厚度为 110 nm 的透明导电涂层，然后蚀刻成想要的形状（如图 8 所示的形状），形成发光元件 833 电极之一的阳极 811。

形成总厚度为 300 到 500 nm 的钛、铝层叠结构的电极 812 到 815，得到与半导体膜的接触面。形成电极 815 覆盖阳极 811。

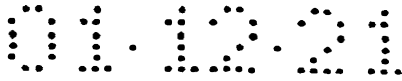
参考数字 830 表示通过电极 812 与包含在半导体层 830 中的杂质区域相连的源信号线。电镀源信号线 830 的表面以减少制造电阻。

在这些电极上形成的绝缘膜 816 到 819 是由氮化硅或类似材料制成的，形成这些绝缘膜的末端部分，使其位于电极的外部。这样的结构是通过下列步骤获得的。将形成电极的传导膜的一层与绝缘膜层叠，根据保护层 820 到 823 的形状进行蚀刻。然后，使用剩余的保护层形状只对传导膜进行蚀刻，这样可以形成如图 18 所示的罩。所以绝缘膜 816 到 819 不必局限于绝缘膜。如果一种材料具有对形成接线的传导膜的蚀刻选择比，这样的材料就可以用于绝缘膜。

通过蒸发方法形成有机化合物层 824 和阴极 825。这样，这里形成的罩就变成了掩膜，有机化合物层 824 和阴极 825 可以以自动调整的方式在阳极 811 上形成。保护层 820 到 823 可以留在绝缘膜 816 到 819 上，或可以去除。

对有机化合物层 824 和阴极 825 可以执行湿处理（例如使用化学溶液蚀刻或水洗法这样的处理）。这样，需要根据阳极 811 提供由绝缘材料制成的隔断墙层，在临近元件之间形成绝缘隔离。但是，当使用了该实施方案的像素结构时，接线和在其上形成的绝缘膜可以用于隔断墙层的基底。

这样，发光设备 833 包括由 ITO 这样的透明传导材料制成的阳极



811、包含空子发射层、空子传输层、发射层等层的有机化合物层 824 和由碱金属或碱土金属，例如 MgAg 或 LiF，这样的材料制成的阴极 825。

5 这样，不会有在外围设备中形成的元件施加压力到发光元件上的情况。因此可以防止由热应力或类似情况导致的发光元件的变质。结果是可以制造高可靠性的发光元件。

实施方案 9

10 在此实施方案中，将用图 19 来描述在实施方案 8 中用图 18 描述的发光设备的另一种结构。在形成阳极 621 之后形成第七绝缘膜。该绝缘膜是由氧化硅、氮化硅或类似的物质制成的。然后通过蚀刻去除阳极 621 上的第七绝缘膜。在此时，如图 19 所示，阳极 621 的末端部分由第七绝缘膜覆盖。这样获得了已具形状的第七绝缘膜 640。

15 同样的执行后续的步骤，并形成连接电极 625、绝缘膜 628 等等。形成如图 19 所示的有机化合物层 634 和阴极 635。当提供了第七绝缘膜 640 时，可以防止阴极 635 与末端部分中的阳极 621 接触，从而防止短路。

根据在此实施方案中说明的像素结构，可以防止热应力引起的发光元件的变质，并可以制造具有高可靠性的发光设备。

实施方案 10

20 在此实施方案中将描述基底上的引线和接头之间连接的情形。

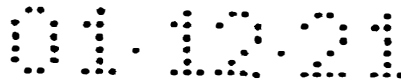
如图 20A 所示，在接头部分中，接头 681 是由与栅电极相同的材料制成的。电镀接头 681 以达到减少阻抗的目的。

25 在通过蚀刻形成接触孔的同时去除在接头上层形成的第三绝缘膜 858、第四绝缘膜 681 和第五绝缘膜 600，这样就可以露出表面。当在接头 681 上层叠了透明导电涂层 682 时，可以得到与 FPC 的连接。

因为发光元件的反电极变成了一个公共电极，所以连接做在了像素部分的外部。为了控制来自外部的电压，反电极通过基底上的引线与接头相连。图 20B 显示了一个引线和反电极之间的连接结构。

30 引线 684 与第四绝缘膜 659 相接触，与栅极信号线形成在同一层中。在通过蚀刻形成接触孔的同时去除引线上层中形成的第五绝缘膜 660，露出表面。

在第五绝缘膜 660 上形成像素电极 661，并形成与像素电极 661



相接触的有机化合物层 674。形成反电极 675 以覆盖有机化合物层 674 和引线 684。形成引线 684 和反电极 675 之间的接触。请注意，反电极 675 不与像素电极 661 相接触。

5 引线 684 通过在第三绝缘膜 658 和第四绝缘膜 659 中形成的接触孔与接头 681 相连。

通过蒸发的方法形成有机化合物层 674。但是如果执行该处理，会在整个基底表面上形成有机化合物层。所以根据像素部分的区域，使用金属掩膜或陶瓷掩膜这样的荫罩掩膜来形成它。请注意，要改变掩膜的大小，从而在包括像素部分外部区域在内的区域中形成阴极。当
10 进行这样的处理时，可以获得如图 20B 所示的结构。

实施方案 11

图 21 显示了一个发光设备的外观，介绍了一种在基底 721 中形成像素部分 722、栅极端驱动电路 724、源极端驱动电路 723 和接头 726 的情形。接头 726 通过引线 725 与各个驱动电路相连。在像素部分 722
15 中，接线 728 是在输入图像信号的信号线延伸方向形成的，也起到了隔断墙的作用。虽然这些接线 728 包括源信号线和电源线，但这里省略了细节。在接线 728 中，电源线通过引线 733 与接头 726 相连。

引线 727 连在反电极和接头之间。在实施方案 10 中已经描述了连接方法。

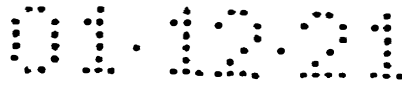
20 如果需要，可以通过 COG（玻璃上的芯片）或类似的方法在元件基底上安装包含存储器和类似元件的 IC 芯片。

在接线 728 之间形成发光元件，其结构如图 22 所示。像素电极 730 对应于各个像素，形成在接线 728 之间。有机化合物层 731 形成在像素电极上层中的接线 728 之间。此外有机化合物层 731 还以带状不间断的形成在很多像素电极 730 上。
25

在有机化合物层 731 的上层形成反电极 732。同样的在接线 728 之间形成带状的反电极 732。此外在不是由接线 728 夹在中间的区域中，即像素部分 722 的外部区域中形成与反电极 732 的连接。可以在反电极的一个末端部分或其两个末端部分形成连接部分。

30 引线 727 在与栅极信号线（没有显示）相同的层中形成，不与接线 728 直接相连。在重叠部分形成引线 727 和反电极 732 之间的接触。

发光元件定义为像素电极 730、有机化合物层 731 和反电极 732



之间的重叠区域。在有源矩阵发光设备中，每个像素电极 730 与相应的有源元件相连。如果反电极有一个缺陷，而且缺陷是在像素部分的内部造成的，那么恐怕该缺陷会是一个线缺陷。但是如图 22 所示，当获得了制成与反电极两端的连接和将反电极用作公共电极这样的结构

5 时，可以减少发生关于此类线缺陷的担心。

实施方案 12

在此实施方案中介绍了一个象热处理那样执行 PPTA（多脉冲热退火）的例子。

PPTA 是对处理面多次重复一个包括使用光源（卤素灯、金属卤化物灯、高压水银灯、高压钠灯、氙灯或类似的灯）加热和通过制冷剂（氮、氦、氩、氪、氙或类似元素）循环冷却这一循环的热处理。光源每次发射的发光时间是 0.1 到 60 秒，优选是 0.1 到 20 秒。光多次照射。请注意，光源是电源和控制电路以脉冲方式打开的，这样半导体膜中的保持时间变成 0.5 到 5 秒。

10

当缩短了实际加热时间，而且由半导体膜选择性吸收的光是通过 PPTA 从一个表面端或两个表面端中配备的光源照射出时，基底本身不会被大大加热，只会选择性加热半导体膜（以 100 到 200℃/秒的温度增长率）。为了抑制基底的温度上升，要使用制冷剂从外部进行冷却（以 50 到 150℃/秒的温度下降率）。

15

下面介绍了一个为了活化而执行实施方案 1 中的热处理的例子。

20

在图 5A 显示的活化步骤中执行 PPTA。使用钨卤灯作为光源，从基底的一个表面或两个表面照射出脉冲光。此时，氦的流速与钨卤灯的闪烁同步变化，这样就选择性的加热了半导体膜。

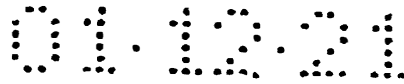
通过 PPTA 活化了杂质元素，并将包含在半导体膜中并用于结晶的金属元素从沟道形成区域收集到杂质区域。请注意，如果不仅将磷，还将给予 p 型的杂质元素加入到杂质区域之中，那么它还是有影响的。这样，优选添加了一个在第一添加之后将给予 p 型的硼添加到杂质区域中的步骤。此外，用于 PPTA 的处理面可以在 13.3Pa 或更低的减压态中准备，以防止氧化和玷污。

25

请注意，这个实施方案可以与实施方案 1 到 11 中任一个自由组合。

30

实施方案 13



在此实施方案中将介绍包含在本发明发光设备的驱动电路中的源极驱动电路和栅极驱动电路的具体结构。

5 图 23A 和 23B 是本发明发光设备中的驱动电路的方框图。图 23A 显示了包含移位寄存器 6002、锁存器(A) 6003 和锁存器(B) 6004 的源极驱动电路 6001。

在源极驱动电路 6001 中，移位寄存器 6002 中输入了一个时钟信号 (CLK) 和一个启动信号 (SP)。移位寄存器 6002 根据时钟信号 (CLK) 和启动信号 (SP) 产生一个定时信号。定时信号通过一个缓冲器及类似元件（没有显示）输入到一个 POST 电路。

10 来自移位寄存器 6002 的定时信号由缓冲器及类似元件缓冲放大。由于有很多电路或元件与输入定时信号的接线相连，所以接线有一个大负载电容（寄生电容）。提供的缓冲器是用于避免定时信号上升或下降的“慢化”，这是由大负载电容引起的。请注意，缓冲器不是必需的。

15 由缓冲器缓冲放大的定时信号输入到锁存器 (A) 6003。锁存器 (A) 6003 包括很多多级锁存器，用于处理 n 位的数字视频信号。当输入定时信号时，锁存器 (A) 6003 顺序捕捉到由源极驱动电路 6001 从外部输入的数字视频信号并保存。

20 请注意，当数字视频信号被捕捉到锁存器 (A) 6003 之中时，它们可以顺序输入到包含在锁存器 (A) 6003 中的多级锁存器中。但是，本发明不只限于这种结构。可以执行所谓的分区驱动，其中包含在锁存器 (A) 6003 中的多级锁存器被分成了几个组，然后数字视频信号同时被输入到各个组中。请注意，此时组的数量称作分区数量。当锁存器被分成，例如，四级而成组时，称为进行了具有四个分区的分区驱动。

25 到完成将数字视频信号写入到锁存器 (A) 6003 中所有级的锁存器中为止的时间称为一个线周期。实际上，有一种情形是线周期包含一个通过将水平回扫周期加入到上述线周期之中而获得的周期。

30 当结束一个线周期时，锁存器信号输入到锁存器 (B) 6004 之中。此时所有写入锁存器 (A) 6003 及在其中保存的数字视频信号被发送到锁存器 (B) 6004，写入到锁存器 (B) 6004 的所有级中并保存。

数字视频信号到锁存器 (A) 6003 的写入完全将数字视频信号发送到锁存器 (B) 6004 之中，这是根据来自移位寄存器 6002 的定时信号顺

序进行的。

在第二个线周期期间，写入到锁存器(B)6004中并保存的数字视频信号输入到源信号线。

图 23B 是表示栅极端驱动电路结构的方框图。

5 栅极端驱动电路 6005 包括一个移位寄存器 6006 和一个缓冲器 6007。如果需要还可以包括一个电平移动器。

在栅极端驱动电路 6005 中，来自移位寄存器 6006 的定时信号输入到缓冲器 6007，然后输入到对应的栅极信号线。与一条线对应的像素中的开关 TFT 的栅电极与栅极信号线相连。因为需要打开与一条线对应的像素中所有的开关 TFT，所以使用了能够流大电流的缓冲器。

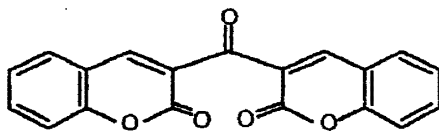
这个实施方案可以通过与实施方案 1 到 12 的自由结合来实现。

实施方案 14

在此实施方案中，通过使用有机化合物材料可以显著提高外部发光量子效率，这样来自三重激子的磷光可以用于发光。结果是可以减少发光元件的功耗、延长发光元件的寿命和减轻发光元件的重量。

下面是使用三重激子提高外部发光量子效率的报告 (T. Tsutsui, C. Adachi, S. Saito, 在有机分子系统的光化学的处理, ed. K. Honda, (Elsevier Sci. Pub., Tokyo, 1991)p. 437)。

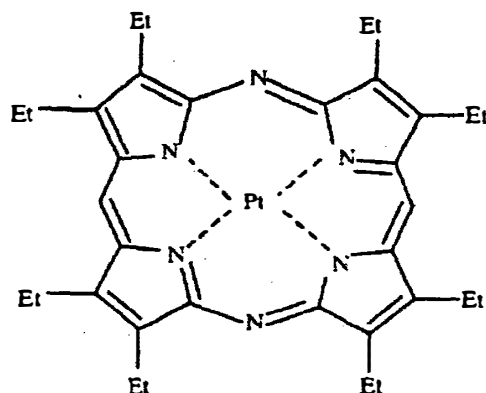
20 下面给出了由上面文章叙述的有机化合物材料(香豆素色素)的分子式。



化学分子式 1

(M. A. Baldo, D. F. O'Brien, Y. You, A. Shoustikov, S. Sibley, M. E. Thompson, S. R. Forrest. Nature 395(1998)p. 151)

下面给出了由上面文章叙述的有机化合物材料（铂复合物）的分子式。

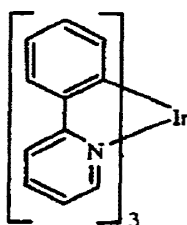


化学分子式 2

5 (M. A. Baldo, S. Lamansky, P. E. Burrows, M. E. Thompson, S. R. Forrest. Appl. Phys. Lett., 75(1999)p. 4.)

(T. Tsutsui, M. -J. Yang, M. Yahiro, K. Nakamura, T. Watanabe, T. Tsuji, Y. Fukuda, T. Wakimoto, S. Mayaguchi, Jpn, Appl. Phys., 38(12B) (1999)L1502)

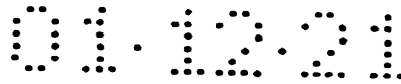
10 下面给出了由上面文章叙述的有机化合物材料（铱复合物）的分子式。



化学分子式 3

15 如上所述，如果三重激子发出的磷光可以置于实际使用，那么在大体上使用单重激子发出的磷光的情况下可以实现外部发光量子效率三到四倍的提高。

根据本发明的结构可以通过与实施方案 1 到 13 中任一结构的组合



来自由实施。

实施方案 15

在此实施方案中将描述一个通过印刷方法用低阻抗材料形成源信号线或电源线的例子。

5 图 25 是此实施方案一个发光设备的截面图。发光设备有一个驱动电路 450 和一个像素部分 451。像素部分 451 包括一个开关 TFT 452 和一个电流控制 TFT 453。

10 在此实施方案中，通过印刷方法形成了源信号线 458 和电源线 462 之中至少有一个或两者。虽然在此实施方案中使用了丝网印刷方法，本发明也可以应用使用旋转鼓的凹板印刷方法、凹板印刷方法和各种平版印刷方法。此类印刷方法成本较低，可以用在大面积的情况中，所以适合本发明。

15 在此实施方案中，源信号线 458 和电源线 462 由铜制成。请注意，通过印刷方法形成的接线所用的材料最好具有低于通过图形形成的接线或电极的阻抗。

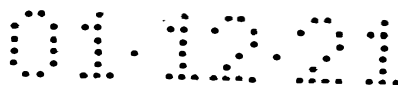
接下来，在第二层间绝缘膜 472 上形成由透明传导膜制成的像素电极 461。

20 然后，蚀刻栅极绝缘膜 470、第一层间绝缘膜 471 和第二层间绝缘膜 472，形成接触开关 TFT 452 的杂质区域 454 和电流控制 TFT 453 的杂质区域 456、457 的接触孔。

25 然后在第二层间绝缘膜 472 上形成传导膜，并定制形状，形成电极 459、460 和 473。电极 459 覆盖了源信号线 458 的整个表面或一部分，形成了接触面。请注意，在此实施方案中，电极 459 覆盖了源信号线 458 的整个表面。使用这种结构可以防止制造源信号线的材料进入有机化合物层 463 之中，而且可以防止印刷方法（丝网印刷）中引起的易断现象。请注意，在此实施方案中，电极 459、460 和 473 是由图形精确度高于由印刷方法形成的源信号线 458 和电源线 462 的材料制成的。在此实施方案中电极是由 Ti/Al/Ti 的复合薄膜制成的。

30 电极 459 与开关 TFT 452 的杂质区域 454 相连。电极 460 与像素电极 461 相连，从而电连接电流控制 TFT 453 的杂质区域 456 和像素电极 461。

电极 473 覆盖电源线 462 的整个表面或一部分，形成接触。请注



意，在此实施方案中电极 473 覆盖了电源线 462 的整个表面。使用这种结构可以防止电源线 462 的材料进入有机化合物层 463。

然后在第二层间绝缘膜 472 上形成有机化合物层 463 以覆盖电极 459、460、473 和像素电极 461。还使用金属掩膜在有机化合物层上形成反电极 466。请注意，像素电极 461、有机化合物层 463 和反电极 466 之间的重叠区域对应于发光元件 467。

如上所述，可以通过各种方法形成像素部分的源信号线或电源线。当减少了源信号或电源的阻抗时，可以实现大屏幕尺寸和高图像质量的发光设备。

请注意，此实施方案的结构可以通过与实施方案 1 到 13 的任一结构的自由组合来实现。

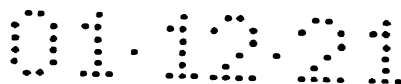
实施方案 16

因为发光设备是自发光的，所以与液晶显示设备相比在色泽鲜艳的位置具有更高的清晰度，而且观看角度更宽。因此它可以用作各种电子仪器的显示部分。

下面给出了此类电子仪器的例子：摄影机；数字摄像机；护目型显示屏（安装在头上的显示屏）；车辆导航系统；音频再现设备（例如汽车音响系统，混音系统）；膝上型计算机；游戏设备；手持信息终端（例如移动计算机、移动电话、移动游戏设备或电子书籍）；以及配有记录介质的图像回放设备（特别是进行记录介质的回放并配有可以显示那些图像的显示屏的设备，例如数字视频光盘(DVD)）。尤其是因为手持信息终端经常是从对角线方向观看，所以观看区域的宽度显得非常重要。因此优选是使用发光设备。图 24 显示了这些电子仪器的例子。

图 24A 说明了一个电荧光显示设备，包括一个框架 2001、支架 2002、显示部分 2003、扬声器部分 2004、视频输入端口 2005 或相似物。本发明的发光设备可以用作显示部分 2003。发光设备是自发光型的，因此不需要背景光。这样其中的显示部分的厚度可以小于液晶显示设备的厚度。电荧光显示设备包括所有的信息显示设备，例如用于个人计算机、电视接收机、广告显示屏或类似的设备。

图 24B 显示了一个膝上型计算机，包括一个主体 2201、框架 2202、显示部分 2203、键盘 2204、外部连接端口 2205、指向鼠标及相似物。根据本发明的发光设备可以用作显示部分 2203。



5 图 24C 说明了一个包括记录介质的图像回放设备（更明确是 DVD 播放机），包括一个主体 2401、框架 2402、显示部分 A 2403、显示部分 B 2404、记录介质（DVD 或类似的）2405、操作开关 2406、扬声器部分 2407 及相似物。显示部分 A 2403 主要用于显示特征信息。根据本发明的电光设备可以用作这些显示部分 A 2403 和 B 2404。包括记录介质的图像回放仪器还包括家庭游戏设备或相似物。

请注意，如果有机化合物材料发出的光将来变得更亮，那么可用于前投式或背投式投影仪，其中将包含输出图像信息的光通过投射的透镜或类似物的装置来放大。

10 上面提到的电子仪器更适合用于显示通过因特网、CATV（有线电视系统）这样的电信途径传播的信息，特别适合用于显示电影信息。发光显示设备适合用于显示电影是因为有机化合物材料可以表现出高响应速度。

15 此外因为发光设备的发光部分消耗功率，所以最好是以将其中的发光部分变得尽可能的小的方式来显示消息。从而当发光设备用到主要显示特征信息的显示部分时，例如用于手持信息终端的显示部分时，更具体是用于移动电话或音频再现设备时，最好是驱动发光设备，使得通过发光部分来形成特征信息，而不发光部分对应于背景。

20 如上所述，本发明可以用于所有领域中大范围电子仪器。本实施方案中的电子仪器可以使用具有实施方案 1 到 15 中所示的任何一种配置的发光设备。

25 根据本发明，即使是当扩大像素部分的区域以获得大屏幕时，用有源矩阵发光设备形式的发光设备就可以实现优良的显示。由于像素部分源信号线的阻抗大为减少，所以本发明可以用于大屏幕，例如对角线有 40 英寸或 50 英寸的大屏幕。

01.12.01

说明书附图

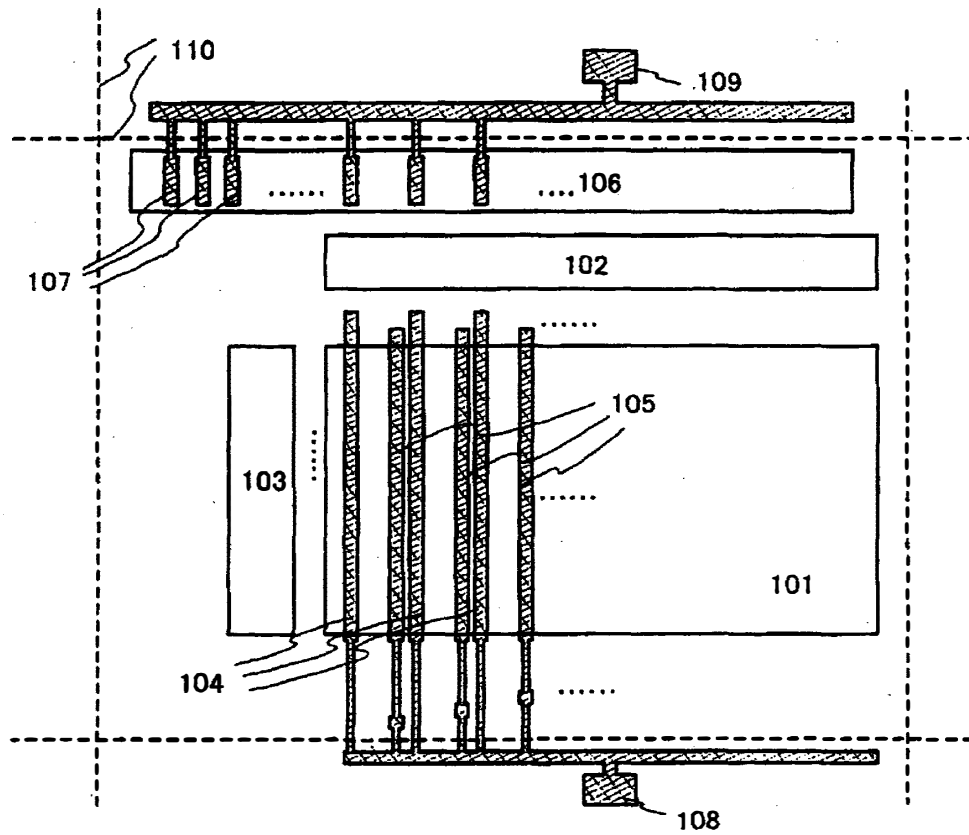


图 1

01.10.21

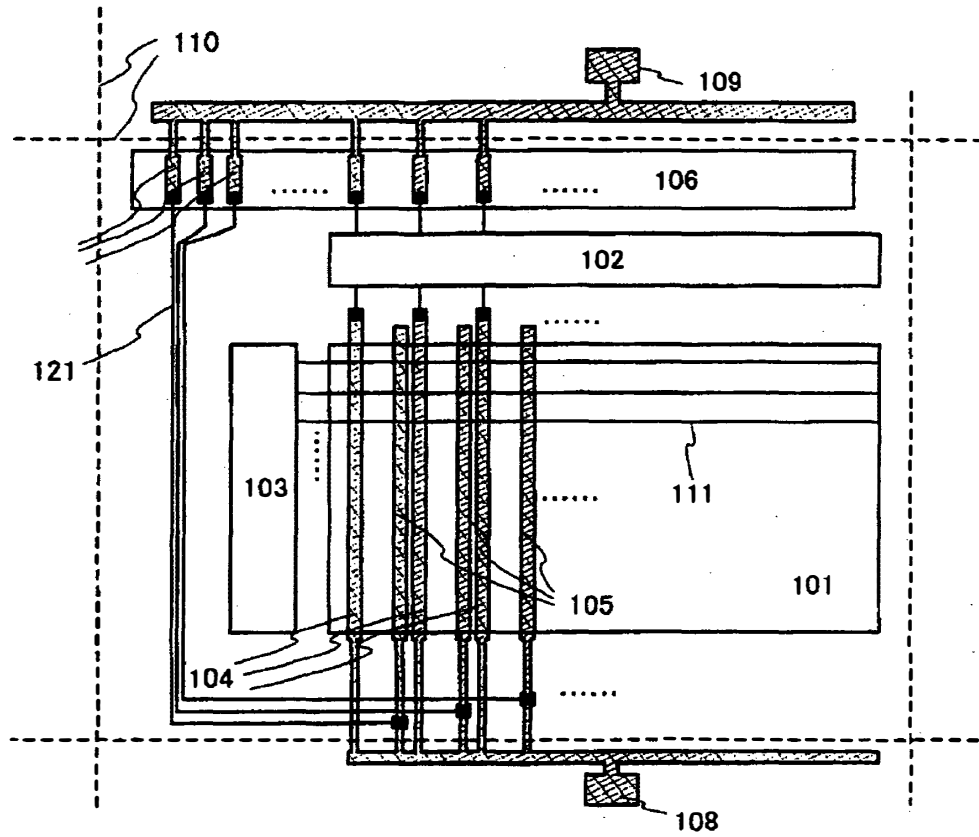


图 2

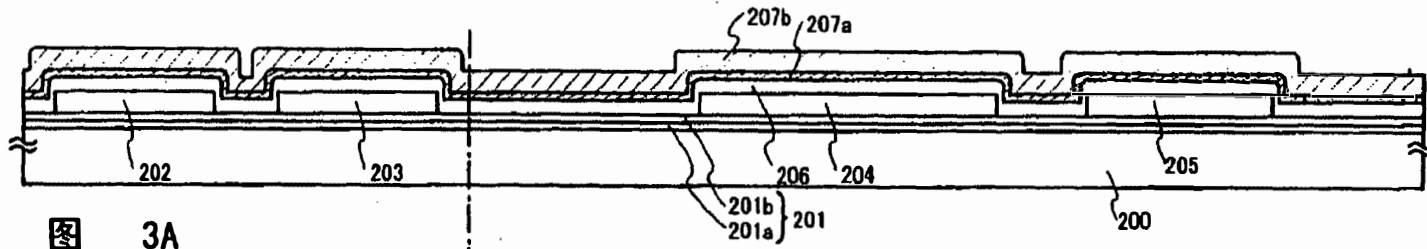


图 3A

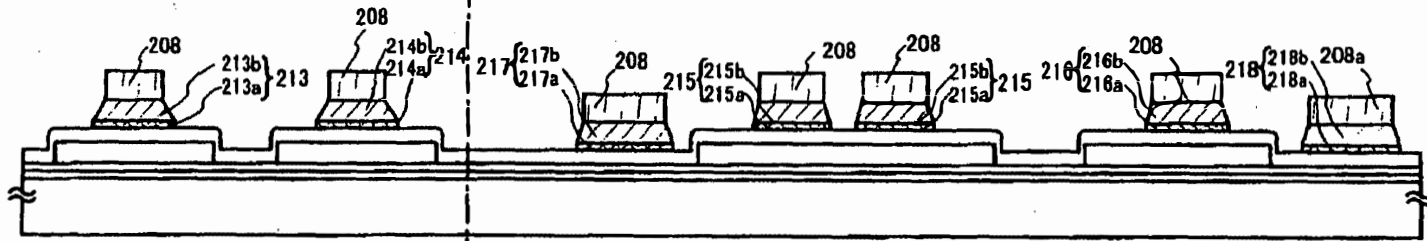


图 3B

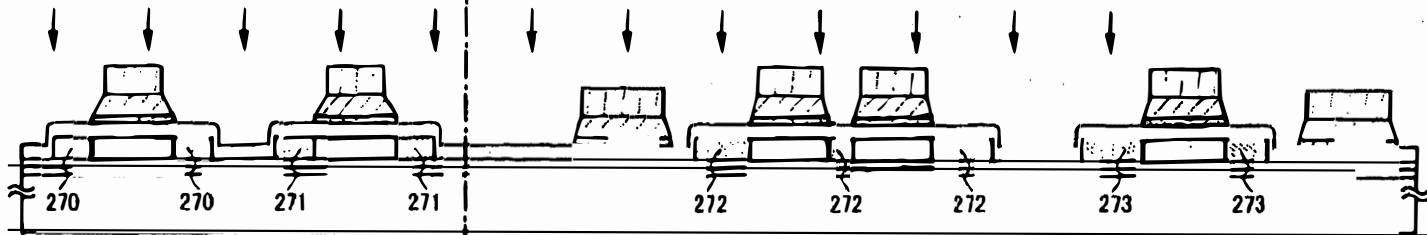
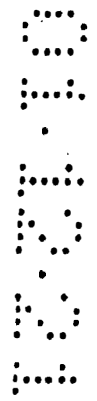


图 3C



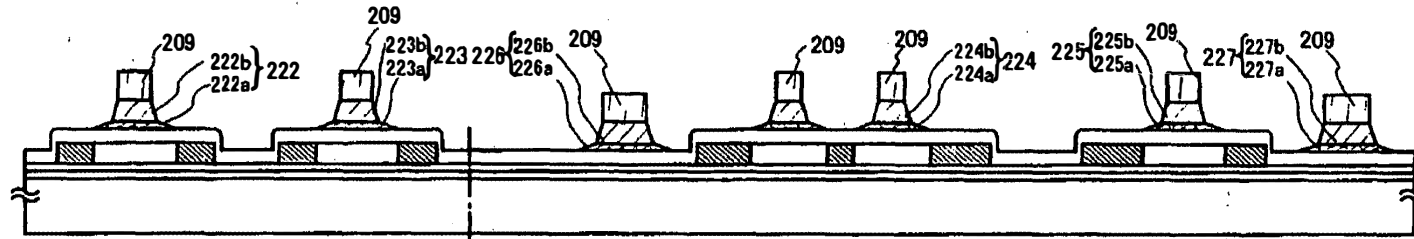


图 4A

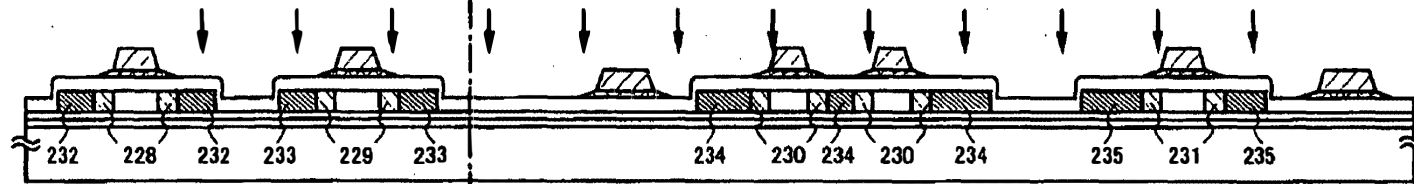


图 4B

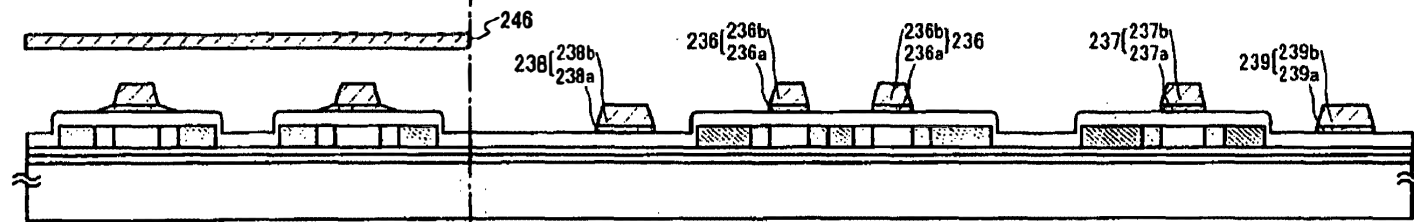
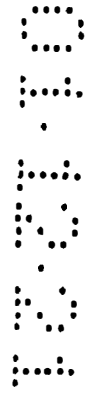


图 4C



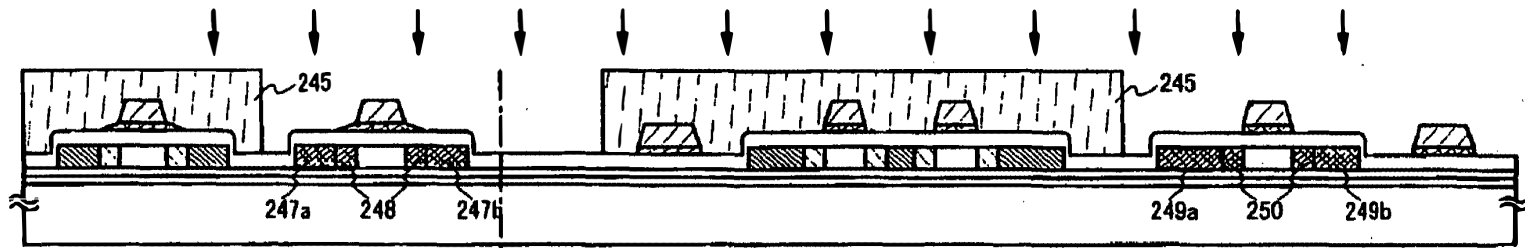


图 5A

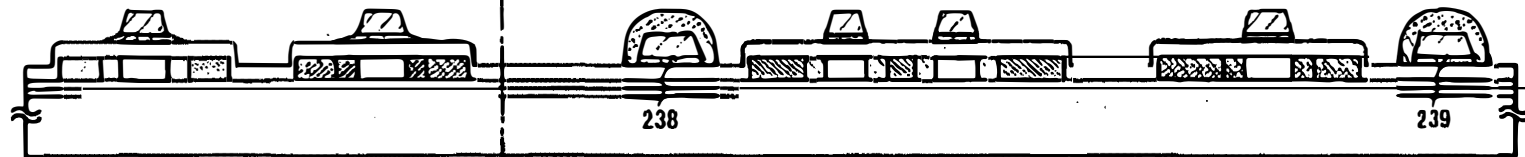


图 5B

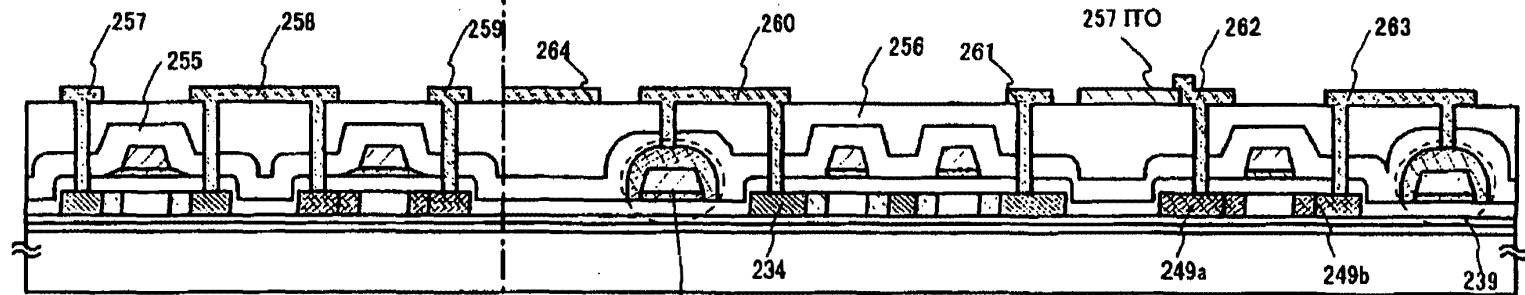
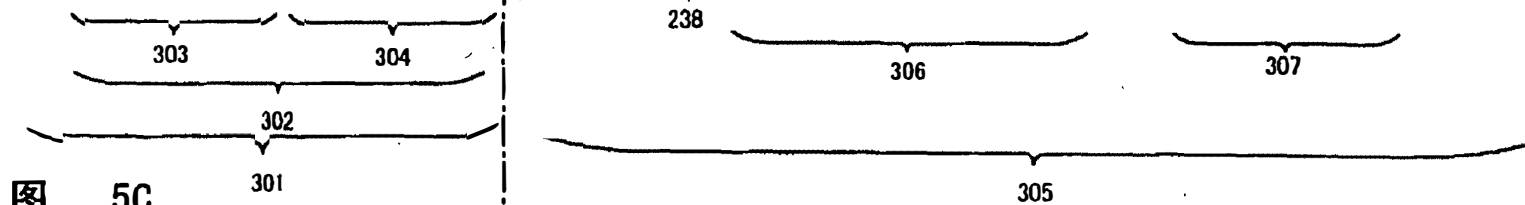


图 5C



5



0.10.01

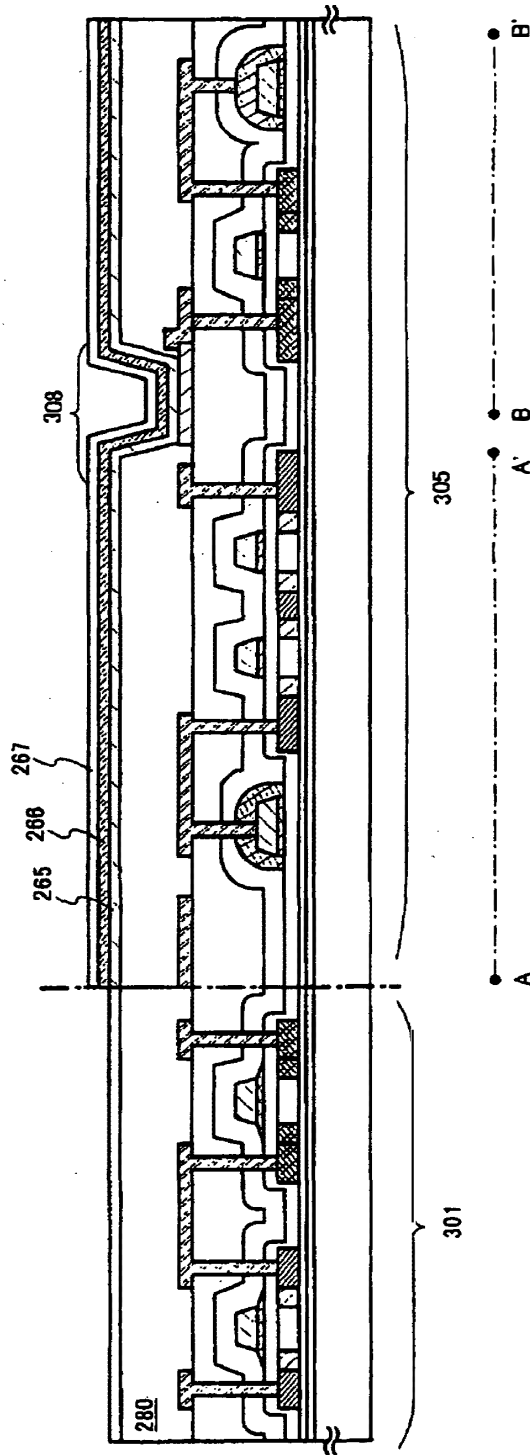


图 6

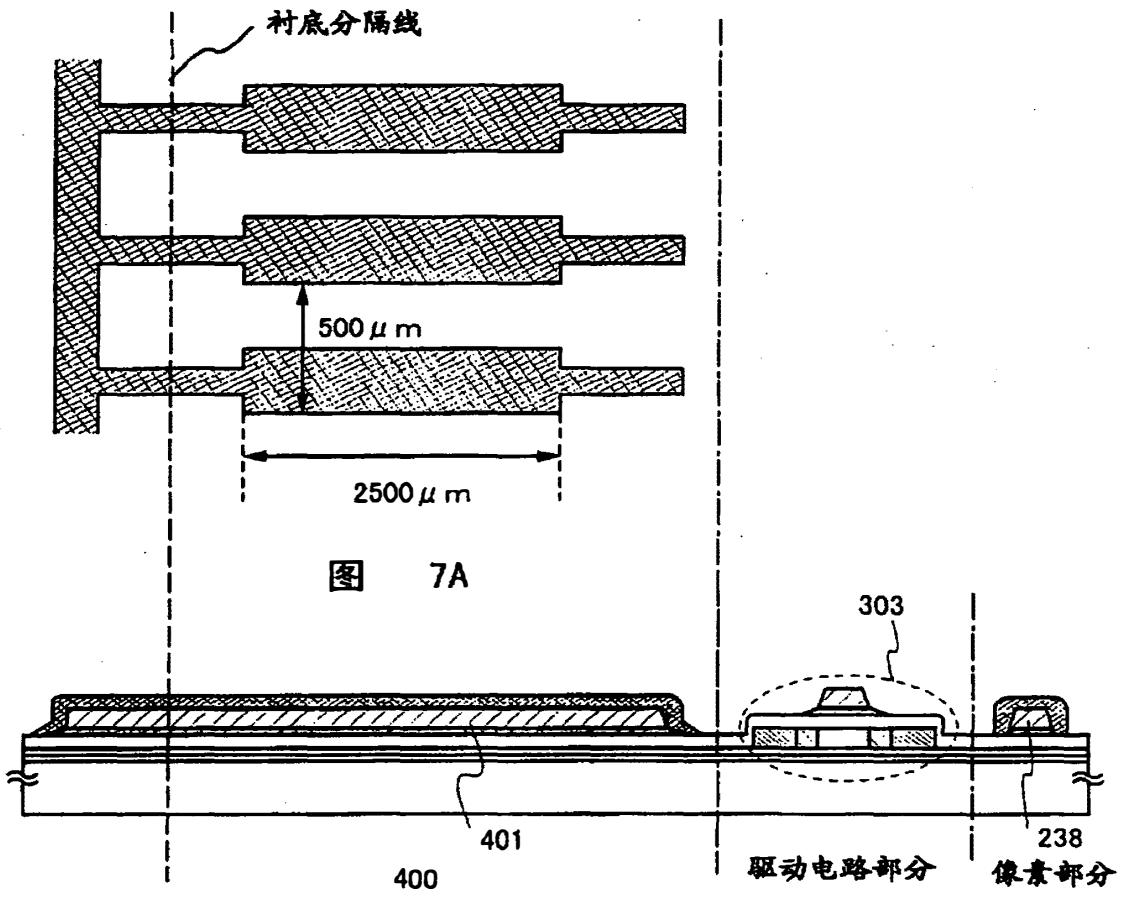


图 7A

图 7B

01.10.21

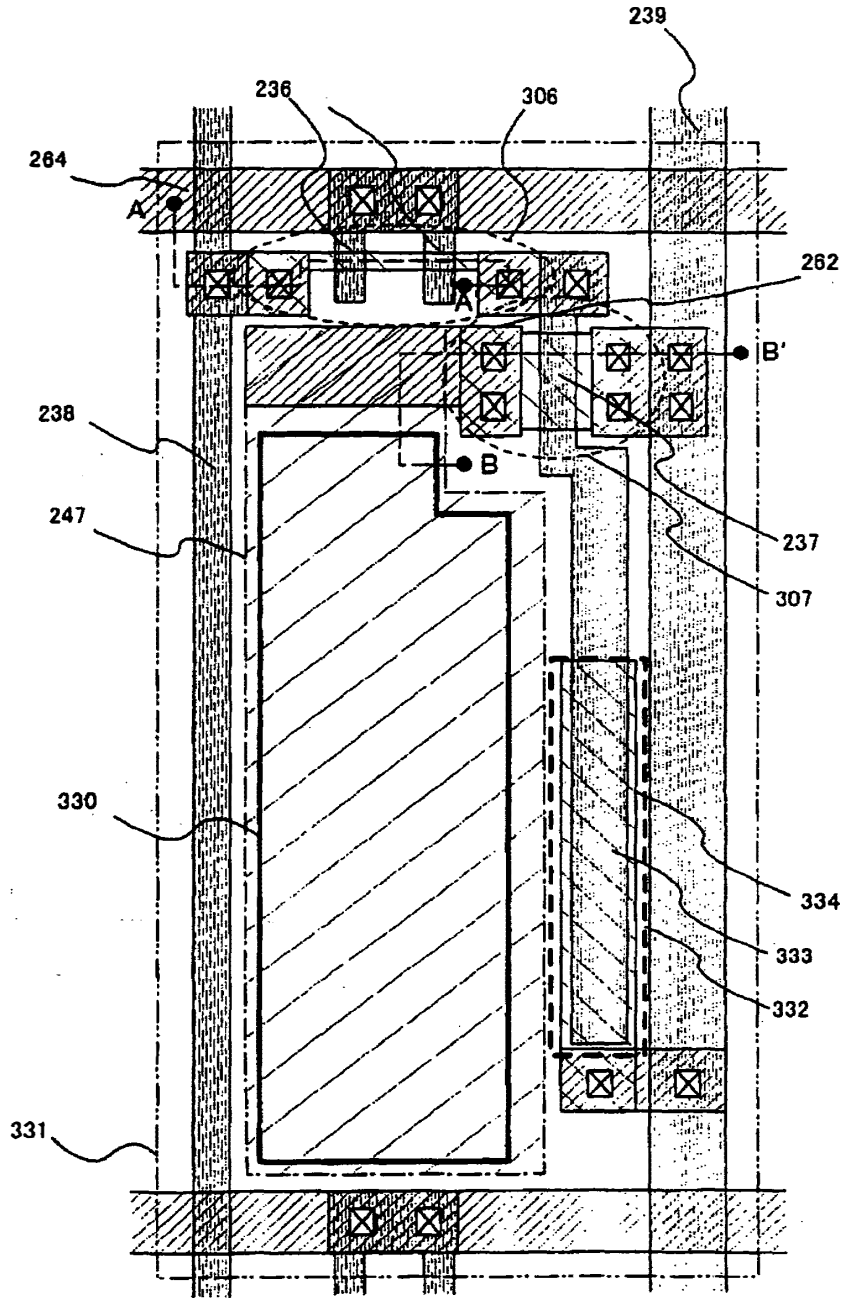


图 8

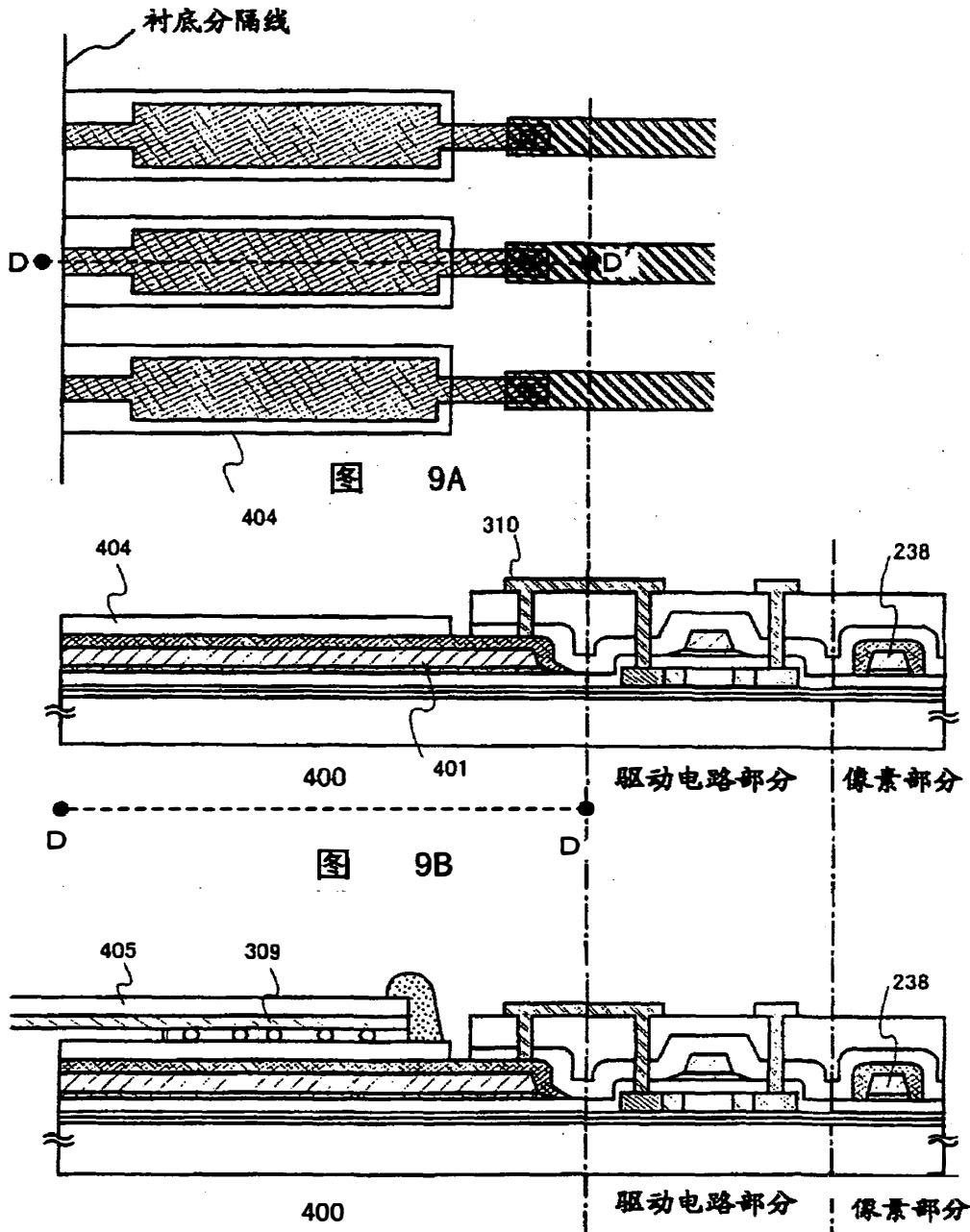


图 9C

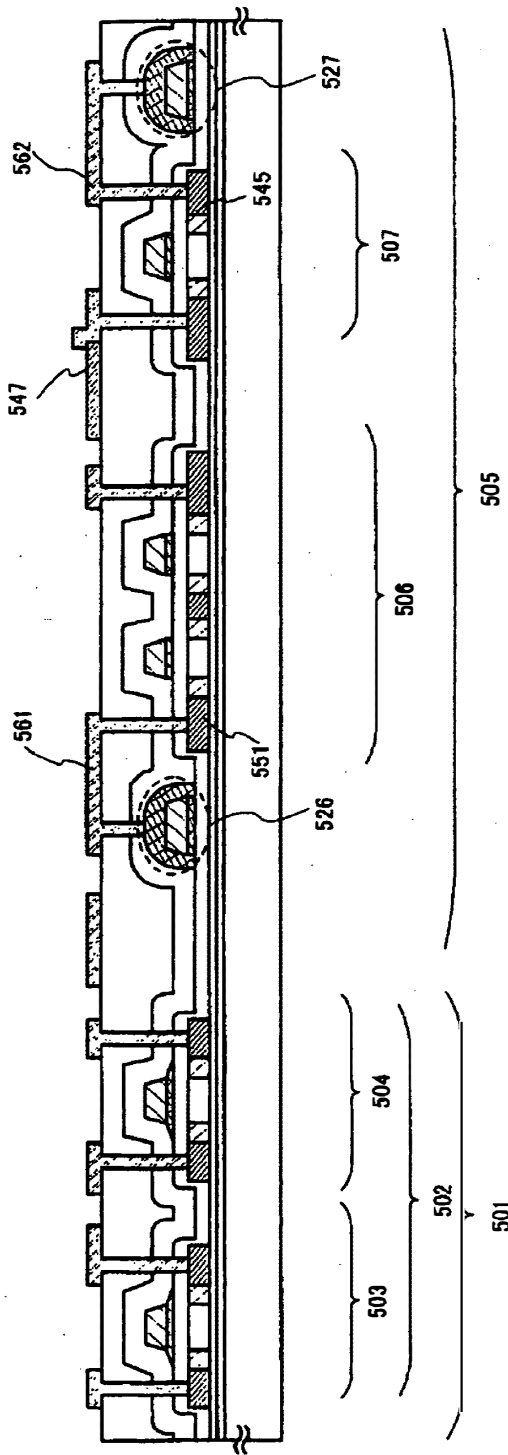


图 10

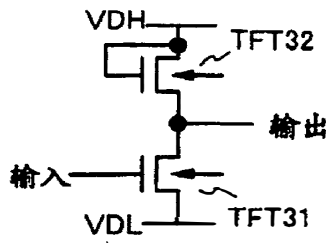


图 11A EEMOS电路

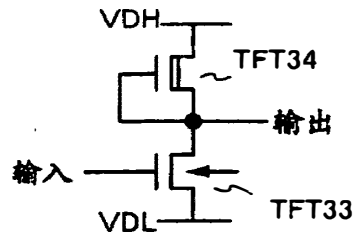


图 11B EDMOS电路

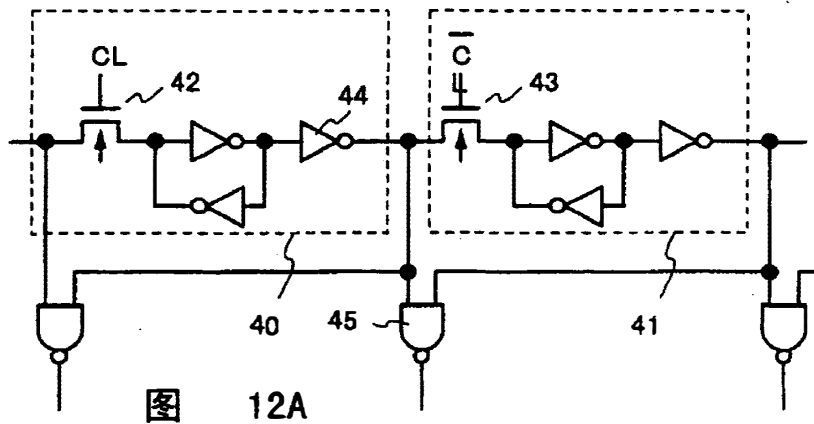


图 12A

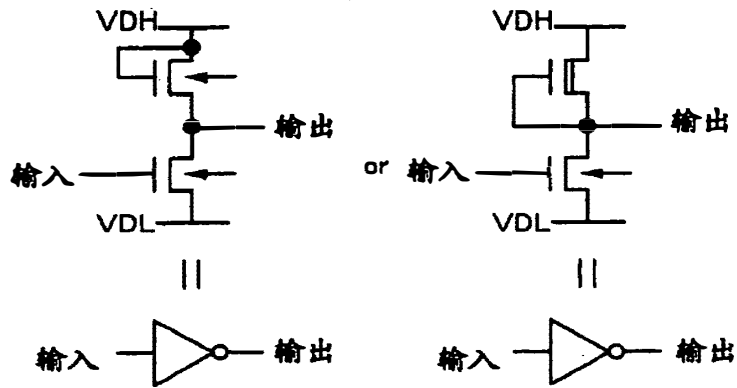


图 12B

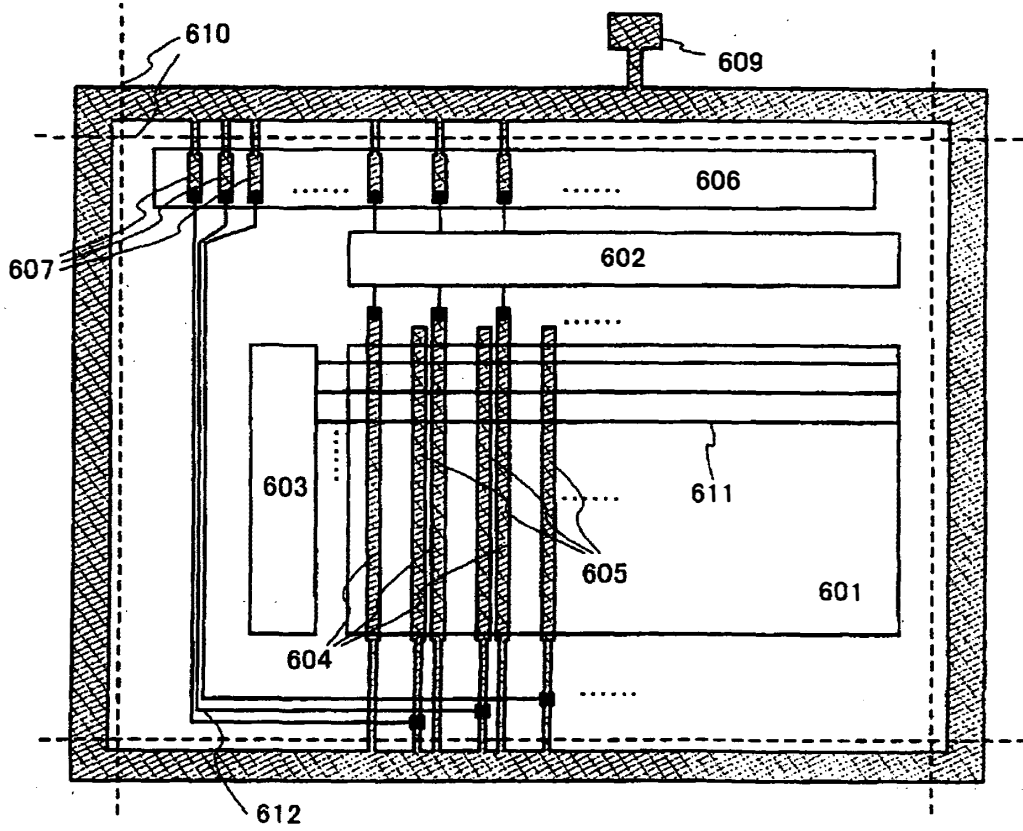


图 13

01.12.21

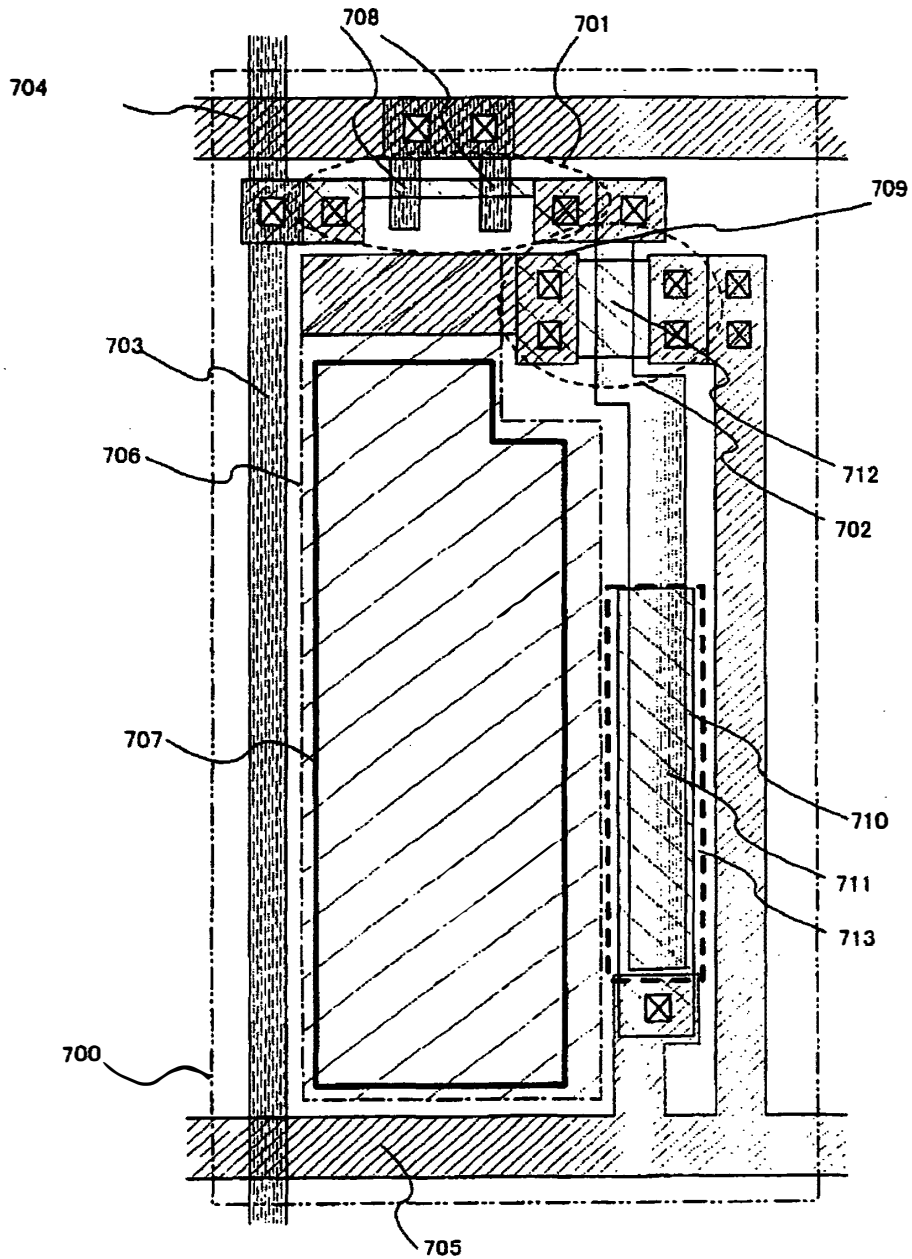


图 14

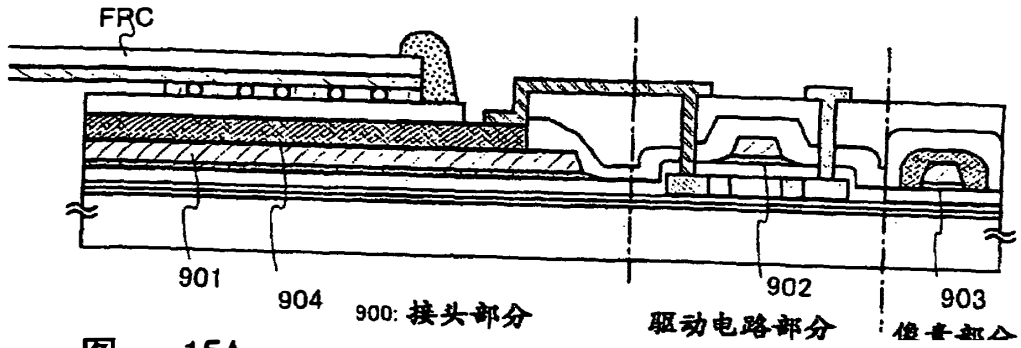


图 15A

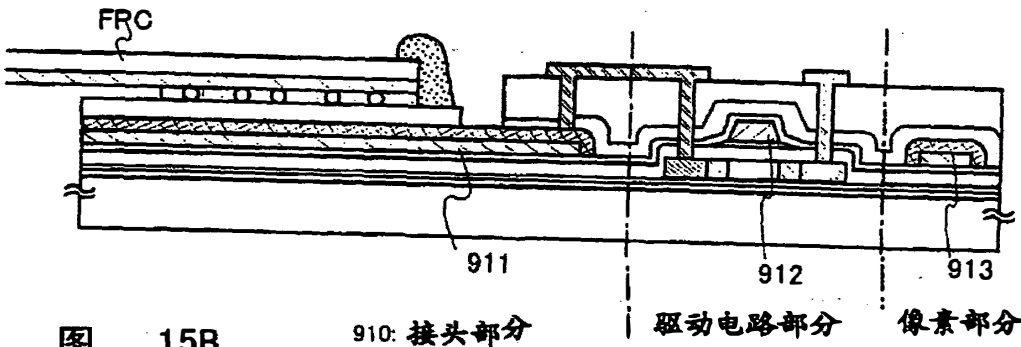


图 15B

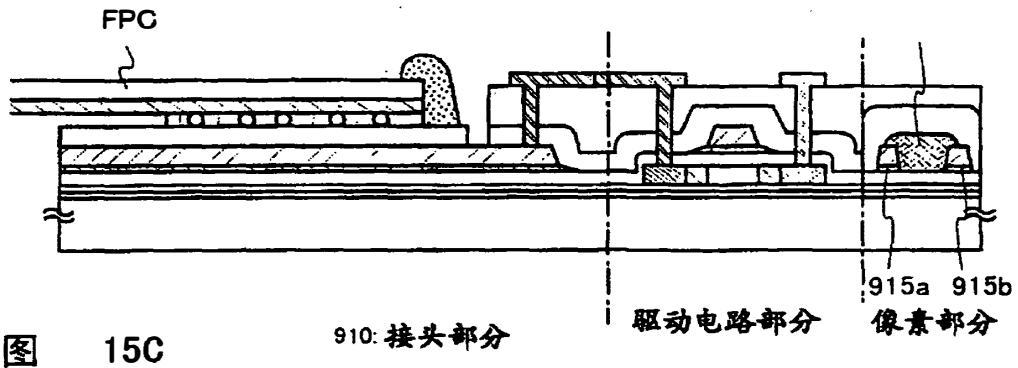


图 15C

15

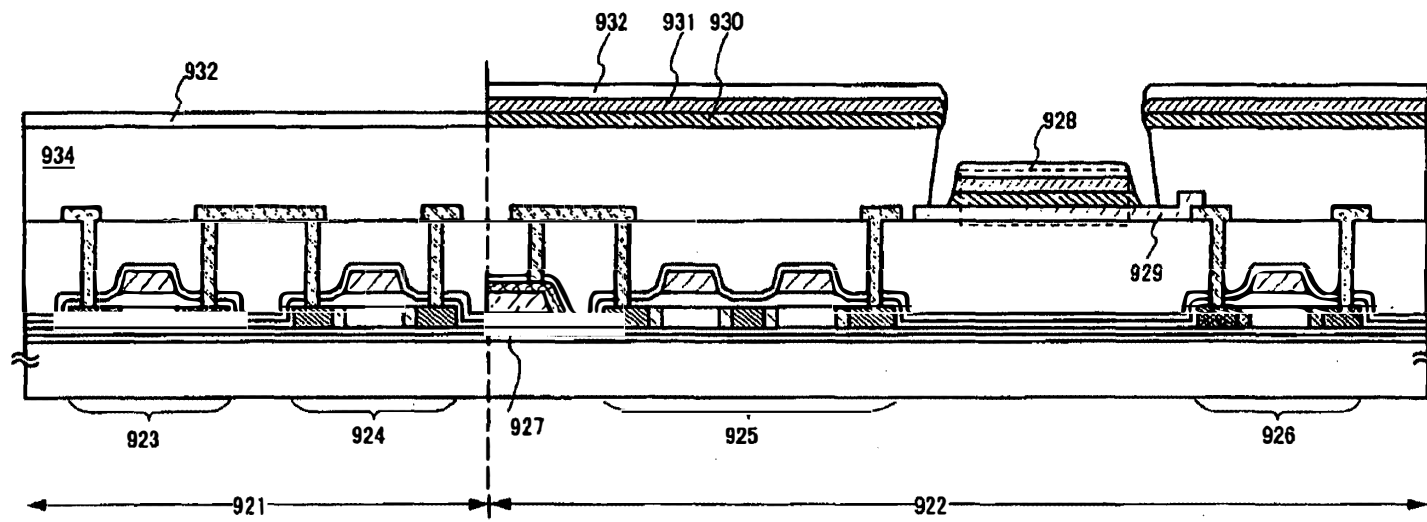


图 16

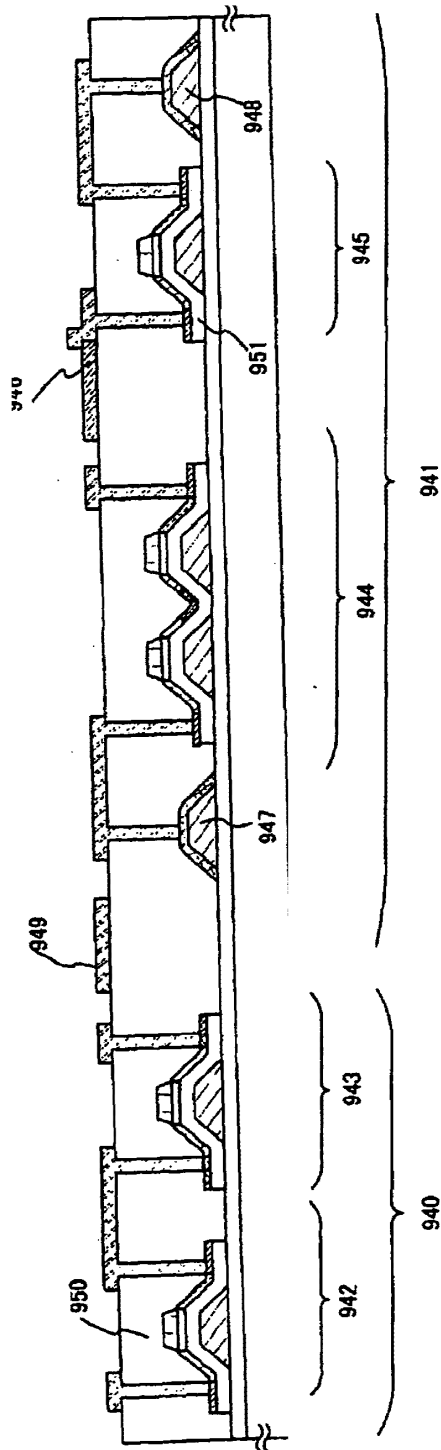


图 17

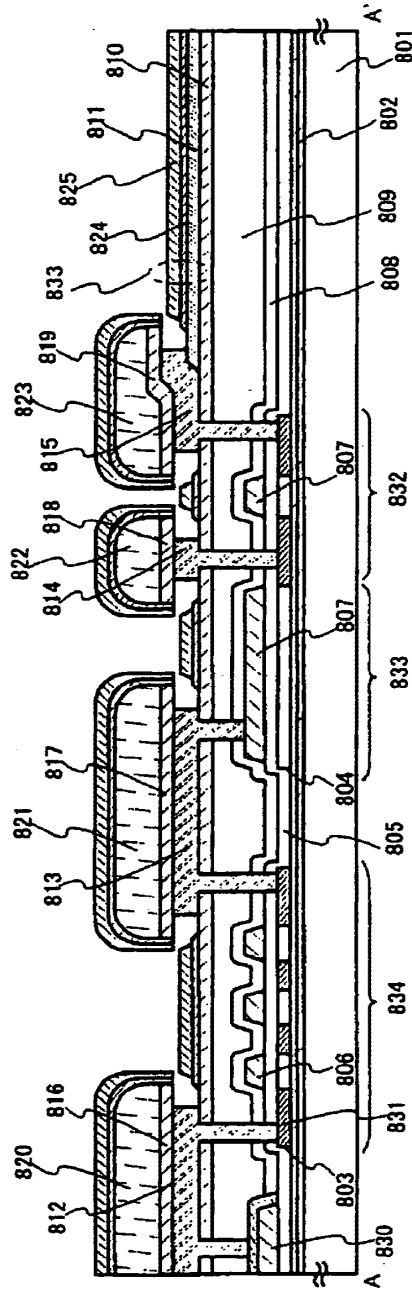


图 18

01.12.21

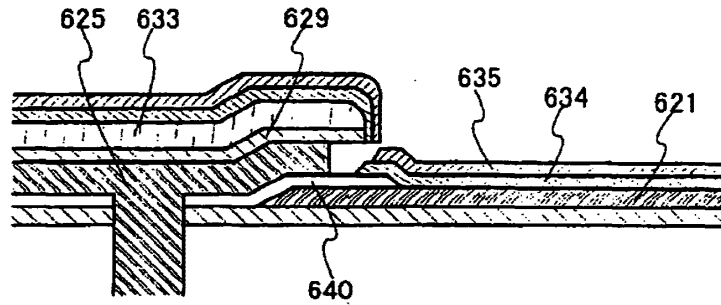


图 19

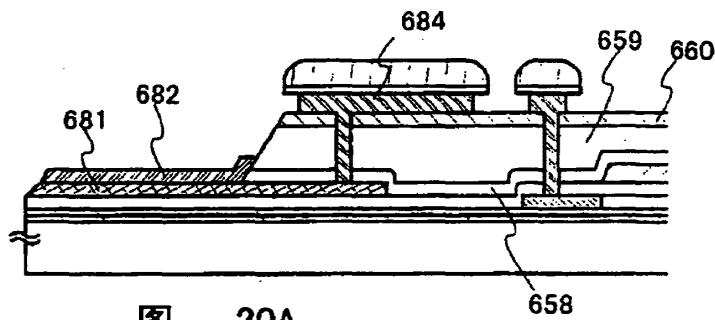


图 20A

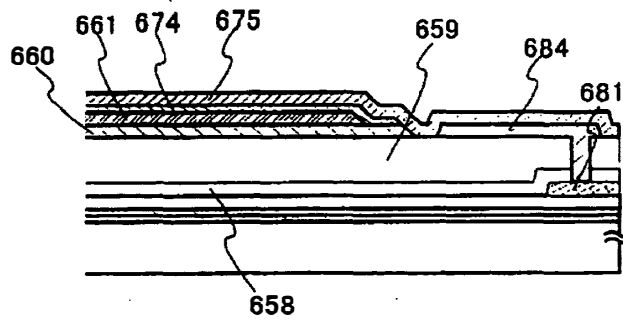


图 20B

01.19.21

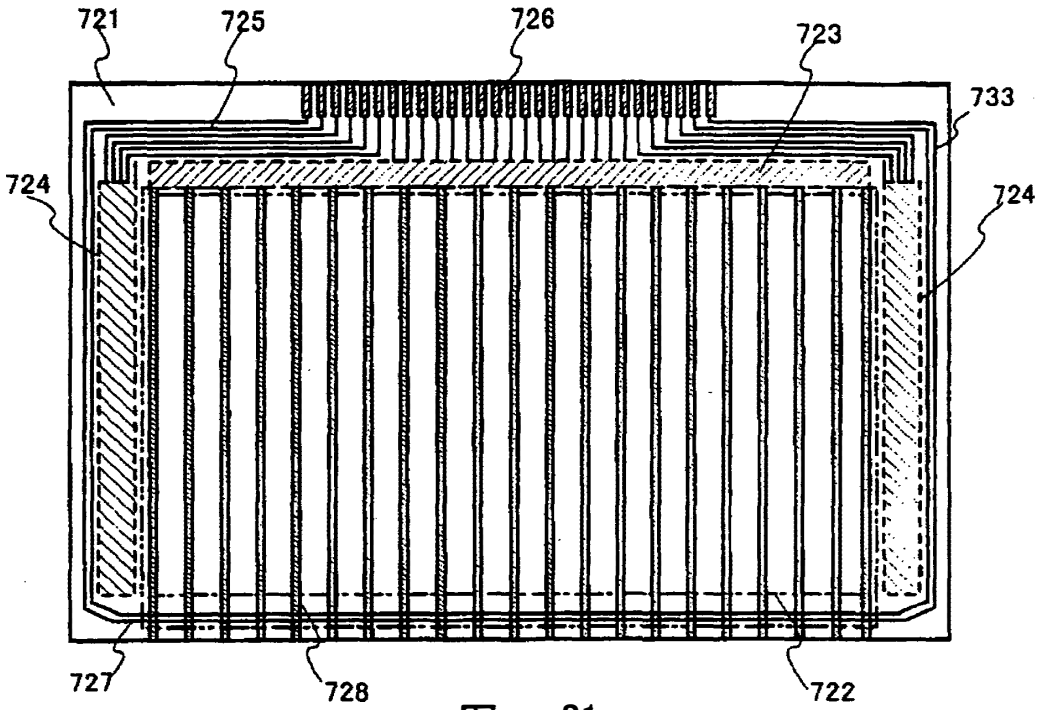


图 21

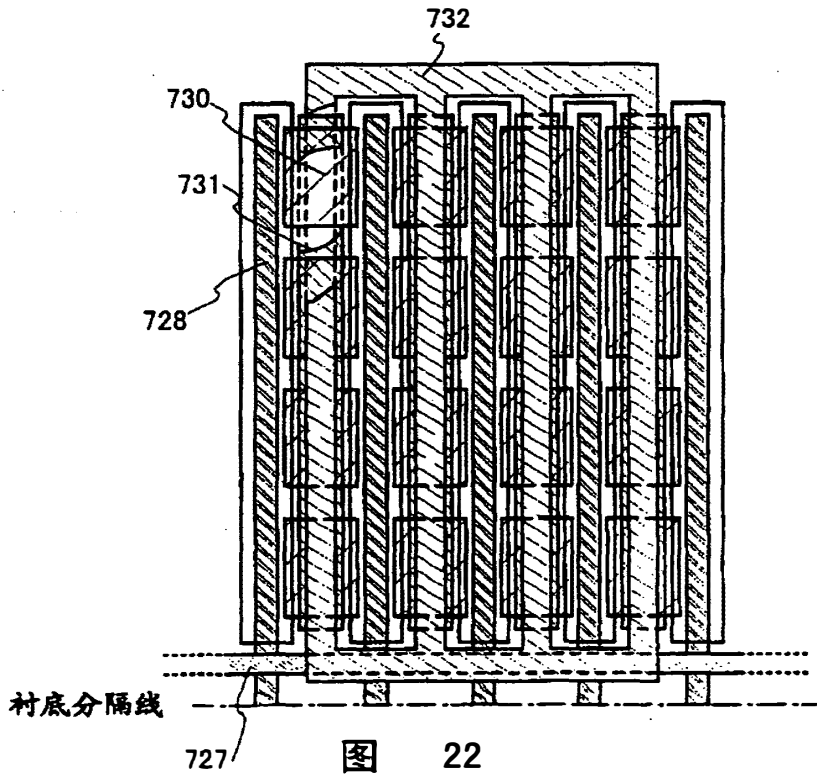


图 22

01.12.21

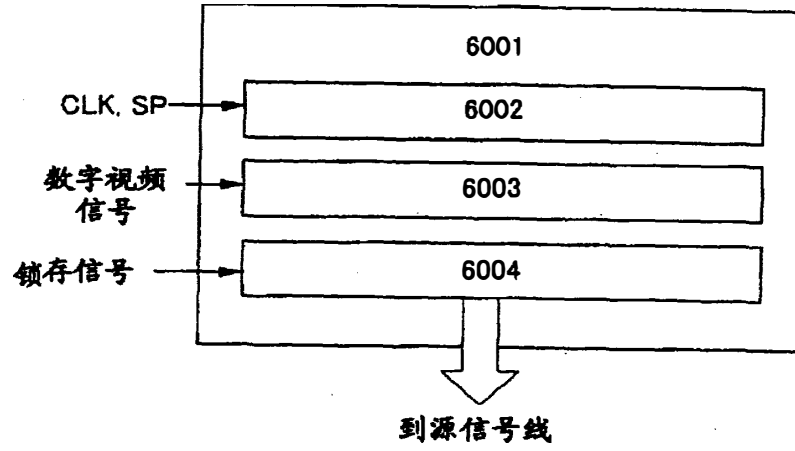


图 23A

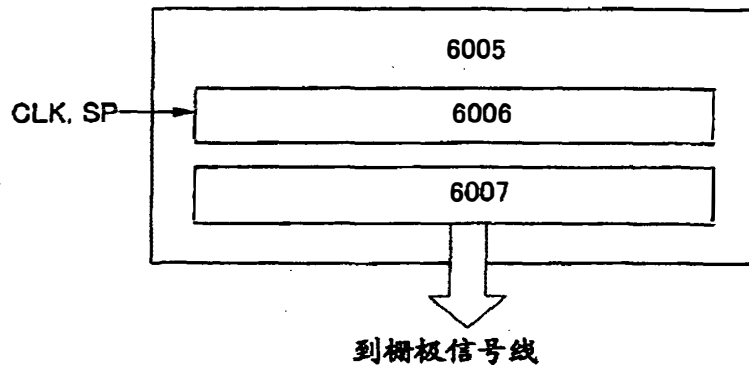


图 23B

01.10.21

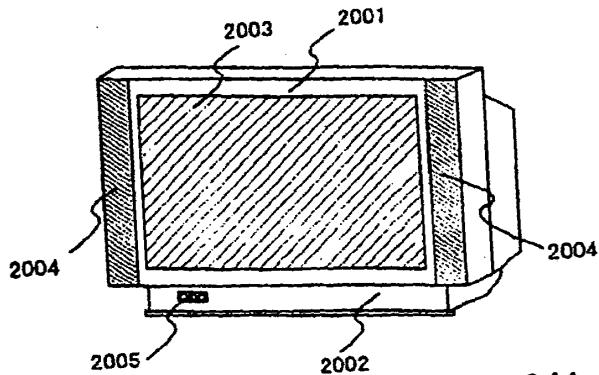


图 24A

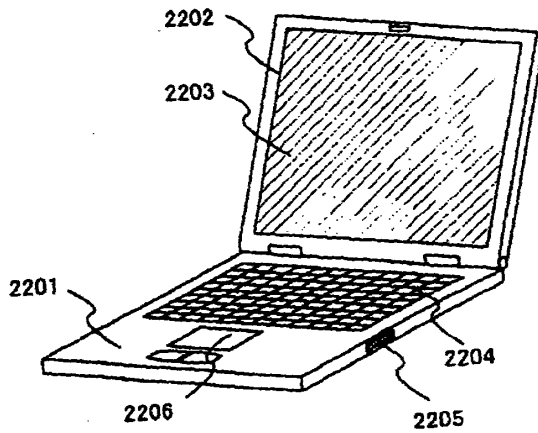


图 24B

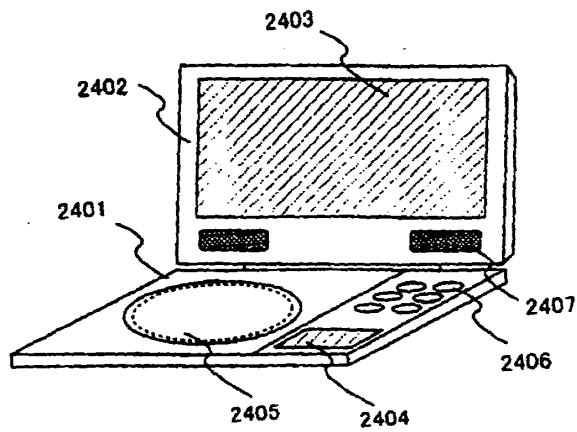


图 24C

22

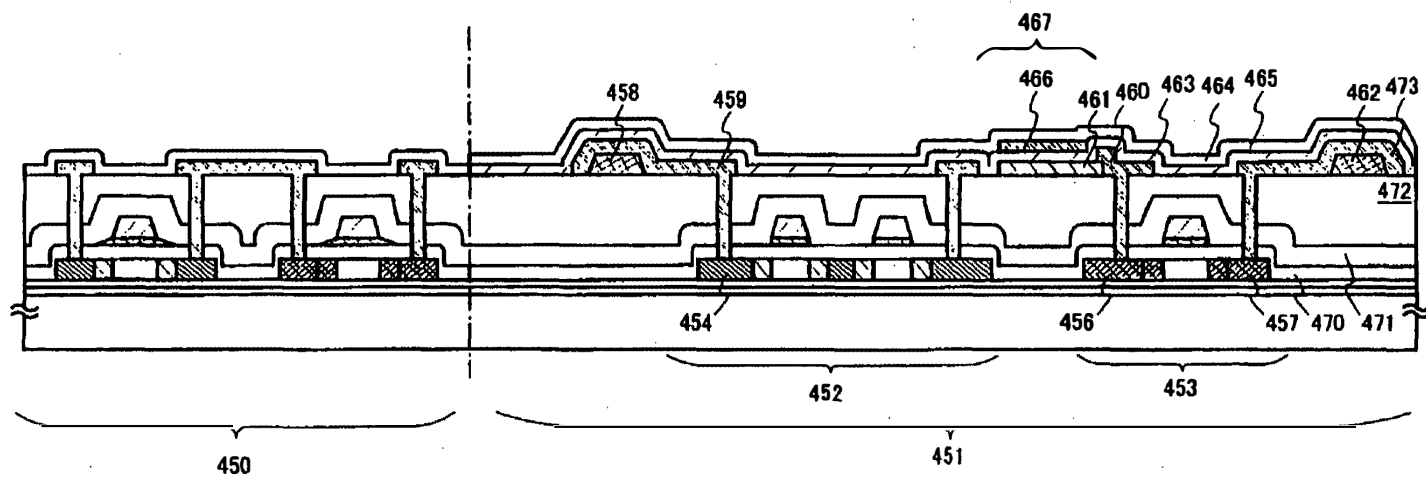
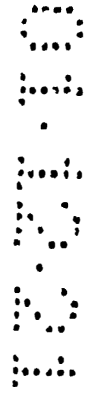


图 25



Attorney Docket No. 05621/LH

This paper is being
submitted via EFS-Web on
June 13, 2008

**IN THE UNITED STATES PATENT
AND TRADEMARK OFFICE**

Applicant(s) : Satoru SHIMODA, et al.
Serial No. : 11/232,368
Confirm. No. : 7953
Filed : September 21, 2005
For : TRANSISTOR ARRAY SUBSTRATE AND DISPLAY
PANEL
Art Unit : 2629
Examiner : SHALWALA, BIPIN H.

In the event that this Paper is late filed, and the necessary petition for extension of time is not filed concurrently herewith, please consider this as a Petition for the requisite extension of time, and to the extent not already paid, authorization to charge the extension fee to Account No. 06-1378. In addition, authorization is hereby given to charge any fees for which payment has not been submitted, or to credit any overpayments, to Account No. 06-1378.

**INFORMATION DISCLOSURE STATEMENT
WITH STATEMENT UNDER 37 C.F.R. 1.97(e)(1)**

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

S I R:

It is respectfully requested that the Examiner consider and make of record the document(s) listed on the attached Information Disclosure Statement form. Copy(ies) of the cited document(s), except for U.S. patent documents, is/are submitted herewith. English language abstracts and/or English translations or partial translations are provided for foreign language documents where indicated on the attached IDS form.

CITED DOCUMENTS

Documents listed on the attached IDS form were cited in an International Search Report (copy submitted herewith), or in a Search Report or Office Action (copy submitted herewith) issued in a counterpart foreign application.

Said Search Report or Office Action is in English or an English language translation of said Search Report or Office Action is submitted herewith, thereby satisfying the requirement for a concise explanation of relevance for any non-English language documents cited therein.

English language family members of cited foreign language documents are provided as follows:

USP 6,762,564 listed on the attached IDS Form is a patent family member of JP 2003-330387 which is cited in the Japanese Office Action dated April 30, 2008.

USP 6,864,639 listed on the attached IDS Form is a patent family member of JP 2004-101948 which is cited in said Japanese Office Action.

USP 7,317,429 listed on the attached IDS Form is a patent family member of JP 2003-195810 which is cited in said Japanese Office Action.

STATEMENT UNDER 37 CFR 1.97(e)



Each item of information contained in this Information Disclosure Statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of this Information Disclosure Statement. (37 CFR 1.97(e)(1))

FEES



No fee is believed to be required.

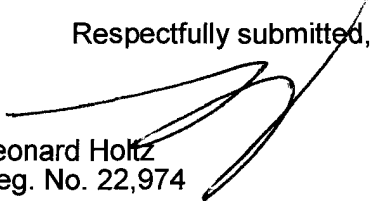


The fee of \$180 set forth in 37 CFR 1.17(p) is being paid by credit card herewith.



Authorization is hereby given to charge any fee which is determined to be required and for which payment has not been submitted, and to credit any overpayment, to Account No. 06-1378.

Respectfully submitted,


Leonard Holtz
Reg. No. 22,974

Frishauf, Holtz, Goodman & Chick, P.C.
220 Fifth Avenue, 16th Floor
New York, NY 10001-7708
Tel. No. (212) 319-4900
Fax. No. (212) 319-5101
LH:djh
encs.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT				Application Number	11/232,368			
				Filing Date	September 21, 2005			
				First Named Inventor	Satoru SHIMODA			
				Group Art Unit	2629			
				Examiner Name	SHALWALA, BIPIN H.			
Sheet	1	of	1	Attorney Docket Number	05621/LH			
U.S. PATENT DOCUMENTS								
Examiner Initials*	Cite No.	Document Number	Kind Code	Patentee or Applicant	Publication Date (MM-DD-YYYY)			
		6,762,564	B2	Noguchi et al	07-13-2004			
		6,864,639	B2	Ito	03-08-2005			
		7,317,429	B2	Shirasaki et al	01-08-2008			
FOREIGN PATENT DOCUMENTS								
Examiner Initials*	Cite No.	Country Code	Document Number	Kind Code	Patentee or Applicant	Publication Date (MM-DD-YYYY)	Translation	
							Yes	Abstract Only
		JP	2000-349298	A		12-15-2000		
		JP	2003-133079	A		05-08-2003		
		JP	2003-195810	A	Casio Computer Co. Ltd.	07-09-2003		
		JP	2003-330387	A	Sanyo Electric Co.	11-19-2003		
		JP	2004-101948	A	Dainippon Printing Co. Ltd.	04-02-2004		
OTHER DOCUMENTS								
Examiner Initials*	Cite No.	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.						
		Copy of a Japanese Office Action (and English translation thereof) dated April 30, 2008, issued in a counterpart Japanese Application.						
Examiner Signature					Date Considered			

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

DATE MAILED OR TRANSMITTED: **June 13, 2008**

JP2000349298

Publication Title:

ELECTROOPTIC DEVICE AND MANUFACTURE THEREOF

Abstract:

Abstract of JP2000349298

PROBLEM TO BE SOLVED: To provide an electrooptic device which can operate highly efficiently and highly reliably. **SOLUTION:** In an n-channel TFT 302, forming a drive circuit of a TFT structure which is resistant to hot carrier injection, is realized by arranging an Lov region 207 in the TFT 302. In an n-channel TFT 304 forming a pixel section, in addition a TFT structure which has a low off current value is realized by arranging Loff areas 217-220 in the TFT 304. In this case, wiring resistances of input/output signal wiring 305 and gate wiring 306 are reduced by forming the wiring 305 and 306 in a laminated wiring, in which first wiring and second wiring having a resistivity lower than that of the first wiring are laminated upon another.

Data supplied from the esp@cenet database - Worldwide

Courtesy of <http://v3.espacenet.com>

(51) Int.Cl. ⁷	識別記号	F I	テ-71-ト*(参考)	
H 0 1 L	29/786	H 0 1 L	29/78	6 1 6 A
	21/336	G 0 9 F	9/30	3 3 8
G 0 2 F	1/1368	G 0 2 F	1/136	5 0 0
G 0 9 F	9/30	H 0 1 L	21/88	R
H 0 1 L	21/3205		29/78	6 1 2 B

審査請求 未請求 請求項の数18 O L (全 27 頁) 最終頁に続く

(21) 出願番号 特願2000-75017(P2000-75017)
 (22) 出願日 平成12年3月17日(2000.3.17)
 (31) 優先権主張番号 特願平11-84736
 (32) 優先日 平成11年3月26日(1999.3.26)
 (33) 優先権主張国 日本 (J P)

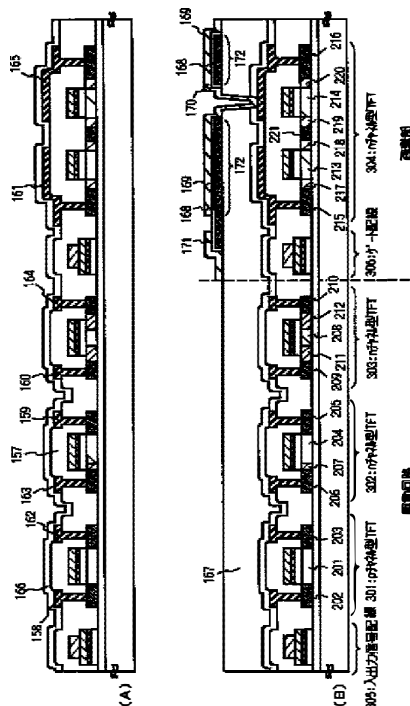
(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社半
 導体エネルギー研究所内
 (72) 発明者 小山 潤
 神奈川県厚木市長谷398番地 株式会社半
 導体エネルギー研究所内

(54) 【発明の名称】 電気光学装置およびその作製方法

(57) 【要約】

【課題】 動作性能および信頼性の高い電気光学装置およびその作製方法を提供する。

【解決手段】 駆動回路を形成するnチャンネル型TFT 302にはLov領域207が配置され、ホットキャリア注入に強いTFT構造が実現される。また、画素部を形成するnチャンネル型TFT 304にはLoff領域217~220が配置され、低オフ電流値のTFT構造が実現される。この時、入出力信号配線305、ゲート配線306は第1配線と該第1配線よりも抵抗率の低い第2配線とが積層された配線で形成され、配線抵抗が大幅に低減されている。



【特許請求の範囲】

【請求項1】同一基板上に画素部及び駆動回路を含む電気光学装置において、

前記駆動回路のnチャンネル型TFTのLDD領域は、一部または全部が該nチャンネル型TFTのゲート電極とゲート絶縁膜を挟んで重なり、

前記画素部の画素TFTのLDD領域は、該画素TFTのゲート電極とゲート絶縁膜を挟んで重ならず、

前記画素TFTのゲート電極と同一層で且つ同一材料からなる第1配線に該第1配線よりも抵抗率の低い第2配線が積層された配線を含むことを特徴とする電気光学装置。

【請求項2】請求項1において、前記駆動回路のnチャンネル型TFTのLDD領域には、前記画素TFTのLDD領域に比べて2～10倍の濃度でn型不純物元素が含まれることを特徴とする電気光学装置。

【請求項3】請求項1において、前記駆動回路のnチャンネル型TFTのLDD領域には $2 \times 10^{16} \sim 5 \times 10^{19}$ atoms/cm²の濃度範囲でn型不純物元素が含まれ、前記画素TFTのLDD領域には $1 \times 10^{16} \sim 5 \times 10^{18}$ atoms/cm²の濃度範囲でn型不純物元素が含まれていることを特徴とする電気光学装置。

【請求項4】同一基板上に画素部及び駆動回路を含む電気光学装置において、

前記駆動回路には、LDD領域の全部がゲート電極とゲート絶縁膜を挟んで重なる第1nチャンネル型TFT及びLDD領域の一部がゲート電極とゲート絶縁膜を挟んで重なる第2nチャンネル型TFTが含まれ、

前記画素部を形成する画素TFTのLDD領域は、該画素TFTのゲート電極とゲート絶縁膜を挟んで重ならず、

前記画素TFTのゲート電極と同一層で且つ同一材料からなる第1配線に該第1配線よりも抵抗率の低い第2配線が積層された配線を含むことを特徴とする電気光学装置。

【請求項5】請求項4において、前記第1nチャンネル型TFTのLDD領域および/または前記第2nチャンネル型TFTのLDD領域には、前記画素TFTのLDD領域に比べて2～10倍の濃度でn型不純物元素が含まれることを特徴とする電気光学装置。

【請求項6】請求項4において、前記第1nチャンネル型TFTのLDD領域および/または前記第2nチャンネル型TFTのLDD領域には $2 \times 10^{16} \sim 5 \times 10^{19}$ atoms/cm²の濃度範囲でn型不純物元素が含まれ、前記画素TFTのLDD領域には $1 \times 10^{16} \sim 5 \times 10^{18}$ atoms/cm²の濃度範囲でn型不純物元素が含まれていることを特徴とする電気光学装置。

【請求項7】請求項1または請求項4において、前記第1配線に該第1配線よりも抵抗率の低い第2配線が積層された配線とは入出力信号配線またはゲート配線である

ことを特徴とする電気光学装置。

【請求項8】請求項1または請求項4において、前記第2配線の抵抗率は前記第1配線の抵抗率の $1/10 \sim 1/100$ 倍であることを特徴とする電気光学装置。

【請求項9】請求項1または請求項4において、前記第1配線の抵抗率は $10 \sim 500 \mu\Omega\text{cm}$ であり、前記第2配線の抵抗率は $0.1 \sim 10 \mu\Omega\text{cm}$ であることを特徴とする電気光学装置。

【請求項10】請求項1または請求項4において、前記第1配線はタンタル、チタン、モリブデン、タングステン、クロム、ニオブもしくはシリコンを含む配線であり、

前記第2配線はアルミニウム、銅もしくは銀を含む配線であることを特徴とする電気光学装置。

【請求項11】請求項1または請求項4において、前記画素TFTのチャンネル形成領域と前記画素TFTのLDD領域との間にオフセット領域を含むことを特徴とする電気光学装置。

【請求項12】請求項1乃至請求項11において、前記画素部にEL素子を含むことを特徴とする電気光学装置。

【請求項13】請求項1乃至請求項11に記載の電気光学装置を表示部として用いたことを特徴とする電気器具。

【請求項14】同一基板上に画素部及び駆動回路を含む電気光学装置の作製方法において、

基板上に結晶を含む半導体膜を形成する第1工程と、前記結晶を含む半導体膜にp型不純物元素を添加してp型不純物領域(b)を形成する第2工程と、

前記結晶を含む半導体膜の前記駆動回路のnチャンネル型TFTとなる領域にn型不純物元素を添加し、n型不純物領域(b)を形成する第3工程と、

前記第3工程まで終了した結晶を含む半導体膜をパターンニングして活性層を形成する第4工程と、

前記活性層の上にゲート絶縁膜を形成する第5工程と、前記ゲート絶縁膜の上に導電膜を形成する第6工程と、

前記導電膜をパターンニングして第1配線を形成する第7工程と、

前記第1配線をマスクとして前記活性層にn型不純物元素を添加し、n型不純物領域(c)を形成する第8工程と、

前記nチャンネル型TFTの活性層にn型不純物元素を添加し、n型不純物領域(a)を形成する第9工程と、

前記pチャンネル型TFTの活性層にp型不純物元素を添加し、p型不純物領域(a)を形成する第10工程と、

加熱処理により前記p型不純物領域(a)、前記p型不純物領域(b)、前記n型不純物領域(a)、前記n型不純物領域(b)および前記n型不純物領域(c)に添加された不純物元素を活性化する第11工程と、前記第1配線の上に第2配線を積層する第12工程と、

を含むことを特徴とする電気光学装置の作製方法。

【請求項15】同一基板上に画素部及び駆動回路を含む電気光学装置の作製方法において、

基板上に結晶を含む半導体膜を形成する第1工程と、前記結晶を含む半導体膜に対して第1光アニールを行う第2工程と、

前記結晶を含む半導体膜にp型不純物元素を添加してp型不純物領域(b)を形成する第3工程と、

前記結晶を含む半導体膜の前記駆動回路のnチャンネル型TFTとなる領域にn型不純物元素を添加し、n型不純物領域(b)を形成する第4工程と、

前記第4工程まで終了した結晶を含む半導体膜に対して第2光アニールを行う第5工程と、

前記第5工程まで終了した結晶を含む半導体膜をパターンニングして活性層を形成する第6工程と、

前記活性層の上にゲート絶縁膜を形成する第7工程と、前記ゲート絶縁膜の上に導電膜を形成する第8工程と、

前記導電膜をパターンニングして第1配線を形成する第9工程と、

前記第1配線をマスクとして前記活性層にn型不純物元素を添加し、n型不純物領域(c)を形成する第10工程と、

前記第1配線をマスクとして前記ゲート絶縁膜をエッチングする第11工程と、

前記nチャンネル型TFTの活性層にn型不純物元素を添加し、n型不純物領域(a)を形成する第12工程と、

前記pチャンネル型TFTの活性層にp型不純物元素を添加し、p型不純物領域(a)を形成する第13工程と、

加熱処理により前記p型不純物領域(a)、前記p型不純物領域(b)、前記n型不純物領域(a)、前記n型不純物領域(b)および前記n型不純物領域(c)に添加された不純物元素を活性化する第14工程と、

前記第1配線の上に第2配線を積層する第15工程と、を含むことを特徴とする電気光学装置の作製方法。

【請求項16】請求項14または請求項15において、前記第2配線として抵抗率が前記第1配線の抵抗率の $1/10 \sim 1/100$ 倍である配線が形成されることを特徴とする電気光学装置の作製方法。

【請求項17】請求項14または請求項15において、前記第1配線の材料として抵抗率が $10 \sim 500 \mu\Omega\text{cm}$ の材料を用い、前記第2配線の材料として抵抗率が $0.1 \sim 10 \mu\Omega\text{cm}$ である材料を用いることを特徴とする電気光学装置の作製方法。

【請求項18】請求項14または請求項15において、前記第1配線としてタンタル、チタン、モリブデン、タングステン、クロム、ニオブもしくはシリコンを含む配線が形成され、

前記第2配線としてアルミニウム、銅もしくは銀を含む配線が形成されることを特徴とする電気光学装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は絶縁表面を有する基板上に薄膜トランジスタ(以下、TFTという)で形成された回路を有する半導体装置およびその作製方法に関する。特に本発明は、画素部とその周辺に設けられる駆動回路を同一基板上に設けた液晶表示装置、EL(エレクトロルミネッセンス)表示装置に代表される電気光学装置、および電気光学装置を表示部に用いた電気器具(電子機器ともいう)に関する。

【0002】尚、本願明細書において半導体装置とは、半導体特性を利用することで機能する装置全般を指し、上記電気光学装置およびその電気光学装置を表示部に用いた電気器具も半導体装置に含まれる。

【0003】

【従来の技術】絶縁表面を有する基板上にTFTで形成した大面積集積回路を有する半導体装置の開発が進んでいる。アクティブマトリクス型液晶表示装置、EL表示装置、および密着型イメージセンサはその代表例として知られている。特に、結晶質シリコン膜(典型的にはポリシリコン膜)を活性層にしたTFT(以下、ポリシリコンTFTと記す)は電界効果移動度が高いことから、いろいろな機能回路を形成することも可能である。

【0004】例えば、アクティブマトリクス型液晶表示装置には、機能ブロックごとに画像表示を行う画素部や、CMOS回路を基本としたシフトレジスタ、レベルシフト、バッファ、サンプリング回路などの集積回路が一枚の基板上に形成される。また、密着型イメージセンサでは、サンプルホールド回路、シフトレジスタ、マルチプレクサ回路などの画素部を制御するための駆動回路がTFTを用いて形成されている。

【0005】これらの駆動回路はそれぞれにおいて動作条件が必ずしも同一でないので、当然TFTに要求される特性も少なからず異なっている。画素部においては、スイッチ素子として機能する画素TFTと補助の保持容量を設けた構成であり、液晶に電圧を印加して駆動させるものである。ここで、液晶は交流で駆動させる必要があり、フレーム反転駆動と呼ばれる方式が多く採用されている。従って、要求されるTFTの特性はオフ電流値(TFTがオフ動作時に流れるドレイン電流値)を十分低くさせておく必要があった。また、バッファは高い駆動電圧が印加されるため、高電圧がかかっても壊れない程度にまで耐圧を高めておく必要があった。また電流駆動能力を高めるために、オン電流値(TFTがオン動作時に流れるドレイン電流値)を十分確保する必要があった。

【0006】しかし、ポリシリコンTFTのオフ電流値は高くなりやすいといった問題点がある。また、ICなどで使われるMOSトランジスタと同様にポリシリコンTFTにはオン電流値の低下といった劣化現象が観測さ

れる。主たる原因はホットキャリア注入であり、ドレイン近傍の高電界によって発生したホットキャリアが劣化現象を引き起こすものと考えられている。

【0007】オフ電流値を低減するためのTFTの構造として、低濃度ドレイン(LDD:Lightly Doped Drain)構造が知られている。この構造はチャンネル形成領域と、高濃度に不純物が添加されるソース領域またはドレイン領域との間に低濃度の不純物領域を設けたものであり、この低濃度不純物領域はLDD領域と呼ばれている。

【0008】また、ホットキャリア注入によるオン電流値の劣化を防ぐための構造として、いわゆるGOLD(Gate-drain Overlapped LDD)構造が知られている。この構造は、LDD領域がゲート絶縁膜を介してゲート配線と重なるように配置されているため、ドレイン近傍のホットキャリア注入を防ぎ、信頼性を向上させるのに有効である。例えば、「Mutsuko Hatano,Hajime Akimoto and Takeshi Sakai,IEDM97 TECHNICAL DIGEST, p523-526,1997」では、シリコンで形成したサイドウォールによるGOLD構造を開示しているが、他の構造のTFTと比べ、きわめて優れた信頼性が得られることが確認されている。

【0009】また、アクティブマトリクス型液晶表示装置の画素部には、数十から数百万個の各画素にTFTが配置され、そのTFTのそれぞれには画素電極が設けられている。液晶を挟んだ対向基板側には対向電極が設けられており、液晶を誘電体とした一種のコンデンサを形成している。そして、各画素に印加する電圧をTFTのスイッチング機能により制御して、このコンデンサへの電荷を制御することで液晶を駆動し、透過光量を制御して画像を表示する仕組みになっている。

【0010】ところが、このコンデンサはオフ電流値等に起因するリーク電流により次第にその蓄積容量が減少するため、透過光量が変化して画像表示のコントラストを低下させる原因となっていた。そこで、従来では容量配線を設けて、液晶を誘電体とするコンデンサとは別のコンデンサ(保持容量)を並列に設け、液晶を誘電体とするコンデンサが損失する容量を補っていた。

【0011】

【発明が解決しようとする課題】しかしながら、画素部の画素TFTと、シフトレジスタやバッファなどの駆動回路のTFTとは、その要求される特性は必ずしも同じではない。例えば、画素TFTにおいては、ゲート配線に大きな逆バイアス(nチャンネル型TFTであればマイナス)電圧が印加されるが、駆動回路のTFTは基本的に逆バイアス電圧が印加されて動作されることはない。また、前者の動作速度は後者の1/100以下で良い。

【0012】また、GOLD構造は確かにオン電流値の劣化を防ぐ効果は高いが、反面、通常のLDD構造に比

べてオフ電流値が大きくなってしまいう問題があった。従って、特に画素TFTにとっては好ましい構造とは言えなかった。逆に通常のLDD構造はオフ電流値を抑える効果は高いが、ホットキャリア注入には弱いことが知られていた。

【0013】このように、アクティブマトリクス型液晶表示装置のような複数の集積回路を有する電気光学装置において、全てのTFTを同じ構造で形成することは必ずしも好ましくなかった。

【0014】さらに、従来例に示したように画素部に容量配線を用いた保持容量を形成して十分な容量を確保しようとする、開口率(一画素の面積に対して画像表示が可能な面積の割合)を犠牲にしなければならなかった。特に、プロジェクター型表示装置に用いられるような小型の高精細パネルでは、一個当たりの画素面積も小さいため、容量配線による開口率の低下は問題となっていた。

【0015】本発明はこのような課題を解決するための技術であり、電気光学装置の駆動回路や画素部に配置されるTFTの構造を、その機能に応じて適切なものとするにより、電気光学装置の動作性能および信頼性を向上させることを目的とする。また、そのような電気光学装置を実現するための作製方法を提供することを課題とする。

【0016】また、他の目的として画素部を有する電気光学装置において、画素に設けられる保持容量の面積を縮小し、開口率を向上させるための構造を提供することを目的とする。また、そのような画素部の作製方法を提供する。

【0017】

【課題を解決するための手段】上記問題点を解決するために本発明の構成は、同一基板上に画素部及び駆動回路を含む電気光学装置において、前記駆動回路のnチャンネル型TFTのLDD領域は、一部または全部が該nチャンネル型TFTのゲート電極とゲート絶縁膜を挟んで重なり、前記画素部の画素TFTのLDD領域は、該画素TFTのゲート電極とゲート絶縁膜を挟んで重ならず、前記画素TFTのゲート電極と同一層で且つ同一材料からなる第1配線に該第1配線よりも抵抗率の低い第2配線が積層された配線を含むことを特徴とする。

【0018】また、上記構成に加えて、前記画素部の保持容量を有機樹脂膜の上に設けられた遮蔽膜、該遮蔽膜の酸化物および画素電極で形成しても良い。こうすることで非常に小さい面積で保持容量を形成することができるため、画素の開口率を向上させることができる。

【0019】また、本発明の他の構成は、同一基板上に画素部及び駆動回路を含む電気光学装置において、前記駆動回路には、LDD領域の全部がゲート電極とゲート絶縁膜を挟んで重なる第1nチャンネル型TFT及びLDD領域の一部がゲート電極とゲート絶縁膜を挟んで重なり

る第2 nチャンネル型TFTが含まれ、前記画素部を形成する画素TFTのLDD領域は、該画素TFTのゲート電極とゲート絶縁膜を挟んで重ならず、前記画素TFTのゲート電極と同一層で且つ同一材料からなる第1配線に該第1配線よりも抵抗率の低い第2配線が積層された配線を含むことを特徴とする。勿論、画素部の保持容量を有機樹脂膜の上に設けられた遮蔽膜、該遮蔽膜の酸化物および画素電極で形成しても良い。

【0020】なお、上記構成において、前記駆動回路のnチャンネル型TFTのLDD領域には、前記画素TFTのLDD領域に比べて好ましくは2~10倍の濃度でn型不純物元素を含ませておけば良い。また、前記第1のnチャンネル型TFTはチャンネル形成領域の片側（好ましくはドレイン側）にLDD領域を配置し、前記第2のnチャンネル型TFTはチャンネル形成領域の両側（チャンネル形成領域を挟んだ両側）にLDD領域を配置しても良い。

【0021】また、上記構成において、前記第2配線の抵抗率は前記第1配線の抵抗率の1/10~1/100倍とすることが好ましい。具体的には、前記第1配線の抵抗率は10~500 $\mu\Omega\text{cm}$ とし、前記第2配線の抵抗率は0.1~10 $\mu\Omega\text{cm}$ とすれば良い。

【0022】そのような条件を満たすには、第1配線としてタンタル、チタン、モリブデン、タングステン、クロム、ニオブもしくはシリコンを含む配線を用い、第2配線としてアルミニウム、銅もしくは銀を含む配線を用いれば良い。

【0023】なお、本明細書においてタンタル、チタン、モリブデン、タングステン、クロム、ニオブもしくはシリコンを含む配線とは、タンタル配線、チタン配線、モリブデン配線、タングステン配線、クロム配線、ニオブ配線、シリコン配線、窒化タンタル配線、窒化チタン配線、窒化モリブデン配線、窒化タングステン配線、窒化ニオブ配線またはタンタル、チタン、モリブデン、タングステン、クロム、ニオブもしくはシリコンのいずれか二つ以上の元素を含む合金からなる配線を指す。また、これらの配線を積層した配線も含まれる。

【0024】また、本明細書においてアルミニウム、銅もしくは銀を含む配線とは、アルミニウム配線、銅配線、銀配線またはアルミニウム、銅もしくは銀のいずれか二つ以上の元素を含む合金からなる配線を指す。また、これらの配線を積層した配線も含まれる。

【0025】また、上記構成にあるように、本願発明は画素TFTのゲート電極と同一層で且つ同一材料からなる第1配線に該第1配線よりも抵抗率の低い第2配線が積層された配線を含むことを大きな特徴としている。このような配線はあらゆる配線として用いることが可能であるが、大きな電流を流す必要のある配線に用いることが好ましい。

【0026】特に駆動回路へ電気信号を伝送する配線

（以下、入出力信号配線という）もしくはゲート配線に用いることは有効である。入出力信号配線としては、クロック信号、スタートパルス信号もしくはビデオ信号を伝送する配線がある。

【0027】即ち、画素TFTのゲート電極（前記nチャンネル型TFTのゲート電極も同様）と同一層で且つ同一材料からなる（即ち同時に形成される）第1配線でまず入出力信号配線やゲート配線（ゲート電極を含む）を形成する。そして、ソース領域やドレイン領域の活性化が終了した後で、前記第1配線の上に該第1配線よりも抵抗率の低い第2配線を積層し、低抵抗な配線を形成する。

【0028】この時、第2配線を積層する部分は、微細加工を必要とせず、できるだけ低抵抗であることを要する部分であることが好ましい。即ち、ゲート電極や駆動回路内部の配線など微細加工を必要とする部分は第1配線で形成し、微細加工を必要としない部分を第1配線と第2配線とを積層した配線とすると良い。

【0029】

【発明の実施の形態】本発明の実施の形態について、以下に示す実施例でもって詳細な説明を行うこととする。

【0030】[実施例1]本発明の実施例について図1~図4を用いて説明する。ここでは、画素部とその周辺に設けられる駆動回路のTFTを同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路では、シフトレジスタ、バッファ等の基本回路であるCMOS回路と、サンプリング回路を形成するnチャンネル型TFTとを図示することとする。

【0031】図1(A)において、基板100には、ガラス基板や石英基板を使用することが望ましい。その他にもシリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成したものを基板としても良い。耐熱性が許せばプラスチック基板（プラスチックフィルムを含む）を用いることも可能である。

【0032】そして、基板100のTFTが形成される表面には、珪素（シリコン）を含む絶縁膜（本明細書中では酸化シリコン膜、窒化シリコン膜、または窒化酸化シリコン膜の総称を指す）からなる下地膜101をプラズマCVD法やスパッタ法で100~400nmの厚さに形成する。

【0033】なお、本明細書中において窒化酸化シリコン膜とはSi \times N γ で表される絶縁膜であり、珪素、酸素、窒素を所定の割合で含む絶縁膜を指す。本実施例では、下地膜101として、窒素を20~50atomic%（典型的には20~30atomic%）で含む100nm厚の窒化酸化シリコン膜と、窒素を1~20atomic%（典型的には5~10atomic%）で含む200nm厚の窒化酸化シリコン膜との積層膜を用いる。なお、厚さはこの値に限定する必要はない。また、窒化酸化シリコン膜に含まれる窒素と酸素の含有比（atomic%比）は3:1~

1:3 (典型的には1:1) とすればよい。また、窒化酸化シリコン膜は、 SiH_4 と N_2 ● と NH_3 を原料ガスとして作製すればよい。

【0034】なお、この下地膜101は基板からの不純物汚染を防ぐために設けられるものであり、石英基板を用いた場合には必ずしも設けなくても良い。

【0035】次に下地膜101の上に3●~120nm (好ましくは50~70nm) の厚さの、非晶質構造を含む半導体膜 (本実施例では非晶質シリコン膜 (図示せず)) を公知の成膜法で形成する。なお、非晶質構造を含む半導体膜としては、非晶質半導体膜、微結晶半導体膜があり、さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜も含まれる。また、上記膜厚で形成しておけば、最終的にTFTが完成した時点の活性層の膜厚は10~100nm (好ましくは30~5●nm) となる。

【0036】そして、特開平7-130652号公報 (USP5, 643, 826号に対応) に記載された技術に従って、結晶構造を含む半導体膜 (本実施例では結晶質シリコン膜) 1●2を形成する。同公報記載の技術は、非晶質シリコン膜の結晶化に際して、結晶化を助長 (促進) する触媒元素 (ニッケル、コバルト、ゲルマニウム、錫、鉛、パラジウム、鉄、銅から選ばれた一種または複数種の元素、代表的にはニッケル) を用いる結晶化手段である。

【●●37】具体的には、非晶質シリコン膜表面に触媒元素を保持させた状態で加熱処理を行い、非晶質シリコン膜を結晶質シリコン膜に変化させるものである。本実施例では同公報の実施例1に記載された技術を用いるが、実施例2に記載された技術を用いても良い。なお、結晶質シリコン膜には、いわゆる単結晶シリコン膜も多結晶シリコン膜も含まれるが、本実施例で形成される結晶質シリコン膜は結晶粒界を有するシリコン膜である。(図1(A))

【0038】非晶質シリコン膜は含有水素量にもよるが、好ましくは4●●~55●℃で数時間加熱して脱水素処理を行い、含有水素量を5at●mic%以下として、結晶化の工程を行うことが望ましい。また、非晶質シリコン膜をスパッタ法や蒸着法などの他の作製方法で形成しても良いが、膜中に含まれる酸素、窒素などの不純物元素を十分低減させておくことが望ましい。

【0039】ここでは、下地膜と非晶質シリコン膜とは、同じ成膜法で形成することが可能であるので両者を連続形成しても良い。下地膜を形成後、一旦大気雰囲気にならされないようにすることで表面の汚染を防ぐことが可能となり、作製されるTFTの特性バラツキを低減させることができる。

【0040】次に、結晶質シリコン膜102に対してレーザー光源から発する光 (レーザー光) を照射 (以下、レーザーアニールという) して結晶性の改善された結晶

質シリコン膜103を形成する。レーザー光としては、パルス発振型または連続発振型のエキシマレーザー光が望ましいが、連続発振型のアルゴンレーザー光でも良い。また、レーザー光のビーム形状は線状であっても矩形形状であっても構わない。(図1(B))

【0041】また、レーザー光の代わりにランプから発する光 (ランプ光) を照射 (以下、ランプアニールという) しても良い。ランプ光としては、ハロゲンランプ、赤外ランプ等から発するランプ光を用いることができる。

【0042】なお、このようにレーザー光またはランプ光により熱処理 (アニール) を施す工程を光アニール工程という。光アニール工程は短時間で高温熱処理が行えるため、ガラス基板等の耐熱性の低い基板を用いる場合にも効果的な熱処理工程を高いスループットで行うことができる。勿論、目的はアニールであるので電熱炉を用いたファーネスアニール (熱アニールともいう) で代用することもできる。

【●●43】本実施例では、パルス発振型エキシマレーザー光を線状に加工してレーザーアニール工程を行う。レーザーアニール条件は、励起ガスとしてXeClガスを扱い、処理温度を室温、パルス発振周波数を30Hzとし、レーザーエネルギー密度を250~5●0mJ/cm² (代表的には350~400mJ/cm²) とする。

【0044】上記条件で行われたレーザーアニール工程は、熱結晶化後に残存した非晶質領域を完全に結晶化すると共に、既に結晶化された結晶質領域の欠陥等を低減する効果を有する。そのため、本工程は光アニールにより半導体膜の結晶性を改善する工程、または半導体膜の結晶化を助長する工程と呼ぶこともできる。このような効果はランプアニールの条件を最適化することによっても得ることが可能である。本明細書中ではこのような条件で行われる光アニールを第1光アニールと呼ぶことにする。

【0045】次に、結晶質シリコン膜103上に後の不純物添加時のために保護膜1●4を形成する。保護膜104は100~200nm (好ましくは130~170nm) の厚さの窒化酸化シリコン膜または酸化シリコン膜を用いた。この保護膜1●4は不純物添加時に結晶質シリコン膜が直接プラズマに曝されないようにするためと、微妙な濃度制御を可能にするための意味がある。

【0046】そして、その上にレジストマスク105を形成し、保護膜104を介してp型を付与する不純物元素 (以下、p型不純物元素という) を添加する。p型不純物元素としては、代表的には周期表の13族に属する元素、典型的にはボロンまたはガリウムを用いることができる。この工程 (チャンネルドープ工程という) はTFTのしきい値電圧を制御するための工程である。なお、ここではジボラン (B_2H_6) を質量分離しないでプラズマ励起したイオンドープ法でボロンを添加した。勿論、

質量分離を行うイオンインプランテーション法を用いても良い。

【0047】この工程により $1 \times 10^{15} \sim 1 \times 10^{18}$ atoms/cm² (代表的には $5 \times 10^{16} \sim 5 \times 10^{17}$ atoms/cm²)の濃度でp型不純物元素(本実施例ではボロン)を含む不純物領域106を形成する。なお、本明細書中では上記濃度範囲でn型不純物元素を含む不純物領域(但し、意図的にn型を付与する不純物元素が添加された領域を除く)をp型不純物領域(b)と定義する。(図1(C))

【0048】次に、レジストマスク105を除去し、新たにレジストマスク107~110を形成する。そして、n型を付与する不純物元素(以下、n型不純物元素という)を添加してn型を呈する不純物領域111~113を形成する。なお、n型不純物元素としては、代表的には周期表の15族に属する元素、典型的にはリンまたは砒素を用いることができる。(図1(D))

【0049】この低濃度不純物領域111~113は、後にCMOS回路およびサンプリング回路のnチャネル型TFTにおいて、LDD領域として機能させるための不純物領域である。なお、ここで形成された不純物領域にはn型不純物元素が $2 \times 10^{16} \sim 5 \times 10^{18}$ atoms/cm² (代表的には $5 \times 10^{17} \sim 5 \times 10^{18}$ atoms/cm²)の濃度で含まれている。本明細書中では上記濃度範囲でn型不純物元素を含む不純物領域をn型不純物領域(b)と定義する。

【0050】なお、ここではフォスフィン(PH₃)を質量分離しないでプラズマ励起したイオンドープ法でリンを 1×10^{18} atoms/cm²の濃度で添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。この工程では、保護膜107を介して結晶質シリコン膜にリンを添加する。

【0051】次に、保護膜104を除去し、再びレーザー光の照射工程を行う。ここでもレーザー光としては、パルス発振型または連続発振型のエキシマレーザー光が望ましいが、連続発振型のアルゴンレーザー光でも良い。また、レーザー光のビーム形状は線状であっても矩形形状であっても構わない。但し、添加された不純物元素の活性化が目的であるので、結晶質シリコン膜が溶融しない程度のエネルギーで照射することが好ましい。また、保護膜104をつけたままレーザーアニール工程を行うことも可能である。(図1(E))

【0052】本実施例では、パルス発振型エキシマレーザー光を線状に加工してレーザーアニール工程を行う。レーザーアニール条件は、励起ガスとしてKrFガスを用い、処理温度を室温、パルス発振周波数を30Hzとし、レーザーエネルギー密度を100~300mJ/cm² (代表的には150~250mJ/cm²)とする。

【0053】上記条件で行われた光アニール工程は、添加されたn型またはp型を付与する不純物元素を活性化

すると共に、不純物元素の添加時に非晶質化した半導体膜を再結晶化する効果を有する。なお、上記条件は半導体膜を溶融させることなく原子配列の整合性をとり、且つ、不純物元素を活性化することが好ましい。また、本工程は光アニールによりn型またはp型を付与する不純物元素を活性化する工程、半導体膜を再結晶化する工程、またはそれらを行工程と呼ぶこともできる。このような効果はランプアニールの条件を最適化することによっても得ることが可能である。本明細書中ではこのような条件で行われるアニールを第2光アニールと呼ぶことにする。

【0054】この工程によりn型不純物領域(b)111~113の境界部、即ち、n型不純物領域(b)の周囲に存在する真性領域(p型不純物領域(b)も実質的に真性とみなす)との接合部が明確になる。このことは、後にTFTが完成した時点において、LDD領域とチャネル形成領域とが非常に良好な接合部を形成しうることを意味する。

【0055】なお、このレーザー光による不純物元素の活性化は省略することも可能である。また、ファーネスアニールによる活性化を代用しても良いし、併用しても構わない。ファーネスアニールによる活性化を行う場合は、基板の耐熱性を考慮して450~550℃程度の熱処理を行えば良い。

【0056】次に、結晶質シリコン膜の不要な部分を除去して、島状の半導体膜(以下、活性層という)114~117を形成する。(図1(F))

【0057】次に、活性層114~117を覆ってゲート絶縁膜118を形成する。ゲート絶縁膜118は、10~200nm、好ましくは50~150nmの厚さに形成すれば良い。本実施例では、プラズマCVD法でN₂OとSiH₄を原料とした窒化酸化シリコン膜を115nmの厚さに形成する。(図2(A))

【0058】次に、ゲート配線(ゲート電極を含む)や入出力信号配線となる導電膜を形成する。なお、この導電膜は単層で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。本実施例では、第1導電膜119と第2導電膜120とでなる積層膜を形成する。(図2(B))

【0059】ここで第1導電膜119、第2導電膜120としては、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)、クロム(Cr)、ニオブ(Nb)、シリコン(Si)から選ばれた元素を含む金属膜、または前記元素を主成分とする金属化合物膜(代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜)、または前記元素を組み合わせた合金膜(代表的にはMo-W合金膜、Mo-Ta合金膜、タングステンシリサイド膜)、若しくはそれらの薄膜を積層した積層膜を用いることができる。

【0060】なお、第1導電膜119は10~50nm

(好ましくは200~300nm)とし、第2導電膜120は200~400nm(好ましくは250~350nm)とすれば良い。本実施例では、第1導電膜119として、50nm厚の窒化タンタル(TaN)膜を、第2導電膜120として、350nm厚のタンタル(Ta)膜を用いる。

【●●61】このほか、窒化タングステン膜とタングステン膜との積層膜、窒化タンタル膜のみの単層膜、タングステンシリサイド膜も好適である。また、第1導電膜119の下にシリコン膜を2~20nm程度の厚さで形成する構造(ポリサイド構造)とすると、シリコン膜上に形成された導電膜の密着性を向上させると同時に、導電膜の酸化を抑制することができる。

【●●62】また、本実施例のように第2導電膜120として金属膜を用いた場合、その表面をアンモニアガスまたは窒素ガスを用いたプラズマ雰囲気中に曝すことで窒化することも有効である。こうすることで、金属膜表面の酸化を抑制することが可能である。

【●●63】次に、第1導電膜119と第2導電膜120を一括でエッチングして400nm厚のゲート電極121~124、後に入出力信号配線となる第1配線11及び後にゲート配線となる第1配線12を形成する。この時、駆動回路のnチャンネル型TFTのゲート電極122、123はn型不純物領域(b)111~113の一部とゲート絶縁膜を挟んで重なるように形成する。この重なった部分が後にL_{ov}領域となる。なお、ゲート電極124は断面では二つに見えるが、実際は連続的に繋がった一つのパターンから形成されている。(図2(C))

【●●64】なお、本明細書中ではゲート電極と同一層で且つ同一材料からなる配線を総称して第1配線と呼ぶ。また、本明細書中において入出力信号配線とは、FPC(フレキシブルプリントサーキット)等の外部入出力端子(以下、端子という)から電気光学装置の駆動回路に伝送される制御信号(スタートパルス信号、クロック信号など)、画像信号などの各種信号を伝送する入力信号配線又は出力信号配線の総称である。

【●●65】また、本明細書中では説明の都合によりゲート電極とゲート配線とを区別して記載する場合もあるが、ゲート配線が活性層と重なる部分を特にゲート電極と呼んでいる。従って、ゲート電極をゲート配線と呼んでも何ら差し支えない。

【●●66】次に、ゲート電極121~124、第1配線11、12をマスクとして自己整合的にn型不純物元素(本実施例ではリン)を添加する。こうして形成された不純物領域125~130には前記n型不純物領域(b)の1/2~1/10(代表的には1/3~1/4)の濃度(但し、前述のチャンネルドープ工程で添加されたボロン濃度よりも5~10倍高い濃度、代表的には $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ 、典型的には 3×1

$10^{17} \sim 3 \times 10^{18} \text{ atoms/cm}^3$ 、)でリンが添加されるように調節する。なお、本明細書中では上記濃度範囲でn型不純物元素を含む不純物領域をn型不純物領域(c)と定義する。(図2(D))

【●●67】なお、この工程ではゲート配線で隠された部分を除いて全てのn型不純物領域(b)にも $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ の濃度でリンが添加されているが、非常に低濃度であるためn型不純物領域(b)としての機能には影響を与えない。また、n型不純物領域(b)127~130には既にチャンネルドープ工程で $1 \times 10^{15} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ の濃度のボロンが添加されているが、この工程ではn型不純物領域(b)に含まれるボロンの5~10倍の濃度でリンが添加されるので、この場合もボロンはn型不純物領域(b)の機能には影響を与えないと考えて良い。

【●●68】但し、厳密にはn型不純物領域(b)111~113のうちゲート配線に重なった部分のリン濃度が $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ のままであるのに対し、ゲート配線に重ならない部分はそれに $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ の濃度のリンが加わっており、若干高い濃度でリンを含むことになる。

【●●69】次に、ゲート電極121~124、第1配線11、12をマスクとして自己整合的にゲート絶縁膜118をエッチングする。エッチングはドライエッチング法を用い、エッチングガスとしてはCHF₃ガスを用いる。但し、エッチングガスはこれに限定する必要はない。こうしてゲート配線下にゲート絶縁膜131~134が形成される。(図2(E))

【●●70】このように活性層を露呈させることによって、次に不純物元素の添加工程を行う際に加速電圧を低くすることができる。そのため、また必要なドーズ量が少なく済むのでスループットが向上する。勿論、ゲート絶縁膜をエッチングしないで残し、スルードーピングによって不純物領域を形成しても良い。

【●●71】次に、ゲート配線を覆う形でレジストマスク135~138を形成し、n型不純物元素(本実施例ではリン)を添加して高濃度にリンを含む不純物領域139~147を形成する。ここでも、フォスフィン(PH₃)を用いたイオンドープ法(勿論、イオンインプランテーション法でも良い)で行い、この領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ (代表的には $2 \times 10^{20} \sim 5 \times 10^{20} \text{ atoms/cm}^3$)とする。(図3(A))

【●●72】なお、本明細書中では上記濃度範囲でn型不純物元素を含む不純物領域をn型不純物領域(a)と定義する。また、不純物領域139~147が形成された領域には既に前工程で添加されたリンまたはボロンが含まれるが、十分に高い濃度でリンが添加されることになるので、前工程で添加されたリンまたはボロンの影響は考えなくて良い。従って、本明細書中では不純物領域

139～147はn型不純物領域(a)と言い換えても構わない。

【0073】次に、レジストマスク135～139を除去し、新たにレジストマスク148を形成する。そして、p型不純物元素(本実施例ではボロン)を添加し、高濃度にボロンを含む不純物領域149、150を形成する。ここではジボラン(B_2H_6)を用いたイオンドーピング法(勿論、イオンインプランテーション法でも良い)により $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ (代表的には $5 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$)濃度でボロンを添加する。なお、本明細書中では上記濃度範囲でp型不純物元素を含む不純物領域をp型不純物領域(a)と定義する。(図3(B))

【0074】なお、不純物領域149、150の一部(前述のn型不純物領域(a)139、140)には既に $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度でリンが添加されているが、ここで添加されるボロンはその少なくとも3倍以上の濃度で添加される。そのため、予め形成されていたn型の不純物領域は完全にp型に反転し、p型の不純物領域として機能する。従って、本明細書中では不純物領域149、150をp型不純物領域(a)と言い換えても構わない。

【0075】次に、レジストマスク148を除去した後、保護膜151を形成する。保護膜151としては、珪素を含む絶縁膜、具体的には窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜またはそれらを組み合わせた積層膜で形成すれば良い。また、膜厚は20～200nm(好ましくは30～150nm)とすれば良い。本実施例では50nm厚の窒化シリコン膜を用いる。この保護膜は次に行われる熱処理工程(活性化工程)において、第1配線11、12、ゲート電極121～124が酸化されて抵抗値が増加するのを防ぐ効果を有する。

【0076】その後、それぞれの濃度で添加されたn型またはp型不純物元素を活性化するために熱処理工程を行う。この工程はファーンエスアニール法、レーザーアニール法、またはランプアニール法で行うことができる。本実施例ではファーンエスアニール法で活性化工程を行う。加熱処理は、窒素雰囲気中において300～650℃で3～12時間、典型的には400～550℃で4～6時間、ここでは550℃、4時間の熱処理を行う。

(図3(C))

【0077】この時、本実施例において非晶質シリコン膜の結晶化に用いた触媒元素(本実施例ではニッケル)が、矢印で示す方向に移動して、前述の図3(A)の工程で形成された高濃度にリンを含む領域に捕獲(ゲッタリング)される。これはリンによる金属元素のゲッタリング効果に起因する現象であり、この結果、後のチャネル形成領域152～156は前記触媒元素の濃度が $1 \times 10^{17} \text{ atoms/cm}^3$ 以下(好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以下)となる。

【0078】また逆に、触媒元素のゲッタリングサイトとなった領域(図3(A)の工程で不純物領域139～147が形成された領域)は高濃度に触媒元素が偏析して $5 \times 10^{18} \text{ atoms/cm}^3$ 以上(代表的には $1 \times 10^{19} \sim 5 \times 10^{20} \text{ atoms/cm}^3$)濃度で存在する。

【0079】次に、3～100%の水素を含む雰囲気中で、300～550℃で1～6時間(本実施例では350℃2時間)の熱処理を行い、活性層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0080】活性化工程を終えたら保護膜151を選択的に除去する。この時、第1配線(ゲート電極を含む)、ゲート絶縁膜、活性層などが保護膜151の除去と同時に除去されてしまわないように注意する必要がある。本実施例では保護膜151として窒化シリコン膜を用いているので、フッ酸溶液とフッ化アンモニウム溶液とを混合したエッチャントを用い、ウェットエッチング法により容易に除去することができる。なお、除去が容易な保護膜として、溶液を塗布して形成する酸化シリコン膜を用いることも有効である。

【0081】なお、本実施例では保護膜151を設けた状態で活性化工程を行っているが、保護膜を設けない状態で活性化工程を行っても良い。その場合、ゲート電極121～124、第1配線11または第1配線12の表面に酸化物が形成されないように熱処理雰囲気中の酸素濃度を極力低減しておくことが好ましい。具体的には酸素濃度を1ppm以下、好ましくは0.1ppm以下とする。このようにすれば次の保護膜151の除去工程を省略することができる。

【0082】保護膜151を除去したら、アルミニウムまたはアルミニウムを主成分とする膜(以下、アルミニウム系薄膜という)を形成し、第1配線よりも抵抗率の低い第2配線13、14を形成する。本実施例では、アルミニウム系薄膜として2wt%のシリコンを含有したアルミニウム膜を用い、第2配線13は入出力信号配線となる第1配線11の上に形成し、第2配線14はゲート配線となる第1配線12の上に形成する。なお、第2配線13、14は第1配線11、12の線幅よりも0～2 μm 内側に形成することが望ましい。(図3(D))

【0083】次に、500nm～1.5 μm 厚の第1層間絶縁膜157を形成する。本実施例では第1層間絶縁膜157として1 μm 厚の酸化シリコン膜をプラズマCVD法により形成する。勿論、窒化シリコン膜と酸化シリコン膜との積層膜など珪素を含む絶縁膜を組み合わせる積層構造としても良い。また、第1層間絶縁膜157として、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB(ベンゾシクロブテン)等の有機樹脂膜を用いることも可能である。