

Electronic Patent Application Fee Transmittal

Application Number:	11235579			
Filing Date:	26-Sep-2005			
Title of Invention:	DISPLAY PANEL			
First Named Inventor/Applicant Name:	Tomoyuki Shirasaki			
Filer:	Leonard Holtz/Diane Hegstrom			
Attorney Docket Number:	05644/LH			
Filed as Large Entity				
Utility Filing Fees				
Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				

Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Miscellaneous:				
Submission- Information Disclosure Stmt	1806	1	180	180
Total in USD (\$)				180

Electronic Acknowledgement Receipt

EFS ID:	3460303
Application Number:	11235579
International Application Number:	
Confirmation Number:	3394
Title of Invention:	DISPLAY PANEL
First Named Inventor/Applicant Name:	Tomoyuki Shirasaki
Customer Number:	1933
Filer:	Leonard Holtz/Diane Hegstrom
Filer Authorized By:	Leonard Holtz
Attorney Docket Number:	05644/LH
Receipt Date:	16-JUN-2008
Filing Date:	26-SEP-2005
Time Stamp:	13:25:38
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Credit Card
Payment was successfully received in RAM	\$ 180
RAM confirmation Number	9640
Deposit Account	
Authorized User	

File Listing:

Document Number	Document Description	File Name	File Size(Bytes) /Message Digest	Multi Part /.zip	Pages (if appl.)
-----------------	----------------------	-----------	----------------------------------	------------------	------------------

1		05644_ids6.pdf	108172	yes	3
			e14a4388ee0da81d9b1fed5d415f7e35a95160f8b		
Multipart Description/PDF files in .zip description					
		Document Description	Start	End	
		Information Disclosure Statement Letter	1	2	
		Information Disclosure Statement (IDS) Filed	3	3	
Warnings:					
Information:					
2	NPL Documents	JapaneseOfficeAction.pdf	167002	no	4
			9650790593df2c27b609817e50fca33832a4391d		
Warnings:					
Information:					
3	NPL Documents	JapaneseOfficeAction_English.pdf	151614	no	4
			1c5e1e11df8d4b8f64f98ec55c121e63780c3d0c		
Warnings:					
Information:					
4	Foreign Reference	JP2001195008.pdf	564931	no	10
			488dd15ff5d6efa9ea3db6a6e437b2e16639afc		
Warnings:					
Information:					
5	Foreign Reference	JP2002352963.pdf	492785	no	9
			9838a291713c762fc4bl2d56c09defe592c15b53		
Warnings:					
Information:					
6	Foreign Reference	JP2003076327.pdf	1041587	no	18
			f5aa5beb1fe620a1e8e5ad4f8f83df7e60c8e9a		
Warnings:					
Information:					
7	Foreign Reference	JP2003186420.pdf	953426	no	18
			94f1e24acbcd9cc4abfa21b4f733ef612b12f90b		
Warnings:					
Information:					
8	Foreign Reference	WO03079441.pdf	1621247	no	40
			ccf81c2175c5d1e38308604160aaec7c2aa2c291		

Warnings:					
Information:					
9	Foreign Reference	JP2003288994.pdf	1699244	no	33
			36a7da4677019b517cb76eb15f93ed9d e012c164		
Warnings:					
Information:					
10	Fee Worksheet (PTO-06)	fee-info.pdf	8152	no	2
			1429bd64639329f6a57bac34d0de8a73 fc6b1a87		
Warnings:					
Information:					
Total Files Size (in bytes):				6808160	
<p>This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.</p> <p><u>New Applications Under 35 U.S.C. 111</u> If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.</p> <p><u>National Stage of an International Application under 35 U.S.C. 371</u> If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.</p> <p><u>New International Application Filed with the USPTO as a Receiving Office</u> If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.</p>					



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

NOTICE OF ALLOWANCE AND FEE(S) DUE

1933 7590 05/30/2008
FRISHAUF, HOLTZ, GOODMAN & CHICK, PC
220 Fifth Avenue
16TH Floor
NEW YORK, NY 10001-7708

EXAMINER
PHAM, LONG
ART UNIT PAPER NUMBER
2814
DATE MAILED: 05/30/2008

Table with 5 columns: APPLICATION NO., FILING DATE, FIRST NAMED INVENTOR, ATTORNEY DOCKET NO., CONFIRMATION NO.
11/235,579 09/26/2005 Tomoyuki Shirasaki 05644/LH 3394
TITLE OF INVENTION: DISPLAY PANEL

Table with 7 columns: APPLN. TYPE, SMALL ENTITY, ISSUE FEE DUE, PUBLICATION FEE DUE, PREV. PAID ISSUE FEE, TOTAL FEE(S) DUE, DATE DUE
nonprovisional NO \$1440 \$300 \$0 \$1740 09/02/2008

THE APPLICATION IDENTIFIED ABOVE HAS BEEN EXAMINED AND IS ALLOWED FOR ISSUANCE AS A PATENT. PROSECUTION ON THE MERITS IS CLOSED. THIS NOTICE OF ALLOWANCE IS NOT A GRANT OF PATENT RIGHTS. THIS APPLICATION IS SUBJECT TO WITHDRAWAL FROM ISSUE AT THE INITIATIVE OF THE OFFICE OR UPON PETITION BY THE APPLICANT. SEE 37 CFR 1.313 AND MPEP 1308.

THE ISSUE FEE AND PUBLICATION FEE (IF REQUIRED) MUST BE PAID WITHIN THREE MONTHS FROM THE MAILING DATE OF THIS NOTICE OR THIS APPLICATION SHALL BE REGARDED AS ABANDONED. THIS STATUTORY PERIOD CANNOT BE EXTENDED. SEE 35 U.S.C. 151. THE ISSUE FEE DUE INDICATED ABOVE DOES NOT REFLECT A CREDIT FOR ANY PREVIOUSLY PAID ISSUE FEE IN THIS APPLICATION. IF AN ISSUE FEE HAS PREVIOUSLY BEEN PAID IN THIS APPLICATION (AS SHOWN ABOVE), THE RETURN OF PART B OF THIS FORM WILL BE CONSIDERED A REQUEST TO REAPPLY THE PREVIOUSLY PAID ISSUE FEE TOWARD THE ISSUE FEE NOW DUE.

HOW TO REPLY TO THIS NOTICE:

I. Review the SMALL ENTITY status shown above.

If the SMALL ENTITY is shown as YES, verify your current SMALL ENTITY status:

- A. If the status is the same, pay the TOTAL FEE(S) DUE shown above.
B. If the status above is to be removed, check box 5b on Part B - Fee(s) Transmittal and pay the PUBLICATION FEE (if required) and twice the amount of the ISSUE FEE shown above, or

If the SMALL ENTITY is shown as NO:

- A. Pay TOTAL FEE(S) DUE shown above, or
B. If applicant claimed SMALL ENTITY status before, or is now claiming SMALL ENTITY status, check box 5a on Part B - Fee(s) Transmittal and pay the PUBLICATION FEE (if required) and 1/2 the ISSUE FEE shown above.

II. PART B - FEE(S) TRANSMITTAL, or its equivalent, must be completed and returned to the United States Patent and Trademark Office (USPTO) with your ISSUE FEE and PUBLICATION FEE (if required). If you are charging the fee(s) to your deposit account, section "4b" of Part B - Fee(s) Transmittal should be completed and an extra copy of the form should be submitted. If an equivalent of Part B is filed, a request to reapply a previously paid issue fee must be clearly made, and delays in processing may occur due to the difficulty in recognizing the paper as an equivalent of Part B.

III. All communications regarding this application must give the application number. Please direct all communications prior to issuance to Mail Stop ISSUE FEE unless advised to the contrary.

IMPORTANT REMINDER: Utility patents issuing on applications filed on or after Dec. 12, 1980 may require payment of maintenance fees. It is patentee's responsibility to ensure timely payment of maintenance fees when due.

PART B - FEE(S) TRANSMITTAL

**Complete and send this form, together with applicable fee(s), to: Mail Mail Stop ISSUE FEE
 Commissioner for Patents
 P.O. Box 1450
 Alexandria, Virginia 22313-1450
 or Fax (571)-273-2885**

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

1933 7590 05/30/2008

FRISHAUF, HOLTZ, GOODMAN & CHICK, PC
 220 Fifth Avenue
 16TH Floor
 NEW YORK, NY 10001-7708

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (571) 273-2885, on the date indicated below.

_____ (Depositor's name)
_____ (Signature)
_____ (Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
11/235,579	09/26/2005	Tomoyuki Shirasaki	05644/LH	3394

TITLE OF INVENTION: DISPLAY PANEL

APPLN. TYPE	SMALL ENTITY	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	NO	\$1440	\$300	\$0	\$1740	09/02/2008

EXAMINER	ART UNIT	CLASS-SUBCLASS
PHAM, LONG	2814	257-072000

<p>1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).</p> <p><input type="checkbox"/> Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.</p> <p><input type="checkbox"/> "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. Use of a Customer Number is required.</p>	<p>2. For printing on the patent front page, list</p> <p>(1) the names of up to 3 registered patent attorneys or agents OR, alternatively, 1 _____</p> <p>(2) the name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed. 2 _____</p> <p>3 _____</p>
---	---

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE _____ (B) RESIDENCE: (CITY and STATE OR COUNTRY) _____

Please check the appropriate assignee category or categories (will not be printed on the patent): Individual Corporation or other private group entity Government

<p>4a. The following fee(s) are submitted:</p> <p><input type="checkbox"/> Issue Fee</p> <p><input type="checkbox"/> Publication Fee (No small entity discount permitted)</p> <p><input type="checkbox"/> Advance Order - # of Copies _____</p>	<p>4b. Payment of Fee(s): (Please first reapply any previously paid issue fee shown above)</p> <p><input type="checkbox"/> A check is enclosed.</p> <p><input type="checkbox"/> Payment by credit card. Form PTO-2038 is attached.</p> <p><input type="checkbox"/> The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment, to Deposit Account Number _____ (enclose an extra copy of this form).</p>
---	--

5. Change in Entity Status (from status indicated above)

a. Applicant claims SMALL ENTITY status. See 37 CFR 1.27. b. Applicant is no longer claiming SMALL ENTITY status. See 37 CFR 1.27(g)(2).

NOTE: The Issue Fee and Publication Fee (if required) will not be accepted from anyone other than the applicant; a registered attorney or agent; or the assignee or other party in interest as shown by the records of the United States Patent and Trademark Office.

Authorized Signature _____ Date _____

Typed or printed name _____ Registration No. _____

This collection of information is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

Table with 5 columns: APPLICATION NO., FILING DATE, FIRST NAMED INVENTOR, ATTORNEY DOCKET NO., CONFIRMATION NO.
11/235,579 09/26/2005 Tomoyuki Shirasaki 05644/LH 3394
1933 7590 05/30/2008
FRISHAUF, HOLTZ, GOODMAN & CHICK, PC
220 Fifth Avenue
16TH Floor
NEW YORK, NY 10001-7708
EXAMINER PHAM, LONG
ART UNIT 2814 PAPER NUMBER
DATE MAILED: 05/30/2008

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(application filed on or after May 29, 2000)

The Patent Term Adjustment to date is 143 day(s). If the issue fee is paid on the date that is three months after the mailing date of this notice and the patent issues on the Tuesday before the date that is 28 weeks (six and a half months) after the mailing date of this notice, the Patent Term Adjustment will be 143 day(s).

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (http://pair.uspto.gov).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Customer Service Center of the Office of Patent Publication at 1-(888)-786-0101 or (571)-272-4200.

Notice of Allowability	Application No.	Applicant(s)	
	11/235,579	SHIRASAKI ET AL.	
	Examiner	Art Unit	
	Long Pham	2814	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--

All claims being allowable, PROSECUTION ON THE MERITS IS (OR REMAINS) CLOSED in this application. If not included herewith (or previously mailed), a Notice of Allowance (PTOL-85) or other appropriate communication will be mailed in due course. **THIS NOTICE OF ALLOWABILITY IS NOT A GRANT OF PATENT RIGHTS.** This application is subject to withdrawal from issue at the initiative of the Office or upon petition by the applicant. See 37 CFR 1.313 and MPEP 1308.

1. This communication is responsive to 02/25/08.
2. The allowed claim(s) is/are 1 and 3-23.
3. Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).
 - a) All b) Some* c) None of the:
 1. Certified copies of the priority documents have been received.
 2. Certified copies of the priority documents have been received in Application No. _____ .
 3. Copies of the certified copies of the priority documents have been received in this national stage application from the International Bureau (PCT Rule 17.2(a)).

* Certified copies not received: _____.

Applicant has THREE MONTHS FROM THE "MAILING DATE" of this communication to file a reply complying with the requirements noted below. Failure to timely comply will result in ABANDONMENT of this application.
THIS THREE-MONTH PERIOD IS NOT EXTENDABLE.

4. A SUBSTITUTE OATH OR DECLARATION must be submitted. Note the attached EXAMINER'S AMENDMENT or NOTICE OF INFORMAL PATENT APPLICATION (PTO-152) which gives reason(s) why the oath or declaration is deficient.
5. CORRECTED DRAWINGS (as "replacement sheets") must be submitted.
 - (a) including changes required by the Notice of Draftsperson's Patent Drawing Review (PTO-948) attached
 - 1) hereto or 2) to Paper No./Mail Date _____.
 - (b) including changes required by the attached Examiner's Amendment / Comment or in the Office action of Paper No./Mail Date _____.

Identifying indicia such as the application number (see 37 CFR 1.84(c)) should be written on the drawings in the front (not the back) of each sheet. Replacement sheet(s) should be labeled as such in the header according to 37 CFR 1.121(d).
6. DEPOSIT OF and/or INFORMATION about the deposit of BIOLOGICAL MATERIAL must be submitted. Note the attached Examiner's comment regarding REQUIREMENT FOR THE DEPOSIT OF BIOLOGICAL MATERIAL.

Attachment(s)

- | | |
|---|--|
| <ol style="list-style-type: none"> 1. <input type="checkbox"/> Notice of References Cited (PTO-892) 2. <input type="checkbox"/> Notice of Draftsperson's Patent Drawing Review (PTO-948) 3. <input checked="" type="checkbox"/> Information Disclosure Statements (PTO/SB/08),
Paper No./Mail Date <u>04/28/08,03/06/08</u> 4. <input type="checkbox"/> Examiner's Comment Regarding Requirement for Deposit of Biological Material | <ol style="list-style-type: none"> 5. <input type="checkbox"/> Notice of Informal Patent Application 6. <input type="checkbox"/> Interview Summary (PTO-413),
Paper No./Mail Date _____ . 7. <input type="checkbox"/> Examiner's Amendment/Comment 8. <input type="checkbox"/> Examiner's Statement of Reasons for Allowance 9. <input type="checkbox"/> Other _____. |
|---|--|

/Long Pham/
Primary Examiner, Art Unit 2814


UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
 Address: COMMISSIONER FOR PATENTS
 P.O. Box 1450
 Alexandria, Virginia 22313-1450
 www.uspto.gov

BIB DATA SHEET
CONFIRMATION NO. 3394

SERIAL NUMBER	FILING or 371(c) DATE RULE	CLASS	GROUP ART UNIT	ATTORNEY DOCKET NO.		
11/235,579	09/26/2005	345	2814	05644/LH		
APPLICANTS Tomoyuki Shirasaki, Higashiyamoto-shi, JAPAN; Tsuyoshi Ozaki, Fuchu-shi, JAPAN; Jun Ogura, Fussa-shi, JAPAN; ** CONTINUING DATA ***** ** FOREIGN APPLICATIONS ***** JAPAN 2004-283824 09/29/2004 ** IF REQUIRED, FOREIGN FILING LICENSE GRANTED ** 10/12/2005						
Foreign Priority claimed <input checked="" type="checkbox"/> Yes <input type="checkbox"/> No 35 USC 119(a-d) conditions met <input checked="" type="checkbox"/> Yes <input type="checkbox"/> No Verified and Acknowledged <u>/LONG PHAM/</u> <small>Examiner's Signature</small>		<input type="checkbox"/> Met after Allowance <small>LP Initials</small>	STATE OR COUNTRY JAPAN	SHEETS DRAWINGS 13	TOTAL CLAIMS 23	INDEPENDENT CLAIMS 4
ADDRESS FRISHAUF, HOLTZ, GOODMAN & CHICK, PC 220 Fifth Avenue 16TH Floor NEW YORK, NY 10001-7708 UNITED STATES						
TITLE Display panel						
FILING FEE RECEIVED 2060	FEES: Authority has been given in Paper No. _____ to charge/credit DEPOSIT ACCOUNT No. _____ for following:			<input type="checkbox"/> All Fees <input type="checkbox"/> 1.16 Fees (Filing) <input type="checkbox"/> 1.17 Fees (Processing Ext. of time) <input type="checkbox"/> 1.18 Fees (Issue) <input type="checkbox"/> Other _____ <input type="checkbox"/> Credit		

EAST Search History


Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L1	5	US-20040003939-\$.DID. OR US-20050258741-\$. DID. OR US-20050062409- \$.DID. OR US- 20050073264-\$.DID. OR US-20050088086-\$.DID.	US-PGPUB; USPAT; USOCR	OR	ON	2008/05/24 16:33
L2	1	("20060066219").PN.	US-PGPUB; USPAT; USOCR	OR	OFF	2008/05/24 16:34
L3	30976	organic adj2 el	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2008/05/24 16:35
L4	14287	3 and (light adj emitting)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2008/05/24 16:36
L5	10049	organic adj electroluminescent adj element	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2008/05/24 16:37
L6	4388	5 and (light adj emitting)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2008/05/24 16:37
L7	791	pixel and 6	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2008/05/24 16:37
L8	330	7 and gate	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2008/05/24 16:38

L9	53	8 and (counter adj2 electrode)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2008/05/24 16:38
L10	35041	organic adj2 electroluminescent	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2008/05/24 16:41
L11	14724	10 and (light adj emitting)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2008/05/24 16:41
L12	2384	11 and gate	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2008/05/24 16:41
L13	303	12 and (counter adj2 electrode)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2008/05/24 16:41
L14	40	13 and (interconnect or interconnecting or interconnection)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2008/05/24 16:42
S1	1	("20060066535").PN.	US-PGPUB; USPAT; USOCR	OR	OFF	2007/10/15 17:06
S2	1	S1 and (counter adj2 electrode)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/10/15 17:07

S3	8	((("5684365") or ("6297589") or ("6727357") or ("20030047730") or ("20030146693") or ("20030151355") or ("20040160170") or ("2003137325") or ("2004256617") or ("20030168992") or ("2003193056")).PN.	US-PGPUB; USPAT; USOCR	OR	OFF	2007/10/16 12:28
S4	3	((("20030137325") or ("20040256617") or ("20030193056")).PN.	US-PGPUB; USPAT; USOCR	OR	OFF	2007/10/16 12:28
S5	1	("20030151355").PN.	US-PGPUB; USPAT; USOCR	OR	OFF	2007/10/16 12:37
S6	0	S5 and ((red or green or blue or color) adj2 pixel)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/10/16 12:38
S7	0	("20030168992").PN.	US-PGPUB; USPAT; USOCR	OR	OFF	2007/10/16 12:56
S8	1	("20030168992").PN.	US-PGPUB; USPAT; USOCR	OR	OFF	2007/10/16 12:56
S9	0	S8 and ((red or green or blue or color) adj2 pixel)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2007/10/16 12:56

5/ 24/ 2008 4:42:19 PM


C:\Documents and Settings\lpham\My Documents\EAST\Workspaces\11-235,579.wsp

<i>Index of Claims</i> 	Application/Control No. 11235579	Applicant(s)/Patent Under Reexamination SHIRASAKI ET AL.
	Examiner Long Pham	Art Unit 2814

✓	Rejected	-	Cancelled	N	Non-Elected	A	Appeal
=	Allowed	÷	Restricted	I	Interference	O	Objected


Claims renumbered in the same order as presented by applicant
 CPA
 T.D.
 R.1.47

CLAIM		DATE									
Final	Original	10/16/2007									
1	1	=									
	2	-									
2	3	=									
3	4	=									
4	5	=									
5	6	=									
6	7	=									
7	8	=									
8	9	=									
9	10	=									
10	11	=									
11	12	=									
12	13	=									
13	14	=									
14	15	=									
15	16	=									
16	17	=									
17	18	=									
18	19	=									
19	20	=									
20	21	=									
21	22	=									
22	23	=									

Issue Classification 	Application/Control No. 11235579	Applicant(s)/Patent Under Reexamination SHIRASAKI ET AL.
	Examiner Long Pham	Art Unit 2814

ORIGINAL					INTERNATIONAL CLASSIFICATION							
CLASS	SUBCLASS				CLAIMED				NON-CLAIMED			
257	72				H	0	1	L	29 / 04 (2006.01.01)			
CROSS REFERENCE(S)												
CLASS	SUBCLASS (ONE SUBCLASS PER BLOCK)											
257	40	79										

NONE				Total Claims Allowed:	
(Assistant Examiner) (Date)				22	
/Long Pham/		05/24/08		O.G. Print Claim(s)	O.G. Print Figure
(Primary Examiner)		(Date)		1	1,6

Search Notes 	Application/Control No. 11235579	Applicant(s)/Patent Under Reexamination SHIRASAKI ET AL.
	Examiner Long Pham	Art Unit 2814

SEARCHED			
Class	Subclass	Date	Examiner
257	40, 72, 79	05/24/08	LP

SEARCH NOTES		
Search Notes	Date	Examiner
Updated text or interference searches	05/24/08	LP

INTERFERENCE SEARCH			
Class	Subclass	Date	Examiner
257	72	05/24/08	LP



U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE

IDS FORM INFORMATION DISCLOSURE STATEMENT BY APPLICANT				Application Number	11/235,579
				Filing Date	September 26, 2005
				First Named Inventor	Tomoyuki SHIRASAKI et al
				Group Art Unit	2814
				Examiner Name	LONG PHAM
Sheet	1	of	1	Attorney Docket Number	05644/LH

U.S. PATENT DOCUMENTS

Exam. Inits*	Cite No ¹	Document Number	Kind Code ²	Name of Patentee or Applicant	Publication Date MM-DD-YYYY	Relevant Portion

FOREIGN PATENT DOCUMENTS

Exam Inits*	Cite No ¹	Offc ³	Document Number ⁴	Kind Code ⁵	Name of Patentee or Applicant	Publication Date MM-DD-YYYY	Relevant Portion	T ⁶
		KR	2002-0000875	A		01-05-2002		
		KR	10-2004-0051611	A		06-18-2004		

Examiner Signature	/Long Pham/ (05/24/2008)	Date Considered	
--------------------	--------------------------	-----------------	--

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

¹ Unique citation designation number. ² See kinds of U.S. Patent Documents. ³ Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). ⁴ For Korean patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. ⁵ Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. ⁶ Place a check here if English translation is attached.

DATE MAILED: **March 6, 2008**

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /L.P./

INFORMATION DISCLOSURE STATEMENT BY APPLICANT				Application Number	11/235,579			
				Filing Date	September 26, 2005			
				First Named Inventor	Tomoyuki SHIRASAKI			
				Group Art Unit	2814			
				Examiner Name	Long Pham			
Sheet	1	of	1	Attorney Docket Number	05644/LH			
U.S. PATENT DOCUMENTS								
Exam. Inits*	Cite No ¹	Document Number	Kind Code ²	Name of Patentee or Applicant	Publication Date MM-DD-YYYY	Relevant Portion		
		2004/0003939	A1	NISHI et al	01-08-2004			
		2005/0258741	A1	KIM et al	11-24-2005			
		2005/0062409	A1	YAMAZAKI et al	03-24-2005			
		2005/0073264	A1	MATSUMOTO	04-07-2005			
		2005/0088086	A1	PARK et al	04-28-2005			
		2006/0066219	A1	SHIMODA et al	03-30-2006			
FOREIGN PATENT DOCUMENTS								
Exam Inits*	Cite No ¹	Office ³	Document Number ⁴	Kind Code ⁵	Name of Patentee or Applicant	Publication Date MM-DD-YYYY	Relevant Portion	T ⁶
Examiner Signature	/Long Pham/ (05/24/2008)				Date Considered			

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

¹ Unique citation designation number. ² See kinds of U.S. Patent Documents. ³ Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). ⁴ For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. ⁵ Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible.

⁶ Mark here if English translation is attached.

DATE MAILED: April 28, 2008

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /L.P./

Information Disclosure Statement
Application Serial No. 11/235,579

Customer No. 01933

Attorney Docket No. 05644/LH

This paper is being
submitted via EFS-Web on
April 28, 2008

IN THE UNITED STATES PATENT
AND TRADEMARK OFFICE

Applicant(s) : Tomoyuki SHIRASAKI, et al.
Serial No. : 11/235,579
Confirm. No. : 3394
Filed : September 26, 2005
For : DISPLAY PANEL
Art Unit : 2814
Examiner : Long Pham

In the event that this Paper is late filed, and the necessary petition for extension of time is not filed concurrently herewith, please consider this as a Petition for the requisite extension of time, and to the extent not already paid, authorization to charge the extension fee to Account No. 06-1378. In addition, authorization is hereby given to charge any fees for which payment has not been submitted, or to credit any overpayments, to Account No. 06-1378.

INFORMATION DISCLOSURE STATEMENT UNDER 37 CFR 1.97(c)
WITH STATEMENT UNDER 37 CFR 1.97(e)(2)

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

S I R :

Attached is a an IDS Form listing the particulars of the documents cited by a U.S. Examiner in an Office Action dated March 28, 2008, in related application Serial No. 11/235,605. Said related application was cross-referenced with the present application in applicant's IDS filed July 27, 2006. The U.S. Patent Appln. Publ. No. 2006/0066219 of related Serial No. 11/235,605 is listed on the attached IDS Form.

STATEMENT UNDER 37 CFR 1.97(e)(2)

No item of information contained in this Information Disclosure Statement was cited in a communication from a foreign office in a counterpart foreign application, and, to the knowledge of the person signing the certification after making reasonable inquiry, no item of information contained in this Information Disclosure Statement was known to any individual designated in section 1.56(c) more than three months prior to filing of this Information Disclosure Statement. Therefore, no fee is believed to be due.

It is requested that an initialed copy of the IDS Form be returned to indicate that the publications listed therein have been considered and made of record.

Respectfully submitted,

/Leonard Holtz/

Leonard Holtz
Reg. No. 22,974

Frishauf, Holtz, Goodman & Chick, P.C.
220 Fifth Avenue, 16th Floor
New York, NY 10001-7708
Tel. No. (212) 319-4900
Fax. No. (212) 319-5101
LH:nps
encs.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT				Application Number	11/235,579			
				Filing Date	September 26, 2005			
				First Named Inventor	Tomoyuki SHIRASAKI			
				Group Art Unit	2814			
				Examiner Name	Long Pham			
Sheet	1	of	1	Attorney Docket Number	05644/LH			
U.S. PATENT DOCUMENTS								
Exam. Inits*	Cite No ¹	Document Number	Kind Code ²	Name of Patentee or Applicant	Publication Date MM-DD-YYYY	Relevant Portion		
		2004/0003939	A1	NISHI et al	01-08-2004			
		2005/0258741	A1	KIM et al	11-24-2005			
		2005/0062409	A1	YAMAZAKI et al	03-24-2005			
		2005/0073264	A1	MATSUMOTO	04-07-2005			
		2005/0088086	A1	PARK et al	04-28-2005			
		2006/0066219	A1	SHIMODA et al	03-30-2006			
FOREIGN PATENT DOCUMENTS								
Exam Inits*	Cite No ¹	Office ³	Document Number ⁴	Kind Code ⁵	Name of Patentee or Applicant	Publication Date MM-DD-YYYY	Relevant Portion	T ⁶
Examiner Signature					Date Considered			

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

¹ Unique citation designation number. ² See kinds of U.S. Patent Documents. ³ Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). ⁴ For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. ⁵ Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible.

⁶ Mark here if English translation is attached.

DATE MAILED: April 28, 2008

Electronic Acknowledgement Receipt

EFS ID:	3221726
Application Number:	11235579
International Application Number:	
Confirmation Number:	3394
Title of Invention:	Display panel
First Named Inventor/Applicant Name:	Tomoyuki Shirasaki
Customer Number:	1933
Filer:	Douglas Holtz/Nalini Sahadeo
Filer Authorized By:	Douglas Holtz
Attorney Docket Number:	05644/LH
Receipt Date:	28-APR-2008
Filing Date:	26-SEP-2005
Time Stamp:	19:19:24
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no
------------------------	----

File Listing:

Document Number	Document Description	File Name	File Size(Bytes) /Message Digest	Multi Part /.zip	Pages (if appl.)
1		05644_IDS5.pdf	60898 <small>446a98d55fdb53215e9302da6090513c c154149f</small>	yes	3

Multipart Description/PDF files in .zip description		
Document Description	Start	End
Information Disclosure Statement Letter	1	2
Information Disclosure Statement (IDS) Filed	3	3
Warnings:		
Information:		
Total Files Size (in bytes):		60898
<p>This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.</p> <p><u>New Applications Under 35 U.S.C. 111</u> If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.</p> <p><u>National Stage of an International Application under 35 U.S.C. 371</u> If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.</p> <p><u>New International Application Filed with the USPTO as a Receiving Office</u> If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.</p>		

Attorney Docket No. 05644/LH

This paper is being submitted
via EFS-Web on March 6, 2008

**IN THE UNITED STATES PATENT
AND TRADEMARK OFFICE**

Applicants : Tomoyuki SHIRASAKI et al
Serial No. : 11/235,579
Filed : September 26, 2005
For : DISPLAY PANEL
Art Unit : 2814
Examiner : LONG PHAM
Confirm. No.: 3394

In the event that this Paper
is late filed, and the
necessary petition for
extension of time is not filed
concurrently herewith, please
consider this as a Petition
for the requisite extension of
time, and to the extent not
already paid, authorization to
charge the extension fee to
Account No. 06-1378. In
addition, authorization is
hereby given to charge any
fees for which payment has not
been submitted, or to credit
any overpayments, to Account
No. 06-1378.

**INFORMATION DISCLOSURE STATEMENT
WITH STATEMENT UNDER 37 CFR 1.97(e) (1)**

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

S I R :

Submitted herewith are the following:

- (1) Copy of a Korean Office Action (Notice of Allowance)
dated December 31, 2007 (and English translation
thereof) issued in a counterpart Korean Patent
Application;
- (2) Copies of cited references; and
- (3) IDS Form.

An English translation of said Korean Office Action is
provided, thereby satisfying the requirements for a concise
explanation of relevance for any non-English language
publications cited therein (MPEP 609.04(a)III).

EP 1331666 cited in the Korean Office Action was submitted with Applicants' Information Disclosure Statement on July 27, 2006, and therefore is not cited again herein.

STATEMENT UNDER 37 CFR 1.97(e) (1)

Each item of information contained in this Information Disclosure Statement was first cited in any communication from foreign patent offices in counterpart foreign applications not more than three months prior to the filing of the present Information Disclosure Statement. Said Communication bears a mailing date of **December 31, 2008**.

It is respectfully requested that an initialed copy of the IDS Form be returned to indicate that the publications listed therein have all been considered and made of record.

Respectfully submitted,



Douglas Holtz, Esq.
Reg. No. 33,902

Encls.

Dated: March 6, 2008

FRISHAUF HOLTZ GOODMAN & CHICK, P.C.
220 FIFTH AVENUE
NEW YORK, N.Y. 10001-7708
Tel. No. (212) 319-4900
Fax No. (212) 319-5101
DH:djh

Please type a plus sign (+) inside this box →

+

U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE

IDS FORM INFORMATION DISCLOSURE STATEMENT BY APPLICANT				Application Number	11/235,579
				Filing Date	September 26, 2005
				First Named Inventor	Tomoyuki SHIRASAKI et al
				Group Art Unit	2814
				Examiner Name	LONG PHAM
Sheet	1	of	1	Attorney Docket Number	05644/LH

U.S. PATENT DOCUMENTS

Exam. Inits*	Cite No ¹	Document Number	Kind Code ²	Name of Patentee or Applicant	Publication Date MM-DD-YYYY	Relevant Portion

FOREIGN PATENT DOCUMENTS

Exam Inits*	Cite No ¹	Offc ³	Document Number ⁴	Kind Code ⁵	Name of Patentee or Applicant	Publication Date MM-DD-YYYY	Relevant Portion	T ⁶
		KR	2002-0000875	A		01-05-2002		
		KR	10-2004-0051611	A		06-18-2004		

Examiner Signature		Date Considered	
--------------------	--	-----------------	--

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

¹ Unique citation designation number. ² See kinds of U.S. Patent Documents. ³ Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). ⁴ For Korean patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. ⁵ Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. ⁶ Place a check here if English translation is attached.

DATE MAILED: March 6, 2008

(19) 대한민국특허청 (KR)
(12) 공개특허공보 (A)

(51) 。 Int. Cl. ⁷
H05B 33/10

(11) 공개번호 특2002 - 0000875
(43) 공개일자 2002년01월05일

(21) 출원번호	10 - 2001 - 7013205	(87) 국제공개번호	WO 2001/62051
(22) 출원일자	2001년10월16일	(87) 국제공개일자	2001년08월23일
번역문 제출일자	2001년10월16일		
(86) 국제출원번호	PCT/JP2001/01123		
(86) 국제출원출원일자	2001년02월16일		

(81) 지정국 국내특허 : 중국, 대한민국, 인도,
 EP 유럽특허: 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투갈, 스웨덴, 핀란드, 사이프러스, 터어키,

(30) 우선권주장 JP - P - 2000 - 0003 2000년02월16일 일본 (JP)
 8756

(71) 출원인 이데미쓰 고산 가부시키키가이샤
 도미나가 가즈토
 일본 도쿄도 지요다쿠 마루노우치 3초메 1반 1고

(72) 발명자 호소카와치시오
 일본치바켄299 - 0293소데가우라시가미이즈미1280

(74) 대리인 김창세

심사청구 : 없음

(54) 액티브 구동형 유기 전기발광장치 및 이의 제조방법

요약

본 발명은 상부 전극 및 하부 전극의 사이에 유기 발광 매체를 함유하여 이루어진 유기 EL 소자와, 이 유기 EL 소자를 구동하기 위한 박막 트랜지스터를 구비한 액티브 구동형 유기 전기발광장치에 있어서, 유기 EL 소자가 발광한 빛을, 상기 상부 전극측에서 취하여 방출시키고, 상부 전극이, 투명한 도전성 재료로 이루어지는 주전극과, 저저항 재료로 이루어지는 보조 전극으로 구성된다. 이와 같이 구성하면, 개구율을 크게 할 수 있음과 동시에, 상부 전극측에서 발광을 취하여 방출시킨 경우라도 상부 전극의 면저항을 저하시킬 수 있어서, 고휘도, 균질 휘도의 화상 표시가 가능한 유기 액티브 전기발광장치 및 이의 제조방법을 제공할 수 있다.

명세서

기술분야

본 발명은 박막 트랜지스터("TFT"라 칭하는 경우가 있다)를 구비한 액티브 구동형 유기 전기발광장치(이하, 간단히 "유기 EL 장치"라 칭하는 경우가 있다)에 관한 것이다. 보다 구체적으로는 민생용, 공업용 표시 기기, 컬러 디스플레이 등에 적합하게 사용되는 유기 EL 장치에 관한 것이다.

또한, 본 명세서에 있어서, "EL"이란 표현은 "전기발광"을 지칭한다.

배경기술

종래, 유기 전기발광장치(디스플레이)에 있어서는, XY 매트릭스 전극에 의해 단순 구동시켜서 화상 표시를 실시하는 방식의 소위 단순 구동형 유기 전기발광장치가 알려져 있다(일본국 특허공개공보 제90-37385호, 일본국 특허공개공보 제91-233891호 등).

그렇지만, 이러한 단순 구동형 유기 전기발광장치는 소위 선 순차 구동을 하므로, 주사선 수가 수 백개 있는 경우에 요구되는 순간 휘도가 관측 휘도의 수 백배가 되고, 결과적으로 하기와 같은 문제점을 안고 있다.

- (1) 구동 전압이 직류 정상 전압인 경우에 비해 2 내지 3배 이상 높아지므로, 발광 효율이 저하되거나, 소비전력이 커진다.
- (2) 순간적으로 흐르는 전류량이 수 백배가 되므로, 유기 발광층이 쉽게 열화된다.
- (3) (2)와 같이, 전류량이 매우 크게 되므로, 전극 배선에 있어서의 전압 강하가 커진다.

상기 단순 구동형 유기 전기발광장치가 갖는 문제점을 해결하기 위해서, TFT(thin film transistor)에 의해 유기 EL 소자를 구동시키는 각종의 액티브 구동형 유기 전기발광장치가 제안되었다(일본국 특허공개공보 제95-122360호, 일본국 특허공개공보 제95-122361호, 일본국 특허공개공보 제95-153576호, 일본국 특허공개공보 제96-54836호, 일본국 특허공개공보 제95-111341호, 일본국 특허공개공보 제95-312290호, 일본국 특허공개공보 제96-109370호, 일본국 특허공개공보 제96-129359호, 일본국 특허공개공보 제96-241047호, 일본국 특허공개공보 제96-227276호 및 일본 특허공개공보 제99-339968호 등).

이러한 액티브 구동형 유기 전기발광장치의 구조예를 도 18 또는 도 19에 도시했지만, 이러한 액티브 구동형 유기 전기발광장치에 의하면, 단순 구동형 유기 전기발광장치와 비교해서, 구동 전압이 대폭 저전압화되고, 발광 효율이 향상되며, 또한 소비전력을 저감할 수 있는 등의 효과를 획득할 수 있다.

그렇지만, 이러한 효과가 있는 액티브 구동형 유기 전기발광장치라 해도, 하기와 같은 (1) 내지(3)의 문제점을 안고 있다.

- (1) 화소의 개구율이 작아진다.

액티브 구동형 유기 전기발광장치에서는, 투광성 기판상에, 'TFT'가 화소 하나에 대하여 적어도 하나 마련되고, 또한 'TFT'를 선택하여 구동하기 위해서 주사 전극선 또는 신호 전극선이 기판상에 다수 마련되고 있었다. 따라서, 투광성 기판측에서 빛을 취하여 방출시키는 경우, 이들 'TFT'나 각종 전극선이 빛을 차단하므로, 화소의 개구율(실제로 발광하는 부분이 화소 중에 차지하는 비율)이 작아진다는 문제가 생겼다. 예를 들어 최근 개발된 액티브 구동형 유기 전기발광장치에서는, 유기 EL 소자를 정전류로 구동화하기 위한 TFT가 상기 두 개의 TFT에 부가되어 복수로 마련되고 있으므로,

개구율이 점점 작아진 상태다(약30% 이하). 그 결과, 개구율에 따라, 유기 발광 매체를 흐르는 전류 밀도가 커져, 유기 EL 소자의 수명이 짧아진다는 문제가 발생했다.

이러한 점을, 도 10, 도 11 및 도 18을 참조해서 보다 상세하게 설명하겠다. 도 10은, 도 18에 도시한 액티브 구동형 유기 전기발광장치(100)를 스위치 구동시키기 위한 회로도를 도시하고 있는데, 기판상에 게이트 라인(주사 전극선)(50) {도 18에서는(108)}과, 소스 라인(신호 전극선)(51)으로 각각 형성되어 있고, XY 매트릭스상을 이루고 있음을 나타내고 있다. 또한, 소스 라인(신호 전극선)(51)과 평행하게, 공통 전극선(52)이 마련되어 있다. 그리고, 이들의 게이트 라인(50) 및 소스 라인(51)에는, 한 화소당 제 1 TFT(55) 및 제 2 TFT(56)가 마련되어 있다. 또한, 제 2 TFT(56)의 게이트측과 공통 전극선(52) 사이에는, 상기 게이트 전압을 일정하게 홀드하기 위한 콘덴서(57)가 연결되어 있다.

따라서, 도 10에 도시한 회로도에 도시한 제 2 TFT(56)의 게이트에 콘덴서(57)에 의해 유지된 전압을 인가하여 스위칭함으로써, 결과적으로, 유기 EL 소자(26)를 효과적으로 구동할 수 있다.

또한, 도 11에 도시한 평면도는, 도 10에 도시한 회로도에 준거한 스위치부 등의 평면 방향의 투시도이다.

따라서, 도 18에 도시한 액티브 구동형 유기 전기발광장치(100)에 있어서는, 하부 전극(ITO, 인듐틴옥사이드)(102)측, 즉 기판(104)측에서 전기발광을 취하여 방출시키는 경우 TFT(106), 게이트 라인(108), 소스 라인(도시하지 않음) 등이 전기발광을 방해하므로, 화소에 있어서의 개구율이 작아진다는 문제가 있었다.

또한, 도 19에 도시한 것과 같은 TFT(200)와, 유기 EL 소자(202)를, 동일 평면상에 배치한 액티브 구동형 유기 전기발광장치(204)에서는, TFT(200) 등이 전기발광을 가로막는 경우는 없지만, 도 18에 도시한 액티브 구동형 유기 전기발광장치(100)와 비교해서, 더욱 화소에 있어서의 개구율이 저하되게 된다.

(2) 상부 전극의 면저항이 크다.

한편, 기판의 반대측, 즉 상부 전극측에서 빛을 취하여 방출시키는 경우에는, TFT 등에 의해 차폐되지 않고, 개구율이 큰 상태로, 고휘도의 화상이 획득될 가능성이 있다. 그렇지만, 상부 전극측에서 전기발광을 취하여 방출시키는 경우, 효율적으로 외부에 전기발광을 취하여 방출시키기 위해서, 상부 전극을 투명한 도전성 재료로 형성할 필요가 있었다. 상기 상부 전극의 면저항은 예를 들어 20Ω/□를 초과하므로, 대면적 표시를 할 때에 큰 문제가 생기게 되었다.

예를 들어 대각 사이즈가 20인치(중형비 3:4)의 전기발광장치를 전면, 휘도 300nit로 발광하려고 하면, 유기 발광 매체에, 10cd/A(단위전류당 광량을 나타낸다)가 높은 발광 효율을 갖는 유기 발광 재료를 사용했다고 해도 3600mA의 대전류를 상부 전극에 흘릴 필요가 생겼다.

보다 구체적으로는, 상부 전극의 저항에 의한 전압 강하의 값은, Σnir로 표시되고, 아래 식에 근거해서 계산된다.

수학식 1

$$\sum nir = 1/2 \times N(N+1)ir$$

N: 횡방향의 전체 화소수×1/2

r: 1화소에 있어서의 상부 전극의 저항치(Ω)

i: 1화소에 흐르는 정전류값(A)

따라서, 예를 들어 발광 효율을 10cd/A, 발광 휘도를 300nit, 화소형상을 200×600 μ m²각, 상전극의 면저항을 20 Ω /□라고 하면, 화소 전류값은 3.6×10⁻⁶ A가 되고, 또한 횡방향의 전체 화소수를 2000이라 하면, 횡방향의 전압 강하는 12V(1/2×1000×1000×3.6×10⁻⁶×20×1/3)이고, 정전류 구동시의 구동 회로의 전압 허용 범위(10V)를 초과하게 된다. 따라서, 상기 조건으로 발광시키기는 것은 실질적으로 곤란했다.

즉, 상부 전극의 면저항이 크면, 그것에 대응해서 특히 화면 중앙부의 전압 강하가 커져, 결과적으로, 발광 휘도가 현저히 저하되는 문제가 나타났다. 또한, 화소마다 정전류(일정휘도)가 되도록 회로를 사용해서 보정하는 것도 시도되고 있지만, 그것으로는 불충분했다.

(3) 제조상, 상부 전극에 있어서의 저항치의 제어가 곤란하다.

대각 사이즈가 수 인치 내지 10 인치 급의 액티브 구동형 유기 전기발광장치의 상부 전극에 있어서, ITO 또는 ZnO의 일반적 재료를 사용하여 비저항을 저저항치, 예를 들어 1×10⁻³ $\Omega \cdot \text{cm}$ 이하의 값으로 하기 위해서는, 가열 온도를 200℃ 이상의 값으로 할 필요가 있다고 알려져 있다. 그런데, 유기 발광 매체의 내열성은 보통 200℃ 이하이므로, 가열 온도를 그 이하의 저온으로 할 필요가 있다. 따라서, 상부 전극의 비저항의 값을 제어할 수 없으면서, 1×10⁻³ $\Omega \cdot \text{cm}$ 을 초과하는 경우가 있고, 결과적으로, 면저항이 20 Ω /□를 초과하는 높은 값이 된다고 하는 문제가 나타났다. 또한, 유기 발광 매체상에 ITO나 IZO 등의 산화물을 사용하여 상부 전극을 형성할 때에, 스퍼터링에 플라즈마를 사용한 경우에는, 유기 발광 매체가 플라즈마로 손상을 입는 문제도 나타났다.

상기 문제에 비추어 본 발명은 유기 EL 소자를 구동하기 위한 TFT를 마련한 경우라도 각 화소에 있어서의 개구율을 크게 할 수 있고, 또한 상부 전극측에서 발광을 취하여 방출시킨 경우라도 상부 전극의 면저항을 저하시킬 수 있는 유기 액티브 전기발광장치에 관한 것으로, 고휘도이고 균일한 휘도의 화상 표시가 가능한 유기 액티브 전기발광장치, 및 그와 같은 유기 액티브 전기발광장치를 효율적으로 제조할 수 있는 제조방법을 제공하는 것을 목적으로 한다.

발명의 요약

[1] 본 발명에 의하면, 상부 전극과 하부 전극과의 사이에 유기 발광 매체를 함유하여 이루어진 유기 EL 소자와, 이 유기 EL 소자를 구동하기 위한 TFT를 구비한 액티브 구동형 유기 전기발광장치에 있어서, 유기 EL 소자가 발광한 빛(전기발광)을, 상부 전극측에서 취하여 방출시키고, 상부 전극이, 투명한 도전성 재료(투명 반도체 재료를 함유한다)로 이루어진 주전극과, 저저항 재료로 이루어지는 보조 전극으로 구성되는 것을 특징으로 하고 있다.

이와 같이 구성하면, TFT를 마련한 경우라도 개구율을 크게 할 수 있음과 동시에, 상부 전극측에서 발광을 취하여 방출시킨 경우라도 상부 전극의 면저항을 저하시킬 수 있다.

또한, 휘도 향상을 도모할 수 있고, 또한 유기 발광 매체에 흐르는 전류 밀도를 저감할 수 있으므로, 유기 발광 매체의 수명을 현저히 늘릴 수 있다.

[2] 또한, 본 발명의 액티브 구동형 유기 전기발광장치를 구성하는데 있어서, 박막 트랜지스터 및 화소의 선택 수단용 트랜지스터로 구성된 전기 스위치와, 상기 전기 스위치를 구동하기 위한 주사 전극선 및 신호 전극선을 갖는 것이 바람직하다.

즉, 예를 들어 XY 매트릭스상에 배설된 주사 전극선 및 신호 전극선 및, 이들의 전극선에 전기 접속된 TFT와, 화소의 선택 수단용 트랜지스터로 구성된 전기 스위치를 갖는 것이 바람직하다.

이와 같이 구성하면, 임의의 화소를 선택함과 동시에, 주사 전극선 및 신호 전극선을 통해, 주사 신호 펄스 및 신호 펄스를 인가하고, TFT를 함유하는 전기 스위치의 스위치 동작을 실시함으로써, 유기 EL 소자를 효율적으로 구동시킬 수 있다.

[3] 또한, 본 발명의 액티브 구동형 유기 전기발광장치를 구성하는데 있어서, 투명한 도전성 재료가 도전성 산화물, 광투과성 금속막, 비축퇴(非縮退; non-degeneracy) 반도체, 유기 도전체 및 반도체(半導電性) 탄소 화합물로 이루어진 그룹으로부터 선택된 하나 이상의 재료인 것이 바람직하다.

즉, 상부 전극의 먼저항을 저감할 수 있으므로, 주전극에 있어서는, 종래 사용되던 투명한 도전성 재료뿐 아니라, 그 밖의 투명한 도전성 재료에 대해서도 사용할 수 있게 되어, 상기 투명한 도전성 재료에 관해서도 사용할 수 있게 되었다.

예를 들어 비축되 반도체 등이고, 바람직하게는 200℃ 이하에, 또한 바람직하게는 100℃ 이하의 저온으로 성막이 가능한 재료를 사용할 수 있기 위해서는 성막시의 유기층의 열손상을 작게 할 수 있다. 또한, 유기 도전체, 및 반도체성 탄소 화합물 등을 사용함으로써, 저온에서의 증착 또는 습식 코팅이 가능해진다.

[4] 또한, 본 발명의 액티브 구동형 유기 전기발광장치를 구성하는데 있어서, 보조 전극이 평면 내에 주기적으로 배치되어 있는 것이 바람직하다.

예를 들어 보조 전극을 매트릭스상 또는 스트라이프상 등에 배치함으로써, 상부 전극을 균일히, 또한 효과적으로 저저항화할 수 있다.

[5] 또한, 본 발명의 액티브 구동형 유기 전기발광장치를 구성함에 있어서, 보조 전극의 단면형상이 오버행(overhang) 형상인 것이 바람직하다.

이와 같이 구성하면, 보조 전극상에 절연성의 유기층이 적층되어 있는 경우에도, 오버행(역 테이퍼 등도 함유한다) 한 상방부의 하방으로 위치하는 부위를 이용하여, 상부 전극에 대하여 확실히 전기 접속할 수 있다.

[6] 또한, 본 발명의 액티브 구동형 유기 전기발광장치를 구성하는데 있어서, 보조 전극이 하부 보조 전극과 상부 보조 전극으로 이루어지는 것이 바람직하다.

이와 같이 보조 전극을 구성함으로써, 하부 보조 전극 또는 상부 보조 전극을 이용하여, 주전극에 대하여 용이하게 전기 접속할 수 있다. 또한, 이와 같이 하부 보조 전극과, 상부 보조 전극으로 분리되어 있으므로, 오버행 형상을 용이하게 형성할 수 있다.

[7] 또한, 본 발명의 액티브 구동형 유기 전기발광장치를 구성함에 있어서, 보조 전극에 있어서의 하부 보조 전극 및 상부 보조 전극이, 예칭속도가 다른 구성 재료로 구성되는 것이 바람직하다.

이와 같이 구성함으로써, 예칭법에 의해, 오버행 형상을 용이하게 형성할 수 있다.

[8] 또한, 본 발명의 액티브 구동형 유기 전기발광장치를 구성함에 있어서, 보조 전극에 있어서의 하부 보조 전극 및 상부 보조 전극 또는 어느 한 편을, 주전극에 대하여 전기 접속되어 있는 것이 바람직하다.

이와 같이 구성함으로써, 주전극에 대하여 보다 용이하고 또한 확실히 전기 접속할 수 있고, 결과적으로 상부 전극의 저저항화를 꾀할 수 있다.

[9] 또한, 본 발명의 액티브 구동형 유기 전기발광장치를 구성함에 있어서, 보조 전극이, 유기 EL 소자를 형성하기 위한 층간 절연막상, 하부 전극을 전기 절연하기 위한 전기 절연막상, 또는 TFT를 전기 절연하기 위한 전기 절연막상에 각각 형성시킨 것이 바람직하다.

이와 같이 구성함으로써, 화소에 있어서의 개구율을 보다 넓게 할 수 있다.

[10] 또한, 본 발명의 액티브 구동형 유기 전기발광장치를 구성함에 있어서, 'IF1'의 활성층이, 폴리실리콘으로부터 형성시킨 것이 바람직하다.

폴리실리콘으로 이루어지는 활성층은 통전량에 대하여 바람직한 내성을 가지므로, 상기와 같이 활성층을 구성하는 경우 내구성이 높은 'IF1'를 갖는 액티브 구동형 유기 전기발광장치로 수득할 수 있다.

[11] 또한, 본 발명의 액티브 구동형 유기 전기발광장치를 구성함에 있어서, TFT상에, 층간 절연막이 형성됨과 동시에, 상기 층간 절연막상에 유기 EL 소자의 하부 전극이 마련되고 있고, 또한 TFT과 하부 전극과가 층간 절연막에 마련한 비어홀을 통해 전기 접속되어 있는 것이 바람직하다.

이와 같이 구성함으로써, TFT와, 유기 EL 소자와의 사이에서, 우수한 전기 절연성을 획득할 수 있다.

[12] 또한, 본 발명의 액티브 구동형 유기 전기발광장치를 구성함에 있어서, 주전극에 대하여, 보조 전극으로부터 전하를 주입하고, 기판의 주표면에 대하여 평행하게 수송한 후, 유기 발광 매체에 대해 주입시키는 것이 바람직하다.

이와 같이 구성함으로써, 주전극에 대해 비금속의 화합물을 채용할 수가 있고, 주전극의 투명성을 향상시킬 수 있다. 또한, 여기에서 비금속의 화합물이란, 예를 들어 후술한 비축퇴 반도체, 유기 도전체 또는 반도체의 탄소 화합물을 의미한다.

[13] 또한, 본 발명의 액티브 구동형 유기 전기발광장치를 구성함에 있어서, 주전극의 면저항을 1K 내지 10M Ω /□의 범위 내의 값으로 하는 것이 바람직하다. 또한, 본 발명의 액티브 구동형 유기 전기발광장치를 구성함에 있어서, 보조 전극의 면저항을 0.01 내지 10 Ω /□의 범위내의 값으로 하는 것이 바람직하다.

이러한 구성을 각각의 전극이 취함으로써, 높은 발광 휘도를 부여하는 전류를 통전할 수 있음과 동시에, 상부 전극의 면저항을 확실히 저하시킬 수 있다.

[14] 또한, 본 발명의 액티브 구동형 유기 전기발광장치를 구성함에 있어서, 상부 전극측에서 취하여 방출시킨 발광을 색변환하기 위한 컬러 필터 및 형광막 또는 어느 한 편의 부재가 마련됨이 바람직하다.

이와 같이 구성함으로써, 상부 전극으로부터 취하여 방출시킨 발광을 컬러 필터 또는 형광막으로 색변환하여, 풀컬러 표시를 할 수 있다.

[15] 또한, 본 발명의 액티브 구동형 유기 전기발광장치를 구성함에 있어서, 컬러 필터 또는 형광막의 일부에 블랙 매트릭스가 형성되어 있고, 상기 블랙 매트릭스와, 보조 전극이 수직방향에서 겹치는 것이 바람직하다.

이와 같이 구성함으로써, 블랙 매트릭스에 의해 보조 전극의 외광반사를 효율적으로 억제할 수 있음과 동시에, 개구율을 넓힐 수 있다.

[16] 또한, 본 발명의 액티브 구동형 유기 전기발광장치를 구성함에 있어서, 보조 전극이 주전극상으로 형성됨과 동시에, 보조 전극의 면적을 주전극의 면적보다도 작게 해 둔 것이 바람직하다.

이와 같이 구성함으로써, 주전극을 형성시킨 후에, 보조 전극을 형성할 수 있으므로, 보조 전극의 형성이보다 용이하여진다.

[17] 또한, 본 발명의 액티브 구동형 유기 전기발광장치를 구성함에 있어서, 보조 전극이, 주위를 덮는 밀봉 부재에 매설하여 마련함이 바람직하다.

이와 같이 구성함으로써, 보조 전극의 두께에 의해 유기 전기발광장치의 두께가 여분으로 두껍게 되는 일이 없다. 또한, 보조 전극을 미리 밀봉 부재에 형성시킬 수 있으므로, 밀봉 부재에 의한 밀봉과, 보조 전극과 주전극의 전기 접속을 동시에 실시할 수 있다.

[18] 또한, 본 발명의 액티브 구동형 유기 전기발광장치를 구성함에 있어서, 보조 전극이, 주위를 덮는 밀봉 부재와 주전극과의 사이에 밀착 배치되어 있는 것이 바람직하다.

이와 같이 구성함으로써, 밀봉 부재에 의한 밀봉과, 보조 전극과 주전극과의 전기 접속을 동시에 실시할 수 있다.

[19] 또한, 본 발명의 별도의 형태는, 액티브 구동형 유기 전기발광장치를 구성함에 있어서, 상부 전극과 하부 전극과의 사이에 유기 발광 매체를 함유하여 이루어진 유기 EL 소자와, 이 유기 EL 소자를 구동하기 위한 TFT를 기판상에 구비한 액티브 구동형 유기 전기발광장치의 제조방법이고, 유기 EL 소자를 형성시키는 공정과, TFT를 형성시키는 공정을 함유함과 동시에, 상기 유기 EL 소자를 형성시키는 공정 내에서, 하부 전극 및 유기 발광 매체를 형성시킨 후, 투명한 도전성 재료(투명반도체 재료를 함유한다)로부터 주전극을 형성시키고, 또한 저저항 재료로부터 보조 전극을 형성시켜 상부 전극으로 하는 것을 특징으로 한다.

이와 같이 실시하면, TFT를 마련한 경우라도 개구율이 크고, 또한 상부 전극측에서 발광을 취하여 방출시킨 경우라도 상부 전극의 면저항이 낮은 액티브 구동형 유기 전기발광장치를 효과적으로 제공할 수 있다.

도면의 간단한 설명

도 1은 제 1 실시양태의 액티브 구동형 유기 전기발광장치의 단면도이다.

도 2는 제 1 실시양태의 층간 절연막을 제거한 액티브 구동형 유기 전기발광장치의 예를 도시한 단면도이다.

도 3은 제 1 실시양태의 보조 전극 배치의 변형예를 도시한 단면도이다(1).

도 4는 제 1 실시양태의 보조 전극이 주기적으로 배치된 예를 도시한 모식도이다.

도 5는 제 2 실시양태의 액티브 구동형 유기 전기발광장치의 단면도이다.

도 6은 제 1 실시양태의 보조 전극의 배치의 변형예를 도시한 단면도이다(2).

도 7은 제 3 실시양태의 액티브 구동형 유기 전기발광장치의 단면도이다(1).

도 8은 제 3 실시양태의 액티브 구동형 유기 전기발광장치의 단면도이다(2).

도 9는 TFT의 설명에 제공되는 도면이다.

도 10은 액티브 구동형 유기 전기발광장치의 일례를 도시한 회로도이다.

도 11은 도 10에 도시한 회로도에 따르는 액티브 구동형 유기 전기발광장치의 평면 방향의 투시도이다.

도 12는 TFT의 형성 공정의 일부를 도시한 것이다.

도 13은 보조 전극의 단면도이다(1).

도 14는 보조 전극의 단면도이다(2).

도 15는 보조 전극의 단면도이다(3).

도 16은 보조 전극의 단면도이다(4).

도 17은 제 1 실시양태의 액티브 구동형 유기 전기발광장치의 변형예를 도시한 단면도이다.

도 18은 종래의 액티브 구동형 유기 전기발광장치의 단면도이다(1).

도 19는 종래의 액티브 구동형 유기 전기발광장치의 단면도이다. 보조 전극의 단면도이다(2).

발명의 상세한 설명

이하, 도면을 참조해서, 본 발명의 실시양태에 관해서 구체적으로 설명한다. 또한, 참조하는 도면은, 이 발명을 이해할 수 있을 정도로 각 구성 성분의 크기, 형상 및 배치관계를 개략적으로 도시한데 불과하다. 따라서, 이 발명은 도시에 예만 한정되는 것이 아니다. 또한, 도면에서는, 단면을 나타내는 해칭을 생략하는 경우가 있다.

[제 1 실시양태]

제 1 실시양태인 액티브 구동형 유기 전기발광장치는, 도 1에 도시한 바와 같이, 기판(10)상에, 전기 절연막(12)에 매설된 TFT(14)와, 이 TFT(14)의 상방에 마련된 층간 절연막(평탄화막) (13)과, 상부 전극(20) 및 하부 전극(22)의 사이에 유기 발광 매체(24)를 함유하여 구성된 유기 EL 소자(26)와, TFT(14) 및 유기 EL 소자(26)를 전기 접속하기 위한 전기 접속부(28)를 구비한 액티브 구동형 유기 전기발광장치(61)이다.

그리고, 제 1 실시양태에서는, 유기 EL 소자(26)의 발광(EL 발광)을, 상부 전극(20)의 측에서 취하여 방출시키고, 상부 전극(20)을 저저항화하기 위해서, 상기 상부 전극(20)을 투명한 도전성 재료로 이루어지는 주전극(16)과, 저저항 재료로 이루어지는 보조 전극(18)으로 구성되는 것을 특징으로 하고 있다.

이하, 제 1 실시양태에 있어서, 도 2를 적당하게 참조하면서, 그 구성요소 등에 관해서 설명한다.

또한, 도 2에는, 도 1에 도시한 층간 절연막(평탄화막) (13)을 제외한 구성의 액티브 구동형 유기 전기발광장치(62)를 도시했지만, 도 2에 있어서는, TFT(14)를 매설하기 위한 전기 절연막(12)이 층간 절연막의 역할을 완수하고 있다.

1. 기판

유기 EL 표시장치에 있어서의 기판(지지기판이라 칭하는 경우가 있다)는, 유기 EL 소자 또는 TFT 등을 지지하기 위한 부재이므로 기계적 강도 또는 치수 안정성이 우수한 것이 바람직하다.

이러한 기판으로서, 구체적으로는, 유리판, 금속판, 세라믹스판, 또는 플라스틱판(폴리카보네이트 수지, 아크릴 수지, 염화비닐 수지, 폴리에틸렌테레프탈레이트 수지, 폴리이미드 수지, 폴리에스테르 수지, 에폭시 수지, 페놀 수지, 실리콘 수지, 불소 수지 등) 등을 예로 들 수 있다.

또한, 이들의 재료로 이루어지는 기판은, 유기 EL 표시 장치 내로 수분의 침입을 피하기 위해서, 또한 무기막을 형성하거나, 불소수지를 도포하기도 하고, 방습 처리나 소수성 처리를 실시하는 것이 바람직하다.

특히, 유기 발광 매체로의 수분의 침입을 피하기 위해서, 기판에 있어서의 함수율 및 가스 투과 계수를 작게 하는 것이 바람직하다. 구체적으로, 지지기판의 함수율을 0.0001 중량% 이하의 값 및 가스투과계수를 1×10^{-13} cc·cm/cm²·s·ec.cmHg 이하의 값으로 하는 것이 각각 바람직하다.

또한, 본 발명에서는 기판과 반대측, 즉, 상부 전극측에서 전기발광을 취하여 방출시키기 때문에, 기판은 반드시 투명성을 가질 필요는 없다.

2. 유기 EL 소자

(1) 유기 발광 매체

유기 발광 매체는, 전자와 정공이 재결합하여, 전기발광이 가능한 유기 발광층을 함유하는 매체라고 정의할 수 있다. 이러한 유기 발광 매체는, 예를 들어 양극상에, 이하의 각 층을 적층하여 구성할 수 있다.

- ① 유기 발광층
- ② 정공 주입층/유기 발광층
- ③ 유기 발광층/전자 주입층
- ④ 정공 주입층/유기 발광층/전자 주입층
- ⑤ 유기 반도체층/유기 발광층
- ⑥ 유기 반도체층/전자장벽층/유기 발광층
- ⑦ 정공 주입층/유기 발광층/부착개선층

이들 가운데, ④의 구성이, 보다 높은 발광 휘도를 획득할 수 있고, 내구성에도 우수하다는 점에서 통상 바람직하게 쓰인다.

① 구성재료

유기 발광 매체에 있어서의 발광재료로서는, 예를 들어 p-쿼터페닐 유도체, p-퀸크페닐 유도체, 벤조티아졸계 화합물, 벤조이미다졸계 화합물, 벤조옥사졸계 화합물, 금속킬레이트화 옥시노이드 화합물, 옥사디아졸계 화합물, 스티릴 벤젠계 화합물, 디스티릴피라진 유도체, 부타디엔계 화합물, 나프탈이미드 화합물, 페릴렌 유도체, 알다진 유도체, 피라지린 유도체, 사이클로펜타디엔 유도체, 피롤로피롤 유도체, 스티르아민 유도체, 쿠마린계 화합물, 방향족 디메틸리딘계 화합물, 8-키놀리놀 유도체를 배위자로 하는 금속착체, 폴리페닐계 화합물 등의 1종 단독 또는 2종 이상의 조합을 예로 들 수 있다.

또한, 이들의 유기 발광 재료 중, 방향족 디메틸리딘계 화합물로서의, 4,4'-비스(2,2-디-t-부틸페닐비닐) 비페닐(DTBPBBi로 약칭한다) 또는 4,4'-비스(2,2-디페닐비닐) 비페닐(DPVBi로 약칭한다) 및 이들의 유도체가 보다 바람직하다.

또한, 디스티릴아릴렌 골격 등을 갖는 유기 발광 재료를 호스트 재료로 하여, 상기 호스트 재료에, 도판트로서의 청색에서 적색까지의 강한 형광색소, 예를 들어 쿠마린계 재료, 또는 호스트와 같은 형광색소를 도프한 재료를 병용하는 것도 적합하다. 더 구체적으로는, 호스트 재료로서 상술한 DPVBi 등을 사용하고, 도판트로서 N,N-디페닐아미노벤젠(DPAVBi로 약칭한다) 등을 사용하는 것이 바람직하다.

또한, 유기 발광 매체에 있어서의 정공 주입층에는, 1×10^4 내지 1×10^6 V/cm의 범위의 전압을 인가한 경우에 측정되는 정공 이동도가, 1×10^{-6} cm²/V·초 이상이고, 이온화 에너지가 5.5eV 이하인 화합물을 사용하는 것이 바람직하다. 이러한 정공 주입층을 마련함으로써, 유기 발광층으로의 정공 주입이 양호하게 되어, 높은 발광 휘도를 획득할 수 있거나, 또는 저전압 구동이 가능해진다.

이러한 정공 주입층의 구성재료로서는, 구체적으로, 폴리린 화합물, 방향족제 3급 아민화합물, 스티릴아민 화합물, 방향족 디메틸리딘계 화합물, 축합 방향족 환화합물, 예를 들어 4,4'-비스[N-(1-나프틸)-N-페닐아미노] 비페닐(NPD로 약칭한다)나, 4,4',4''-트리스[N-(3-메틸페닐)-N-페닐아미노] 트리페닐아민(MTDATA로 약칭한다) 등의 유기 화합물을 예로 들 수 있다.

또한, 정공 주입층의 구성재료로서, p형-Si나 p형-SiC 등의 무기 화합물을 사용하는 것도 바람직하다.

또한, 상술한 정공 주입층과, 양극층과의 사이, 또는 상술한 정공 주입층과, 유기 발광층과의 사이에, 도전율이 1×10^{-10} S/cm 이상인 유기 반도체층을 마련하는 것도 바람직하다. 이러한 유기 반도체층을 마련함으로써, 더욱 유기 발광층으로의 정공 주입이 보다 양호하여 진다.

또한, 유기 발광 매체에 있어서의 전자 주입층에는, 1×10^4 내지 1×10^6 V/cm의 범위의 전압을 인가한 경우에 측정되는 전하이동도가, 1×10^{-6} cm²/V·초 이상이고, 이온화 에너지가 5.5 eV를 초과하는 화합물을 사용하는 것이 바람직하다. 이러한 전자 주입층을 마련함으로써, 유기 발광층으로의 전자 주입이 양호해져, 높은 발광 휘도를 획득할 수 있다든지, 또는 저전압 구동이 가능해진다.

이러한 전자 주입층의 구성 재료로서는, 구체적으로, 8-하이드록시킴놀린의 금속착체(AI킬레이트:Alq), 또는 그 유도체, 또는 옥사디아졸 유도체 등을 예로 들 수 있다.

또한, 유기 발광 매체에 있어서의 부착 개선층은, 이러한 전자 주입층의 1형태라고 간주할 수 있는데, 즉, 전자 주입층 중, 특히 음극과의 접촉성이 양호한 재료로 이루어지는 층이고, 8-하이드록시킴놀린의 금속착체 또는 그 유도체 등으로부터 구성하는 것이 바람직하다.

또한, 상술한 전자 주입층에 접하고, 도전율이 1×10^{-10} S/cm 이상인 유기 반도체층을 마련하는 것도 바람직하다. 이러한 유기 반도체층을 마련함으로써, 더욱 유기 발광층에의 전자주입성이 양호해 진다.

(2) 두께

또한, 유기 발광 매체의 두께에 관해서는 특별히 제한은 없지만, 예를 들어 두께를 5nm 내지 5 μ m의 범위내의 값으로 하는 것이 바람직하다.

그 이유는, 유기 발광 매체의 두께가 5nm 미만이면, 발광 휘도나 내구성이 저하되는 경우가 있고, 한편, 유기 발광 매체의 두께가 5 μ m을 초과하면, 인가 전압의 값이 높아지는 경우가 있기 때문이다.

따라서, 유기 발광 매체의 두께를 10nm 내지 3 μ m의 범위 내의 값으로 하는 것이 더 바람직하고, 20nm 내지 1 μ m의 범위 내의 값으로 하는 것이 더욱 바람직하다.

(2) 상부 전극

① 구성 1

제 1 실시양태에 있어서, 도 1에 도시한 바와 같이, 상부 전극(20)을, 투명한 도전성 재료로 이루어지는 주전극(16)과, 저저항 재료로 이루어지는 보조 전극(18)으로 구성되는 것을 특징으로 하고 있다.

이와 같이 주전극(16) 뿐 아니라, 저저항 재료로 이루어지는 보조 전극(18)을 마련함으로써, 상부 전극(20)의 면저항을 현저히 저감할 수 있다. 따라서, 유기 EL 소자(26)를, 저전압으로 구동할 수 있어, 소비전력을 저감할 수 있다.

또한, 도 1에 도시한 주전극(16)은, 투명한 도전성 재료, 예를 들어 투과율이 10% 이상의 재료이고, 바람직하게는 투과율이 60% 이상인 재료로부터 구성되므로, 상기 주전극(16)을 통해서 전기발광을 외부에 효과적으로 취하여 방출시킬 수 있다. 따라서, TFT(14) 등을 마련한 경우라도, 화소(31)에 있어서의 개구율을 크게 할 수 있다.

② 구성 2

또한, 도 13 내지 도 15에 도시한 바와 같이, 상부 전극(20)에 있어서의 보조 전극(18)의 구성으로서, 상기 보조 전극(18)을, 상부 보조 전극(17)과, 하부 보조 전극(19)으로 구성되는 것이 바람직하다.

이와 같이 구성함으로써, 상부 보조 전극(17)이 전기 절연되었어도, 하부 보조 전극(19)에 있어서, 주전극(16)과 전기 접속할 수가 있고, 반대로 하부 보조 전극(19)이 전기 절연되었어도, 상부 보조 전극(17)에 있어서, 주전극(16)과 전기 접속할 수 있다.

또한, 이와 같이 구성함으로써, 다른 구성재료를 사용하여 각각 형성할 수 있으므로, 보조 전극(18)과 주전극(16)의 전기 접속이 더욱 확실해진다. 예를 들어 투명 산화물 도전성 재료로 이루어지는 주전극(16)과, 금속 재료로 이루어지는 보조 전극(18)을 직접 전기 접속하는 것보다도, 금속에 대해서도, 투명 산화물 도전성 재료에 대해서도 비교적 전기 접속성이 양호한 반도체 재료, 예를 들어 비결정성 무기 산화물인 인듐 아연 산화물(IZO)로 이루어진 하부 보조 전극(19)을 통해, 금속재료로 이루어지는 상부 보조 전극(17)과 전기 접속하는 편이, 주전극(16)과의 전기 접속이 보다 확실해지기 때문이다.

또한, 이와 같이 구성함으로써, 에칭 특성이 다른 구성재료를 사용하여 각각 형성할 수 있으므로, 후술한 바와 같이 보조 전극(18)의 단면형상을 용이하게 오버행 형상으로 할 수 있다.

③ 구성 3

또한, 도 13 내지도 16에 도시한 바와 같이, 상부 전극(20)에 있어서의 보조 전극(18)의 구성으로서, 상부 보조 전극(18)의 단면형상을 오버행 형상으로 하는 것이 바람직하다.

그 이유는, 보조 전극(18)상에 절연막이 적층되어 있어도, 오버행 형상 하부에서, 주전극(16)에 대해 전기 접속할 수가 있기 때문이다.

즉, 보조 전극(18)을 형성시킨 후에, 절연막 또는 유기 발광 매체를 증착법 등에 의해 형성시키고, 또한 주전극(16)을 형성하면, 보조 전극(18)상에 절연막이 피복되어 버려, 보조 전극(18)과 주전극(16)을 전기 접속하는 것이 곤란해지는 경우가 있다.

그에 대하여, 보조 전극(18)의 단면형상이 오버행 형상이면, 절연막을 증착 등을 실시한 경우라도, 보조 전극(18)의 측면에는 절연막의 부착이 곤란하므로 이와 같이 노출된 보조 전극(18)의 측면을 이용하여, 주전극(16)에 대한 확실한 전기 접속을 보장할 수 있다.

예를 들어 도 14에 있어서, 상부 보조 전극(17)이, 유기 발광 매체(24) 등에 의해 전기 절연되어 있지만, 하부 보조 전극(19)에 있어서, 주전극(16)과 전기 접속되어 있는 것은, 보조 전극(18)의 이 구성에 유래된 접속 용이성을 나타내고 있다.

또한, 보조 전극(18)의 단면형상을 오버행 형상으로 하기 위해서는, 상술한 바와 같이, 보조 전극(18)을 하부 보조 전극(19)과 상부 보조 전극(17)으로 구성하고, 하부 보조 전극(19) 및 상부 보조 전극(17)에, 각각 에칭속도가 다른 구성재료로 형성시킴으로써, 용이하게 형성할 수 있다. 구체적으로, 하부 보조 전극(17)을 Al나 Al 합금 등의 금속재료로 형성시키고, 상부 보조 전극(17)을 실리카, 알루미늄, 질화 Si, 질화 Cr, 질화 Ta, 질화 W 등의 비금속 재료로 형성하는 것이 바람직하다.

따라서, 예를 들어 하부 보조 전극(19)을 Al, 상부 보조 전극(17)을 Cr로 부터 각각 형성시키고, 이어서 포토리소그라피법에 의해 Cr을 질산세륨암모늄 용액으로 에칭한 후, 또한 Al를 인산, 질산, 아세트산의 혼합 용액으로 에칭함으로써, 하부 보조 전극(19)의 Al만이 오버에칭되기 때문에, 오버행을 용이하게 취득할 수 있다.

이러한 오버행의 예를 도 13 내지도 16에 도시한다. 각종 형상이 가능하고, 하부 보조 전극(19)과 상부 보조 전극(17)에서 이루어지는 2층 구성의 오버행 형상의 보조 전극(18) 외에, 도 16(e)에 도시한 바와 같이 3층 구성의 오버행 형상의 보조 전극(18)도 가능하다.

또한, 도 13 내지 도 16 중의 화살표는, 오버행의 들출 방향을 도시한다.

④ 구성 4

또한, 도 4에 도시한 바와 같이, 상부 전극(20)에 있어서의 보조 전극(18)의 구성으로서, 상기 보조 전극(18)을 평면시한 경우에, 평면 내에서 주기적으로 배치된 것이 바람직하다.

이에 의해 대폭적이고 균일하게 상부 전극의 저저항화가 실현되고, 또한 보조 전극(18)을 주기적으로 배치함으로써, 형성하는 것도 용이해 진다.

⑤ 구성 5

또한, 도 1 및 도 2에 도시한 바와 같이, 상부 전극(20)에 있어서의 보조 전극(18)의 구성으로서, 상기 보조 전극(18)을, 평면시한 경우에, 인접하는 하부 전극(22)의 사이에 배치하는 것이 바람직하다. 예를 들어 도 2에 있어서, 점선으로 나타낸 인접하는 화소(31)와 화소(31)와의 사이에 보조 전극(18)이 마련함은, 이것을 나타낸다.

즉, 이와 같이 보조 전극(18)을 배치하면, 화소(31)에 있어서의 개구율을 좁히는 일이 없이 보다 높은 발광 휘도를 취득할 수 있다.

또한, 보조 전극(18)의 다른 배치예로서, 도 5에 도시한 컬러 필터 또는 형광막(60)과 함께, 하부 전극(22) 사이에 상응하는 수직방향 위치에 블랙 매트릭스(차광부)가 마련되어진 경우에는, 상기 블랙 매트릭스의 차광부와 보조 전극이 수직방향에서 겹쳐지도록, 보조 전극(18)을 배치하는 것이 바람직하다.

이와 같이 구성하면, 블랙 매트릭스를 배치한 경우라도, 화소에 있어서의 개구율을 좁히는 일이 없고, 또한 보조 전극에 있어서의 반사광을 효과적으로 방지할 수 있다.

⑥ 구성 6

또한, 도 1 및 도 2에 도시한 바와 같이, 상부 전극(20)에 있어서의 보조 전극(18)의 구성으로서, TFT(14)를 전기 절연하기 위한 전기 절연막(12) 및 층간 절연막(평탄화막) (13), 또는 어느 한 편 of 절연막(12,13)상에, 보조 전극(18)을 마련하는 것이 바람직하다.

이와 같이 구성하면, 보조 전극과 TFT에 관계한 배선과의 사이에서 형성되는 전기용량을 저감할 수 있으므로, 유기 EL 소자의 스위칭 동작을 빠르게 할 수 있다.

또한, 도 3에 도시한 바와 같이, 보조 전극(18)의 별도의 배치 구성으로서, 인접하는 하부 전극(22)의 사이에, 층간 절연막(13)과는 다른 전기 절연막(25)을 배치하고, 그 절연막(25)상에 보조 전극(18)을 마련하는 것이 바람직하다.

이와 같이 구성하면, 하부 전극(22)의 단차로 발생하는 상부 전극(20)과의 단락 또는 렉이 감소하여, 화소 결함을 줄일 수 있다.

또한, 도 6에 도시한 바와 같이, 보조 전극(18)의 배치 구성으로서, 보조 전극(18)이 주전극(16)상으로 형성됨과 동시에, 보조 전극(18)의 면적을 주전극(16)의 면적보다도 작게 해 두는 것이 바람직하다.

이와 같이 구성하면, 화소에 있어서의 개구율을 좁히는 일이 없고, 보조 전극의 형성 또는 보조 전극의 면저항의 조정이 보다 용이해진다.

또한, 언급할 필요도 없이, 상술한 층간 절연막 등에 대한 배치에 관련된 구성 6은, 보조 전극(18)이 인접하는 하부 전극(22)의 사이에 배치되어 있다는 점에서, 구성 5의 배치 구성도 만족하는 것이다.

⑦ 구성재료 1

도 1 등에 있어서의 상부 전극(20) {주전극(16) 및 보조 전극(18)}은, 유기 EL 소자의 구성에 따라 양극층 또는 음극층에 해당되지만, 양극층의 경우에는, 정공의 주입이 용이하기 때문에 일함수가 큰 구성재료, 예를 들어 4.0eV 이상인 구성재료를 사용하는 것이 바람직하고, 음극층의 경우에는, 전자의 주입이 용이하기 때문에 일함수가 작은 구성재료, 예를 들어 4.0eV 미만의 구성재료를 사용하는 것이 바람직하다.

한편, 제 1 실시양태에 있어서, 외부에 발광을 취하여 방출시키기 위해서, 상부 전극(20) 중, 주전극(16)의 구성재료는 소정의 투명성을 갖고 있지 않으면 안된다.

따라서, 상부 전극(20)이, 양극층에 상기하는 경우, 구체적으로, 주전극(16)의 구성재료로서, 인듐 주석 산화물(ITO), 인듐 아연 산화물(IZO), 인듐동 (CuIn), 산화 주석(SnO₂), 산화아연(ZnO), 산화안티몬(Sb₂O₃, Sb₂O₄, Sb₂O₅), 산화 알루미늄(Al₂O₃) 등의 1종 단독, 또는 2종 이상의 조합물을 예로 들 수 있다.

또한, 주전극(16)의 투명성을 손상하지 않는 범위에서 저저항화를 도모하기 위해서, Pt, Au, Ni, Mo, W, Cr, Ta, Al 등의 금속을 1종 단독, 또는 2종 이상 조합시켜 첨가하는 것도 바람직하다.

또한, 제 1 실시양태에서는, 상술한 투명성 재료 뿐 아니라, 보조 전극(18)에 의해 상부 전극(20)의 면저항을 저감할 수 있으므로, 주전극(16)에 관해서는, 광투과성 금속막, 비축퇴 반도체, 유기 도전체, 반도체성 탄소 화합물 등으로 이루어지는 군에서 선택되는 적어도 하나의 구성재료로 선택할 수 있다.

예를 들어 유기 도전체로서는, 도전성 공액 중합체, 산화제 첨가 중합체, 환원제 첨가 중합체, 산화제 첨가 저분자 또는 환원제 첨가 저분자인 것이 바람직하다.

또한, 유기 도전체에 첨가하는 산화제로서는, 루이스산, 예를 들어 염화철, 염화안티몬, 염화알루미늄 등을 예로 들 수 있다. 또한, 마찬가지로, 유기 도전체에 첨가하는 환원제로서는, 알칼리 금속, 알칼리 토금속, 희토류 금속, 알칼리화합물, 알칼리 토금속 화합물, 또는 희토류 화합물 등을 예로 들 수 있다. 또한, 도전성 공액 중합체로서는, 폴리아닐린 및 그 유도체, 폴리 티오펜 및 그 유도체, 루이스산 첨가 아민화합물층 등을 예로 들 수 있다.

또한, 비축퇴 반도체로서는, 구체적으로, 산화물, 질화물, 또는 칼코게나이드 화합물인 것이 바람직하다.

또한, 탄소 화합물로서는, 구체적으로, 비정질C, 그래파이트, 또는 다이아몬드라이크C인 것이 바람직하다.

또한, 무기 반도체로서는, 구체적으로, ZnS, ZnSe, ZnSSe, MgS, MgSSe, CdS, CdSe, CdTe, CdSSe 등인 것이 바람직하다.

⑧ 구성재료 2

도 1 등에 도시한 보조 전극(18)은, 저저항 재료로부터 구성할 필요는 있지만, 예를 들어 비저항이 1×10^{-5} 내지 $1 \times 10^{-3} \Omega \cdot \text{cm}$ 의 범위 내의 값인 저저항 재료를 사용하는 것이 바람직하다.

그 이유는, 이러한 비저항이 $1 \times 10^{-5} \Omega \cdot \text{cm}$ 미만인 재료는, 실현이 곤란하기 때문이고, 한편, 비저항이 $1 \times 10^{-3} \Omega \cdot \text{cm}$ 을 초과하면, 상부 전극의 저저항화가 곤란해지는 경우가 있기 때문이다.

따라서, 보조 전극을 구성하는 저저항 재료의 비저항을 2×10^{-5} 내지 $5 \times 10^{-4} \Omega \cdot \text{cm}$ 의 범위 내의 값으로 하는 것이 더 바람직하고, 2×10^{-5} 내지 $1 \times 10^{-4} \Omega \cdot \text{cm}$ 의 범위 내의 값으로 하는 것이 더욱 바람직하다.

또한, 보조 전극(18)의 면저항(시이트 저항)을 0.01 내지 10 Ω/\square 의 범위 내의 값으로 하는 것이 바람직하다. 그 이유는, 이러한 면저항이 0.01 Ω/\square 미만이 되면, 후막화할 필요가 있거나, 사용 재료가 과도하게 제한되는 경우가 있기 때

문이고, 한편, 면저항이 10Ω/□를 초과하면, 상부 전극의 저저항화가 곤란해지거나, 과도하게 희미해져 형성이 곤란해지는 경우가 있기 때문이다. 따라서, 보조 전극의 면저항을 0.01 내지 10Ω/□의 범위 내의 값으로 하는 것이 더 바람직하고, 0.01 내지 5Ω/□의 범위내의 값으로 하는 것이 더욱 바람직하다.

또한, 보조 전극(18)을 구성하는 바람직한 저저항 재료로서는, 배선전극에 사용되는 각종 금속이 적합하게 사용된다. 구체적으로, Al, Al과 전이 금속(Sc, Nb, Zr, Hf, Nd, Ta, Cu, Si, Cr, Mo, Mn, Ni, Pd, Pt 및 W 등)과의 합금, Ti 또는 질화 티탄(TiN) 등의 1종 단독 또는 2종 이상을 조합시켜 함유하는 것이 바람직하다.

또한, 이러한 저저항 재료로서는, Al, 또는 Al과 전이금속과의 합금이 더 바람직하지만, Al과 전이 금속과의 합금을 사용하는 경우에는, 전이금속의 함유량을 10 원자%(at.% 또는 atm%로 칭하는 경우가 있다) 이하의 값, 더 바람직하게는 5원자% 이하의 값, 더욱 바람직하게는 2원자% 이하의 값으로 하는 것이 더욱 바람직하다. 그 이유는, 전이금속의 함유량이 적을수록, 보조 전극의 면저항을 저하시킬 수 있기 때문이다.

또한, 상술한 금속을 주성분으로 사용하는 경우, Al이면 90 내지 100원자%, Ti이면 90 내지 100원자%, TiN이면 90 내지 100원자%의 범위 내가 되도록 각각 사용하는 것이 바람직하다.

또한, 이들의 금속을 2종 이상 사용하는 경우의 혼합비는 임의이지만, 예를 들어 Al와 Ti를 혼합사용하는 경우에는, Ti의 함유량을 10원자% 이하의 값으로 하는 것이 바람직하다.

또한, 이들 금속으로 이루어지는 함유층을 복수적층하고, 보조 전극(18)으로 해도 좋다.

⑨ 두께

또한, 도 1 등에 도시한 주전극(16) 또는 보조 전극(18)의 두께는, 면저항 등을 고려해서 정하는 것이 바람직하지만, 구체적으로, 주전극(16) 또는 보조 전극(18)의 두께를, 각각 50nm 이상의 값으로 하는 것이 바람직하고, 100nm 이상의 값으로 하는 것이 보다 바람직하고, 100 내지 5,000nm의 범위 내의 값으로 하는 것이 더욱 바람직하다.

그 이유는, 주전극(16) 또는 보조 전극(18)의 두께를 이러한 범위 내의 값으로 함으로써, 균일한 두께 분포 또는 발광(전기발광)에 있어서 60% 이상의 투과율이 얻어지는 한편, 주전극(16) 또는 보조 전극(18)으로 이루어지는 상부 전극(20)의 면저항을 15Ω/□ 이하의 값, 더 바람직하게는, 10Ω/□ 이하의 값으로 할 수 있기 때문이다.

(3) 하부 전극

① 구성재료

도 1 등에 도시한 하부 전극(22)에 관해서도, 유기 EL 표시장치의 구성에 따라 양극층 또는 음극층에 해당되지만, 예를 들어 음극층에 해당되는 경우, 일함수가 작은 (예를 들어 4.0eV 미만) 금속, 합금, 전기전도성 화합물 또는 이들의 혼합물 또는 함유물을 사용하는 것이 바람직하다.

구체적으로는, 나트륨, 나트륨-칼륨 합금, 세슘, 마그네슘, 리튬, 마그네슘-은 합금, 알루미늄, 산화알루미늄, 알루미늄-리튬 합금, 인듐, 희토류 금속, 이들의 금속과 유기 발광 매체 재료와의 혼합물, 및 이들의 금속과 전자 주입층 재료와의 혼합물 등으로 이루어지는 전극 재료를 단독으로 사용하든지, 또는 이들의 전극재료를 2종 이상 조합해서 사용하는 것이 바람직하다.

또한, 본 발명에서는 상부 전극(20)의 측에서 발광을 취하여 방출시키기 때문에, 하부 전극(22)의 구성재료에 관해서는, 반드시 투명성을 가질 필요는 없다. 오히려 하나의 바람직한 형태로서는, 광흡수성의 도전성 재료로부터 형성하는 것이다. 이와 같이 구성하면 유기 EL 표시장치의 콘트라스트를 더 향상시킬 수 있다. 또한, 이 경우의 바람직한 광흡수성의 도전성 재료로서는, 반도체성의 탄소 재료, 유색성의 유기 화합물, 또는 전술한 환원제 및 산화제의 조합 외에, 유색성의 도전성 산화물(VO_x, MoO_x, WO_x 등의 전이 금속 산화물)을 적합하게 예로 들 수 있다.

② 두께

또한, 하부 전극(22)의 두께에 관해서도, 상부 전극(20)과 같이, 특별히 제한되는 것이 아니지만, 구체적으로 10 내지 1000nm의 범위 내의 값으로 하는 것이 바람직하고, 10 내지 200nm의 범위 내의 값으로 하는 것이 더 바람직하다.

(4) 층간 절연막

도 1에 도시한 유기 EL 표시장치(61)에 있어서의 층간 절연막(전기 절연막)(13)은, 유기 EL 소자(26)의 근방 또는 주변에 존재하고, 유기 EL 표시장치(61) 전체로서의 고세밀화, 유기 EL 소자(26)의 하부 전극(22)과 상부 전극(20)과의 단락방지, 또는 TFT(14)에서 유기 EL 소자(26)를 구동하는 경우에 있어서, TFT(14)를 보호하거나, 유기 EL 소자(26)의 하부 전극(22)을 평탄하게 성막하기 위한 하지 등에 사용된다.

따라서, 층간 절연막(13)은, 필요에 따라, 격벽, 스페이서, 평탄화막 등의 명칭으로 부르는 경우가 있고, 본 발명에서는 그것들을 포함하는 것이다.

(1) 구성재료

도 1에 도시한 층간 절연막(13)에 사용되는 구성재료로서는, 보통, 아크릴 수지, 폴리카보네이트 수지, 폴리이미드 수지, 불소화 폴리이미드 수지, 벤조구아나민 수지, 멜라민 수지, 환상 폴리올레핀, 노볼락 수지, 폴리시남산 비닐, 환화 고무, 폴리염화비닐 수지, 폴리스티렌, 페놀 수지, 알키드 수지, 에폭시 수지, 폴리우레탄 수지, 폴리에스테르 수지, 말레인산 수지, 폴리이미드 수지 등을 예로 들 수 있다.

또한, 층간 절연막을 무기 산화물로부터 구성하는 경우, 바람직한 무기 산화물로서, 산화규소(SiO_2 또는 SiO_x), 산화알루미늄(Al_2O_3 또는 AlO_x), 산화티탄(TiO_2 또는 TiO_x), 산화이트륨(Y_2O_3 또는 YQ_x), 산화게르마늄(GeO_2 또는 GeO_x), 산화아연(ZnO), 산화마그네슘(MgO), 산화칼슘(CaO), 붕산(B_2O_3), 산화스트론튬(SrO), 산화바륨(BaO), 산화납(PbO), 지르코니아(ZrO_2), 산화나트륨(Na_2O), 산화리튬(Li_2O), 산화칼륨(K_2O) 등을 들 수 있다. 또한, 무기 화합물 중의 x는 $1 \leq x \leq 3$ 의 범위 내의 값이다.

특히 내열성이 요구되는 경우에는 아크릴 수지, 폴리이미드 수지, 불소화 폴리이미드, 환상 폴리올레핀, 에폭시 수지, 무기 산화물을 사용하는 것이 바람직하다.

또한, 이들 층간 절연막은, 유기질의 경우, 감광성기를 도입해서 포토리소그라피법으로 원하는 패턴으로 가공하든지, 인쇄 수법으로 사용하여 원하는 패턴으로 형성할 수 있다.

② 층간 절연막의 두께 등

또한, 층간 절연막의 두께는, 표시의 세밀도, 유기 EL 소자와 조합되는 형광 매체 또는 컬러 필터의 요철에도 의하지만, 바람직하게는 10nm 내지 1mm의 범위내의 값으로 하는 것이 바람직하다.

그 이유는 상기와 같이 구성하는 경우 TFT 등의 요철을 충분히 평탄화할 수 있기 때문이다.

따라서, 층간 절연막의 두께를 100nm 내지 100 μm 의 범위내의 값으로 하는 것이 보다 바람직하고, 100nm 내지 10 μm 의 범위내의 값으로 하는 것이 더욱 바람직하다.

③ 형성방법

또한, 층간 절연막의 형성방법에 관해서도 특별히 제한되는 것이 아니지만, 예를 들어 스핀 코팅법, 캐스트법, 스크린 인쇄법 등의 방법을 사용하여 성막하거나, 또는 스퍼터링법, 증착법, 화학 증착법(CVD법), 이온 도금법 등의 방법으로 성막하는 것이 바람직하다.

3. 박막 트랜지스터(TFT)

① 구성

본 발명의 유기액티브 전기발광장치(68)의 일례는 도 9에 도시한 바와 같이 기판(10)상에 TFT(14)와 이 TFT(14)에 의해서 구동되는 유기 EL 소자(26)를 갖고 있다.

또한, 이 TFT(14)와, 유기 EL 소자(26)의 하부 전극(22)과의 사이에, 표면(상면)이 평탄화된 층간 절연막(13)이 배설되어 있고, 또한 TFT(14)의 드레인(47)과, 유기 EL 소자(26)의 하부 전극(22)이, 이 층간 절연막(13)에 마련된 콘택트홀(54)를 통해서 전기적으로 접속되어 있다.

또한, 도 10에 도시한 바와 같이, TFT(14)에는, XY 매트릭스상에 배설된 복수의 주사 전극선(Y_j 내지 Y_{j+n}) (50) 및 신호 전극선(X_i 내지 X_{i+n}) (51)이 전기 접속되어 있고, 또한 TFT(14)에 대하여 공통 전극선(C_i 내지 C_{i+n}) (52)가 평행하게 전기 접속되어 있다.

그리고, 이들의 전극선(50,51,52)이 TFT(14)에 전기 접속되고, 콘덴서(57)와 동시에, 유기 EL 소자(26)를 구동시키기 위한 전기 스위치를 구성하고 있는 것이 바람직하다. 즉, 이러한 전기 스위치는, 주사 전극선 및 신호 전극선 등에 전기 접속되어 있음과 동시에, 예를 들어 1개 이상의 제 1 트랜지스터(이하, Tr_1 로 칭하는 경우가 있다) (55)와, 제 2 트랜지스터(이하, Tr_2 로 칭하는 경우가 있다.) (56)와, 콘덴서(57)로 구성되는 것이 바람직하다.

그리고, 제 1 트랜지스터(55)는, 발광 화소를 선택하는 기능을 가지고, 제 2 트랜지스터(56)는, 유기 EL 소자를 구동하는 기능을 갖고 있는 것이 바람직하다.

또한, 도 9에 도시한 바와 같이, 제 1 트랜지스터(Tr_1) (55) 및 제 2 트랜지스터(Tr_2) (56)의 활성층(44)은, 각각 $n+i/n+$ 로 도핑된 부분이며, 양측의 $n+$ 는, n 형에 도핑된 반도체 영역(45,47) 및, 그 사이의 i 는, 도핑되지 않은 반도체 영역(46)으로 구성되는 것이 바람직하다.

그리고, n 형에 도핑된 반도체 영역이, 각각 소스(45) 및 드레인(47)이 되고, 도핑되어 있지 않은 반도체 영역의 상부에 게이트산화막을 통해 마련된 게이트(46)와 함께, 제 1 및 제 2 트랜지스터(55,56)를 구성하게 된다.

또한, 활성층(44)에 있어서, n 형에 도핑된 반도체 영역(45,47)을, n 형 대신에 p 형에 도핑하여, $p+i/p+$ 로 한 구성이라도 좋다.

또한, 제 1 트랜지스터(Tr_1) (55) 및 제 2 트랜지스터(Tr_2) (56)의 활성층(44)은, 폴리실리콘 등의 무기 반도체 또는 티오펜 올리고머, 폴리(P-페닐렌비닐렌) 등의 유기 반도체로부터 구성되는 것이 바람직하다. 특히, 폴리 실리콘은, 비정질(amorphus) Si(α -Si)에 비해, 통전에 대하여 충분한 안정성을 나타내기 때문에, 바람직한 재료이다.

기타, 도 1 또는 도 9에 도시한 예에서는, 기판(10) 표면에 형성된 TFT(14)상에, 층간 절연막(평탄화막) (13)을 통해 유기 EL 소자(26)가 마련되어 있지만, 도 17에 도시한 바와 같이, 기판의 이면에 TFT를 형성시키고, 기판의 표면에 유기 EL 소자를 형성시켜, 기판(10) 및 층간 절연막(평탄화막) (13)에 마련한 비어홀(28)을 통해, TFT(14)와, 유기 EL 소자(26)의 하부 전극을 전기 접속하는 것도 바람직하다.

이와 같이 구성하면, TFT(14)와 유기 EL 소자(26)와의 사이에서, 보다 우수한 전기 절연성을 확보할 수 있다. 또한, 이 예에서는, 기판(10)상에, 층간 절연막(평탄화막) (13)을 마련하고 있지만, 기판(10)은 양면 모두 평탄성이 우수하기 때문에, 층간 절연막(평탄화막) (13)을 생략하는 것도 가능하다.

(2) 구동 방법

다음에, TFT(14)에 의한 유기 EL 소자의 구동 방법에 대해 설명한다. TFT(14)는, 도 10에 도시한 바와 같이, 제 1 트랜지스터(Tr_1) (55) 및 제 2 트랜지스터(Tr_2) (56)를 함유하고 있음과 동시에, 콘덴서(57)와 함께, 전기 스위치의 일부를 구성하고 있다.

따라서, 이 전기 스위치에 대하여, XY 매트릭스를 통해 주사 펄스 및 신호 펄스를 입력하여, 스위치동작을 하게 함으로써, 이 전기 스위치에 결합된 유기 EL 소자(26)를 구동시킬 수 있다. 이에 따라, TFT(14) 및 콘덴서(57)를 함유하는 전기 스위치에 의해, 유기 EL 소자(26)를 발광시키거나, 또는 발광을 정지시키는 것에 의해, 화상 표시를 실시하는 것이 가능하다.

즉, 주사 전극선(게이트선이라 칭하는 경우가 있다)(Y_j 내지 Y_{j+n})(50)을 통해 전달되는 주사 펄스와, 신호 전극선(X_i 내지 X_{i+n})(51)를 사이에 세우고 전달되는 신호 펄스에 의해서, 소망의 제 1 트랜지스터(Tr1)(55)가 선택되고, 공통전극선(C_i 내지 C_{i+n})(52)와 제 1 트랜지스터(Tr1)(55)의 소스(45)와의 사이에 형성된 콘덴서(57)에 소정의 전하가 충전되게 된다.

이에 따라, 제 2 트랜지스터(Tr2)(56)의 게이트 전압이 일정치가 되어, 제 2 트랜지스터(Tr2)(56)는 ON 상태가 된다. 이 ON 상태에 있어서, 다음에 게이트 펄스가 전달될 때까지 게이트 전압이 소정치로 홀드되기 때문에, 제 2 트랜지스터(Tr2)(56)의 드레인(47)에 접속되어 있는 하부 전극(22)에 대하여 계속해서 전류를 공급하게 된다.

그리고, 유기 EL 소자(26)에서는, 하부 전극(22)을 통해 공급된 전류에 의해, 효율적으로 직류 구동되게 된다. 따라서, 직류로 구동되는 효과에 의해, 유기 EL 소자(26)의 구동 전압이 대폭 저하됨과 동시에, 발광 효율이 향상되고, 또한 소비 전력을 저감할 수 있게 된다.

[제 2 실시양태]

제 2 실시양태의 액티브 구동형 유기 전기발광장치는, 도 5에 도시한 바와 같이, 기판(10)상에, 전기 절연막(12)에 매설된 TFT(14)와, 상부 전극(20) 및 하부 전극(22)의 사이에 유기 발광 매체(24)를 함유하여 이루어진 유기 EL 소자(26)와, 이들의 TFT(14)와 유기 EL 소자(26)를 전기 접속하기 위한 전기 접속부(비어홀)(28)를 구비한 액티브 구동형 유기 전기발광장치(64)이다.

그리고, 제 2 실시양태에서는, 상부 전극(20)을, 주전극(16) 및 보조 전극(18)으로부터 구성한 것과 동시에, 상기 상부 전극(20)의 측에서 취하여 방출시킨 전기발광(도 5에서 화살표 방향을 나타낸다)를, 색변환하기 위한 컬러 필터 또는 형광막(60)을, 상부 전극(20)의 상방에 마련한 것을 특징으로 하고 있다.

이하, 제 2 실시양태에 있어서, 도 5를 적당하게 참조하면서, 그 특징 부분 등에 관해서 설명한다.

(1) 컬러 필터

① 구성

컬러 필터는, 빛을 분해 또는 컷하여 색조정 또는 콘트라스트를 향상하기 위해서 구비되고, 색소만으로 이루어지는 색소층, 또는 색소를 바인더 수지 중에 용해 또는 분산시켜 구성된 층상물로서 구성된다. 또한, 여기에서 말하는 색소에는 안료도 포함된다.

또한, 컬러 필터의 구성으로서, 청색, 녹색, 적색의 색소를 함유하는 것이 적합하다. 이러한 컬러 필터와, 백색 발광의 유기 EL 소자를 조합시킴으로써, 청색, 녹색, 적색의 빛의 삼원색이 얻어지고, 풀컬러 표시가 가능하기 때문이다.

또한, 컬러 필터는, 형광매체와 같이, 인쇄법 또는 포토리소그래피법을 사용하여 패터닝하는 것이 바람직하다.

② 두께

또한, 컬러 필터의 두께는, 유기 EL 소자의 발광을 충분히 수광(흡수)함과 동시에, 색변환 기능을 방해하는 것이 아니면, 특별히 제한되는 것은 아니지만, 예를 들어 10 μ m 내지 1 μ m의 범위 내의 값으로 하는 것이 바람직하고, 0.5 μ m 내지 1 μ m의 범위 내의 값으로 하는 것이 더 바람직하고, 1 μ m 내지 100 μ m의 범위 내의 값으로 하는 것이 더욱 바람직하다.

(2) 형광매체

① 구성

유기 EL 표시장치에 있어서의 형광매체는 유기 EL 소자의 발광을 흡수하여, 보다 장파장의 형광을 발광하는 기능을 갖고 있고, 평면적으로 분리 배치된 층상물로 구성되어 있다. 각 형광매체는 유기 EL 소자의 발광영역, 예를 들어 하부 전극과 상부 전극과의 교차부분의 위치에 대응하여 배치되는 것이 바람직하다. 이와 같이 구성함으로써, 하부 전극과 상부 전극과의 교차 부분에 있어서의 유기 발광층이 발광한 경우에, 그 빛을 각 형광매체가 수광하여, 다른 색(파장)의 발광을 외부로 취하여 방출시킬 수 있게 된다. 특히 유기 EL 소자가 청색 발광함과 동시에, 형광 매체에 의해서, 녹색, 적색 발광에 변환가능한 구성으로 하면, 하나의 유기 EL 소자에서도, 청색, 녹색, 적색의 빛의 삼원색을 수득할 수 있고, 풀컬러 표시가 가능하다는 점에서 적합하다.

또한, 각 형광 매체 사이에 유기 EL 소자의 발광 및 각 형광 매체로부터의 빛을 차단하여, 콘트라스트를 향상시켜 시야각 의존성을 저감하기 위한 차광층(블랙 매트릭스)를 배치하는 것도 바람직하다.

또한, 형광매체는 외광에 의한 콘트라스트의 저하를 방지하므로 상기 컬러 필터와 조합하여 구성해도 좋다.

② 형성 방법

형광 매체가 주로 형광 색소로 이루어지는 경우 원하는 패턴의 형광매체를 수득할 수 있는 마스크를 통해 진공 증착 또는 스퍼터링법으로 성막하는 것이 바람직하다.

한편, 형광 매체가, 형광 색소와 수지로 이루어지는 경우는, 형광 색소와 수지와 적당한 용제를 혼합, 분산 또는 가용화시켜 액상물로 하고, 상기 액상물을, 스핀코트, 롤코트, 캐스트법 등의 방법으로 성막하여, 그 후, 포토리소그라피법으로 소망의 형광 매체의 패턴으로 패터닝하거나, 스크린 인쇄 등의 방법으로 소망의 패턴으로 패터닝하여, 형광 매체를 형성하는 것이 바람직하다.

③ 두께

형광 매체의 두께는, 유기 EL 소자의 발광을 충분히 수광(흡수)함과 함께, 형광의 발생 기능을 방해하는 것이 아니면, 특별히 제한되는 것이 아니지만, 예를 들어 10nm 내지 1mm의 범위내의 값으로 하는 것이 바람직하고, 0.5μm 내지 1mm의 범위 내의 값으로 하는 것이 더 바람직하고, 1μm 내지 100μm의 범위내의 값으로 하는 것이 더욱 바람직하다.

[제 3 실시양태]

제 3 실시양태의 액티브 구동형 유기 전기발광장치는, 도 7 및 도 8에 도시한 바와 같이, 기판(10)상에, 전기 절연막(12)에 매설된 TFT(14)와, 상부 전극(20) 및 하부 전극(22)의 사이에 유기 발광 매체(24)를 함유하여 이루어진 유기 EL 소자(26)와, 이들의 TFT(14)와 유기 EL 소자(26)를 전기 접속하기 위한 전기 접속부(28)와, 밀봉 부재(58)를 구비한 액티브 구동형 유기 전기발광장치(66,67)이다.

그리고, 제 3 실시양태에서는, 상부 전극(20)을, 주전극(16) 및 보조 전극(18)으로부터 구성함과 동시에, 상기 상부 전극(20)에 있어서의 보조 전극(18)을, 도 7에 도시한 바와 같이 밀봉 부재(58)에 매설하여 밀봉 부재(58)를 관통시킨 상태로 마련하든지, 또는 도 8에 도시한 바와 같이 밀착 배치한 것을 특징으로 하고 있다.

이하, 제 3 실시양태에 있어서, 도 7 및 도 8을 적당하게 참조하면서, 밀봉 부재 등에 관해서 설명한다.

(1) 밀봉용 부재

도 7 및 도 8에 도시한 밀봉용 부재(58)는 각각 내부로의 수분 침입을 방지하기 위해서 상기 유기 EL 표시 장치(66,67)의 주위에 마련하거나 이와 같이 마련한 밀봉용 부재(58)와, 유기 EL 표시장치(66,67)와의 사이에, 밀봉매체(21), 예를 들어 건조제, 드라이 가스, 불화 탄화 수소 등의 불활성 액체를 봉입하는 것이 바람직하다.

또한, 이러한 밀봉용 부재(58)는 형광 매체 또는 컬러 필터를 상부 전극의 외부에 마련하는 경우, 지지기판으로서도 사용할 수 있다.

이러한 밀봉용 부재로서는, 지지기판과 동종의 재료, 예를 들어 유리판 또는 플라스틱판을 사용할 수 있다. 또한, 방습성이 우수한 재료이면 무기 산화물층 또는 무기 질화물층도 사용할 수 있고, 예를 들어 실리카, 알루미늄, AlON, SiAlON, SiNx($1 \leq x \leq 2$) 등을 예로 들 수 있다. 또한, 밀봉용 부재의 형태에 관해서도, 특별히 제한되지 않고, 예를 들어 판상 또는 캡상으로 하는 것이 바람직하다. 그리고, 예를 들어 판상으로 한 경우, 그 두께를, 0.01 내지 5mm의 범위 내의 값으로 하는 것이 바람직하다.

또한, 밀봉용 부재는 유기 EL 표시장치의 일부에 홈 등을 마련해두고, 거기에 압입하여 고정하는 것도 바람직하고, 또는 광경화형의 접착제 등을 사용하여, 유기 EL 표시 장치의 일부에 고정하는 것도 바람직하다.

(2) 밀봉용 부재와 보조 전극과의 관계

또한, 밀봉용 부재와 보조 전극과의 관계에 대해서 말하면, 도 7 및 도 8에 도시한 바와 같이, 보조 전극(18)을, 밀봉 부재(58)에 매설하여 마련하거나 밀착 배치하는 것이 바람직하지만, 다양한 변형이 가능하다.

구체적으로, 밀봉용 부재(58)와, 유기 EL 소자(26)와의 사이에 형성된 내부공간에 보조 배선(18)을 배치한 부위를 마련해도 좋고, 밀봉용 부재(58) 내에 완전히 매설해 두고, 주전극(16)과의 전기 접속은, 비어홀(쓰루홀이라고 칭하는 경우가 있다)을 형성시켜 실시할 수도 있다.

[제 4 실시양태]

제 4 실시양태는, 도 1에 도시한 제 1 실시양태의 액티브 구동형 유기 전기발광장치(61)의 제조방법이고, 구체적으로, 기판(10)상에, 전기 절연막(12)에 매설된 TFT(14)와, 층간 절연막(13)과, 하부 전극(22)과, 유기 발광 매체(24)와, 주전극(16) 및 보조 전극(18)으로 이루어지는 상부 전극(20)과, TFT(14)와 유기 EL 소자(26)를 전기 접속하기 위한 전기 접속부(28)를 각각 형성시키는 것을 특징으로 한 액티브 구동형 유기 전기발광장치(61)의 제조방법이다.

즉, 제 4 실시양태에서는, 유기 EL 소자(26)를 형성시키는 공정과, 전기 절연막(12)에 매설된 TFT(14)를 형성시키는 공정과, 층간 절연막(13)을 형성시키는 공정과, 하부 전극(22)을 형성시키는 공정과, 유기 발광 매체(24)를 형성시키는 공정과, 주전극(16) 및 보조 전극(18)으로 이루어지는 상부 전극(20)을 형성시키는 공정과, TFT(14)와 유기 EL 소자(26)를 전기 접속하기 위한 전기 접속부(28)를 형성시키는 공정을 포함시키는 것을 특징으로 하고 있다.

이하, 제 4 실시양태에 있어서, 도 12를 적당하게 참조하면서, 그 특징 부분 등에 관해서 설명한다.

(1) 박막 트랜지스터(TFT)의 형성공정

TFT(14)의 형성 공정(액티브 매트릭스 기판의 제작 공정)과 관련하여서는 도 12(a) 내지 (i)를 참조로 하여 설명한다.

(1) 활성층의 형성

우선 도 12(a)은 기판(10)상에, 감압 CVD(LPCVD: Low pressure Chemical Vapor Deposition)등의 수법에 의해, α -실리콘(α -Si)층(70)을 적층하는 공정을 도시하고 있다.

이 때, α -Si층(70)의 두께를, 40 내지 200nm의 범위 내의 값으로 하는 것이 바람직하다. 또한, 사용되는 기판(10)은, 수정과 같은 결정재료도 바람직하지만, 보다 바람직하게는, 저온도 유리이다. 또한, 저온도 유리 기판을 사용하는 경우에는, 제조 공정 전체에 있어서, 용융하거나, 일그러짐이 발생하는 것을 회피하고, 또한 능동 영역 내에 도판트의 외측 확산(out-diffusion)을 회피하기 위해서, 저온프로세스 온도, 예를 들어 1000°C이하, 더 바람직하게는 600°C 이하의 온도로 실시하는 것이 바람직하다.

이어서, 도 12(b)는, KrF(248nm) 레이저 등의 엑시머 레이저를 α -Si층(70)에 대하여 조사하여, 어닐 결정화를 실시하고, α -Si를 폴리실리콘으로 하는 공정을 도시하고 있다(SID'96, Digest of technical papers p17 내지 28 참조).

여기에서, 엑시머 레이저를 사용한 어닐링 조건으로서, 기판 온도를 100 내지 300°C의 범위 내의 값, 및 엑시머 레이저 광의 에너지량을 100 내지 300mJ/cm²의 범위 내의 값으로 하는 것이 바람직하다.

이어서, 도 12(c)는, 어닐 처리하여 결정화된 폴리실리콘을, 포토리소그라피에 의해 아일랜드상으로 패턴화하는 공정을 도시하고 있다. 또한, 에칭 가스로서는, 우수한 해상도를 얻을 수 있다는 점에서 CF₄ 가스를 쓰는 것이 바람직하다.

이어서, 도 12(d)는, 수득된 아일랜드화 폴리실리콘(71) 및 기판(10)의 표면에, 절연 게이트 재료(72)를 화학 증착(CVD) 등에 의해 적층하여, 게이트 산화물 절연층(72)으로 하는 공정을 도시하고 있다.

이 게이트 산화물 절연층(72)은, 바람직하게는 플라즈마 증착 CVD(PECVD:Plasma Enhanced Chemical Vapor Deposition), 또는 감압 CVD(LPCVD)와 같은 화학 증착(CVD)이 적용 가능하도록 이산화 실리콘으로 구성하는 것이 바람직하다.

또한, 게이트 산화물 절연층(72)의 두께를, 100 내지 200nm의 범위 내의 값으로 하는 것이 바람직하다.

또한, 기판온도로서는 250 내지 400°C가 바람직하고, 또한 고품질의 절연 게이트재료를 수득하기 위해서는, 어닐을 300 내지 600°C에서, 1 내지 3 시간 정도 실시하는 것이 바람직하다.

이어서, 도 12(e)는, 게이트 전극(73)을, 증착 또는 스퍼터링으로 성막해서 형성시키는 공정을 도시하고 있다. 또한, 게이트 전극(73)의 바람직한 구성재료로서는, Al, AlN, TaN 등을 예로 들 수 있고, 또한 그 두께를 200 내지 500nm의 범위 내의 값으로 하는 것이 바람직하다.

이어서, 도 12(f) 내지 (h)는, 게이트 전극(73)을 패터닝함과 동시에, 양극산화를 실시하는 공정을 도시하고 있다. 또한, Al게이트를 사용할 때는, 도 12(f) 내지 (h)에 도시한 바와 같이, 절연하기 위해서 양극산화를 2회에 걸쳐 실시하는 것이 바람직하다. 또한, 양극산화의 상세한 사항은, 특허공개공보 96-15120호 공보에 상세히 개시되어 있다.

이어서, 도 12(i)는, 이온 도핑(이온 주입)에 의해, n⁺ 또는 p⁺의 도핑영역을 형성시키고, 활성층을 형성시켜, 소스 및 드레인으로 하는 공정을 도시하고 있다. 또한, 이온도핑을 효과적으로 실시할 수 있도록, 이온 도핑 중에, 질소 가스의 도입, 및 300°C, 3시간 정도의 조건에서의 가열처리를 하는 것이 바람직하다.

한편, 게이트 전극(73)으로서, α -Si에서 형성된 폴리 실리콘을 사용하는 것도 바람직하다. 즉, 폴리실리콘-게이트전극(73)을 게이트 절연층상으로 형성시킨 후, 비소 등의 n형 도펀트를 이온 임플란트하고, 또한 그 후에, 소스 영역과 드레인 영역을, 각각 폴리 실리콘 영역내에 형성가능하도록, 폴리실리콘 아일랜드상에 포토리소그라피함으로써 패턴화하여 형성할 수 있다.

또한, 폴리 실리콘으로 이루어지는 게이트 전극(73)은 콘덴서의 저부 전극으로서 제공할 수 있다.

② 신호 전극선 및 주사 전극선의 형성

다음에, 도시하지는 않았지만, 수득된 활성층상에 전기 절연층, 예를 들어 SiO_x ($1 \leq x \leq 2$) 층을 ECRCVD 법 (Electron Cyclotron Resonance Chemical Vapor Deposition 법) 으로 마련한 후, 신호 전극선 및 주사 전극선 (배선전극이라 칭하는 경우도 있다) 를 형성시켜, 전기 접속을 한다. 구체적으로는, 포토리소그라피법 등에 의해, 신호 전극선 및 주사 전극선을 형성시킴과 동시에, 및 콘덴서의 상부 전극을 형성시켜, 제 2 트랜지스터 (Tr2) (56) 의 소스와 주사 전극선과의 연결, 제 1 트랜지스터 (Tr1) (55) 의 소스와 신호 전극선과의 연결 등을 한다.

그 때, Al 합금, Al, Cr, W, Mo 등의 금속선을, 포토리소그라피에 의해 형성시킴과 동시에, 제 1 트랜지스터 (Tr1) (55) 및 제 2 트랜지스터 (Tr2) (56) 의 드레인, 소스 등의 콘택트는, 이들의 표면층에서 전면적으로 마련된 전기 절연층의 개구부를 통해 실시하는 것이 바람직하다.

또한, 배선전극의 두께를, 50nm 이상, 또한 100nm 이상, 100 내지 500nm의 범위 내의 값으로 하는 것이 바람직하다.

③ 층간 절연막의 형성

다음 단계에서는, 이산화실리콘 (SiO_2), 질화실리콘, 폴리이미드 등으로 구성되는 층간 절연막을, 활성층 및 그 위의 전기 절연층 전체에 걸쳐 적용한다.

또한, 이산화실리콘으로 이루어지는 절연막은, PECVD에 의해, 예를 들어 TEOS (테트라에톡시실란) 가스를 공급하고, 기판온도 250 내지 400℃의 조건으로 수득할 수 있다. 또한, ECRCVD에 의해, 기판온도를 100 내지 300℃로 해도 수득할 수 있다. 그렇지만, 이들의 무기 절연막에서는 평탄화하기 어렵기 때문에, 유기층간 절연막을 사용하는 것이 바람직하다.

(2) 유기 EL 소자의 형성 공정

상술한 바와 같이, 'TFI' 구조 또는 층간 절연막을 형성시킨 후, 그 위에, 양극 (하부 전극), 유기 발광층, 정공 주입층, 전자 주입층 등을 순차로 형성하고, 또한 음극 (상부 전극) 을 형성시킴으로써, 유기 EL 소자를 제작할 수 있다.

예를 들어 하부 전극에 관해서는, 진공 증착법 또는 스퍼터링 법 등의 건조상태에서의 성막이 가능한 방법을 사용하여 형성시키는 것이 바람직하다. 또한, 유기 발광 매체에 관해서는, 진공 증착법, 스핀 코팅법, 랑뮤어-블로제트법 (LB법, Langmuir - Blodgett 법), 잉크젯법, 미셀 전해법 등이 일반적으로 공지의 방법을 채용할 수 있다.

또한, 보조 전극 또는 주전극에 관해서도, 진공 증착법 또는 스퍼터링법 등을 사용하여 형성시키는 것이 바람직하다. 구체적으로, 진공 증착법등을 사용하여, 투명한 도전성 재료로부터 주전극을 형성시킴과 동시에, 저저항 재료로부터 보조 전극을 순차로 형성시켜 상부 전극을 구성하는 것이 바람직하다.

또한, 보조 전극을 형성시킴과 동시에, 'TFI'의 접속단자와 전기 접속하는 것이 바람직하다. 그 때, 보조 전극과, 'TFI'의 접속 단자와의 사이에, 접속재료로서, 비정질 산화물인 인듐아연 산화물 (IZO) 등을 개입시킨 것도 바람직하다.

또한, 음극 (하부 전극) 으로부터 양극측으로 역 순서이더라도 유기 EL 소자를 제작할 수 있다.

또한, 유기 EL 소자의 성막은, 증착장치 등을 사용하여 1회의 진공흡인으로 일관해서 제작하는 것이 바람직하다.

(3) 밀봉 공정 등

또한, 밀봉 공정에 관해서는, 유기 EL 소자를 형성시켜, TFT와 전기 접속후, 밀봉 부재로 이들의 주위를 덮도록 고정하는 것이 바람직하다.

또한, 유기 EL 소자에 직류전압을 인가하는 경우, 투명전극을 +, 전극을 -의 극성으로 하여, 5 내지 40V의 전압을 인가하면, 발광을 관측할 수 있으므로, 밀봉 공정전에 구동시켜, 유기 EL 소자의 성막의 양호 여부를 판단하는 것도 바람직하다.

산업상 이용 가능성

본 발명의 액티브 구동형 유기 전기발광장치에 의하면, TFT를 갖춘 경우라도 화소에 있어서의 개구율을 크게 할 수 있고, 또한 상부 전극측에서 발광을 취하여 방출시킨 경우라도, 상부 전극의 면저항을 저하시킬 수 있어서, 고휘도, 균질 휘도의 화상 표시가 가능하게 되었다.

또한, 본 발명의 액티브 구동형 유기 전기발광장치의 제조방법에 의하면, 개구율이 크고, 상부 전극의 면저항이 낮고, 상부 전극측에서 발광을 취하여 방출시키는 것이 가능한, 고휘도, 균질 휘도의 화상 표시가 가능한 액티브 구동형 유기 전기발광장치를 효율적으로 제조하는 것이 가능해졌다.

(57) 청구의 범위

청구항 1.

상부 전극과 하부 전극의 사이에 유기 발광 매체를 함유하여 이루어진 유기 전기발광(EL) 소자, 및 상기 유기 EL 소자를 구동하기 위한 박막 트랜지스터를 구비한 액티브 구동형 유기 전기발광장치에 있어서,

상기 유기 EL 소자가 발광한 빛을 상부 전극측에서 취하여 방출시키고,

상기 상부 전극이 투명한 도전성 재료로 이루어지는 주전극 및 저저항 재료로 이루어지는 보조 전극으로 구성되는 것을 특징으로 하는 액티브 구동형 유기 전기발광장치.

청구항 2.

제 1 항에 있어서,

박막 트랜지스터 및 화소의 선택 수단용 트랜지스터로부터 구성된 전기 스위치, 및 상기 전기 스위치를 구동하기 위한 주사 전극선 및 신호 전극선을 갖는 것을 특징으로 하는 액티브 구동형 유기 전기발광장치.

청구항 3.

제 1 항 또는 제 2 항에 있어서,

투명한 도전성 재료가 도전성 산화물, 광투과성 금속막, 비축퇴(非縮退; non-degeneracy) 반도체, 유기 도전체, 및 반도체성(半導體性) 탄소화합물로 이루어진 그룹으로부터 선택된 하나 이상의 재료인 것을 특징으로 하는 액티브 구동형 유기 전기발광장치.

청구항 4.

제 3 항에 있어서,

유기 도전체가 도전성 공액 중합체, 산화제 첨가 중합체, 환원제 첨가 중합체, 산화제 첨가 저분자 및 환원제 첨가 저분자로 이루어진 그룹으로부터 선택된 하나 이상의 재료인 것을 특징으로 하는 액티브 구동형 유기 전기발광장치.

청구항 5.

제 3 항에 있어서,

비축된 반도체가 산화물, 질화물, 및 칼코게나이드 화합물로 이루어진 그룹으로부터 선택된 하나 이상의 재료인 것을 특징으로 하는 액티브 구동형 유기 전기발광장치.

청구항 6.

제 3 항에 있어서,

탄소화합물이 비정질 카본, 그래파이트, 및 다이아몬드라이크카본으로 이루어진 그룹으로부터 선택된 하나 이상의 재료를 함유하는 것을 특징으로 하는 액티브 구동형 유기 전기발광장치.

청구항 7.

제 1 항 내지 제 6 항 중의 어느 한 항에 있어서,

보조 전극이 평면 내에 주기적으로 배치되어 있는 것을 특징으로 하는 액티브 구동형 유기 전기발광장치.

청구항 8.

제 1 항 내지 제 7 항 중의 어느 한 항에 있어서,

보조 전극의 단면형상이 오버행(overhang) 형상인 것을 특징으로 하는 액티브 구동형 유기 전기발광장치.

청구항 9.

제 1 항 내지 제 8 항 중의 어느 한 항에 있어서,

보조 전극이 하부 보조 전극과 상부 보조 전극으로 구성되는 것을 특징으로 하는 액티브 구동형 유기 전기발광장치.

청구항 10.

제 9 항에 있어서,

하부 보조 전극 및 상기 상부 보조 전극이 상이한 예칭속도를 갖는 구성 재료로 구성되는 것을 특징으로 하는 액티브 구동형 유기 전기발광장치.

청구항 11.

제 9 항 또는 제 10 항에 있어서,

보조 전극의 하부 보조 전극 및 상부 보조 전극 또는 이들 중의 하나가, 주전극과 전기 접속된 것을 특징으로 하는 액티브 구동형 유기 전기발광장치.

청구항 12.

제 1 항 내지 제 11 항 중의 어느 한 항에 있어서,

보조 전극이 유기 EL 소자를 형성하기 위한 층간 절연막상으로 형성된 것을 특징으로 하는 액티브 구동형 유기 전기발광장치.

청구항 13.

제 1 항 내지 제 12 항 중의 어느 한 항에 있어서,

보조 전극이 하부 전극을 전기적으로 절연시키는 전기 절연막상으로 형성된 것을 특징으로 하는 액티브 구동형 유기 전기발광장치.

청구항 14.

제 1 항 내지 제 12 항 중의 어느 한 항에 있어서,

보조 전극이, 박막 트랜지스터를 전기적으로 절연시키는 전기 절연막상으로 형성된 것 특징으로 하는 액티브 구동형 유기 전기발광장치.

청구항 15.

제 1 항 내지 제 14 항 중의 어느 한 항에 있어서,

박막 트랜지스터의 활성층이, 폴리실리콘으로부터 형성된 것을 특징으로 하는 액티브 구동형 유기 전기발광장치.

청구항 16.

제 1 항 내지 제 15 항 중의 어느 한 항에 있어서,

박막 트랜지스터상에 층간 절연막이 형성되며, 상기 층간 절연막상에 유기 EL 소자의 하부 전극이 구비되며, 박막 트랜지스터와 하부 전극과, 층간 절연막에 구비된 비어홀을 통해 전기 접속되는 것을 특징으로 하는 액티브 구동형 유기 전기발광장치.

청구항 17.

제 1 항 내지 제 16 항 중의 어느 한 항에 있어서,

주전극에 대하여 보조 전극으로부터 전하를 주입하고, 이들 기판의 주표면에 대해 평행하게 수송한 후, 유기 발광 매체에 대해 주입하는 것을 특징으로 하는 액티브 구동형 유기 전기발광장치.

청구항 18.

제 1 항 내지 제 17 항 중의 어느 한 항에 있어서,

주전극의 면저항을 1K 내지 10M Ω /□의 범위의 값으로 하는 것을 특징으로 하는 액티브 구동형 유기 전기발광장치.

청구항 19.

제 1 항 내지 제 18 항 중의 어느 한 항에 있어서,

보조 전극의 면저항을 0.01 내지 10 Ω /□의 범위내의 값으로 하는 것을 특징으로 하는 액티브 구동형 유기 전기발광장치.

청구항 20.

제 1 항 내지 제 19 항 중의 어느 한 항에 있어서,

상부 전극층에서 취하여 방출시킨 발광을 색변환시키기 위한 컬러 필터 및 형광막 또는 이중 어느 하나의 부재가 구비된 것을 특징으로 하는 액티브 구동형 유기 전기발광장치.

청구항 21.

제 1 항 내지 제 20 항 중의 어느 한 항에 있어서,

컬러 필터 또는 형광막의 일부에 블랙 매트릭스가 형성되어 있고, 상기 블랙 매트릭스와, 상기 보조 전극과가 수직방향에서 겹치는 것을 특징으로 하는 액티브 구동형 유기 전기발광장치.

청구항 22.

제 1 항 내지 제 21 항 중의 어느 한 항에 있어서,

보조 전극을 주전극상에 형성시키고 보조 전극의 면적을 상기 주전극 보다 좁게 하는 것을 특징으로 하는 액티브 구동형 유기 전기발광장치.

청구항 23.

제 1 항 내지 제 21 항 중의 어느 한 항에 있어서,

보조 전극이 주위를 덮는 밀봉 부재에 매설하여 구비되는 것을 특징으로 하는 액티브 구동형 유기 전기발광장치.

청구항 24.

제 1 항 내지 제 21 항 중의 어느 한 항에 있어서,

보조 전극이 주위를 덮는 밀봉 부재와 주전극과의 사이에 밀착 배치되는 것을 특징으로 하는 액티브 구동형 유기 전기발광장치.

청구항 25.

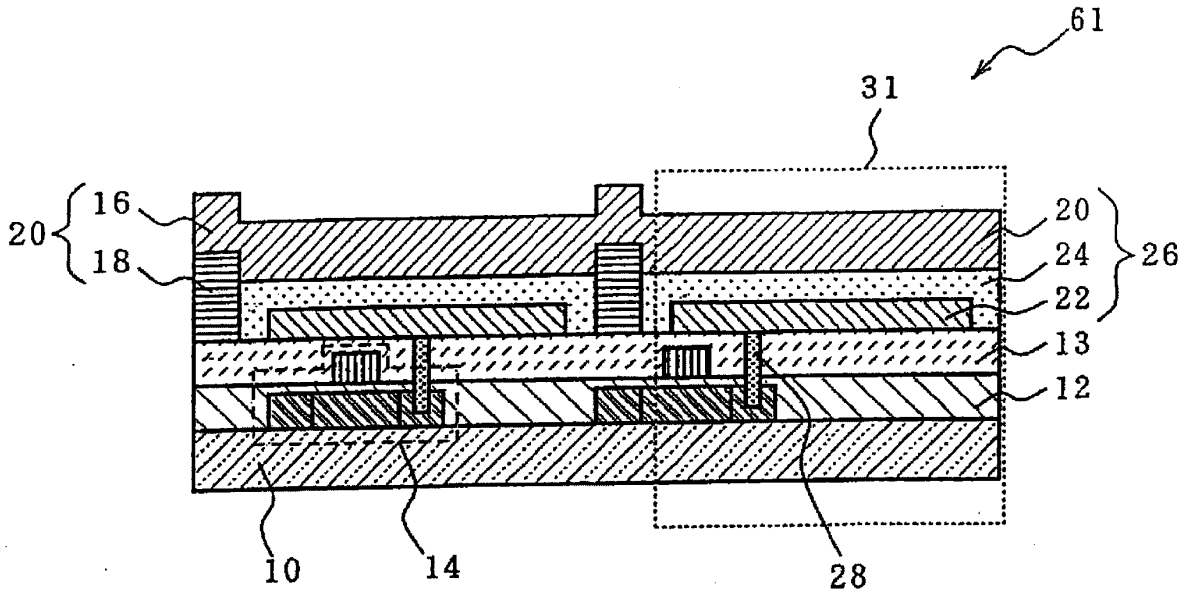
상부 전극과 하부 전극의 사이에 유기 발광 매체를 함유하여 이루어진 유기 전기발광(EL) 소자, 및 상기 유기 EL 소자를 구동하기 위한 박막 트랜지스터를 구비한 액티브 구동형 유기 전기발광장치의 제조방법에 있어서,

상기 유기 EL 소자를 형성시키는 단계 및 상기 박막 트랜지스터를 형성시키는 단계를 포함하고,

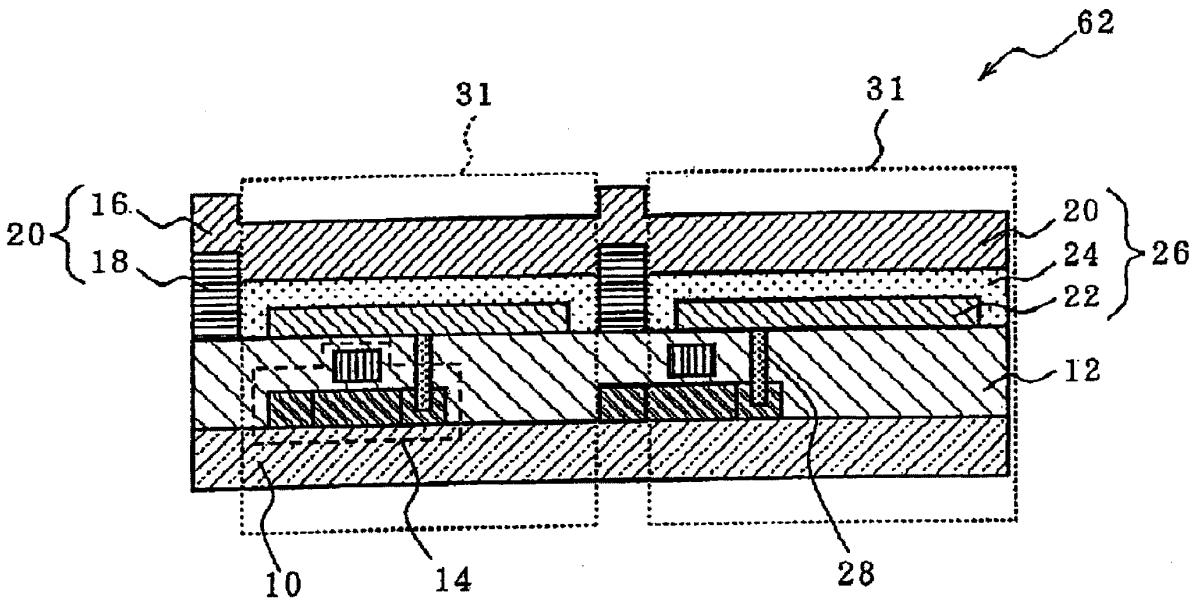
상기 유기 EL 소자의 형성단계에서, 하부 전극 및 유기 발광 매체를 형성시킨 후, 투명한 도전성 재료로부터 주전극을 형성시키고, 저저항 재료로부터 보조 전극을 형성시켜 상부 전극을 구성하는 것을 특징으로 하는 액티브 구동형 유기 전기발광장치의 제조방법.

도면

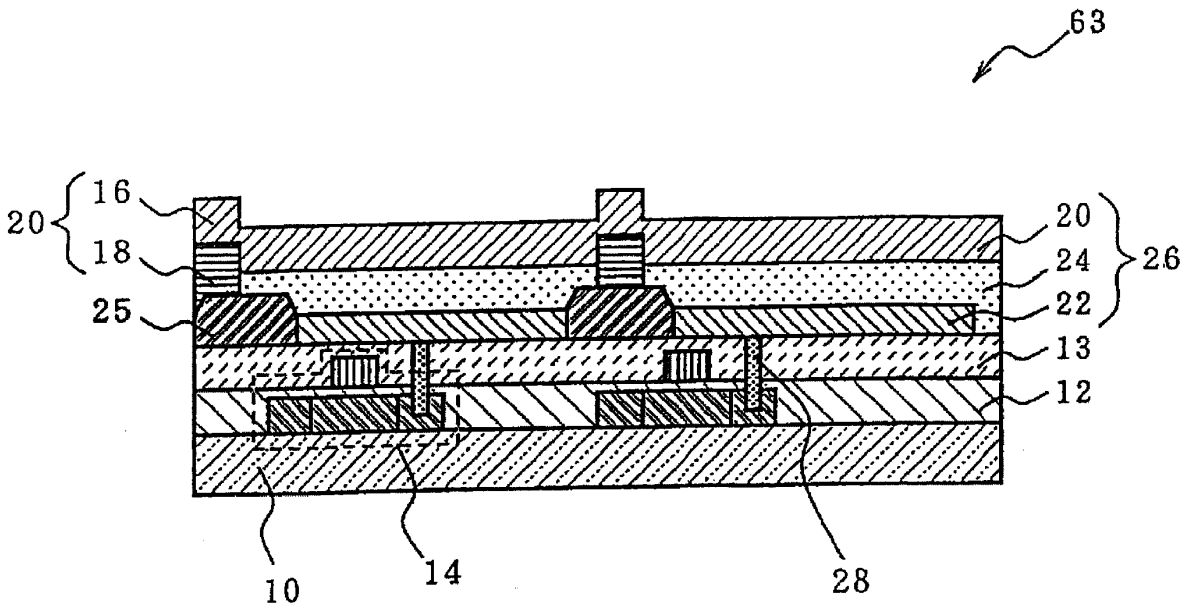
도면 1



도면 2



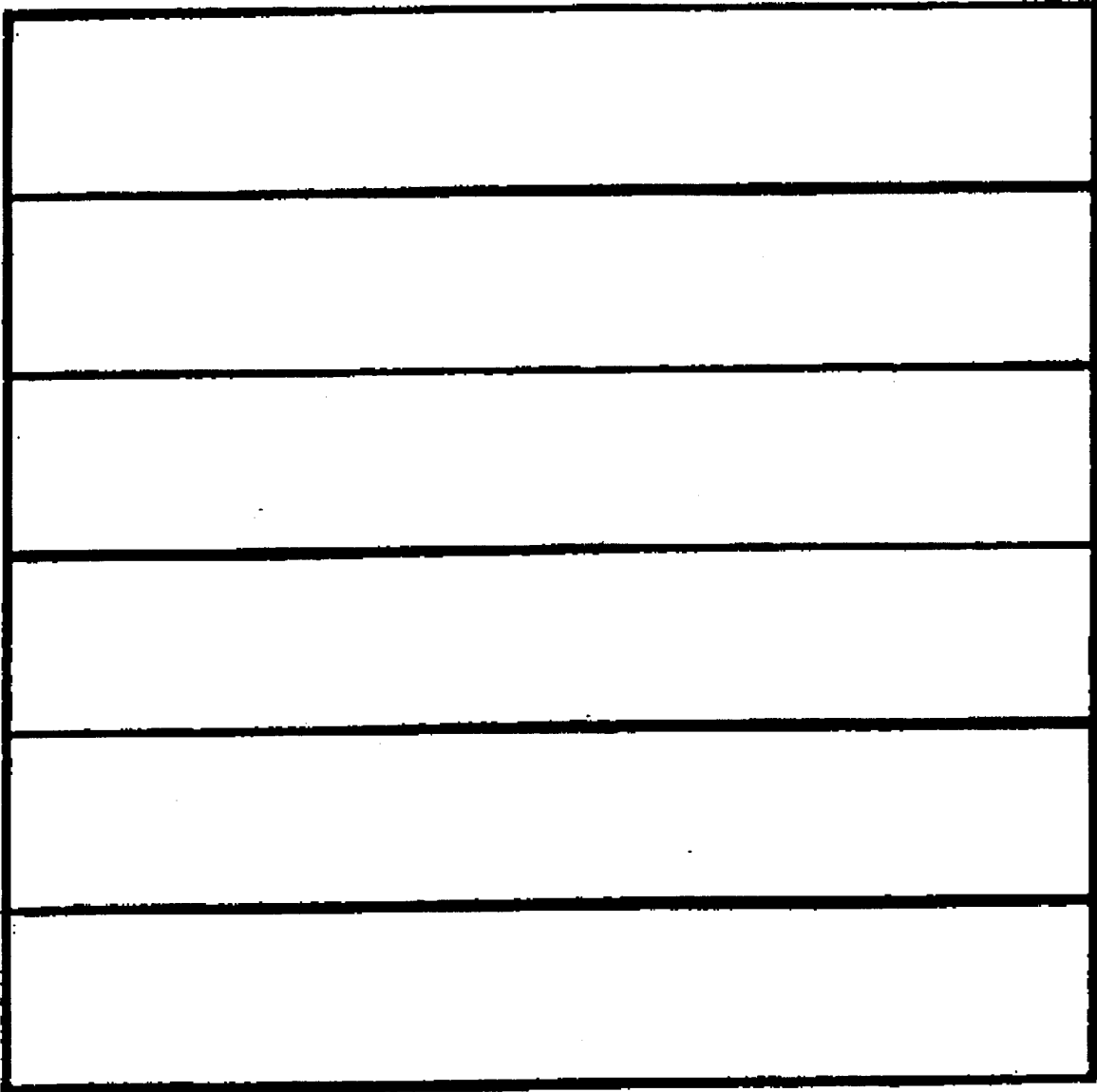
도면 3



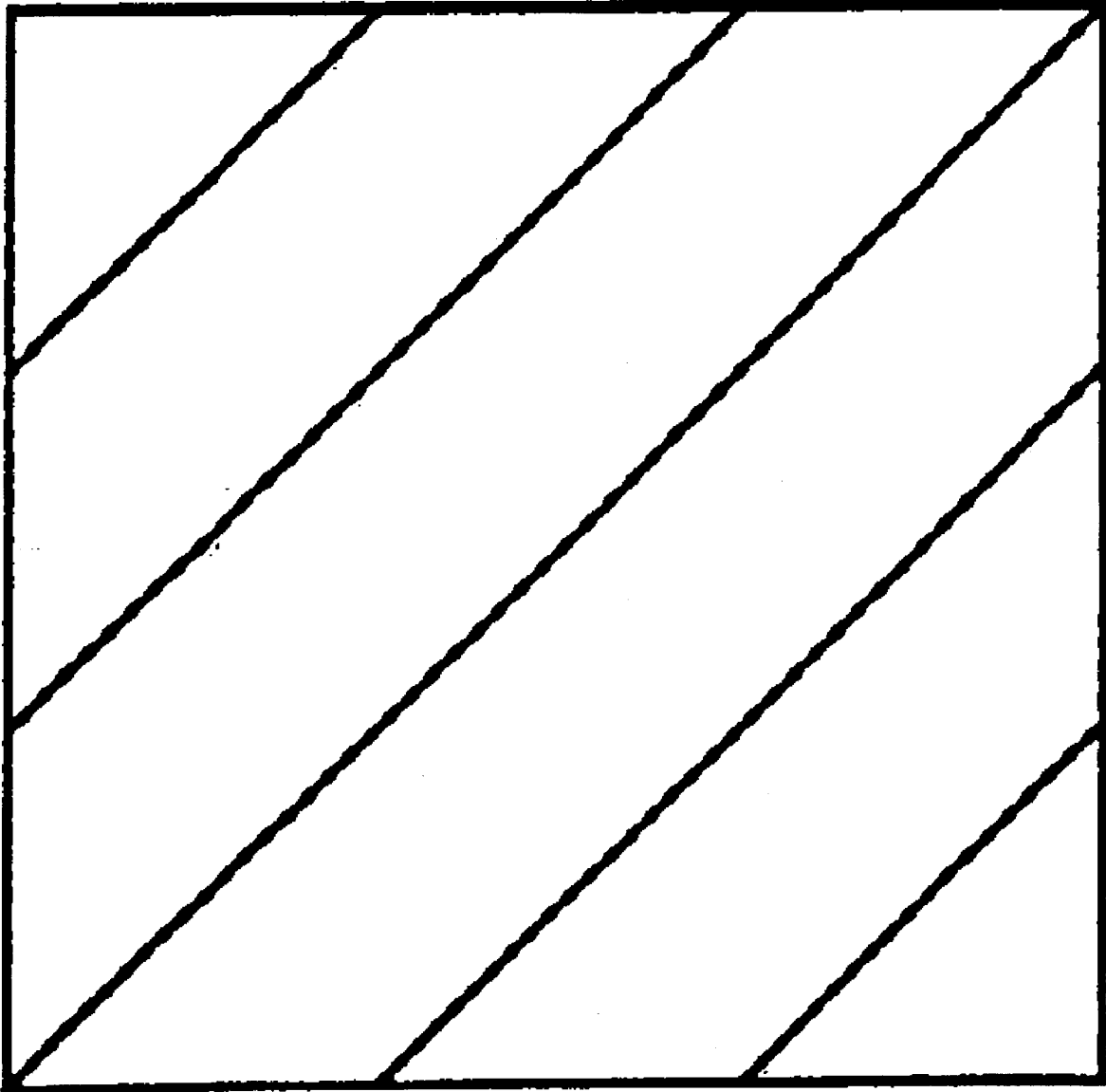
도면 4a

도면 4b

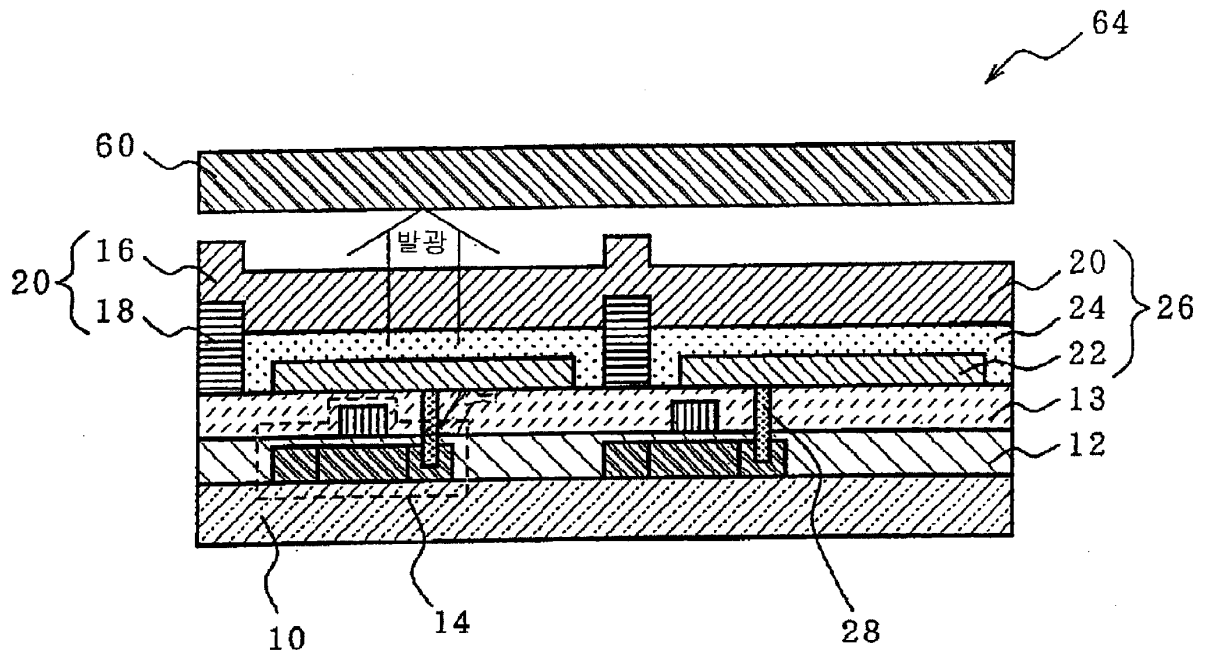
도면 4c



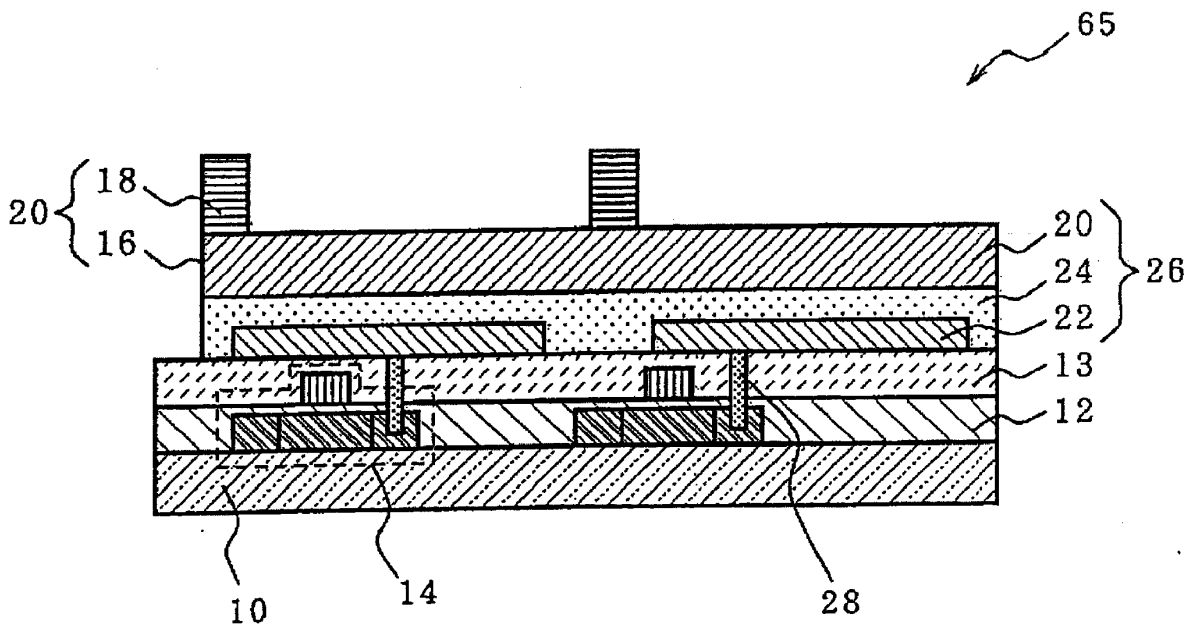
도면 41



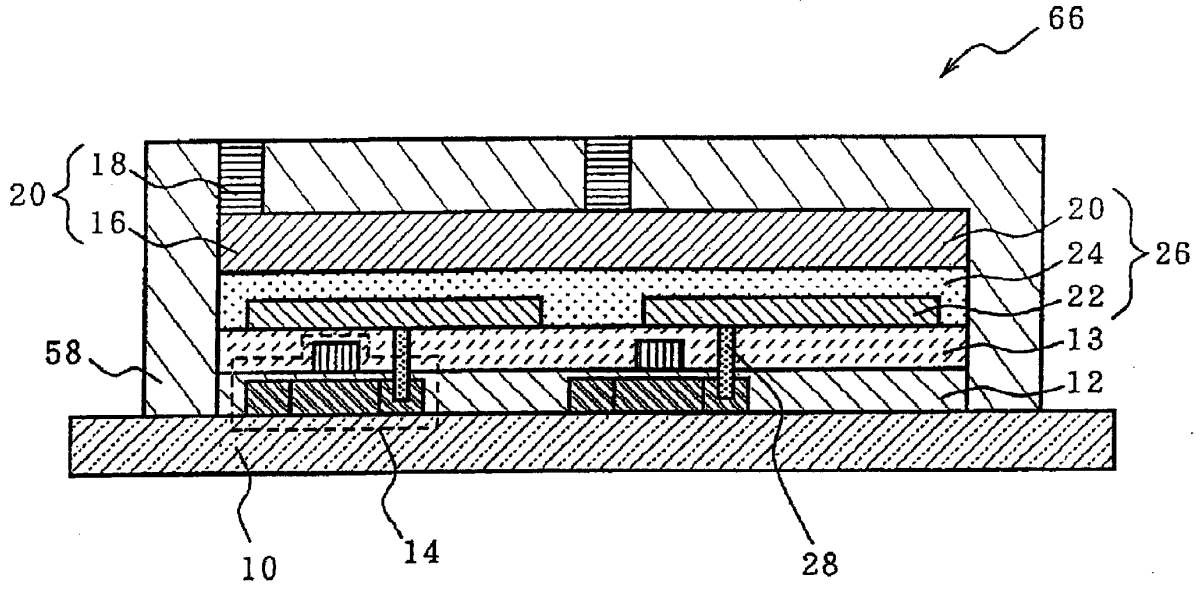
도면 5



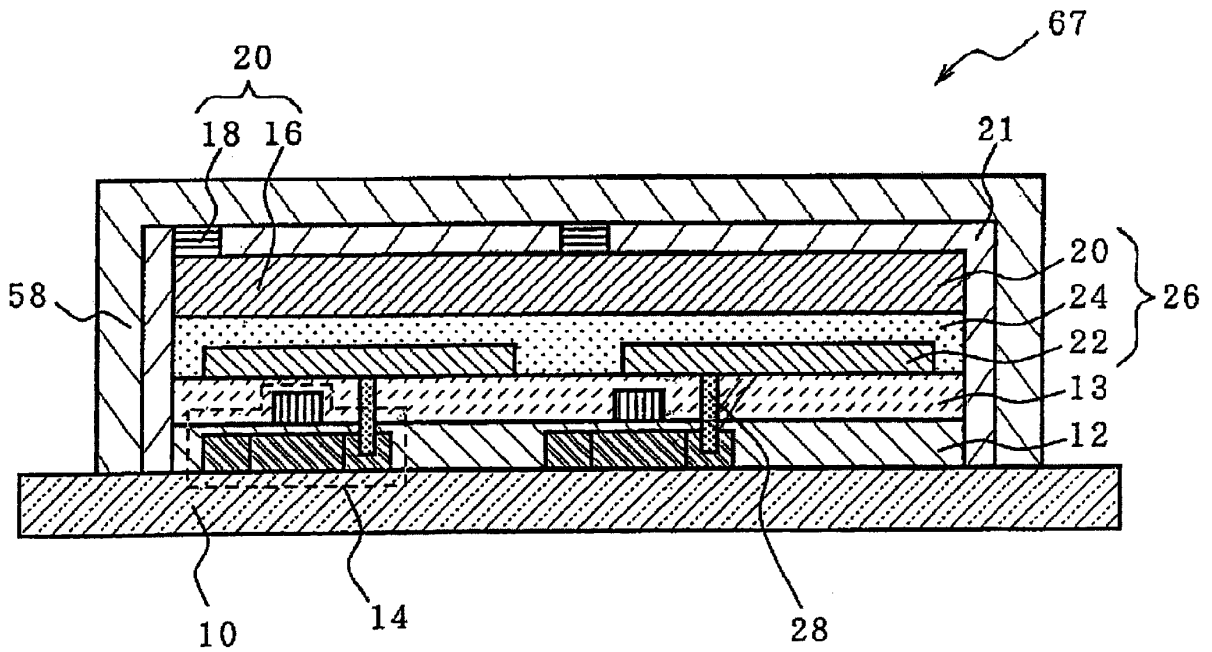
도면 6



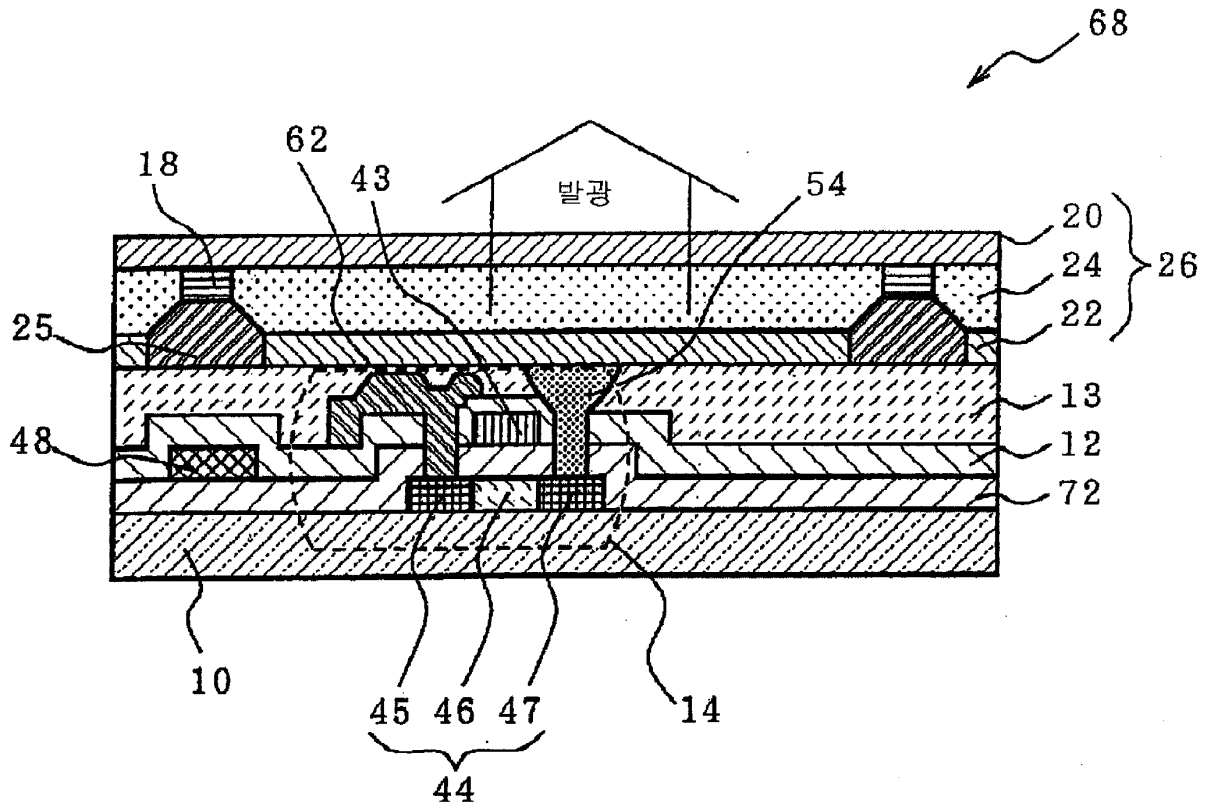
도면 7



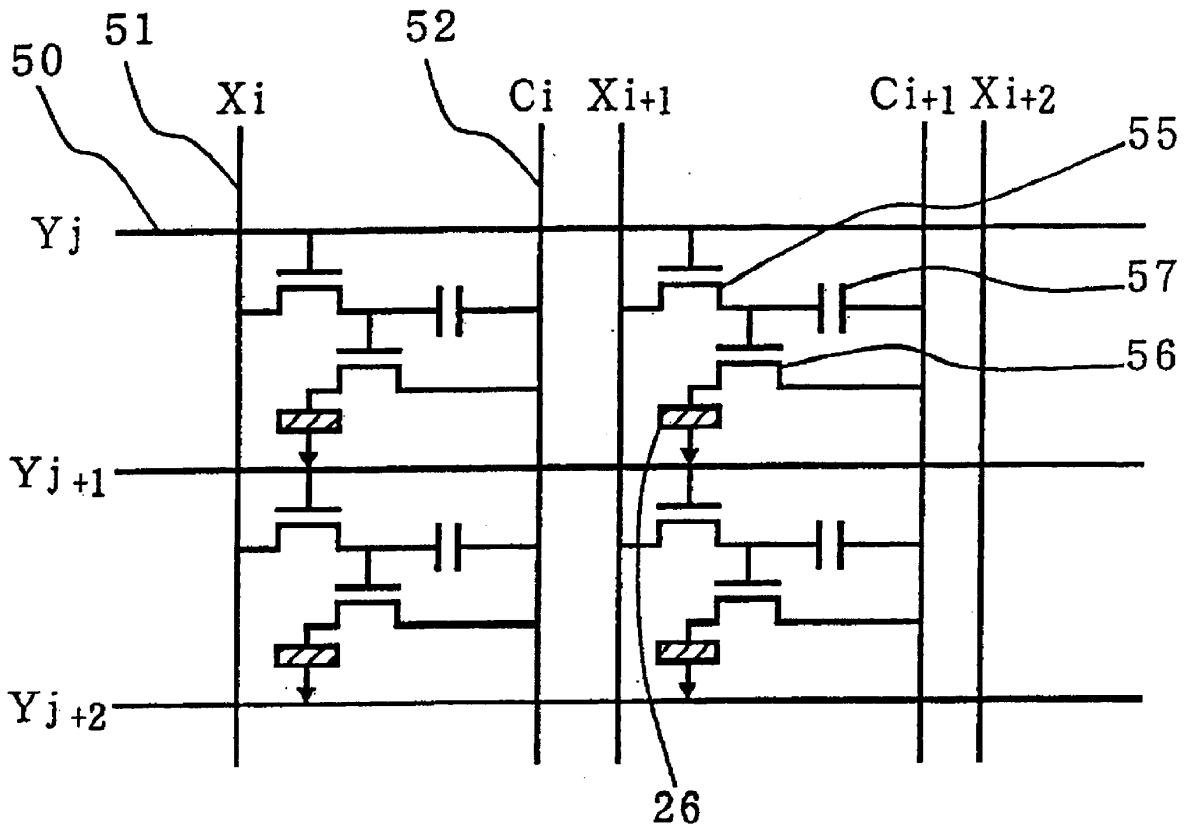
도면 8



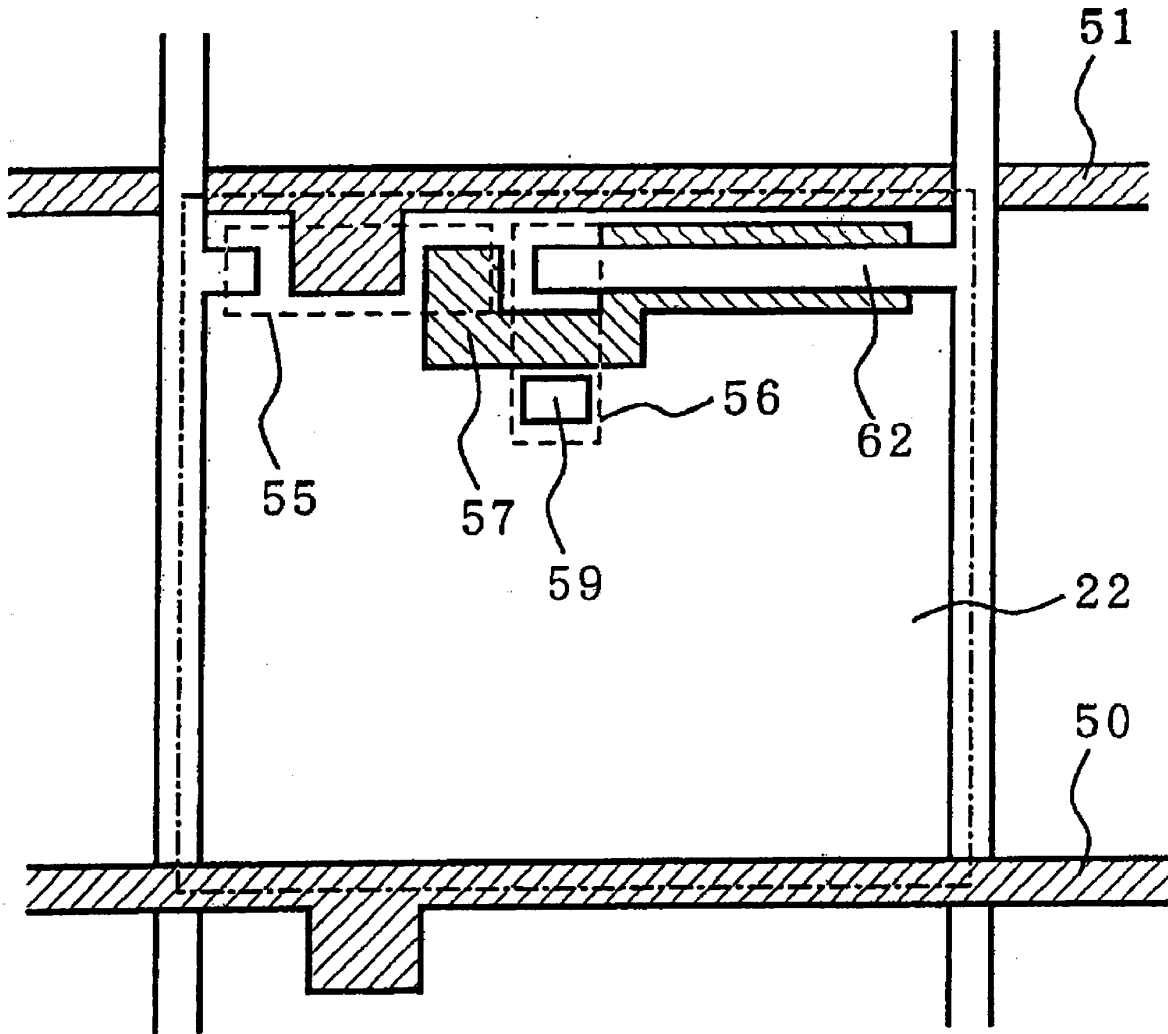
도면 9



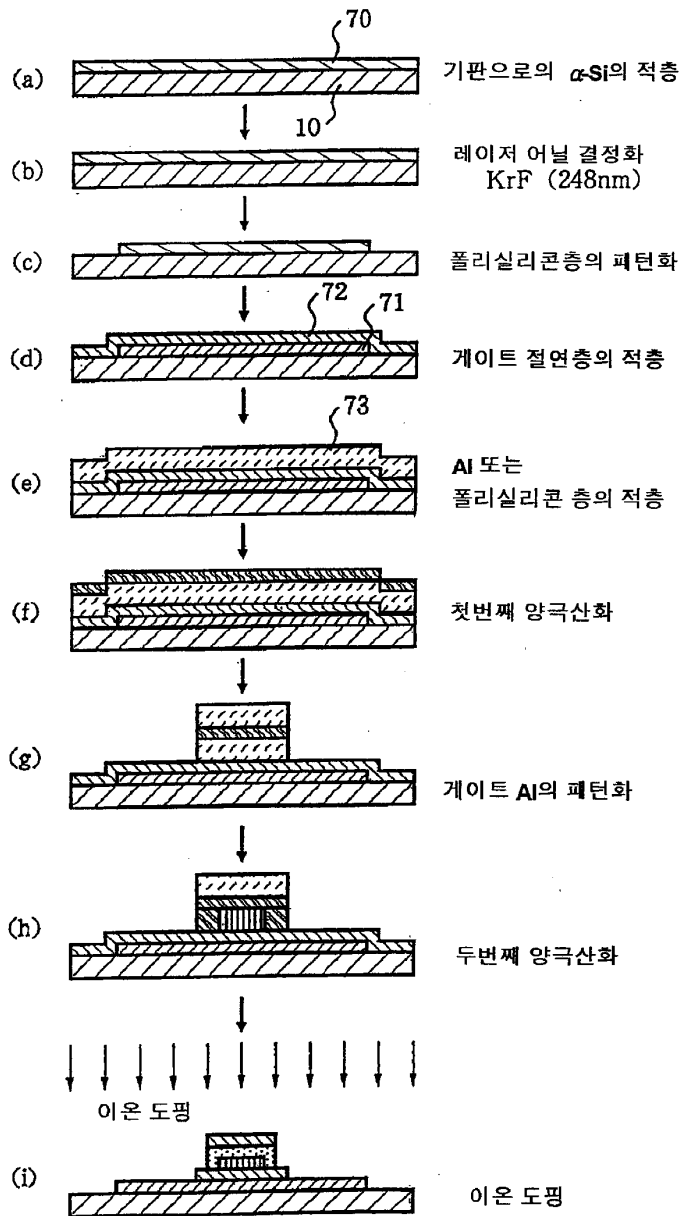
도면 10



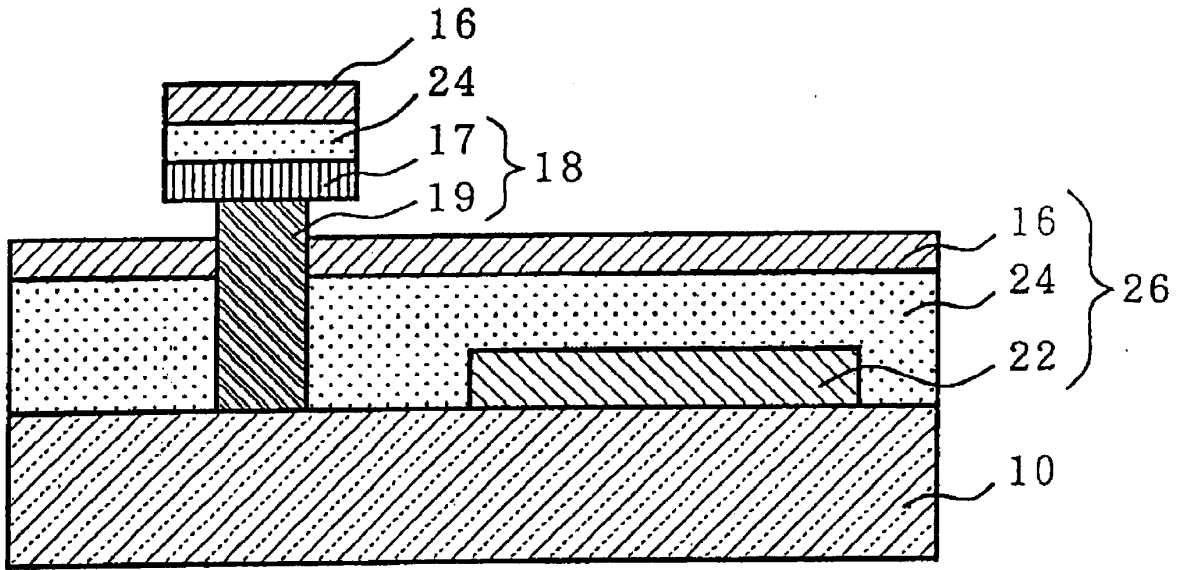
도면 11



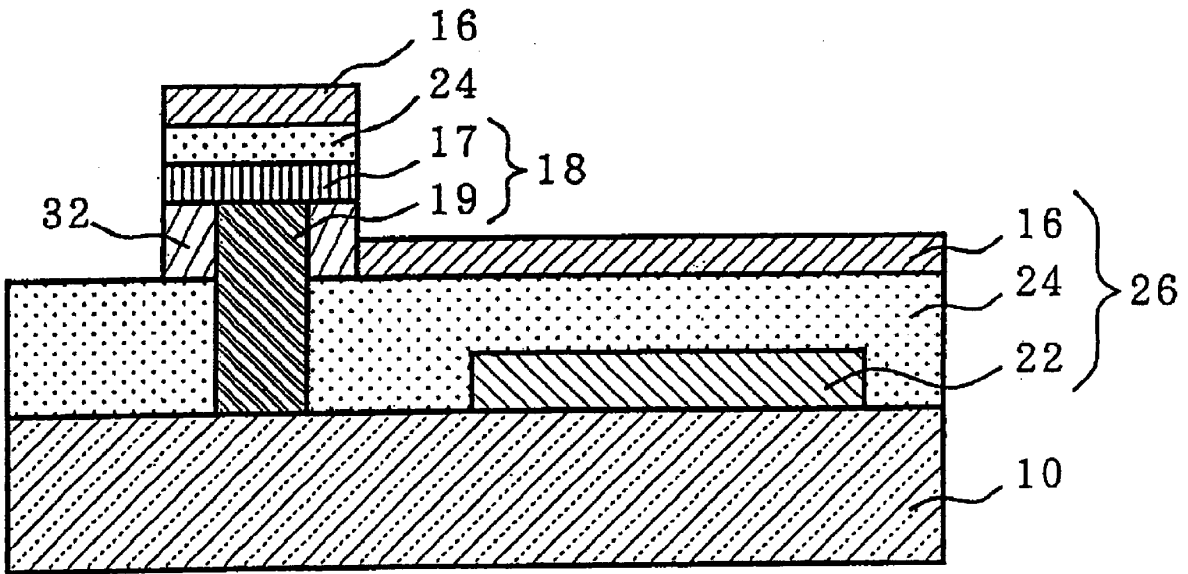
도면 12



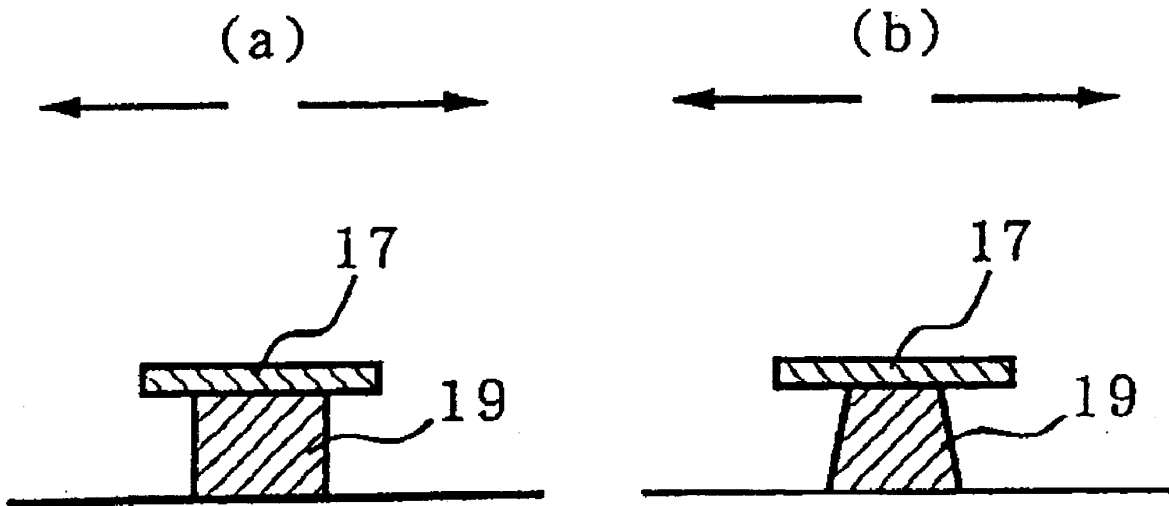
도면 13



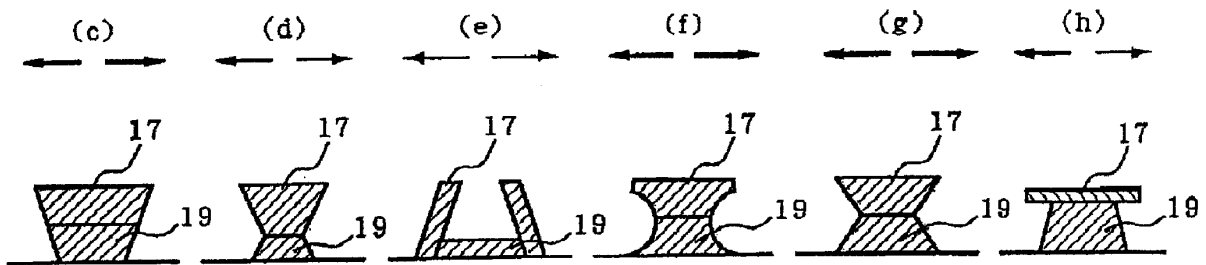
도면 14



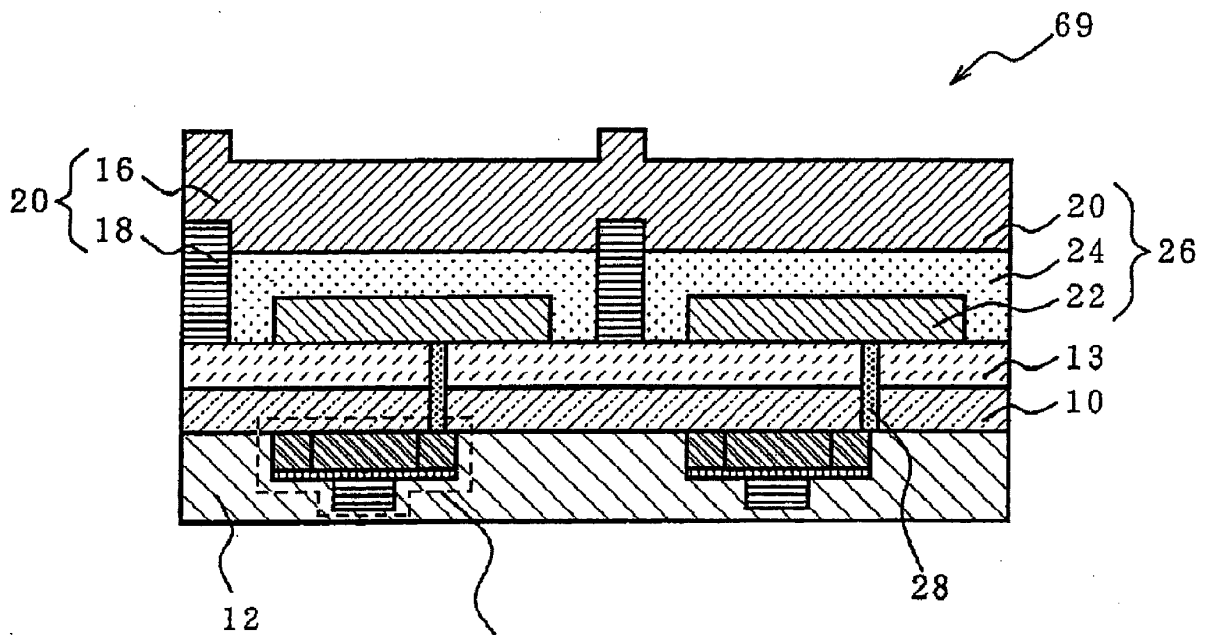
도면 15



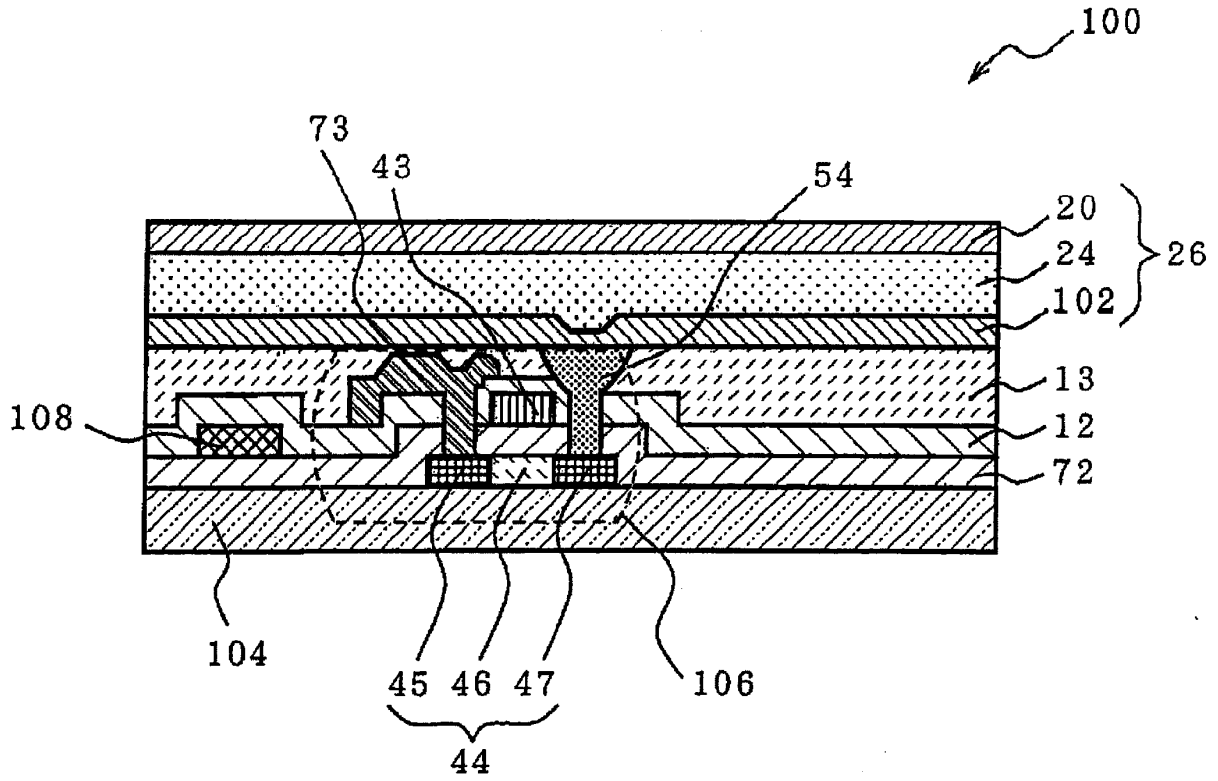
도면 16



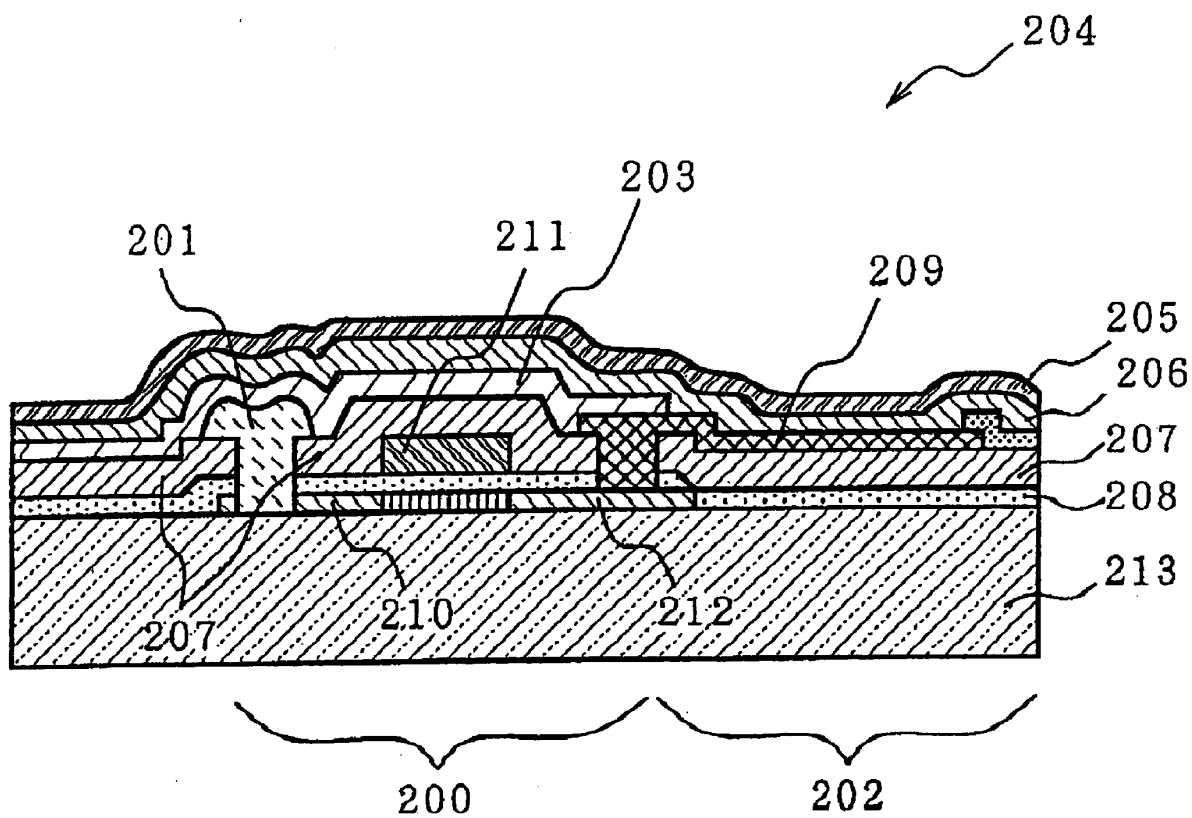
도면 17



도면 18



도면 19



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) . Int. Cl.⁷
G09G 3/30

(11) 공개번호 10-2004-0051611
(43) 공개일자 2004년06월18일

(21) 출원번호	10-2004-7005719	(87) 국제공개번호	WO 2004/019314
(22) 출원일자	2004년04월17일	(87) 국제공개일자	2003년03월04일
번역문 제출일자	2004년04월17일		
(86) 국제출원번호	PCT/JP2003/010644		
(86) 국제출원출원일자	2003년08월22일		

(30) 우선권주장 JP-P-2002-00245444 2002년08월26일 일본(JP)

(71) 출원인 가시오계산키 가부시키가이샤
일본국 도쿄도 시부야구 혼마치 1초메 6반 2고

(72) 발명자 야마다,히로야스
일본국도쿄도하치오지시벳쇼2-11-5-502

시라사키도모유키
일본국도쿄도히가시야마토시사쿠라가오카1-1425-3-234

(74) 대리인 손은진

심사청구 : 있음

(54) 디스플레이장치 및 디스플레이장치 구동방법

요약

디스플레이장치는 복수개의 주사선들(X_1 내지 X_m), 복수개의 신호선들(Y_1 내지 Y_n), 상기 주사선들을 선택하는 선택신호들을 상기 주사선들에 순차적으로 공급해주는 주사드라이버(5), 상기 주사선들이 선택될 때, 선택기간에 지정전류를 상기 복수개의 신호선들에게 공급해주는 데이터드라이버(3), 상기 신호선들에 흐르는 상기 지정전류의 전류값에 대응하는 구동전류를 공급해주는 복수개의 픽셀회로들, 상기 복수개의 픽셀회로들에 의해 공급되는 상기 구동전류에 따라 발광하는 복수개의 광소자들($E_{1,1}$ 내지 $E_{m,n}$) 및 상기 구동전류를 공급해주기 위해서 상기 복수개의 픽셀회로들에 구동전류기준전압을 출력하는 전원공급기를 포함한다.

대표도

도 1

색인어

유기EL, 디스플레이, 구동방법, 휘도, 편차, 픽셀, 발광.

명세서

기술분야

본 발명은 디스플레이장치 및 디스플레이장치 구동방법에 관한 것이다.

배경기술

액정디스플레이는 보통 능동 매트릭스 구동형 액정디스플레이와 단순 매트릭스 구동형 액정디스플레이로 분류된다. 능동 매트릭스 구동형 액정디스플레이는 단순 매트릭스 구동형 액정디스플레이에 비해 보다 더 높은 휘도, 더 높은 콘트라스트 및 더 높은 해상도를 갖는 화상을 표시한다. 능동 매트릭스 구동형 액정디스플레이에서는, 액정소자를 활성화시키는 트랜지스터와 콘덴서로서 기능을 하는 액정소자들이 각 픽셀에 배열되어 있다. 능동 매트릭스 구동형 액정디스플레이에서, 선택신호는 주사선이 선택되도록 쉬프트 레지스터 역할을 하는 주사드라이버(scanning driver)로부터 주사선에 입력된다. 이 때, 휘도를 나타내는 레벨을 갖는 전압이 데이터드라이버로부터 신호선에 인가되면, 상기 전압은 트랜지스터를 통해서 액정소자들에 인가된다. 트랜지스터가 주사선에 입력된 신호의 종료로부터 다음에 입력되는 신호사이의 기간동안 턴오프되어 있을지라도, 액정소자는 콘덴서로서 역할을 하기 때문에 다음 신호가 주사선에 입력될 때까지 전압레벨은 유지된다. 위에서 설명한 바와 같이, 신호가 주사선으로 입력이 되는 동안, 액정소자의 광투과율은 새롭게 리플래쉬된다. 액정디스플레이의 그레이레벨을 나타내기 위해서 백라이트로부터의 빛은 새롭게 리플래쉬된 광투과율에 따라 액정소자를 통과한다.

한편, 자발광소자로서 유기EL소자들을 사용하는 유기 EL(Electroluminescence; 전자발광) 디스플레이는 액정디스플레이와는 달리, 백라이트를 요구하지 않는다. 그러므로, 유기EL 디스플레이는 얇은 디스플레이를 위해서는 최적이다. 게다가, 유기EL 디스플레이는 액정디스플레이와는 달리, 시야각의 제한이 없다. 이러한 이유때문에, 차세대 디스플레이장치로서 유기EL 디스플레이의 실용화가 매우 기대되고 있다.

고휘도, 높은 콘트라스트 및 고해상도의 관점에서, 전압제어 능동매트릭스구동방식들이 액정디스플레이를 위해서 뿐만 아니라, 유기EL 디스플레이를 위해서 개발되어 왔다. 하지만, 유기EL소자의 용량은 액정소자의 용량보다 훨씬 작기 때문에 전류는 유기EL소자 자체로 흐른다. 전압을 유지하기 위해서, 트랜지스터의 숫자는 늘어난다. 이 늘어난 트랜지스터들 때문에 구성된 회로의 복잡성은 증대된다.

트랜지스터에 있어서, 일반적으로, 채널저항값은 주변온도의 변화 또는 장기간의 사용으로 인해 변하게 된다. 이런 이유로, 게이트문턱전압은 오버타임을 변화시키거나 트랜지스터들마다 서로 다르게 된다. 따라서, 트랜지스터의 게이트전극에 인가될 전압값이 변하고 따라서 유기EL소자에 공급될 전류레벨이 변화됨으로 인해, 스위칭트랜지스터의 게이트전압레벨을 기초로 해서 유기EL소자에 공급할 전류레벨을 단일하게 지정하기는 어렵다. 다시 말하면, 공급될 전류레벨은 트랜지스터의 게이트전극에 인가될 전압값이 변하고 따라서 유기EL소자의 휘도를 변화시킴으로 인해, 단일하게 지정되기가 어렵다. 이로 인해, 복수개의 트랜지스터에 동일한 레벨의 게이트전압이 인가된다라도, 복수개의 픽셀들의 유기EL소자들은 각각 다른 발광휘도를 가질것이다. 이것은 디스플레이의 화면상에서 휘도의 편차를 일으킨다.

발명의 상세한 설명

본 발명의 목적은 간단한 구동원리의 기초에 따라 화면표시가 안정되도록 해주는 디스플레이장치 및 디스플레이장치 구동방법을 제공하는 것이다.

상기 문제점들을 해결하기 위해서, 본 발명의 구성에 따르면,

복수개의 주사선들(예를들어, 선택주사선(X_1 내지 X_m));

복수개의 신호선들(예를들어, 신호선(Y_1 내지 Y_n));

상기 주사선들을 선택하는 선택신호들을 상기 주사선들에 순차적으로 공급해주는 주사드라이버(예를들어, 선택주사드라이버(5));

상기 주사선들이 선택될 때, 선택기간(예를들어, 선택기간(T_{SE}))에 지정전류(예를들어, 그레이레벨 지정전류(I_{DATA}))를 상기 복수개의 신호선들에게 공급해주는 데이터드라이버(예를들어, 데이터드라이버(3));

상기 신호선들에 흐르는 상기 지정전류의 전류값에 대응하는 구동전류를 공급해주는 복수개의 픽셀회로들(예를들어, 픽셀회로($D_{1,1}$ 내지 $D_{m,n}$));

상기 복수개의 픽셀회로들에 의해 공급되는 상기 구동전류에 따라 발광하는 복수개의 광소자들(예를들어, 발광소자($E_{1,1}$ 내지 $E_{m,n}$)); 및

상기 구동전류를 공급해주기 위해서 상기 복수개의 픽셀회로들에 구동전류기준전압(예를들어, 전압(V_{HIGH}))을 출력하는 전원공급기(예를들어, 공통신호전원공급기(6))를 포함하는 디스플레이장치가 제공된다..

위의 장치에서, 전원공급기가 구동전류기준전압을 출력하는 시간에 맞춰, 복수개의 픽셀회로들은 각각의 선택기간에서 흐르는 지정전류의 전류값에 따른 구동전류를 공급해준다. 이에 따라, 광소자들은 발광한다.

그러므로, 전원공급기가 소정의 주사선의 선택기간의 종료시점부터 다음 주사선의 선택기간의 시작시점까지 구동전류기준전압을 출력할 때, 소정의 주사선에 대응하는 광소자와 다음 주사선에 대응하는 광소자들 모두에 대응하는 구동전류가 흐르게 된다. 그러므로, 상기 광소자들은 소망하는 휘도로 발광할 수 있다.

모든 주사선들이 선택된 후에 전원공급기가 픽셀회로에 구동전류기준전압을 출력하게 되면, 모든 광소자들은 발광할 수 있다.

복수개의 광소자들중 어떠한 것도 선택되지 않는 기간에 리셋전압이 복수개의 신호선들에 출력되면, 신호선들은 이전 선택기간에서 저장된 전하들을 리셋시킨다. 이러한 이유때문에, 신호선들의 기생용량은 다음 선택기간에서 빨리 충전될 수 있어서 작은 전류값을 갖는 지정전류가 공급될지라도, 지정전류의 전류값은 재빨리 안정상태에 머물 수 있게 된다. 따라서, μA 의 몇 제곱승의 작은 전류에 의해 휘도가 조정이 되는 유기EL소자와 같은 광소자일지라도 재빨리 다중 그레이레벨 휘도들을 나타낼 수 있게 된다.

도면의 간단한 설명

도 1은 본 발명의 제 1 실시예에 따른 디스플레이장치로서 적용된 유기EL 디스플레이를 보여주는 도면이다.

도 2는 도 1에서 보인 픽셀들로서, 이해의 편의를 돕기 위해 산화절연막, 채널방지절연막 및 공통전극들이 생략되어 있는 평면도이다.

도 3은 도 2에서 선III-III에 따라 잘라진 단면도이다.

도 4는 도 2에서 선IV-IV에 따라 잘라진 단면도이다.

도 5는 도 2에서 선V-V에 따라 잘라진 단면도이다.

도 6은 인접한 4개의 픽셀들의 등가회로도이다.

도 7은 제 1 실시예에서 사용된 N-채널 전계효과트랜지스터의 전류 대 전압특성을 보여주는 그래프이다.

도 8은 제 1 실시예에 따른 장치에서 신호들의 레벨들을 보여주는 펄스파형도이다.

도 9A는 스위칭회로가 구성되지 않으며, 최대 전류값을 갖는 그레이레벨지정전류가 i번째 행의 선택기간동안 신호선 및 트랜지스터의 드레인과 소스에 걸쳐 공급될 때의 전압상태를 보여주는 도면이다.

도 9B는 스위칭회로가 구성되어 있으며, 최대 전류값을 갖는 그레이레벨지정전류가 i번째 행의 선택기간동안 신호선 및 트랜지스터의 드레인과 소스에 걸쳐 공급될 때의 전압상태를 보여주는 도면이다.

도 10은 본 발명의 제 2 실시예에 따른 디스플레이장치로서 적용된 유기EL 디스플레이로서, 공통신호전원공급기가 콘트롤러에 배열되어 있는 것을 보여주는 도면이다.

도 11은 본 발명의 제 3 실시예에 따른 디스플레이장치로서 적용된 유기EL 디스플레이로서, 픽셀회로의 트랜지스터의 드레인이 선택주사선에 연결되어 있는 것을 보여주는 도면이다.

도 12A와 도 12B는 제 3 실시예에서, 인접한 픽셀들이 다른 동작기간에서의 전류흐름을 지시하는 것을 보여주는 등가회로도들이다.

도 13은 제 3 실시예에 따른 장치에서 신호레벨을 보여주는 펄스파형도이다.

* 도면의 주요부호에 대한 설명 *

1: 유기EL 디스플레이, 2: 유기EL 디스플레이패널,

3: 데이터드라이버, 4: 표시부,

5: 선택주사드라이버, 6: 공통신호전원공급기,

7: 스위칭회로, 8: 투명기판,

11: 콘트롤러, 21: 제 1 트랜지스터,

22: 제 2 트랜지스터, 23: 제 3 트랜지스터,

24: 콘덴서, 25: 콘택홀,

31: 제4트랜지스터, 32: 제5트랜지스터,

41: 산화절연막, 42: 게이트절연막,

43: 반도체층, 45: 채널보호절연막,

51: 픽셀전극, 52: 유기EL층,

53: 공통전극, 54: 층간절연막,

- X_1 내지 X_m : 선택주사선, - Y_1 내지 Y_n : 신호선,

- I_{DATA} : 그레이레벨 지정전류, - T_{SE} : 선택기간,

- T_{NSE} : 비선택기간, - $D_{1,1}$ 내지 $D_{m,n}$: 픽셀회로.

- $E_{1,1}$ 내지 $E_{m,n}$: 발광소자, - Z_1 내지 Z_m : 공통신호공급선들

실시예

본 발명의 상세한 실시예들은 첨부된 도면들과 함께 후술될 것이다. 본 디스플레이장치 또는 디스플레이패널의 범위와 요지는 후술되는 실시예들에 한정되지 않는다.

[제 1 실시예]

도 1은 본 발명이 적용된 유기EL 디스플레이를 보여주는 도면이다. 유기EL 디스플레이(1)는, 기본적인 구성으로서, 유기EL 디스플레이패널(2), 데이터드라이버(3), 선택주사드라이버(5), 공통신호전원공급기(6), 스위칭회로(7) 및 콘트롤러(11)를 포함한다.

유기EL 디스플레이패널(2)에서, 실제적으로 화상이 표시되는 표시부(4)는 투명기판(8)상에 형성된다. 데이터드라이버(3), 선택주사드라이버(5), 공통신호전원공급기(6) 및 스위칭회로(7)는 상기 표시부(4)주위에 배열된다. 데이터드라이버(3), 선택주사드라이버(5) 및 공통신호전원공급기(6)는 상기 투명기판(8) 또는 상기 투명기판(8)주위에 배열된 연성회로기판상에 배열될 수 있다.

표시부(4)에서, $(m \times n)$ 픽셀들($P_{1,1}$ 내지 $P_{m,n}$; 여기서, m, n 은 임의의 자연상수임)은 상기 투명기판(8)상에 있는 매트릭스에 배열된다. 열방향 즉 수직방향으로, m 개의 픽셀들($P_{1,j}$ 내지 $P_{m,j}$; 여기서, j 는 임의의 자연상수이고, $1 \leq j \leq n$)이 배열된다. 행방향 즉 수평방향으로, n 개의 픽셀들($P_{j,1}$ 내지 $P_{j,n}$; 여기서, i 는 임의의 자연상수이고, $1 \leq i \leq m$)이 배열된다. 즉, 위로부터 수직방향으로 i 번째라인(즉, i 번째행)에 있고 왼쪽부터 수평방향으로 j 번째라인(즉, j 번째열)에 존재하는 픽셀은 픽셀(P_{ij})로서 정의한다.

표시부(4)에서, 행방향으로 움직이는 m 개의 선택주사선들(X_1 내지 X_m)은 투명기판(8)상에서 열방향으로 평행하게 배열되어 있다. 게다가, 행방향으로 움직이는 m 개의 공통신호공급선들(Z_1 내지 Z_m)은 투명기판(8)상에서 선택주사선들(X_1 내지 X_m)과 조화되어 열방향으로 평행하게 배열되어 있다. 각 공통신호공급선(Z_k ; $1 \leq k \leq m-1$)은 선택주사선들(X_k 내지 X_{k+1})사이에 삽입되어 있다. 선택주사선(X_m)은 공통신호공급선들(Z_{m-1} 내지 Z_m)사이에 삽입되어 있다. 또한, 열방향으로 움직이는 n 개의 신호선들(Y_1 내지 Y_n)은 투명기판(8)상에서 행방향으로 평행하게 배열되어 있다. 선택주사선들(X_1 내지 X_m), 공통신호공급선들(Z_1 내지 Z_m) 및 신호선들(Y_1 내지 Y_n)은 층간절연막들에 의해서 서로 절연되어 있다. 선택주사선(X_i)과 공통신호공급선(Z_j)들은 행방향으로 배열된 n 개의 픽셀들($P_{i,1}$ 내지 $P_{i,n}$)에 연결된다. 신호선들(Y_j)은 열방향으로 배열된 m 개의 픽셀들($P_{i,j}$ 내지 $P_{m,j}$)에 연결된다. 픽셀($P_{i,j}$)은 선택주사선(X_i), 공통신호공급선(Z_j) 및 신호선(Y_j)에 의해 둘러싸인 부분에 배열된다. 선택주사선들(X_1 내지 X_m)들은 선택주사드라이버(5)의 출력단들에 연결된다. 공통신호공급선들(Z_1 내지 Z_m)들은 서로 도전되게 해주고 공통신호전원공급기(6)의 출력단에 연결된다. 즉, 같은 신호는 공통신호공급선들(Z_1 내지 Z_m)에 출력된다.

픽셀($P_{i,j}$)이 도 2 내지 도 6을 참조하여 다음에 설명된다. 도 2는 픽셀($P_{i,j}$)를 보여주는 평면도이다. 이해를 돕기 위해서, 산화절연막(41), 채널보호절연막(45) 및 (후술될)공통전극(53)은 생략한다. 도 3은 도 2에서 III-III선에 따라 잘라진 단면도이다. 도 4는 도 2에서 IV-IV선에 따라 잘라진 단면도이다. 도 5는 도 2에서 V-V선에 따라 잘라진 단면도이다.

도 6은 인접한 4개의 픽셀들($P_{i,j}$, $P_{i+1,j}$, $P_{i,j+1}$ 및 $P_{i+1,j+1}$)의 등가회로도이다.

픽셀($P_{i,j}$)은 구동전류의 전류값에 대응하는 휘도($nt = cd/m^2$)를 갖고 발광하는 발광소자($E_{i,j}$)와, 발광소자($E_{i,j}$)의 주변에 배열되어 발광소자($E_{i,j}$)를 구동시키는 픽셀회로($D_{i,j}$)들로 구성된다. 픽셀회로($D_{i,j}$)는 전압신호와 데이터드라이버(3), 선택주사드라이버(5), 전원공급주사드라이버(6) 및 스위칭회로(7)들로부터 출력되는 전류를 기초로 하여 소정의 발광기간동안 발광소자($E_{i,j}$)에 흐르는 전류의 전류값을 유지해준다. 이러한 동작으로, 발광소자($E_{i,j}$)의 휘도는 소정의 기간동안에서 소정의 값으로 유지된다.

발광소자($E_{i,j}$)는 유기EL소자로 만들어진다. 발광소자($E_{i,j}$)는 픽셀전극(51), 유기EL층(52) 및 공통전극(53)을 순차적으로 적층함으로써 형성되는 다층구조를 가진다. 픽셀전극(51)은 투명기판(8)에서 애노드로서 역할을 한다. 유기EL층(52)은 전공들과 전자들을 받아들여 전기장에 의해 이들을 전송하는 역할을 한다. 유기EL층(52)은 수송된 전공들과 전자들이 재결합하는 재결합지역과 상기 재결합에서 발생된 여기자들을 잡아끌어들여 발광하도록 하는 발광지역을 갖고 있다. 넓은 의미에서 보면, 유기EL층(52)은 발광층으로서의 역할을 한다. 공통전극(53)은 캐소드로서 역할을 한다.

픽셀전극(51)은 신호선들(Y_1 내지 Y_n)과 선택주사선들(X_1 내지 X_m)에 의해 둘러싸인 지역에서 각각의 픽셀($P_{i,j}$)에 대하여 패턴화되고 분리된다. 픽셀전극(51)의 주변끝단은 질화규소 또는 산화규소의 층을 갖는 층간절연막(54)으로 덮혀 있으며, 이 층은 픽셀회로($D_{i,j}$)의 세개의 트랜지스터들(21, 22, 23)을 덮고 있다. 픽셀전극(51)의 중심부의 윗면은 층간절연막(54)에서의 콘택홀(55)을 통해 노출된다. 층간절연막(54)은 또한 질화규소 또는 산화규소의 제 1 층위에 폴리이미드 등 과 같은 절연막으로 형성된 제 2 층을 갖을 수 있다.

픽셀전극(51)은 가시광에 대한 투과성과 전도성을 갖고 있다. 픽셀전극(51)은 비교적 높은 일함수를 가지며 유기EL층(52)으로 전공들을 효율적으로 주입시키는 것이 바람직하다. 예를 들어, 픽셀전극(51)은 주요구성요소로서, 산화인듐주석(indium tin oxide; ITO), 산화인듐아연(indium zinc oxide; IZO), 산화인듐(indium oxide; In_2O_3), 산화주석(tin oxide; SNO_2) 또는 산화아연(zinc oxide; ZnO)을 포함한다.

유기EL층(52)은 각각의 픽셀전극(51)상에서 형성된다. 유기EL층(52)은 또한 각각의 픽셀($P_{i,j}$)에 대해 패턴화된다. 유기EL층(52)은 유기화합물로서의 발광물질(형광체)을 포함한다. 발광물질은 폴리머릭물질(polymeric material) 또는 낮은 분자량물질일 수 있다. 유기EL층(52)은, 예를 들어, 도 3에서 보는 바와 같이, 전공수송층(52A)과 좁은의미로서의 발광층(52B)이 픽셀전극(51)의 측면으로부터 순차적으로 형성되는 2층구조를 가질 수 있다. 발광층(52B)은 전공들과 전자들이 서로 재결합하는 재결합지역과 재결합으로 생성된 여기자들을 잡아끌어들여 발광하는 발광지역을 갖는다. 선택적으로, 유기EL층(52)은 전공수송층, 좁은 의미로서의 발광층(52B) 및 전자수송층이 픽셀전극(51)의 측면으로부터 순차적으로 형성되는 3층구조를 가질 수 있다. 유기EL층(52)은 좁은 의미로서의 발광층을 포함하는 단층구조를 가질 수 있다. 유기EL층(52) 또한 위의 층구조에서의 적당한 층들 사이에 전자 또는 전공주입층을 삽입시킴으로써 형성되는 다층구조를 가질 수 있다. 유기EL 층(52)은 또 다른 층구조를 가질 수 있다.

유기EL 디스플레이패널(2)은 완전색표시 또는 다색표시가 가능하다. 이 경우, 픽셀들($P_{i,1}$ 내지 $P_{i,n}$)의 각각의 유기EL층(52)은 넓은 의미의 발광층으로 형성되어, 예를 들어, 적색빛, 녹색빛 및 청색빛중 하나의 빛을 내는 역할을 한다. 즉, 픽셀들($P_{i,1}$ 내지 $P_{i,n}$)이 선택적으로 적색빛, 녹색빛 및 청색빛을 내보낼 때, 색조는 상기 색들의 적절한 조합에 의해 표시된다.

유기EL층(52)은 전기적으로 중성인 유기화합물로 만들어 지는 것이 바람직하다. 이 경우, 전공들과 전자들은 알맞은 밸런스를 갖고 유기EL층(52)으로 주입되고 수송된다. 또한, 전자수송물질은 좁은 의미로서의 발광층에 적절히 혼합될 수 있다. 전공수송물질은 좁은 의미로서의 발광층에 적절히 혼합될 수 있다. 전자수송물질과 전공수송물질은 좁은 의미로서의 발광층에 적절히 혼합될 수 있다. 전자수송층 또는 전공수송층으로서 역할을 하는 전하수송층은 재결합 지역으로서의 역할을 할 수 있다. 빛은 전하수송층에 평행체를 혼합함으로써 나오게 된다.

유기EL층(52)상에 형성된 공통전극(53)은 모든 픽셀들($P_{1,1}$ 내지 $P_{m,n}$)에 연결된 단일전극이다. 선택적으로, 공통전극(53)은 각각의 열들에 연결된 스트립형태의 복수개의 전극들을 구성할 수 있다. 더 구체적으로, 공통전극(53)은 열방향으로 있는 픽셀들($P_{1,h-1}$ 내지 $P_{m,h-1}$; 여기서, h 는 임의의 자연상수이고, $2 \leq h \leq n$ 이다)의 그룹에 연결된 스트립공통전극과, 픽셀들($P_{1,h}$ 내지 $P_{m,h}$)의 그룹에 연결된 스트립공통전극을 구성할 수 있다. 이러한 방법은, 공통전극(53)은 각각의 열에 연결된 스트립형태의 복수개의 전극들을 포함한다. 선택적으로, 공통전극(53)은 행방향으로 있는 픽셀들($P_{g-1,1}$ 내지 $P_{g-1,n}$; 여기서, g 는 임의의 자연상수이고, $2 \leq g \leq m$ 이다)의 그룹에 연결된 스트립공통전극과, 픽셀들($P_{g,1}$ 내지 $P_{g,n}$)의 그룹에 연결된 스트립공통전극을 구성할 수 있다. 이러한 방법으로, 공통전극(53)은 각각의 행에 연결된 스트립형태의 복수개의 전극들을 포함한다.

어느 경우든, 공통전극(53)은 선택주사선(X_i), 신호선(Y_j) 및 공통신호공급선(Z_i)으로부터 전기적으로 절연된다. 공통전극(53)은 낮은 일함수를 갖는 물질로 구성된다. 예를들어, 공통전극(53)은 단일체 또는 인듐, 마그네슘, 칼슘, 리튬, 바륨 및 희토류금속들중 적어도 하나를 포함하는 합금으로 만들어진다. 공통전극(53)은 위의 물질들로 구성된 복수개의 층들을 적층함으로써 형성되는 다층구조를 가질 수 있다. 더 구체적으로, 다층구조는 낮은 일함수를 갖고 유기EL층(52)과 접해 있는 인터페이스의 측면부상에 형성된 고순도 바륨층과, 바륨층을 덮는 알루미늄층을 포함할 수 있다. 선택적으로, 다층구조는 하층부상의 리튬층과 상층부상의 알루미늄층을 갖는다. 투명전극이 픽셀전극(51)으로 사용되어 유기EL 디스플레이패널(2)의 유기EL층(52)으로부터 나오는 빛이 픽셀전극(51)을 통하여 투명기판(8)의 측면부를 빠져나와야 하는 경우에는, 공통전극(53)은 유기EL층(52)으로부터 나오는 빛을 차단하는 것이 바람직하다. 더 바람직하게는, 공통전극(53)은 유기EL층(52)으로부터 나오는 빛에 대해 높은 반사율을 갖는다.

상술한 바와 같이, 다층구조를 갖는 발광소자(E_{ij})의 경우에서, 순방향 바이어스전압이 픽셀전극(51)과 공통전극(53)들 사이에 인가될 때, 전자들이 공통전극(53)으로부터 유기EL층(52)에 주입되는 동안 전공들은 픽셀전극(51)으로부터 유기EL층(52)에 주입된다. 전공과 전자들은 유기EL층(52)으로 전송된다. 전공과 전자들이 유기EL층(52)에서 재결합하는 경우, 여기자들이 생성된다. 여기자들은 유기EL층(52)을 여기시킨다. 그래서 유기EL층(52)은 발광하게 된다.

발광소자(E_{ij})의 발광휘도(단위: $nt = cd/m^2$)는 발광소자(E_{ij})에 흐르는 전류값에 의존한다. 발광소자(E_{ij})의 발광기간동안에 발광소자(E_{ij})가 소정의 발광휘도를 유지하기 위하거나 또는 데이터라이버(3)로부터 도출된 그레이레벨지정전류(I_{DATA})에 대응하는 발광휘도를 얻기 위해서, 픽셀회로(D_{ij})는 각 픽셀(P_{ij})의 발광소자(E_{ij}) 주변에 배열된다. 픽셀회로(D_{ij})는 발광소자(E_{ij})의 전류값을 제어한다.

픽셀회로(D_{ij})는 세계의 트랜지스터들(21, 22, 23)과 콘덴서(24)를 포함한다. 각 트랜지스터는 N-채널 MOS구조를 갖는 전계효과 박막트랜지스터(TFT)로 형성된다.

트랜지스터(21)는 게이트전극(21g), 게이트절연막(42), 반도체층(43), 소스전극(21s) 및 드레인전극(21d)으로 구성된 MOS전계효과 트랜지스터이다. 트랜지스터(22)는 게이트전극(22g), 게이트절연막(42), 반도체층(43), 소스전극(22s) 및 드레인전극(22d)으로 구성된 MOS전계효과 트랜지스터이다. 트랜지스터(23)는 게이트전극(23g), 게이트절연막(42), 반도체층(43), 소스전극(23s) 및 드레인전극(23d)으로 구성된 MOS전계효과 트랜지스터이다.

더 구체적으로, 도 3에서 보이는 바와 같이, 제 1 트랜지스터(21)는 게이트전극(21g), 산화절연막(41), 게이트절연막(42), 섬모양 반도체층(43), 채널보호절연막(45), 불순물도핑반도체층들(44), 소스전극(21s) 및 드레인전극(21d)을 포함하는 역스태거형 트랜지스터이다. 게이트전극(21g)은 알루미늄으로 만들어지며 투명기판(8)상에 형성된다. 산화절연막(41)은 게이트전극(21g)을 덮는 알루미늄을 양극화(anodizing)함으로써 형성된다. 게이트절연막(42)은 질화규소 또는 산화규소로 만들어지며 산화절연막(41)을 덮는다. 반도체층(43)은 게이트절연막(42)상에 형성된다. 채널보호절연막(45)은 질화규소로 만들어지며 게이트절연막(42)상에 형성된다. 불순물도핑반도체층(44)은 $n^+ - Si$ 로 만들어지며 반도체층(43)의 양 끝부분들에 형성된다. 소스전극(21s)과 드레인전극(21d)은 크롬, 크롬합금, 알루미늄 및 알루미늄합금에서 선택된 물질로 만들어지며, 불순물도핑 반도체층들(44)상에 형성된다.

제 2 및 제 3 트랜지스터들(22, 23)은 위에서 설명한 제 1 트랜지스터(21)의 구조와 동일한 구조를 갖는다. 하지만, 각 트랜지스터들(21, 22, 23)의 모양, 크기 및 차원들과 반도체층들(43)의 채널두께, 채널길이는 각 트랜지스터들(21, 22, 23)의 기능에 따라 각각 적절히 설정된다.

트랜지스터들(21, 22, 23)은 동시에 같은 공정으로 형성될 수 있다. 이 경우, 각 트랜지스터들(21, 22, 23)의 게이트

전극들, 산화절연막들(41), 게이트절연막들(42), 반도체층들(43), 불순물도핑반도체층들(44), 소스전극들 및 드레인 전극들은 동일한 구성을 갖는다.

트랜지스터들(21, 22, 23)의 반도체층들(43)이 비정질 실리콘으로 만들어지는 경우라도 이들은 충분히 만들어질 수 있다. 하지만 반도체층들(43)은 폴리실리콘으로 만들어진다. 트랜지스터들(21, 22, 23)의 구조들은 역스태거형으로 제한되지 않는다. 스태거형 또는 양평면형 구조가 채용될 수 있다.

콘덴서(24)는 전극(24A), 전극(24B) 및 유전체로 구성된다. 전극(24A)은 제 3 트랜지스터(23)의 게이트전극(23g)에 연결된다. 전극(24B)은 트랜지스터(23)의 소스전극(23s)에 연결된다. 유전체는 전극들(24A, 24B) 사이에 삽입되는 게이트절연막(42)을 갖는다. 콘덴서(24)는 트랜지스터(23)의 소스전극(23s)과 드레인전극(23d)사이의 전하들을 저장한다.

도 6에서 보는 바와 같이, i번째 행에 있는 각 픽셀회로(D_{i,1} 내지 D_{i,n})의 제 2 트랜지스터(22)에서, 게이트전극(22g)은 i번째 행의 선택주사선(X_i)에 연결된다. 드레인전극(22d)은 i번째 행의 공통신호공급선(Z_i)에 연결된다. 도 5에서 보는 바와 같이, i번째 행에 있는 각 픽셀회로(D_{i,1} 내지 D_{i,n})의 제 3 트랜지스터(23)의 드레인전극(23d)은 콘택홀(26)을 통해서 i번째 행의 공통신호공급선(Z_i)에 연결된다. i번째 행에 있는 각 픽셀회로(D_{i,1} 내지 D_{i,n})의 제 1 트랜지스터(21)의 게이트전극(21g)은 i번째 행의 선택주사선(X_i)에 연결된다. j번째 열에 있는 각 픽셀회로(D_{1,j} 내지 D_{m,j})의 트랜지스터(21)의 소스전극(21s)은 j번째 열의 신호선(Y_j)에 연결된다.

각 픽셀들(P_{1,1} 내지 P_{m,n})에서, 제 2 트랜지스터(22)의 소스전극(22s)은, 도 4에서 보는 바와 같이, 게이트절연막(42)에 형성된 콘택홀(25)을 통해서 제 3 트랜지스터(23)의 게이트전극(23g)에 연결된다. 또한 소스전극(22s)은 콘덴서(24)의 하나의 전극에 연결된다. 트랜지스터(23)의 소스전극(23s)은 콘덴서(24)의 다른 하나의 전극에 연결되며 또한 트랜지스터(21)의 드레인전극(21d)에 연결된다. 트랜지스터(23)의 소스전극(23s), 콘덴서(24)의 다른 하나의 전극 및 트랜지스터(21)의 드레인전극(21d)들은 발광소자(E_{ij})의 픽셀전극(51)에 연결된다. 발광소자(E_{ij})의 공통전극(53)의 전압은 기준전압(V_{SS})이 된다. 이 실시예에서, 기준전압(V_{SS})이 0[V]로 설정되기 위해서 모든 발광소자(E_{1,1} 내지 E_{m,n})의 공통전극(53)은 접지된다.

트랜지스터들(21, 22, 23)의 반도체층들(43)과 동일한 패턴으로 형성된 보호막들(43A)은 게이트절연막(42)뿐만 아니라, 선택주사선(X_i)과 신호선(Y_j)사이, 공통신호공급선(Z_i)과 신호선(Y_j)사이에 배열된다.

컨트롤러(11)는 데이터드라이버클럭신호(CK1), 시작신호(ST1) 및 래치신호(L)가 포함된 제어신호군(D_{CNT})을 외부로부터 입력되는 도트클럭신호(CK_{DT}), 수평동기신호(H_{SYNC}) 및 수직동기신호(V_{SYNC})에 기초하여 데이터드라이버(3)로 출력한다. 또한, 컨트롤러(11)는 선택주사드라이버클럭신호(CK2)와 시작신호(ST2)가 포함된 제어신호군(G_{CNT})을 출력한다. 또한, 컨트롤러(11)는 공통신호클럭신호(CK3)를 공통신호전원공급기(6)로 출력한다. 또한, 컨트롤러(11)는 리셋전압(V_{RST})을 스위칭회로(7)로 출력하며, 스위칭신호(ϕ)를 스위칭회로(7)로 출력한다.

더 구체적으로, 데이터드라이버클럭신호(CK1)는 선택된 열(column)을 도트클럭신호(CK_{DT})에 동기되어 순차적으로 쉬프트시키는 신호이다. 8-비트 적색 디지털그레이레벨 화상신호(S_R), 녹색 디지털그레이레벨 화상신호(S_G) 및 청색 디지털그레이레벨 화상신호(S_B)들은 클럭신호(CK1)의 타이밍에 맞춰 외부회로로부터 수신된다. 시작신호(ST1)는 선택된 열을 수평동기신호(H_{SYNC})에 동기되어 제 1 번째 열로 되돌리는 신호다. 래치신호(L)는 아날로그 그레이레벨 지정신호에 기초하여 신호선들(Y₁ 내지 Y_n)에 아날로그 그레이레벨 지정전류(I_{DATA})를 평행하게 공급해주는 신호이다. 아날로그 그레이레벨 지정신호는 데이터드라이버(3)에서의 D/A변환기가 하나의 열 데이터, 예를 들어, 픽셀들(P_{i,1} 내지 P_{i,n})에 대응되어 수신된 적색 디지털그레이레벨 화상신호(S_R), 녹색 디지털그레이레벨 화상신호(S_G) 및 청색 디지털그레이레벨 화상신호(S_B)들을 D/A변환시킴으로써 얻어진다.

선택주사드라이버클럭신호(CK2)는 수평동기신호(H_{SYNC})에 동기되어 선택된 열을 순차적으로 쉬프트시키는 신호이다. 시작신호(ST2)는 수직동기신호(V_{SYNC})에 동기되어 선택된 열을 제 1 번째 열로 되돌리는 신호다.

공통신호클럭신호(CK3)는 공통신호를 공통신호공급선들(Z₁ 내지 Z_m)로 출력하는 클럭신호다.

데이터드라이버(3), 선택주사드라이버(5) 및 공통신호전원공급기(6)들은 다음에 후술될 표시부(4)의 주변에 배열된다.

선택주사드라이버(5)는 m개의 플립-플롭회로들이 병렬로 연결되어 있는 소위, 쉬프트 레지스터이다. 드라이버(5)는 선택신호를 선택주사선들(X₁ 내지 X_m)로 출력한다. 즉, 컨트롤러(11)로부터 수신된 선택주사드라이버클럭신호(CK2)에 따라, 선택주사드라이버(5)는 ON레벨(하이레벨)의 선택신호를 선택주사선들(X₁ 내지 X_m)에 이 순서로(선택주사선(X₁)은 선택주사선(X_m) 다음에 온다) 순차적으로 출력하며, 이로써 선택주사선들(X₁ 내지 X_m)은 순차적으로 선택된다.

더 구체적으로, 도 8에서 보이는 바와 같이, 선택주사드라이버(5)는 개개의 선택주사선들(X_1 내지 X_m)에게, 하이-레벨 선택신호로서 하나의 ON전압(V_{ON})(기준전압(V_{SS})보다 훨씬 높음)과 로우-레벨 선택신호로서의 OFF전압(V_{OFF})(기준전압(V_{SS})이하)을 인가해주며, 이로써 각각의 선택주사선(X_i)은 소정의 기간동안에 선택이 된다.

선택주사선(X_i)이 선택되는 선택기간(T_{SE})동안에, 선택주사드라이버(5)는 ON레벨(하이레벨)의 선택신호로서 ON전압(V_{ON})을 선택주사선(X_i)에 인가해준다. 따라서, 선택주사선(X_i)에 연결된 트랜지스터들(21, 22)(모든 픽셀회로들($D_{i,1}$ 내지 $D_{i,n}$)에서의 트랜지스터들(21, 22))은 턴온된다. 제 1 트랜지스터(21)가 턴온되면, 신호선(Y_j)에 흐르는 전류는 픽셀회로(D_{ij})로 흐를 수 있다. 한편, 비선택기간(T_{NSE})은 i 번째행 선택주사선(X_i)의 선택기간(T_{SE})종료시점부터 $(i+1)$ 번째행 선택주사선(X_{i+1})의 선택기간(T_{SE})의 시작시점까지 계속된다. 선택주사드라이버(5)가 로우레벨의 OFF전압(V_{OFF})을 모든 선택주사선들(X_1 내지 X_m)에 인가해주면, 모든 선택주사선들(X_1 내지 X_m)의 트랜지스터들(21, 22)은 턴오프된다. 트랜지스터(21)가 턴오프되면, 신호선(Y_j)에 대한 그레이레벨 지정전류(I_{DATA})의 공급은 멈추게 된다. 첫번째행 선택주사선(X_i)의 선택기간(T_{SE})의 시작시점부터 첫번째행 선택주사선(X_i)의 선택기간(T_{SE})의 다음시작시점까지의 기간을 하나의 주사기간(T_{SC})이라 정의한다. 선택주사선들(X_1 내지 X_m)의 선택기간들(T_{SE})은 서로 겹쳐지지 않는다.

공통신호전원공급기(6)는 안정등급의 전압을 모든 공통신호공급선들(Z_1 내지 Z_m)에 공급하는 독립전원이다. 공통신호전원공급기(6)는 공통신호클럭신호(CK3)와 대응되는 위상을 갖는 신호를 공통신호전원선들(Z_1 내지 Z_m)에 출력한다. 선택주사드라이버(5)가 ON전압(V_{ON})을 모든 선택주사선들(X_1 내지 X_m)중 하나에 선택신호로서 인가해주는 기간, 예를들면, 선택기간(T_{SE})동안, 공통신호전원공급기(6)는 그레이레벨 지정전류를 위한 기준전위로서의 로우-레벨전압(V_{LOW})을 모든 공통신호전원선(Z_1 내지 Z_m)에 출력한다. i 번째행 선택주사선(X_i)의 선택기간(T_{SE})종료시점부터 $(i+1)$ 번째행 선택주사선(X_{i+1})의 선택기간(T_{SE})의 시작시점까지인 비선택기간(T_{NSE})동안, 공통신호전원공급기(6)는 구동전류를 위한 기준전위로서의 하이-레벨전압(V_{HIGH})을 출력한다. 따라서, 공통신호전원공급기(6)로부터의 공통신호가 로우-레벨전압(V_{LOW})일 경우, 선택주사드라이버(5)는 ON전압(V_{ON})의 선택신호를 선택주사선들(X_1 내지 X_m)중의 하나의 선택주사선(X_i)에 출력한다. 선택주사드라이버(5)는 OFF전압(V_{OFF})의 선택신호를 선택주사선(X_i)을 제외한 선택주사선들(X_1 내지 X_m)에게 출력한다. 공통신호전원공급기(6)로부터의 공통신호가 하이-레벨전압(V_{HIGH})으로부터 로우-레벨전압(V_{LOW})으로 떨어질 경우, 선택주사드라이버(5)로부터 선택주사선들(X_1 내지 X_m)중의 하나까지의 선택신호출력은 증가된다. 그리고, 공통신호전원공급기(6)로부터의 공통신호가 로우-레벨전압(V_{LOW})으로부터 하이-레벨전압(V_{HIGH})으로 상승될 경우, 선택주사드라이버(5)로부터 선택주사선들(X_1 내지 X_m)중의 하나까지의 ON전압(V_{ON})의 선택신호출력은 떨어진다.

공통신호전원공급기(6)로부터 출력되는 공통신호로서의 로우-레벨전압(V_{LOW})(지정전류를 위한 기준전압)은 기준전압(V_{SS})보다 낮다. 하지만, 로우-레벨전압(V_{LOW})은 기준전압(V_{SS})과 동일할 수 있다. 이런 이유로, 픽셀들($P_{i,1}$ 내지 $P_{i,n}$)의 제 3 트랜지스터들(23)이 i 번째 행의 선택기간(T_{SE})동안 ON되는 경우, 공통신호의 로우-레벨전압(V_{LOW})이 기준전압(V_{SS})보다 낮기 때문에 발광소자들($E_{i,1}$ 내지 $E_{i,n}$) 각각의 애노드와 캐소드사이에 0[V]의 전압 또는 역바이어스전압이 인가된다. 그러므로, 발광소자들($E_{i,1}$ 내지 $E_{i,n}$)에 어떠한 전류도 흐르지 않게 되어 빛이 나오지 않는다. 이와는 반대로, 공통신호전원공급기(6)로부터 출력되는 하이-레벨전압(V_{HIGH})(구동전류를 위한 기준전압)은 기준전압(V_{SS})보다 더 높게 설정된다. 즉, 공통신호가 하이-레벨전압(V_{HIGH})이면, 선택주사드라이버(5)는 모든 선택주사선들(X_1 내지 X_m)에 OFF전압(V_{OFF})을 인가한다. 그러면 모든 픽셀들($P_{1,1}$ 내지 $P_{m,n}$)의 트랜지스터들(21, 22)은 턴오프된다. 그리고 발광소자들($E_{1,1}$ 내지 $E_{m,n}$)과 직렬로 연결된 트랜지스터들(23)과 발광소자들($E_{i,1}$ 내지 $E_{i,n}$)사이에 순방향바이어스가 인가된다.

다음으로 하이-레벨전압(V_{HIGH})에 대해서 상술한다. 도 7은 N-채널전계효과 트랜지스터(23)의 전류 대 전압특성을 보여주는 그래프이다. 도 7에 관해서, 가로축은 드레인과 소스사이의 전압값을 나타낸다. 그리고 세로축은 드레인과 소스사이의 전류값을 나타낸다. 도 7에서 보이는 비포화영역(소스-드레인간 전압(V_{DS}) < 드레인포화문턱전압(V_{TH})); 드레인포화문턱전압(V_{TH})은 게이트-소스간 전압(V_{GS})의 함수이며, 게이트-소스간 전압(V_{GS})이 정해지면 소스-드레인간 전압(V_{DS})에 따라 특정값으로 정해짐)에서, 게이트-소스간 전압(V_{GS})이 소정의 어떤값인 경우, 소스-드레인간 전류(I_{DS})는 소스-드레인간 전압(V_{DS})이 증가함에 따라 증가한다. 도 7에서 보이는 포화영역(소스-드레인간 전압(V_{DS}) \geq 드레인포화문턱전압(V_{TH}))에서, 게이트-소스간 전압(V_{GS})이 소정의 어떤값인 경우, 소스-드레인간 전류(I_{DS})는 소스-드레인전압(V_{DS})이 증가하는 경우에도 거의 일정하다.

도 7에 관하여, 게이트-소스간 전압들(V_{GS0} 내지 V_{GSMAX})은 $V_{GS0}=0[V] < V_{GS1} < V_{GS2} < V_{GS3} < V_{GS4} < V_{GSMAX}$ 의 주어진 관계를 갖는다. 즉, 도 7에서 분명하게 나타났듯이, 소스-드레인간 전압(V_{DS})이 소정의 어떤값인 경우, 소스-드레인간 전류(I_{DS})는 비포화영역 또는 포화영역에 관계없이 게이트-소스간 전압(V_{GS})이 증가함에 따라 증가한다. 게다가, 게이트-소스간 전압(V_{GS})이 증가함에 따라, 드레인포화문턱전압(V_{TH})도 증가한다.

상술한 바와 같이, 비포화영역에서, 소스-드레인간 전압(V_{DS})이 약간 변하게 되더라도, 소스-드레인간 전류(I_{DS})는 변하게 된다. 포화영역에서, 게이트-소스간 전압(V_{GS})이 정해지면, 소스-드레인간 전류(I_{DS})는 소스-드레인간 전압(V_{DS})과는 관계없이 특정값으로 정해진다.

최대 게이트-소스간 전압(V_{GSMAX})이 제 3 트랜지스터(23)에 인가될 경우, 소스-드레인간 전류(I_{DS})는 최대회도로 발광하는 발광소자(E_{ij})의 애노드(51)와 캐소드사이에 흐르는 전류값으로 설정된다.

부가적으로, 제 3 트랜지스터(23)의 게이트-소스간 전압(V_{GS})이 최대전압(V_{GSMAX})일지라도 제 3 트랜지스터(23)가 포화영역을 유지하도록 하기 위해서는 다음의 조건을 만족해야 한다.

$$V_{HIGH} - V_E - V_{SS} \geq V_{THMAX}$$

여기서, V_E 는 애노드와 캐소드사이의 전압이며, 발광수명기간동안 최대회도로 발광하는 발광소자(E_{ij})로부터 얻어진다. 전압(V_{THMAX})은 제 3 트랜지스터(23)의 소스와 드레인사이의 포화문턱전압이며, 전압(V_{GSMAX})과 일치된다. 전압(V_{HIGH})은 위의 조건이 만족되도록 설정된다. 그러므로, 제 3 트랜지스터(23)의 소스-드레인간 전압(V_{DS})이 트랜지스터(23)와 직렬로 연결된 발광소자(E_{ij})의 전압분배로 인해 낮아 질지라도, 소스-드레인간 전압(V_{DS})은 포화상태의 범위내로 떨어진다. 이런 이유로, 제 3 트랜지스터(23)에 흐르는 소스-드레인간 전류(I_{DS})는 게이트-소스간 전압(V_{GS})에 의해서 특정값으로 정해진다.

다음으로 데이터드라이버(3)가 설명된다. 도 1에서 보이는 바와 같이, 신호선들(Y_1 내지 Y_n)은 각각 데이터드라이버(3)의 전류단자들(CT_1 내지 CT_n)에 연결된다. 데이터드라이버(3)는 콘트롤러(11)로부터 데이터드라이버클럭신호(CK1), 시작신호(ST1) 및 래치신호(L)가 포함된 제어신호군(C_{CNT})을 수신한다. 또한 데이터드라이버(3)는 8-비트 적색 디지털그레이레벨 화상신호(S_R), 녹색 디지털그레이레벨 화상신호(S_G) 및 청색 디지털그레이레벨 화상신호(S_B)들을 외부회로로부터 수신한다. 수신된 디지털신호들은 데이터드라이버(3)의 D/A변환기에 의해 아날로그 신호들로 변환된다. 데이터드라이버(3)는 래치신호(L)에 기초한 그레이레벨 지정전류(I_{DATA})와 변환된 아날로그 신호들이 신호선들(Y_1 내지 Y_n)로부터 데이터드라이버(3)의 전류단자들(CT_1 내지 CT_n)에 흐르도록 제어한다. 그레이레벨 지정전류(I_{DATA})는 발광소자들($E_{1,1}$ 내지 $E_{m,n}$)에 흐르는 전류레벨(전류값)과 동등한 전류로서, 발광소자들($E_{1,1}$ 내지 $E_{m,n}$)이 외부회로로부터의 그레이레벨화상신호와 일치되는 휘도로 발광하도록 해준다. 그레이레벨 지정전류(I_{DATA})는 신호선들(Y_1 내지 Y_n)로부터 전류단자들(CT_1 내지 CT_n)로 흐르는 전류다.

스위칭회로(7)는 스위칭회로들(S_1 내지 S_n)로 형성된다. 스위칭회로들(S_1 내지 S_n)은 각각 신호선들(Y_1 내지 Y_n)에 연결된다. 게다가, 데이터드라이버(3)의 전류단자들(CT_1 내지 CT_n)은 각각 스위칭회로들(S_1 내지 S_n)에 연결된다. 각각의 스위칭회로들(S_1 내지 S_n)은 콘트롤러(11)로부터 스위칭신호(ϕ)와 리셋전압(V_{RST})을 수신한다.

스위칭회로(S_j)(스위칭회로(S_j)는 j 번째열의 신호선(Y_j)에 연결된다)는 다음과 같은 두개의 동작들사이에서 스위칭을 한다: 그레이레벨 지정전류(I_{DATA})가 트랜지스터(23)의 드레인(23d)/소스(23s)와 신호선(Y_j)사이의 통로로부터 데이터드라이버(3)의 전류단자(CT_j)에 공급되는 동작과; 소정의 전압레벨을 갖는 리셋전압(V_{RST})이 콘트롤러(11)로부터 신호선(Y_j)으로 출력되는 동작. 더 구체적으로, 콘트롤러(11)로부터 스위칭회로(S_j)에 입력되는 스위칭신호(ϕ)가 하이레벨인 경우, 스위칭회로(S_j)는 전류단자(CT_j)의 전류를 차단한다. 또한 스위칭회로(S_j)는 콘트롤러(11)로부터 신호선(Y_j)에 리셋전압(V_{RST})을 출력한다. 한편, 콘트롤러(11)로부터 스위칭회로(S_j)에 입력되는 스위칭신호(ϕ)가 로우레벨인 경우, 스위칭회로(S_j)는 전류단자(CT_j)와 신호선(Y_j)사이의 그레이레벨 지정전류(I_{DATA})를 트랜지스터(23)의 드레인(23d)/소스(23s)와 신호선(Y_j)사이의 통로에 공급한다. 또한 스위칭회로(S_j)는 콘트롤러(11)로부터 리셋전압(V_{RST})을 차단한다.

만약 예를 들어, 스위칭회로(7)를 갖지 않는 유기EL 디스플레이(1)의 설정에서는, j 번째열의 신호선(Y_j)상의 i 번째 행 픽셀(P_{ij})은 도 9A에서 보이는 바와 같이, 가장 높은 그레이레벨로 발광해야하는것으로 가정한다. 이런 목적을 위해, 최대전류값을 갖는 그레이레벨 지정전류(I_{DATA})는 선택기간(T_{SE})동안에 제 3 트랜지스터(23)의 드레인(23d)/소스(23s)와 신호선(Y_j)사이의 통로에 공급되는 것으로 가정한다. 이 경우, 전류단자(CT_j)의 가장 높은 그레이레벨전압(V_{hsb})은 로우레벨전압(V_{LOW})과 공통신호전원공급기(6)의 기준전압(V_{SS})보다 훨씬 낮다. 즉, 공통신호전원공급기(6)의 로우레벨전압(V_{LOW})과 전류단자(CT_j)사이의 전위차이는 충분히 크다. 이러한 이유로, 큰 전류가 트랜지스터(23)의 드레인(23d)/소스(23s)와 신호선(Y_j)사이의 통로에 급속도로 공급될 수 있어, 신호선(Y_j)의 기생용량을 충전시켜 재빨리 안정상태로 설정할 수가 있다. 다음으로, $(i+1)$ 번째행의 픽셀($P_{i+1,j}$)이 가장 낮은 그레이레벨회도로 발광해야 하는것을 가정한다. 이를 위해서, 최저전류값(전류값이 0은 아님)을 갖는 그레이레벨 지정전류(I_{DATA})가 신호선(Y_j)에 공급되는것을 가정한다. 이는 전류단자(CT_j)의 전위가, 아주 작은 그레이레벨 지정전류(I_{DATA})를 제공함으로써 얻어지는 공통신호전원공급기(6)의 로우레벨전압(V_{LOW})과 비교하여 작은 전위차를 갖는 가장 낮은 그레이레벨전압(V_{lsb})으로 변하고, 따라서 그레이레벨 지정전류(I_{DATA})는 안정상태로 들어서는 것으로 가정된다. 이 경우, i 번째행을 위한 그레이레벨 지정전류(I_{DATA})가 공급될 때 신호선(Y_j)의 기생용량에 저장되는 전하들의 양은 크다. 이런 이유로, 시간당 신호선(Y_j)의 전위 변화량과 일치되는 전위차는 작아진다. 그러므로, 신호선(Y_j)의 전위가 최고 그레이레벨전압(V_{hsb})으로부터 최저 그레이레벨(V_{lsb})로 변하고 안정상태로 들어설 때까지는 기나긴 시간이 요구된다. 게다가, 선택기간(T_{SE})이 짧게 설정되면, 전압(V_{DF})에 대응되는 차이는 전위가 최저 그레이레벨전압(V_{lsb})에 도달하기 전에 생성된다. 따라서, 픽셀($P_{i+1,j}$)은 정확한 휘도로 발광할 수 없게 된다.

본 실시예의 유기EL 디스플레이(1)는 스위칭회로(7)를 갖고있다. 그러므로, 도 9B에서 보이는 바와 같이, 스위칭회로(S_j)는 비선택기간(T_{NSE}), 예를들어, 트랜지스터(23)의 드레인(23d)/소스(23s)와 신호선(Y_j)사이의 통로에 ($i+1$)번째행을 위한 그레이레벨 지정전류(I_{DATA})가 제공되기 전에, 신호선(Y_j)의 전위를 강제적으로 최고 그레이레벨전압(V_{hsb})보다 훨씬 높은 리셋전압(V_{rst})으로 스위칭한다. 선택기간(T_{SE})동안, 기생용량의 역할을 하며, 신호선(Y_j)에 저장된 전하들의 양은 재빨리 변하게 되어 신호선(Y_j)은 급속도로 높은 전위에 들어설 수 있게된다. 이런 이유때문에, ($i+1$)번째행을 위한 그레이레벨 지정전류(I_{DATA})가 최저그레이레벨과 일치되는 매우 작은 전류값을 갖는 경우일지라도, 전위는 재빨리 최저그레이레벨(V_{lsb})에 도달할 수 있다.

리셋전압(V_{RST})은 최고 그레이레벨전압(V_{hsb})보다 더 높도록 설정된다. 최고 그레이레벨전압(V_{hsb})은 최대 그레이레벨구동전류(I_{MAX})와 동등한 전류값을 갖는 그레이레벨 지정전류(I_{DATA})에 의해서 신호선들(Y_1 내지 Y_n)에 저장된 전하들에 따라 안정상태로 들어선다. 최대 그레이레벨구동전류(I_{MAX})는 발광소자들($E_{1,1}$ 내지 $E_{m,n}$)이 선택기간(T_{SE})동안 최대밝기를 위해 최대 그레이레벨휘도(L_{MAX})로 발광할 때 발광소자들($E_{1,1}$ 내지 $E_{m,n}$)에 흐른다. 더 바람직하게는, 리셋전압(V_{RST})은 최저 그레이레벨전압(V_{lsb})과 최고 그레이레벨전압(V_{hsb})의 중간값을 갖는 중간값전압보다 높거나 또는 동등하게 설정된다. 최저 그레이레벨전압(V_{lsb})은 최저 그레이레벨구동전류(I_{MIN})와 동등한 전류값을 갖는 그레이레벨 지정전류(I_{DATA})에 의해서 신호선들(Y_1 내지 Y_n)에 저장된 전하들에 따라 안정상태로 들어선다. 최저 그레이레벨구동전류(I_{MIN})는 발광소자들($E_{1,1}$ 내지 $E_{m,n}$)이 최저밝기동안 최저 그레이레벨휘도(L_{MIN})(하지만, 전류레벨은 0[A]이상임)를 가질 때 발광소자들($E_{1,1}$ 내지 $E_{m,n}$)에 흐른다. 더 바람직하게는, 리셋전압(V_{RST})은 최저 그레이레벨전압(V_{lsb})보다 크거나 동등한 값을 갖는다.

j 번째열의 스위칭회로(S_j)의 하나의 예가 설명된다. 스위칭회로(S_j)는 P-채널전계효과 트랜지스터로 형성된 제4 트랜지스터(31)와 N-채널전계효과 트랜지스터로 형성된 제 5 트랜지스터(32)로 구성된다. 트랜지스터(31)의 게이트전극과 트랜지스터(32)의 게이트전극들은 스위칭회로(S_j)가 스위칭신호(ϕ)를 수신하기 위해서 콘트롤러(11)에 연결된다. 트랜지스터(31)의 소스전극은 신호선(Y_j)에 연결된다. 트랜지스터(31)의 드레인전극은 데이터드라이버(3)의 전류단자(CT_j)에 연결된다. 트랜지스터(32)의 드레인전극은 신호선(Y_j)에 연결된다. 트랜지스터(32)의 소스전극은 스위칭회로(S_j)가 리셋전압(V_{RST})을 수신하기 위해서 콘트롤러(11)에 연결된다. 이러한 구성에서, 콘트롤러(11)로부터의 스위칭신호(ϕ)가 하이레벨에 있을 때, 제 4 트랜지스터(31)가 턴오프되는 동안 제 5 트랜지스터(32)는 턴온이 된다. 반대로, 콘트롤러(11)로부터의 스위칭신호(ϕ)가 로우레벨에 있을 때, 제 5 트랜지스터(32)가 턴오프되는 동안 제 4 트랜지스터(31)는 턴온이 된다. 트랜지스터(31)는 P-채널형으로 설정될 수 있으며, 트랜지스터(32)는 N-채널형으로 설정될 수도 있다. 이 경우, 스위칭회로(S_j)의 스위칭모드는 스위칭신호(ϕ)의 위상을 역전시킴으로써 변환된다.

콘트롤러(11)에 입력되는 스위칭신호(ϕ)의 기간이 설명된다. 도 8에서 보는 바와 같이, 선택주사드라이버(5)가 선택주사선들(X_1 내지 X_m)중의 하나에 ON전압(V_{ON})을 인가하는 경우, 콘트롤러(11)에 입력되는 스위칭신호(ϕ)는 로우레벨상태에 있다. 반대로, 선택주사드라이버(5)가 선택주사선들(X_1 내지 X_m) 모두에 OFF전압(V_{OFF})이 인가되는 비선택기간(T_{NSE})동안, 콘트롤러(11)에 입력되는 스위칭신호(ϕ)는 하이레벨상태에 있다. 즉, 콘트롤러(11)에 입력되는 스위칭신호(ϕ)는 하나의 선택기간(T_{SE})에서 m 개의 비선택기간들(T_{NSE})의 각각을 위해서 하이레벨로 변하는 펄스신호이다.

스위칭회로들(S_1 내지 S_n)은 다음과 같은 두개의 동작들사이에서 스위칭을 한다: 그레이레벨 지정전류(I_{DATA})가 콘트롤러(11)로부터의 스위칭신호(ϕ)에 따라 신호선들(Y_1 내지 Y_n)로부터 전류단자들(CT_1 내지 CT_n)에 공급되는 동작과; 강제적으로 신호선들(Y_1 내지 Y_n)을 리셋전압(V_{RST})으로 충전하는 동작. 콘트롤러(11)로부터 입력되는 스위칭신호(ϕ)가 로우레벨에 있을 때, 예를들어, 선택주사선들(X_1 내지 X_m)중 하나에 대한 선택기간(T_{SE})동안에, 각각의 스위칭회로는 트랜지스터(31)를 턴온시키고 트랜지스터(32)를 턴오프시킨다. 이러한 동작으로, 그레이레벨 지정전류(I_{DATA})는 트랜지스터들(23)의 드레인(23d)/소스(23s)와 신호선들(Y_1 내지 Y_n)사이의 통로들을 통하여 전류단자들(CT_1 내지 CT_n)에 흐른다. 콘트롤러(11)로부터 입력되는 스위칭신호(ϕ)가 하이레벨에 있는 경우, 예를 들어, 모든 선택주사선들(X_1 내지 X_m)의 비선택기간(T_{NSE})동안에, 각각의 스위칭회로는 트랜지스터(31)를 턴오프시키고 트랜지스터(32)를 턴온시킨다. 이 경우, 그레이레벨 지정전류(I_{DATA})는 트랜지스터(23)의 드레인들(23d)/소스들(23s) 및 신호선들(Y_1 내지 Y_n)에 흐르지 않는다. 대신에, 신호선들(Y_1 내지 Y_n)의 전위들은 강제적으로 리셋전압(V_{RST})으로 설정된다.

따라서, 각 행의 선택기간(T_{SE})에 있어서, 그레이레벨 지정전류(I_{DATA})는 신호선들(Y_1 내지 Y_n)로부터 전류단자들(CT_1 내지 CT_n)에 흐른다. 반대로, 행들의 비선택기간(T_{NSE})에 있어서, 리셋전압(V_{RST})은 강제적으로 신호선들(Y_1 내지 Y_n)에 인가된다. 신호선들(Y_1 내지 Y_n)에서의 기생용량의 전하량은 작은 그레이레벨 지정전류(I_{DATA})가 흐르고 안정상태가 들어설 때의 전하량과 거의 동일하게 된다. 이런 이유로, 그레이레벨 지정전류(I_{DATA})의 전류값이 매우 작더라도, 안정상태가 재빨리 들어서게 될 수 있다.

각 행의 선택기간(T_{SE})에서, 데이터드라이버(3)는 트랜지스터(23), 트랜지스터(21), 신호선들(Y_1 내지 Y_n) 및 스위칭회로들(S_1 내지 S_n)을 통해서 공통신호공급선(Z_1 내지 Z_m)으로부터 전류단자들(CT_1 내지 CT_n)에 흘러야 하는 그레이레벨 지정전류(I_{DATA})를 생성한다. 그레이레벨 지정전류(I_{DATA})의 전류값은 발광소자들(E_1 ,

1 내지 $E_{m,n}$)이 화상데이터와 일치되는 휘도 그레이레벨로 발광하도록 발광소자들($E_{1,1}$ 내지 $E_{m,n}$)에 제공되는 구동전류의 전류값과 동등하다.

데이터드라이버(3), 선택주사드라이버(5) 및 공통신호전원공급기(6)가 유기EL 디스플레이패널(2)과 유기EL 디스플레이(1)의 표시동작을 구동시키는 방법이 다음에서 상술된다.

도 8에서 보이는 바와 같이, 콘트롤러(11)로부터 수신된 선택주사드라이버클럭신호(CK2)를 기초로, 선택주사드라이버(5)는 각각의 선택기간(T_{SE})이 선택주사선을 선택하는 동안에 순차적으로 ON전압(V_{ON})을 첫번째행의 선택주사선(X_1)부터 m 번째행의 선택주사선(X_m)까지 이런 순서로 이들에 인가한다(선택주사선(X_1)은 선택주사선(X_m)의 다음에 온다). 따라서, 선택주사선들(X_1 내지 X_m)은 이런 순서로 주사된다.

선택주사드라이버(5)가 순차적으로 선택주사선들을 선택하여 주사하는 것과 동시에, 공통신호전원공급기(6)는 공통신호들을 모든 공통신호공급선들(Z_1 내지 Z_m)에 출력한다. 공통신호공급선들(Z_1 내지 Z_m)에 출력되는 공통신호들은 서로 동기화된다. 모든 픽셀회로들($D_{1,1}$ 내지 $D_{m,n}$)에서, 전압(V_{LOW})의 공통신호는 제 2 트랜지스터(22)의 소스전극(22s)과 제 3 트랜지스터(23)의 소스전극(23s)에 입력된다.

게다가, 선택주사드라이버에 의한 순차주사기간 동안에, 데이터드라이버(3)는 콘트롤러(11)로부터 수신된 데이터드라이버클럭신호(CK1)를 기초로 하여 외부회로로부터 8-비트 적색 디지털그레이레벨 화상신호(S_R), 녹색 디지털그레이레벨 화상신호(S_G) 및 청색 디지털그레이레벨 화상신호(S_B)들을 수신하고 래치시킨다. 선택주사선(X_i)을 선택하는 선택신호(V_{ON})가 출력되면, 스위칭신호(ϕ)는 스위칭회로(7)에 동기되어 입력된다. 스위칭신호(ϕ)는 트랜지스터(31)를 턴온시키고 트랜지스터(32)를 턴오프시킨다. 래치된 신호들의 그레이레벨에 기초한 전류값들을 갖는 그레이레벨 지정전류들(I_{DATA})은 공통신호공급선(Z_i), 픽셀들($P_{i,1}$ 내지 $P_{i,n}$)의 트랜지스터들(23)의 드레인(23d)과 소스(23s)사이의 통로들, 픽셀들($P_{i,1}$ 내지 $P_{i,n}$)의 트랜지스터들(21)의 드레인(21d)과 소스(21s)사이의 통로들 및 신호선들(Y_1 내지 Y_n)을 통해 데이터드라이버(3)의 전류단자들(CT_1 내지 CT_n)에 흐른다.

ON레벨(V_{ON})의 선택신호가 소정의 선택주사선(X_i)에 출력되면, OFF레벨의 선택신호는 나머지 선택신호들(X_1 내지 X_m ; X_i 는 제외)에 출력된다. 이 기간이 i 번째행의 선택기간(T_{SE})이다. 그러므로, i 번째행의 픽셀회로들($D_{i,1}$ 내지 $D_{i,n}$)에 있어서, 제 1 트랜지스터(21)와 제 2 트랜지스터(22)는 ON이 된다. 나머지 행들의 픽셀회로들($D_{1,1}$ 내지 $D_{m,n}$; 픽셀회로들($D_{i,1}$ 내지 $D_{i,n}$)은 제외)에 있어서, 제 1 트랜지스터(21)와 제 2 트랜지스터(22)는 OFF가 된다.

즉, 전압(V_{ON})이 i 번째행의 선택기간(T_{SE})동안 선택주사선(X_i)에 인가되는 경우, 픽셀회로들($D_{i,1}$ 내지 $D_{i,n}$)에서의 제 1 트랜지스터(21)와 제 2 트랜지스터(22)들이 ON이 된다. 이 경우, 공통신호공급선들(Z_1 내지 Z_m)로부터의 전압(V_{LOW})이 모든 픽셀회로들($D_{1,1}$ 내지 $D_{m,n}$)에서의 제 3 트랜지스터들(23)의 드레인전극들(23d)과 제 2 트랜지스터들(22)의 드레인전극들(22d)에 공급된다. 이와 동시에, 데이터드라이버(3)는 래치신호(L)에 따라 그레이레벨 지정전류(I_{DATA})를 전류단자들(CT_1 내지 CT_n)에 공급할 것이다. 이 경우, 스위칭신호(ϕ)는 트랜지스터들(31)을 턴온시키고 트랜지스터들(32)을 턴오프시키기 위해서 콘트롤러(11)로부터 스위칭회로(7)에 입력이 된다. 그러므로, 전류단자들(CT_1 내지 CT_n)은 전기적으로 공통신호공급선(Z_i)에 연결된다. 공통신호공급선(Z_i)의 전압(V_{LOW})은 전류단자들(CT_1 내지 CT_n)의 전위보다 더 높게 설정이 된다. 이런 이유로, 그레이레벨 지정전류(I_{DATA})를 제 3 트랜지스터(23)의 드레인과 소스사이의 통로에 공급할 전압은 제 3 트랜지스터(23)에서의 게이트(23g)와 소스(23s)사이 및 드레인(23d)과 소스(23s)사이에 인가된다.

그레이레벨 지정전류(I_{DATA})의 전류값은 데이터드라이버(3)에 입력이 되는 적색 디지털그레이레벨 화상신호(S_R), 녹색 디지털그레이레벨 화상신호(S_G) 및 청색 디지털그레이레벨 화상신호(S_B)들을 기초로 한다. 선택기간(T_{SE})동안, 데이터드라이버(3)는 각각의 픽셀($P_{i,1}$ 내지 $P_{i,n}$)의 트랜지스터(23)의 게이트(23g)와 소스(23s)사이의 콘덴서(24)에 전하들을 저장한다. 이러한 동작으로 인해, 공통신호공급선(Z_i), 픽셀들($P_{i,1}$ 내지 $P_{i,n}$)의 트랜지스터들(23)의 드레인(23d)과 소스(23s)사이의 통로들, 픽셀들($P_{i,1}$ 내지 $P_{i,n}$)의 트랜지스터들(21)의 드레인(21d)과 소스(21s)사이의 통로들 및 신호선들(Y_1 내지 Y_n)을 통해 데이터드라이버(3)의 전류단자들(CT_1 내지 CT_n)에 흐르는 그레이레벨 지정전류(I_{DATA})의 전류값은 안정상태의 값으로 설정이 된다. 즉, 소정의 전류값을 갖는 그레이레벨 지정전류(I_{DATA})는 픽셀들($P_{i,1}$ 내지 $P_{i,n}$)의 트랜지스터들(23)의 드레인(23d)과 소스(23s)사이의 통로들에 공급된다. 그 후, 콘덴서(24)는 최소한 하나 이상의 주사기간(T_{SC})동안 전하들을 유지할 수 있다. 바꿔 말하면, 트랜지스터(23)는 콘덴서(24)에서의 전하들에 의해 그레이레벨 지정전류(I_{DATA})와 동등한 전류값을 갖는 구동전류를 적어도 하나 이상의 주사기간(T_{SC})과 일치되는 시간동안에 공급할 것이다. 즉, 콘덴서(24)는 선택기간(T_{SE})동안에 흐르는 그레이레벨 지정전류(I_{DATA})의 전류값을 저장하고, 비선택기간(T_{NSE})동안에 그레이레벨 지정전류(I_{DATA})와 동등한 전류값을 갖는 구동전류를 발광소자들($E_{i,1}$ 내지 $E_{i,n}$)에 흐르게 하는 저장수단으로서 역할을 한다.

그러므로, i 번째행의 선택기간(T_{SE})동안, i 번째행의 픽셀회로들($D_{i,1}$ 내지 $D_{i,n}$)의 제 1 트랜지스터들(21)과 제 2 트랜지스터들(22)은 ON이 된다. 따라서, 신호선들(Y_1 내지 Y_n)로부터 데이터드라이버(3)에 공급되는 그레이레벨

지정전류(I_{DATA})는 i 번째행의 각각의 픽셀회로들($D_{i,1}$ 내지 $D_{i,n}$)에서의 콘덴서(24)에 저장된다. 나머지 행들에서의 각각의 픽셀회로들($D_{1,1}$ 내지 $D_{m,n}$; 픽셀회로들($D_{i,1}$ 내지 $D_{i,n}$)은 제외)에 있어서, 제 1 트랜지스터(21)와 제 2 트랜지스터(22)들은 OFF가 된다. 그러므로, 그레이레벨 지정전류(I_{DATA})는 나머지 행들에서의 콘덴서들(24)에 저장되지 않는다. 즉, 나머지 행들의 제 3 트랜지스터들(23)은 그레이레벨 지정전류(I_{DATA})가 흐를 수 없다. 상술한 바와 같이, i 번째 행의 선택기간(T_{SE})동안, 제 3 트랜지스터(23)의 게이트와 소스사이의 전하들은 그레이레벨 지정전류(I_{DATA})에 따라 각각의 픽셀회로들($D_{i,1}$ 내지 $D_{i,n}$)에 의해 수신된다. 따라서, 지금까지 저장되어 온, 제 3 트랜지스터(23)의 게이트와 소스사이의 전하들은 리플래시된다. i 번째 행의 선택기간(T_{SE})후 복수의 비선택기간(T_{NSE})동안, 픽셀회로들($D_{i,1}$ 내지 $D_{i,n}$)은 제 3 트랜지스터들(23)의 게이트들과 소스들 사이에 저장되어 있는 전하들과 일치되는 구동전류들(구동전류들은 그레이레벨 지정전류(I_{DATA})와 동일한 레벨을 갖는다)을 발광소자들($E_{i,1}$ 내지 $E_{i,n}$)에 공급하며, 이로써 발광소자들($E_{i,1}$ 내지 $E_{i,n}$)이 발광하도록 한다.

상술한 바와 같이, 선택주사드라이버(5)는 선택신호를 첫 번째 행부터 제 m 번째 행까지 순차적으로 줄줄이 이동시킨다. 따라서, 그레이레벨 지정전류(I_{DATA})는 데이터드라이버(3)에 입력이 되는 적색 디지털그레이레벨 화상신호(S_R), 녹색 디지털그레이레벨 화상신호(S_G) 및 청색 디지털그레이레벨 화상신호(S_B)들에 따라 순차적으로 첫 번째 행의 픽셀회로들($D_{1,1}$ 내지 $D_{1,n}$)과 m 번째 행의 픽셀회로들($D_{m,1}$ 내지 $D_{m,n}$)에 흐른다. 이러한 동작으로 인해, 각각의 제 3 트랜지스터(23)의 게이트와 소스사이에서 저장된 전하들은 리플래시된다. 상기와 같은 선-순차적 주사가 반복되면, 화상이 유기EL 디스플레이패널(2)의 표시부(4)상에 나타난다.

다음으로, i 번째행의 선택기간(T_{SE})동안에 픽셀회로들($D_{i,1}$ 내지 $D_{i,n}$)이 그레이레벨 지정전류(I_{DATA})를 수신하도록 하는 동작과, 발광소자들($E_{i,1}$ 내지 $E_{i,n}$)이 수신된 그레이레벨 지정전류(I_{DATA})를 기초로 하여 발광되도록 하는 동작들이 상세히 설명될 것이다.

i 번째 행의 선택기간(T_{SE})동안, ON전압(V_{ON})의 선택신호는 콘트롤러(11)로부터 출력되는 클럭신호(CK2)가 포함된 제어신호군(G_{CNT})에 따라 선택주사드라이버(5)로부터 i 번째 행의 선택주사선(X_i)에 출력된다. 그런 후, 선택주사선(X_i)에 연결된 모든 픽셀회로들($D_{i,1}$ 내지 $D_{i,n}$)의 제 1 트랜지스터들(21)과 제 2 트랜지스터들(22)은 선택기간(T_{SE})동안에 ON상태에 들어선다. i 번째 행의 선택기간(T_{SE})동안, 전압(V_{LOW})은 모든 공통신호공급선들(Z_1 내지 Z_m)에 인가된다. 제 2 트랜지스터(22)가 ON이므로, 전압은 제 3 트랜지스터(23)의 게이트전극(23g)에까지 인가된다. 그러므로, 제 3 트랜지스터(23)는 턴온이 된다.

더 나아가, 선택된 행의 발광소자들($E_{i,1}$ 내지 $E_{i,n}$)의 소정의 열이 비선택기간(T_{NSE}) (후술됨)동안 발광하도록 할 경우에는, 데이터드라이버(3)는 전류단자들(CT_1 내지 CT_n) 중의 하나, 이것은 발광하도록 하려는 상기 열에 대응됨, 의 전위가 전압(V_{LOW})보다 낮도록 제어한다. 따라서, 발광하도록 하려는 픽셀회로(D_{ij})의 열에서, 그레이레벨 지정전류(I_{DATA})는 공통신호공급선(Z_j)으로부터 데이터드라이버(3)로 흐른다. 선택된 행의 발광소자들($E_{i,1}$ 내지 $E_{i,n}$)의 소정의 열이 비선택기간(T_{NSE}) (후술됨)동안에 발광이 되지 않도록 하려는 경우에는, 데이터드라이버(3)는 전류단자들(CT_1 내지 CT_n) 중의 하나, 이것은 발광이 되지 않도록 하려는 상기 열에 대응된다, 의 전위가 전압(V_{LOW})과 동등하도록 제어한다. 따라서, 발광하도록 하려는 픽셀회로(D_{ij})의 열에서, 그레이레벨 지정전류(I_{DATA})는 공통신호공급선(Z_j)으로부터 데이터드라이버(3)로 흐르지 않게 된다. i 번째 행의 선택기간(T_{SE})동안, 데이터드라이버(3)는 그레이레벨 지정전류(I_{DATA})를 데이터드라이버(3) 또는 신호선들(Y_1 내지 Y_n)로 제공하기 위해서 전류단자들(CT_1 내지 CT_n)의 전위들을 제어한다(그레이레벨 지정전류(I_{DATA})는 발광이 되지 않도록 하려는 열들에 대해서는 흐르지 않는다). i 번째 행의 각각의 픽셀회로들($D_{i,1}$ 내지 $D_{i,n}$)에서, 제 1 트랜지스터(21)와 제 2 트랜지스터(22)는 턴온이 된다. 따라서, 그레이레벨 지정전류(I_{DATA})는 공통신호공급선(Z_j)의 통로 → 픽셀들($P_{i,1}$ 내지 $P_{i,n}$)의 트랜지스터들(23)의 드레인들(23d)과 소스들(23s)사이의 통로들 → 픽셀들($P_{i,1}$ 내지 $P_{i,n}$)의 트랜지스터들(21)의 드레인들(21d)과 소스들(21s)사이의 통로들 → 신호선들(Y_1 내지 Y_n) → 스위칭회로들(S_1 내지 S_n)의 트랜지스터들(31) → 데이터드라이버(3)의 전류단자들(CT_1 내지 CT_n)의 경로를 통해서 흐른다.

상술한 바와 같이, 그레이레벨 지정전류(I_{DATA})의 전류값과 일치하는 전하들은 픽셀회로들($D_{i,1}$ 내지 $D_{i,n}$)에 의해 수신된다. 이 경우, 첫 번째부터 n 번째의 모든 열들에서, 발광소자들($E_{i,1}$ 내지 $E_{i,n}$)에 흐르는 구동전류의 전류값은 그레이레벨 지정전류(I_{DATA})의 전류값과 동등하다. 전류값은 데이터드라이버(3)에 의해서 지정된다. 따라서, 비선택기간(T_{NSE})동안 연속적으로 유지되는 그레이레벨 지정전류(I_{DATA})의 전류값은 상수다.

즉, 선택기간(T_{SE})동안, 그레이레벨 지정전류(I_{DATA})는 제 3 트랜지스터(23)에 흐른다. 공통신호선(Z_j), 제 3 트랜지스터들(23), 제 1 트랜지스터(21), 신호선들(Y_1 내지 Y_n), 스위칭회로들(S_1 내지 S_n) 및 데이터드라이버(3)들에 걸친 전압은 안정상태의 전압으로 설정된다. 따라서, 제 3 트랜지스터(23)에 흐르는 그레이레벨 지정전류(I_{DATA})의 레벨과 일치하는 레벨의 전압은 제 3 트랜지스터(23)의 게이트전극(23g)과 소스전극(23s) 사이에 인가된다. 제 3 트랜지스터(23)의 게이트전극(23g)과 소스전극(23s)사이의 전압레벨과 일치하는 크기를 갖는 전하들은 콘덴서(24)에 저장된다. i 번째 행의 선택기간(T_{SE})동안, i 번째 행의 각각의 픽셀회로들($D_{i,1}$ 내지 $D_{i,n}$)에서, 제 1 트랜지스터(21)와 제 2 트랜지스터(22)들은 신호선(Y_j)에 흐르는 그레이레벨 지정전류(I_{DATA})가 제 3 트랜지스터(23)에 공급되도록 기능을 한다. 제 3 트랜지스터(23)는 그레이레벨 지정전류(I_{DATA})의 전류값을 게이트와 소스사이의 전압값으로 변환해 주는 기능을 한다.

상술한 바와 같이, i 번째 행의 선택기간(T_{SE})동안, i 번째 행의 픽셀회로들($D_{i,1}$ 내지 $D_{i,n}$)의 콘텐서들(24)에 저장된 전하들의 크기는 선행하는 주사기간(T_{SC})으로부터 리플래쉬된다. 이와 동시에, i 번째 행의 픽셀회로들($D_{i,1}$ 내지 $D_{i,n}$)의 제 3 트랜지스터들(23)의 드레인-소스 전류레벨과 소스-드레인 전압레벨 또한 선행하는 주사기간(T_{SC})으로부터 리플래쉬된다.

제 3 트랜지스터(23), 제 1 트랜지스터(21) 및 신호선(Y_j)의 통로상의 임의의 한 점에서의 전위는 트랜지스터들(21, 22, 23)의 내부저항에 의존하여 변하는데, 상기 내부저항은 오버타임을 변화시킨다. 하지만, 본 실시예에서, 제 3 트랜지스터(23) → 제 1 트랜지스터(21) → 신호선(Y_j)의 경로를 통해 흐르는 그레이레벨 지정전류(I_{DATA})의 전류값은 강제적으로 데이터드라이버(3)에 의해서 공급된다. 그러므로, 트랜지스터들(21, 22, 23)의 내부저항이 오버타임을 변화시켜도, 제 3 트랜지스터(23) → 제 1 트랜지스터(21) → 신호선(Y_j)의 경로를 통해 흐르는 그레이레벨 지정전류(I_{DATA})의 전류값은 원하는 레벨을 갖는다.

i 번째 행의 선택기간(T_{SE})동안, 공통신호공급선(Z_i)은 기준전압(V_{SS})보다 이하인 로우레벨전압(V_{LOW})으로 설정된다. 게다가, 0[V]바이어스 또는 역바이어스가 i 번째 행의 발광소자들($E_{i,1}$ 내지 $E_{i,n}$)의 애노드와 캐소드를 거쳐 인가된다. 따라서, 발광소자들($E_{i,1}$ 내지 $E_{i,n}$)에 어떠한 전류도 흐르지 않게 되어 발광소자들($E_{i,1}$ 내지 $E_{i,n}$)은 발광하지 않게 된다.

i 번째 행의 선택기간(T_{SE})의 종료시점(i 번째 행의 비선택기간(T_{NSE})의 시작시점)에서, 선택주사드라이버(5)로부터 선택주사선(X_i)에 출력되는 선택신호는 하이-레벨전위(V_{ON})에서 로우-레벨전위(V_{OFF})로 변한다. 선택주사드라이버(5)는 OFF전압(V_{OFF})을 i 번째 행의 픽셀회로들($D_{i,1}$ 내지 $D_{i,n}$)의 제 1 트랜지스터들(21)의 게이트전극들(21g)과 제 2 트랜지스터들(22)의 게이트전극들(22g)에 인가해 준다.

그러므로, i 번째 행의 비선택기간(T_{NSE})동안, i 번째 행의 픽셀회로들($D_{i,1}$ 내지 $D_{i,n}$)의 제 1 트랜지스터들(21)은 턴오프가 된다. 공통신호공급선(Z_i)으로부터 대응신호선들(Y_1 내지 Y_n)에 흐르는 그레이레벨 지정전류(I_{DATA})는 차단된다. 게다가, i 번째 행의 비선택기간(T_{NSE})동안, i 번째 행의 모든 픽셀회로들($D_{i,1}$ 내지 $D_{i,n}$)에서, 트랜지스터(22)가 턴오프될지라도, 바로 전에 선행한 i 번째 행의 선택기간(T_{SE})동안 콘텐서(24)에 저장된 전하들은 제 2 트랜지스터(22)에 의해서 한정된다. 이런 이유로, i 번째 행의 모든 픽셀회로들($D_{i,1}$ 내지 $D_{i,n}$)에서, 제 3 트랜지스터(23)는 비선택기간(T_{NSE})동안 ON으로 유지된다. 즉, i 번째 행의 모든 픽셀회로들($D_{i,1}$ 내지 $D_{i,n}$)에서, 제 2 트랜지스터(22)는 비선택기간(T_{NSE})동안의 제 3 트랜지스터(23)의 게이트-소스간 전압레벨(V_{GS})이 선택기간(T_{SE})동안의 제 3 트랜지스터(23)의 게이트-소스간 전압레벨(V_{GS})과 동등하게 되도록 제 3 트랜지스터(23)의 게이트-소스간 전압레벨(V_{GS})을 유지한다.

비선택기간(T_{NSE})동안, 공통신호전원공급기(6)로부터 공통신호공급선(Z_i)으로 출력되는 공통신호는 전압(V_{HIGH})으로 상승한다. 비선택기간(T_{NSE})동안, i 번째 행의 발광소자들($E_{i,1}$ 내지 $E_{i,n}$)의 캐소드들은 기준전압(V_{SS})에 있다. 공통신호공급선(Z_i)은 기준전압(V_{SS})보다 높은 전압(V_{HIGH})에 있다. 게다가, 선택기간(T_{SE})동안 흐르는 그레이레벨 지정전류(I_{DATA})에 대응되는 전하들은 서로 직렬로 연결된 제 3 트랜지스터들(23)의 게이트(23g)와 소스(23s)사이에서 저장된다. 이 경우, 그레이레벨 지정전류(I_{DATA})에 대응되는 순방향 바이어스전압은 i 번째 행의 발광소자들($E_{i,1}$ 내지 $E_{i,n}$)에 인가된다. 그러므로, i 번째 행의 모든 픽셀회로들($D_{i,1}$ 내지 $D_{i,n}$)에서, 그레이레벨 지정전류(I_{DATA})와 동등한 구동전류는 제 3 트랜지스터들(23)의 드레인들(23d)과 소스들(23s)을 통해서 공통신호공급선(Z_i)으로부터 i 번째 행의 발광소자들($E_{i,1}$ 내지 $E_{i,n}$)에 흐른다. 그러므로, 발광소자들($E_{i,1}$ 내지 $E_{i,n}$)은 발광한다.

더 구체적으로, 비선택기간(T_{NSE})동안의 각각의 픽셀회로들($D_{i,1}$ 내지 $D_{i,n}$)에서, 제 1 트랜지스터(21)는 신호선(Y_j)에 흐르는 그레이레벨 지정전류(I_{DATA})가 제 3 트랜지스터(23)에 흐르지 못하도록 하기 위해서 대응되는 신호선(Y_j)을 제 3 트랜지스터(23)로부터 전기적으로 불접속시키는 기능을 한다. 제 2 트랜지스터(22)는 콘텐서(24)에서의 전하를 한정시킴으로써 제 3 트랜지스터(23)의 게이트(23g)와 소스(23s)사이의 전압, 상기 전압은 선택기간(T_{SE})동안 변환된다, 을 유지하는 기능을 한다. i 번째 행의 모든 픽셀회로들($D_{i,1}$ 내지 $D_{i,n}$)에서, 비선택기간(T_{NSE})동안 공통신호가 전압(V_{HIGH})으로 설정되는 경우, 제 3 트랜지스터(23)는 발광소자(E_{ij})에 대한 게이트-소스간 전압레벨에 대응되는 레벨의 구동전류를 공급하는 기능을 한다.

그러므로, i 번째 행의 발광소자들($E_{i,1}$ 내지 $E_{i,n}$)은 첫 번째행부터 m 번째 행들의 각각의 선택기간들(T_{SE})동안은 발광하지 않게 된다. 발광소자들($E_{i,1}$ 내지 $E_{i,n}$)은 하나의 주사기간(T_{SC})에서 m 개의 각각의 비선택기간들(T_{NSE})동안 발광한다. 공통신호가 하이레벨전압(V_{HIGH})에 있을 때 발광소자들($E_{i,1}$ 내지 $E_{i,n}$)에 흐르는 구동전류의 전류값은 각각의 픽셀회로들($D_{i,1}$ 내지 $D_{i,n}$)의 제 3 트랜지스터(23)에 흐르는 전류의 전류값과 동일하다. 즉, 전류값은 i 번째 행의 선택기간(T_{SE})동안 각각의 픽셀회로들($D_{i,1}$ 내지 $D_{i,n}$)의 제 3 트랜지스터(23)에 흐르는 그레이레벨 지정전류(I_{DATA})의 전류값과 동등하다. i 번째 행의 선택기간(T_{SE})동안, i 번째 행의 각각의 픽셀회로들($D_{i,1}$ 내지 $D_{i,n}$)의 제 3 트랜지스터(23)에 흐르는 전류값이 설정되면, 각각의 발광소자들($E_{i,1}$ 내지 $E_{i,n}$)의 구동전류는 소망의 전류값을 갖는다. 따라서, 발광소자들($E_{i,1}$ 내지 $E_{i,n}$)은 소망하는 그레이레벨휘도로 발광한다.

상술한 바와 같이, 본 실시예에서, 제 3 트랜지스터(23)의 전류 대 전압특성이 픽셀회로들(D_{i,1} 내지 D_{i,n})사이에서 변할지라도, 소정의 전류값을 갖는 그레이레벨 지정전류(I_{DATA})는 선택기간들(T_{SE})동안 강제적으로 제 3 트랜지스터(23)의 소스(23s)와 드레인(23d)사이에서 공급된다. 게다가, 도 7에서 보는 바와 같이, 제 3 트랜지스터(23)의 소스(23s)와 드레인(23d)사이의 전압이 항상 포화상태의 값인 경우, 전압(V_{HIGH})의 공통신호는 비선택기간(T_{NSE}) 동안에 공통신호공급선들(Z₁ 내지 Z_m)로 출력된다. 따라서, 그레이레벨 지정전류(I_{DATA})와 동등한 전류값을 갖는 구동전류는 제 3 트랜지스터(23)의 소스(23s)와 드레인(23d)사이에서 제공된다. 이런 이유로, 휘도는 픽셀들의 발광소자들(E_{1,1} 내지 E_{m,n})에서 변하지 않게 된다. 즉, 본 실시예에서, 동일한 전압레벨을 갖는 휘도 그레이레벨신호가 픽셀들에 출력되어도, 픽셀들간의 휘도에서의 어떠한 내면(in-plane) 변화도 억제할 수 있다. 따라서, 본 실시예의 유기EL 디스플레이(1)는 고품질의 화상을 나타낼 수 있다.

비선택기간(T_{NSE})동안, 공통신호는 m번 하이레벨전압(V_{HIGH})으로 변한다. 발광소자들(E_{ij})의 발광유통치는 약 50%이다. 이와는 달리, 수직방향으로 배열된 m개의 발광소자들과 수평방향으로 배열된 n개의 발광소자들을 갖는 단순 매트릭스구동 디스플레이에서는, 발광유통치는 1/m이다. 하지만, 본 실시예에서의 유기EL 디스플레이(1)에서는 해상도가 높아졌을지라도, 발광소자(E_{ij})의 발광유통치는 감소하지 않는다. 따라서, 유기EL 디스플레이(1)는 높은 휘도, 높은 콘트라스트 및 높은 해상도에서 화상을 표시할 수 있다.

하나의 선택주사선(X_j)과 하나의 공통신호공급선(Z_i)은 각각의 행에 배열된다. 주사를 위한 신호뿐만 아니라 공통신호는 단순히전원공급기(6)로부터 공통신호공급선(Z_i)에 출력된다. 유기EL 디스플레이(1)에 배열되어 있는 주사전용 쉬프트레지스터는 선택주사드라이버(5)이다. 쉬프트레지스터는 보통 m개의 플립-플롭회로들로부터 형성된다. 공통신호전원공급기(6)는 단지 모든 공통신호공급선들(Z₁ 내지 Z_m)에 대해 동일한 파형을 갖는 신호들을 출력하는 것이 필요하므로 간단한 회로구조를 가질 수 있다. 이러한 이유로, 공통신호공급선(6)에서, 실장 면적은 더 작아지고, 구조는 더 간단해지고, 소자들의 갯수는 쉬프트레지스터보다 더 적다. 드라이버의 역할을 하는 두개의 쉬프트레지스터를 갖는 기존의 유기EL 디스플레이와 비교를 해보면, 본 실시예의 유기EL 디스플레이(1)는 제조비용을 줄일 수 있고 산출량을 증가시킬 수 있다.

[제 2 실시예]

다음으로, 제 2 실시예에 따른 유기EL 디스플레이가 설명된다.

제 2 실시예에 있어서도, 유기EL 디스플레이는 도 1에서 보이는 제 1 실시예에 따른 유기EL 디스플레이와 같이, 유기EL 디스플레이패널(2), 데이터드라이버(3) 및 선택주사드라이버(5)를 포함한다. 데이터드라이버(3), 표시부(4), 선택주사드라이버(5), 픽셀회로들(D_{1,1} 내지 D_{m,n}) 및 발광소자들(E_{1,1} 내지 E_{m,n})은 제 1 실시예의 유기EL 디스플레이(1)에서의 구조와 같은 구조를 가지며, 이들에 대한 상세한 설명은 제 2 실시예에서는 생략한다.

제 2 실시예에서, 공통신호전원공급기(6)는 도 10에서 보이는 것과 같이, 유기EL 디스플레이(1)에 연결된 콘트롤러(11)에 배열된다. 이런 이유로, 유기EL 디스플레이(1)의 기판상에서 픽셀들의 차지면적율은 증가된다.

제 2 실시예에 따른 유기EL 디스플레이(1)는 제 1 실시예에서와 같이, 도 8에서 보이는 펄스파형도에 따라 동작한다.

[제 3 실시예]

다음으로 제 3 실시예가 설명된다. 본 실시예는 도 11에서 보이는 것과 같이, 각 픽셀(P_{ij})의 픽셀회로(D_{ij})의 제 2 트랜지스터(22)의 드레인(22d)이 공통신호공급선(Z_i)에 연결되지 않고 선택주사선(X_j)에 연결된 것을 제외하면 제 1 실시예와 동일하다. 제 1 실시예에서와 동일한 지시번호들은 제 3 실시예에서도 동일한 부품들을 표시하며, 이들의 상세한 설명은 생략한다.

트랜지스터(22)에서, 드레인전극(22d)과 게이트전극(22g)은 선택주사선(X_j)에 연결된다. 소스전극(22s)은 제 3 트랜지스터(23)의 게이트전극(23g)에 연결된다. 트랜지스터(22)는 제 1 트랜지스터(21)와 제 3 트랜지스터(23)와 같이, N-채널 비정질실리콘 박막트랜지스터이다.

트랜지스터(22)는 도 8의 펄스파형도에서 보이는 수신된 전압에 따라 동작한다. 즉, 도 12A에서 보이는 바와 같이, 선택기간(T_{SE})동안, 각각의 픽셀들(P_{i,1} 내지 P_{i,n})의 트랜지스터(22)는 선택주사선(X_j)으로부터의 전압이 트랜지스터(23)의 게이트에 인가되도록하기 위해서 선택주사선(X_j)으로부터의 ON-레벨(하이-레벨)의 주사신호에 의해 턴온이 된다. 동시에, 각각의 픽셀들(P_{i,1} 내지 P_{i,n})의 트랜지스터(21)는 턴온이 된다. 게다가, 각각의 픽셀들(P_{i,1} 내지 P_{i,n})의 트랜지스터(23)는 선택기간(T_{SE})동안 트랜지스터(22)에 의해 인가되는 게이트전압에 의해 턴온이 된다. 그러므로, 데이터드라이버(3)는 그레이레벨 지정전류(I_{DATA})를 도 12A에서의 화살표방향으로 픽셀들(P_{j,1} 내지 P_{j,n})의 트랜지스터(23)의 드레인들(23d)과 소스들(23s)간의 통로들과 신호선들(Y₁ 내지 Y_n)에 공급한다. 이 경우 그레이레벨 지정전류(I_{DATA})의 전류값은 데이터드라이버(3)에 입력이 되는 적색 디지털그레이레벨 화상

신호(S_R), 녹색 디지털그레이레벨 화상신호(S_G) 및 청색 디지털그레이레벨 화상신호(S_B)들의 그레이레벨에 대응된다. 그레이레벨 지정전류(I_{DATA})의 전류값에 대응되는 전하들은 선택기간(T_{SE})동안 픽셀들($P_{i,1}$ 내지 $P_{i,n}$)의 트랜지스터(23)의 드레인들(23d)과 소스들(23s)간의 통로들에 연결된 콘덴서들(24)에 저장된다.

비선택기간(T_{NSE})동안, 각 픽셀들($P_{i,1}$ 내지 $P_{i,n}$)의 트랜지스터(21)와 트랜지스터(22)는 선택주사선(X_j)에 인가되는 OFF-레벨전압(V_{OFF})의 주사신호에 의해 턴오프된다. 전압(V_{HIGH})은 모든 공통신호공급선들(Z_1 내지 Z_m)에 인가된다. 이런 이유로, 모든 트랜지스터들(23)의 드레인들(23d)과 소스들(23s)간의 전압들은 포화상태의 전압값으로 된다. 모든 트랜지스터들(23)의 게이트들(23g)과 소스들(23s)간의 전압들은 선택기간(T_{SE})동안 콘덴서들(24)에 저장된 전하들에 대응하는 전압값을 갖는다. 도 12B에서 보이는 바와 같이, 그레이레벨 지정전류(I_{DATA})와 동등한 전류값을 갖는 구동전류는 모든 트랜지스터들(23)의 드레인들(23d)과 소스들(23s)사이에서 흐른다. 하이레벨 전압(V_{HIGH})은 기준전압(V_{SS})보다 훨씬 높기때문에, 구동전류는 도 12A에서의 화살표방향으로 흘러 발광소자들($E_{1,1}$ 내지 $E_{m,n}$)이 발광하도록 해준다.

본 발명은 상술한 실시예들에 한정되지 않는다. 본 발명의 정신이나 범위를 벗어나지 않으면서 디자인상의 다양한 변화들과 변경들이 행해질 수 있다.

예를들어, 위의 실시예들에서, 픽셀회로(D_{ij})의 모든 제 1 트랜지스터(21), 제 2 트랜지스터(22) 및 제 3 트랜지스터(23)는 N-채널 트랜지스터들이다. 하지만, 모든 트랜지스터들은 P-채널 트랜지스터들로부터 형성될 수 있으며, 발광소자(E_{ij})의 애노드와 캐소드는 역방향으로 연결될 수 있다. 이 경우, 도 8에서 보이는 펄스파형도들은 반전된다.

본 실시예들에서, 발광소자들($E_{1,1}$ 내지 $E_{m,n}$)의 발광기간은 선택기간들(T_{SE})사이의 비선택기간(T_{NSE})이다. 발광소자(E_{ij})의 발광기간은 i 번째 행의 선택기간(T_{SE})과 i 번째 행의 다음번째 행의 선택기간(T_{SE})사이의 m 개의 비연속적 비선택기간들(T_{NSE})이다. 도 13에서 보이는 바와 같이, 모든 발광소자들($E_{1,1}$ 내지 $E_{m,n}$)은 그레이레벨 지정전류(I_{DATA})에 의한 전하들이 모든 발광소자들($E_{1,1}$ 내지 $E_{m,n}$)의 콘덴서들(24)에 기록된 후, 비선택기간(T_{NSE})동안 동시에 발광을 한다. 이 경우, 하나의 주사기간(T_{SC})동안에서의 적어도 하나의 선택기간(T_{SE})과 리셋전압(V_{RST})이 신호선들(Y_1 내지 Y_n)에 인가될 때의 ($m-1$)개의 설정기간들(T_R)이 짧게 설정된다면, 비선택기간(T_{NSE}), 예를들어, 발광소자들($E_{1,1}$ 내지 $E_{m,n}$)의 발광기간은 상대적으로 길게 된다. 도 13을 참조하면, 선택주사선(X_m)이 선택된 후, 선택주사선(X_m)의 픽셀들($P_{m,1}$ 내지 $P_{m,n}$)의 기록모드(write mode)상태에서 신호선들(Y_1 내지 Y_n)의 기생용량들에 저장된 전하들을 되돌리기 위해, 리셋전압(V_{RST})이 하나의 주사기간(T_{SC})동안 설정기간들(T_R)의 숫자를 m 개까지 증가시키도록 인가될 수 있다.

위에서 설명된 실시예들에서, 유기EL소자가 사용된다. 하지만, 정류특성들을 갖는 어떤 다른 발광소자도 사용될 수 있다. 즉, 발광소자는 역바이어스 전압이 인가될 때는 전류가 흐르지 않지만, 순방향 바이어스전압이 인가될 때는 전류가 흐르며, 이때 흐르는 전류의 크기에 대응하는 휘도로 발광하는 소자이다. 정류특성들을 갖는 발광소자의 예로는 LED(발광 다이오드)가 있다.

위에서 설명된 실시예들에서, 데이터드라이버(3)와 선택주사드라이버(5)는 컨트롤러(11)로부터 입력되는 클럭신호를 기초로 하여 동작한다. 하지만, 공통신호전원공급기(6)로부터 출력되고 공통신호로서 사용되는 클럭신호(CK3)는 클럭신호(CK2)로서 선택주사드라이버(5)로 입력된다.

위에서 설명된 실시예들에서, 공통신호전원공급기(6)로부터 출력되는 공통신호가 로우레벨, 예를들어, 공급되는 그레이레벨 지정전류(I_{DATA})로 변하는 빈도수는 매 선택기간(T_{SE})당 한번이다. 하지만, 상기 빈도수는 매 선택기간(T_{SE})당 두번 이상이 될 수 있다.

본 발명에 따르면, 구동전류가 발광소자에 흐를 때, 발광소자는 발광한다. 구동전류의 전류값은 픽셀회로의 트랜지스터(23)의 게이트들(23g)과 소스들(23s)사이에서 유지되는 전압에 대응된다. 전압값은 지정전류의 전류값을 변환함으로써 얻어진다. 이런 이유때문에, 구동전류의 전류값은 지정전류의 전류값들과 일치한다. 발광소자는 지정전류의 전류값에 의존되는 휘도로 발광한다. 즉, 발광소자는 지정전류의 전류값에 의해서 설정된 휘도로 발광한다. 그러므로, 만약 지정전류의 전류값이 픽셀들사이에서 변하지 않는다면, 휘도는 복수개의 발광소자들사이에서 변하지 않게 되어, 고품질의 화상이 표시될 수 있다.

선택신호를 각각의 주사선에 공급하는것은 오직 주사드라이버(5)이다. 주사를 위한 어떠한 드라이버도 배열되지 않는다. 게다가, 공통신호전원공급기(6)는 주사드라이버의 소자갯수보다 더 작은 소자갯수를 갖고 있으므로 간단한 배열을 갖는다. 따라서, 드라이버의 실장면적은 작아진다.

(57) 청구의 범위

청구항 1.

복수개의 주사선들;

복수개의 신호선들;

상기 주사선들을 선택하는 선택신호들을 상기 주사선들에 순차적으로 공급해주는 주사드라이버;

상기 주사선들이 선택될 때, 선택기간에 지정전류를 상기 복수개의 신호선들에게 공급해주는 데이터드라이버;

상기 신호선들에 흐르는 상기 지정전류의 전류값에 대응하는 구동전류를 공급해주는 복수개의 픽셀회로들;

상기 복수개의 픽셀회로들에 의해서 공급되는 상기 구동전류에 따라 발광하는 복수개의 광소자들; 및

상기 구동전류를 공급해 주기 위해서 상기 복수개의 픽셀회로들에 구동전류기준전압을 출력하는 전원공급기를 포함하는 디스플레이장치.

청구항 2.

제 1 항에 있어서, 상기 전원공급기는 비선택기간에 상기 구동전류기준전압을 상기 복수개의 픽셀회로들에 출력하는 디스플레이장치.

청구항 3.

제 2 항에 있어서, 상기 비선택기간은 상기 복수개의 광소자들중 어느 것도 선택되지가 않는 기간인 디스플레이장치.

청구항 4.

제 2 항에 있어서, 리셋전압이 상기 비선택기간내에 상기 복수개의 신호선들에 출력되는 디스플레이장치.

청구항 5.

제 1 항에 있어서, 상기 전원공급기는 상기 지정전류를 공급하기 위해서 상기 구동전류기준전압과 지정전류기준전압을 선택적으로 출력하는 디스플레이장치.

청구항 6.

제 5 항에 있어서, 상기 지정전류기준전압은 상기 구동전류기준전압보다 낮은 디스플레이장치.

청구항 7.

제 5 항에 있어서, 상기 전원공급기는 상기 선택기간에 상기 지정전류구동전압을 출력하는 디스플레이장치.

청구항 8.

제 1 항에 있어서, 상기 전원공급기는 상기 지정전류를 공급하기 위한 지정전류기준전압과 상기 구동전류기준전압을 택일적으로 출력하는 디스플레이장치.

청구항 9.

제 1 항에 있어서,

상기 데이터드라이버는 상기 선택기간에 상기 전원공급기로부터 출력되는 지정전류기준전압을 기초로 하여 상기 지정전류를 상기 신호선들과 상기 픽셀회로들에 제공해주며, 그리고

각각의 상기 픽셀회로들은 상기 지정전류의 전류값을 저장하고, 상기 전원공급기로부터 출력되는 상기 구동전류기준전압을 기초로 하여 상기 지정전류의 전류값과 동등한 상기 구동전류를 공급해주는 디스플레이장치.

청구항 10.

제 1 항에 있어서,

각각의 상기 픽셀회로들은 구동트랜지스터 및 상기 구동트랜지스터의 게이트와 소스 사이에 연결된 콘덴서를 포함하며,

상기 데이터드라이버는 상기 선택기간에 상기 전원공급기로부터 출력되는 지정전류기준전압을 기초로 하여 상기 지정전류를 상기 신호선들과 상기 픽셀회로들의 상기 구동트랜지스터들에 공급해 주며 그리고,

상기 콘텐서는 상기 게이트와 소스사이의 상기 지정전류에 대응되는 전하들을 저장하며, 상기 구동트랜지스터는 상기 구동전류기준전압이 상기 전원공급기로부터 입력될 때 상기 게이트와 소스사이에서 저장된 상기 전하들에 대응되는 상기 구동전류를 공급해주는 디스플레이장치.

청구항 11.

제 1 항에 있어서, 각각의 상기 픽셀회로들은,

게이트는 상기 주사선에 연결되고 드레인과 소스중 하나는 상기 신호선에 연결되는 제 1 트랜지스터,

게이트는 상기 주사선에 연결되고, 드레인과 소스중 하나에 지정전류기준전압과 상기 구동전류기준전압이 선택적으로 입력이 되는 제 2 트랜지스터, 및

게이트는 상기 제 2 트랜지스터의 상기 드레인과 소스중 나머지 다른 하나에 연결되고, 드레인과 소스중 하나는 상기 제 2 트랜지스터의 상기 드레인과 소스중 하나에 연결되며, 드레인과 소스중 나머지 다른 하나는 상기 제 1 트랜지스터의 상기 드레인과 소스중 나머지 다른 하나와 상기 광소자에 연결되는 구동트랜지스터를 포함하는 디스플레이장치.

청구항 12.

제 11 항에 있어서,

상기 주사드라이버는 상기 제 1 트랜지스터와 상기 제 2 트랜지스터를 선택하고, 상기 제 1, 2 트랜지스터들은 상기 선택기간동안 소정의 주사선에 연결되는 디스플레이장치.

청구항 13.

제 1 항에 있어서, 각각의 상기 픽셀회로들은,

게이트는 상기 주사선에 연결되고 드레인과 소스중 하나는 상기 신호선에 연결되는 제 1 트랜지스터,

게이트는 상기 주사선에 연결되고, 드레인과 소스중 하나는 상기 주사선에 연결되는 제 2 트랜지스터, 및

게이트는 상기 제 2 트랜지스터의 상기 드레인과 소스중 나머지 다른 하나에 연결되고, 드레인과 소스중 하나는 상기 전원공급기에 연결되며, 드레인과 소스중 나머지 다른 하나는 상기 제 1 트랜지스터의 상기 드레인과 소스중 나머지 다른 하나와 상기 광소자에 연결되는 구동트랜지스터를 포함하는 디스플레이장치.

청구항 14.

제 13 항에 있어서, 상기 주사드라이버는 상기 제 1 트랜지스터와 상기 제 2 트랜지스터를 선택하고, 상기 제 1, 2 트랜지스터들은 상기 선택기간에 소정의 주사선에 연결되는 디스플레이장치.

청구항 15.

제 1 항에 있어서, 상기 전원공급기는 소정의 주사선에서의 상기 선택기간의 종료시점부터 다음 주사선에서의 상기 선택기간의 시작시점까지 상기 구동전류기준전압을 제공하는 디스플레이장치.

청구항 16.

제 1 항에 있어서, 상기 광소자는 상기 픽셀회로를 통해 상기 전원공급기에 연결되는 제 1 전극과 기준전압이 인가되는 제 2 전극을 갖는 디스플레이장치.

청구항 17.

제 16 항에 있어서,

상기 전원공급기는 상기 지정전류를 공급해 주기 위해서 상기 구동전류기준전압과 지정전류기준전압을 선택적으로 출력하며,

상기 구동전류기준전압은 상기 기준전압보다 작지 않으며, 상기 지정전류기준전압은 상기 기준전압보다 크지 않는 디스플레이장치.

청구항 18.

제 1 항에 있어서, 상기 광소자는 유기EL소자인 디스플레이장치.

청구항 19.

첫째 행의 주사선과 둘째 행의 주사선을 갖는 주사선군(群);

상기 첫째 행의 주사선에 연결되고 제공되는 제 1 구동전류의 전류값에 따라 발광하는 제 1 광소자와, 상기 둘째 행의 주사선에 연결되고 제공되는 제 2 구동전류의 전류값에 따라 발광하는 제 2 광소자를 갖는 광소자군;

상기 제 1 광소자에 연결되고 제공되는 제 1 지정전류의 전류값과 동등한 상기 제 1 구동전류를 제공하는 제 1 픽셀 회로와, 상기 제 2 광소자에 연결되고 제공되는 제 2 지정전류의 전류값과 동등한 상기 제 2 구동전류를 제공하는 제 2 픽셀회로를 갖는 픽셀회로군; 및

상기 제 1 구동전류를 제공하기 위해서 구동전류기준전압을 상기 제 1 픽셀회로를 통해서 상기 제 1 광소자에게 인가하며, 상기 제 2 구동전류를 제공하기 위해서 상기 구동전류기준전압을 상기 첫째 행의 주사선의 선택기간과 상기 둘째 행의 주사선의 선택기간사이에서 상기 제 2 픽셀회로를 통해 상기 제 2 광소자에게 인가하는 전원공급기를 포함하는 디스플레이장치.

청구항 20.

제 19 항에 있어서, 상기 전원공급기는 비선택기간에 상기 구동전류기준전압을 상기 광소자군에 출력하는 디스플레이장치.

청구항 21.

제 20 항에 있어서, 상기 비선택기간은 상기 광소자군의 상기 광소자들중 어느 것도 선택되지가 않는 기간인 디스플레이장치.

청구항 22.

제 20 항에 있어서, 리셋전압이 상기 비선택기간에 상기 복수개의 신호선들에 출력되는 디스플레이장치.

청구항 23.

제 19 항에 있어서, 상기 전원공급기는 상기 제 1 및 제 2 지정전류들을 상기 제 1 및 제 2 픽셀회로들에 제공하기 위해서 상기 구동전류기준전압과 지정전류기준전압을 선택적으로 출력하는 디스플레이장치.

청구항 24.

제 23 항에 있어서, 상기 지정전류기준전압은 상기 구동전류기준전압보다 낮은 디스플레이장치.

청구항 25.

제 23 항에 있어서, 상기 전원공급기는 상기 선택기간에 상기 지정전류기준전압을 출력하는 디스플레이장치.

청구항 26.

제 19 항에 있어서, 상기 전원공급기는 상기 제 1 및 제 2 지정전류들을 제공하기 위해서 지정전류기준전압과 상기 구동전류기준전압을 선택적으로 제공하는 디스플레이장치.

청구항 27.

제 19 항에 있어서, 상기 전원공급기로부터 출력되는 지정전류기준전압을 기초로 하여 상기 선택기간에 상기 제 1 및 제 2 지정전류들을 상기 제 1 및 제 2 픽셀회로들에 제공하는 데이터드라이버를 더 포함하는 디스플레이장치.

청구항 28.

제 27 항에 있어서, 상기 데이터드라이버를 상기 픽셀회로들에 연결하는 신호선을 더 포함하는 디스플레이장치.

청구항 29.

제 19 항에 있어서, 각각의 상기 픽셀회로들은 상기 선택기간에 제공되는 상기 지정전류의 전류값을 저장하고, 상기 선택기간후에 상기 전원공급기로부터 출력되는 상기 구동전류기준전압을 기초로 하여 상기 지정전류의 전류값과 동등한 상기 구동전류를 제공하는 디스플레이장치.

청구항 30.

제 19 항에 있어서,

상기 각각의 픽셀회로들은 구동트랜지스터와 상기 구동트랜지스터의 게이트와 소스사이에 연결되는 콘덴서를 포함하며,

상기 데이터드라이버는 상기 전원공급기로부터 출력되는 지정전류기준전압을 기초로 하여 상기 선택기간에 상기 지정전류를 상기 픽셀회로들의 상기 구동트랜지스터들에 제공하며, 그리고

상기 콘텐서는 상기 게이트와 소스사이의 상기 지정전류에 대응되는 전하들을 저장하고, 상기 구동트랜지스터는 상기 구동전류기준전압이 상기 전원공급기로부터 입력될 때 상기 게이트와 소스 사이에 저장되는 전하들에 대응되는 상기 구동전류를 제공하는 디스플레이장치.

청구항 31.

제 19 항에 있어서, 상기 각각의 픽셀회로들은,

게이트는 상기 주사선군에서 하나의 주사선에 연결되고 드레인과 소스중 하나는 상기 데이터드라이버에 연결되는 제 1 트랜지스터,

게이트는 상기 주사선에 연결되고, 드레인과 소스중 하나는 지정전류기준전압과 상기 구동전류기준전압에 선택적으로 입력되는 제 2 트랜지스터, 및

게이트는 상기 제 2 트랜지스터의 상기 드레인과 소스중 나머지 다른 하나에 연결되고, 드레인과 소스중 하나는 상기 제 2 트랜지스터의 상기 드레인과 소스중 하나에 연결되며, 드레인과 소스중 나머지 다른 하나는 상기 제 1 트랜지스터의 상기 드레인과 소스중 나머지 다른 하나와 상기 광소자군에서의 하나의 광소자에 연결되는 구동트랜지스터를 포함하는 디스플레이장치.

청구항 32.

제 31 항에 있어서, 상기 선택기간에 상기 주사선군에서의 상기 소정의 주사선에 연결되는 상기 제 1 트랜지스터와 상기 제 2 트랜지스터를 선택하는 선택주사드라이버를 더 포함하는 디스플레이장치.

청구항 33.

제 19 항에 있어서, 각각의 픽셀회로들은,

게이트는 상기 주사선군에서 하나의 주사선에 연결되고 드레인과 소스중 하나는 상기 데이터드라이버에 연결되는 제 1 트랜지스터,

게이트는 상기 주사선에 연결되고, 드레인과 소스중 하나는 상기 주사선에 연결되는 제 2 트랜지스터, 및

게이트는 상기 제 2 트랜지스터의 상기 드레인과 소스중 나머지 다른 하나에 연결되고, 드레인과 소스중 하나는 상기 전원공급기에 연결되며, 드레인과 소스중 나머지 다른 하나는 상기 제 1 트랜지스터의 상기 드레인과 소스중 나머지 다른 하나와 상기 광소자군에서의 하나의 광소자에 연결되는 구동트랜지스터를 포함하는 디스플레이장치.

청구항 34.

제 33 항에 있어서, 상기 선택기간에 상기 주사선군에서의 상기 소정의 주사선에 연결되는 상기 제 1 트랜지스터와 상기 제 2 트랜지스터를 선택하는 선택주사드라이버를 더 포함하는 디스플레이장치.

청구항 35.

제 19 항에 있어서, 상기 전원공급기는 소정의 주사선에서의 상기 선택기간과 다음 주사선에서의 상기 선택기간사이 인 비선택기간에 상기 구동전류기준전압을 제공하는 디스플레이장치.

청구항 36.

제 19 항에 있어서, 상기 광소자는 상기 픽셀회로를 통해 상기 전원공급기에 연결되는 제 1 전극과 기준전압이 인가되는 제 2 전극을 갖는 디스플레이장치.

청구항 37.

제 36 항에 있어서,

상기 전원공급기는 상기 제 1 및 제 2 지정전류들을 제공하기 위해서 상기 구동전류기준전압과 상기 지정전류기준전압을 선택적으로 출력하고,

상기 구동전류기준전압은 상기 기준전압보다 작지 않으며, 상기 지정전류기준전압은 상기 기준전압보다 크지 않는 디스플레이장치.

청구항 38.

제 19 항에 있어서, 상기 광소자는 유기EL소자인 디스플레이장치.

청구항 39.

복수개의 주사선들;

상기 복수개의 주사선중 하나를 선택하는 선택신호들을 상기 주사선들에 순차적으로 공급해주는 주사드라이버;

각각이 상기 복수개의 주사선들중 대응되는 하나에 연결되고, 상기 지정전류의 전류값에 대응하는 구동전류를 공급해주는 복수개의 픽셀회로들;

각각이 상기 복수개의 픽셀회로들중 대응되는 하나에 의해서 공급되는 상기 구동전류에 따라 발광하는 복수개의 광소자들;

상기 주사선들이 선택되는 선택기간에 상기 지정전류들을 상기 픽셀회로들에 공급하는 데이터드라이버; 및

상기 주사선들의 상기 선택기간에 상기 지정전류들을 제공하기 위해서 지정전류기준전압을 상기 선택된 픽셀회로에 출력하고, 비선택기간에 상기 구동전류들을 제공하기 위해서 상기 복수개의 픽셀회로들에 구동전류기준전압을 출력하는 공통전압출력회로를 포함하는 디스플레이장치.

청구항 40.

제 39 항에 있어서, 상기 공통전압출력회로는 상기 비선택기간에 상기 구동 전류기준전압을 상기 모든 픽셀회로들에 출력하는 디스플레이장치.

청구항 41.

제 39 항에 있어서, 상기 지정전류기준전압은 상기 구동 전류기준전압보다 낮은 디스플레이장치.

청구항 42.

제 1 구동트랜지스터의 게이트와 소스사이의 제 1 지정전류의 전류값에 대응하는 전하들을 저장하기 위해서 제 1 선택기간에 상기 제 1 지정전류를 상기 제 1 구동트랜지스터에 공급하는 제 1 지정전류단계;

제 2 구동트랜지스터의 게이트와 소스사이의 제 2 지정전류의 전류값에 대응하는 전하들을 저장하기 위해서 제 2 선택기간에 상기 제 2 지정전류를 상기 제 2 구동트랜지스터에 공급하는 제 2 지정전류단계; 및

상기 제 1 선택기간의 종료시점부터 상기 제 2 선택기간의 시작시점까지, 구동전류기준전압을 상기 제 1 구동트랜지스터 및 상기 제 1 구동트랜지스터와 직렬연결된 제 1 광소자에 출력하며, 상기 구동전류기준전압을 상기 제 2 구동트랜지스터 및 상기 제 2 구동트랜지스터와 직렬연결된 제 2 광소자에 출력하는 구동전류기준전압출력단계를 포함하는 디스플레이장치의 구동방법.

청구항 43.

제 42 항에 있어서, 상기 구동전류기준전압은 상기 제 1 구동트랜지스터의 소스-드레인간 전압과 상기 제 2 구동트랜지스터의 소스-드레인간 전압들이 포화상태에 들어서게 하는 전압인 디스플레이장치의 구동방법.

청구항 44.

제 1 구동트랜지스터의 게이트와 소스사이의 제 1 지정전류의 전류값에 대응하는 전하들을 저장하기 위해서 제 1 선택기간에 상기 제 1 지정전류를 상기 제 1 구동트랜지스터에 공급하는 제 1 지정전류단계;

제 2 구동트랜지스터의 게이트와 소스사이의 제 2 지정전류의 전류값에 대응하는 전하들을 저장하기 위해서 상기 제 1 지정전류단계 후 제 2 선택기간에 상기 제 2 지정전류를 상기 제 2 구동트랜지스터에 공급하는 제 2 지정전류단계; 및

상기 제 2 지정전류단계 후, 구동전류기준전압을 상기 제 1 구동트랜지스터 및 상기 제 1 구동트랜지스터와 직렬연결된 제 1 광소자에 출력하며, 상기 구동전류기준전압을 상기 제 2 구동트랜지스터 및 상기 제 2 구동트랜지스터와 직렬연결된 제 2 광소자에 출력하는 구동전류기준전압출력단계를 포함하는 디스플레이장치의 구동방법.

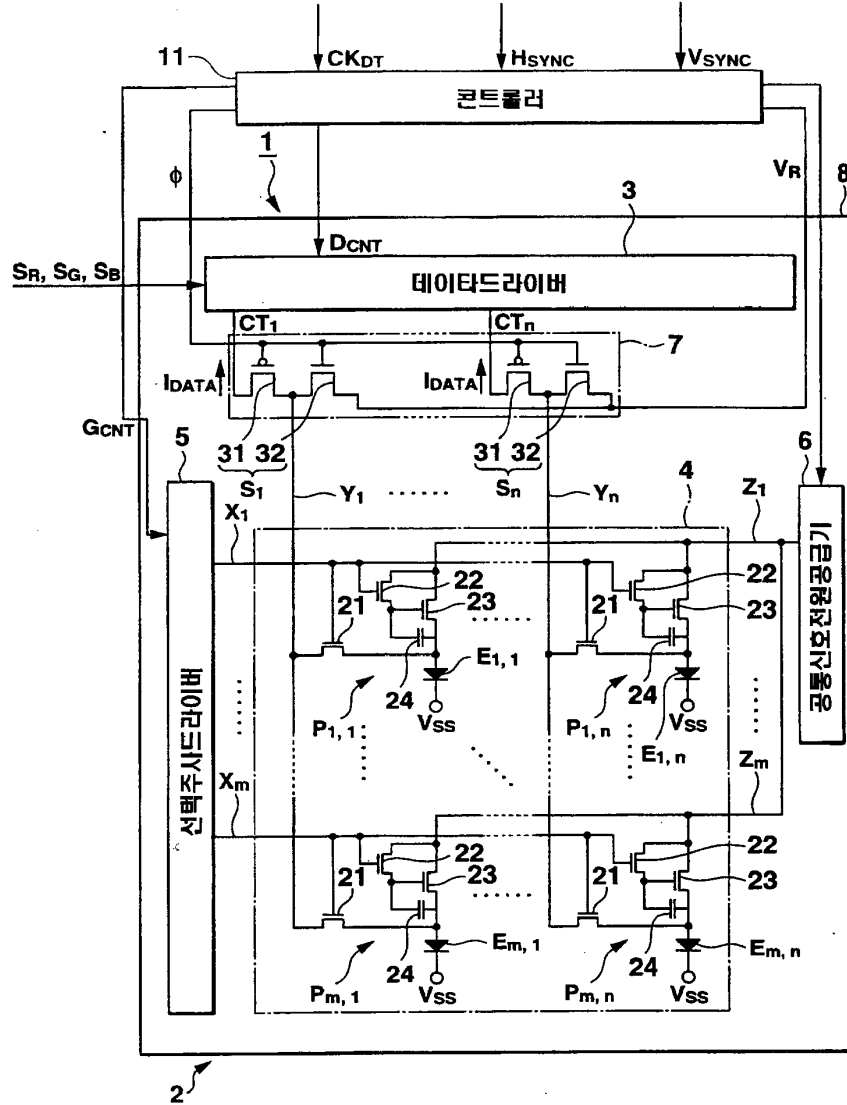
청구항 45.

제 44 항에 있어서, 상기 구동전류기준전압은 상기 제 1 구동트랜지스터의 소스-드레인간 전압과 상기 제 2 구동트

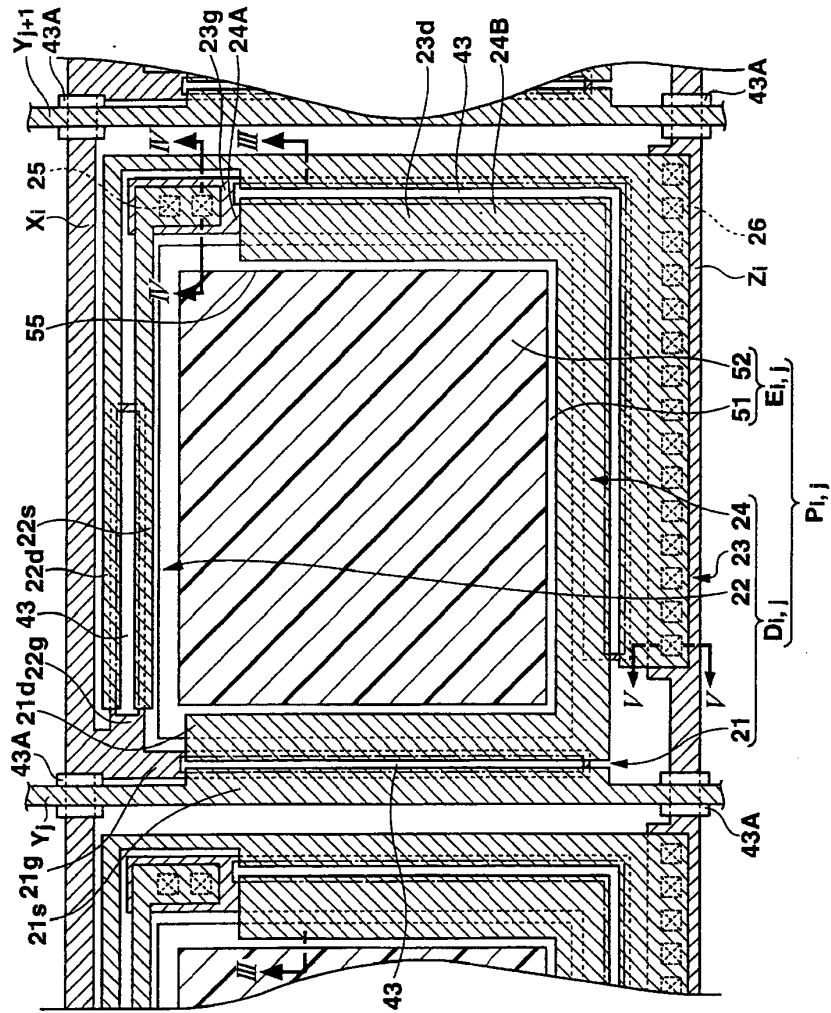
랜지스터의 소스-드레인간 전압들이 포화상태에 들어서게 하는 전압인 디스플레이장치의 구동방법.

도면

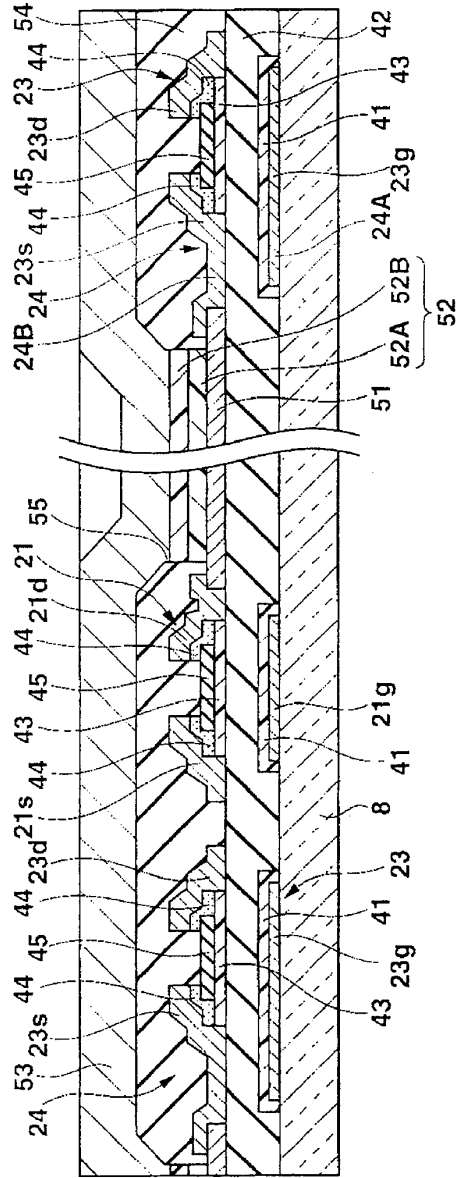
도면1



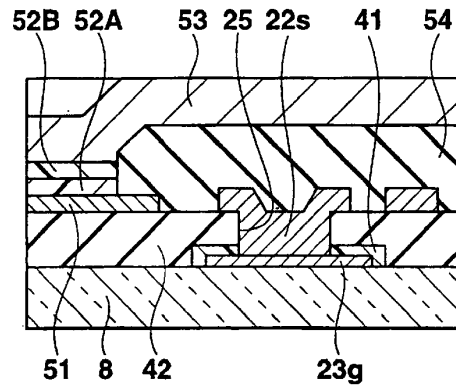
도면 2



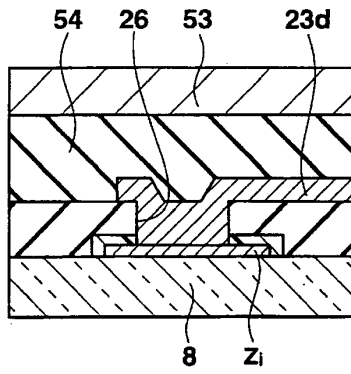
도면8



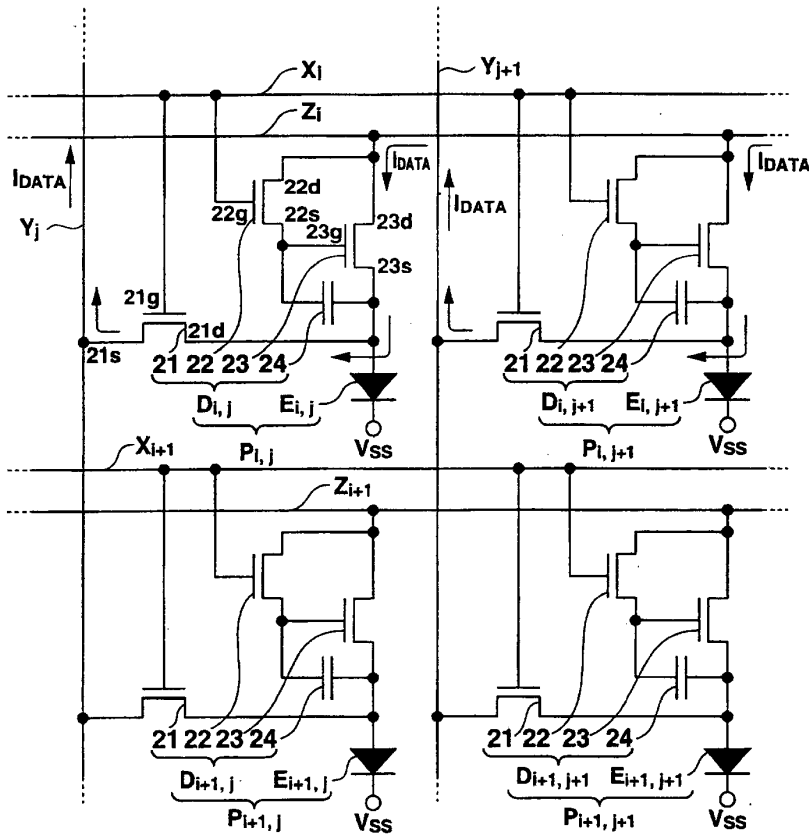
도면4



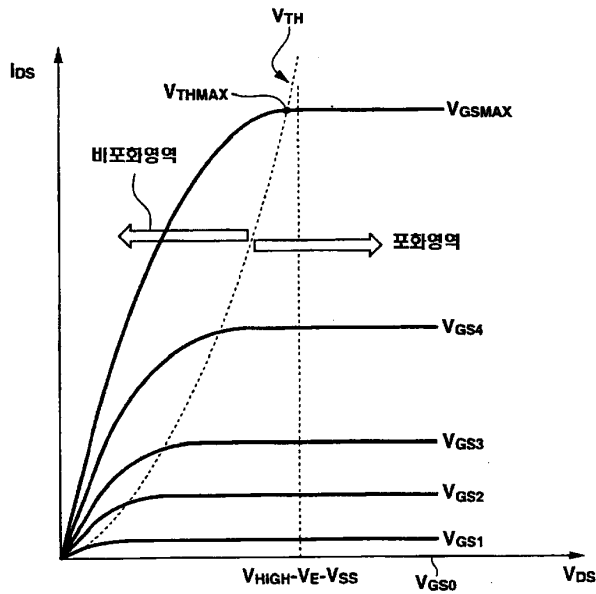
도면5



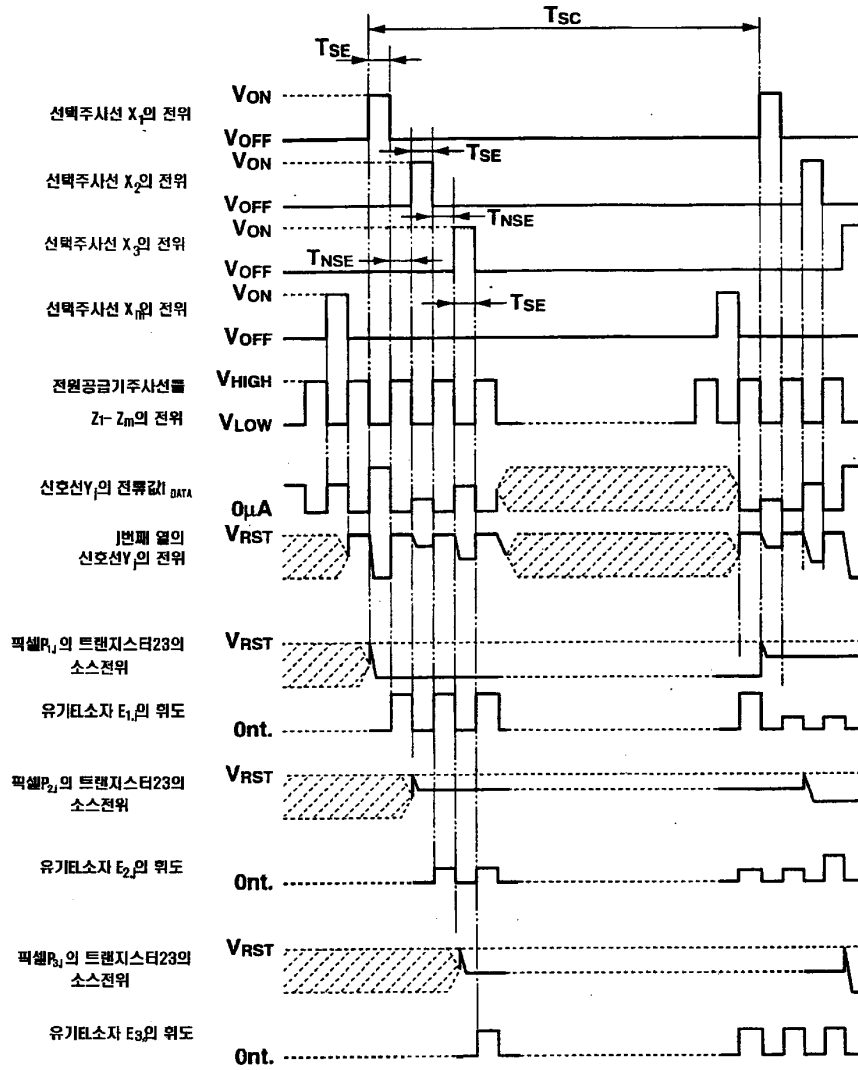
도면6



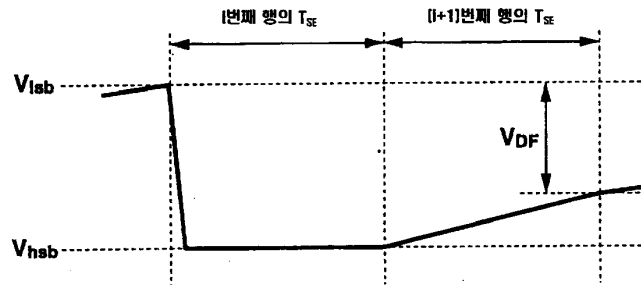
도면7



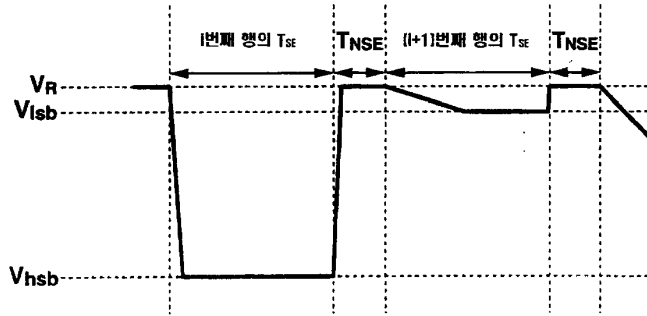
도면8



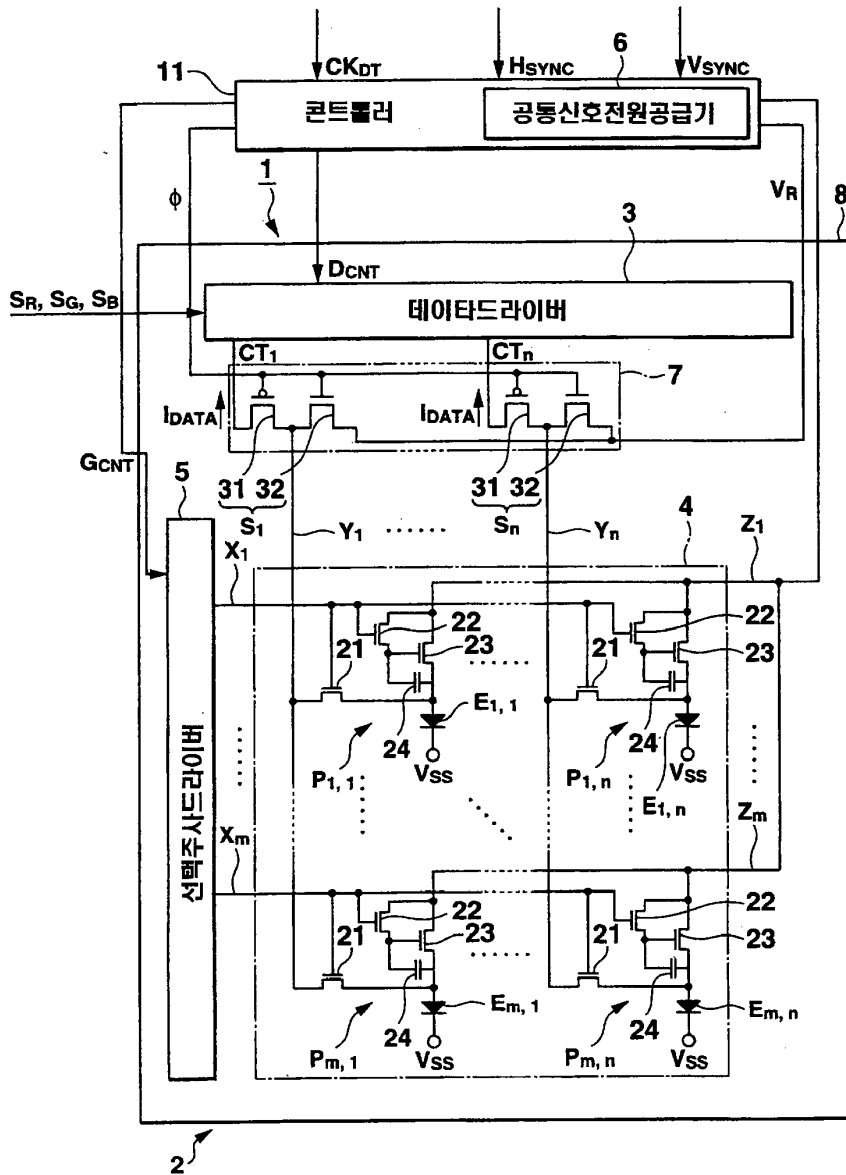
도면9A



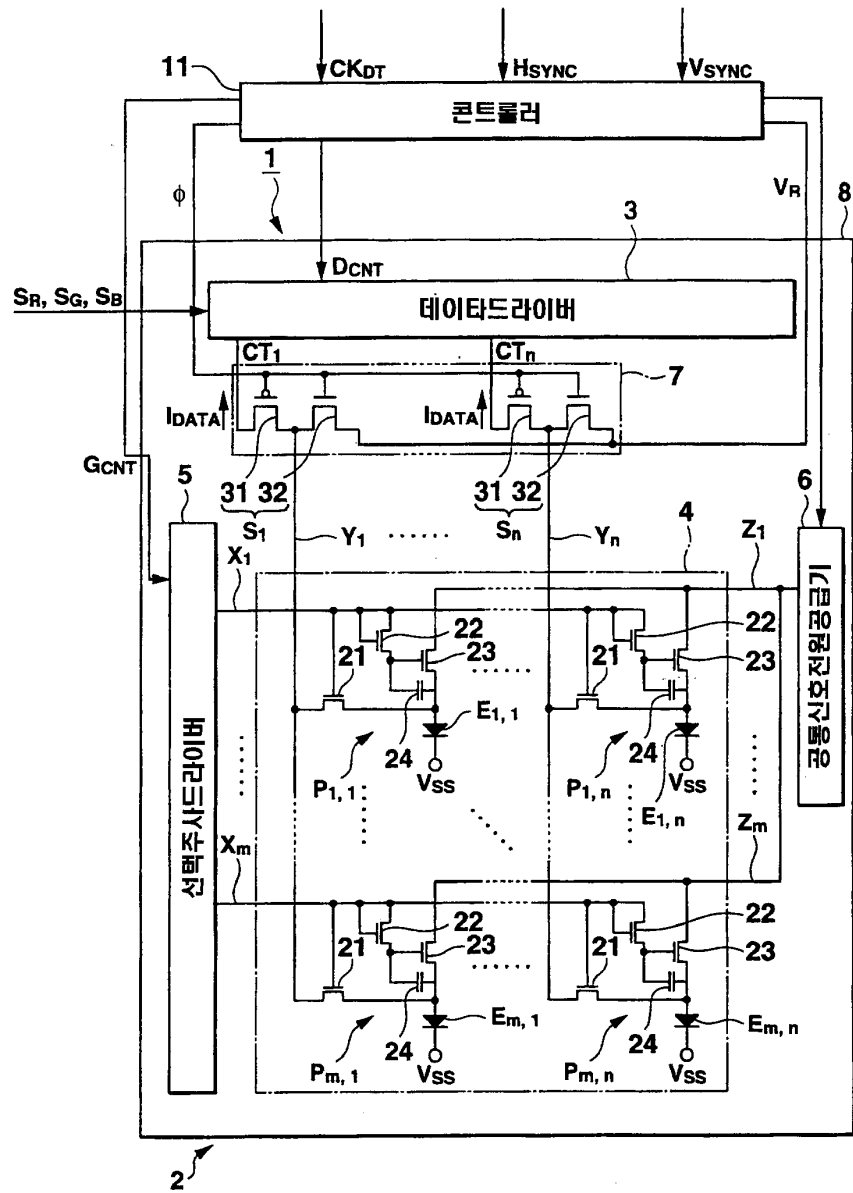
도면9



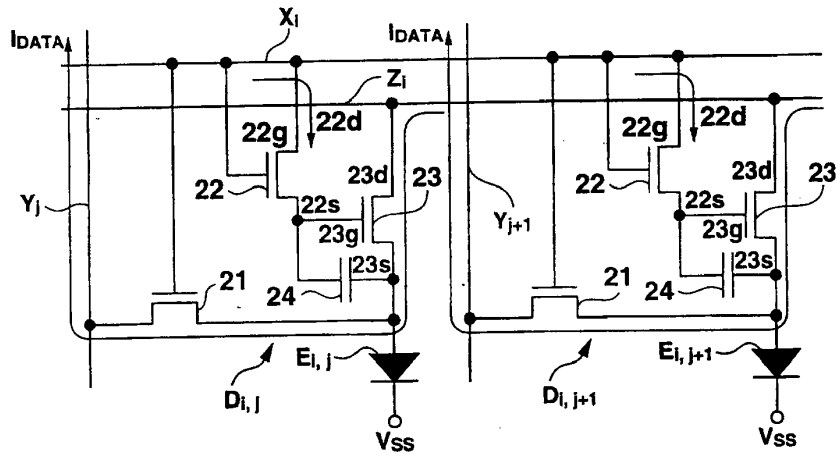
도면10



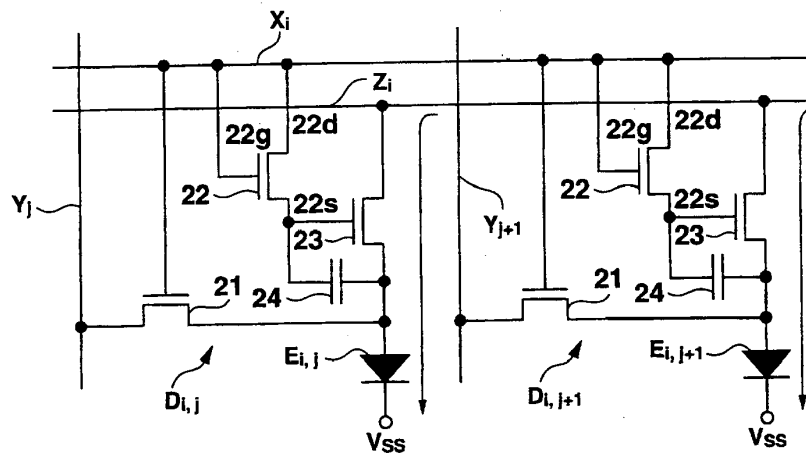
도면 11



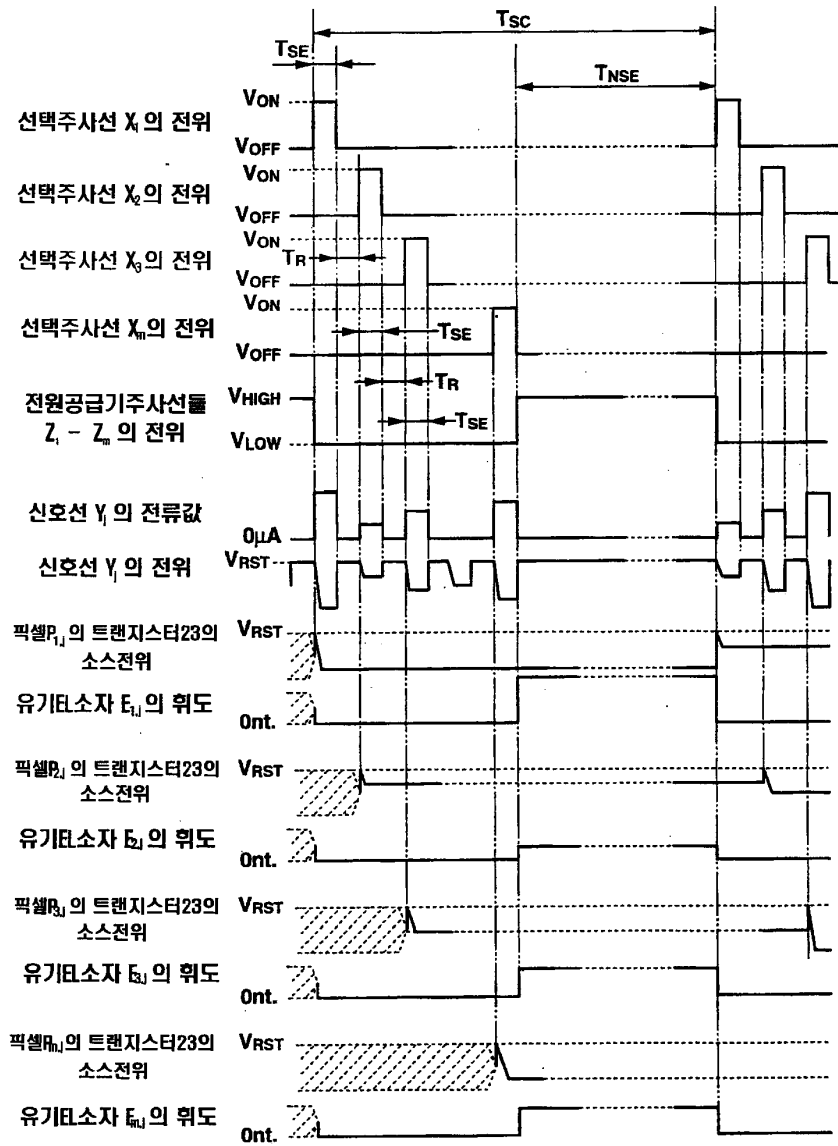
도면12A



도면12B



도면13



Electronic Acknowledgement Receipt

EFS ID:	2958532
Application Number:	11235579
International Application Number:	
Confirmation Number:	3394
Title of Invention:	Display panel
First Named Inventor/Applicant Name:	Tomoyuki Shirasaki
Customer Number:	1933
Filer:	Leonard Holtz/Diane Hegstrom
Filer Authorized By:	Leonard Holtz
Attorney Docket Number:	05644/LH
Receipt Date:	06-MAR-2008
Filing Date:	26-SEP-2005
Time Stamp:	13:38:15
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no
------------------------	----

File Listing:

Document Number	Document Description	File Name	File Size(Bytes) /Message Digest	Multi Part /.zip	Pages (if appl.)
1		05644_IDS4.pdf	95102 <small>f8b97dbd67845f181c146f815406a261d a25ef7c</small>	yes	3

Multipart Description/PDF files in .zip description					
Document Description			Start	End	
Information Disclosure Statement Letter			1	2	
Information Disclosure Statement (IDS) Filed			3	3	
Warnings:					
Information:					
2	NPL Documents	05644_KoreanOfficeAction.pdf	312004 4a8c4d39426eb9d5c40902bcde43005f db6e2440	no	2
Warnings:					
Information:					
3	NPL Documents	05644_KoreanOfficeAction_english.pdf	122682 9d41809fec15b41e71a03c02d8062074 385de9d9	no	1
Warnings:					
Information:					
4	Foreign Reference	KR20020000875.pdf	1785712 9165eeb7b1e6c372d3bf217aee69bf3df 7cb9c8f	no	41
Warnings:					
Information:					
5	Foreign Reference	KR20040051611.pdf	1863501 abad0e49f1e02d717c1a9857b0c771c1 72b1e9cd	no	30
Warnings:					
Information:					
Total Files Size (in bytes):			4179001		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

Application Serial No. 11/235,579
Response to Office Action

Customer No. 01933

Attorney Docket No. 05644/LH

This paper is being submitted
via EFS-Web on February 25, 2008

**IN THE UNITED STATES PATENT
AND TRADEMARK OFFICE**

Applicant(s): Tomoyuki SHIRASAKI, et al.

Serial No. : 11/235,579

Confirm. No.: 3394

Filed : September 26, 2005

For : DISPLAY PANEL

Art Unit : 2814

Examiner : Long Pham

In the event that this Paper is late filed, and the necessary petition for extension of time is not filed concurrently herewith, please consider this as a Petition for the requisite extension of time, and to the extent not already paid, authorization to charge the extension fee to Account No. 06-1378. In addition, authorization is hereby given to charge any fees for which payment has not been submitted, or to credit any overpayments, to Account No. 06-1378.

A M E N D M E N T

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

S I R :

This is responsive to the Office Action mailed October 23, 2007, the term for response to which is extended by one month by Petition filed concurrently herewith to expire on February 23, 2008 (Saturday), which is automatically extended to February 25, 2008.

Amendments to the Claims are set forth in the listing of claims which begins on page 2 of this paper. Claims 1 and 3-23 are amended, and claim 2 is canceled.

Remarks begin on page 12 of this paper.

Listing of Claims:

1. (Currently Amended) A display panel comprising:

a transistor array substrate which ~~has~~ includes a plurality of pixels and ~~is formed by providing~~ comprises a plurality of transistors for each pixel, each of the ~~transistor having~~ transistors including a gate, a gate insulating film, a source, and a drain;

a plurality of interconnections which are formed to project ~~to~~ from a surface of the transistor array substrate, and which are arrayed in parallel to each other;

a plurality of pixel electrodes ~~which are provided for~~ the plurality of pixels, respectively, the ~~each~~ pixel electrodes being ~~and~~ arrayed along the interconnections between the interconnections on the surface of the transistor array substrate along the interconnections;

a plurality of light-emitting layers ~~each of which is~~ formed on ~~each~~ the pixel electrode electrodes, respectively; and

a counter electrode which is stacked on the light-emitting ~~layer~~ layers,

wherein said plurality of transistors for each pixel include a driving transistor, one of the source and the drain of which is connected to the pixel electrode, a switch transistor which makes a write current flow between the drain and the source of the

25 driving transistor, and a holding transistor which holds a
voltage between the gate and source of the driving transistor in
a light emission period.

Claim 2 (Canceled).

3. (Currently Amended) A panel according to claim [[2]] 1,
wherein said plurality of interconnections include at least one
of a feed interconnection connected to the other of the source
and the drain of at least one of the driving transistor
5 transistors, a select interconnection which selects at least one
of the switch transistor transistors, and a common
interconnection connected to the counter electrode.

4. (Currently Amended) A panel according to claim 3,
wherein each of the light-emitting layer layers is formed between
two of the feed interconnection, the select interconnection, and
the common interconnection.

5. (Currently Amended) A panel according to claim 3,
wherein said plurality of interconnections ~~are formed by arraying~~
comprises a plurality of sets each including the feed
interconnection, the select interconnection, and the common
5 interconnection arrayed in an arbitrary order.

6. (Original) A panel according to claim 1, wherein said plurality of pixels include a red pixel, a green pixel, and a blue pixel.

7. (Currently Amended) A panel according to claim 6, wherein said plurality of pixels ~~are formed by arraying~~ comprises a plurality of sets each including the red pixel, the green pixel, and the blue pixel arrayed in an arbitrary order.

8. (Currently Amended) A panel according to claim 1, wherein at least one of the interconnection interconnections has a thickness of 1.31 to 6.00 μm .

9. (Currently Amended) A panel according to any one of claims 1 or 3 to 8, wherein at least one of the interconnection interconnections has a width of 7.45 to 44.00 μm .

10. (Currently Amended) A panel according to claim 1, wherein at least one of the interconnection interconnections has a resistivity of 2.1 to 9.6 $\mu\Omega\text{cm}$.

11. (Currently Amended) A panel according to claim 1, wherein said plurality of interconnections are formed from a

conductive layer that is different from a layer ~~servicing as~~
forming the source and the drain of each of the transistors and a
5 layer ~~servicing as~~ forming the gate of the ~~transistor~~ transistors.

12. (Currently Amended) A panel according to claim 1,
wherein said plurality of interconnections are formed from a
conductive layer different from a layer ~~servicing as~~ forming the
pixel ~~electrode~~ electrodes.

13. (Currently Amended) A panel according to claim 1,
wherein said plurality of interconnections are thicker than ~~the a~~
layer ~~servicing as~~ forming the source and the drain of each of the
transistors and ~~the a~~ layer ~~servicing as~~ forming the gate of each
of the transistor transistors.

14. (Currently Amended) A panel according to claim 1,
wherein said plurality of interconnections are thicker than ~~the~~
~~layer servicing as~~ the pixel ~~electrode~~ electrodes.

15. (Currently Amended) A display panel comprising:
a plurality of pixel electrodes;
a plurality of light-emitting layers which are provided for
said plurality of pixel electrodes, respectively;

5 a counter electrode which is provided for said plurality of light-emitting layers;

a plurality of driving transistors which are connected to said plurality of pixel electrodes, respectively;

10 a plurality of switch transistors, each of which supplies a write current between a drain and a source of a corresponding one of said plurality of driving transistors;

a plurality of holding transistors, each of which holds a voltage between a gate and the source of a corresponding one of said plurality of driving transistors;

15 a plurality of feed interconnections, which are formed from a conductive layer different from ~~a layer serving as layers forming~~ sources, drains, and gates of said plurality of driving transistors, said plurality of switch transistors, and said plurality of holding transistors, and which are connected to the drains of said plurality of driving transistors;

20 a plurality of select interconnections ~~each of which selects the switch transistor~~ transistors; and

a plurality of common interconnections, each of which is connected to the counter electrode.

16. (Currently Amended) A panel according to claim 15, wherein said plurality of select interconnections are formed from a conductive layer different from the ~~layer serving as layers~~

forming the sources, ~~and~~ drains and ~~the layer serving as the~~
5 gates of said plurality of driving transistors, said plurality of
switch transistors, and said plurality of holding transistors.

17. (Currently Amended) A panel according to claim 15,
wherein said plurality of common interconnections are formed from
a conductive layer different from the ~~layer serving as~~ layers
forming the sources, ~~and~~ drains and ~~the layer serving as the~~
5 gates of said plurality of driving transistors, said plurality of
switch transistors, and said plurality of holding transistors.

18. (Currently Amended) A panel according to claim 15,
wherein at least one of the feed ~~interconnection~~
interconnections, the select ~~interconnection~~ interconnections,
and the common ~~interconnection is~~ interconnections are thicker
5 than each of the ~~layer serving as~~ layers forming the sources, ~~and~~
drains and ~~the layer serving as the~~ gates of said plurality of
driving transistors, said plurality of switch transistors, and
said plurality of holding transistors.

19. (Currently Amended) A panel according to claim 15,
wherein at least one of the feed ~~interconnection~~
interconnections, the select ~~interconnection~~ interconnections,
and the common ~~interconnection is~~ interconnections are formed

5 from a conductive layer different from a layer ~~servicing as~~ forming
the pixel ~~electrode~~ electrodes.

20. (Currently Amended) A panel according to claim 15,
wherein at least one of the feed ~~interconnection~~
interconnections, the select ~~interconnection~~ interconnections,
and the common ~~interconnection is~~ interconnections are thicker
5 than the layer ~~servicing as~~ forming the pixel ~~electrode~~ electrodes.

21. (Currently Amended) A display panel comprising:
a plurality of pixel electrodes;
a plurality of light-emitting layers which are provided for
~~each of~~ said plurality of pixel electrodes, respectively;
5 a counter electrode which is provided for the light-emitting
~~layer~~ layers;

a plurality of driving transistors ~~each of which is~~ which
are connected to ~~each of~~ said plurality of pixel ~~electrode~~
electrodes, respectively;
10 a plurality of switch transistors, each of which supplies a
write current between a source and a drain of a corresponding one
of said plurality of the driving transistor transistors;
a plurality of holding transistors, each of which holds a
voltage between the source and a gate of a corresponding one of
15 said plurality of the driving transistor transistors;

a select interconnection which selects at least one of the switch ~~transistor~~ transistors;

a common interconnection, which is formed from a conductive layer different from a layer ~~serving as~~ forming sources and drains and a layer ~~serving as~~ forming gates of the driving ~~transistor~~ transistors, the switch ~~transistor~~ transistors, and the holding ~~transistor~~ transistors, and which is connected to the counter electrode; and

a feed interconnection, which is formed from a conductive layer different from the ~~layer serving as~~ layers forming the sources, drains, and gates of the driving ~~transistor~~ transistors, the switch ~~transistor~~ transistors, and the holding ~~transistor~~ transistors, and which is connected to the ~~drain~~ drains of the driving ~~transistor~~ transistors and is thicker than the common interconnection.

22. (Currently Amended) A display panel comprising:

a transistor array substrate which ~~is formed by providing~~ comprises a plurality of transistors for each pixel, each transistor having a gate, a gate insulating film, and a source/drain;

a plurality of pixel electrodes which are provided in a plurality of rows on the transistor array substrate;

10 a first light-emitting layer which is provided on each of
said plurality of pixel electrodes of a first row to emit light
of a first color;

a second light-emitting layer which is provided on each of
said plurality of pixel electrodes of a second row to emit light
of a second color;

15 a third light-emitting layer which is provided on each of
said plurality of pixel electrodes of a third row to emit light
of a third color;

a counter electrode which is provided on the first
light-emitting layer, the second light-emitting layer, and the
third light-emitting layer;

20 a select interconnection, which has a top that is higher
than the first light-emitting layer, the second light-emitting
layer, and the third light-emitting layer, and which selects at
least one of said plurality of transistors;

25 a common interconnection, which has a top that is higher
than the first light-emitting layer, the second light-emitting
layer, and the third light-emitting layer, and which is connected
to the counter electrode; and

30 a feed interconnection which has a top that is higher than
the first light-emitting layer, the second light-emitting layer,
and the third light-emitting layer, and which is connected to

said plurality of pixel electrodes ~~of said plurality of~~
~~transistors.~~

23. (Currently Amended) A panel according to claim 22,
wherein:

the first light-emitting layer is sandwiched between two of
the select interconnection, the common interconnection, and the
5 feed interconnection; [[,]]

the second light-emitting layer is sandwiched between two of
the select interconnection, the common interconnection, and the
feed interconnection, whose combination is different from ~~that~~
the two interconnections sandwiching the first light-emitting
10 layer; [[,]] and

the third light-emitting layer is sandwiched between two of
the select interconnection, the common interconnection, and the
feed interconnection, whose combination is different from ~~that~~
the two interconnections sandwiching the first light-emitting
15 layer and ~~that~~ the two interconnections sandwiching the second
light-emitting layer.

R E M A R K S

Reconsideration of this application, as amended, is respectfully requested.

ALLOWABLE SUBJECT MATTER

The Examiner's allowance of claims 15-23 and the Examiner's indication of the allowability of the subject matter of claims 2-5 are respectfully acknowledged.

Claim 1 has been amended to incorporate the subject matter of claim 2, which has been canceled, and claim 3 has been amended to depend from amended independent claim 1 instead of from (now canceled) claim 2. In amending claim 1, the phrase "a switch transistor which supplies a write current" in original claim 2 has been changed to "a switch transistor which makes a write current flow." See, for example, Fig. 2 and page 41, lines 20-25 in the specification.

The claims have also been amended to make some minor grammatical improvements and to correct some minor antecedent basis problems so as to put them in better form for issuance in a U.S. patent.

No new matter has been added, and no new issues with respect to patentability have been raised.

Accordingly, it is respectfully requested that the amendments to the claims be approved and entered, and it is

respectfully submitted that amended independent claim 1 and claims 3-14 depending therefrom are all in condition for immediate allowance, along with allowed claims 15-23.

THE DRAWINGS

It is respectfully requested that the Examiner complete item 10 of the Office Action Summary to confirm that the drawings filed with the application papers on September 26, 2005, have been accepted.

* * * * *

Entry of this Amendment, allowance of the claims and the passing of this application to issue are respectfully solicited.

If the Examiner has any comments, questions, objections or recommendations, the Examiner is invited to telephone the undersigned for prompt action.

Respectfully submitted,

/Douglas Holtz/

Douglas Holtz
Reg. No. 33,902

Frishauf, Holtz, Goodman & Chick, P.C.
220 Fifth Avenue - 16th Floor
New York, New York 10001-7708
Tel. No. (212) 319-4900
DH:iv

encs.

Application No. 11/235,579
Petition for Extension of Time

Customer No. 01933

Attorney Docket No. 05644/LH

This paper is being submitted via
EFS-Web on February 25, 2008

**IN THE UNITED STATES PATENT
AND TRADEMARK OFFICE**

In the event that this Paper is late filed, and the necessary petition for extension of time is not filed concurrently herewith, please consider this as a Petition for the requisite extension of time, and to the extent not already paid, authorization to charge the extension fee to Account No. 06-1378. In addition, authorization is hereby given to charge any fees for which payment has not been submitted, or to credit any overpayments, to Account No. 06-1378.

Applicant(s): Tomoyuki SHIRASAKI, et al.

Serial No. : 11/235,579

Confirm. No.: 3394

Filed : September 26, 2005

For : DISPLAY PANEL

Art Unit : 2814

Examiner : Long Pham

PETITION FOR EXTENSION OF TIME

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

S I R:

Applicants hereby petition for a one (1) month extension of time for timely filing of the papers filed concurrently herewith.

Extended time expires February 23, 2008 (Saturday), which is automatically extended to February 25, 2008.

The Patent Office fee of \$120.00 is being paid by credit card herewith. If any further fees are required, authorization is given to charge same against Account No. 06-1378.

Respectfully submitted,

/Douglas Holtz/

Douglas Holtz
Reg. No. 33,902

Frishauf, Holtz, Goodman & Chick, P.C.
220 Fifth Avenue - 16th Floor
New York, NY 10001-7708
Tel. No. (212) 319-4900
DH:iv

Electronic Patent Application Fee Transmittal

Application Number:	11235579			
Filing Date:	26-Sep-2005			
Title of Invention:	Display panel			
First Named Inventor/Applicant Name:	Tomoyuki Shirasaki			
Filer:	Douglas Holtz/Nalini Sahadeo			
Attorney Docket Number:	05644/LH			
Filed as Large Entity				
Utility Filing Fees				
Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				
Extension - 1 month with \$0 paid	1251	1	120	120

Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Miscellaneous:				
Total in USD (\$)				120

Electronic Acknowledgement Receipt

EFS ID:	2904920
Application Number:	11235579
International Application Number:	
Confirmation Number:	3394
Title of Invention:	Display panel
First Named Inventor/Applicant Name:	Tomoyuki Shirasaki
Customer Number:	1933
Filer:	Douglas Holtz/Nalini Sahadeo
Filer Authorized By:	Douglas Holtz
Attorney Docket Number:	05644/LH
Receipt Date:	25-FEB-2008
Filing Date:	26-SEP-2005
Time Stamp:	15:59:46
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Credit Card
Payment was successfully received in RAM	\$ 120
RAM confirmation Number	1314
Deposit Account	
Authorized User	

File Listing:

Document Number	Document Description	File Name	File Size(Bytes) /Message Digest	Multi Part /.zip	Pages (if appl.)
-----------------	----------------------	-----------	----------------------------------	------------------	------------------

1		05644_amd.pdf	56681	yes	13
			b8a5a23f67dd441f1fbae169f180a287f18db76		
Multipart Description/PDF files in .zip description					
		Document Description	Start	End	
		Amendment - After Non-Final Rejection	1	1	
		Claims	2	11	
		Applicant Arguments/Remarks Made in an Amendment	12	13	
Warnings:					
Information:					
2	Extension of Time	05644_amd_ext.pdf	30861	no	1
			f546ccac64a2d4d42cc63b44e49bf882789a4c24		
Warnings:					
Information:					
3	Fee Worksheet (PTO-06)	fee-info.pdf	8124	no	2
			da78e9861288611174bcc5c208606844a62ef8ba		
Warnings:					
Information:					
Total Files Size (in bytes):			95666		
<p>This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.</p> <p><u>New Applications Under 35 U.S.C. 111</u> If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.</p> <p><u>National Stage of an International Application under 35 U.S.C. 371</u> If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.</p> <p><u>New International Application Filed with the USPTO as a Receiving Office</u> If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.</p>					

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD Substitute for Form PTO-875					Application or Docket Number 11/235,579		Filing Date 09/26/2005		<input type="checkbox"/> To be Mailed	
APPLICATION AS FILED – PART I										
(Column 1)			(Column 2)		SMALL ENTITY <input type="checkbox"/> OR			OTHER THAN SMALL ENTITY		
FOR	NUMBER FILED	NUMBER EXTRA	RATE (\$)	FEE (\$)	OR			RATE (\$)	FEE (\$)	
<input type="checkbox"/> BASIC FEE <small>(37 CFR 1.16(a), (b), or (c))</small>	N/A	N/A	N/A		OR			N/A		
<input type="checkbox"/> SEARCH FEE <small>(37 CFR 1.16(k), (l), or (m))</small>	N/A	N/A	N/A		OR			N/A		
<input type="checkbox"/> EXAMINATION FEE <small>(37 CFR 1.16(o), (p), or (q))</small>	N/A	N/A	N/A		OR			N/A		
TOTAL CLAIMS <small>(37 CFR 1.16(i))</small>	minus 20 =	*	X \$ =		OR			X \$ =		
INDEPENDENT CLAIMS <small>(37 CFR 1.16(h))</small>	minus 3 =	*	X \$ =		OR			X \$ =		
<input type="checkbox"/> APPLICATION SIZE FEE <small>(37 CFR 1.16(s))</small>	If the specification and drawings exceed 100 sheets of paper, the application size fee due is \$250 (\$125 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).				OR					
<input type="checkbox"/> MULTIPLE DEPENDENT CLAIM PRESENT <small>(37 CFR 1.16(j))</small>					OR					
* If the difference in column 1 is less than zero, enter "0" in column 2.										
APPLICATION AS AMENDED – PART II										
(Column 1)			(Column 2)		SMALL ENTITY OR			OTHER THAN SMALL ENTITY		
AMENDMENT	02/25/2008	CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE (\$)	ADDITIONAL FEE (\$)		RATE (\$)	ADDITIONAL FEE (\$)
	Total <small>(37 CFR 1.16(o))</small>	* 25	Minus	** 30	= 0	X \$ =		OR	X \$50=	0
	Independent <small>(37 CFR 1.16(h))</small>	* 4	Minus	***4	= 0	X \$ =		OR	X \$210=	0
	<input type="checkbox"/> Application Size Fee <small>(37 CFR 1.16(s))</small>									
	<input type="checkbox"/> FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM <small>(37 CFR 1.16(j))</small>									
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	0
AMENDMENT		CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE (\$)	ADDITIONAL FEE (\$)		RATE (\$)	ADDITIONAL FEE (\$)
	Total <small>(37 CFR 1.16(o))</small>	*	Minus	**	=	X \$ =		OR	X \$ =	
	Independent <small>(37 CFR 1.16(h))</small>	*	Minus	***	=	X \$ =		OR	X \$ =	
	<input type="checkbox"/> Application Size Fee <small>(37 CFR 1.16(s))</small>									
	<input type="checkbox"/> FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM <small>(37 CFR 1.16(j))</small>									
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	
* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.										
** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".										
*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".										
The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.										
Legal Instrument Examiner: /Kimberly Cooper/										

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

Table with 5 columns: APPLICATION NO., FILING DATE, FIRST NAMED INVENTOR, ATTORNEY DOCKET NO., CONFIRMATION NO.
Row 1: 11/235,579, 09/26/2005, Tomoyuki Shirasaki, 05644/LH, 3394
Row 2: 1933, 7590, 10/23/2007, FRISHAUF, HOLTZ, GOODMAN & CHICK, PC, 220 Fifth Avenue, 16TH Floor, NEW YORK, NY 10001-7708, EXAMINER PHAM, LONG, ART UNIT 2814, PAPER NUMBER, MAIL DATE 10/23/2007, DELIVERY MODE PAPER

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

DETAILED ACTION

Election/Restrictions

Applicant's election without traverse of claims 1-23 in the reply filed on 08/21/07 is acknowledged.

Claim Rejections - 35 USC § 102

The following is a quotation of the appropriate paragraphs of 35 U.S.C. 102 that form the basis for the rejections under this section made in this Office action:

A person shall be entitled to a patent unless –

(b) the invention was patented or described in a printed publication in this or a foreign country or in public use or on sale in this country, more than one year prior to the date of application for patent in the United States.

Claims 1, 6, 7, 11, 12, 13, and 14 are rejected under 35 U.S.C. 102(b) as being anticipated by Yamazaki et al. (EP 1331666).

With respect to claim 1, Yamazaki et al. teach a display panel comprising (see figs. 6A-6C and 9A-9C and associated text):

a transistor array substrate which has a plurality of pixels and is formed by providing a plurality of transistors (TFT1-3) for each pixel, each of the transistor having a gate, a gate insulating film, a source, and a drain;

a plurality of interconnections 621, 721 which are formed to project to a surface of the transistor array substrate and arrayed in parallel to each other;

a plurality of pixel electrodes 612 which are provided for each pixel and arrayed between the interconnections on the surface of the transistor array substrate along the interconnections;

a plurality of light-emitting layers 17,18,19 each of which is formed on each pixel electrode; and

a counter electrode 20 which is stacked on the light-emitting layer.

With respect to claim 6, Yamazaki et al. further teach the plurality of pixels include a red pixel, a green pixel, and a blue pixel.

With respect to claim 7, Yamazaki et al. further teach the plurality of pixels are formed by arraying a plurality of sets each including the red pixel, the green pixel, and the blue pixel arrayed in an arbitrary order.

With respect to claim 11, Yamazaki et al. further teach the plurality of interconnections are formed from a conductive layer different from a layer serving as the source and drain and a layer serving as the gate of the transistor.

With respect to claim 12, Yamazaki et al. further teach the plurality of interconnections are formed from a conductive layer different from a layer serving as the pixel electrode.

With respect to claim 13, Yamazaki et al. further teach the plurality of interconnections are thicker than the layer serving as the source and drain and the layer serving as the gate of the transistor.

With respect to claim 14, Yamazaki et al. further teach the plurality of interconnections are thicker than the layer serving as the pixel electrode.

Claim Rejections - 35 USC § 103

The following is a quotation of 35 U.S.C. 103(a) which forms the basis for all obviousness rejections set forth in this Office action:

(a) A patent may not be obtained though the invention is not identically disclosed or described as set forth in section 102 of this title, if the differences between the subject matter sought to be patented and the prior art are such that the subject matter as a whole would have been obvious at the time the invention was made to a person having ordinary skill in the art to which said subject matter pertains. Patentability shall not be negated by the manner in which the invention was made.

Claims 8, 9, and 10 are rejected under 35 U.S.C. 103(a) as being unpatentable over Yamazaki et al. (EP 1331666).

With respect to claim 8, Yamazaki et al. fail to teach the claimed range for the thickness of the interconnection.

However, it would have been obvious to one of ordinary skill in the art of making semiconductor devices to determine the workable or optimal value or range for the

thickness of the interconnection through routine experimentation and optimization to obtain optimal or desired device performance because the thickness of the interconnection is a result-effective variable and there is no evidence indicating that it is critical or produces any unexpected results and it has been held that it is not inventive to discover the optimum or workable ranges of a result-effective variable within given prior art conditions by routine experimentation. See MPEP 2144.05.

With respect to claim 9, Yamazaki et al. fail to teach the claimed range for the width of the interconnection.

However, it would have been obvious to one of ordinary skill in the art of making semiconductor devices to determine the workable or optimal value or range for the width of the interconnection through routine experimentation and optimization to obtain optimal or desired device performance because the thickness of the interconnection is a result-effective variable and there is no evidence indicating that it is critical or produces any unexpected results and it has been held that it is not inventive to discover the optimum or workable ranges of a result-effective variable within given prior art conditions by routine experimentation. See MPEP 2144.05.

With respect to claim 10, Yamazaki et al. fail to teach the claimed range for the resistivity of the interconnection.

However, it would have been obvious to one of ordinary skill in the art of making semiconductor devices to determine the workable or optimal value or range for the resistivity of the interconnection through routine experimentation and optimization to obtain optimal or desired device performance because the thickness of the interconnection is a result-effective variable and there is no evidence indicating that it is critical or produces any unexpected results and it has been held that it is not inventive to discover the optimum or workable ranges of a result-effective variable within given prior art conditions by routine experimentation. See MPEP 2144.05.

Allowable Subject Matter

Claims 2-5 are objected to as being dependent upon a rejected base claim, but would be allowable if rewritten in independent form including all of the limitations of the base claim and any intervening claims.

Claims 15-23 are allowed.

Conclusion


Any inquiry concerning this communication or earlier communications from the examiner should be directed to Long Pham whose telephone number is 571-272-1714. The examiner can normally be reached on Mon-Frid, 10am to 5pm.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Wael Fahmy can be reached on 571-272-1705. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see <http://pair-direct.uspto.gov>. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/Long Pham/
Primary Examiner, Art Unit 2814

/L. P./

Index of Claims 	Application/Control No. 11235579	Applicant(s)/Patent Under Reexamination SHIRASAKI ET AL.
	Examiner Long Pham	Art Unit 2814

✓	Rejected	-	Cancelled	N	Non-Elected	A	Appeal
=	Allowed	÷	Restricted	I	Interference	O	Objected

Claims renumbered in the same order as presented by applicant
 CPA
 T.D.
 R.1.47

CLAIM		DATE									
Final	Original	10/16/2007									
	1	✓									
	2	○									
	3	○									
	4	○									
	5	○									
	6	✓									
	7	✓									
	8	✓									
	9	✓									
	10	✓									
	11	✓									
	12	✓									
	13	✓									
	14	✓									
	15	=									
	16	=									
	17	=									
	18	=									
	19	=									
	20	=									
	21	=									
	22	=									
	23	=									

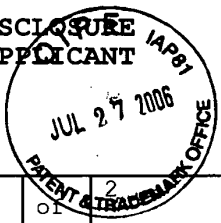
Please type a plus sign (+) inside this box →

+

PTO/SB/08A (08-00)

U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE

Substitute for Form 1449A/PTO INFORMATION DISCLOSURE STATEMENT BY APPLICANT		Application Number	11/235,579
		Filing Date	September 26, 2005
		First Named Inventor	Tomoyuki SHIRASAKI et al
		Group Art Unit	2673
		Examiner Name	
Sheet	1	Attorney Docket Number	05644/LH



U. S. PATENT DOCUMENTS

Exam. Inits*	Cite No ¹	Document Number	Kind Code ²	Name of Patentee or Applicant	Publication Date MM-DD-YYYY	Relevant Portion
		2003/0047730	A1	KONUMA	03-13-2003	
		2003/0146693	A1	ISHIHARA et al	08-07-2003	
		2003/0151355	A1	HOSOKAWA	08-14-2003	
		2004/0160170	A1	SATO et al	08-19-2004	
		2003/137325	A1	YAMAZAKI et al	07-24-2003	
		2004/256617	A1	YAMADA et al	12-23-2004	
		2003/0168992	A1	NOGUCHI et al	09-11-2003	
		2003/193056	A1	TAKAYAMA et al	10-16-2003	

FOREIGN PATENT DOCUMENTS

Exam Inits*	Cite No ¹	Offc ³	Document Number ⁴	Kind Code ⁵	Name of Patentee or Applicant	Publication Date MM-DD-YYYY	Relevant Portion	T ⁶
		EP	1 331 666	A2	SEMICONDUCTOR ENERGY LABORATORY CO., LTD.	07-30-2003		
		WO	2004/019314	A1	CASIO COMPUTER CO., LTD.	03-04-2004		
		EP	1 349 208	A1	SEMICONDUCTOR ENERGY LABORATORY CO., LTD.	10-01-2003		

Examiner Signature	/Long Pham/ (10/15/2007)	Date Considered	
--------------------	--------------------------	-----------------	--

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

¹ Unique citation designation number. ² See kinds of U.S. Patent Documents. ³ Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). ⁴ For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. ⁵ Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. ⁶ Place a check here if English translation is attached.

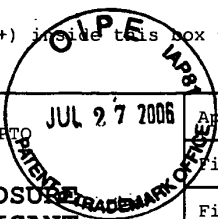
DATE MAILED: July 27, 2006

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /L.P./ (10/15/2007)

Please type a plus sign (+) inside this box →

PTO/SB/08B (08-00)

U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE



Substitute for Form 1449A/PTO		Application Number	11/235,579
INFORMATION DISCLOSURE STATEMENT BY APPLICANT		Filing Date	September 26, 2005
		First Named Inventor	Tomoyuki SHIRASAKI et al
		Group Art Unit	2673
		Examiner Name	
Sheet	2	of	2
		Attorney Docket Number	05645/LH

OTHER DOCUMENTS - NON-PATENT LITERATURE DOCUMENTS

Examiner Initials ¹	Cite No. ¹	Include name of author (in CAPITAL LETTERS), title of article, title of item, date, page(s), volume-issue number(s), publisher, city and/or country where published	T ²
		Related U.S. Patent Application Serial No. 11/235,605, filed: September 26, 2005; Inventors: Satoru SHIMODA et al; Title: DISPLAY PANEL.	
Examiner Signature	/Long Pham/ (10/15/2007)	Date Considered	

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

¹ Unique citation designation number. ² Place a check here if English translation is attached.

DATE MAILED: July 27, 2006

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /L.P./ (10/15/2007)

Please type a plus sign (+) inside this box →

+

PTO/SB/08A (08-00)

U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE

Substitute for Form 1449A/PTO INFORMATION DISCLOSURE STATEMENT BY APPLICANT	Application Number	11/235,579
	Filing Date	Herewith
	First Named Inventor	SHIRASAKI
	Group Art Unit	
	Examiner Name	
Sheet 1 of 1	Attorney Docket Number	05644/LH

U.S. PATENT DOCUMENTS

Exam. Initials	Cite No ¹	Document Number	Kind Code ²	Name of Patentee or Applicant	Publication Date MM-DD-YYYY	Relevant Portion

FOREIGN PATENT DOCUMENTS

Exam Initials	Cite No ¹	offc ³	Document Number ⁴	Kind Code ⁵	Name of Patentee or Applicant	Publication Date MM-DD-YYYY	Relevant Portion	T ⁶
		JP	8-330600	A		12-13-1996		

Examiner Signature	/Long Pham/ (10/15/2007)	Date Considered	
--------------------	--------------------------	-----------------	--

¹ EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

² Unique citation designation number. ³ See kinds of U.S. Patent Documents. ⁴ Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). ⁵ For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. ⁶ Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. ⁷ Place a check here if English translation is attached.


DATE MAILED: **September 26, 2005**

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /L.P./ (10/15/2007)

Please type a plus sign (+) inside this box →

+

U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE

IDS FORM INFORMATION DISCLOSURE STATEMENT BY APPLICANT 		Application Number		11/235,579					
		Filing Date		September 26, 2005					
		First Named Inventor		Tomoyuki SHIRASAKI et al					
		Group Art Unit		2814					
		Examiner Name		PHAM, LONG					
Sheet 1 of 1		Attorney Docket Number		05644/LH					
U.S. PATENT DOCUMENTS									
Exam. Inits ¹	Cite No ¹	Document Number	Kind Code ²	Name of Patentee or Applicant	Publication Date MM-DD-YYYY	Relevant Portion			
		5,684,365	A	TANG et al	11-04-1997				
		6,297,589	B1	MIYAGUCHI et al	10-02-2001				
		6,717,357	B2	OKUYAMA et al	04-06-2004				
FOREIGN PATENT DOCUMENTS									
Exam Inits ¹	Cite No ¹	Offc ³	Document Number ⁴	Kind Code ⁵	Name of Patentee or Applicant	Publication Date MM-DD-YYYY	Relevant Portion	T ⁶	
		TW	591574	A	SONY CORPORATION	05-28-2002		x	
		TW	521336	A		02-21-2003		x	
		TW	584824	A	IBM CORPORATION	04-21-2004		X	
		TW	594628	A		06-21-2004			
x English language Abstract on page 2 of reference.				X English language Abstract on page 3 of reference.					
Examiner Signature		/Long Pham/ (10/15/2007)			Date Considered				

¹ EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

² Unique citation designation number. ³ See kinds of U.S. Patent Documents. ⁴ Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). ⁵ For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. ⁶ Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. ⁷ Place a check here if English translation is attached.

DATE MAILED: June 14, 2007

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /L.P./ (10/15/2007)

AUG. 21. 2007 3:37PM +1-212-319-5101 customer 01933

RECEIVED NO. 8535 P. 1
CENTRAL FAX CENTER
AUG 21 2007

Attorney Docket No. 05644/LH

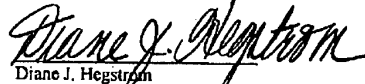
**IN THE UNITED STATES PATENT
AND TRADEMARK OFFICE**

Applicants : Tomoyuki SHIRASAKI et al
Serial No. : 11/235,579
Filed : September 26, 2005
For : DISPLAY PANEL
Art Unit : 2814
Examiner : PHAM, LONG
Customer No.: 01933
Confirm. No.: 3394

CERTIFICATE OF FACSIMILE
TRANSMISSION
TO NO. 1-703-872-9306

TOTAL PAGES: 2

I hereby certify that this paper is being
facsimile
transmitted to the Commissioner for Patents,
on the date noted below.


Diane J. Hegstrom

Dated: August 21, 2007

In the event that this Paper is late filed, and
the necessary petition for extension of time is
not filed concurrently herewith, please
consider this as a Petition for the requisite
extension of time, and to the extent not
tendered by credit card payment, authorization
to charge the extension fee, or any other fee
required in connection with this Paper to
Account No. 06-1378.

RESPONSE - 37 C.F.R. 1.111

MAIL STOP AMENDMENTS
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

S I R :

This is responsive to the Office Action mailed July 23,
2007, the term for response to which expires on August 23, 2007.

ELECTION

Applicants hereby elect Species 1, Embodiment 1, for further
prosecution on the merits, without traverse.

CLAIMS READABLE:

The claims readable on elected Species 1, Embodiment 1, are
claims 1-23.

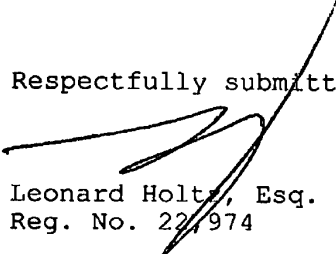
**RECEIVED
CENTRAL FAX CENTER
AUG 21 2007**

It is respectfully submitted that claims 1, 6-14, 22 and 23 are readable on all of the first through fifth modifications, and are therefore generic.

It is respectfully submitted that this submission is fully responsive to the outstanding Office Action.

If the Examiner has any comments, questions, objections or recommendations, the Examiner is invited to telephone the undersigned at the telephone number given below for prompt action.

Respectfully submitted,


Leonard Holtz, Esq.
Reg. No. 22,974

Dated: August 21, 2007

FRISHAUF HOLTZ GOODMAN & CHICK, P.C.
220 FIFTH AVENUE
NEW YORK, N.Y. 10001-7708
Tel. No. (212) 319-4900
Fax No. (212) 319-5101
LH:djh

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD Substitute for Form PTO-875					Application or Docket Number 11/235,579		Filing Date 09/26/2005		<input type="checkbox"/> To be Mailed			
APPLICATION AS FILED – PART I												
(Column 1)			(Column 2)			SMALL ENTITY <input type="checkbox"/>		OR			OTHER THAN SMALL ENTITY	
FOR		NUMBER FILED	NUMBER EXTRA		RATE (\$)	FEE (\$)	OR		RATE (\$)	FEE (\$)		
<input type="checkbox"/> BASIC FEE <small>(37 CFR 1.16(a), (b), or (c))</small>		N/A	N/A		N/A				N/A			
<input type="checkbox"/> SEARCH FEE <small>(37 CFR 1.16(k), (l), or (m))</small>		N/A	N/A		N/A		N/A					
<input type="checkbox"/> EXAMINATION FEE <small>(37 CFR 1.16(o), (p), or (q))</small>		N/A	N/A		N/A		N/A					
TOTAL CLAIMS <small>(37 CFR 1.16(j))</small>		minus 20 =	*		X \$ =		OR	X \$ =				
INDEPENDENT CLAIMS <small>(37 CFR 1.16(h))</small>		minus 3 =	*		X \$ =		OR	X \$ =				
<input type="checkbox"/> APPLICATION SIZE FEE <small>(37 CFR 1.16(s))</small>		If the specification and drawings exceed 100 sheets of paper, the application size fee due is \$250 (\$125 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).										
<input type="checkbox"/> MULTIPLE DEPENDENT CLAIM PRESENT <small>(37 CFR 1.16(j))</small>												
* If the difference in column 1 is less than zero, enter "0" in column 2.												
APPLICATION AS AMENDED – PART II					SMALL ENTITY		OR		OTHER THAN SMALL ENTITY			
(Column 1)			(Column 2)			(Column 3)			SMALL ENTITY		OTHER THAN SMALL ENTITY	
AMENDMENT	08/21/2007		CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE (\$)	ADDITIONAL FEE (\$)	OR		RATE (\$)	ADDITIONAL FEE (\$)
	Total <small>(37 CFR 1.16(i))</small>		* 30	Minus	** 30	= 0	X \$ =				OR	X \$50=
	Independent <small>(37 CFR 1.16(h))</small>		* 4	Minus	***4	= 0	X \$ =		OR	X \$200=	0	
	<input type="checkbox"/> Application Size Fee <small>(37 CFR 1.16(s))</small>											
	<input type="checkbox"/> FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM <small>(37 CFR 1.16(j))</small>											
TOTAL ADD'L FEE							OR		TOTAL ADD'L FEE			
									0			
AMENDMENT			CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE (\$)	ADDITIONAL FEE (\$)	OR		RATE (\$)	ADDITIONAL FEE (\$)
	Total <small>(37 CFR 1.16(i))</small>		*	Minus	**	=	X \$ =				OR	X \$ =
	Independent <small>(37 CFR 1.16(h))</small>		*	Minus	***	=	X \$ =		OR	X \$ =		
	<input type="checkbox"/> Application Size Fee <small>(37 CFR 1.16(s))</small>											
	<input type="checkbox"/> FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM <small>(37 CFR 1.16(j))</small>											
TOTAL ADD'L FEE							OR		TOTAL ADD'L FEE			
* If the entry in column 1 is less than the entry in column 2, write "0" in column 3. ** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20". *** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3". The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.												
							Legal Instrument Examiner: Jacqueline E. Couplin					

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**
 If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
11/235,579	09/26/2005	Tomoyuki Shirasaki	05644/LH	3394
1933 7590 07/23/2007 FRISHAUF, HOLTZ, GOODMAN & CHICK, PC 220 Fifth Avenue 16TH Floor NEW YORK, NY 10001-7708			EXAMINER PHAM, LONG	
			ART UNIT	PAPER NUMBER
			2814	
			MAIL DATE	DELIVERY MODE
			07/23/2007	PAPER

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

JH

Office Action Summary	Application No. 11/235,579	Applicant(s) SHIRASAKI ET AL.	
	Examiner Long Pham	Art Unit 2814	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --
Period for Reply

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE 1 MONTH(S) OR THIRTY (30) DAYS, WHICHEVER IS LONGER, FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133). Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

Status

- 1) Responsive to communication(s) filed on _____.
- 2a) This action is **FINAL**. 2b) This action is non-final.
- 3) Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

Disposition of Claims

- 4) Claim(s) 1-23 is/are pending in the application.
 4a) Of the above claim(s) _____ is/are withdrawn from consideration.
- 5) Claim(s) _____ is/are allowed.
- 6) Claim(s) _____ is/are rejected.
- 7) Claim(s) _____ is/are objected to.
- 8) Claim(s) 1-23 are subject to restriction and/or election requirement.

Application Papers

- 9) The specification is objected to by the Examiner.
- 10) The drawing(s) filed on _____ is/are: a) accepted or b) objected to by the Examiner.
 Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).
 Replacement drawing sheet(s) including the correction is required if the drawing(s) is objected to. See 37 CFR 1.121(d).
- 11) The oath or declaration is objected to by the Examiner. Note the attached Office Action or form PTO-152.

Priority under 35 U.S.C. § 119

- 12) Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).
 a) All b) Some * c) None of:
 1. Certified copies of the priority documents have been received.
 2. Certified copies of the priority documents have been received in Application No. _____.
 3. Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).
 * See the attached detailed Office action for a list of the certified copies not received.

Attachment(s)

- 1) Notice of References Cited (PTO-892)
- 2) Notice of Draftsperson's Patent Drawing Review (PTO-948)
- 3) Information Disclosure Statement(s) (PTO/SB/08)
 Paper No(s)/Mail Date _____
- 4) Interview Summary (PTO-413)
 Paper No(s)/Mail Date _____
- 5) Notice of Informal Patent Application
- 6) Other: _____

DETAILED ACTION

Election/Restrictions

This application contains claims directed to the following patentably distinct species: species 1: embodiment 1 or first modification; species 2: embodiment 2 or second modification; species 3: embodiment 3 or third modification; species 4: embodiment 4 or fourth modification; and species 5: embodiment 5 or fifth modification (see pages 62-66). The species are independent or distinct because they are nonobvious variants.

Applicant is required under 35 U.S.C. 121 to elect a single disclosed species for prosecution on the merits to which the claims shall be restricted if no generic claim is finally held to be allowable. Currently, no claim appears to be generic.

Applicant is advised that a reply to this requirement must include an identification of the species that is elected consonant with this requirement, and a listing of all claims readable thereon, including any claims subsequently added. An argument that a claim is allowable or that all claims are generic is considered nonresponsive unless accompanied by an election.

Upon the allowance of a generic claim, applicant will be entitled to consideration of claims to additional species which depend from or otherwise require all the limitations of an allowable generic claim as provided by 37 CFR 1.141. If claims are added after the election, applicant must indicate which are readable upon the elected species. MPEP § 809.02(a).

A telephone call was made to -- on -- to request an oral election to the above restriction requirement, but did not result in an election being made.

Applicant is advised that the reply to this requirement to be complete must include (i) an election of a species or invention to be examined even though the requirement be traversed (37 CFR 1.143) and (ii) identification of the claims encompassing the elected invention.

The election of an invention or species may be made with or without traverse. To reserve a right to petition, the election must be made with traverse. If the reply does not distinctly and specifically point out supposed errors in the restriction requirement, the election shall be treated as an election without traverse.

Should applicant traverse on the ground that the inventions or species are not patentably distinct, applicant should submit evidence or identify such evidence now of record showing the inventions or species to be obvious variants or clearly admit on the record that this is the case. In either instance, if the examiner finds one of the inventions unpatentable over the prior art, the evidence or admission may be used in a rejection under 35 U.S.C.103(a) of the other invention.

Applicant is reminded that upon the cancellation of claims to a non-elected invention, the inventorship must be amended in compliance with 37 CFR 1.48(b) if one or more of the currently named inventors is no longer an inventor of at least one claim remaining in the application. Any amendment of inventorship must be accompanied by a request under 37 CFR 1.48(b) and by the fee required under 37 CFR 1.17(i).

Any inquiry concerning this communication or earlier communications from the examiner should be directed to Long Pham whose telephone number is 571-272-1714. The examiner can normally be reached on Mon-Frid, 10am to 5pm.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Wael Fahmy can be reached on 571-272-1705. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Art Unit: 2814

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see <http://pair-direct.uspto.gov>. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.


Long Pham

Primary Examiner

Art Unit 2814

LP

Index of Claims



Application/Control No.

11/235,579

Examiner

Long Pham

Applicant(s)/Patent under Reexamination

SHIRASAKI ET AL.

Art Unit

2814

√	Rejected
=	Allowed

-	(Through numeral) Cancelled
+	Restricted

N	Non-Elected
I	Interference

A	Appeal
O	Objected

Claim		Date			
Final	Original				
	1				
	2				
	3				
	4				
	5				
	6				
	7				
	8				
	9				
	10				
	11				
	12				
	13				
	14				
	15				
	16				
	17				
	18				
	19				
	20				
	21				
	22				
	23				
	24				
	25				
	26				
	27				
	28				
	29				
	30				
	31				
	32				
	33				
	34				
	35				
	36				
	37				
	38				
	39				
	40				
	41				
	42				
	43				
	44				
	45				
	46				
	47				
	48				
	49				
	50				

Claim		Date			
Final	Original				
	51				
	52				
	53				
	54				
	55				
	56				
	57				
	58				
	59				
	60				
	61				
	62				
	63				
	64				
	65				
	66				
	67				
	68				
	69				
	70				
	71				
	72				
	73				
	74				
	75				
	76				
	77				
	78				
	79				
	80				
	81				
	82				
	83				
	84				
	85				
	86				
	87				
	88				
	89				
	90				
	91				
	92				
	93				
	94				
	95				
	96				
	97				
	98				
	99				
	100				

Claim		Date			
Final	Original				
	101				
	102				
	103				
	104				
	105				
	106				
	107				
	108				
	109				
	110				
	111				
	112				
	113				
	114				
	115				
	116				
	117				
	118				
	119				
	120				
	121				
	122				
	123				
	124				
	125				
	126				
	127				
	128				
	129				
	130				
	131				
	132				
	133				
	134				
	135				
	136				
	137				
	138				
	139				
	140				
	141				
	142				
	143				
	144				
	145				
	146				
	147				
	148				
	149				
	150				

06-15-07

IFW



Attorney Docket No. 05644/LH

**IN THE UNITED STATES PATENT
AND TRADEMARK OFFICE**

Applicants : Tomoyuki SHIRASAKI et al
 Serial No. : 11/235,579
 Filed : September 26, 2005
 For : DISPLAY PANEL
Customer No. : 01933
 Art Unit : 2814
 Examiner : PHAM, LONG
 Confirm. No. : 3394

Express Mail Mailing Label
 No.: **EM 090 051 343 US**

Date of Deposit: June 14, 2007

I hereby certify that this paper is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above, with sufficient postage, and is addressed to

The Commissioner for Patents
 P.O. Box 1450,
 Alexandria, VA 22313-1450


 Diane J. Hegstrom

**INFORMATION DISCLOSURE STATEMENT
WITH STATEMENT UNDER 37 CFR 1.97(e)**

Commissioner for Patents
 P.O. Box 1450
 Alexandria, VA 22313-1450

S I R :

Submitted herewith are the following:

- (1) Copy of a Taiwanese Office Action dated April 26, 2007 (and English translation thereof) issued in a counterpart Taiwanese application;
- (2) Copies of cited publications; and
- (3) IDS Form.

An English translation of said Taiwanese Office Action is provided, thereby satisfying the requirements for a concise explanation of relevance for any non-English language publications cited therein (MPEP 609.04(a) III).

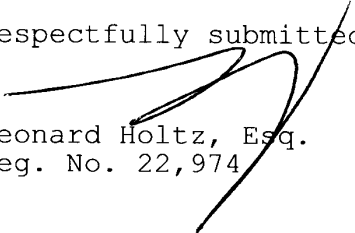
An English language Abstract is provided on page 2 of TW 591574; page 2 of TW 521336; and page 3 of TW 584824.

STATEMENT UNDER 37 CFR 1.97(e)

Each item of information contained in this Information Disclosure Statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the present Information Disclosure Statement. Said Communication bears a mailing date of **April 26, 2007**.

It is requested that an initialed copy of the IDS Form be returned to indicate that the publications listed therein have been considered and made of record.

Respectfully submitted,


Leonard Holtz, Esq.
Reg. No. 22,974

Encls.

Dated: June 14, 2007

Frishauf, Holtz, Goodman & Chick, P.C.
220 Fifth Avenue, 16th Floor
New York, New York 10001-7708
Tel. No. (212) 319-4900
Fax. No. (212) 319-5101
LH/djh

Please type a plus sign (+) inside this box →

+

U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE

IDS FORM		Application Number		11/235,579				
INFORMATION DISCLOSURE STATEMENT BY APPLICANT		Filing Date		September 26, 2005				
		First Named Inventor		Tomoyuki SHIRASAKI et al				
		Group Art Unit		2814				
		Examiner Name		PHAM, LONG				
Sheet 1 of 1		Attorney Docket Number		05644/LH				
U.S. PATENT DOCUMENTS								
Exam. Inits ¹	Cite No ¹	Document Number	Kind Code ²	Name of Patentee or Applicant	Publication Date MM-DD-YYYY	Relevant Portion		
		5,684,365	A	TANG et al	11-04-1997			
		6,297,589	B1	MIYAGUCHI et al	10-02-2001			
		6,717,357	B2	OKUYAMA et al	04-06-2004			
FOREIGN PATENT DOCUMENTS								
Exam Inits ¹	Cite No ¹	Offc ³	Document Number ⁴	Kind Code ⁵	Name of Patentee or Applicant	Publication Date MM-DD-YYYY	Relevant Portion	T ⁶
		TW	591574	A	SONY CORPORATION	05-28-2002		x
		TW	521336	A			02-21-2003	
		TW	584824	A	IBM CORPORATION	04-21-2004		X
		TW	594628	A			06-21-2004	
x English language Abstract on page 2 of reference.				X English language Abstract on page 3 of reference.				
Examiner Signature		Date Considered						

¹ EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

¹ Unique citation designation number. ² See kinds of U.S. Patent Documents. ³ Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). ⁴ For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. ⁵ Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. ⁶ Place a check here if English translation is attached.

DATE MAILED: June 14, 2007

公告本

申請日期	91.5.28
案 號	91(1)131
類 別	G09G 3/20

A4
C4

591574

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明名稱	中 文	主動矩陣型顯示器裝置，主動矩陣型有機電致發光顯示器裝置及其驅動方法
	英 文	"ACTIVE MATRIX TYPE DISPLAY APPARATUS, ACTIVE MATRIX TYPE ORGANIC ELECTROLUMINESCENCE DISPLAY APPARATUS, AND DRIVING METHODS THEREOF"
二、發明人	姓 名	淺野 慎 MITSURU ASANO
	國 籍	日本 JAPAN
	住、居所	日本東京都品川區北品川六丁目七番35號 7-35, KITASHINAGAWA 6-CHOME, SHINAGAWA-KU, TOKYO, JAPAN
三、申請人	姓 名 (名稱)	日商新力股份有限公司 SONY CORPORATION
	國 籍	日本 JAPAN
	住、居所 (事務所)	日本東京都品川區北品川六丁目七番35號 7-35, KITASHINAGAWA 6-CHOME, SHINAGAWA-KU, TOKYO, JAPAN
	代 表 人 名 姓 名	安藤 國威 KUNITAKE ANDO

1-1

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

四、中文發明摘要(發明之名稱：主動矩陣型顯示器裝置，主動矩陣型有機電致發光顯示器裝置及其驅動方法)

一種使用電流寫入型像素電路之根據本發明之主動矩陣型有機EL顯示器裝置係備有一電流控制電路，以用於連接至像素電路之各資料線。電流控制電路供給一部分資料線電流至一像素電路，以做為一旁路電流。電流控制電路處理以(資料線電流 = 資料電流 + 旁路電流)表示之資料線電流之旁路電流，藉此，資料線驅動電流可以設定大於流過像素電路內所提供TFTs之資料電流，因而減少發光資料寫入時間。同樣地，當寫入時間設定為不變，像素電路內所提供TFTs之電晶體尺寸即可減小。

英文發明摘要(發明之名稱："ACTIVE MATRIX TYPE DISPLAY APPARATUS, ACTIVE MATRIX TYPE ORGANIC ELECTROLUMINESCENCE DISPLAY APPARATUS, AND DRIVING METHODS THEREOF")

An active matrix type organic EL display apparatus according to the present invention which apparatus uses current writing type pixel circuits is provided with a current control circuit for each of data lines connected to the pixel circuits. The current control circuit supplies part of a data line current to a pixel circuit as a bypass current. The current control circuit handles the bypass current of the data line current represented by (data line current = data current + bypass current).

四、中文發明摘要(發明之名稱:)

英文發明摘要(發明之名稱:)

Thereby, the data line driving current can be set greater than the data current flowing through TFTs provided in the pixel circuit, thus reducing luminance data writing time. Also, when the writing time is set unchanged, transistor size of the TFTs provided in the pixel circuit can be reduced.



裝
訂
線

五、發明說明(1)

發明範疇

本發明係關於一種主動矩陣型顯示器裝置，其具有一主動裝置於各像素內且利用主動裝置以控制像素單元內之顯示，及其驅動方法，且特別是關於一種使用有機材料電致發光(文後稱為有機EL(電致發光))裝置做為一電光裝置之主動矩陣型有機EL顯示器裝置，及其驅動方法。

使用一液晶單元做為一像素顯示器裝置之液晶顯示器例如具有配置成一矩陣型式之大量像素，及依據一欲顯示影像之資料以控制各像素內之光強度，藉此驅動影像顯示。相同之顯示驅動係由一有機EL顯示器進行，其使用一電流控制型電光裝置，例如一有機EL裝置，以做為一像素顯示器裝置。

有機EL裝置具有一藉由夾置一有機材料之有機層而形成之結構，其包括一發光層於二電極之間。當一電壓施加於裝置時，一電子即自陰極注入有機層及一電洞自陽極注入有機層，且電子及電洞隨後彼此再次結合以發光。有機EL裝置係在10伏或更低之驅動電壓下提供數百至數萬 cd/m^2 之亮度，且為一自行發光裝置。有機EL裝置之優點如高影像對比及高反應速度，因此，一使用有機EL裝置做為像素顯示器裝置之有機EL顯示器可視為次世代之平板式顯示器。

針對有機EL顯示器之驅動方法，目前有被動矩陣法及主動矩陣法，被動矩陣法僅在選取各像素之一發光裝置瞬間發光，儘管被動矩陣法有單純之結構，但是被動矩陣法



五、發明說明(2)

之問題在於例如難以取得一大型高鮮明度顯示器。另一方面，主動矩陣法可以使各像素內有機EL裝置之發光維持一個訊框時間，且因而可謂一適用於增加顯示器尺寸、解析度、及亮度之驅動方法。

在一主動矩陣型有機EL顯示器中，一多晶矽薄膜電晶體(TFT)通常使用做為一像素電路內之主動裝置，以控制各像素之亮度。利用電路裝置以控制薄膜電晶體之特徵變化及補償薄膜電晶體之特徵變化係使用薄膜電晶體於像素電路內之之主動矩陣型有機EL顯示器之主要問題，此即以下所述之原因。

使用一液晶單元做為一像素顯示器裝置之液晶顯示器係利用一電壓值以控制各像素之發光資料，另一方面，一有機EL顯示器則利用一電流值以控制各像素之發光資料。一使用電壓寫入型像素電路之最簡單主動矩陣型有機EL顯示器之結構係簡示於圖1，一電壓寫入型像素電路之電路結構則簡示於圖2。

如圖1所示，一主動矩陣型有機EL顯示器具有配置成一矩陣型式之大量像素電路101，且藉由自一電壓驅動型資料線驅動電路104供給電壓型式之發光資料通過資料線105-1至105-m，而反覆寫入發光資料，同時以一掃描線驅動電路103依序選取掃描線102-1至102-n。m列及n行之像素配置方式揭示於此例子中。當然，在此例子中，資料線數為m而掃描線數為n。

由圖2可知，電壓寫入型像素電路101包括：一有機EL

五、發明說明 (3)

裝置 111，具有一陰極以連接於一第一電力供給(例如負電力供給)；一 P-通道 TFT 112，具有一汲極以連接於有機 EL 裝置 111 之一陽極及一源極以連接於一第二電力供給(例如接地)；一電容器 113，連接於 TFT 112 之閘極與第二電力供給之間；一 N-通道 TFT 114，具有一汲極以連接於 TFT 112 之閘極、一源極以連接於資料線 105 (105-1 至 105-m)、及一閘極以連接於掃描線 102 (102-1 至 102-n)。

在所形成之像素電路 101 中，TFT 114 選取像素以供寫入發光資料，且控制電容器 113 以保持發光資料電壓，電容器 113 保持發光資料電壓供給通過 TFT 114。TFT 112 即依據由電容器 113 保持之發光資料電壓以驅動有機 EL 裝置 111。

在此例子中，令 L_{e1} 為有機 EL 裝置 111 之發光亮度， I_{e1} 為流過有機 EL 裝置 111 之電流， V_{th} 為 TFT 112 之臨界電壓， k 為比例常數，及 V_{data} 為由電容器 113 保持之資料電壓，當 TFT 112 使用於一飽和區內時，以下等式為：

$$L_{e1} \propto I_{e1} = k (V_{data} - V_{th})^2 \quad \dots(1)$$

其中 $k = 1/2 \cdot \mu \cdot C_{ox} \cdot W/L$ ，其中 μ 為 TFT 112 之移動率； C_{ox} 為每單位面積之閘極電容值； W 為閘極寬度；及 L 為閘極長度。

由等式(1)中可知，供給至有機 EL 裝置 111 之電流值，亦即有機 EL 裝置 111 之發光亮度，係受到 TFT 112 之移動

五、發明說明 (4)

率 μ ($\propto k$) 以及臨界電壓 V_{th} 之變化所影響。事實上，吾人已知用於形成 TFT 之非晶矽與多晶矽有令機構成爲單晶矽之較差結晶性與較差可控制性，因此 TFT 在電晶體特徵中有較大差異。因此其難以製造出具有多數等級以利用電壓寫入型像素電路顯示自然圖案之高品質有機 EL 顯示器。

針對解決問題之一方法，本案申請人曾提出一種電流寫入型像素電路，供發光資料以電流型式寫入（請見 01/06484 號世界公告案），電流寫入型像素電路之一結構實例揭示於圖 3 內。

如圖 3 所示，電流寫入型像素電路包括：一有機 EL 裝置 121，具有一陰極以連接於一第一電力供給（例如負電力供給）；一 P-通道 TFT 122，具有一汲極以連接於有機 EL 裝置 121 之一陽極及一源極以連接於一第二電力供給（例如接地）；一電容器 123，連接於 TFT 122 之閘極與第二電力供給之間；一 N-通道 TFT 124，具有一汲極以連接於一資料線 128，及一閘極以連接於一第一掃描線 127A；一 P-通道 TFT 125，具有一汲極及一閘極以連接於 TFT 124 之一源極，及一源極以連接於第二電力供給；及一 N-通道 TFT 126，具有一汲極以連接於 TFT 125 之汲極及閘極，一源極以連接於 TFT 122 之閘極，及一閘極以連接於一第二掃描線 127B。

所形成電流寫入型像素電路中之 TFTs 124、126 各做爲一類比開關之功能，TFT 125 將發光資料電流轉換以寫入

五、發明說明 (5)

成一電壓，電容器123則保持一利用TFT 125將發光資料電流轉換成電壓所取得之發光資料電壓，TFT 122將電容器123保持之發光資料電壓轉換成一電流且將轉換所得之電流饋送至有機EL裝置121，TFT 125及TFT 122形成一電流鏡電路。

圖4所示之一主動矩陣型有機EL顯示器係藉由配置此電流寫入型像素電路成一矩陣型式而形成，在圖4中，第一掃描線127A-1至127A-n及第二掃描線127B-1至127B-n二者皆配置於以m列×n行呈對應數量且配置呈矩陣型式之各行電流寫入型像素電路131。在各像素中，圖3中之TFT 124之閘極連接於第一掃描線127A-1至127A-n，且圖3中之TFT 126之閘極連接於第二掃描線127B-1至127B-n。

一第一掃描線驅動電路132A提供於像素單元之左側上以驅動第一掃描線127A-1至127A-n，同時一第二掃描線驅動電路132B提供於像素單元之右側上以驅動第二掃描線127B-1至127B-n。資料線133-1至133-m配置於各列像素電路11，資料線133-1至133-m各者之一端係連接於一電流驅動型資料線驅動電路134之各列之一輸出端，資料線驅動電路134透過資料線133-1至133-m以寫入發光資料電流至各像素。

連接於所形成主動矩陣型有機EL顯示器內一第i列資料線128-i之複數像素電路131-k-1至131-k+2之一電路結構將揭示於圖5內。像素電路之間之一驅動定時關係揭示於圖

五、發明說明(6)

6內。

當一發光資料電流通過資料線128-i而寫至一選取之像素電路時，一第一掃描線(在圖中係以WS(寫入掃描)表示)及一第二掃描線(在圖中係以ES(抹除掃描)表示)係經選取以導通TFT 124、126(如圖3)。在此例子中，TFT 125將發光資料電流轉換成一電壓，電容器123保持轉換所得之電壓，TFT 122將電容器123保持之發光資料電壓轉換成一發光資料電流且將發光資料電流饋送至有機EL裝置121，藉此驅動有機EL裝置121。

令W1為TFT 125之閘極寬度，L1為TFT 125之閘極長度，W2為TFT 122之閘極寬度，L2為TFT 122之閘極長度，一寫入資料電流 I_w 、各像素電路131-k-1至131-k+2之有機EL裝置121之發光亮度 L_{e1} 、及一流過有機EL裝置121之電流 I_{e1} 滿足以下關係：

$$L_{e1} \propto I_{e1} \\ = (W2/L2) / (W1/L1) \cdot I_w \quad \dots(2)$$

由等式(2)中可知，寫入資料電流 I_w 係比例於流過有機EL裝置121之電流 I_{e1} 。當設置於像素內且形成電流鏡電路之TFTs 125、122之電晶體特徵並無變化時，顯示器之發光亮度變化即得以補償。因此，藉由使用電流寫入型像素電路，可以取得一具有多數等級之有機EL顯示器，亦即，可以顯示自然圖案之多數等級。

惟，當低發光資料使用上述電流寫入型像素電路以寫入主動矩陣型有機EL顯示器內之一像素電路時，資料線之

五、發明說明(7)

阻抗增大，且因此需要寫入資料電流之寫入時間變長。在實施上，當一像素之尺寸為數百 μm 或更小時，流過一像素之有機EL裝置之電流最多為數十 μA 或更小。為了多數等級之顯示，例如256等級，其需控制數 nA 至數十 nA 或更小之電流。

為了縮短資料電流之寫入時間，可設定電流鏡電路之鏡比為 $(W2/L2) < (W1/L1)$ 且增加寫入資料電流。惟，增加寫入電流表示需要一大電流通過TFTs 124、125，接著，TFTs 124、125之尺寸必須增大，而此造成像素電路之尺寸增大。因此，在一使用電流寫入型像素電路之有機EL顯示器中，縮短資料之寫入時間及減小像素電路之尺寸為可相互協定之關係。

今掃描線數為 N_{scan} 及訊框頻率為 f ，資料之寫入時間可由下式表示：

$$T_{\text{write}} = 1 / (f \cdot N_{\text{scan}}) \quad \dots(3)$$

由等式(3)中可知，為了增大有機EL顯示器之尺寸及解析度，必須縮短資料之寫入時間 T_{write} 且同時減小像素電路之尺寸，因此，呈協定關係之縮短資料寫入時間及減小像素電路尺寸二者需同時予以滿足。

發明目的及概要

本發明之一目的在提供一種主動矩陣型顯示器裝置，主動矩陣型有機EL顯示器裝置及其驅動方法，使得當使用一電流寫入型像素電路時，其可以藉由減少資料寫入時間而增加顯示器尺寸及解析度，同時防止一像素電路內之電



五、發明說明(8)

晶體尺寸增大。

依本發明所示，為了達成上述目的，其提供一種主動矩陣型顯示器裝置包含：一像素單元，係藉由配置像素電路成一矩陣型式而形成，像素電路各具有一電光裝置；資料線驅動裝置，其經由資料線供給發光資料至像素電路以做為一資料線電流；及電流控制裝置(文後實施例中稱為一"資料線控制電路")，其將自資料線驅動裝置供給之資料線電流分割成一供寫入發光資料至各像素電路之資料電流及一其餘旁路電流。

電流控制裝置為本發明之一特徵性部分，其處理資料線電流之旁路電流，藉此可以實質減少寫入流過像素電路內所提供TFTs之電流之時間。此外，當寫入時間設定為不變，像素電路內所提供TFTs之電晶體尺寸即可減小。一有機EL裝置例如使用做為本發明之電光裝置，其具有一第一電極、一第二電極、及一包括一發光層於第一電極與第二電極之間之有機層。

圖式簡單說明

圖1係方塊圖，揭示一使用電壓寫入型像素電路之主動矩陣型有機EL顯示器之結構；

圖2揭示一電壓寫入型像素電路之電路結構；

圖3揭示一電流寫入型像素電路之電路結構；

圖4係方塊圖，揭示一使用電流寫入型像素電路之主動矩陣型有機EL顯示器之結構；

圖5揭示一習知實例中連接於一第i列資料線之複數像

五、發明說明(9)

素電路之電路結構；

圖6係習知實例中第i列之一驅動時間關係之定時圖表；

圖7係本發明第一實施例主動矩陣型顯示器裝置之一結構簡示圖；

圖8A揭示第一實施例中連接於一第i列資料線之複數像素電路之電路結構，及圖8B係本發明之電路操作概念圖；

圖9係第一實施例中第i列之一驅動時間關係之定時圖表；

圖10揭示第二實施例中連接於一第i列資料線之複數像素電路之電路結構；

圖11係第二實施例中第i列之一驅動時間關係之定時圖表(1)；

圖12係第二實施例中第i列之一驅動時間關係之定時圖表(2)；

圖13係電路圖，揭示四枚電晶體結構之像素電路以外之一結構實例；

圖14係當一掃描TFT及一電流-電壓轉換TFT共用於二像素之間時之驅動定時關係；

圖15係本發明第三實施例主動矩陣型顯示器裝置之一結構簡示圖；

圖16揭示第三實施例中連接於一第i列資料線之複數像素電路之電路結構；

五、發明說明 (10)

圖17係第三實施例中第i列之一驅動時間關係之定時圖表；及

圖18揭示第四實施例中連接於一第i列資料線之複數像素電路之電路結構。

較佳實施例之詳細說明

本發明之較佳實施例將參考圖式而詳細說明於後。

[第一實施例]

圖7係本發明第一實施例主動矩陣型顯示器裝置之一結構簡示圖，以下之說明中將以一使用有機EL裝置做為電流控制型電光裝置及使用多晶矽薄膜電晶體做為主動裝置而形成之主動矩陣型有機EL顯示器裝置舉例說明，且形成有機EL裝置於一形成多晶矽薄膜電晶體之基板上，其實施例將說明於後。

在圖7中，以m列×n行呈對應數量之電流寫入型像素電路11係配置成一矩陣型式。第一掃描線12A-1至12A-n及第二掃描線12B-1至12B-n二者皆配置於各行像素電路11，一第一掃描線驅動電路13A提供於像素單元之左側上以驅動第一掃描線12A-1至12A-n，同時一第二掃描線驅動電路13B提供於像素單元之右側上以驅動第二掃描線12B-1至12B-n。

資料線14-1至14-m配置於各列像素電路11，資料線14-1至14-m各者之一端係連接於一資料線驅動電路15之各列之一輸出端，資料線驅動電路15透過資料線14-1至14-m以寫入一發光資料電流至各像素電路11。資料電流控制

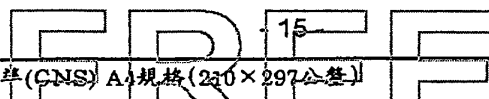
五、發明說明 (11)

電路 16 例如在像素單元之一上端部提供於各列像素單元，一電流控制掃描線 17 共同設置於資料電流控制電路 16，電流控制掃描線 17 係由第一掃描線驅動電路 13A 驅動。

連接於所形成主動矩陣型有機 EL 顯示器裝置內一第 i 列資料線 14-i 之複數像素電路 11-k-1 至 11-k+2 之一電路結構將揭示於圖 8A、8B 內。

像素電路 11-k 包括：一有機 EL 裝置 21，具有一陰極以連接於一第一電力供給（例如負電力供給）；一 P-通道 TFT 22，具有一汲極以連接於有機 EL 裝置 21 之一陽極及一源極以連接於一第二電力供給（例如接地）；一電容器 23，連接於 TFT 22 之閘極與第二電力供給之間；一 N-通道 TFT 24，具有一汲極以連接於資料線 14-i，及一閘極以連接於一第一掃描線 12A-k；一 P-通道 TFT 25，具有一汲極及一閘極以連接於 TFT 24 之一源極，及一源極以連接於第二電力供給；及一 P-通道 TFT 26，具有一汲極以連接於 TFT 25 之汲極及閘極，一源極以連接於 TFT 22 之閘極，及一閘極以連接於一第二掃描線 12B-k。

所形成電流寫入型像素電路 11-k 中之 TFTs 24、26 各做為一類比開關之功能，TFT 25 將發光資料電流轉換以寫入成一電壓，電容器 23 則保持一利用 TFT 25 將發光資料電流轉換成電壓所取得之發光資料電壓，TFT 22 將電容器 23 保持之發光資料電壓轉換成一電流且藉以驅動有機 EL 裝置 21。TFT 25 及 TFT 22 具有實質上相同之特徵，因而



五、發明說明 (12)

形成一電流鏡電路。

在此例子中，令 W_{11} 為 TFT 24 之閘極寬度， L_{11} 為 TFT 24 之閘極長度， W_{12} 為 TFT 25 之閘極寬度， L_{12} 為 TFT 25 之閘極長度。同樣地，令 I_{w1} 為一流入 TFTs 24、25 之電流。由於閘極長度通常由一裝置製造過程控制，以下說明即假設閘極長度 L 不變。

如圖 8A 所示，一資料電流控制電路 16 包括：一 N-通道 TFT 27，具有一汲極以連接於資料線 14-i，及一閘極以連接於電流控制掃描線 17；及一 P-通道 TFT 28，具有一汲極及一閘極以連接於 TFT 27 之一源極，及一接地之源極。資料電流控制電路 16 內之 TFTs 27、28 之間之尺寸比係設定相同於像素電路 11-k 中之 TFTs 24、25 之間之尺寸比。在此例子中，令 W_{21} 為 TFT 27 之閘極寬度， L_{21} 為 TFT 27 之閘極長度， W_{22} 為 TFT 28 之閘極寬度， L_{22} 為 TFT 28 之閘極長度。同樣地，令 I_{w2} 為一流入 TFTs 27、28 之電流。

圖 8B 為本發明之電路操作之概念圖，如圖 8B 所示，一流過資料線之資料線電流 ($I_{\text{資料線}}$)、一流過資料線控制電路 16 之旁路電流 ($I_{\text{旁路}}$)、及一流過像素電路之資料電流 ($I_{\text{資料}}$) 之間之關係可由以下等式表示：

$$I_{\text{資料線}} = I_{\text{資料}} + I_{\text{旁路}} \text{ (較佳為 } I_{\text{資料}} \leq I_{\text{旁路}} \text{)}$$

流過資料線控制電路 16 之旁路電流及流過像素電路之資料電流係分別由資料線控制電路 16 與像素電路之輸入阻抗決定 (由資料線控制電路 16 之輸入阻抗所決定之一電

五、發明說明 (13)

流係定義為旁路電流)，因此，藉由使用旁路電流做為一部分資料線電流，即可設定資料線電流大於流過像素電路 11 內 TFTs 24、25 之資料電流，且藉以減少發光資料寫入時間。此外，當寫入時間設定為不變時，提供於像素電路內之 TFTs 24、25 之電晶體尺寸可以減小及任意設定。

圖 9 揭示第 i 列像素電路 11-k-1 至 11-k+2 之間之一驅動定時關係，在圖 8A 及圖 9 中，第一掃描線 12A-k-1 至 12A-k+2 係表示為 WSK-1 至 WSK+2；第二掃描線 12B-k-1 至 12B-k+2 表示為 ESK-1 至 ESK+2；及電流控制掃描線 17 表示為 LS。

假設發光資料寫入第 k 行內之像素電路，則第一掃描線 WSK 及第二掃描線 ESK 二者皆選取，電流控制掃描線 LS 則在所有時間皆選取。假設用於驅動資料線 14-i 之資料線電流為 I_{w0} ，且流入像素電路 11-k 之資料線電流 I_{w0} 之資料電流 I_{w1} 與流入資料電流控制電路 16 之資料線電流 I_{w0} 之其餘電流 I_{w2} 之間之一比率 R 為 $R = I_{w1}/I_{w2}$ ，則以下關係式為：

$$R:1:(R + 1) = I_{w1}:I_{w2}:I_{w0}$$

根據習知實例之像素電路(如圖 3)，令 W_{01} 為 TFT 124 之閘極寬度， L_{01} 為 TFT 124 之閘極長度， W_{02} 為 TFT 125 之閘極寬度，及 L_{02} 為 TFT 125 之閘極長度。

$$\begin{aligned} R:1:(R + 1) &= (W_{11}/L_{11}) : (W_{21}/L_{21}) : (W_{01}/L_{01}) \\ &= (W_{12}/L_{12}) : (W_{22}/L_{22}) : (W_{02}/L_{02}) \end{aligned}$$

在此例子中，例如設定 $R = 1$ ，且假設閘極長度 L 不

五、發明說明 (14)

變，如上所述，則

$$W11 = W21 = 1/2 \cdot W01$$

$$L11 = L21 = L01$$

$$W12 = W22 = 1/2 \cdot W02$$

$$L12 = L22 = L02$$

接著，假設具有相同於電流 I_{w2} 電流值之資料電流 I_{w1} 係通過像素電路11-k，像素電路11-k內之TFTs 24、25之閘極寬度 $W11$ 、 $W12$ 可以減小至習知電路內之TFTs 124、125之閘極寬度 $W01$ 、 $W02$ 之 $1/2$ （即一半）。易言之，當像素電路內之電晶體尺寸設定相同於習知電路者時，用於驅動資料線14-i之資料線電流 I_{w0} 實質上得以減小。

如上所述，在使用電流寫入型像素電路11之主動矩陣型有機EL顯示器裝置中，資料電流控制電路16係提供於資料線14-1至14-m各者，且用於驅動資料線14-1至14-m之一部分資料線電流 I_{w0} 供給至像素電路以寫入發光資料，及其餘之資料線電流 I_{w0} 通過資料電流控制電路16。藉此可以設定資料線電流 I_{w0} 大於流過像素電路11內TFTs 24、25之資料電流 I_{w1} ，同時避免TFTs 24、25之尺寸增大。藉此可以實質減少資料寫入時間，及因而增加有機EL顯示器裝置之尺寸與解析度。

惟，為了補償電晶體特徵中之變化，在形成電流鏡電路之寫入側上之TFTs 25、28需要具有相同於驅動側上之TFT 22者之電晶體特徵。易言之，當包括TFT 28在內之資

五、發明說明 (15)

料電流控制電路16係在一遠於像素電路11之位置時，電晶體特徵中之變化即無法完全補償。

據此，當像素電路11係在一列方向分割成特定區域以結合複數像素電路成為區塊，亦即將連接於同一資料線之複數像素電路結合成為區塊，且資料電流控制電路16例如提供於單一資料線內之各區塊時，其可完全補償電晶體特徵中之變化。在此例子中，一沿著藉由配置像素電路11成矩陣型式而形成之像素單元內之資料線14-1至14-m之方向，亦即，一垂直方向係定義為列方向。

[第二實施例]

本發明第二實施例之一主動矩陣型顯示器裝置將隨後說明，第二實施例之主動矩陣型顯示器裝置使用一藉由省略圖7所示第一實施例之主動矩陣型顯示器裝置內之資料電流控制電路16所取得之電路結構，亦即，相同於圖4所示習知實例之主動矩陣型顯示器裝置者之電路結構。

藉由此結構，第二實施例之主動矩陣型顯示器裝置可達成相同於第一實施例之主動矩陣型顯示器裝置者之功能，其使用一不執行寫入之像素電路做為一資料電流控制電路(旁路電流)。第二實施例主動矩陣型顯示器裝置之一驅動方法將特別說明於後。

連接於第二實施例主動矩陣型顯示器裝置內一第i列資料線14-i之複數像素電路11-k-1至11-k+2之一電路結構揭示於圖10內，像素電路11-k-1至11-k+2各具有一設有四枚電晶體(TFTs)之電流寫入型像素電路結構，其相同於第



五、發明說明 (16)

一實施例之像素電路。圖11及圖12揭示複數像素電路11-k-1至11-k+2之間之驅動定時關係。

在圖11及圖12之二例子中，在列方向中呈連續性之x (在實例中x = 2) 像素電路係同時選取。當二像素電路由此同時選取時，用於驅動資料線之一部分資料線電流即如同發光資料電流般寫至其中一像素電路。在此例子中，儘管發光資料電流並未寫至另一像素電路之一部分，像素電路仍使用做為一旁路電流電路(資料電流控制電路)，供其餘資料線電流饋送至此。

在圖12之例子中，特別是，當在列方向中呈連續性之x (在實例中x = 2) 像素電路係群集成一區塊且一資料電流寫至區塊內之其中一像素電路時，資料電流並未寫至同一區塊內之另一像素電路，但是另一像素電路即使用做為旁路電流電路。在此例子中，供資料電流寫入之像素電路之一第一掃描線WS及一第二掃描線ES二者皆選取。假設圖10中之像素電路11-k-1為供資料電流寫入之像素電路，例如，WSk-1及ESk-1二者皆選取。

另一方面，在資料電流並未寫入但是使用做為旁路電流電路之像素電路中，僅有選取第一掃描線WS。在圖10之例子中，其選取一第一掃描線WSk及而未選取一第二掃描線ESk，因此，TFTs 24、25之功能即如同一用於旁路電流之資料電流控制電路(旁路電流電路)。

特別是，由於圖10所示像素電路之第二掃描線ESk並未選取且一TFT 26因而在一off狀態，因此一相對應於發

五、發明說明 (17)

光資料且由一電容器23保持之電荷並未經過TFT 26放電，而是繼續保持。在此例子中，僅有一部分電路、或TFTs 24、25之功能如同資料電流控制電路(旁路電流電路)。

TFT 24之閘極寬度為W11，TFT 24之閘極長度為L11，TFT 25之閘極寬度為W12，TFT 25之閘極長度為L12，及流過TFTs 24、25之電流為Iw1。在此例子中，以下關係式維持於資料電流Iw1與資料線電流Iw0之間：

$$Iw0 = x \cdot Iw1$$

因此，

$$1:x = Iw1:Iw0$$

以下關係式維持於TFT 24之閘極寬度W11與閘極長度L11、TFT 25之閘極寬度W12與閘極長度L12、習知實例像素電路內TFT 124之閘極寬度W01與閘極長度L01、及TFT 125之閘極寬度W02與閘極長度L02之間(如圖3)：

$$\begin{aligned} Iw0 &= x \cdot Iw1 \\ &= (W11/L11):(W01/L01) \\ &= (W12/L12):(W02/L02) \end{aligned}$$

例如，假設閘極長度不變，如上所述，則

$$W11 = 1/x \cdot W01$$

$$L11 = L01$$

$$W12 = 1/x \cdot W02$$

$$L12 = L02$$

因此，假設具有相同於旁路電流電流值之資料電流係寫

五、發明說明 (18)

至像素電路11-k，像素電路11-k內之TFTs 24、25之閘極寬度W11、W12可以減小至習知電路內之TFTs 124、125之閘極寬度W01、W02之 $1/x$ 。易言之，當像素電路內之電晶體尺寸設定相同於習知電路者時，資料線電流Iw0實質上得以減小。

如上所述，在使用電流寫入型像素電路11之主動矩陣型有機EL顯示器裝置中，列方向中相鄰之二像素電路係同時選取，且一部分資料線電流Iw0供給至用於寫入發光資料之像素電路，及其餘電流饋送至另一像素電路之一部分以做為一旁路電流。藉此可以設定資料線電流Iw0大於流過像素電路11內TFTs 24、25之資料電流Iw1，同時避免TFTs 24、25之尺寸增大。藉此可以實質減少資料寫入時間，及因而增加有機EL顯示器裝置之尺寸與解析度。

請注意在寫資料電流時，第二實施例同時選取在列方向中相鄰之二($x = 2$)像素電路，本發明並不限於二像素電路，即其可以同時選取較多像素電路。藉由增加待選取之像素電路數及增加使用做為一資料電流路徑之像素電路數，可以進一步減小像素電路內之電晶體尺寸，或進一步增加資料線電流Iw0之電流值。惟，根據一協定關係，由於形成電流鏡電路之電晶體之間距離增大，補償電晶體特徵變化之效果亦相對應地減低。

再者，在第二實施例時，未寫入發光資料但是選取做為旁路電流電路之像素電路係相鄰於列方向中供寫入發光資料之像素電路，像素電路並不需限於相鄰者。

五、發明說明 (19)

此外，甚至當在列方向中相鄰之二像素電路係如第二實施例同時選取時，形成電流鏡電路之電晶體特徵亦變化且產生問題。一般可知的是若薄膜電晶體使用做為像素電路內之電晶體，則當N-型電晶體特徵變強時，P-型電晶體特徵即變弱，或當P-型電晶體特徵變強時，N-型電晶體特徵即變弱；因此一P-通道及一N-通道電晶體之特徵變化係在相反方向。

因此，藉由使用相反導通型式之場效電晶體做為TFT 24以用於一掃描開關及做為TFT 25以用於電流-電壓轉換，例如圖10所示使用一N-通道場效電晶體做為TFT 24及一P-通道場效電晶體做為TFT 25，電晶體之特徵變化可以相互抵銷，使資料線之電位變化得以控制。基於以上原因，故有必要使用相反導通型式之場效電晶體做為TFTs 24、25。

儘管第二實施例係以一備有四枚電晶體結構之電流寫入型像素電路的主動矩陣型顯示器裝置舉例說明，電流寫入型像素電路並不限於四枚電晶體結構之像素電路，四枚電晶體結構以外之像素電路將說明於後。

圖13係電路圖，揭示四枚電晶體結構之電流寫入型像素電路以外之結構實例，本實例之像素電路係建構以致於一掃描TFT 24及一電流-電壓轉換TFT 25共用於例如各列內之二相鄰像素之間。特別是，針對一第一掃描線12A，掃描線12Ak-1、12Ak+1、...皆配置於每二個像素。例如，在一k-1及-k像素之例子中，掃描TFT 24之一閘極

五、發明說明 (20)

連接於掃描線 12Ak-1，且掃描 TFT 24 之一源極連接於電流-電壓轉換 TFT 25 之一汲極與閘極以及二像素之 TFTs 26、26 之汲極。

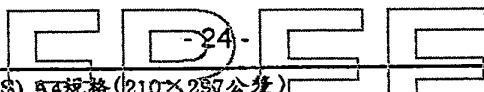
圖 14 揭示當使用掃描 TFT 24 及電流-電壓轉換 TFT 25 共用於二像素之間之像素結構時之驅動定時關係，在此例子中之基本操作係相同於先前實例者。在此例子中，電流-電壓轉換 TFT 25 可以共用於二像素之間，因為 TFT 25 僅用在寫入一資料電流之瞬間。

藉由使用掃描 TFT 24 及電流-電壓轉換 TFT 25 共用於二相鄰像素之間之此一像素結構，例如，其可以在每二個像素內省略二電晶體。二個像素內之電晶體數為 6 枚，因此每個像素內之電晶體數為 3 枚。

一流過一資料線 14-i 之電流係遠大於一流過一有機 EL 裝置 21 之電流，因此，大型電晶體即做為直接處理大電流之掃描 TFT 24 及電流-電壓轉換 TFT 25，因而必然造成電晶體佔用大面積。

另一方面，藉由使用掃描 TFT 24 及電流-電壓轉換 TFT 25 共用於本實例像素電路內二相鄰像素之間之像素結構，可以大幅減少 TFT 佔用之像素電路面積，且其可延伸出發光單元之一堆疊式配置方式或減少像素尺寸，藉此增加解析度。

儘管本實例為掃描 TFT 24 及電流-電壓轉換 TFT 25 共用於二像素之間之電路實例，顯然掃描 TFT 24 及電流-電壓轉換 TFT 25 可以共用於三或多個像素之間，在此例子中，



五、發明說明 (21)

減少電晶體數之效果可以進一步增大。此外，除了共用掃描 TFT 24 及電流-電壓轉換 TFT 25 二者，亦可僅共用其中一 TFTs 於複數像素之間。

[第三實施例]

圖 15 係本發明第三實施例主動矩陣型顯示器裝置之一結構簡示圖。

藉由第二實施例之主動矩陣型顯示器裝置，第三實施例之主動矩陣型顯示器裝置係建構以致於當在列方向中呈連續性之 x 像素電路形成一區塊且同時選取，及一資料電流寫至其中一像素電路且另一像素電路使用做為一旁路電路電路時，即可共用一第一掃描線 WS 於同一區塊內之 x 像素電路之間。

如上所述相關於第二實施例之主動矩陣型顯示器裝置，當同一區塊內之二像素電路係同時選取時，驅動電路之掃描線 WS 即以相同方式操作，且因此掃描線 WS 可以共用於同一區塊內。在本實例中，即 $x = 2$ ，一掃描線 12A-1、12A-2 共用於一第一行與一第二行像素電路之間，...，及一掃描線 12A-n-1、12A-n 共用於一第 (n-1) 行與一第 n 行像素電路之間。

連接於第三實施例主動矩陣型顯示器裝置內一第 i 列資料線 14-i 之複數像素電路 11-k-1 至 11-k+2 之一電路結構揭示於圖 16 內，像素電路 11-k-1 至 11-k+2 各具有相同於第一實施例像素電路者之結構，亦即，具有四枚電晶體 (TFTs) 之電流寫入型像素電路結構。圖 17 揭示複數像素電路 11-

五、發明說明 (22)

k-1 至 11-k+2 之驅動定時。

如上所述，在主動矩陣型有機 EL 顯示器裝置內，列方向中呈連續性之 x 像素電路係形成一區塊且同時選取，及一部分資料線電流做為一資料電流以寫至用於寫入發光資料之像素電路而另一像素電路使用做為一旁路電流電路，第一掃描線 WS 可共用於同一區塊內之 x 像素電路之間，因此可減少第一掃描線 WS 之數量至 $1/x$ 。因此，除了由第二實施例取得之效果，其可依相對應於第一掃描線 WS 之減少數量而減小列方向(垂直方向)中之顯示尺寸。

儘管在第三實施例中，列方向中呈連續性之 x 像素電路係形成一區塊，但是像素電路不需要在列方向中呈連續性；不連續之 x 像素電路亦可形成一區塊。同樣在此例子中，儘管在各像素電路中需要配線路徑，但是第一掃描線 WS 可以在同一區塊內之 x 像素電路之間共用。

[第四實施例]

本發明第四實施例之一主動矩陣型顯示器裝置將隨後說明，第四實施例之主動矩陣型顯示器裝置之一結構實質上相同於圖 15 所示第三實施例之主動矩陣型顯示器裝置者。

連接於第四實施例主動矩陣型顯示器裝置內一第 i 列資料線 14-i 之複數像素電路 11-k-1 至 11-k+2 之一電路結構揭示於圖 18 內，本實施例之像素電路 11-k-1 至 11-k+2 使用一藉由並聯一 N-通道 TFT 24 A 及一 P-通道 TFT 24 B 而形成之 CMOS 電晶體 27，以做為一類比開關而替代圖 16 所示像

五、發明說明(23)

素電路內之N-通道TFT 24。一第一掃描線WSk-1、k之電位係直接供給至N-通道TFT 24A之一閘極，且由一反向器28反向及隨後供給至P-通道TFT 24B之一閘極。

通常，一像素電路使用一單極開關做為一類比開關，因為受限於面積或類此者。另一方面，如第二實施例之效果所述，藉由同時選取列方向中相鄰之二像素、及寫入一資料電流至其中一像素而不寫入資料電流至另一像素電路，但是使用另一像素電路做為一旁路電流電路，則可設定一寫入資料電流大於流過像素電晶體之電流，同時避免電晶體之尺寸增大。易言之，當寫入資料電流之電流值設定為不變時，其可減小像素之電晶體面積，因此，CMOS電晶體27可以使用做為像素之一類比開關。

當一低電流依第三實施例所示通過像素電路中之TFTs 24、25時，TFT 24之一源極電位增高且TFT 24之一閘極-至-源極電位減低，因此TFT 24不會完全導通。另一方面，在第四實施例之像素電路中，一類比開關係利用CMOS電晶體27形成，因此，當一低電流通過CMOS電晶體27及一TFT 25時，TFT 24B完全導通，即使TFT 24A並未完全導通，因此CMOS電晶體27可以完全導通。

請注意前述實施例已經以一使用有機EL裝置做為一像素之顯示器裝置，及使用多晶矽薄膜電晶體做為一像素之主動裝置而舉例說明，因此本發明係施加於藉由形成有機EL裝置於一形成多晶矽薄膜電晶體之基板上而取得之主動矩陣型有機EL顯示器裝置；惟，本發明並不限定施加

五、發明說明 (24)

於主動矩陣型有機EL顯示器裝置，且本發明可施加於大體上使用一俗稱電流控制型電光裝置做為一像素之顯示器裝置之主動矩陣型顯示器裝置，其可依據流入之電流以改變其亮度。

如上所述，本發明之主動矩陣型顯示器裝置或主動矩陣型有機EL顯示器裝置供給一部分用於驅動一資料線之資料線電流做為一旁路電流，藉此可以設定資料線驅動電流大於一流過一像素電路內TFTs之資料電流，及因而實質減少發光資料寫入時間。此外，當寫入時間設定為不變時，像素電路內提供之TFTs之電晶體尺寸即可減小，因此可以增大顯示器之尺寸及解析度。

儘管本發明之較佳實施例已利用特定事項說明，諸此說明僅為闡釋，且可以瞭解的是在不脫離文後申請專利範圍之精神或範疇下，仍可達成變換及變化。

五、發明說明 (24a)

元件符號說明

11	像素電路	111	有機 EL 裝置
12A	第一掃描線	112	P-通道 TFT
12B	第二掃描線	113	電容器
13A	第一掃描線驅動電路	114	N-通道 TFT
13B	第二掃描線驅動電路	121	有機 EL 裝置
14	資料線	122	P-通道 TFT
15	資料線驅動電路	123	電容器
16	資料電流控制電路	124	N-通道 TFT
17	電流控制掃描電路	125	P-通道 TFT
21	有機 EL 裝置	126	N-通道 TFT
22	P-通道 TFT	127A	第一掃描線
23	電容器	127B	第二掃描線
24、24A	N-通道 TFT	128	資料線
24B	P-通道 TFT	131	像素電路
25	P-通道 TFT	132A	第一掃描線驅動電路
26	P-通道 TFT	132B	第二掃描線驅動電路
27	N-通道 TFT	133	資料線
28	P-通道 TFT	134	資料線驅動電路
101	像素電路	ES	第二掃描線
102	掃描線	LS	電流控制掃描線
103	掃描線驅動電路	WS	第一掃描線
104	資料線驅動電路		
105	資料線		

六、申請專利範圍

1. 一種主動矩陣型顯示器裝置，包含：
 - 一像素單元，其藉由配置像素電路成一矩陣型式而形成，該像素電路各具有一電光裝置；
 - 資料線驅動裝置，用以如同經由資料線之資料線電路提供發光資料至該像素電路經由資料線供給發光資料至該像素電路；及
 - 電流控制裝置，用以將自該資料線驅動裝置供給之資料線電流分割成一供寫入發光資料至各該像素電路之資料電流及一其餘旁路電流，藉此驅動資料線電流。
2. 如申請專利範圍第1項之主動矩陣型顯示器裝置，
 - 其中該電流控制裝置係提供於藉由複數像素電路連接於該像素單元之一相同資料線而形成之各區塊內。
3. 如申請專利範圍第1項之主動矩陣型顯示器裝置，
 - 其中該資料線電流之該旁路電流等於該資料電流，或該旁路電流大於該資料電流。
4. 如申請專利範圍第1項之主動矩陣型顯示器裝置，
 - 其中該像素電路包括：
 - 一第一類比開關，具有一終端以連接於該資料線，且由一第一掃描線控制為選取及不選取；
 - 電流-至-電壓轉換裝置，係連接於該第一類比開關之另一終端，以將經由該第一類比開關輸入之資料電流轉換成一資料電壓；
 - 一第二類比開關，具有一終端以連接於該電流-至-電壓轉換裝置之一輸出端，且由一第二掃描線控制為選取

六、申請專利範圍

及不選取；

資料保持裝置，係連接於該第二類比開關之另一終端，以保持經由該第二類比開關而自該電流-至-電壓轉換裝置供給之資料電壓；及

驅動裝置，係依據該資料保持裝置所保持之資料電壓以驅動該電光裝置。

5. 如申請專利範圍第4項之主動矩陣型顯示器裝置，

其中該第一類比開關及該第二類比開關係分別由一第一場效電晶體及一第二場效電晶體形成；

該電流-至-電壓轉換裝置係由一第三場效電晶體形成，其具有相互電連接之一汲極及一閘極，以藉由經過該第一類比開關供給該資料線之資料電流，而產生資料電壓於其閘極與一源極之間；

該資料保持裝置係由一電容器形成，以保持該第三場效電晶體之閘極與源極之間產生之資料電壓；及

該驅動裝置係由一第四場效電晶體形成，其串聯於該電光裝置且形成一連接於該第三場效電晶體之電流鏡電路。

6. 如申請專利範圍第5項之主動矩陣型顯示器裝置，

其中該第一類比開關係由一CMOS電晶體形成。

7. 如申請專利範圍第5項之主動矩陣型顯示器裝置，

其中該電流鏡電路具有一鏡比設定值，以使流入該第三場效電晶體之一汲極電流大於流入該第四場效電晶體之一汲極電流。

六、申請專利範圍

8. 如申請專利範圍第5項之主動矩陣型顯示器裝置，
其中該第一場效電晶體及該第三場效電晶體係相反導通形式。
9. 如申請專利範圍第5項之主動矩陣型顯示器裝置，
其中該第一場效電晶體、該第二場效電晶體、該第三場效電晶體、及該第四場效電晶體係各由一多晶矽薄膜電晶體形成。
10. 一種主動矩陣型顯示器裝置，包含：
一電光裝置；
一像素單元，係藉由配置像素電路成一矩陣型式而形成，該像素電路各利用一經由一資料線供給之資料電流以寫入發光資料至該電光裝置；及
電流控制裝置，其進行控制以致於用於驅動該資料線之一部分資料線電流係做為一資料電流供給至一像素電路以寫入發光資料，及一其餘旁路電流通過連接於同一資料線之另一像素電路之一部分。
11. 如申請專利範圍第10項之主動矩陣型顯示器裝置，
其中該資料線電流之該旁路電流等於該資料電流，或該旁路電流大於該資料電流。
12. 如申請專利範圍第10項之主動矩陣型顯示器裝置，
其中該像素電路各包括：
一第一類比開關，具有一終端以連接於該資料線，且由一第一掃描線控制為選取及不選取；
電流-至-電壓轉換裝置，係連接於該第一類比開關之

六、申請專利範圍

另一終端，以將經由該第一類比開關輸入之資料電流轉換成一資料電壓；

一第二類比開關，具有一終端以連接於該電流-至-電壓轉換裝置之一輸出端，且由一第二掃描線控制為選取及不選取；

資料保持裝置，係連接於該第二類比開關之另一終端，以保持經由該第二類比開關而自該電流-至-電壓轉換裝置供給之資料電壓；及

驅動裝置，用以根據該資料保持裝置所保持之資料電壓以驅動該電光裝置。

13. 如申請專利範圍第12項之主動矩陣型顯示器裝置，

其中該第一掃描線係共用於一供寫入發光資料之像素電路與一不寫入發光資料之像素電路之間。

14. 如申請專利範圍第12項之主動矩陣型顯示器裝置，

其中該第一類比開關及該第二類比開關係分別由一第一場效電晶體及一第二場效電晶體形成；

該電流-至-電壓轉換裝置係由一第三場效電晶體形成，其具有相互電連接之一汲極及一閘極，以藉由經過該第一類比開關供給該資料線之資料電流，而產生資料電壓於其閘極與一源極之間；

該資料保持裝置係由一電容器形成，以保持該第三場效電晶體之閘極與源極之間產生之資料電壓；及

該驅動裝置係由一第四場效電晶體形成，其串聯於該電光裝置且形成一連接於該第三場效電晶體之電流鏡電

六、申請專利範圍

路。

15. 如申請專利範圍第12項之主動矩陣型顯示器裝置，
其中該第一類比開關係由一CMOS電晶體形成。
16. 如申請專利範圍第14項之主動矩陣型顯示器裝置，
其中該電流鏡電路具有一鏡比設定值，以使流入該第三場效電晶體之一汲極電流大於流入該第四場效電晶體之一汲極電流。
17. 如申請專利範圍第14項之主動矩陣型顯示器裝置，
其中該第一場效電晶體及該第三場效電晶體係相反導通形式。
18. 如申請專利範圍第14項之主動矩陣型顯示器裝置，
其中該第一場效電晶體、該第二場效電晶體、該第三場效電晶體、及該第四場效電晶體係各由一多晶矽薄膜電晶體形成。
19. 一種主動矩陣型顯示器裝置之驅動方法，該主動矩陣型顯示器裝置包括：一電光裝置；及配置成一矩陣型式之電流寫入型像素電路，該像素電路各利用一供給通過一資料線之資料電流以寫入發光資料至該電光裝置，該驅動方法包含：
將驅動資料線之一資料線電流分割成一供寫入發光資料至各該像素電路之資料電流及一其餘旁路電流，且藉以供給資料線電流。
20. 一種主動矩陣型顯示器裝置之驅動方法，該主動矩陣型顯示器裝置包括：一電光裝置；及配置成一矩陣型式之

六、申請專利範圍

電流寫入型像素電路，該像素電路各利用一供給通過一資料線之資料電流以寫入發光資料至該電光裝置，該驅動方法包含：

將驅動該資料線以做為一資料電流之一部分資料線電流，供給至一像素電路以寫入發光資料，及將做為一旁路電流之一其餘部分資料線電流通過連接於同一資料線之另一像素電路之一部分。

21. 一種主動矩陣型有機電致發光顯示器裝置，包含：

一像素單元，係藉由配置電流寫入型像素電路成一矩陣型式而形成，該像素電路各具有一有機電致發光裝置且備有一第一電極、一第二電極、及一包括一發光層於第一電極與第二電極之間之有機層，該像素電路各利用一經由一資料線供給之資料電流以寫入發光資料；

資料線驅動裝置，其經由資料線供給發光資料至該像素電路以做為一資料線電流；及

電流控制裝置，其將自該資料線驅動裝置供給之資料線電流分割成一供寫入發光資料至各該像素電路之資料電流及一其餘旁路電流，且因此驅動資料線電流。

22. 如申請專利範圍第 21 項之主動矩陣型有機電致發光顯示器裝置，

其中該電流控制裝置係提供於藉由複數像素電路連接於該像素單元之一相同資料線而形成之各區塊內。

23. 如申請專利範圍第 21 項之主動矩陣型有機電致發光顯示器裝置，

六、申請專利範圍

其中該資料線電流之該旁路電流等於該資料電流，或該旁路電流大於該資料電流。

24. 如申請專利範圍第21項之主動矩陣型有機電致發光顯示器裝置，

其中該像素電路包括：

一第一類比開關，具有一終端以連接於該資料線，且由一第一掃描線控制為選取及不選取；

電流-至-電壓轉換裝置，係連接於該第一類比開關之另一終端，以將經由該第一類比開關輸入之資料電流轉換成一資料電壓；

一第二類比開關，具有一終端以連接於該電流-至-電壓轉換裝置之一輸出端，且由一第二掃描線控制為選取及不選取；

資料保持裝置，係連接於該第二類比開關之另一終端，以保持經由該第二類比開關而自該電流-至-電壓轉換裝置供給之資料電壓；及

驅動裝置，用以根據該資料保持裝置所保持之資料電壓以驅動該電光裝置。

25. 如申請專利範圍第24項之主動矩陣型有機電致發光顯示器裝置，

其中該第一類比開關及該第二類比開關係分別由一第一場效電晶體及一第二場效電晶體形成；

該電流-至-電壓轉換裝置係由一第三場效電晶體形成，其具有相互電連接之一汲極及一閘極，以藉由經過

六、申請專利範圍

該第一類比開關供給該資料線之資料電流，而產生資料電壓於其開極與一源極之間；

該資料保持裝置係由一電容器形成，以保持該第三場效電晶體之開極與源極之間產生之資料電壓；及

該驅動裝置係由一第四場效電晶體形成，其串聯於該電光裝置且形成一連接於該第三場效電晶體之電流鏡電路。

26. 如申請專利範圍第25項之主動矩陣型有機電致發光顯示器裝置，

其中該第一類比開關係由一CMOS電晶體形成。

27. 如申請專利範圍第25項之主動矩陣型有機電致發光顯示器裝置，

其中該電流鏡電路具有一鏡比設定值，以致於流入該第三場效電晶體之一汲極電流大於流入該第四場效電晶體之一汲極電流。

28. 如申請專利範圍第25項之主動矩陣型有機電致發光顯示器裝置，

其中該第一場效電晶體及該第三場效電晶體係相反導通形式。

29. 如申請專利範圍第25項之主動矩陣型有機電致發光顯示器裝置，

其中該第一場效電晶體、該第二場效電晶體、該第三場效電晶體、及該第四場效電晶體係各由一多晶矽薄膜電晶體形成。

六、申請專利範圍

30. 一種主動矩陣型有機電致發光顯示器裝置，包含：

一像素單元，係藉由配置電流寫入型像素電路成一矩陣型式而形成，該像素電路各具有一有機電致發光裝置且備有一第一電極、一第二電極、及一包括一發光層於第一電極與第二電極之間之有機層，該像素電路各利用一經由一資料線供給之資料電流以寫入發光資料；及

電流控制裝置，其進行控制以致於用於驅動該資料線之一部分資料線電流係做為資料電流供給至一像素電路以寫入發光資料，及一其餘旁路電流通過連接於同一資料線之另一像素電路之一部分。

31. 如申請專利範圍第30項之主動矩陣型有機電致發光顯示器裝置，

其中自該電流控制裝置供給至該像素電路之資料電流係大於一由驅動裝置驅動之電流。

32. 如申請專利範圍第30項之主動矩陣型有機電致發光顯示器裝置，

其中該像素電路各包括：

一第一類比開關，具有一終端以連接於該資料線，且由一第一掃描線控制為選取及不選取；

電流-至-電壓轉換裝置，係連接於該第一類比開關之另一終端以將經由該第一類比開關輸入之資料電流轉換成一資料電壓；

一第二類比開關，具有一終端以連接於該電流-至-電壓轉換裝置之一輸出端，且由一第二掃描線控制為選取

六、申請專利範圍

示器裝置，

其中該第一類比開關係由一CMOS電晶體形成。

36. 如申請專利範圍第34項之主動矩陣型有機電致發光顯示器裝置，

其中該電流鏡電路具有一鏡比設定值，以使流入該第三場效電晶體之一汲極電流大於流入該第四場效電晶體之一汲極電流。

37. 如申請專利範圍第34項之主動矩陣型有機電致發光顯示器裝置，

其中該第一場效電晶體及該第三場效電晶體係相反導通形式。

38. 如申請專利範圍第34項之主動矩陣型有機電致發光顯示器裝置，

其中該第一場效電晶體、該第二場效電晶體、該第三場效電晶體、及該第四場效電晶體係各由一多晶矽薄膜電晶體形成。

39. 一種主動矩陣型有機電致發光顯示器裝置之驅動方法，該主動矩陣型有機電致發光顯示器裝置包括配置成一矩陣型式之電流寫入型像素電路，該像素電路各具有一有機電致發光裝置且備有一第一電極、一第二電極、及一包括一發光層於第一電極與第二電極之間之有機層，該像素電路各利用一經由一資料線供給之資料電流以寫入發光資料，該驅動方法將驅動該資料線之一資料線電流分割成一供寫入發光資料至各該像素電路之資料電流及

六、申請專利範圍

一其餘旁路電流，且藉以供給資料線電流。

40. 一種主動矩陣型有機電致發光顯示器裝置之驅動方法，該主動矩陣型有機電致發光顯示器裝置配置成一矩陣型之電流寫入型像素電路，該像素電路各具有一有機電致發光裝置且備有一第一電極、一第二電極、及一包括一發光層於第一電極與第二電極之間之有機層，該像素電路各利用一經由一資料線供給之資料電流以寫入發光資料，該驅動方法包含：將驅動該資料線以做為一資料電流之一部分資料線電流，供給至一像素電路以寫入發光資料，及將做為一旁路電流之一其餘部分資料線電流通過連接於同一資料線之另一像素電路之一部分。

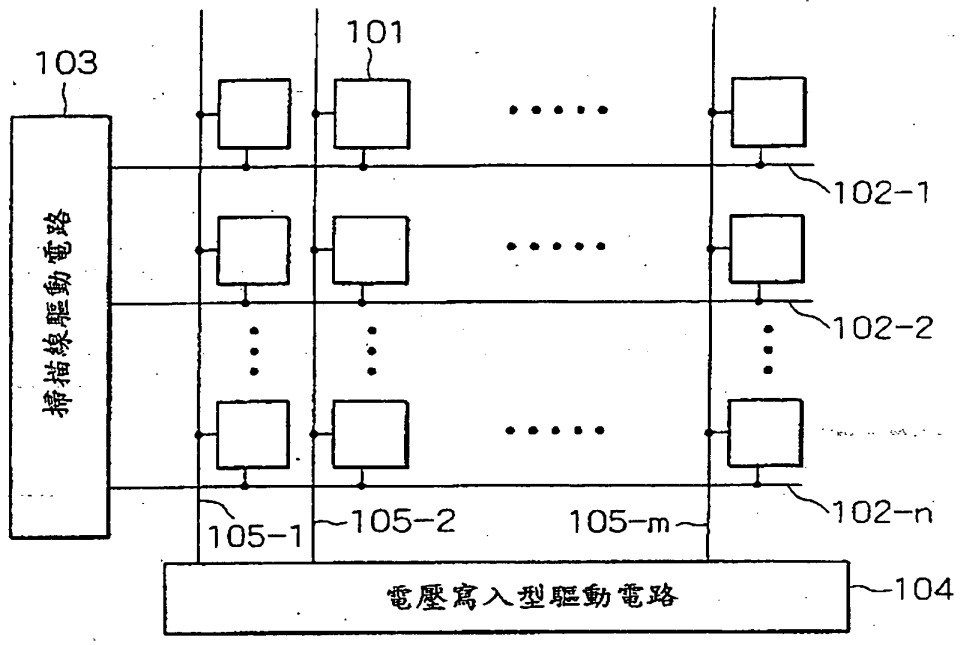


圖 1

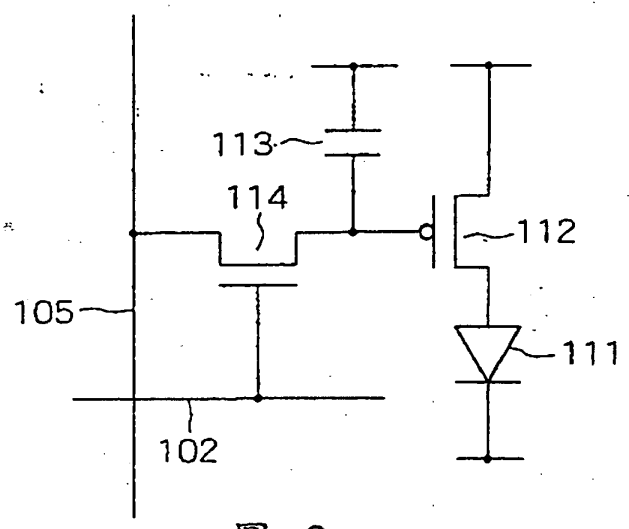


圖 2

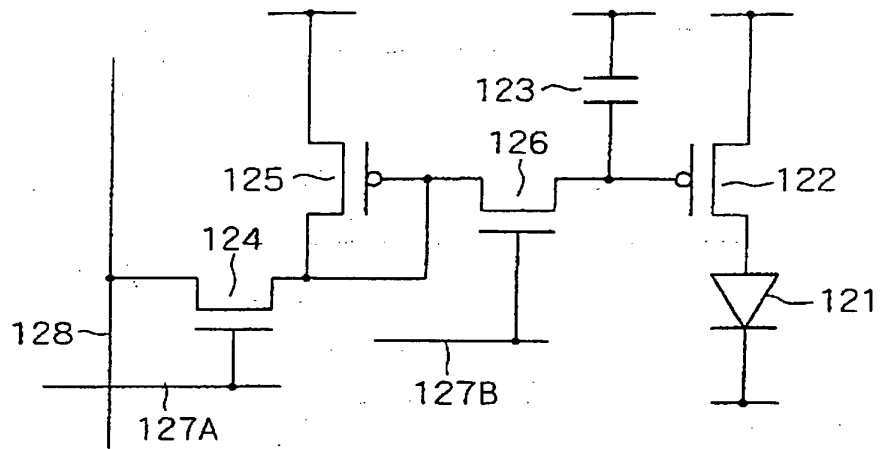
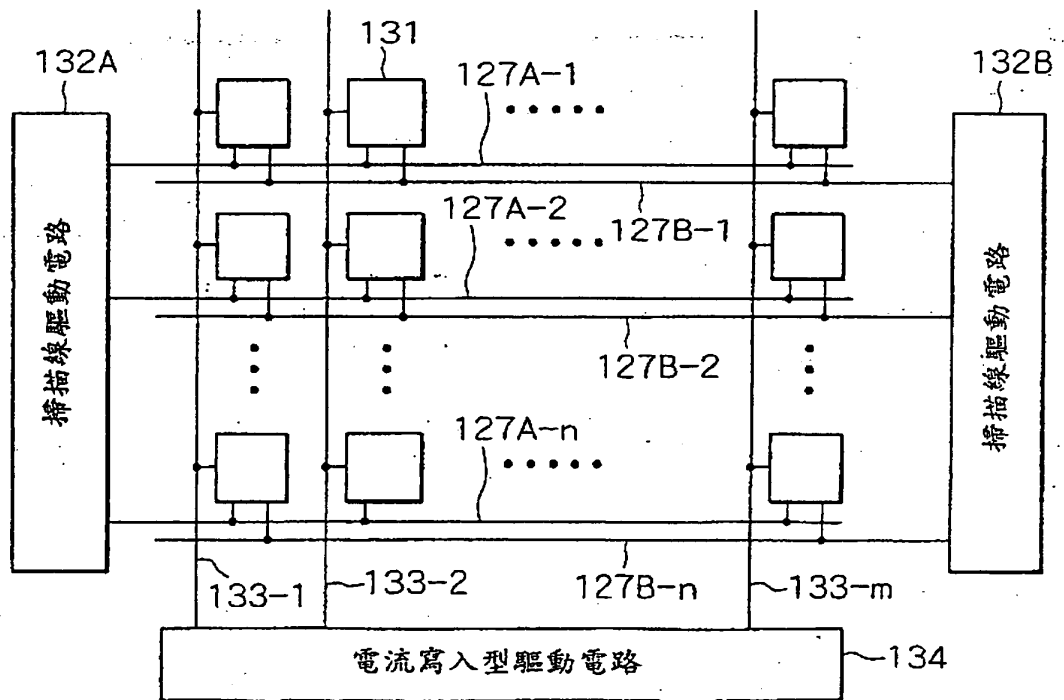


圖 3



FRFIS 圖 4
42-

FREE

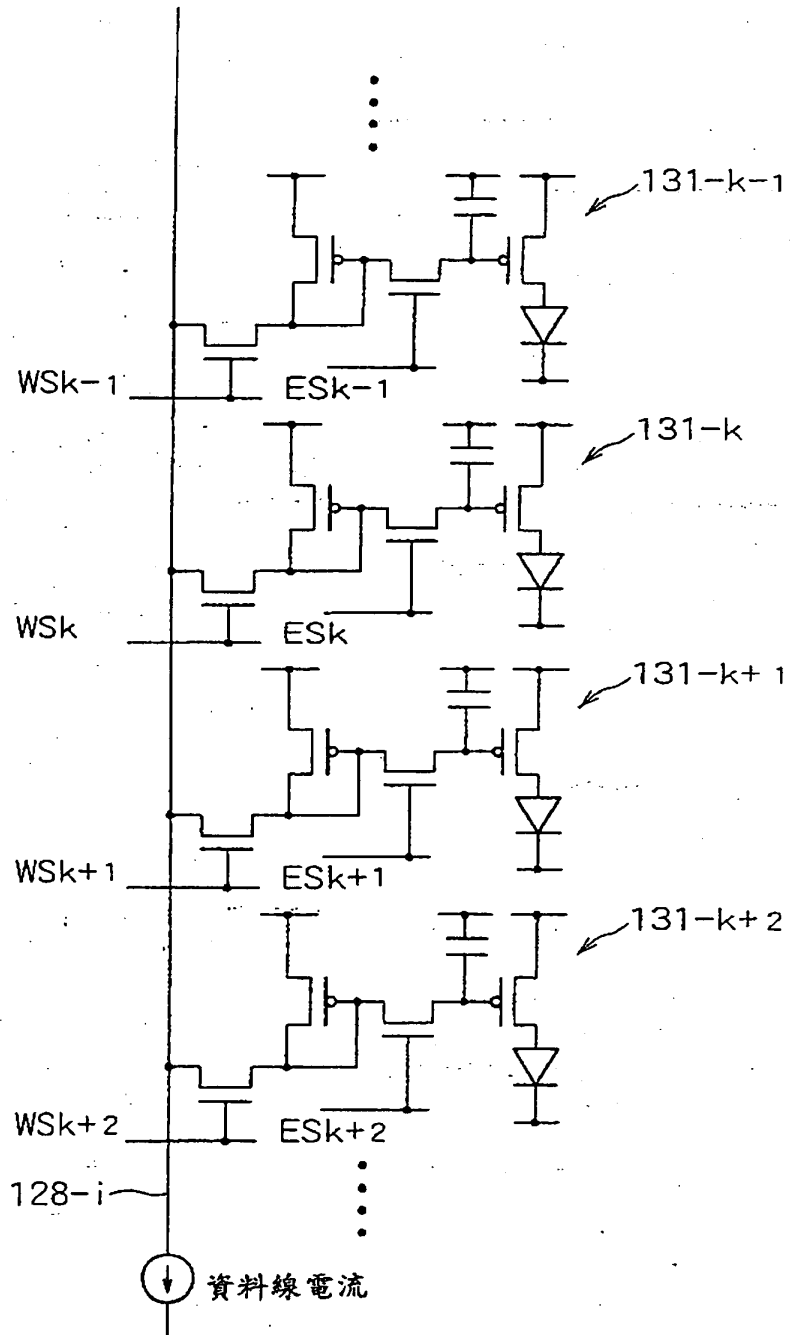


圖 5

FREE

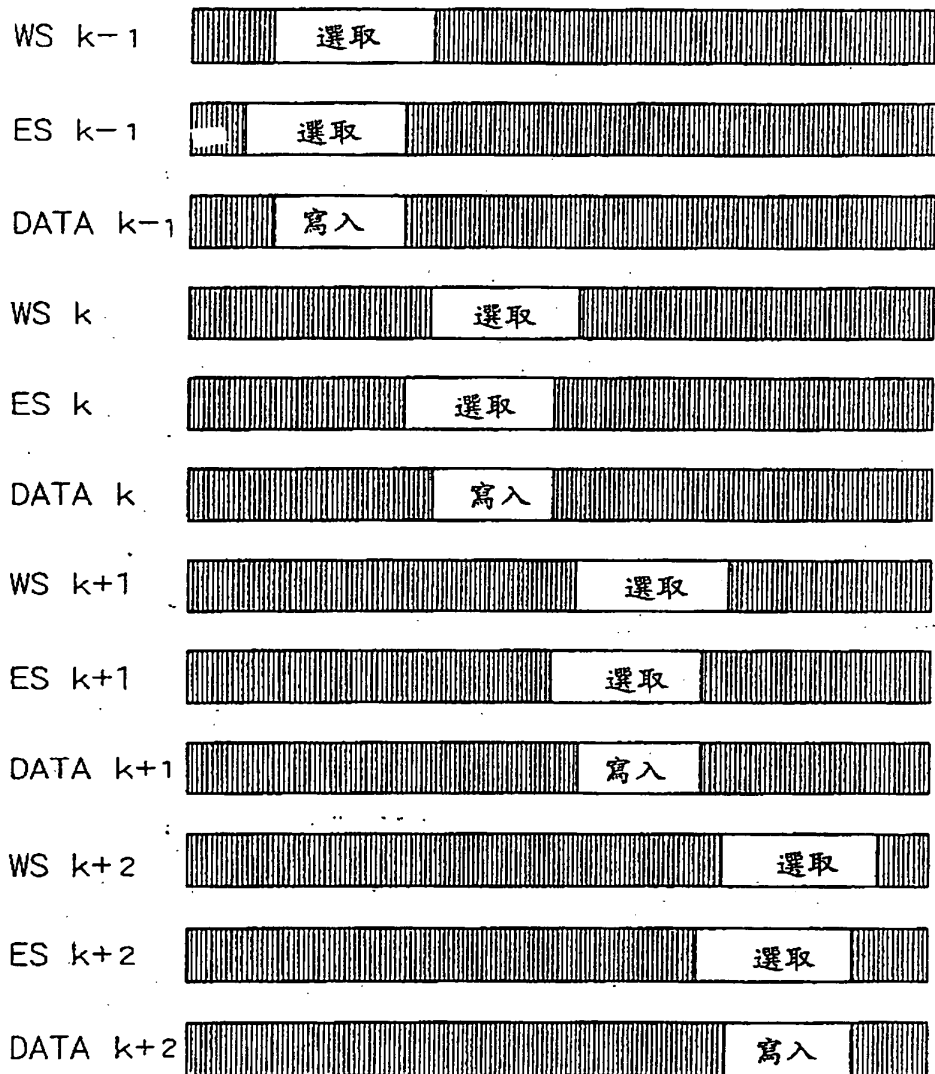


圖 6

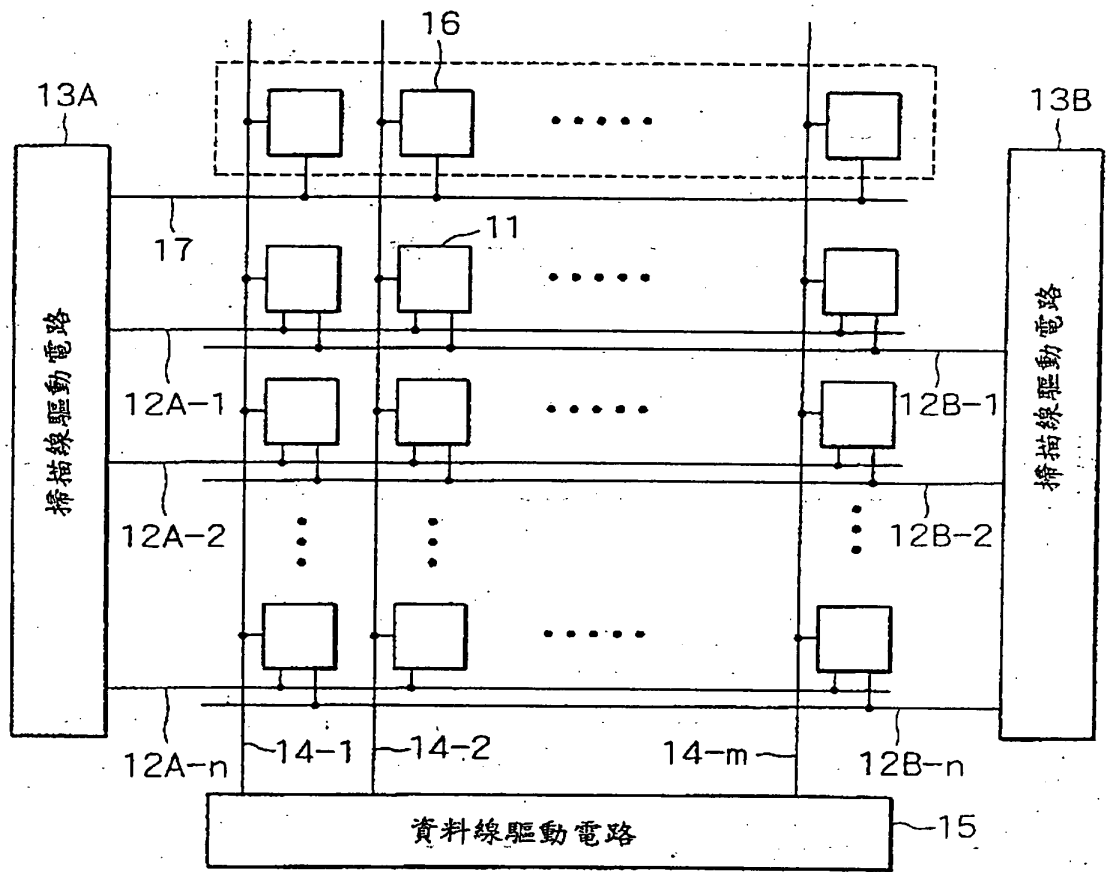


圖 7

FREE

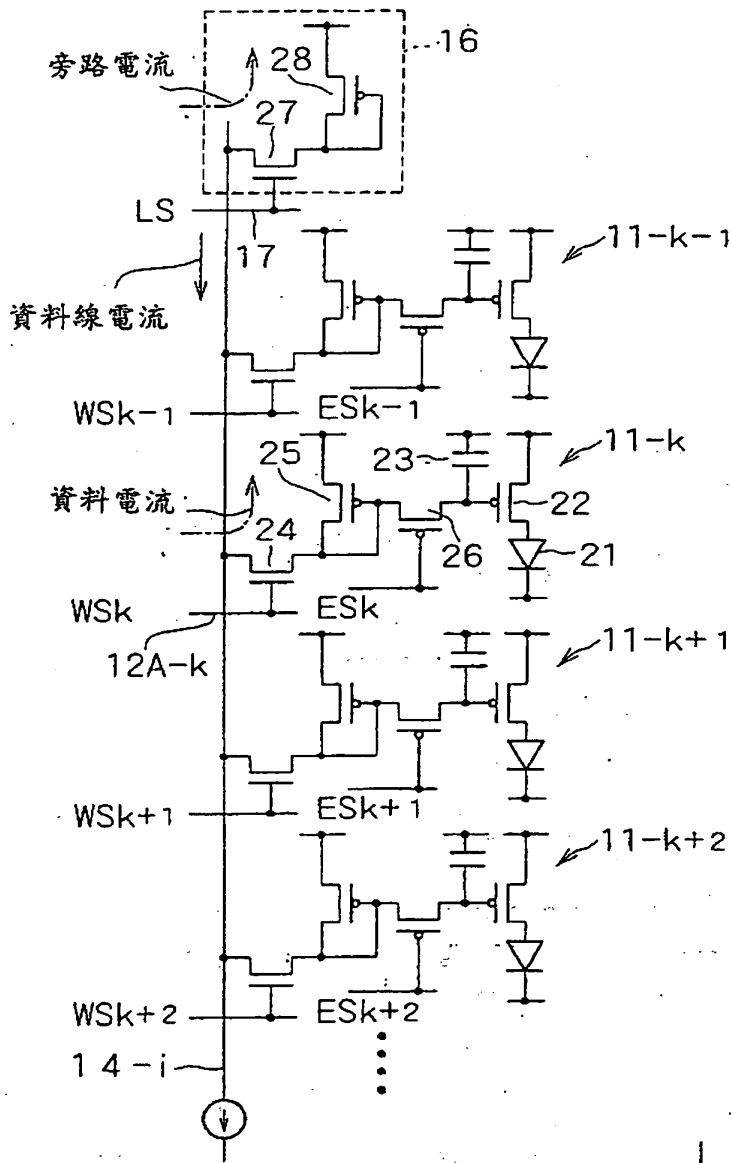


圖 8A

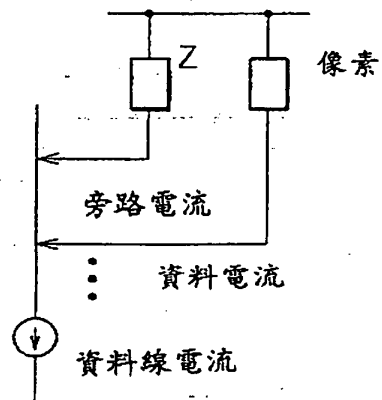


圖 8B

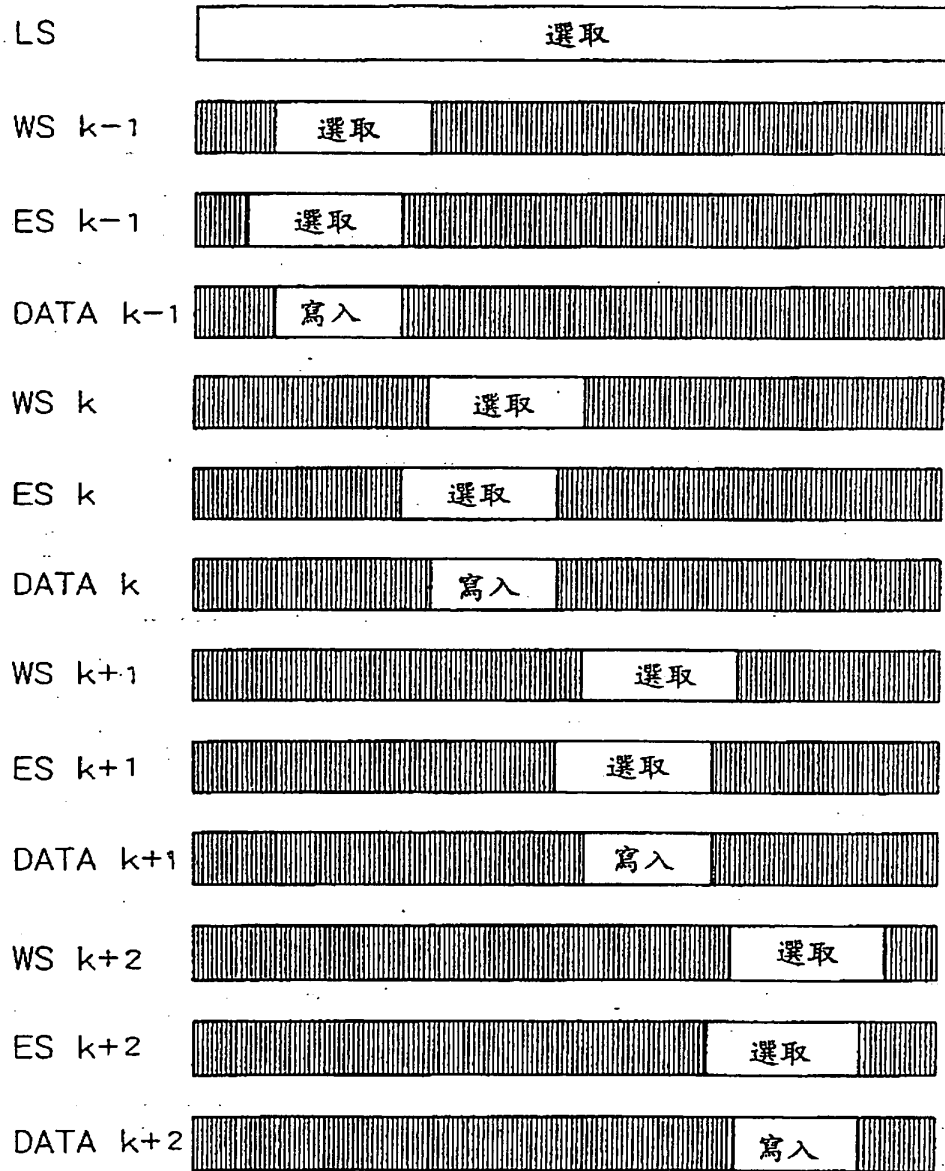


圖 9

FREE

FREE

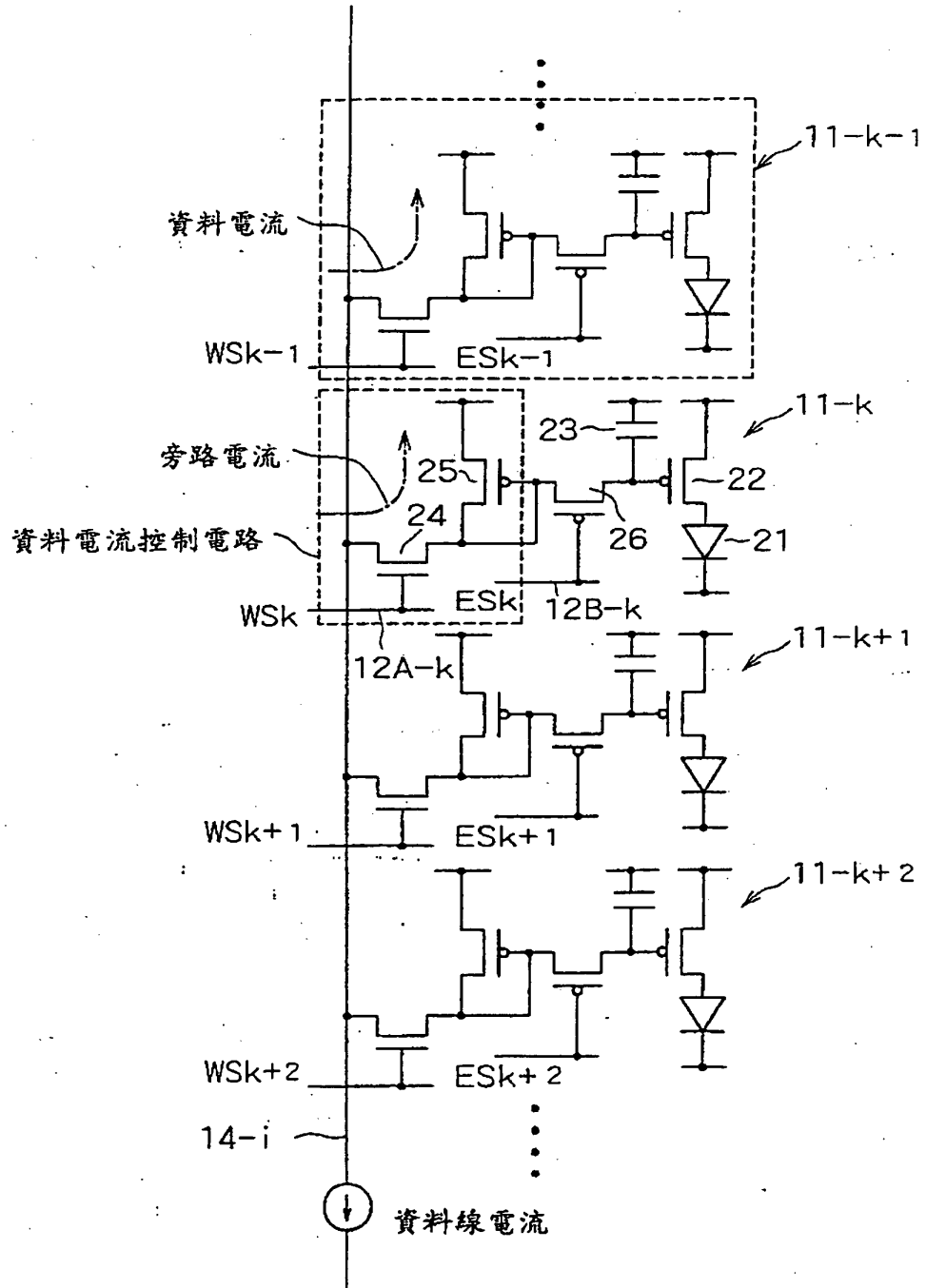


圖 10

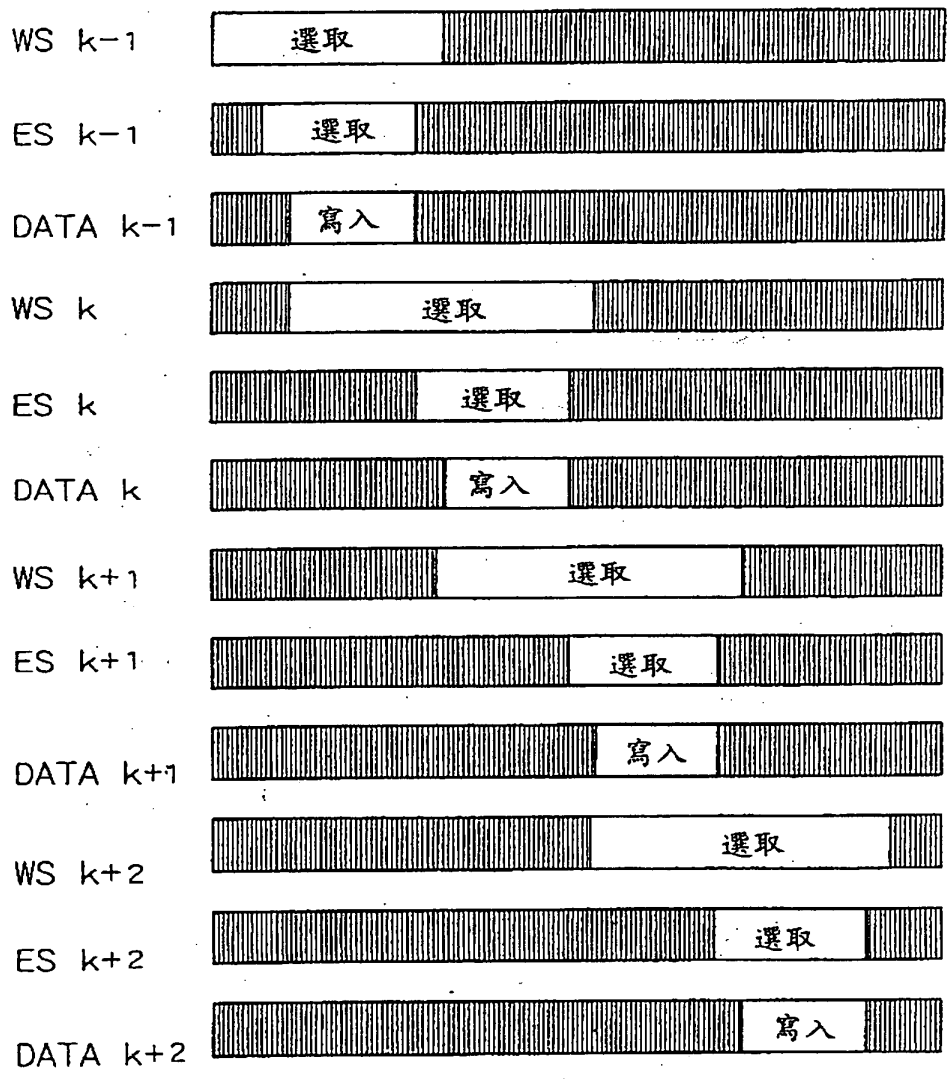


圖 11

FREE

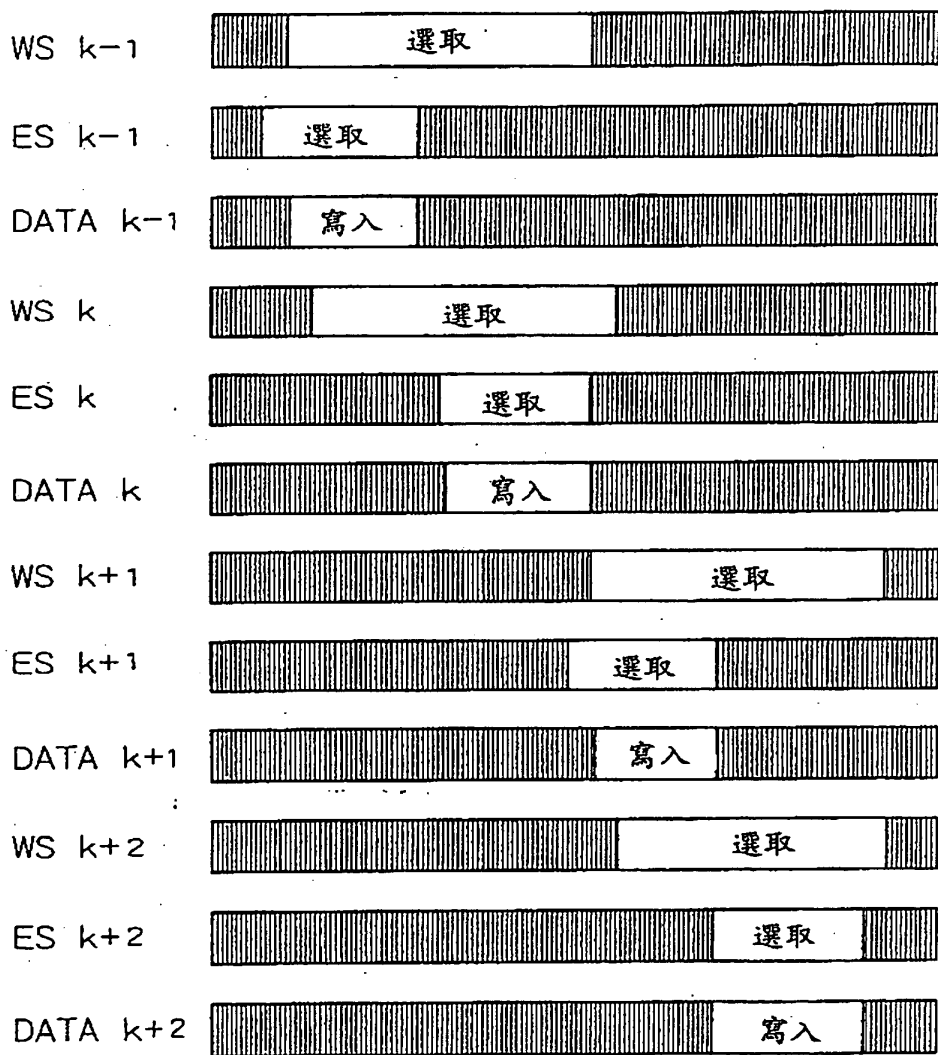


圖 12

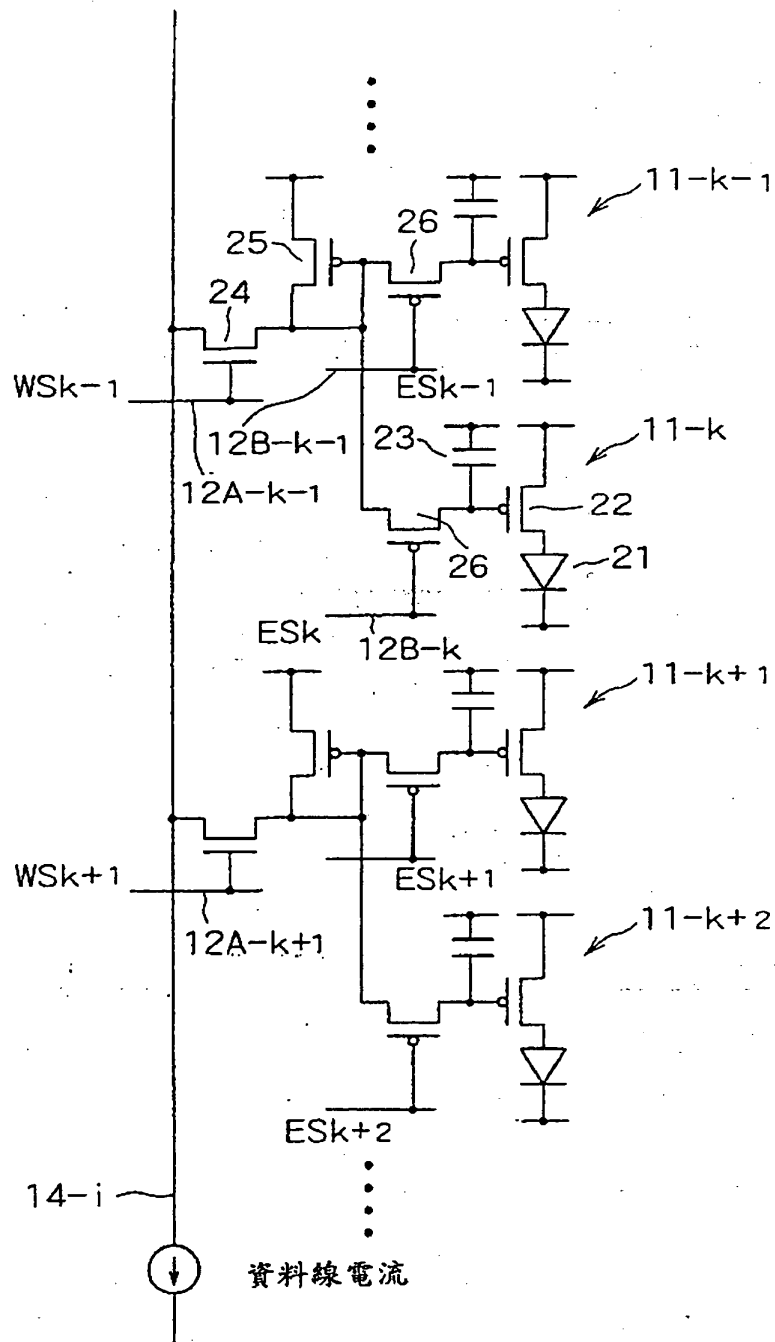


圖 13

FREE

FREE

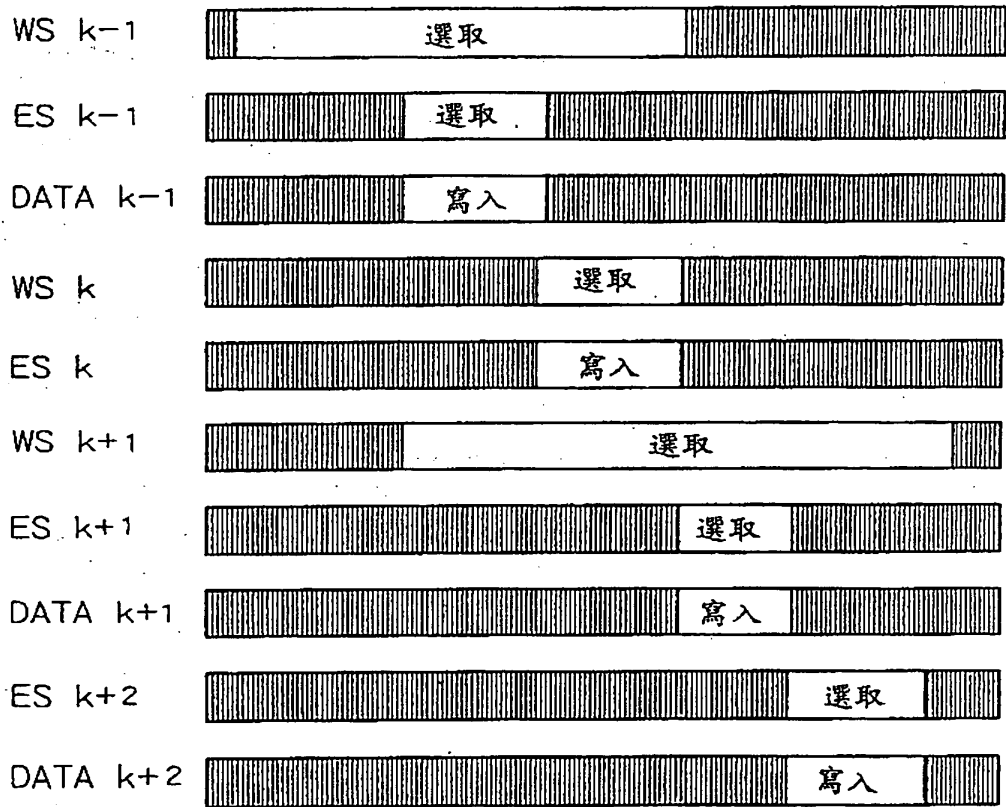


圖 14

FREE

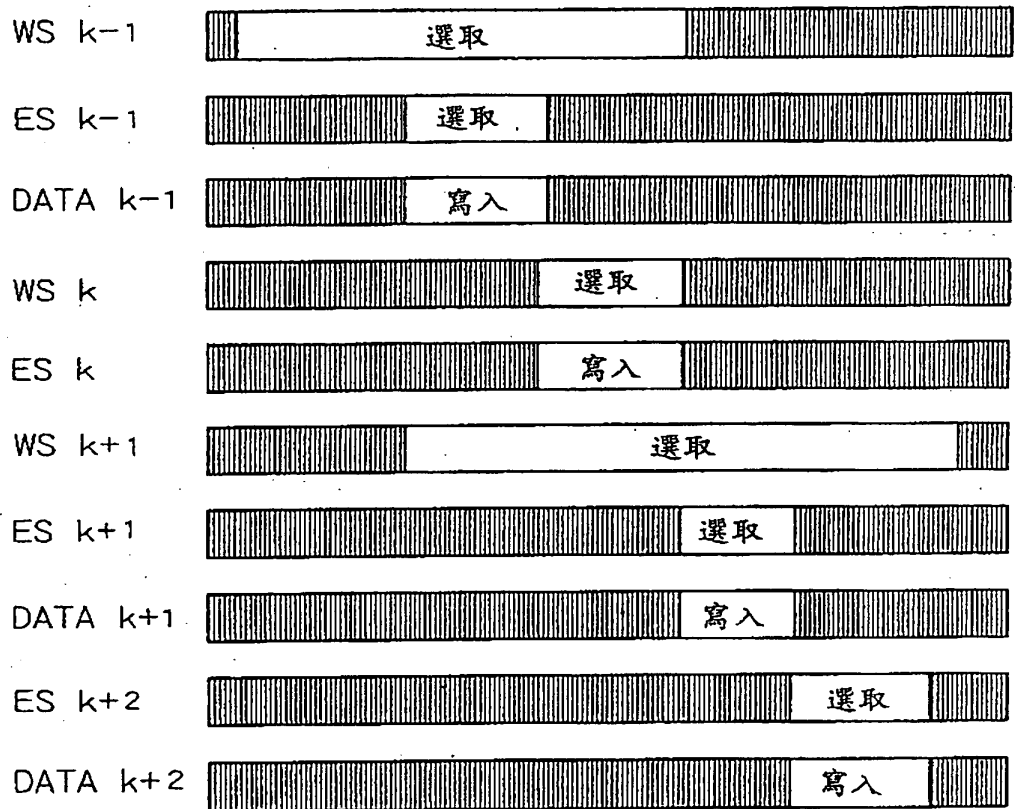


圖 14

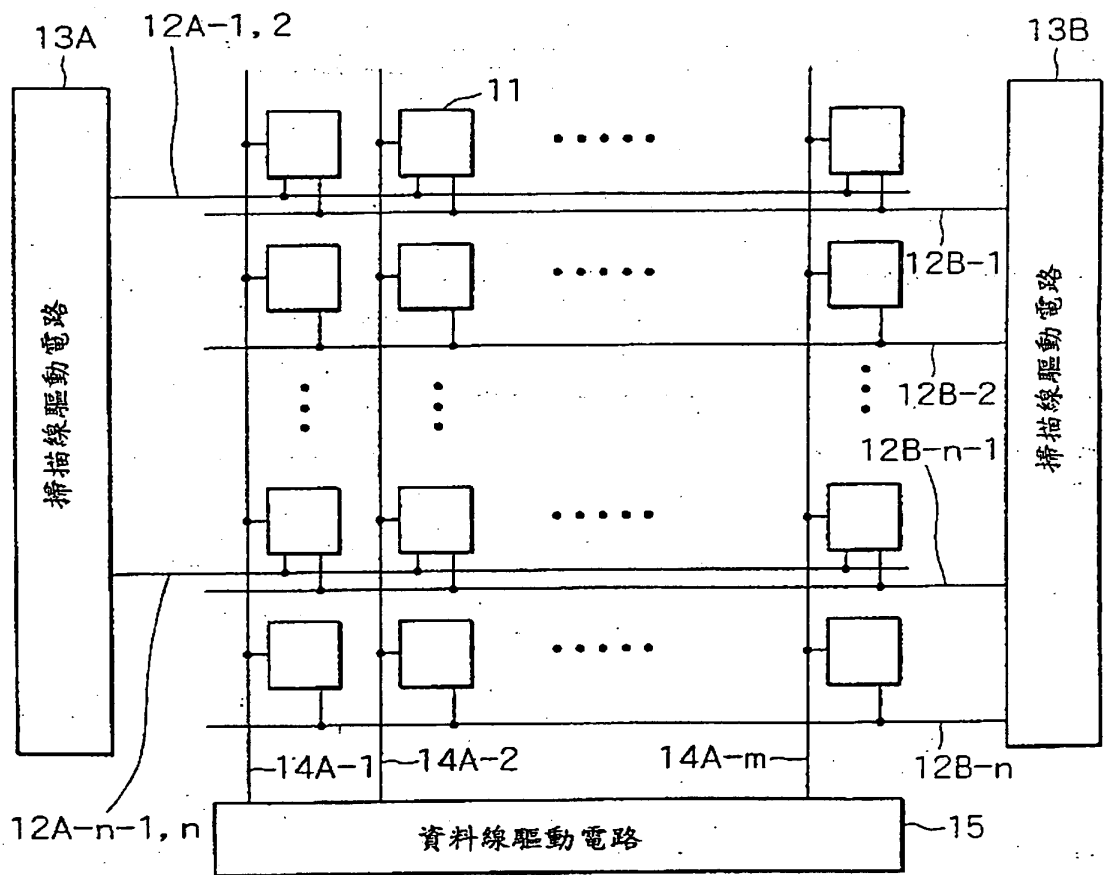


圖 15

FREE

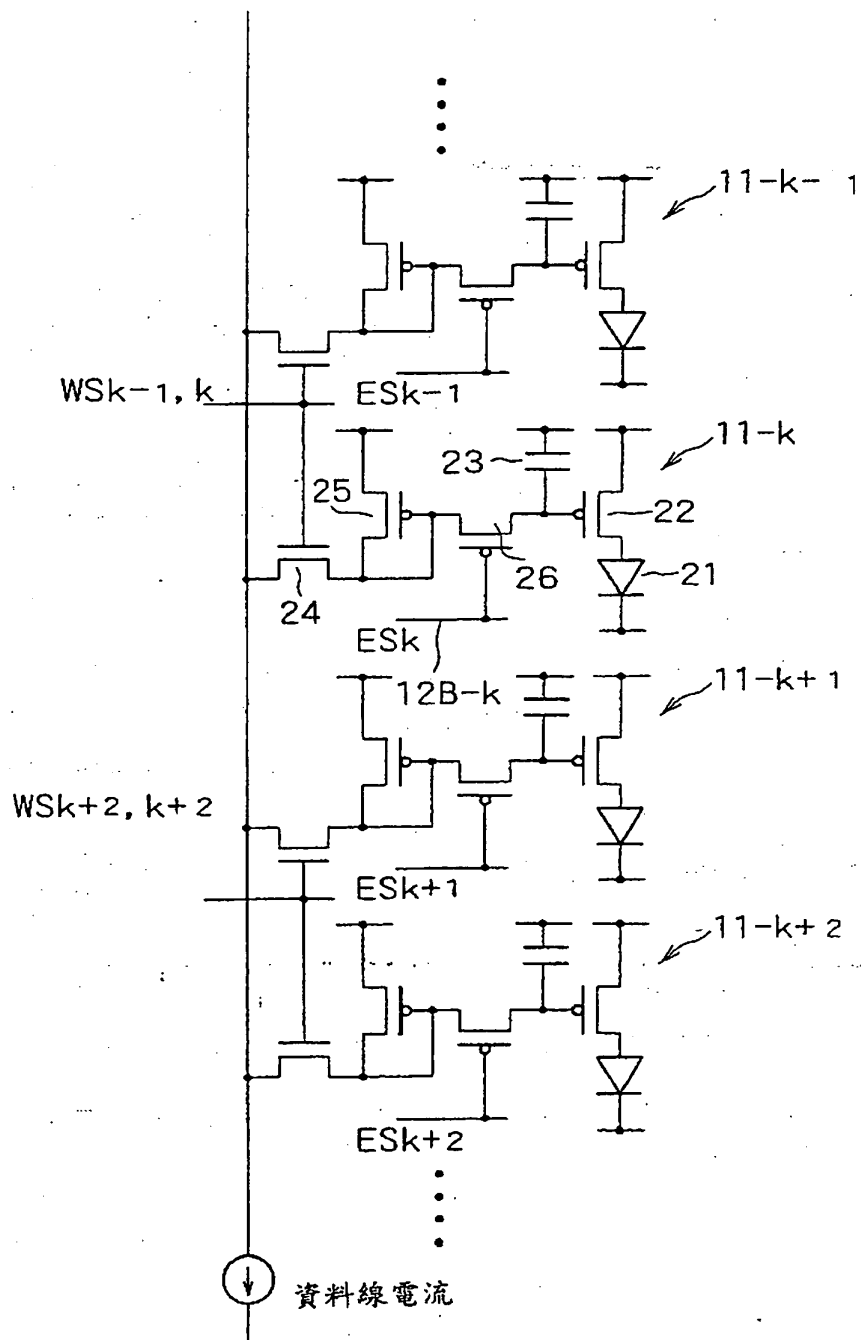


圖 16

FREE

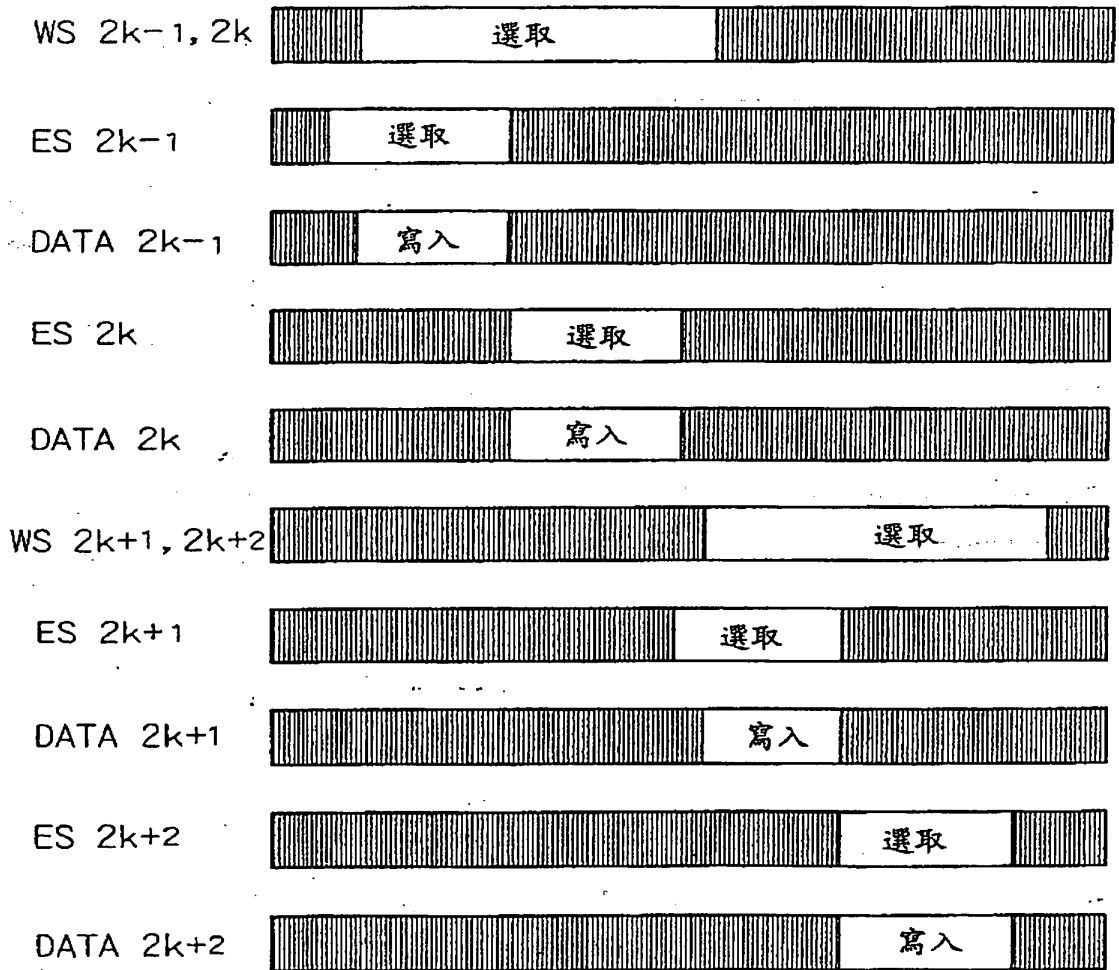


圖 17

FREE

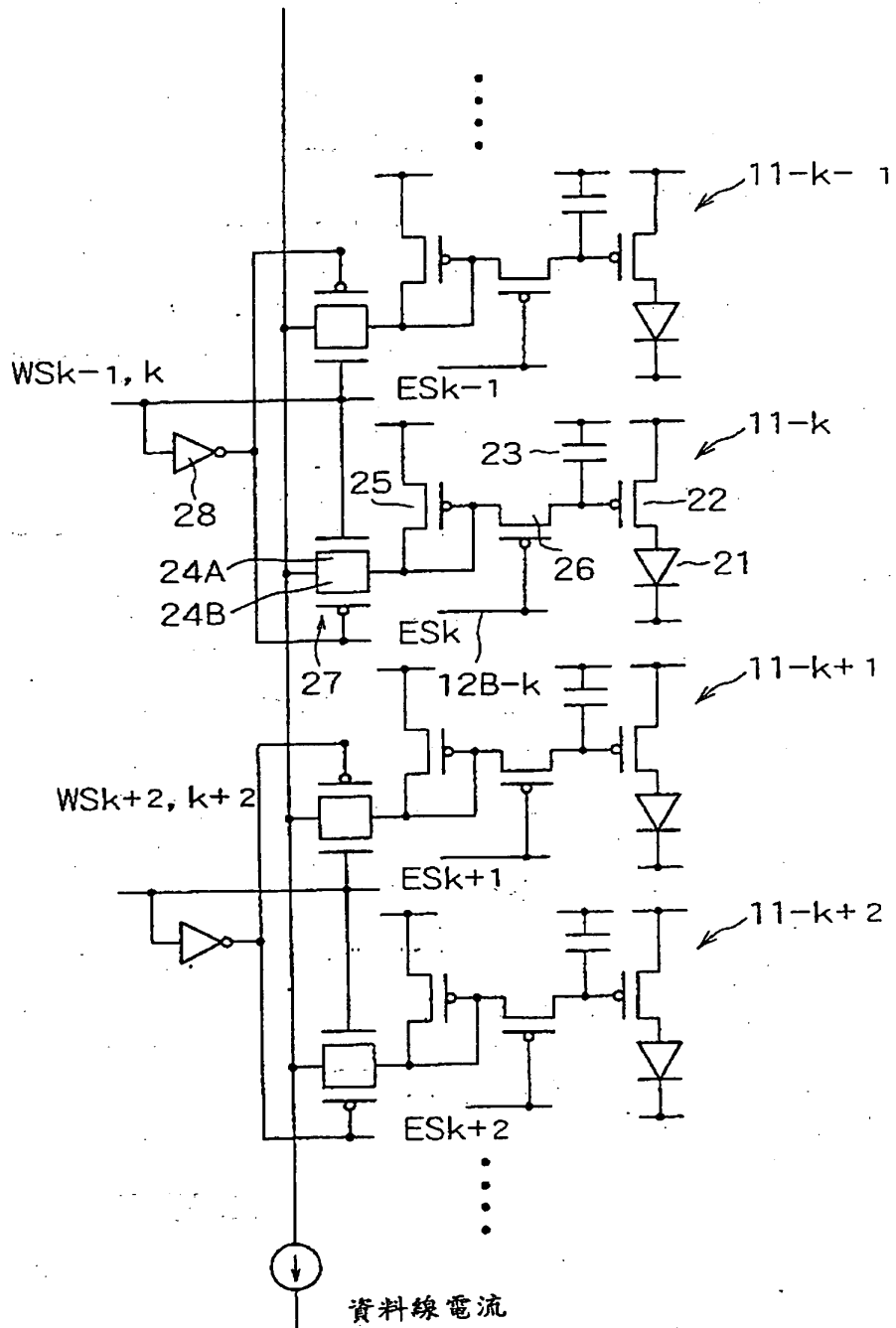


圖 18