

FRISHAUF, HOLTZ, GOODMAN & CHICK, P.C.
ATTORNEYS AT LAW

220 FIFTH AVENUE, NEW YORK, N.Y. 10001-7708

Express Mail Mailing Label
No.: EV 720 476 889 US

Date of Deposit: September 21, 2005

I hereby certify that this paper is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450

Barbara Villani
Barbara Villani

Attorney Docket No. 05621/LH
CUSTOMER NO. 01933

113256 U.S. PTO
11/232368



092105
02570
LEONARD HOLTZ
HERBERT GOODMAN
MARSHALL J. CHICK
RICHARD S. BARTH
DOUGLAS HOLTZ
ROBERT P. MICHAL
TELEPHONE: (212) 319-4900
FACSIMILE: (212) 319-5101

Commissioner for Patents
P.O. Box 1450,
Alexandria, VA 22313-1450

Pursuant to 37 CFR 1.53(b), transmitted herewith for filing is the patent application of
FILING WITHOUT EXECUTED DECLARATION (37 CFR 1.53(f))

Inventor(s): Satoru SHIMODA of Fussa-shi, Japan
Tomoyuki SHIRASAKI of Higashiyamoto-shi, Japan
Jun OGURA of Fussa-shi, Japan
Minoru KUMAGAI of Tokyo, Japan

Title: "TRANSISTOR ARRAY SUBSTRATE AND DISPLAY PANEL"

Priority Claim (35 U.S.C. 119) is made, based upon:
Japan No. 2004-273532 filed September 21, 2004
Japan No. 2004-273580 filed September 21, 2004
Japan No. 2005-269434 filed September 16, 2005

ASSIGNMENT INFORMATION FOR PUBLICATION:
Casio Computer Co., Ltd.
Tokyo, Japan

Enclosed herewith are:

- Specification (Description, Claims, Abstract): Pages 1 - 98; Number of claims 1 - 25
- Declaration and Power of Attorney
- 27 Sheets of drawings, Figures 1 - 28 Formal Informal
- Assignment and Recordation Form Cover Sheet (PTO-1595) AND \$40. RECORDATION FEE.
- Two Certified copies of priority documents identified above
- Information Disclosure Statement; Form PTO/SB/08A
- Change of Correspondence Address (Form PTO/SB/122)
- PTO Form 2038 (Payment by Credit Card)
- TO THE EXTENT NOT TENDERED BY CREDIT CARD PAYMENT ATTACHED HERETO, AUTHORIZATION IS GIVEN TO CHARGE ANY FEES UNDER 37 CFR 1.16 AND 1.17 DURING PENDENCY OF THE APPLICATION, OR TO CREDIT ANY OVERPAYMENT, TO DEPOSIT ACCOUNT NO. 06-1378. DUPLICATE COPY OF THIS LETTER IS ENCLOSED.
- Receipt Postcard

	Number Filed		Number Extra	Rate		Calculations
Total Claims	<u>25</u>	-20 =	<u>5</u>	x \$ 50.00 =		\$ <u>250.00</u>
Independent Claims	<u>3</u>	-3 =	<u>0</u>	x \$200.00 =		\$ <u>0.00</u>
Application Size Fee						\$ <u>250.00</u>
MULTIPLE DEPENDENT CLAIMS				+ \$360.00 =		\$ <u>1000.00</u>
				BASIC FEE (Including Filing, Search and Examination Fees)		\$ <u>1000.00</u>
				Total of above Calculations		\$ <u>1500.00</u>


FRISHAUF, HOLTZ, GOODMAN & CHICK, P.C.

By: *Leonard Holtz*
LEONARD HOLTZ, Reg. No. 22,974

LH:by
10/04

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

CHANGE OF CORRESPONDENCE ADDRESS <i>Application</i> Address to: Commissioner for Patents P.O. Box 1450 Alexandria, VA. 22313-1450	Application Number	Not yet assigned
	Filing Date	Herewith
	First Named Inventor	SHIMODA
	Group Art Unit	
	Examiner Name	
	Attorney Docket Number	05621/LH

Please change the Correspondence Address for the above-identified application to:				
<input checked="" type="checkbox"/> Customer Number [01933] →				
OR				
<input type="checkbox"/> Firm or Individual Name				
Address				
Address				
City		State	ZIP	
Country				
Telephone			Fax	
<p>This form cannot be used to change the data associated with a Customer Number. To change the data associated with an existing Customer Number use "Request for Customer Number Data Change" (PTO/SB/124).</p> <p>I am the:</p> <p><input type="checkbox"/> Applicant/Inventor.</p> <p><input type="checkbox"/> Assignee of record of the entire interest. Statement under 37 CFR 3.73(b) is enclosed. (Form PTO/SB/96).</p> <p><input checked="" type="checkbox"/> Attorney or Agent of record. Registration No. 22,974</p> <p><input type="checkbox"/> Registered practitioner named in the application transmittal letter in an application without an executed oath or declaration. See 37 CFR 1.33(a)(1). Registration Number _____.</p>				
Typed or Printed Name Leonard Holtz, Reg. No. 22,974				
Signature 				
Date September 21, 2005 Telephone: (212) 319-4900				
NOTE: Signatures of all the inventors or assignees of record of the entire interest or their representative(s) are required. Submit multiple forms if more than one signature is required. See below.				
<input type="checkbox"/> Total of _____ forms are submitted.				

This collection of information is required by 37 CFR 1.33. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 USC 122 and 37 CFR 1.14. This collection is estimated to take 3 minutes to complete, including gathering, preparing and submitting the completed application to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

FRISHAUF, HOLTZ, GOODMAN & CHICK, P.C.
ATTORNEYS AT LAW

220 FIFTH AVENUE, NEW YORK, N.Y. 10001-7708

LEONARD HOLTZ
HERBERT GOODMAN
MARSHALL J. CHICK
RICHARD S. BARTH
DOUGLAS HOLTZ
ROBERT P. MICHAL
TELEPHONE: (212) 319-4900
FACSIMILE: (212) 319-5101

Commissioner for Patents
P.O. Box 1450,
Alexandria, VA 22313-1450

Express Mail Mailing Label
No.: EV 720 476 889 US

Date of Deposit: September 21, 2005

I hereby certify that this paper is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450

Barbara Villani
Barbara Villani

Attorney Docket No. 05621/LH
CUSTOMER NO. 01933

113256 U.S. PTO
11/232368
092105

Pursuant to 37 CFR 1.53(b), transmitted herewith for filing is the patent application of
FILING WITHOUT EXECUTED DECLARATION (37 CFR 1.53(f))

Inventor(s): Satoru SHIMODA of Fussa-shi, Japan
Tomoyuki SHIRASAKI of Higashiyamoto-shi, Japan
Jun OGURA of Fussa-shi, Japan
Minoru KUMAGAI of Tokyo, Japan

Title: "TRANSISTOR ARRAY SUBSTRATE AND DISPLAY PANEL"

Priority Claim (35 U.S.C. 119) is made, based upon:
Japan No. 2004-273532 filed September 21, 2004
Japan No. 2004-273580 filed September 21, 2004
Japan No. 2005-269434 filed September 16, 2005

ASSIGNMENT INFORMATION FOR PUBLICATION:
Casio Computer Co., Ltd.
Tokyo, Japan

Enclosed herewith are:

- Specification (Description, Claims, Abstract): Pages 1 - 98; Number of claims 1 - 25
- Declaration and Power of Attorney
- 27 Sheets of drawings, Figures 1 - 28 Formal Informal
- Assignment and Recordation Form Cover Sheet (PTO-1595) AND \$40. RECORDATION FEE.
- Two Certified copies of priority documents identified above
- Information Disclosure Statement; Form PTO/SB/08A
- Change of Correspondence Address (Form PTO/SB/122)
- PTO Form 2038 (Payment by Credit Card)
- TO THE EXTENT NOT TENDERED BY CREDIT CARD PAYMENT ATTACHED HERETO, AUTHORIZATION IS GIVEN TO CHARGE ANY FEES UNDER 37 CFR 1.16 AND 1.17 DURING PENDENCY OF THE APPLICATION, OR TO CREDIT ANY OVERPAYMENT, TO DEPOSIT ACCOUNT NO. 06-1378. DUPLICATE COPY OF THIS LETTER IS ENCLOSED.
- Receipt Postcard

	Number Filed	Number Extra	Rate	Calculations
Total Claims	<u>25</u> -20 =	<u>5</u>	x \$ 50.00 =	\$ <u>250.00</u>
Independent Claims	<u>3</u> -3 =	<u>0</u>	x \$200.00 =	\$ <u>0.00</u>
Application Size Fee			+ \$360.00 =	\$ <u>360.00</u>
MULTIPLE DEPENDENT CLAIMS				\$ <u>1000.00</u>
			BASIC FEE (Including Filing, Search and Examination Fees)	
			Total of above Calculations	\$ <u>1500.00</u>

FRISHAUF, HOLTZ, GOODMAN & CHICK, P.C.

By: *Leonard Holtz*
LEONARD HOLTZ, Reg. No. 22,974

LH:bv
10/04

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

<p align="center">CHANGE OF CORRESPONDENCE ADDRESS <i>Application</i></p> <p>Address to: Commissioner for Patents P.O. Box 1450 Alexandria, VA. 22313-1450</p>	Application Number	Not yet assigned
	Filing Date	Herewith
	First Named Inventor	SHIMODA
	Group Art Unit	
	Examiner Name	
	Attorney Docket Number	05621/LH

Please change the Correspondence Address for the above-identified application to:

Customer Number [01933] →

OR

<input type="checkbox"/> Firm or Individual Name					
Address					
Address					
City		State		ZIP	
Country					
Telephone				Fax	

This form cannot be used to change the data associated with a Customer Number. To change the data associated with an existing Customer Number use "Request for Customer Number Data Change" (PTO/SB/124).

I am the:

- Applicant/Inventor.
- Assignee of record of the entire interest. Statement under 37 CFR 3.73(b) is enclosed. (Form PTO/SB/96).
- Attorney or Agent of record. **Registration No. 22,974**
- Registered practitioner named in the application transmittal letter in an application without an executed oath or declaration. See 37 CFR 1.33(a)(1). Registration Number _____.

Typed or Printed Name **Leonard Holtz, Reg. No. 22,974**

Signature 

Date **September 21, 2005** Telephone: **(212) 319-4900**

NOTE: Signatures of all the inventors or assignees of record of the entire interest or their representative(s) are required. Submit multiple forms if more than one signature is required. See below.

Total of _____ forms are submitted.

This collection of information is required by 37 CFR 1.33. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 USC 122 and 37 CFR 1.14. This collection is estimated to take 3 minutes to complete, including gathering, preparing and submitting the completed application to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

TITLE OF THE INVENTION

TRANSISTOR ARRAY SUBSTRATE AND DISPLAY PANEL

CROSS-REFERENCE TO RELATED APPLICATIONS

This application is based upon and claims the
5 benefit of priority from prior Japanese Patent
Applications No. 2004-273532, filed September 21, 2004;
No. 2004-273580, filed September 21, 2004; and
No. 2005-269434, filed September 16, 2005, the entire
contents of all of which are incorporated herein by
10 reference.

BACKGROUND OF THE INVENTION

1. Field of the Invention

The present invention relates to a transistor
array substrate having a plurality of transistors and,
15 more particularly, to a display panel using light-
emitting elements which cause self emission when a
current is supplied by the transistor array substrate.

2. Description of the Related Art

Organic electroluminescent display panels can
20 roughly be classified into passive driving types and
active matrix driving types. Organic
electroluminescent display panels of active matrix
driving type are more excellent than those of passive
driving type because of high contrast and high
25 resolution. In a conventional organic
electroluminescent display panel of active matrix
display type described in, e.g., Jpn. Pat. Appln. KOKAI

Publication No. 8-330600, an organic electroluminescent element (to be referred to as an organic EL element hereinafter), a driving transistor which supplies a current to the organic EL element when a voltage signal corresponding to image data is applied to the gate of the transistor, and a switching transistor which performs switching to supply the voltage signal corresponding to image data to the gate of the driving transistor are arranged for each pixel. In this display panel, when a predetermined scan line is selected, the switching transistor is turned on. At this time, a voltage of level representing the luminance is applied to the gate of the driving transistor through a signal line. Thus, the driving transistor is turned on. A driving current having a magnitude corresponding to the level of the gate voltage is supplied from the power supply to the organic EL element through the source-to-drain path of the driving transistor. Consequently, the EL element emits light at a luminance corresponding to the magnitude of the current. During the period from the end of scan line selection to the next scan line selection, the level of the gate voltage of the driving transistor is continuously held even after the switching transistor is turned off. Hence, the organic EL element keeps emitting light at a luminance corresponding to the magnitude of the driving current

corresponding to the voltage.

To drive the organic electroluminescent display panel, a driving circuit is provided around the display panel to apply a voltage to the scan lines, signal
5 lines, and power supply lines laid on the display panel.

In the conventional organic electroluminescent display panel of active matrix driving type, interconnections such as a power supply line to supply
10 a current to an organic EL element are patterned simultaneously in the thin-film transistor patterning step by using the material of a thin-film transistor such as a switching transistor or driving transistor. More specifically, in manufacturing the display panel,
15 a conductive thin film as a prospective electrode of a thin-film transistor is subjected to photolithography and etching to form the electrode of a thin-film transistor from the conductive thin film. At the same time, an interconnection connected to the electrode is
20 also formed. For this reason, when the interconnection is formed from the conductive thin film, the thickness of the interconnection equals that of the thin-film transistor.

The electrode of the thin-film transistor is
25 designed assuming that it functions as a transistor. In other words, the electrode is not designed assuming that it supplies a current to a light-emitting element.

Hence, the thin-film transistor is thin literally. If a current is supplied from the interconnection to a plurality of light-emitting elements, a voltage drop occurs, or the current flow through the interconnection delays due to the electrical resistance of the interconnection. To suppress the voltage drop or interconnection delay, the resistance of the interconnection is preferably low. If the resistance of the interconnection is reduced by making a metal layer serving as the source and drain of the transistor or a metal layer serving as the gate electrode thick, or patterning the metal layers considerably wide to sufficiently flow the current through the metal layers, the overlap area of the interconnection on another interconnection or conductor when viewed from the upper side increases, and a parasitic capacitance is generated between them. This retards the flow of the current. Alternatively, in a so-called bottom emission structure which emits EL light from the transistor array substrate side, light emitted from the EL elements is shielded by the interconnections, resulting in a decrease in opening ratio, i.e., the ratio of the light emission area. If the gate electrode of the thin-film transistor is made thick to lower the resistance, a planarization film (corresponding to a gate insulating film when the thin-film transistor has, e.g., an inverted stagger structure) to eliminate the

step of the gate electrode must also be formed thick. This may lead to a large change in transistor characteristic. When the source and drain are formed thick, the etching accuracy of the source and drain degrades. This may also adversely affect the transistor characteristic.

BRIEF SUMMARY OF THE INVENTION

It is an object of the present invention to satisfactorily drive a light-emitting element while suppressing any voltage drop and signal delay.

A transistor array substrate according to a first aspect of the present invention comprises:

a substrate;

a plurality of driving transistors which are arrayed in a matrix on the substrate, each of the driving transistors having a gate, a source, a drain, and a gate insulating film inserted between the gate, and the source and drain;

a plurality of signal lines which are patterned together with the gates of the plurality of driving transistors and arrayed to run in a predetermined direction on the substrate;

a plurality of supply lines which are patterned together with the sources and drains of the plurality of driving transistors and arrayed to cross the plurality of signal lines via the gate insulating film, each of the supply lines being electrically connected

to one of the source and the drain of the driving transistor; and

5 a plurality of feed interconnections which are formed on the plurality of supply lines along the plurality of supply lines, respectively.

10 Preferably, a substrate according to claim 1, further comprising a plurality of scan lines which are patterned together with the sources and drains of the plurality of driving transistors and arrayed to cross the plurality of supply lines via the gate insulating film.

15 Preferably, a substrate according to claim 2, which further comprises a plurality of switch transistors which are arrayed in a matrix on the substrate, each of the switch transistors having the gate insulating film inserted between a gate and a source and drain, and

20 in which one of the source and drain of each of the plurality of switch transistors is electrically connected to the other of the source and drain of a corresponding one of the plurality of driving transistors,

25 the gate of each of the plurality of switch transistors is electrically connected to the scan line through a contact hole formed in the gate insulating film, and

the other of the source and drain of each of the

plurality of switch transistors is electrically connected to the signal line through a contact hole formed in the gate insulating film.

5 Preferably, a substrate according to claim 2, which further comprises a plurality of holding transistors which are arrayed in a matrix on the substrate, each of the holding transistors having the gate insulating film inserted between a gate and a source and drain, and

10 in which one of the source and drain of each of the plurality of holding transistors is electrically connected to the gate of a corresponding one of the plurality of driving transistors through a contact hole formed in the gate insulating film,

15 the other of the source and drain of each of the plurality of holding transistors is electrically connected to one of the supply line and the scan line, and

20 the gate of each of the plurality of holding transistors is electrically connected to the scan line through a contact hole formed in the gate insulating film.

A display panel according to a second aspect of the present invention is a display panel comprising:

25 a substrate;

a plurality of driving transistors which are arrayed in a matrix on the substrate, each of the

driving transistors having a gate, a source, a drain, and a gate insulating film inserted between the gate, and the source and drain;

5 a plurality of signal lines which are patterned together with the gates of the plurality of driving transistors and arrayed to run in a predetermined direction on the substrate;

10 a plurality of supply lines which are patterned together with the sources and drains of the plurality of driving transistors and arrayed to cross the plurality of signal lines via the gate insulating film, each of the supply lines being electrically connected to one of the source and the drain of the driving transistor; and

15 a plurality of feed interconnections which are connected to the plurality of supply lines along the plurality of supply lines;

20 a plurality of pixel electrodes each of which is electrically connected to the other of the source and the drain of each of the plurality of driving transistors;

a plurality of light-emitting layers which are formed on the plurality of pixel electrodes, respectively; and

25 a counter electrode which covers the plurality of light-emitting layers.

Preferably, a panel according to claim 13, further

comprising a plurality of scan lines which are patterned together with the sources and drains of the plurality of driving transistors and arrayed to cross the plurality of supply lines via the gate insulating film.

5

According to this aspect, the signal lines are patterned together with the gates of the driving transistors. However, since the feed interconnections are stacked on the supply lines, the feed

10

interconnections are formed separately for the drains, sources, and gates of the driving transistors. For this reason, the feed interconnection can be made thick without increasing its width, and the resistance of the feed interconnection can be reduced. Hence, even when a signal is output to the driving transistor and pixel electrode through the feed interconnection, the voltage drop and signal delay can be suppressed.

15

When the feed interconnections are to be formed by electroplating, the supply lines are formed on the signal lines. When the structure is dipped in a plating solution while a voltage is applied to the supply lines in the manufacturing step of the transistor array substrate and the display panel, the feed interconnections can be grown on the supply lines.

20

25

According to this aspect, since the feed interconnections can be made thick, the resistance of

the feed interconnections can be reduced. When the resistance of the feed interconnections decreases, the signal delay and voltage drop can be suppressed.

5 A display panel manufacturing method according to a fourth aspect of the present invention is claim 18.

A thick interconnection can suppress the voltage drop and can also be used as a partition wall in forming an organic compound-containing solution. Since the liquid repellent conductive layer exhibits liquid
10 repellency, an organic compound layer can satisfactorily be patterned. A liquid repellent conductive layer containing, e.g., a triazine compound can selectively be formed on a metal surface so as to exhibit liquid repellency but cannot be formed on the
15 surface of an insulator or a metal oxide to exhibit liquid repellency. In addition, the liquid repellent conductive layer is formed on the metal surface very thin. Hence, the electrical conductivity on the metal surface is not lost.

20 BRIEF DESCRIPTION OF THE SEVERAL VIEWS OF THE DRAWING

FIG. 1 is a view showing the circuit arrangement of an EL display panel together with an insulating substrate;

25 FIG. 2 is an equivalent circuit diagram of a pixel circuit of the EL display panel;

FIG. 3 is a plan view showing the electrode of the pixel circuit of the EL display panel;

FIG. 4 is a plan view showing the electrode of the pixel circuit of the EL display panel;

FIG. 5 is a sectional view taken along a line V - V in FIG. 3;

5 FIG. 6 is a sectional view taken along a line VI - VI in FIG. 3;

FIG. 7 is a sectional view taken along a line VII - VII in FIG. 3;

10 FIG. 8 is a sectional view taken along a line VIII - VIII in FIG. 3;

FIG. 9 is a plan view showing a state wherein a gate layer is patterned;

FIG. 10 is a plan view showing a state wherein a drain layer is patterned;

15 FIG. 11 is a plan view showing a state wherein the drain layer is superposed on the patterned gate layer;

FIG. 12 is a schematic plan view showing the layout of an organic EL layer of the EL display panel;

20 FIG. 13 is a timing chart for explaining a driving method of the EL display panel;

FIG. 14 is a timing chart for explaining another driving method of the EL display panel;

25 FIG. 15 is a graph showing the current vs. voltage characteristic of the driving transistor and organic EL element of each pixel circuit;

FIG. 16 is a graph showing the correlation between the maximum voltage drop and the interconnection

resistivity ρ /sectional area S of the feed interconnection and common interconnection of a 32-inch EL display panel;

5 FIG. 17 is a graph showing the correlation between the sectional area and the current density of the feed interconnection and common interconnection of the 32-inch EL display panel;

10 FIG. 18 is a graph showing the correlation between the maximum voltage drop and the interconnection resistivity ρ /sectional area S of the feed interconnection and common interconnection of a 40-inch EL display panel 1;

15 FIG. 19 is a graph showing the correlation between the sectional area and the current density of the feed interconnection and common interconnection of the 40-inch EL display panel;

FIG. 20 is a view showing the circuit arrangement of an EL display panel together with an insulating substrate;

20 FIG. 21 is an equivalent circuit diagram of a pixel circuit of the EL display panel;

FIG. 22 is a plan view showing the electrodes of pixel circuits $P_{i,j}$ and $P_{i,j+1}$ of the EL display panel;

25 FIG. 23 is a sectional view taken along a plane perpendicular to the channel width of a driving transistor;

FIG. 24 is a sectional view taken along a line

XXIV - XXIV in FIG. 22;

FIG. 25 is a sectional view taken along a line XXV - XXV in FIG. 22;

FIG. 26 is a schematic view showing the coating structure of a liquid repellent conductive film;

FIG. 27 is a schematic plan view showing the layout of the organic EL layers of the EL display panel; and

FIG. 28 is a timing chart for explaining the operation of the EL display panel.

DETAILED DESCRIPTION OF THE INVENTION

[First Embodiment]

The best mode for carrying out the present invention will be described below with reference to the accompanying drawing. Various kinds of limitations which are technically preferable in carrying out the present invention are added to the embodiments to be described below. However, the spirit and scope of the present invention are not limited to the following embodiments and illustrated examples.

[Overall Arrangement of EL Display Panel]

FIG. 1 is a schematic view showing an EL display panel 1 of active matrix driving type. As shown in FIG. 1, the EL display panel 1 comprises an insulating substrate 2, n (a plurality of) signal lines Y_1 to Y_n , m (a plurality of) scan lines X_1 to X_m , m (a plurality of) supply lines Z_1 to Z_m , $(m \times n)$ pixel circuits $P_{1,1}$

to $P_{m,n}$, a plurality of feed interconnections 90, and common interconnections 91. The insulating substrate 2 is optically transparent and has a flexible sheet shape or a rigid plate shape. The signal lines Y_1 to Y_n are arrayed on the insulating substrate 2 in parallel to each other. The scan lines X_1 to X_m are arrayed on the insulating substrate 2 to be perpendicularly to the signal lines Y_1 to Y_n when the insulating substrate 2 is viewed from the upper side. The supply lines Z_1 to Z_m are arrayed on the insulating substrate 2 between the scan lines X_1 to X_m to be parallel to them so that the supply lines and scan lines alternate. The pixel circuits $P_{1,1}$ to $P_{m,n}$ are arrayed on the insulating substrate 2 in a matrix along the signal lines Y_1 to Y_n and scan lines X_1 to X_m . The feed interconnections 90 are provided in parallel to the supply lines Z_1 to Z_m when viewed from the upper side. The common interconnections 91 are provided in parallel to the signal lines Y_1 to Y_n when viewed from the upper side.

In the following description, the direction in which the signal lines Y_1 to Y_n run will be defined as the vertical direction (column direction), and the direction in which the scan lines X_1 to X_m run will be defined as the horizontal direction (row direction).

In addition, m and n are natural numbers ($m \geq 2$, $n \geq 2$). The subscript added to a scan line X represents the sequence from the top in FIG. 1. The

subscript added to a supply line Z represents the
sequence from the top in FIG. 1. The subscript added
to a signal line Y represents the sequence from the
left in FIG. 1. The first subscript added to a pixel
5 circuit P represents the sequence from the top, and the
second subscript represents the sequence from the left.
More specifically, let i be an arbitrary natural number
of 1 to m , and j be an arbitrary natural number of 1 to
 n , a scan line X_i is the i th row from the top, a supply
10 line Z_i is the i th row from the top, a signal line Y_j
is the j th column from the left, and a pixel circuit
 $P_{i,j}$ is located on the i th row from the top and the j th
column from the left. The pixel circuit $P_{i,j}$ is
connected to the scan line X_i , supply line Z_i , and
15 signal line Y_j .

The total number of feed interconnections 90 is m .
A voltage V_L to flow a write current and a voltage V_H
to flow a driving current are applied from a left
terminal 90b and right terminal 90c on the insulating
20 substrate 2 to each feed interconnection 90. For this
reason, the voltage drop of the feed interconnection 90
can be suppressed small as compared to when applying
the voltages V_L and V_H from one of the left terminal
90b and right terminal 90c. The feed interconnections
25 90 are formed on the upper surfaces of the supply lines
 Z_1 to Z_m to be electrically connected to them.

The total number of common interconnections 91 is

n+1. Two common interconnections 91 adjacent in the row direction also function as partition walls to partition, in film formation, organic EL layers 20b of organic EL elements (light-emitting elements) 20 arranged between them. The common interconnections 91 are connected to a lead interconnection 91a on the front side and to a lead interconnection 91b on the rear side. The lead interconnections 91a and 91b have the same thickness as the common interconnections 91 and also function as partition walls to partition the organic EL layers 20b in the fore-and-aft direction in film formation. The common interconnections 91 are connected to an external device through interconnection terminals 91c. A common potential Vcom is applied to the common interconnections 91.

In the EL display panel 1, regions partitioned in a matrix by the scan lines X_1 to X_m and signal lines Y_1 to Y_n form pixels. Each of the pixel circuits $P_{1,1}$ to $P_{m,n}$ is provided in one region.

[Circuit Arrangement of Pixel Circuit]

The pixel circuits $P_{1,1}$ to $P_{m,n}$ have the same structure. So, the arbitrary pixel circuit $P_{i,j}$ of the pixel circuits $P_{1,1}$ to $P_{m,n}$ will be described. FIG. 2 is an equivalent circuit diagram of the pixel circuit $P_{i,j}$. FIGS. 3 and 4 are plan views mainly showing the electrode of the pixel circuit $P_{i,j}$. For the illustrative convenience, FIG. 3 does not illustrate a

pixel electrode 20a of the pixel circuit $P_{i,j}$. FIG. 4 does not illustrate the electrode on the lower side of the pixel circuit $P_{i,j}$.

5 The pixel circuit $P_{i,j}$ comprises the organic EL element 20 serving as a pixel, three N-channel amorphous silicon thin-film transistors (to be simply referred to as transistors hereinafter) 21, 22, and 23 arranged around the organic EL element 20, and a capacitor 24. The first transistor 21 will be referred to as the switch transistor 21, the second transistor 10 22 as the holding transistor 22, and the third transistor 23 as the driving transistor 23 hereinafter.

As shown in FIG. 2, in the switch transistor 21 of the pixel circuit $P_{i,j}$, a source 21s is electrically 15 connected to the signal line Y_j . A drain 21d is electrically connected to the pixel electrode 20a of the organic EL element 20, a source 23s of the driving transistor 23, and an upper electrode 24B of the capacitor 24. A gate 21g of the first transistor is 20 electrically connected to a gate 22g of the holding transistor 22 and the scan line X_i .

In the holding transistor 22, a source 22s is electrically connected to a gate 23g of the driving transistor 23 and a lower electrode 24A of the 25 capacitor 24. A drain 22d of the second transistor 22 is electrically connected to a drain 23d of the driving transistor 23 and the supply line Z_i . The gate 22g is

electrically connected to the gate 21g of the switch transistor 21 and the scan line X_i .

5 In the driving transistor 23, the source 23s is electrically connected to the pixel electrode 20a of the organic EL element 20, the drain 21d of the switch transistor 21, and the electrode 24B of the capacitor 24. The drain 23d of the transistor 23 is electrically connected to the drain 22d of the holding transistor 22 and the supply line Z_i . The gate 23g is electrically
10 connected to the source 22s of the holding transistor 22 and the lower electrode 24A of the capacitor 24.

[Planar Layout]

As shown in FIGS. 1 to 4, when the entire EL display panel 1 is viewed from the upper side, the scan
15 lines X_1 to X_m and supply lines Z_1 to Z_m are alternately arrayed. The feed interconnections 90 overlap the supply lines Z_1 to Z_m . The signal lines Y_1 to Y_n and common interconnections 91 are alternately arrayed.

20 As shown in FIGS. 3 and 4, a focus is placed on the arbitrary pixel circuit $P_{i,j}$ of the pixel circuits $P_{1,1}$ to $P_{m,n}$. When viewed from the upper side, a rectangular region is formed between the signal line Y_j and the common interconnection 91 and between the scan
25 line X_i and the supply line Z_i while being surrounded by them. The pixel electrode 20a of the organic EL element 20 is arranged in the rectangular region.

Hence, when the entire EL display panel 1 is viewed from the upper side, the plurality of pixel electrodes 20a are arrayed in a matrix. The pixel electrode 20a is formed into a rectangular shape long in the vertical direction when viewed from the upper side.

When viewed from the upper side, the switch transistor 21 is arranged along the signal line Y_j . The switch transistor 21 overlaps the edge of the pixel electrode 20a.

When viewed from the upper side, the holding transistor 22 is arranged along the scan line X_i . The holding transistor 22 overlaps the edge of the pixel electrode 20a.

When viewed from the upper side, the driving transistor 23 is arranged to overlap the common interconnection 91.

When viewed from the upper side, the capacitor 24 is arranged along the common interconnection 91, supply line Z_i , and signal line Y_j and overlaps the edge of the pixel electrode 20a.

The entire EL display panel 1 is viewed from the upper side, and a focus is placed on only the switch transistors 21 of the pixel circuits $P_{1,1}$ to $P_{m,n}$. The plurality of switch transistors 21 are arrayed on the insulating substrate 2 in a matrix. When a focus is placed on only the holding transistors 22 of the pixel circuits $P_{1,1}$ to $P_{m,n}$ viewed from the upper side, the

plurality of holding transistors 22 are arrayed on the insulating substrate 2 in a matrix. When a focus is placed on only the driving transistors 23 of the pixel circuits $P_{1,1}$ to $P_{m,n}$ viewed from the upper side, the
5 plurality of driving transistors 23 are arrayed on the insulating substrate 2 in a matrix.

[Layer Structure of EL Display Panel]

The layer structure of the EL display panel 1 will be described. The layer structure of the three
10 transistors 21 to 23 will be described first with reference to FIGS. 5 to 8. FIG. 5 is a sectional view taken along a line V - V in FIG. 3 in the direction of thickness of the insulating substrate 2. FIG. 6 is a sectional view taken along a line VI - VI in FIG. 3 in
15 the direction of thickness of the insulating substrate 2. FIG. 7 is a sectional view taken along a line VII - VII in FIG. 3 in the direction of thickness of the insulating substrate 2. FIG. 8 is a sectional view taken along a line VIII - VIII in FIG. 3 in the
20 direction of thickness of the insulating substrate 2. FIGS. 5 to 7 also show part of a pixel circuit $P_{i,j-1}$ next to the pixel circuit $P_{i,j}$.

As shown in FIG. 5, the switch transistor 21 includes the gate 21g, gate insulating film 31,
25 semiconductor film 21c, channel protective film 21p, impurity-doped semiconductor films 21a and 21b, drain 21d, and source 21s. The gate 21g is formed on the

transparent insulating substrate 2. The gate
insulating film 31 has a part formed on the gate 21g.
The semiconductor film 21c opposes the gate 21g via the
part of the gate insulating film 31. The channel
5 protective film 21p is formed on the central portion of
the semiconductor film 21c. The impurity-doped
semiconductor films 21a and 21b are formed on two end
portions of the semiconductor film 21c to be spaced
apart from each other and partially overlap the channel
10 protective film 21p. The drain 21d is formed on one
impurity-doped semiconductor film 21a. The source 21s
is formed on the other impurity-doped semiconductor
film 21b. The drain 21d and source 21s can have either
a single-layer structure or a layered structure
15 including two or more layers.

As shown in FIG. 8, the holding transistor 22
includes the gate 22g, gate insulating film 31,
semiconductor film 22c, channel protective film 22p,
impurity-doped semiconductor films 22a and 22b, drain
20 22d, and source 22s. The gate 22g is formed on the
insulating substrate 2. The gate insulating film 31
has a part formed on the gate 22g. The semiconductor
film 22c opposes the gate 22g via the part of the gate
insulating film 31. The channel protective film 22p is
25 formed on the central portion of the semiconductor film
22c. The impurity-doped semiconductor films 22a and
22b are formed on two ends of the semiconductor film

22c to be spaced apart from each other and partially
overlap the channel protective film 22p. The drain 22d
is formed on one impurity-doped semiconductor film 22a.
The source 22s is formed on the other impurity-doped
5 semiconductor film 22b. The drain 22d and source 22s
can have either a single-layer structure or a layered
structure including two or more layers.

As shown in FIG. 5, the driving transistor 23
includes the gate 23g, gate insulating film 31,
10 semiconductor film 23c, channel protective film 23p,
impurity-doped semiconductor films 23a and 23b, drain
23d, and source 23s. The gate 23g is formed on the
insulating substrate 2. The gate insulating film 31
has a part formed on the gate 23g. The semiconductor
15 film 23c opposes the gate 23g via the part of the gate
insulating film 31. The channel protective film 23p is
formed on the central portion of the semiconductor film
23c. The impurity-doped semiconductor films 23a and
23b are formed on two ends of the semiconductor film
20 23c to be spaced apart from each other and partially
overlap the channel protective film 23p. The drain 23d
is formed on one impurity-doped semiconductor film 23a.
The source 23s is formed on the other impurity-doped
semiconductor film 23b. When viewed from the upper
25 side, the source 23s of the driving transistor 23 has a
U shape so that the channel width of the driving
transistor 23 is large. The drains 21d to 23d and

sources 21s to 23s of the transistors 21 or 23 are formed by patterning the same material layer.

The layer structure of the capacitor 24 will be described next. As shown in FIGS. 5 and 8, the capacitor 24 includes the lower electrode 24A, gate insulating film 31, and upper electrode 24B. The lower electrode 24A is formed on the insulating substrate 2. The gate insulating film 31 has a part formed on the lower electrode 24A. The upper electrode 24B opposes the lower electrode 24A via the part of the gate insulating film 31.

The relationship between the layers of the transistors 21 to 23 and the capacitor 24, the signal lines Y_1 to Y_n , the scan lines X_1 to X_m , and the supply lines Z_1 to Z_m will be described next with reference to FIGS. 5 to 11. FIGS. 9 to 11 are plan views of the electrodes of the transistors 21 to 23.

As shown in FIGS. 5 to 8 and 9, the gates 21g, 22g, 23g of said three transistors 21, 22, 23, and the lower electrodes 24A of the capacitors 24 of the pixel circuits $P_{1,1}$ to $P_{m,n}$, and the signal lines Y_1 to Y_n are formed, using photolithography and etching, by patterning a single conductive film formed on the entire surface of the insulating substrate 2. The conductive film as the base of the gates 21g 22g 23g of said three transistors 21, 22, 23, the lower electrodes 24A of the capacitors 24, and the signal lines Y_1 to Y_n

will be referred to as a gate layer hereinafter.

FIG. 9 is a plan view showing a state wherein the gate layer is patterned.

As shown in FIGS. 5 to 8, the gate insulating film
5 31 is formed on the entire surface as a film common to
all the transistors 21, 22, 23, and capacitors 24 of
the pixel circuits $P_{1,1}$ to $P_{m,n}$. Hence, the gate
insulating film 31 covers the gates 21g, 22g, 23g of
the respecting transistors 21, 22, 23, the lower
10 electrodes 24A of the capacitors 24, and the signal
lines Y_1 to Y_n .

As shown in FIGS. 5 to 8 and 10, the drains 21d
and sources 21s of the switch transistors 21, the
drains 22d and sources 22s of the holding transistors
15 22, the drains 23d and sources 23s of the driving
transistors 23, and the lower electrodes 24A of the
capacitors 24 of the pixel circuits $P_{1,1}$ to $P_{m,n}$, the
scan lines X_1 to X_m , and the supply lines Z_1 to Z_m are
formed, using photolithography and etching, by
20 patterning a single conductive film formed on the
entire surface of the gate insulating film 31. The
conductive film as the base of the drains 21d and
sources 21s of the switch transistors 21, the drains
22d and sources 22s of the holding transistors 22, the
25 drains 23d and sources 23s of the driving transistors
23, the electrodes 24A of the capacitors 24, the scan
lines X_1 to X_m , and the supply lines Z_1 to Z_m will be

referred to as a drain layer hereinafter.

FIG. 10 is a plan view showing a state wherein the drain layer is patterned. FIG. 11 is a plan view showing a state wherein the patterned drain layer is superposed on the patterned gate layer.

As shown in FIGS. 3, 7, 9, and 10, the scan line X_i is electrically connected to the gate 21g of the switch transistor 21 and the gate 22g of the holding transistor 22 through a contact hole 92 formed in the gate insulating film 31. The signal line Y_j is electrically connected to the source 21s of the switch transistor 21 through a contact hole 94 formed in the gate insulating film 31. The source 22s of the holding transistor 22 is electrically connected to the gate 23g of the driving transistor 23 through a contact hole 93 formed in the gate insulating film 31.

As shown in FIGS. 5 to 8, the switch transistors 21, holding transistors 22, driving transistors 23, scan lines X_1 to X_m , and supply lines Z_1 to Z_m are covered with a protective insulating film 32 formed on the entire surface. The protective insulating film 32 is divided into strips at the overlap portions on the supply lines Z_1 to Z_m . This will be described later in detail.

A planarization film 33 is formed on the protective insulating film 32 so that the three-dimensional pattern of the switch transistors 21,

holding transistors 22, driving transistors 23, scan lines X_1 to X_m , and supply lines Z_1 to Z_m is eliminated by the planarization film 33. That is, the surface of the planarization film 33 is flat. The planarization film 33 is formed by hardening a resin. The planarization film 33 is divided into strips at the overlap portions on the supply lines Z_1 to Z_m together with the protective insulating film 32. This will be described later in detail.

To use the EL display panel 1 as a bottom emission type, i.e., to use the insulating substrate 2 as the display screen, transparent materials are used for the gate insulating film 31, protective insulating film 32, and planarization film 33.

A plurality of long trenches 34 (FIG. 8) running in the horizontal direction along the supply lines Z_1 to Z_m are formed in the protective insulating film 32 and planarization film 33 while overlapping the supply lines Z_1 to Z_m . Both insulating film 32, 33 are divided into rectangles running in the horizontal direction by two trenches 34 adjacent in the vertical direction. The feed interconnections 90 are buried in the trenches 34 so that the feed interconnections 90 are electrically connected to the supply lines Z_1 to Z_m . The feed interconnections 90 are formed by electroplating and are therefore much thicker than the signal lines Y_1 to Y_n , scan lines X_1 to X_m , supply

lines Z_1 to Z_m , and the gates, sources, and drains of the transistors 21 to 23. More specifically, the thickness height of the feed interconnection 90 almost equals the total thickness or height of the protective insulating film 32 and planarization film 33. The feed interconnection 90 is made of gold, nickel, or a layered body thereof.

The layered structure from the insulating substrate 2 to the planarization film 33 is called a transistor array substrate 50. In the transistor array substrate 50, assemblies each having the switch transistor 21, holding transistor 22, and driving transistor 23 are arrayed in a matrix when viewed from the upper side.

The layer structure formed on the upper surface of the transistor array substrate 50 will be described next. The plurality of pixel electrodes 20a are arrayed in a matrix on the surface of the transistor array substrate 50, i.e., the upper surface of the planarization film 33. A plurality of contact holes 95 are formed in the planarization film 33 and protective insulating film 32 while overlapping the pixel electrodes 20a and the upper electrodes 24B of the capacitors 24. Conductive pads are buried in the contact holes 95. Hence, the pixel electrode 20a is electrically connected to the upper electrode 24B of the capacitor 24, the drain 21d of the switch

transistor 21, and the source 23s of the driving transistor 23 through the contact hole 95 formed through the planarization film 33 and protective insulating film 32. The conductive pad in the contact hole 95 is formed by electroplating.

The pixel electrode 20a is an electrode functioning as the anode of the organic EL element 20. More specifically, the work function of the pixel electrode 20a is preferably relatively high so that holes can efficiently be injected into the organic EL layer 20b (to be described later). In a bottom emission structure, the pixel electrode 20a has a transparency to visible light. As the pixel electrode 20a, for example, a metal oxide containing, e.g., indium tin oxide (ITO), indium zinc oxide, indium oxide (In_2O_3), tin oxide (SnO_3), zinc oxide (ZnO), or cadmium tin oxide (CTO) as the major component can be used.

To use the EL display panel 1 as a top emission type, i.e., to use the opposite side of the insulating substrate 2 as the display screen, a reflecting film having conductivity and high visible light reflectance is preferably formed between the pixel electrode 20a and the planarization film 33.

The pixel electrodes 20a are formed, using photolithography and etching, by patterning a conductive film (a transparent conductive film for a bottom emission type) formed on the entire surface of

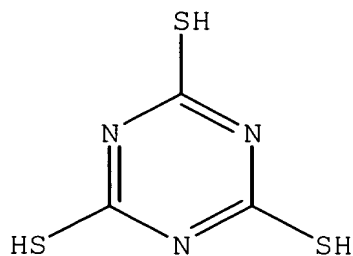
the planarization film 33. On the feed
interconnections 90 between the pixel electrodes 20a
adjacent in the vertical direction, conductive lines 51
electrically connected to the feed interconnections 90
5 along them are patterned on alternate columns of the
pixel electrodes 20a. The conductive lines 51 are
patterned together with the pixel electrodes 20a by
etching a conductive film as the prospective pixel
electrodes 20a. The width of each conductive line 51
10 is so larger than that of the feed interconnection 90
under it that the feed interconnection 90 is covered
not to expose and protected from the etchant of the
conductive lines 51.

A mesh-shaped insulating film 52 made of
15 insulating material such as silicon nitride is
patterned between the pixel electrodes 20a. More
specifically, the insulating film 52 is formed into a
grid shape so that it runs in the row direction to
cover the conductive lines 51 and not to expose them
20 and also runs in the column direction as an underlayer
of the common interconnections 91 (to be described
later). The common interconnections 91 are formed
along the column direction on the insulating film 52
between the pixel electrodes 20a adjacent in the
25 horizontal direction.

Since the common interconnections 91 are formed by
electroplating, they are much thicker than the signal

lines Y_1 to Y_n , the scan lines X_1 to X_m , the supply lines Z_1 to Z_m , and the gates, sources, and drains of the transistors 21 to 23. The common interconnections 91 contain at least one of copper, aluminum, gold, and nickel.

A liquid repellent conductive film 55 having water repellency and/or oil repellency is formed on the upper surface of each common interconnection 91. The liquid repellent conductive films 55 are formed by reducing and eliminating hydrogen atoms (H) of the mercapto group (-SH) of triazyl-trithiol expressed by chemical formula (1), and oxidizing and adsorbing sulfur atoms (S) in the surfaces of the common interconnections 91.



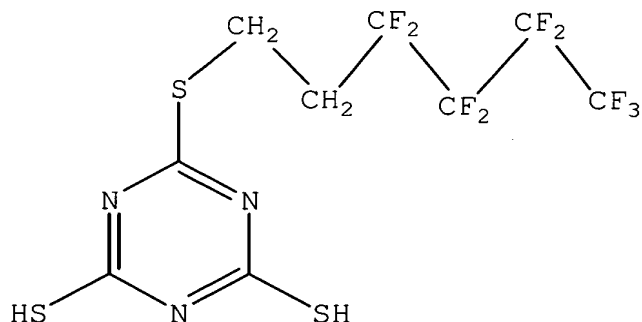
In the liquid repellent conductive film 55, triazyl-trithiol molecules are formed very thin on the surface of the common interconnection 91. For this reason, the liquid repellent conductive film 55 has a very low resistance in the direction of thickness and rarely has insulating properties. To make the water repellency and/or oil repellency more effective, a triazinethiol derivative in which an alkyl fluoride group substitute for one or two mercapto groups of

triazyl-trithiol may be used in place of
triazyl-trithiol. Such a triazyl compound can
selectively be coated and bonded to a metal like the
common interconnection 91. More specifically, an
5 aqueous solution of 6-dimethylamino-1,3,5-triazine-2,
and 4-dithiol-sodium salt is prepared at a
concentration of 10^{-3} mol/L. When the common
interconnection 91 is dipped in the aqueous solution at
a liquid temperature of 26°C for a dipping time of
10 30 min, the liquid repellent conductive film 55 having
a thickness of about 0.7 nm is formed on the surface of
the common interconnection 91 (the thickness is a
measured value by ellipsometer). Alternatively, an
aqueous solution of 6-didodecylamino-1,3,5-triazine-2,
15 and 4-dithiol-sodium salt is prepared at a
concentration of 10^{-3} mol/L. When the common
interconnection 91 is dipped in the aqueous solution at
a liquid temperature of 46°C for a dipping time of
30 min, the liquid repellent conductive film 55 having
20 a thickness of about 1.8 nm is formed on the surface of
the common interconnection 91 (the thickness is a
measured value by ellipsometer).

Alternatively, an aqueous solution of sodium
hydroxide and a triazinethiol derivative (e.g.,
25 expressed by the chemical formula below) using
pure water as the solvent may be applied to the
common interconnection 91 to coat it with the

triazinethiol derivative. For this solution, the concentration of the triazinethiol derivative is set to 2.0×10^{-3} mol/L, and that of sodium hydroxide is set to 2.0×10^{-3} mol/L.

5



As described above, the fluorine-based triazinethiol compound in which at least part of hydrogen of an alkyl group is substituted with a fluorine group exhibits stronger liquid repellency than a triazinethiol compound containing no fluorine.

10

15

20

The organic EL layer 20b of the organic EL element 20 is formed on the pixel electrode 20a. The organic EL layer 20b is a light-emitting layer of broad sense. The organic EL layer 20b contains a light-emitting material (phosphor) as an organic compound. The organic EL layer 20b has a two-layer structure in which a hole transport layer and a light-emitting layer of narrow sense are formed sequentially on the pixel electrode 20a. The hole transport layer is made of PEDOT (polythiophene) as a conductive polymer and PSS (polystyrene sulfonate) as a dopant. The light-emitting layer of narrow sense is made of a

polyfluorene-based light-emitting material.

5 The organic EL layer 20b is formed by wet coating (e.g., ink-jet method) after coating of the liquid repellent conductive film 55. In this case, an organic compound-containing solution containing an organic compound as the prospective organic EL layer 20b is applied to the pixel electrode 20a. The liquid level of the organic compound-containing solution is higher than the top of the insulating film 52. The thick
10 common interconnection 91 whose top is much higher than that of the insulating film 52 is provided between the pixel electrodes 20a adjacent in the horizontal direction. The common interconnection 91 prevents the organic compound-containing solution applied to a pixel
15 electrode 20a from leaking to the pixel electrodes 20a adjacent in the horizontal direction. In addition, the common interconnection 91 is coated with the liquid repellent conductive film 55 having water repellency and/or oil repellency, which repels the organic
20 compound-containing solution applied to the pixel electrode 20a. The organic compound-containing solution applied to the pixel electrode 20a is never deposited excessively thick near the edge of the insulating line 52 as compared to the center of the
25 pixel electrode 20a. Hence, the organic EL layer 20b formed by drying the organic compound-containing solution can have a uniform thickness.

When the organic EL layer 20b is formed between the common interconnections 91 in the above-described way, a stripe structure in which a region R where the organic EL layer 20b to emit red light is formed, a region G where the organic EL layer 20b to emit green light is formed, and a region B where the organic EL layer 20b to emit blue light is formed are arrayed in this order, as shown in FIG. 12, is formed. A plurality of pixels in the same column emit light of the same color.

When viewed from the upper side, the applied organic compound-containing solution is uniformly distributed vertically in each column because its left and right sides are partitioned by the common interconnections 91. Hence, the plurality of organic EL layers 20b arrayed in the vertical direction have the same layer structure and emit light of the same color. The pixel electrode 20a and organic EL layer 20b need not always have a band shape long in the vertical direction. Alternately, they may be long in the horizontal direction.

The organic EL layer 20b need not always have the two-layer structure. A three-layer structure including a hole transport layer, a light-emitting layer of narrow sense, and an electron transport layer sequentially from the pixel electrode 20a may be employed. A single-layer structure including a

light-emitting layer of narrow sense may be used. A layered structure having an electron or hole injection layer inserted between appropriate layers in one of the above layer structures may be employed. Any other
5 layered structures can also be used.

A counter electrode 20c functioning as the cathode of the organic EL element 20 is formed on the organic EL layer 20b. The counter electrode 20c is a common electrode commonly formed on the entire surface for all
10 pixels. The counter electrode 20c formed on the entire surface covers the common interconnections 91 while sandwiching the liquid repellent conductive film 55 between them. For this reason, the counter electrode 20c is electrically connected to the common
15 interconnection 91, as shown in the circuit diagram of FIG. 2.

The counter electrode 20c is formed from a material having a work function lower than the pixel electrode 20a. The counter electrode 20c is preferably
20 made of, e.g., a single substance selected from magnesium, calcium, lithium, barium, indium, and a rare earth metal, or an alloy containing at least one of these single substances. The counter electrode 20c may have a layered structure in which the layers of various
25 kinds of materials described above are stacked, or a layered structure in which a metal layer hard to oxidize is deposited in addition to the layers of

various kinds of materials described above to lower the sheet resistance. More specifically, a layered structure including a highly pure barium layer having a low work function and provided on the interface side contacting the organic EL layer 20b, and an aluminum layer provided to cover the barium layer, or a layered structure including a lithium layer on the lower side and an aluminum layer on the upper side can be used. In a top emission structure, the counter electrode 20c may be a transparent electrode having the above-described thin film with a low work function and a transparent conductive film made of, e.g., ITO on the thin film.

A sealing insulating film 56 is formed on the counter electrode 20c. The insulating film 56 is an inorganic or organic film provided to cover the entire counter electrode 20c to prevent its degradation.

Conventionally, in an EL display panel having a top emission structure, at least part of the counter electrode 20c is formed as a transparent electrode made of, e.g., a metal oxide having a sufficiently high resistance value. The sheet resistance cannot be sufficient low unless the material is sufficiently thick. When the material is thick, the transmission of the organic EL element inevitably decreases. The larger the screen becomes, the harder a uniform potential is obtained in a plane. Hence, the display

characteristic degrades.

In this embodiment, however, the plurality of common interconnections 91 with a low resistance are provided to obtain a sufficient thickness in the vertical direction. Hence, the sheet resistance value of the entire cathode electrodes of the organic EL elements 20 can be decreased together with the counter electrode 20c so that a sufficient large current can be supplied uniformly in a plane. In this structure, the common interconnections 91 reduce the sheet resistance of the cathode electrode. For this reason, the transmittance can be increased by forming the counter electrode 20c thin. In a top emission structure, the pixel electrode 20a may be made of a reflecting material.

[Manufacturing Method of Transistor Array Substrate and EL Display Panel]

A method of manufacturing the transistor array substrate 50 and EL display panel 1 will be described.

A gate layer is formed on the entire surface of the insulating substrate 2 by vapor deposition such as CVD, PVD, or sputtering. The gate layer is sequentially subjected to photolithography and etching to pattern the gates 21g, 22g, and 23g and the electrodes 24A of the pixel circuits $P_{1,1}$ to $P_{m,n}$ and the signal lines Y_1 to Y_n .

The gate insulating film 31 is formed on the

entire surface by vapor deposition. The contact holes 92 to 94 of the pixel circuits $P_{1,1}$ to $P_{m,n}$ are formed through the gate insulating film 31 by photolithography and etching.

5 Vapor deposition, photolithography, and etching are sequentially executed to pattern the semiconductor films 21c, 22c, and 23c of the pixel circuits $P_{1,1}$ to $P_{m,n}$. Vapor deposition, photolithography, and etching are sequentially executed to pattern the channel
10 protective films 21p, 22p, and 23p of the pixel circuits $P_{1,1}$ to $P_{m,n}$. Vapor deposition, photolithography, and etching are sequentially executed to pattern the impurity-doped semiconductor films 21a, 22a, 23a and impurity-doped semiconductor films 21b,
15 22b, and 23b of the pixel circuits $P_{1,1}$ to $P_{m,n}$.

A drain layer is formed on the entire surface of the gate insulating film 31 by vapor deposition. The contact holes 92 to 94 of the pixel circuits $P_{1,1}$ to $P_{m,n}$ are filled with parts of the drain layer.

20 The drain layer is sequentially subjected to photolithography and etching to pattern the drains 21d, 22d, and 23d, the sources 21s, 22s, and 23s, and the electrodes 24B of the pixel circuits $P_{1,1}$ to $P_{m,n}$, the scan lines X_1 to X_m , and the supply lines Z_1 to Z_m .

25 The protective insulating film 32 is formed on the entire surface by vapor deposition. A resin is applied onto the entire protective insulating film 32 and dried

to form the planarization film 33 on the entire surface.

5 The contact holes 95 of the pixel circuits $P_{1,1}$ to $P_{m,n}$ are formed through the protective insulating film 32 and planarization film 33. The trenches 34 are formed in the protective insulating film 32 and planarization film 33 at positions overlapping the supply lines Z_1 to Z_m .

10 Electroplating is executed by applying a voltage to the supply lines Z_1 to Z_m and the electrodes 24B to grow the feed interconnections 90 in the trenches 34 and also grow conductive pads in the contact holes 95. With this process, the feed interconnections 90 are formed on the supply lines Z_1 to Z_m in the trenches 34,
15 and the conductive pads are formed on the electrodes 24B in the contact holes 95.

In this way, the transistor array substrate 50 is completed.

20 A transparent conductive film is formed on the entire surface of the transistor array substrate 50 by vapor deposition. The transparent conductive film is sequentially subjected to photolithography and etching to pattern the pixel electrodes 20a of the pixel circuits $P_{1,1}$ to $P_{m,n}$ and the conductive lines 51.

25 An insulating film is formed on the entire surface by vapor deposition. On the insulating film, the common interconnections 91 are grown by electroplating

between the pixel electrodes 20a adjacent in the horizontal direction.

5 A triazyl-trithiol solution is applied on the entire surface, or the panel is dipped in a triazyl-trithiol solution to selectively form the liquid repellent conductive film 55 on the surfaces of the common interconnections 91. The liquid repellent conductive films 55 are formed on the surfaces of the common interconnections 91 because of the properties of triazyl-trithiol. No liquid repellent conductive film is formed on the surface of the insulating film.

10 The insulating film is sequentially subjected to photolithography and etching to pattern the insulating film into the insulating film 52 having openings in a matrix. With this process, the pixel electrodes 20a are exposed.

15 By wet coating, the organic EL layers 20b are patterned. The thick common interconnections 91 are provided between the pixel electrodes 20a adjacent in the horizontal direction. In addition, the common interconnections 91 are coated with the liquid repellent conductive films 55 having water repellency and/or oil repellency. Hence, the organic compound-containing solution applied to each pixel electrode 20a does not leak to the adjacent pixel electrodes 20a. The organic compound-containing solution applied to each pixel electrode 20a is not

thick around it because of the water repellency and/or oil repellency of the liquid repellent conductive film 55. Hence, the organic EL layer 20b can be formed in a uniform thickness.

5 The counter electrode 20c is formed on the entire surface by vapor deposition. The sealing insulating film 56 is formed on the entire surface by vapor deposition.

 In this way, the EL display panel 1 is completed.
10 [EL Display Panel Driving Method]

 The EL display panel 1 can be driven by the active matrix method in the following way. As shown in FIG. 13, a select driver connected to the scan lines X_1 to X_m sequentially outputs a shift pulse of high level to the scan lines X_1 to X_m in this order (the scan line X_1 next to the scan line X_m), thereby sequentially selecting the scan lines X_1 to X_m . A feed driver is connected to the feed interconnections 90. The feed driver applies the write feed voltage V_L to supply a write current to the driving transistors 23 connected to the supply lines Z_1 to Z_m through the feed interconnections 90 during a selection period. The feed driver applies the driving feed voltage V_H to supply a driving current to the organic EL elements 20 through the driving transistors 23 during a light emission period. The feed driver sequentially outputs the write feed voltage V_L of low level (lower than the

voltage of the counter electrode of the organic EL elements 20) to the supply lines Z_1 to Z_m in this order (the supply line Z_1 next to the supply line Z_m) in synchronism with the select driver, thereby

5 sequentially selecting the supply lines Z_1 to Z_m .

While the select driver is selecting the scan lines X_1 to X_m , a data driver supplies a write current (current signal) to all the signal lines Y_1 to Y_n through the source-to-drain paths of the driving transistors 23 of

10 a predetermined row. At this time, the feed driver also outputs the write feed voltage VL of low level from both the interconnection terminals 90b and 90c to the feed interconnections 90 connected to the supply lines Z_1 to Z_m . The counter electrode 20c and common

15 interconnections 91 are connected to an external device through the interconnection terminals 91c and held at the predetermined common potential Vcom (e.g., ground = 0V).

During the selection period of the scan line X_i ,

20 the shift pulse of high level is output to the scan line X_i of the i th row so that the switch transistor 21 and holding transistor 22 are turned on. In each selection period, the potential on the data driver side is equal to or lower than the write feed voltage VL

25 output to the feed interconnections 90 and the supply lines Z_1 to Z_m . The write feed voltage VL is set to be equal to or lower than the common potential Vcom. At

this time, no current flows from the organic EL elements 20 to the signal lines Y_1 to Y_n . As shown in FIG. 2, a write current (current signal) having a current value corresponding to the gray level is supplied from the data driver to the signal lines Y_1 to Y_n , as indicated by an arrow A. In the pixel circuit $P_{i,j}$, the write current (current signal) to the signal line Y_j flows from the feed interconnection 90 and supply line Z_i through the source-to-drain path of the driving transistor 23 and the source-to-drain path of the switch transistor 21. The current value of the current flowing through the source-to-drain path of the driving transistor 23 is uniquely controlled by the data driver. The data driver sets the current value of the write current in accordance with an externally input gray level. While the write current (current signal) is flowing, the voltage between the gate 23g and source 23s of the driving transistor 23 of each of pixel circuits $P_{i,1}$ to $P_{i,n}$ of the i th row is forcibly set in accordance with the current value of the write current (current signal) flowing to the signal lines Y_1 to Y_n , i.e., the current value of the write current (current signal) flowing between the drain 23d and source 23s of the driving transistor 23 independently of the change over time in the V_g - I_{ds} characteristic of the driving transistor 23. Charges with a magnitude corresponding to the level of this voltage are stored

in the capacitor 24 so that the current value of the write current (current signal) is converted into the voltage level between the gate 23g and source 23s of the driving transistor 23. In the subsequent light emission period, the scan line X_i changes to low level so that the switch transistor 21 and holding transistor 22 are turned off. The charges on the side of the lower electrode 24A of the capacitor 24 are confined by the holding transistor 22 in the OFF state, and a floating state is set. Hence, even when the voltage of the source 23s of the driving transistor 23 is modulated at the time of transition from the selection period to the light emission period, the potential difference between the gate 23g and source 23s of the driving transistor 23 is maintained. During the light emission period, the potential of the supply line Z_i and the feed interconnection 90 connected to it equals the driving feed voltage V_H which is higher than the potential V_{com} of the counter electrode 20c of the organic EL element 20. Hence, a driving current flows from the supply line Z_i and the feed interconnection 90 connected to it to the organic EL element 20 in the direction of arrow B through the driving transistor 23. Hence, the organic EL element 20 emits light. The current value of the driving current depends on the voltage between the gate 23g and source 23s of the driving transistor 23. For this reason, the current

value of the driving current during the light emission period equals the current value of the write current (pull-out current) during the selection period.

Another active matrix driving method of the EL display panel 1 is as follows. As shown in FIG. 14, an oscillation circuit outputs a clock signal to the feed interconnections 90 and supply lines Z_1 to Z_m . The select driver sequentially outputs a shift pulse of high level to the scan lines X_1 to X_m in this order (the scan line X_1 next to the scan line X_m), thereby sequentially selecting the scan lines X_1 to X_m . While the select driver is outputting the shift pulse to one of the scan lines X_1 to X_m , the clock signal from the oscillation circuit changes to low level. When the select driver selects the scan lines X_1 to X_m , the data driver supplies a pull-out current (current signal) as the write current to all the signal lines Y_1 to Y_n through the source-to-drain paths of the driving transistors 23. The counter electrode 20c and feed interconnections 90 are held at the predetermined common potential V_{com} (e.g., ground = 0V).

During the selection period of the scan line X_i , the shift pulse is output to the scan line X_i of the i th row so that the switch transistor 21 and holding transistor 22 are turned on. In each selection period, the potential on the data driver side is equal to or lower than the clock signal output to the feed

interconnections 90 and supply lines Z_1 to Z_m . The low level of the clock signal is set to be equal to or lower than the common potential V_{com} . At this time, no current flows from the organic EL elements 20 to the signal lines Y_1 to Y_n . As shown in FIG. 2, a write current (pull-out current) having a current value corresponding to the gray level is supplied from the data driver to the signal lines Y_1 to Y_n , as indicated by the arrow A. In the pixel circuit $P_{i,j}$, the write current (pull-out current) to the signal line Y_j flows from the feed interconnection 90 and supply line Z_i through the source-to-drain path of the driving transistor 23 and the source-to-drain path of the switch transistor 21. The current value of the current flowing through the source-to-drain path of the driving transistor 23 is uniquely controlled by the data driver. The data driver sets the current value of the write current (pull-out current) in accordance with an externally input gray level. While the write current (pull-out current) is flowing, the voltage between the gate 23g and source 23s of the driving transistor 23 of each of the pixel circuits $P_{i,1}$ to $P_{i,n}$ of the i th row is forcibly set in accordance with the current value of the write current (pull-out current) flowing to the signal lines Y_1 to Y_n , i.e., the current value of the write current (pull-out current) flowing between the drain 23d and source 23s of the driving transistor 23

independently of the change over time in the V_g - I_{ds} characteristic of the driving transistor 23. Charges with a magnitude corresponding to the level of this voltage are stored in the capacitor 24 so that the current value of the write current (pull-out current) is converted into the voltage level between the gate 23g and source 23s of the driving transistor 23. In the subsequent light emission period, the scan line X_i changes to low level so that the switch transistor 21 and holding transistor 22 are turned off. The charges on the side of the lower electrode 24A of the capacitor 24 are confined by the holding transistor 22 in the OFF state, and a floating state is set. Hence, even when the voltage of the source 23s of the driving transistor 23 is modulated at the time of transition from the selection period to the light emission period, the potential difference between the gate 23g and source 23s of the driving transistor 23 is maintained. Of the selection period, during a period in which no row is selected, i.e., the clock signal is at high level, and the potential of the feed interconnection 90 and supply line Z_i is higher than the potential V_{com} of the counter electrode 20c of the organic EL element 20 and the feed interconnection 90, the driving current flows from the feed interconnection 90 and supply line Z_i with a higher potential to the organic EL element 20 through the source-to-drain path of the driving

transistor 23 in the direction of arrow B. Hence, the organic EL element emits light. The current value of the driving current depends on the voltage between the gate 23g and source 23s of the driving transistor 23.

5 For this reason, the current value of the driving current during the light emission period equals the current value of the write current (pull-out current) during the selection period. Of the selection period, during a period in which any row is selected, i.e., the

10 clock signal is at low level, the potential of the feed interconnection 90 and supply line Z_i is equal to or lower than the potential V_{com} of the counter electrode 20c and feed interconnection 90. Hence, no driving current flows to the organic EL element 20, and thus no

15 light emission occurs.

In either driving method as described above, the switch transistor 21 functions to turn on (selection period) and off (light emission period) of the current between the signal line Y_j and the source 23s of the driving transistor 23. The holding transistor 22

20 functions to make it possible to supply the current between the source 23s and drain 23d of the driving transistor 23 during the selection period and hold the voltage applied to the gate 23g of the driving

25 transistor 23 during the light emission period. The driving transistor 23 functions to drive the organic EL element 20 by supplying a current having a magnitude

corresponding to the gray level to the organic EL element 20.

As described above, the magnitude of the current flowing to the feed interconnection 90 equals the sum of the magnitudes of driving currents flowing to the n organic EL elements 20 connected to the scan line X_i of one column. When a selection period to do moving image driving using pixels for VGA or more is set, the parasitic capacitance of the feed interconnection 90 increases. The resistance of a thin film such as the gate or the source/drain of a thin-film transistor is so high that the write current (i.e. driving current) cannot be supplied to the n organic EL elements 20. In this embodiment, the feed interconnections 90 are formed from a conductive layer different from the gates, sources and drains of thin-film transistors of the pixel circuits $P_{1,1}$ to $P_{m,n}$. For this reason, the voltage drop by the feed interconnections 90 is small. Even in a short selection period, the write current (pull-out current) can sufficiently be supplied without any delay. Since the resistance of the feed interconnection 90 is lowered by thickening it, the feed interconnection 90 can be made narrow. In a bottom emission structure, the decrease in pixel opening ratio can be minimized.

Similarly, the magnitude of the driving current flowing to the common interconnection 91 during the

light emission period equals that of the write current (pull-out current) flowing to the feed interconnection 90 during the selection period. Since a conductive layer different from the gates, sources and drains of thin-film transistors of the pixel circuits $P_{1,1}$ to $P_{m,n}$ is connected to the counter electrode 20c, the common interconnection 91 can be made thick, and its resistance can be lowered. In addition, even when the counter electrode 20c itself becomes thin and increases its resistance, the voltage of the counter electrode 20c can be uniformed in the plane. Hence, even if the same potential is applied to all the pixel electrodes 20a, the light emission intensities of the organic EL layers 20b almost equal, and the light emission intensity in the plane can be uniformed.

When the EL display panel 1 is used as a top emission type, the counter electrode 20c can be made thinner. Hence, light emitted from the organic EL layer 20b hardly attenuates while passing through the counter electrode 20c. Additionally, since the common interconnection 91 are provided between the pixel electrodes 20a adjacent in the horizontal direction when viewed from the upper side, the decrease in pixel opening ratio can be minimized.

The supply lines Z_1 to Z_m are the upper layers of the signal lines Y_1 to Y_n . In the manufacturing process of the transistor array substrate 50 and EL

display panel 1, when the structure is dipped in a plating solution while a voltage is applied to the supply lines Z_1 to Z_m by using them as an underlayer, the feed interconnections 90 can be grown on the supply lines Z_1 to Z_m .

When the EL display panel 1 has pixels corresponding to WXGA (768 × 1366), the desired width and sectional area of the feed interconnection 90 and common interconnection 91 are defined. FIG. 15 is a graph showing the current vs. voltage characteristic of the driving transistor 23 and organic EL element 20 of each of the pixel circuits $P_{1,1}$ to $P_{m,n}$.

Referring to FIG. 15, the ordinate represents the current value of the write current flowing between the source 23s and drain 23d of one driving transistor 23 or the current value of the driving current flowing between the anode and cathode of one organic EL element 20. The abscissa represents the voltage between the source 23s and drain 23d of one driving transistor 23 (also the voltage between the gate 23g and drain 23d of one driving transistor 23). Referring to FIG. 15, a solid line $I_{ds\ max}$ indicates a write current and driving current for the highest luminance gray level (brightest display). A one-dot dash line $I_{ds\ mid}$ indicates a write current and driving current for an intermediate highest luminance gray level between the highest luminance gray level and the lowest luminance

gray level. A two-dots dash line V_{po} indicates a threshold value between the unsaturation region (linear region) and the saturation region of the driving transistor 23, i.e., the pinch-off voltage. A three-dots dash line V_{ds} indicates a write current flowing between the source 23s and drain 23d of the driving transistor 23. A broken line IEL indicates a driving current flowing between the anode and cathode of the organic EL element 20.

A voltage $VP1$ is the pinch-off voltage of the driving transistor 23 for the highest luminance gray level. A voltage $VP2$ is the source-to-drain voltage of the driving transistor 23 when a write current for the highest luminance gray level flows. A voltage VEL_{max} (voltage $VP4$ - voltage $VP3$) is the anode-to-cathode voltage when the organic EL element 20 emits light by a driving current of the highest luminance gray level, which has a current value equal to that of the write current for the highest luminance gray level. A voltage $VP2'$ is the source-to-drain voltage of the driving transistor 23 when a write current for the intermediate luminance gray level flows. A voltage (voltage $VP4'$ - voltage $VP3'$) is the anode-to-cathode voltage when the organic EL element 20 emits light by a driving current of the intermediate luminance gray level, which has a current value equal to that of the write current for the intermediate luminance gray

level.

To drive the driving transistor 23 and organic EL element 20 in the saturation region, a value VX obtained by subtracting (the voltage Vcom of the common interconnection 91 during the light emission period) from (the driving feed voltage VH of the feed interconnection 90 during the light emission period) satisfies

$$VX = Vpo + Vth + Vm + VEL \quad \dots(2)$$

where Vth (= VP2 - VP1 for the highest luminance) is the threshold voltage of the driving transistor 23, VEL (= VEmax for the highest luminance) is the anode-to-cathode voltage of the organic EL element 20, and Vm is an allowable voltage which displaces in accordance with the gray level.

As is apparent from FIG. 15, the higher the luminance gray level is, the higher the voltage (Vpo + Vth) necessary between the source and drain of the transistor 23 is, and also, the higher the voltage VEL necessary between the anode and cathode of the organic EL element 20 is. Hence, the allowable voltage Vm becomes low as the luminance gray level becomes high. A minimum allowable voltage Vmin is VP3 - VP2.

The organic EL element 20 generally degrades and increases its resistance over time no matter whether a low or high molecular weight EL material. It has been confirmed that the anode-to-cathode voltage after

10,000 hrs is about 1.4 to several times that in the initial state. That is, the voltage VEL rises along with the elapse of time even when the luminance gray level does not change. The operation is stable for a long time when the allowable voltage Vm in the initial driving state is as high as possible. Hence, the voltage VX is set such that the voltage VEL becomes 8V or more and, more preferably, 13V or more.

The allowable voltage Vm includes not only the increase amount of the resistance of the organic EL element 20 but also the voltage drop by the feed interconnection 90.

If the voltage drop is large because of the interconnection resistance of the feed interconnection 90, the power consumption of the EL display panel 1 considerably increases. Hence, the voltage drop of the feed interconnection 90 is especially preferably set to 1V or less. When the panel size of the EL display panel 1 is 32 inches, the current value of one organic EL element 20 for the maximum luminance gray level is set to about 5.4 μ A to 6.8 μ A. For a 40-inch panel, the current value is set to 8.5 μ A to 11.0 μ A.

A pixel width Wp as the row-direction length of one pixel, the number of pixels (1366) in the row direction, the extension portion from the feed interconnection 90 to the interconnection terminal 90b in the non-pixel region on the left side, and the

extension portion from the feed interconnection 90 to the interconnection terminal 90c in the non-pixel region on the right side are taken into consideration. In this case, the total length of the feed
5 interconnection 90 is 706.7 mm for the EL display panel 1 with a panel size of 32 inches or 895.2 mm for 40 inches. If a line width WL of the feed interconnection 90 and common interconnection 91 is large, the area of the organic EL layer 20b decreases
10 structurally. In addition, the overlap parasitic capacitance to other interconnections is also generated, and the voltage drop becomes larger. To prevent this, the line width WL of the feed interconnection 90 and common interconnection 91 is
15 preferably suppressed to 1/5 or less the pixel width Wp. In consideration of this, the line width WL of the feed interconnection 90 and common interconnection 91 is 34 μm or less for the EL display panel 1 with a panel size of 32 inches or 44 μm or less for
20 40 inches. A maximum thickness Hmax of the feed interconnection 90 and common interconnection 91 is 1.5 times the minimum process size (4 μm) of the transistors 21 to 23, i.e., 6 μm when the aspect ratio is taken into consideration. A maximum sectional area
25 Smax of the feed interconnection 90 and common interconnection 91 is 204 μm^2 for 32 inches or 264 μm^2 for 40 inches.

To make the maximum voltage drop of the feed interconnection 90 and common interconnection 91 1V or less when the 32-inch EL display panel 1 is fully lighted to flow the maximum current, an interconnection resistivity ρ /sectional area S of the feed interconnection 90 and common interconnection 91 must be set to 4.7 Ω /cm or less, as shown in FIG. 16. FIG. 17 shows the correlation between the sectional area and the current density of the feed interconnection and common interconnection of the 32-inch EL display panel 1. The resistivity allowed when the above-described feed interconnection 90 and common interconnection 91 have the maximum sectional area Smax is 9.6 $\mu\Omega$ cm for 32 inches or 6.4 $\mu\Omega$ cm for 40 inches.

To make the maximum voltage drop of the feed interconnection 90 and common interconnection 91 1V or less when the 40-inch EL display panel 1 is fully lighted to flow the maximum current, the interconnection resistivity ρ /sectional area S of the feed interconnection 90 and common interconnection 91 must be set to 2.4 Ω /cm or less, as shown in FIG. 18. FIG. 19 shows the correlation between the sectional area and the current density of the feed interconnection and common interconnection of the 40-inch EL display panel 1.

A median time to failure MTF at which the EL

display panel stops operation due to a failure in the feed interconnection 90 and common interconnection 91 satisfies

$$MTF = A \exp(E_a / K_b T) / \rho J^2 \quad \dots (3)$$

5 where E_a is an activation energy, $K_b T = 8.617 \times 10^{-5}$ eV, ρ is the resistivity of the feed interconnection 90 and common interconnection 91, and J is a current density.

The median time to failure MTF of the feed
10 interconnection 90 and common interconnection 91 is determined by an increase in resistivity and electromigration. When the feed interconnection 90 and common interconnection 91 are set to an Al-based material (Al single substance or an alloy such as AlTi
15 or AlNd), and calculation is done on trial for MTF of 10,000 hrs and an operation temperature of 85°C, the current density J must be 2.1×10^4 A/cm² or less. When the feed interconnection 90 and common
interconnection 91 are set to Cu, the current density J
20 must be 2.8×10^6 A/cm² or less. It is assumed that materials except Al in an Al alloy have a resistivity lower than Al.

In consideration of these, in the 32-inch EL display panel 1, the sectional area S of the Al-based
25 feed interconnection 90 and common interconnection 91 must be $57 \mu\text{m}^2$ or more to prevent any failure in them in the full lighting state for 10,000 hrs, as is

apparent from FIG. 17. The sectional area S of the feed interconnection 90 and common interconnection 91 made of Cu must be $0.43 \mu\text{m}^2$ or more, as is apparent from FIG. 17.

5 In the 40-inch EL display panel 1, the sectional area S of the Al-based feed interconnection 90 and common interconnection 91 must be $92 \mu\text{m}^2$ or more to prevent any failure in them in the full lighting state for 10,000 hrs, as is apparent from FIG. 19. The
10 sectional area S of the feed interconnection 90 and common interconnection 91 made of Cu must be $0.69 \mu\text{m}^2$ or more, as is apparent from FIG. 19.

 In the 32-inch EL display panel 1, the interconnection resistivity ρ /sectional area S of the
15 Al-based feed interconnection 90 and common interconnection 91 is $4.7 \Omega/\text{cm}$ or less, as described above, assuming that the resistivity of the Al-based material is $4.0 \mu\Omega\text{cm}$. Hence, a minimum sectional area S_{min} is $85.1 \mu\text{m}^2$. Since the line width WL of the feed
20 interconnection 90 and common interconnection 91 is $34 \mu\text{m}$ or less, as described above, a minimum thickness H_{min} of the feed interconnection 90 and common interconnection 91 is $2.50 \mu\text{m}$.

 In the 40-inch EL display panel 1, the interconnection resistivity ρ /sectional area S of the
25 Al-based feed interconnection 90 and common interconnection 91 is $2.4 \Omega/\text{cm}$ or less, as described

above. Hence, the minimum sectional area S_{min} is $167 \mu m^2$. Since the line width WL of the feed interconnection 90 and common interconnection 91 is $44 \mu m$ or less, as described above, the minimum thickness H_{min} of the feed interconnection 90 and common interconnection 91 is $3.80 \mu m$.

In the 32-inch EL display panel 1, the interconnection resistivity ρ /sectional area S of the feed interconnection 90 and common interconnection 91 made of Cu is $4.7 \Omega/cm$ or less, as described above, assuming that the resistivity of Cu is $2.10 \mu \Omega cm$. Hence, the minimum sectional area S_{min} is $44.7 \mu m^2$. Since the line width WL of the feed interconnection 90 and common interconnection 91 is $34 \mu m$ or less, as described above, the minimum thickness H_{min} of the feed interconnection 90 and common interconnection 91 is $1.31 \mu m$.

In the 40-inch EL display panel 1, the interconnection resistivity ρ /sectional area S of the feed interconnection 90 and common interconnection 91 made of Cu is $2.4 \Omega/cm$ or less, as described above. Hence, the minimum sectional area S_{min} is $87.5 \mu m^2$. Since the line width WL of the feed interconnection 90 and common interconnection 91 is $44 \mu m$ or less, as described above, the minimum thickness H_{min} of the feed interconnection 90 and common interconnection 91 is $1.99 \mu m$.

Hence, to cause the EL display panel 1 to operate normally at a low power consumption, the voltage drop in the feed interconnection 90 and common interconnection 91 is preferably 1V or less. To ensure such a condition, in a 32-inch panel in which the feed interconnection 90 and common interconnection 91 are made of an Al-based material, a thickness H is 2.50 to 6.0 μm , the width WL is 14.1 to 34.0 μm , and the resistivity is 4.0 to 9.6 $\mu\Omega\text{cm}$. In a 40-inch panel in which the feed interconnection 90 and common interconnection 91 are made of an Al-based material, the thickness H is 3.8 to 6.0 μm , the width WL is 27.8 to 44.0 μm , and the resistivity is 4.0 to 9.6 $\mu\Omega\text{cm}$.

In general, for the Al-based feed interconnection 90 and common interconnection 91, the thickness H is 2.5 to 6.0 μm , the width WL is 14.1 to 44.0 μm , and the resistivity is 4.0 to 9.6 $\mu\Omega\text{cm}$.

In a 32-inch panel in which the feed interconnection 90 and common interconnection 91 are made of Cu, the thickness H is 1.31 to 6.00 μm , the width WL is 7.45 to 34.0 μm , and the resistivity is 2.1 to 9.6 $\mu\Omega\text{cm}$. In a 40-inch panel in which the feed interconnection 90 and common interconnection 91 are made of Cu, the thickness H is 1.99 to 6.00 μm , the width WL is 14.6 to 44.0 μm , and the resistivity is 2.1 to 9.6 $\mu\Omega\text{cm}$.

In general, for the feed interconnection 90 and

common interconnection 91 made of Cu, the thickness H is 1.31 to 6.00 μm , the width WL is 7.45 to 44.00 μm , and the resistivity is 2.1 to 9.6 $\mu\Omega\text{cm}$.

Hence, when an Al-based material or Cu is used for the feed interconnection 90 and common interconnection 91, the feed interconnection 90 and common interconnection 91 of the EL display panel 1 have the thickness H of 1.31 to 6.00 μm , the width WL of 7.45 to 44.00 μm , and the resistivity of 2.1 to 9.6 $\mu\Omega\text{cm}$.

[Second Embodiment]

[Overall Arrangement of EL Display Panel]

FIG. 20 is a schematic view showing an EL display panel 1 of active matrix driving type. As shown in FIG. 20, the EL display panel 1 comprises an insulating substrate 2, \underline{n} (a plurality of) signal lines Y_1 to Y_n , \underline{m} (a plurality of) scan lines X_1 to X_m , \underline{m} (a plurality of) supply lines Z_1 to Z_m , $(m \times n)$ pixel circuits $P_{1,1}$ to $P_{m,n}$, a plurality of feed interconnections 90, and a plurality of common interconnections 91. The

insulating substrate 2 is optically transparent and has a flexible sheet shape or a rigid plate shape. The signal lines Y_1 to Y_n are arrayed on the insulating substrate 2 in parallel to each other. The scan lines X_1 to X_m are arrayed on the insulating substrate 2 to be perpendicularly to the signal lines Y_1 to Y_n when the insulating substrate 2 is viewed from the upper side. The supply lines Z_1 to Z_m are arrayed on the

insulating substrate 2 between the scan lines X_1 to X_m to be parallel to them so that the supply lines and scan lines alternate. The pixel circuits $P_{1,1}$ to $P_{m,n}$ are arrayed on the insulating substrate 2 in a matrix along the signal lines Y_1 to Y_n and scan lines X_1 to X_m . The feed interconnections 90 are connected to the supply lines Z_1 to Z_m and branched in parallel to the signal lines Y_1 to Y_n when viewed from the upper side. The common interconnections 91 are provided between the feed interconnections 90 to be parallel to them such that the common interconnections 91 and feed interconnections 90 alternate.

The sum of the total number of feed interconnections 90 and the total number of common interconnections 91 is $(n + 1)$. The feed interconnection 90 or common interconnection 91 is provided to partition each of the left and right sides of each of the pixel circuits $P_{1,1}$ to $P_{m,n}$ in the running direction of the signal lines Y_1 to Y_n .

The feed interconnections 90 are electrically connected to each other through a lead interconnection 90a arranged on one edge of the insulating substrate 2 and are set to an equipotential by an external clock signal, as will be described later. The lead interconnection 90a is connected to interconnection terminals 90b and 90c at the two ends of the insulating substrate 2. Since an equipotential is applied from an

external driving circuit to the left terminals 90b and 90c, a current can quickly be supplied to all the feed interconnections 90. The lead interconnection 90a also functions as a partition wall to partition, in film formation, organic EL layers 20b together with the feed interconnections 90 and common interconnections 91, as will be described later.

The common interconnections 91 are connected to each other through a lead interconnection 91a arranged on another edge of the insulating substrate 2 on the opposite side of the edge with the interconnection 90a. A common voltage V_{com} is applied to the common interconnections 91. The lead interconnections 91a also function as partition walls to partition, in film formation, the organic EL layers 20b together with the feed interconnections 90 and common interconnections 91, as will be described later.

In the following description, the direction in which the signal lines Y_1 to Y_n run will be defined as the vertical direction (column direction), and the direction in which the scan lines X_1 to X_m run will be defined as the horizontal direction (row direction). In addition, m and n are natural numbers ($m \geq 2$, $n \geq 2$). The subscript added to a scan line X represents the sequence from the top in FIG. 20. The subscript added to a supply line Z represents the sequence from the top in FIG. 20. The subscript added

to a signal line Y represents the sequence from the left in FIG. 20. The first subscript added to a pixel circuit P represents the sequence from the top, and the second subscript represents the sequence from the left. More specifically, let i be an arbitrary natural number of 1 to m , and j be an arbitrary natural number of 1 to n , a scan line X_i is the i th row from the top, a supply line Z_i is the i th row from the top, a signal line Y_j is the j th column from the left, and a pixel circuit $P_{i,j}$ is located on the i th row from the top and the j th column from the left. The pixel circuit $P_{i,j}$ is connected to the scan line X_i , supply line Z_i , and signal line Y_j .

In the EL display panel 1, regions partitioned in a matrix by the scan lines X_1 to X_m and signal lines Y_1 to Y_n form pixels. Each of the pixel circuits $P_{1,1}$ to $P_{m,n}$ is provided in one region.

[Circuit Arrangement of Pixel Circuit]

The pixel circuits $P_{1,1}$ to $P_{m,n}$ have the same structure. The arbitrary pixel circuit $P_{i,j}$ of the pixel circuits $P_{1,1}$ to $P_{m,n}$ will be described. FIG. 21 is an equivalent circuit diagram of the pixel circuit $P_{i,j}$. FIG. 22 is a plan view mainly showing the electrodes of the pixel circuit $P_{i,j}$ and pixel circuit $P_{i,j+1}$.

The pixel circuit $P_{i,j}$ comprises an organic EL element 20 serving as a pixel, and a switch transistor

21, holding transistor 22, driving transistor 23, and capacitor 24 which are arranged around the organic EL element 20.

As shown in FIG. 21, in the switch transistor 21 of the pixel circuit $P_{i,j}$, a source 21s is electrically connected to the signal line Y_j . A drain 21d of the transistor 21 is electrically connected to a pixel electrode 20a of the organic EL element 20, a source 23s of the driving transistor 23, and one electrode 24B of the capacitor 24. A gate 21g of the transistor 21 is electrically connected to the scan line X_i and a gate 22g of the holding transistor 22.

In the holding transistor 22, a source 22s is electrically connected to a gate 23g of the driving transistor 23 and the other electrode 24A of the capacitor 24. A drain 22d is electrically connected to the supply line Z_i and a drain 23d of the driving transistor 23. The gate 22g of the transistor 22 is electrically connected to the gate 21g of the switch transistor 21 and the scan line X_i .

In the driving transistor 23, the source 23s is electrically connected to the pixel electrode 20a of the organic EL element 20, the drain 21d of the switch transistor 21, and the electrode 24B of the capacitor 24. The drain 23d of the transistor 23 is electrically connected to the supply line Z_i and the drain 22d of the holding transistor 22. The gate 23g of the same

transistor is electrically connected to the source 22s of the holding transistor 22 and the electrode 24A of the capacitor 24.

5 The entire EL display panel 1 is viewed from the upper side, and a focus is placed on only the switch transistors 21 of the pixel circuits $P_{1,1}$ to $P_{m,n}$. The plurality of switch transistors 21 are arrayed in a matrix on the insulating substrate 2. When a focus is placed on only the holding transistors 22 of the pixel circuits $P_{1,1}$ to $P_{m,n}$ when viewed from the upper side, 10 the plurality of holding transistors 22 are arrayed in a matrix on the insulating substrate 2. When a focus is placed on only the driving transistors 23 of the pixel circuits $P_{1,1}$ to $P_{m,n}$ when viewed from the upper side, 15 the plurality of driving transistors 23 are arrayed in a matrix on the insulating substrate 2.

[Layer Structure of EL Display Panel]

The layer structure of the EL display panel 1 will be described. The layer structure of the transistors 20 21 to 23 will be described first.

FIG. 23 is a sectional view of the driving transistor 23. As shown in FIG. 23, the driving transistor 23 includes the gate 23g, gate insulating film 31, semiconductor film 23c, channel protective film 23p, impurity-doped semiconductor films 23a and 23b, drain 23d, and source 23s. The gate 23g is formed 25 on the insulating substrate 2. The gate insulating

film 31 is formed on the gate 23g and substrate 2. The semiconductor film 23c is formed on the gate insulating film 31. The channel protective film 23p is formed on the central portion of the semiconductor film 23c. The impurity-doped semiconductor films 23a and 23b are formed on opposite ends of the semiconductor film 23c to be spaced apart from each other and partially overlap the channel protective film 23p. The drain 23d is formed on the impurity-doped semiconductor film 23a. The source 23s is formed on the impurity-doped semiconductor film 23b. The drain 23d and source 23s can have either a single-layer structure or a layered structure including two or more layers.

The switch transistor 21 and holding transistor 22 also have the same layer structure as the driving transistor 23, and a description of their sectional views will be omitted.

The relationship between the layers of the transistors 21 to 23 and the capacitor 24, the signal lines Y_1 to Y_n , the scan lines X_1 to X_m , and the supply lines Z_1 to Z_m will be described next with reference to FIGS. 23 to 25. FIG. 24 is a sectional view taken along a line XXIV - XXIV in FIG. 22 in the direction of thickness of the insulating substrate 2. FIG. 25 is a sectional view taken along a line XXV - XXV in FIG. 22 in the direction of thickness of the insulating substrate 2.

As shown in FIGS. 23 to 25, the gates 21g of the switch transistors 21, the gates 22g of the holding transistors 22, the gates 23g of the driving transistors 23, the electrodes 24A of the capacitors 24, and the signal lines Y_1 to Y_n are simultaneously formed, using photolithography and etching, by patterning a conductive film formed on the entire surface of the insulating substrate 2. The signal lines Y_1 to Y_n are interconnections to which a gray level current signal having a current value corresponding to the display gray level flows.

The gate insulating film 31 is formed on the entire surface as a film common to all the switch transistors 21, holding transistors 22, and driving transistors 23. The gate insulating film 31 also serves as a dielectric film inserted between the lower electrode 24A and upper electrode 24B of the capacitor 24 and covers the signal lines Y_1 to Y_n . A protective film 35a formed by patterning a film as the prospective semiconductor films 23c is provided on each of the signal lines Y_1 to Y_n . A protective film 35b formed by patterning a film as the prospective impurity-doped semiconductor films 23a and 23b is formed on the protective film 35a. The protective films 35a and 35b protect the signal lines Y_1 to Y_n from any short circuit formed with any one of the scan lines X_1 to X_m or any one of the supply lines Z_1 to Z_m through

pinholes formed in the gate insulating film 31.

The drains 21d and sources 21s of the switch transistors 21, the drains 22d and sources 22s of the holding transistors 22, the drains 23d and sources 23s of the driving transistors 23, the electrodes 24B of the capacitors 24, the scan lines X_1 to X_m , and the supply lines Z_1 to Z_m are formed by, using photolithography and etching, by patterning a conductive film formed on the entire surface of the gate insulating film 31. As shown in FIG. 22, the scan line X_i is electrically connected to a contact portion C1, which is connected to the gate 21g of the switch transistor 21 and the gate 22g of the holding transistor 22, through a contact hole 92 formed in the gate insulating film 31. The signal line Y_j is electrically connected to the source 21s of the switch transistor 21 through a contact hole 94 formed in the gate insulating film 31. The source 22s of the holding transistor 22 is electrically connected to a contact portion C3, which is connected to the gate 23g of the driving transistor 23, through a contact hole 93 formed in the gate insulating film 31.

As shown in FIGS. 23 to 25, the switch transistors 21, holding transistors 22, driving transistors 23, scan lines X_1 to X_m , and supply lines Z_1 to Z_m are covered with a protective insulating film 32 formed on the entire surface. The protective insulating film 32

is made of silicon nitride or silicon oxide and insulates and protects the transistors 21 to 23, scan lines X_1 to X_m , and supply lines Z_1 to Z_m .

5 A planarization film 33 is formed on the protective insulating film 32 so that the three-dimensional pattern of the switch transistors 21, holding transistors 22, driving transistors 23, scan lines X_1 to X_m , and supply lines Z_1 to Z_m is eliminated by the planarization film 33. That is, the surface of
10 the planarization film 33 is flat. The planarization film 33 is formed by hardening a resin such as polyimide.

The layered structure from the insulating substrate 2 to the planarization film 33 is called a
15 transistor array substrate 50. In the transistor array substrate 50, the switch transistors 21, holding transistors 22, and driving transistors 23 are arrayed in a matrix when viewed from the upper side.

To use the EL display panel 1 as a bottom emission
20 type, i.e., to use the insulating substrate 2 as the display screen by outputting light from the organic EL elements 20 from the insulating substrate 2, transparent materials are used for the gate insulating film 31, protective insulating film 32, and
25 planarization film 33.

The layer structure formed on the surface of the transistor array substrate 50 will be described next.

The pixel electrodes 20a are arrayed in a matrix on the surface of the transistor array substrate 50, i.e., the surface of the planarization film 33 in correspondence with the pixel circuits $P_{1,1}$ to $P_{m,n}$. When viewed from the upper side, the pixel electrode 20a of the pixel circuit $P_{i,j}$ is formed in a region divided partitioned by the adjacent scan line X_i and supply line Z_i and the adjacent signal line Y_j and signal line Y_{j+1} . The pixel electrode 20a is electrically connected to the electrode 24B of the capacitor 24, the drain 21d of the switch transistor 21, and the source 23s of the driving transistor 23 through contact holes formed in the planarization film 33 and protective insulating film 32.

The pixel electrode 20a is an electrode functioning as the anode of the organic EL element 20. More specifically, the work function of the pixel electrode 20a is preferably relatively high so that holes can efficiently be injected in the organic EL layer 20b (to be described later). The pixel electrode 20a has a transparency to visible light. As the pixel electrode 20a, for example, a metal oxide containing, e.g., indium tin oxide (ITO), indium zinc oxide, indium oxide (In_2O_3), tin oxide (SnO_3), zinc oxide (ZnO), or cadmium tin oxide (CTO) as the major component can be used.

To use the EL display panel 1 as a top emission

type, i.e., to use the opposite side of the insulating substrate 2 as the display screen, a reflecting film having conductivity and high visible light reflectance is preferably formed between the pixel electrode 20a and the planarization film 33.

The pixel electrodes 20a are formed, using photolithography and etching, by patterning a transparent conductive film formed on the entire surface of the planarization film 33. Between the pixel electrodes 20a adjacent in the horizontal direction, conductive lines 51 which are electrically disconnected from the pixel electrodes 20a and run in the vertical direction are patterned on alternate columns, like the feed interconnections 90, in correspondence with the signal lines $Y_{(j-2k)}$, ..., $Y_{(j-2)}$, Y_j , $Y_{(j+2)}$, ..., (k is a natural number). The conductive lines 51 are patterned together with the pixel electrodes 20a by etching a transparent conductive film as the prospective pixel electrodes 20a. A plurality of trench-shaped insulating lines 57 long in the vertical direction are formed on left and right edge portions of the conductive lines 51. The feed interconnections 90 are formed on the conductive lines 51 exposed between the adjacent insulating lines 57.

Between the pixel electrodes 20a adjacent in the horizontal direction, conductive lines 52 which are

electrically disconnected from the pixel electrodes 20a and run in the vertical direction are patterned on alternate columns, like the common interconnections 91, in correspondence with the signal lines $Y(j-2k+1)$, ..., $Y(j-1)$, $Y(j+1)$, $Y(j+3)$, ..., (k is a natural number).
5 The both sides of the insulating films 52 partially overlap the edge portions of the pixel electrodes 20a to increase the opening ratio. However, they may not overlap the edge portions of the pixel electrodes 20a.
10 Of the insulating films 52, the insulating films 52 which do not overlap the conductive lines 51 have the common interconnections 91 formed thereon.

The feed interconnections 90 are much thicker than the insulating films 52 and rise from the insulating
15 films 52. The feed interconnections 90 are formed by electroplating and are therefore much thicker than the signal lines Y_1 to Y_n , scan lines X_1 to X_m , supply lines Z_1 to Z_m , and the gates, sources, and drains of the transistors 21 to 23. As shown in FIGS. 22 and 25,
20 contact holes 53 are formed in the planarization film 33 and protective insulating film 32 at portions where the feed interconnections 90 and supply lines Z_1 to Z_m cross when viewed from the upper side. Conductive pads 58 are buried in the contact holes 53. The conductive
25 line 51 and feed interconnection 90 are sequentially stacked on the conductive pad 58. Hence, as shown in the circuit diagram of FIG. 21, the feed

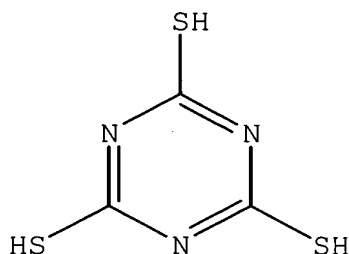
interconnection 90 is electrically connected to the supply lines Z_1 to Z_m through contact portions C2 and also electrically connected to the drains 22d and 23d of the transistors 22 and 23 of the pixel circuits $P_{i,1}$ to $P_{i,n}$ through the supply line Z_i . The conductive pad 58 in the contact hole 53 is formed by electroplating.

Since the common interconnections 91 are also formed by electroplating together with the feed interconnections 90, they are much thicker than the signal lines Y_1 to Y_n , the scan lines X_1 to X_m , the supply lines Z_1 to Z_m , and the gates, sources, and drains of the transistors 21 to 23. The common interconnections 91 and feed interconnections is made of copper, gold, or nickel, or a layered body thereof.

A liquid repellent insulating film 54 having water repellency and/or oil repellency is formed on the surface of each feed interconnection 90. The liquid repellent insulating films 54 are made of a fluoroplastic electrodeposition coating and formed by electrodeposition coating.

A liquid repellent conductive film 55 having water repellency and/or oil repellency is formed on the surface of each common interconnection 91. The liquid repellent conductive films 55 are formed by reducing and eliminating hydrogen atoms (H) of one or two mercapto groups (-SH: also called a thiol group) of triazyl-trithiol expressed by chemical formula (1), and

oxidizing and adsorbing sulfur atoms (S) in the surfaces of the common interconnections 91 as a metal.



5

In the liquid repellent conductive film 55, triazol-trithiol molecule units are formed very thin on the surface of the common interconnection 91. For this reason, the liquid repellent conductive film 55 has a very low resistance in the direction of thickness and rarely has insulating properties. To make the water repellency and oil repellency more effective, a triazinethiol derivative in which an alkyl fluoride group substitute for one or two mercapto groups of triazol-trithiol may be used in place of triazol-trithiol. Such a triazol compound can selectively be coated and bonded to a metal like the liquid repellent conductive film 55. More specifically, an aqueous solution of 6-dimethylamino-1,3,5-triazine-2, and 4-dithiol-sodium salt is prepared at a concentration of 10^{-3} mol/L. When the common interconnection 91 is dipped in the aqueous solution at a liquid temperature of 26°C for a dipping time of 30 min, the liquid repellent conductive film 55 having a thickness of about 0.7 nm is formed on

10

15

20

25

the surface of the common interconnection 91 (the thickness is a measured value by ellipsometer).

Alternatively, an aqueous solution of

6-didodecylamino-1,3,5-triazine-2, and 4-dithiol-sodium
5 salt is prepared at a concentration of 10^{-3} mol/L.

When the common interconnection 91 is dipped in the aqueous solution at a liquid temperature of 46°C for a dipping time of 30 min, the liquid repellent conductive film 55 having a thickness of about 1.8 nm is formed on

10 the surface of the common interconnection 91 (the thickness is a measured value by ellipsometer).

FIG. 26 is a view schematically showing the coating structure of the liquid repellent conductive film 55. Referring to FIG. 26, a substituent R is,
15 e.g., dimethylamino or didodecylamino.

The organic EL layer 20b of the organic EL element 20 is formed on the pixel electrode 20a. The organic EL layer 20b is a light-emitting layer of broad sense.

The organic EL layer 20b contains a light-emitting
20 material (phosphor) as an organic compound. The organic EL layer 20b has a two-layer structure in which

a hole transport layer and a light-emitting layer of narrow sense are formed sequentially from the pixel electrode 20a. The hole transport layer is made of

25 PEDOT (polythiophene) as a conductive polymer and PSS (polystyrene sulfonate) as a dopant. The

light-emitting layer of narrow sense is made of a

polyfluorene-based light-emitting material.

5 The organic EL layer 20b is formed by wet coating (e.g., ink-jet method) after coating of the liquid repellent insulating film 54 and liquid repellent
10 conductive film 55. In this case, an organic compound-containing solution containing an organic compound as the prospective organic EL layer 20b is applied to the pixel electrode 20a. The liquid level of the organic compound-containing solution is higher
15 than the top of the insulating line 52 and that of the insulating line 57. The thick feed interconnection 90 and common interconnection 91 whose top is much higher than those of the insulating line 52 and insulating line 57 are provided between the pixel electrodes 20a
20 adjacent in the horizontal direction. The feed interconnection 90 and common interconnection 91 prevent the organic compound-containing solution applied to a pixel electrode 20a from leaking to the pixel electrodes 20a adjacent in the horizontal
25 direction. In addition, the feed interconnection 90 is coated with the liquid repellent insulating film 54 having the water repellency and/or oil repellency. The common interconnection 91 is coated with the liquid repellent conductive film 55 having water repellency and/or oil repellency. The liquid repellent insulating film 54 and liquid repellent conductive film 55 repel the organic compound-containing solution applied to the

pixel electrode 20a. The organic compound-containing solution applied to the pixel electrode 20a is never deposited excessively thick near the edge of the insulating line 52 as compared to the center of the pixel electrode 20a. Hence, the organic EL layer 20b formed by drying the organic compound-containing solution can have a uniform thickness.

When the organic EL layers 20b are formed in the above-described way, a stripe structure including a region R where the organic EL layer 20b to emit red light, a region G where the organic EL layer 20b to emit green light, and a region B where the organic EL layer 20b to emit blue light is formed, as shown in FIG. 27. A plurality of pixels in the same column emit light of the same color.

When viewed from the upper side, the applied organic compound-containing solution is uniformly distributed vertically in each column because its left and right sides are partitioned by the feed interconnection 90 or common interconnection 91. Hence, the plurality of organic EL layers 20b arrayed in the vertical direction have the same layer structure and emit light of the same color. In the plurality of organic EL layers 20b arrayed in line in the horizontal direction, the light-emitting layers of narrow sense are arrayed to sequentially repeat red light emission, green light emission, and blue light emission. The

hole transport layers of pixels that emit light of different colors may use the same material.

5 The organic EL layer 20b need not always have the two-layer structure. A three-layer structure including a hole transport layer, a light-emitting layer of narrow sense, and an electron transport layer sequentially from the pixel electrode 20a may be employed. A single-layer structure including a light-emitting layer of narrow sense may be used. A 10 layered structure having an electron or hole injection layer inserted between appropriate layers in one of the above layer structures may be employed. Any other layered structures can also be used.

15 A counter electrode 20c functioning as the cathode of the organic EL element 20 is formed on the organic EL layer 20b. The counter electrode 20c is a common electrode commonly formed for all pixels. The counter electrode 20c formed on the entire surface covers the common interconnection 91 while sandwiching the liquid repellent conductive film 55 between them and the feed 20 interconnection 90 while sandwiching the liquid repellent insulating film 54. For this reason, the counter electrode 20c is electrically connected to the common interconnection 91, as shown in the circuit 25 diagram of FIG. 21. To the contrary, the counter electrode 20c is insulated from the feed interconnection 90.

As shown in FIGS. 23 to 25, the counter electrode 20c is formed from a material having a work function lower than the pixel electrode 20a. The counter electrode 20c is preferably made of, e.g., a single substance selected from magnesium, calcium, lithium, barium, indium, and a rare earth metal, or an alloy containing at least one of these single substances. The counter electrode 20c may have a layered structure in which the layers of various kinds of materials described above are stacked, or a layered structure in which a metal layer hard to oxidize is deposited in addition to the layers of various kinds of materials described above to lower the sheet resistance. More specifically, a layered structure including a highly pure barium layer having a low work function and provided on the interface side contacting the organic EL layer 20b, and an aluminum layer provided to cover the barium layer, or a layered structure including a lithium layer on the lower side and an aluminum layer on the upper side can be used. In a top emission structure, the counter electrode 20c may be a transparent electrode having the above-described thin film with a low work function and a transparent conductive film made of, e.g., ITO on the thin film.

A sealing insulating film 56 is formed on the counter electrode 20c. The sealing insulating film 56 is an inorganic or organic film provided to cover the

entire counter electrode 20c to prevent its degradation.

Conventionally, in an EL display panel having a top emission structure, at least part of the counter electrode 20c is formed as a transparent electrode made of, e.g., a metal oxide having a sufficiently high resistance value. The sheet resistance cannot be sufficient low unless the material is sufficiently thick. When the material is thick, the transmission of the organic EL element inevitably decreases. The larger the screen becomes, the harder a uniform potential is obtained in a plane. Hence, the display characteristic degrades. In this embodiment, however, the plurality of common interconnections 91 with a low resistance are provided of obtain a sufficient thickness in the vertical direction. Hence, the sheet resistance value of the entire cathode electrodes of the organic EL elements 20 can be decreased together with the counter electrode 20c so that a sufficient large current can be supplied uniformly in a plane. In this structure, the common interconnections 91 reduces the sheet resistance of the cathode electrode. For this reason, the transmittance can be increased by forming the counter electrode 20c thin. In a top emission structure, the pixel electrode 20a may be made of a reflecting material.

[EL Display Panel Driving Method]

The EL display panel 1 can be driven by the active matrix method in the following way. As shown in FIG. 28, an oscillation circuit outputs a clock signal to the feed interconnections 90 and supply lines Z_1 to Z_m . A scan-side driver sequentially outputs a shift pulse of high level to the scan lines X_1 to X_m in this order (the scan line X_1 next to the scan line X_m), thereby sequentially selecting the scan lines X_1 to X_m . While the scan-side driver is outputting the shift pulse to one of the scan lines X_1 to X_m , the clock signal from the oscillation circuit changes to low level. When the scan-side driver selects the scan lines X_1 to X_m , a data-side driver supplies a pull-out current (current signal) as the write current to all the signal lines Y_1 to Y_n through the source-to-drain paths of the driving transistors 23. The counter electrode 20c and feed interconnections 90 are held at the predetermined common voltage V_{com} (e.g., ground = 0V).

During the selection period of the scan line X_i , the shift pulse is output to the scan line X_i of the i th row so that the switch transistor 21 and holding transistor 22 are turned on. In each selection period, the potential on the data-side driver side is equal to or lower than the clock signal output to the feed interconnections 90 and supply lines Z_1 to Z_m . The low

level of the clock signal is set to be equal to or lower than the common voltage V_{com} . At this time, no current flows from the organic EL elements 20 to the signal lines Y_1 to Y_n . As shown in FIG. 21, a write current (pull-out current) having a current value corresponding to the gray level is supplied from the data-side driver to the signal lines Y_1 to Y_n , as indicated by an arrow A. In the pixel circuit $P_{i,j}$, the write current (pull-out current) to the signal line Y_j flows from the feed interconnection 90 and supply line Z_i through the source-to-drain path of the driving transistor 23 and the source-to-drain path of the switch transistor 21. The current value of the current flowing through the source-to-drain path of the driving transistor 23 is uniquely controlled by the data-side driver. The data-side driver sets the current value of the write current (pull-out current) in accordance with an externally input gray level. While the write current (pull-out current) is flowing, the voltage between the gate 23g and source 23s of the driving transistor 23 of each of the pixel circuits $P_{i,1}$ to $P_{i,n}$ of the i th row is forcibly set in accordance with the current value of the write current (pull-out current) flowing to the signal lines Y_1 to Y_n , i.e., the current value of the write current (pull-out current) flowing between the drain 23d and source 23s of the driving transistor 23 independently of the

change over time in the V_g - I_{ds} characteristic of the driving transistor 23. Charges with a magnitude corresponding to the level of this voltage are stored in the capacitor 24 so that the current value of the write current (pull-out current) is converted into the voltage level between the gate 23g and source 23s of the third transistor 23. In the subsequent light emission period, the scan line X_i changes to low level so that the switch transistor 21 and holding transistor 22 are turned off. The charges on the side of the electrode 24A of the capacitor 24 are confined by the holding transistor 22 in the OFF state, and a floating state is set. Hence, even when the voltage of the source 23s of the transistor 23 is modulated at the time of transition from the selection period to the light emission period, the potential difference between the gate 23g and source 23s of the transistor 23 is maintained. Of the selection period, during a period in which no row is selected, i.e., the clock signal is at high level, and the potential of the feed interconnection 90 and supply line Z_i is higher than the potential V_{com} of the counter electrode 20c of the organic EL element 20 and the feed interconnection 90, the driving current flows from the feed interconnection 90 and supply line Z_i with a higher potential to the organic EL element 20 through the source-to-drain path of the driving transistor 23 in the direction of arrow

B. Hence, the organic EL element emits light. The current value of the driving current depends on the voltage between the gate 23g and source 23s of the driving transistor 23. For this reason, the current value of the driving current during the light emission period equals the current value of the write current (pull-out current) during the selection period. Of the selection period, during a period in which any row is selected, i.e., the clock signal is at low level, the potential of the feed interconnection 90 and supply line Z_i is equal to or lower than the potential V_{com} of the counter electrode 20c and feed interconnection 90. Hence, no driving current flows to the organic EL element 20, and no light emission occurs.

More specifically, during the selection period, the switch transistor 21 forms a current path to flow the write current (pull-out current) between the signal line Y_j and the source 23s of the driving transistor 23. The holding transistor 22 forms a current path to flow the write current (pull-out current) between the feed interconnection 90 and the drain 23d of the driving transistor 23.

During the light emission period, the switch transistor 21 closes the current path not to flow the driving current from the source 23s of the driving transistor 23 to the signal line Y_j . The holding transistor 22 holds the voltage between the gate 23g

and source 23s of the transistor 23 to make the current value of the driving current constant. When the supply line Z_i and feed interconnection 90 change to high level during the light emission period, the driving transistor 23 supplies a current having a magnitude corresponding to the gray level to the organic EL element 20 to drive it in accordance with charges stored between the gate 23g and source 23s during the selection period.

10 [First Modification]

The present invention is not limited to the above-described embodiments, and various changes and modifications can be made without departing from the spirit and scope of the present invention.

15 In the above embodiments, the first to third transistors 21 to 23 have been explained as N-channel field effect transistors. The transistors 21 to 23 may be P-channel field effect transistors. In this case, the relationship between the sources 21s, 22s, and 23s of the transistors 21 to 23 and the drains 21d, 22d, and 23d of the transistors 21 to 23 is reversed in the circuit diagram shown in FIG. 2. For example, when the driving transistor 23 is a P-channel field effect transistor, the drain 23d of the driving transistor 23 is electrically connected to the pixel electrode 20a of the organic EL element 20. The source 23s is electrically connected to the supply line Z_i .

[Second Modification]

In the above-described embodiments, the three transistors 21 to 23 are provided per pixel. The present invention can be applied to any EL display panel having a driving transistor whose source or drain is connected to an organic EL element independently of the number of transistors and whether the panel is current-driven or voltage-driven.

[Third Modification]

When the transistors 21 to 23 are P-channel field effect transistors, the relationship between the sources 21s, 22s, and 23s of the transistors 21 to 23 and the drains 21d, 22d, and 23d of the transistors 21 to 23 is reversed in the circuit diagram shown in FIG. 2, as described above. In addition, the high and low levels of each signal are reversed.

[Fourth Modification]

In the above-described embodiments, the drain 22d of each holding transistor 22 is connected to one of the supply lines Z_1 to Z_m . However, the present invention is not limited to this. The drain 22d of the holding transistor 22 of each of the pixel circuits $P_{i,1}$, $P_{i,2}$, $P_{i,3}$, ..., $P_{i,n}$ may be connected to the scan line X_i .

[Fifth Modification]

In the above-described embodiments, the write feed voltage V_L serving as the write current and the driving

feed voltage V_H serving as the driving current are supplied from both of the interconnection terminals 90b and 90c to each feed interconnection 90 to decrease the voltage drop in the feed interconnection 90. If the design tolerates a large voltage drop, the voltages may be supplied from only one of the interconnection terminals 90b and 90c.

[Sixth Modification]

In the above-described embodiments, the first to third transistors 21 to 23 are amorphous silicon transistors. However, the transistors may be made of polysilicon, or any other semiconductor.

[Seventh Modification]

In the second embodiment, the liquid repellent insulating film 54 is formed on the surface of each feed interconnection 90. However, the present invention is not limited to this. Instead of providing the liquid repellent insulating film 54, the liquid repellent conductive film 55 may be formed not only on each common interconnection 91 but also on the surface of each feed interconnection 90. At least one layer of the organic EL layer 20b is formed by using the common interconnection 91 and feed interconnection 90 as liquid repellent partition walls. Then, the counter electrode 20c is formed on the surfaces of the organic EL layers 20b and common interconnections 91 except the surfaces of the feed interconnections 90.

A plurality of modifications described above may be combined if a consistency can be ensured.

WHAT IS CLAIMED IS:

1. A transistor array substrate comprising:
a substrate;

5 a plurality of driving transistors which are
arrayed in a matrix on the substrate, each of the
driving transistors having a gate, a source, a drain,
and a gate insulating film inserted between the gate,
and the source and drain;

10 a plurality of signal lines which are patterned
together with the gates of said plurality of driving
transistors and arrayed to run in a predetermined
direction on the substrate;

15 a plurality of supply lines which are patterned
together with the sources and drains of said plurality
of driving transistors and arrayed to cross said
plurality of signal lines via the gate insulating film,
each of the supply lines being electrically connected
to one of the source and the drain of the driving
transistor; and

20 a plurality of feed interconnections which are
formed on said plurality of supply lines along said
plurality of supply lines, respectively.

25 2. A substrate according to claim 1, further
comprising a plurality of scan lines which are
patterned together with the sources and drains of said
plurality of driving transistors and arrayed to cross
said plurality of supply lines via the gate insulating

film.

3. A substrate according to claim 2, which further comprises a plurality of switch transistors which are arrayed in a matrix on the substrate, each of
5 the switch transistors having the gate insulating film inserted between a gate and a source and drain, and

in which one of the source and drain of each of said plurality of switch transistors is electrically connected to the other of the source and drain of a
10 corresponding one of said plurality of driving transistors,

the gate of each of said plurality of switch transistors is electrically connected to the scan line through a contact hole formed in the gate insulating
15 film, and

said other of the source and drain of each of said plurality of switch transistors is electrically connected to the signal line through a contact hole formed in the gate insulating film.

4. A substrate according to claim 2, which further comprises a plurality of holding transistors which are arrayed in a matrix on the substrate, each of
20 the holding transistors having the gate insulating film inserted between a gate and a source and drain, and

in which one of the source and drain of each of said plurality of holding transistors is electrically connected to the gate of a corresponding one of said

plurality of driving transistors through a contact hole formed in the gate insulating film,

the other of the source and drain of each of said plurality of holding transistors is electrically
5 connected to one of the supply line and the scan line, and

the gate of each of said plurality of holding transistors is electrically connected to the scan line through a contact hole formed in the gate insulating
10 film.

5. A substrate according to claim 1, further comprising a plurality of light-emitting elements each of which is connected to one of the source and drain of the driving transistor.

15 6. A substrate according to claim 1, further comprising a data driver which supplies a write current between the gate and source of the driving transistor through the supply line.

20 7. A substrate according to claim 1, further comprising a select driver which selects the scan line and turns on the switch transistor.

25 8. A substrate according to claim 1, further comprising a feed driver which is connected to the feed interconnection to apply a write feed voltage to supply a write current to the driving transistor through the feed interconnection in a selection period and apply a driving feed voltage to supply a driving current to a

light-emitting element through the driving transistor in a light emission period in accordance with a voltage which is held between the gate and source of the driving transistor in the selection period.

5 9. A substrate according to claim 1, wherein the feed interconnection has a thickness of 1.31 to 6.00 μm .

 10. A substrate according to claim 1, wherein the feed interconnection has a width of 7.45 to 4.4.00 μm .

10 11. A substrate according to claim 1, wherein a resistivity of the feed interconnection is 2.1 to 9.6 $\mu\Omega\text{cm}$.

 12. A substrate according to claim 1, which further comprising a plurality of light-emitting
15 elements each of which has a pixel electrode, an EL layer, and a counter electrode and is electrically connected to the driving transistor, and

 in which the feed interconnections are formed by patterning a material film different from a material
20 film as a prospective pixel electrode and a material film serving as a prospective counter electrode and is thicker than the gate of the driving transistor and the source and drain of the driving transistor.

 13. A display panel comprising:

25 a substrate;

 a plurality of driving transistors which are arrayed in a matrix on the substrate, each of the

driving transistors having a gate, a source, a drain, and a gate insulating film inserted between the gate, and the source and drain;

5 a plurality of signal lines which are patterned together with the gates of said plurality of driving transistors and arrayed to run in a predetermined direction on the substrate;

10 a plurality of supply lines which are patterned together with the sources and drains of said plurality of driving transistors and arrayed to cross said plurality of signal lines via the gate insulating film, each of the supply lines being electrically connected to one of the source and the drain of the driving transistor; and

15 a plurality of feed interconnections which are connected to said plurality of supply lines along said plurality of supply lines;

20 a plurality of pixel electrodes each of which is electrically connected to the other of the source and the drain of each of said plurality of driving transistors;

a plurality of light-emitting layers which are formed on said plurality of pixel electrodes, respectively; and

25 a counter electrode which covers said plurality of light-emitting layers.

14. A panel according to claim 13, further

comprising a plurality of scan lines which are patterned together with the sources and drains of said plurality of driving transistors and arrayed to cross said plurality of supply lines via the gate insulating film.

5

15. A panel according to claim 14, which further comprises a plurality of switch transistors which are arrayed in a matrix on the substrate, each of the switch transistors having the gate insulating film inserted between a gate, and a source and drain, and

10

in which one of the source and drain of each of said plurality of switch transistors is electrically connected to the other of the source and drain of a corresponding one of said plurality of driving transistors,

15

the gate of each of said plurality of switch transistors is electrically connected to the scan line through a contact hole formed in the gate insulating film, and

20

said other of the source and drain of each of said plurality of switch transistors is electrically connected to the signal line through a contact hole formed in the gate insulating film.

25

16. A panel according to claim 14, which further comprises a plurality of holding transistors which are arrayed in a matrix on the substrate, each of the holding transistors having the gate insulating film

inserted between a gate, and a source and drain, and

in which one of the source and drain of each of
said plurality of holding transistors is electrically
connected to the gate of a corresponding one of said
5 plurality of driving transistors through a contact hole
formed in the gate insulating film,

the other of the source and drain of each of said
plurality of holding transistors is electrically
connected to one of the supply line and the scan line,
10 and

the gate of each of said plurality of holding
transistors is electrically connected to the scan line
through a contact hole formed in the gate insulating
film.

15 17. A panel according to claim 13, wherein the
feed interconnections are formed by patterning a
material film different from a material film serving as
a prospective pixel electrode and a material film
serving as a prospective counter electrode and is
20 thicker than the gate of the driving transistor and the
source and drain of the driving transistor.

18. A display panel manufacturing method
comprising:

25 patterning a plurality of pixel electrodes on a
panel to be arrayed in a matrix;

forming an interconnection made of a metal between
the pixel electrodes;

coating a surface of the interconnection with a liquid repellent conductive layer; and

forming an organic compound layer by applying an organic compound-containing solution to the electrode.

5 19. A method according to claim 18, wherein after the organic compound layer is formed, a counter electrode is formed to cover the organic compound layer and the interconnection.

10 20. A method according to claim 18, wherein the organic compound layer is an organic EL layer.

21. A method according to claim 18, wherein the interconnection is electrically connected to the organic compound layer.

15 22. A method according to claim 18, further comprising providing a transistor electrically connected to the organic compound layer.

23. A method according to claim 22, wherein the interconnection has a feed interconnection connected to the transistor.

20 24. A method according to claim 18, wherein a surface of the pixel electrode is a metal oxide.

25. A method according to claim 18, wherein the liquid repellent conductive layer contains a triazine compound.

ABSTRACT OF THE DISCLOSURE

A transistor array substrate includes a plurality of driving transistors which are arrayed in a matrix on a substrate. The driving transistor has a gate, a source, a drain, and a gate insulating film inserted between the gate, and the source and drain. A plurality of signal lines are patterned together with the gates of the driving transistors and arrayed to run in a predetermined direction on the substrate. A plurality of supply lines are patterned together with the sources and drains of the driving transistors and arrayed to cross the signal lines via the gate insulating film. The supply line is electrically connected to one of the source and the drain of the driving transistor. A plurality of feed interconnections are formed on the supply lines along the supply lines, respectively.

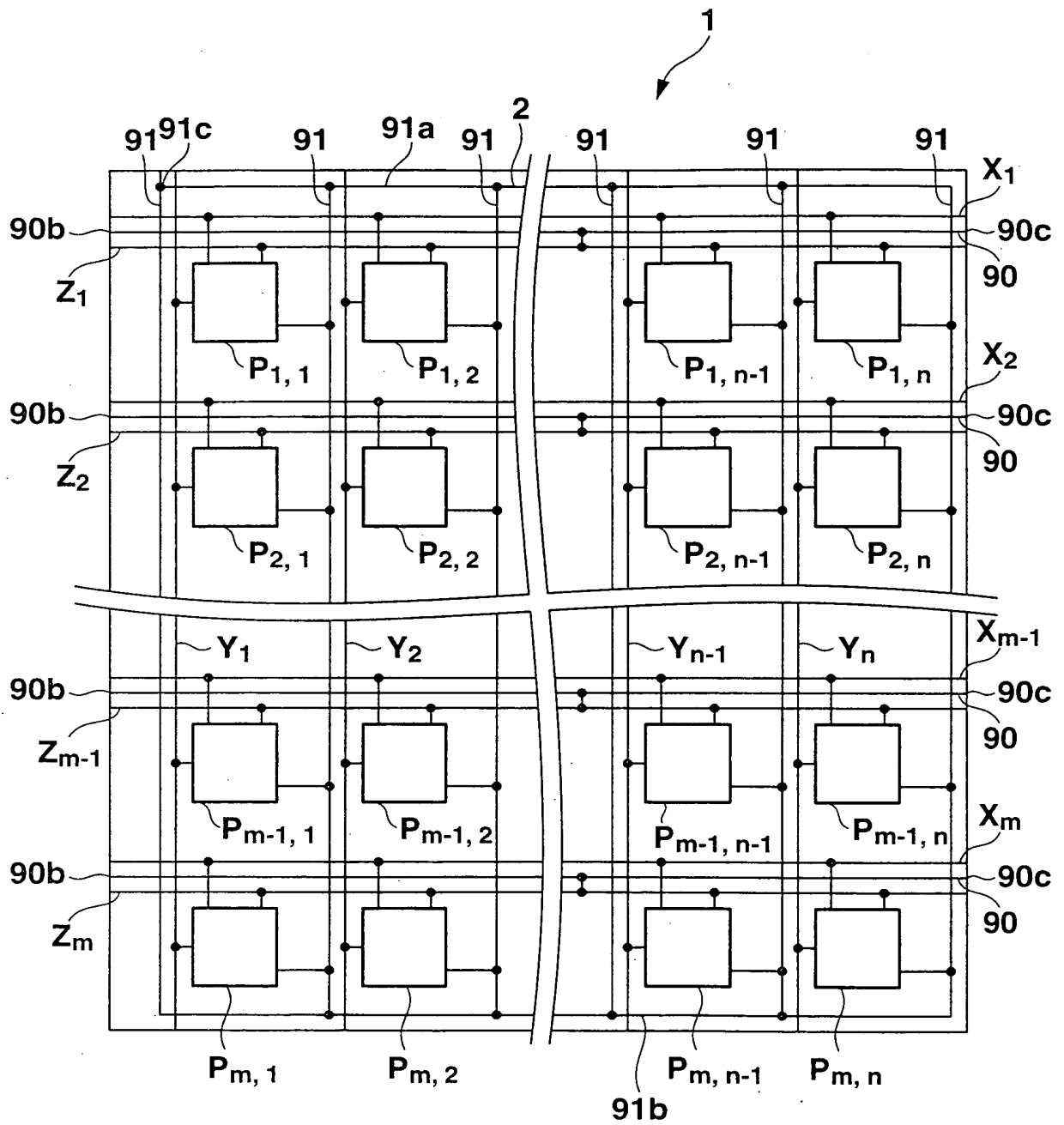


FIG.1

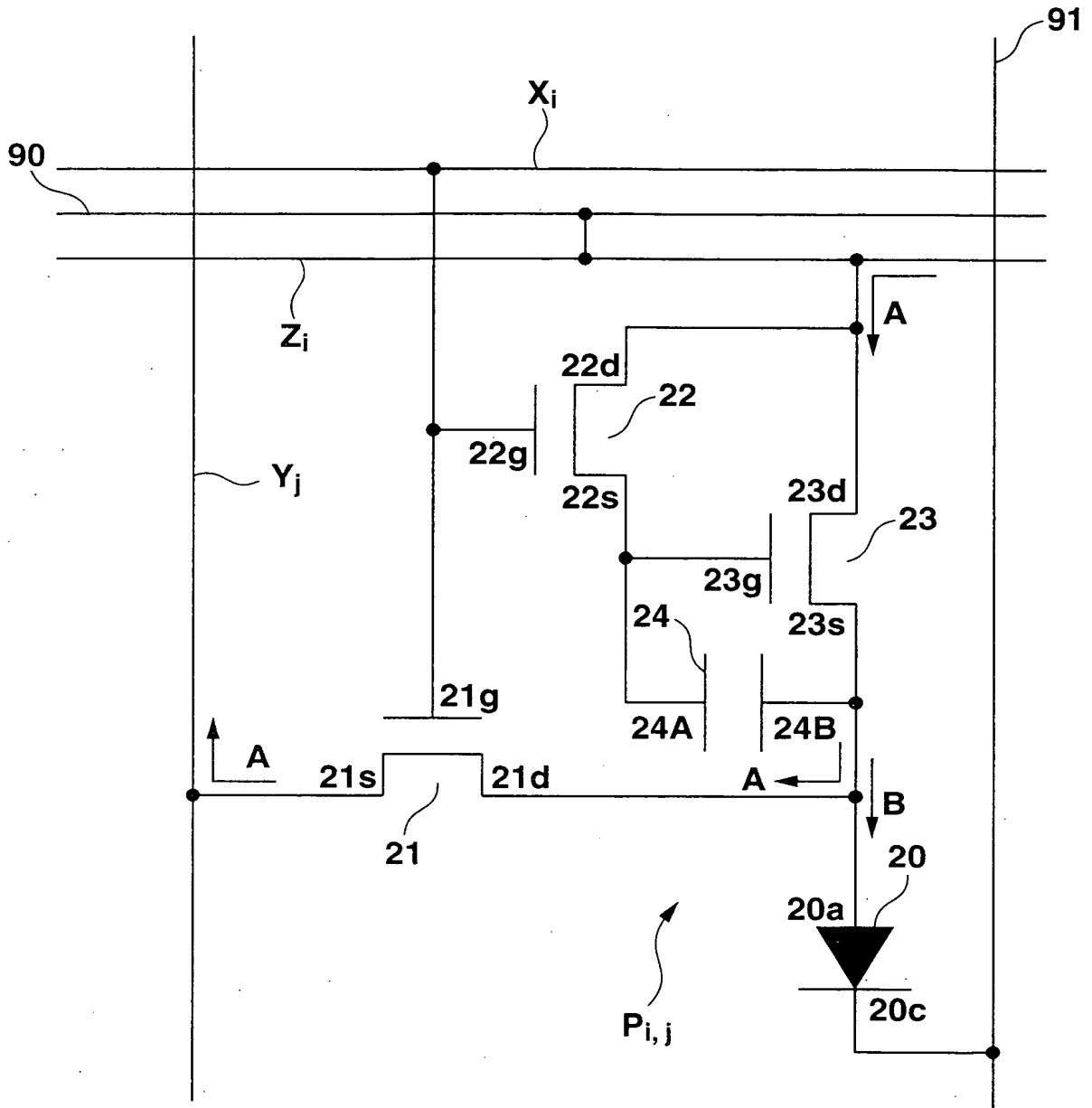


FIG.2

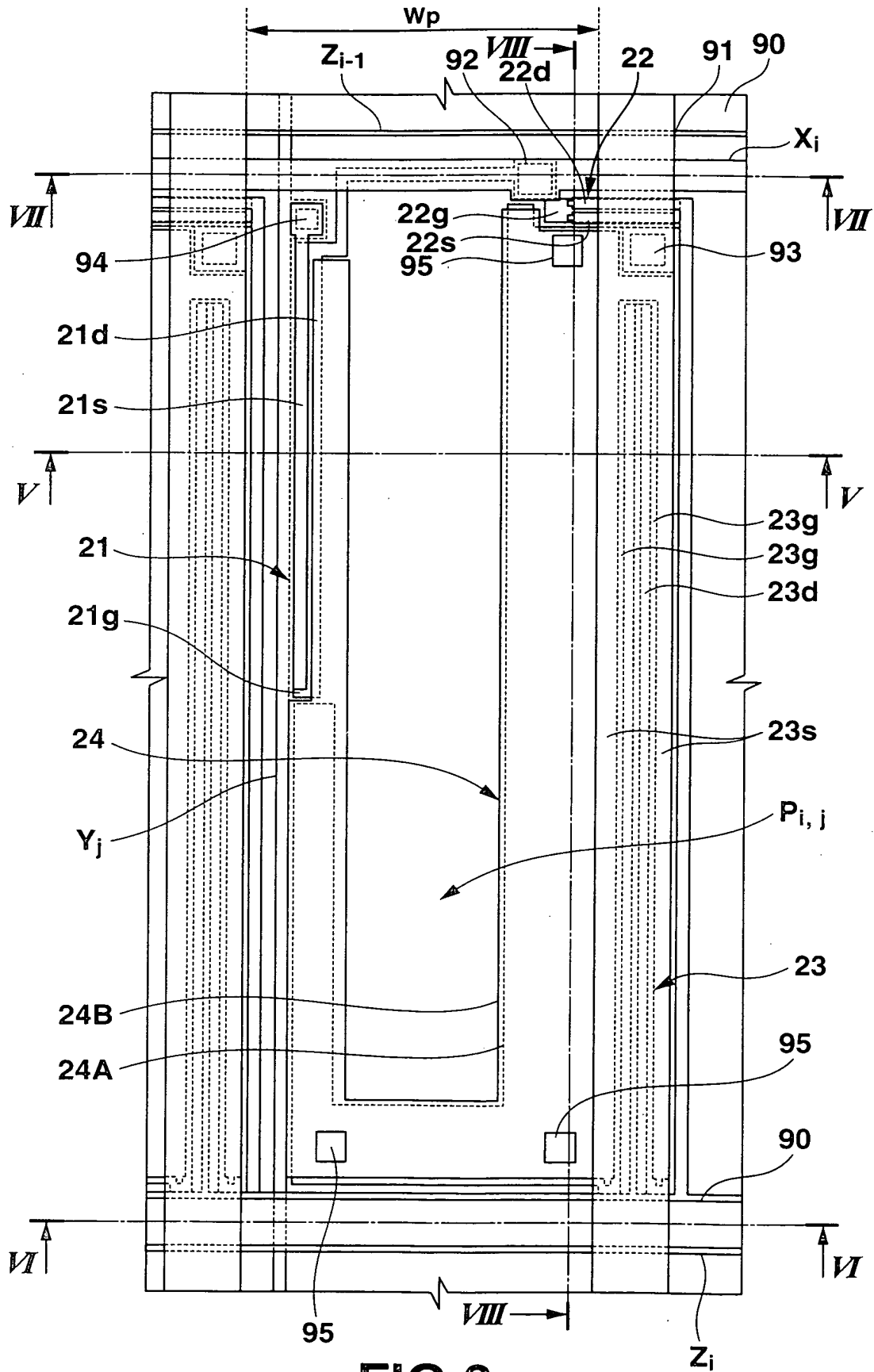


FIG.3

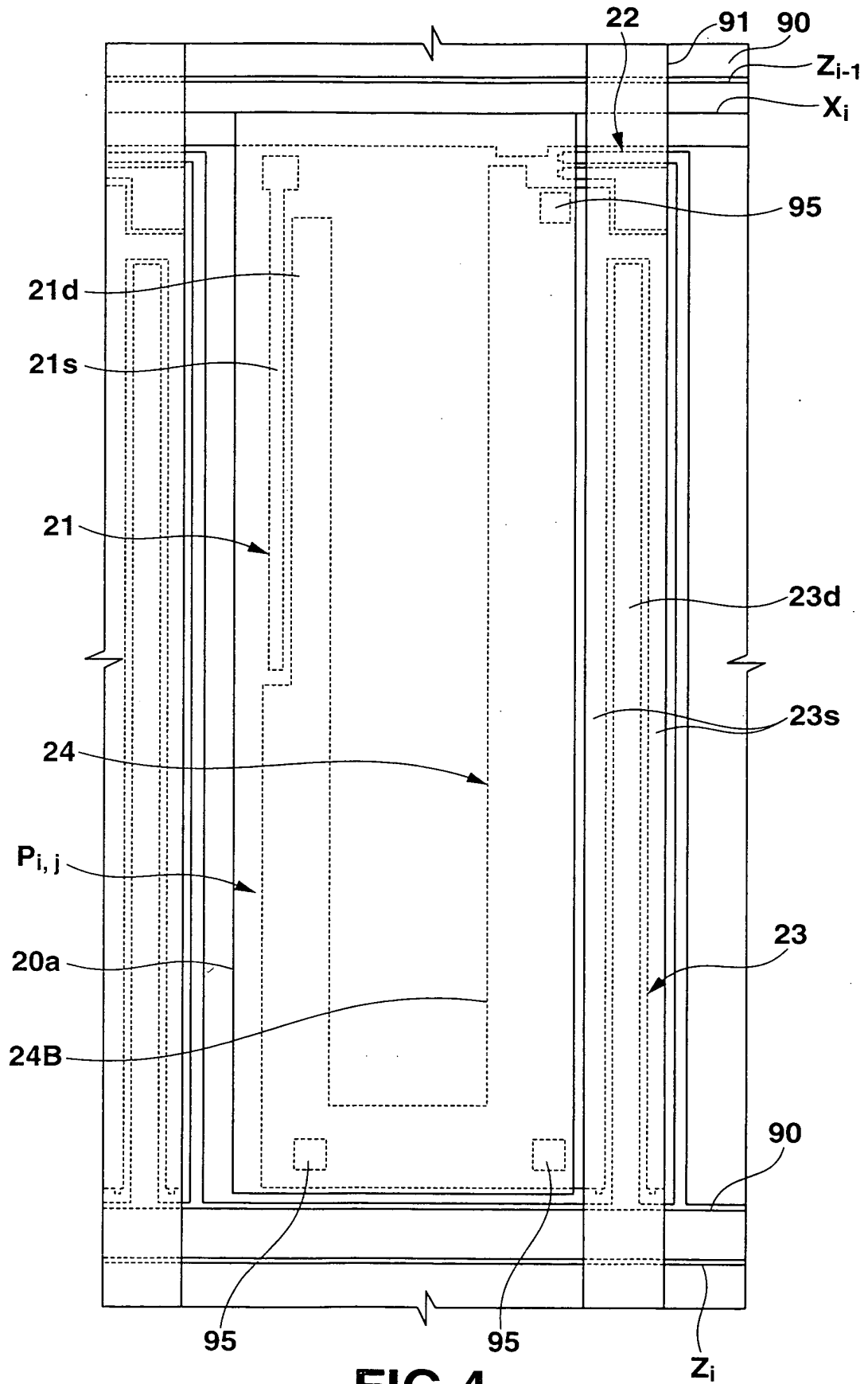


FIG.4

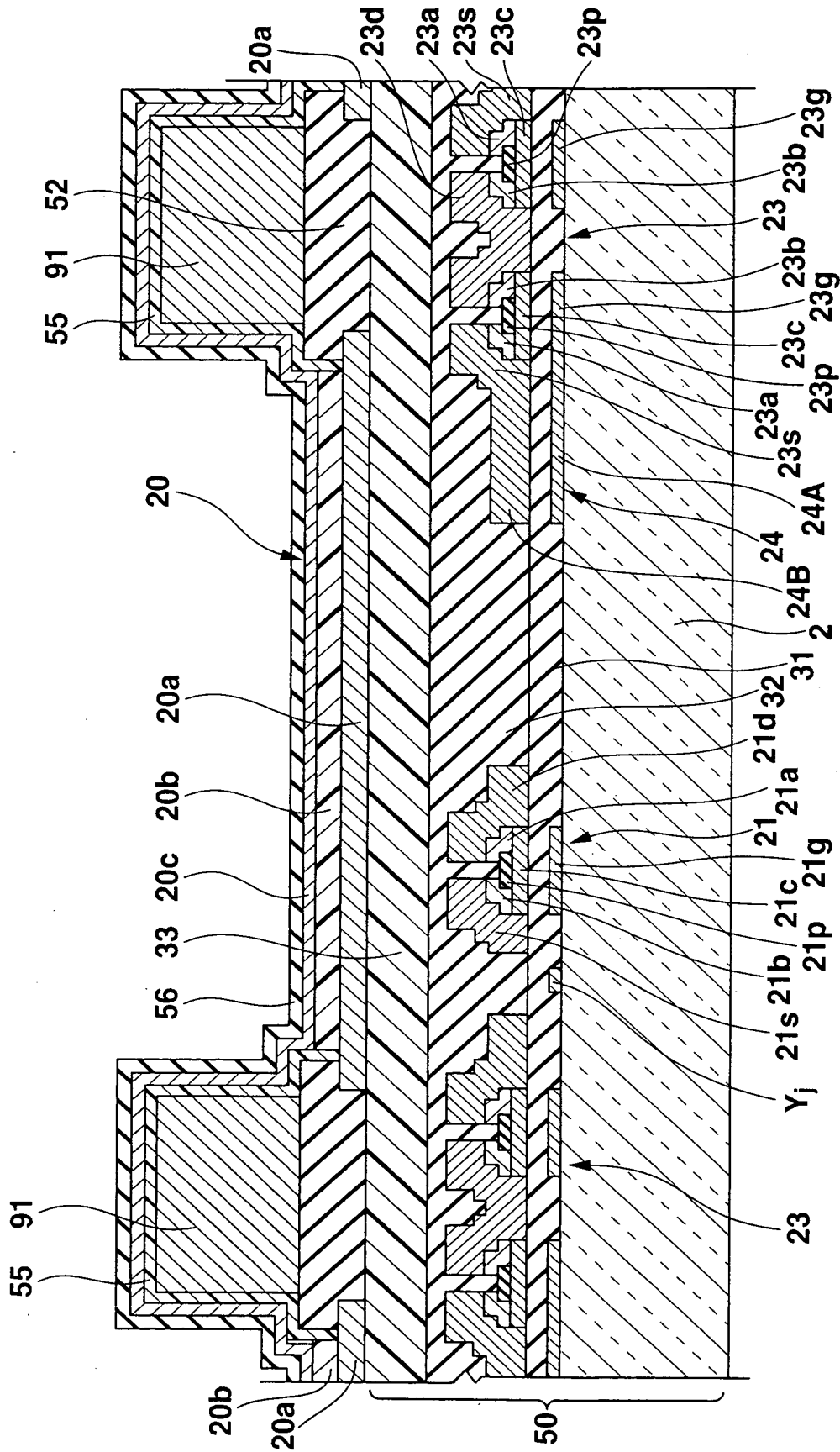


FIG.5

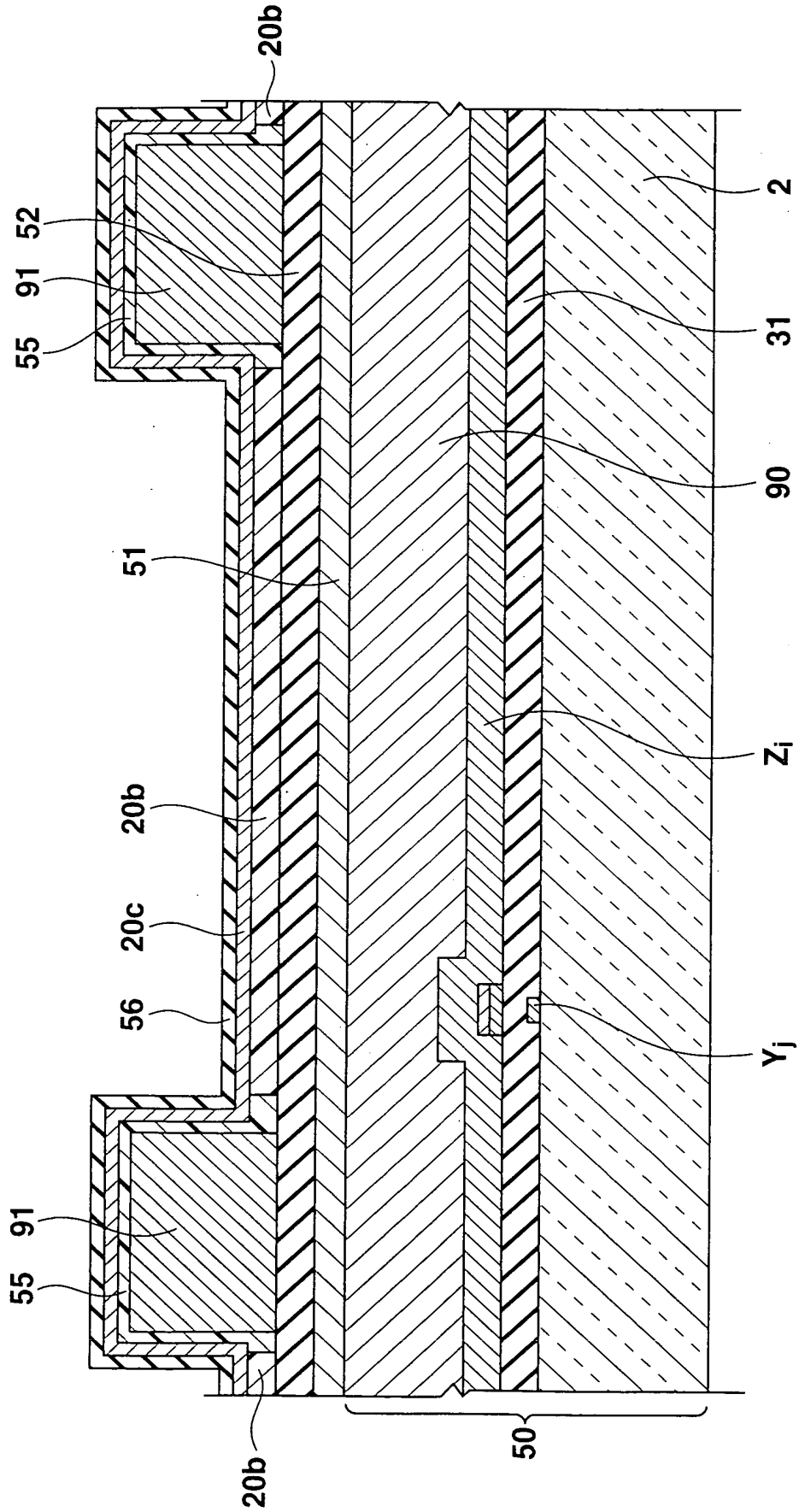


FIG.6

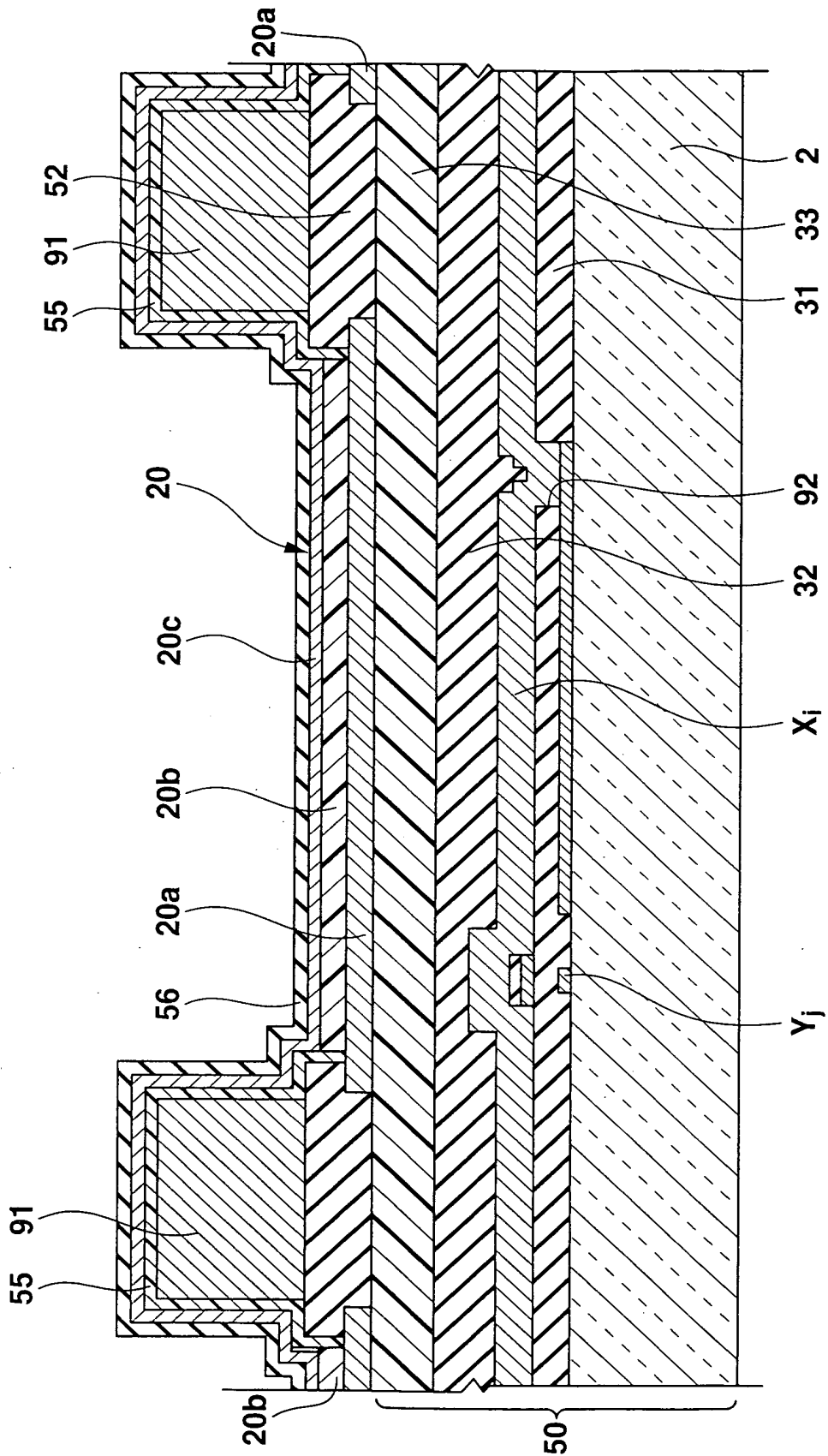


FIG.7

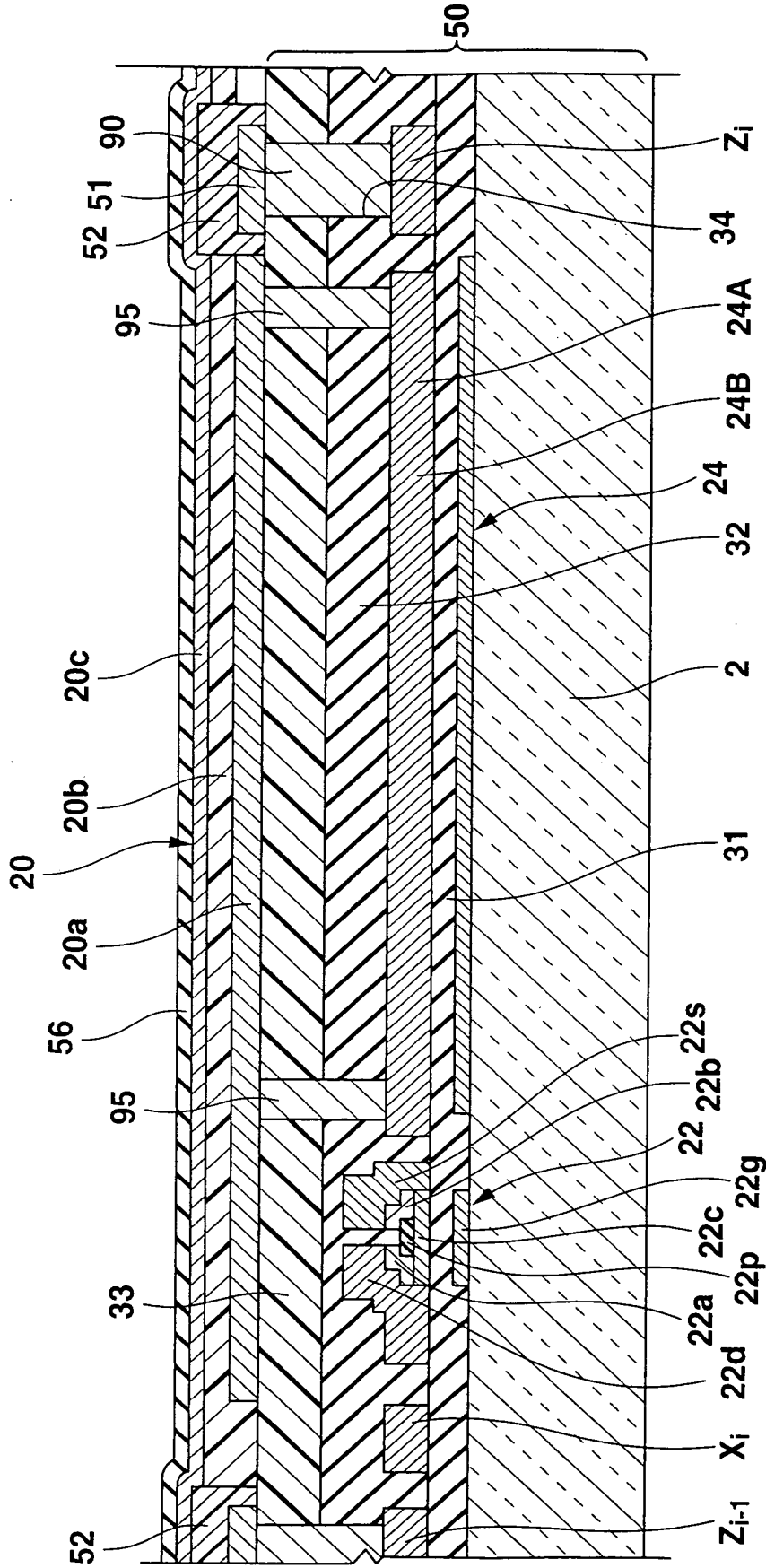


FIG.8

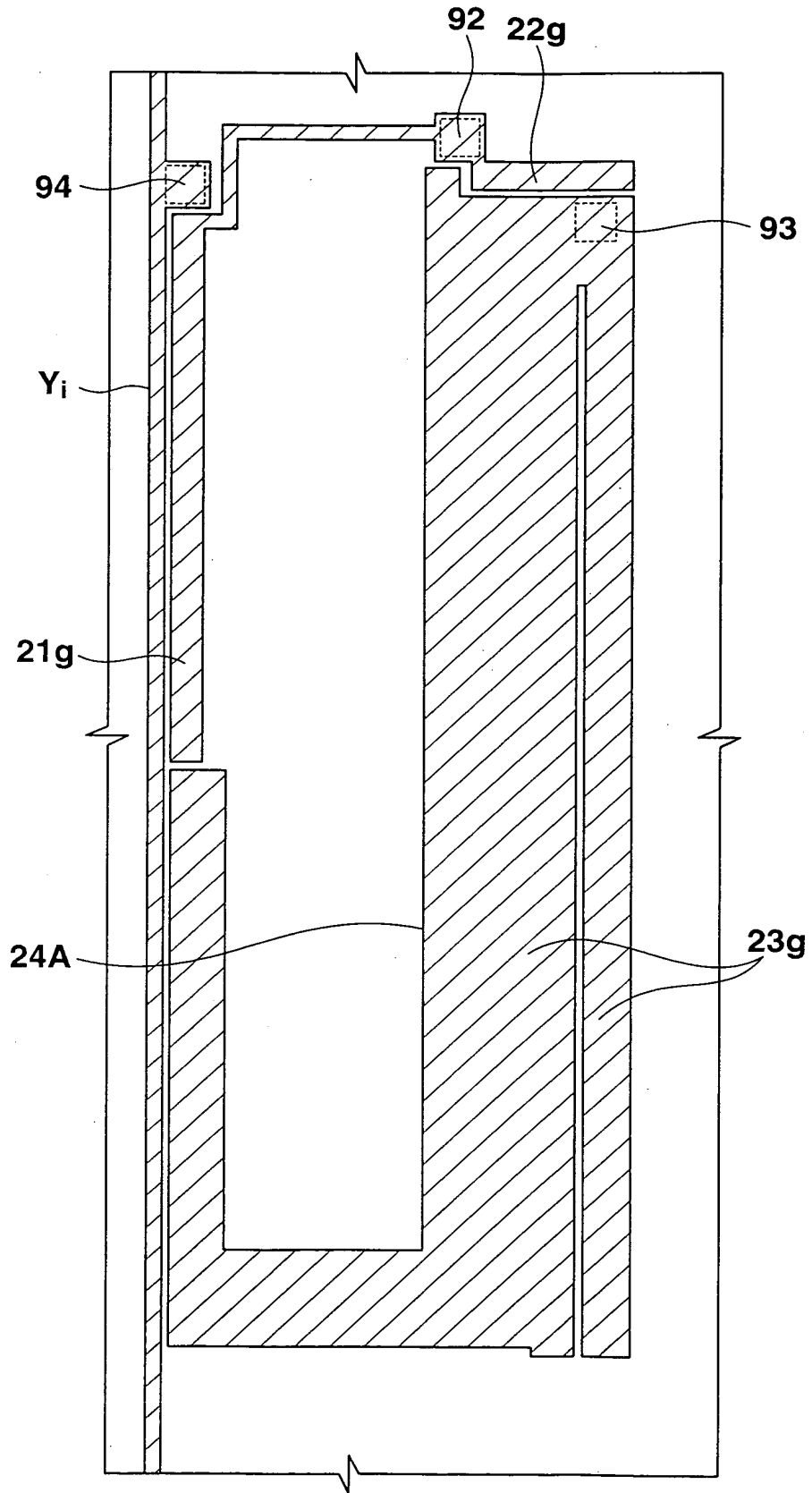


FIG.9

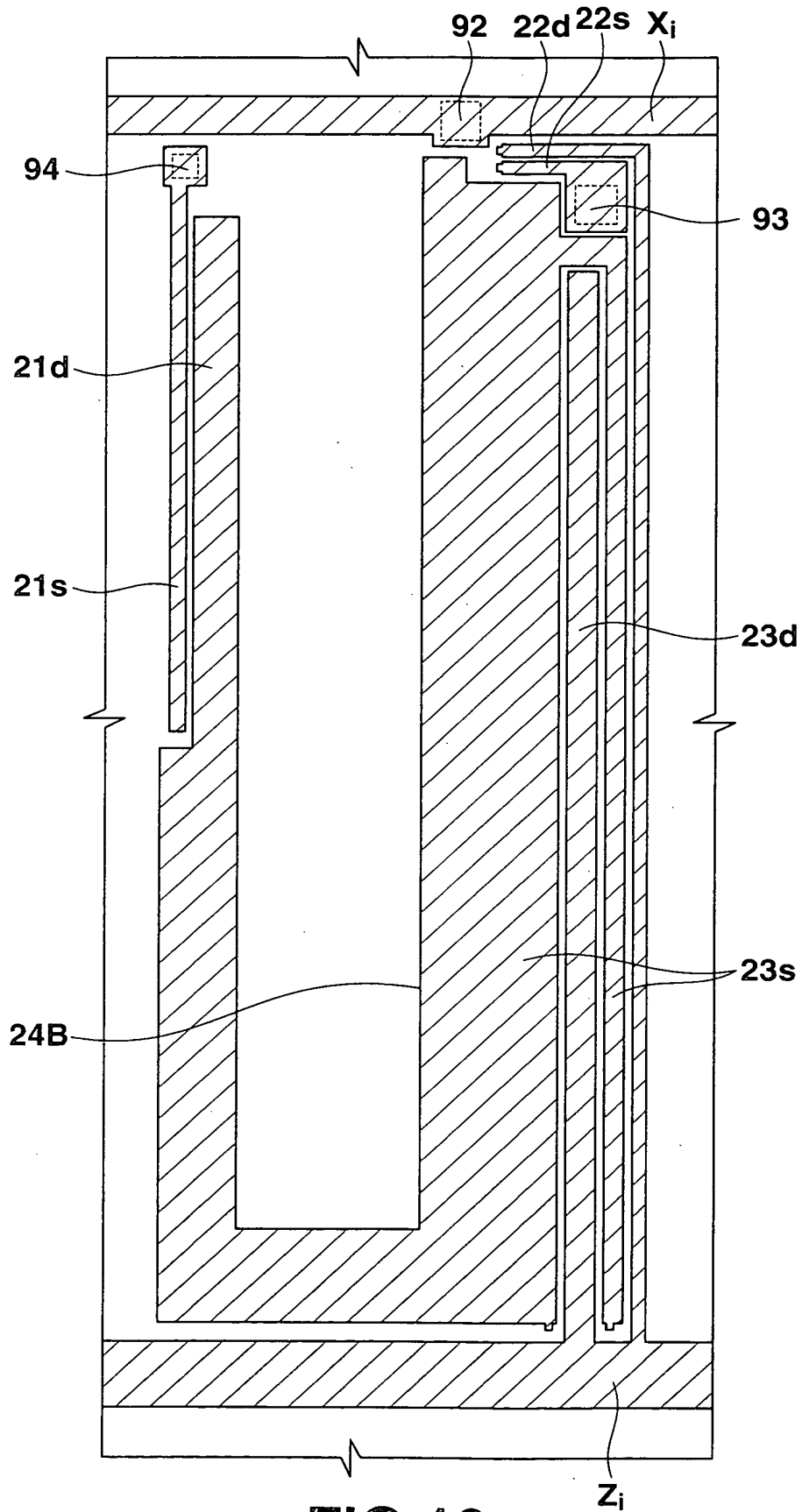


FIG.10

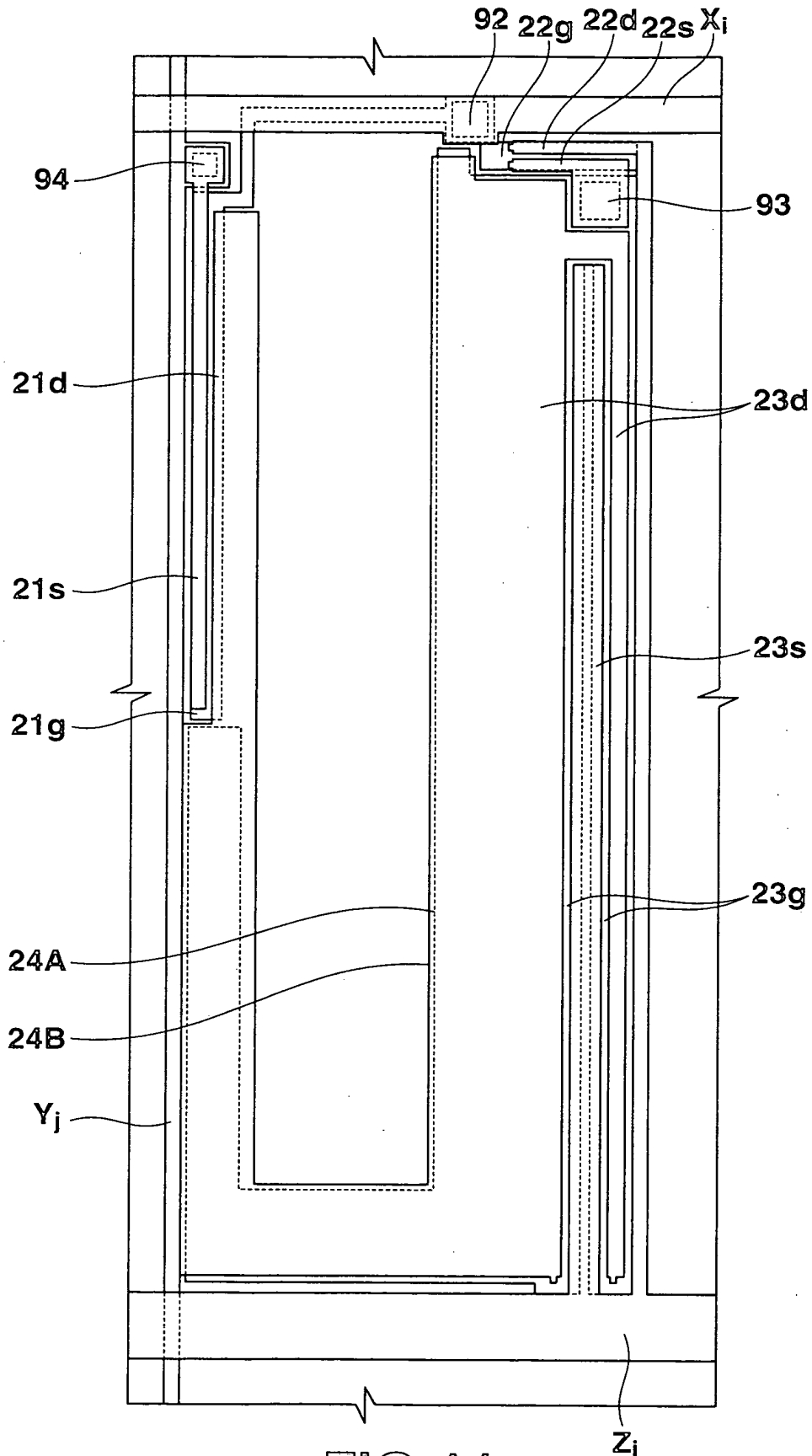


FIG.11

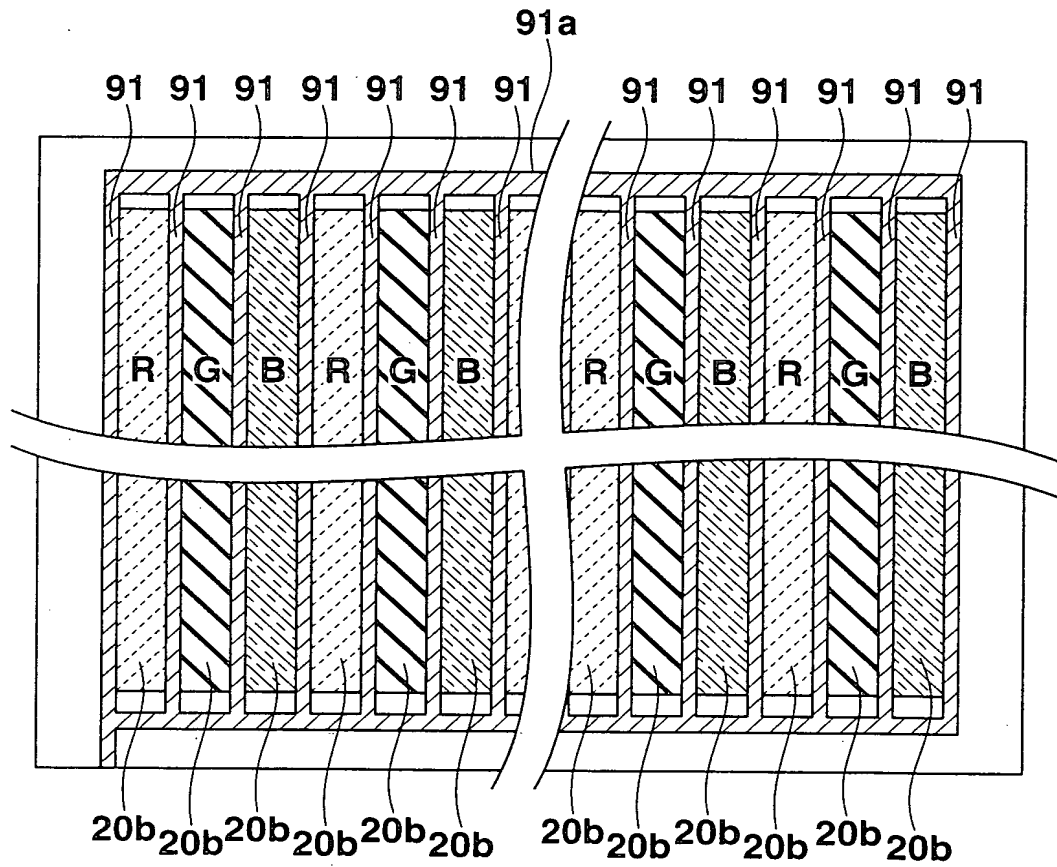


FIG.12

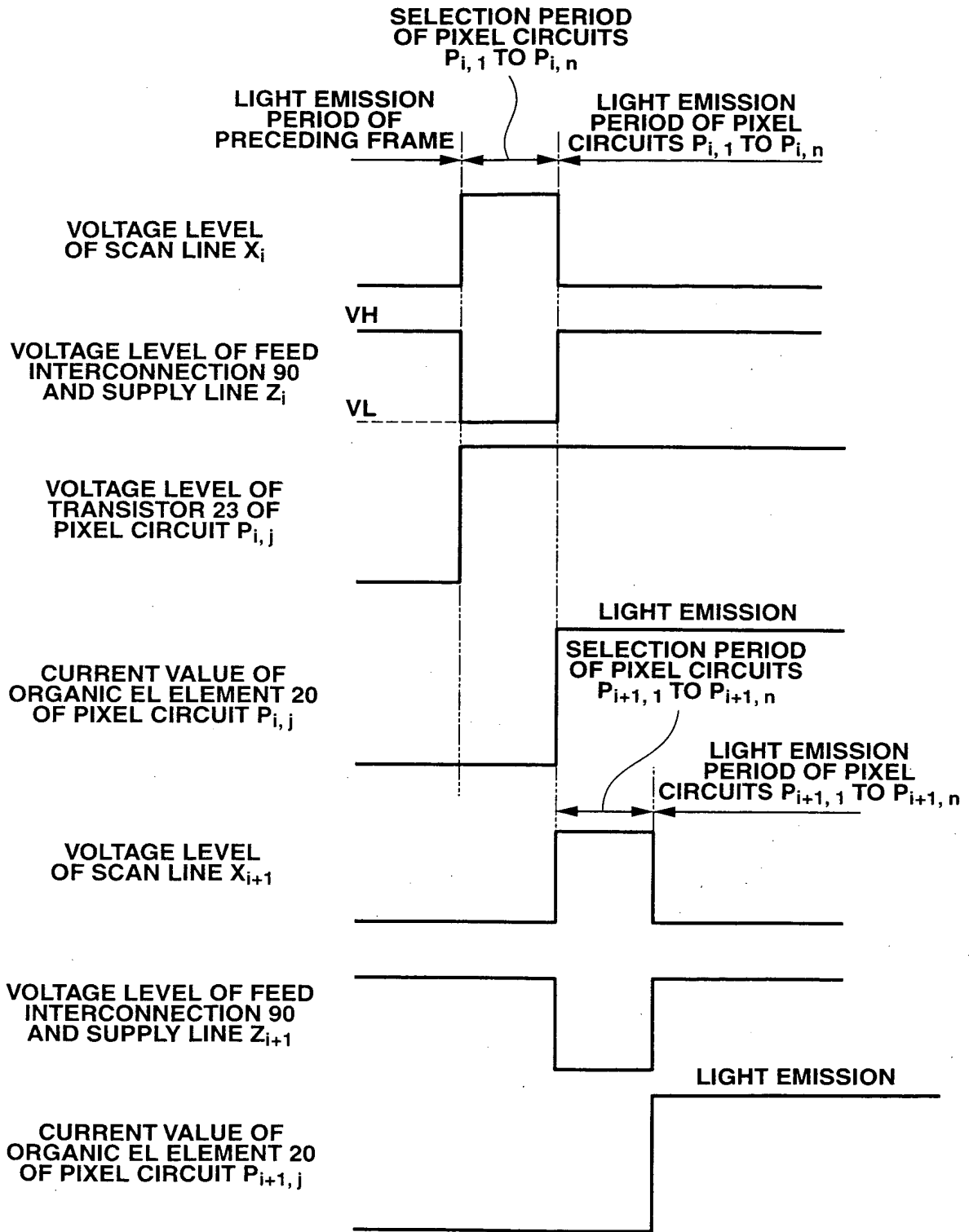


FIG.13

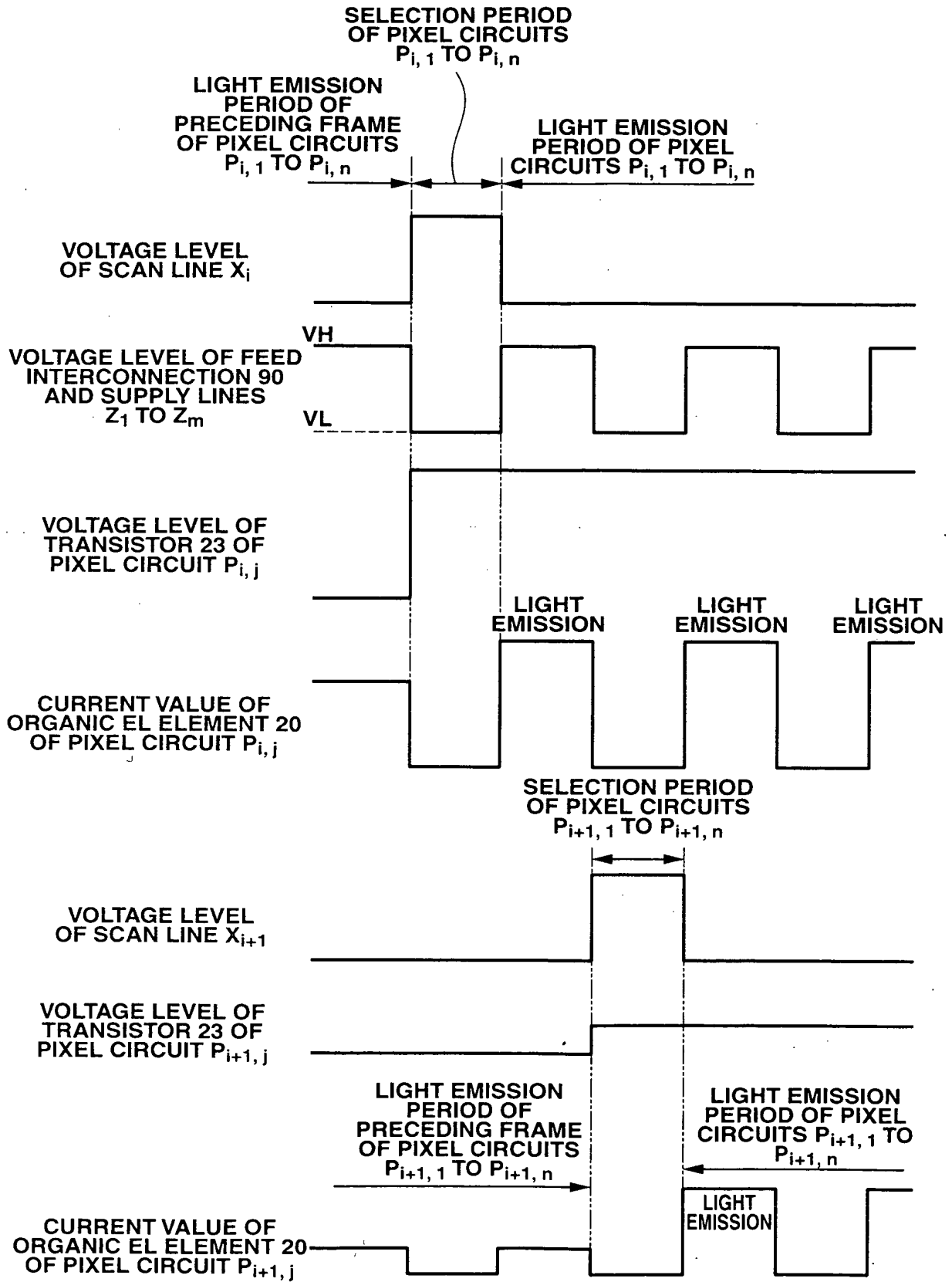


FIG.14

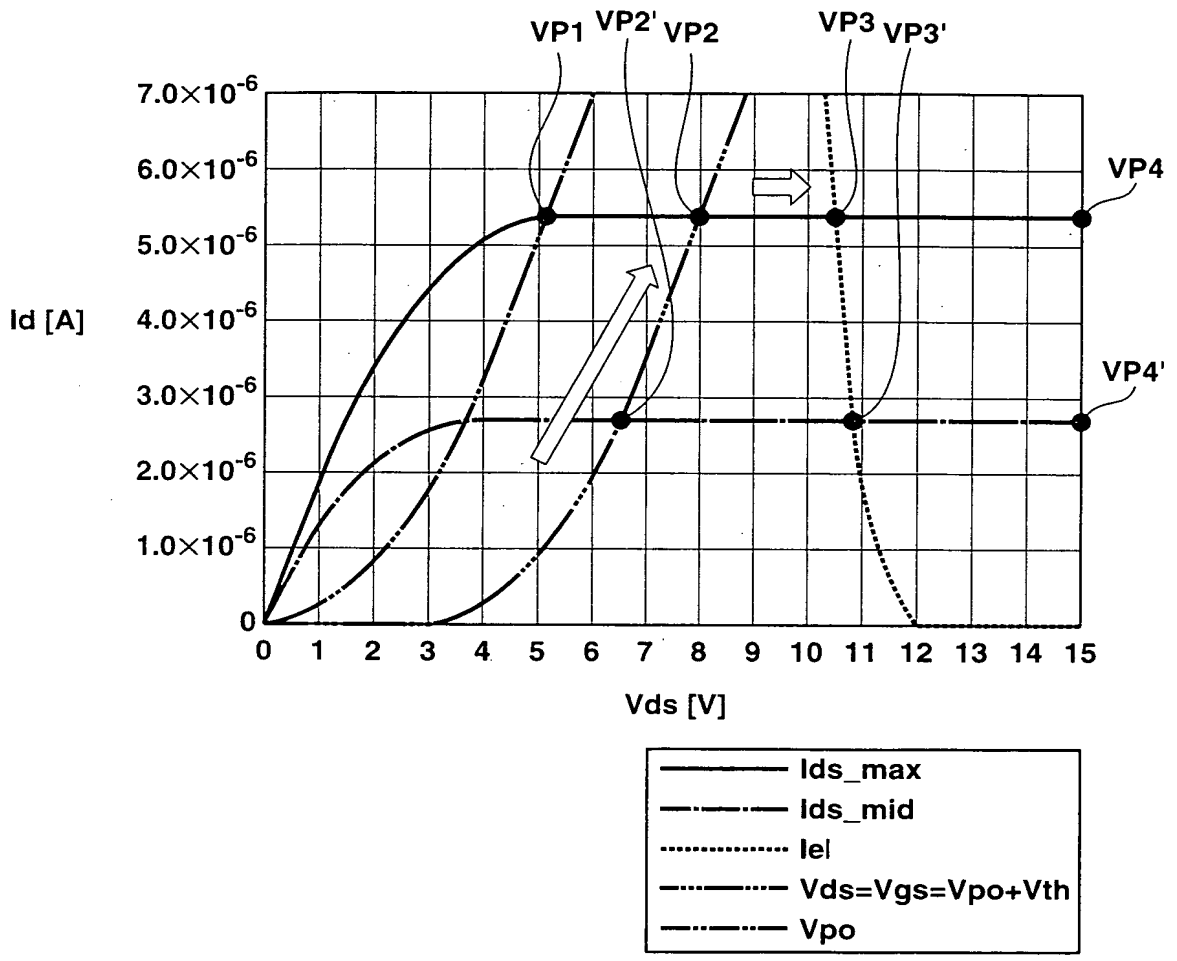


FIG.15

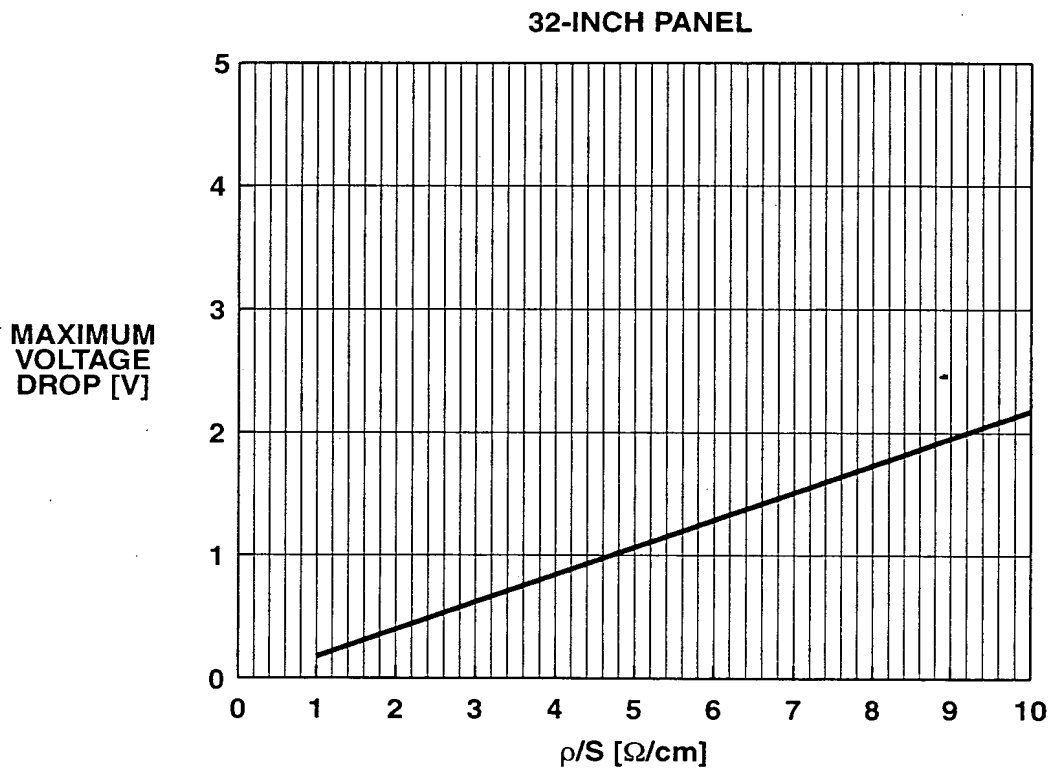


FIG.16

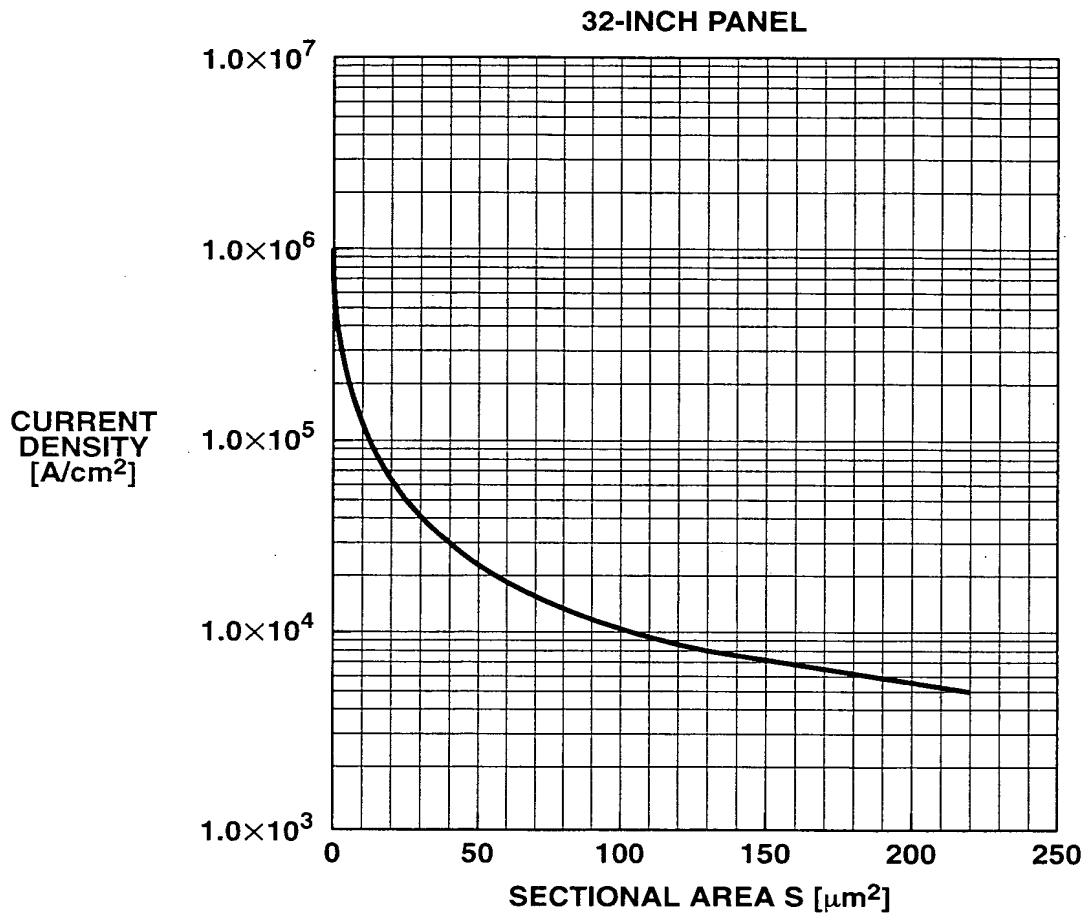


FIG.17

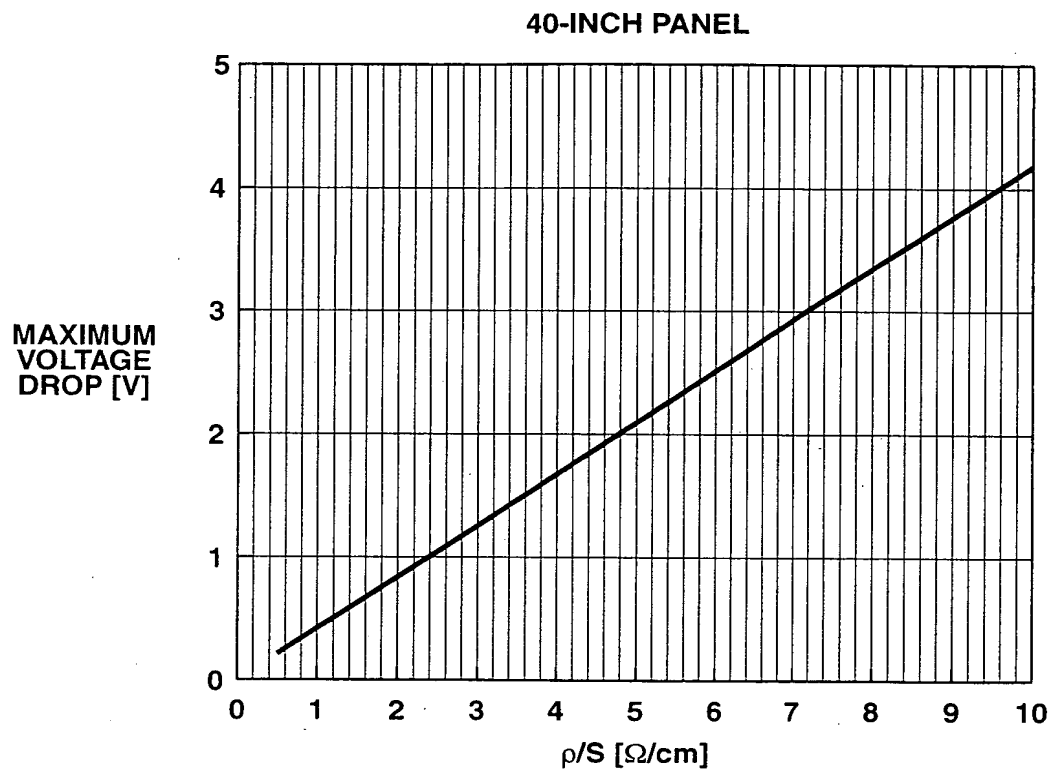


FIG.18

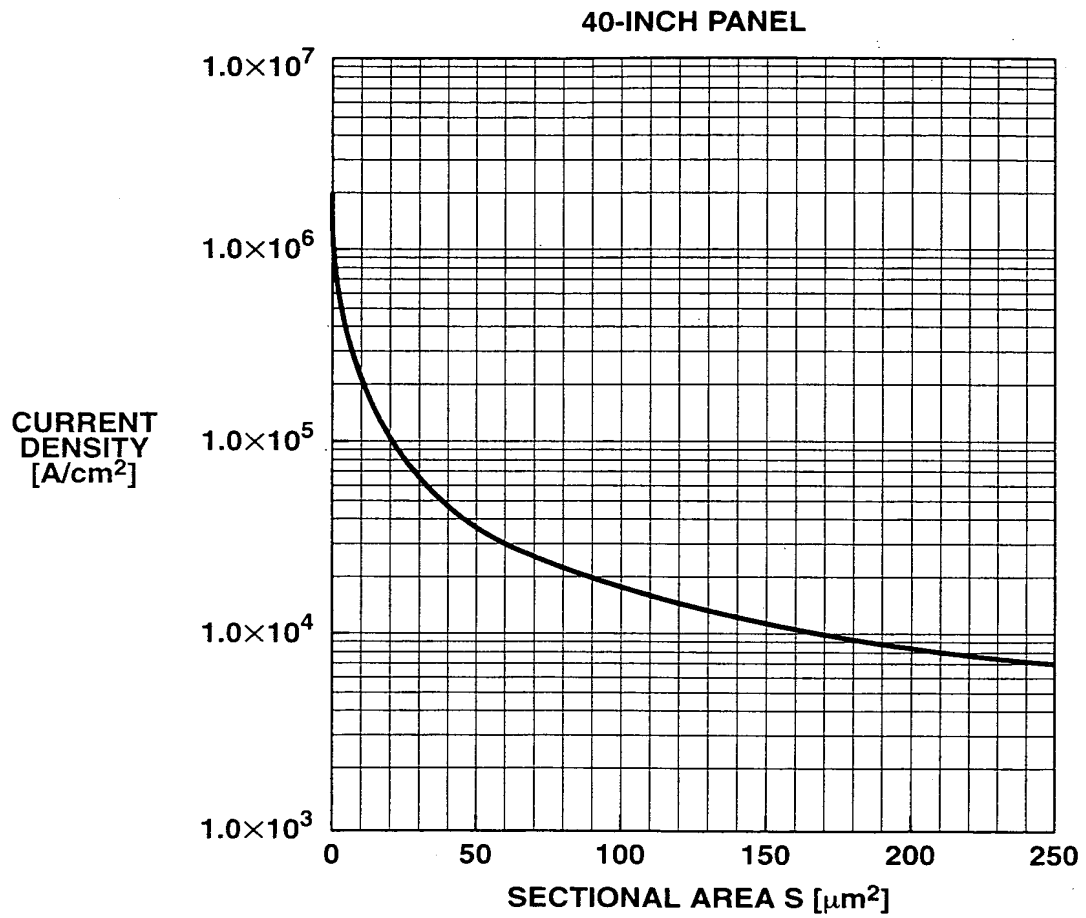


FIG.19

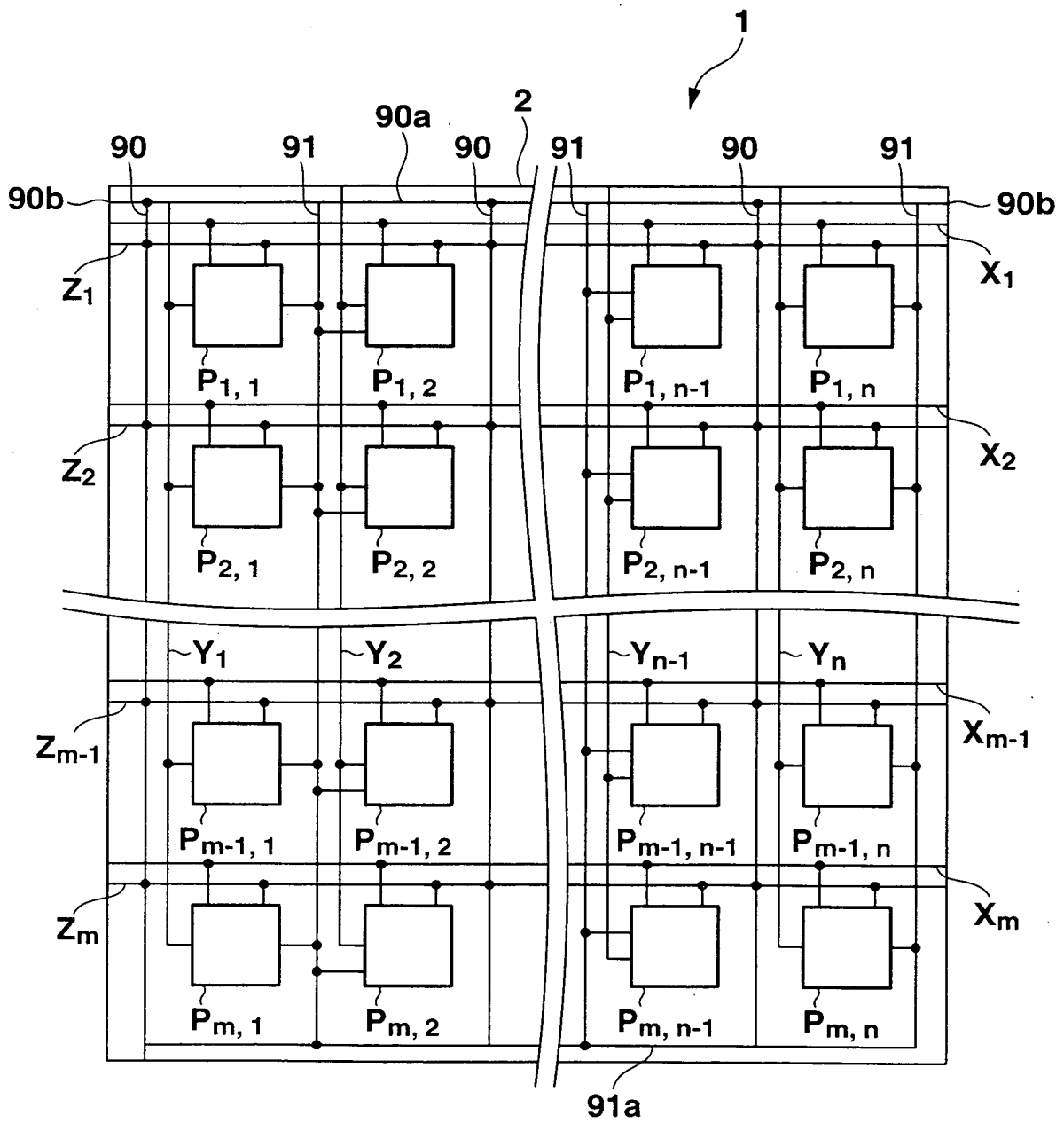


FIG.20

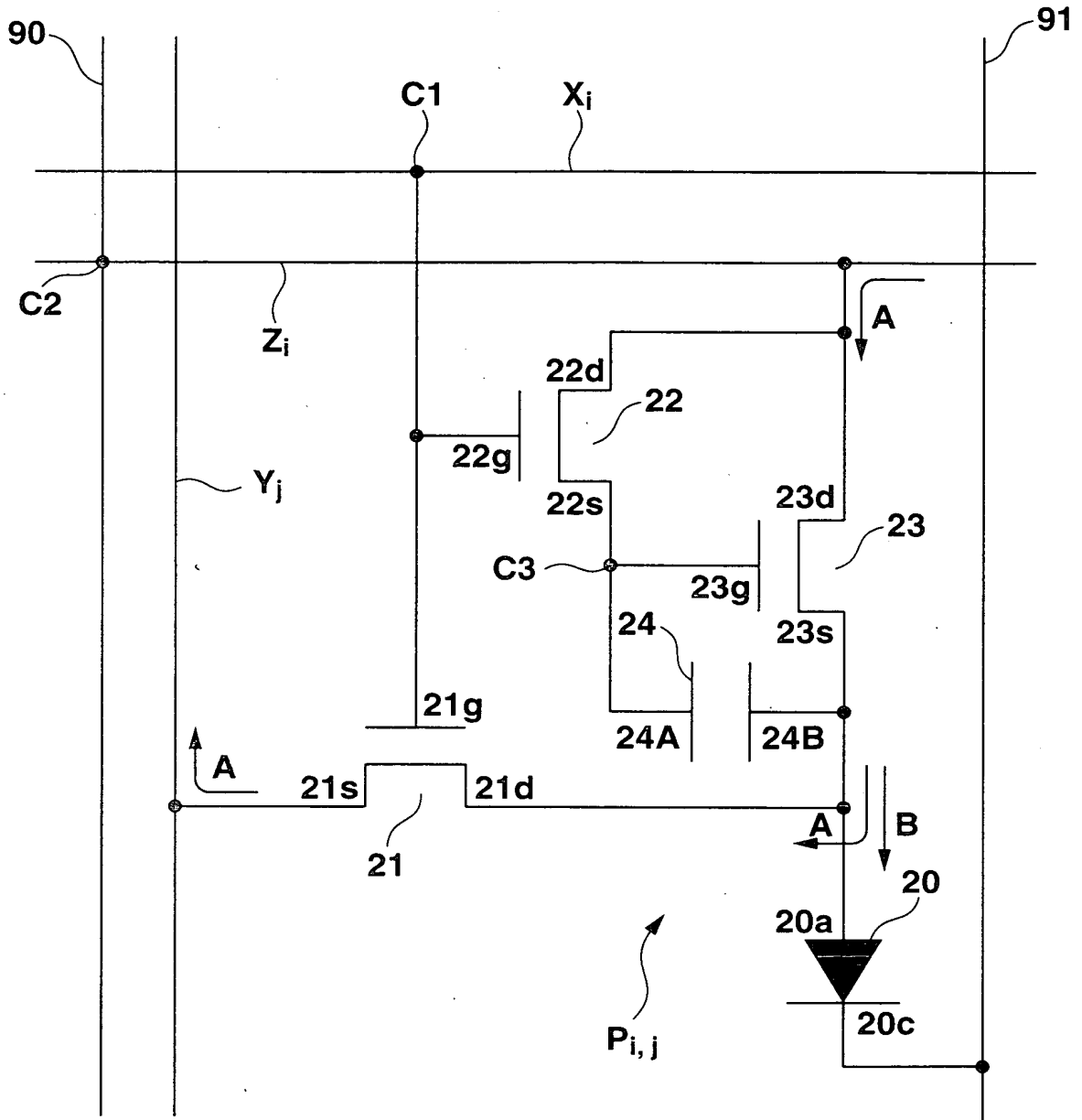


FIG.21

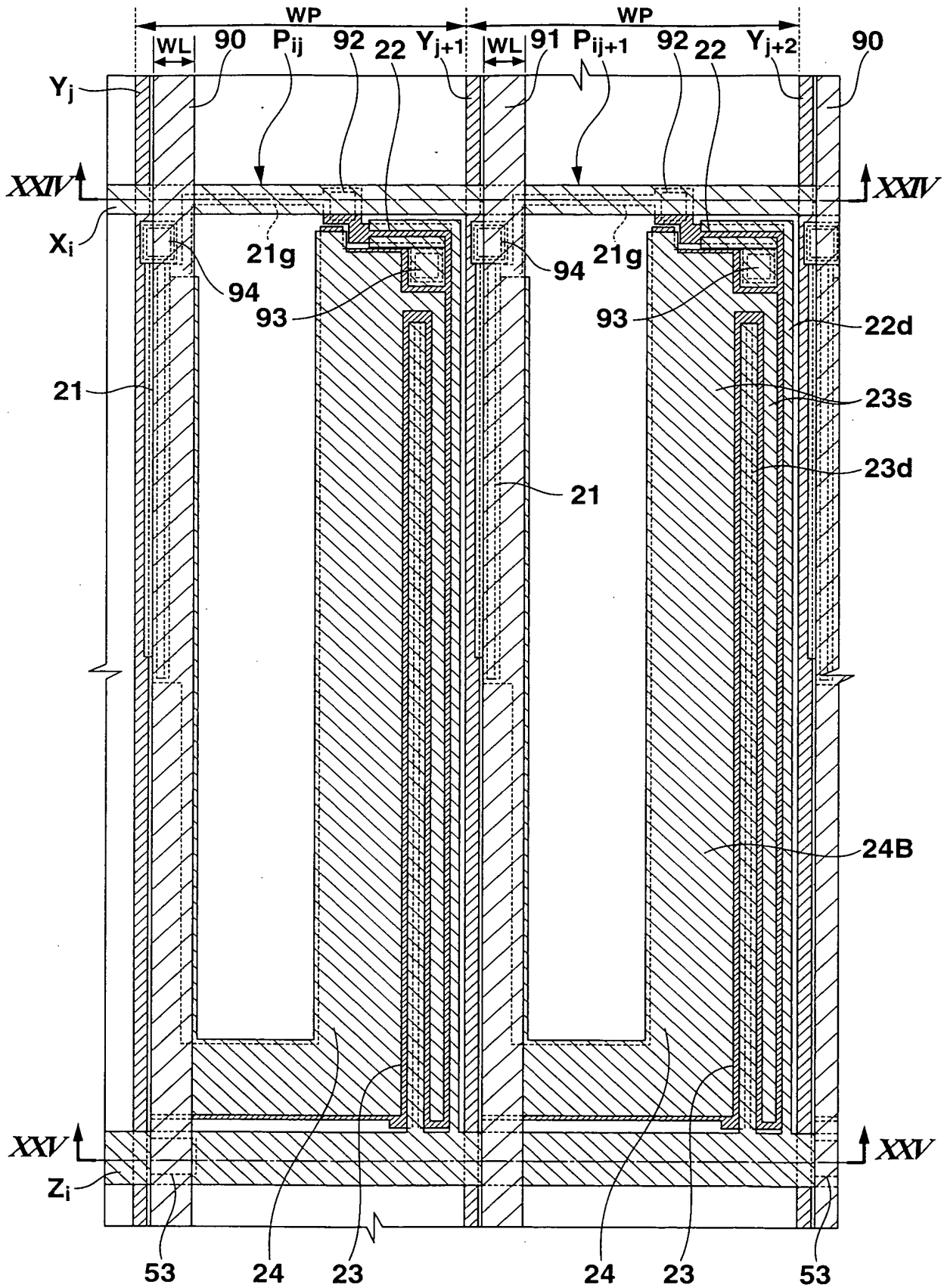


FIG.22

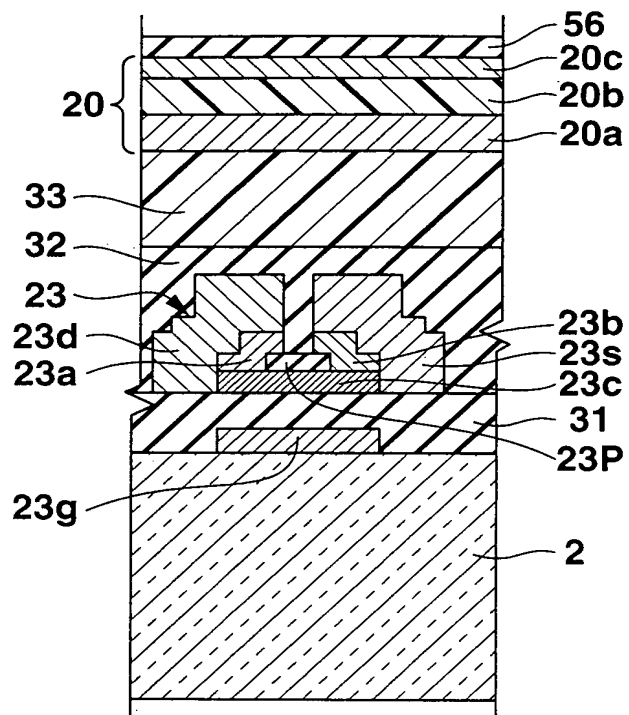


FIG.23

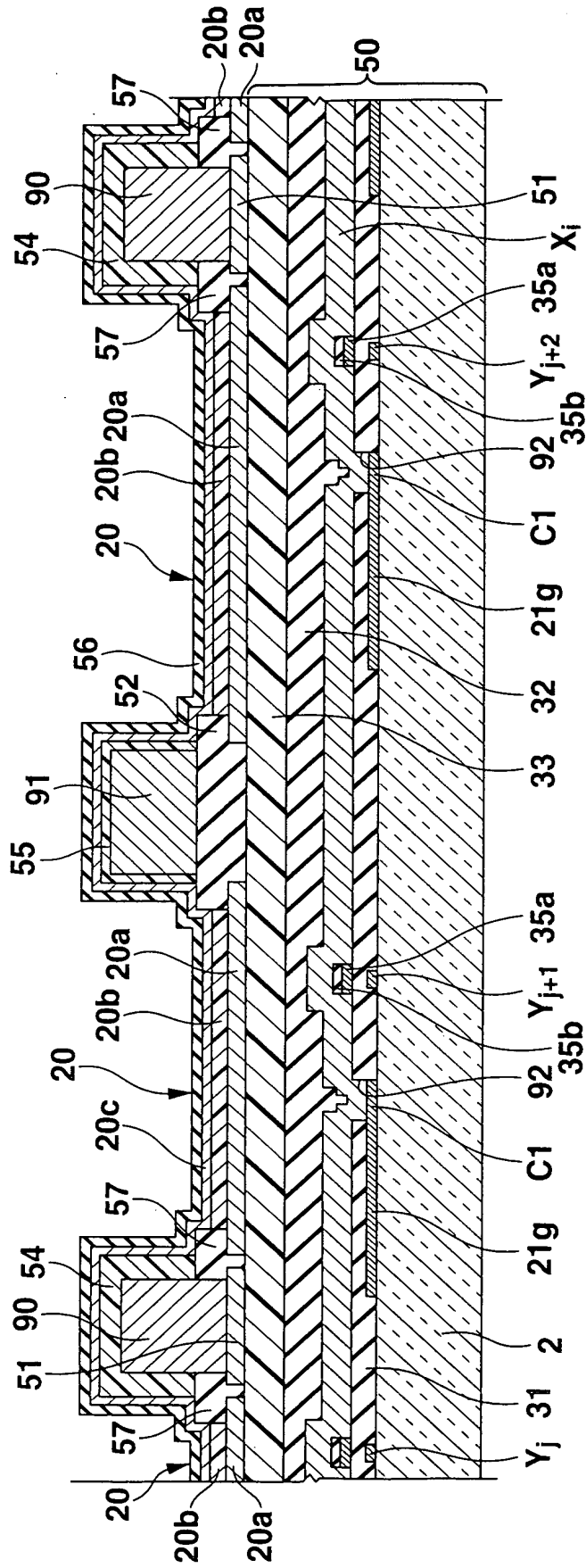


FIG.24

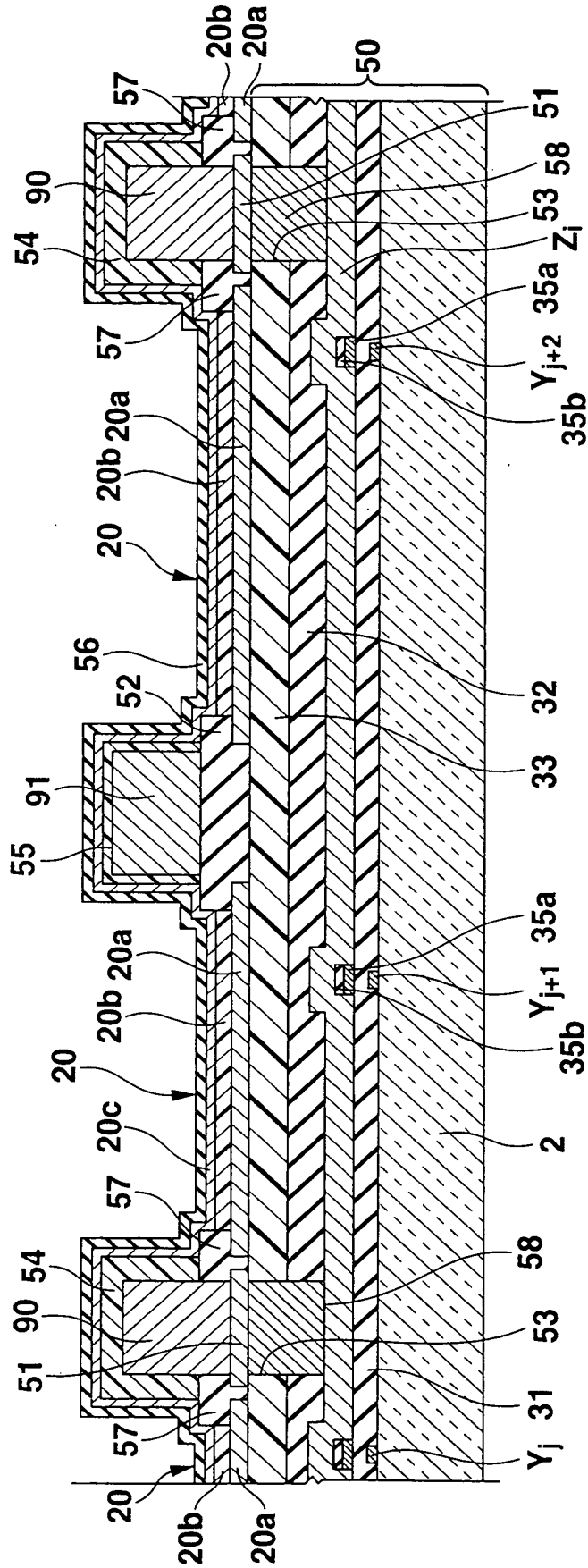


FIG.25

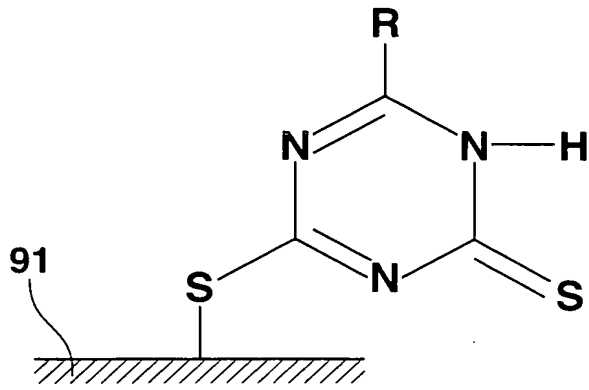


FIG.26

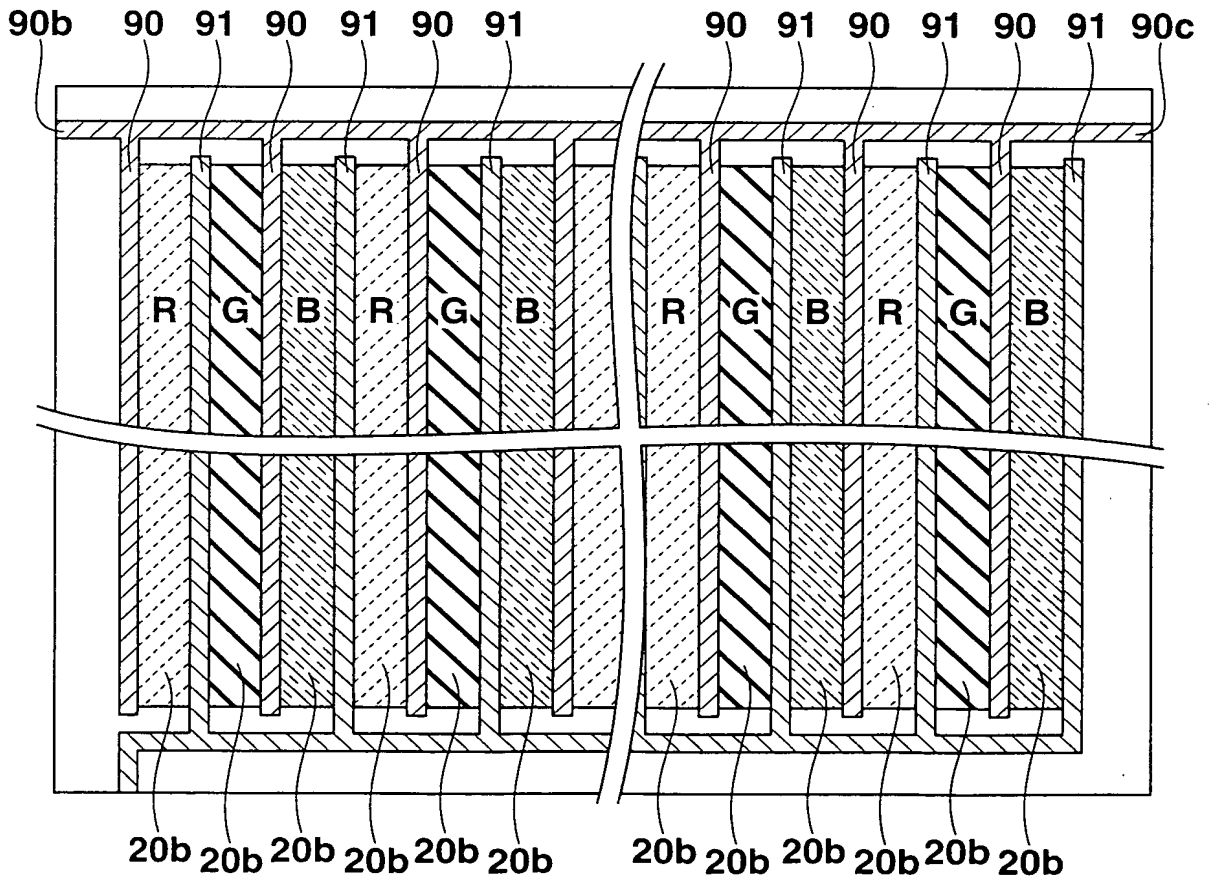


FIG.27

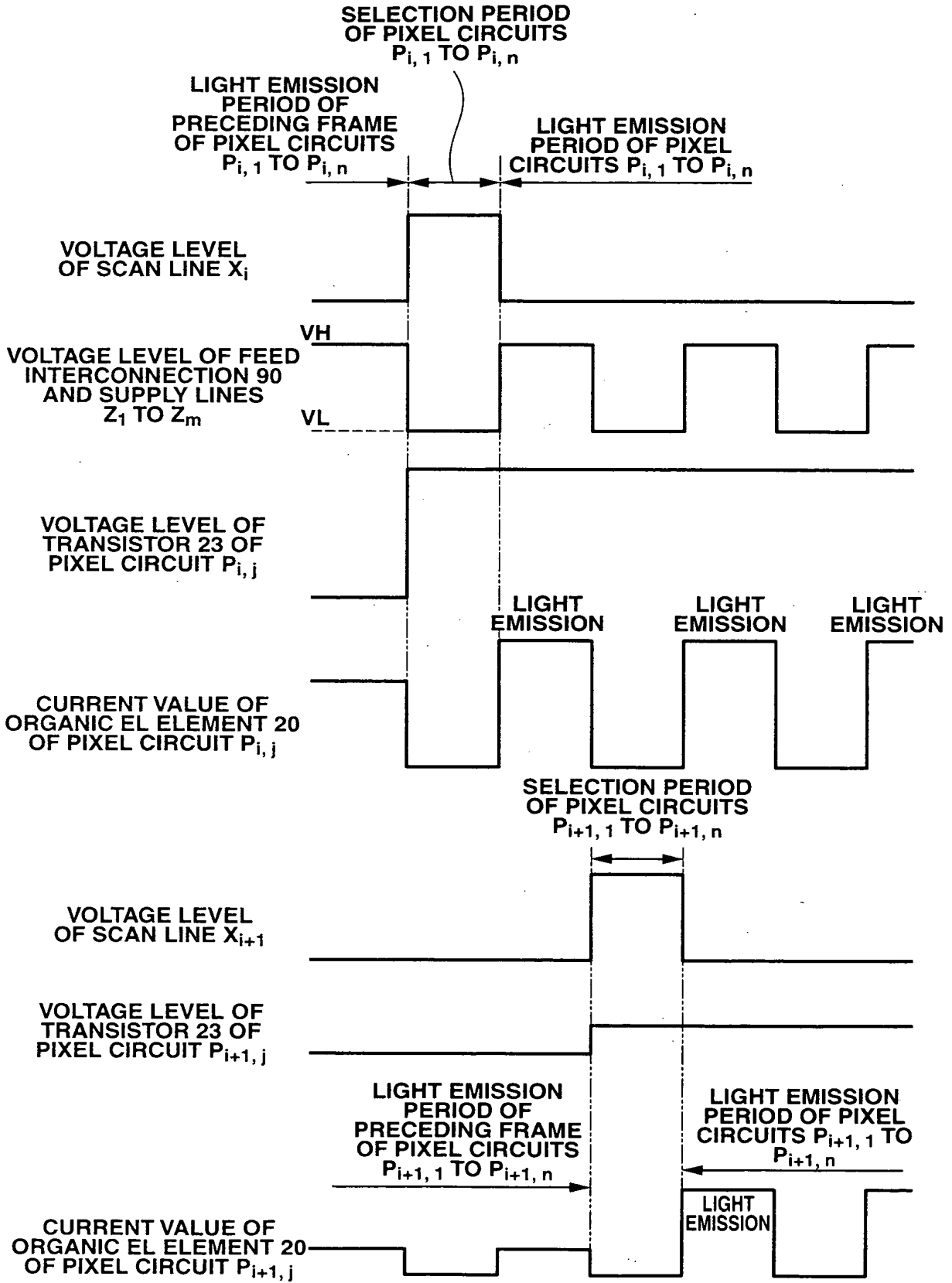


FIG.28

PATENT APPLICATION SERIAL NO _____

U.S. DEPARTMENT OF COMMERCE
PATENT AND TRADEMARK OFFICE
FEE RECORD SHEET

09/26/2005 STEUMEL1 00000019 11232368

01 FC:1011	300.00	OP
02 FC:1111	500.00	OP
03 FC:1311	200.00	OP
04 FC:1202	250.00	OP
05 FC:1081	250.00	OP

PTO-1556
(5/87)

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD

Substitute for Form PTO-875 Effective December 8, 2004

Application or Docket Number

11232368

APPLICATION AS FILED - PART I

FOR	(Column 1) NUMBER FILED	(Column 2) NUMBER EXTRA
BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A
SEARCH FEE (37 CFR 1.16(k), (l), or (m))	N/A	N/A
EXAMINATION FEE (37 CFR 1.16(d), (p), or (q))	N/A	N/A
TOTAL CLAIMS (37 CFR 1.16(i))	25 minus 20 =	5
INDEPENDENT CLAIMS (37 CFR 1.16(n))	3 minus 3 =	0
APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is \$250 (\$125 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).	
MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))		

SMALL ENTITY

RATE (\$)	FEE (\$)
N/A	150.00
N/A	\$250
N/A	\$100
X\$ 25	=
X100	=
+180=	
TOTAL	

OR OTHER THAN SMALL ENTITY

RATE (\$)	FEE (\$)
N/A	300.00
N/A	\$500
N/A	\$200
X\$50	= 250
X200	= 0
+360=	
TOTAL	1500

* If the difference in column 1 is less than zero, enter "0" in column 2.

APPLICATION AS AMENDED - PART II

AMENDMENT A

	(Column 1) CLAIMS REMAINING AFTER AMENDMENT	(Column 2) MINUS	(Column 3) HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA
Total (37 CFR 1.16(o))		Minus	**	=
Independent (37 CFR 1.16(p))		Minus	***	=
Application Size Fee (37 CFR 1.16(s))				
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))				

SMALL ENTITY

RATE (\$)	ADDITIONAL FEE (\$)
X\$ 25	=
X100	=
+180=	
TOTAL ADD'L FEE	

OR OTHER THAN SMALL ENTITY

RATE (\$)	ADDITIONAL FEE (\$)
X\$50	=
X200	=
+360=	
TOTAL ADD'L FEE	

AMENDMENT B

	(Column 1) CLAIMS REMAINING AFTER AMENDMENT	(Column 2) MINUS	(Column 3) HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA
Total (37 CFR 1.16(o))		Minus	**	=
Independent (37 CFR 1.16(p))		Minus	***	=
Application Size Fee (37 CFR 1.16(s))				
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))				

SMALL ENTITY

RATE (\$)	ADDITIONAL FEE (\$)
X\$ 25	=
X100	=
+180=	
TOTAL ADD'L FEE	

OR OTHER THAN SMALL ENTITY

RATE (\$)	ADDITIONAL FEE (\$)
X\$50	=
X200	=
+360=	
TOTAL ADD'L FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.

** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".

*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".

The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1460, Alexandria, VA 22313-1450.

Attorney Docket No. 05621/LH

Express Mail Mailing Label
No.: EV 720 476 889 US

**IN THE UNITED STATES PATENT
AND TRADEMARK OFFICE**

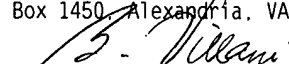
Date of Deposit: September 21, 2005

Applicant(s): S. SHIMODA et al

I hereby certify that this paper is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450

Serial No. : Not yet assigned

Filed : Herewith


Barbara Villani

For : TRANSISTOR ARRAY
SUBSTRATE AND
DISPLAY PANEL

In the event that this Paper is late filed, and the necessary petition for extension of time is not filed concurrently herewith, please consider this as a Petition for the requisite extension of time, and to the extent not tendered by credit card payment attached hereto, authorization to charge the extension fee, or any other fee required in connection with this Paper, to Account No. 06-1378.

Art Unit :
Examiner :

CUSTOMER NO.: 01933

INFORMATION DISCLOSURE STATEMENT

Commissioner for Patents
P.O. Box 1450,
Alexandria, VA 22313-1450

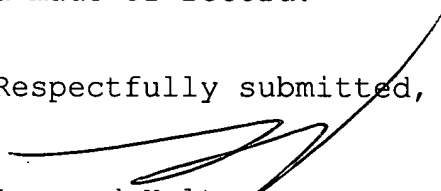
S I R :

Submitted herewith is a copy of the publication identified on the attached Patent Office form PTO/SB/08A.

The publication is identified on pages 1-2 of the specification.

It is respectfully requested that the publication submitted herewith be considered and made of record.

Respectfully submitted,


Leonard Holtz
Reg. No. 22,974

Frishauf, Holtz, Goodman & Chick, P.C.
220 Fifth Avenue - 16th Floor
New York, New York 10001-7708
Tel. No. (212) 319-4900
Fax No. (212) 319-5101
LH:bv

Please type a plus sign (+) inside this box →

+

PTO/SB/08A (08-00)

U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE

Substitute for Form 1449A/PTO INFORMATION DISCLOSURE STATEMENT BY APPLICANT	Application Number				
	Filing Date		Herewith		
	First Named Inventor		S. SHIMODA		
	Group Art Unit				
	Examiner Name				
Sheet	1	of	1	Attorney Docket Number	05621/LH

U.S. PATENT DOCUMENTS

Exam. Initials	Cite No ¹	Document Number	Kind Code ²	Name of Patentee or Applicant	Publication Date MM-DD-YYYY	Relevant Portion

FOREIGN PATENT DOCUMENTS

Exam Initials	Cite No ¹	Offc ³	Document Number ⁴	Kind Code ⁵	Name of Patentee or Applicant	Publication Date MM-DD-YYYY	Relevant Portion	T ⁶
		JP	8-330600	A		12-13-1996		

Examiner Signature		Date Considered	
--------------------	--	-----------------	--

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

¹ Unique citation designation number. ² See kinds of U.S. Patent Documents. ³ Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). ⁴ For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. ⁵ Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. ⁶ Place a check here if English translation is attached.

DATE MAILED: **September 21, 2005**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-330600

(43) 公開日 平成8年(1996)12月13日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786			H 0 1 L 29/78	6 1 6 V
H 0 5 B 33/26			H 0 5 B 33/26	

審査請求 未請求 請求項の数14 O L (全 11 頁)

(21) 出願番号	特願平8-65774	(71) 出願人	000003067 ティーディーケイ株式会社 東京都中央区日本橋1丁目13番1号
(22) 出願日	平成8年(1996)3月22日	(71) 出願人	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(31) 優先権主張番号	特願平7-65943	(72) 発明者	山内 幸夫 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(32) 優先日	平7(1995)3月24日	(72) 発明者	荒井 三千男 東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内
(33) 優先権主張国	日本 (J P)	(74) 代理人	弁理士 山谷 皓榮 (外2名)

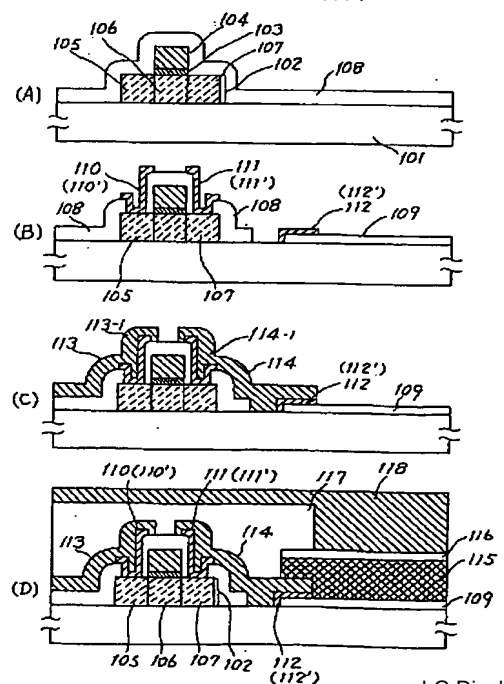
(54) 【発明の名称】 薄膜トランジスタ、有機ELディスプレイ装置及び有機ELディスプレイ装置の製造方法

(57) 【要約】

【課題】有機ELディスプレイ装置の薄膜トランジスタにおいて、バリア金属の溶出にもとづく短絡や断線を防止すること。

【解決手段】薄膜トランジスタのソース領域105またはドレイン領域107を構成するシリコン活性層102と、該シリコン活性層102に接続されるアルミニウム配線113、114との間に、チタンまたは窒素含有量が50atm%以下の窒化チタンよりなるバリア金属110、111を設ける。

本発明の実施の形態説明図



【特許請求の範囲】

【請求項1】ソースまたはドレインを構成するシリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、チタンよりなるバリアメタルを設けたことを特徴とする薄膜トランジスタ。

【請求項2】ソースまたはドレインを構成するシリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなるバリアメタルを設けたことを特徴とする薄膜トランジスタ。

【請求項3】有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリックス駆動型の有機ELディスプレイ装置であって、

前記電流制御用薄膜トランジスタは、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、チタンよりなるバリアメタルが設けられていることを特徴とする有機ELディスプレイ装置。

【請求項4】有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリックス駆動型の有機ELディスプレイ装置であって、

前記電流制御用薄膜トランジスタは、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなるバリアメタルを設けたことを特徴とする有機ELディスプレイ装置。

【請求項5】有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタと、前記電流制御用薄膜トランジスタのスイッチングを行うスイッチ用薄膜トランジスタを有するアクティブマトリックス駆動型の有機ELディスプレイ装置であって、

前記電流制御用薄膜トランジスタと、前記スイッチ用薄膜トランジスタのそれぞれにおいて、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、チタンよりなるバリアメタルを設けたことを特徴とする有機ELディスプレイ装置。

【請求項6】有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタと、前記電流制御用薄膜トランジスタのスイッチングを行うスイッチ用薄膜トランジスタを有するアクティブマトリックス駆動型の有機ELディスプレイ装置であって、

前記電流制御用薄膜トランジスタと、前記スイッチ用薄膜トランジスタのそれぞれにおいて、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなるバリアメタルを設けたことを特徴とする有機ELディスプレイ装置。

【請求項7】有機EL素子がマトリックス状に設けられた、アクティブマトリックス駆動型の有機ELディスブ

レイ装置であって、

前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、チタンよりなるバリアメタルを設けたことを特徴とする有機ELディスプレイ装置。

【請求項8】有機EL素子がマトリックス状に設けられた、アクティブマトリックス駆動型の有機ELディスプレイ装置であって、

10 前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなるバリアメタルを設けたことを特徴とする有機ELディスプレイ装置。

【請求項9】有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリックス駆動型の有機ELディスプレイ装置であって、

前記電流制御用薄膜トランジスタは、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、チタンよりなるバリアメタルが設けられており、

前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、チタンよりなる密着用金属が設けられていることを特徴とする有機ELディスプレイ装置。

【請求項10】有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリックス駆動型の有機ELディスプレイ装置であって、

30 前記電流制御用薄膜トランジスタは、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなるバリアメタルが設けられており、

前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなる密着用金属が設けられていることを特徴とする有機ELディスプレイ装置。

【請求項11】有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタと、前記電流制御用薄膜トランジスタのスイッチングを行うスイッチ用薄膜トランジスタを有するアクティブマトリックス駆動型の有機ELディスプレイ装置であって、

前記電流制御用薄膜トランジスタと、前記スイッチ用薄膜トランジスタのそれぞれにおいて、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、チタンよりなるバリアメタルが設けられており、

50 前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、チタンよりなる密着用金属が設けられていることを特徴とする有機EL

Lディスプレイ装置。

【請求項12】有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタと、前記電流制御用薄膜トランジスタのスイッチングを行うスイッチ用薄膜トランジスタを有するアクティブマトリクス駆動型の有機ELディスプレイ装置であって、

前記電流制御用薄膜トランジスタと、前記スイッチ用薄膜トランジスタのそれぞれにおいて、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなるバリアメタルが設けられており、

前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなる密着用金属が設けられていることを特徴とする有機ELディスプレイ装置。

【請求項13】有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリクス駆動型の有機ELディスプレイ装置を製造するに際し、

前記電流制御用薄膜トランジスタのシリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に設けられたバリアメタルと、

前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に設けられる密着用金属とがチタンにより同時に形成されることを特徴とする有機ELディスプレイ装置の製造方法。

【請求項14】有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリクス駆動型の有機ELディスプレイ装置を製造するに際し、

前記電流制御用薄膜トランジスタのシリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に設けられたバリアメタルと、

前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に設けられる密着用金属とが窒素を50atm%以下含有する窒化チタンにより同時に形成されることを特徴とする有機ELディスプレイ装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、有機エレクトロルミネセンス（EL）ディスプレイ装置に使用される薄膜トランジスタ、有機ELディスプレイ装置及びその製造方法に係り、有機ELディスプレイの信頼性を向上するものに関する。

【0002】

【従来の技術】近年において、有機EL素子を用いた、ディスプレイ装置が開発されている。有機EL素子を多数使用した有機ELディスプレイをアクティブマトリッ

クス回路により駆動する場合、各ELのピクセル（画素）には、このピクセルに対して供給する電流を制御するための薄膜トランジスタが一組ずつ接続される。

【0003】従来のアクティブマトリクス型の有機ELディスプレイ装置の回路図の一例を図4に示す。この有機ELディスプレイ装置は、X方向信号線301-1、301-2・・・、Y方向信号線302-1、302-2・・・、電源（V_{dd}）線303-1、303-2・・・、スイッチ用薄膜トランジスタ304-1、304-2・・・、電流制御用薄膜トランジスタ305-1、305-2・・・、有機EL素子306-1、306-2・・・、コンデンサ307-1、307-2・・・、X方向周辺駆動回路308、Y方向周辺駆動回路309等により構成される。

【0004】X方向信号線301、Y方向信号線302により画素が特定され、その画素においてスイッチ用薄膜トランジスタ304がオンにされる。これにより電流制御用薄膜トランジスタ305がオンにされ、電源線303より供給される電流により有機EL素子306に電流が流れ、これが発光される。

【0005】例えばX方向信号線301-1に画像データに応じた信号が出力され、Y方向信号線302-1にY方向走査信号が出力されると、これにより特定された画素のスイッチ用薄膜トランジスタ304-1がオンになり、画像データに応じた信号により電流制御用薄膜トランジスタ305-1が導通されて有機EL素子306-1にこの画像データに応じた電流が流れ、発光される。

【0006】図3に従来の有機ELディスプレイ装置の画素部の構成の部分的断面図を示す。この図3では、電流制御用薄膜トランジスタと、有機EL素子を示す。図3において、ガラス等の基板201上に、活性シリコン層202、ゲート絶縁膜203、ゲート電極204が形成される。そして活性シリコン層202には、ソース領域205、チャンネル形成領域206、ドレイン領域207が設けられ、薄膜トランジスタが構成される。

【0007】さらに層間絶縁膜208に設けられたコンタクトホールに、バリアメタル210、211を介して、ソース領域205、ドレイン領域207にそれぞれアルミニウム製のソース電極213-1、ドレイン電極214-1が設けられている。

【0008】またガラス等の基板201に設けられたITO（酸化インジウム・スズ）の透明電極209上に、有機EL層215、上部電極216が設けられてEL素子部を構成している。このITOの透明電極209には密着用金属212を介して、その一端が前記ドレイン電極214-1となるアルミニウム配線214が接続されている。

【0009】そして有機EL素子の上部電極216の上面以外の部分に、薄膜トランジスタ部分を覆うように、

保護膜217が設けられ、有機EL素子の上部電極216の上面には、アルミニウム等により共通電極218が設けられている。

【0010】図3に示すように、一般に薄膜トランジスタでは、シリコン活性層のソース領域205、ドレイン領域207と、これらにそれぞれ接続されるアルミニウム製のソース電極213-1、ドレイン電極214-1との間には、バリアメタル210と211が介在されている。これらのバリアメタル210、211は、活性シリコン層202におけるシリコン原子がアルミニウム製のソース電極213-1、ドレイン電極214-1側への拡散、消失することを防止するために設けられている。なおこのバリアメタル210、211は、従来では主にクロムが使用されていた。

【0011】一方、有機EL素子部において、ITOよりなる透明電極209とアルミニウム配線214を直接接触させると、電食や密着性低下等の不良が発生し易い。このような不良の発生を防ぎ、アルミニウム配線214と透明電極209との良好な密着性を保つため、透明電極209とアルミニウム配線214との間に密着用金属212を挟むことが必要であった。そして従来ではこの密着用金属212として、前記薄膜トランジスタのバリアメタル210、211と同じく、主にクロムが使用されていた。なお図3において213はアルミニウム配線である。

【0012】

【発明が解決しようとする課題】このような有機ELディスプレイ装置において、薄膜トランジスタのバリアメタル210、211として用いられたクロムが、EL素子を構成する上部電極216や透明電極209の方に溶出し、即ち電食によりこれらと薄膜トランジスタとの間に、溶出したクロムによる導線が形成され、短絡状態となってしまうことがあった。

【0013】さらに動作を続けると、薄膜トランジスタのバリアメタル210、211を構成していたクロムが全て溶出してしまい、ソース領域205やドレイン領域207と、アルミニウム電極213-1、214-1との間が抜けて空隙が生じ、断線状態に至ることがあった。

【0014】その結果、薄膜トランジスタとしての機能を果たすことができなくなり、有機ELディスプレイ装置としての信頼性を大幅に低下させることになる。本発明者等はこの原因を検討した結果、下記の理由に基づくものと解明することができた。

【0015】まず有機EL層215を構成する有機EL材料は、吸湿性が強く、大気中の水分を吸収し易い性質を有するので、有機EL層215から水分が発生する。また有機EL層215を発光させて、ピクセルを表示するために、有機EL層215に接続された電流制御用薄膜トランジスタ及びそれを動作させるスイッチ用薄膜ト

ランジスタには、比較的大きな直流電流（バイアス電流）が連続的に流れる。

【0016】このように、有機EL層215中から発生する水分と、バイアス電流により、薄膜トランジスタのバリアメタル210、211を構成するクロムがイオン化して有機EL素子側に移動し、短絡や断線の原因となることが解明された。

【0017】この現象は、電流制御用薄膜トランジスタのみではなく、スイッチ用薄膜トランジスタにおいてもみられることがあった。従って、本発明の目的は、有機ELディスプレイにおいて、このような薄膜トランジスタの動作における短絡や断線という不良の発生を防止し、有機ELディスプレイの信頼性を高めることである。

【0018】

【課題を解決するための手段】このような本発明の目的は、下記(1)～(14)の如く構成あるいは製造方法により達成することができる。

(1) ソースまたはドレインを構成するシリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、チタンよりなるバリアメタルを設けたことを特徴とする薄膜トランジスタ。

【0019】(2) ソースまたはドレインを構成するシリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなるバリアメタルを設けたことを特徴とする薄膜トランジスタ。

【0020】(3) 有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリックス駆動型の有機ELディスプレイ装置であって、前記電流制御用薄膜トランジスタは、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、チタンよりなるバリアメタルが設けられていることを特徴とする有機ELディスプレイ装置。

【0021】(4) 有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリックス駆動型の有機ELディスプレイ装置であって、前記電流制御用薄膜トランジスタは、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなるバリアメタルを設けたことを特徴とする有機ELディスプレイ装置。

【0022】(5) 有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタと、前記電流制御用薄膜トランジスタのスイッチングを行うスイッチ用薄膜トランジスタを有するアクティブマトリックス駆動型の有機ELディスプレイ装置であって、前記電流制御用薄膜トランジスタと、前記スイッチ用薄膜トランジスタのそれぞれにおいて、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、チタン

よりなるバリアメタルを設けたことを特徴とする有機ELディスプレイ装置。

【0023】(6)有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタと、前記電流制御用薄膜トランジスタのスイッチングを行うスイッチ用薄膜トランジスタを有するアクティブマトリクス駆動型の有機ELディスプレイ装置であって、前記電流制御用薄膜トランジスタと、前記スイッチ用薄膜トランジスタのそれぞれにおいて、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなるバリアメタルを設けたことを特徴とする有機ELディスプレイ装置。

【0024】(7)有機EL素子がマトリクス状に設けられた、アクティブマトリクス駆動型の有機ELディスプレイ装置であって、前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、チタンよりなるバリアメタルを設けたことを特徴とする有機ELディスプレイ装置。

【0025】(8)有機EL素子がマトリクス状に設けられた、アクティブマトリクス駆動型の有機ELディスプレイ装置であって、前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなるバリアメタルを設けたことを特徴とする有機ELディスプレイ装置。

【0026】(9)有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリクス駆動型の有機ELディスプレイ装置であって、前記電流制御用薄膜トランジスタは、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、チタンよりなるバリアメタルが設けられており、前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、チタンよりなる密着用金属が設けられていることを特徴とする有機ELディスプレイ装置。

【0027】(10)有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリクス駆動型の有機ELディスプレイ装置であって、前記電流制御用薄膜トランジスタは、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなるバリアメタルが設けられており、前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなる密着用金属が設けられていることを特徴とする有機ELディスプレイ装置。

【0028】(11)有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタと、前記電流制御用薄膜トランジスタのスイッチングを行うスイッチ

用薄膜トランジスタを有するアクティブマトリクス駆動型の有機ELディスプレイ装置であって、前記電流制御用薄膜トランジスタと、前記スイッチ用薄膜トランジスタのそれぞれにおいて、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、チタンよりなるバリアメタルが設けられており、前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、チタンよりなる密着用金属が設けられていることを特徴とする有機ELディスプレイ装置。

【0029】(12)有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタと、前記電流制御用薄膜トランジスタのスイッチングを行うスイッチ用薄膜トランジスタを有するアクティブマトリクス駆動型の有機ELディスプレイ装置であって、前記電流制御用薄膜トランジスタと、前記スイッチ用薄膜トランジスタのそれぞれにおいて、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなるバリアメタルが設けられており、前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなる密着用金属が設けられていることを特徴とする有機ELディスプレイ装置。

【0030】(13)有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリクス駆動型の有機ELディスプレイ装置を製造するに際し、前記電流制御用薄膜トランジスタのシリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に設けられたバリアメタルと、前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に設けられる密着用金属とがチタンにより同時に形成されることを特徴とする有機ELディスプレイ装置の製造方法。

【0031】(14)有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリクス駆動型の有機ELディスプレイ装置を製造するに際し、前記電流制御用薄膜トランジスタのシリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に設けられたバリアメタルと、前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に設けられる密着用金属とが窒素を50atm%以下含有する窒化チタンにより同時に形成されることを特徴とする有機ELディスプレイ装置の製造方法。

【0032】このように、有機EL素子に接続された薄膜トランジスタにおいて、薄膜トランジスタのソース又はドレインである活性シリコン層と、有機EL素子に接続されたアルミニウム配線との接触部において、バリアメタルとしてチタンまたは窒素の含有量が50atm%

以下含有される窒化チタンを用いることにより、発明者は有機EL素子と共に使用されていても、バリア金属の流出がないということを見出した。そしてこれによりバリア金属の溶出による短絡や断線を防ぎ、有機ELディスプレイ装置の信頼性を向上させることができた。

【0033】また有機EL素子を構成するITOの透明電極と、このITOの透明電極に接続されるアルミニウム配線との間に設けられる密着金属として、チタン又は窒素の含有量が50atm%以下の窒化チタンの層を設けることにより、ITOの透明電極とアルミニウム配線との密着性を向上することができ、この点からも有機ELディスプレイ装置の信頼性を向上することができた。

【0034】

【発明の実施の形態】本発明の第1の実施の形態を図1に基づき説明する。第1の実施の形態ではバリア金属として窒化チタンを用いた薄膜トランジスタを有する有機ELディスプレイ装置を構成した例を示し、図3における電流制御用薄膜トランジスタ305と、有機EL素子306に対する部分を示す。

【0035】図1(A)に示す如く、先ず基板101上に通常の固相成長法により多結晶シリコン薄膜を形成し、この多結晶シリコン薄膜を島状に加工して、シリコン活性層102を得る。この基板101としては、例えば石英基板を使用することができる。

【0036】次に、このシリコン活性層102の上にSiO₂よりなるゲート絶縁膜103、アルミニウムよりなるゲート電極104を形成する。その後シリコン活性層102に不純物をドーブして、ソース領域105、チャンネル形成領域106及びドレイン領域107が形成される。そしてこれらの上全面に、SiO₂よりなる層間絶縁膜108が形成される。

【0037】次に、図1(B)に示す如く、層間絶縁膜108にエッチング処理を施し、ソース領域105、ドレイン領域107及びEL素子形成領域に開孔を設ける。そしてITO(酸化インジウム・スズ)膜がスパッタ法により形成され、加工されてEL素子形成領域に透明電極109が形成される。この場合、層間絶縁膜108のEL素子形成領域には開孔を設けず、層間絶縁膜108上に透明電極109を設けてもよい。

【0038】次に窒化チタン膜を形成する。この場合、窒素を10atm%含有する窒化チタン膜を、膜厚100Å~1000Å、例えば500Åの厚さで、基板全面に形成した。

【0039】その後これをエッチング処理して、ソース領域105とドレイン領域107と、透明電極109の上部であってアルミニウム配線が接続される部分に、いずれも窒化チタン膜よりなるバリア金属110、111及び密着用金属112が同時に形成される。

【0040】勿論スイッチ用薄膜トランジスタや、周辺駆動回路を構成する薄膜トランジスタの窒化チタンより

なるバリア金属を、この工程において同時に形成してもよい。このようにして、窒化チタンよりなるバリア金属及び密着用金属を同時に形成することができる。

【0041】それから、図1(C)に示す如く、全面にアルミニウム膜が6000Å形成され、これがエッチング処理されて、ソース電極113-1が形成されるアルミニウム配線113と、ドレイン電極114-1と密着用金属112とを接続するアルミニウム配線114が設けられる。

【0042】そして、図1(D)に示す如く、有機EL層115とEL素子の上部電極116が有機EL素子形成領域に設けられた。これらは、それぞれ金属マスクが設けられた状態で、真空蒸着法を行うことにより形成された。この上部電極116は、例えば銀を含むマグネシウム膜により構成される。

【0043】次に、有機EL素子の上部電極116上に開孔が設けられてSiO₂膜の保護膜117が形成され、更に共通電極118が、マトリクス部全面にアルミニウムを設けることで形成され、有機ELディスプレイ装置が完成された。

【0044】本発明の第2の実施の形態について説明する。本発明の第2の実施の形態ではバリア金属110、111や密着用金属112等にチタンを使用したものである。その製造工程図は図1と全く同じであるので、図1に従って簡単に説明する。

【0045】図1(A)に示す如く、基板101上に多結晶シリコン薄膜を形成し、これを島状に加工して、シリコン活性層102を得る。このシリコン活性層102の上にSiO₂よりなるゲート絶縁膜103、アルミニウムよりなるゲート電極104を形成し、不純物をドーブしてソース領域105、チャンネル形成領域106及びドレイン領域107を形成し、これらにSiO₂よりなる層間絶縁膜108を形成する。

【0046】次に、図1(B)に示す如く、層間絶縁膜108をエッチングして、ソース領域105、ドレイン領域107、EL素子形成領域に開孔を設ける。そしてITO膜がスパッタ法により形成され、加工されてEL素子形成領域に透明電極109を形成する。この場合、EL素子形成領域には開孔を設けず、層間絶縁膜108上に透明電極109を設けてもよい。

【0047】それからチタン膜を、100Å~1000Å、例えば500Åの厚さで基板全面に形成し、これをエッチング処理して、ソース領域105と、ドレイン領域107と、透明電極109との上部のアルミニウム配線が接続される部分に、チタン膜よりなるバリア金属110'、111'及び密着用金属112'を同時に形成する。勿論スイッチ用薄膜トランジスタや周辺駆動回路を構成する薄膜トランジスタのチタンよりなるバリア金属及び密着用金属を同時に形成できる。

【0048】それから図1(C)に示す如く、全面にア

ルミニウム膜が6000Å形成され、これがエッチング処理されて、ソース電極113-1が形成されるアルミニウム配線113と、ドレイン電極114-1と密着用金属112とを接続するアルミニウム配線114が設けられる。

【0049】そして、図1(D)に示す如く、有機EL層115とEL素子の上部電極116が設けられる。これらは、それぞれメタルマスクが設けられた状態で、真空蒸着法で形成された。この上部電極116は、例えば銀を含むマグネシウム膜により構成される。

【0050】次に上部電極116上に開孔が設けられてSiO₂膜の保護膜117が形成され、アルミニウムの共通電極118が形成され、有機ELディスプレイ装置が完成される。

【0051】本発明の第3の実施の形態について説明する。本発明の第3の実施の形態ではバリアメタル110、111や密着用金属112等にチタンを使用したものである。その製造工程図は図1と全く同じであるので、図1に従って簡単に説明する。

【0052】図1(A)に示す如く、基板101上に多結晶シリコン薄膜を形成し、これを島状に加工して、シリコン活性層102を得る。このシリコン活性層102の上にSiO₂よりなるゲート絶縁膜103、アルミニウムよりなるゲート電極104を形成し、不純物をドーブしてソース領域105、チャネル形成領域106及びドレイン領域107を形成し、これらにSiO₂よりなる層間絶縁膜108を形成する。

【0053】次に、図1(B)に示す如く、層間絶縁膜108をエッチングして、ソース領域105、ドレイン領域107、EL素子形成領域に開孔を設ける。そしてITO膜がスパッタ法により形成され、加工されてEL素子形成領域に透明電極109を形成する。この場合、EL素子形成領域には開孔を設けず、層間絶縁膜108上に透明電極109を設けてもよい。

【0054】それから窒素を45atm含有する窒化チタン膜を、100Å~1000Å、例えば500Åの厚さで基板全面に形成し、これをエッチング処理して、ソース領域105と、ドレイン領域107と、透明電極109との上部のアルミニウム配線が接続される部分に、窒素を45atm含有する窒化チタン膜よりなるバリアメタル110'、111'及び密着用金属112'を同時に形成する。勿論スイッチ用薄膜トランジスタや周辺駆動回路を構成する薄膜トランジスタのチタンよりなるバリアメタル及び密着用金属を同時に形成できる。

【0055】それから図1(C)に示す如く、全面にアルミニウム膜が6000Å形成され、これがエッチング処理されて、ソース電極113-1が形成されるアルミニウム配線113と、ドレイン電極114-1と密着用金属112とを接続するアルミニウム配線114が設けられる。

【0056】そして、図1(D)に示す如く、有機EL層115とEL素子の上部電極116が設けられる。これらは、それぞれメタルマスクが設けられた状態で、真空蒸着法で形成された。この上部電極116は、例えば銀を含むマグネシウム膜により構成される。

【0057】次に上部電極116上に開孔が設けられてSiO₂膜の保護膜117が形成され、アルミニウムの共通電極118が形成され、有機ELディスプレイ装置が完成される。

10 【0058】ここで図2により窒化チタンTiNの窒素含有量とその比抵抗の関係を説明する。図2においてNは窒素含有量(N₂量)特性曲線を示し、Rは比抵抗特性曲線を示し、Tは成膜速度特性曲線を示す。なお横軸は成膜時N₂分圧であり、窒素ガスとArガスの混合比を示し、0.2はN₂ガス20%Arガス80%;また0.6はN₂ガス60%Arガス40%のときを示す。

20 【0059】この図2は、成膜時N₂分圧が0.1のとき窒化チタンの窒素含有量はN曲線により約37.5atm%、比抵抗はR曲線により約225マイクロオーム・センチメートル、成膜速度は約92Å/分であることを示している。

【0060】本発明者等は、窒素含有量を30atm%より増加したところ、図2に示す如く、約37.5atm%を超えたとき窒化チタンの比抵抗が低下する領域のあることを発見し、これにより窒素含有量が30atm%を超えた領域でもバリアメタルや密着用金属として使用可能であることを見出した。

30 【0061】当然のことながらバリアメタルや密着用金属としては、比抵抗は低い程よい。またチタンに窒素を含有すればする程化学的に安定するため、逆に加工性(エッチング性)は低下することになる。

【0062】本発明によればチタン又は窒素を50atm%以下含有する窒化チタンを薄膜トランジスタのバリアメタルとして使用することにより、バリアメタルとしての機能、即ちシリコンのアルミニウム配線への拡散を防ぐ機能を有するとともに、有機EL素子が使用されてもバリアメタルの流出を抑制することができる。

40 【0063】即ち、従来のようにバリアメタルとしてクロムを使用した有機ELディスプレイ装置では、10分~20分位でクロムの流出が生じ、不良となったものが、チタン又は窒素を50atm%以下含有する窒化チタンを使用することにより数日以上長時間使用しても薄膜トランジスタのバリアメタルや有機EL素子側の密着用金属として安定な状態を保持することができる。

50 【0064】また有機EL素子を構成する透明電極と、この透明電極に接続されるアルミニウム配線との間に設けられる密着用金属として、チタン又は窒素を50atm%以下含有する窒化チタンの層を形成することにより、透明電極とアルミニウム配線との密着性を向上させることができる。

【0065】従って、従来バリアメタルとして、またITO透明電極とアルミニウム配線との密着性向上のための密着用金属として、いずれもクロムが用いられたが、本発明ではこれらとともにチタン又は窒化チタンに置き換えることができるため、製造工程自体は、材料の変更以外は従来と同様とすることができる。

【0066】また窒化チタンにおける窒素の含有量は、窒素が多くなると密着性が高くなるものの導電率が低下し、また加工性も低下するため、30atm%以下の含有量が好ましい。特に窒素の含有量が5~15atm%程度が導電率と加工性と安定性とがともに良好に得られるので極めて好ましい。

【0067】なお本発明においては、窒素を30atm%以下含有する窒化チタンをバリアメタルあるいは密着用金属として使用することにより、比抵抗が小さく加工性がよく、しかも耐電食性の安定性の良好なものを提供することができる。また安価なウェットエッチング加工することが可能となるバリアメタルあるいは密着用金属として使用することができる。

【0068】本発明において窒素を30atm%を超え50atm%以下含有する窒化チタンをバリアメタルあるいは密着用金属として使用することにより、比抵抗が小さく、耐電食性の安定性の非常に高いものを提供することができる。この場合、ドライエッチングにより加工することができる。安定性が非常に高いので、窒化チタンの成膜後の熱が薬品に対する制約がなくなり、プロセスの汎用性が向上し、成膜にどんな工程がきても問題が発生しにくいものを提供することができる。

【0069】本発明においてチタンをバリアメタルあるいは密着用金属として使用することにより、耐電食性の安定性のある、しかも窒化チタンに比較して比抵抗が小さく加工性の非常にすぐれたものを提供することができる。そしてこれまた安価なウェットエッチング加工することが可能なものを提供することができる。

【0070】前記各実施の形態では、基板として石英基板を用いた例について説明したが、本発明はこれに限定されるものではなく、ガラス基板、セラミック基板等を使用することができる。

【0071】前記各実施の形態では透明電極としてITOを使用した例について説明したが、本発明はこれに限定されるものではなく、ZnO、SnO等を使用することができる。

【0072】前記各実施の形態では窒化チタン又はチタンよりなるバリアメタルは、画素部分の電流制御用薄膜トランジスタに設けられた例について示したが、本発明はこれに限定されることなく、これら窒化チタン又はチタンよりなるバリアメタルを、スイッチング用薄膜トランジスタや、X方向、Y方向の周辺駆動回路を構成する薄膜トランジスタに設けてもよい。

【0073】特に、同一基板上において、画素部分と、

周辺駆動回路を同時に形成する場合、画素部分を構成する電流制御用薄膜トランジスタとスイッチ用薄膜トランジスタと、各周辺駆動回路を構成する薄膜トランジスタとにおいて、全てチタン又は窒化チタンよりなるバリアメタルを設けることで、また更には透明電極とアルミニウム配線との間にチタン又は窒化チタンの密着用金属を設けることにより、従来に比較して特に製造工程を増加することなく、信頼性の高い有機ELディスプレイ装置を得ることができる。

10 【0074】

【発明の効果】請求項1に記載された本発明によれば薄膜トランジスタの活性層と、これと接続するアルミニウム配線との間に、加工し易くかつ水分の存在による溶出ししないチタンよりなるバリアメタルを設けたので、有機EL素子とともに使用してもバリアメタルの溶出による短絡や断線の発生を防止するとともに、バリアメタルを加工し易く構成することができる。

20

【0075】請求項2に記載された本発明によれば、薄膜トランジスタの活性層と、これと接するアルミニウム配線との間に窒素を50atm%以下含有する、密着性が高く水分の存在による溶出されない安定な窒化チタンよりなるバリアメタルを設けたので、有機EL素子とともに使用してもバリアメタルの溶出による短絡や断線の発生を防止する薄膜トランジスタを提供することができる。

30

【0076】請求項3に記載された本発明によれば、有機EL素子に接続された電流制御用薄膜トランジスタのシリコン活性層と、これと接続するアルミニウム配線との間にチタンよりなるバリアメタルを設けたので、もっとも有機EL素子に近い電流制御用の薄膜トランジスタをバリアメタルの溶出による短絡や断線の発生を防止した構成の有機ELディスプレイ装置を提供することができる。

40

【0077】請求項4に記載された本発明によれば、有機EL素子に接続された電流制御用薄膜トランジスタのシリコン活性層と、これと接続するアルミニウム配線との間に窒素を50atm%以下含有する安定な窒化チタンよりなるバリアメタルを設けたので、もっとも有機EL素子に近い電流制御用の薄膜トランジスタをバリアメタルの溶出による短絡や断線の発生を防止した構成の有機ELディスプレイ装置を提供することができる。

50

【0078】請求項5に記載された本発明によれば、有機EL素子に接続された電流制御用薄膜トランジスタのみならず、この電流制御用薄膜トランジスタのスイッチングを行うスイッチ用薄膜トランジスタに対してもそれぞれチタンよりなるバリアメタルを設けたので、電流制御用薄膜トランジスタだけではなくスイッチ用薄膜トランジスタにおいてもバリアメタルの溶出による短絡や断線の発生を防止した安定性の一層高い有機ELディスプレイ装置を提供することができる。

【0079】請求項6に記載された本発明によれば、有機EL素子に接続された電流制御用薄膜トランジスタのみならず、この電流制御用薄膜トランジスタのスイッチングを行うスイッチ用薄膜トランジスタに対してもそれぞれ窒素を50atm%以下含有する安定な窒化チタンよりなるバリアメタルを設けたので、電流制御用薄膜トランジスタだけでなくスイッチ用薄膜トランジスタにおいてもバリアメタルの溶出による短絡や断線の発生を防止した、安定性の高い有機ELディスプレイ装置を提供することができる。

【0080】請求項7に記載された本発明によれば、有機EL素子を構成する透明電極と、前記透明電極に接続されたアルミニウム配線との間に、チタンよりなるバリアメタルを設けたので密着性のよい接続を得ることができ、信頼性の高い有機ELディスプレイ装置を提供することができる。

【0081】請求項8に記載された本発明によれば、有機EL素子を構成する透明電極と、前記透明電極に接続されたアルミニウム配線との間に、窒素を50atm%以下含有する、密着性のよい安定な窒化チタンを設けたので、密着性のよい安定した接続を得ることができ、信頼性の高い有機ELディスプレイ装置を提供することができる。

【0082】請求項9に記載された本発明によれば、電流制御用薄膜トランジスタは、その活性層とこれに接続されるアルミニウム配線との間にチタンよりなるバリアメタルが設けられ、また、有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間にチタンよりなる密着金属が設けられるので、バリアメタルと密着金属を同時に形成することができ、製造コストを低下するとともに安定に動作する有機ELディスプレイ装置を提供することができる。

【0083】請求項10に記載された本発明によれば、電流制御用薄膜トランジスタは、その活性層とこれに接続されるアルミニウム配線との間に窒素を50atm%以下含有する窒化チタンよりなるバリアメタルが設けられ、また有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に窒素を50atm%以下含有する窒化チタンよりなる密着金属が設けられているので、電流制御用薄膜トランジスタのバリアメタルと密着金属を同時に形成することができ、製造コストを低下するとともに、密着性の良好なバリアメタルや密着金属を構成することができるので、信頼性の高い安定に動作する有機ELディスプレイ装置を提供することができる。

【0084】請求項11に記載された本発明によれば、電流制御用薄膜トランジスタと、スイッチ用薄膜トランジスタのそれぞれにおいて活性層とこれに接続されるアルミニウム配線との間にそれぞれチタンよりなるバリアメタルが設けられ、また有機EL素子を構成する透明電

極と、前記透明電極に接続されるアルミニウム配線との間にチタンよりなる密着金属が設けられているので、電流制御用薄膜トランジスタのバリアメタルと、スイッチ用薄膜トランジスタのバリアメタルと、密着金属を同時に形成することができ、製造コストを更に低下するとともに安定に動作する有機ELディスプレイ装置を提供することができる。

【0085】請求項12に記載された本発明によれば、電流制御用薄膜トランジスタと、スイッチ用薄膜トランジスタのそれぞれにおいて活性層とこれに接続されるアルミニウム配線との間にそれぞれ窒素を50atm%以下含有する窒化チタンよりなるバリアメタルが設けられ、また有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に窒素を50atm%以下含有する窒化チタンよりなる密着金属が設けられているので、電流制御用薄膜トランジスタのバリアメタルと、スイッチ用薄膜トランジスタのバリアメタルと、密着金属を同時に形成することができ、製造コストを低下するとともに密着性のすぐれたバリアメタルや密着金属を形成することができ、信頼性の高い安定に動作する有機ELディスプレイ装置を提供することができる。

【0086】請求項13に記載された本発明によれば、電流制御用薄膜トランジスタの活性層と、この活性層に接続されるアルミニウム配線との間に形成されたバリアメタルと、有機EL素子を構成する透明電極と、この透明電極に接続されるアルミニウム配線との間に形成された密着金属とを、チタンにより同時に形成することができるので、有機ELディスプレイ装置の製造コストを低下するとともに安定に動作するアクティブマトリクス型の有機ELディスプレイ装置の製造方法を提供することができる。

【0087】請求項14に記載された本発明によれば、電流制御用薄膜トランジスタの活性層と、この活性層に接続されるアルミニウム配線との間に形成されたバリアメタルと、有機EL素子を構成する透明電極と、この透明電極に接続されるアルミニウム配線との間に形成された密着金属とを、窒素を50atm%以下含有する窒化チタンにより同時に形成することができ、有機ELディスプレイ装置の製造コストを低下するとともに、密着性の良好なバリアメタルや密着金属を有し、信頼性の高い安定に動作するアクティブマトリクス型の有機ELディスプレイ装置の製造方法を提供することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態説明図である。

【図2】本発明で使用される窒化チタン特性説明図である。

【図3】従来例説明図である。

【図4】有機ELディスプレイ装置の回路構成図であ

る。

【符号の説明】

- 101 基板
- 102 シリコン活性層
- 103 ゲート絶縁膜
- 104 ゲート電極
- 105 ソース領域
- 106 チャネル形成領域
- 107 ドレイン領域
- 108 層間絶縁膜

*109 透明電極

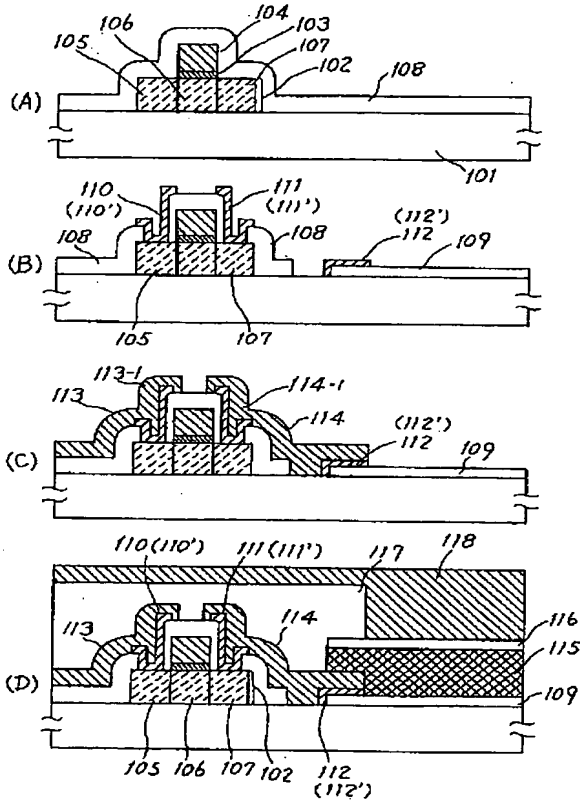
- 110、110' バリアメタル
- 111、111' バリアメタル
- 112、112' 密着用金属
- 113 ソース電極
- 114 ドレイン電極
- 115 有機EL層
- 116 上部電極
- 117 保護膜

*10 118 共通電極

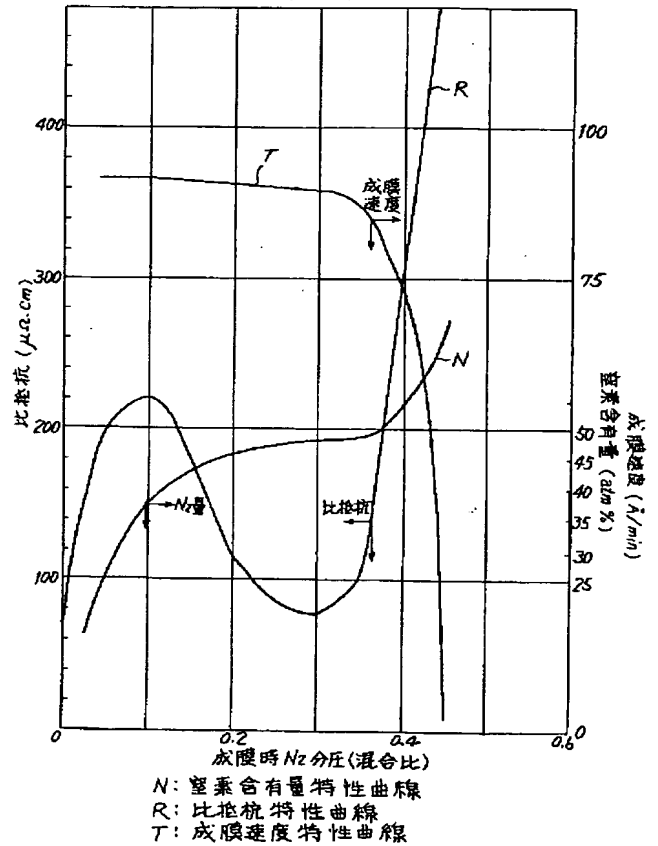
【図1】

【図2】

本発明の実施の形態説明図

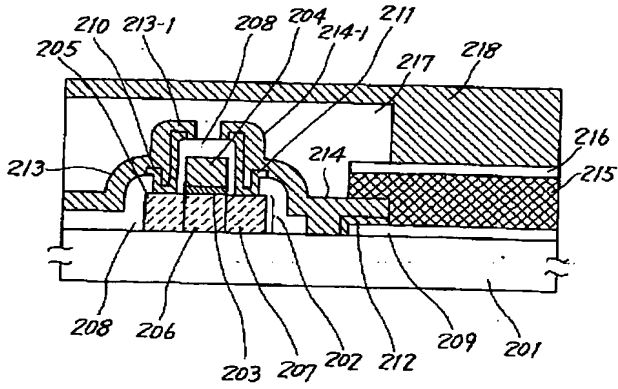


T_iN 特性図



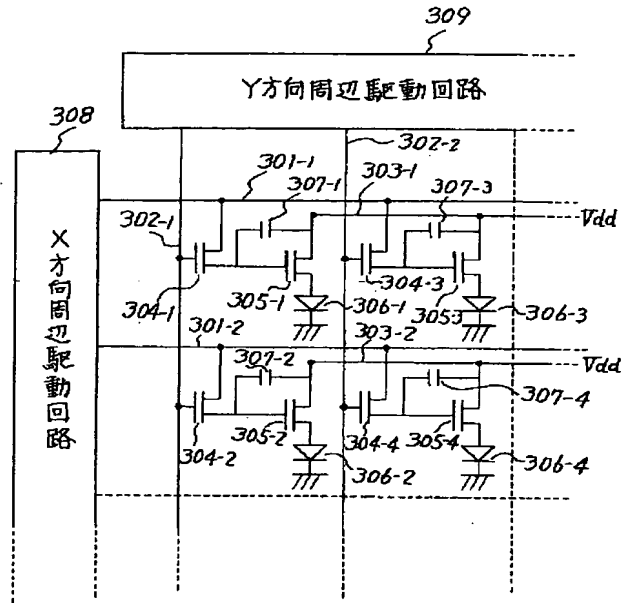
【図3】

従来例説明図



【図4】

有機ELディスプレイ装置の回路構成図



【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成15年7月4日(2003.7.4)

【公開番号】特開平8-330600

【公開日】平成8年12月13日(1996.12.13)

【年通号数】公開特許公報8-3306

【出願番号】特願平8-65774

【国際特許分類第7版】

H01L 29/786

H05B 33/26

【F I】

H01L 29/78 616 V

H05B 33/26

【手続補正書】

【提出日】平成15年3月17日(2003.3.17)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正内容】

【発明の名称】薄膜トランジスタ、エレクトロルミネセンスディスプレイ装置及びエレクトロルミネセンスディスプレイ装置の製造方法

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】ソースまたはドレインを構成するシリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、チタン膜を設けたことを特徴とする薄膜トランジスタ。

【請求項2】ソースまたはドレインを構成するシリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタン膜を設けたことを特徴とする薄膜トランジスタ。

【請求項3】有機EL層を有するEL素子と、該EL素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリックス駆動型のエレクトロルミネセンスディスプレイ装置であって、前記電流制御用薄膜トランジスタは、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、チタン膜が設けられていることを特徴とするエレクトロルミネセンスディスプレイ装置。

【請求項4】有機EL層を有するEL素子と、該EL素子に接続された電流制御用薄膜トランジスタを有するア

クティブマトリックス駆動型のエレクトロルミネセンスディスプレイ装置であって、

前記電流制御用薄膜トランジスタは、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタン膜を設けたことを特徴とするエレクトロルミネセンスディスプレイ装置。

【請求項5】有機EL層を有するEL素子と、該EL素子に接続された電流制御用薄膜トランジスタと、前記電流制御用薄膜トランジスタのスイッチングを行うスイッチ用薄膜トランジスタを有するアクティブマトリックス駆動型のエレクトロルミネセンスディスプレイ装置であって、

前記電流制御用薄膜トランジスタと、前記スイッチ用薄膜トランジスタのそれぞれにおいて、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、チタン膜を設けたことを特徴とするエレクトロルミネセンスディスプレイ装置。

【請求項6】有機EL層を有するEL素子と、該EL素子に接続された電流制御用薄膜トランジスタと、前記電流制御用薄膜トランジスタのスイッチングを行うスイッチ用薄膜トランジスタを有するアクティブマトリックス駆動型のエレクトロルミネセンスディスプレイ装置であって、

前記電流制御用薄膜トランジスタと、前記スイッチ用薄膜トランジスタのそれぞれにおいて、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタン膜を設けたことを特徴とするエレクトロルミネセンスディスプレイ装置。

【請求項7】有機EL層を有するEL素子がマトリクス状に設けられた、アクティブマトリックス駆動型のエレクトロルミネセンスディスプレイ装置であって、前記EL素子を構成する透明電極と、前記透明電極に接

続されるアルミニウム配線との間に、チタン膜を設けたことを特徴とするエレクトロルミネセンスディスプレイ装置。

【請求項8】有機EL層を有するEL素子がマトリックス状に設けられた、アクティブマトリックス駆動型のエレクトロルミネセンスディスプレイ装置であって、前記EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタン膜を設けたことを特徴とするエレクトロルミネセンスディスプレイ装置。

【請求項9】有機EL層を有するEL素子と、該EL素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリックス駆動型のエレクトロルミネセンスディスプレイ装置であって、前記電流制御用薄膜トランジスタは、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、チタン膜が設けられており、前記EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、チタン膜が設けられていることを特徴とするエレクトロルミネセンスディスプレイ装置。

【請求項10】有機EL層を有するEL素子と、該EL素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリックス駆動型のエレクトロルミネセンスディスプレイ装置であって、前記電流制御用薄膜トランジスタは、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタン膜が設けられており、前記EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタン膜が設けられていることを特徴とするエレクトロルミネセンスディスプレイ装置。

【請求項11】有機EL層を有するEL素子と、該EL素子に接続された電流制御用薄膜トランジスタと、前記電流制御用薄膜トランジスタのスイッチングを行うスイッチ用薄膜トランジスタを有するアクティブマトリックス駆動型のエレクトロルミネセンスディスプレイ装置であって、前記電流制御用薄膜トランジスタと、前記スイッチ用薄膜トランジスタのそれぞれにおいて、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、チタン膜が設けられており、

前記EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、チタン膜が設けられていることを特徴とするエレクトロルミネセンスディスプレイ装置。

【請求項12】有機EL層を有するEL素子と、該EL素子に接続された電流制御用薄膜トランジスタと、前記電流制御用薄膜トランジスタのスイッチングを行うスイッチ用薄膜トランジスタを有するアクティブマトリックス駆動型のエレクトロルミネセンスディスプレイ装置であって、前記電流制御用薄膜トランジスタと、前記スイッチ用薄膜トランジスタのそれぞれにおいて、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタン膜が設けられており、前記EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタン膜が設けられていることを特徴とするエレクトロルミネセンスディスプレイ装置。

【請求項13】有機EL層を有するEL素子と、該EL素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリックス駆動型のエレクトロルミネセンスディスプレイ装置を製造するに際し、前記電流制御用薄膜トランジスタのシリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に設けられるチタン膜と、前記EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に設けられるチタン膜とが同時に形成されることを特徴とするエレクトロルミネセンスディスプレイ装置の製造方法。

【請求項14】有機EL層を有するEL素子と、該EL素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリックス駆動型のエレクトロルミネセンスディスプレイ装置を製造するに際し、前記電流制御用薄膜トランジスタのシリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に設けらる窒素を50atm%以下含有する窒化チタン膜と、前記EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に設けらる窒素を50atm%以下含有する窒化チタン膜とが同時に形成されることを特徴とするエレクトロルミネセンスディスプレイ装置の製造方法。

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 4 年 9 月 2 1 日
Date of Application:

出 願 番 号 特 願 2 0 0 4 - 2 7 3 5 8 0
Application Number:

パリ条約による外国への出願に用いる優先権の主張の基礎となる出願の国コードと出願番号
The country code and number of your priority application, when used for filing abroad under the Paris Convention, is

J P 2 0 0 4 - 2 7 3 5 8 0

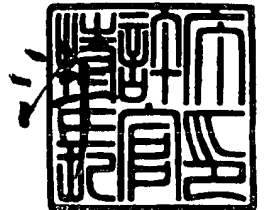
願 人 カシオ計算機株式会社
Applicant(s):

CERTIFIED COPY OF
PRIORITY DOCUMENT

2 0 0 5 年 8 月 1 6 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



【書類名】 特許願
【整理番号】 04-1138-00
【提出日】 平成16年 9月21日
【あて先】 特許庁長官 殿
【国際特許分類】 G09F 9/30 338
 G09F 9/30 365
 G09G 3/30

【発明者】
【住所又は居所】 東京都八王子市石川町 2 9 5 1 番地 5 カシオ計算機株式会社
 八王子技術センター内
【氏名】 白 崎 友 之

【発明者】
【住所又は居所】 東京都八王子市石川町 2 9 5 1 番地 5 カシオ計算機株式会社
 八王子技術センター内
【氏名】 小 倉 潤

【特許出願人】
【識別番号】 000001443
【氏名又は名称】 カシオ計算機株式会社

【代理人】
【識別番号】 100090033
【弁理士】
【氏名又は名称】 荒 船 博 司
【電話番号】 03-3269-2611
【連絡先】 担当

【選任した代理人】
【識別番号】 100093045
【弁理士】
【氏名又は名称】 荒 船 良 男

【手数料の表示】
【予納台帳番号】 027188
【納付金額】 16,000円

【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1

【書類名】 特許請求の範囲

【請求項 1】

基板と、
前記基板上にマトリクス状に配列された複数の駆動トランジスタと、
前記複数の駆動トランジスタのドレイン・ソースとゲートのうちの一方とともにパターンニングされ、前記基板上において互いに平行となるよう配列された複数の信号線と、
前記複数の信号線及び前記複数の駆動トランジスタを被覆した保護絶縁膜と、
前記複数の駆動トランジスタそれぞれのソースとドレインの一方に導通した複数の画素電極と、
前記複数の画素電極それぞれに成膜された複数の発光層と、
前記信号線と平行となるよう前記保護絶縁膜上に形成され、前記保護絶縁膜に形成されたコンタクトホールを介して前記複数の駆動トランジスタのソースとドレインの他方に導通した給電配線と、を備えることを特徴とするディスプレイパネル。

【請求項 2】

前記給電配線は複数本であり、互いに導通していることを特徴とする請求項 1 に記載のディスプレイパネル。

【請求項 3】

前記保護絶縁膜上に、前記複数の給電配線と互い違いに配列された複数の共通配線を有することを特徴とする請求項 2 に記載のディスプレイパネル。

【請求項 4】

前記発光層は、前記給電配線と前記共通配線との間に形成されていることを特徴とする請求項 3 に記載のディスプレイパネル。

【請求項 5】

前記発光層は、前記給電配線に沿って前記画素電極のうちの複数の連続して形成されていることを特徴とする請求項 1 から請求項 4 の何れか一項に記載のディスプレイパネル。

【請求項 6】

前記給電配線を被覆した撥液性絶縁膜を更に備えていることを特徴とする請求項 1 から請求項 5 の何れか一項に記載のディスプレイパネル。

【請求項 7】

前記複数の駆動トランジスタのドレイン・ソースとゲートの他方とともにパターンニングされ、平面視して前記複数の信号線と直交するよう配列され、前記駆動トランジスタのソースとドレインの他方及び前記給電配線に導通した供給線を更に備えていることを特徴とする請求項 1 から請求項 6 の何れか一項に記載のディスプレイパネル。

【請求項 8】

前記給電配線の厚さが $1.31 \sim 6 \mu\text{m}$ であることを特徴とする請求項 1 から請求項 7 の何れか一項に記載のディスプレイパネル。

【請求項 9】

前記給電配線の幅が $7.45 \sim 44 \mu\text{m}$ であることを特徴とする請求項 1 から請求項 8 の何れか一項に記載のディスプレイパネル。

【請求項 10】

前記給電配線の抵抗率が $2.1 \sim 9.6 \mu\Omega\text{cm}$ であることを特徴とする請求項 1 から請求項 9 の何れか一項に記載のディスプレイパネル。

【請求項 11】

請求項 1 から請求項 10 の何れか一項に記載のディスプレイパネルを駆動する駆動方法であって、
クロック信号を前記給電配線に出力することを特徴とするディスプレイパネルの駆動方法。

【書類名】 明細書

【発明の名称】 ディスプレイパネル及びその駆動方法

【技術分野】

【0001】

本発明は、電流が流れることにより自発光する発光素子を用いたディスプレイパネル及びその駆動方法に関する。

【背景技術】

【0002】

発光素子を用いたディスプレイパネルとして有機エレクトロルミネッセンスディスプレイパネルがある。有機エレクトロルミネッセンスディスプレイパネルは大きく分けてパッシブ駆動方式のものと、アクティブマトリクス駆動方式のものに分類することができるが、アクティブマトリクス駆動方式の有機エレクトロルミネッセンスディスプレイパネルが高コントラスト、高精細といった点でパッシブ駆動方式よりも優れている。例えば特許文献1に記載された従来のアクティブマトリクス駆動方式の有機エレクトロルミネッセンスディスプレイパネルにおいては、有機エレクトロルミネッセンス素子（以下、有機EL素子という。）と、画像データに応じた電圧信号がゲートに印加されて有機EL素子に電流を流す駆動トランジスタと、この駆動トランジスタのゲートに画像データに応じた電圧信号を供給するためのスイッチングを行うスイッチ用トランジスタとが、画素ごとに設けられている。この有機エレクトロルミネッセンスディスプレイパネルでは、走査線が選択されるとスイッチング用トランジスタがオンになり、その時に輝度を表すレベルの電圧が信号線を介して駆動トランジスタのゲートに印加される。これにより、駆動トランジスタがオンになり、ゲート電圧のレベルに応じた大きさの駆動電流が電源から駆動トランジスタのソースドレインを介して有機EL素子に流れ、有機EL素子が電流の大きさに応じた輝度で発光する。走査線の選択が終了してから次にその走査線が選択されるまでの間では、スイッチ用トランジスタがオフになっても駆動トランジスタのゲート電圧のレベルが保持され続け、有機EL素子が電圧に応じた駆動電流の大きさに従った輝度で発光する。

【0003】

有機エレクトロルミネッセンスディスプレイパネルを駆動するために、有機エレクトロルミネッセンスディスプレイパネルの周辺に駆動回路を設け、有機エレクトロルミネッセンスディスプレイパネルに敷設された走査線、信号線、電源線等に電圧を印加することが行われている。

【0004】

また、従来のアクティブマトリクス駆動方式の有機エレクトロルミネッセンスディスプレイパネルでは、有機EL素子に電流を流す電源線のような配線はスイッチ用トランジスタ、駆動トランジスタ等といった薄膜トランジスタの材料を用いて薄膜トランジスタのパターニング工程と同時にパターニングされる。即ち、有機エレクトロルミネッセンスディスプレイパネルを製造するにあたって、薄膜トランジスタの電極のもととなる導電性薄膜に対してフォトリソグラフィ法、エッチング法を行うことによって、その導電性薄膜から薄膜トランジスタの電極を形状加工するとともに、同時に電極に接続される配線も形状加工する。そのため、配線が導電性薄膜から形成されると、配線が薄膜トランジスタの電極の厚さと同じになる。

【特許文献1】 特開平8-330600号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、薄膜トランジスタの電極は、トランジスタとして機能することを前提に設計されているため、言い換えれば発光素子に電流を流すことを前提として設計していないため、その名の通り薄膜であり、このため、配線から複数の発光素子に電流を流そうとすると、配線の電気抵抗によって、電圧降下が発生したり、配線を通じた電流の流れの遅延が生じたりする。電圧降下及び電流遅延を抑えるために配線を低抵抗化することが望ま

出証特2005-3069062

れるが、そのためにトランジスタのソース、ドレインとなる金属層又はゲートとなる金属層を厚くしたり、これら金属層を電流が十分に流れる程度にかなり幅広にパターンニングして低抵抗配線としたりすると、配線が他の配線及び導電体等と平面視して重なる面積が増えてしまい、それらの間で寄生容量が発生してしまい、電流の流れを遅くする要因が発生してしまっていた。特にトランジスタアレイ基板側からEL光を出射するいわゆるボトムエミッション構造の場合、EL素子からの発光を配線が遮光してしまうので、発光面積の割合である開口率の低下を招いてしまっていた。また低抵抗化するために薄膜トランジスタのゲートを厚くすると、ゲートの段差を平坦化するための平坦化膜（例えば薄膜トランジスタが逆スタガ構造の場合、ゲート絶縁膜に相当）まで厚くしなければならず、トランジスタ特性が大きく変化してしまう恐れがあり、またソース、ドレインを厚くすると、ソース、ドレインのエッチング精度が低下してしまうため、やはりトランジスタの特性に悪影響を及ぼす恐れがある。

【0006】

そこで、本発明は、表示特性を損なうことなく電圧降下・信号遅延を抑えることを目的とする。

【課題を解決するための手段】

【0007】

以上の課題を解決するために、本発明のディスプレイパネルは、
基板と、
前記基板上にマトリクス状に配列された複数の駆動トランジスタと、
前記複数の駆動トランジスタのドレイン・ソースとゲートのうちの一方とともにパターンニングされ、前記基板上において互いに平行となるよう配列された複数の信号線と、
前記複数の信号線及び前記複数の駆動トランジスタを被覆した保護絶縁膜と、
前記複数の駆動トランジスタそれぞれのソースとドレインの一方に導通した複数の画素電極と、
前記複数の画素電極それぞれに成膜された複数の発光層と、
前記信号線と平行となるよう前記保護絶縁膜上に形成され、前記保護絶縁膜に形成されたコンタクトホールを介して前記複数の駆動トランジスタのソースとドレインの他方に導通した給電配線と、を備える。

【0008】

好ましくは、上記ディスプレイパネルが、前記給電配線を被覆した撥液性絶縁膜を更に備えている。

【0009】

好ましくは、上記ディスプレイパネルが、前記複数の駆動トランジスタのドレイン・ソースとゲートの他方とともにパターンニングされ、平面視して前記複数の信号線と直交するよう配列され、前記駆動トランジスタのソースとドレインの他方及び前記給電配線に導通した供給線を更に備えている。

【0010】

本発明の駆動方法は、上記ディスプレイパネルを駆動する駆動方法であって、クロック信号を前記給電配線に出力することを特徴とする。

【0011】

本発明によれば、駆動トランジスタを介して発光層に電流を供給する給電配線を、駆動トランジスタのドレイン・ソース・ゲートとは別に形成される。そのため、給電配線の幅を広くせずとも給電配線を厚くすることができ、給電配線を低抵抗化することができる。

【発明の効果】

【0012】

本発明によれば、給電配線を厚くすることができるので、給電配線の低抵抗化することができる。

【発明を実施するための最良の形態】

【0013】

以下に、本発明を実施するための最良の形態について図面を用いて説明する。但し、以下に述べる実施形態には、本発明を実施するために技術的に好ましい種々の限定が付されているが、発明の範囲を以下の実施形態及び図示例に限定するものではない。また、以下の説明において、エレクトロルミネッセンス (Electro Luminescence) という用語を EL と略称する。

【0014】

[ELディスプレイパネルの全体構成]

図1には、アクティブマトリクス駆動方式のELディスプレイパネル1の概略図が示されている。図1に示すように、ELディスプレイパネル1は、光透過性を有する可撓性のシート状又は剛性の板状の絶縁基板2と、互いに平行となるよう絶縁基板2上に配列された n 本(複数本)の信号線 $Y_1 \sim Y_n$ と、絶縁基板2を平面視して信号線 $Y_1 \sim Y_n$ に対して直交するよう絶縁基板2上に配列された m 本(複数本)の走査線 $X_1 \sim X_m$ と、走査線 $X_1 \sim X_m$ のそれぞれの間において走査線 $X_1 \sim X_m$ と平行且つ互い違いとなるよう絶縁基板2上に配列された m 本(複数本)の供給線 $Z_1 \sim Z_m$ と、信号線 $Y_1 \sim Y_n$ 及び走査線 $X_1 \sim X_m$ に沿ってマトリクス状となるよう絶縁基板2上に配列された $(m \times n)$ 群の画素回路 $P_{1,1} \sim P_{m,n}$ と、供給線 $Z_1 \sim Z_m$ に接続されるとともに平面視して信号線 $Y_1 \sim Y_n$ に対して平行方向になるように複数に分岐された給電配線 $90, 90, \dots$ と、給電配線 $90, 90, \dots$ のそれぞれの間において給電配線 $90, 90, \dots$ に対して平行且つ互い違いに設けられた共通配線 $91, 91, \dots$ と、を備える。

【0015】

給電配線 $90, 90, \dots$ の総数と共通配線 $91, 91, \dots$ の総数の和は $(n+1)$ 本であり、各信号線 $Y_1 \sim Y_n$ の延在方向に対して各画素回路 $P_{1,1} \sim P_{m,n}$ の左右両側を仕切るように給電配線 90 か共通配線 91 のいずれか一本が設けられている。

【0016】

給電配線 $90, 90, \dots$ は、絶縁基板2の一方の周縁に配置された引き回し配線 $90a$ によって互いに導通しているため、後述するように、外部からのクロック信号により等位となっている。さらに、引き回し配線 $90a$ は、絶縁基板2の両端部においてそれぞれ配線端子 $90b, 90c$ と接続している。外部駆動回路から配線端子 $90b, 90c$ に印加される電圧はともに等電位のため、すみやかに給電配線 $90, 90, \dots$ 全体に電流を供給することができる。引き回し配線 $90a$ は後述するように、給電配線 90 及び共通配線 91 とともに有機EL層 $20b$ を成膜時に仕切る隔壁としても機能している。

【0017】

共通配線 $91, 91, \dots$ は、絶縁基板2の配線 $90a$ が設けられている周縁と対向する周縁に配置された引き回し配線 $91a$ によって互いに接続され、コモン電圧 V_{com} が印加されている。引き回し配線 $91a$ は後述するように、給電配線 90 及び共通配線 91 とともに有機EL層 $20b$ を成膜時に仕切る隔壁としても機能している。

【0018】

以下では、信号線 $Y_1 \sim Y_n$ の延在した方向を垂直方向(列方向)といい、走査線 $X_1 \sim X_m$ の延在した方向を水平方向(行方向)という。また、 m, n は2以上の自然数であり、走査線 X に下付けした数字は図1において上からの配列順を表し、供給線 Z に下付けした数字は図1において上からの配列順を表し、信号線 Y に下付けした数字は図1において左からの配列順を表し、画素回路 P に下付けした数字の前側が上からの配列順を表し、後ろ側が左からの配列順を表す。すなわち、 $1 \sim m$ のうちの任意の自然数を i とし、 1 から n のうちの任意の自然数を j とした場合に、走査線 X_i は上から i 行目であり、供給線 Z_j は左から j 列目であり、信号線 Y_j は左から j 列目であり、画素回路 $P_{i,j}$ は上から i 行目、左から j 列目であり、画素回路 $P_{i,j}$ は走査線 X_i 、供給線 Z_j 及び信号線 Y_j に接続されている。

【0019】

このELディスプレイパネル1においては、走査線 $X_1 \sim X_m$ と信号線 $Y_1 \sim Y_n$ とでマトリクス状に区画されたそれぞれの領域が画素を構成し、画素回路 $P_{1,1} \sim P_{m,n}$ が1つの領

域につき 1 群だけ設けられている。

【0020】

〔画素回路の回路構成〕

何れの画素回路 $P_{1,1} \sim P_{m,n}$ も同一に構成されているので、画素回路 $P_{1,1} \sim$ 画素回路 $P_{m,n}$ のうち任意の画素回路 $P_{i,j}$ について説明する。図 2 は画素回路 $P_{i,j}$ の等価回路図であり、図 3 は主に画素回路 $P_{i,j}$ 及び画素回路 $P_{i,j+1}$ の電極を示した平面図である。

【0021】

画素回路 $P_{i,j}$ は、画素としての有機 EL 素子 20 と、有機 EL 素子 20 の周囲に配置された三つの N チャネル型の薄膜トランジスタ（以下単にトランジスタと記述する。）21, 22, 23 と、キャパシタ 24 と、を備える。以下では、トランジスタ 21 をスイッチトランジスタ 21 と、トランジスタ 22 を保持トランジスタ 22 と、トランジスタ 23 を駆動トランジスタ 23 と称する。

【0022】

図 2 に示すように、画素回路 $P_{i,j}$ では、スイッチトランジスタ 21 においては、ソース 21s が信号線 Y_j に導通し、ドレイン 21d が有機 EL 素子 20 の画素電極 20a、駆動トランジスタ 23 のソース 23s 及びキャパシタ 24 の一方の電極 24B に導通し、ゲート 21g が走査線 X_i 及び保持トランジスタ 22 のゲート 22g に導通している。

【0023】

保持トランジスタ 22 においては、ソース 22s が駆動トランジスタ 23 のゲート 23g 及びキャパシタ 24 の他方の電極 24A に導通し、ドレイン 22d が供給線 Z_i 及び駆動トランジスタ 23 のドレイン 23d に導通し、ゲート 22g がスイッチトランジスタ 21 のゲート 21g 及び走査線 X_i に導通している。

【0024】

駆動トランジスタ 23 においては、ソース 23s が有機 EL 素子 20 の画素電極 20a、スイッチトランジスタ 21 のドレイン 21d 及びキャパシタ 24 の電極 24B に導通し、ドレイン 23d が供給線 Z_i 及び保持トランジスタ 22 のドレイン 22d に導通し、ゲート 23g が保持トランジスタ 22 のソース 22s 及びキャパシタ 24 の電極 24A に導通している。

【0025】

なお、EL ディスプレイパネル 1 全体を平面視して画素回路 $P_{1,1} \sim P_{m,n}$ のスイッチトランジスタ 21 だけに着目すると、複数のスイッチトランジスタ 21 が絶縁基板 2 上にマトリクス状に配列され、平面視して画素回路 $P_{1,1} \sim P_{m,n}$ の保持トランジスタ 22 だけに着目すると、複数の保持トランジスタ 22 が絶縁基板 2 上にマトリクス状に配列され、平面視して画素回路 $P_{1,1} \sim P_{m,n}$ の駆動トランジスタ 23 だけに着目すると、複数の駆動トランジスタ 23 が絶縁基板 2 上にマトリクス状に配列されている。

【0026】

〔EL ディスプレイパネルの層構造〕

EL ディスプレイパネル 1 の層構造について説明する。まず、トランジスタ 21 ~ 23 の層構造について説明する。

【0027】

図 4 は駆動トランジスタ 23 の断面図である。図 4 に示すように、駆動トランジスタ 23 は、絶縁基板 2 上に形成されたゲート 23g と、ゲート 23g 上に形成されたゲート絶縁膜 31 と、ゲート絶縁膜 31 上に形成された半導体膜 23c と、半導体膜 23c の中央部上に形成されたチャンネル保護膜 23p と、半導体膜 23c の両端部上において互いに離間するよう形成され、チャンネル保護膜 23p に一部重なった不純物半導体膜 23a, 23b と、不純物半導体膜 23a 上に形成されたドレイン 23d と、不純物半導体膜 23b 上に形成されたソース 23s と、から構成されている。なお、ドレイン 23d 及びソース 23s は一層構造であっても良いし、二層以上の積層構造であっても良い。

【0028】

スイッチトランジスタ 21 及び保持トランジスタ 22 も、駆動トランジスタ 23 と同様

の層構造となっているため、これらの断面図については省略する。

【0029】

次に、トランジスタ21～23及びキャパシタ24の各層と信号線 $Y_1 \sim Y_n$ 、走査線 $X_1 \sim X_m$ 及び供給線 $Z_1 \sim Z_m$ との関係について図4～図6を用いて説明する。ここで、図5は、図3に示されたV-V線に沿って絶縁基板2の厚さ方向に切断した矢視断面図であり、図6は、図3に示されたVI-VI線に沿って絶縁基板2の厚さ方向に切断した矢視断面図である。

【0030】

図4～図6に示すように、スイッチトランジスタ21のゲート21g、保持トランジスタ22のゲート22g、駆動トランジスタ23のゲート23g及びキャパシタ24の電極24A並びに信号線 $Y_1 \sim Y_n$ は、絶縁基板2上にべた一面に成膜された導電性膜をフォトリソグラフィ法・エッチング法によってパターンニングしたものである。信号線 $Y_1 \sim Y_n$ は表示階調に応じた電流値の階調電流信号が流れる配線である。

【0031】

ゲート絶縁膜31は、スイッチトランジスタ21、保持トランジスタ22及び駆動トランジスタ23全てに共通した膜であり、面内にべた一面に成膜されている。このゲート絶縁膜31は、キャパシタ24の電極24Aと電極24Bの間に介在する誘電体も兼ねており、更に信号線 $Y_1 \sim Y_n$ も被覆している。信号線 $Y_1 \sim Y_n$ 上にはそれぞれ半導体膜23cの元となる膜をパターンニングしてなる保護膜34が設けられ、保護膜34上には不純物半導体膜23a、23bの元となる膜をパターンニングしてなる保護膜35が形成されている。保護膜34及び保護膜35は、ゲート絶縁膜31にピンホールが形成されてしまったときに、ピンホールを介して信号線 $Y_1 \sim Y_n$ と、走査線 $X_1 \sim X_m$ のいずれか又は供給線 $Z_1 \sim Z_m$ のいずれかがショートしないように保護するものである。

【0032】

スイッチトランジスタ21のドレイン21d・ソース21s、保持トランジスタ22のドレイン22d・ソース22s、駆動トランジスタ23のドレイン23d・ソース23s及びキャパシタ24の電極24B並びに走査線 $X_1 \sim X_m$ 及び供給線 $Z_1 \sim Z_m$ は、ゲート絶縁膜31上にべた一面に成膜された導電性膜をフォトリソグラフィ法・エッチング法によってパターンニングしたものである。なお、図3に示すように、走査線 X_i は、ゲート絶縁膜31に形成されたコンタクトホール92を介してスイッチトランジスタ21のゲート21g及び保持トランジスタ22のゲート22gに接続されているコンタクト部C1に導通し、信号線 Y_j は、ゲート絶縁膜31に形成されたコンタクトホール94を介してスイッチトランジスタ21のソース21sに導通し、保持トランジスタ22のソース22sは、ゲート絶縁膜31に形成されたコンタクトホール93を介して駆動トランジスタ23のゲート23gと接続されているコンタクト部C3に導通している。

【0033】

図4～図6に示すように、スイッチトランジスタ21、保持トランジスタ22及び駆動トランジスタ23並びに走査線 $X_1 \sim X_m$ 及び供給線 $Z_1 \sim Z_m$ は、べた一面に成膜された保護絶縁膜32によって被覆されている。保護絶縁膜32は、窒化シリコン又は酸化シリコンからなり、トランジスタ21～23、走査線 $X_1 \sim X_m$ 及び供給線 $Z_1 \sim Z_m$ を絶縁保護している。

【0034】

保護絶縁膜32上には平坦化膜33が積層されており、スイッチトランジスタ21、保持トランジスタ22及び駆動トランジスタ23並びに走査線 $X_1 \sim X_m$ 及び供給線 $Z_1 \sim Z_m$ による凹凸が平坦化膜33によって解消されている。つまり、平坦化膜33の表面が平坦となっている。平坦化膜33は、ポリイミド等の樹脂を硬化させたものである。

【0035】

絶縁基板2から平坦化膜33までの積層構造をトランジスタアレイ基板50という。このトランジスタアレイ基板50においては、平面視して、スイッチトランジスタ21、保持トランジスタ22及び駆動トランジスタ23がマトリクス状に配列されている。

【0036】

なお、このELディスプレイパネル1をボトムエミッション型として用いる場合、すなわち、絶縁基板2から有機EL素子20の光を出射して絶縁基板2を表示面として用いる場合には、ゲート絶縁膜31、保護絶縁膜32及び平坦化膜33には透明な材料を用いる。

【0037】

次に、トランジスタアレイ基板50の表面に積層された層構造について説明する。トランジスタアレイ基板50の表面上、即ち、平坦化膜33の表面上には、画素電極20aが画素回路 $P_{1,1} \sim P_{m,n}$ 毎にマトリクス状に配列されている。平面視して、画素回路 $P_{i,j}$ の画素電極20aは、隣り合う走査線 X_i 及び供給線 Z_i 並びに隣り合う信号線 Y_j 及び信号線 Y_{j+1} によって区画された領域に形成されている。また、画素電極20aは、平坦化膜33及び保護絶縁膜32に形成されたコンタクトホールを介してキャパシタ24の電極24B、スイッチトランジスタ21のドレイン21d及び駆動トランジスタ23のソース23sに導通している。

【0038】

画素電極20aは、有機EL素子20のアノードとして機能する電極である。即ち、画素電極20aの仕事関数が比較的高く、後述する有機EL層20bへ正孔を効率よく注入するものが好ましい。また、画素電極20aは、可視光に対して透過性を有している。画素電極20aとしては、例えば、錫ドープ酸化インジウム（ITO）、亜鉛ドープ酸化インジウム、酸化インジウム（ In_2O_3 ）、酸化スズ（ SnO_2 ）、酸化亜鉛（ ZnO ）又はカドミウム-錫酸化物（CTO）を主成分としたものがある。

【0039】

なお、このELディスプレイパネル1をトップエミッション型として用いる場合、すなわち、絶縁基板2の反対側を表示面として用いる場合には、画素電極20aと平坦化膜33との間に、導電性且つ可視光反射性の高い反射膜を成膜すると良い。

【0040】

これら画素電極20aは、平坦化膜33上にべた一面に成膜された透明導電性膜をフォトリソグラフィ法・エッチング法によってパターンニングしたものである。水平方向に隣り合う画素電極20aの間には、画素電極20aと電氣的に離間して垂直方向に延在する導電性ライン51が、信号線 $Y_{(j-2k)}$ 、…、 $Y_{(j-2)}$ 、 Y_j 、 $Y_{(j+2)}$ 、…（kは自然数）というように、つまり給電配線90と同様に、一列おきにパターンニングされている。導電性ライン51は、画素電極20aの元となる透明導電性膜をエッチングすることによって画素電極20aとともにパターンニングされたものである。導電性ライン51の左右両側の周縁部上には、垂直方向に長い溝状の絶縁ライン57、57、…がそれぞれ形成されている。絶縁ライン57、57間から露出している導電性ライン51上には、それぞれ給電配線90、90、…が積層されている。

【0041】

水平方向に隣り合う画素電極20aの間には、画素電極20aと電氣的に絶縁して垂直方向に延在する絶縁ライン52が、信号線 $Y_{(j-2k+1)}$ 、…、 $Y_{(j-1)}$ 、 $Y_{(j+1)}$ 、 $Y_{(j+3)}$ 、…（kは自然数）というように、つまり共通配線91と同様に、画素電極20aの一列おきにパターンニングされている。これら絶縁ライン52は、開口率を高くするために、両側が画素電極20aの周縁部に一部重なるよう設けられているが、画素電極20aの周縁部と重ならない構造であってもよい。これら絶縁ライン52のうち導電性ライン51に重なっていない絶縁ライン52上には、共通配線91が積層されている。

【0042】

給電配線90は、絶縁ライン52よりも十分に厚く、絶縁ライン52から隆起している。更に、給電配線90は、メッキ法により形成されたものであるため、信号線 $Y_1 \sim Y_n$ 、走査線 $X_1 \sim X_m$ 及び供給線 $Z_1 \sim Z_m$ 並びにトランジスタ21～23のゲート、ソース及びドレインよりも十分に厚い。図3、図6に示すように、平面視して各給電配線90と供給線 $Z_1 \sim Z_m$ とが交差する箇所においてコンタクトホール53が平坦化膜33及び保護絶縁

膜 32 に形成され、そのコンタクトホール 53 に導電性パッド 58 が埋められ、導電性パッド 58 の上に導電性ライン 51 及び給電配線 90 が順に重なっている。そのため、図 2 の回路図に示すように、給電配線 90 がコンタクト部 C2 で電氣的に供給線 $Z_1 \sim Z_m$ に導通し、強いては供給線 Z_i を介して画素回路 $Z_{i,1} \sim Z_{i,n}$ のトランジスタ 22, 23 のドレイン 22d, 23d に導通している。なお、コンタクトホール 53 内の導電性パッド 58 は、メッキ法により形成されたものである。

【0043】

共通配線 91 も、給電配線 90 とともにメッキ法により形成されたものであるので、信号線 $Y_1 \sim Y_n$ 、走査線 $X_1 \sim X_m$ 及び供給線 $Z_1 \sim Z_m$ 並びにトランジスタ 21 ~ 23 のゲート、ソース及びドレインよりも十分に厚い。共通配線 91 及び給電配線は、銅、金若しくはニッケル又はこれらの積層体からなる。

【0044】

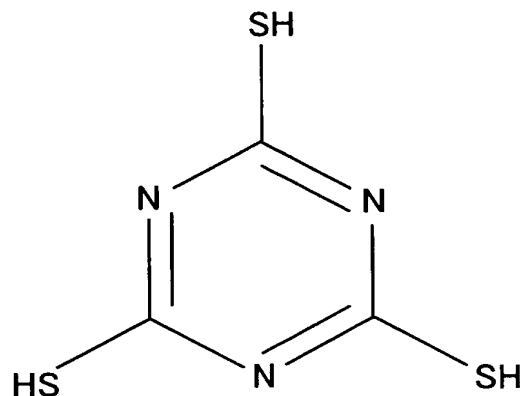
給電配線 90 の表面には、撥水性・撥油性を有した撥液性絶縁膜 54 が成膜されている。この撥液性絶縁膜 54 はフッ素樹脂電着塗料からなり、電着塗装によって成膜されたものである。

【0045】

共通配線 91 の表面には、撥水性・撥油性を有した撥液性導電膜 55 が成膜されている。撥液性導電膜 55 は、次の化学式 (1) に示されたトリアジルトリチオールの 1 又は 2 のチオール基 (-SH) の水素原子 (H) が還元離脱し、硫黄原子 (S) が金属である共通配線 91 の表面に酸化吸着したものである。

【0046】

【化 1】



【0047】

撥液性導電膜 55 は単分子膜である。つまり、撥液性導電膜 55 はトリアジルトリチオール分子ユニットが給電配線 90 の表面に規則正しく並んだ高分子膜であるから、撥液性導電膜 55 が非常に低抵抗であって導電性を有する。なお、撥水性・撥油性を顕著にするためにトリアジルトリチオールに代えて、トリアジルトリチオールの 1 又は 2 のチオール基がフッ化アルキル基に置換されたものでも良い。

【0048】

画素電極 20a 上には、有機 EL 素子 20 の有機 EL 層 20b が成膜されている。有機 EL 層 20b は広義の発光層であり、有機 EL 層 20b には、有機化合物である発光材料 (蛍光体) が含有されている。有機 EL 層 20b は、画素電極 20a から順に正孔輸送層、狭義の発光層の順に積層した二層構造である。正孔輸送層は、導電性高分子である PEDOT (ポリチオフェン) 及びドーパントである PSS (ポリスチレンスルホン酸) からなり、狭義の発光層は、ポリフルオレン系発光材料からなる。

【0049】

有機 EL 層 20b は、撥液性絶縁膜 54 及び撥液性導電膜 55 のコーティング後に湿式塗布法 (例えば、インクジェット法) によって成膜される。この場合、画素電極 20a に

出証特 2005-3069062

有機EL層20bとなる有機化合物を含有する有機化合物含有液を塗布するが、この有機化合物含有液の液面は、絶縁ライン52の頭頂部及び絶縁ライン57の頭頂部よりも高い。水平方向に隣り合う画素電極20a間に頭頂部が絶縁ライン52の頭頂部及び絶縁ライン57の頭頂部よりも十分高い厚膜の給電配線90及び共通配線91が交互に設けられているから、画素電極20aに塗布された有機化合物含有液が水平方向に対して隣の画素電極20aに漏れることがないように堰き止めている。また、給電配線90には撥水性・撥油性の撥液性絶縁膜54がコーティングされ、更には共通配線91には撥水性・撥油性の撥液性導電膜55がコーティングされているから、画素電極20aに塗布された有機化合物含有液が撥液性絶縁膜54及び撥液性導電膜55ではじかれるので、画素電極20aに塗布された有機化合物含有液が画素電極20aの中央に対して絶縁ライン52の角部付近で極端に厚く堆積されなくなる。そのため、有機化合物含有液が乾燥してなる有機EL層20bを均一な膜厚で成膜することができる。

【0050】

このように有機EL層20bを成膜することによって、図7に示すように、赤色に発光する有機EL層20bが成膜された領域R、緑色に発光する有機EL層20bが成膜された領域G、青色に発光する有機EL層20bが成膜された領域Bのストライプ構造を構成し、同列の複数の画素は同色に発光する。

【0051】

平面視した場合、塗布された有機化合物含有液は、左右をそれぞれ給電配線90及び共通配線91のいずれかに仕切られているため垂直方向に各列毎に一様に分布するので、垂直方向に配列された複数の有機EL層20bは何れも同じ層構造であり、同じ色に発光する。一方、水平方向に一行に配列された複数の有機EL層20bは、赤発光、緑発光、青発光の順に繰り返すように狭義の発光層が配列されている。正孔輸送層は異なる色に発光する画素同士で互いに同じ材料を用いてもよい。

【0052】

なお、有機EL層20bは、二層構造の他に、画素電極20aから順に正孔輸送層、狭義の発光層、電子輸送層となる三層構造であっても良いし、狭義の発光層からなる一層構造であっても良いし、これらの層構造において適切な層間に電子或いは正孔の注入層が介在した積層構造であっても良いし、その他の積層構造であっても良い。

【0053】

有機EL層20b上には、有機EL素子20のカソードとして機能する対向電極20cが成膜されている。対向電極20cは、全ての画素に共通して形成された共通電極である。対向電極20cがべた一面に成膜されることで、対向電極20cが撥液性導電膜55を挟んで共通配線91を被覆するとともに撥液性絶縁膜54を挟んで給電配線90を被覆している。そのため、図2の回路図に示すように、対向電極20cは共通配線91に対して導通している。それに対して、対向電極20cは給電配線90に対して絶縁している。

【0054】

図4～図6に示すように、対向電極20cは、画素電極20aよりも仕事関数の低い材料で形成されており、例えば、マグネシウム、カルシウム、リチウム、バリウム、インジウム、希土類金属の少なくとも一種を含む単体又は合金で形成されていることが好ましい。また、対向電極20cは、上記各種材料の層が積層された積層構造となっても良いし、以上の各種材料の層に加えてシート抵抗を低くするために酸化されにくい金属層が堆積した積層構造となっても良く、具体的には、有機EL層20bと接する界面側に設けられた低仕事関数の高純度のバリウム層と、バリウム層を被覆するように設けられたアルミニウム層との積層構造、下層にリチウム層、上層にアルミニウム層が設けられた積層構造が挙げられる。またトップエミッション構造の場合、対向電極20cを上述のような低仕事関数の薄膜とその上にITO等の透明導電膜を積層した透明電極としてもよい。

【0055】

対向電極20c上には、封止絶縁膜56が成膜されている。封止絶縁膜56は対向電極20c全体を被覆し、対向電極20cの劣化を防止するために設けられている無機膜又は

有機膜である。

【0056】

なお、従来、トップエミッション型構造のELディスプレイパネルは、対向電極の少なくとも一部を金属酸化物のように抵抗値が高い透明電極を用いることになるが、このような材料は十分に厚くしなければシート抵抗が十分に低くならないので、厚くすることによって必然的に有機EL素子の透過率が下がってしまい、大画面になるほど面内で均一の電位になりにくく表示特性が低くなってしまっていた。しかしながら、本実施形態では、垂直方向に十分な厚さのために低抵抗な複数の共通配線91, 91, …を設けているので、対向電極20cと合わせて有機EL素子20, 20, …のカソード電極全体のシート抵抗値を下げ、十分且つ面内で均一に大電流を流すことが可能となる。さらにこのような構造では、共通配線91, 91, …がカソード電極としてのシート抵抗を下げているので、対向電極20cを薄膜にして透過率を向上したりすることが可能である。なおトップエミッション構造では、画素電極20aを反射性の材料としてもよい。

【0057】

〔ELディスプレイパネルの駆動方法〕

ELディスプレイパネル1をアクティブマトリクス方式で駆動するには、次のようになる。すなわち、図8に示すように、発振回路によって給電配線90, 90, …及び供給線 $Z_1 \sim Z_m$ に対してクロック信号を出力する。また、走査側ドライバによって走査線 X_1 から走査線 X_m への順（走査線 X_m の次は走査線 X_1 ）にハイレベルのシフトパルスを順次出力することにより走査線 $X_1 \sim X_m$ を順次選択するが、走査側ドライバが走査線 $X_1 \sim X_m$ の何れか1つにシフトパルスを出力している時には発振回路のクロック信号がローレベルになる。また、走査側ドライバが各走査線 $X_1 \sim X_m$ を選択している時に、データ側ドライバが書込電流である引抜電流（電流信号）を駆動トランジスタ23のソースドレイン間を介して全信号線 $Y_1 \sim Y_n$ に流す。なお、対向電極20c及び給電配線90の一定のコモン電圧 V_{com} （例えば、接地=0ボルト）に保たれている。

【0058】

走査線 X_i の選択期間においては、 i 行目の走査線 X_i にシフトパルスが出力されているから、スイッチトランジスタ21及び保持トランジスタ22がオン状態となる。各選択期間において、データ側ドライバ側の電位は、給電配線90, 90, …及び供給線 $Z_1 \sim Z_m$ に出力されたクロック信号のローレベル以下で且つこのクロック信号のローレベルはコモン電圧 V_{com} 以下に設定されている。したがってこの時、有機EL素子20から信号線 $Y_1 \sim Y_n$ に流れることはないので図2に示すように、データ側ドライバによって階調に応じた電流値の書込電流（引抜電流）が矢印Aの通り、信号線 $Y_1 \sim Y_n$ に流れ、画素回路 $P_{i,j}$ においては給電配線90及び供給線 Z_i から駆動トランジスタ23のソースドレイン間、スイッチトランジスタ21のソースドレイン間を介して信号線 Y_j に向かった書込電流（引抜電流）が流れる。このように駆動トランジスタ23のソースドレイン間を流れる電流の電流値は、データ側ドライバによって一義的に制御され、データ側ドライバは、外部から入力された階調に応じて書込電流（引抜電流）の電流値を設定する。書込電流（引抜電流）が流れている間、 i 行目の $P_{i,1} \sim P_{i,n}$ の各駆動トランジスタ23のゲート23g-ソース23s間の電圧は、それぞれ信号線 $Y_1 \sim Y_n$ に流れる書込電流（引抜電流）の電流値、つまり駆動トランジスタ23の $V_{g-I_{ds}}$ 特性の経時変化にかかわらず駆動トランジスタ23のドレイン23d-ソース23s間を流れる書込電流（引抜電流）の電流値に見合うように強制的に設定され、この電圧のレベルに従った大きさの電荷がキャパシタ24にチャージされて、書込電流（引抜電流）の電流値が駆動トランジスタ23のゲート23g-ソース23s間の電圧のレベルに変換される。その後の発光期間では、走査線 X_i がローレベルになり、スイッチトランジスタ21及び保持トランジスタ22がオフ状態となるが、オフ状態の保持トランジスタ22によってキャパシタ24の電極24A側の電荷が閉じ込められてフローティング状態になり、駆動トランジスタ23のソース23sの電圧が選択期間から発光期間に移行する際に変調しても、駆動トランジスタ23のゲート23g-ソース23s間の電位差がそのまま維持される。この発光期間のうち、いずれ

の行の選択期間でもない間、つまり、クロック信号が給電配線 90 及び供給線 Z_i の電位が有機 EL 素子 20 の対向電極 20c 及び給電配線 90 の電位 V_{com} より高いハイレベルの間、より高電位の給電配線 90 及び供給線 Z_i から駆動トランジスタ 23 のソースドレイン間を介して有機 EL 素子 20 に駆動電流が矢印 B の方向に流れ、有機 EL 素子 20 が発光する。駆動電流の電流値は駆動トランジスタ 23 のゲート 23g-ソース 23s 間の電圧に依存するため、発光期間における駆動電流の電流値は、選択期間における書込電流（引抜電流）の電流値に等しくなる。また発光期間において、いずれかの行の選択期間の間、つまりクロック信号がローレベルである時は、給電配線 90 及び供給線 Z_i の電位が対向電極 20c 及び給電配線 90 の電位 V_{com} 以下であるので、有機 EL 素子 20 に駆動電流は流れず発光しない。

【0059】

即ち、選択期間中、スイッチトランジスタ 21 は、駆動トランジスタ 23 のソース 23s と信号線 Y_j との間に書込電流（引抜電流）が流れるように電流路を形成し、保持トランジスタ 22 は、給電配線 90 と駆動トランジスタ 23 のドレイン 23d との間に書込電流（引抜電流）が流れるように電流路を形成する。

【0060】

そして、発光期間中、スイッチトランジスタ 21 は、駆動トランジスタ 23 のソース 23s から流れる駆動電流が信号線 Y_j に流れないように電流路を閉じ、保持トランジスタ 22 は、駆動トランジスタ 23 のゲート 23g-ソース 23s 間の電圧を保持して駆動電流の電流値を一定にするものである。そして、駆動トランジスタ 23 は、発光期間中に供給線 Z_i 及び給電配線 90 がハイレベルになった時に、選択期間にゲート 23g-ソース 23s 間にチャージされた電荷にしたがい、階調に応じた大きさの電流を有機 EL 素子 20 に流して有機 EL 素子 20 を駆動するものである。

【0061】

〔給電配線及び共通配線の幅、断面積及び抵抗率〕

ここで、EL ディスプレイパネル 1 の画素数を WXGA (768×1366) としたときに、給電配線 90 及び共通配線 91 の望ましい幅、断面積を定義する。図 9 は、各画素回路 $P_{1,1} \sim P_{m,n}$ の駆動トランジスタ 23 及び有機 EL 素子 20 の電流-電圧特性を示すグラフである。

【0062】

図 9 において、縦軸は 1 つの駆動トランジスタ 23 のソース 23s-ドレイン 23d 間を流れる書込電流の電流値又は 1 つの有機 EL 素子 20 のアノード-カソード間を流れる駆動電流の電流値であり、横軸は 1 つの駆動トランジスタ 23 のソース 23s-ドレイン 23d 間の電圧（同時に 1 つの駆動トランジスタ 23 のゲート 23g-ドレイン 23d 間の電圧）である。図中、実線 $I_{ds\ max}$ は、最高輝度階調（最も明るい表示）のときの書込電流及び駆動電流であり、一点鎖線 $I_{ds\ mid}$ は、最高輝度階調と最低輝度階調との間の中間輝度階調のときの書込電流及び駆動電流であり、二点鎖線 V_{po} は駆動トランジスタ 23 の不飽和領域（線形領域）と飽和領域との閾値つまりピンチオフ電圧であり、三点鎖線 V_{ds} は駆動トランジスタ 23 のソース 23s-ドレイン 23d 間を流れる書込電流であり、破線 I_{el} は有機 EL 素子 20 のアノード-カソード間を流れる駆動電流である。

【0063】

ここで電圧 V_{P1} は、最高輝度階調時の駆動トランジスタ 23 のピンチオフ電圧であり、電圧 V_{P2} は、駆動トランジスタ 23 が最高輝度階調の書込電流が流れるときのソースドレイン間電圧であり、電圧 $V_{EL\ max}$ （電圧 V_{P4} - 電圧 V_{P3} ）は有機 EL 素子 20 が最高輝度階調の書込電流と電流値が等しい最高輝度階調の駆動電流で発光するときのアノード-カソード間の電圧である。電圧 V_{P2}' は、駆動トランジスタ 23 が中間輝度階調の書込電流が流れるときのソースドレイン間電圧であり、電圧（電圧 V_{P4}' - 電圧 V_{P3}' ）は有機 EL 素子 20 が中間輝度階調の書込電流と電流値が等しい中間輝度階調の駆動電流で発光するときのアノード-カソード間電圧である。

【0064】

駆動トランジスタ 23 及び有機 EL 素子 20 はいずれも飽和領域で駆動させるために、(給電配線 90 の発光期間時の電圧 V_H) から (共通配線 91 の発光期間時の電圧 V_{com}) を差し引いた値 V_X は下記の式 (2) を満たす。

【0065】

$$V_X = V_{po} + V_{th} + V_m + V_{EL} \quad \dots\dots (2)$$

【0066】

V_{th} (最高輝度時の場合 $VP_2 - VP_1$ に等しい) は駆動トランジスタ 23 の閾値電圧であり、 V_{EL} (最高輝度時の場合 V_{ELmax} に等しい) は有機 EL 素子 20 のアノード-カソード間電圧であり、 V_m は、階調に応じて変位する許容電圧である。

【0067】

図から明らかなように、電圧 V_X のうち、輝度階調が高くなる程、トランジスタ 23 のソース-ドレイン間に要する電圧 ($V_{po} + V_{th}$) が高くなるとともに有機 EL 素子 20 のアノード-カソード間に要する電圧 V_{EL} が高くなる。したがって、許容電圧 V_m は、輝度階調が高くなるほど低くなり、最小許容電圧 V_{min} は $VP_3 - VP_2$ となる。

【0068】

有機 EL 素子 20 は低分子 EL 材料及び高分子 EL 材料にかかわらず一般的に経時劣化し、高抵抗化する。10000 時間後のアノード-カソード間電圧は初期時の 1.4 倍程度になることが確認されている。つまり、電圧 V_{EL} は、同じ輝度階調時でも時間が経つ程高くなる。このため、駆動初期時の許容電圧 V_m が高い程長期間にわたって動作が安定するので、電圧 V_{EL} が 8 V 以上、より望ましくは 13 V 以上となるように電圧 V_X を設定している。

【0069】

この許容電圧 V_m には、有機 EL 素子 20 の高抵抗化ばかりでなく、さらに、給電配線 90 による電圧降下の分も含まれる。

【0070】

給電配線 90 の配線抵抗のために電圧降下が大きいと EL ディ스플레이パネル 1 の消費電力が著しく増大してしまうため、給電配線 90 の電圧降下は 1 V 以下に設定することが特に好ましい。

【0071】

行方向の一つの画素の長さである画素幅 W_p と、行方向の画素数 (1366) と、画素領域以外における引き回し配線 90 a から配線端子 90 b までの延長部分と、画素領域以外における引き回し配線 90 a から配線端子 90 c までの延長部分と、を考慮した結果、EL ディ스플레이パネル 1 のパネルサイズが 32 インチ、40 インチの場合、引き回し配線 90 a の全長はそれぞれ 706.7 mm、895.2 mm となる。ここで、給電配線 90 の線幅 WL 及び共通配線 91 の線幅 WL が広くなると、構造上有機 EL 層 20 b の面積が小さくなり、さらに他の配線との重なり寄生容量を発生してさらなる電圧降下をもたらすため、給電配線 90 の幅 WL 及び共通配線 91 の線幅 WL はそれぞれ画素幅 W_p の 5 分の 1 以下に抑えることが望ましい。このようなことを考慮すると、EL ディ스플레이パネル 1 のパネルサイズが 32 インチ、40 インチの場合、幅 WL はそれぞれ 34 μm 以内、44 μm 以内となる。また給電配線 90 及び共通配線 91 の最大膜厚 H_{max} はアスペクト比を考慮すると、トランジスタ 21 ~ 23 の最小加工寸法 4 μm の 1.5 倍、つまり 6 μm となる。したがって給電配線 90 及び共通配線 91 の最大断面積 S_{max} は 32 インチ、40 インチで、それぞれ 204 μm^2 、264 μm^2 となる。

【0072】

このような 32 インチの EL ディ스플레이パネル 1 について、最大電流が流れるように全点灯したときの給電配線 90 及び共通配線 91 のそれぞれの最大電圧降下を 1 V 以下にするためには図 10 に示すように、給電配線 90 及び共通配線 91 のそれぞれの配線抵抗率 ρ / 断面積 S は 4.7 Ω/cm 以下に設定される必要がある。図 11 に 32 インチの EL ディ스플레이パネル 1 の給電配線 90 及び共通配線 91 のそれぞれの断面積と電流密度の相関関係を表す。なお、上述した給電配線 90 及び共通配線 91 の最大断面積 S_{max} 時

に許容される抵抗率は、32インチで $9.6 \mu\Omega\text{cm}$ 、40インチで $6.4 \mu\Omega\text{cm}$ となる。

【0073】

そして、40インチのELディスプレイパネル1について、最大電流が流れるように全点灯したときの給電配線90及び共通配線91のそれぞれの最大電圧降下を1V以下にするためには図12に示すように、給電配線90及び共通配線91のそれぞれの配線抵抗率 ρ /断面積 S は $2.4 \Omega/\text{cm}$ 以下に設定される必要がある。図13に40インチのELディスプレイパネル1の給電配線90及び共通配線91のそれぞれの断面積と電流密度の相関関係を表す。

【0074】

給電配線90及び共通配線91の故障により動作しなくなる故障寿命MTFは、下記の式(3)を満たす。

【0075】

$$MTF = A \exp(E_a / K_b T) / \rho J^2 \dots\dots (3)$$

【0076】

E_a は活性化エネルギー、 $K_b T = 8.617 \times 10^{-5} \text{ eV}$ 、 ρ は給電配線90及び共通配線91の抵抗率、 J は電流密度である。

【0077】

給電配線90及び共通配線91の故障寿命MTFは抵抗率の増大及びエレクトロマイグレーションに律速する。給電配線90及び共通配線91をAl系(AlTi及びAlNd等の合金又はAl単体)に設定し、MTFが10000時間、85℃の動作温度で試算すると、電流密度 J は $2.1 \times 10^4 \text{ A/cm}^2$ 以下にする必要がある。同様に給電配線90及び共通配線91をCuに設定すると、 $2.8 \times 10^6 \text{ A/cm}^2$ 以下にする必要がある。なおAl合金内のAl以外の材料はAlよりも低い抵抗率であることを前提としている。

【0078】

これらのことを考慮して、32インチのELディスプレイパネル1では、全点灯状態で10000時間に給電配線90及び共通配線91が故障しないようなAl系の給電配線90及び共通配線91のそれぞれの断面積 S は、図11から、 $57 \mu\text{m}^2$ 以上必要になり、同様にCuの給電配線90及び共通配線91のそれぞれの断面積 S は、図11から、 $0.43 \mu\text{m}^2$ 以上必要になる。

【0079】

そして40インチのELディスプレイパネル1では、全点灯状態で10000時間に給電配線90及び共通配線91が故障しないようなAl系の給電配線90及び共通配線91のそれぞれの断面積 S は、図13から、 $92 \mu\text{m}^2$ 以上必要になり、同様にCuの給電配線90及び共通配線91のそれぞれの断面積 S は、図13から、 $0.69 \mu\text{m}^2$ 以上必要になる。

【0080】

Al系の給電配線90及び共通配線91では、Al系の抵抗率が $4.00 \mu\Omega\text{cm}$ とすると、32インチのELディスプレイパネル1では上述のように配線抵抗率 ρ /断面積 S が $4.7 \Omega/\text{cm}$ 以下なので、最小断面積 S_{min} は $85.1 \mu\text{m}^2$ となる。このとき上述のように給電配線90及び共通配線91の配線幅 WL は $34 \mu\text{m}$ 以内なので給電配線90及び共通配線91の最小膜厚 H_{min} は $2.50 \mu\text{m}$ となる。

【0081】

またAl系の給電配線90及び共通配線91の40インチのELディスプレイパネル1では上述のように配線抵抗率 ρ /断面積 S が $2.4 \Omega/\text{cm}$ 以下なので、最小断面積 S_{min} は $167 \mu\text{m}^2$ となる。このとき上述のように給電配線90及び共通配線91の配線幅 WL は $44 \mu\text{m}$ 以内なので給電配線90及び共通配線91の最小膜厚 H_{min} は $3.80 \mu\text{m}$ となる。

【0082】

Cuの給電配線90及び共通配線91では、Cuの抵抗率が $2.10 \mu\Omega\text{cm}$ とすると

、32インチのELディスプレイパネル1では上述のように配線抵抗率 ρ /断面積Sが $4.7\Omega/cm$ 以下なので、最小断面積 S_{min} は $44.7\mu m^2$ となる。このとき上述のように給電配線90及び共通配線91の配線幅WLは $34\mu m$ 以内なので給電配線90及び共通配線91の最小膜厚 H_{min} は $1.31\mu m$ となる。

【0083】

またCuの給電配線90及び共通配線91の40インチのELディスプレイパネル1では上述のように配線抵抗率 ρ /断面積Sが $2.4\Omega/cm$ 以下なので、最小断面積 S_{min} は $87.5\mu m^2$ となる。このとき上述のように給電配線90及び共通配線91の配線幅WLは $44\mu m$ 以内なので給電配線90及び共通配線91の最小膜厚 H_{min} は $1.99\mu m$ となる。

【0084】

以上のことから、ELディスプレイパネル1を正常且つ消費電力を低く動作させるには、給電配線90及び共通配線91での電圧降下を1V以下にした方が好ましく、このような条件にするには、給電配線90及び共通配線91がA1系の32インチのパネルでは、膜厚Hが $2.50\mu m\sim 6\mu m$ 、幅WLが $14.1\mu m\sim 34.0\mu m$ 、抵抗率が $4.0\mu\Omega cm\sim 9.6\mu\Omega cm$ となり、給電配線90及び共通配線91がA1系の40インチのパネルでは、給電配線90及び共通配線91がA1系の場合、膜厚Hが $3.80\mu m\sim 6\mu m$ 、幅WLが $27.8\mu m\sim 44.0\mu m$ 、抵抗率が $4.0\mu\Omega cm\sim 9.6\mu\Omega cm$ となる。

【0085】

総じてA1系の給電配線90及び共通配線91の場合、膜厚Hが $2.50\mu m\sim 6\mu m$ 、幅WLが $14.1\mu m\sim 44\mu m$ 、抵抗率が $4.0\mu\Omega cm\sim 9.6\mu\Omega cm$ となる。

同様に、給電配線90及び共通配線91がCuの32インチのパネルでは、膜厚Hが $1.31\mu m\sim 6\mu m$ 、幅WLが $7.45\mu m\sim 34\mu m$ 、抵抗率が $2.1\mu\Omega cm\sim 9.6\mu\Omega cm$ となり、給電配線90及び共通配線91がCuの40インチのパネルでは、給電配線90及び共通配線91がCu系の場合、膜厚Hが $1.99\mu m\sim 6\mu m$ 、幅WLが $14.6\mu m\sim 44.0\mu m$ 、抵抗率が $2.1\mu\Omega cm\sim 9.6\mu\Omega cm$ となる。

【0086】

総じてCuの給電配線90及び共通配線91の場合、膜厚Hが $1.31\mu m\sim 6\mu m$ 、幅WLが $7.45\mu m\sim 44\mu m$ 、抵抗率が $2.1\mu\Omega cm\sim 9.6\mu\Omega cm$ となる。

【0087】

したがって、給電配線90及び共通配線91としてA1系材料又はCuを適用した場合、ELディスプレイパネル1の給電配線90及び共通配線91は、膜厚Hが $1.31\mu m\sim 6\mu m$ 、幅WLが $7.45\mu m\sim 44\mu m$ 、抵抗率が $2.1\mu\Omega cm\sim 9.6\mu\Omega cm$ となる。

【0088】

以上のように、給電配線90を流れる電流の大きさは一列の走査線 X_i に接続されたn個の有機EL素子20に流れる駆動電流の大きさの和になるので、VGA以上の画素数で動画駆動するための選択期間に設定した場合、給電配線90の寄生容量が増大してしまい、薄膜トランジスタのゲート又はソース、ドレインのような薄膜ではn個の有機EL素子20に書込電流(つまり駆動電流)を流すには抵抗が高すぎるが、本実施形態では、画素回路 $P_{1,1}\sim P_{m,n}$ の薄膜トランジスタのゲート、ソース及びドレインとは異なる導電層によって給電配線90の少なくとも一部を構成しているので短い選択期間であっても遅延なく十分に書込電流(引抜電流)を流すことができる。そして、給電配線90を厚くすることで給電配線90を低抵抗化したので、給電配線90の幅を狭くすることができる。そのため、ボトムエミッションの場合、画素開口率の減少を最小限に抑えることができる。

【0089】

同様に、発光期間に共通配線91に流れる駆動電流の大きさは、選択期間に給電配線90に流れる書込電流(引抜電流)の大きさと同じなので、画素回路 $P_{1,1}\sim P_{m,n}$ の薄膜トランジスタのゲート、ソース及びドレインとは異なる導電層を対向電極20cに接続して

いるので、配線 91 を厚膜にすることができ、共通配線 91 を低抵抗化することができ、さらに対向電極 20c 自体が薄膜化してより高抵抗になっても対向電極 20c の電圧を面内で一様にするができる。従って、仮に全ての画素電極 20a に同じ電位を印加した場合でも、どの有機 EL 層 20b の発光強度もほぼ等しくなり、面内の発光強度を一様することができる。

【0090】

また、ELディスプレイパネル 1 をトップエミッション型として用いた場合、対向電極 20c をより薄膜化することが可能なので、有機 EL 層 20b を発した光が対向電極 20c を透過中に減衰し難くなる。更に、平面視して水平方向に隣り合う画素電極 20a の間に共通配線 91 が設けられているため、画素開口率の減少を最小限に抑えることができる。

【0091】

ELディスプレイパネル 1 では、信号線 $Y_1 \sim Y_n$ は、マトリックス画素の構造上、走査線 $X_1 \sim X_m$ と必然的に交差しているのでいずれか一方をトランジスタ 21~23 のゲート導電層とし、他方をトランジスタ 21~23 のソース、ドレイン導電層としなければならない。信号線 $Y_1 \sim Y_n$ と直交する走査線 $X_1 \sim X_m$ が水平方向に延在しているため、供給線 $Z_1 \sim Z_m$ をそれぞれ独立して時間差的に当該選択期間のみローレベルとし、それ以外の期間をハイレベルにすると、供給線 $Z_1 \sim Z_m$ を水平方向に配置し、さらに、給電配線 90, 90, ... を、行毎に設けられた供給線 $Z_1 \sim Z_m$ にそれぞれ接続しなければならないため、必然的に給電配線 90, 90, ... を水平方向に延在しなければならない。

【0092】

このように給電配線 90, 90, ... を水平方向に延在し、これに合わせて共通配線 91 を水平方向に延在させると、有機 EL 素子 20 の RGB の発光色の画素行数は m 本となる。ELディスプレイパネル 1 は一般的に縦横比では、横方向に長い。つまり、水平方向の画素数 n は、垂直方向の画素数 m より大きい。

【0093】

対して本実施形態では、供給線 $Z_1 \sim Z_m$ 及び給電配線 90, 90, ... を共通電位にしているため給電配線 90, 90, ... の延在方向を走査線 $X_1 \sim X_m$ 及び供給線 $Z_1 \sim Z_m$ の延在方向に合わせる必要がなく、給電配線 90, 90, ... を走査線 $X_1 \sim X_m$ 及び供給線 $Z_1 \sim Z_m$ と直交するようにレイアウトできる。このため、給電配線 90, 90, ... 及び共通配線 91, 91, ... を垂直方向に延在させて、これらを有機 EL 層 20b を左右に仕切る隔壁として用い、有機 EL 素子 20 の同色に発光する有機 EL 層 20b を垂直方向に延在するストライプ形状としている。したがって、有機 EL 素子 20 の RGB の発光色の画素列数は、給電配線 90 及び共通配線 91 の延在方向を水平方向に設計した場合の RGB の発光色の画素行数よりも多いため、より色分解能に優れた表示を行うことができる。

【0094】

〔変形例 1〕

なお、本発明は、上記実施の形態に限定されることなく、本発明の趣旨を逸脱しない範囲において、種々の改良並びに設計の変更を行っても良い。

【0095】

上記実施形態では、共通配線 91 と給電配線 90 が交互に配列されているが、図 14 に示した ELディスプレイパネル 101 のように、垂直方向に隣り合う画素電極 20a の間が全て給電配線 90 であっても良い。その場合、共通配線 91 は給電配線 90 と同一面に形成されているのではなく、給電配線 90 の上方を絶縁する絶縁膜上に設ければ良いが、平面視して水平方向に各画素電極 20a を仕切るように $(m+1)$ 本の共通配線 91 を配置することが望ましい。共通配線 91, 91, ... は画素毎に設けられたこの絶縁膜のコンタクトホールを介して各画素の対向電極 20c にそれぞれ接続されている。給電配線 90 は、垂直方向に有機 EL 層 20b を仕切っている構造なので、画素回路 $P_{1,j}, P_{2,j}, P_{3,j}, \dots, P_{m,j}$ の有機 EL 素子 20 となる領域に有機 EL 層 20b となる溶液が塗着すると、溶液が水平方向に隣接する画素回路 $P_{1,(j-1)}, P_{2,(j-1)}, P_{3,(j-1)}, \dots, P_{m,(j-1)}$ や $P_{1,(j+1)}, P_{2,(j+1)}, P_{3,(j+1)}, \dots, P_{m,(j+1)}$ の有機 EL 素子 20 となる領域に

行かないように堰き止める。なお、図 14 に示された EL ディスプレイパネル 101 と図 1 に示された EL ディスプレイパネル 1 の間で互いに対応する部分に同一の符号を付す。

【0096】

〔変形例 2〕

また、上記各実施形態では、供給線 $Z_1 \sim Z_m$ があり、供給線 $Z_1 \sim Z_m$ 及びコンタクトホール 53 介して給電配線 90 がトランジスタ 22, 23 のドレイン 22d, 23d に導通しているが、供給線 $Z_1 \sim Z_m$ がなく、給電配線 90 がコンタクトホール 53 を介してトランジスタ 22, 23 のドレイン 22d, 23d に導通しても良い。

【0097】

〔変形例 3〕

また、上記各実施形態では、トランジスタ 21~23 が N チャネル型の電界効果トランジスタとして説明を行った。トランジスタ 21~23 が P チャネル型の電界効果トランジスタであっても良い。その場合、図 2 の回路構成では、トランジスタ 21~23 のソース 21s, 22s, 23s とトランジスタ 21~23 のドレイン 21d, 22d, 23d の関係が逆になる。例えば、駆動トランジスタ 23 が P チャネル型の電界効果トランジスタの場合には、駆動トランジスタ 23 のドレイン 23d が有機 EL 素子 20 の画素電極 20a に導通し、ソース 23s が供給線 Z_i に導通する。

【0098】

〔変形例 4〕

また、上記各実施形態では、信号線 $Y_1 \sim Y_n$ がゲート 21g, 22g, ゲート 23g の元となる導電性膜からパターンニングされたものであるが、信号線 $Y_1 \sim Y_n$ がソース 21s, 22s, 23s 及びドレイン 21d, 22d, 23d の元となる導電性膜からパターンニングされたものでも良い。この場合、走査線 $X_1 \sim X_m$ 及び供給線 $Z_1 \sim Z_m$ がゲート 21g, 22g, ゲート 23g の元となる導電性膜からパターンニングされたものとなり、信号線 $Y_1 \sim Y_n$ が走査線 $X_1 \sim X_m$ 及び供給線 $Z_1 \sim Z_m$ よりも上層になる。

【0099】

〔変形例 5〕

また、上記各実施形態では、一画素につき 3 つのトランジスタ 21~23 が設けられているが、有機 EL 素子にソース又はドレインが直列に接続された駆動トランジスタを備え付けた EL ディスプレイパネルであれば、トランジスタの数、電流駆動、電圧駆動の制限なく本発明を適用することができる。

【0100】

〔変形例 6〕

また上記各実施形態では、各保持トランジスタ 22 のドレイン 22d は供給線 $Z_1 \sim Z_m$ のいずれかに接続されているが、これに限らず、各画素回路 $P_{i,1}, P_{i,2}, P_{i,3}, \dots, P_{i,n}$ の保持トランジスタ 22 のドレイン 22d を走査線 X_i に接続するようにしてもよい。

また上記変形例を複数組み合わせてもよい。

【0101】

〔変形例 7〕

また上記各実施形態では書込電流となる電圧 V_L 及び駆動電流となる電圧 V_H を、給電配線 90 に配線端子 90b, 90c の両方から供給して給電配線 90 の電圧降下を低くしたが、電圧降下が高くてよい設計であれば配線端子 90b, 90c のいずれか片方のみから供給するようにしてもよい。

【図面の簡単な説明】

【0102】

【図 1】 EL ディスプレイパネル 1 の回路構成を絶縁基板 2 とともに示した図面である。

【図 2】 EL ディスプレイパネル 1 の画素回路 $P_{i,j}$ の等価回路図である。

【図 3】 EL ディスプレイパネル 1 の画素回路 $P_{i,j}$ 及び画素回路 $P_{i,j+1}$ の電極を示

した平面図である。

【図 4】 駆動トランジスタ 23 のチャンネル幅に直交する面で破断した断面図である。

【図 5】 図 3 に示された V-V 線の矢視断面図である。

【図 6】 図 3 に示された VI-VI 線の矢視断面図である。

【図 7】 EL ディ스플레이パネル 1 の有機 EL 層のレイアウトを示す略平面図である。

【図 8】 EL ディ스플레이パネル 1 の動作を説明するためのタイミングチャートである。

【図 9】 各画素回路 $P_{1,1} \sim P_{m,n}$ の駆動トランジスタ 23 及び有機 EL 素子 20 の電流-電圧特性を示すグラフである。

【図 10】 32 インチの EL ディ스플레이パネル 1 の給電配線 90 及び共通配線 91 のそれぞれの最大電圧降下と配線抵抗率 ρ / 断面積 S の相関を示すグラフである。

【図 11】 32 インチの EL ディ스플레이パネル 1 の給電配線 90 及び共通配線 91 のそれぞれの断面積と電流密度の相関を示すグラフである。

【図 12】 40 インチの EL ディ스플레이パネル 1 の給電配線 90 及び共通配線 91 のそれぞれの最大電圧降下と配線抵抗率 ρ / 断面積 S の相関を示すグラフである。

【図 13】 40 インチの EL ディ스플레이パネル 1 の給電配線 90 及び共通配線 91 のそれぞれの断面積と電流密度の相関を示すグラフである。

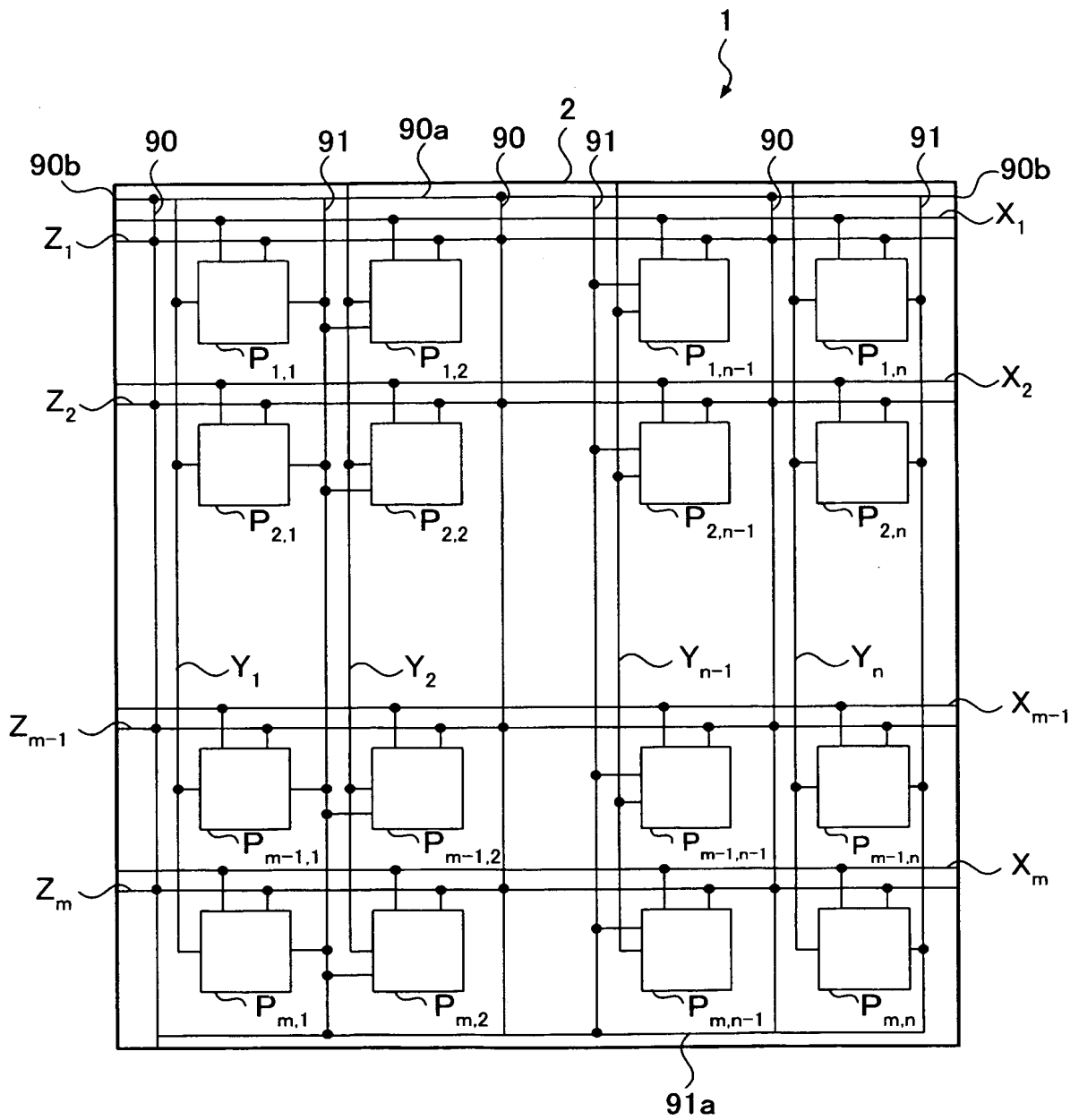
【図 14】 変形例の EL ディ스플레이パネル 1 の回路構成を示した図面である。

【符号の説明】

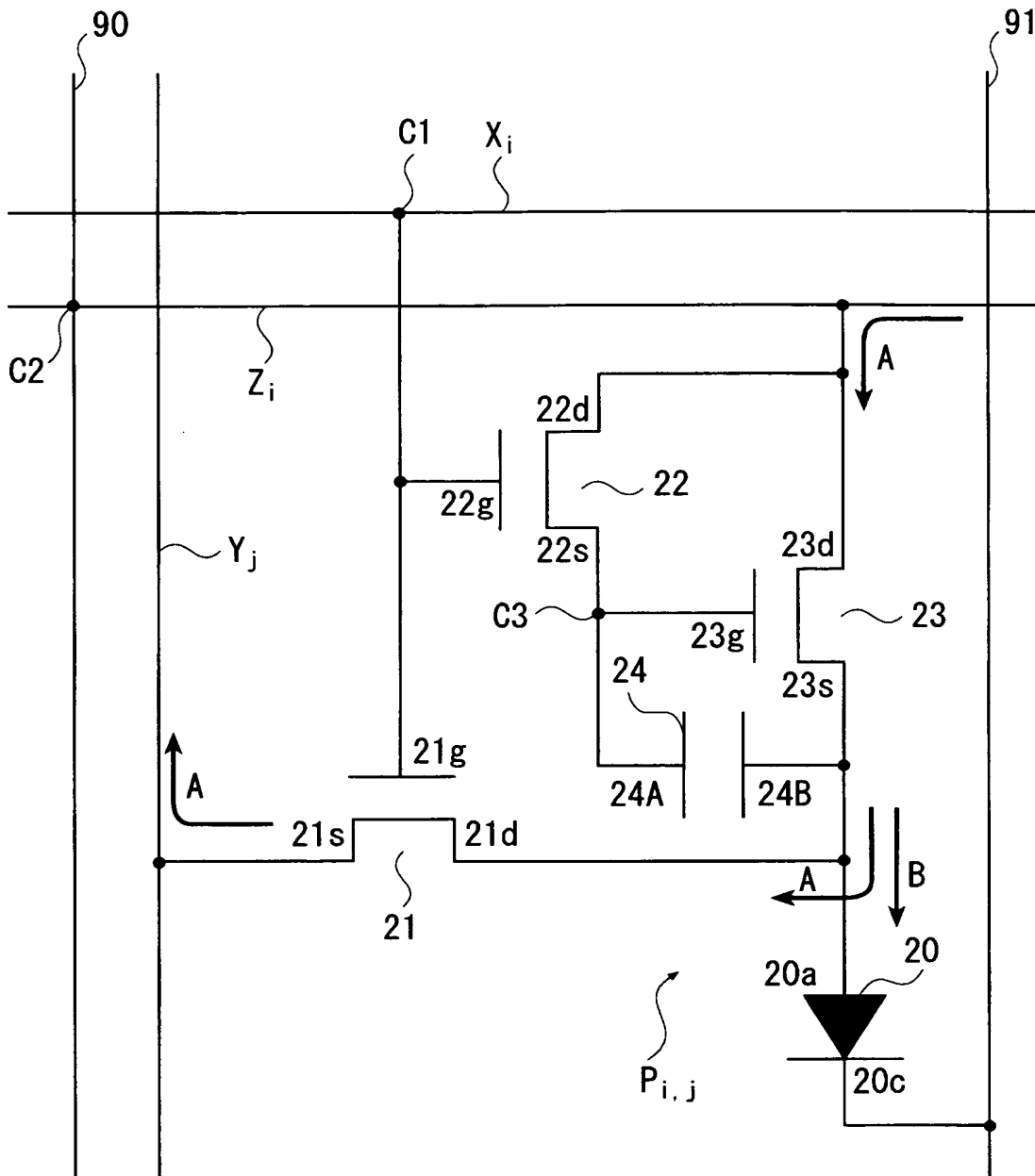
【0103】

- 1 EL ディ스플레이パネル
- 2 絶縁基板
- 20a 画素電極
- 20b 有機 EL 層
- 20c 対向電極
- 23 駆動トランジスタ 23
- 23d ドレイン
- 23s ソース
- 23g ゲート
- 32 保護絶縁膜
- 54 撥液性絶縁膜
- 90 給電配線
- $Y_1 \sim Y_n$ 信号線
- $Z_1 \sim Z_m$ 供給線

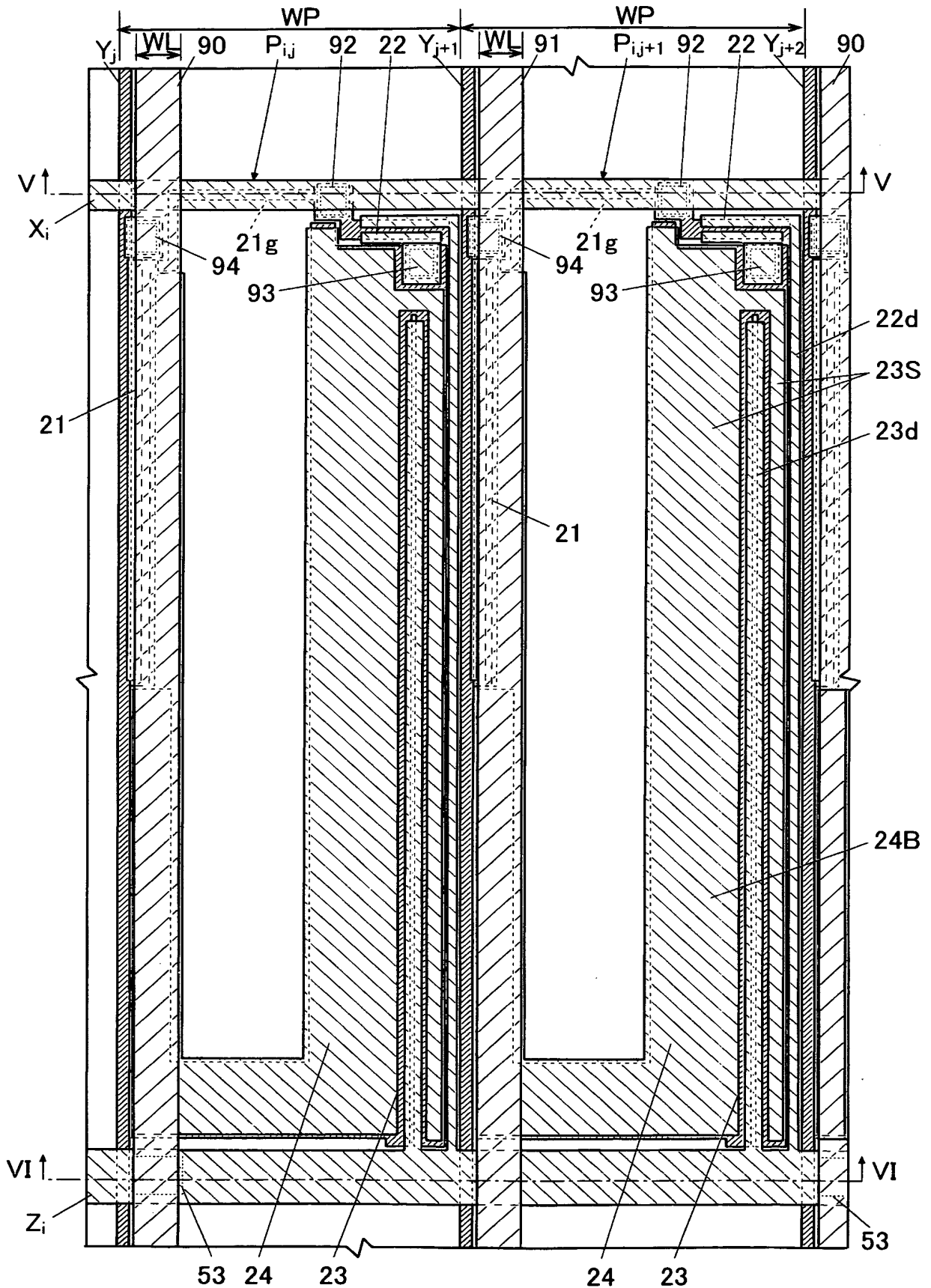
【書類名】 図面
【図 1】



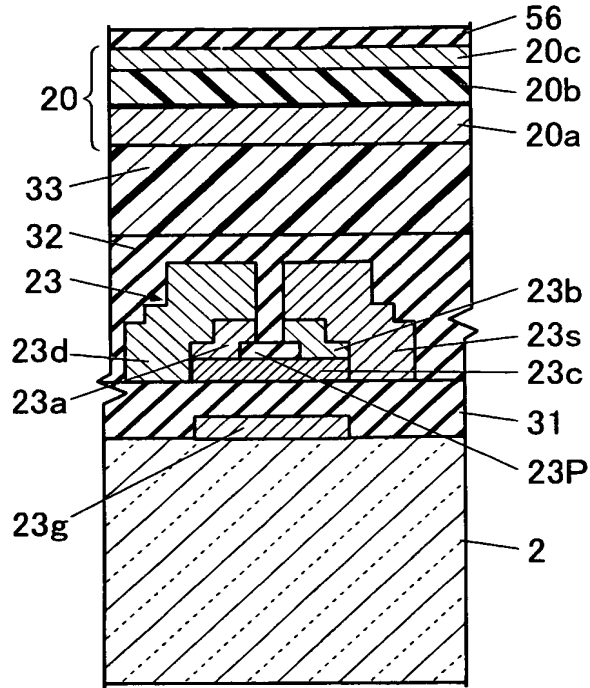
【図 2】



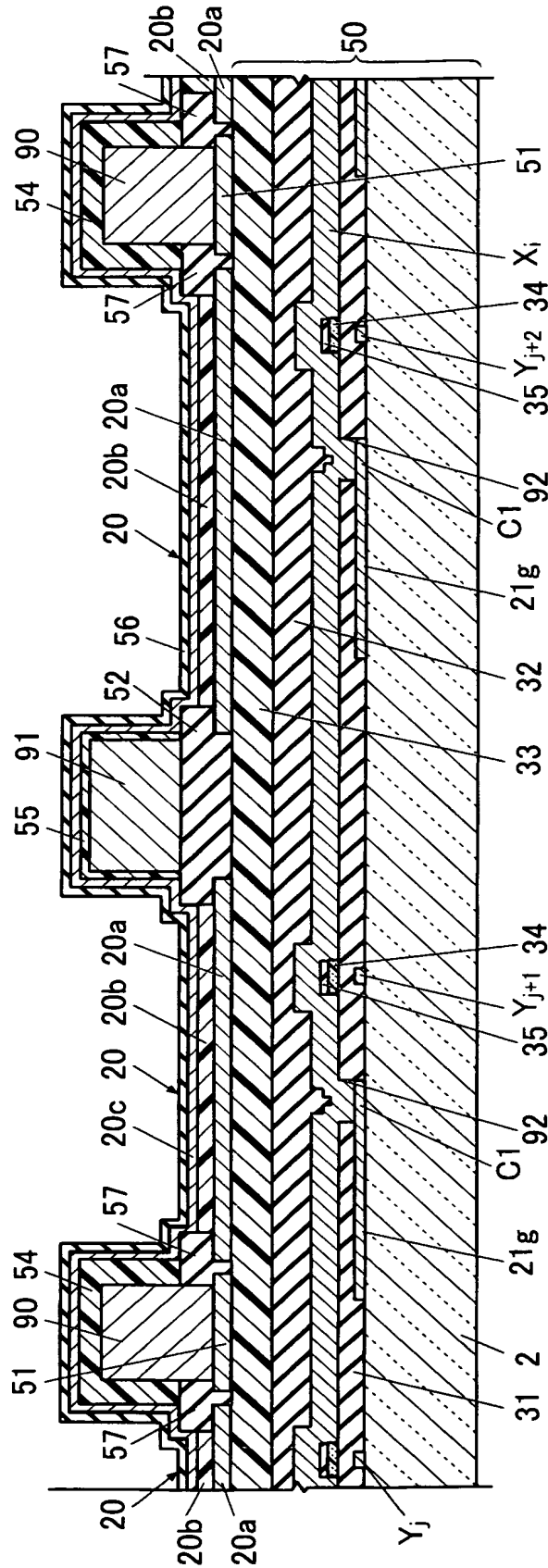
【図3】



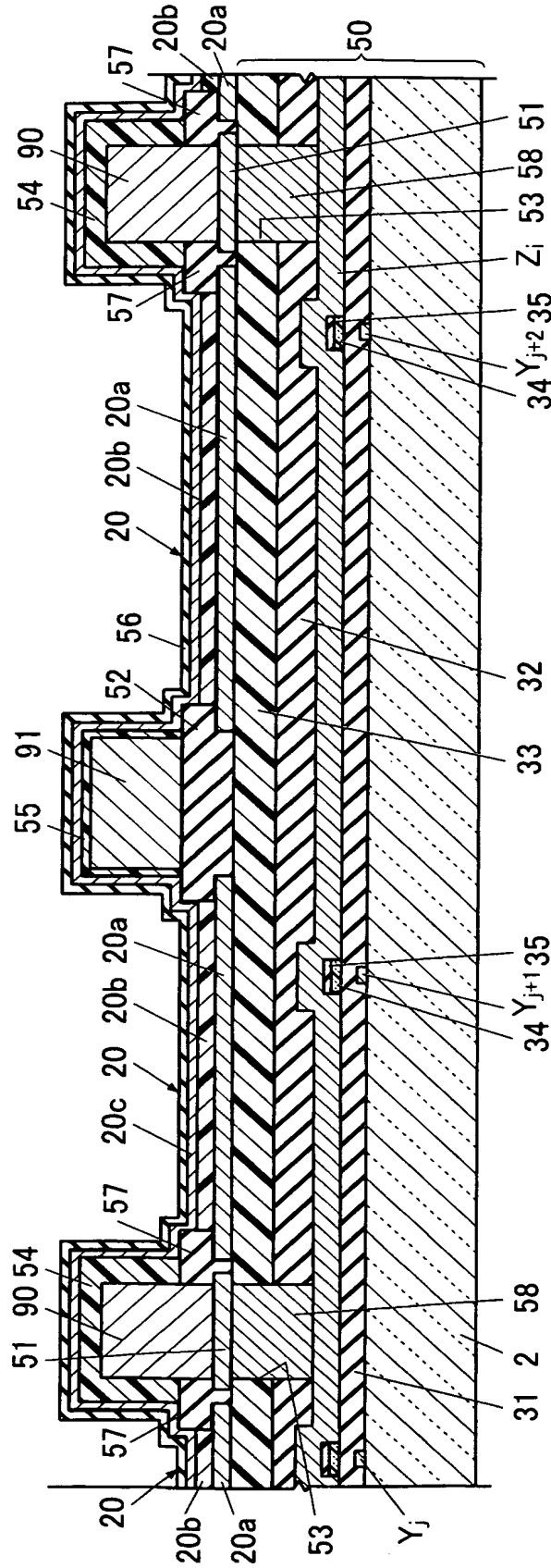
【図 4】



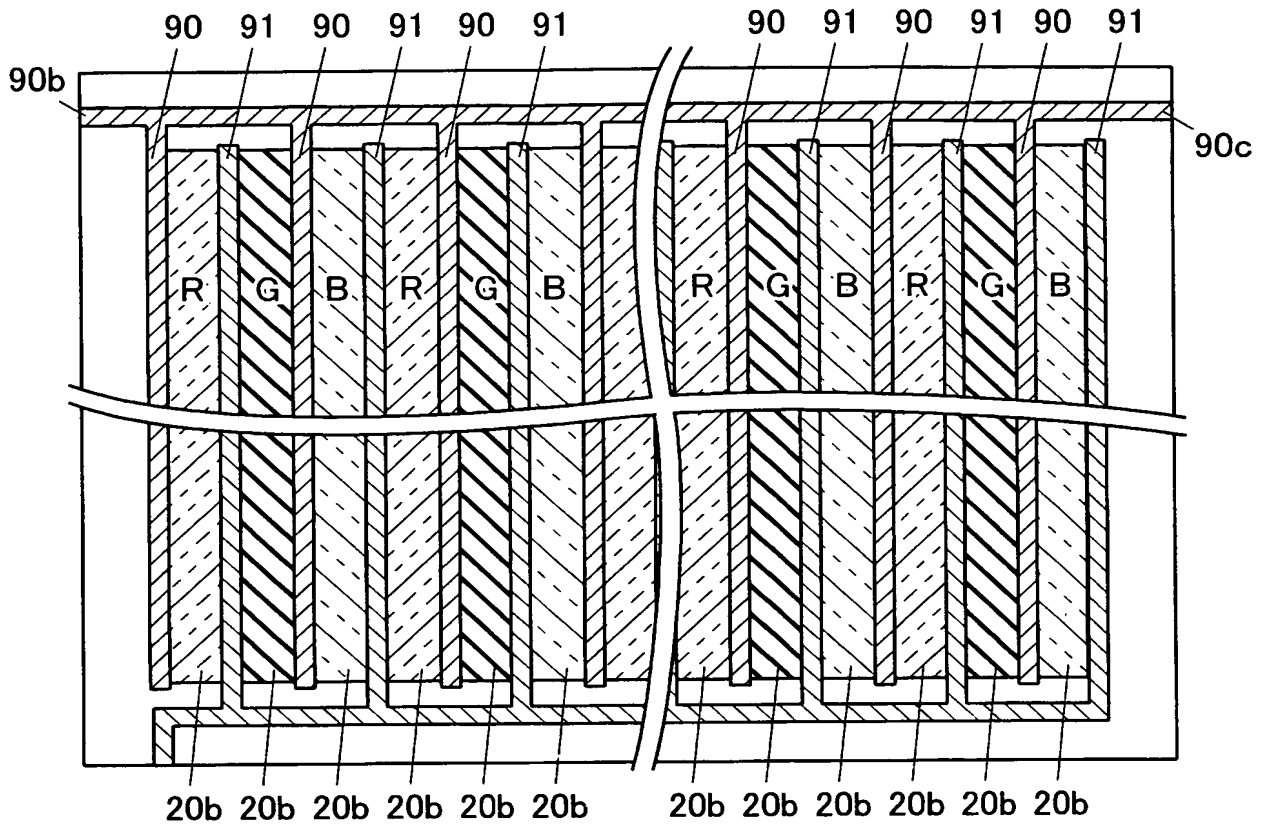
【図5】



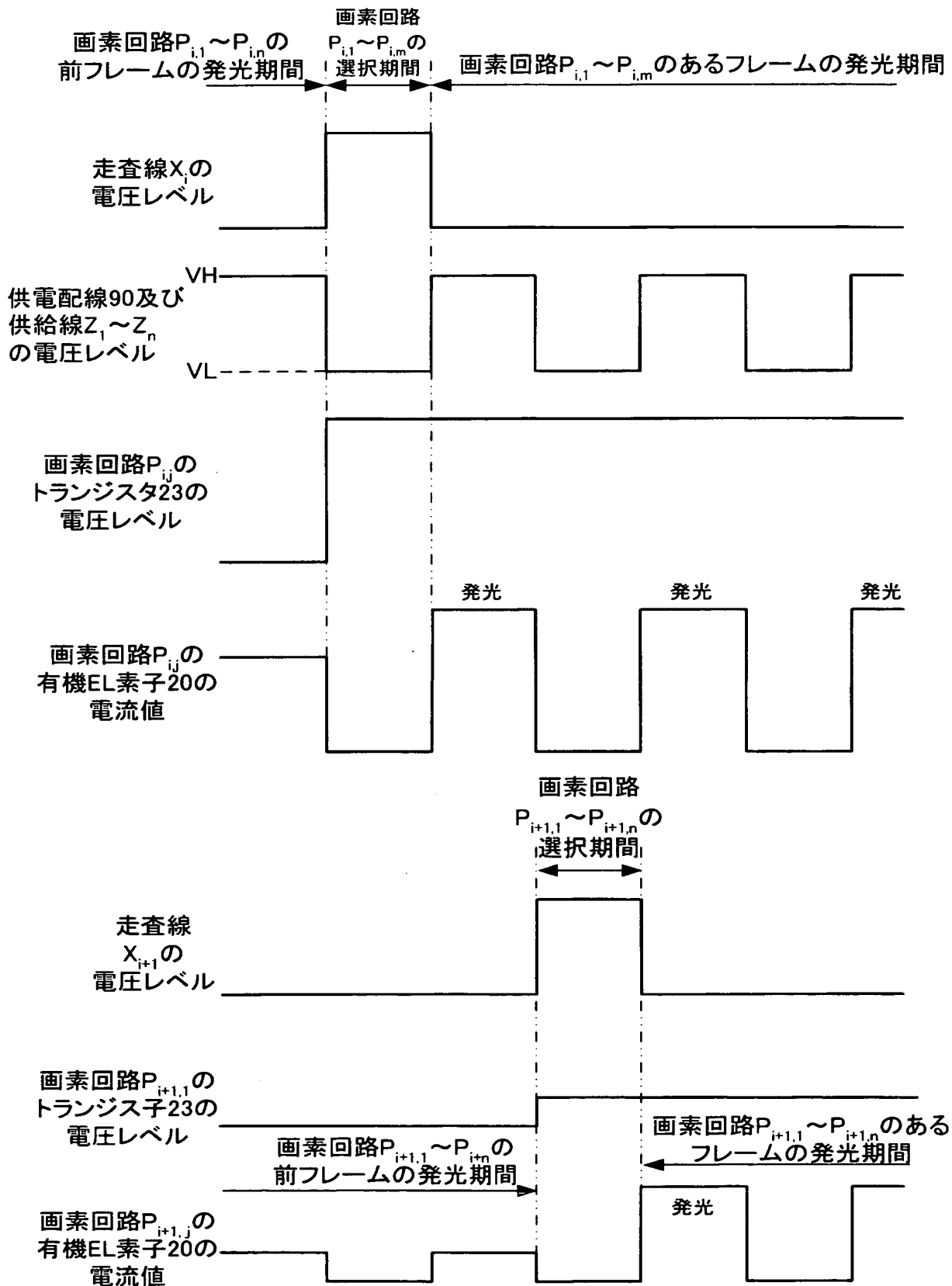
【図 6】



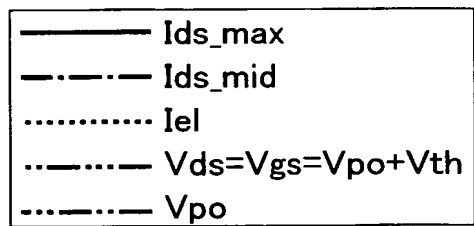
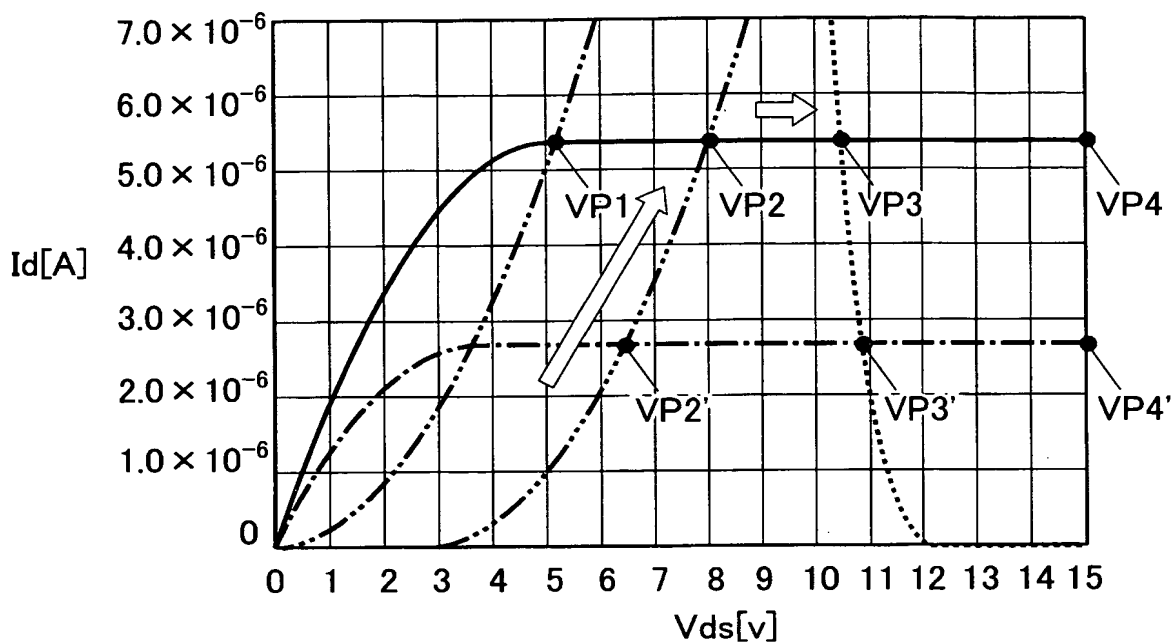
【図 7】



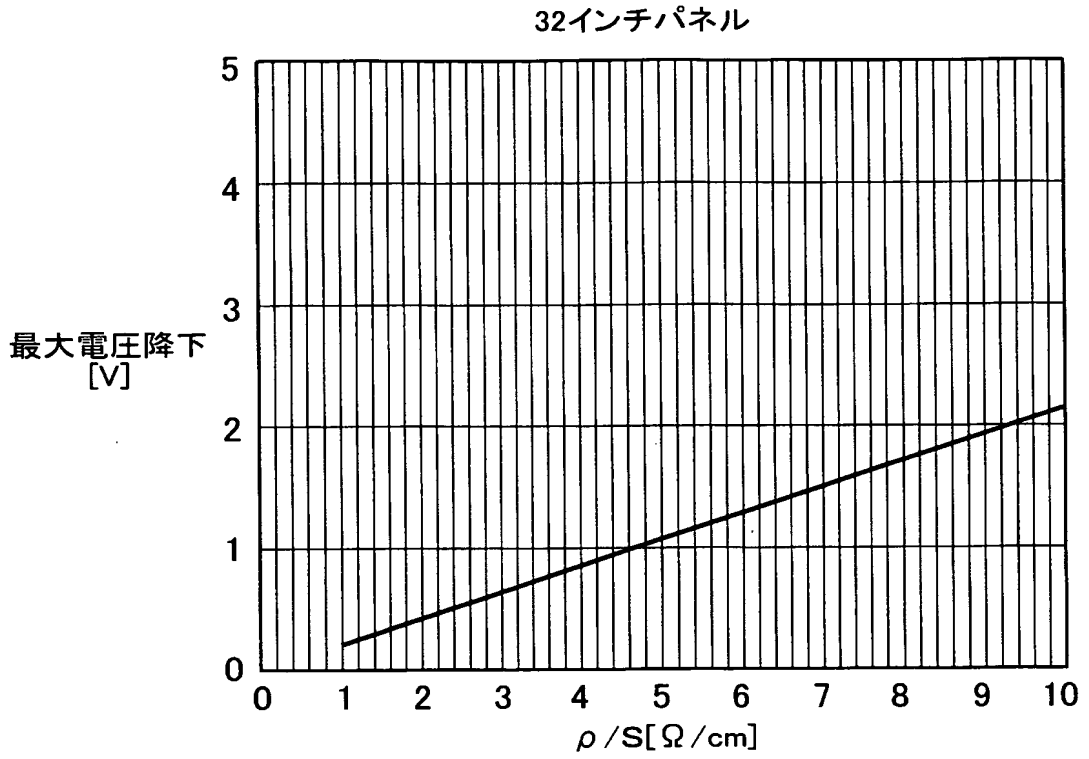
【図 8】



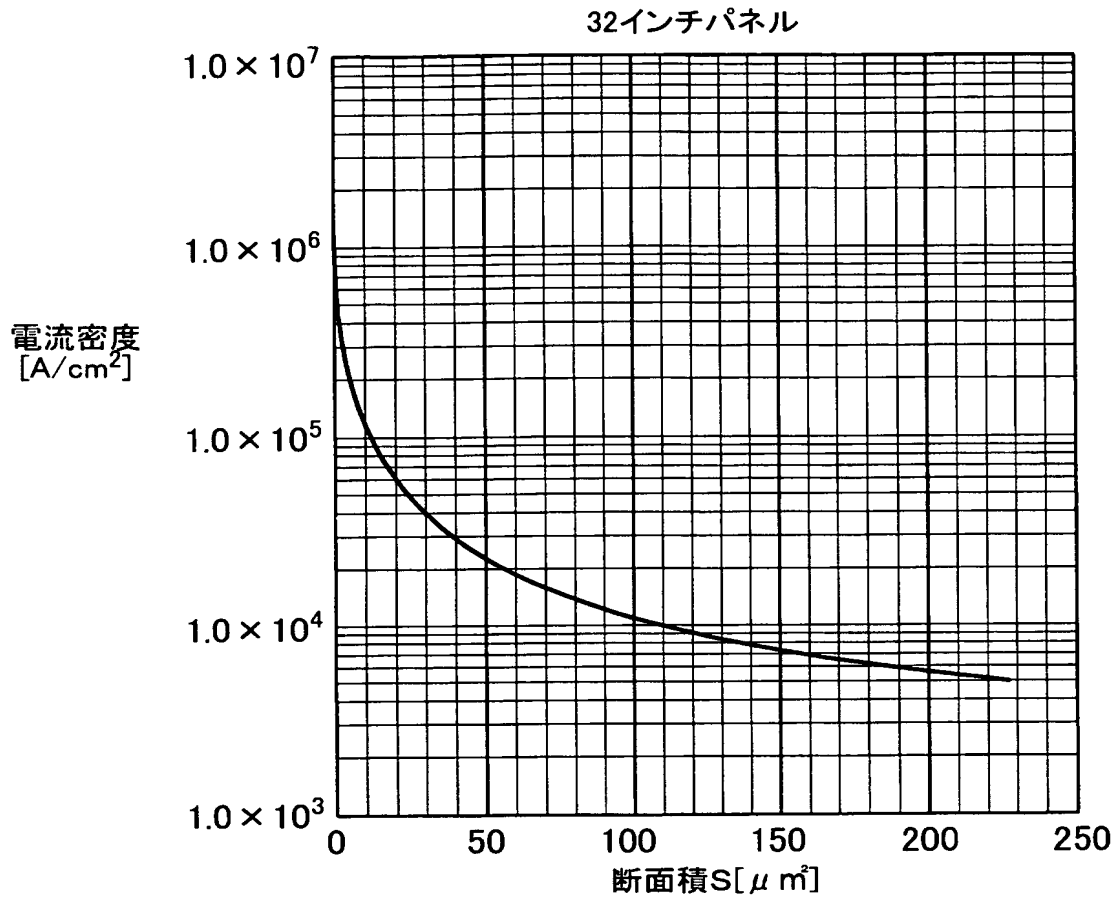
【図 9】



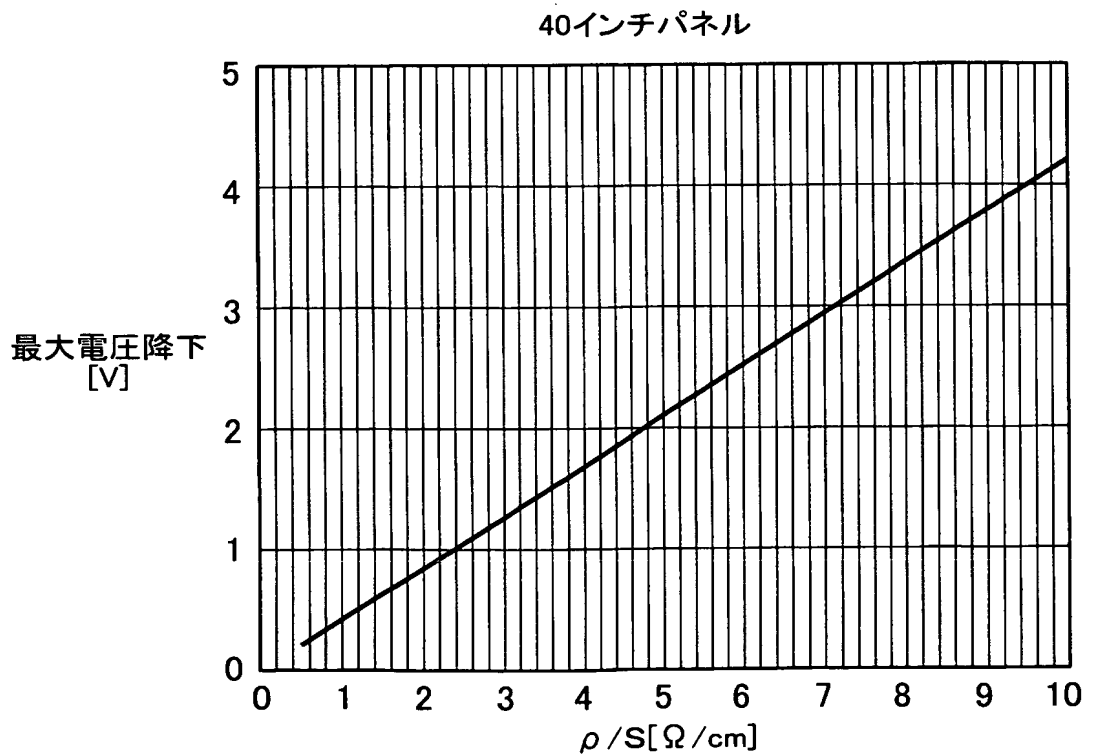
【図 10】



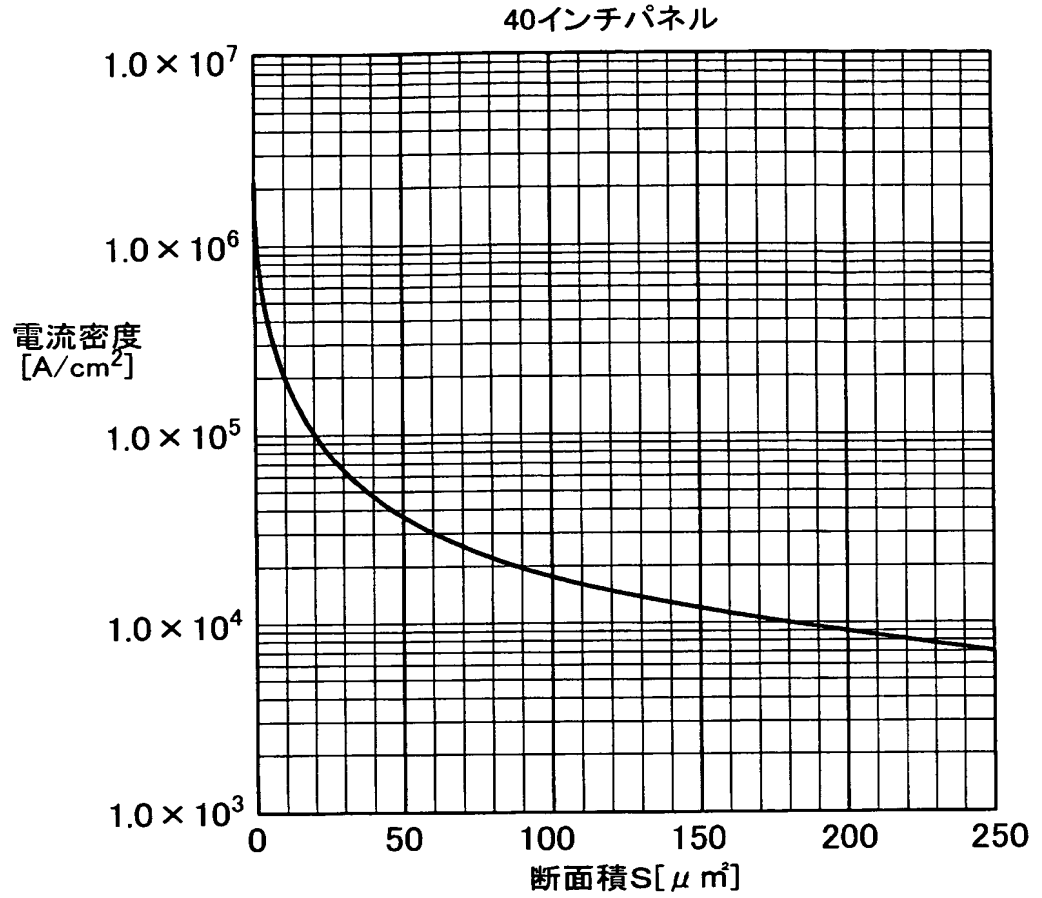
【図 1 1】



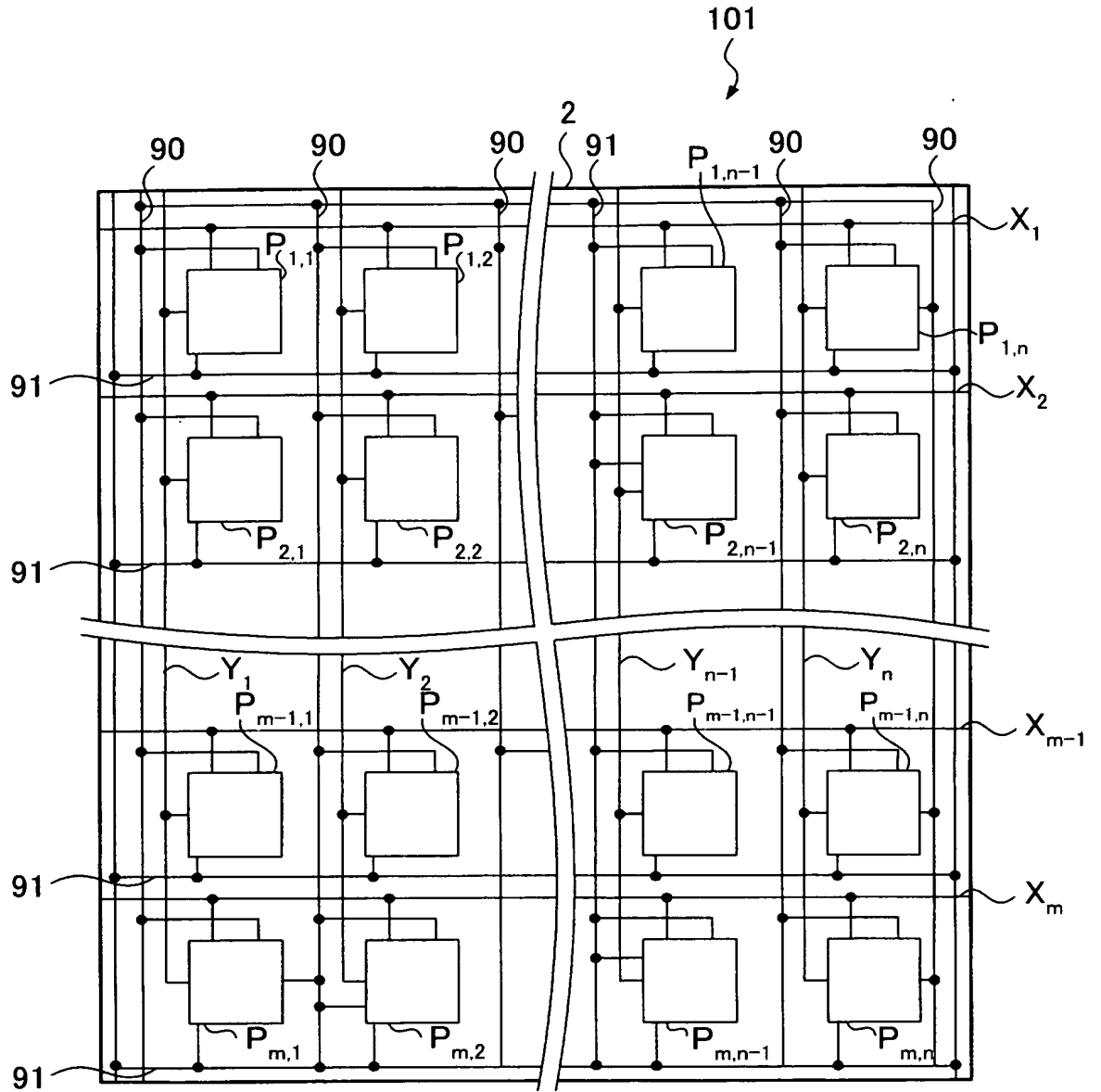
【図 1 2】



【図 13】



【図 14】



【書類名】 要約書**【要約】**

【課題】 電圧降下を抑えること。

【解決手段】 ELディスプレイパネル1は、絶縁基板2と、絶縁基板2上にマトリクス状に配列された駆動トランジスタ23と、駆動トランジスタ23のゲート23gとともにパターンニングされ、互いに平行となるよう配列された信号線 $Y_1 \sim Y_n$ と、信号線 $Y_1 \sim Y_n$ 及び駆動トランジスタ23を被覆した保護絶縁膜32と、駆動トランジスタ23それぞれのドレイン23dに導通した画素電極20aと、画素電極20aそれぞれに成膜された有機EL層20bと、有機EL層20bを被覆した対向電極20cと、隣り合う画素電極20aの間で信号線 $Y_1 \sim Y_n$ と平行となるよう保護絶縁膜32上に形成され、保護絶縁膜32に形成されたコンタクトホール53を介して駆動トランジスタ23のソース23sに導通した給電配線90と、を備える。

【選択図】 図5

特願 2004-273580

出願人履歴情報

識別番号 [000001443]

1. 変更年月日 1998年 1月 9日
[変更理由] 住所変更
住所 東京都渋谷区本町1丁目6番2号
氏名 カシオ計算機株式会社

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 4 年 9 月 2 1 日
Date of Application:

出 願 番 号 特 願 2 0 0 4 - 2 7 3 5 3 2
Application Number:

パリ条約による外国への出願に用いる優先権の主張の基礎となる出願の国コードと出願号

The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is

J P 2 0 0 4 - 2 7 3 5 3 2

願 人
Applicant(s):

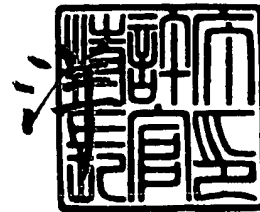
カシオ計算機株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2 0 0 5 年 7 月 2 6 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



【書類名】 特許願
【整理番号】 04-1083-00
【提出日】 平成16年 9月21日
【あて先】 特許庁長官 殿
【国際特許分類】 G09F 9/30 338
 G09F 9/30 365
 G09G 3/30

【発明者】
【住所又は居所】 東京都八王子市石川町 2 9 5 1 番地 5 カシオ計算機株式会社
 八王子技術センター内
【氏名】 下田 悟

【発明者】
【住所又は居所】 東京都八王子市石川町 2 9 5 1 番地 5 カシオ計算機株式会社
 八王子技術センター内
【氏名】 白寄 友之

【発明者】
【住所又は居所】 東京都八王子市石川町 2 9 5 1 番地 5 カシオ計算機株式会社
 八王子技術センター内
【氏名】 小倉 潤

【特許出願人】
【識別番号】 000001443
【氏名又は名称】 カシオ計算機株式会社

【代理人】
【識別番号】 100090033
【弁理士】
【氏名又は名称】 荒船 博司
【電話番号】 03-3269-2611
【連絡先】 担当

【選任した代理人】
【識別番号】 100093045
【弁理士】
【氏名又は名称】 荒船 良男

【手数料の表示】
【予納台帳番号】 027188
【納付金額】 16,000円

【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1

【書類名】 特許請求の範囲

【請求項 1】

基板と、

前記基板上にマトリクス状に配列され、ゲートとソース・ドレインとの間にゲート絶縁膜が介在する複数の駆動トランジスタと、

前記複数の駆動トランジスタのゲートとともにパターンニングされ、前記基板上において所定の方向に延在するように配列された複数の信号線と、

前記複数の駆動トランジスタのソース・ドレインとともにパターンニングされ、前記ゲート絶縁膜を介して前記複数の信号線と交差するように配列され、駆動トランジスタのソースとドレインのうちの一方に導通した複数の供給線と、

前記複数の供給線に沿って前記複数の供給線にそれぞれ積層された複数の給電配線と、を備えることを特徴とするトランジスタアレイ基板。

【請求項 2】

前記複数の駆動トランジスタのソース・ドレインとともにパターンニングされ、前記ゲート絶縁膜を介して前記複数の供給線と交差するよう配列された複数の走査線を更に備えることを特徴とする請求項 1 に記載のトランジスタアレイ基板。

【請求項 3】

前記基板上にマトリクス状に配列され、ゲートとソース・ドレインとの間に前記ゲート絶縁膜が介在する複数のスイッチトランジスタを更に備え、

前記複数の駆動トランジスタのソースとドレインのうちの他方が前記複数のスイッチトランジスタのソースとドレインのうちの一方にそれぞれ導通し、

前記複数のスイッチトランジスタのゲートが、前記ゲート絶縁膜に形成されたコンタクトホールを介して前記走査線に導通し、

前記複数のスイッチトランジスタのソースとドレインのうちの他方が、前記ゲート絶縁膜に形成されたコンタクトホールを介して前記信号線に導通していることを特徴とする請求項 2 に記載のトランジスタアレイ基板。

【請求項 4】

前記基板上にマトリクス状に配列され、ゲートとソース・ドレインとの間に前記ゲート絶縁膜が介在する複数の保持トランジスタを更に備え、

前記複数の保持トランジスタのソースとドレインのうちの一方が、前記ゲート絶縁膜に形成されたコンタクトホールを介して前記複数の駆動トランジスタのゲートにそれぞれ導通し、

前記複数の保持トランジスタのソースとドレインのうちの他方が前記供給線又は前記走査線に導通し、

前記複数の保持トランジスタのゲートが前記ゲート絶縁膜に形成されたコンタクトホールを介して前記走査線に導通していることを特徴とする請求項 2 又は 3 に記載のトランジスタアレイ基板。

【請求項 5】

前記駆動トランジスタのソースとドレインのうちの一方に接続された発光素子を設けたことを特徴とする請求項 1 から 4 のいずれか一項に記載のトランジスタアレイ基板。

【請求項 6】

前記供給線を介して前記駆動トランジスタのゲートとソース間に書込電流を流すデータドライバを設けたことを特徴とする請求項 1 から 5 のいずれか一項に記載のトランジスタアレイ基板。

【請求項 7】

前記走査線を選択して前記スイッチトランジスタをオンする選択ドライバを設けたことを特徴とする請求項 3 に記載のトランジスタアレイ基板。

【請求項 8】

前記給電配線に接続され、選択期間に前記給電配線を介して前記駆動トランジスタに書込電流を流すための書込給電電圧を印加し、前記選択期間に前記駆動トランジスタのゲート

ソース間に保持された電圧にしたがって発光期間に前記駆動トランジスタを介して発光素子に駆動電流を流すための駆動給電電圧を印加する給電ドライバを設けたことを特徴とする請求項 1 から 7 のいずれか一項に記載のトランジスタアレイ基板。

【請求項 9】

前記給電配線の膜厚が $1.31 \sim 6 \mu\text{m}$ であることを特徴とする請求項 1 から 8 の何れか一項に記載のトランジスタアレイ基板。

【請求項 10】

前記給電配線の幅が $7.45 \sim 44 \mu\text{m}$ であることを特徴とする請求項 1 から 9 の何れか一項に記載のトランジスタアレイ基板。

【請求項 11】

前記給電配線の抵抗率が $2.1 \sim 9.6 \mu\Omega\text{cm}$ であることを特徴とする請求項 1 から 10 の何れか一項に記載のトランジスタアレイ基板。

【請求項 12】

基板と、
前記基板上にマトリクス状に配列され、ゲートとソース・ドレインとの間にゲート絶縁膜が介在する複数の駆動トランジスタと、
前記複数の駆動トランジスタのゲートとともにパターンニングされ、前記基板上において所定の方向に延在するように配列された複数の信号線と、
前記複数の駆動トランジスタのソース・ドレインとともにパターンニングされ、前記ゲート絶縁膜を介して前記複数の信号線と交差するように配列され、駆動トランジスタのソースとドレインのうち的一方に導通した複数の供給線と、
前記複数の供給線に沿って前記複数の供給線にそれぞれ積層された複数の給電配線と、
前記複数の駆動トランジスタのソースとドレインの他方にそれぞれ導通した複数の画素電極と、
前記複数の画素電極それぞれに成膜された複数の発光層と、
前記複数の発光層を被覆した対向電極と、
を備えることを特徴とするディスプレイパネル。

【請求項 13】

前記複数のトランジスタのソース・ドレインとともにパターンニングされ、前記ゲート絶縁膜を介して前記複数の供給線と交差するよう配列された複数の走査線を更に備えることを特徴とする請求項 12 に記載のディスプレイパネル。

【請求項 14】

基板と、
前記基板上に設けられ、ゲートとソース・ドレインとの間にゲート絶縁膜が介在するトランジスタと、
前記トランジスタのゲートとともにパターンニングされ、前記基板上において所定の方向に延在するように配列された信号線と、
前記トランジスタのソース・ドレインとともにパターンニングされ、前記ゲート絶縁膜を介して前記信号線と交差するように配列され、前記トランジスタのソースとドレインのうち的一方に導通した供給線と、
前記供給線に沿って前記供給線に積層された給電配線と、
前記トランジスタのソースとドレインの他方に接続された発光素子と、
を備えることを特徴とするディスプレイパネル。

【書類名】明細書

【発明の名称】トランジスタアレイ基板及びディスプレイパネル

【技術分野】

【0001】

本発明は、トランジスタを備えたトランジスタアレイ基板及びトランジスタアレイ基板によって電流が流れることにより自発光する発光素子を用いたディスプレイパネルに関する。

【背景技術】

【0002】

有機エレクトロルミネッセンスディスプレイパネルは大きく分けてパッシブ駆動方式のものと、アクティブマトリクス駆動方式のものに分類することができるが、アクティブマトリクス駆動方式の有機エレクトロルミネッセンスディスプレイパネルが高コントラスト、高精細といった点でパッシブ駆動方式よりも優れている。例えば特許文献1に記載された従来のアクティブマトリクス駆動方式の有機エレクトロルミネッセンスディスプレイパネルにおいては、有機エレクトロルミネッセンス素子（以下、有機EL素子という。）と、画像データに応じた電圧信号がゲートに印加されて有機EL素子に電流を流す駆動トランジスタと、この駆動トランジスタのゲートに画像データに応じた電圧信号を供給するためのスイッチングを行うスイッチ用トランジスタとが、画素ごとに設けられている。この有機エレクトロルミネッセンスディスプレイパネルでは、走査線が選択されるとスイッチング用トランジスタがオンになり、その時に輝度を表すレベルの電圧が信号線を介して駆動トランジスタのゲートに印加される。これにより、駆動トランジスタがオンになり、ゲート電圧のレベルに応じた大きさの駆動電流が電源から駆動トランジスタのソースドレインを介して有機EL素子に流れ、有機EL素子が電流の大きさに応じた輝度で発光する。走査線の選択が終了してから次にその走査線が選択されるまでの間では、スイッチ用トランジスタがオフになっても駆動トランジスタのゲート電圧のレベルが保持され続け、有機EL素子が電圧に応じた駆動電流の大きさに従った輝度で発光する。

【0003】

有機エレクトロルミネッセンスディスプレイパネルを駆動するために、有機エレクトロルミネッセンスディスプレイパネルの周辺に駆動回路を設け、有機エレクトロルミネッセンスディスプレイパネルに敷設された走査線、信号線、電源線等に電圧を印加することが行われている。

【0004】

また、従来のアクティブマトリクス駆動方式の有機エレクトロルミネッセンスディスプレイパネルでは、電源線のような有機EL素子に電流を流す配線はスイッチ用トランジスタ、駆動トランジスタ等といった薄膜トランジスタの材料を用いて薄膜トランジスタのパターニング工程と同時にパターニングされる。即ち、有機エレクトロルミネッセンスディスプレイパネルを製造するにあたって、薄膜トランジスタの電極のもととなる導電性薄膜に対してフォトリソグラフィ法、エッチング法を行うことによって、その導電性薄膜から薄膜トランジスタの電極を形状加工するとともに、同時に電極に接続される配線も形状加工する。そのため、配線が導電性薄膜から形成されると、配線が薄膜トランジスタの電極の厚さと同じになる。

【特許文献1】特開平8-330600号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、薄膜トランジスタの電極は、トランジスタとして機能することを前提に設計されているため、言い換えれば発光素子に電流を流すことを前提として設計していないため、その名の通り薄膜であり、このため、配線から複数の発光素子に電流を流そうとすると、配線の電気抵抗によって、電圧降下が発生したり、配線を通じた電流の流れの遅延が生じたりする。電圧降下及び電流遅延を抑えるために配線を低抵抗化することが望ま

出証特2005-3063223

れるが、そのためにトランジスタのソース、ドレイン電極となる金属層やゲート電極となる金属層を厚くしたり、これら金属層を電流が十分に流れる程度にかなり幅広にパターンニングして低抵抗配線としたりすると、配線が他の配線や導電体等と平面視して重なる面積が増えてしまい、それらの間で寄生容量が発生してしまい、電流の流れを遅くする要因が発生してしまい、或いはトランジスタアレイ基板側からE L光を出射するいわゆるボトムエミッション構造の場合、E L素子からの発光を配線が遮光してしまうので、発光面積の割合である開口率の低下を招いてしまっていた。また低抵抗化するために薄膜トランジスタのゲート電極を厚くすると、ゲート電極の段差を平坦化するための平坦化膜（例えば薄膜トランジスタが逆スタガ構造の場合、ゲート絶縁膜に相当）まで厚くしなければならず、トランジスタ特性が大きく変化してしまう恐れがあり、またソース、ドレイン電極を厚くすると、ソース、ドレイン電極のエッチング精度が低下してしまうため、やはりトランジスタの特性に悪影響を及ぼす恐れがある。

【0006】

そこで、本発明は、電圧降下・信号遅延を抑え良好に発光素子を駆動することを目的とする。

【課題を解決するための手段】

【0007】

以上の課題を解決するために、本発明のトランジスタアレイ基板は、
基板と、

前記基板上にマトリクス状に配列され、ゲートとソース・ドレインとの間にゲート絶縁膜が介在する複数の駆動トランジスタと、

前記複数の駆動トランジスタのゲートとともにパターンニングされ、前記基板上において所定の方向に延在するように配列された複数の信号線と、

前記複数の駆動トランジスタのソース・ドレインとともにパターンニングされ、前記ゲート絶縁膜を介して前記複数の信号線と交差するように配列され、駆動トランジスタのソースとドレインのうち的一方に導通した複数の供給線と、

前記複数の供給線に沿って前記複数の供給線にそれぞれ積層された複数の給電配線と、
を備える。

【0008】

好ましくは、上記トランジスタアレイ基板が、前記複数の駆動トランジスタのソース・ドレインとともにパターンニングされ、前記ゲート絶縁膜を介して前記複数の供給線と交差するよう配列された複数の走査線を更に備える。

【0009】

好ましくは、上記トランジスタアレイ基板が、
前記基板上にマトリクス状に配列され、ゲートとソース・ドレインとの間に前記ゲート絶縁膜が介在する複数のスイッチトランジスタを更に備え、

前記複数の駆動トランジスタのソースとドレインのうち他方が前記複数のスイッチトランジスタのソースとドレインのうち的一方にそれぞれ導通し、

前記複数のスイッチトランジスタのゲートが、前記ゲート絶縁膜に形成されたコンタクトホールを介して前記走査線に導通し、

前記複数のスイッチトランジスタのソースとドレインのうち他方が、前記ゲート絶縁膜に形成されたコンタクトホールを介して前記信号線に導通している。

【0010】

好ましくは、上記トランジスタアレイ基板が、前記基板上にマトリクス状に配列され、ゲートとソース・ドレインとの間に前記ゲート絶縁膜が介在する複数の保持トランジスタを更に備え、

前記複数の保持トランジスタのソースとドレインのうち一方が、前記ゲート絶縁膜に形成されたコンタクトホールを介して前記複数の駆動トランジスタのゲートにそれぞれ導通し、

前記複数の保持トランジスタのソースとドレインのうち他方が前記供給線又は前記走

査線に導通し、

前記複数の保持トランジスタのゲートが前記ゲート絶縁膜に形成されたコンタクトホールを介して前記走査線に導通している。

【0011】

本発明のディスプレイパネルは、
基板と、

前記基板上にマトリクス状に配列され、ゲートとソース・ドレインとの間にゲート絶縁膜が介在する複数の駆動トランジスタと、

前記複数の駆動トランジスタのゲートとともにパターンングされ、前記基板上において所定の方向に延在するように配列された複数の信号線と、

前記複数の駆動トランジスタのソース・ドレインとともにパターンングされ、前記ゲート絶縁膜を介して前記複数の信号線と交差するように配列され、駆動トランジスタのソースとドレインのうち的一方に導通した複数の供給線と、

前記複数の供給線に沿って前記複数の供給線にそれぞれ積層された複数の給電配線と、
前記複数の駆動トランジスタのソースとドレインの他方にそれぞれ導通した複数の画素電極と、

前記複数の画素電極それぞれに成膜された複数の発光層と、

前記複数の発光層を被覆した対向電極と、

を備える。

【0012】

好ましくは、上記ディスプレイパネルが、前記複数のトランジスタのソース・ドレインとともにパターンングされ、前記ゲート絶縁膜を介して前記複数の供給線と交差するように配列された複数の走査線を更に備える。

【0013】

本発明の他のディスプレイパネルは、
基板と、

前記基板上に設けられ、ゲートとソース・ドレインとの間にゲート絶縁膜が介在するトランジスタと、

前記トランジスタのゲートとともにパターンングされ、前記基板上において所定の方向に延在するように配列された信号線と、

前記トランジスタのソース・ドレインとともにパターンングされ、前記ゲート絶縁膜を介して前記信号線と交差するように配列され、前記トランジスタのソースとドレインのうち的一方に導通した供給線と、

前記供給線に沿って前記供給線に積層された給電配線と、

前記トランジスタのソースとドレインの他方に接続された発光素子と、

を備えることを特徴とする。

【0014】

本発明によれば、信号線が駆動トランジスタ（トランジスタ）のゲートとともにパターンングされているが、給電配線が供給線に積層されているから、給電配線が駆動トランジスタのドレイン・ソース・ゲートとは別に形成される。そのため、給電配線の幅を広くせずとも給電配線を厚くすることができ、給電配線を低抵抗化することができる。そのため、給電配線を通じて駆動トランジスタ・画素電極に信号を出力した場合でも、電圧降下を抑えることができるとともに信号遅延も抑えることができる。

【0015】

また、供給線が信号線の上層となるから、トランジスタアレイ基板、ディスプレイパネルの製造過程において供給線に電圧を印加した状態でメッキ液に浸漬することによって、供給線に積層された給電配線を成長させることができる。

【発明の効果】

【0016】

本発明によれば、給電配線を厚くすることができるので、給電配線の低抵抗化すること

ができる。給電配線の低抵抗化によって信号遅延、電圧降下を抑えることができる。

【発明を実施するための最良の形態】

【0017】

以下に、本発明を実施するための最良の形態について図面を用いて説明する。但し、以下に述べる実施形態には、本発明を実施するために技術的に好ましい種々の限定が付されているが、発明の範囲を以下の実施形態及び図示例に限定するものではない。また、以下の説明において、エレクトロルミネッセンス (Electro Luminescence) という用語をELと省略する。

【0018】

[ELディスプレイパネルの全体構成]

図1には、アクティブマトリクス駆動方式のELディスプレイパネル1の概略図が示されている。図1に示すように、ELディスプレイパネル1は、光透過性を有する可撓性のシート状又は剛性の板状の絶縁基板2と、互いに平行となるよう絶縁基板2上に配列された n 本(複数本)の信号線 $Y_1 \sim Y_n$ と、絶縁基板2を平面視して信号線 $Y_1 \sim Y_n$ に対して直交するよう絶縁基板2上に配列された m 本(複数本)の走査線 $X_1 \sim X_m$ と、走査線 $X_1 \sim X_m$ のそれぞれの間において走査線 $X_1 \sim X_m$ と平行且つ互い違いとなるよう絶縁基板2上に配列された m 本(複数本)の供給線 $Z_1 \sim Z_m$ と、信号線 $Y_1 \sim Y_n$ 及び走査線 $X_1 \sim X_m$ に沿ってマトリクス状となるよう絶縁基板2上に配列された($m \times n$)群の画素回路 $P_{1,1} \sim P_{m,n}$ と、平面視して供給線 $Z_1 \sim Z_m$ に対して平行となるよう設けられた複数の給電配線 $90, 90, \dots$ と、平面視して信号線 $Y_1 \sim Y_n$ に対して平行方向に設けられた共通配線 $91, 91, \dots$ と、を備える。

【0019】

以下では、信号線 $Y_1 \sim Y_n$ の延在した方向を垂直方向(列方向)といい、走査線 $X_1 \sim X_m$ の延在した方向を水平方向(行方向)という。また、 m, n は2以上の自然数であり、走査線 X に下付けした数字は図1において上からの配列順を表し、供給線 Z に下付けした数字は図1において上からの配列順を表し、信号線 Y に下付けした数字は図1において左からの配列順を表し、画素回路 P に下付けした数字の前側が上からの配列順を表し、後ろ側が左からの配列順を表す。すなわち、 $1 \sim m$ のうちの任意の自然数を i とし、 1 から n のうちの任意の自然数を j とした場合に、走査線 X_i は上から i 行目であり、供給線 Z_i は左から i 行目であり、信号線 Y_j は左から j 列目であり、画素回路 $P_{i,j}$ は上から i 行目、左から j 列目であり、画素回路 $P_{i,j}$ は走査線 X_i 、供給線 Z_i 及び信号線 Y_j に接続されている。

【0020】

給電配線 $90, 90, \dots$ の総数は m 本であり、各給電配線 90 は、絶縁基板2の左側の端子 $90b$ と右側の端子 $90c$ の両側から、後述する書込電流を流す電圧 V_L 及び駆動電流を流す電圧 V_H が印加されるので、左側の端子 $90b$ と右側の端子 $90c$ のいずれか一方のみから電圧 V_L 及び電圧 V_H を印加するよりも給電配線 90 の電圧降下を低く抑えることができる。各給電配線 $90, 90, \dots$ は、各供給線 $Z_1 \sim Z_m$ の上面に各供給線 $Z_1 \sim Z_m$ と電氣的に接続するように形成されている。

【0021】

共通配線 $91, 91, \dots$ の総数は、 $n+1$ 本であり、行方向に隣接する共通配線 $91, 91$ はそれらの間に介在する有機EL素子(発光素子)20の有機EL層20bを成膜時に仕切る隔壁としても機能している。共通配線 $91, 91, \dots$ は前側で引き回し配線 $91a$ と接続され、後ろ側で引き回し配線 $91b$ と接続されており、引き回し配線 $91a, 91b$ は共通配線 $91, 91, \dots$ と同じ膜厚であり、前後方向に有機EL層20bを成膜時に仕切る隔壁としても機能している。共通配線 $91, 91, \dots$ は配線端子 $91c$ によって外部と接続され、コモン電位 V_{com} が印加されている。

【0022】

このELディスプレイパネル1においては、走査線 $X_1 \sim X_m$ と信号線 $Y_1 \sim Y_n$ とでマトリクス状に区画されたそれぞれの領域が画素を構成し、画素回路 $P_{1,1} \sim P_{m,n}$ が1つの領

域につき 1 群だけ設けられている。

【0023】

〔画素回路の回路構成〕

何れの画素回路 $P_{1,1} \sim P_{m,n}$ も同一に構成されているので、画素回路 $P_{1,1} \sim$ 画素回路 $P_{m,n}$ のうち任意の画素回路 $P_{i,j}$ について説明する。図 2 は画素回路 $P_{i,j}$ の等価回路図であり、図 3、図 4 は主に画素回路 $P_{i,j}$ の電極を示した平面図である。なお、図面を見やすくするために、図 3 においては画素回路 $P_{i,j}$ の画素電極 20a の図示を省略し、図 4 においては画素回路 $P_{i,j}$ の下層側の電極の図示を省略する。

【0024】

画素回路 $P_{i,j}$ は、画素としての有機 EL 素子 20 と、有機 EL 素子 20 の周囲に配置された三つの N チャンネル型のアモルファスシリコン薄膜トランジスタ（以下単にトランジスタと記述する。）21、22、23 と、キャパシタ 24 と、を備える。以下では、トランジスタ 21 をスイッチトランジスタ 21 と、トランジスタ 22 を保持トランジスタ 22 と、トランジスタ 23 を駆動トランジスタ 23 と称する。

【0025】

図 2 に示すように、画素回路 $P_{i,j}$ では、スイッチトランジスタ 21 においては、ソース 21s が信号線 Y_j に導通し、ドレイン 21d が有機 EL 素子 20 の画素電極 20a、駆動トランジスタ 23 のソース 23s 及びキャパシタ 24 の上層電極 24B に導通し、ゲート 21g が保持トランジスタ 22 のゲート 22g 及び走査線 X_i に導通している。

【0026】

保持トランジスタ 22 においては、ソース 22s が駆動トランジスタ 23 のゲート 23g 及びキャパシタ 24 の下層電極 24A に導通し、ドレイン 22d が駆動トランジスタ 23 のドレイン 23d 及び供給線 Z_i に導通し、ゲート 22g がスイッチトランジスタ 21 のゲート 21g 及び走査線 X_i に導通している。

【0027】

駆動トランジスタ 23 においては、ソース 23s が有機 EL 素子 20 の画素電極 20a、スイッチトランジスタ 21 のドレイン 21d 及びキャパシタ 24 の電極 24B に導通し、ドレイン 23d が保持トランジスタ 22 のドレイン 22d 及び供給線 Z_i に導通し、ゲート 23g が保持トランジスタ 22 のソース 22s 及びキャパシタ 24 の下層電極 24A に導通している。

【0028】

〔平面レイアウト〕

図 1～図 4 に示すように、EL ディスプレイパネル 1 全体を平面視した場合、走査線 $X_1 \sim X_m$ と供給線 $Z_1 \sim Z_m$ は交互に配列され、給電配線 90、90、…が供給線 $Z_1 \sim Z_m$ にそれぞれ重なっている。また、信号線 $Y_1 \sim Y_n$ と共通配線 91、91、…は交互に配列されている。

【0029】

図 3～図 4 に示すように、画素回路 $P_{1,1} \sim P_{m,n}$ のうち任意の画素回路 $P_{i,j}$ に着目した場合、平面視して、信号線 Y_j と共通配線 91 との間であって、走査線 X_i と供給線 Z_i との間には、これらによって囲繞された矩形領域が形成されるが、この矩形領域内に有機 EL 素子 20 の画素電極 20a が配置されている。従って、EL ディスプレイパネル 1 全体を平面視した場合、複数の画素電極 20a がマトリクス状に配列されている。なお、画素電極 20a は、平面視した場合に垂直方向に長尺な矩形状に設けられている。

【0030】

平面視して、スイッチトランジスタ 21 が信号線 Y_j に沿うように配置され、そのスイッチトランジスタ 21 が画素電極 20a の縁部に重なっている。

【0031】

また、平面視して、保持トランジスタ 22 が走査線 X_i に沿うように配置され、その保持トランジスタ 22 が画素電極 20a の縁部に重なっている。

【0032】

また、平面視して、駆動トランジスタ 23 が共通配線 91 に重なるよう配置されている。

【0033】

また、平面視して、キャパシタ 24 は共通配線 91、供給線 Z_i 及び信号線 Y_j に沿うように画素電極 20a の縁部に重なっている。

【0034】

なお、ELディスプレイパネル 1 全体を平面視して画素回路 $P_{1,1} \sim P_{m,n}$ のスイッチトランジスタ 21 だけに着目すると、複数のスイッチトランジスタ 21 が絶縁基板 2 上にマトリクス状に配列され、平面視して画素回路 $P_{1,1} \sim P_{m,n}$ の保持トランジスタ 22 だけに着目すると、複数の保持トランジスタ 22 が絶縁基板 2 上にマトリクス状に配列され、平面視して画素回路 $P_{1,1} \sim P_{m,n}$ の駆動トランジスタ 23 だけに着目すると、複数の駆動トランジスタ 23 が絶縁基板 2 上にマトリクス状に配列されている。

【0035】

[ELディスプレイパネルの層構造]

ELディスプレイパネル 1 の層構造について説明する。まず、トランジスタ 21～23 の層構造について図 5～図 8 を用いて説明する。ここで、図 5 は、図 3 に示された V-V 線に沿って絶縁基板 2 の厚さ方向に切断した矢視断面図であり、図 6 は、図 3 に示された VI-VI 線に沿って絶縁基板 2 の厚さ方向に切断した矢視断面図であり、図 7 は、図 3 に示された VII-VII 線に沿って絶縁基板 2 の厚さ方向に切断した矢視断面図であり、図 8 は、図 3 に示された VIII-VIII 線に沿って絶縁基板 2 の厚さ方向に切断した矢視断面図である。なお、図 5～図 7 では、画素回路 $P_{i,j}$ の隣の画素回路 $P_{i,j-1}$ も一部示されている。

【0036】

図 5 に示すように、スイッチトランジスタ 21 は、絶縁基板 2 上に形成されたゲート 21g と、ゲート 21g 上に形成されたゲート絶縁膜 31 と、ゲート絶縁膜 31 を挟んでゲート 21g に対向した半導体膜 21c と、半導体膜 21c の中央部上に形成されたチャンネル保護膜 21p と、半導体膜 21c の両端部上において互いに離間するよう形成され、チャンネル保護膜 21p に一部重なった不純物半導体膜 21a、21b と、不純物半導体膜 21a 上に形成されたドレイン 21d と、不純物半導体膜 21b 上に形成されたソース 21s と、から構成されている。なお、ドレイン 21d 及びソース 21s は一層構造であっても良いし、二層以上の積層構造であっても良い。

【0037】

図 8 に示すように、保持トランジスタ 22 は、絶縁基板 2 上に形成されたゲート 22g と、ゲート 22g 上に形成されたゲート絶縁膜 31 と、ゲート絶縁膜 31 を挟んでゲート 22g に対向した半導体膜 22c と、半導体膜 22c の中央部上に形成されたチャンネル保護膜 22p と、半導体膜 22c の両端部上において互いに離間するよう形成され、チャンネル保護膜 22p に一部重なった不純物半導体膜 22a、22b と、不純物半導体膜 22a 上に形成されたドレイン 22d と、不純物半導体膜 22b 上に形成されたソース 22s と、から構成されている。なお、ドレイン 22d 及びソース 22s は一層構造であっても良いし、二層以上の積層構造であっても良い。

【0038】

図 5 に示すように、駆動トランジスタ 23 は、絶縁基板 2 上に形成されたゲート 23g と、ゲート 23g 上に形成されたゲート絶縁膜 31 と、ゲート絶縁膜 31 を挟んでゲート 23g に対向した半導体膜 23c と、半導体膜 23c の中央部上に形成されたチャンネル保護膜 23p と、半導体膜 23c の両端部上において互いに離間するよう形成され、チャンネル保護膜 23p に一部重なった不純物半導体膜 23a、23b と、不純物半導体膜 23b 上に形成されたドレイン 23d と、不純物半導体膜 23a 上に形成されたソース 23s と、から構成されている。平面視した場合、駆動トランジスタ 23 のソース 23s がコ字状に設けられていることで、駆動トランジスタ 23 のチャンネル幅が広がっている。なお、トランジスタ 21～23 の各ドレイン 21d～23d 及びソース 21s～23s は同じ材料層をパターンニングして形成されている。

【0039】

次に、キャパシタ 24 の層構造について説明する。図 5、図 8 に示すように、キャパシタ 24 は、絶縁基板 2 上に形成された下層電極 24 A と、下層電極 24 A 上に形成されたゲート絶縁膜 31 と、ゲート絶縁膜 31 を挟んで上層電極 24 A に対向した電極 24 B と、から構成されている。

【0040】

次に、トランジスタ 21～23 及びキャパシタ 24 の各層と信号線 $Y_1 \sim Y_n$ 、走査線 $X_1 \sim X_m$ 及び供給線 $Z_1 \sim Z_m$ との関係について図 5～図 11 を用いて説明する。図 9～図 11 はトランジスタ 21～23 等の電極の平面図である。

【0041】

図 5～図 8、図 9 に示すように、画素回路 $P_{1,1} \sim P_{m,n}$ のスイッチトランジスタ 21 のゲート 21 g、保持トランジスタ 22 のゲート 22 g、駆動トランジスタ 23 のゲート 23 g 及びキャパシタ 24 の下層電極 24 A 並びに信号線 $Y_1 \sim Y_n$ は、絶縁基板 2 上にべた一面に成膜された同じ導電性膜をフォトリソグラフィ法・エッチング法によってパターンニングしたものである。以下では、スイッチトランジスタ 21 のゲート 21 g、保持トランジスタ 22 のゲート 22 g、駆動トランジスタ 23 のゲート 23 g 及びキャパシタ 24 の電極 24 A 並びに信号線 $Y_1 \sim Y_n$ の元となる導電性膜をゲートレイヤーという。ここで、図 9 は、ゲートレイヤーをパターンニングした状態の平面図を示す。

【0042】

図 5～図 8 に示すように、ゲート絶縁膜 31 は、画素回路 $P_{1,1} \sim P_{m,n}$ のスイッチトランジスタ 21、保持トランジスタ 22 駆動トランジスタ 23 及びキャパシタ 24 全てに共通した膜であり、面内にべた一面に成膜されている。従って、ゲート絶縁膜 31 は、スイッチトランジスタ 21 のゲート 21 g、保持トランジスタ 22 のゲート 22 g、駆動トランジスタ 23 のゲート 23 g 及びキャパシタ 24 の電極 24 A 並びに信号線 $Y_1 \sim Y_n$ を被覆している。

【0043】

図 5～図 8、図 10 に示すように、画素回路 $P_{1,1} \sim P_{m,n}$ のスイッチトランジスタ 21 のドレイン 21 d・ソース 21 s、保持トランジスタ 22 のドレイン 22 d・ソース 22 s、駆動トランジスタ 23 のドレイン 23 d・ソース 23 s 及びキャパシタ 24 の電極 24 B 並びに走査線 $X_1 \sim X_m$ 及び供給線 $Z_1 \sim Z_m$ は、ゲート絶縁膜 31 上にべた一面に成膜された同じ導電性膜をフォトリソグラフィ法・エッチング法によってパターンニングしたものである。以下では、スイッチトランジスタ 21 のドレイン 21 d・ソース 21 s、保持トランジスタ 22 のドレイン 22 d・ソース 22 s、駆動トランジスタ 23 のドレイン 23 d・ソース 23 s 及びキャパシタ 24 の電極 24 B 並びに走査線 $X_1 \sim X_m$ 及び供給線 $Z_1 \sim Z_m$ の元となる導電性膜をドレインレイヤーという。

【0044】

ここで、図 10 は、ドレインレイヤーをパターンニングした状態の平面図を示す。そして、図 11 は、パターンニングしたゲートレイヤーにパターンニングしたドレインレイヤーを重ねた状態の平面図を示す。

【0045】

図 3、図 7、図 9、図 10 に示すように、走査線 X_i は、ゲート絶縁膜 31 に形成されたコンタクトホール 92 を介してスイッチトランジスタ 21 のゲート 21 g 及び保持トランジスタ 22 のゲート 22 g に導通し、信号線 Y_j は、ゲート絶縁膜 31 に形成されたコンタクトホール 94 を介してスイッチトランジスタ 21 のソース 21 s に導通し、保持トランジスタ 22 のソース 22 s は、ゲート絶縁膜 31 に形成されたコンタクトホール 93 を介して駆動トランジスタ 23 のゲート 23 g に導通している。

【0046】

図 5～図 8 に示すように、スイッチトランジスタ 21、保持トランジスタ 22 及び駆動トランジスタ 23 並びに走査線 $X_1 \sim X_m$ 及び供給線 $Z_1 \sim Z_m$ は、べた一面に成膜された保護絶縁膜 32 によって被覆されている。なお、詳細には、後述するが、保護絶縁膜 32 は

、供給線 $Z_1 \sim Z_m$ に重なる箇所では短冊状に分断されている。

【0047】

保護絶縁膜32には平坦化膜33が積層されており、スイッチトランジスタ21、保持トランジスタ22及び駆動トランジスタ23並びに走査線 $X_1 \sim X_m$ 及び供給線 $Z_1 \sim Z_m$ による凹凸が平坦化膜33によって解消されている。つまり、平坦化膜33の表面が平坦となっている。平坦化膜33は、樹脂を硬化させたものである。なお、詳細には、後述するが、平坦化膜33は、保護絶縁膜32とともに供給線 $Z_1 \sim Z_m$ に重なる箇所では矩形状に分断されている。

【0048】

なお、このELディスプレイパネル1をボトムエミッション型として用いる場合、すなわち、絶縁基板2を表示面として用いる場合には、ゲート絶縁膜31、保護絶縁膜32及び平坦化膜33には透明な材料を用いる。

【0049】

保護絶縁膜32及び平坦化膜33には、供給線 $Z_1 \sim Z_m$ に沿って水平方向に延在する長尺な複数の溝34（図8に図示）が供給線 $Z_1 \sim Z_m$ にそれぞれ重なるよう形成され、保護絶縁膜32及び平坦化膜33は垂直方向に隣接する溝34、34によって水平方向に延在する矩形状として分断されている。溝34には給電配線90がそれぞれ埋められており、溝34内において給電配線90が供給線 $Z_1 \sim Z_m$ に電氣的に接続するようにそれぞれ積層されている。給電配線90は、メッキ法により形成されたものである。信号線 $Y_1 \sim Y_n$ 、走査線 $X_1 \sim X_m$ 及び供給線 $Z_1 \sim Z_m$ 並びにトランジスタ21～23のゲート電極やソース、ドレイン電極よりも十分に厚い。具体的には、給電配線90の厚さは、保護絶縁膜32と平坦化膜33の厚さの総計とほぼ等しい。給電配線90は、金若しくはニッケル又はこれらの積層体からなる。

【0050】

絶縁基板2から平坦化膜33までの積層構造をトランジスタアレイ基板50という。このトランジスタアレイ基板50においては、平面視して、スイッチトランジスタ21、保持トランジスタ22及び駆動トランジスタ23がマトリクス状に配列されている。

【0051】

次に、トランジスタアレイ基板50の表面に積層された層構造について説明する。トランジスタアレイ基板50の表面上、即ち、平坦化膜33の表面上には、複数の画素電極20aがマトリクス状に配列されている。また、平坦化膜33及び保護絶縁膜32には、複数のコンタクトホール95が画素電極20a及びキャパシタ24の電極24Bの一部に重なるよう形成され、これらコンタクトホール95に導電性パッドが埋められている。従って、画素電極20aは、平坦化膜33及び保護絶縁膜32に形成されたコンタクトホール95を介してキャパシタ24の電極24B、スイッチトランジスタ21のドレイン21d及び駆動トランジスタ23のソース23sに導通している。なお、コンタクトホール95内の導電性パッドは、メッキ法により形成されたものである。

【0052】

画素電極20aは、有機EL素子20のアノードとして機能する電極である。即ち、画素電極20aの仕事関数が比較的高く、後述する有機EL層20bへ正孔を効率よく注入するものが好ましい。また、画素電極20aは、ボトムエミッション構造の場合、可視光に対して透過性を有している。画素電極20aとしては、例えば、錫ドープ酸化インジウム（ITO）、亜鉛ドープ酸化インジウム、酸化インジウム（ In_2O_3 ）、酸化スズ（ SnO_2 ）、酸化亜鉛（ ZnO ）又はカドミウム-錫酸化物（CTO）を主成分としたものがある。

【0053】

なお、このELディスプレイパネル1をトップエミッション型として用いる場合、すなわち、絶縁基板2の反対側を表示面として用いる場合には、画素電極20aと平坦化膜33との間に、導電性且つ可視光反射性の高い反射膜を成膜すると良い。

【0054】

これら画素電極 20 a は、平坦化膜 33 上にべた一面に成膜された導電性膜（ボトムエミッションの場合、透明導電性膜）をフォトリソグラフィ法・エッチング法によってパターンニングしたものである。垂直方向に隣り合う画素電極 20 a の間の給電配線 90 上には、給電配線 90 に沿って給電配線 90 と電氣的に接続している導電性ライン 51 が画素電極 20 a の一列おきにパターンニングされているが、導電性ライン 51 は、画素電極 20 a の元となる導電性膜をエッチングすることによって画素電極 20 a とともにパターンニングされたものである。各導電性ライン 51 の幅は下方の給電配線 90 の幅より広いため給電配線 90 が露出しないように給電配線 90 をそれぞれ被覆し、給電配線 90 を導電性ライン 51 のエッチャント等から保護している。

【0055】

これら画素電極 20 a の間には、窒化シリコン等からなるメッシュ状の絶縁膜 52 がパターンニングされている。具体的には、絶縁膜 52 は、導電性ライン 51 が露出されないように導電性ライン 51 を覆うように行方向に延在し、そして後述する共通配線 91 の下地層として列方向に延在する格子状に形成されている。水平方向に隣り合う画素電極 20 a、20 a 間の絶縁膜 52 の上には、列方向に沿って共通配線 91 がそれぞれ積層されている。

【0056】

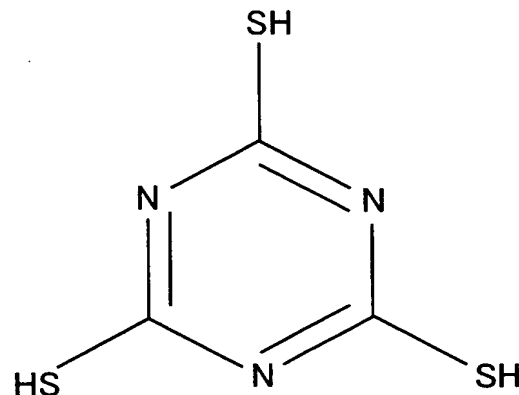
共通配線 91 は、メッキ法により形成されたものであるので、信号線 $Y_1 \sim Y_n$ 、走査線 $X_1 \sim X_m$ 及び供給線 $Z_1 \sim Z_m$ 並びにトランジスタ 21 ~ 23 のゲート電極やソース、ドレイン電極よりも十分に厚い。共通配線 91 は銅、アルミニウム、金、ニッケルのうちの少なくともいずれかを含む。

【0057】

共通配線 91 の表面には、撥水性・撥油性を有した撥液性導電膜 55 が成膜されている。撥液性導電膜 55 は、次の化学式 (1) に示されたトリアジルトリチオールのチオール基 (-SH) の水素原子 (H) が還元離脱し、硫黄原子 (S) が共通配線 91 の表面に酸化吸着したものである。

【0058】

【化1】



【0059】

撥液性導電膜 55 はトリアジルトリチオール分子が共通配線 91 の表面に規則正しく並んだ分子一層からなる膜であるから、撥液性導電膜 55 が非常に低抵抗であって導電性を有する。なお、撥水性・撥油性を顕著にするためにトリアジルトリチオールに代えて、トリアジルトリチオールの 1 又は 2 のチオール基がフッ化アルキル基に置換されたものでも良い。

【0060】

画素電極 20 a 上には、有機 EL 素子 20 の有機 EL 層 20 b が成膜されている。有機 EL 層 20 b は広義の発光層であり、有機 EL 層 20 b には、有機化合物である発光材料（蛍光体）が含有されている。有機 EL 層 20 b は、画素電極 20 a から順に正孔輸送層

、狭義の発光層の順に積層した二層構造である。正孔輸送層は、導電性高分子である PEDOT (ポリチオフェン) 及びドーパントである PSS (ポリスチレンスルホン酸) からなり、狭義の発光層は、ポリフルオレン系発光材料からなる。

【0061】

有機EL層20bは、撥液性導電膜55のコーティング後に湿式塗布法(例えば、インクジェット法)によって成膜される。この場合、画素電極20aに有機EL層20bとなる有機化合物を含有する有機化合物含有液を塗布するが、この有機化合物含有液の液面は、絶縁膜52の頭頂部よりも高い。水平方向に隣り合う画素電極20a間に頭頂部が絶縁膜52の頭頂部よりも十分高い厚膜の共通配線91が設けられているから、画素電極20aに塗布された有機化合物含有液が水平方向に隣り合う画素電極20aに漏れることがないように堰き止めている。また、共通配線91には撥水性・撥油性の撥液性導電膜55がコーティングされているから、画素電極20aに塗布された有機化合物含有液をはじくので、画素電極20aに塗布された有機化合物含有液が画素電極20aの中央に対して絶縁ライン52の角部付近で極端に厚く堆積されなくなるので、有機化合物含有液が乾燥してなる有機EL層20bを均一な膜厚で成膜することができる。

このように共通配線91、91間に有機EL層20bを成膜することによって、図12に示すように、赤色に発光する有機EL層20bが成膜された領域R、緑色に発光する有機EL層20bが成膜された領域G、青色に発光する有機EL層20bが成膜された領域Bがこの順に配列したストライプ構造を構成し、同列の複数の画素は同色に発光する。

【0062】

平面視した場合、塗布された有機化合物含有液は、水平方向の左右側をそれぞれ共通配線91、91のいずれかに仕切られているため垂直方向に各列毎に一様に分布するので、垂直方向に配列された複数の有機EL層20bは何れも同じ層構造であり、同じ色に発光する。なお、画素電極20a及び有機EL層20bは垂直方向に沿って帯状に長尺でなくとも良く、水平方向に長尺であってもよい。

【0063】

なお、有機EL層20bは、二層構造の他に、画素電極20aから順に正孔輸送層、狭義の発光層、電子輸送層となる三層構造であっても良いし、狭義の発光層からなる一層構造であっても良いし、これらの層構造において適切な層間に電子或いは正孔の注入層が介在した積層構造であっても良いし、その他の積層構造であっても良い。

【0064】

有機EL層20b上には、有機EL素子20のカソードとして機能する対向電極20cが成膜されている。対向電極20cは、全ての画素に共通して形成された共通電極であり、べた一面に成膜されている。対向電極20cがべた一面に成膜されることで、対向電極20cが撥液性導電膜55を挟んで共通配線91を被覆している。そのため、図2の回路図に示すように、対向電極20cは共通配線91に対して導通している。

【0065】

対向電極20cは、画素電極20aよりも仕事関数の低い材料で形成されており、例えば、マグネシウム、カルシウム、リチウム、バリウム、インジウム、希土類金属の少なくとも一種を含む単体又は合金で形成されていることが好ましい。また、対向電極20cは、上記各種材料の層が積層された積層構造となっても良いし、以上の各種材料の層に加えてシート抵抗を低くするために酸化されにくい金属層が堆積した積層構造となっても良く、具体的には、有機EL層20bと接する界面側に設けられた低仕事関数の高純度のバリウム層と、バリウム層を被覆するように設けられたアルミニウム層との積層構造や、下層にリチウム層、上層にアルミニウム層が設けられた積層構造が挙げられる。またトップエミッション構造の場合、対向電極20cを上述のような低仕事関数の薄膜とその上にITO等の透明導電膜を積層した透明電極としてもよい。

【0066】

対向電極20c上には、封止絶縁膜56が成膜されている。封止絶縁膜56は対向電極20c全体を被覆し、対向電極20cの劣化を防止するために設けられている無機膜又は

有機膜である。

【0067】

なお、従来、トップエミッション型構造のELディスプレイパネルは、対向電極20cの少なくとも一部を金属酸化物のように抵抗値が高い透明電極を用いることになるが、このような材料は十分に厚くしなければシート抵抗が十分に低くならないので、厚くすることによって必然的に有機EL素子の透過率が下がってしまい、大画面になるほど面内で均一の電位になりにくく表示特性が低くなってしまっていた。

しかしながら、本実施形態では、垂直方向に十分な厚さのために低抵抗な複数の共通配線91, 91, …を設けているので、対向電極20cと合わせて有機EL素子20, 20, …のカソード電極全体のシート抵抗値を下げ、十分且つ面内で均一に大電流を流すことが可能となる。さらにこのような構造では、共通配線91, 91, …がカソード電極としてのシート抵抗を下げているので、対向電極20cを薄膜にして透過率を向上したりすることが可能である。なおトップエミッション構造では、画素電極20aを反射性の材料としてもよい。

【0068】

[トランジスタアレイ基板及びELディスプレイパネルの製造方法]

トランジスタアレイ基板50及びELディスプレイパネル1の製造方法について説明する。

【0069】

CVD、PVD、スパッタリングといった気相成長法によってゲートレイヤーを絶縁基板2上にべた一面に成膜する。次に、そのゲートレイヤーに対してフォトリソグラフィ法・エッチング法を順に施すことによって、各画素回路 $P_{1,1} \sim P_{m,n}$ のゲート21g、ゲート22g、ゲート23g及び電極24A並びに信号線 $Y_1 \sim Y_n$ をパターンニングする。

【0070】

次に、気相成長法によってゲート絶縁膜31をべた一面に成膜する。次に、各画素回路 $P_{1,1} \sim P_{m,n}$ のコンタクトホール92～94をフォトリソグラフィ法・エッチング法等によりゲート絶縁膜31に形成する。

【0071】

次に、気相成長法・フォトリソグラフィ法・エッチング法を順に施すことによって各画素回路 $P_{1,1} \sim P_{m,n}$ の半導体膜21c, 22c, 23cをパターンニングする。次に、気相成長法・フォトリソグラフィ法・エッチング法を順に施すことによって各画素回路 $P_{1,1} \sim P_{m,n}$ のチャネル保護膜21p, 22p, 23pをパターンニングする。次に、気相成長法・フォトリソグラフィ法・エッチング法を順に施すことによって各画素回路 $P_{1,1} \sim P_{m,n}$ の不純物半導体膜21a, 22a, 23a及び不純物半導体膜21b, 22b, 23bをパターンニングする。

【0072】

次に、気相成長法によってドレインレイヤーをゲート絶縁膜31上にべた一面に成膜する。これにより、各画素回路 $P_{1,1} \sim P_{m,n}$ のコンタクトホール92～94には、ドレインレイヤーの一部が埋まる。

【0073】

次に、そのドレインレイヤーに対してフォトリソグラフィ法・エッチング法を順に施すことによって、各画素回路 $P_{1,1} \sim P_{m,n}$ のドレイン21d, 22d, 23d、ソース21s, 22s, 23s及び電極24B並びに走査線 $X_1 \sim X_m$ 及び供給線 $Z_1 \sim Z_m$ をパターンニングする。

【0074】

次に、気相成長法によって保護絶縁膜32をべた一面に成膜する。次に、保護絶縁膜32全体に樹脂を塗布し、その樹脂を乾燥させることで、平坦化膜33をべた一面に成膜する。

【0075】

次に、各画素回路 $P_{1,1} \sim P_{m,n}$ のコンタクトホール95を保護絶縁膜32及び平坦化膜

33に形成するとともに、保護絶縁膜32及び平坦化膜33の各供給線 $Z_1 \sim Z_m$ に重なる位置において溝34をそれぞれ形成する。

【0076】

次に、供給線 $Z_1 \sim Z_m$ 及び電極23Bに電圧を印加してメッキ法を行うことによって、溝34に給電配線90を成長させるとともに、コンタクトホール95に導電性パッドを成長させる。これにより、溝34内において各供給線 $Z_1 \sim Z_m$ に給電配線90が積層され、コンタクトホール95内において電極23Bに導電性パッドが積層される。

【0077】

以上によってトランジスタアレイ基板50が完成する。

【0078】

次に、気相成長法によって透明導電性膜をトランジスタアレイ基板50の表面べた一面に成膜する。次に、その透明導電性膜に対してフォトリソグラフィ法・エッチング法を順に施すことによって、各画素回路 $P_{1,1} \sim P_{m,n}$ の画素電極20a及び導電性ライン51をパターンニングする。

【0079】

次に、気相成長法によって絶縁膜をべた一面に成膜する。次に、水平方向に隣り合う画素電極20aの間であってその絶縁膜の上に共通配線91をメッキ法によって成長させる。

【0080】

次に、表面全体にトリアジルトリチオール溶液を塗布することによって、或いは、このパネルをトリアジルトリチオール溶液に浸漬することによって、共通配線91の表面に対して選択的に撥液性導電膜55を形成する。なお、トリアジルトリチオールの性質により、共通配線91の表面には撥液性導電膜55が形成されるが、絶縁膜の表面には撥液性導電膜が形成されない。

【0081】

次に、絶縁膜に対してフォトリソグラフィ法・エッチング法を順次行うことで、その絶縁膜をマトリクス状に開口された絶縁膜52にパターンニングする。これにより、画素電極20aが露出される。

【0082】

次に、湿式塗布法によって有機EL層20bをパターンニングする。水平方向に隣り合う画素電極20a間に厚膜の共通配線91が設けられているから、更には共通配線91には撥水性・撥油性の撥液性導電膜55がコーティングされているから、画素電極20aに塗布された有機化合物含有液が隣の画素電極20aに漏れることがない。更に、撥液性導電膜55の撥水性・撥油性によって、画素電極20aに塗布された有機化合物含有液が画素電極20aの周囲で厚くならないので、有機EL層20bを均一な膜厚で成膜することができる。

【0083】

次に、気相成長法によって対向電極20cをべた一面に成膜する。次に、気相成長法によって封止絶縁膜56をべた一面に成膜する。

【0084】

以上によりELディスプレイパネル1が完成する。

【0085】

[ELディスプレイパネルの駆動方法]

ELディスプレイパネル1をアクティブマトリクス方式で駆動するには、次のようになる。すなわち、図13に示すように、走査線 $X_1 \sim X_m$ に接続された選択ドライバによって、走査線 X_1 から走査線 X_m への順（走査線 X_m の次は走査線 X_1 ）にハイレベルのシフトパルスを順次出力することにより走査線 $X_1 \sim X_m$ を順次選択する。また、選択期間に各給電配線90を介して供給線 $Z_1 \sim Z_m$ にそれぞれ接続された駆動トランジスタ23に書込電流を流すための書込給電電圧VLを印加し、発光期間に駆動トランジスタ23を介して有機EL素子20に駆動電流を流すための駆動給電電圧VHを印加する給電ドライバが各給電

配線 90 に接続されている。この給電ドライバによって、選択ドライバと同期するよう、供給線 Z_1 から供給線 Z_m への順（供給線 Z_m の次は供給線 Z_1 ）にローレベル（有機 EL 素子 20 の対向電極の電圧より低レベル）の書込給電電圧 VL を順次出力することにより供給線 $Z_1 \sim Z_m$ を順次選択する。また、選択ドライバが各走査線 $X_1 \sim X_m$ を選択している時に、データドライバが書込電流である書込電流（電流信号）を所定の行の駆動トランジスタ 23 のソースドレイン間を介して全信号線 $Y_1 \sim Y_n$ に流す。このとき供給線 $Z_1 \sim Z_m$ に接続された給電配線 90 にも給電ドライバによって配線端子 90b、90c の両方からローレベルの書込給電電圧 VL が出力される。なお、対向電極 20c 及び共通配線 91 は配線端子 91c によって外部と接続され、一定のコモン電位 V_{com} （例えば、接地 = 0 ボルト）に保たれている。

【0086】

走査線 X_i の選択期間においては、 i 行目の走査線 X_i にハイレベルのシフトパルスが出力されているから、スイッチトランジスタ 21 及び保持トランジスタ 22 がオン状態となる。各選択期間において、データドライバ側の電位は、給電配線 90、90、…及び供給線 $Z_1 \sim Z_m$ に出力された書込給電電圧 VL 以下で且つこの書込給電電圧 VL はコモン電位 V_{com} 以下に設定されている。したがってこの時、有機 EL 素子 20 から信号線 $Y_1 \sim Y_n$ に流れることはないので図 2 に示すように、データドライバによって階調に応じた電流値の書込電流（書込電流）が矢印 A の通り、信号線 $Y_1 \sim Y_n$ に流れ、画素回路 $P_{i,j}$ においては給電配線 90 及び供給線 Z_i から駆動トランジスタ 23 のソースドレイン間、スイッチトランジスタ 21 のソースドレイン間を介して信号線 Y_j に向かった書込電流（書込電流）が流れる。このように駆動トランジスタ 23 のソースドレイン間を流れる電流の電流値は、データドライバによって一義的に制御され、データドライバは、外部から入力された階調に応じて書込電流（書込電流）の電流値を設定する。書込電流（書込電流）が流れている間、 i 行目の $P_{i,1} \sim P_{i,n}$ の各駆動トランジスタ 23 のゲート 23g-ソース 23s 間の電圧は、それぞれ信号線 $Y_1 \sim Y_n$ に流れる書込電流（書込電流）の電流値、つまり駆動トランジスタ 23 の $V_{g-I_{ds}}$ 特性の経時変化にかかわらず駆動トランジスタ 23 のドレイン 23d-ソース 23s 間を流れる書込電流（書込電流）の電流値に見合うように強制的に設定され、この電圧のレベルに従った大きさの電荷がキャパシタ 24 にチャージされて、書込電流（書込電流）の電流値が駆動トランジスタ 23 のゲート 23g-ソース 23s 間の電圧のレベルに変換される。その後の発光期間では、走査線 X_i がローレベルになり、スイッチトランジスタ 21 及び保持トランジスタ 22 がオフ状態となるが、オフ状態の保持トランジスタ 22 によってキャパシタ 24 の電極 24A 側の電荷が閉じ込められてフローティング状態になり、駆動トランジスタ 23 のソース 23s の電圧が選択期間から発光期間に移行する際に変調しても、駆動トランジスタ 23 のゲート 23g-ソース 23s 間の電位差がそのまま維持される。この発光期間では、供給線 Z_i 及びそれに接続された給電配線 90 の電位が駆動給電電圧 V_H となり、有機 EL 素子 20 の対向電極 20c の電位 V_{com} より高くなることによって、供給線 Z_i 及びそれに接続された給電配線 90 から駆動トランジスタ 23 を介して有機 EL 素子 20 に駆動電流が矢印 B の方向に流れ、有機 EL 素子 20 が発光する。駆動電流の電流値は駆動トランジスタ 23 のゲート 23g-ソース 23s 間の電圧に依存するため、発光期間における駆動電流の電流値は、選択期間における書込電流（引抜電流）の電流値に等しくなる。

【0087】

EL ディスプレイパネル 1 の別のアクティブマトリクス駆動方法は次のようになる。すなわち、図 14 に示すように、発振回路によって給電配線 90、90、…及び供給線 $Z_1 \sim Z_m$ に対してクロック信号を出力する。また、選択ドライバによって走査線 X_1 から走査線 X_m への順（走査線 X_m の次は走査線 X_1 ）にハイレベルのシフトパルスを順次出力することにより走査線 $X_1 \sim X_m$ を順次選択するが、選択ドライバが走査線 $X_1 \sim X_m$ の何れか 1 つにシフトパルスを出力している時には発振回路のクロック信号がローレベルになる。また、選択ドライバが各走査線 $X_1 \sim X_m$ を選択している時に、データドライバが書込電流である引抜電流（電流信号）を駆動トランジスタ 23 のソースドレイン間を介して全信号

線 $Y_1 \sim Y_n$ に流す。なお、対向電極 20c 及び給電配線 90 の一定のコモン電位 V_{com} (例えば、接地 = 0 ボルト) に保たれている。

【0088】

走査線 X_i の選択期間においては、 i 行目の走査線 X_i にシフトパルスが出力されているから、スイッチトランジスタ 21 及び保持トランジスタ 22 がオン状態となる。各選択期間において、データドライバ側の電位は、給電配線 90, 90, ... 及び供給線 $Z_1 \sim Z_n$ に出力されたクロック信号のローレベル以下で且つこのクロック信号のローレベルはコモン電位 V_{com} 以下に設定されている。したがってこの時、有機 EL 素子 20 から信号線 $Y_1 \sim Y_n$ に流れることはないので図 2 に示すように、データドライバによって階調に応じた電流値の書込電流 (引抜電流) が矢印 A の通り、信号線 $Y_1 \sim Y_n$ に流れ、画素回路 $P_{i,j}$ においては給電配線 90 及び供給線 Z_i から駆動トランジスタ 23 のソースドレイン間、スイッチトランジスタ 21 のソースドレイン間を介して信号線 Y_j に向かった書込電流 (引抜電流) が流れる。このように駆動トランジスタ 23 のソースドレイン間を流れる電流の電流値は、データドライバによって一義的に制御され、データドライバは、外部から入力された階調に応じて書込電流 (引抜電流) の電流値を設定する。書込電流 (引抜電流) が流れている間、 i 行目の $P_{i,1} \sim P_{i,n}$ の各駆動トランジスタ 23 のゲート 23g - ソース 23s 間の電圧は、それぞれ信号線 $Y_1 \sim Y_n$ に流れる書込電流 (引抜電流) の電流値、つまり駆動トランジスタ 23 の $V_{g-I_{ds}}$ 特性の経時変化にかかわらず駆動トランジスタ 23 のドレイン 23d - ソース 23s 間を流れる書込電流 (引抜電流) の電流値に見合うように強制的に設定され、この電圧のレベルに従った大きさの電荷がキャパシタ 24 にチャージされて、書込電流 (引抜電流) の電流値が駆動トランジスタ 23 のゲート 23g - ソース 23s 間の電圧のレベルに変換される。その後の発光期間では、走査線 X_i がローレベルになり、スイッチトランジスタ 21 及び保持トランジスタ 22 がオフ状態となるが、オフ状態の保持トランジスタ 22 によってキャパシタ 24 の電極 24A 側の電荷が閉じ込められてフローティング状態になり、駆動トランジスタ 23 のソース 23s の電圧が選択期間から発光期間に移行する際に変調しても、駆動トランジスタ 23 のゲート 23g - ソース 23s 間の電位差がそのまま維持される。この発光期間のうち、いずれの行の選択期間でもない間、つまり、クロック信号が給電配線 90 及び供給線 Z_i の電位が有機 EL 素子 20 の対向電極 20c 及び給電配線 90 の電位 V_{com} より高いハイレベルの間、より高電位の給電配線 90 及び供給線 Z_i から駆動トランジスタ 23 のソースドレイン間を介して有機 EL 素子 20 に駆動電流が矢印 B の方向に流れ、有機 EL 素子 20 が発光する。駆動電流の電流値は駆動トランジスタ 23 のゲート 23g - ソース 23s 間の電圧に依存するため、発光期間における駆動電流の電流値は、選択期間における書込電流 (引抜電流) の電流値に等しくなる。また発光期間において、いずれかの行の選択期間の間、つまりクロック信号がローレベルである時は、給電配線 90 及び供給線 Z_i の電位が対向電極 20c 及び給電配線 90 の電位 V_{com} 以下であるので、有機 EL 素子 20 に駆動電流は流れず発光しない。

【0089】

何れの駆動方法においても、スイッチトランジスタ 21 は、駆動トランジスタ 23 のソース 23s と信号線 Y_j との間の電流のオン (選択期間) ・オフ (発光期間) を行うものとして機能する。また、保持トランジスタ 22 は、選択期間に駆動トランジスタ 23 のソース 23s - ドレイン 23d 間に電流が流れることができる状態にし、発光期間に駆動トランジスタ 23 のゲート 23g に印加した電圧を保持するものとして機能する。そして、駆動トランジスタ 23 は、発光期間中に供給線 Z_i 及び給電配線 90 がハイレベルになった時に、階調に応じた大きさの電流を有機 EL 素子 20 に流して有機 EL 素子 20 を駆動するものとして機能する。

【0090】

以上のように、給電配線 90 を流れる電流の大きさは一列の走査線 X_i に接続された n 個の有機 EL 素子 20 に流れる駆動電流の大きさの和になるので、VGA 以上の画素数で動画駆動するための選択期間に設定した場合、給電配線 90 の寄生容量が増大してしまい

、薄膜トランジスタのゲート電極又はソース、ドレイン電極のような薄膜ではn個の有機EL素子20に書込電流（つまり駆動電流）を流すには抵抗が高すぎるが、本実施形態では、画素回路 $P_{1,1} \sim P_{m,n}$ の薄膜トランジスタのゲート電極やソース、ドレイン電極とは異なる導電層によって給電配線90を構成しているため給電配線90による電圧降下は小さくなり、短い選択期間であっても遅延なく十分に書込電流（引抜電流）を流すことができる。そして、給電配線90を厚くすることで給電配線90を低抵抗化したので、給電配線90の幅を狭くすることができる。そのため、ボトムエミッションの場合、画素開口率の減少を最小限に抑えることができる。

【0091】

同様に、発光期間に共通配線91に流れる駆動電流の大きさは、選択期間に給電配線90に流れる書込電流（引抜電流）の大きさと同じなので、画素回路 $P_{1,1} \sim P_{m,n}$ の薄膜トランジスタのゲート電極やソース、ドレイン電極とは異なる導電層を対向電極20cに接続しているため、配線91を厚膜にすることができ、共通配線91を低抵抗化することができ、さらに対向電極20c自体が薄膜化してより高抵抗になっても対向電極20cの電圧を面内で一様にするすることができる。従って、仮に全ての画素電極20aに同じ電位を印加した場合でも、どの有機EL層20bの発光強度もほぼ等しくなり、面内の発光強度を一様にするすることができる。

【0092】

また、ELディスプレイパネル1をトップエミッション型として用いた場合、対向電極20cをより薄膜化することが可能なため、有機EL層20bを発した光が対向電極20cを透過中に減衰し難くなる。更に、平面視して水平方向に隣り合う画素電極20aの間に共通配線91が設けられているため、画素開口率の減少を最小限に抑えることができる。

【0093】

また、供給線 $Z_1 \sim Z_m$ が信号線 $Y_1 \sim Y_n$ の上層となるから、トランジスタアレイ基板50、ELディスプレイパネル1の製造過程において供給線 $Z_1 \sim Z_m$ を下地層として供給線 $Z_1 \sim Z_m$ に電圧を印加した状態でメッキ液に浸漬することによって、供給線 $Z_1 \sim Z_m$ に積層された給電配線90を成長させることができる。

【0094】

ここで、ELディスプレイパネル1の画素をWXGA（768×1366）としたときに、給電配線90及び共通配線91の望ましい幅、断面積を定義する。図15は、各画素回路 $P_{1,1} \sim P_{m,n}$ の駆動トランジスタ23及び有機EL素子20の電流-電圧特性を示すグラフである。

【0095】

図15において、縦軸は1つの駆動トランジスタ23のソース23s-ドレイン23d間を流れる書込電流の電流値又は1つの有機EL素子20のアノード-カソード間を流れる駆動電流の電流値であり、横軸は1つの駆動トランジスタ23のソース23s-ドレイン23d間の電圧（同時に1つの駆動トランジスタ23のゲート23g-ドレイン23d間の電圧）である。図中、実線 $I_{ds\ max}$ は、最高輝度階調（最も明るい表示）のときの書込電流及び駆動電流であり、一点鎖線 $I_{ds\ mid}$ は、最高輝度階調と最低輝度階調との間の中間輝度階調のときの書込電流及び駆動電流であり、二点鎖線 V_{po} は駆動トランジスタ23の不飽和領域（線形領域）と飽和領域との閾値つまりピンチオフ電圧であり、三点鎖線 V_{ds} は駆動トランジスタ23のソース23s-ドレイン23d間を流れる書込電流であり、破線 I_{EL} は有機EL素子20のアノード-カソード間を流れる駆動電流である。

【0096】

ここで電圧 V_{P1} は、最高輝度階調時の駆動トランジスタ23のピンチオフ電圧であり、電圧 V_{P2} は、駆動トランジスタ23が最高輝度階調の書込電流が流れるときのソース-ドレイン間電圧であり、電圧 $V_{EL\ max}$ （電圧 V_{P4} -電圧 V_{P3} ）は有機EL素子20が最高輝度階調の書込電流と電流値が等しい最高輝度階調の駆動電流で発光するときのアノード-カソード間の電圧である。電圧 V_{P2}' は、駆動トランジスタ23が中間輝度階調の書込電流が流れるときのソース-ドレイン間電圧であり、電圧（電圧 V_{P4}' -電圧 V_{P3}' ）は有機

EL素子20が中間輝度階調の書込電流と電流値が等しい中間輝度階調の駆動電流で発光するときのアノード-カソード間電圧である。

【0097】

駆動トランジスタ23及び有機EL素子20はいずれも飽和領域で駆動させるために、(給電配線90の発光期間時の駆動給電電圧 V_H)から(共通配線91の発光期間時の電圧 V_{com})を減じた値 V_X は下記の式(2)を満たす。

【0098】

$$V_X = V_{po} + V_{th} + V_m + V_{EL} \quad \dots\dots (2)$$

【0099】

V_{th} (最高輝度時の場合 $V_{P2} - V_{P1}$ に等しい)は駆動トランジスタ23の閾値電圧であり、 V_{EL} (最高輝度時の場合 V_{ELmax} に等しい)は有機EL素子20のアノード-カソード間電圧であり、 V_m は、階調に応じて変位する許容電圧である。

【0100】

図から明らかなように、電圧 V_X のうち、輝度階調が高くなる程、トランジスタ23のソースドレイン間に要する電圧($V_{po} + V_{th}$)が高くなるとともに有機EL素子20のアノード-カソード間に要する電圧 V_{EL} が高くなる。したがって、許容電圧 V_m は、輝度階調が高くなるほど低くなり、最小許容電圧 V_{min} は $V_{P3} - V_{P2}$ となる。

【0101】

有機EL素子20は低分子EL材料及び高分子EL材料にかかわらず一般的に経時劣化し、高抵抗化する。10000時間後のアノード-カソード間電圧は初期時の1.4倍～数倍程度になることが確認されている。つまり、電圧 V_{EL} は、同じ輝度階調時でも時間が経つ程高くなる。このため、駆動初期時の許容電圧 V_m が高い程長期間にわたって動作が安定するので、電圧 V_{EL} が8V以上、より望ましくは13V以上となるように電圧 V_X を設定している。

【0102】

この許容電圧 V_m には、有機EL素子20の高抵抗化ばかりでなく、さらに、給電配線90による電圧降下の分も含まれる。

【0103】

給電配線90の配線抵抗のために電圧降下が大きいとELディスプレイパネル1の消費電力が著しく増大してしまうため、給電配線90の電圧降下は1V以下に設定することが特に好ましい。1つの有機EL素子20は、ELディスプレイパネル1のパネルサイズが32インチの場合、最大輝度階調に発光するときの電流値は約 $5.4 \mu A \sim 6.8 \mu A$ 、40インチの場合、 $8.5 \mu A \sim 11.0 \mu A$ に設定されている。

【0104】

行方向の一つの画素の長さである画素幅 W_p と、行方向の画素数(1366)と、左側の非画素領域における給電配線90から配線端子90bまでの延長部分と、右側の非画素領域における給電配線90から配線端子90cまでの延長部分と、を考慮した結果、ELディスプレイパネル1のパネルサイズが32インチ、40インチの場合、給電配線90の全長はそれぞれ706.7mm、895.2mmとなる。ここで、給電配線90の線幅 W_L 及び共通配線91の線幅 W_L が広くなると、構造上有機EL層20bの面積が小さくなり、さらに他の配線との重なり寄生容量を発生してさらなる電圧降下をもたらすため、給電配線90の幅 W_L 及び共通配線91の線幅 W_L はそれぞれ画素幅 W_p の5分の1以下に抑えることが望ましい。このようなことを考慮すると、ELディスプレイパネル1のパネルサイズが32インチ、40インチの場合、給電配線90の線幅 W_L 及び共通配線91の線幅 W_L はそれぞれ $34 \mu m$ 以内、 $44 \mu m$ 以内となる。また給電配線90及び共通配線91の最大膜厚 H_{max} はアスペクト比を考慮すると、トランジスタ21～23の最小加工寸法 $4 \mu m$ の1.5倍、つまり $6 \mu m$ となる。したがって給電配線90及び共通配線91の最大断面積 S_{max} は32インチ、40インチで、それぞれ $204 \mu m^2$ 、 $264 \mu m^2$ となる。

【0105】

このような32インチのELディスプレイパネル1について、最大電流が流れるように全点灯したときの給電配線90及び共通配線91のそれぞれの最大電圧降下を1V以下にするためには図16に示すように、給電配線90及び共通配線91のそれぞれの配線抵抗率 ρ /断面積 S は $4.7\Omega/cm$ 以下に設定される必要がある。図17に32インチのELディスプレイパネル1の給電配線90及び共通配線91のそれぞれの断面積と電流密度の相関関係を表す。なお、上述した給電配線90及び共通配線91の最大断面積 S_{max} 時に許容される抵抗率は、32インチで $9.6\mu\Omega cm$ 、40インチで $6.4\mu\Omega cm$ となる。

【0106】

そして、40インチのELディスプレイパネル1について、最大電流が流れるように全点灯したときの給電配線90及び共通配線91のそれぞれの最大電圧降下を1V以下にするためには図18に示すように、給電配線90及び共通配線91のそれぞれの配線抵抗率 ρ /断面積 S は $2.4\Omega/cm$ 以下に設定される必要がある。図19に40インチのELディスプレイパネル1の給電配線90及び共通配線91のそれぞれの断面積と電流密度の相関関係を表す。

【0107】

給電配線90及び共通配線91の故障により動作しなくなる故障寿命MTFは、下記の式(3)を満たす。

【0108】

$$MTF = A \exp(E_a / K_b T) / \rho J^2 \dots (3)$$

【0109】

E_a は活性化エネルギー、 $K_b T = 8.617 \times 10^{-5} eV$ 、 ρ は給電配線90及び共通配線91の抵抗率、 J は電流密度である。

【0110】

給電配線90及び共通配線91の故障寿命MTFは抵抗率の増大やエレクトロマイグレーションに律速する。給電配線90及び共通配線91をAl系(Al単体或いはAlTiやAlNd等の合金)に設定し、MTFが10000時間、85℃の動作温度で試算すると、電流密度 J は $2.1 \times 10^4 A/cm^2$ 以下にする必要がある。同様に給電配線90及び共通配線91をCuに設定すると、 $2.8 \times 10^6 A/cm^2$ 以下にする必要がある。なおAl合金内のAl以外の材料はAlよりも低い抵抗率であることを前提としている。

【0111】

これらのことを考慮して、32インチのELディスプレイパネル1では、全点灯状態で10000時間に給電配線90及び共通配線91が故障しないようなAl系の給電配線90及び共通配線91のそれぞれの断面積 S は、図17から、 $57\mu m^2$ 以上必要になり、同様にCuの給電配線90及び共通配線91のそれぞれの断面積 S は、図17から、 $0.43\mu m^2$ 以上必要になる。

【0112】

そして40インチのELディスプレイパネル1では、全点灯状態で10000時間に給電配線90及び共通配線91が故障しないようなAl系の給電配線90及び共通配線91のそれぞれの断面積 S は、図19から、 $92\mu m^2$ 以上必要になり、同様にCuの給電配線90及び共通配線91のそれぞれの断面積 S は、図19から、 $0.69\mu m^2$ 以上必要になる。

【0113】

Al系の給電配線90及び共通配線91では、Al系の抵抗率が $4.00\mu\Omega cm$ とすると、32インチのELディスプレイパネル1では上述のように配線抵抗率 ρ /断面積 S が $4.7\Omega/cm$ 以下なので、最小断面積 S_{min} は $85.1\mu m^2$ となる。このとき上述のように給電配線90及び共通配線91の配線幅 WL は $34\mu m$ 以内なので給電配線90及び共通配線91の最小膜厚 H_{min} は $2.50\mu m$ となる。

【0114】

またAl系の給電配線90及び共通配線91の40インチのELディスプレイパネル1

では上述のように配線抵抗率 ρ /断面積 S が $2.4\ \Omega/\text{cm}$ 以下なので、最小断面積 S_{min} は $167\ \mu\text{m}^2$ となる。このとき上述のように給電配線90及び共通配線91の配線幅 WL は $44\ \mu\text{m}$ 以内なので給電配線90及び共通配線91の最小膜厚 H_{min} は $3.80\ \mu\text{m}$ となる。

【0115】

Cuの給電配線90及び共通配線91では、Cuの抵抗率が $2.10\ \mu\Omega\text{cm}$ とすると、32インチのELディスプレイパネル1では上述のように配線抵抗率 ρ /断面積 S が $4.7\ \Omega/\text{cm}$ 以下なので、最小断面積 S_{min} は $44.7\ \mu\text{m}^2$ となる。このとき上述のように給電配線90及び共通配線91の配線幅 WL は $34\ \mu\text{m}$ 以内なので給電配線90及び共通配線91の最小膜厚 H_{min} は $1.31\ \mu\text{m}$ となる。

【0116】

またCuの給電配線90及び共通配線91の40インチのELディスプレイパネル1では上述のように配線抵抗率 ρ /断面積 S が $2.4\ \Omega/\text{cm}$ 以下なので、最小断面積 S_{min} は $87.5\ \mu\text{m}^2$ となる。このとき上述のように給電配線90及び共通配線91の配線幅 WL は $44\ \mu\text{m}$ 以内なので給電配線90及び共通配線91の最小膜厚 H_{min} は $1.99\ \mu\text{m}$ となる。

【0117】

以上のことから、ELディスプレイパネル1を正常且つ消費電力を低く動作させるには、給電配線90及び共通配線91での電圧降下を $1\ \text{V}$ 以下にした方が好ましく、このような条件にするには、給電配線90及び共通配線91がA1系の32インチのパネルでは、膜厚 H が $2.50\ \mu\text{m}\sim 6\ \mu\text{m}$ 、幅 WL が $14.1\ \mu\text{m}\sim 34.0\ \mu\text{m}$ 、抵抗率が $4.0\ \mu\Omega\text{cm}\sim 9.6\ \mu\Omega\text{cm}$ となり、給電配線90及び共通配線91がA1系の40インチのパネルでは、給電配線90及び共通配線91がA1系の場合、膜厚 H が $3.80\ \mu\text{m}\sim 6\ \mu\text{m}$ 、幅 WL が $27.8\ \mu\text{m}\sim 44.0\ \mu\text{m}$ 、抵抗率が $4.0\ \mu\Omega\text{cm}\sim 9.6\ \mu\Omega\text{cm}$ となる。

【0118】

総じてA1系の給電配線90及び共通配線91の場合、膜厚 H が $2.50\ \mu\text{m}\sim 6\ \mu\text{m}$ 、幅 WL が $14.1\ \mu\text{m}\sim 44\ \mu\text{m}$ 、抵抗率が $4.0\ \mu\Omega\text{cm}\sim 9.6\ \mu\Omega\text{cm}$ となる。

【0119】

同様に、給電配線90及び共通配線91がCuの32インチのパネルでは、膜厚 H が $1.31\ \mu\text{m}\sim 6\ \mu\text{m}$ 、幅 WL が $7.45\ \mu\text{m}\sim 34\ \mu\text{m}$ 、抵抗率が $2.1\ \mu\Omega\text{cm}\sim 9.6\ \mu\Omega\text{cm}$ となり、給電配線90及び共通配線91がCuの40インチのパネルでは、給電配線90及び共通配線91がCu系の場合、膜厚 H が $1.99\ \mu\text{m}\sim 6\ \mu\text{m}$ 、幅 WL が $14.6\ \mu\text{m}\sim 44.0\ \mu\text{m}$ 、抵抗率が $2.1\ \mu\Omega\text{cm}\sim 9.6\ \mu\Omega\text{cm}$ となる。

【0120】

総じてCuの給電配線90及び共通配線91の場合、膜厚 H が $1.31\ \mu\text{m}\sim 6\ \mu\text{m}$ 、幅 WL が $7.45\ \mu\text{m}\sim 44\ \mu\text{m}$ 、抵抗率が $2.1\ \mu\Omega\text{cm}\sim 9.6\ \mu\Omega\text{cm}$ となる。

【0121】

したがって、給電配線90及び共通配線91としてA1系材料又はCuを適用した場合、ELディスプレイパネル1の給電配線90及び共通配線91は、膜厚 H が $1.31\ \mu\text{m}\sim 6\ \mu\text{m}$ 、幅 WL が $7.45\ \mu\text{m}\sim 44\ \mu\text{m}$ 、抵抗率が $2.1\ \mu\Omega\text{cm}\sim 9.6\ \mu\Omega\text{cm}$ となる。

【0122】

〔変形例1〕

なお、本発明は、上記実施の形態に限定されることなく、本発明の趣旨を逸脱しない範囲において、種々の改良並びに設計の変更を行っても良い。

【0123】

また、上記実施形態では、トランジスタ21~23がNチャネル型の電界効果トランジスタとして説明を行った。トランジスタ21~23がPチャネル型の電界効果トランジスタであっても良い。その場合、図2の回路構成では、トランジスタ21~23のソース2

1 s, 2 2 s, 2 3 s とトランジスタ 2 1 ~ 2 3 のドレイン 2 1 d, 2 2 d, 2 3 d の関係が逆になる。例えば、駆動トランジスタ 2 3 が P チャネル型の電界効果トランジスタの場合には、駆動トランジスタ 2 3 のドレイン 2 3 d が有機 EL 素子 2 0 の画素電極 2 0 a に導通し、ソース 2 3 s が供給線 Z_i に導通する。

【0124】

〔変形例 2〕

また、上記各実施形態では、一画素につき 3 つのトランジスタ 2 1 ~ 2 3 が設けられているが、有機 EL 素子にソース又はドレインが直列に接続された駆動トランジスタを備え付けた EL ディスプレイパネルであれば、トランジスタの数や電流駆動、電圧駆動の制限なく本発明を適用することができる。

【0125】

〔変形例 3〕

また、上記各実施形態では、トランジスタ 2 1 ~ 2 3 が N チャネル型の電界効果トランジスタとして説明を行った。トランジスタ 2 1 ~ 2 3 が P チャネル型の電界効果トランジスタであっても良い。その場合、図 2 の回路構成では、トランジスタ 2 1 ~ 2 3 のソース 2 1 s, 2 2 s, 2 3 s とトランジスタ 2 1 ~ 2 3 のドレイン 2 1 d, 2 2 d, 2 3 d の関係が逆になる。また各信号のハイレベルローレベルが逆転する。

【0126】

〔変形例 4〕

また上記各実施形態では、各保持トランジスタ 2 2 のドレイン 2 2 d は供給線 $Z_1 \sim Z_n$ のいずれかに接続されているが、これに限らず、各画素回路 $P_{i,1}, P_{i,2}, P_{i,3}, \dots, P_{i,n}$ の保持トランジスタ 2 2 のドレイン 2 2 d を走査線 X_i に接続するようにしてもよい。

【0127】

〔変形例 5〕

また上記各実施形態では書込電流となる書込給電電圧 V_L 及び駆動電流となる駆動給電電圧 V_H を、給電配線 9 0 に配線端子 9 0 b、9 0 c の両方から供給して給電配線 9 0 の電圧降下を低くしたが、電圧降下が高くてよい設計であれば配線端子 9 0 b、9 0 c のいずれか片方のみから供給するようにしてもよい。

【0128】

〔変形例 6〕

また上記各実施形態では、トランジスタ 2 1 ~ 2 3 がアモルファスシリコントランジスタであったが、これに限らずポリシリコンであってもよい。

また上記変形例を複数組み合わせてもよい。

【図面の簡単な説明】

【0129】

【図 1】 EL ディスプレイパネル 1 の回路構成を絶縁基板 2 とともに示した図面である。

【図 2】 EL ディスプレイパネル 1 の画素回路 $P_{i,j}$ の等価回路図である。

【図 3】 EL ディスプレイパネル 1 の画素回路 $P_{i,j}$ の電極を示した平面図である。

【図 4】 EL ディスプレイパネル 1 の画素回路 $P_{i,j}$ の電極を示した平面図である。

【図 5】 図 3 に示された V-V 線の矢視断面図である。

【図 6】 図 3 に示された VI-VI 線の矢視断面図である。

【図 7】 図 3 に示された VII-VII 線の矢視断面図である。

【図 8】 図 3 に示された VIII-VIII 線の矢視断面図である。

【図 9】 ゲートレイヤーをパターニングした状態の平面図である。

【図 10】 ドレインレイヤーをパターニングした状態の平面図である。

【図 11】 パターニングしたゲートレイヤーにドレインレイヤーを重ねた状態の平面図である。

【図 12】 EL ディスプレイパネル 1 の有機 EL 層のレイアウトを示す略平面図であ

る。

【図13】 ELディスプレイパネル1の駆動方法を説明するためのタイミングチャートである。

【図14】 ELディスプレイパネル1の別の駆動方法を説明するためのタイミングチャートである。

【図15】 各画素回路 $P_{1,1} \sim P_{m,n}$ の駆動トランジスタ23及び有機EL素子20の電流-電圧特性を示すグラフである。

【図16】 32インチのELディスプレイパネル1の給電配線90及び共通配線91のそれぞれの最大電圧降下と配線抵抗率 ρ /断面積 S の相関を示すグラフである。

【図17】 32インチのELディスプレイパネル1の給電配線90及び共通配線91のそれぞれの断面積と電流密度の相関を示すグラフである。

【図18】 40インチのELディスプレイパネル1の給電配線90及び共通配線91のそれぞれの最大電圧降下と配線抵抗率 ρ /断面積 S の相関を示すグラフである。

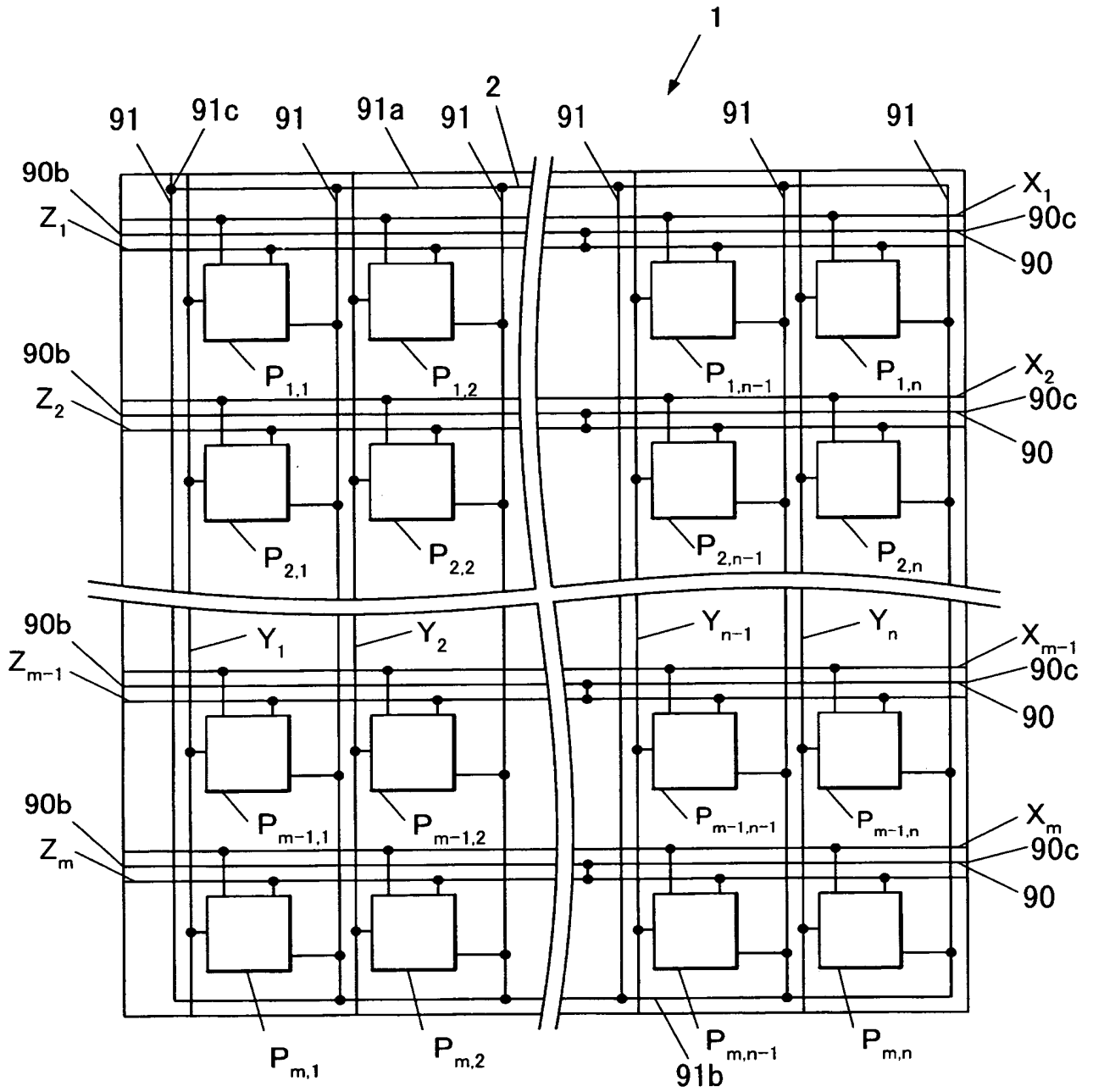
【図19】 40インチのELディスプレイパネル1の給電配線90及び共通配線91のそれぞれの断面積と電流密度の相関を示すグラフである。

【符号の説明】

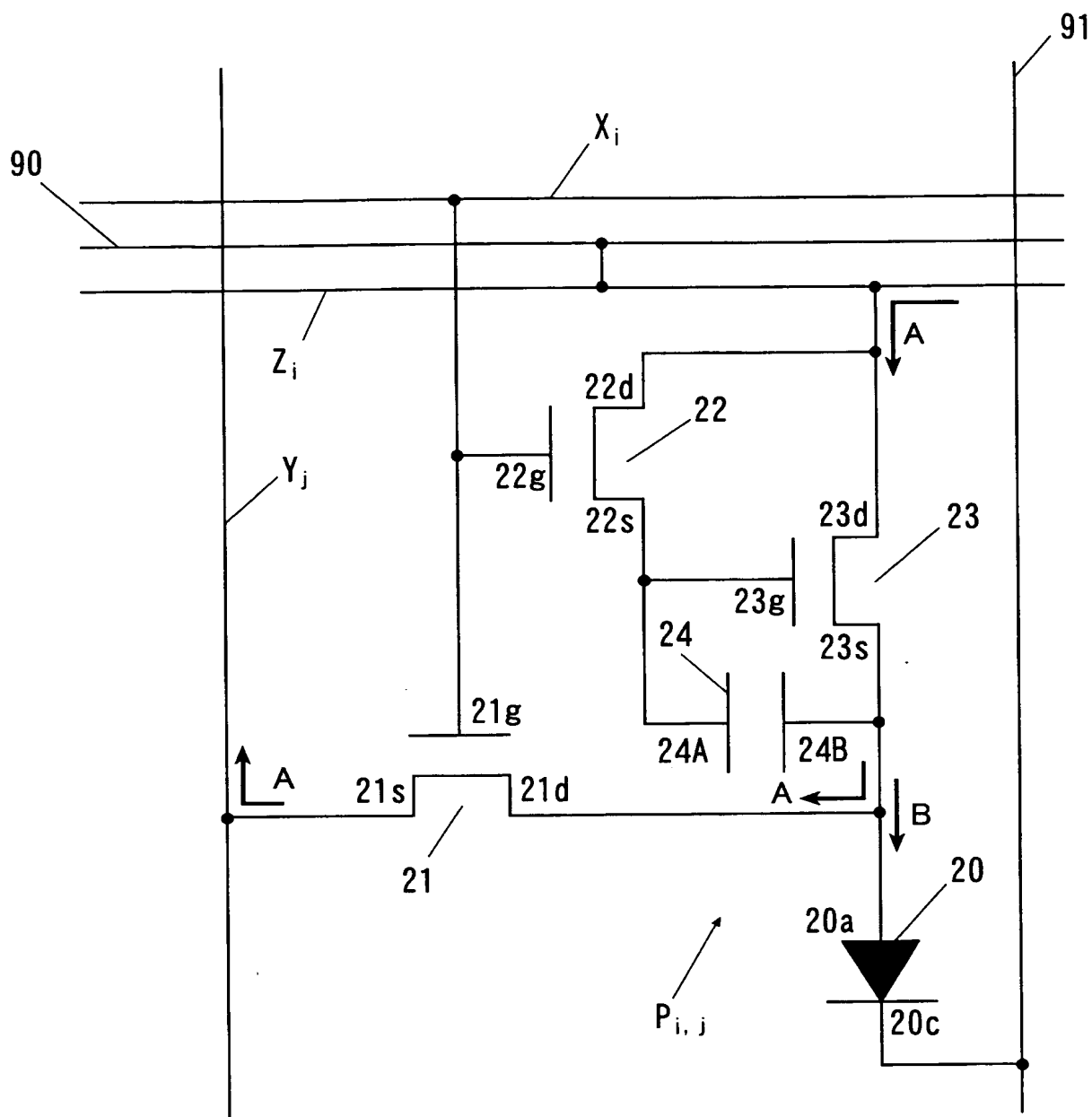
【0130】

- 1 ELディスプレイパネル
- 2 絶縁基板
- 20 a 画素電極
- 20 b 有機EL層
- 20 c 対向電極
- 21 スイッチトランジスタ
- 22 保持トランジスタ
- 23 駆動トランジスタ
- 21 d、22 d、23 d ドレイン
- 21 s、22 s、23 s ソース
- 21 g、22 g、23 g ゲート
- 31 ゲート絶縁膜
- 50 トランジスタアレイ基板
- 90 給電配線
- 92、93、94、95 コンタクトホール
- $X_1 \sim X_m$ 走査線
- $Y_1 \sim Y_n$ 信号線
- $Z_1 \sim Z_m$ 供給線

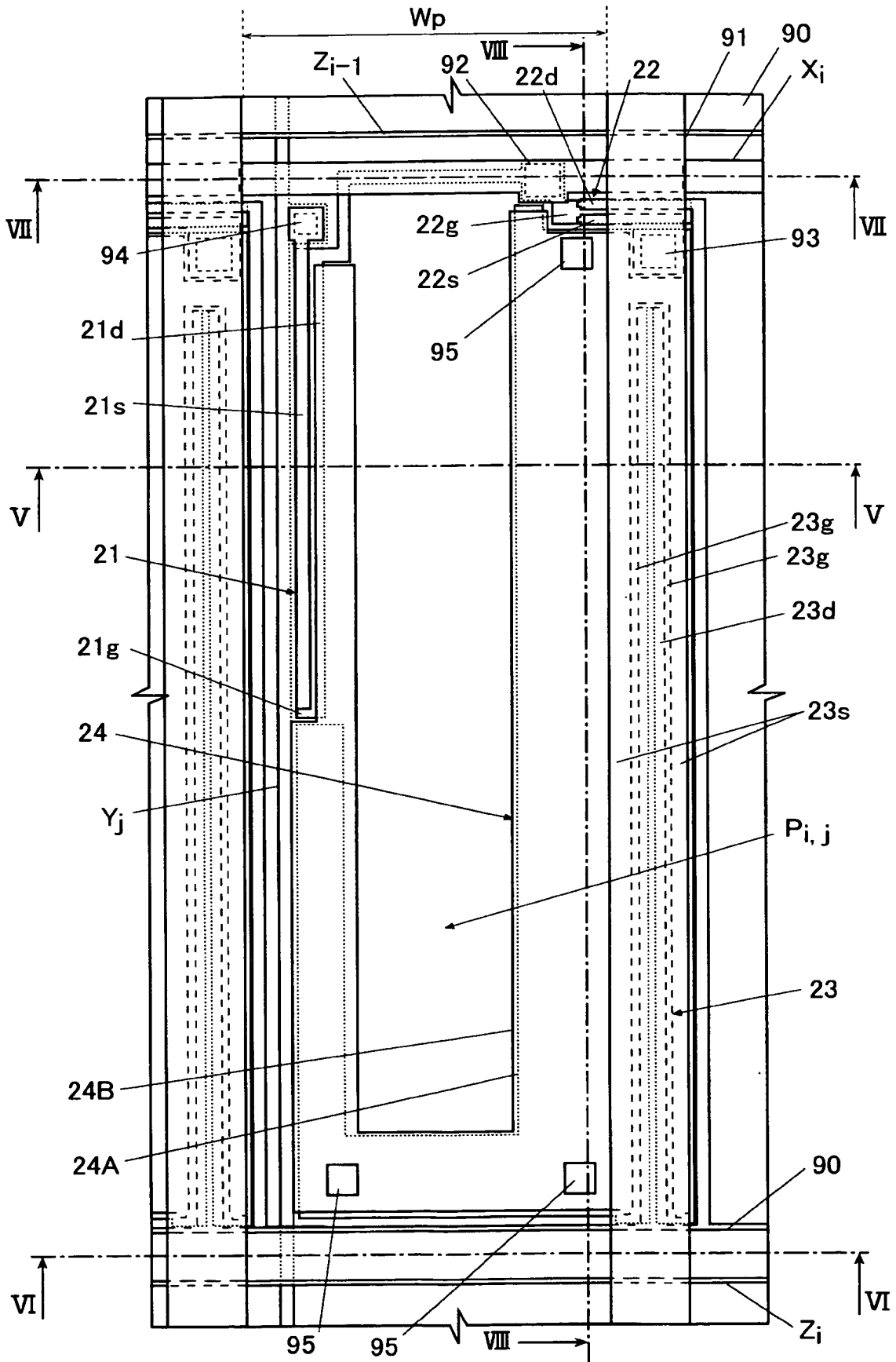
【書類名】 図面
【図 1】



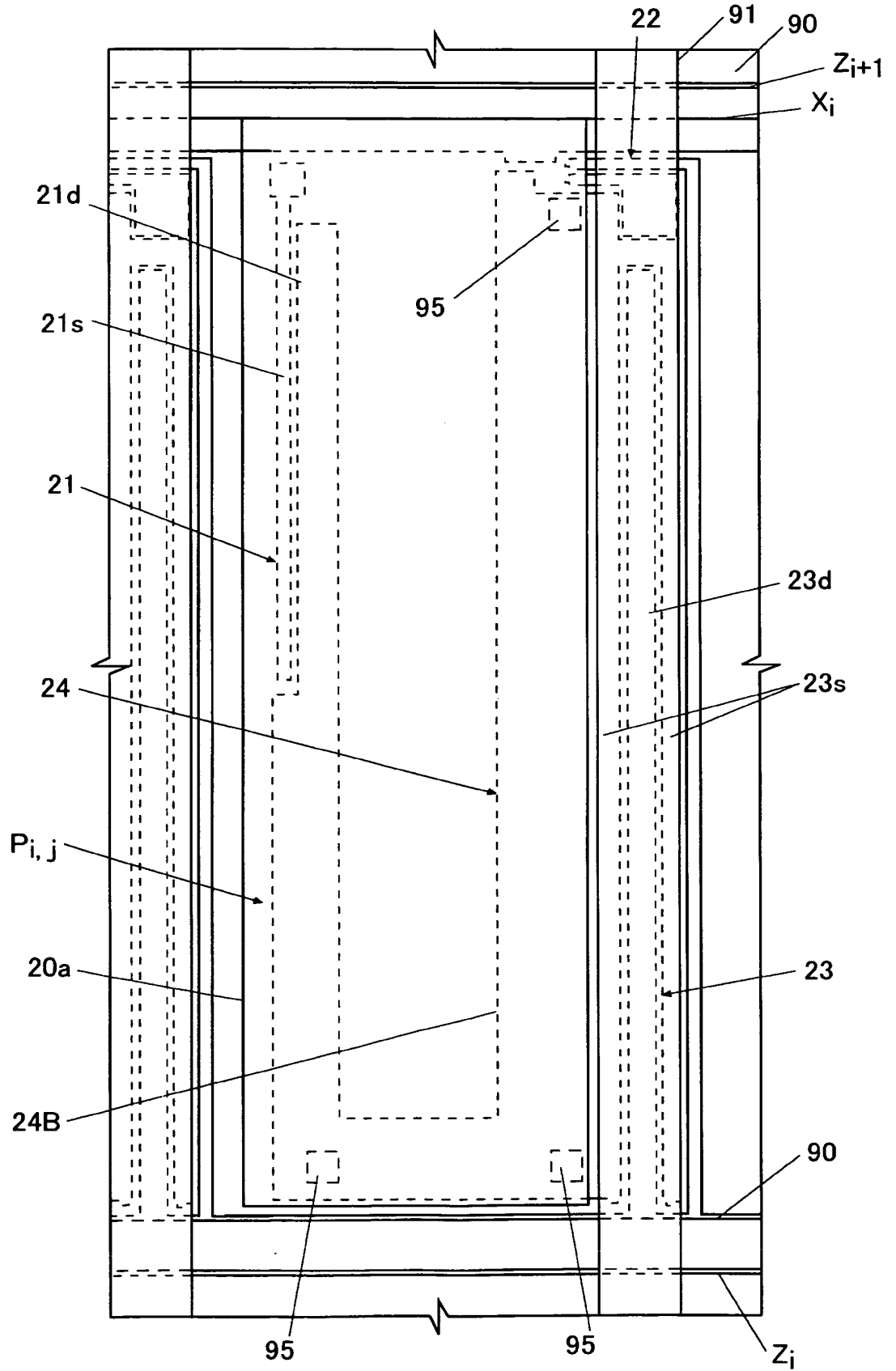
【図 2】



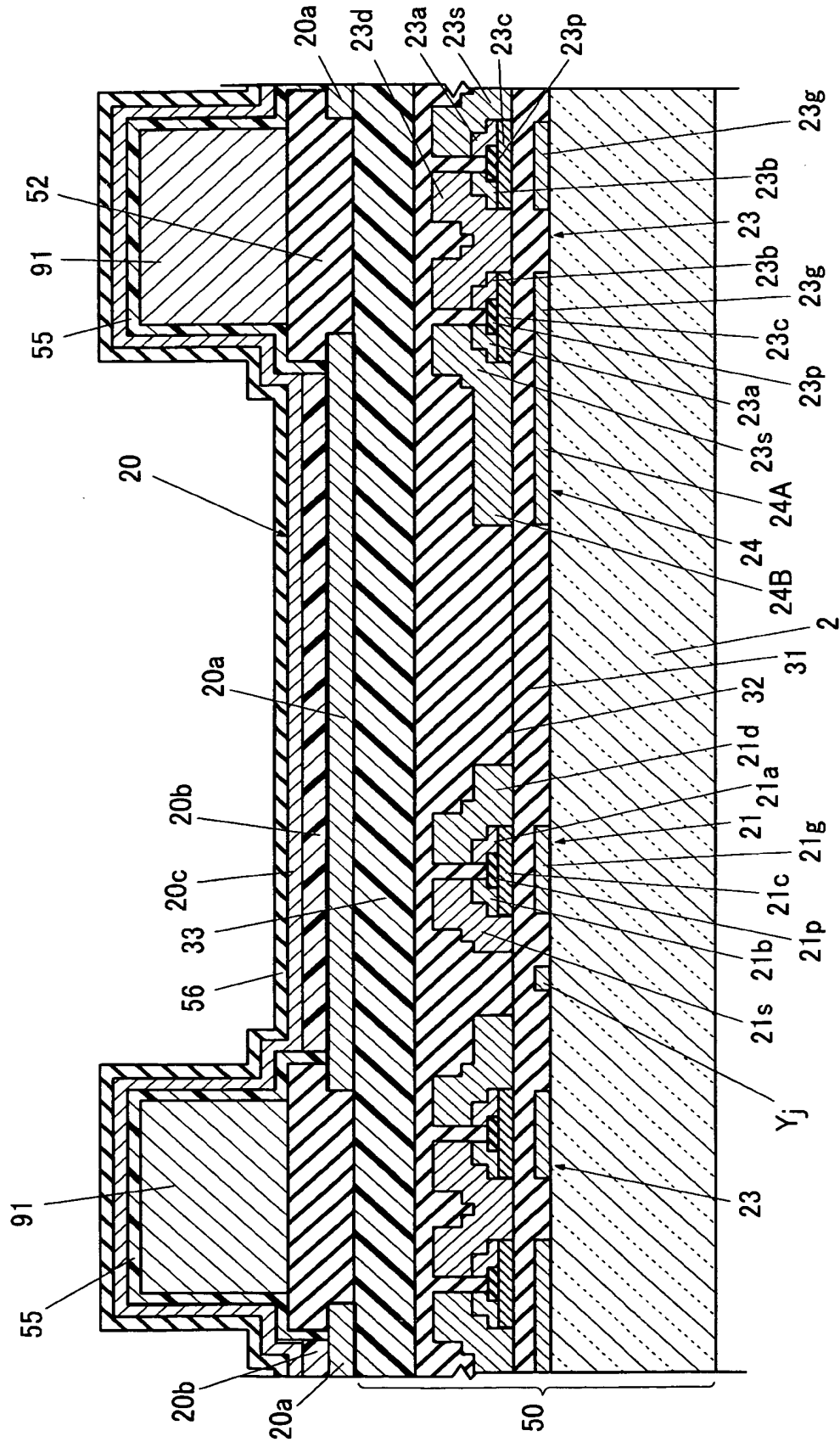
【図 3】



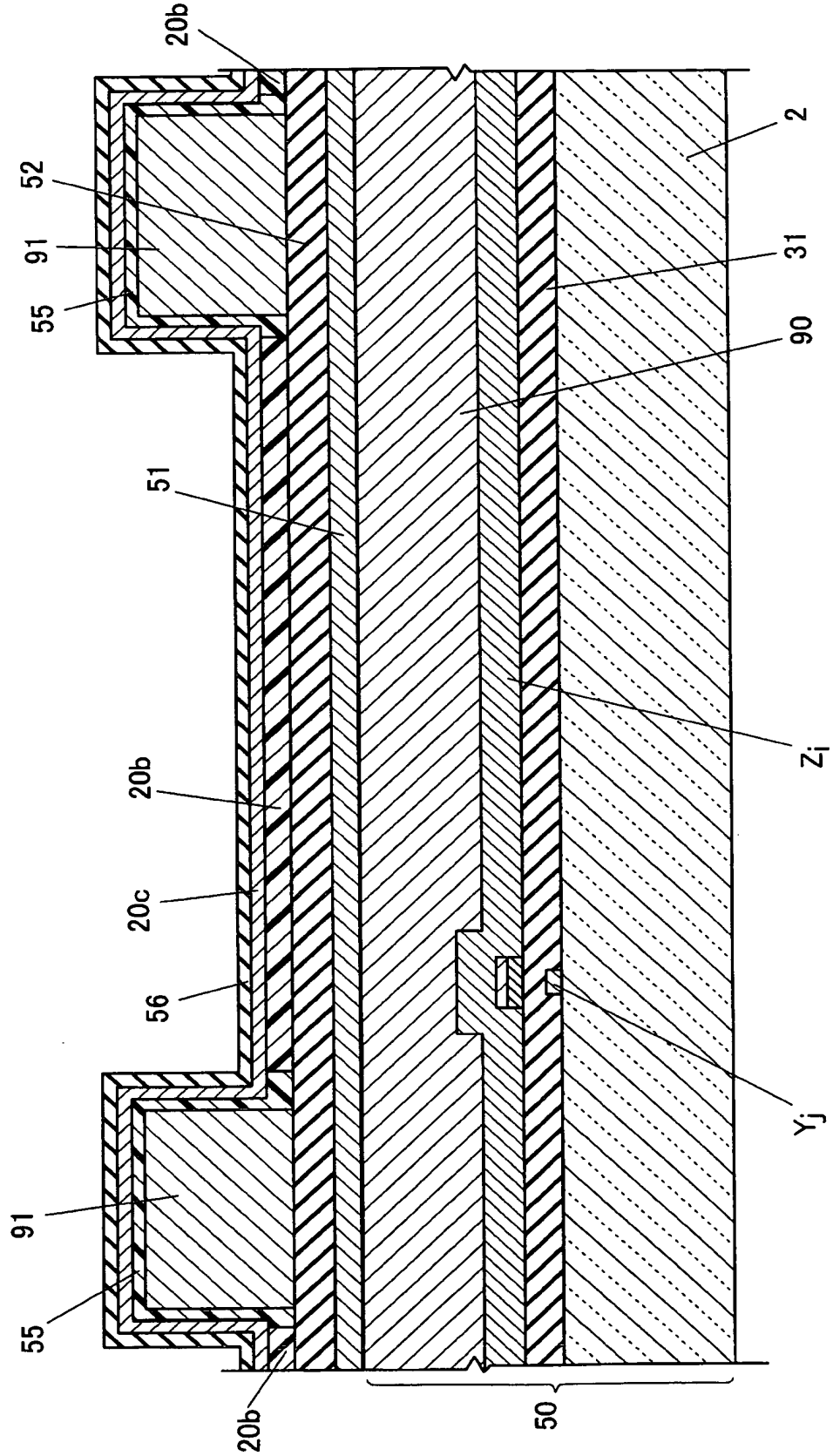
【図 4】



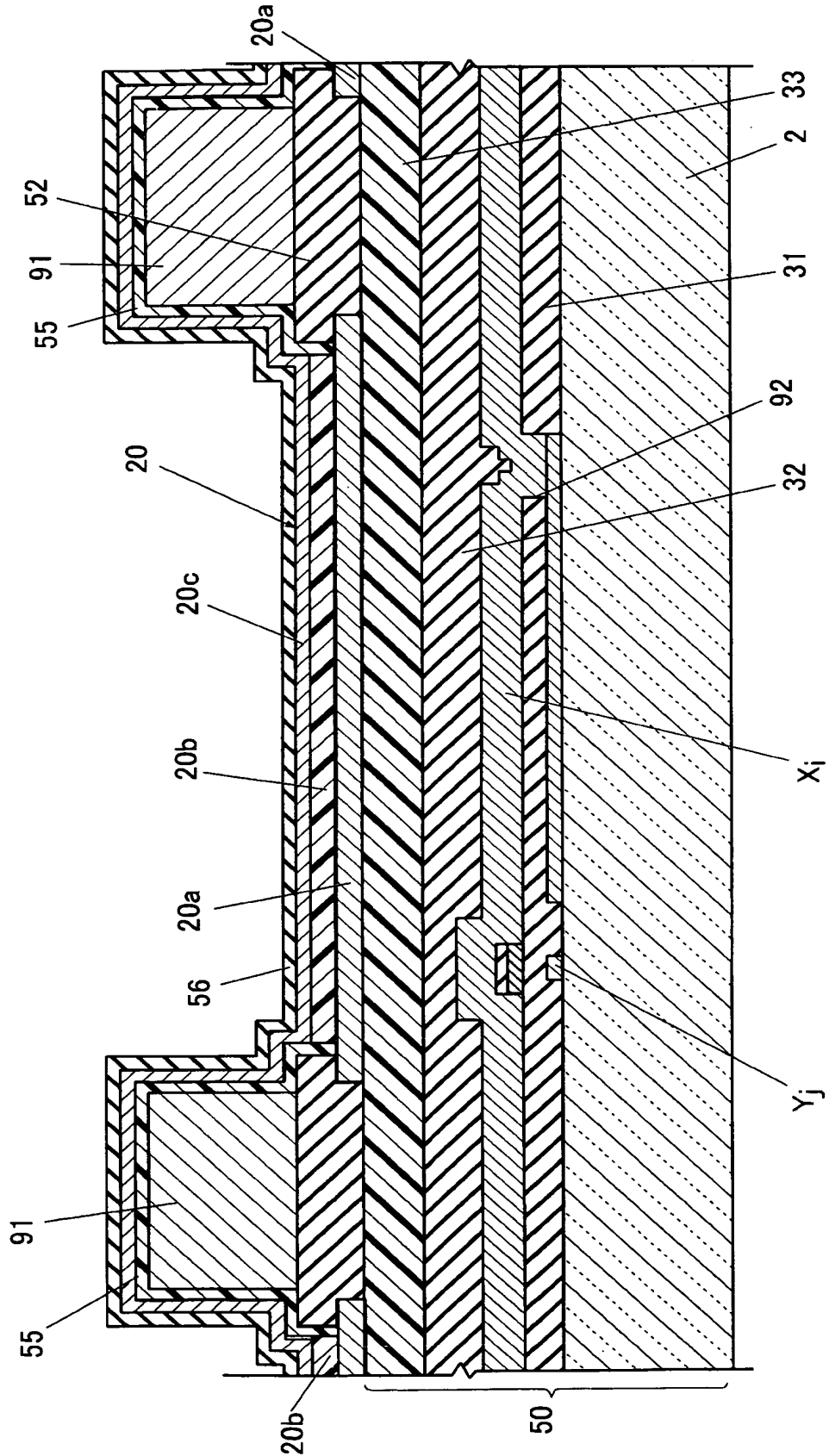
【図 5】



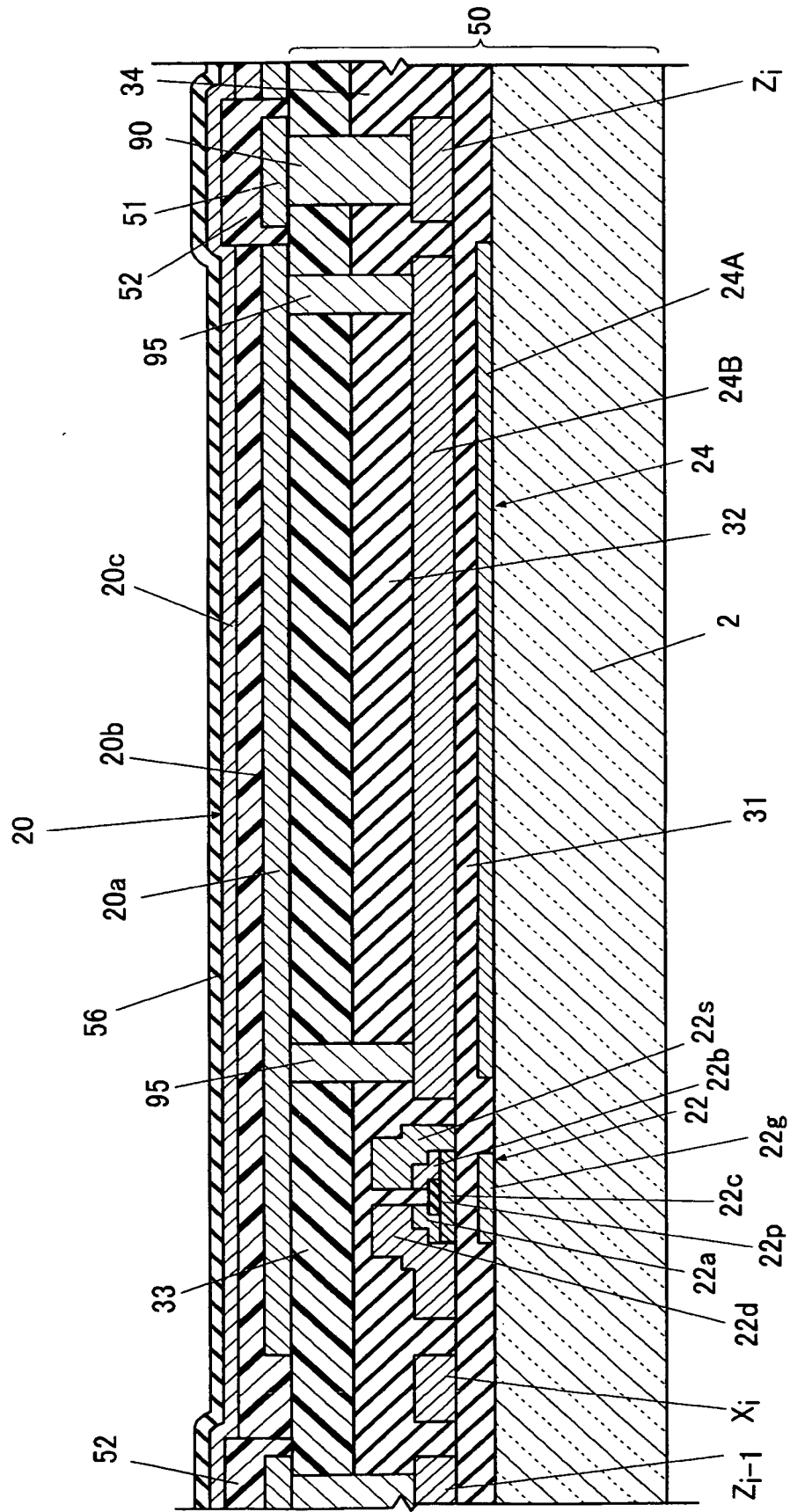
【図 6】



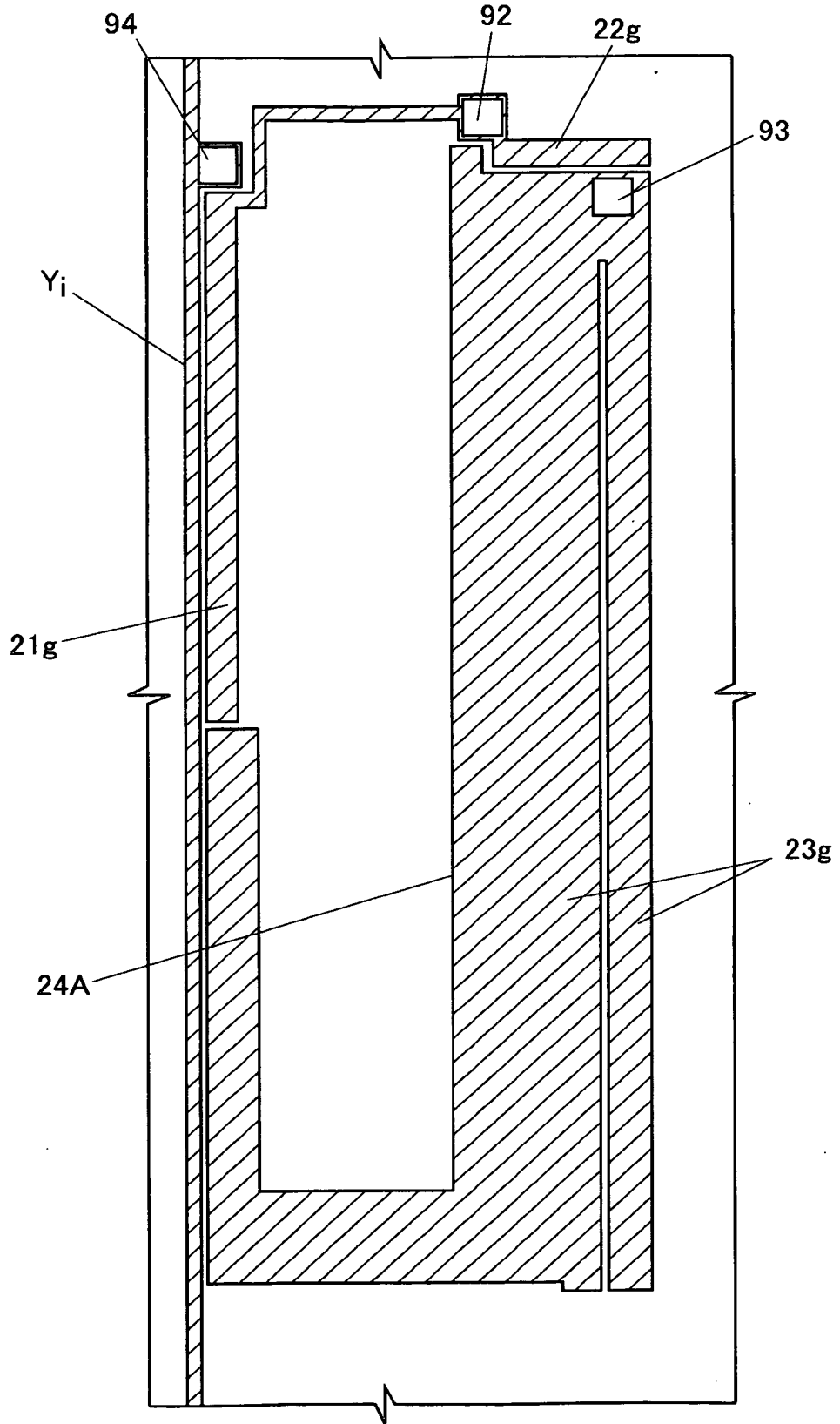
【図 7】



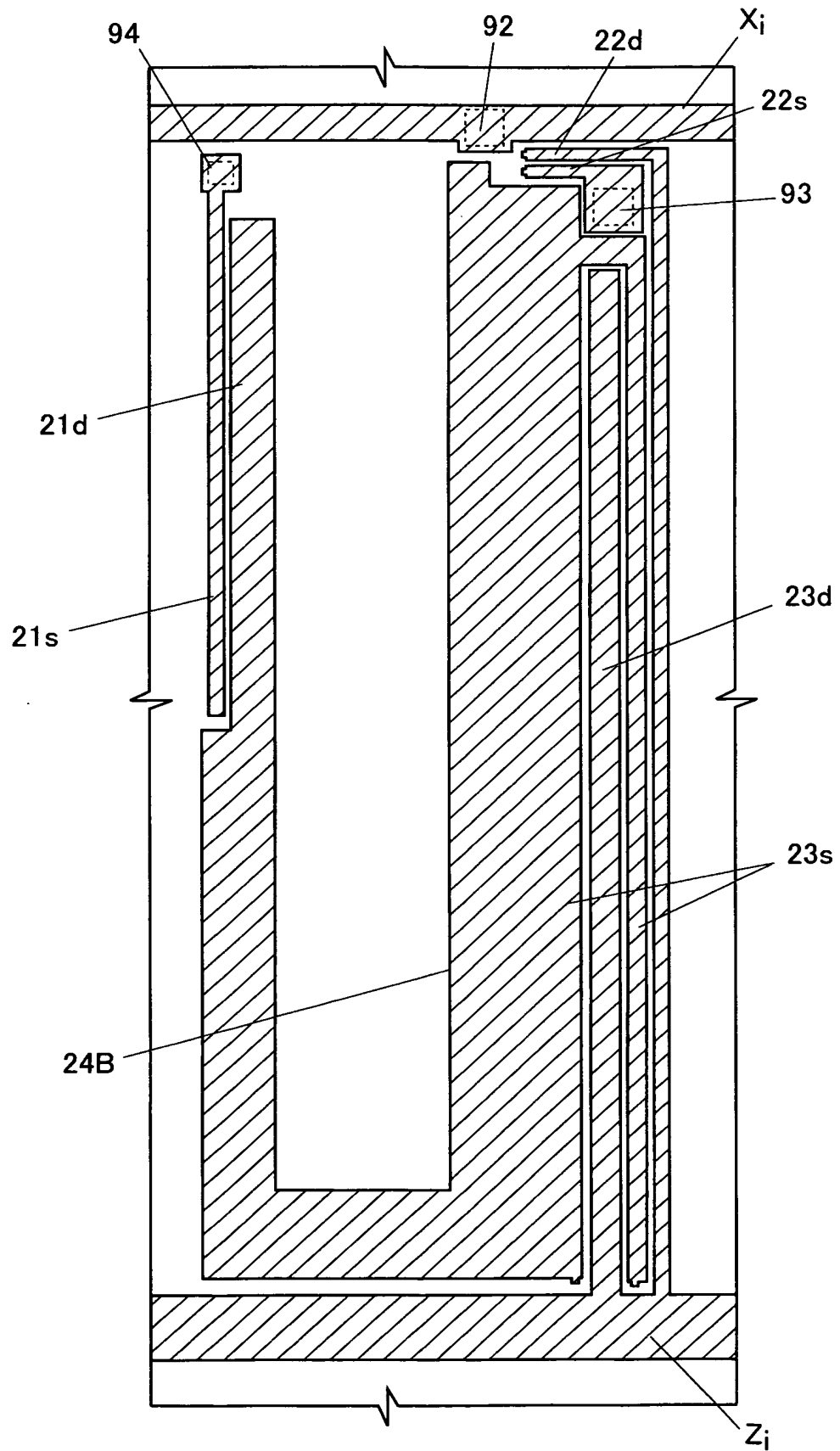
【図 8】



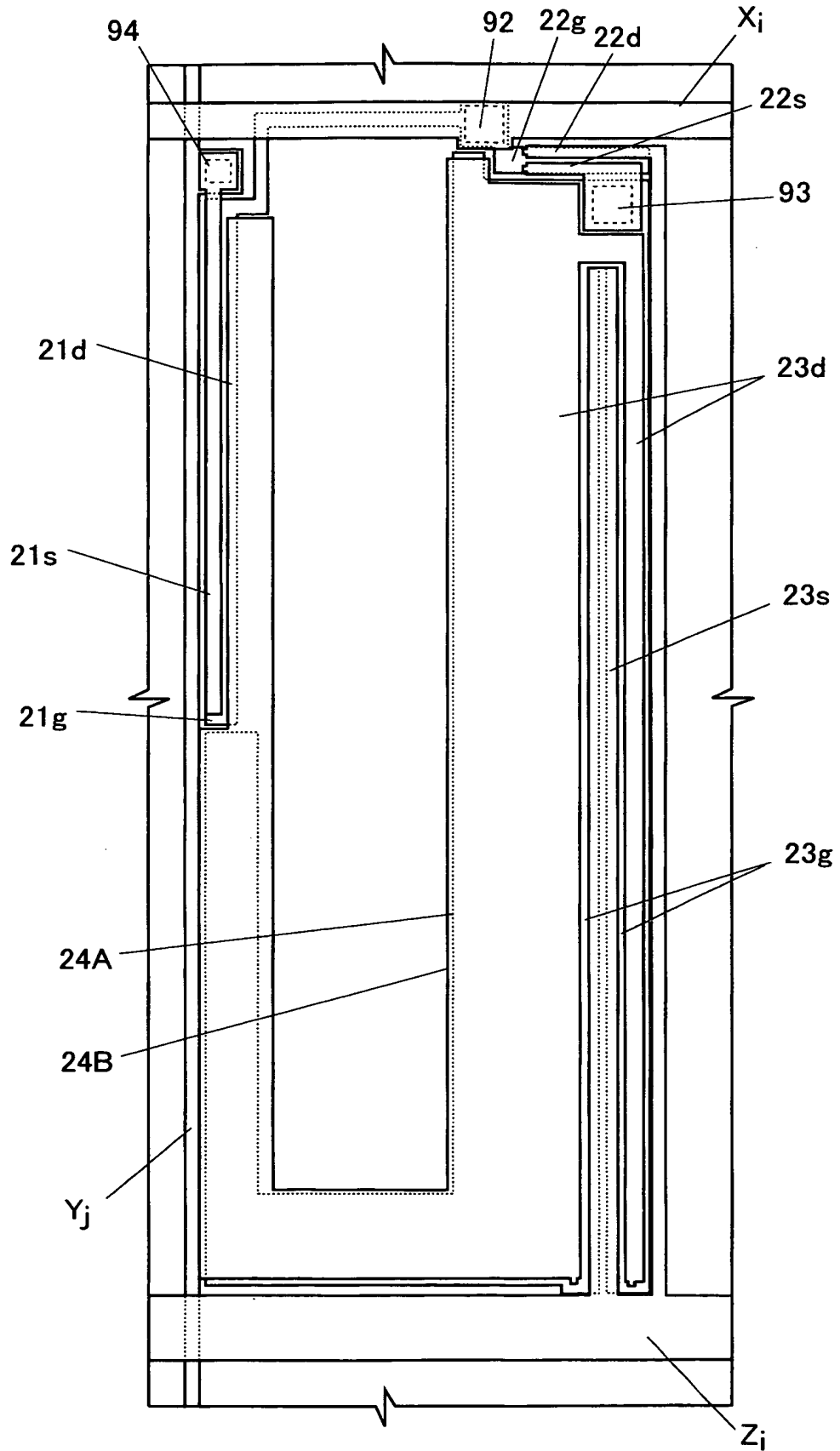
【図 9】



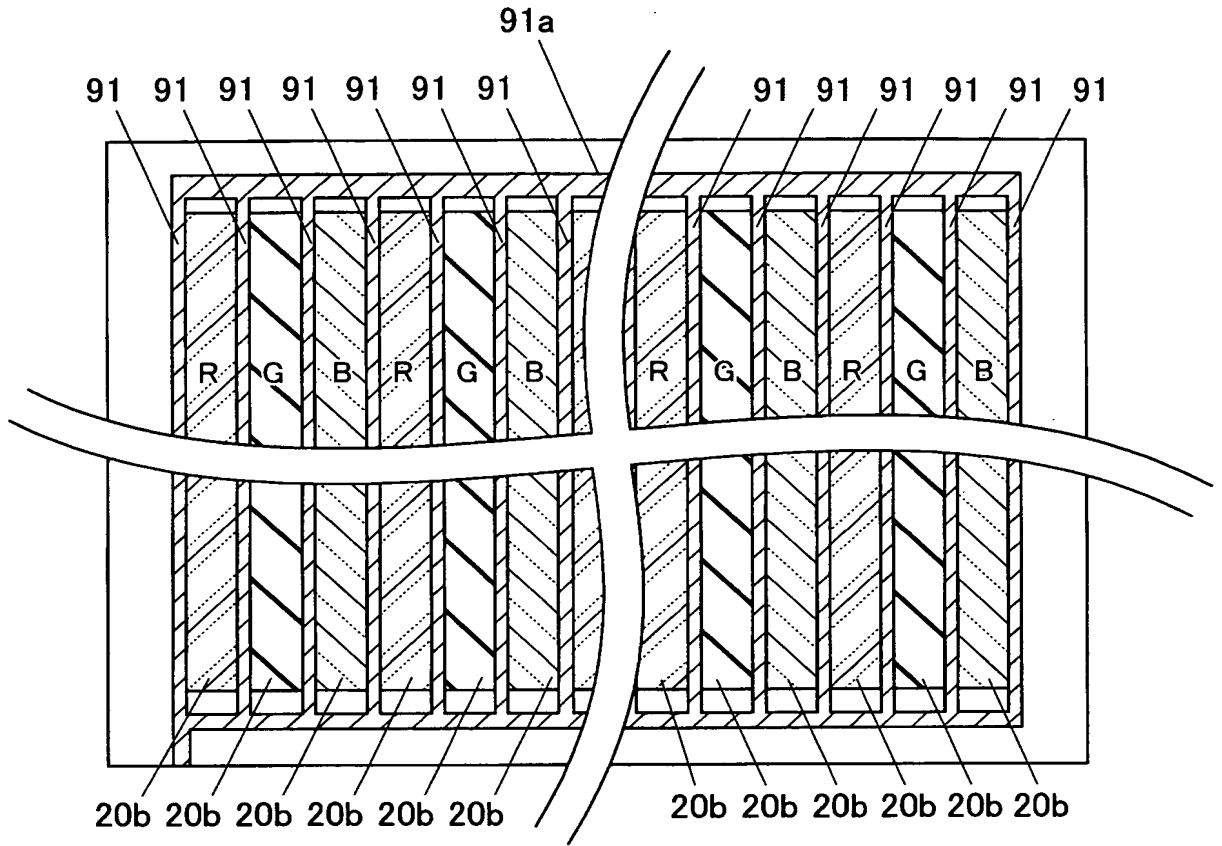
【図 10】



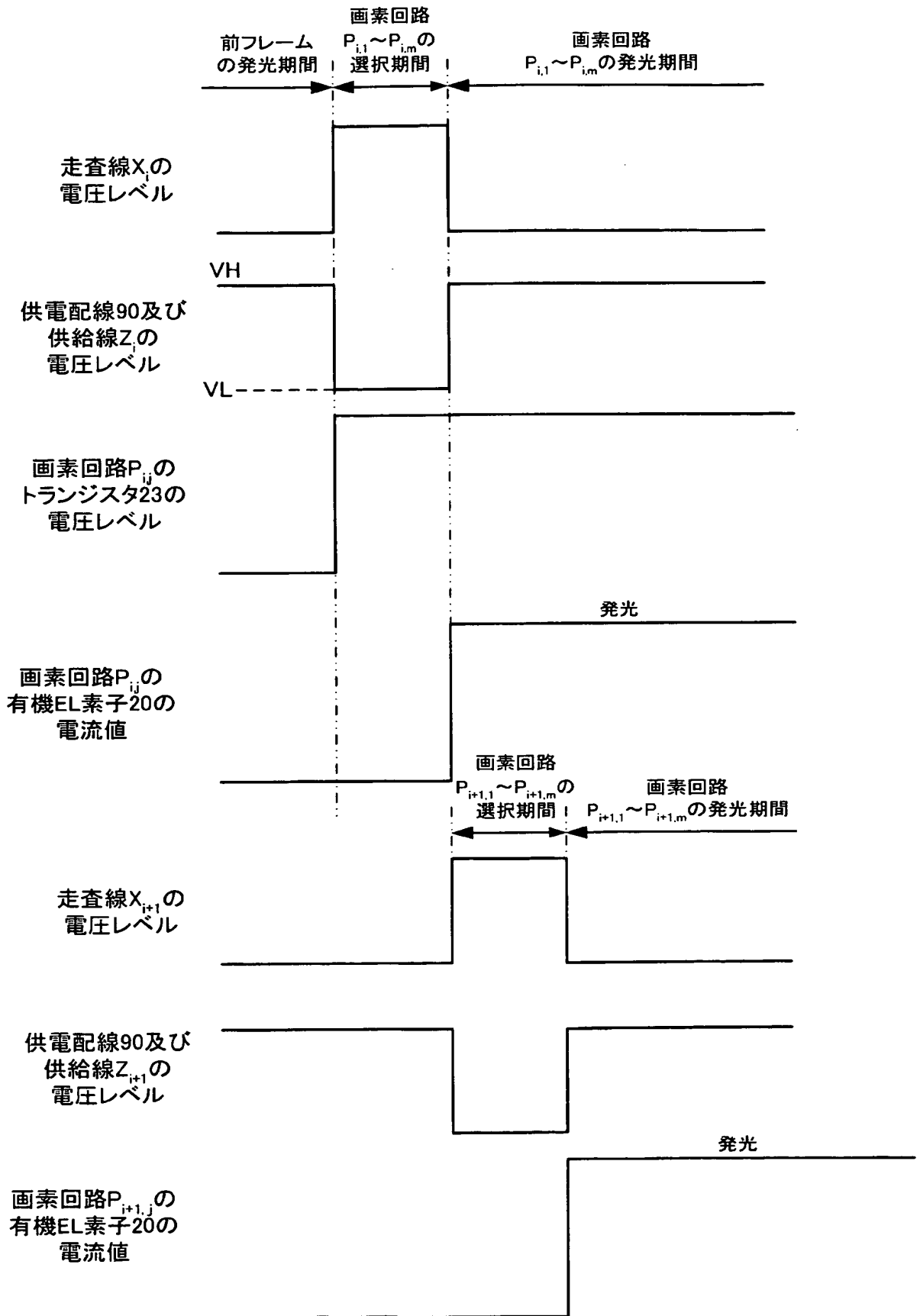
【図 11】



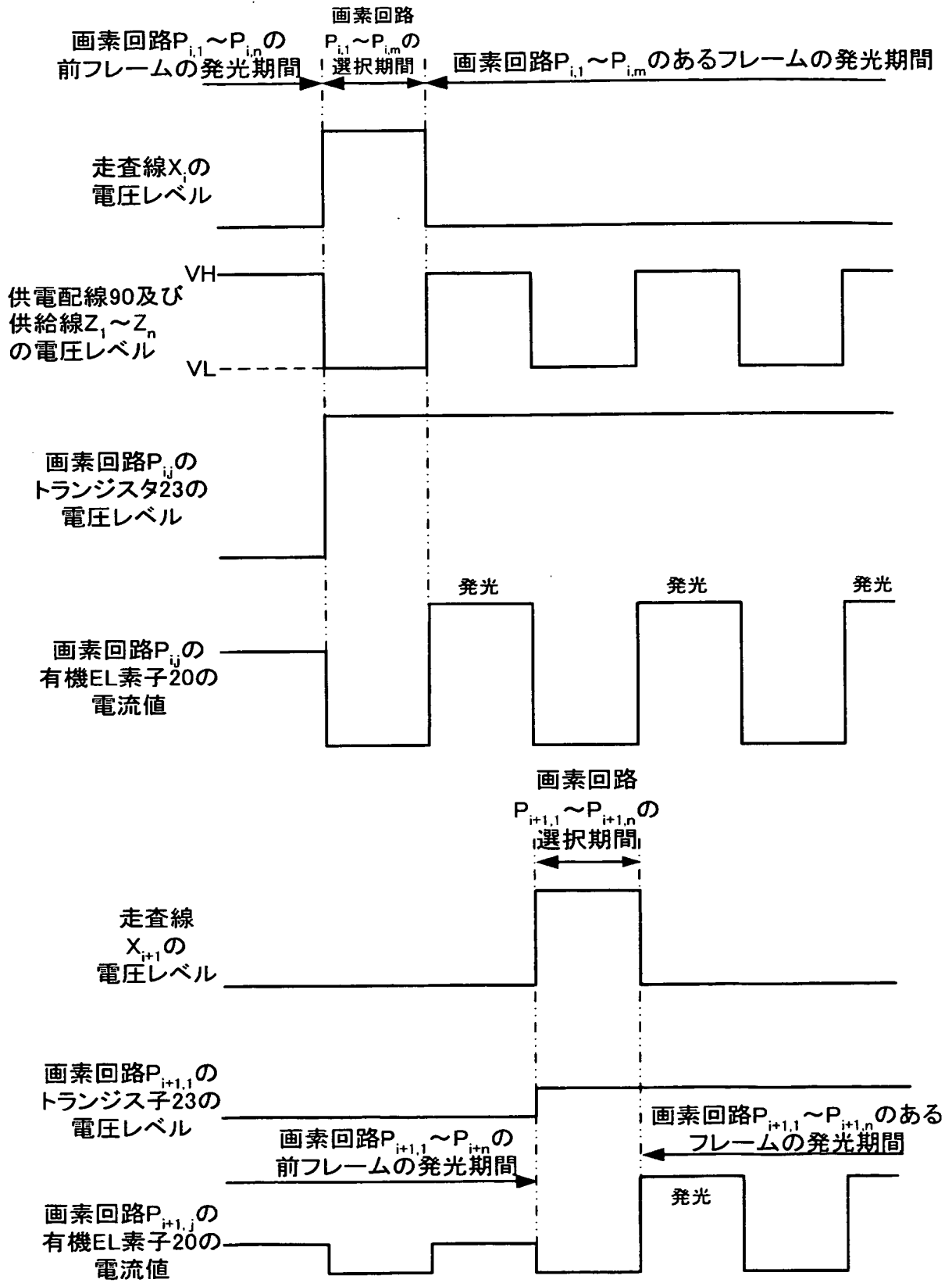
【図 12】



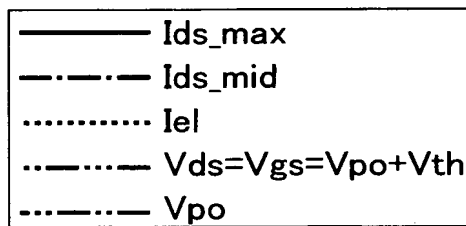
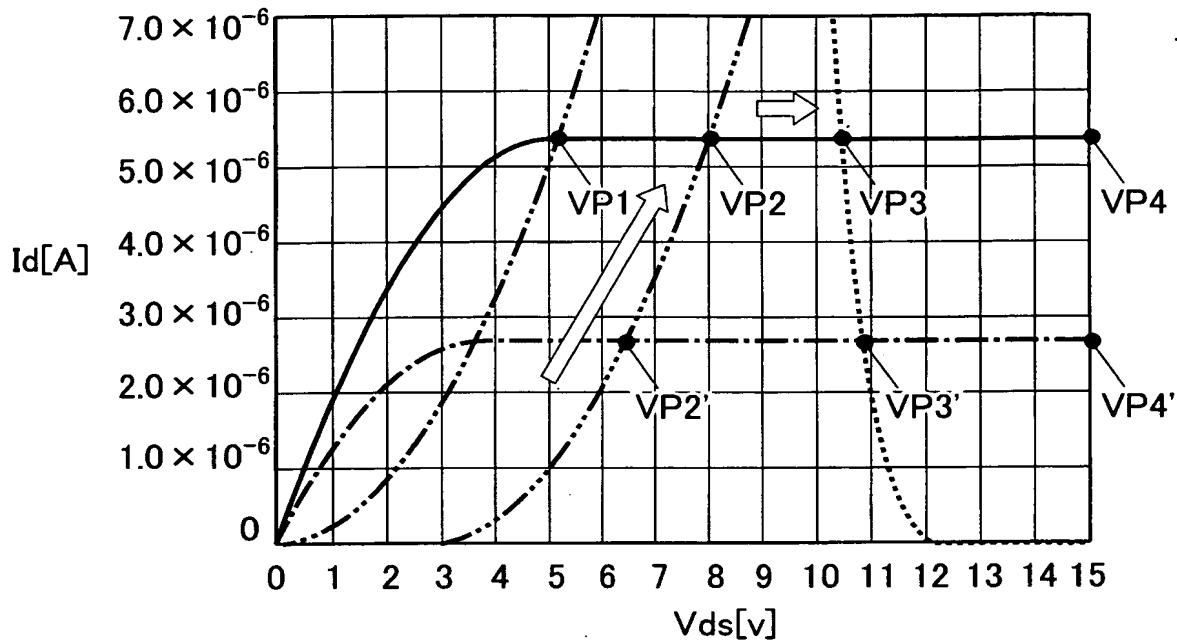
【図 13】



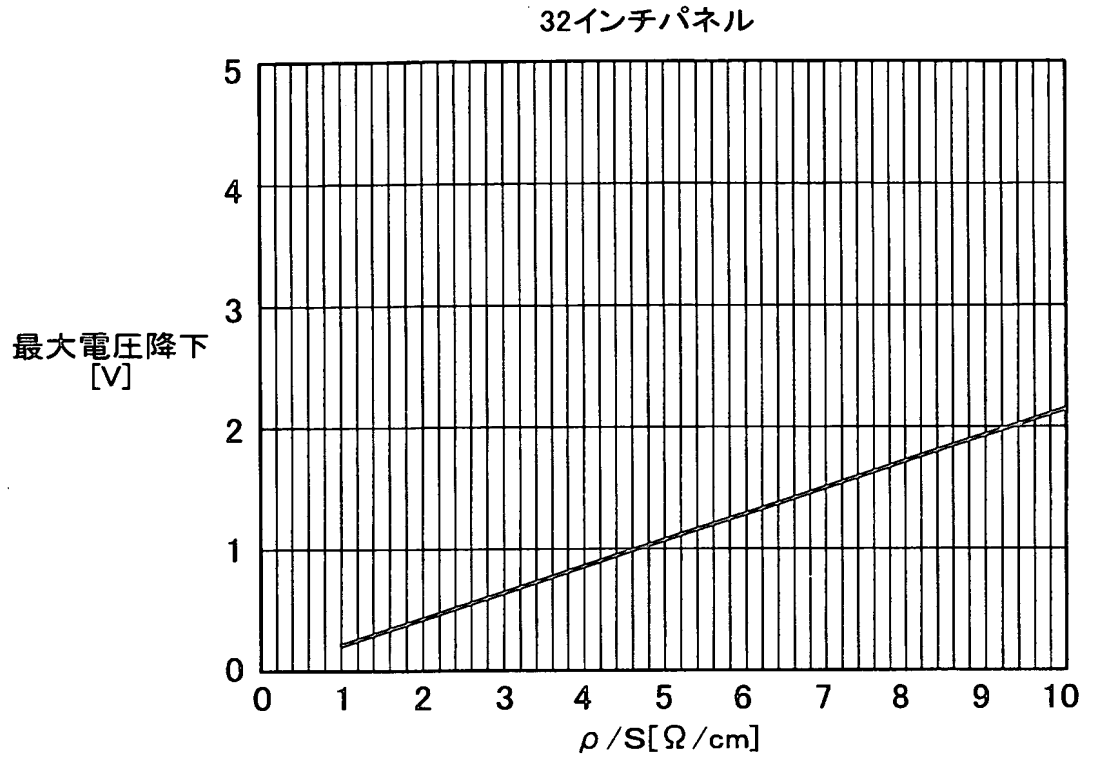
【図14】



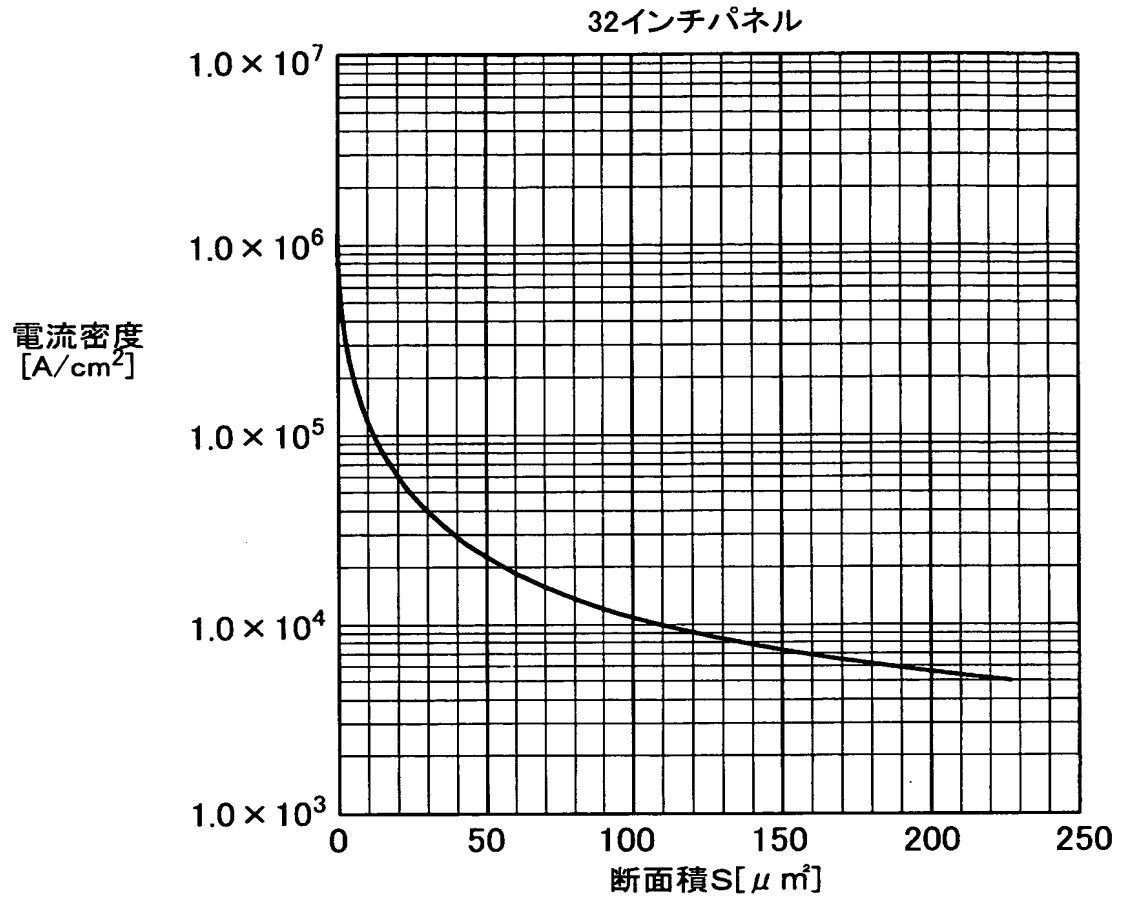
【図 15】



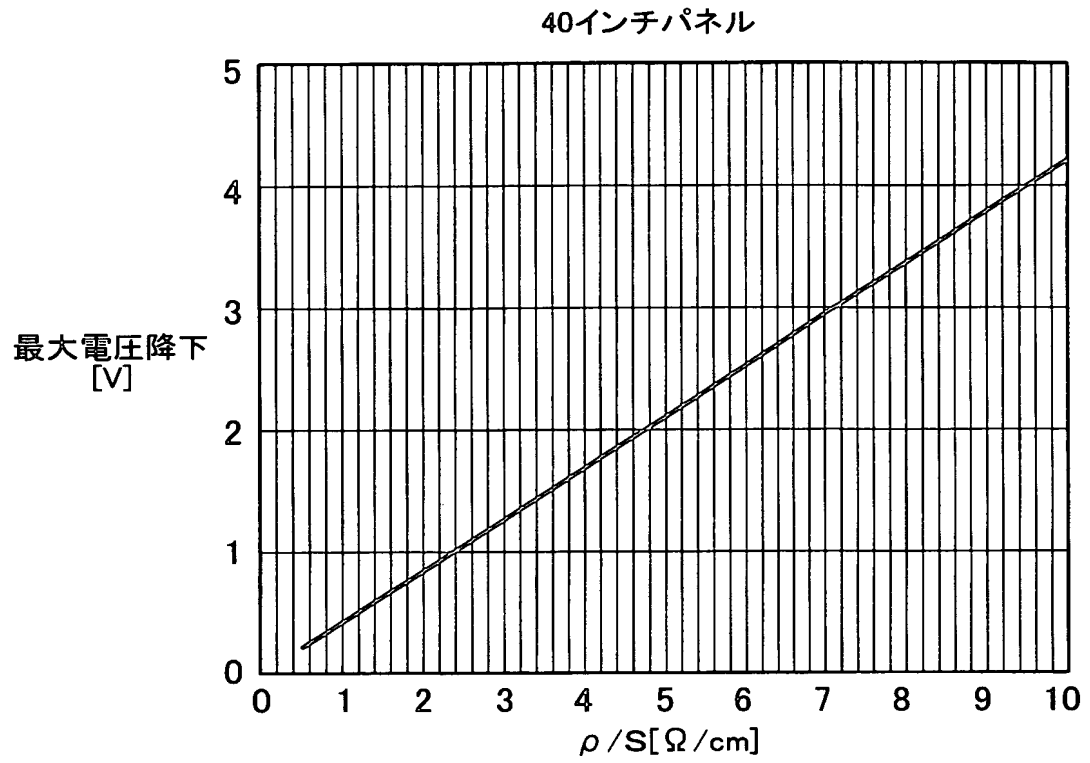
【図 16】



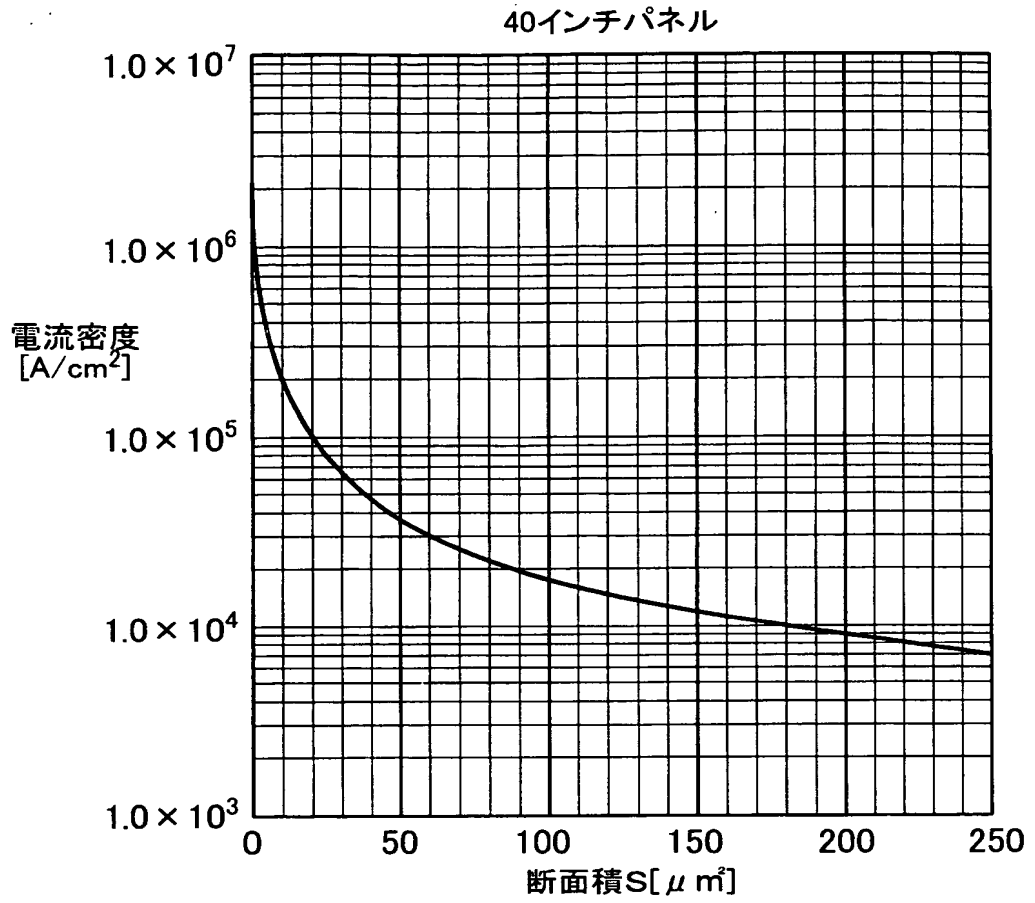
【図 17】



【図 18】



【図 19】



【書類名】 要約書**【要約】**

【課題】 電圧降下を抑えること。

【解決手段】 ELディスプレイパネル1は、絶縁基板2と、各画素の駆動トランジスタ23と、駆動トランジスタ23のゲート23gとともにパターンニングされ、ゲート絶縁膜31によって被覆された信号線 $Y_1 \sim Y_n$ と、駆動トランジスタ23のソース23sとともにパターンニングされ、ゲート絶縁膜31上において信号線 $Y_1 \sim Y_n$ と直交するよう配列され、ドレイン23dに導通した供給線 $Z_1 \sim Z_m$ と、供給線 $Z_1 \sim Z_m$ にそれぞれ積層された複数の給電配線90と、駆動トランジスタ23を被覆した保護絶縁膜32と、保護絶縁膜32上にマトリクス状に配列され、駆動トランジスタ23のソース23sに導通した画素電極20aと、画素電極20aに成膜された有機EL層20bと、有機EL層20bを被覆した対向電極20cと、を備える。

【選択図】 図5

特願 2004-273532

出願人履歴情報

識別番号 [000001443]

1. 変更年月日 1998年 1月 9日
[変更理由] 住所変更
住所 東京都渋谷区本町1丁目6番2号
氏名 カシオ計算機株式会社



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
 United States Patent and Trademark Office
 Address: COMMISSIONER FOR PATENTS
 P.O. Box 1450
 Alexandria, Virginia 22313-1450
 www.uspto.gov

APPLICATION NUMBER	FILING OR 371 (c) DATE	FIRST NAMED APPLICANT	ATTORNEY DOCKET NUMBER
11/232,368	09/21/2005	Satoru Shimoda	05621/LH

01933
 FRISHAUF, HOLTZ, GOODMAN & CHICK, PC
 220 5TH AVE FL 16
 NEW YORK, NY 10001-7708

CONFIRMATION NO. 7953
FORMALITIES
LETTER

Date Mailed: 10/14/2005

NOTICE TO FILE MISSING PARTS OF NONPROVISIONAL APPLICATION

FILED UNDER 37 CFR 1.53(b)

Filing Date Granted

Items Required To Avoid Abandonment:

An application number and filing date have been accorded to this application. The item(s) indicated below, however, are missing. Applicant is given **TWO MONTHS** from the date of this Notice within which to file all required items and pay any fees required below to avoid abandonment. Extensions of time may be obtained by filing a petition accompanied by the extension fee under the provisions of 37 CFR 1.136(a).

- The oath or declaration is missing. *A properly signed oath or declaration in compliance with 37 CFR 1.63, identifying the application by the above Application Number and Filing Date, is required.*
Note: If a petition under 37 CFR 1.47 is being filed, an oath or declaration in compliance with 37 CFR 1.63 signed by all available joint inventors, or if no inventor is available by a party with sufficient proprietary interest, is required.

The applicant needs to satisfy supplemental fees problems indicated below.

The required item(s) identified below must be timely submitted to avoid abandonment:

- To avoid abandonment, a surcharge (for late submission of filing fee, search fee, examination fee or oath or declaration) as set forth in 37 CFR 1.16(f) of \$130 for a non-small entity, must be submitted with the missing items identified in this letter.

SUMMARY OF FEES DUE:

Total additional fee(s) required for this application is **\$130** for a Large Entity

- **\$130** Surcharge.

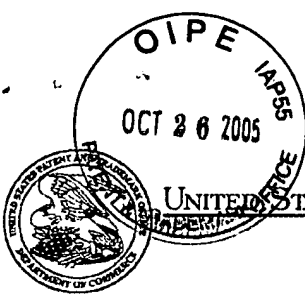
Replies should be mailed to: Mail Stop Missing Parts
 Commissioner for Patents

P.O. Box 1450
Alexandria VA 22313-1450

*A copy of this notice **MUST** be returned with the reply.*

B. Habtemord

Office of Initial Patent Examination (571) 272-4000, or 1-800-PTO-9199, or 1-800-972-6382
PART 3 - OFFICE COPY



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
 United States Patent and Trademark Office
 Address: COMMISSIONER FOR PATENTS
 P.O. Box 1450
 Alexandria, Virginia 22313-1450
 www.uspto.gov

APPLICATION NUMBER	FILING OR 371 (c) DATE	FIRST NAMED APPLICANT	ATTORNEY DOCKET NUMBER
11/232,368	09/21/2005	Satoru Shimoda	05621/LH

CONFIRMATION NO. 7953

FORMALITIES
 LETTER

01933
 FRISHAUF, HOLTZ, GOODMAN & CHICK, PC
 220 5TH AVE FL 16
 NEW YORK, NY 10001-7708

Date Mailed: 10/14/2005

NOTICE TO FILE MISSING PARTS OF NONPROVISIONAL APPLICATION

FILED UNDER 37 CFR 1.53(b)

Filing Date Granted

Items Required To Avoid Abandonment:

An application number and filing date have been accorded to this application. The item(s) indicated below, however, are missing. Applicant is given **TWO MONTHS** from the date of this Notice within which to file all required items and pay any fees required below to avoid abandonment. Extensions of time may be obtained by filing a petition accompanied by the extension fee under the provisions of 37 CFR 1.136(a).

- The oath or declaration is missing. *A properly signed oath or declaration in compliance with 37 CFR 1.63, identifying the application by the above Application Number and Filing Date, is required.*
Note: If a petition under 37 CFR 1.47 is being filed, an oath or declaration in compliance with 37 CFR 1.63 signed by all available joint inventors, or if no inventor is available by a party with sufficient proprietary interest, is required.

The applicant needs to satisfy supplemental fees problems indicated below.

The required item(s) identified below must be timely submitted to avoid abandonment:

- To avoid abandonment, a surcharge (for late submission of filing fee, search fee, examination fee or oath or declaration) as set forth in 37 CFR 1.16(f) of \$130 for a non-small entity, must be submitted with the missing items identified in this letter.

SUMMARY OF FEES DUE:

Total additional fee(s) required for this application is **\$130** for a Large Entity

- **\$130** Surcharge.

Replies should be mailed to: Mail Stop Missing Parts
 Commissioner for Patents

10/27/2005 EAREGAY1 00000007 11232368

01 FC:1051

130.00 0P

P.O. Box 1450
Alexandria VA 22313-1450

*A copy of this notice **MUST** be returned with the reply.*

B. Habtemid.

Office of Initial Patent Examination (571) 272-4000, or 1-800-PTO-9199, or 1-800-972-6382
PART 2 - COPY TO BE RETURNED WITH RESPONSE

CERTIFICATE OF MAILING

Attorney Docket No. 05621/LH

**IN THE UNITED STATES PATENT
AND TRADEMARK OFFICE**

Applicant(s): S. SHIMODA, ET AL

Serial No. : 11/232,368

Filed : September 21, 2005

For : TRANSISTOR ARRAY SUBSTRATE
AND DISPLAY PANEL

Art Unit : 2827

Customer No.: 01933

Examiner :

SUBMISSION OF SIGNED DECLARATION

Commissioner for Patents
Alexandria, VA 22313-1450

Att: MS - MISSING PARTS

S I R :

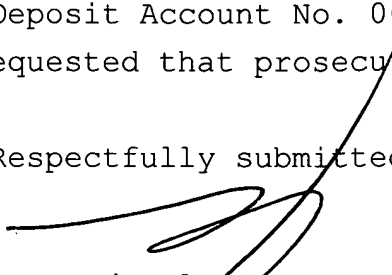
Responsive to the Patent Office Notice mailed October 14, 2005 (copy enclosed), the term for response to which expires on December 14, 2005, submitted herewith is a Declaration executed by the inventors and attached to a complete set of application papers.

Submitted herewith is a PTO-2038 form authorizing a charge of \$130.00.

Authorization is also given to charge any additional fees which may be required to Deposit Account No. 06-1378.

It is respectfully requested that prosecution on the merits now proceed.

Respectfully submitted,


Leonard Holtz, Esq.
Reg. No. 27,974

Frishauf, Holtz, Goodman & Chick, P.C.
220 Fifth Avenue - 16th Floor
New York, New York 10001-7708
Tel. No. (212) 319-4900
Fax No. (212) 319-5101
LH:sp

I hereby certify that this correspondence is being deposited with the United States Postal Service as First Class mail in an envelope addressed to: Mail Stop Missing Parts, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450, on the date noted below


Sharon Portnoy

Dated: October 24, 2005

In the event that this Paper is late filed, and the necessary petition for extension of time is not filed concurrently herewith, please consider this as a Petition for the requisite extension of time, and to the extent not tendered by credit card (Form PTO-2038 attached hereto), authorization to charge the extension fee, or any other fee required in connection with this Paper, to Account No. 06-1378.



TITLE OF THE INVENTION

TRANSISTOR ARRAY SUBSTRATE AND DISPLAY PANEL

CROSS-REFERENCE TO RELATED APPLICATIONS

5 This application is based upon and claims the
benefit of priority from prior Japanese Patent
Applications No. 2004-273532, filed September 21, 2004;
No. 2004-273580, filed September 21, 2004; and
No. 2005-269434, filed September 16, 2005, the entire
10 contents of all of which are incorporated herein by
reference.

BACKGROUND OF THE INVENTION

1. Field of the Invention

The present invention relates to a transistor
array substrate having a plurality of transistors and,
15 more particularly, to a display panel using light-
emitting elements which cause self emission when a
current is supplied by the transistor array substrate.

2. Description of the Related Art

Organic electroluminescent display panels can
20 roughly be classified into passive driving types and
active matrix driving types. Organic
electroluminescent display panels of active matrix
driving type are more excellent than those of passive
driving type because of high contrast and high
25 resolution. In a conventional organic
electroluminescent display panel of active matrix
display type described in, e.g., Jpn. Pat. Appln. KOKAI

Publication No. 8-330600, an organic electroluminescent element (to be referred to as an organic EL element hereinafter), a driving transistor which supplies a current to the organic EL element when a voltage signal corresponding to image data is applied to the gate of the transistor, and a switching transistor which performs switching to supply the voltage signal corresponding to image data to the gate of the driving transistor are arranged for each pixel. In this display panel, when a predetermined scan line is selected, the switching transistor is turned on. At this time, a voltage of level representing the luminance is applied to the gate of the driving transistor through a signal line. Thus, the driving transistor is turned on. A driving current having a magnitude corresponding to the level of the gate voltage is supplied from the power supply to the organic EL element through the source-to-drain path of the driving transistor. Consequently, the EL element emits light at a luminance corresponding to the magnitude of the current. During the period from the end of scan line selection to the next scan line selection, the level of the gate voltage of the driving transistor is continuously held even after the switching transistor is turned off. Hence, the organic EL element keeps emitting light at a luminance corresponding to the magnitude of the driving current

corresponding to the voltage.

To drive the organic electroluminescent display panel, a driving circuit is provided around the display panel to apply a voltage to the scan lines, signal
5 lines, and power supply lines laid on the display panel.

In the conventional organic electroluminescent display panel of active matrix driving type, interconnections such as a power supply line to supply
10 a current to an organic EL element are patterned simultaneously in the thin-film transistor patterning step by using the material of a thin-film transistor such as a switching transistor or driving transistor. More specifically, in manufacturing the display panel,
15 a conductive thin film as a prospective electrode of a thin-film transistor is subjected to photolithography and etching to form the electrode of a thin-film transistor from the conductive thin film. At the same time, an interconnection connected to the electrode is
20 also formed. For this reason, when the interconnection is formed from the conductive thin film, the thickness of the interconnection equals that of the thin-film transistor.

The electrode of the thin-film transistor is
25 designed assuming that it functions as a transistor. In other words, the electrode is not designed assuming that it supplies a current to a light-emitting element.

Hence, the thin-film transistor is thin literally. If a current is supplied from the interconnection to a plurality of light-emitting elements, a voltage drop occurs, or the current flow through the interconnection delays due to the electrical resistance of the interconnection. To suppress the voltage drop or interconnection delay, the resistance of the interconnection is preferably low. If the resistance of the interconnection is reduced by making a metal layer serving as the source and drain of the transistor or a metal layer serving as the gate electrode thick, or patterning the metal layers considerably wide to sufficiently flow the current through the metal layers, the overlap area of the interconnection on another interconnection or conductor when viewed from the upper side increases, and a parasitic capacitance is generated between them. This retards the flow of the current. Alternatively, in a so-called bottom emission structure which emits EL light from the transistor array substrate side, light emitted from the EL elements is shielded by the interconnections, resulting in a decrease in opening ratio, i.e., the ratio of the light emission area. If the gate electrode of the thin-film transistor is made thick to lower the resistance, a planarization film (corresponding to a gate insulating film when the thin-film transistor has, e.g., an inverted stagger structure) to eliminate the

step of the gate electrode must also be formed thick. This may lead to a large change in transistor characteristic. When the source and drain are formed thick, the etching accuracy of the source and drain
5 degrades. This may also adversely affect the transistor characteristic.

BRIEF SUMMARY OF THE INVENTION

It is an object of the present invention to satisfactorily drive a light-emitting element while
10 suppressing any voltage drop and signal delay.

A transistor array substrate according to a first aspect of the present invention comprises:

a substrate;

a plurality of driving transistors which are
15 arrayed in a matrix on the substrate, each of the driving transistors having a gate, a source, a drain, and a gate insulating film inserted between the gate, and the source and drain;

a plurality of signal lines which are patterned
20 together with the gates of the plurality of driving transistors and arrayed to run in a predetermined direction on the substrate;

a plurality of supply lines which are patterned together with the sources and drains of the plurality
25 of driving transistors and arrayed to cross the plurality of signal lines via the gate insulating film, each of the supply lines being electrically connected

to one of the source and the drain of the driving transistor; and

5 a plurality of feed interconnections which are formed on the plurality of supply lines along the plurality of supply lines, respectively.

10 Preferably, a substrate according to claim 1, further comprising a plurality of scan lines which are patterned together with the sources and drains of the plurality of driving transistors and arrayed to cross the plurality of supply lines via the gate insulating film.

15 Preferably, a substrate according to claim 2, which further comprises a plurality of switch transistors which are arrayed in a matrix on the substrate, each of the switch transistors having the gate insulating film inserted between a gate and a source and drain, and

20 in which one of the source and drain of each of the plurality of switch transistors is electrically connected to the other of the source and drain of a corresponding one of the plurality of driving transistors,

25 the gate of each of the plurality of switch transistors is electrically connected to the scan line through a contact hole formed in the gate insulating film, and

the other of the source and drain of each of the

plurality of switch transistors is electrically connected to the signal line through a contact hole formed in the gate insulating film.

5 Preferably, a substrate according to claim 2, which further comprises a plurality of holding transistors which are arrayed in a matrix on the substrate, each of the holding transistors having the gate insulating film inserted between a gate and a source and drain, and

10 in which one of the source and drain of each of the plurality of holding transistors is electrically connected to the gate of a corresponding one of the plurality of driving transistors through a contact hole formed in the gate insulating film,

15 the other of the source and drain of each of the plurality of holding transistors is electrically connected to one of the supply line and the scan line, and

20 the gate of each of the plurality of holding transistors is electrically connected to the scan line through a contact hole formed in the gate insulating film.

A display panel according to a second aspect of the present invention is a display panel comprising:

25 a substrate;

a plurality of driving transistors which are arrayed in a matrix on the substrate, each of the

driving transistors having a gate, a source, a drain, and a gate insulating film inserted between the gate, and the source and drain;

5 a plurality of signal lines which are patterned together with the gates of the plurality of driving transistors and arrayed to run in a predetermined direction on the substrate;

10 a plurality of supply lines which are patterned together with the sources and drains of the plurality of driving transistors and arrayed to cross the plurality of signal lines via the gate insulating film, each of the supply lines being electrically connected to one of the source and the drain of the driving transistor; and

15 a plurality of feed interconnections which are connected to the plurality of supply lines along the plurality of supply lines;

20 a plurality of pixel electrodes each of which is electrically connected to the other of the source and the drain of each of the plurality of driving transistors;

a plurality of light-emitting layers which are formed on the plurality of pixel electrodes, respectively; and

25 a counter electrode which covers the plurality of light-emitting layers.

Preferably, a panel according to claim 13, further

comprising a plurality of scan lines which are patterned together with the sources and drains of the plurality of driving transistors and arrayed to cross the plurality of supply lines via the gate insulating film.

5
According to this aspect, the signal lines are patterned together with the gates of the driving transistors. However, since the feed interconnections are stacked on the supply lines, the feed
10 interconnections are formed separately for the drains, sources, and gates of the driving transistors. For this reason, the feed interconnection can be made thick without increasing its width, and the resistance of the feed interconnection can be reduced. Hence, even when
15 a signal is output to the driving transistor and pixel electrode through the feed interconnection, the voltage drop and signal delay can be suppressed.

When the feed interconnections are to be formed by electroplating, the supply lines are formed on the
20 signal lines. When the structure is dipped in a plating solution while a voltage is applied to the supply lines in the manufacturing step of the transistor array substrate and the display panel, the feed interconnections can be grown on the supply
25 lines.

According to this aspect, since the feed interconnections can be made thick, the resistance of

the feed interconnections can be reduced. When the resistance of the feed interconnections decreases, the signal delay and voltage drop can be suppressed.

5 A display panel manufacturing method according to a fourth aspect of the present invention is claim 18.

A thick interconnection can suppress the voltage drop and can also be used as a partition wall in forming an organic compound-containing solution. Since the liquid repellent conductive layer exhibits liquid
10 repellency, an organic compound layer can satisfactorily be patterned. A liquid repellent conductive layer containing, e.g., a triazine compound can selectively be formed on a metal surface so as to exhibit liquid repellency but cannot be formed on the
15 surface of an insulator or a metal oxide to exhibit liquid repellency. In addition, the liquid repellent conductive layer is formed on the metal surface very thin. Hence, the electrical conductivity on the metal surface is not lost.

20 BRIEF DESCRIPTION OF THE SEVERAL VIEWS OF THE DRAWING

FIG. 1 is a view showing the circuit arrangement of an EL display panel together with an insulating substrate;

25 FIG. 2 is an equivalent circuit diagram of a pixel circuit of the EL display panel;

FIG. 3 is a plan view showing the electrode of the pixel circuit of the EL display panel;

FIG. 4 is a plan view showing the electrode of the pixel circuit of the EL display panel;

FIG. 5 is a sectional view taken along a line V - V in FIG. 3;

5 FIG. 6 is a sectional view taken along a line VI - VI in FIG. 3;

FIG. 7 is a sectional view taken along a line VII - VII in FIG. 3;

10 FIG. 8 is a sectional view taken along a line VIII - VIII in FIG. 3;

FIG. 9 is a plan view showing a state wherein a gate layer is patterned;

FIG. 10 is a plan view showing a state wherein a drain layer is patterned;

15 FIG. 11 is a plan view showing a state wherein the drain layer is superposed on the patterned gate layer;

FIG. 12 is a schematic plan view showing the layout of an organic EL layer of the EL display panel;

20 FIG. 13 is a timing chart for explaining a driving method of the EL display panel;

FIG. 14 is a timing chart for explaining another driving method of the EL display panel;

25 FIG. 15 is a graph showing the current vs. voltage characteristic of the driving transistor and organic EL element of each pixel circuit;

FIG. 16 is a graph showing the correlation between the maximum voltage drop and the interconnection

resistivity ρ /sectional area S of the feed interconnection and common interconnection of a 32-inch EL display panel;

5 FIG. 17 is a graph showing the correlation between the sectional area and the current density of the feed interconnection and common interconnection of the 32-inch EL display panel;

10 FIG. 18 is a graph showing the correlation between the maximum voltage drop and the interconnection resistivity ρ /sectional area S of the feed interconnection and common interconnection of a 40-inch EL display panel 1;

15 FIG. 19 is a graph showing the correlation between the sectional area and the current density of the feed interconnection and common interconnection of the 40-inch EL display panel;

FIG. 20 is a view showing the circuit arrangement of an EL display panel together with an insulating substrate;

20 FIG. 21 is an equivalent circuit diagram of a pixel circuit of the EL display panel;

FIG. 22 is a plan view showing the electrodes of pixel circuits $P_{i,j}$ and $P_{i,j+1}$ of the EL display panel;

25 FIG. 23 is a sectional view taken along a plane perpendicular to the channel width of a driving transistor;

FIG. 24 is a sectional view taken along a line

XXIV - XXIV in FIG. 22;

FIG. 25 is a sectional view taken along a line
XXV - XXV in FIG. 22;

FIG. 26 is a schematic view showing the coating
5 structure of a liquid repellent conductive film;

FIG. 27 is a schematic plan view showing the
layout of the organic EL layers of the EL display
panel; and

FIG. 28 is a timing chart for explaining the
10 operation of the EL display panel.

DETAILED DESCRIPTION OF THE INVENTION

[First Embodiment]

The best mode for carrying out the present
invention will be described below with reference to the
15 accompanying drawing. Various kinds of limitations
which are technically preferable in carrying out the
present invention are added to the embodiments to be
described below. However, the spirit and scope of the
present invention are not limited to the following
20 embodiments and illustrated examples.

[Overall Arrangement of EL Display Panel]

FIG. 1 is a schematic view showing an EL display
panel 1 of active matrix driving type. As shown in
FIG. 1, the EL display panel 1 comprises an insulating
25 substrate 2, \underline{n} (a plurality of) signal lines Y_1 to Y_n ,
 \underline{m} (a plurality of) scan lines X_1 to X_m , \underline{m} (a plurality
of) supply lines Z_1 to Z_m , ($m \times n$) pixel circuits $P_{1,1}$

to $P_{m,n}$, a plurality of feed interconnections 90, and common interconnections 91. The insulating substrate 2 is optically transparent and has a flexible sheet shape or a rigid plate shape. The signal lines Y_1 to Y_n are arrayed on the insulating substrate 2 in parallel to each other. The scan lines X_1 to X_m are arrayed on the insulating substrate 2 to be perpendicularly to the signal lines Y_1 to Y_n when the insulating substrate 2 is viewed from the upper side. The supply lines Z_1 to Z_m are arrayed on the insulating substrate 2 between the scan lines X_1 to X_m to be parallel to them so that the supply lines and scan lines alternate. The pixel circuits $P_{1,1}$ to $P_{m,n}$ are arrayed on the insulating substrate 2 in a matrix along the signal lines Y_1 to Y_n and scan lines X_1 to X_m . The feed interconnections 90 are provided in parallel to the supply lines Z_1 to Z_m when viewed from the upper side. The common interconnections 91 are provided in parallel to the signal lines Y_1 to Y_n when viewed from the upper side.

In the following description, the direction in which the signal lines Y_1 to Y_n run will be defined as the vertical direction (column direction), and the direction in which the scan lines X_1 to X_m run will be defined as the horizontal direction (row direction). In addition, m and n are natural numbers ($m \geq 2$, $n \geq 2$). The subscript added to a scan line X represents the sequence from the top in FIG. 1. The

subscript added to a supply line Z represents the
sequence from the top in FIG. 1. The subscript added
to a signal line Y represents the sequence from the
left in FIG. 1. The first subscript added to a pixel
5 circuit P represents the sequence from the top, and the
second subscript represents the sequence from the left.
More specifically, let i be an arbitrary natural number
of 1 to m , and j be an arbitrary natural number of 1 to
 n , a scan line X_i is the i th row from the top, a supply
10 line Z_i is the i th row from the top, a signal line Y_j
is the j th column from the left, and a pixel circuit
 $P_{i,j}$ is located on the i th row from the top and the j th
column from the left. The pixel circuit $P_{i,j}$ is
connected to the scan line X_i , supply line Z_i , and
15 signal line Y_j .

The total number of feed interconnections 90 is m .
A voltage V_L to flow a write current and a voltage V_H
to flow a driving current are applied from a left
terminal 90b and right terminal 90c on the insulating
20 substrate 2 to each feed interconnection 90. For this
reason, the voltage drop of the feed interconnection 90
can be suppressed small as compared to when applying
the voltages V_L and V_H from one of the left terminal
90b and right terminal 90c. The feed interconnections
25 90 are formed on the upper surfaces of the supply lines
 Z_1 to Z_m to be electrically connected to them.

The total number of common interconnections 91 is

n+1. Two common interconnections 91 adjacent in the row direction also function as partition walls to partition, in film formation, organic EL layers 20b of organic EL elements (light-emitting elements) 20
5 arranged between them. The common interconnections 91 are connected to a lead interconnection 91a on the front side and to a lead interconnection 91b on the rear side. The lead interconnections 91a and 91b have the same thickness as the common interconnections 91
10 and also function as partition walls to partition the organic EL layers 20b in the fore-and-aft direction in film formation. The common interconnections 91 are connected to an external device through interconnection terminals 91c. A common potential Vcom is applied to
15 the common interconnections 91.

In the EL display panel 1, regions partitioned in a matrix by the scan lines X_1 to X_m and signal lines Y_1 to Y_n form pixels. Each of the pixel circuits $P_{1,1}$ to $P_{m,n}$ is provided in one region.

20 [Circuit Arrangement of Pixel Circuit]

The pixel circuits $P_{1,1}$ to $P_{m,n}$ have the same structure. So, the arbitrary pixel circuit $P_{i,j}$ of the pixel circuits $P_{1,1}$ to $P_{m,n}$ will be described. FIG. 2 is an equivalent circuit diagram of the pixel circuit
25 $P_{i,j}$. FIGS. 3 and 4 are plan views mainly showing the electrode of the pixel circuit $P_{i,j}$. For the illustrative convenience, FIG. 3 does not illustrate a

pixel electrode 20a of the pixel circuit $P_{i,j}$. FIG. 4 does not illustrate the electrode on the lower side of the pixel circuit $P_{i,j}$.

The pixel circuit $P_{i,j}$ comprises the organic EL element 20 serving as a pixel, three N-channel amorphous silicon thin-film transistors (to be simply referred to as transistors hereinafter) 21, 22, and 23 arranged around the organic EL element 20, and a capacitor 24. The first transistor 21 will be referred to as the switch transistor 21, the second transistor 22 as the holding transistor 22, and the third transistor 23 as the driving transistor 23 hereinafter.

As shown in FIG. 2, in the switch transistor 21 of the pixel circuit $P_{i,j}$, a source 21s is electrically connected to the signal line Y_j . A drain 21d is electrically connected to the pixel electrode 20a of the organic EL element 20, a source 23s of the driving transistor 23, and an upper electrode 24B of the capacitor 24. A gate 21g of the first transistor is electrically connected to a gate 22g of the holding transistor 22 and the scan line X_i .

In the holding transistor 22, a source 22s is electrically connected to a gate 23g of the driving transistor 23 and a lower electrode 24A of the capacitor 24. A drain 22d of the second transistor 22 is electrically connected to a drain 23d of the driving transistor 23 and the supply line Z_i . The gate 22g is

electrically connected to the gate 21g of the switch transistor 21 and the scan line X_i .

In the driving transistor 23, the source 23s is electrically connected to the pixel electrode 20a of the organic EL element 20, the drain 21d of the switch transistor 21, and the electrode 24B of the capacitor 24. The drain 23d of the transistor 23 is electrically connected to the drain 22d of the holding transistor 22 and the supply line Z_i . The gate 23g is electrically connected to the source 22s of the holding transistor 22 and the lower electrode 24A of the capacitor 24.

[Planar Layout]

As shown in FIGS. 1 to 4, when the entire EL display panel 1 is viewed from the upper side, the scan lines X_1 to X_m and supply lines Z_1 to Z_m are alternately arrayed. The feed interconnections 90 overlap the supply lines Z_1 to Z_m . The signal lines Y_1 to Y_n and common interconnections 91 are alternately arrayed.

As shown in FIGS. 3 and 4, a focus is placed on the arbitrary pixel circuit $P_{i,j}$ of the pixel circuits $P_{1,1}$ to $P_{m,n}$. When viewed from the upper side, a rectangular region is formed between the signal line Y_j and the common interconnection 91 and between the scan line X_i and the supply line Z_i while being surrounded by them. The pixel electrode 20a of the organic EL element 20 is arranged in the rectangular region.

Hence, when the entire EL display panel 1 is viewed from the upper side, the plurality of pixel electrodes 20a are arrayed in a matrix. The pixel electrode 20a is formed into a rectangular shape long in the vertical direction when viewed from the upper side.

When viewed from the upper side, the switch transistor 21 is arranged along the signal line Y_j . The switch transistor 21 overlaps the edge of the pixel electrode 20a.

When viewed from the upper side, the holding transistor 22 is arranged along the scan line X_i . The holding transistor 22 overlaps the edge of the pixel electrode 20a.

When viewed from the upper side, the driving transistor 23 is arranged to overlap the common interconnection 91.

When viewed from the upper side, the capacitor 24 is arranged along the common interconnection 91, supply line Z_i , and signal line Y_j and overlaps the edge of the pixel electrode 20a.

The entire EL display panel 1 is viewed from the upper side, and a focus is placed on only the switch transistors 21 of the pixel circuits $P_{1,1}$ to $P_{m,n}$. The plurality of switch transistors 21 are arrayed on the insulating substrate 2 in a matrix. When a focus is placed on only the holding transistors 22 of the pixel circuits $P_{1,1}$ to $P_{m,n}$ viewed from the upper side, the

plurality of holding transistors 22 are arrayed on the insulating substrate 2 in a matrix. When a focus is placed on only the driving transistors 23 of the pixel circuits $P_{1,1}$ to $P_{m,n}$ viewed from the upper side, the plurality of driving transistors 23 are arrayed on the insulating substrate 2 in a matrix.

[Layer Structure of EL Display Panel]

The layer structure of the EL display panel 1 will be described. The layer structure of the three transistors 21 to 23 will be described first with reference to FIGS. 5 to 8. FIG. 5 is a sectional view taken along a line V - V in FIG. 3 in the direction of thickness of the insulating substrate 2. FIG. 6 is a sectional view taken along a line VI - VI in FIG. 3 in the direction of thickness of the insulating substrate 2. FIG. 7 is a sectional view taken along a line VII - VII in FIG. 3 in the direction of thickness of the insulating substrate 2. FIG. 8 is a sectional view taken along a line VIII - VIII in FIG. 3 in the direction of thickness of the insulating substrate 2. FIGS. 5 to 7 also show part of a pixel circuit $P_{i,j-1}$ next to the pixel circuit $P_{i,j}$.

As shown in FIG. 5, the switch transistor 21 includes the gate 21g, gate insulating film 31, semiconductor film 21c, channel protective film 21p, impurity-doped semiconductor films 21a and 21b, drain 21d, and source 21s. The gate 21g is formed on the

transparent insulating substrate 2. The gate
insulating film 31 has a part formed on the gate 21g.
The semiconductor film 21c opposes the gate 21g via the
part of the gate insulating film 31. The channel
5 protective film 21p is formed on the central portion of
the semiconductor film 21c. The impurity-doped
semiconductor films 21a and 21b are formed on two end
portions of the semiconductor film 21c to be spaced
apart from each other and partially overlap the channel
10 protective film 21p. The drain 21d is formed on one
impurity-doped semiconductor film 21a. The source 21s
is formed on the other impurity-doped semiconductor
film 21b. The drain 21d and source 21s can have either
a single-layer structure or a layered structure
15 including two or more layers.

As shown in FIG. 8, the holding transistor 22
includes the gate 22g, gate insulating film 31,
semiconductor film 22c, channel protective film 22p,
impurity-doped semiconductor films 22a and 22b, drain
20 22d, and source 22s. The gate 22g is formed on the
insulating substrate 2. The gate insulating film 31
has a part formed on the gate 22g. The semiconductor
film 22c opposes the gate 22g via the part of the gate
insulating film 31. The channel protective film 22p is
25 formed on the central portion of the semiconductor film
22c. The impurity-doped semiconductor films 22a and
22b are formed on two ends of the semiconductor film

22c to be spaced apart from each other and partially overlap the channel protective film 22p. The drain 22d is formed on one impurity-doped semiconductor film 22a. The source 22s is formed on the other impurity-doped semiconductor film 22b. The drain 22d and source 22s can have either a single-layer structure or a layered structure including two or more layers.

As shown in FIG. 5, the driving transistor 23 includes the gate 23g, gate insulating film 31, semiconductor film 23c, channel protective film 23p, impurity-doped semiconductor films 23a and 23b, drain 23d, and source 23s. The gate 23g is formed on the insulating substrate 2. The gate insulating film 31 has a part formed on the gate 23g. The semiconductor film 23c opposes the gate 23g via the part of the gate insulating film 31. The channel protective film 23p is formed on the central portion of the semiconductor film 23c. The impurity-doped semiconductor films 23a and 23b are formed on two ends of the semiconductor film 23c to be spaced apart from each other and partially overlap the channel protective film 23p. The drain 23d is formed on one impurity-doped semiconductor film 23a. The source 23s is formed on the other impurity-doped semiconductor film 23b. When viewed from the upper side, the source 23s of the driving transistor 23 has a U shape so that the channel width of the driving transistor 23 is large. The drains 21d to 23d and

sources 21s to 23s of the transistors 21 or 23 are formed by patterning the same material layer.

The layer structure of the capacitor 24 will be described next. As shown in FIGS. 5 and 8, the capacitor 24 includes the lower electrode 24A, gate insulating film 31, and upper electrode 24B. The lower electrode 24A is formed on the insulating substrate 2. The gate insulating film 31 has a part formed on the lower electrode 24A. The upper electrode 24B opposes the lower electrode 24A via the part of the gate insulating film 31.

The relationship between the layers of the transistors 21 to 23 and the capacitor 24, the signal lines Y_1 to Y_n , the scan lines X_1 to X_m , and the supply lines Z_1 to Z_m will be described next with reference to FIGS. 5 to 11. FIGS. 9 to 11 are plan views of the electrodes of the transistors 21 to 23.

As shown in FIGS. 5 to 8 and 9, the gates 21g, 22g, 23g of said three transistors 21, 22, 23, and the lower electrodes 24A of the capacitors 24 of the pixel circuits $P_{1,1}$ to $P_{m,n}$, and the signal lines Y_1 to Y_n are formed, using photolithography and etching, by patterning a single conductive film formed on the entire surface of the insulating substrate 2. The conductive film as the base of the gates 21g 22g 23g of said three transistors 21, 22, 23, the lower electrodes 24A of the capacitors 24, and the signal lines Y_1 to Y_n

will be referred to as a gate layer hereinafter.

FIG. 9 is a plan view showing a state wherein the gate layer is patterned.

As shown in FIGS. 5 to 8, the gate insulating film
5 31 is formed on the entire surface as a film common to
all the transistors 21, 22, 23, and capacitors 24 of
the pixel circuits $P_{1,1}$ to $P_{m,n}$. Hence, the gate
insulating film 31 covers the gates 21g, 22g, 23g of
the respecting transistors 21, 22, 23, the lower
10 electrodes 24A of the capacitors 24, and the signal
lines Y_1 to Y_n .

As shown in FIGS. 5 to 8 and 10, the drains 21d
and sources 21s of the switch transistors 21, the
drains 22d and sources 22s of the holding transistors
15 22, the drains 23d and sources 23s of the driving
transistors 23, and the lower electrodes 24A of the
capacitors 24 of the pixel circuits $P_{1,1}$ to $P_{m,n}$, the
scan lines X_1 to X_m , and the supply lines Z_1 to Z_m are
formed, using photolithography and etching, by
20 patterning a single conductive film formed on the
entire surface of the gate insulating film 31. The
conductive film as the base of the drains 21d and
sources 21s of the switch transistors 21, the drains
22d and sources 22s of the holding transistors 22, the
25 drains 23d and sources 23s of the driving transistors
23, the electrodes 24A of the capacitors 24, the scan
lines X_1 to X_m , and the supply lines Z_1 to Z_m will be

referred to as a drain layer hereinafter.

FIG. 10 is a plan view showing a state wherein the drain layer is patterned. FIG. 11 is a plan view showing a state wherein the patterned drain layer is superposed on the patterned gate layer.

5

As shown in FIGS. 3, 7, 9, and 10, the scan line X_i is electrically connected to the gate 21g of the switch transistor 21 and the gate 22g of the holding transistor 22 through a contact hole 92 formed in the gate insulating film 31. The signal line Y_j is electrically connected to the source 21s of the switch transistor 21 through a contact hole 94 formed in the gate insulating film 31. The source 22s of the holding transistor 22 is electrically connected to the gate 23g of the driving transistor 23 through a contact hole 93 formed in the gate insulating film 31.

10

15

As shown in FIGS. 5 to 8, the switch transistors 21, holding transistors 22, driving transistors 23, scan lines X_1 to X_m , and supply lines Z_1 to Z_m are covered with a protective insulating film 32 formed on the entire surface. The protective insulating film 32 is divided into strips at the overlap portions on the supply lines Z_1 to Z_m . This will be described later in detail.

20

25

A planarization film 33 is formed on the protective insulating film 32 so that the three-dimensional pattern of the switch transistors 21,

holding transistors 22, driving transistors 23, scan lines X_1 to X_m , and supply lines Z_1 to Z_m is eliminated by the planarization film 33. That is, the surface of the planarization film 33 is flat. The planarization film 33 is formed by hardening a resin. The planarization film 33 is divided into strips at the overlap portions on the supply lines Z_1 to Z_m together with the protective insulating film 32. This will be described later in detail.

To use the EL display panel 1 as a bottom emission type, i.e., to use the insulating substrate 2 as the display screen, transparent materials are used for the gate insulating film 31, protective insulating film 32, and planarization film 33.

A plurality of long trenches 34 (FIG. 8) running in the horizontal direction along the supply lines Z_1 to Z_m are formed in the protective insulating film 32 and planarization film 33 while overlapping the supply lines Z_1 to Z_m . Both insulating film 32, 33 are divided into rectangles running in the horizontal direction by two trenches 34 adjacent in the vertical direction. The feed interconnections 90 are buried in the trenches 34 so that the feed interconnections 90 are electrically connected to the supply lines Z_1 to Z_m . The feed interconnections 90 are formed by electroplating and are therefore much thicker than the signal lines Y_1 to Y_n , scan lines X_1 to X_m , supply

lines Z_1 to Z_m , and the gates, sources, and drains of the transistors 21 to 23. More specifically, the thickness height of the feed interconnection 90 almost equals the total thickness or height of the protective insulating film 32 and planarization film 33. The feed interconnection 90 is made of gold, nickel, or a layered body thereof.

The layered structure from the insulating substrate 2 to the planarization film 33 is called a transistor array substrate 50. In the transistor array substrate 50, assemblies each having the switch transistor 21, holding transistor 22, and driving transistor 23 are arrayed in a matrix when viewed from the upper side.

The layer structure formed on the upper surface of the transistor array substrate 50 will be described next. The plurality of pixel electrodes 20a are arrayed in a matrix on the surface of the transistor array substrate 50, i.e., the upper surface of the planarization film 33. A plurality of contact holes 95 are formed in the planarization film 33 and protective insulating film 32 while overlapping the pixel electrodes 20a and the upper electrodes 24B of the capacitors 24. Conductive pads are buried in the contact holes 95. Hence, the pixel electrode 20a is electrically connected to the upper electrode 24B of the capacitor 24, the drain 21d of the switch

transistor 21, and the source 23s of the driving transistor 23 through the contact hole 95 formed through the planarization film 33 and protective insulating film 32. The conductive pad in the contact hole 95 is formed by electroplating.

The pixel electrode 20a is an electrode functioning as the anode of the organic EL element 20. More specifically, the work function of the pixel electrode 20a is preferably relatively high so that holes can efficiently be injected into the organic EL layer 20b (to be described later). In a bottom emission structure, the pixel electrode 20a has a transparency to visible light. As the pixel electrode 20a, for example, a metal oxide containing, e.g., indium tin oxide (ITO), indium zinc oxide, indium oxide (In_2O_3), tin oxide (SnO_3), zinc oxide (ZnO), or cadmium tin oxide (CTO) as the major component can be used.

To use the EL display panel 1 as a top emission type, i.e., to use the opposite side of the insulating substrate 2 as the display screen, a reflecting film having conductivity and high visible light reflectance is preferably formed between the pixel electrode 20a and the planarization film 33.

The pixel electrodes 20a are formed, using photolithography and etching, by patterning a conductive film (a transparent conductive film for a bottom emission type) formed on the entire surface of

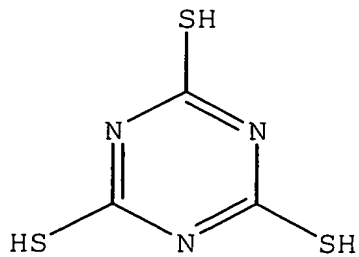
the planarization film 33. On the feed
interconnections 90 between the pixel electrodes 20a
adjacent in the vertical direction, conductive lines 51
electrically connected to the feed interconnections 90
5 along them are patterned on alternate columns of the
pixel electrodes 20a. The conductive lines 51 are
patterned together with the pixel electrodes 20a by
etching a conductive film as the prospective pixel
electrodes 20a. The width of each conductive line 51
10 is so larger than that of the feed interconnection 90
under it that the feed interconnection 90 is covered
not to expose and protected from the etchant of the
conductive lines 51.

A mesh-shaped insulating film 52 made of
15 insulating material such as silicon nitride is
patterned between the pixel electrodes 20a. More
specifically, the insulating film 52 is formed into a
grid shape so that it runs in the row direction to
cover the conductive lines 51 and not to expose them
20 and also runs in the column direction as an underlayer
of the common interconnections 91 (to be described
later). The common interconnections 91 are formed
along the column direction on the insulating film 52
between the pixel electrodes 20a adjacent in the
25 horizontal direction.

Since the common interconnections 91 are formed by
electroplating, they are much thicker than the signal

lines Y_1 to Y_n , the scan lines X_1 to X_m , the supply lines Z_1 to Z_m , and the gates, sources, and drains of the transistors 21 to 23. The common interconnections 91 contain at least one of copper, aluminum, gold, and nickel.

A liquid repellent conductive film 55 having water repellency and/or oil repellency is formed on the upper surface of each common interconnection 91. The liquid repellent conductive films 55 are formed by reducing and eliminating hydrogen atoms (H) of the mercapto group (-SH) of triazyl-trithiol expressed by chemical formula (1), and oxidizing and adsorbing sulfur atoms (S) in the surfaces of the common interconnections 91.



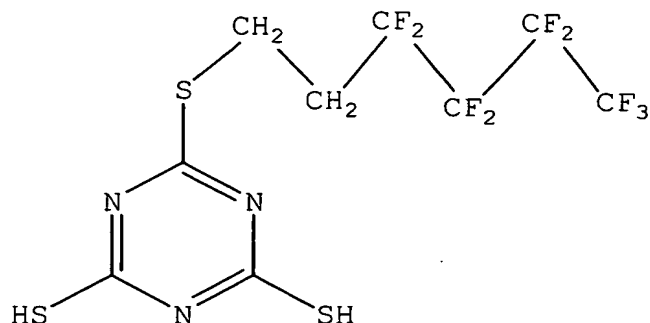
In the liquid repellent conductive film 55, triazyl-trithiol molecules are formed very thin on the surface of the common interconnection 91. For this reason, the liquid repellent conductive film 55 has a very low resistance in the direction of thickness and rarely has insulating properties. To make the water repellency and/or oil repellency more effective, a triazinethiol derivative in which an alkyl fluoride group substitute for one or two mercapto groups of

triazyl-trithiol may be used in place of triazyl-trithiol. Such a triazyl compound can selectively be coated and bonded to a metal like the common interconnection 91. More specifically, an aqueous solution of 6-dimethylamino-1,3,5-triazine-2, and 4-dithiol-sodium salt is prepared at a concentration of 10^{-3} mol/L. When the common interconnection 91 is dipped in the aqueous solution at a liquid temperature of 26°C for a dipping time of 30 min, the liquid repellent conductive film 55 having a thickness of about 0.7 nm is formed on the surface of the common interconnection 91 (the thickness is a measured value by ellipsometer). Alternatively, an aqueous solution of 6-didodecylamino-1,3,5-triazine-2, and 4-dithiol-sodium salt is prepared at a concentration of 10^{-3} mol/L. When the common interconnection 91 is dipped in the aqueous solution at a liquid temperature of 46°C for a dipping time of 30 min, the liquid repellent conductive film 55 having a thickness of about 1.8 nm is formed on the surface of the common interconnection 91 (the thickness is a measured value by ellipsometer).

Alternatively, an aqueous solution of sodium hydroxide and a triazinethiol derivative (e.g., expressed by the chemical formula below) using pure water as the solvent may be applied to the common interconnection 91 to coat it with the

triazinethiol derivative. For this solution, the concentration of the triazinethiol derivative is set to 2.0×10^{-3} mol/L, and that of sodium hydroxide is set to 2.0×10^{-3} mol/L.

5



As described above, the fluorine-based triazinethiol compound in which at least part of hydrogen of an alkyl group is substituted with a fluorine group exhibits stronger liquid repellency than a triazinethiol compound containing no fluorine.

10

The organic EL layer 20b of the organic EL element 20 is formed on the pixel electrode 20a. The organic EL layer 20b is a light-emitting layer of broad sense. The organic EL layer 20b contains a light-emitting material (phosphor) as an organic compound. The organic EL layer 20b has a two-layer structure in which a hole transport layer and a light-emitting layer of narrow sense are formed sequentially on the pixel electrode 20a. The hole transport layer is made of PEDOT (polythiophene) as a conductive polymer and PSS (polystyrene sulfonate) as a dopant. The light-emitting layer of narrow sense is made of a

15

20

polyfluorene-based light-emitting material.

5 The organic EL layer 20b is formed by wet coating (e.g., ink-jet method) after coating of the liquid repellent conductive film 55. In this case, an organic compound-containing solution containing an organic compound as the prospective organic EL layer 20b is applied to the pixel electrode 20a. The liquid level of the organic compound-containing solution is higher than the top of the insulating film 52. The thick common interconnection 91 whose top is much higher than that of the insulating film 52 is provided between the pixel electrodes 20a adjacent in the horizontal direction. The common interconnection 91 prevents the organic compound-containing solution applied to a pixel electrode 20a from leaking to the pixel electrodes 20a adjacent in the horizontal direction. In addition, the common interconnection 91 is coated with the liquid repellent conductive film 55 having water repellency and/or oil repellency, which repels the organic compound-containing solution applied to the pixel electrode 20a. The organic compound-containing solution applied to the pixel electrode 20a is never deposited excessively thick near the edge of the insulating line 52 as compared to the center of the pixel electrode 20a. Hence, the organic EL layer 20b formed by drying the organic compound-containing solution can have a uniform thickness.

When the organic EL layer 20b is formed between the common interconnections 91 in the above-described way, a stripe structure in which a region R where the organic EL layer 20b to emit red light is formed, a region G where the organic EL layer 20b to emit green light is formed, and a region B where the organic EL layer 20b to emit blue light is formed are arrayed in this order, as shown in FIG. 12, is formed. A plurality of pixels in the same column emit light of the same color.

When viewed from the upper side, the applied organic compound-containing solution is uniformly distributed vertically in each column because its left and right sides are partitioned by the common interconnections 91. Hence, the plurality of organic EL layers 20b arrayed in the vertical direction have the same layer structure and emit light of the same color. The pixel electrode 20a and organic EL layer 20b need not always have a band shape long in the vertical direction. Alternately, they may be long in the horizontal direction.

The organic EL layer 20b need not always have the two-layer structure. A three-layer structure including a hole transport layer, a light-emitting layer of narrow sense, and an electron transport layer sequentially from the pixel electrode 20a may be employed. A single-layer structure including a

light-emitting layer of narrow sense may be used. A layered structure having an electron or hole injection layer inserted between appropriate layers in one of the above layer structures may be employed. Any other
5 layered structures can also be used.

A counter electrode 20c functioning as the cathode of the organic EL element 20 is formed on the organic EL layer 20b. The counter electrode 20c is a common electrode commonly formed on the entire surface for all
10 pixels. The counter electrode 20c formed on the entire surface covers the common interconnections 91 while sandwiching the liquid repellent conductive film 55 between them. For this reason, the counter electrode 20c is electrically connected to the common
15 interconnection 91, as shown in the circuit diagram of FIG. 2.

The counter electrode 20c is formed from a material having a work function lower than the pixel electrode 20a. The counter electrode 20c is preferably
20 made of, e.g., a single substance selected from magnesium, calcium, lithium, barium, indium, and a rare earth metal, or an alloy containing at least one of these single substances. The counter electrode 20c may have a layered structure in which the layers of various
25 kinds of materials described above are stacked, or a layered structure in which a metal layer hard to oxidize is deposited in addition to the layers of

various kinds of materials described above to lower the sheet resistance. More specifically, a layered structure including a highly pure barium layer having a low work function and provided on the interface side contacting the organic EL layer 20b, and an aluminum layer provided to cover the barium layer, or a layered structure including a lithium layer on the lower side and an aluminum layer on the upper side can be used. In a top emission structure, the counter electrode 20c may be a transparent electrode having the above-described thin film with a low work function and a transparent conductive film made of, e.g., ITO on the thin film.

A sealing insulating film 56 is formed on the counter electrode 20c. The insulating film 56 is an inorganic or organic film provided to cover the entire counter electrode 20c to prevent its degradation.

Conventionally, in an EL display panel having a top emission structure, at least part of the counter electrode 20c is formed as a transparent electrode made of, e.g., a metal oxide having a sufficiently high resistance value. The sheet resistance cannot be sufficient low unless the material is sufficiently thick. When the material is thick, the transmission of the organic EL element inevitably decreases. The larger the screen becomes, the harder a uniform potential is obtained in a plane. Hence, the display

characteristic degrades.

In this embodiment, however, the plurality of common interconnections 91 with a low resistance are provided to obtain a sufficient thickness in the vertical direction. Hence, the sheet resistance value of the entire cathode electrodes of the organic EL elements 20 can be decreased together with the counter electrode 20c so that a sufficient large current can be supplied uniformly in a plane. In this structure, the common interconnections 91 reduce the sheet resistance of the cathode electrode. For this reason, the transmittance can be increased by forming the counter electrode 20c thin. In a top emission structure, the pixel electrode 20a may be made of a reflecting material.

[Manufacturing Method of Transistor Array Substrate and EL Display Panel]

A method of manufacturing the transistor array substrate 50 and EL display panel 1 will be described.

A gate layer is formed on the entire surface of the insulating substrate 2 by vapor deposition such as CVD, PVD, or sputtering. The gate layer is sequentially subjected to photolithography and etching to pattern the gates 21g, 22g, and 23g and the electrodes 24A of the pixel circuits $P_{1,1}$ to $P_{m,n}$ and the signal lines Y_1 to Y_n .

The gate insulating film 31 is formed on the

entire surface by vapor deposition. The contact holes 92 to 94 of the pixel circuits $P_{1,1}$ to $P_{m,n}$ are formed through the gate insulating film 31 by photolithography and etching.

5 Vapor deposition, photolithography, and etching are sequentially executed to pattern the semiconductor films 21c, 22c, and 23c of the pixel circuits $P_{1,1}$ to $P_{m,n}$. Vapor deposition, photolithography, and etching are sequentially executed to pattern the channel
10 protective films 21p, 22p, and 23p of the pixel circuits $P_{1,1}$ to $P_{m,n}$. Vapor deposition, photolithography, and etching are sequentially executed to pattern the impurity-doped semiconductor films 21a, 22a, 23a and impurity-doped semiconductor films 21b,
15 22b, and 23b of the pixel circuits $P_{1,1}$ to $P_{m,n}$.

A drain layer is formed on the entire surface of the gate insulating film 31 by vapor deposition. The contact holes 92 to 94 of the pixel circuits $P_{1,1}$ to $P_{m,n}$ are filled with parts of the drain layer.

20 The drain layer is sequentially subjected to photolithography and etching to pattern the drains 21d, 22d, and 23d, the sources 21s, 22s, and 23s, and the electrodes 24B of the pixel circuits $P_{1,1}$ to $P_{m,n}$, the scan lines X_1 to X_m , and the supply lines Z_1 to Z_m .

25 The protective insulating film 32 is formed on the entire surface by vapor deposition. A resin is applied onto the entire protective insulating film 32 and dried

to form the planarization film 33 on the entire surface.

The contact holes 95 of the pixel circuits $P_{1,1}$ to $P_{m,n}$ are formed through the protective insulating film 32 and planarization film 33. The trenches 34 are
5 formed in the protective insulating film 32 and planarization film 33 at positions overlapping the supply lines Z_1 to Z_m .

Electroplating is executed by applying a voltage
10 to the supply lines Z_1 to Z_m and the electrodes 24B to grow the feed interconnections 90 in the trenches 34 and also grow conductive pads in the contact holes 95. With this process, the feed interconnections 90 are formed on the supply lines Z_1 to Z_m in the trenches 34,
15 and the conductive pads are formed on the electrodes 24B in the contact holes 95.

In this way, the transistor array substrate 50 is completed.

A transparent conductive film is formed on the
20 entire surface of the transistor array substrate 50 by vapor deposition. The transparent conductive film is sequentially subjected to photolithography and etching to pattern the pixel electrodes 20a of the pixel circuits $P_{1,1}$ to $P_{m,n}$ and the conductive lines 51.

25 An insulating film is formed on the entire surface by vapor deposition. On the insulating film, the common interconnections 91 are grown by electroplating

between the pixel electrodes 20a adjacent in the horizontal direction.

A triazyl-trithiol solution is applied on the entire surface, or the panel is dipped in a
5 triazyl-trithiol solution to selectively form the liquid repellent conductive film 55 on the surfaces of the common interconnections 91. The liquid repellent conductive films 55 are formed on the surfaces of the common interconnections 91 because of the properties of
10 triazyl-trithiol. No liquid repellent conductive film is formed on the surface of the insulating film.

The insulating film is sequentially subjected to photolithography and etching to pattern the insulating film into the insulating film 52 having openings in a matrix. With this process, the pixel electrodes 20a
15 are exposed.

By wet coating, the organic EL layers 20b are patterned. The thick common interconnections 91 are provided between the pixel electrodes 20a adjacent in
20 the horizontal direction. In addition, the common interconnections 91 are coated with the liquid repellent conductive films 55 having water repellency and/or oil repellency. Hence, the organic compound-containing solution applied to each pixel
25 electrode 20a does not leak to the adjacent pixel electrodes 20a. The organic compound-containing solution applied to each pixel electrode 20a is not

thick around it because of the water repellency and/or oil repellency of the liquid repellent conductive film 55. Hence, the organic EL layer 20b can be formed in a uniform thickness.

5 The counter electrode 20c is formed on the entire surface by vapor deposition. The sealing insulating film 56 is formed on the entire surface by vapor deposition.

 In this way, the EL display panel 1 is completed.

10 [EL Display Panel Driving Method]

 The EL display panel 1 can be driven by the active matrix method in the following way. As shown in FIG. 13, a select driver connected to the scan lines X_1 to X_m sequentially outputs a shift pulse of high level to the scan lines X_1 to X_m in this order (the scan line X_1 next to the scan line X_m), thereby sequentially selecting the scan lines X_1 to X_m . A feed driver is connected to the feed interconnections 90. The feed driver applies the write feed voltage V_L to supply a write current to the driving transistors 23 connected to the supply lines Z_1 to Z_m through the feed interconnections 90 during a selection period. The feed driver applies the driving feed voltage V_H to supply a driving current to the organic EL elements 20 through the driving transistors 23 during a light emission period. The feed driver sequentially outputs the write feed voltage V_L of low level (lower than the

voltage of the counter electrode of the organic EL elements 20) to the supply lines Z_1 to Z_m in this order (the supply line Z_1 next to the supply line Z_m) in synchronism with the select driver, thereby

5 sequentially selecting the supply lines Z_1 to Z_m .

While the select driver is selecting the scan lines X_1 to X_m , a data driver supplies a write current (current signal) to all the signal lines Y_1 to Y_n through the source-to-drain paths of the driving transistors 23 of

10 a predetermined row. At this time, the feed driver also outputs the write feed voltage VL of low level from both the interconnection terminals 90b and 90c to the feed interconnections 90 connected to the supply lines Z_1 to Z_m . The counter electrode 20c and common

15 interconnections 91 are connected to an external device through the interconnection terminals 91c and held at the predetermined common potential Vcom (e.g., ground = 0V).

During the selection period of the scan line X_i ,

20 the shift pulse of high level is output to the scan line X_i of the i th row so that the switch transistor 21 and holding transistor 22 are turned on. In each selection period, the potential on the data driver side is equal to or lower than the write feed voltage VL

25 output to the feed interconnections 90 and the supply lines Z_1 to Z_m . The write feed voltage VL is set to be equal to or lower than the common potential Vcom. At

this time, no current flows from the organic EL elements 20 to the signal lines Y_1 to Y_n . As shown in FIG. 2, a write current (current signal) having a current value corresponding to the gray level is

5 supplied from the data driver to the signal lines Y_1 to Y_n , as indicated by an arrow A. In the pixel circuit $P_{i,j}$, the write current (current signal) to the signal line Y_j flows from the feed interconnection 90 and supply line Z_i through the source-to-drain path of the

10 driving transistor 23 and the source-to-drain path of the switch transistor 21. The current value of the current flowing through the source-to-drain path of the driving transistor 23 is uniquely controlled by the

15 data driver. The data driver sets the current value of the write current in accordance with an externally input gray level. While the write current (current signal) is flowing, the voltage between the gate 23g and source 23s of the driving transistor 23 of each of

20 pixel circuits $P_{i,1}$ to $P_{i,n}$ of the i th row is forcibly set in accordance with the current value of the write current (current signal) flowing to the signal lines Y_1 to Y_n , i.e., the current value of the write current (current signal) flowing between the drain 23d and

25 source 23s of the driving transistor 23 independently of the change over time in the V_g - I_{ds} characteristic of the driving transistor 23. Charges with a magnitude corresponding to the level of this voltage are stored

in the capacitor 24 so that the current value of the write current (current signal) is converted into the voltage level between the gate 23g and source 23s of the driving transistor 23. In the subsequent light emission period, the scan line X_i changes to low level so that the switch transistor 21 and holding transistor 22 are turned off. The charges on the side of the lower electrode 24A of the capacitor 24 are confined by the holding transistor 22 in the OFF state, and a floating state is set. Hence, even when the voltage of the source 23s of the driving transistor 23 is modulated at the time of transition from the selection period to the light emission period, the potential difference between the gate 23g and source 23s of the driving transistor 23 is maintained. During the light emission period, the potential of the supply line Z_i and the feed interconnection 90 connected to it equals the driving feed voltage V_H which is higher than the potential V_{com} of the counter electrode 20c of the organic EL element 20. Hence, a driving current flows from the supply line Z_i and the feed interconnection 90 connected to it to the organic EL element 20 in the direction of arrow B through the driving transistor 23. Hence, the organic EL element 20 emits light. The current value of the driving current depends on the voltage between the gate 23g and source 23s of the driving transistor 23. For this reason, the current

value of the driving current during the light emission period equals the current value of the write current (pull-out current) during the selection period.

Another active matrix driving method of the EL display panel 1 is as follows. As shown in FIG. 14, an oscillation circuit outputs a clock signal to the feed interconnections 90 and supply lines Z_1 to Z_m . The select driver sequentially outputs a shift pulse of high level to the scan lines X_1 to X_m in this order (the scan line X_1 next to the scan line X_m), thereby sequentially selecting the scan lines X_1 to X_m . While the select driver is outputting the shift pulse to one of the scan lines X_1 to X_m , the clock signal from the oscillation circuit changes to low level. When the select driver selects the scan lines X_1 to X_m , the data driver supplies a pull-out current (current signal) as the write current to all the signal lines Y_1 to Y_n through the source-to-drain paths of the driving transistors 23. The counter electrode 20c and feed interconnections 90 are held at the predetermined common potential V_{com} (e.g., ground = 0V).

During the selection period of the scan line X_i , the shift pulse is output to the scan line X_i of the i th row so that the switch transistor 21 and holding transistor 22 are turned on. In each selection period, the potential on the data driver side is equal to or lower than the clock signal output to the feed

interconnections 90 and supply lines Z_1 to Z_m . The low level of the clock signal is set to be equal to or lower than the common potential V_{com} . At this time, no current flows from the organic EL elements 20 to the signal lines Y_1 to Y_n . As shown in FIG. 2, a write current (pull-out current) having a current value corresponding to the gray level is supplied from the data driver to the signal lines Y_1 to Y_n , as indicated by the arrow A. In the pixel circuit $P_{i,j}$, the write current (pull-out current) to the signal line Y_j flows from the feed interconnection 90 and supply line Z_i through the source-to-drain path of the driving transistor 23 and the source-to-drain path of the switch transistor 21. The current value of the current flowing through the source-to-drain path of the driving transistor 23 is uniquely controlled by the data driver. The data driver sets the current value of the write current (pull-out current) in accordance with an externally input gray level. While the write current (pull-out current) is flowing, the voltage between the gate 23g and source 23s of the driving transistor 23 of each of the pixel circuits $P_{i,1}$ to $P_{i,n}$ of the i th row is forcibly set in accordance with the current value of the write current (pull-out current) flowing to the signal lines Y_1 to Y_n , i.e., the current value of the write current (pull-out current) flowing between the drain 23d and source 23s of the driving transistor 23

independently of the change over time in the V_g - I_{ds} characteristic of the driving transistor 23. Charges with a magnitude corresponding to the level of this voltage are stored in the capacitor 24 so that the current value of the write current (pull-out current) is converted into the voltage level between the gate 23g and source 23s of the driving transistor 23. In the subsequent light emission period, the scan line X_i changes to low level so that the switch transistor 21 and holding transistor 22 are turned off. The charges on the side of the lower electrode 24A of the capacitor 24 are confined by the holding transistor 22 in the OFF state, and a floating state is set. Hence, even when the voltage of the source 23s of the driving transistor 23 is modulated at the time of transition from the selection period to the light emission period, the potential difference between the gate 23g and source 23s of the driving transistor 23 is maintained. Of the selection period, during a period in which no row is selected, i.e., the clock signal is at high level, and the potential of the feed interconnection 90 and supply line Z_i is higher than the potential V_{com} of the counter electrode 20c of the organic EL element 20 and the feed interconnection 90, the driving current flows from the feed interconnection 90 and supply line Z_i with a higher potential to the organic EL element 20 through the source-to-drain path of the driving

transistor 23 in the direction of arrow B. Hence, the organic EL element emits light. The current value of the driving current depends on the voltage between the gate 23g and source 23s of the driving transistor 23.

5 For this reason, the current value of the driving current during the light emission period equals the current value of the write current (pull-out current) during the selection period. Of the selection period, during a period in which any row is selected, i.e., the
10 clock signal is at low level, the potential of the feed interconnection 90 and supply line Z_i is equal to or lower than the potential V_{com} of the counter electrode 20c and feed interconnection 90. Hence, no driving current flows to the organic EL element 20, and thus no
15 light emission occurs.

In either driving method as described above, the switch transistor 21 functions to turn on (selection period) and off (light emission period) of the current between the signal line Y_j and the source 23s of the
20 driving transistor 23. The holding transistor 22 functions to make it possible to supply the current between the source 23s and drain 23d of the driving transistor 23 during the selection period and hold the voltage applied to the gate 23g of the driving
25 transistor 23 during the light emission period. The driving transistor 23 functions to drive the organic EL element 20 by supplying a current having a magnitude

corresponding to the gray level to the organic EL element 20.

As described above, the magnitude of the current flowing to the feed interconnection 90 equals the sum of the magnitudes of driving currents flowing to the n organic EL elements 20 connected to the scan line X_i of one column. When a selection period to do moving image driving using pixels for VGA or more is set, the parasitic capacitance of the feed interconnection 90 increases. The resistance of a thin film such as the gate or the source/drain of a thin-film transistor is so high that the write current (i.e. driving current) cannot be supplied to the n organic EL elements 20. In this embodiment, the feed interconnections 90 are formed from a conductive layer different from the gates, sources and drains of thin-film transistors of the pixel circuits $P_{1,1}$ to $P_{m,n}$. For this reason, the voltage drop by the feed interconnections 90 is small. Even in a short selection period, the write current (pull-out current) can sufficiently be supplied without any delay. Since the resistance of the feed interconnection 90 is lowered by thickening it, the feed interconnection 90 can be made narrow. In a bottom emission structure, the decrease in pixel opening ratio can be minimized.

Similarly, the magnitude of the driving current flowing to the common interconnection 91 during the

light emission period equals that of the write current (pull-out current) flowing to the feed interconnection 90 during the selection period. Since a conductive layer different from the gates, sources and drains of thin-film transistors of the pixel circuits $P_{1,1}$ to $P_{m,n}$ is connected to the counter electrode 20c, the common interconnection 91 can be made thick, and its resistance can be lowered. In addition, even when the counter electrode 20c itself becomes thin and increases its resistance, the voltage of the counter electrode 20c can be uniformed in the plane. Hence, even if the same potential is applied to all the pixel electrodes 20a, the light emission intensities of the organic EL layers 20b almost equal, and the light emission intensity in the plane can be uniformed.

When the EL display panel 1 is used as a top emission type, the counter electrode 20c can be made thinner. Hence, light emitted from the organic EL layer 20b hardly attenuates while passing through the counter electrode 20c. Additionally, since the common interconnection 91 are provided between the pixel electrodes 20a adjacent in the horizontal direction when viewed from the upper side, the decrease in pixel opening ratio can be minimized.

The supply lines Z_1 to Z_m are the upper layers of the signal lines Y_1 to Y_n . In the manufacturing process of the transistor array substrate 50 and EL

display panel 1, when the structure is dipped in a plating solution while a voltage is applied to the supply lines Z_1 to Z_m by using them as an underlayer, the feed interconnections 90 can be grown on the supply
5 lines Z_1 to Z_m .

When the EL display panel 1 has pixels corresponding to WXGA (768 × 1366), the desired width and sectional area of the feed interconnection 90 and common interconnection 91 are defined. FIG. 15 is a
10 graph showing the current vs. voltage characteristic of the driving transistor 23 and organic EL element 20 of each of the pixel circuits $P_{1,1}$ to $P_{m,n}$.

Referring to FIG. 15, the ordinate represents the current value of the write current flowing between the source 23s and drain 23d of one driving transistor 23
15 or the current value of the driving current flowing between the anode and cathode of one organic EL element 20. The abscissa represents the voltage between the source 23s and drain 23d of one driving transistor 23 (also the voltage between the gate 23g and drain 23d of
20 one driving transistor 23). Referring to FIG. 15, a solid line $I_{ds\ max}$ indicates a write current and driving current for the highest luminance gray level (brightest display). A one-dot dash line $I_{ds\ mid}$
25 indicates a write current and driving current for an intermediate highest luminance gray level between the highest luminance gray level and the lowest luminance

gray level. A two-dots dash line V_{po} indicates a threshold value between the unsaturation region (linear region) and the saturation region of the driving transistor 23, i.e., the pinch-off voltage. A three-dots dash line V_{ds} indicates a write current flowing between the source 23s and drain 23d of the driving transistor 23. A broken line IEL indicates a driving current flowing between the anode and cathode of the organic EL element 20.

10 A voltage $VP1$ is the pinch-off voltage of the driving transistor 23 for the highest luminance gray level. A voltage $VP2$ is the source-to-drain voltage of the driving transistor 23 when a write current for the highest luminance gray level flows. A voltage VEL_{max} (voltage $VP4$ - voltage $VP3$) is the anode-to-cathode voltage when the organic EL element 20 emits light by a driving current of the highest luminance gray level, which has a current value equal to that of the write current for the highest luminance gray level. A

15

20 voltage $VP2'$ is the source-to-drain voltage of the driving transistor 23 when a write current for the intermediate luminance gray level flows. A voltage (voltage $VP4'$ - voltage $VP3'$) is the anode-to-cathode voltage when the organic EL element 20 emits light by a

25 driving current of the intermediate luminance gray level, which has a current value equal to that of the write current for the intermediate luminance gray

level.

To drive the driving transistor 23 and organic EL element 20 in the saturation region, a value VX obtained by subtracting (the voltage Vcom of the common interconnection 91 during the light emission period) from (the driving feed voltage VH of the feed interconnection 90 during the light emission period) satisfies

$$VX = Vpo + Vth + Vm + VEL \quad \dots (2)$$

where Vth (= VP2 - VP1 for the highest luminance) is the threshold voltage of the driving transistor 23, VEL (= VEmax for the highest luminance) is the anode-to-cathode voltage of the organic EL element 20, and Vm is an allowable voltage which displaces in accordance with the gray level.

As is apparent from FIG. 15, the higher the luminance gray level is, the higher the voltage (Vpo + Vth) necessary between the source and drain of the transistor 23 is, and also, the higher the voltage VEL necessary between the anode and cathode of the organic EL element 20 is. Hence, the allowable voltage Vm becomes low as the luminance gray level becomes high. A minimum allowable voltage Vmin is VP3 - VP2.

The organic EL element 20 generally degrades and increases its resistance over time no matter whether a low or high molecular weight EL material. It has been confirmed that the anode-to-cathode voltage after

10,000 hrs is about 1.4 to several times that in the initial state. That is, the voltage VEL rises along with the elapse of time even when the luminance gray level does not change. The operation is stable for a long time when the allowable voltage Vm in the initial driving state is as high as possible. Hence, the voltage VX is set such that the voltage VEL becomes 8V or more and, more preferably, 13V or more.

The allowable voltage Vm includes not only the increase amount of the resistance of the organic EL element 20 but also the voltage drop by the feed interconnection 90.

If the voltage drop is large because of the interconnection resistance of the feed interconnection 90, the power consumption of the EL display panel 1 considerably increases. Hence, the voltage drop of the feed interconnection 90 is especially preferably set to 1V or less. When the panel size of the EL display panel 1 is 32 inches, the current value of one organic EL element 20 for the maximum luminance gray level is set to about 5.4 μ A to 6.8 μ A. For a 40-inch panel, the current value is set to 8.5 μ A to 11.0 μ A.

A pixel width Wp as the row-direction length of one pixel, the number of pixels (1366) in the row direction, the extension portion from the feed interconnection 90 to the interconnection terminal 90b in the non-pixel region on the left side, and the

extension portion from the feed interconnection 90 to the interconnection terminal 90c in the non-pixel region on the right side are taken into consideration. In this case, the total length of the feed
5 interconnection 90 is 706.7 mm for the EL display panel 1 with a panel size of 32 inches or 895.2 mm for 40 inches. If a line width WL of the feed interconnection 90 and common interconnection 91 is large, the area of the organic EL layer 20b decreases
10 structurally. In addition, the overlap parasitic capacitance to other interconnections is also generated, and the voltage drop becomes larger. To prevent this, the line width WL of the feed interconnection 90 and common interconnection 91 is
15 preferably suppressed to 1/5 or less the pixel width Wp. In consideration of this, the line width WL of the feed interconnection 90 and common interconnection 91 is 34 μm or less for the EL display panel 1 with a panel size of 32 inches or 44 μm or less for
20 40 inches. A maximum thickness Hmax of the feed interconnection 90 and common interconnection 91 is 1.5 times the minimum process size (4 μm) of the transistors 21 to 23, i.e., 6 μm when the aspect ratio is taken into consideration. A maximum sectional area
25 Smax of the feed interconnection 90 and common interconnection 91 is 204 μm^2 for 32 inches or 264 μm^2 for 40 inches.

To make the maximum voltage drop of the feed interconnection 90 and common interconnection 91 1V or less when the 32-inch EL display panel 1 is fully lighted to flow the maximum current, an interconnection resistivity ρ /sectional area S of the feed interconnection 90 and common interconnection 91 must be set to 4.7 Ω /cm or less, as shown in FIG. 16. FIG. 17 shows the correlation between the sectional area and the current density of the feed interconnection and common interconnection of the 32-inch EL display panel 1. The resistivity allowed when the above-described feed interconnection 90 and common interconnection 91 have the maximum sectional area Smax is 9.6 $\mu\Omega$ cm for 32 inches or 6.4 $\mu\Omega$ cm for 40 inches.

To make the maximum voltage drop of the feed interconnection 90 and common interconnection 91 1V or less when the 40-inch EL display panel 1 is fully lighted to flow the maximum current, the interconnection resistivity ρ /sectional area S of the feed interconnection 90 and common interconnection 91 must be set to 2.4 Ω /cm or less, as shown in FIG. 18. FIG. 19 shows the correlation between the sectional area and the current density of the feed interconnection and common interconnection of the 40-inch EL display panel 1.

A median time to failure MTF at which the EL

display panel stops operation due to a failure in the feed interconnection 90 and common interconnection 91 satisfies

$$MTF = A \exp(E_a / K_b T) / \rho J^2 \quad \dots (3)$$

5 where E_a is an activation energy, $K_b T = 8.617 \times 10^{-5}$ eV, ρ is the resistivity of the feed interconnection 90 and common interconnection 91, and J is a current density.

The median time to failure MTF of the feed
10 interconnection 90 and common interconnection 91 is determined by an increase in resistivity and electromigration. When the feed interconnection 90 and common interconnection 91 are set to an Al-based material (Al single substance or an alloy such as AlTi
15 or AlNd), and calculation is done on trial for MTF of 10,000 hrs and an operation temperature of 85°C, the current density J must be 2.1×10^4 A/cm² or less. When the feed interconnection 90 and common
interconnection 91 are set to Cu, the current density J
20 must be 2.8×10^6 A/cm² or less. It is assumed that materials except Al in an Al alloy have a resistivity lower than Al.

In consideration of these, in the 32-inch EL display panel 1, the sectional area S of the Al-based
25 feed interconnection 90 and common interconnection 91 must be $57 \mu\text{m}^2$ or more to prevent any failure in them in the full lighting state for 10,000 hrs, as is

apparent from FIG. 17. The sectional area S of the feed interconnection 90 and common interconnection 91 made of Cu must be $0.43 \mu\text{m}^2$ or more, as is apparent from FIG. 17.

5 In the 40-inch EL display panel 1, the sectional area S of the Al-based feed interconnection 90 and common interconnection 91 must be $92 \mu\text{m}^2$ or more to prevent any failure in them in the full lighting state for 10,000 hrs, as is apparent from FIG. 19. The
10 sectional area S of the feed interconnection 90 and common interconnection 91 made of Cu must be $0.69 \mu\text{m}^2$ or more, as is apparent from FIG. 19.

 In the 32-inch EL display panel 1, the interconnection resistivity ρ /sectional area S of the
15 Al-based feed interconnection 90 and common interconnection 91 is $4.7 \Omega/\text{cm}$ or less, as described above, assuming that the resistivity of the Al-based material is $4.0 \mu\Omega\text{cm}$. Hence, a minimum sectional area S_{min} is $85.1 \mu\text{m}^2$. Since the line width WL of the feed
20 interconnection 90 and common interconnection 91 is $34 \mu\text{m}$ or less, as described above, a minimum thickness H_{min} of the feed interconnection 90 and common interconnection 91 is $2.50 \mu\text{m}$.

 In the 40-inch EL display panel 1, the interconnection resistivity ρ /sectional area S of the
25 Al-based feed interconnection 90 and common interconnection 91 is $2.4 \Omega/\text{cm}$ or less, as described

above. Hence, the minimum sectional area S_{min} is
167 μm^2 . Since the line width WL of the feed
interconnection 90 and common interconnection 91 is
44 μm or less, as described above, the minimum
5 thickness H_{min} of the feed interconnection 90 and
common interconnection 91 is 3.80 μm .

In the 32-inch EL display panel 1, the
interconnection resistivity ρ /sectional area S of the
feed interconnection 90 and common interconnection 91
10 made of Cu is 4.7 Ω/cm or less, as described above,
assuming that the resistivity of Cu is 2.10 $\mu\Omega\text{cm}$.
Hence, the minimum sectional area S_{min} is 44.7 μm^2 .
Since the line width WL of the feed interconnection 90
and common interconnection 91 is 34 μm or less, as
15 described above, the minimum thickness H_{min} of the
feed interconnection 90 and common interconnection 91
is 1.31 μm .

In the 40-inch EL display panel 1, the
interconnection resistivity ρ /sectional area S of the
20 feed interconnection 90 and common interconnection 91
made of Cu is 2.4 Ω/cm or less, as described above.
Hence, the minimum sectional area S_{min} is 87.5 μm^2 .
Since the line width WL of the feed interconnection 90
and common interconnection 91 is 44 μm or less, as
25 described above, the minimum thickness H_{min} of the
feed interconnection 90 and common interconnection 91
is 1.99 μm .

Hence, to cause the EL display panel 1 to operate normally at a low power consumption, the voltage drop in the feed interconnection 90 and common interconnection 91 is preferably 1V or less. To ensure such a condition, in a 32-inch panel in which the feed interconnection 90 and common interconnection 91 are made of an Al-based material, a thickness H is 2.50 to 6.0 μm , the width WL is 14.1 to 34.0 μm , and the resistivity is 4.0 to 9.6 $\mu\Omega\text{cm}$. In a 40-inch panel in which the feed interconnection 90 and common interconnection 91 are made of an Al-based material, the thickness H is 3.8 to 6.0 μm , the width WL is 27.8 to 44.0 μm , and the resistivity is 4.0 to 9.6 $\mu\Omega\text{cm}$.

In general, for the Al-based feed interconnection 90 and common interconnection 91, the thickness H is 2.5 to 6.0 μm , the width WL is 14.1 to 44.0 μm , and the resistivity is 4.0 to 9.6 $\mu\Omega\text{cm}$.

In a 32-inch panel in which the feed interconnection 90 and common interconnection 91 are made of Cu, the thickness H is 1.31 to 6.00 μm , the width WL is 7.45 to 34.0 μm , and the resistivity is 2.1 to 9.6 $\mu\Omega\text{cm}$. In a 40-inch panel in which the feed interconnection 90 and common interconnection 91 are made of Cu, the thickness H is 1.99 to 6.00 μm , the width WL is 14.6 to 44.0 μm , and the resistivity is 2.1 to 9.6 $\mu\Omega\text{cm}$.

In general, for the feed interconnection 90 and

common interconnection 91 made of Cu, the thickness H is 1.31 to 6.00 μm , the width WL is 7.45 to 44.00 μm , and the resistivity is 2.1 to 9.6 $\mu\Omega\text{cm}$.

Hence, when an Al-based material or Cu is used for
5 the feed interconnection 90 and common interconnection
91, the feed interconnection 90 and common
interconnection 91 of the EL display panel 1 have the
thickness H of 1.31 to 6.00 μm , the width WL of 7.45
to 44.00 μm , and the resistivity of 2.1 to 9.6 $\mu\Omega\text{cm}$.
10 [Second Embodiment]
[Overall Arrangement of EL Display Panel]

FIG. 20 is a schematic view showing an EL display
panel 1 of active matrix driving type. As shown in
FIG. 20, the EL display panel 1 comprises an insulating
15 substrate 2, n (a plurality of) signal lines Y_1 to Y_n ,
m (a plurality of) scan lines X_1 to X_m , m (a plurality
of) supply lines Z_1 to Z_m , ($m \times n$) pixel circuits $P_{1,1}$
to $P_{m,n}$, a plurality of feed interconnections 90, and a
plurality of common interconnections 91. The
20 insulating substrate 2 is optically transparent and has
a flexible sheet shape or a rigid plate shape. The
signal lines Y_1 to Y_n are arrayed on the insulating
substrate 2 in parallel to each other. The scan lines
 X_1 to X_m are arrayed on the insulating substrate 2 to
25 be perpendicularly to the signal lines Y_1 to Y_n when
the insulating substrate 2 is viewed from the upper
side. The supply lines Z_1 to Z_m are arrayed on the

insulating substrate 2 between the scan lines X_1 to X_m to be parallel to them so that the supply lines and scan lines alternate. The pixel circuits $P_{1,1}$ to $P_{m,n}$ are arrayed on the insulating substrate 2 in a matrix
5 along the signal lines Y_1 to Y_n and scan lines X_1 to X_m . The feed interconnections 90 are connected to the supply lines Z_1 to Z_m and branched in parallel to the signal lines Y_1 to Y_n when viewed from the upper side. The common interconnections 91 are provided between the
10 feed interconnections 90 to be parallel to them such that the common interconnections 91 and feed interconnections 90 alternate.

The sum of the total number of feed interconnections 90 and the total number of common
15 interconnections 91 is $(n + 1)$. The feed interconnection 90 or common interconnection 91 is provided to partition each of the left and right sides of each of the pixel circuits $P_{1,1}$ to $P_{m,n}$ in the running direction of the signal lines Y_1 to Y_n .

20 The feed interconnections 90 are electrically connected to each other through a lead interconnection 90a arranged on one edge of the insulating substrate 2 and are set to an equipotential by an external clock signal, as will be described later. The lead
25 interconnection 90a is connected to interconnection terminals 90b and 90c at the two ends of the insulating substrate 2. Since an equipotential is applied from an

external driving circuit to the left terminals 90b and 90c, a current can quickly be supplied to all the feed interconnections 90. The lead interconnection 90a also functions as a partition wall to partition, in film formation, organic EL layers 20b together with the feed interconnections 90 and common interconnections 91, as will be described later.

The common interconnections 91 are connected to each other through a lead interconnection 91a arranged on another edge of the insulating substrate 2 on the opposite side of the edge with the interconnection 90a. A common voltage V_{com} is applied to the common interconnections 91. The lead interconnections 91a also function as partition walls to partition, in film formation, the organic EL layers 20b together with the feed interconnections 90 and common interconnections 91, as will be described later.

In the following description, the direction in which the signal lines Y_1 to Y_n run will be defined as the vertical direction (column direction), and the direction in which the scan lines X_1 to X_m run will be defined as the horizontal direction (row direction). In addition, m and n are natural numbers ($m \geq 2$, $n \geq 2$). The subscript added to a scan line X represents the sequence from the top in FIG. 20. The subscript added to a supply line Z represents the sequence from the top in FIG. 20. The subscript added

to a signal line Y represents the sequence from the left in FIG. 20. The first subscript added to a pixel circuit P represents the sequence from the top, and the second subscript represents the sequence from the left.

5 More specifically, let i be an arbitrary natural number of 1 to m , and j be an arbitrary natural number of 1 to n , a scan line X_i is the i th row from the top, a supply line Z_i is the i th row from the top, a signal line Y_j is the j th column from the left, and a pixel circuit

10 $P_{i,j}$ is located on the i th row from the top and the j th column from the left. The pixel circuit $P_{i,j}$ is connected to the scan line X_i , supply line Z_i , and signal line Y_j .

In the EL display panel 1, regions partitioned in a matrix by the scan lines X_1 to X_m and signal lines Y_1 to Y_n form pixels. Each of the pixel circuits $P_{1,1}$ to $P_{m,n}$ is provided in one region.

[Circuit Arrangement of Pixel Circuit]

The pixel circuits $P_{1,1}$ to $P_{m,n}$ have the same structure. The arbitrary pixel circuit $P_{i,j}$ of the pixel circuits $P_{1,1}$ to $P_{m,n}$ will be described. FIG. 21 is an equivalent circuit diagram of the pixel circuit $P_{i,j}$. FIG. 22 is a plan view mainly showing the electrodes of the pixel circuit $P_{i,j}$ and pixel

20 circuit $P_{i,j+1}$.

The pixel circuit $P_{i,j}$ comprises an organic EL element 20 serving as a pixel, and a switch transistor

21, holding transistor 22, driving transistor 23, and capacitor 24 which are arranged around the organic EL element 20.

As shown in FIG. 21, in the switch transistor 21
5 of the pixel circuit $P_{i,j}$, a source 21s is electrically connected to the signal line Y_j . A drain 21d of the transistor 21 is electrically connected to a pixel electrode 20a of the organic EL element 20, a source 23s of the driving transistor 23, and one electrode 24B
10 of the capacitor 24. A gate 21g of the transistor 21 is electrically connected to the scan line X_i and a gate 22g of the holding transistor 22.

In the holding transistor 22, a source 22s is electrically connected to a gate 23g of the driving
15 transistor 23 and the other electrode 24A of the capacitor 24. A drain 22d is electrically connected to the supply line Z_i and a drain 23d of the driving transistor 23. The gate 22g of the transistor 23 is electrically connected to the gate 21g of the switch
20 transistor 21 and the scan line X_i .

In the driving transistor 23, the source 23s is electrically connected to the pixel electrode 20a of the organic EL element 20, the drain 21d of the switch transistor 21, and the electrode 24B of the capacitor
25 24. The drain 23d of the transistor 23 is electrically connected to the supply line Z_i and the drain 22d of the holding transistor 22. The gate 23g of the same

transistor is electrically connected to the source 22s of the holding transistor 22 and the electrode 24A of the capacitor 24.

5 The entire EL display panel 1 is viewed from the upper side, and a focus is placed on only the switch transistors 21 of the pixel circuits $P_{1,1}$ to $P_{m,n}$. The plurality of switch transistors 21 are arrayed in a matrix on the insulating substrate 2. When a focus is placed on only the holding transistors 22 of the pixel
10 circuits $P_{1,1}$ to $P_{m,n}$ when viewed from the upper side, the plurality of holding transistors 22 are arrayed in a matrix on the insulating substrate 2. When a focus is placed on only the driving transistors 23 of the pixel circuits $P_{1,1}$ to $P_{m,n}$ when viewed from the upper
15 side, the plurality of driving transistors 23 are arrayed in a matrix on the insulating substrate 2.
[Layer Structure of EL Display Panel]

The layer structure of the EL display panel 1 will be described. The layer structure of the transistors
20 21 to 23 will be described first.

FIG. 23 is a sectional view of the driving transistor 23. As shown in FIG. 23, the driving transistor 23 includes the gate 23g, gate insulating film 31, semiconductor film 23c, channel protective
25 film 23p, impurity-doped semiconductor films 23a and 23b, drain 23d, and source 23s. The gate 23g is formed on the insulating substrate 2. The gate insulating

film 31 is formed on the gate 23g and substrate 2. The semiconductor film 23c is formed on the gate insulating film 31. The channel protective film 23p is formed on the central portion of the semiconductor film 23c. The impurity-doped semiconductor films 23a and 23b are formed on opposite ends of the semiconductor film 23c to be spaced apart from each other and partially overlap the channel protective film 23p. The drain 23d is formed on the impurity-doped semiconductor film 23a. The source 23s is formed on the impurity-doped semiconductor film 23b. The drain 23d and source 23s can have either a single-layer structure or a layered structure including two or more layers.

The switch transistor 21 and holding transistor 22 also have the same layer structure as the driving transistor 23, and a description of their sectional views will be omitted.

The relationship between the layers of the transistors 21 to 23 and the capacitor 24, the signal lines Y_1 to Y_n , the scan lines X_1 to X_m , and the supply lines Z_1 to Z_m will be described next with reference to FIGS. 23 to 25. FIG. 24 is a sectional view taken along a line XXIV - XXIV in FIG. 22 in the direction of thickness of the insulating substrate 2. FIG. 25 is a sectional view taken along a line XXV - XXV in FIG. 22 in the direction of thickness of the insulating substrate 2.

As shown in FIGS. 23 to 25, the gates 21g of the switch transistors 21, the gates 22g of the holding transistors 22, the gates 23g of the driving transistors 23, the electrodes 24A of the capacitors 24, and the signal lines Y_1 to Y_n are simultaneously formed, using photolithography and etching, by patterning a conductive film formed on the entire surface of the insulating substrate 2. The signal lines Y_1 to Y_n are interconnections to which a gray level current signal having a current value corresponding to the display gray level flows.

The gate insulating film 31 is formed on the entire surface as a film common to all the switch transistors 21, holding transistors 22, and driving transistors 23. The gate insulating film 31 also serves as a dielectric film inserted between the lower electrode 24A and upper electrode 24B of the capacitor 24 and covers the signal lines Y_1 to Y_n . A protective film 35a formed by patterning a film as the prospective semiconductor films 23c is provided on each of the signal lines Y_1 to Y_n . A protective film 35b formed by patterning a film as the prospective impurity-doped semiconductor films 23a and 23b is formed on the protective film 35a. The protective films 35a and 35b protect the signal lines Y_1 to Y_n from any short circuit formed with any one of the scan lines X_1 to X_m or any one of the supply lines Z_1 to Z_m through

pinholes formed in the gate insulating film 31.

The drains 21d and sources 21s of the switch transistors 21, the drains 22d and sources 22s of the holding transistors 22, the drains 23d and sources 23s
5 of the driving transistors 23, the electrodes 24B of the capacitors 24, the scan lines X_1 to X_m , and the supply lines Z_1 to Z_m are formed by, using photolithography and etching, by patterning a conductive film formed on the entire surface of the
10 gate insulating film 31. As shown in FIG. 22, the scan line X_i is electrically connected to a contact portion C1, which is connected to the gate 21g of the switch transistor 21 and the gate 22g of the holding transistor 22, through a contact hole 92 formed in the
15 gate insulating film 31. The signal line Y_j is electrically connected to the source 21s of the switch transistor 21 through a contact hole 94 formed in the gate insulating film 31. The source 22s of the holding transistor 22 is electrically connected to a contact
20 portion C3, which is connected to the gate 23g of the driving transistor 23, through a contact hole 93 formed in the gate insulating film 31.

As shown in FIGS. 23 to 25, the switch transistors 21, holding transistors 22, driving transistors 23,
25 scan lines X_1 to X_m , and supply lines Z_1 to Z_m are covered with a protective insulating film 32 formed on the entire surface. The protective insulating film 32

is made of silicon nitride or silicon oxide and insulates and protects the transistors 21 to 23, scan lines X_1 to X_m , and supply lines Z_1 to Z_m .

5 A planarization film 33 is formed on the protective insulating film 32 so that the three-dimensional pattern of the switch transistors 21, holding transistors 22, driving transistors 23, scan lines X_1 to X_m , and supply lines Z_1 to Z_m is eliminated by the planarization film 33. That is, the surface of
10 the planarization film 33 is flat. The planarization film 33 is formed by hardening a resin such as polyimide.

The layered structure from the insulating substrate 2 to the planarization film 33 is called a
15 transistor array substrate 50. In the transistor array substrate 50, the switch transistors 21, holding transistors 22, and driving transistors 23 are arrayed in a matrix when viewed from the upper side.

To use the EL display panel 1 as a bottom emission
20 type, i.e., to use the insulating substrate 2 as the display screen by outputting light from the organic EL elements 20 from the insulating substrate 2, transparent materials are used for the gate insulating film 31, protective insulating film 32, and
25 planarization film 33.

The layer structure formed on the surface of the transistor array substrate 50 will be described next.

The pixel electrodes 20a are arrayed in a matrix on the surface of the transistor array substrate 50, i.e., the surface of the planarization film 33 in correspondence with the pixel circuits $P_{1,1}$ to $P_{m,n}$. When viewed from the upper side, the pixel electrode 20a of the pixel circuit $P_{i,j}$ is formed in a region divided partitioned by the adjacent scan line X_i and supply line Z_i and the adjacent signal line Y_j and signal line Y_{j+1} . The pixel electrode 20a is electrically connected to the electrode 24B of the capacitor 24, the drain 21d of the switch transistor 21, and the source 23s of the driving transistor 23 through contact holes formed in the planarization film 33 and protective insulating film 32.

The pixel electrode 20a is an electrode functioning as the anode of the organic EL element 20. More specifically, the work function of the pixel electrode 20a is preferably relatively high so that holes can efficiently be injected in the organic EL layer 20b (to be described later). The pixel electrode 20a has a transparency to visible light. As the pixel electrode 20a, for example, a metal oxide containing, e.g., indium tin oxide (ITO), indium zinc oxide, indium oxide (In_2O_3), tin oxide (SnO_3), zinc oxide (ZnO), or cadmium tin oxide (CTO) as the major component can be used.

To use the EL display panel 1 as a top emission

type, i.e., to use the opposite side of the insulating substrate 2 as the display screen, a reflecting film having conductivity and high visible light reflectance is preferably formed between the pixel electrode 20a and the planarization film 33.

The pixel electrodes 20a are formed, using photolithography and etching, by patterning a transparent conductive film formed on the entire surface of the planarization film 33. Between the pixel electrodes 20a adjacent in the horizontal direction, conductive lines 51 which are electrically disconnected from the pixel electrodes 20a and run in the vertical direction are patterned on alternate columns, like the feed interconnections 90, in correspondence with the signal lines $Y_{(j-2k)}$, ..., $Y_{(j-2)}$, Y_j , $Y_{(j+2)}$, ..., (k is a natural number). The conductive lines 51 are patterned together with the pixel electrodes 20a by etching a transparent conductive film as the prospective pixel electrodes 20a. A plurality of trench-shaped insulating lines 57 long in the vertical direction are formed on left and right edge portions of the conductive lines 51. The feed interconnections 90 are formed on the conductive lines 51 exposed between the adjacent insulating lines 57.

Between the pixel electrodes 20a adjacent in the horizontal direction, conductive lines 52 which are

electrically disconnected from the pixel electrodes 20a and run in the vertical direction are patterned on alternate columns, like the common interconnections 91, in correspondence with the signal lines $Y(j-2k+1), \dots, Y(j-1), Y(j+1), Y(j+3), \dots$, (k is a natural number).
5 The both sides of the insulating films 52 partially overlap the edge portions of the pixel electrodes 20a to increase the opening ratio. However, they may not overlap the edge portions of the pixel electrodes 20a.
10 Of the insulating films 52, the insulating films 52 which do not overlap the conductive lines 51 have the common interconnections 91 formed thereon.

The feed interconnections 90 are much thicker than the insulating films 52 and rise from the insulating
15 films 52. The feed interconnections 90 are formed by electroplating and are therefore much thicker than the signal lines Y_1 to Y_n , scan lines X_1 to X_m , supply lines Z_1 to Z_m , and the gates, sources, and drains of the transistors 21 to 23. As shown in FIGS. 22 and 25,
20 contact holes 53 are formed in the planarization film 33 and protective insulating film 32 at portions where the feed interconnections 90 and supply lines Z_1 to Z_m cross when viewed from the upper side. Conductive pads 58 are buried in the contact holes 53. The conductive
25 line 51 and feed interconnection 90 are sequentially stacked on the conductive pad 58. Hence, as shown in the circuit diagram of FIG. 21, the feed

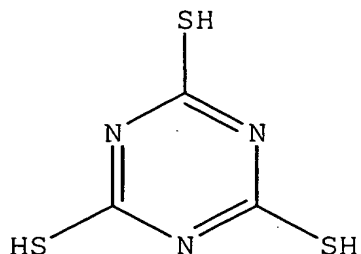
interconnection 90 is electrically connected to the supply lines Z_1 to Z_m through contact portions C2 and also electrically connected to the drains 22d and 23d of the transistors 22 and 23 of the pixel circuits $P_{i,1}$ to $P_{i,n}$ through the supply line Z_i . The conductive pad 58 in the contact hole 53 is formed by electroplating.

Since the common interconnections 91 are also formed by electroplating together with the feed interconnections 90, they are much thicker than the signal lines Y_1 to Y_n , the scan lines X_1 to X_m , the supply lines Z_1 to Z_m , and the gates, sources, and drains of the transistors 21 to 23. The common interconnections 91 and feed interconnections is made of copper, gold, or nickel, or a layered body thereof.

A liquid repellent insulating film 54 having water repellency and/or oil repellency is formed on the surface of each feed interconnection 90. The liquid repellent insulating films 54 are made of a fluoroplastic electrodeposition coating and formed by electrodeposition coating.

A liquid repellent conductive film 55 having water repellency and/or oil repellency is formed on the surface of each common interconnection 91. The liquid repellent conductive films 55 are formed by reducing and eliminating hydrogen atoms (H) of one or two mercapto groups (-SH: also called a thiol group) of triazyl-trithiol expressed by chemical formula (1), and

oxidizing and adsorbing sulfur atoms (S) in the surfaces of the common interconnections 91 as a metal.



5

In the liquid repellent conductive film 55, triazyl-trithiol molecule units are formed very thin on the surface of the common interconnection 91. For this reason, the liquid repellent conductive film 55 has a very low resistance in the direction of thickness and rarely has insulating properties. To make the water repellency and oil repellency more effective, a triazinethiol derivative in which an alkyl fluoride group substitute for one or two mercapto groups of triazyl-trithiol may be used in place of triazyl-trithiol. Such a triazyl compound can selectively be coated and bonded to a metal like the liquid repellent conductive film 55. More specifically, an aqueous solution of 6-dimethylamino-1,3,5-triazine-2, and 4-dithiol-sodium salt is prepared at a concentration of 10^{-3} mol/L. When the common interconnection 91 is dipped in the aqueous solution at a liquid temperature of 26°C for a dipping time of 30 min, the liquid repellent conductive film 55 having a thickness of about 0.7 nm is formed on

10

15

20

25

the surface of the common interconnection 91 (the thickness is a measured value by ellipsometer).

Alternatively, an aqueous solution of

6-didodecylamino-1,3,5-triazine-2, and 4-dithiol-sodium
5 salt is prepared at a concentration of 10^{-3} mol/L.

When the common interconnection 91 is dipped in the aqueous solution at a liquid temperature of 46°C for a dipping time of 30 min, the liquid repellent conductive film 55 having a thickness of about 1.8 nm is formed on
10 the surface of the common interconnection 91 (the thickness is a measured value by ellipsometer).

FIG. 26 is a view schematically showing the coating structure of the liquid repellent conductive film 55. Referring to FIG. 26, a substituent R is,
15 e.g., dimethylamino or didodecylamino.

The organic EL layer 20b of the organic EL element 20 is formed on the pixel electrode 20a. The organic EL layer 20b is a light-emitting layer of broad sense. The organic EL layer 20b contains a light-emitting
20 material (phosphor) as an organic compound. The organic EL layer 20b has a two-layer structure in which a hole transport layer and a light-emitting layer of narrow sense are formed sequentially from the pixel electrode 20a. The hole transport layer is made of
25 PEDOT (polythiophene) as a conductive polymer and PSS (polystyrene sulfonate) as a dopant. The light-emitting layer of narrow sense is made of a

polyfluorene-based light-emitting material.

The organic EL layer 20b is formed by wet coating (e.g., ink-jet method) after coating of the liquid repellent insulating film 54 and liquid repellent
5 conductive film 55. In this case, an organic compound-containing solution containing an organic compound as the prospective organic EL layer 20b is applied to the pixel electrode 20a. The liquid level of the organic compound-containing solution is higher
10 than the top of the insulating line 52 and that of the insulating line 57. The thick feed interconnection 90 and common interconnection 91 whose top is much higher than those of the insulating line 52 and insulating
15 line 57 are provided between the pixel electrodes 20a adjacent in the horizontal direction. The feed interconnection 90 and common interconnection 91 prevent the organic compound-containing solution applied to a pixel electrode 20a from leaking to the
20 pixel electrodes 20a adjacent in the horizontal direction. In addition, the feed interconnection 90 is coated with the liquid repellent insulating film 54 having the water repellency and/or oil repellency. The common interconnection 91 is coated with the liquid repellent
25 conductive film 55 having water repellency and/or oil repellency. The liquid repellent insulating film 54 and liquid repellent conductive film 55 repel the organic compound-containing solution applied to the

pixel electrode 20a. The organic compound-containing solution applied to the pixel electrode 20a is never deposited excessively thick near the edge of the insulating line 52 as compared to the center of the pixel electrode 20a. Hence, the organic EL layer 20b formed by drying the organic compound-containing solution can have a uniform thickness.

When the organic EL layers 20b are formed in the above-described way, a stripe structure including a region R where the organic EL layer 20b to emit red light, a region G where the organic EL layer 20b to emit green light, and a region B where the organic EL layer 20b to emit blue light is formed, as shown in FIG. 27. A plurality of pixels in the same column emit light of the same color.

When viewed from the upper side, the applied organic compound-containing solution is uniformly distributed vertically in each column because its left and right sides are partitioned by the feed interconnection 90 or common interconnection 91. Hence, the plurality of organic EL layers 20b arrayed in the vertical direction have the same layer structure and emit light of the same color. In the plurality of organic EL layers 20b arrayed in line in the horizontal direction, the light-emitting layers of narrow sense are arrayed to sequentially repeat red light emission, green light emission, and blue light emission. The

hole transport layers of pixels that emit light of different colors may use the same material.

5 The organic EL layer 20b need not always have the two-layer structure. A three-layer structure including a hole transport layer, a light-emitting layer of narrow sense, and an electron transport layer sequentially from the pixel electrode 20a may be employed. A single-layer structure including a light-emitting layer of narrow sense may be used. A 10 layered structure having an electron or hole injection layer inserted between appropriate layers in one of the above layer structures may be employed. Any other layered structures can also be used.

15 A counter electrode 20c functioning as the cathode of the organic EL element 20 is formed on the organic EL layer 20b. The counter electrode 20c is a common electrode commonly formed for all pixels. The counter electrode 20c formed on the entire surface covers the common interconnection 91 while sandwiching the liquid repellent conductive film 55 between them and the feed 20 interconnection 90 while sandwiching the liquid repellent insulating film 54. For this reason, the counter electrode 20c is electrically connected to the common interconnection 91, as shown in the circuit 25 diagram of FIG. 21. To the contrary, the counter electrode 20c is insulated from the feed interconnection 90.

As shown in FIGS. 23 to 25, the counter electrode 20c is formed from a material having a work function lower than the pixel electrode 20a. The counter electrode 20c is preferably made of, e.g., a single substance selected from magnesium, calcium, lithium, barium, indium, and a rare earth metal, or an alloy containing at least one of these single substances. The counter electrode 20c may have a layered structure in which the layers of various kinds of materials described above are stacked, or a layered structure in which a metal layer hard to oxidize is deposited in addition to the layers of various kinds of materials described above to lower the sheet resistance. More specifically, a layered structure including a highly pure barium layer having a low work function and provided on the interface side contacting the organic EL layer 20b, and an aluminum layer provided to cover the barium layer, or a layered structure including a lithium layer on the lower side and an aluminum layer on the upper side can be used. In a top emission structure, the counter electrode 20c may be a transparent electrode having the above-described thin film with a low work function and a transparent conductive film made of, e.g., ITO on the thin film.

A sealing insulating film 56 is formed on the counter electrode 20c. The sealing insulating film 56 is an inorganic or organic film provided to cover the

entire counter electrode 20c to prevent its degradation.

Conventionally, in an EL display panel having a top emission structure, at least part of the counter electrode 20c is formed as a transparent electrode made of, e.g., a metal oxide having a sufficiently high resistance value. The sheet resistance cannot be sufficient low unless the material is sufficiently thick. When the material is thick, the transmission of the organic EL element inevitably decreases. The larger the screen becomes, the harder a uniform potential is obtained in a plane. Hence, the display characteristic degrades. In this embodiment, however, the plurality of common interconnections 91 with a low resistance are provided to obtain a sufficient thickness in the vertical direction. Hence, the sheet resistance value of the entire cathode electrodes of the organic EL elements 20 can be decreased together with the counter electrode 20c so that a sufficient large current can be supplied uniformly in a plane. In this structure, the common interconnections 91 reduces the sheet resistance of the cathode electrode. For this reason, the transmittance can be increased by forming the counter electrode 20c thin. In a top emission structure, the pixel electrode 20a may be made of a reflecting material.

[EL Display Panel Driving Method]

The EL display panel 1 can be driven by the active matrix method in the following way. As shown in FIG. 28, an oscillation circuit outputs a clock signal to the feed interconnections 90 and supply lines Z_1 to Z_m . A scan-side driver sequentially outputs a shift pulse of high level to the scan lines X_1 to X_m in this order (the scan line X_1 next to the scan line X_m), thereby sequentially selecting the scan lines X_1 to X_m . While the scan-side driver is outputting the shift pulse to one of the scan lines X_1 to X_m , the clock signal from the oscillation circuit changes to low level. When the scan-side driver selects the scan lines X_1 to X_m , a data-side driver supplies a pull-out current (current signal) as the write current to all the signal lines Y_1 to Y_n through the source-to-drain paths of the driving transistors 23. The counter electrode 20c and feed interconnections 90 are held at the predetermined common voltage V_{com} (e.g., ground = 0V).

During the selection period of the scan line X_i , the shift pulse is output to the scan line X_i of the i th row so that the switch transistor 21 and holding transistor 22 are turned on. In each selection period, the potential on the data-side driver side is equal to or lower than the clock signal output to the feed interconnections 90 and supply lines Z_1 to Z_m . The low

level of the clock signal is set to be equal to or lower than the common voltage V_{com} . At this time, no current flows from the organic EL elements 20 to the signal lines Y_1 to Y_n . As shown in FIG. 21, a write current (pull-out current) having a current value corresponding to the gray level is supplied from the data-side driver to the signal lines Y_1 to Y_n , as indicated by an arrow A. In the pixel circuit $P_{i,j}$, the write current (pull-out current) to the signal line Y_j flows from the feed interconnection 90 and supply line Z_i through the source-to-drain path of the driving transistor 23 and the source-to-drain path of the switch transistor 21. The current value of the current flowing through the source-to-drain path of the driving transistor 23 is uniquely controlled by the data-side driver. The data-side driver sets the current value of the write current (pull-out current) in accordance with an externally input gray level. While the write current (pull-out current) is flowing, the voltage between the gate 23g and source 23s of the driving transistor 23 of each of the pixel circuits $P_{i,1}$ to $P_{i,n}$ of the i th row is forcibly set in accordance with the current value of the write current (pull-out current) flowing to the signal lines Y_1 to Y_n , i.e., the current value of the write current (pull-out current) flowing between the drain 23d and source 23s of the driving transistor 23 independently of the

change over time in the V_g - I_{ds} characteristic of the driving transistor 23. Charges with a magnitude corresponding to the level of this voltage are stored in the capacitor 24 so that the current value of the write current (pull-out current) is converted into the voltage level between the gate 23g and source 23s of the third transistor 23. In the subsequent light emission period, the scan line X_i changes to low level so that the switch transistor 21 and holding transistor 22 are turned off. The charges on the side of the electrode 24A of the capacitor 24 are confined by the holding transistor 22 in the OFF state, and a floating state is set. Hence, even when the voltage of the source 23s of the transistor 23 is modulated at the time of transition from the selection period to the light emission period, the potential difference between the gate 23g and source 23s of the transistor 23 is maintained. Of the selection period, during a period in which no row is selected, i.e., the clock signal is at high level, and the potential of the feed interconnection 90 and supply line Z_i is higher than the potential V_{com} of the counter electrode 20c of the organic EL element 20 and the feed interconnection 90, the driving current flows from the feed interconnection 90 and supply line Z_i with a higher potential to the organic EL element 20 through the source-to-drain path of the driving transistor 23 in the direction of arrow

B. Hence, the organic EL element emits light. The current value of the driving current depends on the voltage between the gate 23g and source 23s of the driving transistor 23. For this reason, the current value of the driving current during the light emission period equals the current value of the write current (pull-out current) during the selection period. Of the selection period, during a period in which any row is selected, i.e., the clock signal is at low level, the potential of the feed interconnection 90 and supply line Z_j is equal to or lower than the potential V_{com} of the counter electrode 20c and feed interconnection 90. Hence, no driving current flows to the organic EL element 20, and no light emission occurs.

More specifically, during the selection period, the switch transistor 21 forms a current path to flow the write current (pull-out current) between the signal line Y_j and the source 23s of the driving transistor 23. The holding transistor 22 forms a current path to flow the write current (pull-out current) between the feed interconnection 90 and the drain 23d of the driving transistor 23.

During the light emission period, the switch transistor 21 closes the current path not to flow the driving current from the source 23s of the driving transistor 23 to the signal line Y_j . The holding transistor 22 holds the voltage between the gate 23g

and source 23s of the transistor 23 to make the current value of the driving current constant. When the supply line Z_i and feed interconnection 90 change to high level during the light emission period, the driving transistor 23 supplies a current having a magnitude corresponding to the gray level to the organic EL element 20 to drive it in accordance with charges stored between the gate 23g and source 23s during the selection period.

10 [First Modification]

The present invention is not limited to the above-described embodiments, and various changes and modifications can be made without departing from the spirit and scope of the present invention.

15 In the above embodiments, the first to third transistors 21 to 23 have been explained as N-channel field effect transistors. The transistors 21 to 23 may be P-channel field effect transistors. In this case, the relationship between the sources 21s, 22s, and 23s of the transistors 21 to 23 and the drains 21d, 22d, and 23d of the transistors 21 to 23 is reversed in the circuit diagram shown in FIG. 2. For example, when the driving transistor 23 is a P-channel field effect transistor, the drain 23d of the driving transistor 23 is electrically connected to the pixel electrode 20a of the organic EL element 20. The source 23s is electrically connected to the supply line Z_i .

[Second Modification]

In the above-described embodiments, the three transistors 21 to 23 are provided per pixel. The present invention can be applied to any EL display panel having a driving transistor whose source or drain is connected to an organic EL element independently of the number of transistors and whether the panel is current-driven or voltage-driven.

[Third Modification]

When the transistors 21 to 23 are P-channel field effect transistors, the relationship between the sources 21s, 22s, and 23s of the transistors 21 to 23 and the drains 21d, 22d, and 23d of the transistors 21 to 23 is reversed in the circuit diagram shown in FIG. 2, as described above. In addition, the high and low levels of each signal are reversed.

[Fourth Modification]

In the above-described embodiments, the drain 22d of each holding transistor 22 is connected to one of the supply lines Z_1 to Z_m . However, the present invention is not limited to this. The drain 22d of the holding transistor 22 of each of the pixel circuits $P_{i,1}$, $P_{i,2}$, $P_{i,3}$, ..., $P_{i,n}$ may be connected to the scan line X_i .

[Fifth Modification]

In the above-described embodiments, the write feed voltage VL serving as the write current and the driving

feed voltage V_H serving as the driving current are supplied from both of the interconnection terminals 90b and 90c to each feed interconnection 90 to decrease the voltage drop in the feed interconnection 90. If the design tolerates a large voltage drop, the voltages may be supplied from only one of the interconnection terminals 90b and 90c.

[Sixth Modification]

In the above-described embodiments, the first to third transistors 21 to 23 are amorphous silicon transistors. However, the transistors may be made of polysilicon, or any other semiconductor.

[Seventh Modification]

In the second embodiment, the liquid repellent insulating film 54 is formed on the surface of each feed interconnection 90. However, the present invention is not limited to this. Instead of providing the liquid repellent insulating film 54, the liquid repellent conductive film 55 may be formed not only on each common interconnection 91 but also on the surface of each feed interconnection 90. At least one layer of the organic EL layer 20b is formed by using the common interconnection 91 and feed interconnection 90 as liquid repellent partition walls. Then, the counter electrode 20c is formed on the surfaces of the organic EL layers 20b and common interconnections 91 except the surfaces of the feed interconnections 90.

A plurality of modifications described above may be combined if a consistency can be ensured.

WHAT IS CLAIMED IS:

1. A transistor array substrate comprising:
a substrate;

5 a plurality of driving transistors which are
arrayed in a matrix on the substrate, each of the
driving transistors having a gate, a source, a drain,
and a gate insulating film inserted between the gate,
and the source and drain;

10 a plurality of signal lines which are patterned
together with the gates of said plurality of driving
transistors and arrayed to run in a predetermined
direction on the substrate;

15 a plurality of supply lines which are patterned
together with the sources and drains of said plurality
of driving transistors and arrayed to cross said
plurality of signal lines via the gate insulating film,
each of the supply lines being electrically connected
to one of the source and the drain of the driving
transistor; and

20 a plurality of feed interconnections which are
formed on said plurality of supply lines along said
plurality of supply lines, respectively.

25 2. A substrate according to claim 1, further
comprising a plurality of scan lines which are
patterned together with the sources and drains of said
plurality of driving transistors and arrayed to cross
said plurality of supply lines via the gate insulating

film.

3. A substrate according to claim 2, which further comprises a plurality of switch transistors which are arrayed in a matrix on the substrate, each of
5 the switch transistors having the gate insulating film inserted between a gate and a source and drain, and

in which one of the source and drain of each of said plurality of switch transistors is electrically connected to the other of the source and drain of a
10 corresponding one of said plurality of driving transistors,

the gate of each of said plurality of switch transistors is electrically connected to the scan line through a contact hole formed in the gate insulating
15 film, and

said other of the source and drain of each of said plurality of switch transistors is electrically connected to the signal line through a contact hole formed in the gate insulating film.

4. A substrate according to claim 2, which further comprises a plurality of holding transistors which are arrayed in a matrix on the substrate, each of
20 the holding transistors having the gate insulating film inserted between a gate and a source and drain, and

in which one of the source and drain of each of said plurality of holding transistors is electrically connected to the gate of a corresponding one of said

plurality of driving transistors through a contact hole formed in the gate insulating film,

the other of the source and drain of each of said plurality of holding transistors is electrically
5 connected to one of the supply line and the scan line, and

the gate of each of said plurality of holding transistors is electrically connected to the scan line through a contact hole formed in the gate insulating
10 film.

5. A substrate according to claim 1, further comprising a plurality of light-emitting elements each of which is connected to one of the source and drain of the driving transistor.

15 6. A substrate according to claim 1, further comprising a data driver which supplies a write current between the gate and source of the driving transistor through the supply line.

20 7. A substrate according to claim 1, further comprising a select driver which selects the scan line and turns on the switch transistor.

25 8. A substrate according to claim 1, further comprising a feed driver which is connected to the feed interconnection to apply a write feed voltage to supply a write current to the driving transistor through the feed interconnection in a selection period and apply a driving feed voltage to supply a driving current to a

light-emitting element through the driving transistor in a light emission period in accordance with a voltage which is held between the gate and source of the driving transistor in the selection period.

5 9. A substrate according to claim 1, wherein the feed interconnection has a thickness of 1.31 to 6.00 μm .

10 10. A substrate according to claim 1, wherein the feed interconnection has a width of 7.45 to 4.4.00 μm .

15 11. A substrate according to claim 1, wherein a resistivity of the feed interconnection is 2.1 to 9.6 $\mu\Omega\text{cm}$.

20 12. A substrate according to claim 1, which further comprising a plurality of light-emitting elements each of which has a pixel electrode, an EL layer, and a counter electrode and is electrically connected to the driving transistor, and

25 in which the feed interconnections are formed by patterning a material film different from a material film as a prospective pixel electrode and a material film serving as a prospective counter electrode and is thicker than the gate of the driving transistor and the source and drain of the driving transistor.

30 13. A display panel comprising:
a substrate;
a plurality of driving transistors which are arrayed in a matrix on the substrate, each of the

driving transistors having a gate, a source, a drain, and a gate insulating film inserted between the gate, and the source and drain;

5 a plurality of signal lines which are patterned together with the gates of said plurality of driving transistors and arrayed to run in a predetermined direction on the substrate;

10 a plurality of supply lines which are patterned together with the sources and drains of said plurality of driving transistors and arrayed to cross said plurality of signal lines via the gate insulating film, each of the supply lines being electrically connected to one of the source and the drain of the driving transistor; and

15 a plurality of feed interconnections which are connected to said plurality of supply lines along said plurality of supply lines;

20 a plurality of pixel electrodes each of which is electrically connected to the other of the source and the drain of each of said plurality of driving transistors;

a plurality of light-emitting layers which are formed on said plurality of pixel electrodes, respectively; and

25 a counter electrode which covers said plurality of light-emitting layers.

14. A panel according to claim 13, further

comprising a plurality of scan lines which are patterned together with the sources and drains of said plurality of driving transistors and arrayed to cross said plurality of supply lines via the gate insulating film.

5

15. A panel according to claim 14, which further comprises a plurality of switch transistors which are arrayed in a matrix on the substrate, each of the switch transistors having the gate insulating film inserted between a gate, and a source and drain, and

10

in which one of the source and drain of each of said plurality of switch transistors is electrically connected to the other of the source and drain of a corresponding one of said plurality of driving transistors,

15

the gate of each of said plurality of switch transistors is electrically connected to the scan line through a contact hole formed in the gate insulating film, and

20

said other of the source and drain of each of said plurality of switch transistors is electrically connected to the signal line through a contact hole formed in the gate insulating film.

16. A panel according to claim 14, which further comprises a plurality of holding transistors which are arrayed in a matrix on the substrate, each of the holding transistors having the gate insulating film

25

inserted between a gate, and a source and drain, and

in which one of the source and drain of each of
said plurality of holding transistors is electrically
connected to the gate of a corresponding one of said
5 plurality of driving transistors through a contact hole
formed in the gate insulating film,

the other of the source and drain of each of said
plurality of holding transistors is electrically
connected to one of the supply line and the scan line,
10 and

the gate of each of said plurality of holding
transistors is electrically connected to the scan line
through a contact hole formed in the gate insulating
film.

15 17. A panel according to claim 13, wherein the
feed interconnections are formed by patterning a
material film different from a material film serving as
a prospective pixel electrode and a material film
serving as a prospective counter electrode and is
20 thicker than the gate of the driving transistor and the
source and drain of the driving transistor.

18. A display panel manufacturing method
comprising:

25 patterning a plurality of pixel electrodes on a
panel to be arrayed in a matrix;

forming an interconnection made of a metal between
the pixel electrodes;

coating a surface of the interconnection with a liquid repellent conductive layer; and

forming an organic compound layer by applying an organic compound-containing solution to the electrode.

5 19. A method according to claim 18, wherein after the organic compound layer is formed, a counter electrode is formed to cover the organic compound layer and the interconnection.

10 20. A method according to claim 18, wherein the organic compound layer is an organic EL layer.

21. A method according to claim 18, wherein the interconnection is electrically connected to the organic compound layer.

15 22. A method according to claim 18, further comprising providing a transistor electrically connected to the organic compound layer.

23. A method according to claim 22, wherein the interconnection has a feed interconnection connected to the transistor.

20 24. A method according to claim 18, wherein a surface of the pixel electrode is a metal oxide.

25. A method according to claim 18, wherein the liquid repellent conductive layer contains a triazine compound.

ABSTRACT OF THE DISCLOSURE

A transistor array substrate includes a plurality of driving transistors which are arrayed in a matrix on a substrate. The driving transistor has a gate, a source, a drain, and a gate insulating film inserted
5 between the gate, and the source and drain. A plurality of signal lines are patterned together with the gates of the driving transistors and arrayed to run in a predetermined direction on the substrate. A
10 plurality of supply lines are patterned together with the sources and drains of the driving transistors and arrayed to cross the signal lines via the gate insulating film. The supply line is electrically connected to one of the source and the drain of the
15 driving transistor. A plurality of feed interconnections are formed on the supply lines along the supply lines, respectively.

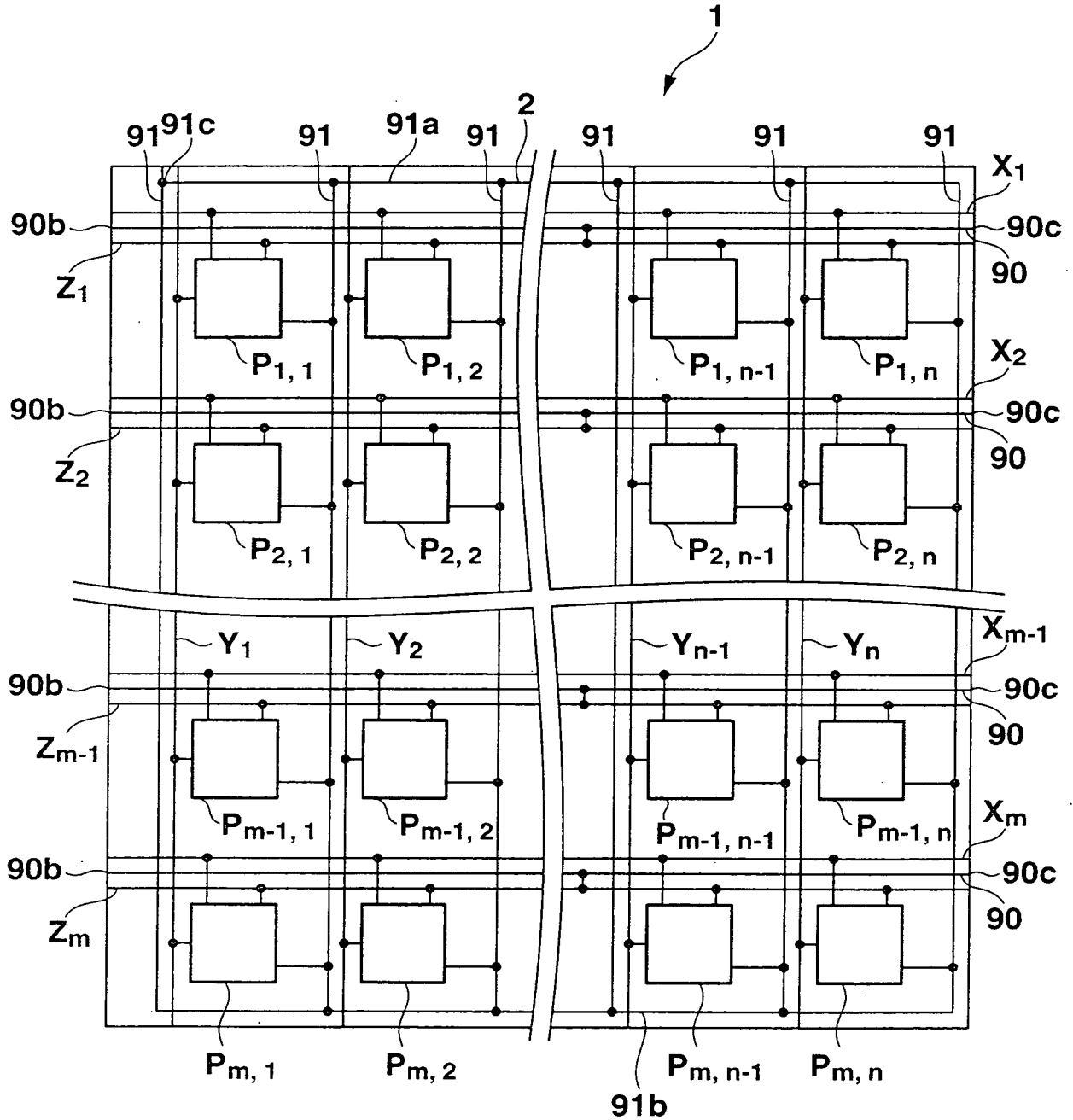


FIG.1

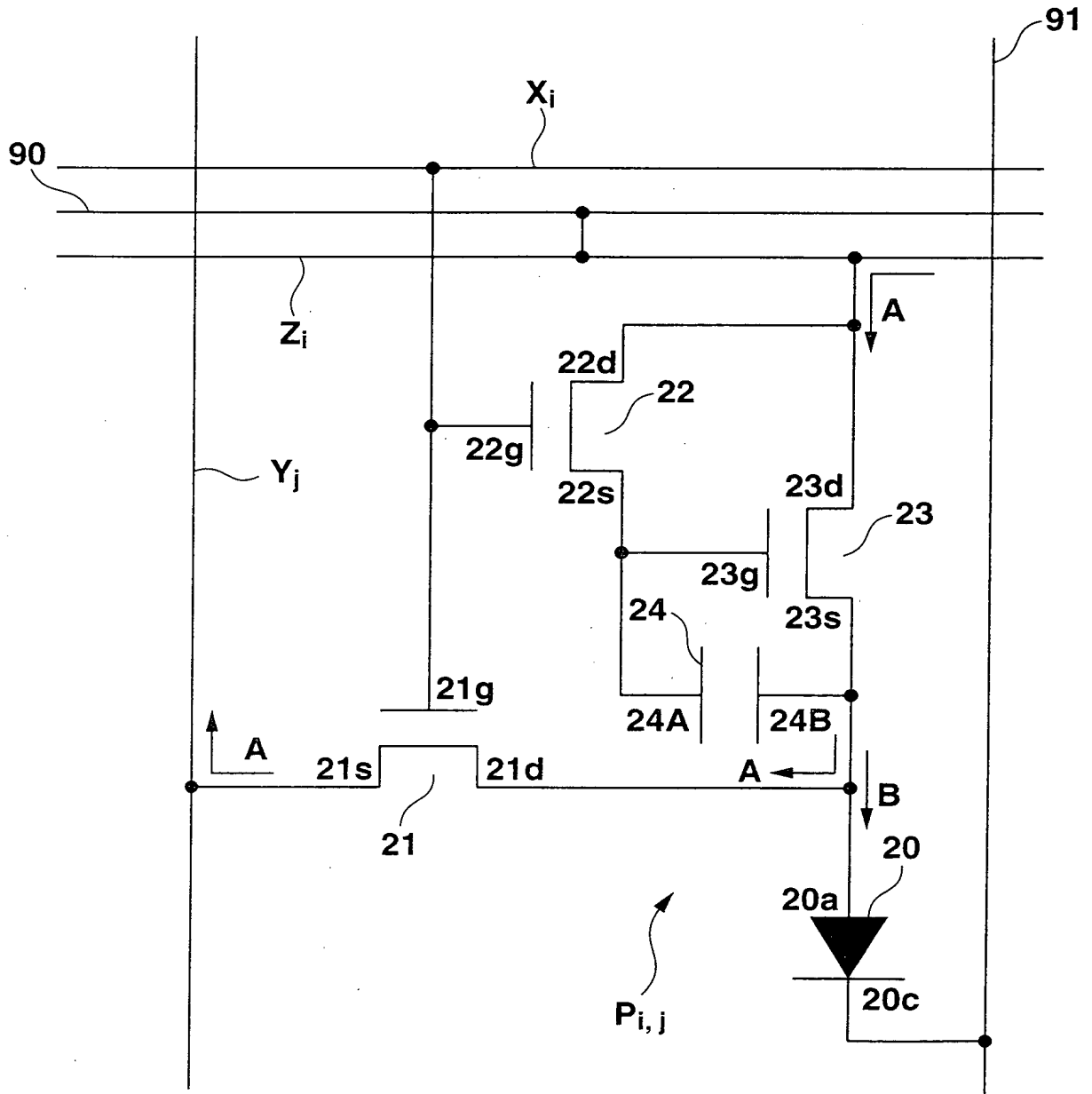


FIG.2

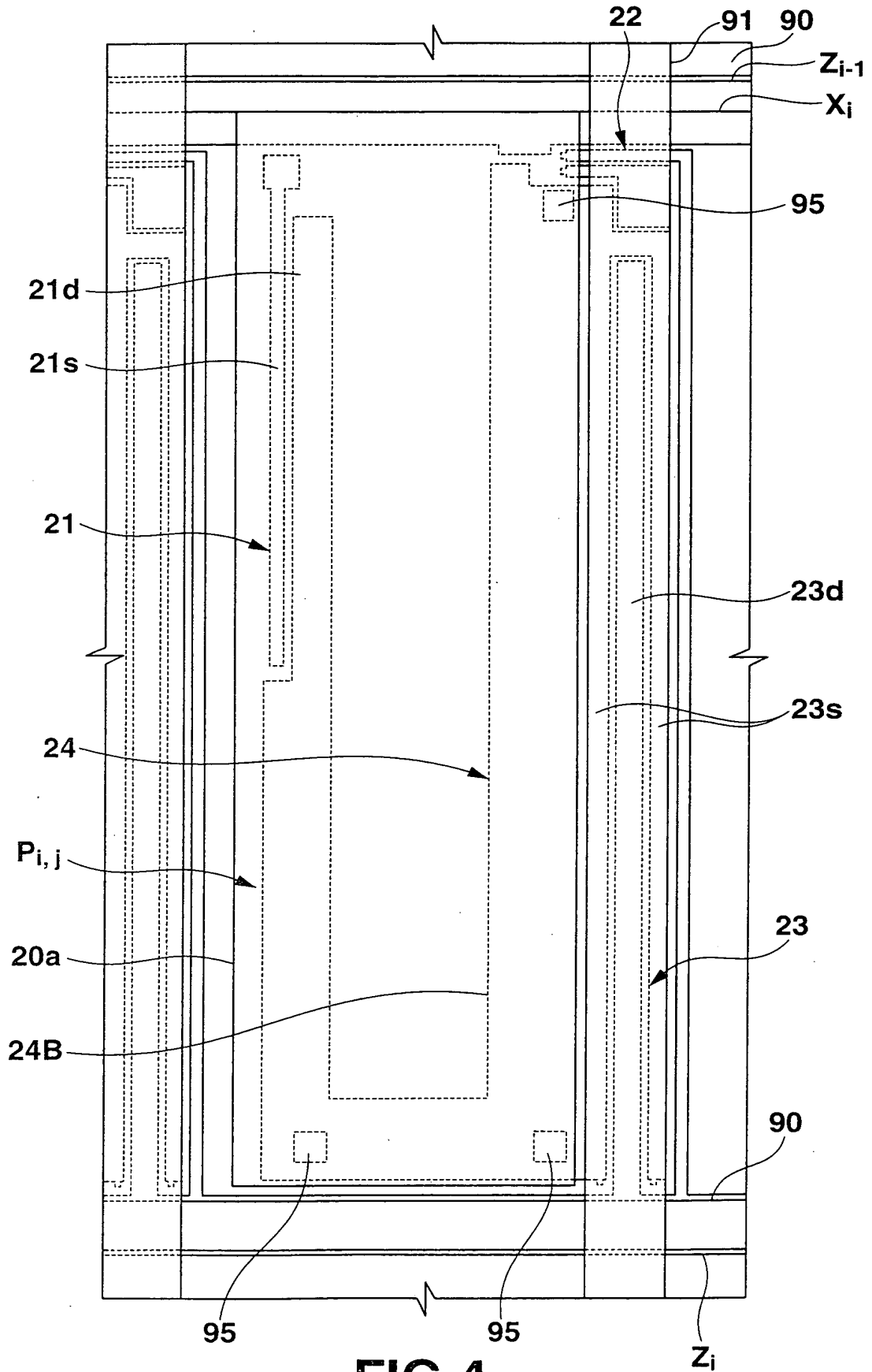


FIG.4

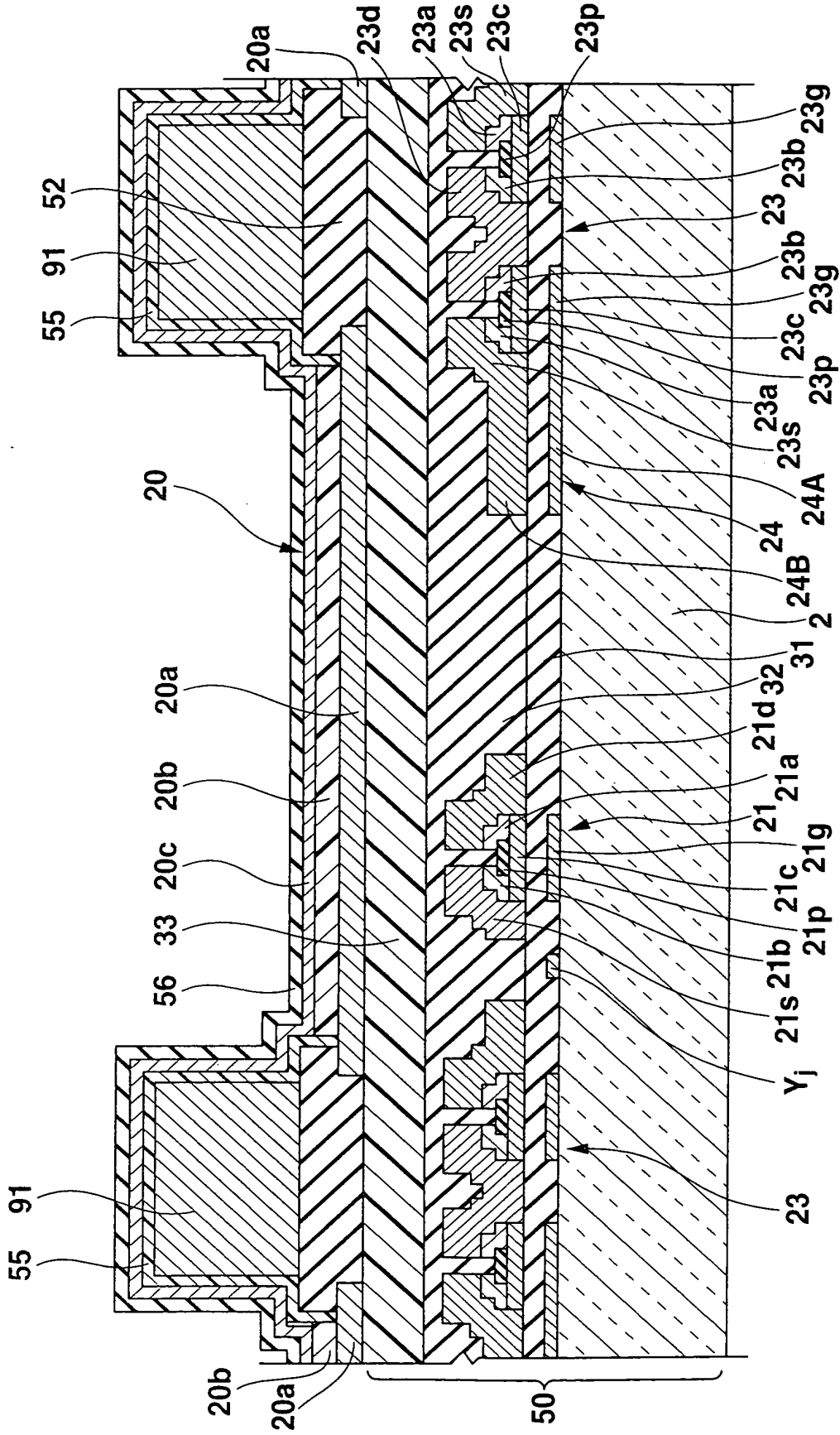


FIG.5

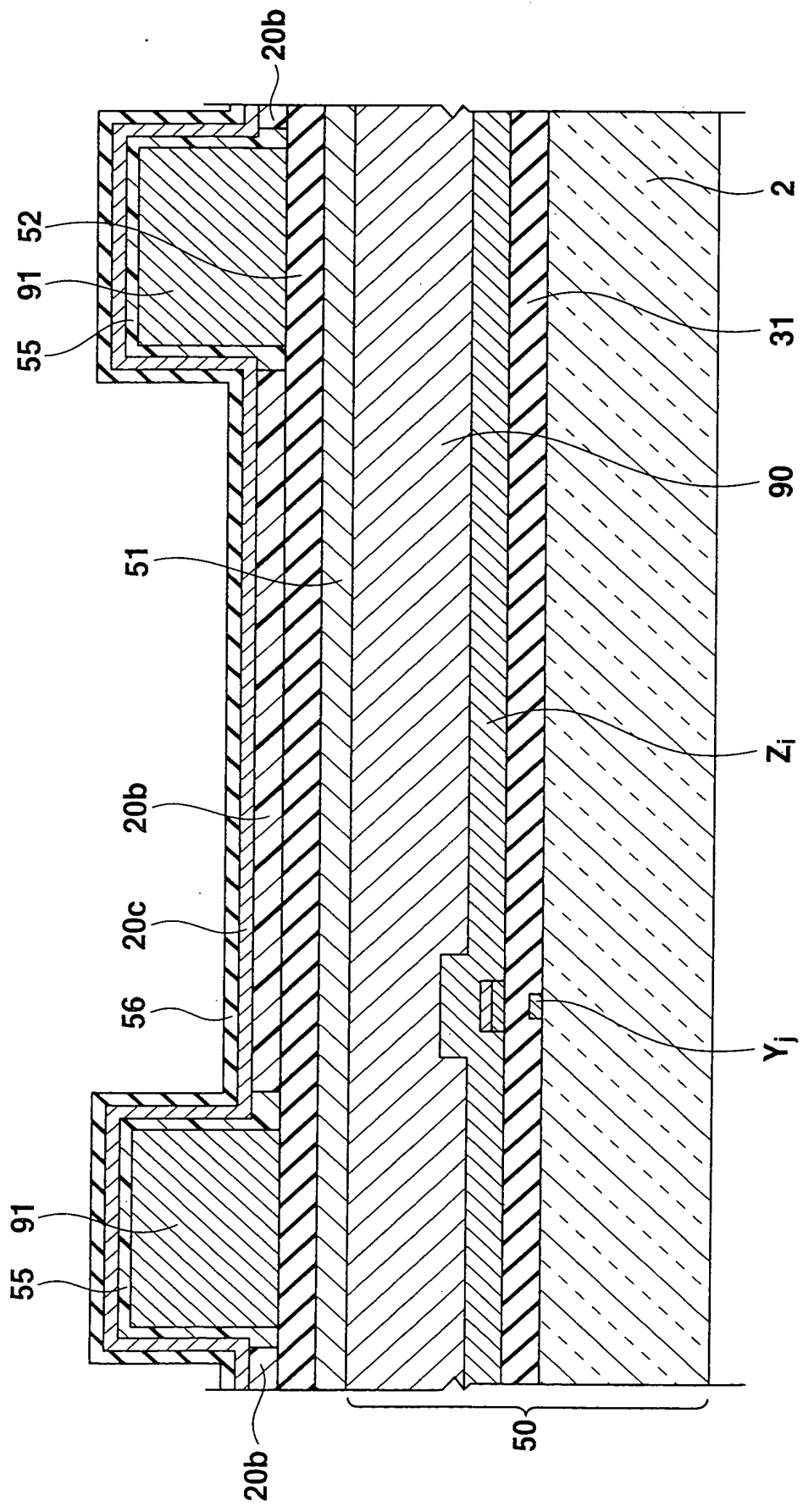


FIG.6

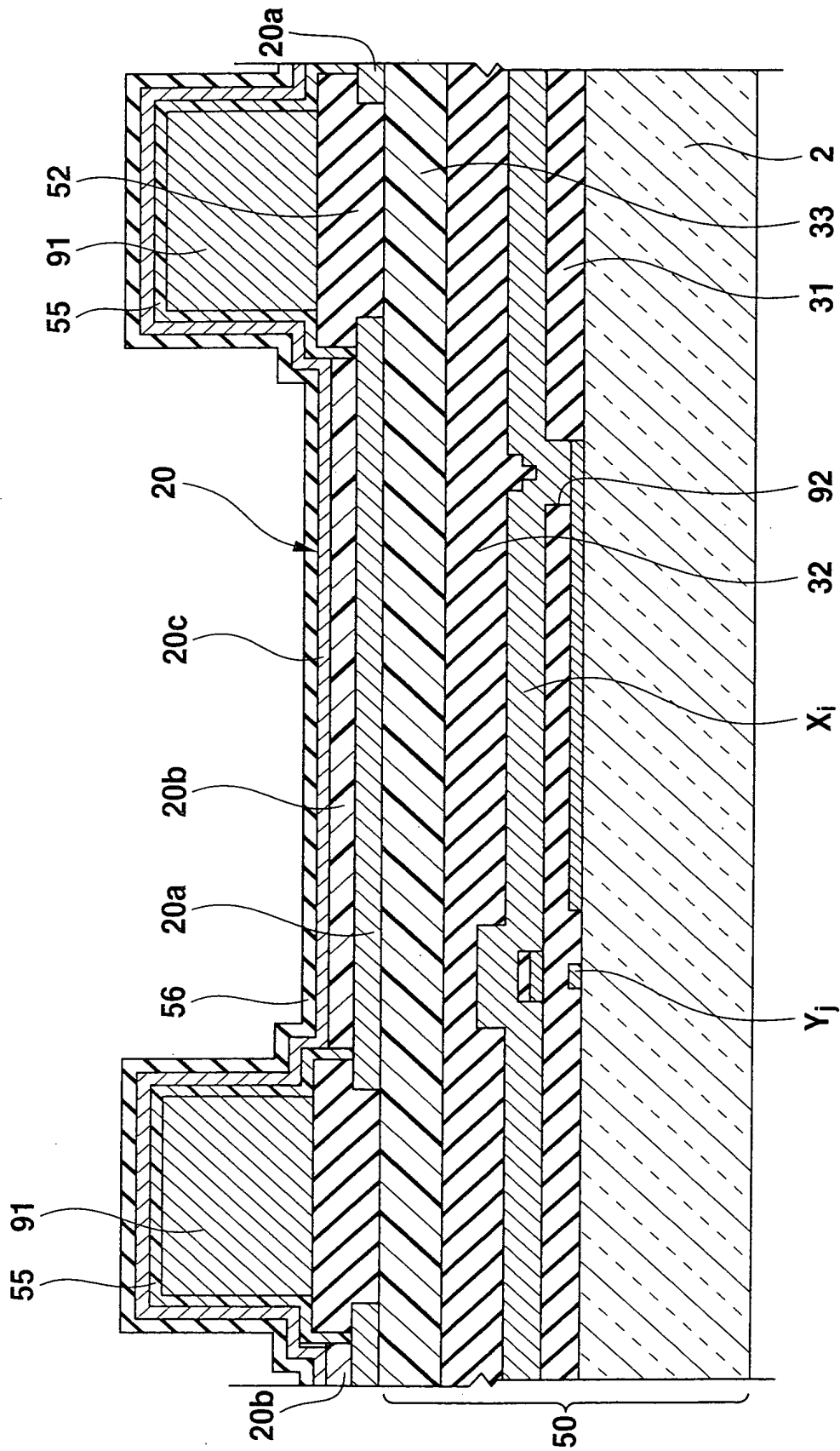


FIG.7

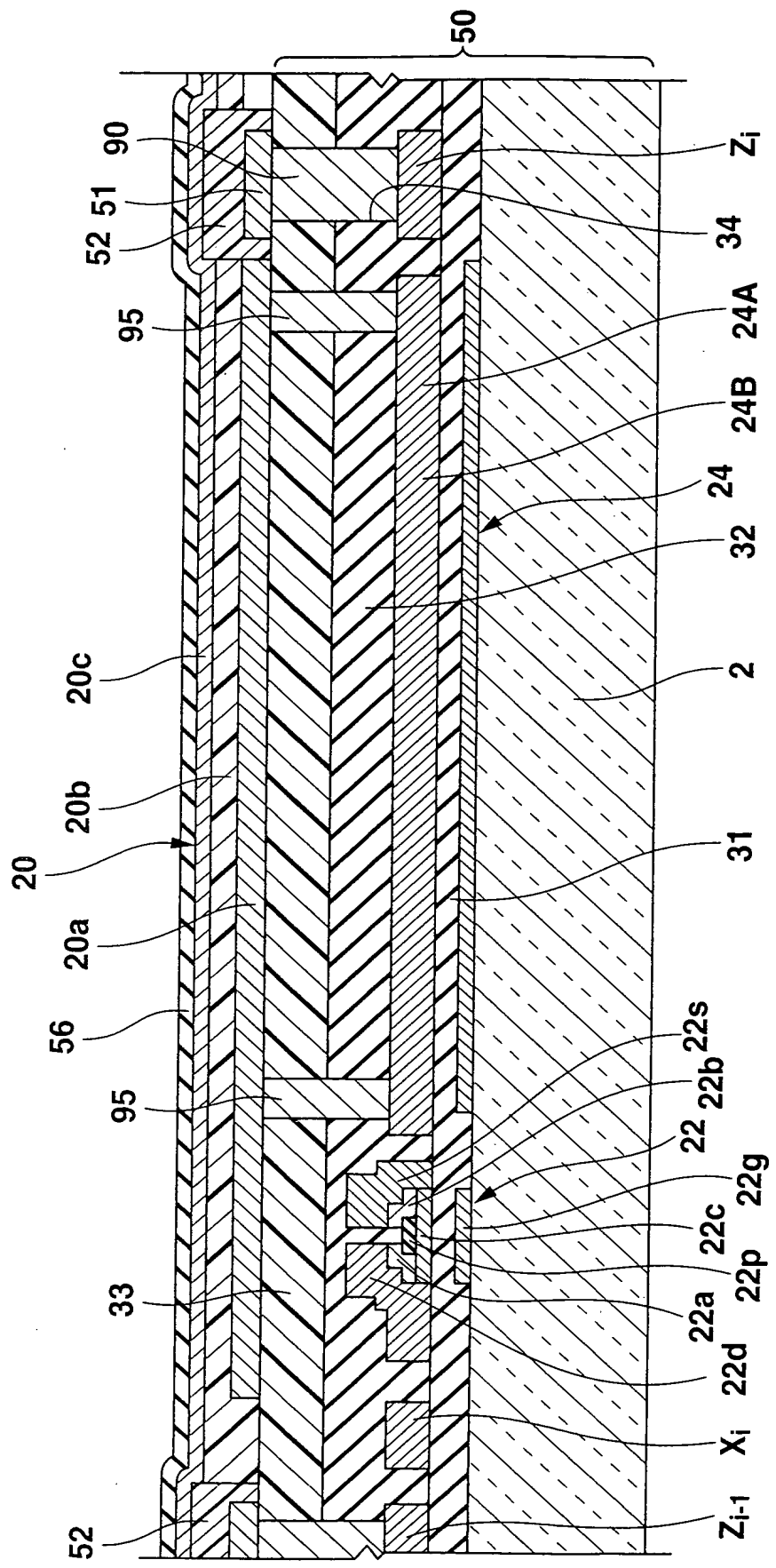


FIG.8

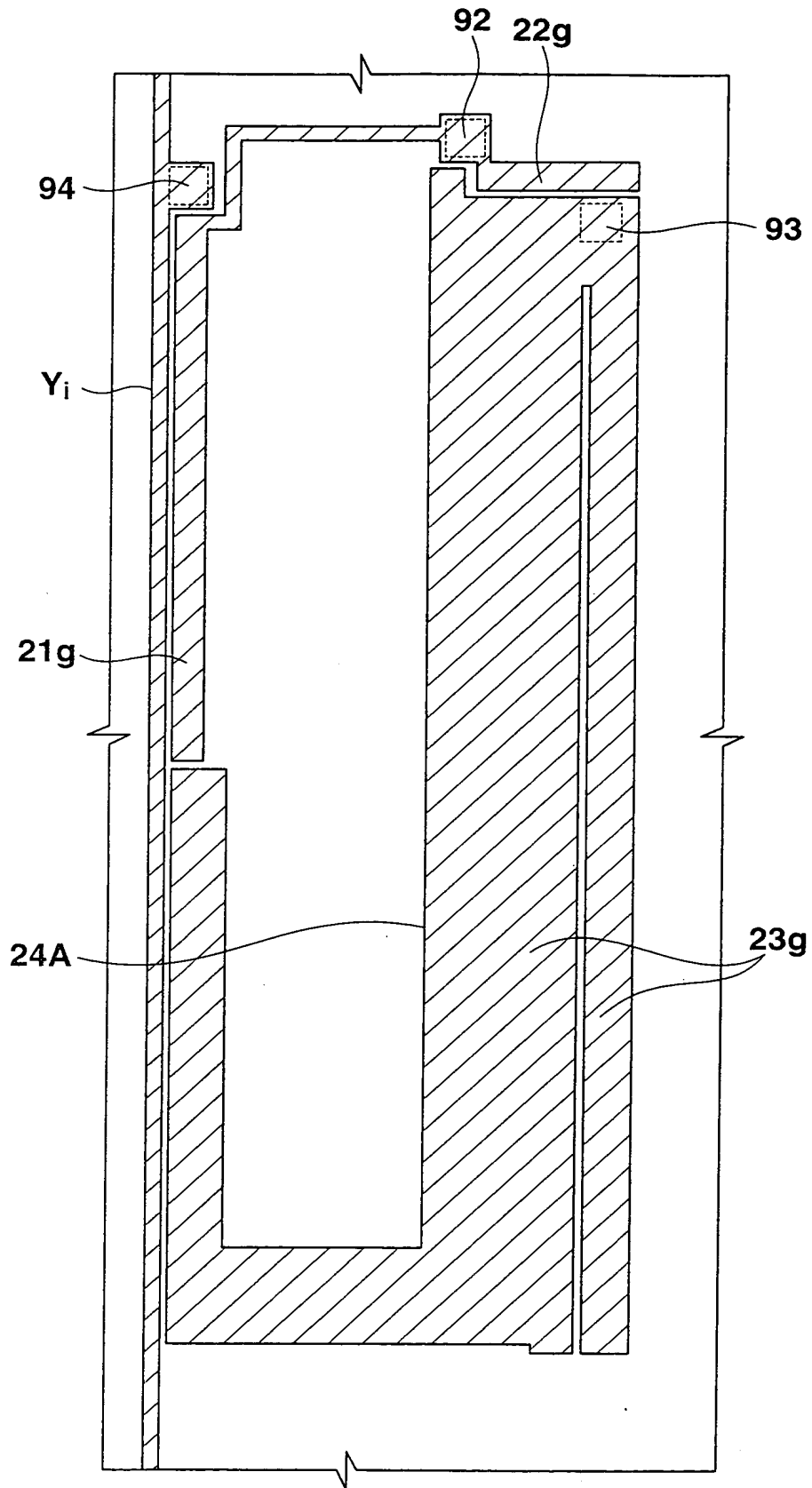


FIG.9

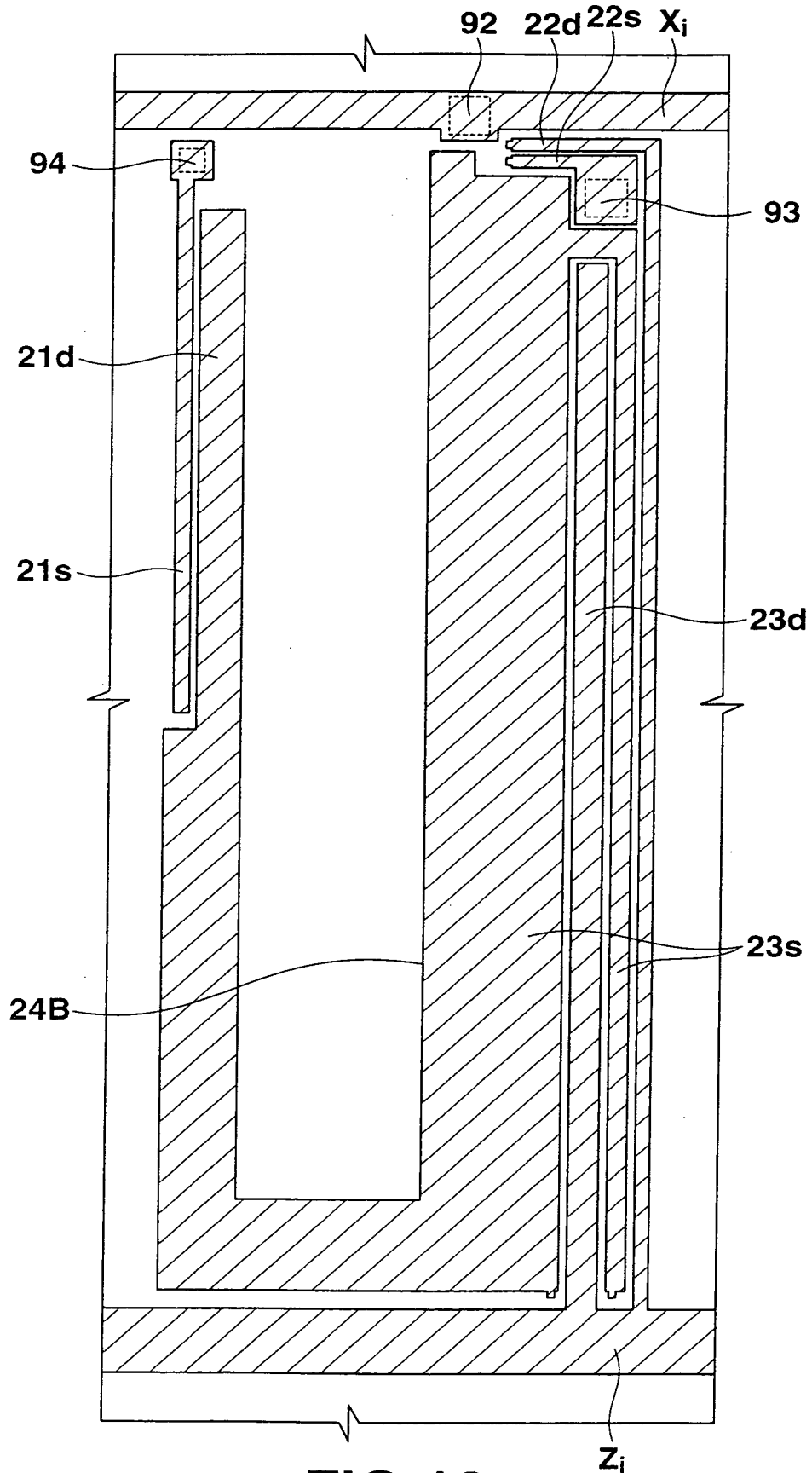


FIG.10

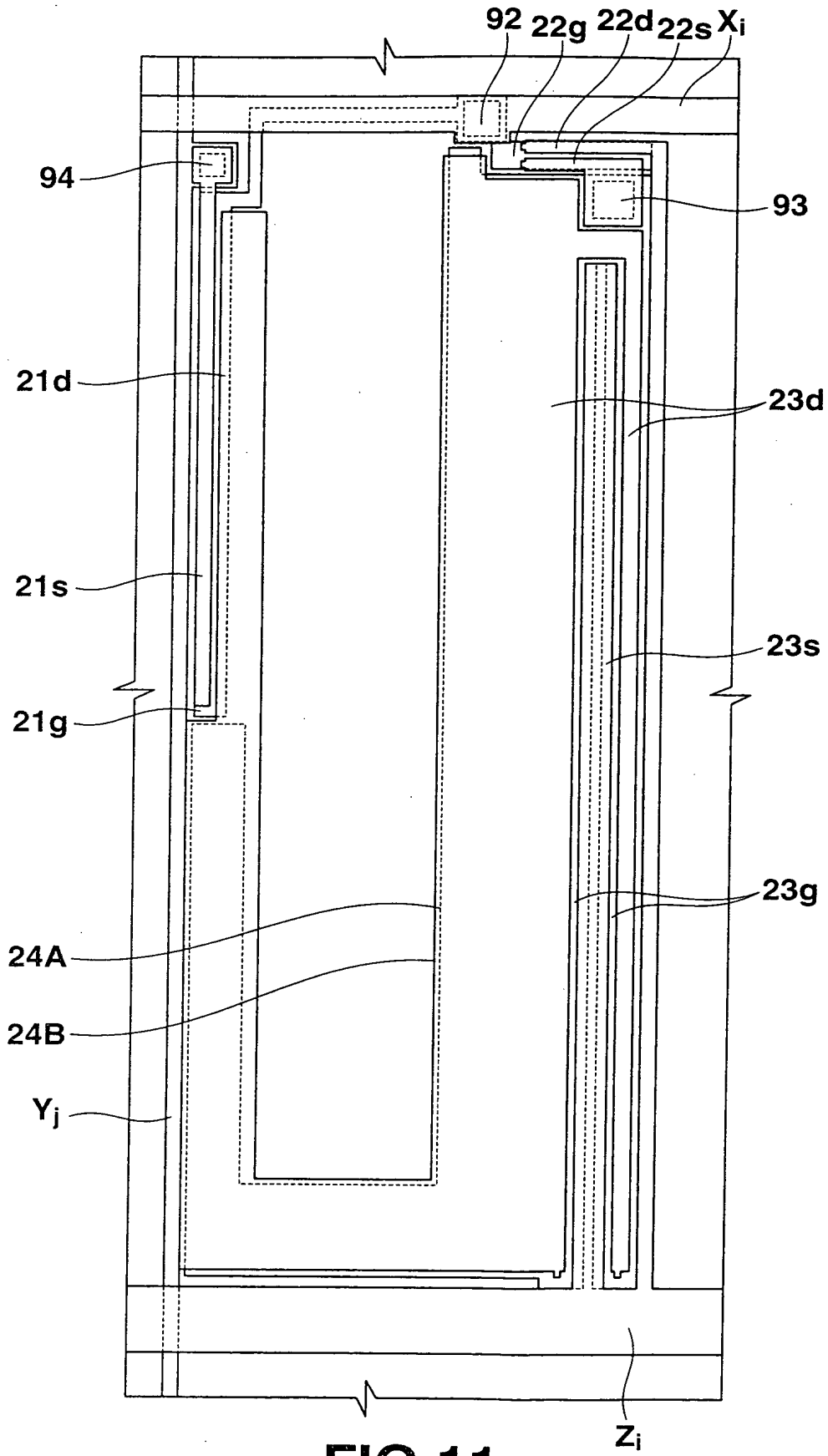


FIG.11

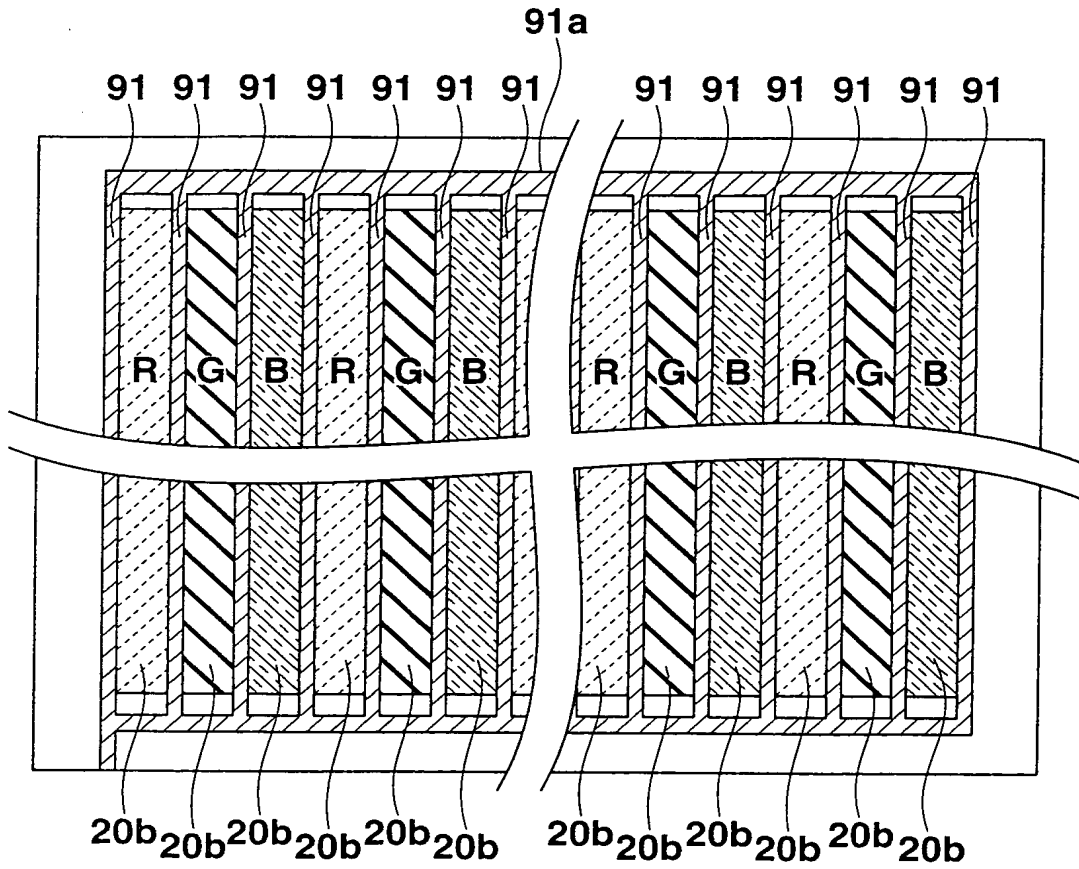


FIG.12

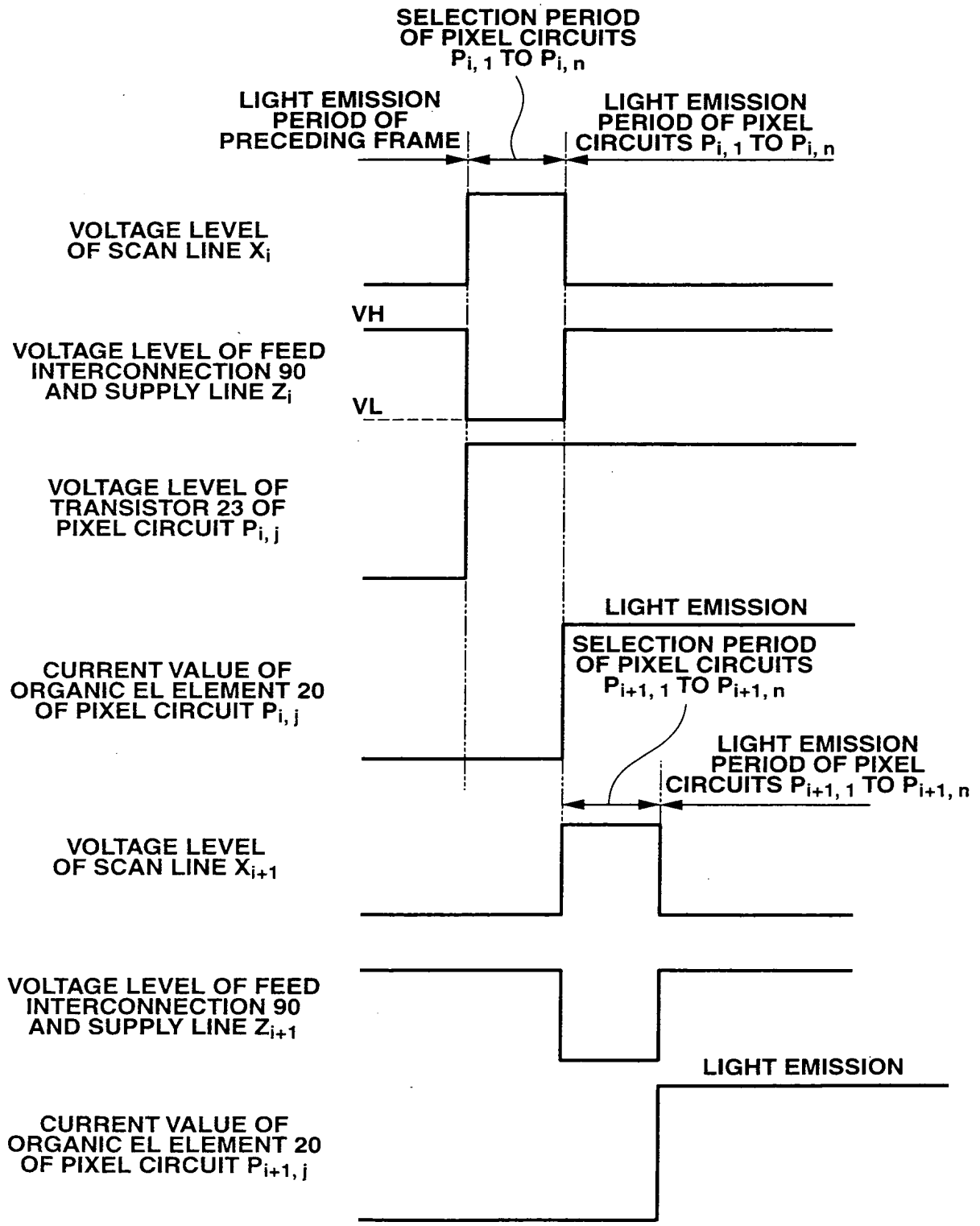


FIG.13

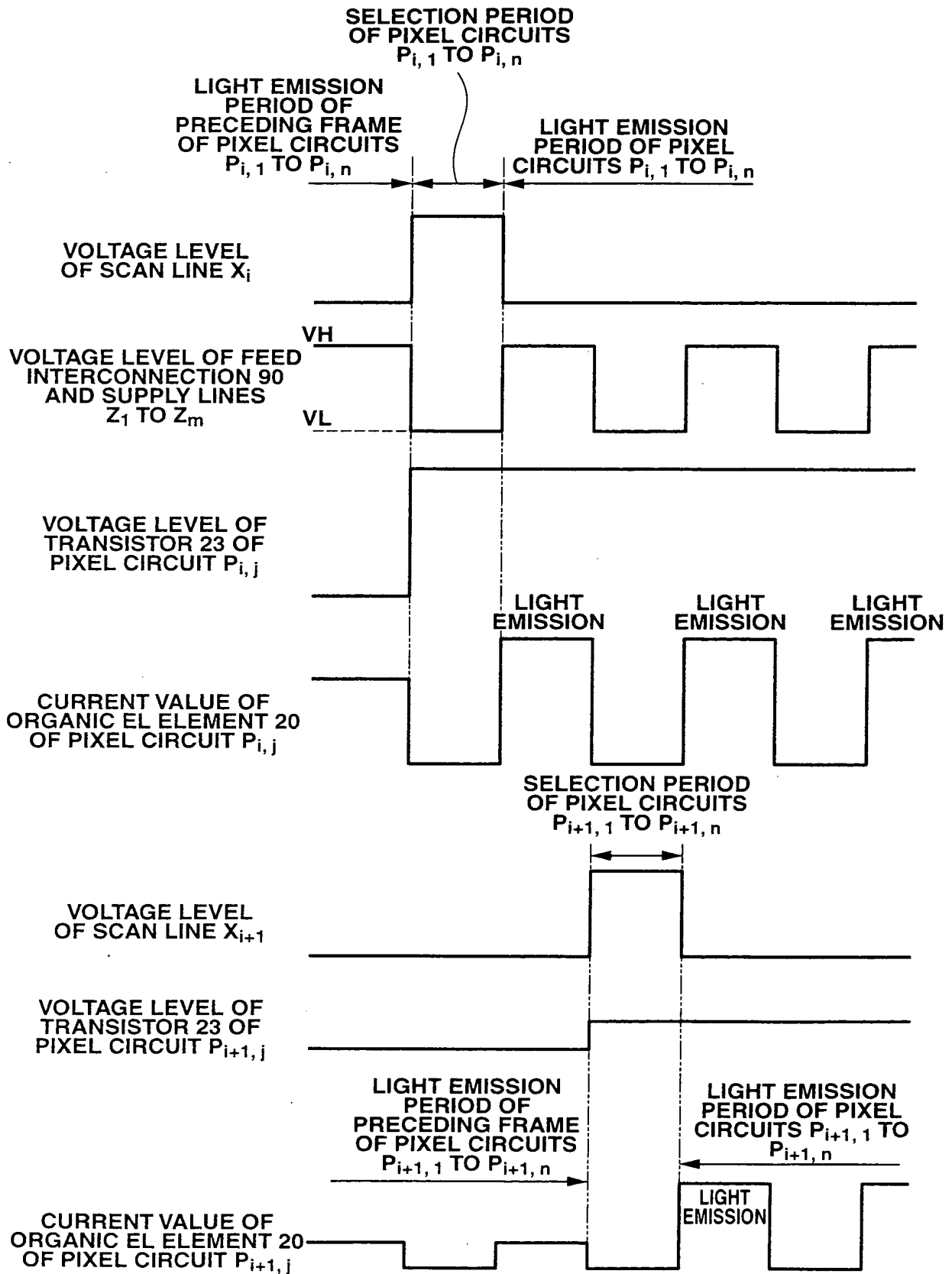


FIG.14

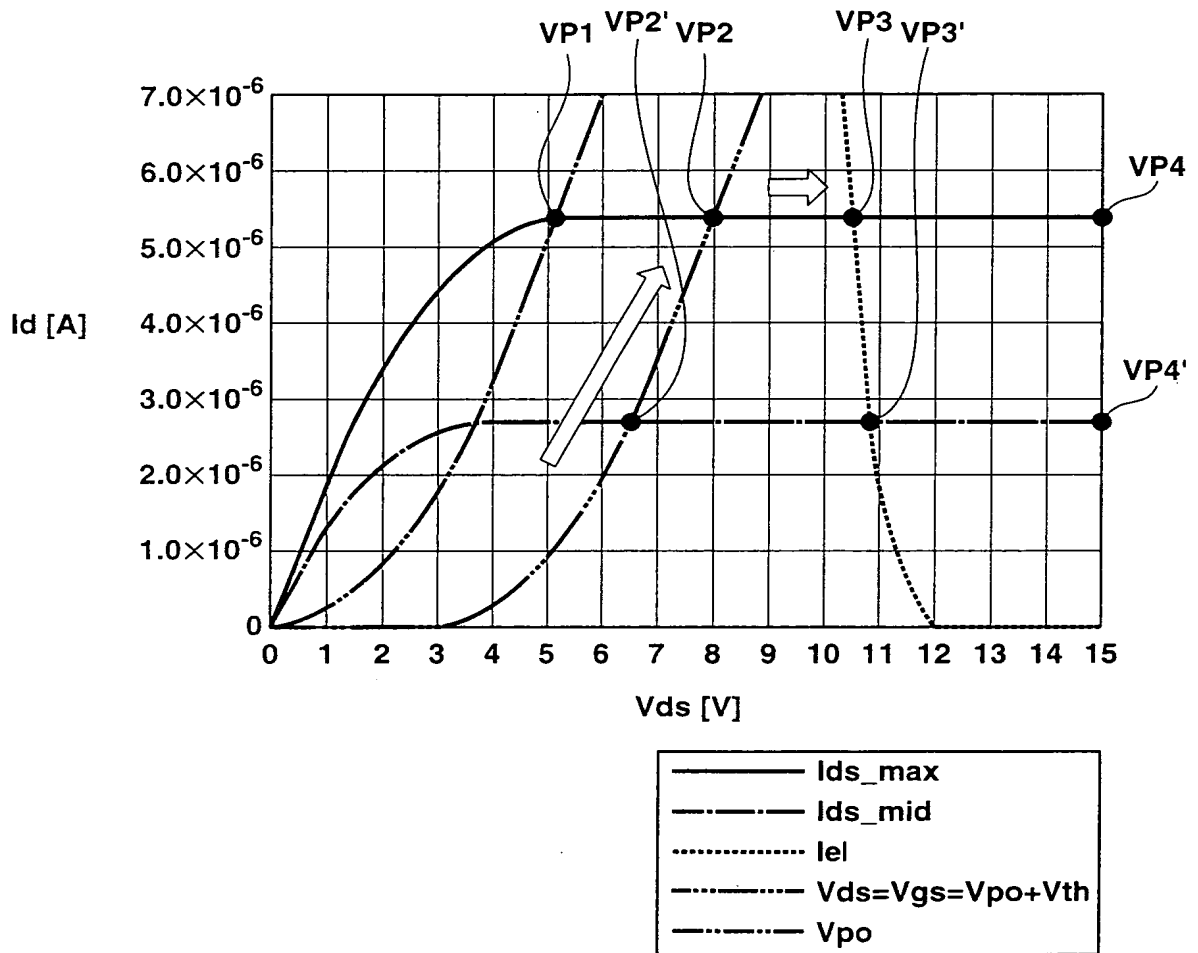


FIG.15

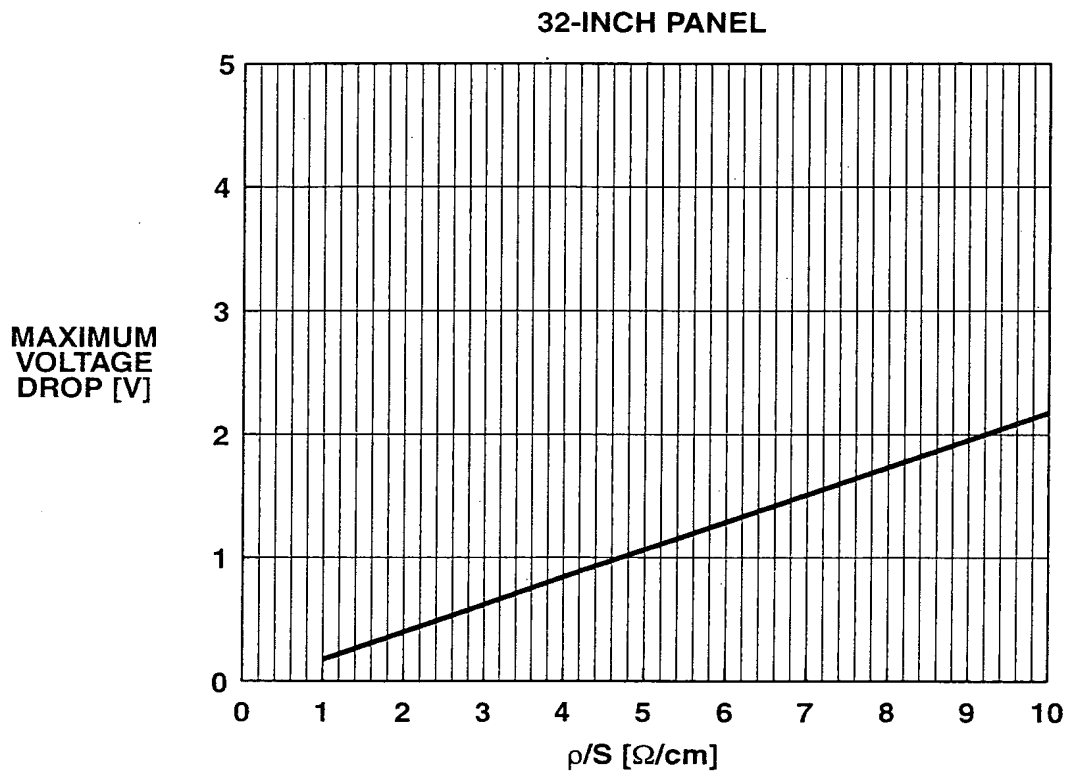


FIG.16

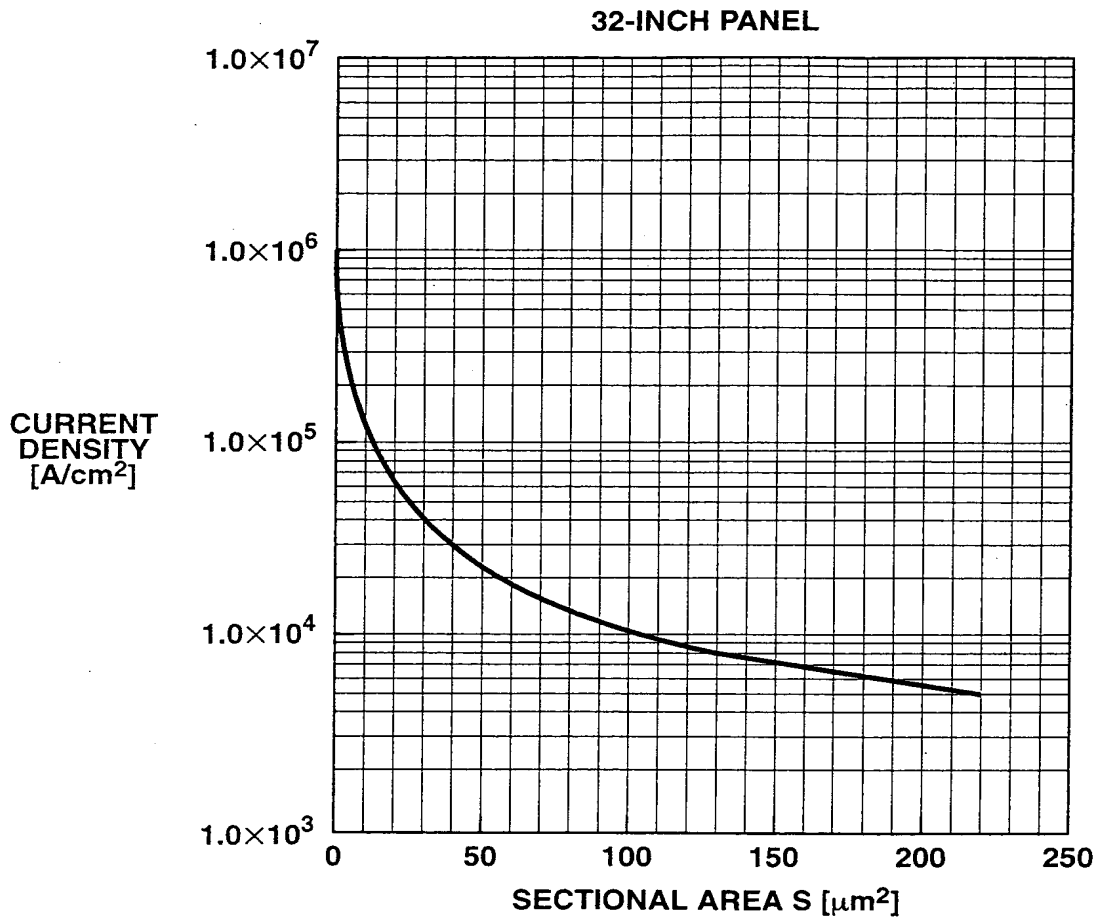


FIG.17

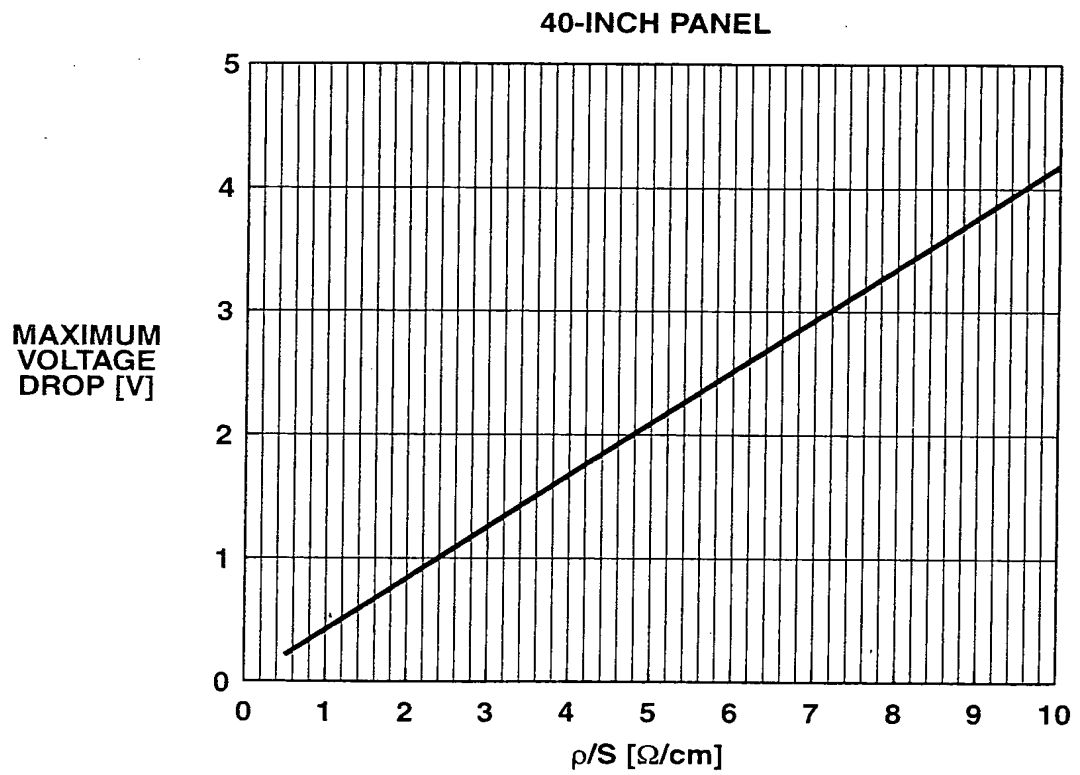


FIG.18

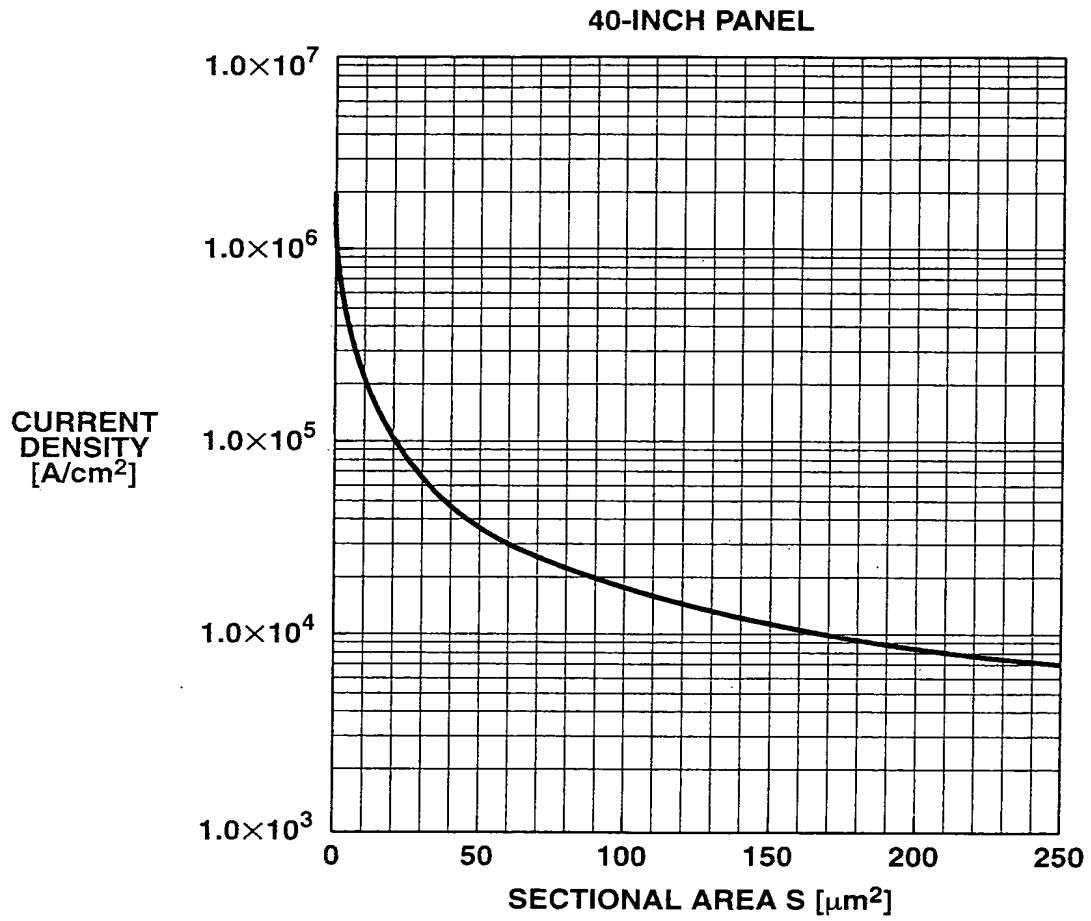


FIG.19

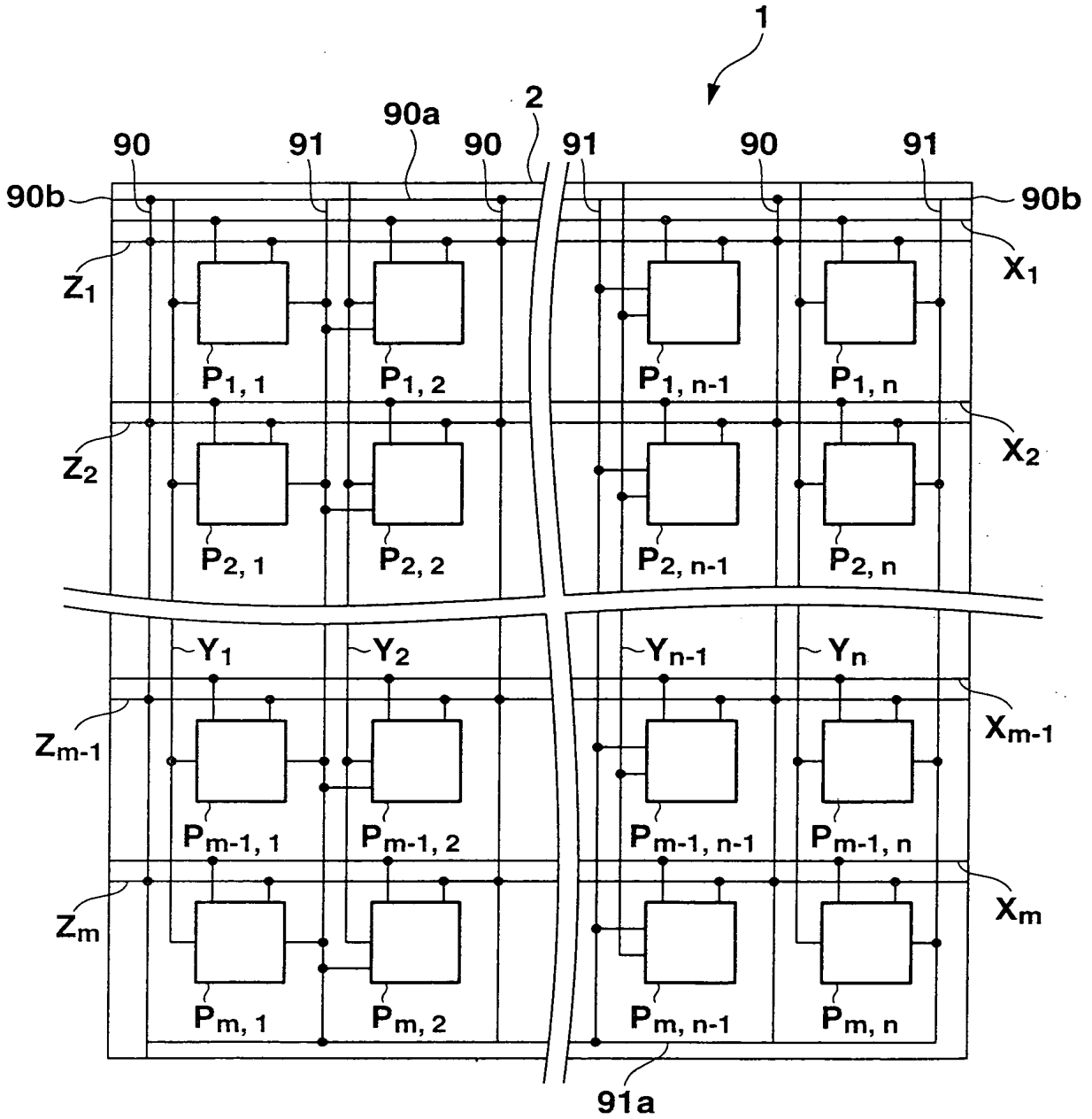


FIG.20

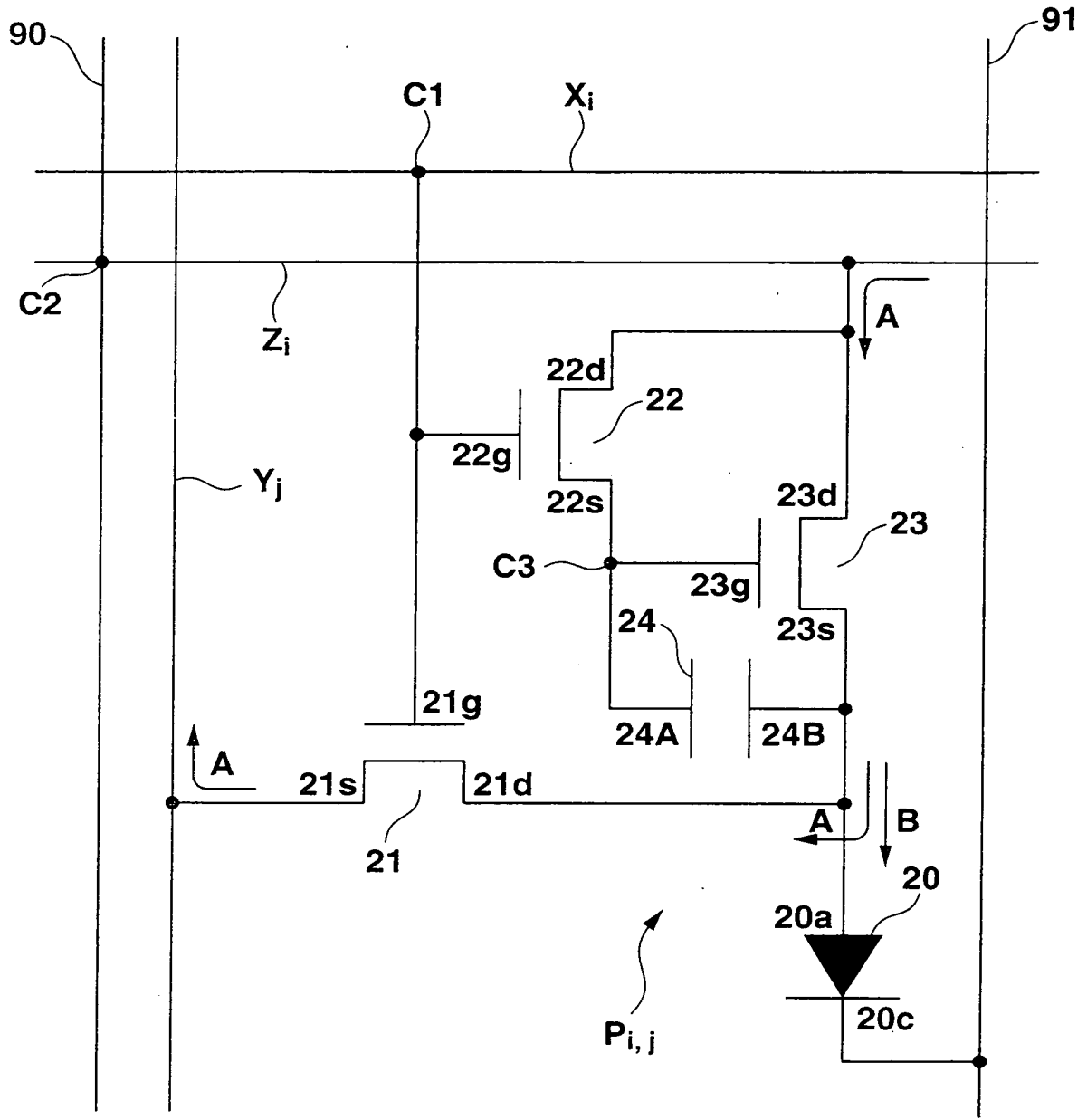


FIG.21

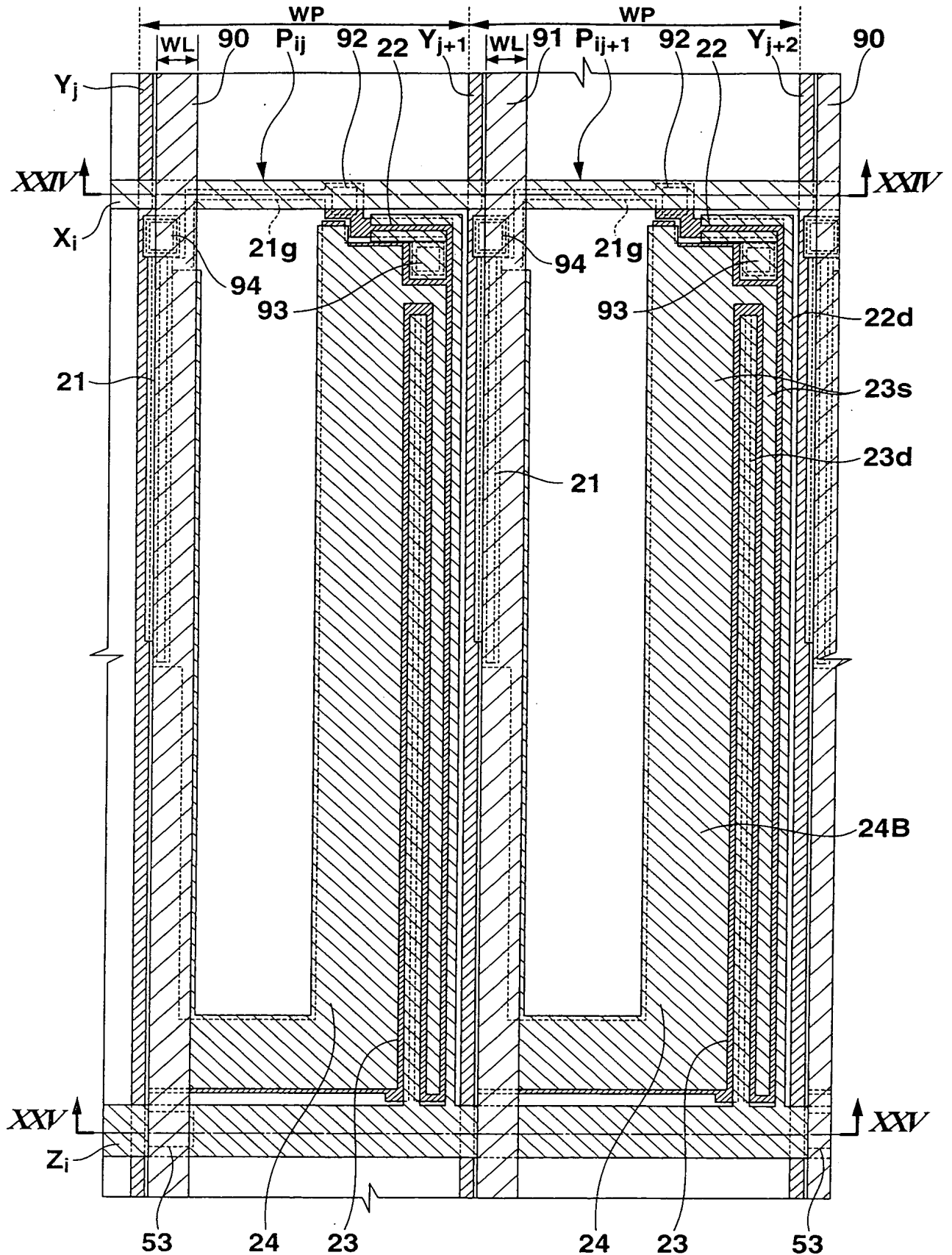


FIG.22

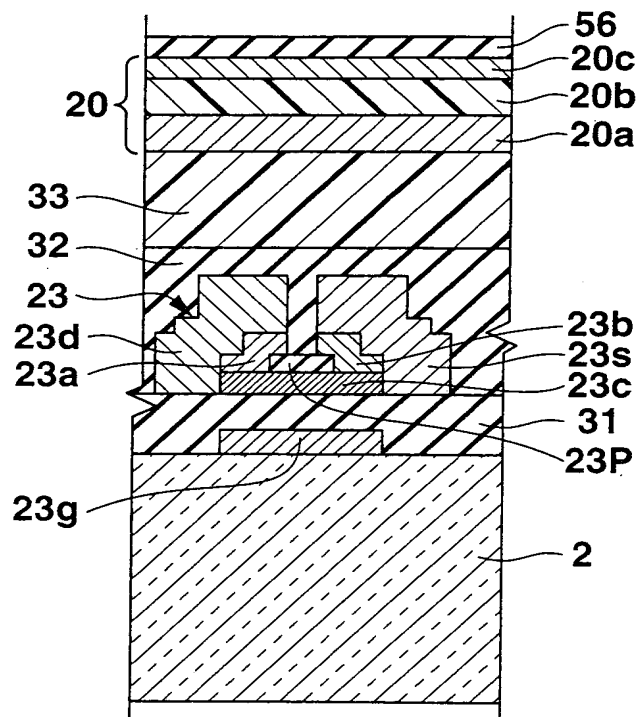


FIG.23

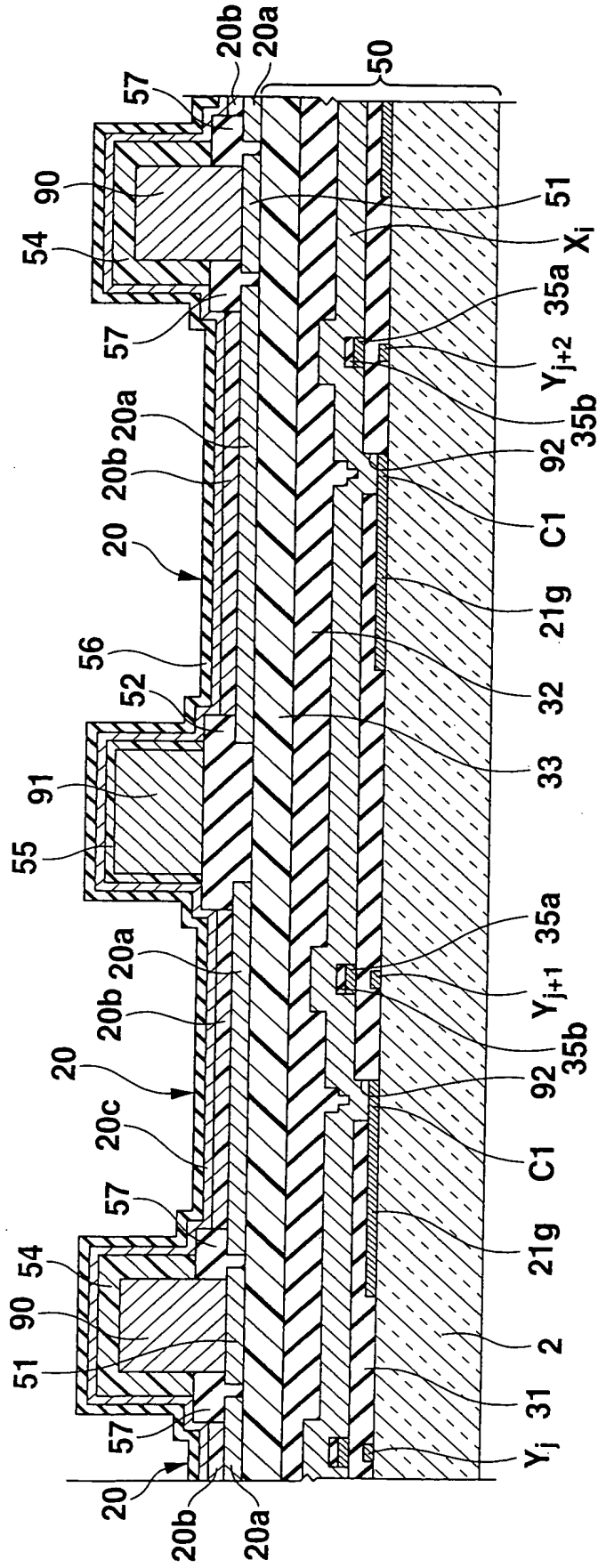


FIG.24

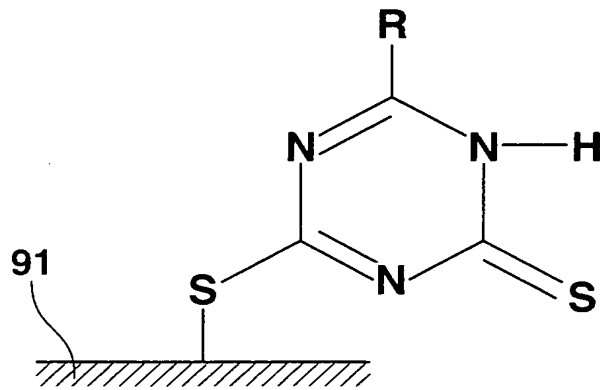


FIG.26

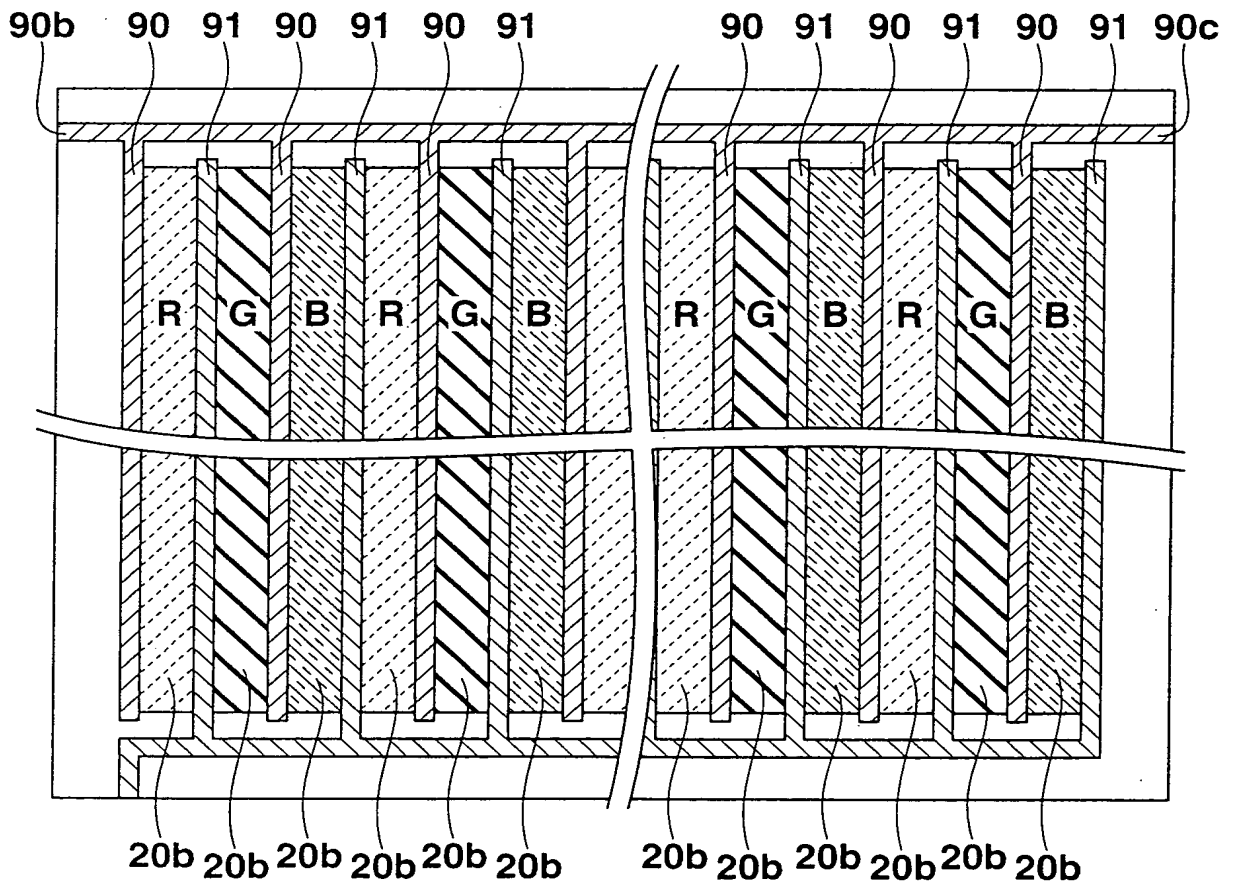


FIG.27

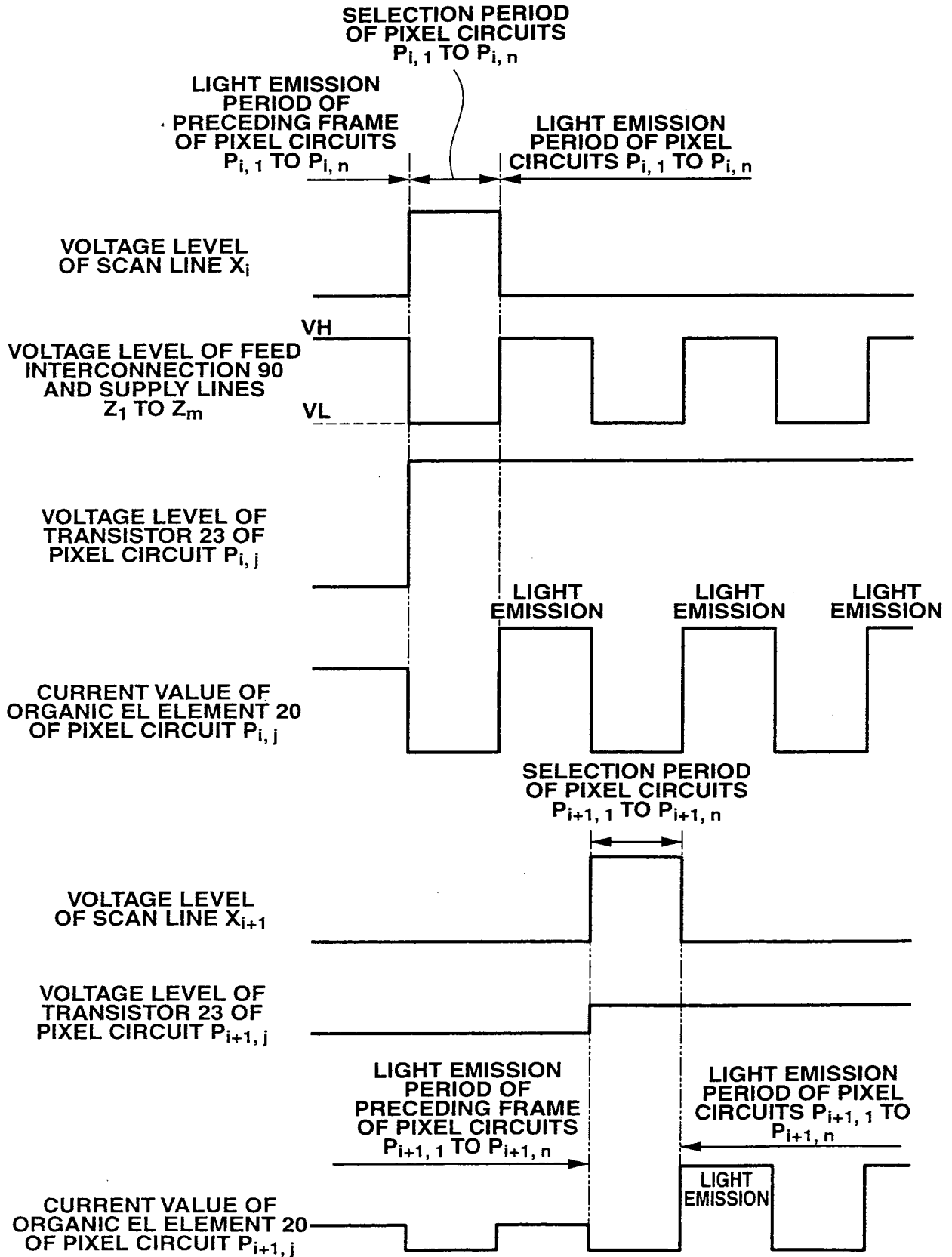


FIG.28

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT OR DRAWING
- BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ~~SKEWED/SLANTED IMAGES~~
- COLOR OR BLACK AND WHITE PHOTOGRAPHS
- GRAY SCALE DOCUMENTS
- LINES OR MARKS ON ORIGINAL DOCUMENT
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

DECLARATION FOR PATENT APPLICATION

C2066P0501
(05S1046-1)

As a below named inventor, I declare that my residence, mailing address and citizenship are as stated above my name; I believe that I am the original, first and sole inventor (if only one name is listed below) or an original, first and joint inventor (if plural names are listed below) of the subject matter which is claimed and for which a patent is sought on the invention entitled:

TRANSISTOR ARRAY SUBSTRATE AND DISPLAY PANEL



the specification of which is attached hereto unless the following box is checked.

was filed on _____ as United States Application No.
or PCT International Application No.

and was amended on _____

I hereby state that I have reviewed and understand the contents of the above-identified specification, including the claims, as amended by any amendment referred to above.

I acknowledge the duty to disclose information which is material to patentability as defined in 37 CFR 1.56.

I hereby claim foreign priority benefits under 35 U.S.C. 119(a)-(d) or 365(b) of any foreign application(s) for patent or inventor's certificate, or 35 U.S.C. 365(a) of any PCT International application which designated at least one country other than the United States, listed below and have also identified below any foreign application for patent or inventor's certificate, or PCT International application having a filing date before that of the application on which priority is claimed:

Country	Category	Application Number	Filing Date	Priority Claim
Japan	Patent	2004-273532	September 21, 2004	Yes
Japan	Patent	2004-273580	September 21, 2004	Yes
Japan	Patent	2005-269434	September 16, 2005	Yes

I hereby appoint as my attorneys, with full power of substitution and revocation, to prosecute this application and transact all business in the Patent and Trademark Office connected therewith the practitioners at

Customer Number : 01933

of Frishauf, Holtz, Goodman & Chick, P.C.. Please address all correspondence and telephone communications to the address and telephone number for this Customer Number.

I hereby declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code and that such willful false statements may jeopardize the validity of the application or any patent issued thereon.

DECLARATION FOR PATENT APPLICATION

C2066P0501
(05S1046-1)

[1st Inventor]

Residence Address: Fussa-shi, Japan

Mailing Address: c/o Intellectual Property Department, Casio Computer Co., Ltd., Hamura R&D Center,
2-1, Sakae-cho 3-chome, Hamura-shi, Tokyo 205-8555 Japan

Citizenship: Japan

Satoru Shimoda
Satoru Shimoda

September 26, 2005

Date:

[2nd Inventor]

Residence Address: Higashiyamato-shi, Japan

Mailing Address: c/o Intellectual Property Department, Casio Computer Co., Ltd., Hamura R&D Center,
2-1, Sakae-cho 3-chome, Hamura-shi, Tokyo 205-8555 Japan

Citizenship: Japan

Shirasaki Tomoyuki
Tomoyuki Shirasaki

September 26, 2005

Date:

[3rd Inventor]

Residence Address: Fussa-shi, Japan

Mailing Address: c/o Intellectual Property Department, Casio Computer Co., Ltd., Hamura R&D Center,
2-1, Sakae-cho 3-chome, Hamura-shi, Tokyo 205-8555 Japan

Citizenship: Japan

Jun Ogura
Jun Ogura

September 26, 2005

Date:

[4th Inventor]

Residence Address: Tokyo, Japan

Mailing Address: c/o Intellectual Property Department, Casio Computer Co., Ltd., Hamura R&D Center,
2-1, Sakae-cho 3-chome, Hamura-shi, Tokyo 205-8555 Japan

Citizenship: Japan

Minoru Kumagai
Minoru Kumagai

September 26, 2005

Date:

[5th Inventor]

Residence Address:

Mailing Address:

Citizenship:

Date:



FW

Attorney's Packet No.: 05621/LH

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Satoru SHIMODA et al
Serial Number : 11/232,368
Filed : 21 Sep 2005
Art Unit : 2827

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as First Class mail in an envelope addressed to:
Commissioner for Patents,
P.O. Box 1450,
Alexandria, VA 22313-1450 on the date noted below.

Patricia O. Bryson
Dated: November 4, 2005

SUBMISSION OF PRIORITY DOCUMENT(S)

Commissioner of Patents
Washington, D.C. 20231

Sir:

Enclosed are Certified Copy(ies); priority is claimed under 35 USC 119:

<u>Country</u>	<u>Application No.</u>	<u>Filing Date</u>
JAPAN	2005-269434	September 16, 2005

Respectfully submitted,

Douglas Holtz
Reg.No. 33,902

Frishauf, Holtz, Goodman
& Chick, P.C.
220 Fifth Avenue - 16th Fl.
New York, N.Y. 10001-7708
TEL: (212) 319-4900
FAX: (212) 319-5101
/pob