

<b>TO:</b> <b>Mail Stop 8</b> <b>Director of the U.S. Patent and Trademark Office</b> <b>P.O. Box 1450</b> <b>Alexandria, VA 22313-1450</b>	<b>REPORT ON THE</b> <b>FILING OR DETERMINATION OF AN</b> <b>ACTION REGARDING A PATENT OR</b> <b>TRADEMARK</b>
---	---

In Compliance with 35 U.S.C. § 290 and/or 15 U.S.C. § 1116 you are hereby advised that a court action has been filed in the U.S. District Court Western District of Texas - Waco Division on the following

Trademarks or  Patents. (  the patent action involves 35 U.S.C. § 292.):

DOCKET NO. 6:19cv236	DATE FILED 4/1/2019	U.S. DISTRICT COURT Western District of Texas - Waco Division
PLAINTIFF Solas OLED Ltd.		DEFENDANT LG Display Co., Ltd.; LG Electronics, Inc.; and Sony Corporation
PATENT OR TRADEMARK NO.	DATE OF PATENT OR TRADEMARK	HOLDER OF PATENT OR TRADEMARK
1 7,432,891	10/7/2008	Solas OLED Ltd.
2		
3		
4		
5		

In the above—entitled case, the following patent(s)/ trademark(s) have been included:

DATE INCLUDED 8/23/2019	INCLUDED BY <input checked="" type="checkbox"/> Amendment <input type="checkbox"/> Answer <input type="checkbox"/> Cross Bill <input type="checkbox"/> Other Pleading	
PATENT OR TRADEMARK NO.	DATE OF PATENT OR TRADEMARK	HOLDER OF PATENT OR TRADEMARK
1 7,573,068	8/11/2009	Solas OLED Ltd.
2 7,907,137	3/15/2011	Solas OLED Ltd.
3		
4		
5		

In the above—entitled case, the following decision has been rendered or judgement issued:

DECISION/JUDGEMENT
--------------------

CLERK Jeannette J. Clack	(BY) DEPUTY CLERK <i>Brianna Winter</i>	DATE 08/27/2019
-----------------------------	--	--------------------

Copy 1—Upon initiation of action, mail this copy to Director Copy 3—Upon termination of action, mail this copy to Director  
Copy 2—Upon filing document adding patent(s), mail this copy to Director Copy 4—Case file copy

Print

Save As

Reset

<b>PATENT ASSIGNMENT COVER SHEET</b>
--------------------------------------

Electronic Version v1.1  
 Stylesheet Version v1.2

EPAS ID: PAT4172189

<b>SUBMISSION TYPE:</b>	NEW ASSIGNMENT
<b>NATURE OF CONVEYANCE:</b>	ASSIGNMENT
<b>CONVEYING PARTY DATA</b>	
<b>Name</b>	<b>Execution Date</b>
CASIO COMPUTER CO., LTD.	04/11/2016
<b>RECEIVING PARTY DATA</b>	
<b>Name:</b>	SOLAS OLED LTD.
<b>Street Address:</b>	GALWAY TECHNOLOGY CENTRE
<b>Internal Address:</b>	MERVUE BUSINESS PARK
<b>City:</b>	GALWAY
<b>State/Country:</b>	IRELAND
<b>Postal Code:</b>	H91 D932
<b>PROPERTY NUMBERS Total: 97</b>	
<b>Property Type</b>	<b>Number</b>
Patent Number:	5834894
Patent Number:	6057647
Patent Number:	7580014
Patent Number:	7498733
Patent Number:	8174175
Patent Number:	7317429
Patent Number:	7499006
Patent Number:	7573068
Patent Number:	7871837
Patent Number:	7928932
Patent Number:	7576358
Patent Number:	7446338
Patent Number:	7982694
Patent Number:	8653569
Patent Number:	8294699
Patent Number:	8410482
Patent Number:	8633486
Patent Number:	8633487
Patent Number:	8692458

<b>Property Type</b>	<b>Number</b>
<b>Patent Number:</b>	7830084
<b>Patent Number:</b>	7511419
<b>Patent Number:</b>	7515123
<b>Patent Number:</b>	7420322
<b>Patent Number:</b>	7982394
<b>Patent Number:</b>	8564577
<b>Patent Number:</b>	8368677
<b>Patent Number:</b>	8350839
<b>Patent Number:</b>	8305373
<b>Patent Number:</b>	7969398
<b>Patent Number:</b>	8466910
<b>Patent Number:</b>	8339427
<b>Patent Number:</b>	7907105
<b>Patent Number:</b>	7701421
<b>Patent Number:</b>	7583261
<b>Patent Number:</b>	8497854
<b>Patent Number:</b>	8120601
<b>Patent Number:</b>	8339384
<b>Patent Number:</b>	8269760
<b>Patent Number:</b>	8269759
<b>Patent Number:</b>	8279211
<b>Patent Number:</b>	8570255
<b>Patent Number:</b>	8384629
<b>Patent Number:</b>	8502811
<b>Patent Number:</b>	8599186
<b>Patent Number:</b>	8803926
<b>Patent Number:</b>	7205967
<b>Patent Number:</b>	7355571
<b>Patent Number:</b>	7791568
<b>Patent Number:</b>	7515121
<b>Patent Number:</b>	7864167
<b>Patent Number:</b>	7417606
<b>Patent Number:</b>	7855699
<b>Patent Number:</b>	7580011
<b>Patent Number:</b>	7760161
<b>Patent Number:</b>	7944414
<b>Patent Number:</b>	7898507
<b>Patent Number:</b>	8362980

<b>Property Type</b>	<b>Number</b>
<b>Patent Number:</b>	7663615
<b>Patent Number:</b>	7907137
<b>Patent Number:</b>	8319711
<b>Patent Number:</b>	7499042
<b>Patent Number:</b>	8139007
<b>Patent Number:</b>	8144176
<b>Patent Number:</b>	8786525
<b>Patent Number:</b>	5990629
<b>Patent Number:</b>	7868880
<b>Patent Number:</b>	8482494
<b>Patent Number:</b>	7898562
<b>Patent Number:</b>	8199182
<b>Patent Number:</b>	7760168
<b>Patent Number:</b>	8354285
<b>Patent Number:</b>	5895692
<b>Patent Number:</b>	6908045
<b>Patent Number:</b>	7395976
<b>Patent Number:</b>	7732019
<b>Patent Number:</b>	7896722
<b>Patent Number:</b>	7887877
<b>Patent Number:</b>	8282436
<b>Patent Number:</b>	8464653
<b>Patent Number:</b>	8534222
<b>Patent Number:</b>	7981484
<b>Patent Number:</b>	7695759
<b>Patent Number:</b>	8049413
<b>Patent Number:</b>	7892059
<b>Patent Number:</b>	8087962
<b>Patent Number:</b>	8007334
<b>Patent Number:</b>	8012526
<b>Patent Number:</b>	7518393
<b>Patent Number:</b>	6072450
<b>Patent Number:</b>	7675491
<b>Patent Number:</b>	8077118
<b>Patent Number:</b>	8427170
<b>Patent Number:</b>	6091382
<b>Patent Number:</b>	7522810
<b>Patent Number:</b>	8410689



Property Type	Number
Patent Number:	7248237
Patent Number:	8446445

**CORRESPONDENCE DATA**

**Fax Number:** (310)826-6991  
*Correspondence will be sent to the e-mail address first; if that is unsuccessful, it will be sent using a fax number, if provided; if that is unsuccessful, it will be sent via US Mail.*

**Phone:** 3108267474  
**Email:** rmirzaie@raklaw.com, nwilson@raklaw.com, akim@raklaw.com  
**Correspondent Name:** REZA MIRZAIE  
**Address Line 1:** 12424 WILSHIRE BLVD., SUITE 1200  
**Address Line 4:** LOS ANGELES, CALIFORNIA 90025

<b>ATTORNEY DOCKET NUMBER:</b>	3587-001
<b>NAME OF SUBMITTER:</b>	REZA MIRZAIE
<b>SIGNATURE:</b>	/Reza Mirzaie/
<b>DATE SIGNED:</b>	12/06/2016
	This document serves as an Oath/Declaration (37 CFR 1.63).

**Total Attachments: 22**

source=160411 PATENT ASSIGNMENT (Casio to Solas - FULLY EXECUTED)#page1.tif  
source=160411 PATENT ASSIGNMENT (Casio to Solas - FULLY EXECUTED)#page2.tif  
source=160411 PATENT ASSIGNMENT (Casio to Solas - FULLY EXECUTED)#page3.tif  
source=160411 PATENT ASSIGNMENT (Casio to Solas - FULLY EXECUTED)#page4.tif  
source=160411 PATENT ASSIGNMENT (Casio to Solas - FULLY EXECUTED)#page5.tif  
source=160411 PATENT ASSIGNMENT (Casio to Solas - FULLY EXECUTED)#page6.tif  
source=160411 PATENT ASSIGNMENT (Casio to Solas - FULLY EXECUTED)#page7.tif  
source=160411 PATENT ASSIGNMENT (Casio to Solas - FULLY EXECUTED)#page8.tif  
source=160411 PATENT ASSIGNMENT (Casio to Solas - FULLY EXECUTED)#page9.tif  
source=160411 PATENT ASSIGNMENT (Casio to Solas - FULLY EXECUTED)#page10.tif  
source=160411 PATENT ASSIGNMENT (Casio to Solas - FULLY EXECUTED)#page11.tif  
source=160411 PATENT ASSIGNMENT (Casio to Solas - FULLY EXECUTED)#page12.tif  
source=160411 PATENT ASSIGNMENT (Casio to Solas - FULLY EXECUTED)#page13.tif  
source=160411 PATENT ASSIGNMENT (Casio to Solas - FULLY EXECUTED)#page14.tif  
source=160411 PATENT ASSIGNMENT (Casio to Solas - FULLY EXECUTED)#page15.tif  
source=160411 PATENT ASSIGNMENT (Casio to Solas - FULLY EXECUTED)#page16.tif  
source=160411 PATENT ASSIGNMENT (Casio to Solas - FULLY EXECUTED)#page17.tif  
source=160411 PATENT ASSIGNMENT (Casio to Solas - FULLY EXECUTED)#page18.tif  
source=160411 PATENT ASSIGNMENT (Casio to Solas - FULLY EXECUTED)#page19.tif  
source=160411 PATENT ASSIGNMENT (Casio to Solas - FULLY EXECUTED)#page20.tif  
source=160411 PATENT ASSIGNMENT (Casio to Solas - FULLY EXECUTED)#page21.tif  
source=160411 PATENT ASSIGNMENT (Casio to Solas - FULLY EXECUTED)#page22.tif

## PATENT ASSIGNMENT AGREEMENT

THIS PATENT ASSIGNMENT AGREEMENT (the "Agreement"), is made and entered into this 11<sup>th</sup> day of April 2016 (the "Effective Date"), by and between Casio Computer Co., Ltd., a Japanese corporation organized under the laws of Japan, having its principal place of business at 6-2, Hon-machi 1-chome, Shibuya-ku, Tokyo 151-8543, Japan ("Assignor") and Solas OLED Ltd, a company organized under the laws of Ireland, having offices at Cloonakilla More, Strokestown, County Roscommon, Ireland ("Assignee") (each a "Party" and collectively the "Parties").

WHEREAS, Assignor is the owner of all rights, title and interest in and to the inventions (the "Inventions") as described and claimed in the United States and foreign patents and patent application as listed on Exhibit 1 hereto (collectively the "Patents");

WHEREAS, Assignor and Assignee have agreed by a Patent Purchase Agreement (the "Purchase Agreement") dated April 12, 2016 by and between Assignor and Assignee, the terms of which are incorporated herein by reference, that Assignor shall sell, transfer, assign and set over unto Assignee and Assignee shall accept, all rights, title and interest in and to the Patents as specified in this Agreement;

NOW, THEREFORE, in consideration of the mutual covenants and agreements of the Parties and pursuant to the Purchase Agreement, and for other good and valuable consideration, the receipt and sufficiency of which are hereby acknowledged, it is hereby agreed as follows:

### I. ASSIGNMENT

1. Effective upon the Effective Date, Assignor hereby sells, transfers, assigns and sets over to Assignee all rights, title and interest (for all countries) in and to the Patents, and all the rights and privileges under any letters patent that may be granted under any continuations, divisions, reissues, reexaminations, renewals and extensions therefor and thereon and all continuations, divisions, reissues, reexaminations, renewals and extensions thereof; and all applications for industrial property protection, including without limitation, all applications for patents, utility models, copyright, and designs which may hereafter be filed for said Inventions



and Patents in any country or countries, together with the right to file such applications and the right to claim for the same the priority rights derived from the Patents under the patent laws of the United States, the International Convention for the Protection of Industrial Property, or any other international agreement or the domestic laws of the country in which any such application is filed, as may be applicable; and all forms of industrial property protection, including, without limitation, patents, utility models, inventors' certificates, copyrights and designs which may be granted for said Patent in any country or countries and all extensions, renewals and reissues thereof.

2. Assignor hereby authorizes and requests the Commissioner of Patents and Trademarks of the United States and any official of any country or countries foreign to the United States, whose duty is to issue patents or other evidence or forms of industrial property on applications as aforesaid, to issue the same to Assignee, its successors, assigns and legal representatives, or to such nominees as it may designate.
3. Assignor agrees that, whenever reasonably requested by Assignee and at Assignee's expense, Assignor will execute all papers, take all rightful oaths, and do all acts which may be reasonably necessary for securing and maintaining patents for the Inventions in any country and for vesting title thereto in Assignee, its successors, assigns and legal representatives or nominees.
4. Assignor authorizes and empowers Assignee, its successors, assigns and legal representatives or nominees, to invoke and claim for any application for patent or other form of protection for the Inventions, the benefit of the right of priority provided by the International Convention for the Protection of Industrial Property, as amended, or by any convention which may henceforth be substituted for it, or any other international agreement or the domestic laws of the country in which any such application is filed, as may be applicable, and to invoke and claim such right of priority without further written or oral authorization from Assignor.
5. Assignor hereby consents that a copy of this Agreement shall be deemed a full legal and formal equivalent of any assignment, consent to file or like document that may be required in any country for any purpose and more particularly in proof of the right of Assignee or nominee to claim



the aforesaid benefit of the right of priority provided by the International Convention for the Protection of Industrial Property, as amended, or by any convention which may henceforth be substituted for it.

6. All of the rights, title and interest in and to the Patents sold, transferred, assigned and set over to Assignee hereunder include all income, royalties, damages and payments now or hereafter due or payable with respect thereto, and all causes of action (whether in law or equity) and the right to sue, counterclaim, and recover for the past, present and future infringement of the rights assigned or to be assigned hereunder.

**Assignor: Casio Computer Co., Ltd.**

By: Kazuhiro Kashio  
Name: Kazuhiro Kashio  
Title: President and COO

**Assignee: Solas OLED Ltd.**

By: Gerald Padian  
Name: Gerald Padian  
Title: President



**EXHIBIT I**  
**The List of the Patents**

Family	Country / Region	Number	Status
1	US	5834894	Registered
2	JP	3543170	Registered
	US	6057647	Registered
3	US	7580014	Registered
	KR	698349	Registered
	TW	1263183	Registered
	CN	ZL200410062038.8	Registered
4	EP	[5788333.2]	Pending
	US	7498733	Registered
	KR	835032	Registered
	TW	1300671	Registered
	CN	ZL200580015693.0	Registered
	JP	4265515	Registered
5	US	8174175	Registered
	HK	HK1126619	Registered
	CN	ZL200810131114.4	Registered
	CN	ZL201010163914.1	Registered
6	JP	3711760	Registered
7	JP	3767057	Registered
8	JP	4314687	Registered
9	JP	5028900	Registered
10	JP	4872510	Registered
11	JP	5212405	Registered
12	JP	3728615	Registered
13	JP	3728616	Registered
14	JP	3846819	Registered
15	JP	5190709	Registered
16	JP	4524810	Registered
17	JP	4424346	Registered
	US	7317429	Registered
	GB	1459126	Registered
	DE	60217916.5	Registered
	FR	1459126	Registered
	KR	620976	Registered
	TW	196,928	Registered
	CN	ZL02807511.0	Registered
18	JP	3925435	Registered

	US	7499006	Registered
	KR	544092	Registered
	TW	1263959	Registered
	CN	ZL200410007480.0	Registered
19	JP	5152448	Registered
	KR	684514	Registered
	TW	1279753	Registered
	CN	ZL200510128336.7	Registered
20	JP	4379278	Registered
	US	7573088	Registered
	US	7871837	Registered
	KR	735977	Registered
	TW	1279752	Registered
	CN	ZL200510106398.8	Registered
	CN	ZL200810083217.8	Registered
	JP	5040867	Registered
	JP	5017826	Registered
21	JP	4543315	Registered
	US	7928932	Registered
22	JP	4893753	Registered
	US	7576358	Registered
	KR	758062	Registered
	TW	1296899	Registered
	CN	ZL200510108481.9	Registered
	JP	4517804	Registered
23	EP	[5787737.5]	Pending
	EP	[9165677.7]	Pending
	JP	4254675	Registered
	US	7446338	Registered
	KR	812861	Registered
	TW	1293853	Registered
	CN	ZL200580015797.1	Registered
24	JP	4692828	Registered
	US	7982694	Registered
	KR	859237	Registered
	TW	1371016	Registered
	CN	ZL200710087681.X	Registered
25	JP	4883143	Registered
	US	8294699	Registered
	JP	5365605	Registered
26	TW	1453917	Registered
	US	8653569	Registered

	KR	1115974	Registered
	CN	ZL201010549758.2	Registered
	JP	5402481	Registered
27	JP	5381836	Registered
	KR	10-1215744	Registered
28	JP	4941572	Registered
	US	8410482	Registered
	KR	10-1174588	Registered
	TW	1440155	Registered
	CN	ZL201110081419.0	Registered
29	TW	[100124149]	Rejected
	US	8633486	Registered
	KR	1272373	Registered
30	JP	5205634	Registered
	CN	ZL201110271928.X	Registered
	TW	[100132831]	Rejected
	JP	5136616	Registered
	US	8633487	Registered
	KR	1298309	Registered
31	CN	ZL201110296194.0	Registered
	JP	5304761	Registered
	US	8692458	Registered
32	JP	5630169	Registered
33	JP	5630170	Registered
34	JP	5151802	Registered
35	JP	[2010156334]	Rejected
36	JP	5131446	Registered
37	JP	5305242	Registered
38	JP	4962682	Registered
39	JP	4748456	Registered
40	JP	[2010205020]	Rejected
41	JP	5358867	Registered
42	JP	5286873	Registered
43	JP	4993292	Registered
44	JP	3965583	Registered
45	JP	4379285	Registered
46	JP	5169688	Registered
47	JP	4706296	Registered
48	JP	4792748	Registered
49	JP	4192879	Registered
50	JP	5257828	Registered
51	JP	4395996	Registered



52	JP	4848767	Registered
53	JP	5110325	Registered
54	JP	4771501	Registered
	JP	4752968	Registered
55	JP	4640085	Registered
	US	7830084	Registered
	KR	789550	Registered
	TW	1350513	Registered
	CN	ZL200610163551.5	Registered
56	JP	5168121	Registered
57	JP	4687179	Registered
58	JP	4742317	Registered
59	JP	4747543	Registered
60	JP	4449341	Registered
	JP	5163619	Registered
61	JP	4432367	Registered
	JP	4873065	Registered
62	JP	4407169	Registered
63	JP	4752087	Registered
64	JP	4324718	Registered
65	JP	5589706	Registered
66	JP	3900617	Registered
67	JP	3873159	Registered
68	JP	3743876	Registered
69	JP	5163482	Registered
70	JP	5099452	Registered
71	JP	4192494	Registered
	US	7511419	Registered
	GB	1504631	Registered
	DE	60323361.9	Registered
	FR	1504631	Registered
	KR	581272	Registered
	TW	205203	Registered
	CN	ZL03800843.2	Registered
72	JP	4207683	Registered
	US	7515123	Registered
	KR	723645	Registered
	TW	1263182	Registered
	CN	ZL200410062034.X	Registered
73	JP	4525007	Registered
	US	7420322	Registered
	KR	637293	Registered

	TW	1237517	Registered
	CN	ZL200410062025.0	Registered
	JP	4465992	Registered
74	KR	10-1093403	Registered
	CN	ZL200880000767.7	Registered
75	JP	4983953	Registered
	US	7982394	Registered
76	JP	4888669	Registered
	US	8564577	Registered
	CN	ZL201110080566.6	Registered
	TW	1479389	Registered
77	JP	5163680	Registered
	JP	5234090	Registered
	US	8368677	Registered
	KR	1346456	Registered
78	JP	[2010216363]→5648395	Registered
79	JP	5061821	Registered
80	JP	5257104	Registered
81	JP	5428665	Registered
82	JP	5572980	Registered
83	JP	4797921	Registered
84	JP	5286865	Registered
85	JP	5245448	Registered
86	JP	3952618	Registered
87	JP	3796853	Registered
	HK	HK1152584	Registered
	US	8350839	Registered
88	KR	10-1192886	Registered
	TW	1423207	Registered
	CN	ZL200980103624.3	Registered
	KR	[2010-7023237] → 10-1162001	Registered
	EP	[9775334.7]	Rejected
89	JP	4957710	Registered
	US	8305373	Registered
	TW	1433085	Registered
	CN	ZL200980109537.9	Registered
90	KR	937133	Registered
	CN	ZL200680035904.1	Registered
91	JP	4314638	Registered
	US	7969398	Registered
	US	8466910	Registered
	US	8339427	Registered

*Handwritten signature*

	KR	967142	Registered
	TW	1385621	Registered
	HK	HK1112775	Registered
	CN	ZL200710152635.3	Registered
	JP	4284704	Registered
92	JP	4935979	Registered
	US	7907105	Registered
	KR	952024	Registered
	TW	1384447	Registered
	CN	ZL200780009548.0	Registered
93	EP	[7828894.1]	Pending
	JP	5240542	Registered
	US	7701421	Registered
	KR	10-1039218	Registered
	TW	1384448	Registered
	CN	ZL200780013062.4	Registered
94	JP	5240538	Registered
	US	7583261	Registered
	KR	1036654	Registered
	TW	1389080	Registered
	HK	HK1129486	Registered
	CN	ZL200780012841.2	Registered
95	JP	5240544	Registered
	US	8497854	Registered
	GB	2038872	Registered
	DE	602008000503.8	Registered
	FR	2038872	Registered
	KR	10-1142627	Registered
	TW	1404016	Registered
	HK	HK1134714	Registered
CN	ZL200880000407.7	Registered	
96	US	8120601	Registered
	KR	1069622	Registered
	TW	1420463	Registered
97	EP	[9788089.2]	Allowed
	JP	5157791	Registered
	US	8339384	Registered
	KR	1280631	Registered
	TW	1415057	Registered
	CN	ZL200980114456.8	Registered
98	EP	[9788088.4]	Allowed
	JP	5083245	Registered

	KR	10-1186397	Registered
	TW	1421825	Registered
	CN	ZL200980101171.0	Registered
99	EP	[9775332.1]	Rejected
	JP	5012775	Registered
	US	8269760	Registered
	KR	10-1206629	Registered
	TW	1437527	Registered
	CN	ZL200980109383.3	Registered
	100	JP	5012774
US		8269759	Registered
KR		10-1206616	Registered
TW		1413959	Registered
HK		HK1154104B	Registered
CN		ZL200980109381.4	Registered
101	JP	5012776	Registered
	US	8279211	Registered
	KR	10-1206700	Registered
	TW	1430224	Registered
	HK	HK1154106	Registered
	CN	ZL200980109538.3	Registered
102	JP	5218222	Registered
	US	8570255	Registered
	TW	1433108	Registered
	CN	ZL201010158636.0	Registered
103	US	8384629	Registered
104	JP	4877536	Registered
	JP	4935920	Registered
	KR	1248204	Registered
	TW	1433086	Registered
	CN	ZL201010227026.1	Registered
105	JP	5240581	Registered
	US	8502811	Registered
	KR	10-1156875	Registered
	TW	1446319	Registered
	CN	ZL201010609962.9	Registered
106	JP	5146521	Registered
	US	8599186	Registered
	KR	10-1156826	Registered
	TW	1425478	Registered
	CN	ZL201010610603.5	Registered
107	CN	ZL201110301891.0	Registered

	US	8803926	Registered
	KR	10-1327019	Registered
	TW	1447690	Registered
108	JP	5644337	Registered
109	JP	4085636	Registered
110	JP	4952886	Registered
111	JP	5256973	Registered
112	JP	5200539	Registered
113	JP	5381406	Registered
114	JP	5240534	Registered
115	JP	5365931	Registered
116	JP	5239974	Registered
117	JP	3918642	Registered
	US	7205967	Registered
	TW	1283847	Registered
118	EP	[3736118.5]	Allowed
	JP	3972359	Registered
	US	7355571	Registered
	US	7791568	Registered
	KR	610549	Registered
	TW	203656	Registered
	CN	ZL03813240.0	Registered
119	JP	4610843	Registered
	US	7515121	Registered
	GB	1417670	Registered
	DE	60344120.3	Registered
	FR	1417670	Registered
	CA	2460747	Registered
	KR	663391	Registered
	AU	2003238700	Registered
	TW	1250483	Registered
	HK	HK1073379B	Registered
	SG	103596	Registered
	CN	ZL03801202.2	Registered
	CN	ZL200710106362.9	Registered
	MX	254237	Registered
120	EP	[3792803.3]	Pending
	EP	[7010451.8]	Pending
	JP	4103500	Registered
	US	7248237	Registered
	CA	2463486	Registered
	KR	570903	Registered

	TW	1305338	Registered
	HK	HK1074275	Registered
	SG	104016	Registered
	CN	ZL03801390.8	Registered
121	EP	[3809859.6]	Rejected
	JP	4247660	Registered
	JP	4241144	Registered
	JP	4811434	Registered
	JP	4074995	Registered
	US	7864167	Registered
	KR	803412	Registered
	TW	1249151	Registered
	CN	ZL200380102401.8	Registered
122	JP	3952965	Registered
	US	7417606	Registered
	KR	550680	Registered
	TW	1286302	Registered
	CN	ZL200410006675.3	Registered
123	EP	[4723045.3]	Rejected
	JP	3952979	Registered
	US	7855699	Registered
	KR	742838	Registered
	TW	1248060	Registered
	HK	1087515	Registered
	CN	ZL200480008060.2	Registered
124	JP	4232193	Registered
	JP	4019321	Registered
	JP	4103139	Registered
	JP	4074994	Registered
	KR	742063	Registered
	TW	1263963	Registered
	CN	ZL200410063928.0	Registered
125	JP	4304585	Registered
	JP	4941426	Registered
	US	7580011	Registered
	TW	1249154	Registered
	CN	ZL200410069423.5	Registered
126	JP	4103079	Registered
	US	7760161	Registered
127	JP	4111128	Registered
	KR	626754	Registered
	TW	1263188	Registered

*JM*

128	EP	[5745906.7]	Allowed
	JP	4203659	Registered
	JP	4517387	Registered
	JP	4329867	Registered
	JP	4535198	Registered
	JP	4329868	Registered
	US	7944414	Registered
	TW	1316216	Registered
	HK	HK1096482	Registered
129	CN	ZL200580000625.7	Registered
	US	7898507	Registered
	US	8362980	Registered
	KR	639077	Registered
	TW	1315858	Registered
130	CN	ZL200510082365.4	Registered
	EP	[5816738.8]	Pending
	JP	4400438	Registered
	JP	4400443	Registered
	US	7663615	Registered
	KR	854857	Registered
	TW	1327719	Registered
131	CN	ZL200580004792.9	Registered
	HK	[7113952.2]	Abandoned
	EP	[6731231.4]	Pending
	JP	4852866	Registered
	US	7907137	Registered
	KR	842488	Registered
	TW	1330817	Registered
	JP	5182383	Registered
	JP	4798342	Registered
	JP	5182382	Registered
132	JP	4284558	Registered
133	JP	5540556	Registered
	JP	4470955	Registered
	US	8319711	Registered
134	HK	HK1136686	Registered
	JP	5467484	Registered
	KR	10-1178981	Registered
	TW	1411997	Registered
	CN	ZL200880000765.8	Registered
135	JP	3915907	Registered

136	JP	3979331	Registered
137	JP	3915906	Registered
138	JP	4305085	Registered
139	JP	4486335	Registered
140	JP	4496469	Registered
141	JP	5381823	Registered
142	JP	4203656	Registered
	EP	[5703959.6]	Abandoned
	US	7499042	Registered
	KR	675551	Registered
	TW	1286303	Registered
CN	ZL20058000077.8	Registered	
143	JP	4161373	Registered
144	JP	4877261	Registered
	JP	4816744	Registered
	US	8139007	Registered
	KR	1074760	Registered
	TW	1407826	Registered
CN	ZL200910128346.9	Registered	
145	JP	4798249	Registered
	US	8144176	Registered
146	KR	10-1171573	Registered
	TW	1428889	Registered
	CN	ZL201010503599.2	Registered
147	CN	ZL201110283515.3	Registered
	JP	5170194	Registered
	JP	5338784	Registered
	US	8786525	Registered
	KR	1322322	Registered
TW	1446819	Registered	
148	JP	4355846	Registered
149	JP	4158570	Registered
150	JP	4048497	Registered
151	JP	5217859	Registered
152	JP	5299007	Registered
153	JP	5338224	Registered
154	JP	5223756	Registered
155	JP	4114216	Registered
	US	5990629	Registered
	KR	293329	Registered
	TW	135,692	Registered
	CN	ZL 98 8 00067.9	Registered



156	JP	5110341	Registered
	US	7868880	Registered
	GB	1889249	Registered
	GB	2267691	Registered
	DE	602006036438.5	Registered
	DE	602006040312.7	Registered
	FR	1889249	Registered
	FR	2267691	Registered
	KR	962768	Registered
	TW	1328398	Registered
	CN	ZL200680004494.4	Registered
157	JP	4753096	Registered
	JP	4780121	Registered
	JP	5077390	Registered
	US	8482494	Registered
158	JP	4743485	Registered
159	JP	4632455	Registered
	US	8446445	Registered
160	JP	4548462	Registered
	US	7898562	Registered
	US	8199182	Registered
161	JP	5145723	Registered
162	JP	5211492	Registered
163	JP	4640396	Registered
164	JP	5444867	Registered
165	JP	5428063	Registered
166	JP	4645580	Registered
167	JP	4577661	Registered
168	JP	4798460	Registered
169	JP	4576588	Registered
170	JP	5098725	Registered
171	JP	5256887	Registered
172	JP	4222426	Registered
	US	7760168	Registered
	KR	894586	Registered
	TW	1380263	Registered
	CN	ZL200710305777.9	Registered
173	US	8354285	Registered
	KR	10-1208283	Registered
	TW	1445169	Registered
	JP	5476878	Registered
	CN	ZL201010284220.3	Registered

*Handwritten mark*

174	JP	4962838	Registered
175	JP	3900611	Registered
176	JP	4900876	Registered
177	US	5895692	Expired
178	JP	4306231	Registered
	KR	578283	Registered
	TW	1259988	Registered
	CN	ZL200310123739.3	Registered
179	US	6908045	Registered
	US	7395976	Registered
	US	7732019	Registered
	KR	561009	Registered
	TW	1293258	Registered
	CN	ZL200410003532.7	Registered
180	EP	[5012238.1]	Rejected
	JP	4424078	Registered
	KR	736008	Registered
	TW	1300621	Registered
	CN	ZL200510076584.1	Registered
	JP	4315058	Registered
181	JP	4251329	Registered
	US	7896722	Registered
	KR	828870	Registered
	TW	1359625	Registered
	CN	ZL200610169400.0	Registered
	CN	ZL200910146615.4	Registered
182	JP	4251330	Registered
	JP	4968247	Registered
	JP	5071360	Registered
	US	7887877	Registered
	KR	828871	Registered
	TW	1350603	Registered
	CN	ZL200610170145.1	Registered
183	JP	4251331	Registered
	KR	856624	Registered
	TW	1374685	Registered
	CN	ZL200610156776.8	Registered
184	JP	4725577	Registered
	KR	993498	Registered
	CN	ZL200810190223.3	Registered
185	JP	5028402	Registered
	JP	5126309	Registered

186	CN	ZL201010243496.7	Registered
	US	8282436	Registered
	TW	1439168	Registered
187	TW	[99128372]	Rejected
	JP	5126185	Registered
	US	8464653	Registered
	KR	10-1159461	Registered
	CN	ZL201010266761.3	Registered
188	JP	4877372	Registered
	KR	10-1174575	Registered
	CN	ZL201010267774.2	Registered
189	JP	5267519	Registered
	US	8534222	Registered
	KR	10-1202099	Registered
	TW	1436832	Registered
	CN	ZL201010274643.7	Registered
190	US	[13/048376]	Rejected
	TW	[100109051]	Abandoned
	JP	5381842	Registered
	JP	5381841	Registered
	KR	10-1180526	Registered
	CN	ZL201110066780.6	Registered
191	JP	5217564	Registered
192	JP	5077136	Registered
193	JP	5228713	Registered
194	JP	4423710	Registered
195	JP	3900675	Registered
196	JP	4288732	Registered
197	JP	4253883	Registered
198	JP	4217820	Registered
199	JP	4697422	Registered
200	JP	4998710	Registered
201	JP	5381414	Registered
202	JP	3807114	Registered
203	JP	4696616	Registered
204	JP	4622580	Registered
205	JP	4061912	Registered
206	JP	5125686	Registered
207	JP	4843995	Registered
208	JP	4687351	Registered
209	JP	5152115	Registered
210	JP	5240115	Registered

211	JP	5515488	Registered
212	JP	5347805	Registered
213	JP	5458725	Registered
214	JP	5504736	Registered
215	JP	5515491	Registered
216	JP	5440011	Registered
217	JP	5444921	Registered
218	JP	4258226	Registered
219	JP	5201484	Registered
220	JP	4506788	Registered
	JP	4019791	Registered
221	JP	4857688	Registered
	US	7981484	Registered
	KR	782619	Registered
	TW	1339450	Registered
	CN	ZL200610163549.8	Registered
222	US	7695759	Registered
	US	8049413	Registered
	KR	817992	Registered
	TW	1352427	Registered
	CN	ZL200710138896.X	Registered
	JP	4415971	Registered
	JP	4366721	Registered
	US	7892059	Registered
	KR	868427	Registered
CN	ZL200710142101.2	Registered	
223	JP	4497185	Registered
	US	8087962	Registered
	KR	1004856	Registered
	TW	1384900	Registered
	CN	ZL200810215085.X	Registered
224	KR	[2009-55493] → 10-1161926	Registered
	JP	4697265	Registered
	JP	4697266	Registered
225	JP	4517569	Registered
226	JP	4935599	Registered
227	JP	5109542	Registered
228	JP	4591837	Registered
229	JP	4710847	Registered
230	JP	4258239	Registered
231	JP	4811292	Registered
232	JP	4930303	Registered

233	JP	5267845	Registered
234	JP	4760168	Registered
235	JP	5056476	Registered
236	JP	4774891	Registered
237	JP	4760063	Registered
238	HK	[9109880.5]	Abandoned
	JP	4953166	Registered
	US	8007334	Registered
	KR	1004874	Registered
	TW	1391022	Registered
	CN	ZL200810178321.5	Registered
239	TW	1455321	Registered
	KR	1137798	Registered
240	JP	5691167	Registered
241	JP	5201381	Registered
242	JP	5083599	Registered
243	JP	5428142	Registered
244	JP	5120528	Registered
245	JP	5119635	Registered
246	JP	5526862	Registered
247	JP	5532225	Registered
248	JP	4947103	Registered
	JP	4947104	Registered
249	JP	4078860	Registered
250	JP	5012739	Registered
251	JP	3948082	Registered
252	JP	4692415	Registered
	US	8012526	Registered
	KR	939688	Registered
	TW	1339905	Registered
	CN	ZL200680009990.9	Registered
253	JP	4770896	Registered
254	JP	4998412	Registered
255	JP	4096403	Registered
256	JP	5228522	Registered
257	JP	5540503	Registered
258	JP	4045656	Registered
259	JP	5115256	Registered
260	EP	[5727378.1]	Rejected
	JP	4665419	Registered
	US	7518393	Registered
	KR	809179	Registered

	TW	1317112	Registered
	CN	ZL200580000329.7	Registered
261	JP	4720290	Registered
262	JP	5045581	Registered
263	JP	5326788	Registered
264	JP	3457819	Registered
	US	6072450	Registered
	GB	845812	Registered
	DE	69739633.9	Registered
	FR	845812	Registered
	KR	259978	Registered
265	JP	4217834	Registered
266	JP	4867853	Registered
267	JP	4807677	Registered
268	US	7675491	Registered
269	JP	4561855	Registered
	JP	4561856	Registered
	US	8077118	Registered
270	US	8427170	Registered
271	US	6091382	Registered
	KR	267700	Registered
272	JP	4561808	Registered
	US	7522810	Registered
	KR	789537	Registered
	TW	1301803	Registered
	CN	ZL200610003777.9	Registered
273	JP	4609468	Registered
	KR	955742	Registered
	TW	1408632	Registered
	HK	HK1127880	Registered
	CN	ZL200810165632.8	Registered
274	JP	4548497	Registered
275	JP	4888527	Registered
	JP	4807442	Registered
	US	8410689	Registered
276	JP	[2014042241]	Pending
277	JP	5120182	Registered
278	JP	4899849	Registered
279	JP	4967693	Registered
280	JP	4924053	Registered
281	JP	4905163	Registered
282	JP	5023357	Registered

283	JP	4840304	Registered
284	JP	5157790	Registered
285	JP	5418978	Registered
286	JP	5055927	Registered
287	JP	5040879	Registered
288	JP	4853248	Registered
289	JP	4877480	Registered
290	JP	5272620	Registered
291	JP	3873156	Registered
292	JP	4341100	Registered
293	JP	5092639	Registered
294	JP	5092640	Registered
295	JP	5092741	Registered
296	JP	5151735	Registered
297	JP	5151739	Registered





UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE  
United States Patent and Trademark Office  
Address: COMMISSIONER FOR PATENTS  
P. O. Box 1450  
Alexandria, Virginia 22313-1450  
www.uspto.gov

APPLICATION NO.	ISSUE DATE	PATENT NO.	ATTORNEY DOCKET NO.	CONFIRMATION NO.
11/391,941	03/15/2011	7907137	06229/LH	6652

1933 7590 02/23/2011  
HOLTZ, HOLTZ, GOODMAN & CHICK PC  
220 Fifth Avenue  
16TH Floor  
NEW YORK, NY 10001-7708

**ISSUE NOTIFICATION**

The projected patent number and issue date are specified above.

**Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)**  
(application filed on or after May 29, 2000)

The Patent Term Adjustment is 1285 day(s). Any patent to issue from the above-identified application will include an indication of the adjustment on the front page.

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (<http://pair.uspto.gov>).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Application Assistance Unit (AAU) of the Office of Data Management (ODM) at (571)-272-4200.

APPLICANT(s) (Please see PAIR WEB site <http://pair.uspto.gov> for additional applicants):

Tomoyuki Shirasaki, Higashiyamato-shi, JAPAN;  
Jun Ogura, Fussa-shi, JAPAN;



**PART B - FEE(S) TRANSMITTAL**

Complete and send this form, together with applicable fee(s), to: **Mail** Mail Stop ISSUE FEE  
**Commissioner for Patents**  
**P.O. Box 1450**  
**Alexandria, Virginia 22313-1450**  
**or Fax (571)-273-2885**

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required) Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

1933 7590 11/02/2010

HOLTZ, HOLTZ, GOODMAN & CHICK PC  
 220 Fifth Avenue  
 16TH Floor  
 NEW YORK, NY 10001-7708

**Certificate of Mailing or Transmission**

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (571) 273-2885, on the date indicated below.

B. VILLANI	(Depositor's name)
	(Signature)
FEE 1/31/11	(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
-----------------	-------------	----------------------	---------------------	------------------

11/391,941	03/29/2006	Tomoyuki Shirasaki	06229/1.H	6652
------------	------------	--------------------	-----------	------

TITLE OF INVENTION: DISPLAY DRIVE APPARATUS, DISPLAY APPARATUS AND DRIVE CONTROL METHOD THEREOF

APPLN. TYPE	SMALL ENTITY	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
-------------	--------------	---------------	---------------------	----------------------	------------------	----------

nonprovisional	NO	\$1510	\$300	\$0	\$1810	02/02/2011
----------------	----	--------	-------	-----	--------	------------

EXAMINER	ART UNIT	CLASS-SUBCLASS
----------	----------	----------------

SHANKAR, VIJAY	2629	345-212000
----------------	------	------------

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).

- Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.
- "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47, Rev. 03-02 or more recent) attached. Use of a Customer Number is required.

2. For printing on the patent front page, list

- (1) the names of up to 3 registered patent attorneys or agents OR, alternatively,
- (2) the name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.

1 \_\_\_\_\_  
 2 **HOLTZ, HOLTZ,  
 GOODMAN & CHICK, PC**  
 3 \_\_\_\_\_

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE **CASIO COMPUTER CO., LTD.** (B) RESIDENCE: (CITY and STATE OR COUNTRY) **TOKYO, JAPAN**

Please check the appropriate assignee category or categories (will not be printed on the patent):  Individual  Corporation or other private group entity  Government

4a. The following fee(s) are submitted:

- Issue Fee
- Publication Fee (No small entity discount permitted)
- Advance Order - # of Copies 2

4b. Payment of Fee(s): (Please first reapply any previously paid issue fee shown above)

- A check is enclosed.
- Payment by credit card - Form PTO-2038 is attached.
- The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment, to Deposit Account Number 06-1378 (enclose an extra copy of this form).

5. Change in Entity Status (from status indicated above)

- a. Applicant claims SMALL ENTITY status. See 37 CFR 1.27.  b. Applicant is no longer claiming SMALL ENTITY status. See 37 CFR 1.27(g)(2).

NOTE: The Issue Fee and Publication Fee (if required) will not be accepted from anyone other than the applicant, a registered attorney or agent, or the assignee or other party in interest as shown by the records of the United States Patent and Trademark Office.

Authorized Signature  Date 1/31/11

Typed or printed name Leonard Holtz Registration No. 22,974

This collection of information is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

**"FEE ADDRESS" INDICATION FORM**

Mail Stop: M. FEE  
 Commissioner for Patents  
 P.O. Box 1450,  
 Alexandria, VA 22313-1450

<p>Please recognize as the "Fee Address" under the provisions of 37 CFR 1.363 the following address:</p> <p><b>CUSTOMER NUMBER</b>      <u>000197</u></p> <p><b>COMPUTER PATENT ANNUITIES</b>                  c/o Computer Patent Annuities North                  America LLC 225 Reinekers Lane                  Suite 400                  Alexandria, VA 22314</p>
---

in the following listed application(s) for which the Issue Fee has been paid or patent(s).

PATENT NUMBER (if known)	APPLICATION NUMBER
	11/391,941

  
 \_\_\_\_\_  
 Signature

Leonard Holtz, Reg. No. 22,974  
 Attorney of record

HOLTZ, HOLTZ, GOODMAN &  
 CHICK, PC  
 220 Fifth Avenue - 16th Floor  
 New York, New York 10001-7708  
 Tel. No. (212) 319-4900  
 Fax No. (212) 319-5101

January 31, 2011  
 \_\_\_\_\_  
 Date

## Electronic Patent Application Fee Transmittal

<b>Application Number:</b>	11391941
<b>Filing Date:</b>	29-Mar-2006
<b>Title of Invention:</b>	DISPLAY DRIVE APPARATUS, DISPLAY APPARATUS AND DRIVE CONTROL METHOD THEREOF
<b>First Named Inventor/Applicant Name:</b>	Tomoyuki Shirasaki
<b>Filer:</b>	Leonard Holtz/Barbara Villani
<b>Attorney Docket Number:</b>	06229/LH

Filed as Large Entity

### Utility under 35 USC 111(a) Filing Fees

Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
<b>Basic Filing:</b>				
<b>Pages:</b>				
<b>Claims:</b>				
<b>Miscellaneous-Filing:</b>				
<b>Petition:</b>				
<b>Patent-Appeals-and-Interference:</b>				
<b>Post-Allowance-and-Post-Issuance:</b>				
Utility Appl issue fee	1501	1	1510	1510
Publ. Fee- early, voluntary, or normal	1504	1	300	300

Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
<b>Extension-of-Time:</b>				
<b>Miscellaneous:</b>				
Printed copy of patent - no color	8001	2	3	6
<b>Total in USD (\$)</b>				<b>1816</b>

## Electronic Acknowledgement Receipt

<b>EFS ID:</b>	9340313
<b>Application Number:</b>	11391941
<b>International Application Number:</b>	
<b>Confirmation Number:</b>	6652
<b>Title of Invention:</b>	DISPLAY DRIVE APPARATUS, DISPLAY APPARATUS AND DRIVE CONTROL METHOD THEREOF
<b>First Named Inventor/Applicant Name:</b>	Tomoyuki Shirasaki
<b>Customer Number:</b>	01933
<b>Filer:</b>	Leonard Holtz/Barbara Villani
<b>Filer Authorized By:</b>	Leonard Holtz
<b>Attorney Docket Number:</b>	06229/LH
<b>Receipt Date:</b>	31-JAN-2011
<b>Filing Date:</b>	29-MAR-2006
<b>Time Stamp:</b>	13:24:01
<b>Application Type:</b>	Utility under 35 USC 111(a)

### Payment information:

Submitted with Payment	yes
Payment Type	Credit Card
Payment was successfully received in RAM	\$1816
RAM confirmation Number	11304
Deposit Account	
Authorized User	

### File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
-----------------	----------------------	-----------	----------------------------------	------------------	------------------

1		06229i.pdf	440918	yes	2
			c8ea135ef3dbb564f9fa2a4b976b28bbe967109		
<b>Multipart Description/PDF files in .zip description</b>					
		<b>Document Description</b>	<b>Start</b>	<b>End</b>	
		Issue Fee Payment (PTO-85B)	1	1	
		Miscellaneous Incoming Letter	2	2	
<b>Warnings:</b>					
<b>Information:</b>					
2	Fee Worksheet (PTO-875)	fee-info.pdf	33795	no	2
			82bfd5efe21044c82adb376c87ad6e13bb3a7d3b		
<b>Warnings:</b>					
<b>Information:</b>					
<b>Total Files Size (in bytes):</b>			474713		
<p><b>This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.</b></p> <p><b><u>New Applications Under 35 U.S.C. 111</u></b>  <b>If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.</b></p> <p><b><u>National Stage of an International Application under 35 U.S.C. 371</u></b>  <b>If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.</b></p> <p><b><u>New International Application Filed with the USPTO as a Receiving Office</u></b>  <b>If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.</b></p>					



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

NOTICE OF ALLOWANCE AND FEE(S) DUE

1933 7590 11/02/2010
HOLTZ, HOLTZ, GOODMAN & CHICK PC
220 Fifth Avenue
16TH Floor
NEW YORK, NY 10001-7708

EXAMINER
SHANKAR, VIJAY
ART UNIT PAPER NUMBER
2629
DATE MAILED: 11/02/2010

Table with 5 columns: APPLICATION NO., FILING DATE, FIRST NAMED INVENTOR, ATTORNEY DOCKET NO., CONFIRMATION NO.

TITLE OF INVENTION: DISPLAY DRIVE APPARATUS, DISPLAY APPARATUS AND DRIVE CONTROL METHOD THEREOF

Table with 7 columns: APPLN. TYPE, SMALL ENTITY, ISSUE FEE DUE, PUBLICATION FEE DUE, PREV. PAID ISSUE FEE, TOTAL FEE(S) DUE, DATE DUE

THE APPLICATION IDENTIFIED ABOVE HAS BEEN EXAMINED AND IS ALLOWED FOR ISSUANCE AS A PATENT. PROSECUTION ON THE MERITS IS CLOSED. THIS NOTICE OF ALLOWANCE IS NOT A GRANT OF PATENT RIGHTS. THIS APPLICATION IS SUBJECT TO WITHDRAWAL FROM ISSUE AT THE INITIATIVE OF THE OFFICE OR UPON PETITION BY THE APPLICANT. SEE 37 CFR 1.313 AND MPEP 1308.

THE ISSUE FEE AND PUBLICATION FEE (IF REQUIRED) MUST BE PAID WITHIN THREE MONTHS FROM THE MAILING DATE OF THIS NOTICE OR THIS APPLICATION SHALL BE REGARDED AS ABANDONED. THIS STATUTORY PERIOD CANNOT BE EXTENDED. SEE 35 U.S.C. 151. THE ISSUE FEE DUE INDICATED ABOVE DOES NOT REFLECT A CREDIT FOR ANY PREVIOUSLY PAID ISSUE FEE IN THIS APPLICATION. IF AN ISSUE FEE HAS PREVIOUSLY BEEN PAID IN THIS APPLICATION (AS SHOWN ABOVE), THE RETURN OF PART B OF THIS FORM WILL BE CONSIDERED A REQUEST TO REAPPLY THE PREVIOUSLY PAID ISSUE FEE TOWARD THE ISSUE FEE NOW DUE.

HOW TO REPLY TO THIS NOTICE:

I. Review the SMALL ENTITY status shown above.

If the SMALL ENTITY is shown as YES, verify your current SMALL ENTITY status:

- A. If the status is the same, pay the TOTAL FEE(S) DUE shown above.
B. If the status above is to be removed, check box 5b on Part B - Fee(s) Transmittal and pay the PUBLICATION FEE (if required) and twice the amount of the ISSUE FEE shown above, or

If the SMALL ENTITY is shown as NO:

- A. Pay TOTAL FEE(S) DUE shown above, or
B. If applicant claimed SMALL ENTITY status before, or is now claiming SMALL ENTITY status, check box 5a on Part B - Fee(s) Transmittal and pay the PUBLICATION FEE (if required) and 1/2 the ISSUE FEE shown above.

II. PART B - FEE(S) TRANSMITTAL, or its equivalent, must be completed and returned to the United States Patent and Trademark Office (USPTO) with your ISSUE FEE and PUBLICATION FEE (if required). If you are charging the fee(s) to your deposit account, section "4b" of Part B - Fee(s) Transmittal should be completed and an extra copy of the form should be submitted. If an equivalent of Part B is filed, a request to reapply a previously paid issue fee must be clearly made, and delays in processing may occur due to the difficulty in recognizing the paper as an equivalent of Part B.

III. All communications regarding this application must give the application number. Please direct all communications prior to issuance to Mail Stop ISSUE FEE unless advised to the contrary.

IMPORTANT REMINDER: Utility patents issuing on applications filed on or after Dec. 12, 1980 may require payment of maintenance fees. It is patentee's responsibility to ensure timely payment of maintenance fees when due.

**PART B - FEE(S) TRANSMITTAL**

**Complete and send this form, together with applicable fee(s), to: Mail Mail Stop ISSUE FEE  
 Commissioner for Patents  
 P.O. Box 1450  
 Alexandria, Virginia 22313-1450  
 or Fax (571)-273-2885**

**INSTRUCTIONS:** This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

1933                      7590                      11/02/2010  
**HOLTZ, HOLTZ, GOODMAN & CHICK PC**  
 220 Fifth Avenue  
 16TH Floor  
 NEW YORK, NY 10001-7708

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

**Certificate of Mailing or Transmission**  
 I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (571) 273-2885, on the date indicated below.

_____ (Depositor's name)
_____ (Signature)
_____ (Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
11/391,941	03/29/2006	Tomoyuki Shirasaki	06229/LH	6652

TITLE OF INVENTION: DISPLAY DRIVE APPARATUS, DISPLAY APPARATUS AND DRIVE CONTROL METHOD THEREOF

APPLN. TYPE	SMALL ENTITY	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	NO	\$1510	\$300	\$0	\$1810	02/02/2011

EXAMINER	ART UNIT	CLASS-SUBCLASS
SHANKAR, VIJAY	2629	345-212000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).  
 Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.  
 "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list  
 (1) the names of up to 3 registered patent attorneys or agents OR, alternatively, 1 \_\_\_\_\_  
 (2) the name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed. 2 \_\_\_\_\_  
 3 \_\_\_\_\_

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)  
 PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.  
 (A) NAME OF ASSIGNEE \_\_\_\_\_ (B) RESIDENCE: (CITY and STATE OR COUNTRY) \_\_\_\_\_

Please check the appropriate assignee category or categories (will not be printed on the patent):  Individual  Corporation or other private group entity  Government

4a. The following fee(s) are submitted:  
 Issue Fee  
 Publication Fee (No small entity discount permitted)  
 Advance Order - # of Copies \_\_\_\_\_

4b. Payment of Fee(s): (**Please first reapply any previously paid issue fee shown above**)  
 A check is enclosed.  
 Payment by credit card. Form PTO-2038 is attached.  
 The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment, to Deposit Account Number \_\_\_\_\_ (enclose an extra copy of this form).

5. **Change in Entity Status** (from status indicated above)  
 a. Applicant claims SMALL ENTITY status. See 37 CFR 1.27.  b. Applicant is no longer claiming SMALL ENTITY status. See 37 CFR 1.27(g)(2).

NOTE: The Issue Fee and Publication Fee (if required) will not be accepted from anyone other than the applicant; a registered attorney or agent; or the assignee or other party in interest as shown by the records of the United States Patent and Trademark Office.

Authorized Signature \_\_\_\_\_ Date \_\_\_\_\_  
 Typed or printed name \_\_\_\_\_ Registration No. \_\_\_\_\_

This collection of information is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.





UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

Table with 5 columns: APPLICATION NO., FILING DATE, FIRST NAMED INVENTOR, ATTORNEY DOCKET NO., CONFIRMATION NO. Includes application details for 11/391,941 filed 03/29/2006 by Tomoyuki Shirasaki, and examiner information for SHANKAR, VIJAY.

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(application filed on or after May 29, 2000)

The Patent Term Adjustment to date is 762 day(s). If the issue fee is paid on the date that is three months after the mailing date of this notice and the patent issues on the Tuesday before the date that is 28 weeks (six and a half months) after the mailing date of this notice, the Patent Term Adjustment will be 762 day(s).

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (http://pair.uspto.gov).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Customer Service Center of the Office of Patent Publication at 1-(888)-786-0101 or (571)-272-4200.

<b>Notice of Allowability</b>	<b>Application No.</b>	<b>Applicant(s)</b>	
	11/391,941	SHIRASAKI ET AL.	
	<b>Examiner</b>	<b>Art Unit</b>	
	VIJAY SHANKAR	2629	

**-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--**

All claims being allowable, PROSECUTION ON THE MERITS IS (OR REMAINS) CLOSED in this application. If not included herewith (or previously mailed), a Notice of Allowance (PTOL-85) or other appropriate communication will be mailed in due course. **THIS NOTICE OF ALLOWABILITY IS NOT A GRANT OF PATENT RIGHTS.** This application is subject to withdrawal from issue at the initiative of the Office or upon petition by the applicant. See 37 CFR 1.313 and MPEP 1308.

1.  This communication is responsive to 8/24/10.
2.  The allowed claim(s) is/are 1-5, 7-14, 16, 18-42.
3.  Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).
  - a)  All    b)  Some\*    c)  None    of the:
    1.  Certified copies of the priority documents have been received.
    2.  Certified copies of the priority documents have been received in Application No. \_\_\_\_\_.
    3.  Copies of the certified copies of the priority documents have been received in this national stage application from the International Bureau (PCT Rule 17.2(a)).

\* Certified copies not received: \_\_\_\_\_.

Applicant has THREE MONTHS FROM THE "MAILING DATE" of this communication to file a reply complying with the requirements noted below. Failure to timely comply will result in ABANDONMENT of this application.  
**THIS THREE-MONTH PERIOD IS NOT EXTENDABLE.**

4.  A SUBSTITUTE OATH OR DECLARATION must be submitted. Note the attached EXAMINER'S AMENDMENT or NOTICE OF INFORMAL PATENT APPLICATION (PTO-152) which gives reason(s) why the oath or declaration is deficient.
  5.  CORRECTED DRAWINGS ( as "replacement sheets") must be submitted.
    - (a)  including changes required by the Notice of Draftsperson's Patent Drawing Review ( PTO-948) attached
      - 1)  hereto or 2)  to Paper No./Mail Date \_\_\_\_\_.
    - (b)  including changes required by the attached Examiner's Amendment / Comment or in the Office action of Paper No./Mail Date \_\_\_\_\_.
- Identifying indicia such as the application number (see 37 CFR 1.84(c)) should be written on the drawings in the front (not the back) of each sheet. Replacement sheet(s) should be labeled as such in the header according to 37 CFR 1.121(d).**
6.  DEPOSIT OF and/or INFORMATION about the deposit of BIOLOGICAL MATERIAL must be submitted. Note the attached Examiner's comment regarding REQUIREMENT FOR THE DEPOSIT OF BIOLOGICAL MATERIAL.

**Attachment(s)**

- |   |  |
|---|--|
| 1. <input type="checkbox"/> Notice of References Cited (PTO-892)  | 5. <input type="checkbox"/> Notice of Informal Patent Application                      |
| 2. <input type="checkbox"/> Notice of Draftsperson's Patent Drawing Review (PTO-948)  | 6. <input type="checkbox"/> Interview Summary (PTO-413),<br>Paper No./Mail Date _____. |
| 3. <input checked="" type="checkbox"/> Information Disclosure Statements (PTO/SB/08),<br>Paper No./Mail Date <u>6/29/10</u> | 7. <input type="checkbox"/> Examiner's Amendment/Comment                               |
| 4. <input type="checkbox"/> Examiner's Comment Regarding Requirement for Deposit<br>of Biological Material                  | 8. <input checked="" type="checkbox"/> Examiner's Statement of Reasons for Allowance   |
|   | 9. <input type="checkbox"/> Other _____.   |

VIJAY SHANKAR/  
 Primary Examiner, Art Unit 2629

## DETAILED ACTION

### *Allowable Subject Matter*

1. Claims 1-5, 7-14, 16, 18-42 are allowed.
2. The following is an examiner's statement of reasons for allowance: The prior arts fails to teach a drive control method of a display apparatus which displays image information corresponding to display data, the apparatus comprising a display panel having a plurality of display pixels arranged therein, each of the pixels comprising a current control type optical element and drive element which supplies a driving current to the optical element, at respective intersections of a plurality of selection lines and a plurality of data lines arranged to respectively extend in a row direction and in a column direction, the method comprising: detecting a threshold voltage peculiar to the drive element of each said display pixel through the data lines; **generating a compensation voltage for compensating for the threshold voltage of the drive element of each said display pixel based on each said threshold voltage, applying the compensation voltage to the drive element of each said display pixel through the data lines, and allowing the drive element to hold the compensation voltage as a voltage component; supplying, as a gradation signal to each said display pixel through the data lines, after the drive element of the display pixel holds the voltage, a gradation current having a current value for allowing the optical element of the display pixel to perform a light emitting operation at a luminance corresponding to a luminance gradation of the display data, a gradation signal adding a voltage component based on the gradation signal to the voltage**

**component based on the compensation voltage, and allowing the drive element of each said display pixel to hold the voltage component; and supplying the driving current created based on the voltage component held in the drive element of each said display pixel to the optical element, and allowing the optical element to be operated in accordance with the gradation signal as claimed in Claim 34.**

The prior arts fails to teach a display drive apparatus which operates, in accordance with display data, a current control type optical element of each display pixel of a display, wherein each display pixel is provided with the optical element and a drive element which supplies a driving current to the optical element, the display drive apparatus comprising: **a gradation signal generation circuit which generates gradation current having a current value for allowing the optical element to perform a light emitting operation at a luminance corresponding to a luminance gradation of the display data, as a gradation signal corresponding to the luminance gradation of the display data and supplies the gradation current to the display pixel through a data line connected to the display pixel; a threshold voltage detection circuit which detects a threshold voltage peculiar to the drive element of the display pixel through the data line; and a compensation voltage application circuit which generates a compensation voltage for compensating for the threshold voltage of the drive element based on the threshold voltage and applies the compensation voltage to the drive element through the data line**

**before the gradation signal generation circuit supplies the gradation current to the display pixel as claimed in Claim 1.**

Any comments considered necessary by applicant must be submitted no later than the payment of the issue fee and, to avoid processing delays, should preferably accompany the issue fee. Such submissions should be clearly labeled "Comments on Statement of Reasons for Allowance."

3. Any inquiry concerning this communication or earlier communications from the examiner should be directed to VIJAY SHANKAR whose telephone number is (571) 272-7682. The examiner can normally be reached on M-F 7:30 am - 5:30 pm.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Alexander Eisen can be reached on (571) 272-7687. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see <http://pair-direct.uspto.gov>. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/VIJAY SHANKAR/  
Primary Examiner, Art Unit 2629


VS

<b>INFORMATION DISCLOSURE STATEMENT BY APPLICANT</b>				Application Number	11/391,941			
				Filing Date	March 29, 2006			
				First Named Inventor	Tomoyuki SHIRASAKI			
				Group Art Unit	2629			
				Examiner Name	Vijay SHANKAR			
Sheet	1	of	1	Attorney Docket Number	06229/LH			
<b>U.S. PATENT DOCUMENTS</b>								
Examiner Initials*	Cite No.	Document Number	Kind Code	Patentee or Applicant	Publication Date (MM-DD-YYYY)			
		7,719,492	B2	Childs	05-18-2010			
		2008/0191976	A1	Nathan et al.	08-14-2008			
<b>FOREIGN PATENT DOCUMENTS</b>								
Examiner Initials*	Cite No.	Country Code	Document Number	Kind Code	Patentee or Applicant	Publication Date (MM-DD-YYYY)	Translation	
							Yes	Abstract Only
		JP	2004-252110	A	Chi Mei Electronics Corp.	09-09-2004		
		JP	2007-519956	T	Klijke Philips Electronics	07-19-2007		
		JP	2008-504576	T	Ignis Innovation Inc.	02-14-2008		
<b>OTHER DOCUMENTS</b>								
Examiner Initials*	Cite No.	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.						
		Japanese Office Action dated April 22, 2010 and English translation thereof in counterpart Japanese Application No. 2005-101905.						
		Japanese Office Action dated April 22, 2010 and English translation thereof in counterpart Japanese Application No. 2005-105373.						
Examiner Signature	/Vijay Shankar/				Date Considered	10/29/2010		

\* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

DATE MAILED OR TRANSMITTED: **June 29, 2010**

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /V.S./

<b>Issue Classification</b> 	<b>Application/Control No.</b> 11391941	<b>Applicant(s)/Patent Under Reexamination</b> SHIRASAKI ET AL.
	<b>Examiner</b> VIJAY SHANKAR	<b>Art Unit</b> 2629


ORIGINAL					INTERNATIONAL CLASSIFICATION														
CLASS		SUBCLASS			CLAIMED					NON-CLAIMED									
345		212			G	0	9	G	5 / 00 (2006.01.01)										
<b>CROSS REFERENCE(S)</b>																			
CLASS	SUBCLASS (ONE SUBCLASS PER BLOCK)																		
345	98	99	100	204															

Claims renumbered in the same order as presented by applicant
  CPA
  T.D.
  R.1.47

Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original
10	1	---	17	39	33										
11	2	24	18	1	34										
12	3	25	19	2	35										
13	4	26	20	3	36										
14	5	27	21	4	37										
---	6	28	22	5	38										
15	7	29	23	6	39										
16	8	30	24	7	40										
17	9	31	25	8	41										
18	10	32	26	9	42										
19	11	33	27												
20	12	34	28												
21	13	35	29												
22	14	36	30												
---	15	37	31												
23	16	38	32												

NONE		<b>Total Claims Allowed:</b>	
		39	
(Assistant Examiner)	(Date)		
/VIJAY SHANKAR/ Primary Examiner. Art Unit 2629	10/29/10	O.G. Print Claim(s)	O.G. Print Figure
(Primary Examiner)	(Date)	1	1



<b>Search Notes</b>  	<b>Application/Control No.</b> 11391941	<b>Applicant(s)/Patent Under Reexamination</b> SHIRASAKI ET AL.
	<b>Examiner</b> VIJAY SHANKAR	<b>Art Unit</b> 2629

<b>SEARCHED</b>			
<b>Class</b>	<b>Subclass</b>	<b>Date</b>	<b>Examiner</b>
345	76-83, 87-100, 204-215, 690	10/29/10	VS

<b>SEARCH NOTES</b>		
<b>Search Notes</b>	<b>Date</b>	<b>Examiner</b>
INVENTORS NAME SEARCH	10/29/10	VS

<b>INTERFERENCE SEARCH</b>			
<b>Class</b>	<b>Subclass</b>	<b>Date</b>	<b>Examiner</b>
Same	as search	10/29/10	VS

--	--

Application Serial No. 11/391,941  
Response to Office Action

Customer No. 01933

Attorney Docket No. 06229/LH

This paper is being submitted  
via EFS-Web on August 24, 2010

**IN THE UNITED STATES PATENT  
AND TRADEMARK OFFICE**

Applicant(s): Tomoyuki SHIRASAKI, et al.  
Serial No. : 11/391,941  
Confirm. No.: 6652  
Filed : March 29, 2006  
For : DISPLAY DRIVE APPARATUS, DISPLAY  
APPARATUS AND DRIVE CONTROL  
METHOD THEREOF  
Art Unit : 2629  
Examiner : Vijay SHANKAR

In the event that this Paper is  
late filed, and the necessary  
petition for extension of time  
is not filed concurrently  
herewith, please consider this  
as a Petition for the requisite  
extension of time, and to the  
extent not already paid,  
authorization to charge the  
extension fee to Account  
No. 06-1378. In addition,  
authorization is hereby given to  
charge any fees for which  
payment has not been submitted,  
or to credit any overpayments,  
to Account No. 06-1378.

**A M E N D M E N T**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

S I R :

This is responsive to the Office Action mailed May 24, 2010,  
the term for response to which expires on August 24, 2010.

**Amendments to the Claims** are set forth in the listing of  
claims which begins on page 2. Claims 1, 3, 4, 7-10, 16, 18, 30,  
33-35, and 42 are amended; claims 6, 15, and 17 are canceled; and  
claims 2, 5, 11-14, 19-29, 31, 32, and 36-41 are maintained.

**Remarks** begin on page 25.

**Listing of Claims:**

1. (Currently Amended) A display drive apparatus which operates, in accordance with display data, a current control type optical element of each display pixel of a display, wherein each display pixel is provided with the optical element and a drive  
5 element which supplies a driving current to the optical element, the display drive apparatus comprising:

a gradation signal generation circuit which generates a gradation current having a current value for allowing the optical element to perform a light emitting operation at a luminance  
10 corresponding to a luminance gradation of the display data, as a gradation signal corresponding to [[a]] the luminance gradation of the display data, and supplies the gradation ~~signal~~ current to the display pixel through a data line connected to the display pixel;

15 a threshold voltage detection circuit which detects a threshold voltage peculiar to the drive element of the display pixel through the data line; and

a compensation voltage application circuit which generates a compensation voltage for compensating for the threshold voltage  
20 of the drive element based on the threshold voltage and applies the compensation voltage to the drive element through the data line before the gradation signal generation circuit supplies the gradation ~~signal~~ current to the display pixel.

2. (Previously Presented) The display drive apparatus according to claim 1, further comprising a memory circuit which stores threshold data corresponding to the threshold voltage detected by the threshold voltage detection circuit,

5        wherein the compensation voltage application circuit generates the compensation voltage based on the threshold data stored in the memory circuit.

3. (Currently Amended) The display drive apparatus according to claim 1, further comprising a detecting voltage application circuit which applies to the drive element, through the data line, a voltage for threshold detection which has a higher potential than the threshold voltage,

5        wherein the threshold voltage detection circuit detects through the data line, as the threshold voltage, a voltage after the voltage for threshold voltage detection is applied to the drive element by the detecting voltage application circuit and  
10       part of electric charges corresponding to the voltage for threshold voltage detection is discharged and converged.

4. (Currently Amended) The display drive apparatus according to claim 3, wherein the drive element includes a current path which allows the driving current to flow to the

optical element, and a control terminal which controls a supply  
5 state of the driving current,

wherein the detecting voltage application circuit applies  
the voltage for threshold detection to between the control  
terminal of the drive element and one end side of the current  
path through the data line, and

10 wherein the threshold voltage detection circuit detects  
through the data line, as the threshold voltage, a potential  
difference between the control terminal of the drive element and  
the one end side of the current path at a time of absence of  
current flow in the current path.

5. (Previously Presented) The display drive apparatus  
according to claim 4, further comprising a memory circuit which  
stores threshold data based on the threshold voltage detected by  
the threshold voltage detection circuit, and

5 wherein the compensation voltage application circuit applies  
the compensation voltage based on the threshold data stored in  
the memory circuit to between the control terminal of the drive  
element and the one end side of the current path.

Claim 6 (Canceled).

7. (Currently Amended) The display drive apparatus according to claim 1, ~~wherein the optical element of each display pixel includes a light emitting element which performs a light emitting operation at a luminance corresponding to a current~~  
5 ~~value of an applied current,~~ and wherein the gradation signal generation circuit includes a circuit which generates, as the gradation signal, a non-light emitting display voltage having a predetermined voltage value for allowing the ~~light emitting~~  
optical element to perform a non-light emitting operation.

8. (Currently Amended) The display drive apparatus according to claim 1, further comprising a signal path switching circuit which selectively switches and controls a connection  
5 between the data line, which is a single data line provided in correspondence to the display pixel, and each of a signal path which detects the threshold voltage with the threshold voltage detection circuit, a signal path which applies the compensation voltage with the compensation voltage application circuit, and a  
10 signal path which supplies the gradation signal with the gradation signal generation circuit.

9. (Currently Amended) The display drive apparatus according to claim 3, further comprising a signal path switching circuit which selectively switches and controls a connection

between the data line, which is a single data line provided in  
5 correspondence to the display pixel, and each of a signal path  
which detects the threshold voltage with the threshold voltage  
detection circuit, a signal path which applies the compensation  
voltage with the compensation voltage application circuit, a  
10 signal path which supplies the gradation signal with the  
gradation signal generation circuit, and a signal path which  
applies the voltage for threshold detection with the detecting  
voltage application circuit.

10. (Currently Amended) A display apparatus which displays  
image information corresponding to display data, the apparatus  
comprising:

a display panel having a plurality of display pixels  
5 arranged therein, each of the pixels including a current control  
type optical element and a drive element which supplies a driving  
current to the optical element, at each of respective  
intersections of a plurality of selection lines and a plurality  
of data lines arranged to respectively extend in a row direction  
10 and in a column direction;

a selection drive unit which sequentially supplies a  
selection signal to each of the plurality of selection lines of  
the display panel, thereby setting the display pixels in each row  
sequentially in a selection state; and

15           a data drive unit comprising:

          a gradation signal generation circuit which supplies a gradation current, as a gradation signal, to each said display pixel via a corresponding one of the data lines, wherein the gradation signal generation circuit generates each said gradation

20 current to have a current value for allowing the optical element of the display pixel to perform a light emitting operation at a luminance corresponding to a luminance gradation of the display data; ~~a gradation signal corresponding to a luminance gradation of the display data and supplies the gradation signal to each~~

25 ~~said display pixel via a corresponding one of the data lines;~~

          a threshold voltage detection circuit which detects a threshold voltage peculiar to the drive element of each said display pixel via the corresponding one of the data lines; and

          a compensation voltage application circuit which

30 generates a compensation voltage for compensating for the threshold voltage of each said display pixel based on each said threshold voltage, and applies the compensation voltage to each said display pixel via the corresponding one of the data lines before the gradation signal generation circuit supplies the

35 gradation ~~signal~~ current to the display pixel.

11. (Previously Presented) The display apparatus according to claim 10, wherein the data drive unit further comprises a



memory circuit which stores threshold data corresponding to each  
said threshold voltage detected by the threshold voltage  
5 detection circuit, and

wherein the compensation voltage application circuit  
generates each said compensation voltage based on the threshold  
data stored in the memory circuit.

12. (Previously Presented) The display apparatus according  
to claim 10, wherein the data drive unit further comprises a  
detecting voltage application circuit which supplies a voltage  
for threshold detection which has a higher potential than the  
5 threshold voltage to the drive element of each said display pixel  
via the corresponding one of the data lines, and

wherein the threshold voltage detection circuit detects as  
the threshold voltage peculiar to the drive element a voltage  
after the voltage for threshold voltage detection is applied to  
10 the drive element via the corresponding one of the data lines and  
part of electric charges corresponding to the voltage for  
threshold voltage detection is discharged and converged.

13. (Previously Presented) The display apparatus according  
to claim 12, wherein the drive element of each said display pixel  
comprises a current path which allows the driving current to flow

to the optical element, and a control terminal which controls a  
5 supply state of the driving current,

wherein the detecting voltage application circuit applies a  
voltage for threshold detection to between the control terminal  
of the drive element and one end side of the current path, and

10 wherein the threshold voltage detection circuit detects a  
potential difference between the control terminal of the drive  
element and the one end side of the current path at a time of  
absence of current flow in the current path as the threshold  
voltage via the corresponding one of the data lines.

14. (Previously Presented) The display apparatus according  
to claim 13, wherein the data drive unit further comprises a  
memory circuit which stores threshold data based on each said  
threshold voltage detected by the threshold voltage detection  
5 circuit, and

wherein the compensation voltage application circuit applies  
the compensation voltage based on the threshold data stored in  
the memory circuit to between the control terminal of the drive  
element and the one end side of the current path via the  
10 corresponding one of the data lines.

Claim 15 (Canceled).

16. (Currently Amended) The display apparatus according to claim [[15]] 10, wherein the ~~light emitting~~ the optical element of each said display pixel includes an organic electroluminescent element.

Claim 17 (Canceled).

18. (Currently Amended) The display apparatus according to claim [[15]] 10, wherein the gradation signal generation circuit comprises a circuit which generates, as the gradation signal, a non-light emitting display voltage having a predetermined voltage value for allowing the ~~light emitting~~ optical element to perform a non-light emitting operation.

19. (Previously Presented) The display apparatus according to claim 11, wherein the data drive unit further comprises:  
a threshold acquiring circuit which individually fetches the threshold data corresponding to each said threshold voltage detected from each of said plurality of display pixels via the data lines and sequentially transfers each said threshold data;  
and  
a data acquiring circuit which sequentially and individually fetches and holds luminance gradation data for generating the gradation signal with respect to each of the display pixels,

wherein the memory circuit individually stores each of the threshold data transferred from the threshold acquiring circuit in correspondence to each of said plurality of display pixels, and

15            wherein the gradation signal generation circuit generates the gradation signal corresponding to the luminance gradation data held in the data acquiring circuit and supplies the gradation signal to each said display pixel via the corresponding one of the data lines.

20. (Previously Presented) The display apparatus according to claim 19, wherein a configuration for sequentially and individually fetching the luminance gradation data in the data acquiring circuit and a configuration for fetching the threshold data and sequentially transferring the threshold data in the  
5            threshold acquiring circuit are shared.

21. (Previously Presented) The display apparatus according to claim 10, wherein the data drive unit comprises a signal path switching circuit which selectively switches and controls a connection between one of the data lines and each of a signal  
5            path which detects the threshold voltage with the threshold voltage detection circuit, a signal path which applies the compensation voltage with the compensation voltage application

circuit, and a signal path which supplies the gradation signal with the gradation signal generation circuit.

22. (Previously Presented) The display apparatus according to claim 12, wherein the data drive unit comprises a signal path switching circuit which selectively switches and controls a connection between one of the data lines and each of a signal  
5 path which detects the threshold voltage with the threshold voltage detection circuit, a signal path which applies the compensation voltage with the compensation voltage application circuit, a signal path which supplies the gradation signal with the gradation signal generation circuit, and a signal path which  
10 applies the voltage for threshold with the detecting voltage application circuit.

23. (Previously Presented) The display apparatus according to claim 10, further comprising a power source drive unit which applies a predetermined power supply voltage to each of said plurality of display pixels,

5 wherein the power source drive unit sequentially applies the power supply voltage to the display pixels in each row of the display panel at a predetermined timing, thereby setting the display pixels in each row in an operation state.

24. (Previously Presented) The display apparatus according to claim 10, further comprising a power source drive unit which applies a predetermined power supply voltage to each of said plurality of display pixels,

5            wherein the power source drive unit sequentially applies the power supply voltage at a predetermined timing to the display pixels for each group which is obtained by dividing said plurality of display pixels arranged on the display panel into sets of a plurality of rows, thereby setting the display pixels  
10 in each group in an operation state.

25. (Original) The display apparatus according to claim 10, further comprising a drive control unit which generates a timing control signal for controlling a timing of the operation of detecting the threshold voltage by the threshold voltage detection circuit.

26. (Previously Presented) The display apparatus according to claim 25, wherein the drive control unit performs control with the timing control signal so as to cause the threshold voltage detection circuit to detect the threshold voltage of the drive  
5 elements of the display pixels in different rows of the display panel for each of operation periods in which the gradation signal is supplied to all of said plurality of display pixels arranged

on the display panel by means of the selection drive unit and the data drive unit.

27. (Previously Presented) The display apparatus according to claim 25, wherein the drive control unit performs control with the timing control signal so as to cause the threshold voltage detection circuit to detect the threshold voltage of the drive  
5 elements of the display pixels in adjacent rows of the display panel for each of operation periods in which the gradation signal is supplied to all of said plurality of display pixels arranged on the display panel by means of the selection drive unit and the data drive unit.

28. (Previously Presented) The display apparatus according to claim 12, wherein each of the display pixels comprises a drive circuit which controls an operation of the optical element, and the drive circuit comprises:

5 a first switch circuit including a current path having a first end to which a power supply voltage is applied and a second end that is connected with a connection point with the optical element;

10 a second switch circuit including a control terminal that is connected with one of the selection lines, and including a current path having a first end to which the power supply voltage

is applied and a second end that is connected with a control terminal of the first switch circuit; and

15 a third switch circuit including a control terminal that is connected with the one of the selection lines, and including a current path having a first end that is connected with the corresponding one of the data lines and a second end that is connected with the connection contact point,

20 wherein said drive element comprises the first switch circuit,

wherein the detecting voltage application circuit applies the voltage for threshold detection to between the control terminal of the first switch circuit and the connection contact point,

25 wherein the threshold voltage detection circuit detects, as the threshold voltage, a potential between the control terminal of the first switch circuit and the connection contact point, and

30 wherein the compensation voltage application circuit applies the compensation voltage to between the control terminal of the first switch circuit and the connection contact point.

29. (Original) The display apparatus according to claim 28, wherein each of the first to third switch circuits includes a field effect transistor provided with a semiconductor layer comprising amorphous silicon.



30. (Currently Amended) A drive control method of a display drive apparatus which operates a current control type optical element of a display pixel provided with the optical element and a drive element which supplies a driving current to the optical element, the method comprising:

detecting a threshold voltage peculiar to the drive element through a data line connected to the display pixel;

generating a compensation voltage for compensating for the threshold voltage of the drive element based on the threshold voltage and applying the compensation voltage to the drive element through the data line so as to allow the drive element to hold the voltage as a voltage component; and

supplying, after the drive element holds the voltage, a gradation current having a current value for allowing the optical element to perform a light emitting operation at a luminance corresponding to a luminance gradation of display data, as a gradation signal to the display pixel ~~after the drive element holds the voltage component,~~ through the data line, adding a voltage component based on the gradation signal to the voltage component based on the compensation voltage, and allowing the drive element to hold the voltage component.

31. (Previously Presented) The drive control method of the display drive apparatus according to claim 30, wherein the

detecting the threshold voltage includes an operation of storing  
threshold data corresponding to the threshold voltage, and

5        wherein the operation of storing the threshold data is  
performed at a timing prior to the application of the  
compensation voltage to the drive element and holding of the  
voltage component based on the gradation signal.

32. (Previously Presented) The drive control method of the  
display drive apparatus according to claim 30, wherein the  
detecting the threshold voltage includes:

5        applying a voltage for threshold detection which has a  
higher potential than the threshold voltage; and

detecting, as the threshold voltage, a voltage after part of  
electric charges corresponding to the voltage for threshold  
voltage detection is discharged and converged.

33. (Currently Amended) The drive control method of the  
display drive apparatus according to claim 30, ~~wherein the  
optical element includes a light emitting element which performs  
a light emitting operation at a luminance corresponding to a  
current value of an applied current, and wherein the adding a  
voltage component based on the gradation signal to the voltage  
component based on the compensation voltage and allowing the  
drive element to hold the voltage component includes: when the~~

~~light emitting element is allowed to perform a light emitting~~  
10 ~~operation at a luminance corresponding to a luminance gradation~~  
~~of display data, generating, as the gradation current, a~~  
~~gradation current having a current value for allowing the optical~~  
~~element to perform a light emitting operation at a luminance~~  
~~corresponding to the luminance gradation of the display data, and~~  
15 ~~supplying the gradation current to the display pixel; and~~  
~~wherein, when the light emitting optical element is allowed to~~  
~~perform a non-light emitting operation, generating, as the~~  
~~gradation signal, a non-light emitting display voltage having a~~  
~~predetermined voltage value for allowing the optical element to~~  
20 ~~perform a non-light emitting operation is generated as the~~  
~~gradation signal, and ~~supplying~~ the non-light emitting display~~  
~~voltage is supplied to the display pixel.~~

34. (Currently Amended) A drive control method of a display  
apparatus which displays image information corresponding to  
display data, the apparatus comprising a display panel having a  
plurality of display pixels arranged therein, each of the pixels  
5 comprising a current control type optical element and a drive  
element which supplies a driving current to the optical element,  
at respective intersections of a plurality of selection lines and  
a plurality of data lines arranged to respectively extend in a  
row direction and in a column direction, the method comprising:

10           detecting a threshold voltage peculiar to the drive element  
of each said display pixel through the data lines;

          generating a compensation voltage for compensating for the  
threshold voltage of the drive element of each said display pixel  
based on each said threshold voltage, applying the compensation  
15           voltage to the drive element of each said display pixel through  
the data lines, and allowing the drive element to hold the  
compensation voltage as a voltage component;

~~supplying, as a gradation signal to each said display pixel~~  
~~through the data lines, after the drive element of the display~~  
20           ~~pixel holds the voltage, a gradation current having a current~~  
~~value for allowing the optical element of the display pixel to~~  
~~perform a light emitting operation at a luminance corresponding~~  
~~to a luminance gradation of the display data, a gradation signal~~  
~~to each said display pixel after the drive element of the display~~  
25           ~~pixel holds the voltage component,~~ adding a voltage component  
based on the gradation signal to the voltage component based on  
the compensation voltage, and allowing the drive element of each  
said display pixel to hold the voltage component; and

          supplying the driving current created based on the voltage  
30           component held in the drive element of each said display pixel to  
the optical element, and allowing the optical element to be  
operated in accordance with the gradation signal.

35. (Currently Amended) The drive control method of the display apparatus according to claim 34, wherein the detecting the threshold voltage includes:

5 applying a voltage for threshold detection which has a higher potential than the threshold voltage to the drive element of each said display pixel through the data lines; and

detecting through the data lines, as the threshold voltage, a voltage after part of electric charges corresponding to the voltage for threshold detection is discharged and converged.

36. (Previously Presented) The drive control method of the display apparatus according to claim 34, wherein the detecting the threshold voltage includes:

5 storing threshold data corresponding to the threshold voltage, and

the storing the threshold data is performed with respect to all of said plurality of display pixels arranged on the display panel at a timing prior to the application of the compensation voltage and the holding of the voltage component based on the gradation signal.

10

37. (Previously Presented) The drive control method of the display apparatus according to claim 36, wherein the storing the threshold data is sequentially performed with respect to said plurality of display pixels for each row of display pixels.

38. (Previously Presented) The drive control method of the display apparatus according to claim 34, wherein the detecting the threshold voltage includes:

storing threshold data corresponding to the threshold  
5 voltage; and

the storing the threshold data is performed with respect to the drive elements of the display pixels in different rows of the display panel for each of operation periods in which the gradation signal is supplied to all of said plurality of display  
10 pixels arranged on the display panel.

39. (Previously Presented) The drive control method of the display apparatus according to claim 34, wherein the detecting the threshold voltage includes:

storing threshold data corresponding to the threshold  
5 voltage, and

the storing the threshold voltage is performed with respect to the drive elements of the display pixels in adjacent rows of the display panel for each of operation periods in which the

gradation signal is supplied to all of said plurality of display  
10 pixels arranged on the display panel.

40. (Previously Presented) The drive control method of the  
display apparatus according to claim 34, wherein the adding a  
voltage component based on the gradation signal to the voltage  
component based on the compensation voltage and allowing the  
5 drive element of each said display pixel to hold the voltage  
component is sequentially performed with respect to said  
plurality of display pixels for each row of display pixels, and  
wherein the allowing the optical element to be operated in  
accordance with the gradation signal is sequentially performed  
10 from a row at which the adding a voltage component based on the  
gradation signal to the voltage component based on the  
compensation voltage is completed.

41. (Previously Presented) The drive control method of the  
display apparatus according to claim 34, wherein the adding a  
voltage component based on the gradation signal to the voltage  
component based on the compensation voltage and allowing the  
5 drive element of each said display pixel to hold the voltage  
component is sequentially performed for each group which is  
obtained by grouping said plurality of display pixels arranged on  
the display panel into groups of a plurality of rows, and

10 wherein the allowing the optical element to be operated in  
accordance with the gradation signal is sequentially performed  
from the group in which the adding a voltage component based on  
the gradation signal to the voltage component based on the  
compensation voltage is completed.

42. (Currently Amended) The drive control method of the  
display apparatus according to claim 34, ~~wherein each of the  
optical elements includes a light emitting element which performs  
a light emitting operation at a luminance corresponding to a  
5 current value of an applied current, and wherein the adding a  
voltage component based on the gradation signal to the voltage  
component based on the compensation voltage and allowing the  
drive element to hold the voltage component includes, for each  
said display pixel: when the light emitting element is allowed to  
10 perform a light emitting operation at a luminance corresponding  
to a gradation luminance of display data, generating, as the  
gradation current, a gradation current having a current value for  
allowing the optical element to perform a light emitting  
operation at a luminance corresponding to the gradation luminance  
15 of the display data, and supplying the gradation current to the  
display pixel; and wherein, when the light emitting element of  
one of the display pixels is allowed to perform a non-light  
emitting operation, generating, as the gradation signal, a~~



20 non-light emitting display voltage having a predetermined voltage  
for allowing the optical element to perform a non-light emitting  
operation is generated as the gradation signal, and ~~supplying~~ the  
non-light emitting display voltage is supplied to the display  
pixel.

**R E M A R K S**

Reconsideration of this application, as amended, is respectfully requested.

**THE CLAIMS**

Independent claim 1 has been amended to recite that the gradation signal generation circuit supplies the gradation current to the display pixel through a data line connected to the display pixel, the threshold voltage detection circuit detects the threshold voltage peculiar to the drive element of the display pixel through the data line, and that the compensation voltage application circuit applies the compensation voltage to the drive element through the data line.

Independent claim 1 has also been amended to recite that the gradation signal generation circuit generates a gradation current having a current value for allowing the optical element to perform a light emitting operation at a luminance corresponding to a luminance gradation of the display data, as a gradation signal, based on subject matter recited in (now canceled) claim 6.

In addition, dependent claims 3, 4, and 7-9 have been amended to better accord with amended independent claim 1.

Still further, independent claim 10 has been amended to recite that the gradation signal generation circuit supplies a

gradation current, as a gradation signal, to each said display pixel via a corresponding one of the data lines, wherein the gradation signal generation circuit generates each said gradation current to have a current value for allowing the optical element of the display pixel to perform a light emitting operation at a luminance corresponding to a luminance gradation of the display data, based on subject matter recited in (now canceled) claim 17.

In addition, dependent claims 16 and 18 have been amended to depend from and better accord with amended independent claim 10, instead of from claim 15, which has been canceled.

Yet still further, independent claim 30 has been amended to recite that the threshold voltage peculiar to the drive element is detected through a data line connected to the display pixel, the compensation voltage is applied to the drive element through the data line, and that the gradation current is supplied as the gradation signal to the display pixel through the data line.

In addition, independent claim 30 has also been amended to recite supplying, after the drive element holds the voltage, a gradation current having a current value for allowing the optical element to perform a light emitting operation at a luminance corresponding to a luminance gradation of display data, as a gradation signal, based on subject matter previously recited in claim 33. And dependent claim 33 has been amended to better accord with amended independent claim 30.

Yet still further, independent claim 34 has been amended to recite that the threshold voltage peculiar to the drive element of each display pixel is detected through the data lines, the compensation voltage is applied to the drive element of each display pixel through the data lines, and that the gradation current is supplied as the gradation signal to each display pixel through the data lines.

In addition, independent claim 34 has also been amended to recite supplying, as a gradation signal to each said display pixel through the data lines, after the drive element of the display pixel holds the voltage, a gradation current having a current value for allowing the optical element of the display pixel to perform a light emitting operation at a luminance corresponding to a luminance gradation of the display data, based on subject matter previously recited in claim 42.

Dependent claim 35, moreover, has been amended based on amended claim 34, and dependent claim 42 has been amended to better accord with amended claim 35.

No new matter has been added, and it is respectfully requested that the amendments be approved and entered.

THE PROVISIONAL DOUBLE PATENTING REJECTION

Claims 1-42 were provisionally rejected based on obviousness-type double patenting in view of claims 1-57 of

Application No. 11/888,474. This rejection is respectfully traversed with respect the claims of the present application as amended above and the claims of Application No. 11/888,474 as amended on July 26, 2010.

Only claim 1 of the present application was specifically addressed by the Examiner. According to amended independent claim 1, a gradation signal generation circuit generates a gradation current having a current value for allowing the optical element to perform a light emitting operation at a luminance corresponding to a luminance gradation of the display data, as a gradation signal corresponding to the luminance gradation of the display data, and supplies the gradation current to the display pixel through a data line connected to the display pixel.

In addition, according to amended independent claim 1, a compensation voltage application circuit generates a compensation voltage for compensating for the threshold voltage of the drive element based on the threshold voltage and applies the compensation voltage to the drive element through the data line before the gradation signal generation circuit supplies the gradation current to the display pixel.

That is, as recited in amended independent claim 1, the drive element is supplied with the gradation current after a voltage corresponding to the threshold voltage has been previously applied.

By contrast, as recited in independent claim 1 of Application No. 11/888,474 (as amended on July 26, 2010), a gradation voltage compensation circuit generates a compensated gradation voltage by adding a gradation voltage to a compensation voltage, and applies the compensated gradation voltage to the display pixel, wherein the gradation voltage corresponds to a luminance gradation of the display pixel designated by display data, and wherein the compensation voltage is generated by multiplying a specific value detected by a specific value detection circuit with a unit voltage. Thus, in claim 1 of Application No. 11/888,474, the compensation voltage and the gradation voltage are added to be supplied at the same time as a compensated gradation voltage.

It is respectfully submitted, therefore, that claim 1 of Application No. 11/888,474 does not render obvious amended independent claim 1 of the present application, in which the gradation current is supplied as a gradation signal after application of a compensated voltage.

Accordingly, it is respectfully submitted that amended independent claim 1 of the present application is not obvious in view of claim 1 of Application No. 11/888,474.

Claims 2-42 of the present application were also provisionally rejected based on obviousness-type double patenting but were not specifically addressed. It is respectfully

submitted that these claims also patentably distinguish over the claims of Application No. 11/888,474.

It is respectfully submitted, moreover, that a mere assertion that the claims of the present application and the claims of a reference application are "claiming similar subject matters" (see pages 2 and 4 of the Office Action) is not sufficient to support an obviousness-type double patenting rejection. "Any obviousness-type double patenting rejection should make clear: (A) The differences between the inventions defined by the conflicting claims - a claim in the patent compared to a claim in the application; and (B) The reasons why a person of ordinary skill in the art would conclude that the invention defined in the claim at issue is anticipated by, or would have been an obvious variation of, the invention defined in a claim in the patent." (MPEP 804.)

In view of the foregoing, it is respectfully requested that the provisional obviousness-type double patenting rejection be withdrawn.

#### THE PRIOR ART REJECTION

Claims 1-42 were rejected under 35 USC 102 as being anticipated by US 2004/0239596 ("Ono et al"). This rejection, however, is respectfully traversed with respect to the claims as amended hereinabove.

According to the present invention as recited in amended independent claim 1, a display drive apparatus is provided which operates, in accordance with display data, a current control type optical element of each display pixel of a display, wherein each display pixel is provided with the optical element and a drive element which supplies a driving current to the optical element.

According to claim 1, the display drive apparatus comprises a gradation signal generation circuit which generates a gradation current having a current value for allowing the optical element to perform a light emitting operation at a luminance corresponding to a luminance gradation of the display data, as a gradation signal corresponding to the luminance gradation of the display data, and supplies the gradation current to the display pixel through a data line connected to the display pixel.

In addition, according to claim 1, the display drive apparatus comprises a threshold voltage detection circuit which detects a threshold voltage peculiar to the drive element of the display pixel through the data line.

Still further, according to claim 1, the display drive apparatus comprises a compensation voltage application circuit which generates a compensation voltage for compensating for the threshold voltage of the drive element based on the threshold voltage and applies the compensation voltage to the drive element



through the data line before the gradation signal generation circuit supplies the gradation current to the display pixel.

It is respectfully submitted that, by contrast, Ono et al discloses a structure for deriving a threshold voltage  $V_{th}$  of a thin film transistor 15 based on a detection of a potential of a grounding line 6. In addition, Ono et al discloses applying a voltage obtained by addition of a data voltage  $V_d$  and the threshold voltage  $V_{th}$  to a data line 7.

It is respectfully submitted that Ono et al does not disclose generating and supplying a gradation current as a gradation signal, in the manner of the gradation signal generation circuit of claim 1.

In addition, it is respectfully submitted that Ono et al does not disclose applying a compensation voltage before supplying a gradation current, in the manner of the compensation voltage application circuit of claim 1.

Still further, it is respectfully submitted that Ono et al discloses deriving the threshold voltage  $V_{th}$  based on the detection of a potential of the grounding line 6. Accordingly, it is respectfully submitted that Ono et al does not disclose or suggest a threshold voltage detection circuit which detects a threshold voltage peculiar to the drive element of the display pixel through the data line, as recited in claim 1.

Accordingly, it is respectfully submitted that amended independent claim 1 clearly patentably distinguishes over Ono et al. And for similar reasons, it is respectfully submitted that amended independent claims 10, 30, and 34 also patentably distinguish over Ono et al.

In view of the foregoing, it is respectfully submitted that amended independent claims 1, 10, 30, and 34, and all the claims respectively depending therefrom, all patentably distinguish over Ono et al under 35 USC 102 as well as under 35 USC 103.

\* \* \* \* \*

Entry of this Amendment, allowance of the claims and the passing of this application to issue are respectfully solicited.

If the Examiner has any comments, questions, objections or recommendations, the Examiner is invited to telephone the undersigned for prompt action.

Respectfully submitted,

/Douglas Holtz/

Douglas Holtz  
Reg. No. 33,902

Frishauf, Holtz, Goodman & Chick, P.C.  
220 Fifth Avenue - 16<sup>th</sup> Floor  
New York, New York 10001-7708  
Tel. No. (212) 319-4900

DH:iv/dd

## Electronic Acknowledgement Receipt

<b>EFS ID:</b>	8280033
<b>Application Number:</b>	11391941
<b>International Application Number:</b>	
<b>Confirmation Number:</b>	6652
<b>Title of Invention:</b>	Display drive apparatus, display apparatus and drive control method thereof
<b>First Named Inventor/Applicant Name:</b>	Tomoyuki Shirasaki
<b>Customer Number:</b>	01933
<b>Filer:</b>	Douglas Holtz/David Dunbar
<b>Filer Authorized By:</b>	Douglas Holtz
<b>Attorney Docket Number:</b>	06229/LH
<b>Receipt Date:</b>	24-AUG-2010
<b>Filing Date:</b>	29-MAR-2006
<b>Time Stamp:</b>	15:13:07
<b>Application Type:</b>	Utility under 35 USC 111(a)

### Payment information:

Submitted with Payment	no
------------------------	----

### File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		06229_amd2.pdf	89373 <small>e354754e977b8c53afa8ee431d20067ef4b0fa26</small>	yes	33

<b>Multipart Description/PDF files in .zip description</b>		
<b>Document Description</b>	<b>Start</b>	<b>End</b>
Amendment/Req. Reconsideration-After Non-Final Reject	1	1
Claims	2	24
Applicant Arguments/Remarks Made in an Amendment	25	33

**Warnings:**

**Information:**

<b>Total Files Size (in bytes):</b>	89373
-------------------------------------	-------

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

**New Applications Under 35 U.S.C. 111**

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

**National Stage of an International Application under 35 U.S.C. 371**

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

**New International Application Filed with the USPTO as a Receiving Office**

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

<b>PATENT APPLICATION FEE DETERMINATION RECORD</b> Substitute for Form PTO-875					Application or Docket Number <b>11/391,941</b>		Filing Date <b>03/29/2006</b>		<input type="checkbox"/> To be Mailed			
<b>APPLICATION AS FILED – PART I</b>												
(Column 1)			(Column 2)		SMALL ENTITY <input type="checkbox"/> OR			OTHER THAN SMALL ENTITY				
FOR		NUMBER FILED	NUMBER EXTRA		RATE (\$)	FEE (\$)	OR		RATE (\$)	FEE (\$)		
<input type="checkbox"/> BASIC FEE <small>(37 CFR 1.16(a), (b), or (c))</small>		N/A	N/A		N/A				N/A			
<input type="checkbox"/> SEARCH FEE <small>(37 CFR 1.16(k), (l), or (m))</small>		N/A	N/A		N/A				N/A			
<input type="checkbox"/> EXAMINATION FEE <small>(37 CFR 1.16(o), (p), or (q))</small>		N/A	N/A		N/A				N/A			
TOTAL CLAIMS <small>(37 CFR 1.16(i))</small>		minus 20 =	*		X \$ =		OR		X \$ =			
INDEPENDENT CLAIMS <small>(37 CFR 1.16(h))</small>		minus 3 =	*		X \$ =				X \$ =			
<input type="checkbox"/> APPLICATION SIZE FEE <small>(37 CFR 1.16(s))</small>		If the specification and drawings exceed 100 sheets of paper, the application size fee due is \$250 (\$125 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).										
<input type="checkbox"/> MULTIPLE DEPENDENT CLAIM PRESENT <small>(37 CFR 1.16(j))</small>												
* If the difference in column 1 is less than zero, enter "0" in column 2.												
<b>APPLICATION AS AMENDED – PART II</b>										TOTAL	TOTAL	
(Column 1)			(Column 2)		SMALL ENTITY			OR			OTHER THAN SMALL ENTITY	
AMENDMENT		CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE (\$)	ADDITIONAL FEE (\$)		RATE (\$)	ADDITIONAL FEE (\$)		
	Total <small>(37 CFR 1.16(i))</small>	*	Minus	**	=	X \$ =		OR		X \$ =		
	Independent <small>(37 CFR 1.16(h))</small>	*	Minus	***	=	X \$ =		OR		X \$ =		
	<input type="checkbox"/> Application Size Fee <small>(37 CFR 1.16(s))</small>											
	<input type="checkbox"/> FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM <small>(37 CFR 1.16(j))</small>											
						TOTAL ADD'L FEE		OR		TOTAL ADD'L FEE		
(Column 1)			(Column 2)		SMALL ENTITY			OR			OTHER THAN SMALL ENTITY	
AMENDMENT	<b>08/24/2010</b>	CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE (\$)	ADDITIONAL FEE (\$)		RATE (\$)	ADDITIONAL FEE (\$)		
	Total <small>(37 CFR 1.16(i))</small>	* 39	Minus	** 42	= 0	X \$ =		OR		X \$52 =	0	
	Independent <small>(37 CFR 1.16(h))</small>	* 4	Minus	*** 4	= 0	X \$ =		OR		X \$220 =	0	
	<input type="checkbox"/> Application Size Fee <small>(37 CFR 1.16(s))</small>											
	<input type="checkbox"/> FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM <small>(37 CFR 1.16(j))</small>											
						TOTAL ADD'L FEE		OR		TOTAL ADD'L FEE	<b>0</b>	
* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.												
** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".												
*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".												
The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.												
Legal Instrument Examiner: <b>/THERESA LINDSAY/</b>												

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

*If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.*

<b>INFORMATION DISCLOSURE STATEMENT BY APPLICANT</b>				Application Number	11/391,941			
				Filing Date	March 29, 2006			
				First Named Inventor	Tomoyuki SHIRASAKI			
				Group Art Unit	2629			
				Examiner Name	Vijay SHANKAR			
Sheet	1	of	1	Attorney Docket Number	06229/LH			
<b>U.S. PATENT DOCUMENTS</b>								
Examiner Initials*	Cite No.	Document Number	Kind Code	Patentee or Applicant	Publication Date (MM-DD-YYYY)			
		7,719,492	B2	Childs	05-18-2010			
		2008/0191976	A1	Nathan et al.	08-14-2008			
<b>FOREIGN PATENT DOCUMENTS</b>								
Examiner Initials*	Cite No.	Country Code	Document Number	Kind Code	Patentee or Applicant	Publication Date (MM-DD-YYYY)	Translation	
							Yes	Abstract Only
		JP	2004-252110	A	Chi Mei Electronics Corp.	09-09-2004		
		JP	2007-519956	T	Klijke Philips Electronics	07-19-2007		
		JP	2008-504576	T	Ignis Innovation Inc.	02-14-2008		
<b>OTHER DOCUMENTS</b>								
Examiner Initials*	Cite No.	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.						
		Japanese Office Action dated April 22, 2010 and English translation thereof in counterpart Japanese Application No. 2005-101905.						
		Japanese Office Action dated April 22, 2010 and English translation thereof in counterpart Japanese Application No. 2005-105373.						
Examiner Signature					Date Considered			

\* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

DATE MAILED OR TRANSMITTED: June 29, 2010

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-252110

(P2004-252110A)

(43) 公開日 平成16年9月9日(2004.9.9)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード(参考)
G09G 3/30	G09G 3/30 J	3K007
G09F 9/30	G09F 9/30 338	5C080
G09G 3/20	G09F 9/30 365Z	5C094
H05B 33/14	G09G 3/20 612E	
	G09G 3/20 622G	
審査請求 未請求 請求項の数 12 O L (全 20 頁) 最終頁に続く		

(21) 出願番号 特願2003-41824 (P2003-41824)  
 (22) 出願日 平成15年2月19日(2003.2.19)

(71) 出願人 599142729  
 奇美電子股▲ふん▼有限公司  
 台湾台南県台南科学工業園区新市郷奇業路  
 1号  
 (71) 出願人 000006633  
 京セラ株式会社  
 京都府京都市伏見区竹田鳥羽殿町6番地  
 (74) 代理人 100089118  
 弁理士 酒井 宏明  
 (72) 発明者 小野 晋也  
 神奈川県大和市下鶴間1623番地14  
 インターナショナル ディスプレイ テク  
 ノロジー株式会社 大和事業所内

最終頁に続く

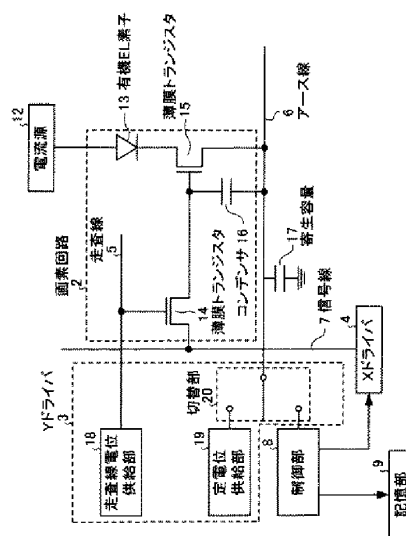
(54) 【発明の名称】 画像表示装置

(57) 【要約】

【課題】 ドライバ素子の特性変動による輝度のばらつきを抑制する画像表示装置を実現すること。

【解決手段】 画素回路2は、走査線5によって駆動状態が制御される薄膜トランジスタ14と、信号線7の電位を薄膜トランジスタ14を介して供給される薄膜トランジスタ15を有する。薄膜トランジスタ15はドライバ素子として有機EL素子13に流れる電流値を制御する。閾値電圧を導出する際には、アース線6をフローティング状態にして薄膜トランジスタ15をオン状態とし、薄膜トランジスタ15を通過してアース線6に流入する電荷に起因したアース線6の電位変動を制御部8によって検知し、薄膜トランジスタ15の閾値電圧を導出する。

【選択図】 図2



**【特許請求の範囲】****【請求項1】**

電流発光素子に流入する電流値を制御することによって画像表示を行う画像表示装置であって、  
前記電流発光素子に電流を供給する電流源と、  
少なくとも第1および第2の端子を備え、該複数の端子間に与えられた電位差に基づいて前記電流源から前記電流発光素子に流入する電流値を制御するドライバ素子と、  
前記第1の端子に電位を供給する信号線と、  
前記第2の端子と電氣的に接続された導電部材と、  
前記電流源から前記第2の端子に供給された電荷の量に対応した前記導電部材の電位に基づいて、前記ドライバ素子の閾値電圧を導出する閾値電圧導出手段と、  
を備えたことを特徴とする画像表示装置。

**【請求項2】**

前記ドライバ素子は、閾値電圧導出の開始時に推定閾値電圧よりも高い電圧が前記第1の端子と前記第2の端子との間に印加されてオン状態となり、  
前記導電部材は、前記ドライバ素子がオン状態となった後に前記ドライバ素子および前記電流発光素子を介して前記電流源から供給される電荷が蓄積されることによって電位が上昇することを特徴とする請求項1に記載の画像表示装置。

**【請求項3】**

前記ドライバ素子は、オン状態となった後に前記導電部材が所定電位まで上昇することによってオフ状態となり、  
前記閾値電圧導出手段は、前記ドライバ素子がオフ状態となった後の前記導電部材の電位に基づいて閾値電圧を導出することを特徴とする請求項1または2に記載の画像表示装置。

**【請求項4】**

前記閾値電圧導出手段は、前記ドライバ素子がオン状態となった後であって、前記導電部材が所定電位まで上昇することによって前記ドライバ素子がオフ状態となる前の2以上の異なる時刻における前記導電部材の電位に基づいて閾値電圧を導出することを特徴とする請求項1～3のいずれか一つに記載の画像表示装置。

**【請求項5】**

前記閾値電圧導出手段は、前記第2の端子および前記導電部材と接続されたコンデンサの容量の総和と、前記第1の端子に印加される電位とをパラメータとして閾値電圧を導出することを特徴とする請求項4に記載の画像表示装置。

**【請求項6】**

前記閾値電圧導出手段は、前記閾値電圧を導出すると共に前記ドライバ素子の電流通過部分における移動度および前記電流通過部分の形状に応じた係数を導出することを特徴とする請求項4または5に記載の画像表示装置。

**【請求項7】**

前記導電部材の電位と前記ドライバ素子の閾値電圧とを対応づけたデータベースをさらに備え、  
前記閾値電圧導出手段は、前記ドライバ素子がオン状態となった後の1以上の時刻における前記導電部材の電位に基づいてデータベースを参照することによって閾値電圧を導出することを特徴とする請求項1～3のいずれか一つに記載の画像表示装置。

**【請求項8】**

画像表示の際に前記第1の端子と前記第2の端子との間の電圧が前記閾値導出手段によって導出された閾値電圧と表示画像に対応したデータ電圧との和になるよう前記第1の端子に対して電位を供給することを特徴とする請求項1～7のいずれか一つに記載の画像表示装置。

**【請求項9】**

前記信号線は、前記第1の端子と前記第2の端子との間の電圧が、前記閾値電圧導出手段



によって導出された閾値電圧と前記表示画像に対応したデータ電圧との和に対して前記ドライバ素子の電流通過部分の移動度および前記電流通過部分の形状に応じた係数に基づいて決定される値を乗算した電位となるよう前記第1の端子に対して電位を供給することを特徴とする請求項6に記載の画像表示装置。

【請求項10】

画像表示の際にはほぼ一定の電位を供給する定電位供給手段と、  
画像表示の際に前記定電位供給手段と前記導電部材とを接続し、閾値電圧導出の際に前記定電位供給手段と前記導電部材とを絶縁するスイッチング手段と、  
をさらに備えたことを特徴とする請求項1～9のいずれか一つに記載の画像表示装置。

【請求項11】

前記ドライバ素子は薄膜トランジスタであって、前記第1の端子はゲート電極に対応し、前記第2の端子はソース電極に対応し、ドレイン電極をさらに有することを特徴とする請求項1～10のいずれか一つに記載の画像表示装置。

【請求項12】

前記電流発光素子は、有機EL素子であることを特徴とする請求項1～11のいずれか一つに記載の画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、電流発光素子を用いた画像表示装置に関し、表示部において表示される輝度を均一化したアクティブマトリックス型の画像表示装置に関するものである。

【0002】

【従来の技術】

自ら発光する有機エレクトロルミネッセンス(EL)素子を用いた有機EL表示装置は、液晶表示装置で必要なバックライトが不要で装置の薄型化に最適であるとともに、視野角にも制限がないため、次世代の表示装置として実用化が期待されている。

【0003】

有機EL素子を用いた画像表示装置においては、駆動方式として単純(パッシブ)マトリックス型とアクティブマトリックス型とを採ることができる。前者は構造が単純であるものの大型かつ高精細のディスプレイの実現が困難であるとの問題がある。このため、近年、画素内部の発光素子に流れる電流を、同時に画素内に設けた能動素子、たとえば、薄膜トランジスタ(Thin Film Transistor: 薄膜トランジスタ)によって制御する、アクティブマトリックス型の表示装置の開発が盛んに行われている。

【0004】

図9に、従来技術にかかるアクティブマトリックス方式の有機EL表示装置における画素回路を示す。従来技術にかかる画素回路は、正側が正電源V<sub>dd</sub>に接続された有機EL素子105と、ドレイン電極が有機EL素子105の負側に接続され、ソース電極がグランドに接続され、ドライバ素子として機能する薄膜トランジスタ104と、薄膜トランジスタ104のゲート電極とグランドとの間に接続されたコンデンサ103と、ドレイン電極が薄膜トランジスタ104のゲート電極に、ソース電極が信号線101に、ゲート電極が走査線106にそれぞれ接続され、スイッチング素子として機能する薄膜トランジスタ102とを有する構造をとる。

【0005】

上記画素回路の動作を以下に説明する。走査線106の電位を高レベルとすると、薄膜トランジスタ102がオン状態となり、信号線101に書き込み電位を印加すると、コンデンサ103が充電または放電され、薄膜トランジスタ104のゲート電極には所定の電位が書き込まれる。次に、走査線106の電位を低レベルとすると、薄膜トランジスタ102は導通せず、走査線106と薄膜トランジスタ102は電氣的に切り離されるが、薄膜トランジスタ104のゲート電位はコンデンサ103によって安定に保持される。

【0006】

そして、薄膜トランジスタ104および有機EL素子105に流れる電流は、薄膜トランジスタ104のゲート・ソース間電位 $V_{gs}$ に応じた値となり、有機EL素子105はその電流値に応じた輝度で発光し続ける。上述のように図9に示す画素回路では一度電位の書き込みを行えば、つぎに書き込みが行われるまでの間、有機EL素子105は一定の輝度で発光を継続する(たとえば、特許文献1参照)。

【0007】

ところで、画像表示装置においてドライバ素子として機能する薄膜トランジスタ104のチャネル層は、一般に多結晶シリコンまたは非晶質シリコンが使用されている。多数の画素を配置し、各画素に対応してドライバ素子が多数設けられる画像表示装置では、薄膜トランジスタごとの特性のばらつきを抑制するため、非晶質シリコンを使用することが好ましい。

【0008】

【特許文献1】

特開平8-234683号公報(第10頁、第1図)

【0009】

【発明が解決しようとする課題】

しかしながら、非晶質シリコンによってチャネル層が形成された薄膜トランジスタをドライバ素子として使用した場合、図9に示す従来の画像表示装置では長時間に渡って高品位の画像表示を行うことが困難であるという問題が存在する。非晶質シリコンを用いた薄膜トランジスタは、長時間に渡ってチャネル層に電流を流した場合、徐々に閾値電圧が変動することが知られており、一定のゲート電圧を印加し続けても閾値電圧の変動に応じてチャネル層を流れる電流の値は変化するためである。上記のように有機EL素子105は薄膜トランジスタ104と直列に接続されており、チャネル層を流れる電流の値の変動に応じて有機EL素子105に流れる電流の値は変化する。このため、信号線101から同一電位を供給されたにもかかわらず、閾値電圧が変動することによって有機EL素子105の輝度は変動し、高品位の画像表示が困難となる。

【0010】

従って、非晶質シリコンを用いた薄膜トランジスタをドライバ素子として使用した実際の画像表示装置では、図9に示す画素回路に加えて画素ごとに電圧補償回路が配置されている。具体的には、薄膜トランジスタ104のゲート電極に対して、信号線101から供給される電位に加え、閾値電圧の変動分を補償する電位を電圧補償回路から与えられる構造とすることによって高品位の画像表示を実現している。しかし、かかる電圧補償回路は1画素あたり2~3個の薄膜トランジスタによって形成されており、有機EL素子を配置する基板上に電圧補償回路用の領域を別途設ける必要性が生じる。従って、有機EL素子105を高密度に配置することができず、高精細な画像表示が困難となるという問題が新たに生じる。

【0011】

また、チャネル層が劣化することにより、薄膜トランジスタ104は閾値電圧のみならず、ゲート電位に応じて流れる電流値が変化するいわゆる直線領域の傾斜も変動することが知られている。直線領域の傾斜の変動が有機EL素子105の輝度に及ぼす影響は閾値電圧変動よりも低いものの、高品位の画像表示を行うためにはかかる変動を無視することは好ましくない。

【0012】

本発明は、上記した従来技術の欠点に鑑みてなされたものであり、画像表示装置の表示部において表示される輝度が均一であるアクティブマトリックス型の画像表示装置を提供することを目的とする。

【0013】

【課題を解決するための手段】

上記目的を達成するため、請求項1にかかる画像表示装置は、電流発光素子に流入する電流値を制御することによって画像表示を行う画像表示装置であって、前記電流発光素子に

電流を供給する電流源と、少なくとも第1および第2の端子を備え、該複数の端子間と与えられた電位差に基づいて前記電流源から前記電流発光素子に流入する電流値を制御するドライバ素子と、前記第1の端子に印加する電位を供給する信号線と、前記第2の端子と電気的に接続された導電部材と、前記電流源から前記第2の端子に供給された電荷の量に対応した前記導電部材の電位に基づいて、前記ドライバ素子の閾値電圧を導出する閾値電圧導出手段とを備えたことを特徴とする。

【0014】

この請求項1の発明によれば、ドライバ素子をオンした状態で電流源からドライバ素子に電流を流入させ、第2の端子に接続された導電部材に蓄積された電荷に起因した電位に基づいて閾値電圧を導出することとしたため、電圧補償回路を設けずに閾値電圧の導出を行うことができる。

【0015】

また、請求項2にかかる画像表示装置は、上記の発明において、前記ドライバ素子は、閾値電圧導出の開始時に推定閾値電圧よりも高い電圧が前記第1の端子と前記第2の端子との間に印加されてオン状態となり、前記導電部材は、前記ドライバ素子がオン状態となった後に前記ドライバ素子および前記電流発光素子を介して前記電流源から供給される電荷が蓄積されることによって電位が上昇することを特徴とする。

【0016】

また、請求項3にかかる画像表示装置は、上記の発明において、前記ドライバ素子は、オン状態となった後に前記導電部材が所定電位まで上昇することによってオフ状態となり、前記閾値電圧導出手段は、前記ドライバ素子がオフ状態となった後の前記導電部材の電位に基づいて閾値電圧を導出することを特徴とする。

【0017】

この請求項3の発明によれば、ドライバ素子がオフ状態となった時点における前記導電部材の電位に基づいて閾値電圧を導出することとしたため、実際の閾値電圧に対応した電位を利用することが可能となり、正確な閾値電圧の導出が可能である。

【0018】

また、請求項4にかかる画像表示装置は、上記の発明において、前記閾値電圧導出手段は、前記ドライバ素子がオン状態となった後であって、前記導電部材が所定電位まで上昇することによって前記ドライバ素子がオフ状態となる前の2以上の異なる時刻における前記導電部材の電位に基づいて閾値電圧を導出することを特徴とする。

【0019】

この請求項4の発明によれば、ドライバ素子がオフ状態となる前の任意の3以上の時刻における導電部材の電位を用いて閾値電圧を導出することとしたため、短時間で閾値電圧を導出することができる。

【0020】

また、請求項5にかかる画像表示装置は、上記の発明において、前記閾値電圧導出手段は、前記第2の端子および前記導電部材と接続されたコンデンサの容量の総和と、前記第1の端子に印加される電位とをパラメータとして閾値電圧を導出することを特徴とする。

【0021】

また、請求項6にかかる画像表示装置は、上記の発明において、前記閾値電圧導出手段は、前記閾値電圧を導出すると共に前記ドライバ素子の電流通過部分における移動度および前記電流通過部分の形状に応じた係数を導出することを特徴とする。なお、「電流通過部分」とは、例えばドライバ素子が薄膜トランジスタによって構成される場合、オン状態におけるチャネル層に対応する部分のことを言う。

【0022】

この請求項6の発明によれば、電流通過部分に関係した係数を導出することとしたため、かかる係数を用いてより正確にドライバ素子の特性変動を補償することができる。

【0023】

また、請求項7にかかる画像表示装置は、上記の発明において、前記導電部材の電位と前

記ドライバ素子の閾値電圧とを対応づけたデータベースをさらに備え、前記閾値電圧導出手段は、前記ドライバ素子がオン状態となった後の1以上の時刻における前記導電部材の電位に基づいてデータベースを参照することによって閾値電圧を導出することを特徴とする。

【0024】

また、請求項8にかかる画像表示装置は、上記の発明において、画像表示の際に前記第1の端子と前記第2の端子との間の電圧が前記閾値導出手段によって導出された閾値電圧と表示画像に対応したデータ電圧との和になるよう前記第1の端子に対して電位を供給することを特徴とする。

【0025】

また、請求項9にかかる画像表示装置は、上記の発明において、前記信号線は、前記第1の端子と前記第2の端子との間の電圧が、前記閾値電圧導出手段によって導出された閾値電圧と前記表示画像に対応したデータ電圧との和に対して前記ドライバ素子の電流通過部分の移動度および前記電流通過部分の形状に応じた係数に基づいて決定される値を乗算した電位となるよう前記第1の端子に対して電位を供給することを特徴とする。

【0026】

また、請求項10にかかる画像表示装置は、上記の発明において、画像表示の際にはほぼ一定の電位を供給する定電位供給手段と、画像表示の際に前記定電位供給手段と前記導電部材とを接続し、閾値電圧導出の際に前記定電位供給手段と前記導電部材とを絶縁するスイッチング手段とをさらに備えたことを特徴とする。

【0027】

また、請求項11にかかる画像表示装置は、上記の発明において、前記ドライバ素子は薄膜トランジスタであって、前記第1の端子はゲート電極に対応し、前記第2の端子はソース電極に対応し、ドレイン電極をさらに有することを特徴とする。

【0028】

また、請求項12にかかる画像表示装置は、上記の発明において、前記電流発光素子は、有機EL素子であることを特徴とする。

【0029】

【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態である画像表示装置について説明する。なお、図面は模式的なものであり、現実のものとは異なることに留意する必要がある。また、図面の相互間においても、互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。

【0030】

(実施の形態1)

まず、この発明の実施の形態1にかかる画像表示装置について説明する。本実施の形態1にかかる画像表示装置は、ドライバ素子として薄膜トランジスタを用いたアクティブマトリックス方式の画像表示装置であって、ドライバ素子と接続したアース線の電位制御を停止した状態で一度ドライバ素子をオン状態にしてアース線に電荷を蓄積した後、ドライバ素子が再びオフ状態となるゲート・ソース間電圧を制御部で導出し、画像表示の際には、導出した閾値電圧と、表示輝度に対応したデータ電圧とをドライバ素子のゲート電極に印加して画像表示を行う。

【0031】

図1は、本実施の形態1にかかる画像表示装置の全体構造を模式的に示す図である。図1に示すように、本実施の形態1にかかる画像表示装置は、マトリックス状に多数配置された画素回路2を備えた有機ELパネル1と、有機ELパネル1に対して、走査線5およびアース線6を介して接続されたYドライバ3と、信号線7を介して接続されたXドライバ4とを備える。また、Yドライバ3は、所定の電気信号を外部に出力可能な構造を有し、出力された電気信号は制御部8に入力した後、記憶部9に数値データとして記憶される。さらに、制御部8から出力される電気信号と、映像信号供給部10から出力される表示画

像に対応した電気信号とを加算する加算部11を備え、加算された電気信号はXドライバ4を介して各画素回路2に供給される。また、画素回路2に備えられた電流発光素子に対して電流を供給する電流源12を備える。

#### 【0032】

図2は、画素回路2の回路構造と、画素回路2の周囲の構成要素について示す図である。なお、図2はあくまで本実施の形態1にかかる画像表示装置の理解を容易にするための図であって、実際の構造とは必ずしも一致しないことに注意する必要がある。

#### 【0033】

図2に示すように、画素回路2は、ゲート電極に走査線5が、一方のソース/ドレイン電極に信号線7が接続され、スイッチング素子として機能する薄膜トランジスタ14と、薄膜トランジスタ14の他方のソース/ドレイン電極とゲート電極が接続され、ドライバ素子として機能する薄膜トランジスタ15とを有する。また、アノード電極が薄膜トランジスタ15のドレイン電極に接続され、カソード電極が電流源12に接続された有機EL素子13と、薄膜トランジスタ15のゲート電極と接続されたコンデンサ16とを備え、有機EL素子13は電流源12と接続されている。また、薄膜トランジスタ15のソース電極はアース線6に接続され、薄膜トランジスタ15のゲート電極とアース線6の間には書き込まれた電位を保持するためのコンデンサ16が配置されている。なお、アース線6は、有機ELパネル1内に存在する他の配線構造との間に寄生容量17が存在する。

#### 【0034】

また、Yドライバ3は、図2に示すように、走査線5と電氣的に接続された走査線電位供給部18と、アース線6と接続可能な定電位供給部19とを有する。さらに、Yドライバ3は、アース線6の接続先を定電位供給部19または制御部8のいずれかに選択する切替部20を備える。

#### 【0035】

走査線電位供給部18は、走査線5に電位を供給するためのもので、薄膜トランジスタ14の駆動状態を制御するためのものである。具体的には、ドライバ素子である薄膜トランジスタ15に電位を書き込む際に、信号線7から薄膜トランジスタ15に対して電位を供給するために、スイッチング素子である薄膜トランジスタ14をオン状態にする必要がある。走査線電位供給部18は、電位を書き込む際に走査線5を介して薄膜トランジスタ14のゲート電極に所定の電位を供給することで薄膜トランジスタ14をオン状態にし、薄膜トランジスタ15に対する電位書き込みを可能としている。

#### 【0036】

定電位供給部19は、アース線6を一定の電位に維持するためのものである。すなわち、アース線6と薄膜トランジスタ15のゲート電極の間には書き込まれた電位を保持するためのコンデンサ16が存在する。アース線6の電位が変動することによって、かかる電位変動の影響を受けて、コンデンサ16と接続された薄膜トランジスタ15のゲート電極の電位も変動することとなる。従って、薄膜トランジスタ15のチャネル層を流れる電流値が影響を受け、有機EL素子13の輝度が変動する。また、アース線6の電位が変動することによって有機EL素子13のアノード・カソード間の電圧が変動し、輝度が変動する。かかる弊害を避けるため、画像表示を行う際にはアース線6は定電位供給部19に接続され、一定の電位、通常は0電位に維持されている。

#### 【0037】

切替部20は、アース線6の接続先を切り替えるためのものである。上記のように、画像表示を行う際にはアース線6の電位を一定に保持するため、切替部20はアース線6と定電位供給部19とを接続する。一方、後述するように薄膜トランジスタ15の閾値電圧を導出する際にはアース線6をフローティングとして機能させた上で、アース線6の電位を測定する必要がある。このため、切替部20は閾値電圧導出の際にはアース線6と定電位供給部19との間を絶縁すると共に、アース線6と制御部8とを接続することとしている。なお、制御部8はアース線6の電位にほとんど影響を与えず、かつアース線6の電位を導出可能な機能を有するものとする。従って、切替部20によってアース線6と制御部8

とが接続された場合、アース線6は実質的にフローティングとして機能する。

【0038】

次に、本実施の形態1にかかる画像表示装置の動作について説明する。図3(a)は、画像表示の際における画素回路2の状態を示し、図3(b)、図3(c)は薄膜トランジスタ15の閾値電圧を導出する際における画素回路2の状態を示す。

【0039】

まず、画像表示の際における画像表示装置の動作について簡単に説明する。図3(a)に示すように、画像表示の際にはアース線6と定電位供給部19とが接続され、アース線6の電位は一定値、例えば0電位に維持され、アース線6に接続された薄膜トランジスタ15のソース電極の電位 $V_s$ も0電位に維持される。そして、走査線5から高電位が供給されることによって薄膜トランジスタ14はオン状態となり、信号線7から供給される電位が薄膜トランジスタ15のゲート電極およびコンデンサ16に供給される。従って、薄膜トランジスタ15におけるゲート・ソース間電圧は $V_g$ となる。ここで、供給された電位 $V_g$ は薄膜トランジスタ15をオン状態にするために十分な電位であるものとし、薄膜トランジスタ15のチャンネル層には、電位 $V_g$ の値に応じた値の電流が流れる。発光素子たる有機EL素子13は薄膜トランジスタ15に接続されていることから、有機EL素子13には薄膜トランジスタ15のチャンネル層と等しい電流が流れ、かかる電流の値に応じた輝度で発光する。

【0040】

次に、閾値電圧導出の際における画像表示装置の動作について説明する。図3(b)に示すように、閾値電圧導出の際には、アース線6は定電位供給部19から絶縁され、制御部8と接続される。そのため、閾値電圧導出の際にはアース線6に対して電位制御は行われず、アース線6は実質的にフローティングとして機能する。

【0041】

まず、図3(b)に示す接続状態の回路に対して画像表示の際と同様にゲート電極の電位 $V_g$ を所定の値とすることによって薄膜トランジスタ15をオン状態にし、電流源12から有機EL素子13、薄膜トランジスタ15を介してアース線6に対して電流を流す。上記のようにアース線6はフローティングとして機能することから、流入した電流に起因してアース線6には徐々に電荷が蓄積される。このため、アース線6の電位は0から上昇し、アース線6に接続された薄膜トランジスタ15のソース電極の電位 $V_s$ は0よりも大きな値となる。信号線7を介して供給されたゲート電極の電位 $V_g$ はほぼ一定に保持されているため、薄膜トランジスタ15におけるゲート・ソース間電圧( $=V_g - V_s$ )は、 $V_g$ よりも小さくなる。

【0042】

薄膜トランジスタ15がオン状態である限り電流源12からアース線6に対して電流が流入し続け、蓄積される電荷に基づいてアース線6の電位およびアース線6に接続された薄膜トランジスタ15のソース電極の電位 $V_s$ は上昇し続ける。一方、薄膜トランジスタ15のゲート電極の電位 $V_g$ はほぼ一定の値に維持されることからソース電極の電位 $V_s$ の上昇に応じてソース・ゲート間電圧は徐々に低下する。

【0043】

そして、薄膜トランジスタ15のソース・ゲート間電圧が薄膜トランジスタ15の閾値電圧まで低下すると、図3(c)に示すように、薄膜トランジスタ15がオフ状態となり電流源12からの電流の流入が停止するため、電位 $V_s$ の上昇も停止する。仮にこの時点のソース電極の電位 $V_s$ を $V_c$ とすると、薄膜トランジスタ15の閾値電圧は $V_g - V_c$ となる。

【0044】

電位 $V_g$ は信号線7から与えられるもので既知の値のため、電流源12からの電流の流入が停止した時点におけるソース電極の電位 $V_s (=V_c)$ の値を制御部8で検知することによって、薄膜トランジスタ15の閾値電圧を導出することが可能である。薄膜トランジスタ15がオン状態になってから再びオフ状態になるまでに要する時間は経験則上1秒程

度であることが知られており、実際にはオン状態になってから1秒程度経過した後にはアース電極の電位 $V_s$ を制御部8で検知することによって、閾値電圧の導出が行われる。

【0045】

次に、有機ELパネル1内に多数がマトリックス状に配置されたそれぞれの画素回路2における薄膜トランジスタ15のソース電極の電位を制御部8に伝達する構造について説明する。図4は、実施の形態1にかかる画像表示装置において、Yドライバ3を構成するYドライバユニット3nの構造を示す図であって、図4を参照して複数の画素回路に属するアース線から得られるソース電極の電位を制御部8へ伝達するメカニズムを説明する。

【0046】

Yドライバ3は、図4に示す構造の場合、マトリックス状に配置された画素回路2に対して複数の行に渡って制御するユニットを複数備えた構造を有する。ここでは便宜上、画素回路2は有機ELパネル1上に $M \times N$ 列配置され、Yドライバを構成するユニットにはそれぞれ $m$ 個 ( $m < M$ ) の行に渡って配置された複数の画素回路2に属する薄膜トランジスタ15のソース電極の電位 $V_s$ に対応したアナログ信号をアース線6を介して入力し、デジタル信号に変換するためのものである。また、図4に示すYドライバユニット3nは、前段に配置されるYドライバユニット3n-1 (図示省略)からの電気信号を入力可能であると共に、後段に配置されるYドライバユニット3n+1 (図示省略)に対して電気信号を出力している。

【0047】

Yドライバユニット3nは、走査線5に接続された走査線電位供給部18、アース線6と接続可能な定電位供給部19およびセクタ部21と、アース線6との接続を制御する切替部20とを備える。また、セクタ部21を通過したアナログ信号をデジタル信号に変換するA/Dコンバータ部23を備え、A/Dコンバータ部23で変換されたデジタル信号が外部に出力される構造を有する。

【0048】

セクタ部21とA/Dコンバータ部23との間に配置されたセクタ部22a~22cは、A/Dコンバータ部23に入力されるアナログ信号を選択するためのものである。上記のようにYドライバユニット3nは複数の行に渡って配置された画素回路からのデータを出力するものであって、かかる機能を実現するためにセクタ部22a~22cは、それぞれ異なるアース線からの電気信号を入力可能な構造を有する。かかるセクタ部22a~22cを順次選択して、入力された電気信号をA/Dコンバータ部23に入力することで、異なる行に配置された画素回路における電位 $V_s$ の値を連続データとして出力することが可能である。

【0049】

また、Yドライバユニット3nは、前段に配置されるYドライバユニット3n-1から出力された電気信号を中継して後段に配置されるYドライバユニット3n+1に出力する構造も有する。具体的には、Yドライバユニット3nは、A/Dコンバータ部23から出力される電気信号と、Yドライバユニット3n-1から入力された電気信号のいずれか一方を通過させるセクタ部24を備え、ラッチ部25がセクタ部24を制御する構造を有する。

【0050】

閾値電圧を測定する際におけるYドライバユニット3nの動作について説明する。まず、前段に配置されたYドライバユニット3n-1から入力された電気信号がセクタ部24およびラッチ部25を通過して後段に配置されたYドライバユニット3n+1に出力される。Yドライバユニット3n-1からの信号入力が終了した後、ラッチ部25の制御によってセクタ部24が切り替えられ、アース線6を介して画素回路2から入力された電気信号をA/Dコンバータ部23によってデジタル化し、セクタ部24、ラッチ部25を通過してYドライバユニット3n+1に出力される。ここで、セクタ部22a~22cは順次切り替わることによって異なる行に配置された画素回路からの電気信号を順次デジタル変換してYドライバユニット3n+1に出力する。

## 【0051】

すなわち、閾値電圧導出の際に、Yドライバユニット3nは、まず前段に位置するYドライバユニット3n-1で得られた電気信号を後段のYドライバユニット3n+1に伝送し、その後自身が得た電気信号をYドライバユニット3n+1に出力する。後段に配置されるYドライバユニット3n+1の動作も同様であって、まず前段のYドライバユニット3nから入力された電気信号を後段のYドライバユニット3n+2（図示省略）に伝送し、その後自身が得た電気信号をYドライバユニット3n+2に出力する。従って、Yドライバ3を構成するユニットのうち、最後段に位置するYドライバユニットからは、すべてのYドライバユニットで得られた電気信号が連続データとして制御部8に出力されることとなる。

## 【0052】

そして、制御部8において個々の画素回路におけるドライバ素子の閾値電圧が導出され、画素回路と対応づけられて記憶部9に記憶される。閾値電圧の導出としては、例えばあらかじめ記憶部9に閾値電圧導出の際における信号線7の電位 $V_g$ を記憶しておき、制御部8で $V_g - V_s$ の演算を行うことにより導出が可能である。画像表示を行う際には、かかる閾値電圧 $V_{th}$ と、映像信号供給部10から供給され、表示画像に対応したデータ電圧 $V_D$ とが加算部11で加算され、信号線7を介してそれぞれのドライバ素子に対して $V_D + V_{th}$ が与えられ、かかる電位に対応した輝度で有機EL素子が発光することとなる。

## 【0053】

次に、本実施の形態1にかかる画像表示装置の利点について説明する。まず、本実施の形態1にかかる画像表示装置は、有機ELパネル1に電圧補償回路を設けることなく閾値電圧を補償することが可能である。電圧補償回路を省略することが可能であるため、有機ELパネル1上で画素回路2の占有面積を大きくすることが可能である。従って、同一面積の有機ELパネル1上で画素回路2を多数配置することが可能となり、高精細な画像表示が可能な画像表示装置を実現することが可能となる。また、画素回路2を構成する薄膜トランジスタ、有機EL素子等を大型化することも可能であり、この場合、例えばチャンネル層の大きい薄膜トランジスタを配置することで高移動度のスイッチング素子を実現し、短時間で電位書き込みが可能な画像表示装置を実現することができる。

## 【0054】

さらに、電圧補償回路を省略することで有機ELパネル1の製造歩留まりを従来よりも向上させることができる。既に説明したように、電圧補償回路は2~3個の薄膜トランジスタを必要とするため、電圧補償回路を組み込んだ有機EL表示パネルを製造する際には、電圧補償回路を有さないものと比較して2倍以上の薄膜トランジスタを形成する必要がある。薄膜トランジスタの個数が増えるに従って製造歩留まりは低下することから、電圧補償回路を省略した本実施の形態1の場合、薄膜トランジスタの数を減らした分だけ製造歩留まりを向上させることができる。

## 【0055】

また、本実施の形態1にかかる画像表示装置は、アース線6を実質的にフローティングの状態として閾値電圧の導出を行っている。そのため、閾値電圧導出のために有機ELパネル1上に別途回路構造を設ける必要がないという利点も有する。アース線6は有機EL素子13のアノード側をグラウンドに電気的に接続するため従来から設けられているものであるため、アース線6を利用することで有機ELパネル1上に別途回路構造を設けることなく閾値電圧の導出が可能となる利点を有する。

## 【0056】

また、アース線6を利用することによる別の利点も存在する。本実施の形態1ではフローティングに対する電荷の蓄積を利用して閾値電圧を導出しているが、かかる態様の場合、フローティングに所望量の電荷が蓄積されるには一定の時間を必要とする。しかしながら、アース線6は多数の画素回路2によって形成される行ごとに存在し、マトリクス状に配置された画素回路2の行数と等しい本数だけ配置されている。それぞれのアース線6を



同時にフローティング状態とし、閾値電圧導出を行うための電荷の蓄積をアース線6ごと同時に行うことが可能である。また、同一列に属する画素回路は、同一の信号線7と電気的に接続されている。従って、同一の列に配置された画素回路に属するドライバ素子は、単一の信号線7から供給される電位によって同時にオンすることが可能であり、同一列に属する画素回路について、一度に閾値電圧の導出が可能である。

**【0057】**

また、本実施の形態1にかかる画像表示装置は、個々の画素回路におけるドライバ素子の閾値電圧を直接測定し、閾値電圧の変動を考慮した電位を信号線7から画素回路2に供給する構造を有する。このため、個々のドライバ素子の閾値電圧変動を正確に検知することが可能であって、閾値電圧の変動による有機EL素子13の輝度のばらつきを高い精度で抑制することが可能である。

**【0058】**

(実施の形態2)

次に、実施の形態2にかかる画像表示装置について説明する。本実施の形態2にかかる画像表示装置は、基本的な構造は実施の形態1と同様であるが、フローティング状態のアース線を利用した閾値電圧導出の際に、閾値電圧に到達する前にゲート・ソース間電圧を複数回測定し、測定データに所定の演算を施すことにより閾値電圧を導出する構造を有する。また、本実施の形態2では、閾値電圧のみならず、チャンネル層を流れる電流の値がゲート・ソース間電圧の値の変化に対してほぼ直線状に変化する範囲(以下、「直線領域」と称する。)における変化率の変動をも考慮して信号線7からドライバ素子に対して供給する電位を決定している。

**【0059】**

図5は、実施の形態2にかかる画像表示装置の構造を示す図である。図5に示すように、実施の形態2にかかる画像表示装置は、マトリックス状に配置された画素回路2を備えた有機ELパネル1と、有機ELパネル1に対して走査線5およびアース線6を介して接続されたYドライバ3と、信号線7を介して接続されたXドライバ4とを備える。また、本実施の形態2にかかる画像表示装置は、Yドライバ3からの電気信号を入力可能な制御部8と、制御部8から与えられた電気信号に基づいて所定の演算を行い、演算結果を制御部8に出力する演算部27と、制御部8を介して演算結果を入力して記憶し、制御部8の要求に従って演算結果を制御部8に出力する記憶部9とを備える。さらに、本実施の形態2にかかる画像表示装置は、表示画像に対応した電気信号を出力する映像信号供給部10と、映像信号供給部10から出力される電気信号と制御部8から出力される電気信号とを加算してXドライバ4に供給する加算部11とを備える。なお、本実施の形態2において、実施の形態1と同様の名称、符号を付したものは、以下で特に言及しない場合、実施の形態1と同等の構造および機能を有することとして説明を省略する。また、実施の形態2にかかる画像表示装置は、実施の形態1の場合と同様に、図2、図4に対応する構造を有することとする。

**【0060】**

本実施の形態2にかかる画像表示装置は、実施の形態1と同様に、閾値電圧導出の際にアース線6をフローティング状態とし、アース線6を介してドライバ素子たる薄膜トランジスタ15のソース電極の電位を利用して薄膜トランジスタ15の閾値電圧を導出している。しかしながら、本実施の形態2にかかる画像表示装置では、薄膜トランジスタ15がオフ状態になってからソース電極の電位を測定するのではなく、薄膜トランジスタ15がオン状態を維持している間、すなわち薄膜トランジスタ15のゲート・ソース間電圧が閾値電圧に到達する前にアース線6を介してソース電極の電位を複数回測定する。そして、得られたソース電極の電位に基づいて演算を行い、薄膜トランジスタ15の閾値電圧および直線領域における電圧-電流特性の傾斜の変動値を検出している。

**【0061】**

図6(a)～図6(c)は、本実施の形態2において薄膜トランジスタ15のソース電極の電位を測定する工程を示す図である。また、図7はソース電極の電位測定時における薄

膜トランジスタ15のソース電極の電位の変動およびゲート・ソース間電圧の変動を示すグラフである。図7において、曲線1<sub>1</sub>はソース電極の電位変動を示し、曲線1<sub>2</sub>はゲート・ソース間電圧変動を示している。以下、図6(a)～(c)および図7を参照してソース電極の電位測定について説明する。

【0062】

図6(a)に示すように、切替部20によってアース線6の接続先を制御部8に切り替えた上で走査線5の電位を上昇させ、スイッチング素子たる薄膜トランジスタ14をオン状態にする。そして、薄膜トランジスタ15のゲート電極は、信号線7から供給される電位V<sub>g</sub>を与えられてオン状態となり、有機EL素子13および薄膜トランジスタ15のチャネル層に電流が流れる。かかる電流に起因してフローティング状態となったアース線6に電荷が蓄積され、t=t<sub>1</sub>においてアース線6に接続された薄膜トランジスタのソース電極の電位V<sub>s</sub>は、V<sub>com</sub>(t<sub>1</sub>)となる。本実施の形態2におけるソース電極の電位V<sub>s</sub>の測定は、まずt=t<sub>1</sub>において行われ、V<sub>s</sub>=V<sub>com</sub>(t)が得られる

【0063】

そして、図6(b)に示すように、t=t<sub>1</sub>から所定時間だけ経過したt=t<sub>2</sub>において再びソース電極の電位測定を行う。t=t<sub>2</sub>に至るまでフローティング状態のアース線6には流入電流に起因して電荷がさらに蓄積されるため、t=t<sub>2</sub>においてはt=t<sub>1</sub>と比較して薄膜トランジスタ15のソース電極の電位V<sub>s</sub>も上昇する。このため、t=t<sub>2</sub>(>t<sub>1</sub>)の時点におけるソース電極の電位V<sub>s</sub>は、図7に示すように、V<sub>com</sub>(t<sub>1</sub>)と異なるV<sub>com</sub>(t<sub>2</sub>)となる。図6(b)に示す工程では、t=t<sub>2</sub>においてソース電極の測定を行い、以上でソース電極の測定を終了する。

【0064】

その後、図6(c)に示すように、薄膜トランジスタ15のソース電極の電位V<sub>s</sub>はさらに上昇し、電位V<sub>s</sub>の値がゲート電位V<sub>g</sub>との差分値が閾値電圧に等しいV<sub>c</sub>となった時点で薄膜トランジスタはオフ状態となる。図7に示すように、図6(c)に示す状態となるには1秒程度を要するが、上記のように本実施の形態2では図6(c)の状態となる前に測定を終了している。従って、薄膜トランジスタ15の閾値電圧導出に要する時間は1秒よりも短くなる。

【0065】

次に、図6(a)～図6(c)に示すソース電極の電位V<sub>s</sub>の測定結果に基づいて演算部27で行われる演算工程について説明する。薄膜トランジスタ15のソース電極の電位V<sub>s</sub>、薄膜トランジスタ15の閾値電圧V<sub>th</sub>および測定時において信号線7から供給される薄膜トランジスタ15のゲート電極の電位V<sub>g</sub>との間には、

$$V_s(t) = V_g - V_{th} - [(\beta t / 2C_p) + \{1 / (V_g - V_{th})\}]^{-1} \quad \dots (1)$$

の関係が存在する。ここで、C<sub>p</sub>は、薄膜トランジスタ15のソース電極およびソース電極と電気的に直接接続された(すなわち、同電位となる)配線等が有する容量の総和である。なお、電位V<sub>s</sub>の測定を行う際のゲート電極の電位V<sub>g</sub>は、薄膜トランジスタ15のソース・ドレイン間電圧V<sub>d</sub>に対して、V<sub>d</sub>>V<sub>g</sub>の関係を満たしている。本実施の形態2にかかる画像表示装置の場合、ソース電極に対してアース線6が電気的に直接接続されているため、アース線6と薄膜トランジスタ15のゲート電極との間に位置するコンデンサ16の容量の他、アース線6が他の配線構造との間に有する寄生容量17の容量等について合計した値となる。また、本実施の形態2では、一本のアース線6に対して同一の行に位置する画素回路2のすべてがコンデンサ16を備えた構造を有するため、これらの容量すべてについて和を取る必要がある。なお、本実施の形態2において、C<sub>p</sub>およびV<sub>g</sub>の値はあらかじめ記憶部9に記憶され、これらの値は演算を行う際に制御部8を介して演算部27に供給されることとする。

【0066】

また、(1)式において、係数βは薄膜トランジスタ15の移動度およびチャネル層の形状に基づいて決定される値である。かかる係数βおよび閾値電圧V<sub>th</sub>は薄膜トランジスタ

タの長期使用によって徐々に変動する値であるが、 $t_1 \leq t \leq t_2$ の間には変動を無視しても実質的に問題はなく、演算部27ではかかる時間範囲では時間依存性がないものとして計算される。

【0067】

(1)式において、 $C_p$ 、 $V_g$ は既知の値であって、 $V_s(t)$ は測定によって求められる値である。すなわち、 $C_p$ は回路構造から導出可能な値であって、ソース電極の電位を測定する時点では既知の値ととらえることができる。また、 $V_g$ は信号線7から供給される値であって、Xドライバ4によって制御される値であることから既知の値として扱うことができる。また、 $V_s(t)$ は図6(a)、図6(b)に示す工程で測定される値である。

【0068】

従って、(1)式で未知数となるのは $V_{th}$ および係数 $\beta$ である。このため、本実施の形態2では(1)式に異なる時刻 $t_1$ 、 $t_2$ における値を代入して $V_{th}$ および係数 $\beta$ を変数とする方程式を2式作成し、連立方程式を解くことによって $V_{th}$ および係数 $\beta$ を導出している。本実施の形態2にかかる画像表示装置では、以上の工程を演算部27で行うことによって薄膜トランジスタ15の閾値電圧を導出している。

【0069】

さらに、本実施の形態2にかかる画像表示装置は、演算部27で係数 $\beta$ を導出することによって長期使用によって変動する薄膜トランジスタ15の電気特性をより正確に補償することができる。長期使用によって薄膜トランジスタ15は閾値電圧のみならず、ゲート・ソース間電圧の変化に応じてチャネル層を流れる電流値が変化する直線領域の傾斜も変化する。従って、チャネル層を流れる電流値を均一に保持するためにはかかる傾斜の変化も考慮して信号線7から供給する電位を決定する必要がある。長期の使用に起因した傾斜の変化は係数 $\beta$ の初期値 $\beta_0$ と係数 $\beta$ の差分値に比例し、より正確には直線領域における傾斜の変化量 $\Delta a$ は、

$$\Delta a = (\beta - \beta_0) / 2\beta_0 \quad \dots (3)$$

で与えられる。従って、信号線7から供給される電位 $V_g$ の値に対して、特性変動が生じた薄膜トランジスタ15では係数 $\beta$ の変動を補償するために $(-\Delta a \times V_g)$ の電位を加える必要がある。すなわち、閾値電圧の変動と係数 $\beta$ の変動を考慮すると、実際に信号線7から薄膜トランジスタ15のゲート電極に供給する電位 $V_g$ は、

$$V_g = V_{th} + V_D - \{(\beta - \beta_0) / 2\beta_0\} \times V_g \quad \dots (4)$$

の関係式を満たす必要がある。(4)式を $V_g$ について解くと、

$$V_g = (V_{th} + V_D) \times \{2\beta_0 / (\beta_0 + \beta)\} \quad \dots (5)$$

となる。本実施の形態2にかかる画像表示装置では、演算部27で導出された $V_{th}$ 、係数 $\beta$ と、映像信号供給部10から供給される $V_D$ とに基づいて、加算部11は(5)式に従って $V_g$ を導出し、かかる $V_g$ に対応した電気信号をXドライバ4に供給している。

【0070】

本実施の形態2にかかる画像表示装置の利点を説明する。まず、本実施の形態2にかかる画像表示装置は、実施の形態1と同様に、電圧補償回路を省略することが可能であるため、高精細の画像表示が可能な画像表示装置の実現や、有機EL素子や薄膜トランジスタ等を大型化する事が可能である。また、薄膜トランジスタの個数を低減することが可能であるため、製造歩留まりを向上させることができる。さらには、アース線6を利用して有機ELパネル1の外部で閾値電圧を検知することで閾値電圧検出のために有機ELパネル1内に特別な回路を設ける必要がなく、アース線6が多数設けられるため、一度に多数の薄膜トランジスタの閾値電圧を導出することが可能である。

【0071】

また、本実施の形態2にかかる画像表示装置は、薄膜トランジスタ15がオフ状態となる前にソース電極の電位を検出することによって、さらに短時間で閾値電圧を導出することが可能である。すなわち、薄膜トランジスタ15が一度オンした後にオフするまでには通常1秒程度の時間を必要とする。一方、本実施の形態2では、図7に例示するように時刻

$t_1$ 、 $t_2$ は0.2秒程度となっている。実際には図7の例よりも短い時間で複数回のソース電極の電位を検知することが可能であり、例えば0.01秒程度で必要な回数のソース電極の電位を検知が可能である。従って薄膜トランジスタ15がオフ状態となった後にソース電極の電位を検知する場合と比較して必要な時間は1/100程度となり、きわめて短時間で閾値電圧を導出することが可能となる。例えば本実施の形態2にかかる画像表示装置がSXGAの場合であっても、すべての画素回路に属するドライバ素子の閾値電圧の導出に要する時間は1.5秒以下となる。

#### 【0072】

さらに、本実施の形態2にかかる画像表示装置は、閾値電圧のみならず係数 $\beta$ の値も導出することとしたため、薄膜トランジスタ15の電圧-電流特性の直線領域における傾斜の変動も補償することが可能である。具体的には(3)式に示す傾斜の変化量 $\Delta a$ の分だけ信号線7から供給する電位 $V_g$ を補償することによって、薄膜トランジスタ15の特性変動をより正確に補償することが可能である。

#### 【0073】

(実施の形態3)

次に、実施の形態3にかかる画像表示装置について説明する。実施の形態3にかかる画像表示装置は、基本的な構造は実施の形態1および実施の形態2と同様であるが、フローティング状態のアース線を利用して薄膜トランジスタのソース電極を測定した後、データベースを参照して薄膜トランジスタの閾値電圧および係数 $\beta$ を導出して信号線から供給する電位を調整する構造を有する。

#### 【0074】

図8は、実施の形態3にかかる画像表示装置の全体構造を示す図である。図8に示すように、本実施の形態3にかかる画像表示装置は、マトリックス状に配置された画素回路2を備えた有機ELパネル1と、有機ELパネル1に対して走査線5およびアース線6を介して接続されたYドライバ3と、信号線7を介して接続されたXドライバ4とを備える。また、本実施の形態3にかかる画像表示装置は、Yドライバ3からの電気信号を入力可能な制御部8と、制御部8に入力された電気信号の値に基づいて閾値電圧および係数 $\beta$ の値を参照可能なデータベース28と、データベース28を参照することによって得られた閾値電圧および計数係数 $\beta$ の値を記憶する記憶部9とを備える。さらに、表示画像に対応した電気信号を出力する映像信号供給部10と、映像信号供給部10から出力される電気信号とを加算してXドライバ4に供給する加算部11とを備える。なお、実施の形態3において、実施の形態1および実施の形態2と同様の名称、符号を付したものは以下で特に言及しない限り、実施の形態1等と同等の構造および機能を有することとして説明を省略する。

#### 【0075】

本実施の形態3にかかる画像表示装置は、実施の形態1および実施の形態2と同様に、閾値電圧導出の際にアース線6をフローティング状態とし、アース線6を介してドライバ素子たる薄膜トランジスタ15のソース電極の電位を測定している。しかしながら、本実施の形態3にかかる画像表示装置は、実施の形態1および実施の形態2と異なり、ゲート・ソース間電圧が閾値電圧に到達する前に測定を行った後、測定結果に基づいてデータベース28を参照する事によって閾値電圧および係数 $\beta$ を導出している。

#### 【0076】

データベース28のデータ構造としては様々な態様が考えられるが、一例として測定開始後所定時間経過したソース電極の電位に対して閾値電圧および係数 $\beta$ が記録された構造が考えられる。薄膜トランジスタ15のチャンネル層の形状およびチャンネル層を形成するシリコンの結晶構造等が既知の場合、閾値電圧および係数 $\beta$ の変動パターンへの傾向は経験則上ある程度明らかであるため、仮にソース電極の電位を複数回測定しなくとも閾値電圧および係数 $\beta$ の値を一定の精度で導出することが可能である。もちろん、複数回測定し、かかる測定結果に基づいてデータベース28を参照することとしても良い。そして、導出した閾値電圧および係数 $\beta$ の値を用いて加算部11において(5)式に基づいた計算を行い、

導出した結果をXドライバ4に出力することで、薄膜トランジスタ15の特性変動を補償した電位V<sub>g</sub>を供給することが可能となる。

【0077】

データベース28を参照するにあたって用いるパラメータとしては、ソース電極の電位以外のものも用いることとしても良い。例えば、薄膜トランジスタ15の特性は使用期間、より正確には薄膜トランジスタ15のチャネル層を通過したキャリアの量に応じて変化する。このため、ソース電極の電位に加えて使用期間、使用時にチャネル層を通過する電流量の平均値等をあらかじめ導出して記憶部に記憶し、かかる値も参照パラメータとして使用することによってさらに精度の高い閾値電圧等の導出が可能となる。また、実施の形態1と同様の手法によって閾値電圧V<sub>th</sub>を導出し、閾値電圧V<sub>th</sub>の値を用いてデータベース28を参照して係数βを導出することとしても良い。

【0078】

以上説明したように、本実施の形態3にかかる画像表示装置は、実施の形態1および実施の形態2における利点に加えて、データベース28を用いることによって、ソース電極の電位測定に要する時間および回数を減少させることが可能となる。また、閾値電圧および係数βを導出するために演算を行う必要がないため、簡易な構造の画像表示装置を実現することができる。

【0079】

以上、本発明について実施の形態1～3に渡って説明したが、本発明は上記記載内容に限定されるのではなく、当業者であれば様々な実施例、変形例等に想到する事が可能である。例えば、実施の形態1～3では、画像表示装置がYドライバ3およびXドライバ4とは別に制御部8等を設けた構造を有する。しかしながら、制御部8等をYドライバ3内またはXドライバ4内に設けることとしても良い。

【0080】

また、実施の形態2および実施の形態3では、閾値電圧のみならず係数βも導出することとしている。しかしながら、簡易な構造で画像表示装置を実現する場合には係数βの導出を省略し、閾値電圧の変動のみを考慮して信号線7から供給する電位V<sub>g</sub>を決定することとしても良い。有機EL素子13の輝度に与える影響は係数βの変動よりも閾値電圧の変動の方が大きいいため、閾値電圧変動のみを考慮しても一定の精度で有機EL素子13の輝度を均一化することが可能なためである。

【0081】

また、実施の形態1～3では電流発光素子として有機EL素子を用いたが、電流発光素子を例えば無機EL素子、発光ダイオード等としても良い。具体的には、流入する電流の値に応じて輝度が変化する発光素子であれば、本発明における画像表示装置に使用することが可能である。また、ドライバ素子のソース電極の電位測定に用いる配線構造についても、アース線6を利用するのではなく別途配線構造を設けることも可能である。

【0082】

さらに、本発明においてドライバ素子は、チャネル層がアモルファスシリコンによって形成される薄膜トランジスタであることを前提にしている。しかしながら、チャネル層がポリシリコンによって形成される薄膜トランジスタによってドライバ素子が形成される場合にも本発明を適用することが可能である。ポリシリコンを用いてチャネル層を形成した場合、粒径等のばらつきにより画素ごとに薄膜トランジスタの特性にばらつきが生じる。かかる薄膜トランジスタの特性のばらつきを補償するために本発明を適用することで、有機EL素子等の電流発光素子の輝度を均一化することが可能である。

【0083】

また、実施の形態1～3ではドライバ素子として薄膜トランジスタを使用している。しかしながら、かかる構造以外であっても、少なくとも2端子を有し、かかる2端子間に印加される電圧によって通過電流を制御可能な構造のものであれば本発明を適用することが可能である。

【0084】

## 【発明の効果】

以上説明したように、この発明によれば、ドライバ素子をオンした状態で電流源からドライバ素子に電流を流入させ、第2の端子に接続された導電部材に蓄積された電荷に起因した電位に基づいて閾値電圧を導出することとしたため、電圧補償回路を設けずに閾値電圧の導出を行うことができるという効果を奏する。

## 【0085】

また、この発明によれば、ドライバ素子がオフ状態となった時点における前記導電部材の電位に基づいて閾値電圧を導出することとしたため、実際の閾値電圧に対応した電位を利用することが可能となり、正確な閾値電圧の導出ができるという効果を奏する。

## 【0086】

また、この発明によれば、ドライバ素子がオフ状態となる前の任意の3以上の時刻における導電部材の電位を用いて閾値電圧を導出することとしたため、短時間で閾値電圧を導出することができるという効果を奏する。

## 【0087】

また、この発明によれば、電流通過部分に関係した係数を導出することとしたため、かかる係数を用いてより正確にドライバ素子の特性変動を補償することができるという効果を奏する。

## 【図面の簡単な説明】

【図1】実施の形態1にかかる画像表示装置の全体構造を示す図である。

【図2】画像表示装置を構成する画素回路および画素回路の周辺回路との関係を示す図である。

【図3】(a)～(c)は、実施の形態1にかかる画像表示装置の動作を説明するための図である。

【図4】画像表示装置を構成するYドライバユニットの構造を示す図である。

【図5】実施の形態2にかかる画像表示装置の全体構造を示す図である。

【図6】(a)～(c)は、実施の毛板2にかかる画像表示装置の動作を説明するための図である。

【図7】閾値電圧導出時におけるドライバ素子たる薄膜トランジスタのソース電極の時間変化と、ゲート・ソース間電圧の時間変化を示すグラフである。

【図8】実施の形態3にかかる画像表示装置の全体構造を示す図である。

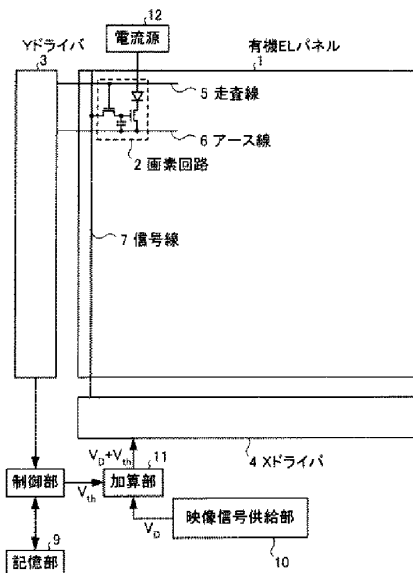
【図9】従来技術にかかる画像表示装置を構成する画素回路の構造を示す等価回路図である。

## 【符号の説明】

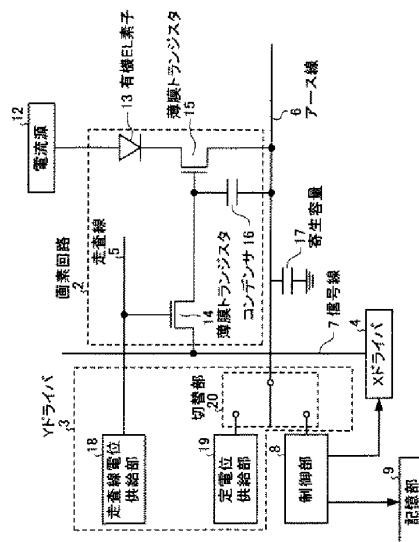
1	有機ELパネル
2	画素回路
3	Yドライバ
3 n	Yドライバユニット
4	Xドライバ
5	走査線
6	アース線
7	信号線
8	制御部
9	記憶部
10	映像信号供給部
11	加算部
12	電流源
13	有機EL素子
14	薄膜トランジスタ
15	薄膜トランジスタ
16	コンデンサ

- 17 寄生容量
- 18 走査線電位供給部
- 19 定電位供給部
- 20 切替部
- 21 セレクタ部
- 22 a セレクタ部
- 23 コンバータ部
- 24 セレクタ部
- 25 ラッチ部
- 27 演算部
- 28 データベース
- 101 信号線
- 102 薄膜トランジスタ
- 103 コンデンサ
- 104 薄膜トランジスタ
- 105 素子
- 106 走査線

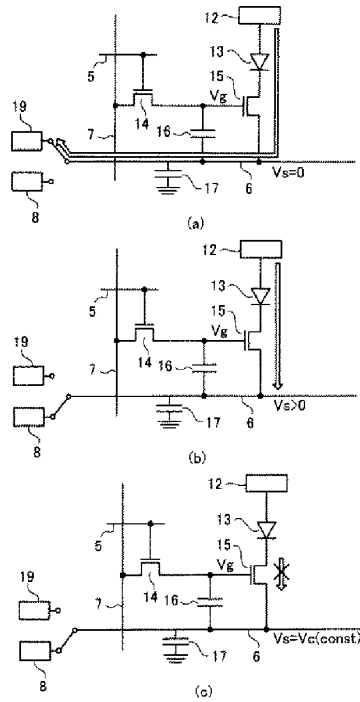
【図1】



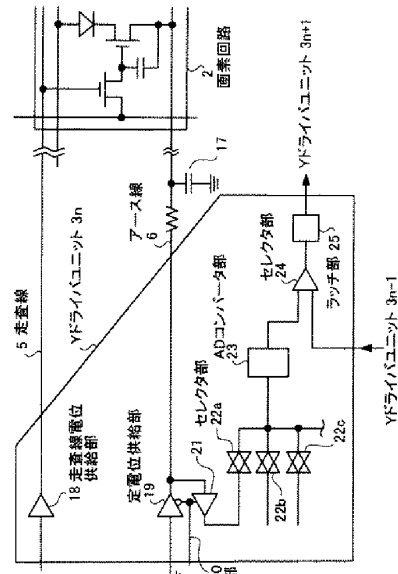
【図2】



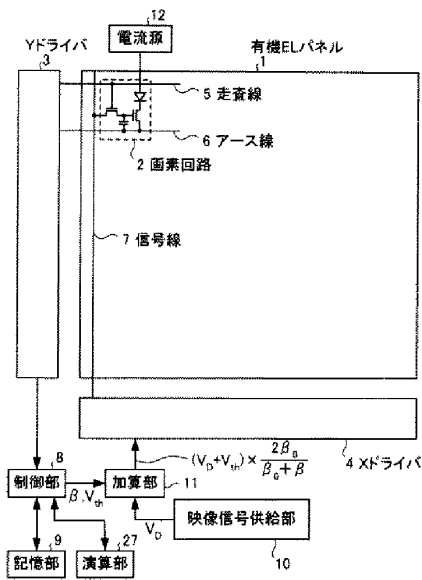
【図3】



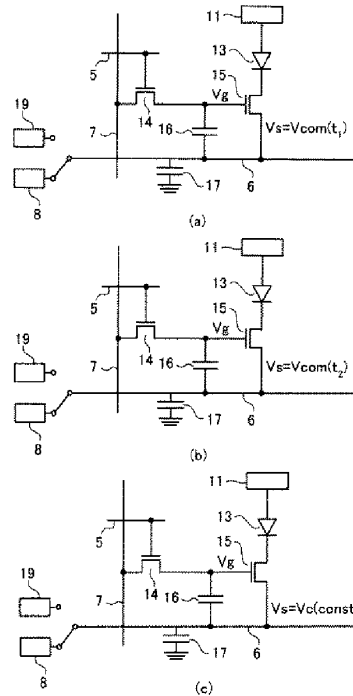
【図4】



【図5】

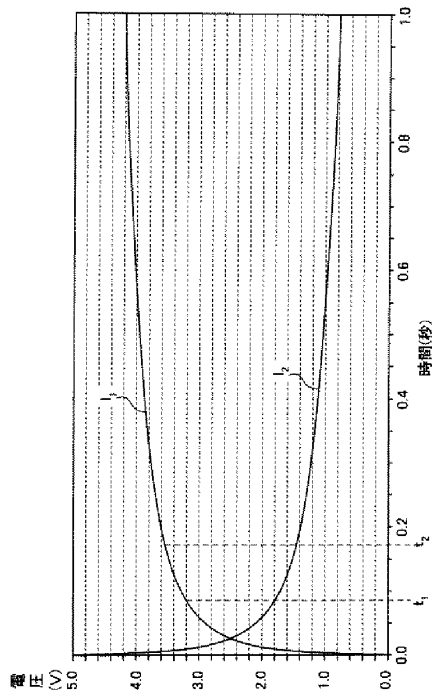


【図6】

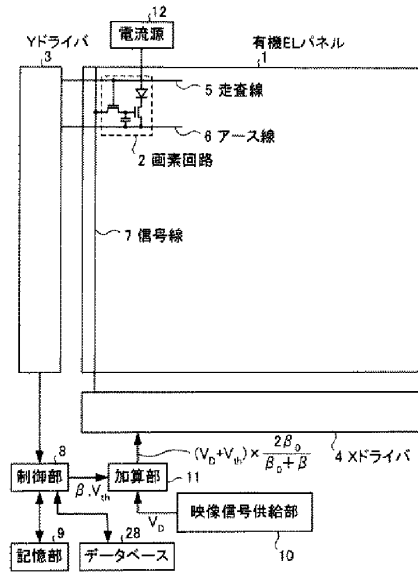




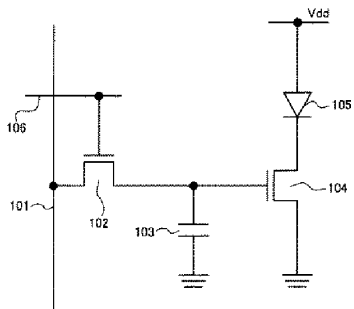
【図7】



【図8】



【図9】



(51)Int.Cl.<sup>7</sup>

F I

テーマコード (参考)

G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 3 1 U
G 0 9 G	3/20	6 4 1 D
G 0 9 G	3/20	6 4 2 A
G 0 9 G	3/20	6 4 2 C
G 0 9 G	3/20	6 7 0 K
H 0 5 B	33/14	A

(72)発明者 小林 芳直

神奈川県大和市下鶴間1623番地14 インターナショナル ディスプレイ テクノロジー株式  
会社 大和事業所内

Fターム(参考) 3K007 AB17 BA06 DB03 GA00

5C080	AA06	BB05	DD04	DD05	DD22	DD28	DD29	EE29	FF03	FF11
	GG12	HH09	JJ02	JJ03	JJ05					
5C094	AA04	AA07	AA48	AA54	AA55	AA56	BA03	BA27	CA19	CA25
	DA09	DB01	DB05	EA04	FA01	FB01	FB12	FB14	FB15	FB20
	GA10									

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2007-519956

(P2007-519956A)

(43) 公表日 平成19年7月19日(2007.7.19)

(51) Int. Cl.	F I	テーマコード (参考)
<b>G09G 3/30 (2006.01)</b>	G09G 3/30 J	3K107
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 611H	5C080
<b>H01L 51/50 (2006.01)</b>	G09G 3/20 642A	
	G09G 3/20 641D	
	G09G 3/20 624B	

審査請求 未請求 予備審査請求 未請求 (全 14 頁) 最終頁に続く

(21) 出願番号 特願2006-548495 (P2006-548495)  
 (86) (22) 出願日 平成17年1月4日 (2005.1.4)  
 (85) 翻訳文提出日 平成18年7月6日 (2006.7.6)  
 (86) 国際出願番号 PCT/IB2005/050029  
 (87) 国際公開番号 WO2005/069267  
 (87) 国際公開日 平成17年7月28日 (2005.7.28)  
 (31) 優先権主張番号 0400216.8  
 (32) 優先日 平成16年1月7日 (2004.1.7)  
 (33) 優先権主張国 英国 (GB)

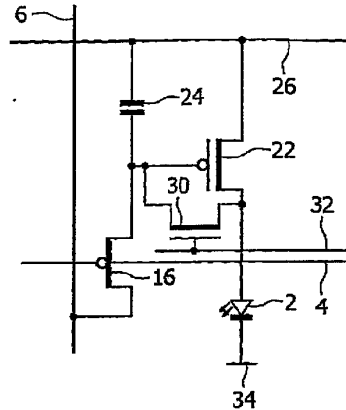
(71) 出願人 590000248  
 コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ  
 オランダ国 5621 ペーアー イン  
 ドーフェン フルーネヴァウツウェッハ  
 1  
 (74) 代理人 100070150  
 弁理士 伊東 忠彦  
 (74) 代理人 100091214  
 弁理士 大貫 進介  
 (74) 代理人 100107766  
 弁理士 伊東 忠重

最終頁に続く

(54) [発明の名称] 電界発光表示装置のための閾値電圧補償方法

(57) 【要約】

アクティブマトリクス電界発光表示装置は、駆動トランジスタ (22) のゲートとドレインとの間に接続された短絡トランジスタ (30) を有する。データライン (6) の電圧を測定するための手段 (12) が設けられる。短絡トランジスタ (30) は、それがオフに切り替わるまで、駆動トランジスタ (22) のゲートの電圧を放電するために使用される。結果として得られる電圧をアドレストランジスタ (16) を介してデータライン (6) に蓄えることによって、データラインは、閾値測定のための制御/測定ラインの1つとして使用される。



## 【特許請求の範囲】

## 【請求項 1】

表示画素の配列を有するアクティブマトリクス電界発光表示装置であって、  
夫々の画素は：  
電界発光（E L）表示素子；  
該表示素子に電流を流す駆動トランジスタ；  
データラインから前記駆動トランジスタのゲートへ画素駆動信号を供給するアドレスト  
ランジスタ；及び  
前記駆動トランジスタのゲートとドレインとの間に接続された短絡トランジスタ、  
を有し、  
当該表示装置は、前記データラインの電圧を測定する手段を更に有することを特徴とす  
る装置。

10

## 【請求項 2】

前記 E L 表示素子及び前記駆動トランジスタは、第 1 及び第 2 の電源ラインの間に直列  
に接続されることを特徴とする請求項 1 記載の装置。

## 【請求項 3】

前記第 2 の電源ラインの電圧は、2 つの値の間で切替え可能であり、  
前記 2 つの値のうちの 1 つは、前記 E L 表示素子をオフとすることを特徴とする請求項  
2 記載の装置。

## 【請求項 4】

前記データラインは、該データラインへ接続された画素へ電圧を供給する電圧駆動モー  
ドと、アドレス指定された画素の前記駆動トランジスタのゲートの電圧へと浮くことがで  
きる浮動モードとの間で切替え可能であることを特徴とする請求項 1 乃至 3 のうちいずれ  
か一項記載の装置。

20

## 【請求項 5】

夫々の画素は：  
前記表示素子が無効にされ、前記アドレストランジスタがオンとされ、前記短絡ラン  
ジスタがオンとされるところの第 1 の閾値電圧測定モード；及び  
前記表示素子が有効にされ、前記アドレストランジスタがオンとされ、前記短絡ラン  
ジスタがオフとされるところの第 2 の画素駆動モード；  
から成る 2 つモードで動作可能であることを特徴とする請求項 1 乃至 4 のうちいずれか  
一項記載の装置。

30

## 【請求項 6】

前記第 1 の閾値電圧測定モードの期間において、第 1 の期間の間に、所定の電圧は、電  
流が前記駆動トランジスタに流されるように前記データラインへ印加され、第 2 の期間の  
間に、前記データラインは、該データラインの電圧が前記駆動トランジスタのゲート電圧  
に実質的に追従するように浮くことができることを特徴とする請求項 5 記載の装置。

## 【請求項 7】

前記駆動トランジスタは、ポリシリコン T F T であることを特徴とする請求項 1 乃至 6  
のうちいずれか一項記載。

40

## 【請求項 8】

前記駆動トランジスタは、低温ポリシリコン T F T であることを特徴とする請求項 7 記  
載の装置。

## 【請求項 9】

前記駆動トランジスタのゲートとソースとの間に蓄積キャパシタを更に有する請求項 1  
乃至 8 のうちいずれか一項記載の装置。

## 【請求項 10】

電界発光（E L）表示素子と、該表示素子に電流を流す駆動トランジスタとを有する、  
アクティブマトリクス電界発光表示装置の画素をアドレス指定する方法であって：  
前記表示素子を実効にするステップ；

50

第1の電圧をデータラインへ印加するステップ；  
前記駆動トランジスタのゲートとドレインとの間に接続された短絡トランジスタと、前記駆動トランジスタのゲートと前記データラインとの間に接続されたアドレスタランジスタとにより、前記駆動トランジスタに電流を流すステップ；  
前記データラインを電氣的に浮かせるステップ；  
前記データライン上の電圧を測定するステップ；及び  
前記データライン上で測定された電圧を用いて、前記駆動トランジスタへ印加されるべきデータ電圧を変更するステップ；  
を有する方法。

【請求項11】

前記表示素子を無効にするステップは、前記表示素子の端子へ無効電圧を印加するステップを有することを特徴とする請求項10記載の方法。

【請求項12】

前記表示素子を無効にするステップは、前記表示素子の端子へ無効電圧を印加するステップを有し、該ステップは全ての表示素子に共通することを特徴とする請求項11記載の方法。

【請求項13】

前記短絡トランジスタがオフとされた状態で、前記表示素子を有効にし、前記データライン上の前記変更されたデータ電圧により前記画素をアドレス指定するステップを更に有する請求項10乃至12のうちいずれか一項記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電界発光表示装置、具体的には、夫々の画素に結合された薄膜スイッチングトランジスタを有するアクティブマトリクス表示装置に関する。

【背景技術】

【0002】

電界発光や光放射型の表示素子を用いるマトリクス表示装置が良く知られる。前記表示素子は、例えばポリマー材料を用いる有機薄膜電界発光素子、又は従来のIII-V族半導体化合物を用いる発光ダイオード(LED)を有しても良い。有機電界発光物質、特にポリマー材料における最近の発展は、特に映像表示装置に使用されるべきそれらの能力を実証している。一般的に、これらの物質は、一対の電極間に挟まれた半導体共役高分子の1又はそれ以上の層を有する。一対の電極の1つは透明であり、他は空孔又は電子を高分子層に入れるのに適した物質から成る。

【0003】

ポリマー材料は、CVD処理、又は、簡単に、水溶性共役高分子の溶液を用いるスピニング技術によって作られ得る。また、インクジェット印刷が使用されても良い。有機電界発光物質は、それらが表示機能及びスイッチング機能の両方を提供する能力を有するように、ダイオードのようなI-V特性を示し、従って、パッシブ型表示装置において使用可能である。代替的には、これらの物質は、表示素子と、表示素子を流れる電流を制御するスイッチングデバイスとを夫々が有する画素を有するアクティブマトリクス表示装置に用いられても良い。

【0004】

この形式の表示装置は電流駆動式表示素子を有するので、従来のアナログ駆動方式は、表示素子へ制御可能な電流を供給する。画素構造の一部として電流源トランジスタを設けることが知られる。この電流源トランジスタへ供給されるゲート電圧は、表示素子を流れる電流を決める。蓄積キャパシタは、アドレス指定相の後にゲート電圧を保持する。

【0005】

図1は、アクティブマトリクスアドレス指定型電界発光表示装置用の既知の画素回路を示す。表示装置は、規則正しく間隔を空けられた画素の行及び列のマトリクス配列を有す

10

20

30

40

50

るパネルを有する。該画素は、ブロック1によって表わされ、結合される切替え手段と共に電界発光表示素子2を有し、行(選択)及び列(データ)のアドレス導電体4及び6の交差する組の間の共通部分に置かれている。簡単のため、数個の画素しか図には示されていない。実際には、画素の数百の行及び列が存在しうる。画素1は、行走査ドライバ回路8及び列データドライバ回路9を含む周辺の駆動回路によって、行及び列のアドレス導電体の組を介してアドレス指定される。これらのドライバ回路は、導電体の夫々の組の終端に接続されている。

#### 【0006】

電界発光表示素子2は、ここではダイオード素子(LED)として表わされ、有機電界発光物質の1又はそれ以上のアクティブ層が挟まれた一対の電極を有する有機発光ダイオードを有する。前記配列の表示素子は、結合されるアクティブマトリクス回路と共に絶縁支持材の一方の側に載せられている。表示素子の陰極又は陽極のいずれか一方は、透明な導電物質で形成されている。支持材は、例えばガラスのような透明な物質から作られ、基板に最も近い表示素子2の電極は、例えばITOのような透明な導電物質から成っても良い。従って、電界発光層より発せられる光は、支持材の他の側において観測者に対して可視的であるようにこれらの電極及び支持材を介して伝達される。一般的に、有機電界発光物質層の厚さは、100nmから200nmの間である。素子2に使用可能な適切な有機電界発光物質の代表実施例は、EP-A-0717446において知られ、記述されている。WO96/36959に記述されるような共役高分子材も使用可能である。

#### 【0007】

図2は、電圧プログラム式動作を提供する既知の画素及び駆動回路配置を簡単な回路図形式で示す。夫々の画素1は、EL表示素子2と、結合されるドライバ回路とを有する。ドライバ回路は、行導電体4の行アドレスパルスによりオンとされるアドレスタランジスタ16を有する。アドレスタランジスタ16がオンとされると、列導電体6の電圧は、残りの画素へ伝わる事ができる。具体的には、アドレスタランジスタ16は、列導電体電圧を電流源20へ供給する。電流源20は、駆動トランジスタ22と、蓄積キャパシタ24とを有する。列電圧は、駆動トランジスタ22のゲートへ供給され、ゲートは、行アドレスパルスが終了した後でさえ、蓄積キャパシタ24によってこの電圧に保たれる。駆動トランジスタ22は、電源ライン26から電流を引き込む。

#### 【0008】

この回路内の駆動トランジスタ22は、PMOSTFTとして実施されているので、蓄積キャパシタ24は、ゲートソース間電圧を一定に保つ。これにより、トランジスタ22を流れる一定のソースドレイン間電流が得られる。従って、トランジスタ22は、画素の所望の電流源動作を提供する。

【特許文献1】EP-A-0717446

【特許文献2】WO96/36959

【発明の開示】

【発明が解決しようとする課題】

#### 【0009】

特にポリシリコン薄膜トランジスタを用いる電圧プログラム式画素に伴う1つの問題は、基板全体に亘って異なるトランジスタ特性(具体的には閾値電圧)が、ゲート電圧とソースドレイン間電流との間の異なった関係と、表示された画像結果におけるアーティファクトを引き起こすことである。

#### 【0010】

様々な技術が、このような閾値電圧のばらつきを補償するために提案されてきた。幾つかの技術は、駆動トランジスタ閾値電圧の画素内での測定を実行し、この閾値電圧を画素駆動信号に加える。従って、結合された駆動電圧は、閾値電圧を考慮する。これを実行する画素回路は、2つの蓄積キャパシタを必要とする。蓄積キャパシタのうちの1つは、閾値電圧用であり、他は、画素駆動電圧用である。更なるスイッチングトランジスタは、また、閾値電圧が、例えば、駆動トランジスタがオフとなるまで駆動トランジスタのゲート

ソース間の静電容量を放電することによって測定されることを可能にするために、必要とされる。

【0011】

他の提案されている技術は、画素配列の外部から閾値電圧を測定し、画素駆動信号を調整することにより閾値電圧を補償する。このような画素回路は、やはり、閾値電圧が決定されることを可能にするよう信号が外部回路へ供給されることを可能にするために、異なる構成要素を必要とする。例えば、2つの駆動電圧（駆動トランジスタの飽和領域内外）において画素電流を測定し、それらから閾値電圧（及び移動度）を推定することが提案されてきた。これは、より複雑な画素回路はもちろん、より複雑な画素駆動方式をもたらす

10

【0012】

これは、画素内部での補償を提供する回路素子の必要性を回避するが、閾値電圧情報が簡単な駆動方式により外部測定回路へ供給されることを可能にする簡単な画素回路を依然として必要とする。画素回路の如何なる単純化も、大型の表示装置の製造に関する問題を低減し、生産を改善する。更に、画素回路の構成要素の数の低減は、（画素回路の構造に依存して）画素の開口が増大することを可能にし、画素回路に必要される空間の縮小は、解像度が増大することを可能にする。

【課題を解決するための手段】

【0013】

本発明に従って、表示画素の配列を有するアクティブマトリクス電界発光表示装置であ

20

って、夫々の画素は：

電界発光（EL）表示素子；

該表示素子に電流を流す駆動トランジスタ；

データラインから前記駆動トランジスタのゲートへ画素駆動信号を供給するアドレストランジスタ；及び

前記駆動トランジスタのゲートとドレインとの間に接続された短絡トランジスタを有し

、当該表示装置は、前記データラインの電圧を測定する手段を更に有することを特徴とする装置が提供される。

【0014】

この画素配置は、1つの異なるトランジスタ（前記短絡トランジスタ）が、駆動トランジスタがオフとなるまで駆動トランジスタのゲートの電圧を放電するために使用されることを可能にする。結果として生じる電圧を（前記アドレストランジスタを介して）データラインに蓄えることによって、データラインは、閾値測定のための制御／測定ラインの1つとして使用される。これは、画素の複雑性を低減する。

30

【0015】

望ましくは、前記EL表示素子及び前記駆動トランジスタは、第1及び第2の電源ラインの間に直列に接続され、前記第2の電源ラインの電圧は、2つの値の間で切替え可能である。前記2つの値のうちの1つは、前記EL表示素子をオフとする。先と同じく、これは、（特に）共通の陰極ラインが閾値測定動作のための制御ラインの1つとして使用されることを可能にし、やはり、画素回路の如何なる異なる複雑性も制限する。

40

【0016】

望ましくは、前記データラインは、該データラインへ接続された画素へ電圧を供給する電圧駆動モード（通常画素駆動モード）と、浮動モードとの間で切替え可能である。前記浮動モードにおいて、前記データラインは、アドレス指定された画素の前記駆動トランジスタのゲートの電圧へと浮くことができる。従って、結果として生じるゲート電圧は、データライン、具体的には、既存の列静電容量に蓄えられる。

【0017】

従って、夫々の画素は、2つのモードで動作可能である。第1の閾値電圧測定モードでは、前記表示素子が無効にされ、前記アドレストランジスタがオンとされ、前記短絡ト

50

ンジスタがオンとされる。前記駆動トランジスタの電流は、ゲートへ短絡され、従って、ゲート電圧は、前記駆動トランジスタがオフに切り替わる（p形デバイスである場合）まで上昇する。第2の画素駆動モードでは、前記表示素子が有効にされ、前記アドレストランジスタがオンとされ、前記短絡トランジスタがオフとされる。これは、通常駆動モードである。

**【0018】**

前記第1の閾値電圧測定モードの期間において、第1の期間の間に、所定の電圧は、電流が前記駆動トランジスタに流されるように前記データラインへ印加され、第2の期間の間に、前記データラインは、該データラインの電圧が前記駆動トランジスタのゲート電圧に実質的に追従するように浮くことができる。このように、前記第1の期間は、電流が前記駆動トランジスタを介して供給されることを可能にする。前記第2の期間は、結果として生じるゲート電圧が前記データラインに蓄えられた状態で、前記駆動トランジスタが上述したようにオフとされることを可能にする。

10

**【0019】**

望ましくは、前記駆動トランジスタは、例えばp形低温ポリシリコンTFTのような、ポリシリコンTFTである。

**【0020】**

望ましくは、蓄積キャパシタは、前記駆動トランジスタのゲートとソースとの間にある。

**【0021】**

本発明は、また、電界発光（EL）表示素子と、該表示素子に電流を流す駆動トランジスタとを有する、アクティブマトリクス電界発光表示装置の画素をアドレス指定する方法を提供する。当該方法は：

前記表示素子を無効にするステップ；

第1の電圧をデータラインへ印加するステップ；

前記駆動トランジスタのゲートとドレインとの間に接続された短絡トランジスタと、前記駆動トランジスタのゲートと前記データラインとの間に接続されたアドレストランジスタとにより、前記駆動トランジスタに電流を流すステップ；

前記データラインを電氣的に浮かせるステップ；

前記データライン上の電圧を測定するステップ；及び

前記データライン上で測定された電圧を用いて、前記駆動トランジスタへ印加されるべきデータ電圧を変更するステップ；

30

**【0022】**

この方法は、本発明の装置の動作を提供する。

**【0023】**

望ましくは、前記表示素子を無効にするステップは、例えば共通の陰極端子のような、前記表示素子の端子へ無効電圧を印加するステップを有する。

**【0024】**

望ましくは、当該方法は、前記短絡トランジスタがオフとされた状態で、前記表示素子を有効にし、前記データライン上の前記変更されたデータ電圧により前記画素をアドレス指定するステップを更に有する。

40

**【発明を実施するための最良の形態】****【0025】**

本発明を、一例として添付の図面を参照して説明する。

**【0026】**

同じ参照番号が、異なる図において同じ構成要素に対して使用されており、このような構成要素の説明は繰り返さないこととする。

**【0027】**

本発明は、1つの更なるトランジスタが、画素配列の外部から閾値電圧測定機能を提供

50



するために、駆動トランジスタのゲートとドレインとの間に接続されるところの表示画素回路を提供する。

【0028】

図3は、本発明に従う画素配置を示す。図2の従来の画素の場合と同じく、画素は電圧によりアドレス指定され、蓄積キャパシタ24は、画素アドレス指定相の後、駆動トランジスタ22のゲートの電圧を保持する。

【0029】

図2の標準的な画素配置と比べて、本発明は、駆動トランジスタ22のゲートとドレインとの間に接続された1つの更なる短絡トランジスタ30を設ける。これは、更なる制御ライン32によって制御される。本発明は、また、以下の回路の動作に関する記述から明らかとなるように、2つの電圧の間で切替え可能であるよう共通の陰極端子34を必要とする。

【0030】

短絡トランジスタ30は、それがオフに切り替わるまで、駆動トランジスタ22のゲートの電圧を放電するために使用される。この放電動作は、蓄積キャパシタ24の両端の電圧が閾値電圧に達するまで、蓄積キャパシタ24からの充電の除去を行う。データラインにおいて結果として生じる電圧は、オフとされたアドレストランジスタを介して測定される。

【0031】

図3の回路の動作について、図4のタイミング図を参照して説明する。図4は、駆動トランジスタの閾値電圧が測定されるアドレス指定周期の一部のみを示す。

【0032】

プロット1は、アドレストランジスタ16の動作を示す。アドレスパルスの前に（又は同時に）、陰極ライン34は、表示素子に逆バイアスがかけられることを確実にすることによって、表示素子を無効にするよう高電位にされる。

【0033】

短絡トランジスタ30がオンとされると、第1の電圧が、期間40の間、データライン6へ印加される。この電圧は、電流が駆動トランジスタ22に流され得ることを確実にする。プロット32に示されるように短絡トランジスタ30がオンとされている場合に、それは、電源ライン26から、駆動トランジスタ22とアドレストランジスタ16とを介して、データライン6へと続く経路を提供する。明らかであるように、データライン6の電圧は、接地でありうる。

【0034】

電流フローが駆動トランジスタ22を介して確立されると、データラインは、データラインを高インピーダンス状態に置くことによって浮かされる。データラインは、画素の列の列導電体であり、列容量に結合されている。

【0035】

駆動トランジスタ22のゲート電圧は、キャパシタ24によって保持されているので、駆動トランジスタ22は導通状態のままであり、ドレインソース間電流の経路は、短絡トランジスタ30及びキャパシタ24を通る。これは、キャパシタの両端の（以前は、第1の電圧、例えば接地と、電源ライン電圧との間の差であった）電圧降下を低減する効果を有する。キャパシタの両端の電圧が閾値電圧まで放電すると、（ゲートの電圧が上昇しているとしても、）駆動トランジスタ22はオフに切り替わり、これ以上電流は流れない。従って、キャパシタ24は、閾値電圧を蓄え、この電圧は列容量へと伝送される。

【0036】

駆動トランジスタ22は、大きな閾値以下の電流を有しうるので、実際には、列容量は、比較的ゆっくりと充電し、電源ライン電圧に達するまで充電し続ける。

【0037】

データラインの電圧は、閾値電圧が決定されることを可能にするよう測定される。上述した閾値以下の電流を考慮して、データライン電圧は、電圧が駆動トランジスタのスイッ

チオフに対応するゲート電圧で安定する時間を有すると直ぐに測定される。この時間は、データラインが浮くことができるようになった後約1msであってても良く、42に示される期間の範囲内にある。

**【0038】**

閾値電圧が決定されると、画素へ印加されるべき画素データ電圧は変更される。これは、列ドライバ回路において実行され得、デジタル又はアナログ領域で実行され得る。如何に画素データ信号が表示装置への印加の前に変更され得るかは、当業者には直ぐに理解されるであろう。幾つかの場合において、フィールド記憶が、全ての閾値が補償前に得られるように必要とされても良く、あるいは、測定の直後に印加されるべきデータ電圧を補正することが可能であっても良い。

10

**【0039】**

ここで明らかであるように、本発明は、図2の標準的な画素回路に対して僅かな変更しか必要としない。1つの特別な短絡トランジスタに加えて、切替え可能な共通の陰極端子が必要とされる。

**【0040】**

データ入力ラインの高インピーダンス状態は、電圧測定回路のみならず、画素配列の外側、具体的には列ドライバ回路において実施される。この回路は、別の基板上にあっても良い。一方、液晶シリコンでは、LPTS処理を用いて、列ドライバ機能の幾つか又は全てが、また、画素配列と同じ基板上で実施されうる。

20

**【0041】**

本発明は、ポリシリコン駆動トランジスタ（例えば、低温ポリシリコンTF T）の閾値電圧変動を補償することができる。

**【0042】**

当該回路は、上記において、p形駆動トランジスタを使用する。当然、等価なn形の実施がある。

**【0043】**

本発明の画素回路からの閾値電圧測定の処理は、様々な方法で実行可能である。測定された閾値電圧は、D/A変換又はアナログ領域の前で、画素データ信号にデジタル式に結合される。この結合は、表示装置へ画像データを供給する際の遅延が最小限に保たれるように、閾値電圧測定の直後に起こることができる。

30

**【0044】**

図5は、列ドライバ回路の可能な構造の一例を示す。回路は、夫々の列に対して出力スイッチ40によって決定される2つのモードで動作可能である。

**【0045】**

検知モードの間に、スイッチ40は、電圧検知回路42を有する検知回路へ列6を接続する。検知回路42は、検知期間の終了時に列の電圧を測定する。次に、検知回路42はこのデータをフレーム記憶44へ送る。フレーム記憶44は、表示装置内の全ての駆動TF Tの閾値電圧を記憶する。

**【0046】**

画素駆動モードの間に、スイッチ40は、列駆動回路46へ列6を接続する。次に、画素に対するデータは、列ドライバ46へ供給され、フレーム記憶44は、対応する閾値電圧を供給する。これらは、データと閾値電圧オフセットとの和を得るために、加算器48によって合計される。この結合信号は、列ドライバ46へ送られる。これは、アナログ実施であるが、測定された閾値電圧は、デジタル領域での画素データによる処理のために等しくデジタル化されうる。

40

**【0047】**

閾値測定は、画像データのフレーム毎に一度実行されるので、閾値測定周期は、全てのアドレス指定相の一部である。この場合に、閾値測定動作は、画素駆動動作の前にある。

**【0048】**

50

しかし、閾値測定は、必要とされる補償が、差分エージングよりも、基板全体に亘るばらつきにより由来するので、しばしばこれを実行される必要がない。従って、閾値測定は、表示周期の開始時に、例えば表示がオンとされる度に実行され得る。

【0049】

本発明の画素回路へ印加される特定の電圧については、詳細に説明していない。また、詳細なタイミング条件についても説明していない。これらは、全て、当業者にとってのルーチン設計パラメータである。

【0050】

列ドライバの例は、列電圧検知回路を、列電圧を測定するための手段として示す。この回路は、様々な形をとることができ、この目的のための多数の特定の回路が、当業者には理解されるであろう。

【0051】

様々な他の変形は、当業者には明らかであろう。

【図面の簡単な説明】

【0052】

【図1】 既知のEL表示装置を示す。

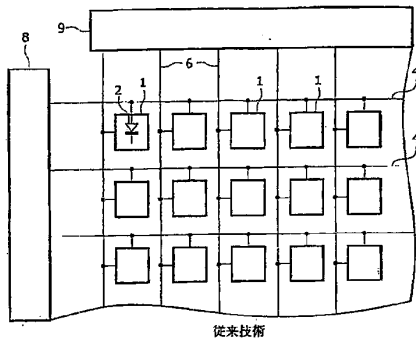
【図2】 入力駆動電圧を用いてEL表示画素を電流アドレス指定するための既知の画素回路の回路図である。

【図3】 本発明の表示装置用の画素配置の回路図を示す。

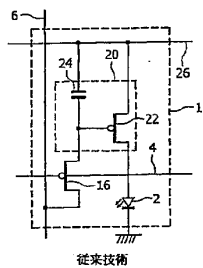
【図4】 図3の回路の動作に関するタイミング図を示す。

【図5】 本発明の表示装置内で使用される列ドライバ回路の1つの可能な設計を示す。

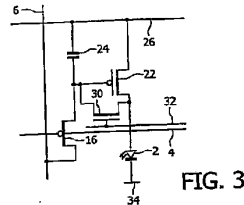
【図1】



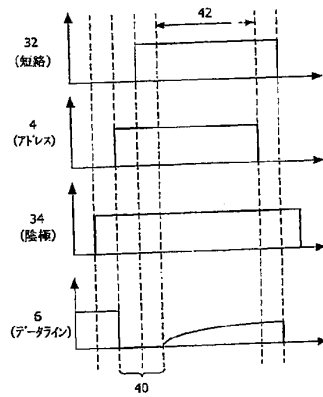
【図2】



【図3】



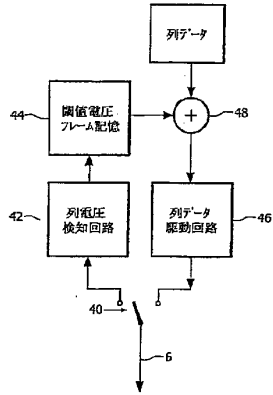
【図4】



10

20

【図5】



## 【国際調査報告】

INTERNATIONAL SEARCH REPORT		International Application No. PCT/IB2005/050029
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G09G3/32		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 G09G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the International search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data, PAJ		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, X	US 2004/017161 A1 (CHOI JEUNG-HIE) 29 January 2004 (2004-01-29) the whole document	1, 2, 4, 5, 7-9
X	WO 98/48403 A (SARNOFF CORPORATION) 29 October 1998 (1998-10-29) page 3, lines 19-34 page 6, line 20 - page 8, line 2 figure 3	1-3, 5, 7-9
A	US 5 751 279 A (OKUMURA ET AL) 12 May 1998 (1998-05-12) abstract	1-13
-/-		
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C.		<input checked="" type="checkbox"/> Patent family members are listed in annex.
* Special categories of cited documents:		
*A* document defining the general state of the art which is not considered to be of particular relevance		*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
*E* earlier document but published on or after the international filing date		*X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
*L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)		*Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
*O* document referring to an oral disclosure, use, exhibition or other means		*Z* document member of the same patent family
*P* document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search 13 April 2005	Date of mailing of the international search report 20/04/2005	
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL-2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax (+31-70) 340-3018	Authorized officer van Wesenbeeck, R	

Form PCT/ISA/210 (second sheet) (January 2004)

INTERNATIONAL SEARCH REPORT

International Application No  
PCT/IB2005/050029

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 03/038798 A (CAMBRIDGE DISPLAY TECHNOLOGY LIMITED; SMITH, EUAN, CHRISTOPHER; ROUTLE) 8 May 2003 (2003-05-08) page 11, lines 21-23 page 15, line 27 - page 16, line 3	1-13

Form PCT/ISA/210 (continuation of second sheet) (January 2004)

## INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No  
PCT/IB2005/050029

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 2004017161	A1	29-01-2004	NONE	
WO 9848403	A	29-10-1998	US 6229506 B1 EP 0978114 A1 JP 2002514320 T WO 9848403 A1	08-05-2001 09-02-2000 14-05-2002 29-10-1998
US 5751279	A	12-05-1998	JP 2848139 B2 JP 6035414 A	20-01-1999 10-02-1994
WO 03038798	A	08-05-2003	GB 2381644 A EP 1444683 A2 WO 03038798 A2 US 2005007353 A1	07-05-2003 11-08-2004 08-05-2003 13-01-2005

Form PCT/ISA/210 (patent family annex) (January 2004)

## フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 2 4 D
	G 0 9 G 3/20	6 2 3 C
	G 0 9 G 3/20	6 2 3 D
	G 0 9 G 3/20	6 2 1 K
	G 0 9 G 3/20	6 4 2 P
	G 0 9 G 3/20	6 4 1 P
	G 0 9 G 3/20	6 5 0 M
	G 0 9 G 3/20	6 7 0 Q
	H 0 5 B 33/14	A

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(72)発明者 チャイルズ, マーク ジェイ  
イギリス国, サリー アールエイチ 1 5エイチエイ, レッドヒル, クロス・オーク・レーン, フィリップス インテレクチュアル プロパティ アンド スタンダーズ内 (希地なし)

Fターム(参考) 3K107 AA01 BBO1 CC33 CC36 CC42 CC45 EE04 HH02 HH05  
5C080 AA06 BBC5 DD04 DD05 DD15 EE29 FF03 FF11 GG12 GG15  
GG17 HH09 JJ02 JJ03 JJ04



(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2008-504576  
(P2008-504576A)

(43) 公表日 平成20年2月14日(2008.2.14)

(51) Int.Cl.	F I	テーマコード (参考)
<b>GO9G 3/30 (2006.01)</b>	GO9G 3/30 J	3K107
<b>GO9G 3/20 (2006.01)</b>	GO9G 3/20 624B	5C080
<b>HO1L 51/50 (2006.01)</b>	GO9G 3/20 641D	
	GO9G 3/20 642P	
	GO9G 3/20 631H	

審査請求 未請求 予備審査請求 未請求 (全 27 頁) 最終頁に続く

(21) 出願番号 特願2007-518427 (P2007-518427)  
 (86) (22) 出願日 平成17年6月28日(2005.6.28)  
 (85) 翻訳文提出日 平成19年2月23日(2007.2.23)  
 (86) 国際出願番号 PCT/CA2005/001007  
 (87) 国際公開番号 WO2006/000101  
 (87) 国際公開日 平成18年1月5日(2006.1.5)  
 (31) 優先権主張番号 2,472,671  
 (32) 優先日 平成16年6月29日(2004.6.29)  
 (33) 優先権主張国 カナダ(CA)

(71) 出願人 503297235  
 イグニス イノベーション インコーポレ  
 ーテッド  
 IGNIS INNOVATION IN  
 C.  
 カナダ国 エヌ2エル 3ジー1 オンタ  
 リオ州、ウォータールー、カルペッパ  
 ードライブ 55  
 55 Culpepper Drive,  
 Waterloo, Ontario  
 N2L 3G1, Canada

(74) 代理人 100097490  
 弁理士 細田 益移  
 (74) 代理人 100113354  
 弁理士 石井 総

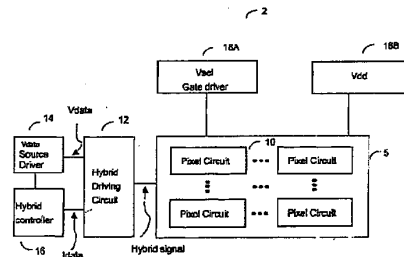
最終頁に続く

(54) 【発明の名称】 電流駆動型 AMOLED 表示器のための電圧プログラム方法

(57) 【要約】

AMOLED 表示器を駆動するシステム及び方法が提供される。該 AMOLED 表示器は複数のピクセル回路を含んでいる。該表示器を駆動するために、電圧プログラム方法、電流プログラム方法又はこれらの組み合わせが適用される。閾値情報、及び/又はハイブリッド駆動回路を得るために要する電圧を取得することができる。電流/電圧関係を取得するためにデータサンプリングを実施することができる。ピクセルの輝度を補正するために帰還動作を実施することができる。

【選択図】 図 1



## 【特許請求の範囲】

## 【請求項 1】

各々が有機発光ダイオード（O L E D）と複数の薄膜トランジスタ（T F T）とを有するような複数のピクセル回路を含む表示器を駆動するシステムにおいて、

データノードを介して前記ピクセル回路をプログラムするための電圧を発生する電圧ドライバと、

前記データノードを介して前記ピクセル回路をプログラムするための電流を発生するプログラマブル電流源と、

前記データドライバ又は前記電流源を、前記データノードを介して 1 以上のピクセル回路に選択的に接続するスイッチングネットワークと、

を有するシステム。

10

## 【請求項 2】

請求項 1 に記載のシステムにおいて、前記スイッチングネットワークが、

前記電圧ドライバを 1 以上のピクセル回路に接続する第 1 スイッチと、

前記電流源を 1 以上のピクセル回路に接続する第 2 スイッチと、

を含むようなシステム。

## 【請求項 3】

請求項 2 に記載のシステムにおいて、前記スイッチングネットワークが、

前記第 1 及び第 2 スイッチの動作を制御するシフトレジスタ、

を含むようなシステム。

20

## 【請求項 4】

請求項 1 に記載のシステムにおいて、

前記ピクセル回路の前記データノード上の電圧をサンプリングするアナログ／デジタル変換器、

を更に有するようなシステム。

## 【請求項 5】

請求項 1 に記載のシステムにおいて、

前記データノードにおけるプログラム電流と、このデータノードにおけるプログラム電流に関連する該データノード上のプログラム電圧との間の関係を表す電流／電圧情報を記憶するルックアップテーブル、

を更に有するようなシステム。

30

## 【請求項 6】

請求項 5 に記載のシステムにおいて、

前記ルックアップテーブルを訂正するために、前記ピクセル回路の前記データノードにおいて消費される電流又は前記ピクセル回路の前記データノードにおける電圧を感知する感知ネットワーク、

を更に有するようなシステム。

## 【請求項 7】

請求項 5 に記載のシステムにおいて、

電圧に基づくプログラミングの間において前記電圧情報を補正するモジュール、

を更に有するようなシステム。

40

## 【請求項 8】

請求項 1 に記載のシステムにおいて、

前記ピクセル回路から前記 T F T の閾電圧を取得するプログラミング回路であって、アナログ閾電圧情報をデジタル閾電圧情報に変換するアナログ／デジタル変換器を有し、前記ピクセル回路を前記デジタル閾電圧情報と入力ビデオ情報に関連する電圧とに基づいてプログラムするようなプログラミング回路、

を更に有するようなシステム。

## 【請求項 9】

有機発光ダイオード（O L E D）と複数の薄膜トランジスタ（T F T）とを有するよう

50

なピクセル回路を駆動するシステムにおいて、

前記ピクセル回路外の外部駆動回路を用いて、前記ピクセル回路のデータノードを事前充電及び放電し、該データノードから前記TFTの閾電圧情報を取得する事前充電コントローラと、

前記ピクセル回路を、前記取得された閾電圧情報と前記ピクセル回路において表示されるビデオデータの情報とに基づいてプログラムするハイブリッド駆動回路と、を有するシステム。

【請求項10】

請求項9に記載のシステムにおいて、前記ハイブリッド駆動回路が前記データノードに結合されたキャパシタを含み、該キャパシタが前記ピクセル回路の外部に配置されるようなシステム。

10

【請求項11】

請求項9に記載のシステムにおいて、前記ハイブリッド駆動回路が、前記データノードにおける前記閾電圧情報をサンプリングするサンプリング回路と、前記ビデオデータの電圧と前記サンプリングされた閾電圧情報とを加算する加算器と、前記加算器の出力端を前記データノードに選択的に接続するスイッチと、を含むようなシステム。

【請求項12】

請求項9に記載のシステムにおいて、前記ハイブリッド駆動回路が、前記閾電圧情報をデジタル閾電圧情報に変換するアナログ/デジタル変換器と、前記デジタル閾電圧情報を記憶すると共に、該デジタル閾電圧情報と前記電圧とを加算するマイクロコンピュータと、前記マイクロコンピュータから出力される加算結果をアナログデータに変換すると共に、該アナログデータを前記データノードに供給するデジタル/アナログ変換器と、を含むようなシステム。

20

【請求項13】

請求項9に記載のシステムにおいて、前記ピクセル回路をプログラムするために前記データノードにおける電流を供給するプログラミング回路、を更に有するようなシステム。

30

【請求項14】

請求項9に記載のシステムにおいて、前記ハイブリッド駆動回路が、電圧プログラムモード及び電流プログラムモードのうち的一方を選択し、該選択されたプログラムモードによりピクセルをプログラムするスイッチングマトリクスを含むようなシステム。

【請求項15】

有機発光ダイオード(OLED)と複数の薄膜トランジスタ(TFT)とを有するようなピクセル回路を駆動するシステムにおいて、前記ピクセル回路のデータノードから、該ピクセル回路をプログラムするために要する電圧をサンプリングするサンプルと、前記ピクセル回路を、前記サンプリングされた電圧と前記ピクセル回路において表示されるビデオデータ情報とに基づいてプログラムするプログラミング回路と、を有するようなシステム。

40

【請求項16】

請求項15に記載のシステムにおいて、校正モードの間において前記ピクセル回路に電流を供給する電流源と、前記データノードに供給されるプログラミング電流と該電流に関連する前記サンプリングされた電圧との間の関係を表すような電流/電圧情報を記憶するルックアップテーブルと、を更に有するようなシステム。

【請求項17】

50

請求項 16 に記載のシステムにおいて、前記ルックアップテーブルが各ピクセル回路に対して作成されるようなシステム。

【請求項 18】

請求項 16 に記載のシステムにおいて、

データソースからのデータを、前記データノードを電流でプログラムすることにより得られた前記電流／電圧情報に基づいて補正する補正計算モジュール、  
を更に有し、

書込モードの間において、前記補正されたデータに関連する電圧が前記データノードを介して前記ピクセル回路に供給されるようなシステム。

【請求項 19】

請求項 16 に記載のシステムにおいて、

前記 T F T の閾電圧ズレを、前記データノードを介して電流でプログラムすることにより得られた前記サンプリングされた電圧に基づいて導出するモジュール、  
を更に有するようなシステム。

【請求項 20】

請求項 15 に記載のシステムにおいて、

電流と前記データノードを介して該電流を前記ピクセル回路にプログラムするのに要する電圧との間の関係を表す電流／電圧曲線を記憶するルックアップテーブルと、

前記電流／電圧曲線を、前記ピクセル回路において現在表示されている情報に関連する前記サンプリングされた電圧に基づいて補正するモジュールと、  
を更に有し、

書込モードの間において、プログラムされるべき電圧が前記電流／電圧曲線に基づいて決定されるようなシステム。

【請求項 21】

請求項 20 に記載のシステムにおいて、前記ルックアップテーブルが各ピクセル回路に対して作成されるようなシステム。

【請求項 22】

請求項 20 に記載のシステムにおいて、

前記 T F T の閾電圧ズレを前記補正された電流／電圧曲線に基づいて導出するモジュール、  
を更に有するようなシステム。

【請求項 23】

請求項 1 ないし 22 の何れか一項に記載のシステムにおいて、該システムが電流プログラム型ピクセル回路及び電圧プログラム型ピクセル回路に適用可能であるようなシステム。

【請求項 24】

請求項 1 ないし 22 の何れか一項に記載のシステムにおいて、前記 T F T がアモルファスシリコン、ポリシリコン（n 型又は p 型）、結晶性シリコン又は有機型 T F T を含むようなシステム。

【請求項 25】

請求項 1 ないし 22 の何れか一項に記載のシステムにおいて、前記 O L E D が N I P 又は P I N O L E D を含み、1 以上の駆動 T F T のソース又はドレインに配置可能であるようなシステム。

【請求項 26】

有機発光ダイオード（O L E D）と複数の薄膜トランジスタ（T F T）とを有するようなピクセル回路を駆動する方法において、

ピクセル回路を選択すると共に該ピクセル回路のデータノードを該データノードに接続された外部回路を用いて事前充電するステップと、

該事前充電されたデータノードを放電させるステップと、

10

20

30

40

50

前記放電させるステップを介して前記TFTの閾電圧を導出するステップと、  
前記ピクセル回路を、プログラミングデータを前記導出された閾電圧に基づき外部補償回路を用いて補償するステップを含んでプログラムするステップと、  
を有するような方法。

【請求項27】

請求項26に記載の方法において、前記導出するステップが、  
前記閾電圧をサンプリングするステップと、  
前記サンプリングされた閾電圧を記録するステップと、  
を含み、前記補償するステップが前記記録されたサンプリングされた閾電圧を利用するよ  
うな方法。

10

【請求項28】

請求項27に記載の方法において、前記プログラムするステップが、  
続いて、前記ピクセル回路を前記データノードを介して前記記録された閾電圧に基づい  
て外部回路を用いてプログラムするステップ、  
を含んでいるような方法。

【請求項29】

請求項26に記載の方法において、前記プログラムするステップが、  
情報を前記ピクセル回路に電流プログラム方法及び電圧プログラム方法を用いてプログラ  
ムするステップ、  
を含むような方法。

20

【請求項30】

有機発光ダイオード(OLED)と複数の薄膜トランジスタ(TFT)とを有するよう  
なピクセル回路を駆動する方法において、  
前記ピクセル回路のデータノードから、該ピクセル回路をプログラムするために要する  
電圧をサンプリングするステップと、  
前記ピクセル回路を、前記サンプリングされた電圧と前記ピクセル回路において表示さ  
れる情報とに基づいてプログラムするステップと、  
を有するような方法。

【請求項31】

請求項30に記載の方法において、  
校正モードをイネーブルすると共に、電流プログラム方法を前記ピクセル回路に対し実  
施するステップ、  
を更に有し、  
前記サンプリングするステップが、前記校正モードの間においてサンプリング動作を実  
施するような方法。

30

【請求項32】

請求項31に記載の方法において、  
前記サンプリングするステップに基づいて、前記データノードを介してピクセルをプロ  
グラムするために使用された電流と該電流に関連するサンプリングされた電圧とを表す電  
流/電圧補正情報を記憶したルックアップテーブルを作成するステップ、  
を更に有し、  
前記プログラムするステップが、データソースからのデータを前記電流/電圧補正情報  
に基づいて補正するステップを含んでいるような方法。

40

【請求項33】

請求項30に記載の方法において、  
電流と該電流を前記ピクセル回路にプログラムするために要する電圧とを表す電流/電  
圧補正情報を記憶するステップと、  
前記電流/電圧補正情報を、前記ピクセル回路において現在表示されている情報に関連  
する前記サンプリングされた電圧に基づいて補正するステップと、  
を更に有するような方法。

50

## 【請求項 3 4】

請求項 1 に記載のスイッチングネットワークを実施化するためのハイブリッド駆動回路において、該ハイブリッド駆動回路が、増加された輝度均一さを達成するために前記ピクセル回路へのデータ、選択又は電源入力タイミングを使用する駆動方法、電流又は電圧帰還を用いる駆動方法、及び光学帰還を用いる駆動方法を含む駆動方法に適用可能であるようなハイブリッド駆動回路。

## 【請求項 3 5】

請求項 9 又は請求項 1 5 に記載のシステムを実施化するためのハイブリッド駆動回路において、該ハイブリッド駆動回路が、増加された輝度均一さを達成するために前記ピクセル回路へのデータ、選択又は電源入力タイミングを使用する駆動方法、電流又は電圧帰還を用いる駆動方法、及び光学帰還を用いる駆動方法を含む如何なる駆動方法にも適用可能であるようなハイブリッド駆動回路。

10

## 【請求項 3 6】

請求項 1 ないし 2 2 の何れか一項に記載のシステムにおいて、前記 O L E D の材料が蛍光体、燐光体、ポリマ又は dendrimer を含むようなシステム。

## 【発明の詳細な説明】

## 【技術分野】

## 【0 0 0 1】

本発明は、表示技術に係り、より特定的にはピクセル回路を駆動するための技術に関する。

20

## 【背景技術】

## 【0 0 0 2】

アクティブマトリクス型有機発光ダイオード (A M O L E D) 表示器が従来技術において良く知られている。A M O L E D 表示器は種々のツールにおいてフラットパネルとして益々使用されている。

## 【0 0 0 3】

A M O L E D 表示器は、電圧プログラム型表示器又は電流プログラム型表示器のいずれかとして分類される。電圧プログラム型表示器は、データが表示器に電圧として供給されるような電圧プログラム方法により駆動される。電流プログラム型表示器は、データが表示器に電流として供給されるような電流プログラム方法により駆動される。

30

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0 0 0 4】

電流プログラム方法の利点は、電圧プログラム方法よりもピクセルの輝度が時間にわたり一層一定のままとなるようなピクセル設計を容易化することができることである。しかしながら、電流プログラム方法は、列に関連するキャパシタを充電するのに一層長い時間を必要とする。

## 【0 0 0 5】

従って、電流駆動型 A M O L E D 表示器を駆動する新たな方法であって、高速度及び高品質を保証するような方法を提供したいという要求が存在する。

40

## 【課題を解決するための手段】

## 【0 0 0 6】

本発明は、A M O L E D 表示器におけるピクセル回路を駆動するシステム及び方法に関するものである。

## 【0 0 0 7】

本発明のシステム及び方法は、電流駆動型 A M O L E D 表示器に対して電圧プログラム方法を使用する。

## 【0 0 0 8】

本発明の一態様によれば、各々が複数の薄膜トランジスタ (T F T) と有機発光ダイオード (O L E D) とを有するような複数のピクセル回路を含む表示器を駆動するシステム

50

であって、前記ピクセル回路をプログラムするための電圧を発生する電圧ドライバと、前記ピクセル回路をプログラムするための電流を発生するプログラマブル電流源と、前記データドライバ又は前記電流源を1以上のピクセル回路に選択的に接続するスイッチングネットワークとを含むようなシステムが提供される。

【0009】

本発明の他の態様によれば、複数の薄膜トランジスタ（TFT）と有機発光ダイオード（OLED）とを有するようなピクセル回路を駆動するシステムであって、前記ピクセル回路のデータノードを事前充電及び放電して該データノードから前記TFTの閾電圧情報を得る事前充電コントローラと、前記ピクセル回路を前記得られた閾電圧情報及び該ピクセル回路上に表示されるビデオデータ情報に基づいてプログラムするハイブリッド駆動回路とを含むようなシステムが提供される。

10

【0010】

本発明の他の態様によれば、複数の薄膜トランジスタ（TFT）と有機発光ダイオード（OLED）とを有するようなピクセル回路を駆動するシステムであって、前記ピクセル回路のデータノードから該ピクセル回路をプログラムするのに要する電圧をサンプリングするサンプラと、前記ピクセル回路を前記サンプリングされた電圧及び該ピクセル回路上に表示されるビデオデータ情報に基づいてプログラムするプログラミング回路とを含むようなシステムが提供される。

【0011】

本発明の他の態様によれば、複数の薄膜トランジスタ（TFT）と有機発光ダイオード（OLED）とを有するようなピクセル回路を駆動する方法であって、ピクセル回路を選択すると共に該ピクセル回路のデータノードを事前充電するステップと、該事前充電されたデータノードが放電されるのを可能にするステップと、該放電ステップを介して前記TFTの閾電圧を導出するステップと、該導出された閾電圧に基づいてプログラミングデータを補償するステップを含み前記ピクセル回路をプログラムするステップとを含むような方法が提供される。

20

【0012】

本発明の上記概要は必ずしも本発明の全てのフィーチャを記述したものではない。

【0013】

本発明のこれら及び他のフィーチャは、添付図面を参照する下記の説明から一層明らかとなるであろう。

30

【発明を実施するための最良の形態】

【0014】

本発明の実施例を、AMOLED表示器を用いて説明する。以下に述べる駆動方法は、電流プログラム（駆動）型ピクセル回路及び電圧プログラム（駆動）型ピクセル回路に適用可能である。

【0015】

更に、以下に述べるハイブリッド技術は、a) 増加された輝度均一性を達成するためにピクセルに対するデータ、選択又は電源入力の複雑なタイミングを使用するような如何なる駆動方法、b) 電流又は電圧帰還を使用するような如何なる駆動方法、c) 光学的帰還を使用するような如何なる駆動方法をも含む如何なる既存の駆動方法にも提供することもできる。

40

【0016】

ピクセル回路の発光材料は、特定的には有機発光ダイオード（OLED）技術、特に（限定されるものではないが）蛍光体（fluorescent）、燐光体（phosphorescent）、ポリマ及びデンドリマ（dendrimer）材料等の如何なる技術のものとすることもできる。

【0017】

図1を参照すると、本発明の一実施例によりAMOLED表示器5を駆動するシステム2が図示されている。AMOLED表示器5は複数のピクセル回路を含んでいる。図1には、一例として4つのピクセル回路10が示されている。

50

## 【0018】

システム2は、ハイブリッド駆動回路12と、電圧ソースドライバ14と、ハイブリッドプログラミングコントローラ16と、ゲートドライバ18Aと、電源18Bとを含んでいる。ピクセル回路10は、ゲートドライバ18A (Vsel) により選択され、ノードVdataを使用する電圧モードにより、又はノードIdataを使用する電流モードによりプログラムされる。ハイブリッド駆動回路12はプログラミングモードを選択し、これをハイブリッド信号を介してピクセル回路10に接続する。ピクセル回路10には、該ピクセル回路10から閾Vt情報 (又はVtズレ情報) を得るために事前充電信号 (Vp) が供給される。ハイブリッド駆動回路12は、斯かる事前充電技術が使用される場合は、事前充電を制御する。事前充電信号 (Vp) はハイブリッド駆動回路12内で発生することができ、これは動作条件に依存する。電源18B (Vdd) は、表示器5を駆動すると共に該表示器5の電力消費を監視するために要する電流を供給する。

10

## 【0019】

ハイブリッドコントローラ16は、全体のハイブリッドプログラミング回路を構成する個々の構成要素を制御する。ハイブリッドコントローラ16は、タイミングを処理し、所要の機能が発生する順序を制御する。ハイブリッドコントローラ16は、ハイブリッド駆動回路12に供給されるデータIdataを発生することができる。システム2は、基準電流源を有することができ、Idataはハイブリッドコントローラ16の制御の下で供給することができる。

20

## 【0020】

ハイブリッドドライバ12は、スイッチングマトリクスとして、又は図3、6、8若しくは20のハイブリッド駆動回路 (又は複数の回路) 又はこれらの組み合わせとして実施化することができる。

## 【0021】

本説明において、Vdataは、データ、データ信号、上記データ若しくはデータ信号Vdataを供給するためのデータライン若しくはノード、又は上記データライン若しくはノード上の電圧を示す。同様に、Idataは、データ、データ信号、上記データ若しくはデータ信号Idataを供給するためのデータライン若しくはノード、又は上記データライン若しくはノードにおける電流を示す。Vpは、事前充電信号、事前充電パルス、事前充電/放電するための事前充電電圧、及び上記事前充電信号、事前充電パルス若しくは事前充電電圧Vpを供給するためのライン若しくはノードを示す。Vselは、ピクセル回路を選択するためのパルス若しくは信号、又は上記パルス若しくは信号Vsを供給するためのライン若しくはノードを示す。“ハイブリッド信号”、“ハイブリッド信号ノード”及び“ハイブリッド信号ライン”なる用語は、互換性を以って使用することができる。

30

## 【0022】

ピクセル回路10は、複数のTFTと、有機発光ダイオード (OLED) とを含んでいる。TFTはn型TFT又はp型TFTとすることができる。該TFTは、例えば (限定されるものではないが) アモルファスシリコン (a-Si:H) 型TFT、多結晶シリコン型TFT、結晶シリコン型TFT又は有機半導体型TFTである。OLEDは通常 (P-I-N) 積層又は反転 (N-I-P) 積層とすることができる。OLEDは1以上の駆動TFTのソース又はドレインに配置することができる。

40

## 【0023】

図2は、図1のピクセル回路10の一例を図示している。図2のピクセル回路は、4つの薄膜トランジスタ (TFT) 20~26と、キャパシタCs28と、有機発光ダイオード (OLED) 30とを含んでいる。TFT (Tdrive) 26は、OLED30とキャパシタCs28とに接続された駆動TFTである。図2のピクセル回路は、選択ラインVselにより選択され、データラインDLによりプログラムされる。データラインDLは、図1のハイブリッド駆動回路12から出力されるハイブリッド信号により制御される。

## 【0024】

図2には、4つのTFTが図示されている。しかしながら、図1のピクセル回路10は

50



3以下の又は5以上のTFTを含むこともできる。

【0025】

本説明において、“データラインDL”及び“データノードDL”なる用語は互換性をもって使用することができる。

【0026】

図1～2を参照すると、データノードDLは駆動TFT（例えば、図2のTdrive26）の閾Vt又は閾Vtズレを得るために事前充電及び放電される。本説明において、Vtズレ、Vtズレ情報、Vt及びVt情報は互換可能に使用することができる。次いで、ピクセル回路10はソースドライバ14により電圧プログラミング方法を用いて連続的にプログラムされる。得られたVtズレ情報は、ピクセル回路10の劣化を補償するために使用され、かくして、表示器5の均一な輝度を維持する。

10

【0027】

Vtを得る処理は、図2におけるピクセル回路のT120及びT222にVselを印加することにより開始する。このような動作は、T324のドレイン及びゲートが同一の電圧となるようにさせる。これは、T324のVtが、先ず事前充電電圧VpをデータラインDLに印加し、該データラインが次いで放電されるのを可能にすることにより導出されるのを可能にする。放電の率はVtの関数である。従って、放電の率の測定により、Vtを得ることができる。

【0028】

図3は、図1のハイブリッド駆動回路12に適用可能なハイブリッド駆動回路の一例を図示している。図3のハイブリッド駆動回路12Aは電圧プログラム技術を実施化する。

20

【0029】

図3のハイブリッド駆動回路12Aは電荷プログラムキャパシタCc32を含んでいる。該電荷プログラムキャパシタCc32は、データラインVdataとデータノードDLとの間に設けられている。事前充電ラインVpも、データノードDLに接続されている。

【0030】

ハイブリッド駆動回路12Aは、4つのTFTを有するピクセル回路10A（図2のピクセル回路のような）に対して設けられている。しかしながら、ピクセル回路10Aは5以上のTFT又は4未満のTFTを含むこともできる。

【0031】

充電プログラムキャパシタCc32は、ピクセル回路10Aを、定数KによりスケールされたTFTの閾VtとVdataとの和に等しい電圧でプログラムするために設けられている。該定数は電荷蓄積キャパシタ（例えば、図2のCs28）及び電荷プログラムキャパシタCc32により形成される分圧ネットワークにより決定される。

30

【0032】

図4は、図3のハイブリッド駆動回路12Aの動作を示す例示的フローチャートを図示している。ステップS10において、事前充電モードがイネーブルされる。ステップS12においては、ピクセル回路が選択され、事前充電（Vp）が開始される。ステップS14において、Vt取得モードがイネーブルされ、ステップS16において、放電（Vp）が開始する。Vt情報は、Cc32を介して取得される。次いでステップS18において、書込モードがイネーブルされる。

40

【0033】

図5は、図3のハイブリッド駆動回路12Aの動作を示す例示的タイムチャートを図示している。図において、Vdata0は当該ピクセル回路のデータノード（例えば、図2のDL）における電圧を表し、Idata0は該ピクセル回路のデータノード（例えば、図2のDL）における電流を表している。

【0034】

当該プログラム手順は、プログラムされるべきピクセルをパルスVselで選択することにより開始する。同時に、事前充電パルスVpが当該ピクセル回路のデータ入力端（例えば、図2のDL）に印加される。

50

## 【0035】

V<sub>t</sub>取得フェーズの間において、データライン(DL)上の電圧は、ハイに保持されたV<sub>sel</sub>ラインに対して電流ミラー接続状態のピクセル回路を介して放電されるのを可能にされる。データライン(DL)は或る電圧まで放電され、該電圧から駆動TFTのV<sub>t</sub>が導出される。V<sub>data</sub>における電圧は接地レベルである。

## 【0036】

プログラム(書込)フェーズの間においては、計算された補償された電圧がピクセル回路のデータ入力ライン(DL)に供給される。当該プログラムルーチンはV<sub>sel</sub>信号を低下させることにより完了する。

## 【0037】

上記の計算された補償された電圧は、電荷プログラミングキャパシタC<sub>c32</sub>なるアナログ手段を介して得られる。しかしながら、補償された電圧を得るための如何なる他のアナログ手段も使用することができる。更に、上記の計算された補償された電圧を得るために、如何なる(外部の)デジタル回路(例えば、図7の50)も使用することができる。

## 【0038】

前記ソースドライバ(図1の14)は、V<sub>data</sub>をキャパシタC<sub>c32</sub>に供給する。V<sub>data</sub>が接地レベルから所望の電圧レベルまで増加すると、I<sub>data</sub>における電圧は(V<sub>t</sub>+V<sub>data</sub>)\*Kに等しくなる。

## 【0039】

図3の構成は単純であり、容易に実施化される。

## 【0040】

図6は、図1のハイブリッド駆動回路に適用可能なハイブリッド駆動回路の他の例を図示している。図6のハイブリッド駆動回路12Bは、電圧プログラム技術を実施する。

## 【0041】

ハイブリッド駆動回路12Bは、加算器40、サンプル/ホールド(S/H)回路42及びスイッチングエレメント44を含んでいる。S/H回路42はI<sub>data</sub>をサンプリングし、或る期間保持する。加算器40はV<sub>data</sub>及びS/H回路42の出力を入力する。スイッチングエレメント44は、プログラミング制御信号46に応答して加算器40の出力端をデータノードDLに接続する。

## 【0042】

ハイブリッド駆動回路12Bは、V<sub>t</sub>とV<sub>data</sub>との和に等しいプログラミング電圧を生成するために、電荷結合キャパシタC<sub>c32</sub>の代わりに加算器40を使用する。該ハイブリッド駆動回路12Bは容量を使用しないので、プログラミング電圧は寄生容量により影響を受けることがなく、該回路は少ない電荷フィードスルー効果しか有さない。また、該ハイブリッド駆動回路12Bは電荷蓄積キャパシタを利用しないので、プログラミング電圧が斯かる電荷蓄積容量により影響を受けることがない。また、該ハイブリッド駆動回路12Bは電荷プログラミングキャパシタを利用しないので、より速いV<sub>t</sub>取得時間を達成する。斯かる電荷プログラミングキャパシタの削除は、当該プログラム方法の電荷依存性を除去する。このように、プログラミング電圧は、電荷が上記電荷蓄積キャパシタと当該システムの寄生容量との間で分配されることによる影響を受けることがない。この結果、高効率なプログラミング電圧が得られる。

## 【0043】

図7は、図6のハイブリッド駆動回路12Bの動作を示す例示的フローチャートを図示している。V<sub>t</sub>取得モードの間においては、ステップS20においてV<sub>t</sub>がサンプリングされ、ステップS22において新たなデータが生成される。書込モードがイネーブルされると、ステップS24において上記新たなデータがプログラミング制御信号(46)に응答してピクセル回路に供給される。該ハイブリッド駆動回路12Bを有するシステムの動作は図7のものに限定されるものではないことに注意されたい。上記新たなデータはステップS18の後で生成することもできる。また、上記制御信号46はステップS18の前にイネーブルすることもできる。

10

20

30

40

50

## 【0044】

V<sub>t</sub>取得サイクルの間において、V<sub>data</sub>は接地レベルにあり、データノードDLにおける電圧は事前充電/放電動作(V<sub>p</sub>)によりTFTのV<sub>t</sub>に等しくなる。データノードDL上の該電圧はS/H回路42によりサンプリング及び保持される。前記V<sub>t</sub>は該S/H回路42を介して加算器40に供給される。V<sub>data</sub>が接地レベルから所望の電圧レベルに増加されると、加算器40はV<sub>t</sub>とV<sub>data</sub>との和を出力する。スイッチ44は、プログラミング制御信号46に応答してオンする。そして、データノードDLの電圧は(V<sub>t</sub>+V<sub>data</sub>)となる。ハイブリッド駆動回路12Bを有するシステム2の動作を示すタイムチャートは図5のものと同様である。

## 【0045】

図8は、図1のハイブリッド駆動回路12に適用可能なハイブリッド駆動回路の他の例を示している。図8のハイブリッド駆動回路12Cは電圧プログラム技術を実施化する。

## 【0046】

該ハイブリッド駆動回路12Cは直接デジタルハイブリッド駆動回路である。該直接デジタルプログラミング回路12Cは、デジタルデータ(V<sub>data</sub>)を入力するマイクロコンピュータuC50と、デジタル/アナログ(D/A)変換器52と、電圧に影響を与えないで電流を増加させる電圧フォロア54と、アナログ/デジタル(A/D)変換器56とを含んでいる。

## 【0047】

駆動TFTの閾V<sub>t</sub>は緩やかに増加し得る。従って、駆動TFTの閾V<sub>t</sub>は各プログラミングサイクルで取得する必要はないであろう。これは、プログラミングサイクルの大部分に対してV<sub>t</sub>取得を実効的に隠蔽することになる。直接デジタルハイブリッド駆動回路12Cにおいて、ピクセル回路10Aから取得された閾V<sub>t</sub>は、A/D変換器56でデジタル化され、uC50に含まれるメモリに記憶される。当該ピクセルの輝度を定めるデジタルデータは、uC50においてV<sub>t</sub>に加算される。結果としての電圧は、次いで、D/A変換器52においてアナログ値に戻され、これがピクセル回路10Aにプログラムされる。このプログラム方法は、V<sub>t</sub>取得の遅い処理を補償するように設計されている。

## 【0048】

図9は、図8のハイブリッド駆動回路12Cの動作を示す例示的フローチャートを図示している。V<sub>t</sub>取得モードにおいては、ステップS30においてV<sub>t</sub>がサンプリングされ、記録される。書込モードがイネーブルされると、新たなデータが上記の記録されたデータに基づいて供給される。図8のハイブリッド駆動回路12Cを有するシステムの動作は、図9のものに限定されるものではないことに注意されたい。書込モードにおいて、V<sub>t</sub>取得を実施しないで、記録されているデータを使用することもできる。

## 【0049】

図10は、図8のハイブリッド駆動回路12Cの動作を示す例示的タイムチャートを図示している。V<sub>t</sub>取得の間において、A/D変換器56によるサンプリングが実施される。次のサイクルにおいて、ハイブリッド駆動回路12Cは、前に取得されuC50に記録されたV<sub>t</sub>を使用することができる。

## 【0050】

A/DによるデータノードDL上の出力の変換は、各プログラムサイクルにおいてV<sub>t</sub>を取得しなければならない必要性を除去することができる。ピクセル回路10AのV<sub>t</sub>は、毎秒1回又はそれより少なく取得すればよい。従って、フレームサイクル当たり表示器の1行だけに対してV<sub>t</sub>を取得すればよい。これは、ピクセルプログラミングサイクルのための時間量を実効的に増加させる。より少ない頻度のV<sub>t</sub>取得の必要性は、より速いプログラミング時間を保証する。

## 【0051】

上記記載では、図1のピクセル回路10を説明するために図2が使用された。しかしながら、ピクセル回路10は図2のものに限定されるものではない。ピクセル回路10は、図11に図示したピクセル回路(J. Kanichi, J.-H. Kim, J.Y. Nahm, Y. He及びR. Hatt

10

20

30

40

50

orikによる「アモルファスシリコン薄膜トランジスタ型アクティブマトリクス有機発光表示器」アジア表示器IDW2001、第315頁)とすることもできる。図11のピクセル回路は、4つのTFT64~70、キャパシタ $C_{ST}$ 72及びOLED74を含んでいる。TFT68は、OLED74及びキャパシタ $C_{ST}$ 72に接続された駆動TFTである。図11のピクセル回路は、Vselect1及びVselect2により選択され、Idataによりプログラムされる。取得される電圧は、OLED74及びT368の間の電圧の組み合わせである。該技術はVt及びOLED74の両方の電圧変化を補償する。図11のIdataは図2のデータノードDLに対応する。

【0052】

図12は、本発明の他の実施例によるAMOLED表示器を駆動するためのシステムを  
図示している。図12のシステム82は、訂正テーブル80と、電圧プログラム方法を実施  
するためのソースドライバ14と、電流プログラム方法を実施するための基準電流源9  
4とを有するハイブリッドプログラミング回路を含んでいる。該システム82は複数のピ  
クセル回路を有する表示器を電圧プログラム方法及び電流プログラム方法を用いて駆動す  
る。 10

【0053】

各構成要素を制御するために、ハイブリッドコントローラ98が設けられている。図1  
2において、ハイブリッドコントローラ98は、一例として、A/D変換器96と補正テ  
ーブル80との間に配置されている。該ハイブリッドコントローラ98は図1のハイブリ  
ッドコントローラ16と類似している。 20

【0054】

当該システム82により駆動されるピクセル回路は図1のピクセル回路10とすること  
ができ、電流プログラム型ピクセル回路又は電圧プログラム型ピクセル回路であり得る。  
該システム82により駆動されるピクセル回路は図2又は図11により実施化すること  
ができるが、図2及び11のものに限定されるものではない。

【0055】

該ハイブリッドプログラミング回路は、データソース90からのデータを、補正テー  
ブル80及びA/D変換器96に基づいて補正する補正計算モジュール92を含んでいる。  
該補正計算モジュール92により補正されたデータは、ソースドライバ14に供給される  
。該ソースドライバ14はVdataを補正計算モジュール92から出力される補正されたデ  
ータに基づいて発生する。ソースドライバ14からのVdata及び基準電流源94からのI  
dataはハイブリッドドライバ12に供給される。 30

【0056】

データソース90は、例えば(限定されるものではないが)DVDである。ハイブリッ  
ドドライバ12は、スイッチングマトリクス又は図8、20のデジタルプログラミング回  
路(又は複数の回路)、又はこれらの組み合わせのいずれかとして実施化することができ  
る。A/D変換器96は図8のA/D変換器56とすることができる。当該システム82  
はA/D変換器96(56)を用いて前述したVt取得技術を実施することができる。

【0057】

補正テーブル80は、ルックアップテーブルである。補正テーブル80は、ピクセル回  
路をプログラムするために要する電流と該電流を得るために要する電圧との間の関係を記  
録する。該補正テーブル80は全体の表示器における各ピクセルに対して構築される。 40

【0058】

本説明においては、ピクセル回路をプログラムするために要する電流と該プログラミン  
グ電流を得るために要する電圧との間の上記関係は“電流/電圧補正情報”、“電流/電  
圧補正曲線”、“電流/電圧情報”又は“電流電圧曲線”と呼ぶ。

【0059】

図12において、補正テーブル80は補正計算モジュール92とは別個に図示されてい  
る。しかしながら、補正テーブル80は補正計算モジュール92内に含めることもできる  
。 50

## 【0060】

図12のシステムの動作は、2つのモード、即ち表示モード及び校正モードを有する。表示モードにおいては、データソース90からのデータが補正テーブル80内のデータを用いて補正され、ソースドライバ14に供給される。ハイブリッドドライバ12は該表示モードには関わらない。校正モードでは、基準電圧源94からの電流がピクセル回路に供給され、該電流に関連する電圧がピクセル回路から読み取られる。該電圧はA/D変換器96によりデジタルデータに変換される。補正テーブル80は該デジタルデータに基づいて正しい値により更新される。

## 【0061】

表示モードの間においては、電圧プログラム方法が実施される。ピクセル回路のデータライン(例えば、図2のDL)上の電圧が、ピクセルの輝度を決定する。ピクセル回路をプログラムするのに要する電圧は、補正テーブル80に記憶された電流/電圧補正情報と組み合わせられた、表示されるべきピクセルの輝度から(入力ビデオ情報から)計算される。補正テーブル80上の情報は入力ビデオ情報と組み合わせられて、各ピクセルが長期間の使用にわたり一定の輝度を維持することを保証する。

## 【0062】

当該表示器が一定の期間にわたり使用された後、該表示器は校正モードに入る。電流源94はハイブリッドドライバ12を介してピクセル回路のデータ入力ノード(DL)に接続される。各ピクセルは電流プログラム方法によりプログラムされ(ここでは、データライン上の電流のレベルがピクセルの輝度を決定する)、該電流を達成するのに要する電圧がA/D変換器96により読み取られる。

## 【0063】

ピクセル電流をプログラムするのに要する電圧は、A/D変換器96により複数の電流点でサンプリングされる。該複数の点は、可能性のある電流レベル(例えば、8ビットに対しては256の可能性のあるレベル、又は6ビットに対しては64のレベル)の部分集合である得る。電圧測定値の該部分集合は、測定点から補間される補正テーブル80を構築するために使用される。

## 【0064】

校正モードは、ユーザのコマンドを介して入ることができるか、又は校正が表示リフレッシュ期間の間に行われるように通常の表示モードと組み合わせることができる。

## 【0065】

一実施例においては、全体の表示を一度に校正することができる。表示器は、各ピクセルが電流及び記録された電圧によりプログラムされる短い期間の間に、入力ビデオ情報を示すのを停止することができる。

## 【0066】

他の例では、一定数のフレーム毎に1ピクセルのように、ピクセルの部分集合を校正することができる。これは、実質的にユーザに対しては透明となり、それでいて補正情報は各ピクセルに関して取得することができる。

## 【0067】

従来の電圧プログラム方法が使用される場合、ピクセル回路は開ループ構成でプログラムされ、その場合においてはピクセル回路からのTFTの閾電圧ズレに関する帰還は存在しない。従来の電流プログラム方法が使用された場合、ピクセルの輝度は時間にわたり一定に留まり得る。しかしながら、電流プログラム方法は遅い。従って、テーブルルックアップ技術は、電流プログラム方法の技術を電圧プログラム方法の技術と組み合わせる。ピクセル回路は、電流プログラム方法により電流でプログラムされる。該電流を維持するための電圧が、読み取られ、ルックアップテーブルに記憶される。特定のレベルの電流がピクセル回路に供給される次回には、電流でプログラムする代わりに、ピクセル回路はルックアップテーブル上の情報に基づいてプログラムされる。従って、該技術は電流プログラム方法に固有の補償を得ながら、電圧プログラム方法でのみ可能な高速プログラミング時間を得る。

10

20

30

40

50

## 【0068】

上記説明においては、補正テーブル（ルックアップテーブル）80は電流／電圧補正情報を補正するために使用された。しかしながら、図12のシステム82は上記ルックアップテーブルを、図3、6、8又は20のハイブリッド駆動回路との組み合わせでVtズレ及び電流／電圧補正情報を同時に補正するために使用することもできる。

## 【0069】

例えば、幾つかの電圧測定値がA/D変換器96（56）により多数の異なる電流点で捕捉される。ハイブリッドコントローラ98は、電圧対電流曲線を零電流点まで延長することによりVtズレ情報を導出する。該Vtズレ情報は、入力表示データに適用されるテーブルのアレイ（補正テーブル80）に記憶される。

10

## 【0070】

図8又は20のuC50は斯かるルックアップテーブルを使用して適切な電圧を発生し、ピクセル回路をプログラムすることができる。

## 【0071】

図3のハイブリッド回路12A及び図6のハイブリッド回路12Bは、図12のシステムに組み込むことができる。

## 【0072】

図13～14は、図12のシステムの動作を示すための例示的フローチャートを図示している。図13を参照すると、ステップS40において校正モードがイネーブルされる。ステップS42において、ピクセル回路が選択され、該選択されたピクセル回路に対して電流プログラミングが実施される。ステップS44においては、スイッチマトリクスイネーブル信号がイネーブルされる。次いで、ピクセル回路への接続が変更される。ステップS46においてVtがサンプリングされ、次いでステップS48において補正テーブルが作成／補正される。図14を参照すると、ステップS50においてビデオデータが上記補正テーブルに基づいて補正される。次いで、ステップS52では、新たなVdataが上記の補正されたデータに基づいて作成される。

20

## 【0073】

書込モードは、校正モードを実施しないで前に作成された補正テーブルに基づいて実施することもできることに注意されたい。また、図12のシステムの動作は図13～14に限定されるものではないことに注意されたい。

30

## 【0074】

図15は、Vtズレ取得と電流／電圧補正との組み合わせを示すための例示的タイムチャートを図示している。図15のスイッチマトリクスイネーブル信号は、図12のハイブリッドドライバ12のための制御信号を表している。

## 【0075】

図12及び15を参照すると、校正モード（即ち、電流プログラム方法）はスイッチマトリクスイネーブル信号がハイの場合にイネーブルされる。プログラミングモード（即ち、電圧プログラム方法）は該スイッチマトリクスイネーブル信号がローの場合にイネーブルされる。しかしながら、校正モードは該スイッチマトリクスイネーブル信号がローである場合にもイネーブルすることができる。また、プログラミングモードはスイッチマトリクスイネーブル信号がハイの場合にもイネーブルすることができる。

40

## 【0076】

A/Dサンプリングは校正モードの間に実施される。該校正モードの間において、基準電流源94からの電流がピクセル回路に供給される。前記データ入力ノード上の電圧はA/D変換器96によりデジタル電圧に変換される。このデジタル電圧及び該デジタル電圧に関連する電流に基づいて、電流／電圧補正情報がルックアップテーブルで記録される。Vtズレ情報は、補正テーブル80におけるデータ又はA/D変換器96からの出力に基づいて発生される。

## 【0077】

図12のシステム82は、上述したテーブルルックアップ技術に加えて、電流／電圧補

50

正情報をリフレッシュするために隠蔽リフレッシュ技術 (hidden refresh technique) を実施することができる。

【0078】

隠蔽リフレッシュ動作の下では、新たな電流／電圧補正情報は、ユーザの知覚から完全に隠されたままで構築される。この技術は、スクリーン上に現在表示されている情報（即ち、入力ビデオデータ）を利用する。当該表示器の製造工程の間において実行された完全な校正ルーチンからのピクセル特性を得ることにより、該表示器の各ピクセルに対する電流／電圧補正情報は分かる。該表示器の使用の間において、電流／電圧補正曲線は  $V_t$  の変化によりずれる可能性がある。上記電流／電圧補正曲線に沿う単一の点（これは、現在表示されているデータ、即ちビデオ画像の一部である）を測定することにより、新たな電流／電圧補正曲線は、上記点から、該測定された点に一致されるように補外される。この新たな電流／電圧補正曲線に基づいて、 $V_t$ ズレ情報が導出され、該情報が  $V_t$ のズレを補償するために使用される。

10

【0079】

図16は、図12のシステムの隠蔽リフレッシュ動作の例示的フローチャートを図示している。まず、表示器の製造の間実施される校正処理の間において電流／電圧曲線が作成される（ステップS62）。図17は、斯かる電流／電圧補正曲線のサンプルの一例を示している。

【0080】

図16を参照して、次のステップは、当該表示器の使用の間において上記曲線に沿う点を測定することである。この点は当該曲線に沿う如何なる点とすることもでき、従ってユーザが現在スクリーン上で有する如何なるデータも校正に使用することができる（ステップS64）。図18は、図17の電流／電圧補正及び新たに測定されたデータ点の一例を示している。

20

【0081】

図16を参照して、最後のステップは、前記電流／電圧補正曲線を、測定された電圧対電流関係の上記点までずらすことである（ステップS66）。図19は、図18の測定された点に基づく新たな電流／電圧補正曲線の一例を示している。

【0082】

図17～19に関連する処理は、図12のハイブリッドコントローラ98内で実施される。

30

【0083】

図12のシステム82は、組み合わせられた電流及び電圧プログラム技術を実施することができる。図20は、組み合わせられた電流及び電圧プログラム技術を実施するためのハイブリッド駆動回路の一例を図示している。図20のハイブリッド駆動回路は図12のハイブリッドドライバ12に含めることができる。

【0084】

図20のハイブリッド駆動回路においては、ピクセル回路のデータラインDLに対してデジタルハイブリッド駆動回路12C及び電流源100が設けられている。

【0085】

温度、閾電圧ズレ又は他の要因による電流／電圧補正曲線の変化を補償する当該回路の能力を向上させるために、ピクセル回路のプログラミングは2つのフェーズに分割される。

40

【0086】

書込モードの間において、ピクセル回路10Aは、駆動TFTのゲート電圧を適切な値に設定するためにまず電圧でプログラムされ、次いで、電流プログラムフェーズが後続する。この場合、電流プログラムフェーズは出力電流を微細に整合させることができる。図20のシステムは電流プログラムよりも高速であり、電流プログラム方法の補償能力を有する。

【0087】

50

図20には、デジタルハイブリッド駆動回路12Cが設けられている。しかしながら、上記の組み合わせられた電流及び電圧プログラム技術は、図3のハイブリッド駆動回路12A又は図6のハイブリッド駆動回路12Bを電流源100と組み合わせることにより実施化することもできる。電流源100は、図12の基準電流源94とすることができる。

【0088】

図1のシステム2は、上述した隠蔽リフレッシュ技術を実施することができる。また、図1のシステム2は、組み合わせられた電流及び電圧プログラム技術を実施することができる。また、図1のシステム2は、組み合わせられた電流及び電圧プログラム技術を実施するために図20のハイブリッド駆動回路を含むことができる。

【0089】

次に、直接デジタルプログラム方法の拡張を詳細に説明する。直接デジタルプログラム方法(図6、8及び20)は、アクティブマトリクス液晶表示器(AMLCD)を駆動するために使用されるもののような電圧プログラム列ドライバを用いるOLEDアレイ(例えば、4T

OLEDアレイ)、又は電圧プログラム型アクティブマトリクス有機発光ダイオード(AMOLED)表示器、又は如何なる他の電圧出力表示器ドライバを駆動するようにも拡張することができる。

【0090】

図21は、本発明の他の実施例による複数のピクセル回路を有するAMOLEDアレイを駆動するためのシステムを図示している。図21のシステム105は、電圧列ドライバと112と、プログラマブル電流源114と、スイッチングネットワーク116と、A/D変換器118と、行ドライバ120とを含んでいる。

【0091】

電圧列ドライバ112は、電圧でプログラムされる列ドライバである。電圧列ドライバ112及び行ドライバ120の各々は、AMLCD用に設計されたもののような電圧出力を有する如何なるドライバとすることもできる。電圧列ドライバ112及びプログラマブル電流源114は、スイッチングネットワーク116を介してOLEDアレイ110に接続されている。OLEDアレイ110は、AMOLED表示器を形成し、複数のピクセル回路(図1の10のような)を含んでいる。該ピクセル回路は、電流プログラム型ピクセル回路又は電圧プログラム型ピクセル回路とすることができる。

【0092】

A/D変換器118は、アナログ信号(即ち、表示器110を駆動する電流)がデジタル信号として読み戻されるのを可能にするインターフェースである。この場合、斯かる電流に関連するデジタル信号は処理し及び/又は記憶することができる。A/D変換器118は図8及び20のA/D変換器56とすることができる。列ドライバ112は、図1及び12のソースドライバ14とすることができる。

【0093】

図21のシステム105は、上述したように校正モード及び表示モードを実施する。

【0094】

図22は、図21のスイッチングネットワーク116の一例を図示している。図22のスイッチングネットワーク116は、2つのMOSFETスイッチ122及び124を有し、これらMOSFETスイッチは表示器(110)の列を、列ドライバ112への接続から電流源114とA/D変換器118との組み合わせへ、又はその逆に切り換えることができる。シフトレジスタ126は上記MOSスイッチ122及び124の動作を制御するデジタル制御信号の源である。インバータ128は、シフトレジスタ126からの出力を反転する。このようにして、スイッチ122がオン(オフ)である場合、スイッチ124はオフ(オン)となる。

【0095】

スイッチングネットワーク116は、列ドライバ112におけるガラスの外に、又はTFTスイッチを使用して斯かるガラス上に直接配置することができる。

10

20

30

40

50



## 【0096】

図21～22を参照すると、システム105は1つの電流源114のみを使用している。電圧プログラミングドライバ（AMLCDドライバ又は何らかの他の電圧出力ドライバ等の）が表示器110の残部を駆動する。スイッチングマトリクス（スイッチングネットワーク116）が、ピクセルアレイ内の異なるピクセルが単一の電流源114に時分割方法により接続されるのを可能にする。これが、単一の電流源が全体の表示器に適用されるのを可能にしている。これは、ドライバ回路の価格を低下させると共に、ピクセル回路のプログラミング時間を速くさせる。

## 【0097】

システム105は、ピクセル回路のデータノード（例えば図2のDL）のアナログ出力をデジタルデータに変換するためにA/D変換器118を使用している。該A/D変換器118による変換は、各プログラムサイクルで $V_t$ を取得しなければならない必要性を除去する。ピクセル回路の $V_t$ は、数分毎に1回取得されればよい。このように、パネルの1列を各リフレッシュサイクルで取得することができる。

## 【0098】

全ての列に対して、1つのみのA/D118が実施化される。当該回路はフレームリフレッシュ当たり1つのピクセルのみを取得する。例えば、 $320 \times 240$ のパネルの場合、ピクセルの数は76,800である。30Hzのフレーム速度の場合、全体のフレームの全ピクセルから $V_t$ を取得するために要する時間は、43分である。これは、 $V_t$ が時間内に大幅にずれない限り、幾つかの用途に対しては許容することができる。

## 【0099】

寄生部分は、 $V_t$ を取得するためのキャパシタを放電する時間量にのみ影響を与える。当該回路は電圧でプログラムされるので、斯かる寄生部分により影響を受けることはない。 $V_t$ はフレーム時間当たり1列だけしか取得されないので、長くすることができる。例えば、30Hzのフレーム速度を持つ320列の表示器の場合、各フレーム時間は33msである。電圧プログラミングの場合、ピクセルを70us内でプログラムすることが可能である。320列に対しては、当該表示器を更新するための時間は22msとなり、充電/放電サイクルを完了するために11msが依然として残る。

## 【0100】

システム105は、上述したように $V_t$ ズレを補償し及び/又は電流/電圧情報を補正するためにルックアップテーブル技術を実施することができる。

## 【0101】

システム105は、表示器110における各ピクセル回路(10)の $V_t$ ズレ情報及び電流/電圧補正情報を取得するために隠蔽リフレッシュ技術を実施することができる。この電流/電圧補正情報はルックアップテーブル（例えば、図12の補正テーブル80）を導入するために使用され、該テーブルは経時により生じる当該ピクセル回路内の劣化を補償するために使用される。費用を低減するために、電流でプログラムされる回路の数は減少されたので、列ドライバ当たり1つの代わりに、表示器当たり1つしか存在しない。

## 【0102】

システム105は、前述したように組み合わせられた電流及び電圧プログラミング技術を実施することができる。

## 【0103】

ピクセル回路の電流/電圧情報は、図23に図示したシステムを実施化することにより更に補正することができる。図23は、ピクセル回路の電流/電圧情報を補正するためのシステムを図示している。図23には、表示器130が2T又は4TのOLEDアレイとして図示されている。しかしながら、表示器130は、各々が3個の又は5個以上のトランジスタを持つような複数のピクセル回路を含むこともできる。表示器130は、電圧駆動型ピクセル回路又は電流駆動型ピクセル回路を含むことができる。図23のシステムは、図1、12及び22のシステム2、82及び105に適用することができる。

## 【0104】

図23に示されるように、スイッチ132がOLEDの共通電極を切断するために設けられている。OLEDに対して2つの電極が設けられることは良く知られている。一方は当該ピクセル回路に接続され、他方は全てのOLEDに接続された共通電極である。斯かる共通電極はOLEDの型式に応じてV<sub>dd</sub>又はGNDとなり得ることに注意されたい。スイッチ132は、OLEDの共通電極を、ハイサイドコモンモードセンサ(TIによるIN A168等)を使用した電流感知ネットワーク134に接続する。該電流感知ネットワーク134は上記共通電極を経る電流を測定する。

【0105】

校正フェーズの間において、各ピクセルは個々に点灯され、消費された電流が感知ネットワーク134により取得される。この取得された電流は、図8又は20の直接デジタルハイブリッド駆動回路により導入されたルックアップテーブル(例えば、図12の補正テーブル80)を補正するために使用される。

10

【0106】

当該アレイの死んだピクセル及び漏れ電流の影響を含めるために、暗表示器電流を取得することができる。この手順の間においては、全ピクセルがオフされ、電流(即ち、暗表示器電流)が測定される。

【0107】

本発明の上記実施例によれば、電流プログラム型ピクセル回路の主要な問題(遅いプログラミング時間である)が解決される。ピクセル回路を補償するために帰還を使用するという思想は、電圧プログラム型駆動方法の速いプログラミング能力を維持しながら表示器の均一性及び安定性を向上させる。

20

【0108】

本発明を、1以上の実施例に関して説明した。しかしながら、当業者にとっては、請求項に記載された本発明の範囲から逸脱すること無しに多くの変形及び変更をなすことができることは明らかであろう。

【図面の簡単な説明】

【0109】

【図1】図1は、本発明の一実施例によるAMOLED表示器を駆動するシステムを示すブロック図である。

【図2】図2は、図1のピクセル回路の一例を示す概要図である。

30

【図3】図3は、図1に適用可能なハイブリッド駆動回路の一例を示す概要図である。

【図4】図4は、図3のハイブリッド駆動回路の動作を示すための例示的フローチャートである。

【図5】図5は、図3のハイブリッド駆動回路の動作を示すための例示的タイムチャートである。

【図6】図6は、図1に適用可能なハイブリッド駆動回路の他の例を示す概要図である。

【図7】図7は、図6のハイブリッド駆動回路の動作を示すための例示的フローチャートである。

【図8】図8は、図1に適用可能なハイブリッド駆動回路の他の例を示す概要図である。

【図9】図9は、図8のハイブリッド駆動回路の動作を示すための例示的フローチャートである。

40

【図10】図10は、図8のハイブリッド駆動回路の動作を示すための例示的タイムチャートである。

【図11】図11は、図1のピクセル回路の他の例を示す概要図である。

【図12】図12は、本発明の他の実施例によるAMOLED表示器を駆動するシステムを示すブロック図である。

【図13】図13は、図12のシステムの動作を示すための例示的フローチャートである。

【図14】図14は、図12のシステムの動作を示すための例示的フローチャートである。

50

【図15】 図15は、図12のシステムの動作を示すための例示的タイムチャートである。

【図16】 図16は、図12のシステムの隠蔽リフレッシュ動作のための例示的フローチャートである。

【図17】 図17は、電流/電圧補正曲線のサンプルの一例を示す図である。

【図18】 図18は、図17の電流/電圧補正曲線及び新たに測定されたデータ点の一例を示す図である。

【図19】 図19は、図18の測定点に基づく新たな電流/電圧補正曲線の一例を示す図である。

【図20】 図20は、組み合わせられた電流及び電圧プログラム技術を実施するプログラム回路の他の例を示すブロック図である。

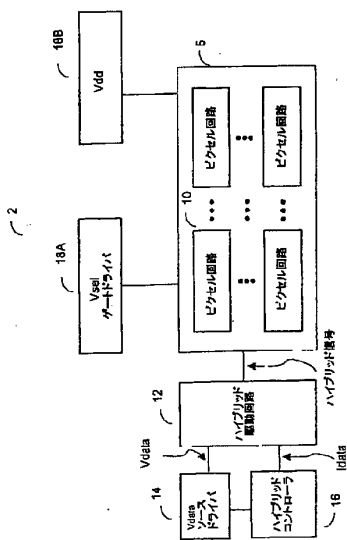
10

【図21】 図21は、本発明の他の実施例によるAMOLED表示器を駆動するシステムを示すブロック図である。

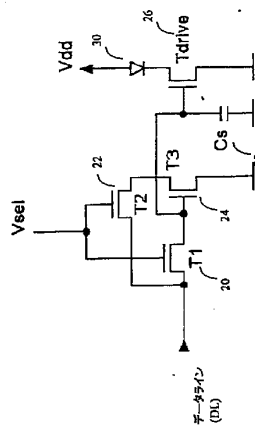
【図22】 図22は、図21のスイッチングネットワークの一例を示す概要図である。

【図23】 図23は、ピクセル回路の電流/電圧情報を補正するシステムを示す概要図である。

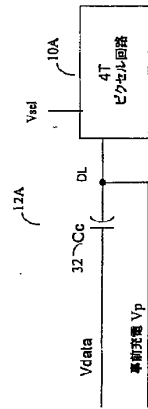
【図1】



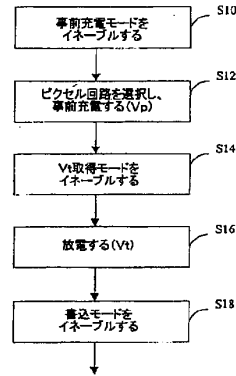
【図2】



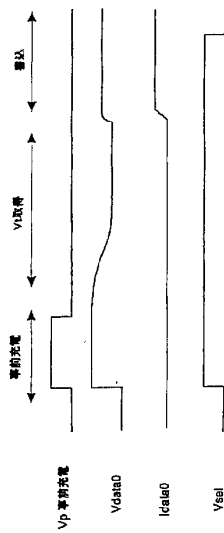
【図3】



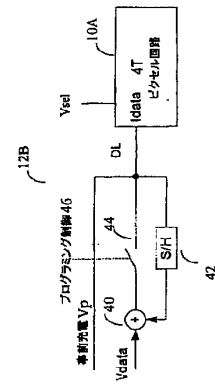
【図4】



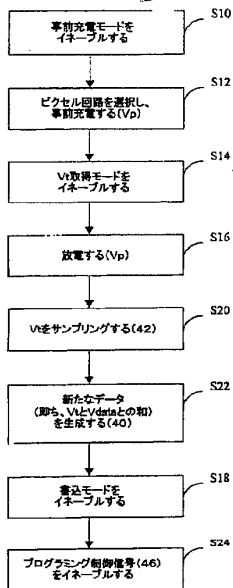
【図5】



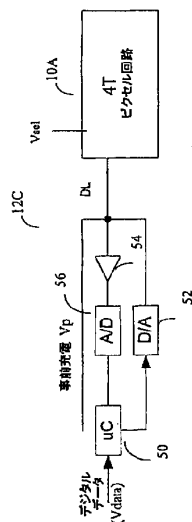
【図6】



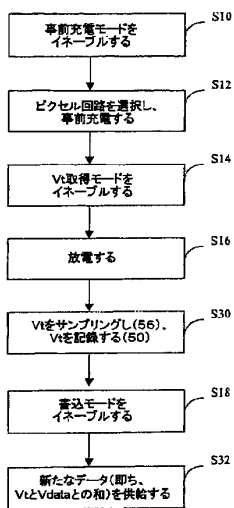
【図7】



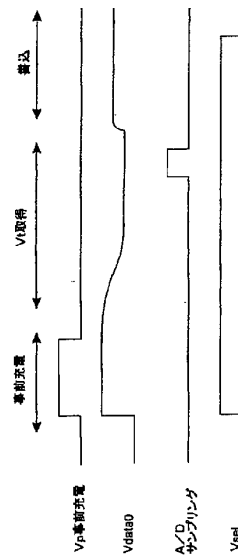
【図8】



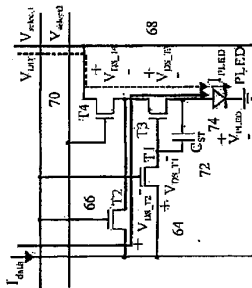
【図9】



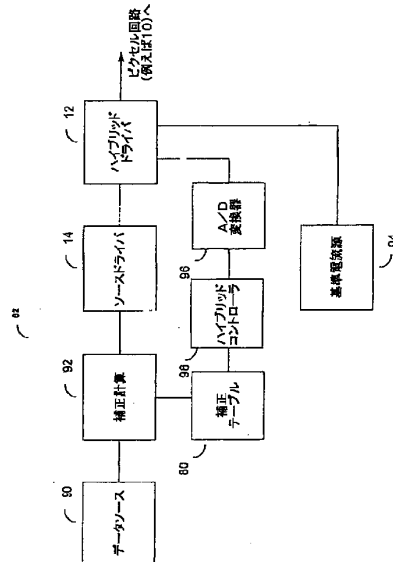
【図10】



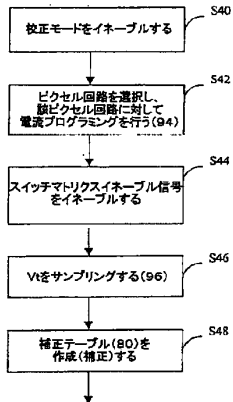
【図11】



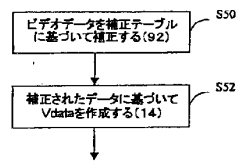
【図12】



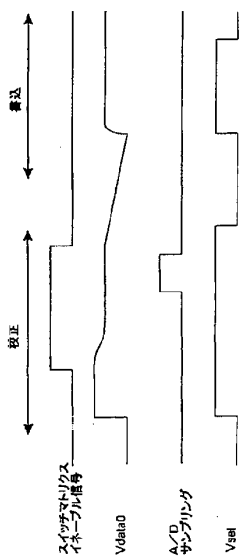
【図13】



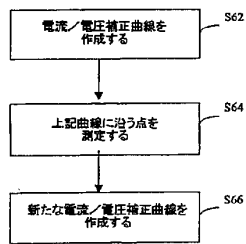
【図14】



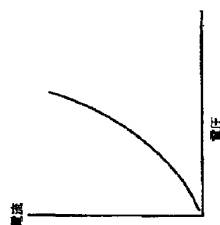
【図15】



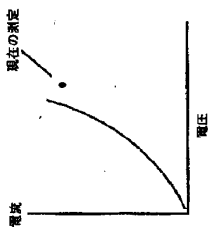
【図16】



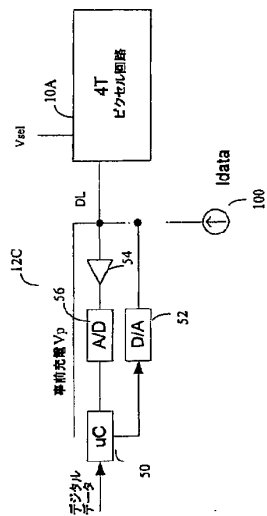
【図17】



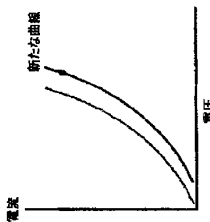
【図18】



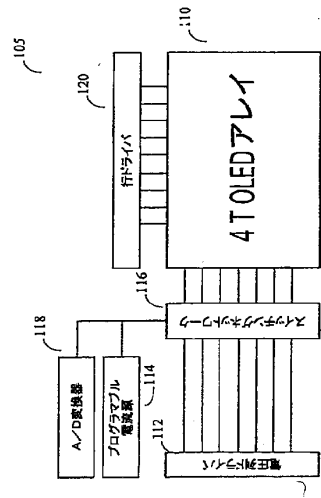
【図20】



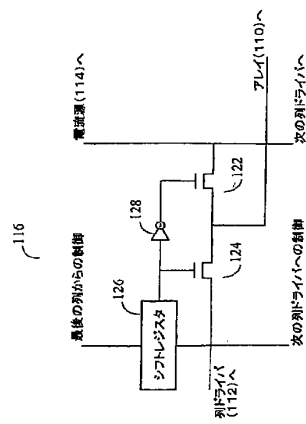
【図19】



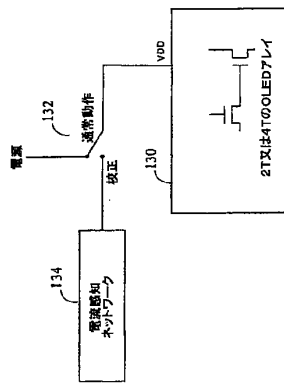
【図 2 1】



【図 2 2】



【図 2 3】





【国際調査報告】

## INTERNATIONAL SEARCH REPORT

International application No.  
PCT/CA2005/001007

1. CLASSIFICATION OF SUBJECT MATTER IPC(7) G09G-3/32		
2. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC G09G-3/32; CANADIAN 375/1 - 375/18; 375/33 - 375/36; 375/40 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base, and, where practicable, search terms used): Databases : Delphion, West, USPTO, Espacenet, Canadian Patent Database Keywords : voltage driver; current programming; active matrix; TFT; OLED; threshold voltage; hybrid circuit; pre-charge; DAC; polymer; fluorescent; phosphorescent; dendrimer		
3. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6618030 (KANE et al.) 9 September 2003 (09.09.2003), Columns 1-5, 12-13; Figs. 9, 13	1-2, 4-35
Y		3, 37, 38
X	CA 2498136 (STEVENSON et al.) 18 March 2004 (18.03.2004), abstract; pages 1, 27; figs. 15, 16	1, 2, 36
Y		37
Y	US 6594606 (EVERITT) 15 July 2003 (15.07.2003), abstract, columns 3-4	3
Y	US 6687266 (MA et al.) 3 February 2004 (03.02.2004), abstract, column 1	38
Further documents are listed in the continuation of Box C. Patent family members are listed in annex. [X]		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
Date of the actual completion of the international-type search 03 September 2005 (03-09-2005)		Date of mailing of the international-type search report 18 October 2005 (18-10-2005)
Name and mailing address of the ISA/ Commissioner of Patents Canadian Patent Office - PCT Ottawa/Gatineau K1A 0C9 Facsimile No. 1-819-953-9358		Authorized officer Terry Cartile (819) 997-2951

Form PCT/ISA/210 (second sheet) (April 2005)

## INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.  
PCT/CA2005/001007

Patent Document Cited in the Search Report	Publication Date (dd.mm.yyyy)	Patent Family Members	Publication Date(s) (dd.mm.yyyy)
X US 6618030	09.09.2003	US 6229508 JP 11219146 A2 EP 905673 A1	08.05.2001 10.08.1999 31.03.1999
X CA 2498136	18.03.2004	WO 04/23443 A2 US 20040183759 A1 EP 1537557 A2 AU 3265011 AA	18.03.2004 23.09.2004 08.06.2005 29.03.2004
Y US 6594606	15.07.2003	WO 03/34389 A2 WO 02/91344 A2 WO 02/91342 A2 WO 02/91032 A2	24.04.2003 14.11.2002 14.11.2002 14.11.2002
Y US 6687266	03.02.2004	WO 04/45002 A1 EP 1561240 A1 AU 3291370 AA	27.05.2004 10.08.2005 03.06-2004

Form PCT/ISA/210 (patent family annex) (April 2005)

## フロントページの続き

(51)Int.Cl. F I テーマコード (参考)  
H O 5 B 33/14 A  
G O 9 G 3/20 6 3 1 V

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(74)代理人 100097504  
弁理士 青木 純雄

(72)発明者 ネイサン, アロキア  
カナダ国 エヌ2エル 5ケ-8 オンタリオ州、 ウォータールー、 カルペッパー ドライブ  
5 5

(72)発明者 ホアン, リック  
カナダ国 エヌ2ヴィ 2エル1 オンタリオ州、 ウォータールー、 パスウッド ストリート  
6 4 4

(72)発明者 アレクサンダー, ステファン  
カナダ国 エヌ2ケ- 4シー1 オンタリオ州、 ウォータールー、 イーストブリッジ ブル  
ヴァード 6 0 1

Fターム(参考) 3K107 AA01 BB01 CC31 EE03 HH01 HH05  
5C080 AA06 BB05 DD08 EE29 FF11 JJ02 JJ03 JJ04 JJ05 JJ07



## Electronic Acknowledgement Receipt

<b>EFS ID:</b>	7917828
<b>Application Number:</b>	11391941
<b>International Application Number:</b>	
<b>Confirmation Number:</b>	6652
<b>Title of Invention:</b>	Display drive apparatus, display apparatus and drive control method thereof
<b>First Named Inventor/Applicant Name:</b>	Tomoyuki Shirasaki
<b>Customer Number:</b>	01933
<b>Filer:</b>	Leonard Holtz/Amit Kulkarni
<b>Filer Authorized By:</b>	Leonard Holtz
<b>Attorney Docket Number:</b>	06229/LH
<b>Receipt Date:</b>	29-JUN-2010
<b>Filing Date:</b>	29-MAR-2006
<b>Time Stamp:</b>	16:25:33
<b>Application Type:</b>	Utility under 35 USC 111(a)

### Payment information:

Submitted with Payment	no
------------------------	----

### File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		06229_ids6.pdf	110579 <small>57d6912a49777da723340a5bdad9df05d72b707d</small>	yes	3

Multipart Description/PDF files in .zip description					
Document Description			Start	End	
Transmittal Letter			1	2	
Information Disclosure Statement (IDS) Filed (SB/08)			3	3	
<b>Warnings:</b>					
<b>Information:</b>					
2	NPL Documents	06229_ids6_jpoa.pdf	846404	no	20
			8aa75212f36e6a88e763b48164139eace4ec9251		
<b>Warnings:</b>					
<b>Information:</b>					
3	Foreign Reference	JP2004252110A.pdf	1906437	no	20
			7cbd4114c5b4484034ce306c63ba3ef673a375a9		
<b>Warnings:</b>					
<b>Information:</b>					
4	Foreign Reference	JP2007519956.pdf	690440	no	14
			aeebacee1bb388decaf5c04597c7f9af3536924c		
<b>Warnings:</b>					
<b>Information:</b>					
5	Foreign Reference	JP2008504576.pdf	1409025	no	28
			9c2e89ec966dd20501065b2cedaed7ce67464b22		
<b>Warnings:</b>					
<b>Information:</b>					
<b>Total Files Size (in bytes):</b>			4962885		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

**New Applications Under 35 U.S.C. 111**

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

**National Stage of an International Application under 35 U.S.C. 371**

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

**New International Application Filed with the USPTO as a Receiving Office**

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

Information Disclosure Statement  
Application Serial No. 11/391,941

Customer No. 01933

Attorney Docket No. 06229/LH

This paper is being  
submitted via EFS-Web on  
June 29, 2010

**IN THE UNITED STATES PATENT  
AND TRADEMARK OFFICE**

Applicant(s) : Tomoyuki SHIRASAKI, et al.  
Serial No. : 11/391,941  
Confirm. No. : 6652  
Filed : March 29, 2006  
For : DISPLAY DRIVE APPARATUS,  
DISPLAY APPARATUS AND DRIVE  
CONTROL METHOD THEREOF  
Art Unit : 2629  
Examiner : Vijay SHANKAR

In the event that this Paper is late filed, and the necessary petition for extension of time is not filed concurrently herewith, please consider this as a Petition for the requisite extension of time, and to the extent not already paid, authorization to charge the extension fee to Account No. 06-1378. In addition, authorization is hereby given to charge any fees for which payment has not been submitted, or to credit any overpayments, to Account No. 06-1378.

**INFORMATION DISCLOSURE STATEMENT  
UNDER 37 CFR 1.97(c)  
WITH STATEMENT UNDER 37 CFR 1.97(e) (1)**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

S I R:

Submitted herewith are the following:

- (1) Copies of two Japanese Office Actions dated April 22, 2010 (and English translations thereof) in counterpart Japanese Application Nos. 2005-101905 and 2005-105373, respectively;
- (2) Copies of cited foreign documents; and
- (3) IDS Form.

English translations of said Japanese Office Actions are provided, thereby satisfying the requirements for a concise explanation of relevance for the non-English language documents cited therein (MPEP 609.04 (a) III).

USP 7,358,941 is a U.S. patent family member of JP 2004-252110, which was cited in said Japanese Office Action (2005-101905) dated April 22, 2010. Said U.S. patent family member was previously cited by U.S. Examiner in PTO-892 dated May 24, 2010 in present application.



USP 7,719,942 and US 2008/0191976 are U.S. patent family members of JP 2007-519956 and JP 2008-504576, respectively, which were cited in said Japanese Office Action (2005-101905) dated April 22, 2010.

**STATEMENT UNDER 37 CFR 1.97(e) (1)**

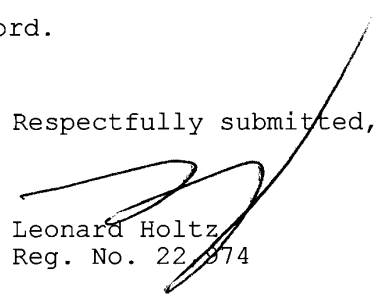
Each item of information contained in this Information Disclosure Statement was first cited in any communication from foreign patent offices in counterpart foreign applications not more than three months prior to the filing of the present Information Disclosure Statement. Said Communication bears a mailing date of April 22, 2010. Therefore, the filing of this Information Disclosure Statement is timely under the provisions of 37 CFR 1.97(c).

**NOT A RESPONSE TO OFFICE ACTION**

This submission is not a response to the outstanding Office Action dated May 24, 2010. A response to said outstanding Office Action will be timely filed in due course.

It is requested that an initialed copy of the IDS Form be returned to indicate that the documents listed therein have been considered and made of record.

Respectfully submitted,

  
Leonard Holtz  
Reg. No. 22,874

Frishauf, Holtz, Goodman & Chick, P.C.  
220 Fifth Avenue, 16<sup>th</sup> Floor  
New York, NY 10001-7708  
Tel. No. (212) 319-4900  
Fax. No. (212) 319-5101  
LH:ak  
encs.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE  
United States Patent and Trademark Office  
Address: COMMISSIONER FOR PATENTS  
P.O. Box 1450  
Alexandria, Virginia 22313-1450  
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
11/391,941	03/29/2006	Tomoyuki Shirasaki	06229/LH	6652
1933	7590	05/24/2010	EXAMINER	
FRISHAUF, HOLTZ, GOODMAN & CHICK, PC 220 Fifth Avenue 16TH Floor NEW YORK, NY 10001-7708			SHANKAR, VIJAY	
			ART UNIT	PAPER NUMBER
			2629	
			MAIL DATE	DELIVERY MODE
			05/24/2010	PAPER

**Please find below and/or attached an Office communication concerning this application or proceeding.**

The time period for reply, if any, is set in the attached communication.

<b>Office Action Summary</b>	<b>Application No.</b>	<b>Applicant(s)</b>	
	11/391,941	SHIRASAKI ET AL.	
	<b>Examiner</b>	<b>Art Unit</b>	
	VIJAY SHANKAR	2629	

**-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --**

**Period for Reply**

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE 3 MONTH(S) OR THIRTY (30) DAYS, WHICHEVER IS LONGER, FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133). Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

**Status**

- 1)  Responsive to communication(s) filed on 09 March 2010.
- 2a)  This action is **FINAL**.                      2b)  This action is non-final.
- 3)  Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

**Disposition of Claims**

- 4)  Claim(s) 1-42 is/are pending in the application.
  - 4a) Of the above claim(s) \_\_\_\_\_ is/are withdrawn from consideration.
- 5)  Claim(s) \_\_\_\_\_ is/are allowed.
- 6)  Claim(s) 1-42 is/are rejected.
- 7)  Claim(s) \_\_\_\_\_ is/are objected to.
- 8)  Claim(s) \_\_\_\_\_ are subject to restriction and/or election requirement.

**Application Papers**

- 9)  The specification is objected to by the Examiner.
- 10)  The drawing(s) filed on \_\_\_\_\_ is/are: a)  accepted or b)  objected to by the Examiner.
  - Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).
  - Replacement drawing sheet(s) including the correction is required if the drawing(s) is objected to. See 37 CFR 1.121(d).
- 11)  The oath or declaration is objected to by the Examiner. Note the attached Office Action or form PTO-152.

**Priority under 35 U.S.C. § 119**

- 12)  Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).
    - a)  All    b)  Some \*    c)  None of:
      - 1.  Certified copies of the priority documents have been received.
      - 2.  Certified copies of the priority documents have been received in Application No. \_\_\_\_\_.
      - 3.  Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).
- \* See the attached detailed Office action for a list of the certified copies not received.

**Attachment(s)**

- 1)  Notice of References Cited (PTO-892)
- 2)  Notice of Draftsperson's Patent Drawing Review (PTO-948)
- 3)  Information Disclosure Statement(s) (PTO/SB/08)  
Paper No(s)/Mail Date \_\_\_\_\_
- 4)  Interview Summary (PTO-413)  
Paper No(s)/Mail Date. \_\_\_\_\_
- 5)  Notice of Informal Patent Application
- 6)  Other: \_\_\_\_\_

## DETAILED ACTION

### *Priority*

1. Receipt is acknowledged of papers submitted under 35 U.S.C. 119(a)-(d), which papers have been placed of record in the file.

### *Double Patenting*

2. The nonstatutory double patenting rejection is based on a judicially created doctrine grounded in public policy (a policy reflected in the statute) so as to prevent the unjustified or improper timewise extension of the "right to exclude" granted by a patent and to prevent possible harassment by multiple assignees. A nonstatutory obviousness-type double patenting rejection is appropriate where the conflicting claims are not identical, but at least one examined application claim is not patentably distinct from the reference claim(s) because the examined application claim is either anticipated by, or would have been obvious over, the reference claim(s). See, e.g., *In re Berg*, 140 F.3d 1428, 46 USPQ2d 1226 (Fed. Cir. 1998); *In re Goodman*, 11 F.3d 1046, 29 USPQ2d 2010 (Fed. Cir. 1993); *In re Longi*, 759 F.2d 887, 225 USPQ 645 (Fed. Cir. 1985); *In re Van Ornum*, 686 F.2d 937, 214 USPQ 761 (CCPA 1982); *In re Vogel*, 422 F.2d 438, 164 USPQ 619 (CCPA 1970); and *In re Thorington*, 418 F.2d 528, 163 USPQ 644 (CCPA 1969).

A timely filed terminal disclaimer in compliance with 37 CFR 1.321(c) or 1.321(d) may be used to overcome an actual or provisional rejection based on a nonstatutory double patenting ground provided the conflicting application or patent either is shown to be commonly owned with this application, or claims an invention made as a result of activities undertaken within the scope of a joint research agreement.

Effective January 1, 1994, a registered attorney or agent of record may sign a terminal disclaimer. A terminal disclaimer signed by the assignee must fully comply with 37 CFR 3.73(b).

3. Claims 1-42 are provisionally rejected on the ground of nonstatutory obviousness-type double patenting as being unpatentable over claims 1-57 of copending Application No. 11/888,474. Although the conflicting claims are not identical, they are not patentably distinct from each other because Claim 1 of the instant application and Claim 1 of US Application 11/888,474 are claiming similar subject matters.

S/N 11/391,941

S/N 11/888,474

<p>1. A display drive apparatus which operates, in accordance with display data, a current control type optical element of each of display pixels provided with the optical element and a drive element which supplies a driving current to the optical element, the display drive apparatus comprising:</p>	<p>1. A display drive apparatus which drives a display pixel including a light-emitting element and a drive element connected to the light-emitting element, comprising: a specific value detection circuit which detects a specific value corresponding to an element characteristic of the drive element based on a value of current flowing in a current path of the drive element when a detection voltage based on a predetermined unit voltage is applied to the display pixel;</p>
<p>a gradation signal generation circuit which generates a gradation signal corresponding to a luminance gradation of the display data and supplies the gradation signal to the display pixel; a threshold voltage detection circuit which detects a threshold voltage peculiar to the drive element of the display pixel;</p>	<p>and a gradation voltage compensation circuit which generates a compensated gradation voltage by compensating a gradation voltage based on the compensated voltage, and applies the compensated gradation voltage to the display pixel, said gradation voltage corresponding to a luminance gradation of</p>

	the display pixel designated by display data,
and a compensation voltage application circuit which generates a compensation voltage for compensating for the threshold voltage of the drive element on the basis of the threshold voltage and applies the compensation voltage to the drive element.	and said compensated voltage being generated based on the specific value detected by the specific value detection circuit and the unit voltage.

This is a provisional obviousness-type double patenting rejection because the conflicting claims have not in fact been patented.

Claims 2-42 of the instant application are rejected for same reasons as Claims 2-57 of U.S. Application 11/888,474, since both Claims 2-42 of the instant application and 2-57 of U.S. Application 11/888,474, are claiming the same subject matters and all claims are very similar.

***Claim Rejections - 35 USC § 102***

4. The following is a quotation of the appropriate paragraphs of 35 U.S.C. 102 that form the basis for the rejections under this section made in this Office action:

A person shall be entitled to a patent unless –

(e) the invention was described in (1) an application for patent, published under section 122(b), by another filed in the United States before the invention by the applicant for patent or (2) a patent granted on an application for patent by another filed in the United States before the invention by the applicant for patent, except that an international application filed under the treaty defined in section 351(a) shall have the effects for purposes of this subsection of an application filed in the United States only if the international application designated the United States and was published under Article 21(2) of such treaty in the English language.

5. Claims 1- 42 are rejected under 35 U.S.C. 102(e) as being anticipated by Ono et al (US 2004/0239596 provided in IDS).

Regarding Claim 1, Ono et al teaches a display drive apparatus which operates, in accordance with display data, a current control type optical element of each pixel of a display, wherein each display pixel is provided with the optical element and a drive element which supplies a driving current to the optical element, the display drive apparatus comprising:

a gradation signal generation circuit which generates a gradation signal corresponding to a luminance gradation of the display data and supplies the gradation signal to the display pixel (Paragraph 0027-0048);

a threshold voltage detection circuit which detects a threshold voltage peculiar to the drive element of the display pixel (Paragraph 0035-0040); and

a compensation voltage application circuit which generates a compensation voltage for compensating for the threshold voltage of the drive element based on the threshold voltage and applies the compensation voltage to the drive element before the gradation

signal generation circuit supplies the gradation signal to the display pixel (Figures 1-5,8, Paragraph 0027-0048).

Regarding Claims 2, 11, Ono et al teaches a display drive apparatus further comprising a memory circuit which stores threshold data corresponding to the threshold voltage detected by the threshold voltage detection circuit (Fig.1, Paragraph 0027), wherein the compensation voltage application circuit generates the compensation voltage based on the threshold data stored in the memory circuit (Paragraph 0027, 0035-0040).

Regarding Claims 3,12,32,35,, Ono et al teaches a display drive apparatus further comprising a detecting voltage application circuit which applies to the drive element a voltage for threshold detection which has a higher potential than the threshold voltage, wherein the threshold voltage detection circuit detects, as the threshold voltage, a voltage after the voltage for threshold voltage detection is applied to the drive element by the detecting voltage application circuit and part of electric charges corresponding to the voltage for threshold voltage detection is discharged and converged. (Figs. 3A-3C, Paragraph 0034-0039).

Regarding Claims 4 and 13, Ono et al teaches a display drive apparatus wherein the drive element includes a current path which allows the driving current to flow to the optical element, and a control terminal which controls a supply state of the driving



current, wherein the detecting voltage application circuit applies the voltage for threshold detection to between the control terminal of the drive element and one end side of the current path, and wherein the threshold voltage detection circuit detects, as the threshold voltage, a potential difference between the control terminal of the drive element and the one end side of the current path at a time of absence of current flow in the current path. (Figs. 3A-3C, Paragraph 0039-0040).

Regarding Claims 5 and 14, Ono et al teaches a display drive apparatus further comprising a memory circuit which stores threshold data based on the threshold voltage detected by the threshold voltage detection circuit, and wherein the compensation voltage application circuit applies the compensation voltage based on the threshold data stored in the memory circuit to between the control terminal of the drive element and the one end side of the current path. (Paragraph 0048).

Regarding Claims 6 and 17, Ono et al teaches a display drive apparatus the optical element of each display pixel includes a light emitting element which performs a light emitting operation at a luminance corresponding to a current value of an applied current and wherein the gradation signal generation circuit includes a circuit which generates, as the gradation signal, a gradation current having a current value for allowing the light emitting element to perform a light emitting operation at a luminance corresponding to the luminance gradation of the display data. (Fig.1; Paragraph 0042-0048).

Regarding Claims 7,18,23,24,, Ono et al teaches a display drive apparatus the optical element of each display pixel includes a light emitting element which performs a light emitting operation at a luminance corresponding to a current value of an applied current and wherein the gradation signal generation circuit includes a circuit which generates, as the gradation signal, a non-light emitting display voltage having a predetermined voltage value for  $i_0$  allowing the light emitting element to perform a non-light emitting operation. (Paragraph 0035-0048).

Regarding Claims 8 and 21, Ono et al teaches a display drive apparatus further comprising a signal path switching circuit which selectively switches and controls a connection between a single data line provided in correspondence to the display pixel and each of a signal path which detects the threshold voltage with the threshold voltage detection circuit, a signal path which applies the compensation voltage with the compensation voltage application circuit, and a signal path which supplies the gradation signal with the gradation signal generation circuit. (Fig.2, Paragraph 0029-0033).

Regarding Claims 9, 22, Ono et al teaches a display drive apparatus further comprising a signal path switching circuit which selectively switches and controls a connection between a single data line provided in correspondence to the display pixel and each of a signal path which detects the threshold voltage with the threshold voltage detection circuit, a signal path which applies the compensation voltage with the

compensation voltage application circuit, a signal path which supplies the gradation signal with the gradation signal generation circuit, and\_ a signal path which applies the voltage for threshold detection with the detecting voltage application circuit. (Paragraph 0030-0040).

Regarding Claim 10, Ono et al teaches a display apparatus which displays image information corresponding to display data, the apparatus comprising: a display panel having a plurality of display pixels arranged therein, each of the pixels including a current control type optical element and a drive element which supplies a driving current to the optical element at each of respective intersections of a plurality of selection lines and a plurality of data lines arranged to respectively extend in a row direction and in a column direction; a selection drive unit which sequentially supplies a selection signal to each of the plurality of selection lines of the display panel, thereby setting the display pixels in each row sequentially in a selection state; and a data drive unit comprising: a gradation signal generation circuit which generates a gradation signal corresponding to a luminance gradation of the display data and supplies the gradation signal to each said display pixel a corresponding one of the data lines ( Paragraph 0027-0048); a threshold voltage detection circuit which detects a threshold voltage peculiar to the drive element of each said display pixel via the corresponding one of the data lines (Paragraph 0030-0048); and a compensation voltage application circuit which generates a compensation voltage for compensating for the threshold voltage of each said display pixel based on each

said threshold voltage and applies the compensation voltage to each said display pixel via the corresponding one of the data lines before the gradation signal generation circuit supplies the gradation signal to the display pixel. (Figures 1-5,8, Paragraph 0027-0048).

Regarding Claims 15-16, Ono et al teaches a display apparatus the optical element of each said display pixel includes a light emitting element which performs a light emitting operation at a luminance corresponding to a current value of an applied current, wherein the light emitting element includes an organic electroluminescent element. (Fig.1; Paragraph 0027-0028).

Regarding Claims 19,26,27, Ono et al teaches a display apparatus wherein the data drive unit further comprises: a threshold acquiring circuit which individually fetches the threshold data corresponding to each said threshold voltage detected from each of said plurality of display pixels via the data lines and sequentially transfers each said threshold data; and a data acquiring circuit which sequentially and individually fetches and holds luminance gradation data for generating the gradation signal with respect to each of the display pixels, wherein the memory circuit individually stores each of the threshold data transferred from the threshold acquiring circuit in correspondence to each of said plurality of display pixels,

and wherein the gradation signal generation circuit generates the gradation signal corresponding to the luminance gradation data held in the data acquiring circuit and supplies the gradation signal to each said display pixel the corresponding one of the data lines. (Figs.1-5,8, Paragraph 0027-0048).

Regarding Claim 20, Ono et al teaches a display apparatus wherein a configuration for sequentially and individually fetching the luminance gradation data in the data acquiring circuit and a configuration for fetching the threshold data and sequentially transferring the threshold data in the threshold acquiring circuit are shared. (Fig.2; Paragraph 0029-0033).

Regarding Claim 25, Ono et al teaches a display apparatus further comprising a drive control unit which generates a timing control signal for controlling a timing of the operation of detecting the threshold voltage by the threshold voltage detection circuit. (Fig.1; Paragraph 0026-0027).

Regarding Claim 28,29, Ono et al teaches a display apparatus wherein each of the display pixels comprises a drive circuit which controls an operation of the optical element, and the drive circuit comprises:  
a first switch circuit including a current path having a first end to which a power supply voltage is applied and the other a second end that is connected with a connection point

with the optical element; a second switch circuit including a control terminal that is connected with one of the selection lines, and including a current path having a first end to which a power supply voltage is applied and a second end that is connected with the a control terminal of the first switch circuit; and a third switch including a control terminal that is connected with the one of the selection lines, and including a current path having a first end that is connected with the corresponding one of the data lines and second end that is connected with the connection contact point, wherein said drive element comprises the first switch circuit, wherein the detecting voltage application circuit applies the voltage for threshold detection to between the control terminal of the first switch circuit and the connection contact point, wherein the threshold voltage detection circuit detects, as the threshold voltage, a potential between the control terminal of the first switch circuit and the connection contact point, and wherein the compensation voltage application circuit applies the compensation voltage to between the control terminal of the first switch circuit and the connection contact point; wherein each of the first to third switch circuits includes a field effect transistor provided with a semiconductor layer comprising amorphous silicon. (Fig.1; Paragraph 0030-0048).

6. Regarding Claims 30, Ono et al teaches a drive control method of a display drive apparatus which operates a current control type optical element of a display pixel provided with the optical element and a drive element which supplies a driving current to the optical element, the method comprising:

detecting a threshold voltage peculiar to the drive element; generating a compensation voltage for compensating for the threshold voltage of the drive element based on the threshold voltage and applying the compensation voltage to allow the drive element to hold the voltage as a voltage component ( Paragraph 0030-0048).; and supplying a gradation signal to the display pixel after the drive element holds the voltage component, adding a voltage component based on the gradation signal to the voltage component based on the compensation voltage, and allowing the drive element to hold the voltage component. (Figures 1-5,8, Paragraph 0027-0048).

Regarding Claims 31, Ono et al teaches a drive control method of the display drive apparatus wherein the detecting the threshold voltage includes an operation of storing threshold data corresponding to the threshold voltage, and wherein the operation of storing the threshold data is performed at a timing prior to the application of the compensation voltage to the drive element and holding of the voltage component based on the gradation signal. (Fig.1; Paragraph 0026-0030).

Regarding Claims 33 and 42, Ono et al teaches a drive control method of the display drive apparatus wherein the optical element includes a light emitting element which performs a light emitting operation at a luminance corresponding to a current value of an applied current and wherein the adding a voltage component based on the gradation signal to the voltage component based on the compensation voltage and

allowing the drive element to hold the voltage component includes: when the light emitting element is allowed to perform a light emitting operation at a luminance corresponding to a luminance gradation of display data, generating, as the gradation current, a gradation current having a current value for allowing the optical element to perform a light emitting operation at a luminance corresponding to the luminance gradation of the display data, and supplying the gradation current to the display pixel; and when the light emitting element is allowed to perform a non-light emitting operation, generating, as the gradation signal, a non-light emitting display voltage having a predetermined voltage value for allowing the optical element to perform a non-light emitting operation, and supplying the non-light emitting display voltage to the display pixel. (Figs.1-5,8, Paragraph 0030-0048).

Regarding Claims 34, Ono et al teaches a drive control method of a display apparatus which displays image information corresponding to display data, the apparatus comprising a display panel having a plurality of display pixels arranged therein, each of the pixels comprising a current control type optical element and a drive element which supplies a driving current to the optical element at respective intersections of a plurality of selection lines and a plurality of data lines arranged to respectively extend in a row direction and in a column direction, the method comprising: detecting a threshold voltage peculiar to the drive element of each said display pixel; generating a compensation voltage for compensating for the threshold voltage of the drive element of each said display pixel



based on each said threshold voltage, applying the compensation voltage to the drive element of each said display pixel, allowing the drive element to hold the compensation voltage as a voltage component (Paragraph 0030-0040); supplying a gradation signal to each said display pixel after the drive element of the display pixel holds the voltage component, adding a voltage component based on the gradation signal to the voltage component based on the compensation voltage, and allowing the drive element of each said display pixel to hold the voltage component ( Paragraph 0027-0048); and supplying the driving current created based on the voltage component held in the drive element of each said display pixel to the optical element, and allowing the optical element to be operated in accordance with the gradation signal. (Figures 1-5,8, Paragraph 0027-0048).

Regarding Claims 36-40, Ono et al teaches a drive control method of the display apparatus wherein the detecting the threshold voltage includes: storing threshold data corresponding to the threshold voltage, and the storing the threshold data is performed with respect to all of said plurality of display pixels arranged on the display panel at a timing prior to the application of the compensation voltage and the holding of the voltage component based on the gradation signal, the storing the threshold data is sequentially performed with respect to said plurality of display pixels for each row of display pixels which are arranged on the display panel, wherein the detecting the threshold voltage includes: storing threshold data corresponding to the threshold voltage; and the storing

the threshold data is performed with respect to the drive elements of the display pixels in different rows of the display panel for each of operation periods in which the gradation signal is supplied to all of said plurality of display pixels arranged on the display panel; wherein the adding a voltage component based on the gradation signal to the voltage component based on the compensation voltage and allowing the drive element of each said display pixel to hold the voltage component is sequentially performed with respect to said plurality of display pixels for each row of display pixels wherein the allowing the optical element to be operated in accordance with the gradation signal is sequentially performed from a row at which the adding a voltage component based on the gradation signal to the voltage component based on the compensation voltage is completed.

(Figures 1-5,8, Paragraph 0027-0048).

Regarding Claim 41, Ono et al teaches a drive control method of the display apparatus wherein the adding a voltage component based on the gradation signal to the voltage component based on the compensation voltage and allowing the drive element of each said display pixel to hold the voltage component is sequentially performed for each group which is obtained by grouping said plurality of display pixels arranged on the display panel into groups of a plurality of rows, and wherein the allowing the optical element to be operated in accordance with the gradation signal is sequentially performed from the group in which the adding a voltage component based on the gradation signal to the voltage component based on the compensation voltage is completed. (Paragraph 0027-0048).

***Response to Arguments***

7. Applicant's arguments with respect to claims 1-42 are have been considered but are moot in view of the new ground(s) of rejection.

8. Any inquiry concerning this communication or earlier communications from the examiner should be directed to VIJAY SHANKAR whose telephone number is (571) 272-7682. The examiner can normally be reached on M-F 7:30 am - 5:30 pm.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Alexander Eisen can be reached on (571) 272-7687. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see <http://pair-direct.uspto.gov>. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/VIJAY SHANKAR/  
Primary Examiner, Art Unit 2629

VS

<b>Notice of References Cited</b>	Application/Control No. 11/391,941	Applicant(s)/Patent Under Reexamination SHIRASAKI ET AL.	
	Examiner VIJAY SHANKAR	Art Unit 2629	Page 1 of 1

**U.S. PATENT DOCUMENTS**

*	Document Number Country Code-Number-Kind Code	Date MM-YYYY	Name	Classification
*	A US-7,358,941	04-2008	Ono et al.	345/82
	B US-			
	C US-			
	D US-			
	E US-			
	F US-			
	G US-			
	H US-			
	I US-			
	J US-			
	K US-			
	L US-			
	M US-			

**FOREIGN PATENT DOCUMENTS**

*	Document Number Country Code-Number-Kind Code	Date MM-YYYY	Country	Name	Classification
	N				
	O				
	P				
	Q				
	R				
	S				
	T				

**NON-PATENT DOCUMENTS**

*	Document Number Country Code-Number-Kind Code	Date MM-YYYY	Country	Name	Classification
	Include as applicable: Author, Title Date, Publisher, Edition or Volume, Pertinent Pages)				
	U				
	V				
	W				
	X				


\*A copy of this reference is not being furnished with this Office action. (See MPEP § 707.05(a).)  
 Dates in MM-YYYY format are publication dates. Classifications may be US or foreign.

<b>INFORMATION DISCLOSURE STATEMENT BY APPLICANT</b>				Application Number		11/391,941		
				Filing Date		March 29, 2006		
				First Named Inventor		Tomoyuki SHIRASAKI		
				Group Art Unit		2629		
				Examiner Name		Vijay SHANKAR		
Sheet	1	of	1	Attorney Docket Number		06229/LH		
<b>FOREIGN PATENT DOCUMENTS</b>								
Examiner Initials*	Cite No.	Country Code	Document Number	Kind Code	Patentee or Applicant	Publication Date (MM-DD-YYYY)	Translation	
							Yes	Abstract Only
		KR	10-2004-0041620		CASIO	05-17-2004		
		KR	2003-0078741			10-08-2003		
		KR	10-2006-0032530	A	SAMSUNG ELECTRONICS CO., LTD.	04-26-2006		
		JP	2004-021219	A	CASIO COMPUTER CO., LTD.	01-22-2004		
		JP	2006-178028	A	CASIO COMPUTER CO., LTD.	07-06-2006		
		JP	2003-195810	A	CASIO COMPUTER CO., LTD.	07-09-2003		
		JP	2004-004675	A	SEIKO EPSON CORP.	01-08-2004		
		JP	2006-195477	A	SAMSUNG ELECTRONICS CO., LTD.	07-27-2006		
		JP	2005-115144	A	SEIKO EPSON	04-28-2005		
		JP	2006-119180	A	SEIKO EPSON	05-11-2006		
		JP	2001-147659	A	SONY CORP.	05-29-2001		
		JP	8-330600	A	TDK CORP.	12-13-1996		
<b>OTHER DOCUMENTS</b>								
Examiner Initials*	Cite No.	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.						
		Korean Office Action dated August 31, 2009 and English translation thereof issued in a counterpart Korean Application No. 10-2007-0077017 of <u>related</u> U.S. application Serial No. 11/888,474.						
		Japanese Office Action dated June 13, 2008 and English translation thereof issued in a counterpart Japanese Application No. 2006-209534 of <u>related</u> U.S. application Serial No. 11/888,474.						
		Japanese Office Action dated June 11, 2008 and English translation thereof issued in a counterpart Japanese Application No. 2006-218805 of <u>related</u> U.S. application Serial No. 11/888,474.						
Examiner Signature		/Vijay Shankar/			Date Considered		05/21/2010	

\* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

DATE MAILED OR TRANSMITTED: **October 27, 2009**

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /V.S./

<b>Index of Claims</b> 	<b>Application/Control No.</b> 11391941	<b>Applicant(s)/Patent Under Reexamination</b> SHIRASAKI ET AL.
	<b>Examiner</b> VIJAY SHANKAR	<b>Art Unit</b> 2629

✓	<b>Rejected</b>
=	<b>Allowed</b>


-	<b>Cancelled</b>
÷	<b>Restricted</b>

N	<b>Non-Elected</b>
I	<b>Interference</b>

A	<b>Appeal</b>
O	<b>Objected</b>

Claims renumbered in the same order as presented by applicant
  CPA
  T.D.
  R.1.47

CLAIM		DATE							
Final	Original	09/16/2009	05/21/2010						
	1	✓	✓						
	2	✓	✓						
	3	✓	✓						
	4	✓	✓						
	5	✓	✓						
	6	✓	✓						
	7	✓	✓						
	8	✓	✓						
	9	✓	✓						
	10	✓	✓						
	11	✓	✓						
	12	✓	✓						
	13	✓	✓						
	14	✓	✓						
	15	✓	✓						
	16	✓	✓						
	17	✓	✓						
	18	✓	✓						
	19	✓	✓						
	20	✓	✓						
	21	✓	✓						
	22	✓	✓						
	23	✓	✓						
	24	✓	✓						
	25	✓	✓						
	26	✓	✓						
	27	✓	✓						
	28	✓	✓						
	29	✓	✓						
	30	✓	✓						
	31	✓	✓						
	32	✓	✓						
	33	✓	✓						
	34	✓	✓						
	35	✓	✓						
	36	✓	✓						

<b><i>Index of Claims</i></b> 	<b>Application/Control No.</b> 11391941	<b>Applicant(s)/Patent Under Reexamination</b> SHIRASAKI ET AL.
	<b>Examiner</b> VIJAY SHANKAR	<b>Art Unit</b> 2629


✓	<b>Rejected</b>
=	<b>Allowed</b>

-	<b>Cancelled</b>
÷	<b>Restricted</b>

N	<b>Non-Elected</b>
I	<b>Interference</b>

A	<b>Appeal</b>
O	<b>Objected</b>

<input type="checkbox"/> Claims renumbered in the same order as presented by applicant		<input type="checkbox"/> CPA		<input type="checkbox"/> T.D.		<input type="checkbox"/> R.1.47			
CLAIM		DATE							
Final	Original	09/16/2009	05/21/2010						
	37	✓	✓						
	38	✓	✓						
	39	✓	✓						
	40	✓	✓						
	41	✓	✓						
	42	✓	✓						

<b>Search Notes</b>  	<b>Application/Control No.</b>  11391941	<b>Applicant(s)/Patent Under Reexamination</b>  SHIRASAKI ET AL.
	<b>Examiner</b>  VIJAY SHANKAR	<b>Art Unit</b>  2629

<b>SEARCHED</b>			
<b>Class</b>	<b>Subclass</b>	<b>Date</b>	<b>Examiner</b>
345	76-83, 87-100, 204-215, 690	5/21/10	VS

<b>SEARCH NOTES</b>		
<b>Search Notes</b>	<b>Date</b>	<b>Examiner</b>
INVENTORS NAME SEARCH	5/21/10	VS

<b>INTERFERENCE SEARCH</b>			
<b>Class</b>	<b>Subclass</b>	<b>Date</b>	<b>Examiner</b>

--	--



<b>INFORMATION DISCLOSURE STATEMENT BY APPLICANT</b>				Application Number	11/391,941			
				Filing Date	March 29, 2006			
				First Named Inventor	Tomoyuki SHIRASAKI			
				Group Art Unit	2629			
				Examiner Name	Vijay SHANKAR			
Sheet	1	of	1	Attorney Docket Number	06229/LH			
<b>U.S. PATENT DOCUMENTS</b>								
Examiner Initials*	Cite No.	Document Number	Kind Code	Patentee or Applicant	Publication Date (MM-DD-YYYY)			
		2008/0030495	A1	SHIRASAKI et al	02-07-2008			
		2008/0238953	A1	OGURA	10-02-2008			
		7,561,147	B2	TSUGE	07-14-2009			
		2009/0201231	A1	TAKAHARA et al	08-13-2009			
<b>FOREIGN PATENT DOCUMENTS</b>								
Examiner Initials*	Cite No.	Country Code	Document Number	Kind Code	Patentee or Applicant	Publication Date (MM-DD-YYYY)	Translation	
							Yes	Abstract Only
<b>OTHER DOCUMENTS</b>								
Examiner Initials*	Cite No.	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.						
Examiner Signature	/Vijay Shankar/				Date Considered	05/21/2010		

\* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

DATE MAILED OR TRANSMITTED: **April 19, 2010**

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /V.S./

<b>INFORMATION DISCLOSURE STATEMENT BY APPLICANT</b>				Application Number	11/391,941			
				Filing Date	March 29, 2006			
				First Named Inventor	Tomoyuki SHIRASAKI			
				Group Art Unit	2629			
				Examiner Name	Vijay SHANKAR			
Sheet	1	of	1	Attorney Docket Number	06229/LH			
<b>U.S. PATENT DOCUMENTS</b>								
Examiner Initials*	Cite No.	Document Number	Kind Code	Patentee or Applicant	Publication Date (MM-DD-YYYY)			
		2008/0030495	A1	SHIRASAKI et al	02-07-2008			
		2008/0238953	A1	OGURA	10-02-2008			
		7,561,147	B2	TSUGE	07-14-2009			
		2009/0201231	A1	TAKAHARA et al	08-13-2009			
<b>FOREIGN PATENT DOCUMENTS</b>								
Examiner Initials*	Cite No.	Country Code	Document Number	Kind Code	Patentee or Applicant	Publication Date (MM-DD-YYYY)	Translation	
							Yes	Abstract Only
<b>OTHER DOCUMENTS</b>								
Examiner Initials*	Cite No.	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.						
Examiner Signature					Date Considered			

\* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

DATE MAILED OR TRANSMITTED: **April 19, 2010**

## Electronic Patent Application Fee Transmittal

<b>Application Number:</b>	11391941
<b>Filing Date:</b>	29-Mar-2006
<b>Title of Invention:</b>	Display drive apparatus, display apparatus and drive control method thereof
<b>First Named Inventor/Applicant Name:</b>	Tomoyuki Shirasaki
<b>Filer:</b>	Douglas Holtz/Nalini Sahadeo
<b>Attorney Docket Number:</b>	06229/LH

Filed as Large Entity

### Utility under 35 USC 111(a) Filing Fees

Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
<b>Basic Filing:</b>				
<b>Pages:</b>				
<b>Claims:</b>				
<b>Miscellaneous-Filing:</b>				
<b>Petition:</b>				
<b>Patent-Appeals-and-Interference:</b>				
<b>Post-Allowance-and-Post-Issuance:</b>				
<b>Extension-of-Time:</b>				

Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
<b>Miscellaneous:</b>				
Submission- Information Disclosure Stmt	1806	1	180	180
<b>Total in USD (\$)</b>				<b>180</b>

## Electronic Acknowledgement Receipt

<b>EFS ID:</b>	7441067
<b>Application Number:</b>	11391941
<b>International Application Number:</b>	
<b>Confirmation Number:</b>	6652
<b>Title of Invention:</b>	Display drive apparatus, display apparatus and drive control method thereof
<b>First Named Inventor/Applicant Name:</b>	Tomoyuki Shirasaki
<b>Customer Number:</b>	01933
<b>Filer:</b>	Douglas Holtz/Nalini Sahadeo
<b>Filer Authorized By:</b>	Douglas Holtz
<b>Attorney Docket Number:</b>	06229/LH
<b>Receipt Date:</b>	19-APR-2010
<b>Filing Date:</b>	29-MAR-2006
<b>Time Stamp:</b>	15:51:10
<b>Application Type:</b>	Utility under 35 USC 111(a)

### Payment information:

Submitted with Payment	yes
Payment Type	Credit Card
Payment was successfully received in RAM	\$180
RAM confirmation Number	2395
Deposit Account	
Authorized User	

### File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
-----------------	----------------------	-----------	----------------------------------	------------------	------------------

1		06229ids5.pdf	74739	yes	2
			99f04d7fad28541c68ac2603316b748efae12500		
<b>Multipart Description/PDF files in .zip description</b>					
		<b>Document Description</b>	<b>Start</b>	<b>End</b>	
		Transmittal Letter	1	1	
		Information Disclosure Statement (IDS) Filed (SB/08)	2	2	
<b>Warnings:</b>					
<b>Information:</b>					
2	Fee Worksheet (PTO-875)	fee-info.pdf	29866	no	2
			dbf618f1b826ec88a976117cd32229b9b35fa217		
<b>Warnings:</b>					
<b>Information:</b>					
<b>Total Files Size (in bytes):</b>				104605	
<p><b>This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.</b></p> <p><b><u>New Applications Under 35 U.S.C. 111</u></b>  <b>If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.</b></p> <p><b><u>National Stage of an International Application under 35 U.S.C. 371</u></b>  <b>If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.</b></p> <p><b><u>New International Application Filed with the USPTO as a Receiving Office</u></b>  <b>If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.</b></p>					

Attorney Docket No. 06229/LH

**IN THE UNITED STATES PATENT  
AND TRADEMARK OFFICE**

Applicant(s) : Tomoyuki SHIRASAKI, et al.  
Serial No. : 11/391,941  
Confirm. No. : 6652  
Filed : March 29, 2006  
For : DISPLAY DRIVE APPARATUS, DISPLAY  
APPARATUS AND DRIVE CONTROL METHOD  
THEREOF  
Art Unit : 2629  
Examiner : Vijay SHANKAR

This paper is being  
submitted via EFS-Web on  
April 19, 2010

In the event that this Paper  
is late filed, and the  
necessary petition for  
extension of time is not  
filed concurrently herewith,  
please consider this as a  
Petition for the requisite  
extension of time, and to  
the extent not already paid,  
authorization to charge the  
extension fee to Account  
No. 06-1378. In addition,  
authorization is hereby  
given to charge any fees for  
which payment has not been  
submitted, or to credit any  
overpayments, to Account No.  
06-1378.

**INFORMATION DISCLOSURE STATEMENT  
UNDER 37 CFR 1.97(c) WITH FEE**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

S I R:

Attached is an IDS Form listing the particulars of documents cited by a U.S. Examiner in  
a U.S. Office Action dated March 24, 2010, in related U.S. application Serial No. 11/888,474  
(US 2008/0030495). The Publication Number (US 2008/0030495) of said related U.S.  
application is also listed on the attached IDS form.

The USPTO fee of \$180.00 as set forth under 37 CFR 1.17(p) for filing an IDS at this  
stage of prosecution (after issuance of a first Office Action) is being paid by credit card  
herewith. If any further fees are required, authorization is given to charge same against  
Account No. 06-1378.

It is requested that an initialed copy of the IDS Form be returned to indicate that the  
documents listed therein have been considered and made of record.

Respectfully submitted,



Douglas Holtz  
Reg. No. 33,902

Frishauf, Holtz, Goodman & Chick, P.C.  
220 Fifth Avenue, 16<sup>th</sup> Floor  
New York, NY 10001-7708  
Tel. No. (212) 319-4900  
Fax. No. (212) 319-5101  
DH:nps

Attorney Docket No. 06229/LH

**IN THE UNITED STATES PATENT  
AND TRADEMARK OFFICE**

Applicant(s): Tomoyuki SHIRASAKI, et al.  
Serial No. : 11/391,941  
Confirm. No.: 6652  
Filed : March 29, 2006  
For : DISPLAY DRIVE APPARATUS, DISPLAY  
APPARATUS AND DRIVE CONTROL  
METHOD THEREOF  
Art Unit : 2629  
Examiner : Vijay SHANKAR

This paper is being submitted  
via EFS-Web on March 9, 2010

In the event that this Paper is  
late filed, and the necessary  
petition for extension of time  
is not filed concurrently  
herewith, please consider this  
as a Petition for the requisite  
extension of time, and to the  
extent not already paid,  
authorization to charge the  
extension fee to Account  
No. 06-1378. In addition,  
authorization is hereby given to  
charge any fees for which  
payment has not been submitted,  
or to credit any overpayments,  
to Account No. 06-1378.

**RESPONSE TO NOTICE OF  
NON-COMPLIANT AMENDMENT**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

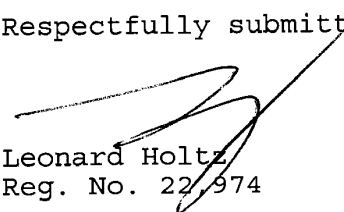
S I R :

This is responsive to the Notice of Non-Compliant Amendment  
mailed February 24, 2010, the term for response to which expires  
on March 24, 2010.

Submitted herewith is a replacement Listing of Claims  
wherein each claim has the proper status identifier.

If the Examiner has any comments, questions, objections or  
recommendations, the Examiner is invited to telephone the  
undersigned for prompt action.

Respectfully submitted,

  
Leonard Holtz  
Reg. No. 22,974

Frishauf, Holtz, Goodman & Chick, P.C.  
220 Fifth Avenue - 16<sup>th</sup> Floor  
New York, New York 10001-7708  
Tel. No. (212) 319-4900  
Fax No. (212) 319-5101  
LH:nps



**Listing of Claims:**

1. (Currently Amended) A display drive apparatus which operates, in accordance with display data, a current control type optical element of each of display ~~pixels~~ pixel of a display, wherein each display pixel is provided with the optical element and a drive element which supplies a driving current to the optical element, the display drive apparatus comprising:

5 a gradation signal generation circuit which generates a gradation signal corresponding to a luminance gradation of the display data and supplies the gradation signal to the display  
10 pixel;

a threshold voltage detection circuit which detects a threshold voltage peculiar to the drive element of the display pixel; and

15 a compensation voltage application circuit which generates a compensation voltage for compensating for the threshold voltage of the drive element based on ~~the basis~~ of the threshold voltage and applies the compensation voltage to the drive element before the gradation signal generation circuit supplies the gradation signal to the display pixel.

2. (Currently Amended) The display drive apparatus according to claim 1, further comprising a memory circuit which stores threshold data corresponding to the threshold voltage detected by the threshold voltage detection circuit,

5            wherein the compensation voltage application circuit  
generates the compensation voltage based on ~~the basis of~~ the  
threshold data stored in the memory circuit.

3. (Currently Amended) The display drive apparatus  
according to claim 1, further comprising a detecting voltage  
application circuit which applies to the drive element a voltage  
for threshold detection which has a higher potential than the  
5    threshold voltage,

          wherein the threshold voltage detection circuit ~~which~~  
detects, as the threshold voltage, a voltage after the voltage  
for threshold voltage detection is applied to the drive element  
by the detecting voltage application circuit and part of electric  
10    charges corresponding to the voltage for threshold voltage  
detection is discharged and converged.

4. (Currently Amended) The display drive apparatus  
according to claim 3, wherein the drive element includes a  
current path which allows the driving current to flow to the  
optical element, and a control terminal which controls a supply  
5    state of the driving current,

wherein the detecting voltage application circuit applies  
the voltage for threshold detection to between the control  
terminal of the drive element and one end side of the current  
path, and

10            wherein the threshold voltage detection circuit detects, as the threshold voltage, a potential difference between the control terminal of the drive element and the one end side of the current path at ~~the~~ a time of ~~the~~ absence of current flow in the current path.

5. (Currently Amended) The display drive apparatus according to claim 4, further comprising a memory circuit which stores threshold data based on the threshold voltage detected by the threshold voltage detection circuit, and

5            wherein the compensation voltage application circuit applies the compensation voltage based on the threshold data stored in the memory circuit to between the control terminal of the drive element and the one end side of the current path.

6. (Currently Amended) The display drive apparatus according to claim 1, wherein ~~each of the optical elements has~~ element of each display pixel includes a light emitting element which performs a light emitting operation at a luminance corresponding to a current value of ~~[[a]]~~ an applied current applied, and

10            wherein the gradation signal generation circuit includes a circuit which generates, as the gradation signal, a gradation current having a current value for allowing the light emitting element to perform a light emitting operation at a luminance corresponding to the luminance gradation of the display data.

7. (Currently Amended) The display drive apparatus according to claim 1, wherein ~~each of the optical elements~~ element of each display pixel includes a light emitting element which performs a light emitting operation at a luminance corresponding to a current value of [[a]] an applied current ~~applied~~, and

wherein the gradation signal generation circuit includes a circuit which generates, as the gradation signal, a non-light emitting display voltage having a predetermined voltage value for allowing the light emitting element to perform a non-light emitting operation.

8. (Original) The display drive apparatus according to claim 1, further comprising a signal path switching circuit which selectively switches and controls a connection between a single data line provided in correspondence to the display pixel and each of a signal path which detects the threshold voltage with the threshold voltage detection circuit, a signal path which applies the compensation voltage with the compensation voltage application circuit, and a signal path which supplies the gradation signal with the gradation signal generation circuit.

9. (Currently Amended) The display drive apparatus according to claim [[8]] 3, further comprising a signal path switching circuit which selectively switches and controls a

connection between a single data line provided in correspondence  
5 to the display pixel and each of a signal path which detects the  
threshold voltage with the threshold voltage detection circuit, a  
signal path which applies the compensation voltage with the  
compensation voltage application circuit, a signal path which  
supplies the gradation signal with the gradation signal  
10 generation circuit, and ~~wherein the signal path switching circuit~~  
~~further selectively switches and controls a connection between a~~  
signal path which applies the voltage for threshold detection  
with the detecting voltage application circuit. ~~circuits and the~~  
single data line.

10. (Currently Amended) A display apparatus which displays image information corresponding to display data, the apparatus comprising:

a display panel having a plurality of display pixels  
5 arranged therein, each of the pixels including a current control  
type optical element and a drive element which supplies a driving  
current to the optical element, at each of respective  
intersections of a plurality of selection lines and a plurality  
of data lines arranged to respectively extend in a row direction  
10 and in a column direction;

a selection drive unit which sequentially supplies a selection signal to each of the plurality of selection lines of the display panel, thereby setting the display pixels in each row sequentially in a selection state; and

15 a data drive unit comprising:

a gradation signal generation circuit which generates a gradation signal corresponding to a luminance gradation of the display data and supplies the gradation signal to ~~said~~ each said display pixel via ~~said each~~ a corresponding one of the data line  
20 lines;

a threshold voltage detection circuit which detects a threshold voltage peculiar to the drive element of ~~said~~ each said display pixel via ~~said each~~ the corresponding one of the data  
line lines; and

25 a compensation voltage application circuit which generates a compensation voltage for compensating for the threshold voltage of ~~said~~ each said display pixel based on the  
basis of said each said threshold voltage, and applies the compensation voltage to ~~said~~ each said display pixel via ~~said~~  
30 ~~each~~ the corresponding one of the data line lines before the  
gradation signal generation circuit supplies the gradation signal  
to the display pixel.

11. (Currently Amended) The display apparatus according to claim 10, wherein the data drive unit further comprises a memory circuit which stores threshold data corresponding to ~~the~~ each  
said threshold voltage detected by the threshold voltage  
5 detection circuit, and

wherein the compensation voltage application circuit generates ~~the~~ each said compensation voltage based on ~~the basis~~ of the threshold data stored in the memory circuit.

12. (Currently Amended) The display apparatus according to claim 10, wherein the data drive unit further comprises a detecting voltage application circuit which supplies a voltage for threshold detection which has a higher potential than the  
5 threshold voltage to the drive element of ~~said~~ each said display pixel via ~~said each~~ the corresponding one of the data line lines, and

wherein the threshold voltage detection circuit detects as the threshold voltage ~~via said each data line~~ peculiar to the  
10 drive element a voltage after the voltage for threshold voltage detection is applied to the drive element via ~~said each~~ the corresponding one of the data line lines and part of electric charges corresponding to the voltage for threshold voltage detection is discharged and converged.

13. (Currently Amended) The display apparatus according to claim 12, wherein the drive element of each said display pixel comprises a current path which allows the driving current to flow to the optical element, and a control terminal which controls a  
5 supply state of the driving current,

wherein the detecting voltage application circuit applies a voltage for threshold detection to between the control terminal of the drive element and one end side of the current path, and

10 wherein the threshold voltage detection circuit detects a potential difference between the control terminal of the drive element and the one end side of the current path at ~~the~~ a time of ~~the~~ absence of current flow in the current path as the threshold voltage via ~~said each~~ the corresponding one of the data line  
lines.

14. (Currently Amended) The display apparatus according to claim 13, wherein the data drive unit further comprises a memory circuit which stores threshold data based on each said threshold voltage detected by the threshold voltage detection circuit, and

5 wherein the compensation voltage application circuit applies the compensation voltage based on the threshold data stored in the memory circuit to between the control terminal of the drive element and the one end side of the current path via ~~said each~~ the corresponding one of the data line lines.

15. (Currently Amended) The display apparatus according to claim 10, wherein ~~each of the optical elements has~~ element of each said display pixel includes a light emitting element which performs a light emitting operation at a luminance corresponding to a current value of ~~[[a]]~~ an applied current ~~applied~~.



16. (Original) The display apparatus according to claim 15, wherein the light emitting element includes an organic electroluminescent element.

17. (Original) The display apparatus according to claim 15, wherein the gradation signal generation circuit comprises a circuit which generates, as the gradation signal, a gradation current having a current value for allowing the light emitting  
5 element to perform a light emitting operation at a luminance corresponding to the luminance gradation of the display data.

18. (Original) The display apparatus according to claim 15, wherein the gradation signal generation circuit comprises a circuit which generates, as the gradation signal, a non-light emitting display voltage having a predetermined voltage value for  
5 allowing the light emitting element to perform a non-light emitting operation.

19. (Currently Amended) The display apparatus according to claim 11, wherein the data drive unit further comprises:

a threshold acquiring circuit which individually fetches ~~said each of~~ the threshold data corresponding to ~~said each~~  
5 said threshold voltage detected from each of said plurality of display pixels via ~~said each the~~ data line lines and sequentially transfers ~~said each~~ said threshold data; and

a data acquiring circuit which sequentially and individually fetches and holds luminance gradation data for generating the gradation signal with respect to each of the display pixels,

10        wherein the memory circuit individually stores each of the threshold data transferred from the threshold acquiring circuit in correspondence to each of said plurality of display pixels, and

15        wherein the gradation signal generation circuit generates the gradation signal corresponding to the luminance gradation data held in the data acquiring circuit and supplies the gradation signal to ~~said~~ each said display pixel via ~~said each~~ the corresponding one of the data line lines.

20. (Currently Amended) The display apparatus according to claim 19, wherein a configuration ~~of~~ for sequentially and individually fetching the luminance gradation data in the data acquiring circuit and a configuration ~~of~~ for fetching the threshold data and sequentially transferring the threshold data  
5        in the threshold acquiring circuit are shared.

21. (Currently Amended) The display apparatus according to claim 10, wherein the data drive unit comprises a signal path switching circuit which selectively switches and controls a connection between ~~a single one of the data line provided in~~  
5        ~~correspondence to the display pixel~~ lines and each of a signal path which detects the threshold voltage with the threshold

voltage detection circuit, a signal path which applies the  
compensation voltage with the compensation voltage application  
circuit, and a signal path which supplies the gradation signal  
10 with the gradation signal generation circuit.

22. (Currently Amended) The display apparatus according to  
claim ~~21~~ 12, wherein the data drive unit comprises a signal path  
switching circuit which selectively switches and controls a  
connection between one of the data lines and each of a signal  
5 path which detects the threshold voltage with the threshold  
voltage detection circuit, a signal path which applies the  
compensation voltage with the compensation voltage application  
circuit, a signal path which supplies the gradation signal with  
the gradation signal generation circuit, and ~~signal path~~  
10 ~~switching circuit further selectively switches and controls a~~  
~~connection between~~ a signal path which applies the voltage for  
threshold with the detecting voltage application circuit, ~~and the~~  
~~single data line.~~

23. (Currently Amended) The display apparatus according to  
claim 10, further comprising a power source drive unit which  
applies a predetermined power supply voltage to each of said  
plurality of display pixels,  
5 wherein the power source drive unit sequentially applies the  
power supply voltage to the display ~~pixel~~ pixels in each row of

the display panel at a predetermined timing, thereby setting the display ~~pixel~~ pixels in each row in an operation state.

24. (Currently Amended) The display apparatus according to claim 10, further comprising a power source drive unit which applies a predetermined power supply voltage to each of said plurality of display pixels,

5            wherein the power source drive unit sequentially applies the power supply voltage at a predetermined timing to the display ~~pixel~~ pixels for each group which is obtained by dividing said plurality of display pixels arranged on the display panel into sets ~~for each~~ of a plurality of rows, thereby setting the display  
10 ~~pixel~~ pixels in each group in an operation state.

25. (Original) The display apparatus according to claim 10, further comprising a drive control unit which generates a timing control signal for controlling a timing of the operation of detecting the threshold voltage by the threshold voltage detection circuit.

26. (Currently Amended) The display apparatus according to claim 25, wherein the drive control unit ~~makes a~~ performs control with the timing control signal so as to cause the threshold voltage detection circuit to detect the threshold voltage of the  
5 drive elements of the display pixels in different rows of the display panel for each of operation periods in which the

gradation signal is supplied to all of said plurality of display pixels arranged on the display panel by means of the selection drive unit and the data drive unit.

27. (Currently Amended) The display apparatus according to claim 25, wherein the drive control unit ~~makes a~~ performs control with the timing control signal so as to cause the threshold voltage detection circuit to detect the threshold voltage of the drive elements of the display pixels in adjacent rows of the display panel for each of operation periods in which the gradation signal is supplied to all of said plurality of display pixels arranged on the display panel by means of the selection drive unit and the data drive unit.

28. (Currently Amended) The display apparatus according to claim ~~10~~ 12, wherein each of the ~~drive~~ display pixels comprises a drive circuit which controls an operation of the optical element, and the drive circuit comprises:

a first switch circuit including a current path having a first end to in which ~~one end of a current path thereof is applied with the~~ a power supply voltage is applied and ~~the other~~ a second end of the current path that is connected with a connection point with the optical element;

a second switch circuit ~~in which~~ including a control terminal ~~thereof that~~ is connected with one of the selection ~~line~~ lines, and including a current path having a first one end of a

~~current path thereof is applied with to which~~ the power supply  
voltage is applied [[,]] and ~~the other a second end of the~~  
15 ~~current path that~~ is connected with ~~the a~~ control terminal of the  
first switch circuit; and

a third switch circuit ~~in which including~~ a control terminal  
~~thereof that~~ is connected with the one of the selection line  
lines, and including a current path having a first one end of a  
20 ~~current path thereof that~~ is connected with the corresponding one  
of the data line, lines and ~~the other a second end of the current~~  
~~path that~~ is connected with the connection contact point,

wherein said drive element ~~is comprises~~ the first switch  
circuit,

25 wherein the detecting voltage application circuit applies  
the voltage for threshold detection to between the control  
terminal of the first switch circuit and the connection contact  
point,

wherein the threshold voltage detection circuit detects, as  
30 the threshold voltage, a potential between the control terminal  
of the first switch circuit and the connection contact point, and

wherein the compensation voltage application circuit applies  
the compensation voltage to between the control terminal of the  
first switch circuit and the connection contact point.

29. (Original) The display apparatus according to claim 28,  
wherein each of the first to third switch circuits includes a

field effect transistor provided with a semiconductor layer comprising amorphous silicon.

30. (Currently Amended) A drive control method of a display drive apparatus which operates a current control type optical element of a display pixel provided with the optical element and a drive element which supplies a driving current to the optical element, the method comprising:

detecting a threshold voltage peculiar to the drive element; generating a compensation voltage for compensating for the threshold voltage of the drive element based on ~~the basis of~~ the threshold voltage and applying the compensation voltage to allow the drive element to hold the voltage as a voltage component; and supplying a gradation signal to the display pixel after the drive element holds the voltage component, adding a voltage component based on the gradation signal to the voltage component based on the compensation voltage, and allowing the drive element to hold the voltage component.

31. (Currently Amended) The drive control method of the display drive apparatus [[,]] according to claim 30, ~~where~~ wherein the detecting the threshold voltage includes an operation of storing threshold data corresponding to the threshold voltage, and

wherein the operation of storing the threshold data by ~~detecting the threshold voltage~~ is performed at a timing prior to

the application of the compensation voltage to the drive element  
and holding of the voltage component based on the gradation  
10 signal.

32. (Currently Amended) The drive control method of the  
display drive apparatus [[,]] according to claim 30, wherein the  
detecting the threshold voltage includes:

5 applying a voltage for threshold detection which has a  
higher potential than the threshold voltage; and

detecting, as the threshold voltage, a voltage after part of  
electric charges corresponding to the voltage for threshold  
voltage detection is discharged and converged.

33. (Currently Amended) The drive control method of the  
display drive apparatus [[,]] according to claim 30, wherein ~~each~~  
~~of the optical elements has~~ element includes a light emitting  
element which performs a light emitting operation at a luminance  
5 corresponding to a current value of [[a]] an applied current  
~~applied, and~~

wherein the adding a voltage component based on the  
gradation signal to the voltage component based on the  
compensation voltage and allowing the drive element to hold the  
10 voltage component [[,]] includes:

~~in the case where~~ when the light emitting element is allowed  
to perform a light emitting operation at a luminance  
corresponding to a luminance gradation of display data,



generating, as the gradation current, a gradation current having  
15 a current value for allowing the optical element to perform a  
light emitting operation at a luminance corresponding to the  
luminance gradation of the display data, and supplying the  
gradation current to the display pixel; and

~~in the case where~~ when the light emitting element is allowed  
20 to perform a non-light emitting operation, generating, as the  
gradation signal, a non-light emitting display voltage having a  
predetermined voltage value for allowing the optical element to  
perform a non-light emitting operation, and supplying the  
non-light emitting display voltage to the display pixel.

34. (Currently Amended) A drive control method of a display  
apparatus which displays image information corresponding to  
display data, the apparatus comprising a display panel having a  
plurality of display pixels arranged therein, each of the pixels  
5 comprising a current control type optical element and a drive  
element which supplies a driving current to the optical element,  
at respective intersections of a plurality of selection lines and  
a plurality of data lines arranged to respectively extend in a  
row direction and in a column direction, the method comprising:

10 detecting a threshold voltage peculiar to the drive element  
of ~~said~~ each said display pixel;

generating a compensation voltage for compensating for the  
threshold voltage of the drive element of each said display pixel  
based on ~~the basis of the~~ each said threshold voltage, applying

15 the compensation voltage to the drive element of ~~said~~ each said  
display pixel, and ~~holding~~ allowing the drive element to hold the  
compensation voltage as a voltage component;

supplying a gradation signal to ~~said~~ each said display pixel  
after the drive element of the display pixel holds the voltage  
20 component, adding a voltage component based on the gradation  
signal to the voltage component based on the compensation  
voltage, and allowing the drive element of ~~said~~ each said display  
pixel to hold the voltage component; and

supplying the driving current created based on ~~the basis of~~  
25 the voltage component held in the drive element of ~~said~~ each said  
display pixel to the optical element, and allowing the optical  
element to be operated in accordance with the gradation signal.

35. (Currently Amended) The drive control method of the  
display apparatus [[,]] according to claim 34, wherein the  
detecting the threshold voltage includes:

applying a voltage for threshold detection which has a  
5 higher potential than the threshold voltage to the drive element  
of ~~said~~ each said display pixel; and

detecting, as the threshold voltage, a voltage after part of  
electric charges corresponding to the voltage for threshold  
detection is discharged and converged.

36. (Currently Amended) The drive control method of the display apparatus [[,]] according to claim 34, wherein the detecting the threshold voltage includes:

5 storing threshold data corresponding to the threshold voltage, and

the storing the threshold data ~~by detecting the threshold voltage~~ is performed with respect to all of said plurality of display pixels arranged on the display panel at a timing prior to the application of the compensation voltage ~~to the drive element~~ and the holding of the voltage component based on the gradation  
10 signal.

37. (Currently Amended) The drive control method of the display apparatus [[,]] according to claim 36, wherein the storing the threshold data ~~by detecting the threshold voltage~~ is sequentially performed with respect to said plurality of display pixels for each row of display pixels ~~which are arranged on the display panel~~.

38. (Currently Amended) The drive control method of the display apparatus [[,]] according to claim 34, wherein the detecting the threshold voltage ~~including~~ includes:

5 storing threshold data corresponding to the threshold voltage; and

the storing the threshold data ~~by detecting the threshold voltage~~ is performed with respect to the drive elements of the

display pixels in different rows of the display panel for each of  
operation periods in which the gradation signal is supplied to  
10 all of said plurality of display pixels arranged on the display  
panel.

39. (Currently Amended) The drive control method of the  
display apparatus [[,]] according to claim 34, wherein the  
detecting the threshold voltage includes:

storing threshold data corresponding to the threshold  
5 voltage, and

the storing the threshold voltage ~~by detecting the threshold~~  
~~voltage~~ is performed with respect to the drive elements of the  
display pixels in adjacent rows of the display panel for each of  
operation periods in which the gradation signal is supplied to  
10 all of said plurality of display pixels arranged on the display  
panel.

40. (Currently Amended) The drive control method of the  
display apparatus [[,]] according to claim 34, wherein the adding  
a voltage component based on the gradation signal to the voltage  
component based on the compensation voltage and allowing the  
5 drive element of ~~said~~ each said display pixel to hold the voltage  
component is sequentially performed with respect to said  
plurality of display pixels for each row of display pixels ~~which~~  
~~are arranged on the display panel~~, and

10        wherein the allowing the optical element to be ~~performed~~  
operated in accordance with the gradation signal is sequentially  
performed from a row at which the adding a voltage component  
based on the gradation signal to the voltage component based on  
the compensation voltage ~~to be held~~ is completed.

41. (Currently Amended) The drive control method of the  
display apparatus [[,]] according to claim 34, wherein the adding  
a voltage component based on the gradation signal to the voltage  
component based on the ~~gradation signal~~ compensation voltage and  
5        allowing the drive element of ~~said~~ each said display pixel to  
hold the voltage component is sequentially performed for each  
group which is obtained by grouping said plurality of display  
pixels arranged on the display panel ~~for each of the~~ into groups  
of a plurality of rows, and

10        wherein the ~~operation of~~ allowing the optical element to  
~~perform a light emitting operation with a luminance gradation~~  
~~corresponding to~~ be operated in accordance with the gradation  
signal is sequentially performed from the group in which the  
adding a voltage component based on the gradation signal to the  
15        voltage component based on the ~~gradation signal to be held~~  
compensation voltage is completed.

42. (Currently Amended) The drive control method of the  
display apparatus [[,]] according to claim 34, wherein each of  
the optical elements ~~has~~ includes a light emitting element which

performs a light emitting operation at a luminance corresponding  
5 to a current value of [[a]] an applied current ~~applied~~, and

wherein the adding a voltage component based on the  
gradation signal to the voltage component based on the  
compensation voltage and allowing the drive element to hold the  
voltage component includes, for each said display pixel:

10 ~~in the case where~~ when the light emitting element ~~of said~~  
~~each display element~~ is allowed to perform a light emitting  
operation at a luminance corresponding to a gradation luminance  
of display data, generating, as the gradation current, a  
gradation current having a current value for allowing the optical  
15 element to perform a light emitting operation at a luminance  
corresponding to the gradation luminance of the display data, and  
supplying the gradation current to the display pixel; and

~~in the case where~~ when the light emitting element ~~of said~~  
~~each display pixel~~ is allowed to perform a non-light emitting  
20 operation, generating, as the gradation signal, a non-light  
emitting display voltage having a predetermined voltage for  
allowing the optical element to perform a non-light emitting  
operation, and ~~supply~~ supplying the non-light emitting display  
voltage to the display pixel.

## Electronic Acknowledgement Receipt

<b>EFS ID:</b>	7171952
<b>Application Number:</b>	11391941
<b>International Application Number:</b>	
<b>Confirmation Number:</b>	6652
<b>Title of Invention:</b>	Display drive apparatus, display apparatus and drive control method thereof
<b>First Named Inventor/Applicant Name:</b>	Tomoyuki Shirasaki
<b>Customer Number:</b>	01933
<b>Filer:</b>	Leonard Holtz/Nalini Sahadeo
<b>Filer Authorized By:</b>	Leonard Holtz
<b>Attorney Docket Number:</b>	06229/LH
<b>Receipt Date:</b>	09-MAR-2010
<b>Filing Date:</b>	29-MAR-2006
<b>Time Stamp:</b>	15:36:53
<b>Application Type:</b>	Utility under 35 USC 111(a)

### Payment information:

Submitted with Payment	no
------------------------	----

### File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		06229_amd.pdf	842855 <small>064933daea2baebc7170554bfcdcb5cde79e582c</small>	yes	23

<b>Multipart Description/PDF files in .zip description</b>		
<b>Document Description</b>	<b>Start</b>	<b>End</b>
Supplemental Response or Supplemental Amendment	1	1
Claims	2	23
<b>Warnings:</b>		
<b>Information:</b>		
<b>Total Files Size (in bytes):</b>		842855
<p><b>This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.</b></p> <p><b><u>New Applications Under 35 U.S.C. 111</u></b>  <b>If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.</b></p> <p><b><u>National Stage of an International Application under 35 U.S.C. 371</u></b>  <b>If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.</b></p> <p><b><u>New International Application Filed with the USPTO as a Receiving Office</u></b>  <b>If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.</b></p>		



Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

<b>PATENT APPLICATION FEE DETERMINATION RECORD</b> Substitute for Form PTO-875					Application or Docket Number <b>11/391,941</b>		Filing Date <b>03/29/2006</b>		<input checked="" type="checkbox"/> To be Mailed				
<b>APPLICATION AS FILED – PART I</b>							OTHER THAN SMALL ENTITY						
(Column 1)			(Column 2)		SMALL ENTITY <input type="checkbox"/>		OR		SMALL ENTITY				
FOR		NUMBER FILED	NUMBER EXTRA		RATE (\$)	FEE (\$)	OR		RATE (\$)	FEE (\$)			
<input type="checkbox"/> BASIC FEE <small>(37 CFR 1.16(a), (b), or (c))</small>		N/A	N/A		N/A				N/A				
<input type="checkbox"/> SEARCH FEE <small>(37 CFR 1.16(k), (l), or (m))</small>		N/A	N/A		N/A				N/A				
<input type="checkbox"/> EXAMINATION FEE <small>(37 CFR 1.16(o), (p), or (q))</small>		N/A	N/A		N/A				N/A				
TOTAL CLAIMS <small>(37 CFR 1.16(i))</small>		minus 20 =	*		X \$ =				X \$ =				
INDEPENDENT CLAIMS <small>(37 CFR 1.16(h))</small>		minus 3 =	*		X \$ =				X \$ =				
<input type="checkbox"/> APPLICATION SIZE FEE <small>(37 CFR 1.16(s))</small>		If the specification and drawings exceed 100 sheets of paper, the application size fee due is \$250 (\$125 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).											
<input type="checkbox"/> MULTIPLE DEPENDENT CLAIM PRESENT <small>(37 CFR 1.16(j))</small>													
* If the difference in column 1 is less than zero, enter "0" in column 2.													
<b>APPLICATION AS AMENDED – PART II</b>					OTHER THAN SMALL ENTITY								
(Column 1)			(Column 2)		(Column 3)			SMALL ENTITY		OR		SMALL ENTITY	
AMENDMENT	<b>03/09/2010</b>		CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE (\$)	ADDITIONAL FEE (\$)	OR		RATE (\$)	ADDITIONAL FEE (\$)	
	Total <small>(37 CFR 1.16(i))</small>		* 42	Minus	** 42	= 0	X \$ =				X \$52=	0	
	Independent <small>(37 CFR 1.16(h))</small>		* 4	Minus	***4	= 0	X \$ =				X \$220=	0	
	<input type="checkbox"/> Application Size Fee <small>(37 CFR 1.16(s))</small>												
	<input type="checkbox"/> FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM <small>(37 CFR 1.16(j))</small>												
							TOTAL ADD'L FEE		OR		TOTAL ADD'L FEE	<b>0</b>	
AMENDMENT			CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE (\$)	ADDITIONAL FEE (\$)	OR		RATE (\$)	ADDITIONAL FEE (\$)	
	Total <small>(37 CFR 1.16(i))</small>		*	Minus	**	=	X \$ =				X \$ =		
	Independent <small>(37 CFR 1.16(h))</small>		*	Minus	***	=	X \$ =				X \$ =		
	<input type="checkbox"/> Application Size Fee <small>(37 CFR 1.16(s))</small>												
	<input type="checkbox"/> FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM <small>(37 CFR 1.16(j))</small>												
							TOTAL ADD'L FEE		OR		TOTAL ADD'L FEE		
* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.													
** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".													
*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".													
The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.													
							Legal Instrument Examiner: /KATRINA HARLING/						

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**  
 If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.




UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE  
U.S. Patent and Trademark Office  
Address: COMMISSIONER FOR PATENTS  
P.O. Box 1450  
Alexandria, Virginia 22313-1450  
www.uspto.gov

1933 e 02/24/2010  
FRISHAUF, HOLTZ, GOODMAN & CHICK, PC  
220 Fifth Avenue  
16TH Floor  
NEW YORK, NY 10001-7708

**Paper No.**

Application No.:	11/391,941	Date Mailed:	02/24/2010
			
First Named Inventor:	Shirasaki, Tomoyuki,	Examiner:	SHANKAR, VIJAY
Attorney Docket No.:	06229/LH	Art Unit:	2629
Confirmation No.:	6652	Filing Date:	03/29/2006

**Please find attached an Office communication concerning this application or proceeding.**

**Commissioner for Patents**

<b>Notice of Non-Compliant Amendment (37 CFR 1.121)</b>	<b>Application No.</b> 11/391,941	<b>Applicant(s)</b> SHIRASAKI ET AL.	
		<b>Art Unit</b> 2600	

**-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --**

The amendment document filed on 08 January, 2010 is considered non-compliant because it has failed to meet the requirements of 37 CFR 1.121 or 1.4. In order for the amendment document to be compliant, correction of the following item(s) is required.

THE FOLLOWING MARKED (X) ITEM(S) CAUSE THE AMENDMENT DOCUMENT TO BE NON-COMPLIANT:

- 1. Amendments to the specification:
  - A. Amended paragraph(s) do not include markings.
  - B. New paragraph(s) should not be underlined.
  - C. Other \_\_\_\_\_.
- 2. Abstract:
  - A. Not presented on a separate sheet. 37 CFR 1.72.
  - B. Other \_\_\_\_\_.
- 3. Amendments to the drawings:
  - A. The drawings are not properly identified in the top margin as "Replacement Sheet," "New Sheet," or "Annotated Sheet" as required by 37 CFR 1.121(d).
  - B. The practice of submitting proposed drawing correction has been eliminated. Replacement drawings showing amended figures, without markings, in compliance with 37 CFR 1.84 are required.
  - C. Other \_\_\_\_\_.
- 4. Amendments to the claims:
  - A. A complete listing of all of the claims is not present.
  - B. The listing of claims does not include the text of all pending claims (including withdrawn claims)
  - C. Each claim has not been provided with the proper status identifier, and as such, the individual status of each claim cannot be identified. Note: the status of every claim must be indicated after its claim number by using one of the following status identifiers: (Original), (Currently amended), (Canceled), (Previously presented), (New), (Not entered), (Withdrawn) and (Withdrawn-currently amended).
  - D. The claims of this amendment paper have not been presented in ascending numerical order.
  - E. Other: \_\_\_\_\_.
- 5. Other (e.g., the amendment is unsigned or not signed in accordance with 37 CFR 1.4): For further explanation of the amendment format required by 37 CFR 1.121, see MPEP § 714.

TIME PERIODS FOR FILING A REPLY TO THIS NOTICE:

1. Applicant is given **no new time period** if the non-compliant amendment is an after-final amendment or an amendment filed after allowance, or a drawing submission (only) If applicant wishes to resubmit the non-compliant after-final amendment with corrections, the **entire corrected amendment** must be resubmitted.
2. Applicant is given **one month**, or thirty (30) days, whichever is longer, from the mail date of this notice to supply the correction, if the non-compliant amendment is one of the following: a preliminary amendment, a non-final amendment (including a submission for a request for continued examination (RCE) under 37 CFR 1.114), a supplemental amendment filed within a suspension period under 37 CFR 1.103(a) or (c), and an amendment filed in response to a Quayle action. If any of above boxes 1 to 4 are checked, the correction required is only the corrected section of the non-compliant amendment in compliance with 37 CFR 1.121.

**Extensions of time** are available under 37 CFR 1.136(a) only if the non-compliant amendment is a non-final amendment or an amendment filed in response to a *Quayle* action.

**Failure to timely respond** to this notice will result in:

- Abandonment** of the application if the non-compliant amendment is a non-final amendment or an amendment filed in response to a *Quayle* action; or
- Non-entry** of the amendment if the non-compliant amendment is a preliminary amendment or supplemental amendment.

Legal Instruments Examiner (LIE), if applicable /MARQUETTA MCGEE/

Telephone No: (571)272-2956

Claim 16 has no markings, but the status identifier is "Currently amended".

Application Serial No. 11/391,941  
Response to Office Action

Customer No. 01933

Attorney Docket No. 06229/LH

This paper is being submitted  
via EFS-Web on January 8, 2010

**IN THE UNITED STATES PATENT  
AND TRADEMARK OFFICE**

Applicant(s): Tomoyuki SHIRASAKI, et al.  
Serial No. : 11/391,941  
Confirm. No.: 6652  
Filed : March 29, 2006  
For : DISPLAY DRIVE APPARATUS, DISPLAY  
APPARATUS AND DRIVE CONTROL  
METHOD THEREOF  
Art Unit : 2629  
Examiner : Vijay SHANKAR

In the event that this Paper is  
late filed, and the necessary  
petition for extension of time  
is not filed concurrently  
herewith, please consider this  
as a Petition for the requisite  
extension of time, and to the  
extent not already paid,  
authorization to charge the  
extension fee to Account  
No. 06-1378. In addition,  
authorization is hereby given to  
charge any fees for which  
payment has not been submitted,  
or to credit any overpayments,  
to Account No. 06-1378.

**A M E N D M E N T**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

S I R :

This is responsive to the Office Action mailed  
October 8, 2009, the term for response to which expires on  
January 8, 2010.

**Amendments to the Claims** are set forth in the listing of  
claims which begins on page 2. Claims 1-7, 9-16, 19-24, 26-28,  
and 30-42 are amended, and claims 8, 17, 18, 25, and 29 are  
maintained.

**Remarks** begin on page 26.

**Listing of Claims:**

1. (Currently Amended) A display drive apparatus which operates, in accordance with display data, a current control type optical element of each ~~of display pixels~~ pixel of a display, wherein each display pixel is provided with the optical element and a drive element which supplies a driving current to the optical element, the display drive apparatus comprising:

a gradation signal generation circuit which generates a gradation signal corresponding to a luminance gradation of the display data and supplies the gradation signal to the display pixel;

a threshold voltage detection circuit which detects a threshold voltage peculiar to the drive element of the display pixel; and

a compensation voltage application circuit which generates a compensation voltage for compensating for the threshold voltage of the drive element based on ~~the basis of~~ the threshold voltage and applies the compensation voltage to the drive element before the gradation signal generation circuit supplies the gradation signal to the display pixel.

2. (Currently Amended) The display drive apparatus according to claim 1, further comprising a memory circuit which

stores threshold data corresponding to the threshold voltage detected by the threshold voltage detection circuit,

5            wherein the compensation voltage application circuit generates the compensation voltage based on ~~the basis of~~ the threshold data stored in the memory circuit.

3. (Currently Amended) The display drive apparatus according to claim 1, further comprising a detecting voltage application circuit which applies to the drive element a voltage for threshold detection which has a higher potential than the  
5            threshold voltage,

             wherein the threshold voltage detection circuit ~~which~~ detects, as the threshold voltage, a voltage after the voltage for threshold voltage detection is applied to the drive element by the detecting voltage application circuit and part of electric  
10            charges corresponding to the voltage for threshold voltage detection is discharged and converged.

4. (Currently Amended) The display drive apparatus according to claim 3, wherein the drive element includes a current path which allows the driving current to flow to the optical element, and a control terminal which controls a supply  
5            state of the driving current,

wherein the detecting voltage application circuit applies the voltage for threshold detection to between the control terminal of the drive element and one end side of the current path, and

10       wherein the threshold voltage detection circuit detects, as the threshold voltage, a potential difference between the control terminal of the drive element and the one end side of the current path at ~~the~~ a time of ~~the~~ absence of current flow in the current path.

5. (Currently Amended) The display drive apparatus according to claim 4, further comprising a memory circuit which stores threshold data based on the threshold voltage detected by the threshold voltage detection circuit, and

5       \_\_\_\_\_ wherein the compensation voltage application circuit applies the compensation voltage based on the threshold data stored in the memory circuit to between the control terminal of the drive element and the one end side of the current path.

6. (Currently Amended) The display drive apparatus according to claim 1, wherein ~~each of the optical elements has~~ element of each display pixel includes a light emitting element which performs a light emitting operation at a luminance



5 corresponding to a current value of [[a]] an applied current  
~~applied~~, and

10 wherein the gradation signal generation circuit includes a  
circuit which generates, as the gradation signal, a gradation  
current having a current value for allowing the light emitting  
element to perform a light emitting operation at a luminance  
corresponding to the luminance gradation of the display data.

7. (Currently Amended) The display drive apparatus  
according to claim 1, wherein ~~each of the optical elements~~  
element of each display pixel includes a light emitting element  
which performs a light emitting operation at a luminance  
5 corresponding to a current value of [[a]] an applied current  
~~applied~~, and

10 wherein the gradation signal generation circuit includes a  
circuit which generates, as the gradation signal, a non-light  
emitting display voltage having a predetermined voltage value for  
allowing the light emitting element to perform a non-light  
emitting operation.

8. (Original) The display drive apparatus according to  
claim 1, further comprising a signal path switching circuit which  
selectively switches and controls a connection between a single  
data line provided in correspondence to the display pixel and

5 each of a signal path which detects the threshold voltage with  
the threshold voltage detection circuit, a signal path which  
applies the compensation voltage with the compensation voltage  
application circuit, and a signal path which supplies the  
gradation signal with the gradation signal generation circuit.

9. (Currently Amended) The display drive apparatus  
according to claim [[8]] 3, further comprising a signal path  
switching circuit which selectively switches and controls a  
connection between a single data line provided in correspondence  
5 to the display pixel and each of a signal path which detects the  
threshold voltage with the threshold voltage detection circuit, a  
signal path which applies the compensation voltage with the  
compensation voltage application circuit, a signal path which  
supplies the gradation signal with the gradation signal  
10 generation circuit, and ~~wherein the signal path switching circuit  
further selectively switches and controls a connection between a  
signal path which applies the voltage for threshold detection  
with the detecting voltage application circuit. ~~circuits and the  
single data line.~~~~

10. (Currently Amended) A display apparatus which displays  
image information corresponding to display data, the apparatus  
comprising:

a display panel having a plurality of display pixels  
5 arranged therein, each of the pixels including a current control  
type optical element and a drive element which supplies a driving  
current to the optical element, at each of respective  
intersections of a plurality of selection lines and a plurality  
of data lines arranged to respectively extend in a row direction  
10 and in a column direction;

a selection drive unit which sequentially supplies a  
selection signal to each of the plurality of selection lines of  
the display panel, thereby setting the display pixels in each row  
sequentially in a selection state; and

15 a data drive unit comprising:

a gradation signal generation circuit which generates a  
gradation signal corresponding to a luminance gradation of the  
display data and supplies the gradation signal to ~~said~~ each said  
display pixel via ~~said each~~ a corresponding one of the data line  
20 lines;

a threshold voltage detection circuit which detects a  
threshold voltage peculiar to the drive element of ~~said~~ each said  
display pixel via ~~said each~~ the corresponding one of the data  
line lines; and

25 a compensation voltage application circuit which  
generates a compensation voltage for compensating for the  
threshold voltage of ~~said~~ each said display pixel based on the

~~basis of said~~ each said threshold voltage, and applies the compensation voltage to ~~said~~ each said display pixel via ~~said~~ ~~each~~ the corresponding one of the data line lines before the gradation signal generation circuit supplies the gradation signal to the display pixel.

11. (Currently Amended) The display apparatus according to claim 10, wherein the data drive unit further comprises a memory circuit which stores threshold data corresponding to ~~the~~ each said threshold voltage detected by the threshold voltage detection circuit, and

wherein the compensation voltage application circuit generates ~~the~~ each said compensation voltage based on ~~the basis of~~ the threshold data stored in the memory circuit.

12. (Currently Amended) The display apparatus according to claim 10, wherein the data drive unit further comprises a detecting voltage application circuit which supplies a voltage for threshold detection which has a higher potential than the threshold voltage to the drive element of ~~said~~ each said display pixel via ~~said each~~ the corresponding one of the data line lines, and

wherein the threshold voltage detection circuit detects as the threshold voltage ~~via said each data line~~ peculiar to the

10 drive element a voltage after the voltage for threshold voltage  
detection is applied to the drive element via ~~said each~~ the  
corresponding one of the data line lines and part of electric  
charges corresponding to the voltage for threshold voltage  
detection is discharged and converged.

13. (Currently Amended) The display apparatus according to  
claim 12, wherein the drive element of each said display pixel  
comprises a current path which allows the driving current to flow  
to the optical element, and a control terminal which controls a  
5 supply state of the driving current,

wherein the detecting voltage application circuit applies a  
voltage for threshold detection to between the control terminal  
of the drive element and one end side of the current path, and

wherein the threshold voltage detection circuit detects a  
10 potential difference between the control terminal of the drive  
element and the one end side of the current path at ~~the~~ a time of  
~~the~~ absence of current flow in the current path as the threshold  
voltage via ~~said each~~ the corresponding one of the data line  
lines.

14. (Currently Amended) The display apparatus according to  
claim 13, wherein the data drive unit further comprises a memory

circuit which stores threshold data based on each said threshold voltage detected by the threshold voltage detection circuit, and  
5 \_\_\_\_\_ wherein the compensation voltage application circuit applies the compensation voltage based on the threshold data stored in the memory circuit to between the control terminal of the drive element and the one end side of the current path via ~~said each~~ the corresponding one of the data line lines.

15. (Currently Amended) The display apparatus according to claim 10, wherein ~~each of the optical elements has~~ element of each said display pixel includes a light emitting element which performs a light emitting operation at a luminance corresponding to a current value of [[a]] an applied current ~~applied~~.

16. (Currently Amended) The display apparatus according to claim 15, wherein the light emitting element includes an organic electroluminescent element.

17. (Original) The display apparatus according to claim 15, wherein the gradation signal generation circuit comprises a circuit which generates, as the gradation signal, a gradation current having a current value for allowing the light emitting  
5 element to perform a light emitting operation at a luminance corresponding to the luminance gradation of the display data.

18. (Original) The display apparatus according to claim 15,  
wherein the gradation signal generation circuit comprises a  
circuit which generates, as the gradation signal, a non-light  
emitting display voltage having a predetermined voltage value for  
5 allowing the light emitting element to perform a non-light  
emitting operation.

19. (Currently Amended) The display apparatus according to  
claim 11, wherein the data drive unit further comprises:

a threshold acquiring circuit which individually fetches  
~~said each of~~ the threshold data corresponding to ~~said each~~  
5 said threshold voltage detected from each of said plurality of  
display pixels via ~~said each~~ the data ~~line~~ lines and sequentially  
transfers ~~said each~~ said threshold data; and

a data acquiring circuit which sequentially and individually  
fetches and holds luminance gradation data for generating the  
10 gradation signal with respect to each of the display pixels,

wherein the memory circuit individually stores each of the  
threshold data transferred from the threshold acquiring circuit  
in correspondence to each of said plurality of display pixels,  
and

15 wherein the gradation signal generation circuit generates  
the gradation signal corresponding to the luminance gradation

data held in the data acquiring circuit and supplies the gradation signal to ~~said~~ each said display pixel via ~~said~~ each the corresponding one of the data line lines.

20. (Currently Amended) The display apparatus according to claim 19, wherein a configuration ~~of~~ for sequentially and individually fetching the luminance gradation data in the data acquiring circuit and a configuration ~~of~~ for fetching the  
5 threshold data and sequentially transferring the threshold data in the threshold acquiring circuit are shared.

21. (Currently Amended) The display apparatus according to claim 10, wherein the data drive unit comprises a signal path switching circuit which selectively switches and controls a connection between ~~a single one of the data line provided in~~  
5 ~~correspondence to the display pixel lines~~ and each of a signal path which detects the threshold voltage with the threshold voltage detection circuit, a signal path which applies the compensation voltage with the compensation voltage application circuit, and a signal path which supplies the gradation signal  
10 with the gradation signal generation circuit.

22. (Currently Amended) The display apparatus according to claim ~~21~~ 12, wherein the data drive unit comprises a signal path



switching circuit which selectively switches and controls a  
connection between one of the data lines and each of a signal  
5 path which detects the threshold voltage with the threshold  
voltage detection circuit, a signal path which applies the  
compensation voltage with the compensation voltage application  
circuit, a signal path which supplies the gradation signal with  
the gradation signal generation circuit, and signal path  
10 ~~switching circuit further selectively switches and controls a~~  
~~connection between a signal path which applies the voltage for~~  
~~threshold with the detecting voltage application circuit, and the~~  
~~single data line.~~

23. (Currently Amended) The display apparatus according to claim 10, further comprising a power source drive unit which applies a predetermined power supply voltage to each of said plurality of display pixels,

5 wherein the power source drive unit sequentially applies the power supply voltage to the display ~~pixel~~ pixels in each row of the display panel at a predetermined timing, thereby setting the display ~~pixel~~ pixels in each row in an operation state.

24. (Currently Amended) The display apparatus according to claim 10, further comprising a power source drive unit which

applies a predetermined power supply voltage to each of said plurality of display pixels,

5            wherein the power source drive unit sequentially applies the power supply voltage at a predetermined timing to the display ~~pixel~~ pixels for each group which is obtained by dividing said plurality of display pixels arranged on the display panel into sets ~~for each~~ of a plurality of rows, thereby setting the display  
10 ~~pixel~~ pixels in each group in an operation state.

25. (Original) The display apparatus according to claim 10, further comprising a drive control unit which generates a timing control signal for controlling a timing of the operation of detecting the threshold voltage by the threshold voltage detection circuit.

26. (Currently Amended) The display apparatus according to claim 25, wherein the drive control unit ~~makes a~~ performs control with the timing control signal so as to cause the threshold voltage detection circuit to detect the threshold voltage of the  
5 drive elements of the display pixels in different rows of the display panel for each of operation periods in which the gradation signal is supplied to all of said plurality of display pixels arranged on the display panel by means of the selection drive unit and the data drive unit.

27. (Currently Amended) The display apparatus according to claim 25, wherein the drive control unit ~~makes a~~ performs control with the timing control signal so as to cause the threshold voltage detection circuit to detect the threshold voltage of the drive elements of the display pixels in adjacent rows of the display panel for each of operation periods in which the gradation signal is supplied to all of said plurality of display pixels arranged on the display panel by means of the selection drive unit and the data drive unit.

28. (Currently Amended) The display apparatus according to claim ~~10~~ 12, wherein each of the ~~drive~~ display pixels comprises a drive circuit which controls an operation of the optical element, and the drive circuit comprises:

5 a first switch circuit including a current path having a first end to in which ~~one end of a current path thereof is applied with the~~ a power supply voltage is applied and ~~the other a second end of the current path that~~ is connected with a connection point with the optical element;

10 a second switch circuit ~~in which~~ including a control terminal ~~thereof that~~ is connected with one of the selection ~~line lines,~~ and including a current path having a first ~~one end of a current path thereof is applied with~~ to which the power supply voltage is applied ~~[[,]]~~ and ~~the other~~ a second end of the

15 ~~current path that~~ that is connected with ~~the~~ a control terminal of the  
first switch circuit; and

a third switch circuit ~~in which~~ including a control terminal  
thereof that is connected with the one of the selection ~~line~~  
lines, and including a current path having a first ~~one end of a~~  
20 ~~current path thereof that~~ is connected with the corresponding one  
of the data line, lines and ~~the other~~ a second end ~~of the current~~  
path that is connected with the connection contact point,

wherein said drive element ~~is~~ comprises the first switch  
circuit,

25 wherein the detecting voltage application circuit applies  
the voltage for threshold detection to between the control  
terminal of the first switch circuit and the connection contact  
point,

wherein the threshold voltage detection circuit detects, as  
30 the threshold voltage, a potential between the control terminal  
of the first switch circuit and the connection contact point, and

wherein the compensation voltage application circuit applies  
the compensation voltage to between the control terminal of the  
first switch circuit and the connection contact point.

29. (Original) The display apparatus according to claim 28,  
wherein each of the first to third switch circuits includes a

field effect transistor provided with a semiconductor layer comprising amorphous silicon.

30. (Currently Amended) A drive control method of a display drive apparatus which operates a current control type optical element of a display pixel provided with the optical element and a drive element which supplies a driving current to the optical  
5 element, the method comprising:

detecting a threshold voltage peculiar to the drive element;  
generating a compensation voltage for compensating for the threshold voltage of the drive element based on ~~the basis of~~ the threshold voltage and applying the compensation voltage to allow  
10 the drive element to hold the voltage as a voltage component; and  
supplying a gradation signal to the display pixel after the drive element holds the voltage component, adding a voltage component based on the gradation signal to the voltage component based on the compensation voltage, and allowing the drive element  
15 to hold the voltage component.

31. (Currently Amended) The drive control method of the display drive apparatus [[,]] according to claim 30, ~~where~~  
wherein the detecting the threshold voltage includes an operation of storing threshold data corresponding to the threshold voltage,  
5 and

wherein the operation of storing the threshold data ~~by~~  
~~detecting the threshold voltage~~ is performed at a timing prior to  
the application of the compensation voltage to the drive element  
and holding of the voltage component based on the gradation  
10 signal.

32. (Currently Amended) The drive control method of the  
display drive apparatus [[,]] according to claim 30, wherein the  
detecting the threshold voltage includes:

5 applying a voltage for threshold detection which has a  
higher potential than the threshold voltage; and

detecting, as the threshold voltage, a voltage after part of  
electric charges corresponding to the voltage for threshold  
voltage detection is discharged and converged.

33. (Currently Amended) The drive control method of the  
display drive apparatus [[,]] according to claim 30, wherein ~~each~~  
~~of the optical elements has~~ element includes a light emitting  
element which performs a light emitting operation at a luminance  
5 corresponding to a current value of [[a]] an applied current  
applied, and

wherein the adding a voltage component based on the  
gradation signal to the voltage component based on the

compensation voltage and allowing the drive element to hold the  
10 voltage component [[,]] includes:

~~in the case where~~ when the light emitting element is allowed  
to perform a light emitting operation at a luminance  
corresponding to a luminance gradation of display data,  
generating, as the gradation current, a gradation current having  
15 a current value for allowing the optical element to perform a  
light emitting operation at a luminance corresponding to the  
luminance gradation of the display data, and supplying the  
gradation current to the display pixel; and

~~in the case where~~ when the light emitting element is allowed  
20 to perform a non-light emitting operation, generating, as the  
gradation signal, a non-light emitting display voltage having a  
predetermined voltage value for allowing the optical element to  
perform a non-light emitting operation, and supplying the  
non-light emitting display voltage to the display pixel.

34. (Currently Amended) A drive control method of a display  
apparatus which displays image information corresponding to  
display data, the apparatus comprising a display panel having a  
plurality of display pixels arranged therein, each of the pixels  
5 comprising a current control type optical element and a drive  
element which supplies a driving current to the optical element,  
at respective intersections of a plurality of selection lines and

a plurality of data lines arranged to respectively extend in a row direction and in a column direction, the method comprising:

10 detecting a threshold voltage peculiar to the drive element of ~~said~~ each said display pixel;

generating a compensation voltage for compensating for the threshold voltage of the drive element of each said display pixel based on ~~the basis of the~~ each said threshold voltage, applying  
15 the compensation voltage to the drive element of ~~said~~ each said display pixel, and ~~holding~~ allowing the drive element to hold the compensation voltage as a voltage component;

supplying a gradation signal to ~~said~~ each said display pixel after the drive element of the display pixel holds the voltage  
20 component, adding a voltage component based on the gradation signal to the voltage component based on the compensation voltage, and allowing the drive element of ~~said~~ each said display pixel to hold the voltage component; and

supplying the driving current created based on ~~the basis of~~  
25 the voltage component held in the drive element of ~~said~~ each said display pixel to the optical element, and allowing the optical element to be operated in accordance with the gradation signal.

35. (Currently Amended) The drive control method of the display apparatus [[,]] according to claim 34, wherein the detecting the threshold voltage includes:



applying a voltage for threshold detection which has a  
5 higher potential than the threshold voltage to the drive element  
of ~~said~~ each said display pixel; and

detecting, as the threshold voltage, a voltage after part of  
electric charges corresponding to the voltage for threshold  
detection is discharged and converged.

36. (Currently Amended) The drive control method of the  
display apparatus [[,]] according to claim 34, wherein the  
detecting the threshold voltage includes:

storing threshold data corresponding to the threshold  
5 voltage, and

the storing the threshold data ~~by detecting the threshold  
voltage~~ is performed with respect to all of said plurality of  
display pixels arranged on the display panel at a timing prior to  
the application of the compensation voltage ~~to the drive element~~  
10 and the holding of the voltage component based on the gradation  
signal.

37. (Currently Amended) The drive control method of the  
display apparatus [[,]] according to claim 36, wherein the  
storing the threshold data ~~by detecting the threshold voltage~~ is  
sequentially performed with respect to said plurality of display

pixels for each row of display pixels ~~which are arranged on the display panel.~~

38. (Currently Amended) The drive control method of the display apparatus [[,]] according to claim 34, wherein the detecting the threshold voltage ~~including~~ includes:

5 storing threshold data corresponding to the threshold voltage; and

10 the storing the threshold data ~~by detecting the threshold voltage~~ is performed with respect to the drive elements of the display pixels in different rows of the display panel for each of operation periods in which the gradation signal is supplied to all of said plurality of display pixels arranged on the display panel.

39. (Currently Amended) The drive control method of the display apparatus [[,]] according to claim 34, wherein the detecting the threshold voltage includes:

5 storing threshold data corresponding to the threshold voltage, and

the storing the threshold voltage ~~by detecting the threshold voltage~~ is performed with respect to the drive elements of the display pixels in adjacent rows of the display panel for each of operation periods in which the gradation signal is supplied to

10 all of said plurality of display pixels arranged on the display panel.

40. (Currently Amended) The drive control method of the display apparatus [[,]] according to claim 34, wherein the adding a voltage component based on the gradation signal to the voltage component based on the compensation voltage and allowing the drive element of ~~said~~ each said display pixel to hold the voltage component is sequentially performed with respect to said plurality of display pixels for each row of display pixels ~~which are arranged on the display panel~~, and

5 wherein the allowing the optical element to be ~~performed~~ operated in accordance with the gradation signal is sequentially performed from a row at which the adding a voltage component based on the gradation signal to the voltage component based on the compensation voltage ~~to be held~~ is completed.

41. (Currently Amended) The drive control method of the display apparatus [[,]] according to claim 34, wherein the adding a voltage component based on the gradation signal to the voltage component based on the ~~gradation signal~~ compensation voltage and allowing the drive element of ~~said~~ each said display pixel to hold the voltage component is sequentially performed for each

group which is obtained by grouping said plurality of display pixels arranged on the display panel ~~for each of the~~ into groups of a plurality of rows, and

10        wherein the ~~operation of~~ allowing the optical element to perform a light emitting operation with a luminance gradation ~~corresponding to~~ be operated in accordance with the gradation signal is sequentially performed from the group in which the adding a voltage component based on the gradation signal to the  
15 voltage component based on the ~~gradation signal to be held~~ compensation voltage is completed.

42. (Currently Amended) The drive control method of the display apparatus [[,]] according to claim 34, wherein each of the optical elements ~~has~~ includes a light emitting element which performs a light emitting operation at a luminance corresponding to a current value of [[a]] an applied current ~~applied~~, and  
5        wherein the adding a voltage component based on the gradation signal to the voltage component based on the compensation voltage and allowing the drive element to hold the voltage component includes, for each said display pixel:

10        ~~in the case where~~ when the light emitting element ~~of said each display element~~ is allowed to perform a light emitting operation at a luminance corresponding to a gradation luminance

of display data, generating, as the gradation current, a  
gradation current having a current value for allowing the optical  
15 element to perform a light emitting operation at a luminance  
corresponding to the gradation luminance of the display data, and  
supplying the gradation current to the display pixel; and  
~~in the case where~~ when the light emitting element ~~of said~~  
~~each display pixel~~ is allowed to perform a non-light emitting  
20 operation, generating, as the gradation signal, a non-light  
emitting display voltage having a predetermined voltage for  
allowing the optical element to perform a non-light emitting  
operation, and ~~supply~~ supplying the non-light emitting display  
voltage to the display pixel.

**R E M A R K S**

Reconsideration of this application, as amended, is respectfully requested.

THE CLAIMS

\_\_\_\_\_Independent claim 1 has been amended to clarify that the compensation voltage application circuit generates a compensation voltage for compensating for the threshold voltage of the drive element based on the threshold voltage and applies the compensation voltage to the drive element before the gradation signal generation circuit supplies the gradation signal to the display pixel.

In addition, independent claim 10 has been amended to clarify that the compensation voltage application circuit generates a compensation voltage for compensating for the threshold voltage of each display pixel based on each threshold voltage, and applies the compensation voltage to each display pixel via the corresponding one of the data lines before the gradation signal generation circuit supplies the gradation signal to the display pixel.

Still further, independent claim 30 has been amended to recite supplying a gradation signal to the display pixel after the drive element holds the voltage component (based on the compensation voltage), adding a voltage component based on the

gradation signal to the voltage component based on the compensation voltage, and allowing the drive element to hold the voltage component.

Yet still further, independent claim 34 has been amended to recite supplying a gradation signal to each display pixel after the drive element of the display pixel holds the voltage component (based on the compensation voltage), adding a voltage component based on the gradation signal to the voltage component based on the compensation voltage, and allowing the drive element of each display pixel to hold the voltage component.

See, for example, the disclosure in the specification at page 98, line 12, to page 100, line 2, with respect to the amendments to independent claims 1, 10, 30, and 34.

The claims have also been amended to make grammatical improvements and to correct antecedent basis problems so as to put them in better form for issuance in a U.S. patent. In particular, claims 5 and 14 have been amended to recite a memory circuit. In addition, claim 9 has been amended to depend from claim 3, instead of claim 8, and to incorporate the subject matter of claim 8. Still further claim 22 has been amended to depend from claim 12, instead of claim 21, and to incorporate the subject matter of claim 21. And claim 28 has been amended to depend from claim 12, instead of claim 10.

No new matter has been added, and it is respectfully requested that the amendments to the claims be approved and entered.

RE: THE PROVISIONAL DOUBLE PATENTING REJECTION

\_\_\_\_\_Claims 1-42 were rejected based on obviousness-type double patenting in view of claims 1-57 of Application No. 11/888,474. This rejection is respectfully traversed with respect to the claims as amended hereinabove.

According to amended independent claim 1, the compensation voltage application circuit generates a compensation voltage for compensating for the threshold voltage of the drive element based on the threshold voltage and applies the compensation voltage to the drive element before the gradation signal generation circuit supplies the gradation signal to the display pixel.

In addition, according to amended independent claim 10, the compensation voltage application circuit generates a compensation voltage for compensating for the threshold voltage of each display pixel based on each threshold voltage, and applies the compensation voltage to each display pixel via the corresponding one of the data lines before the gradation signal generation circuit supplies the gradation signal to the display pixel.

Still further, according to amended independent claim 30, a gradation signal is supplied to the display pixel after the drive



element holds the voltage component (based on the compensation voltage).

Yet still further, according to amended independent claim 34, a gradation signal is supplied to each display pixel after the drive element of the display pixel holds the voltage component (based on the compensation voltage).

Thus, according to the amended independent claims of the present application, the compensation voltage, which is based on the detected threshold voltage, is applied to the drive element, and thereafter the gradation signal corresponding to display data is applied to the display pixel. Thus, the application of the compensation voltage and the application of the gradation signal are performed at different timings.

By contrast, the claims of Application No. 11/888,474 (see, for example, claim 1) recite that a gradation voltage corresponding to display data is compensated by a compensated voltage based on a detected specific value and a unit voltage, and the compensated gradation voltage is applied to the display pixel. That is, the invention claimed in Application No. 11/888,474 does not perform application of the compensation voltage and the application of the gradation signal at different timings as according to the claimed present invention.

Accordingly, it is respectfully submitted that the claimed present invention patentably distinguishes over the claims of

Application No. 11/888,474, and it is respectfully requested that the provisional obviousness-type double patenting rejection be withdrawn.

\* \* \* \* \*

In view of the foregoing, entry of this Amendment, allowance of the claims and the passing of this application to issue are respectfully solicited.

If the Examiner has any comments, questions, objections or recommendations, the Examiner is invited to telephone the undersigned at the telephone number given below for prompt action.

Respectfully submitted,

/Douglas Holtz/

Douglas Holtz  
Reg. No. 33,902

Frishauf, Holtz, Goodman & Chick, P.C.  
220 Fifth Avenue - 16<sup>th</sup> Floor  
New York, New York 10001-7708  
Tel. No. (212) 319-4900  
DH:dd

## Electronic Acknowledgement Receipt

<b>EFS ID:</b>	6780147
<b>Application Number:</b>	11391941
<b>International Application Number:</b>	
<b>Confirmation Number:</b>	6652
<b>Title of Invention:</b>	Display drive apparatus, display apparatus and drive control method thereof
<b>First Named Inventor/Applicant Name:</b>	Tomoyuki Shirasaki
<b>Customer Number:</b>	01933
<b>Filer:</b>	Douglas Holtz/Ian Volek
<b>Filer Authorized By:</b>	Douglas Holtz
<b>Attorney Docket Number:</b>	06229/LH
<b>Receipt Date:</b>	08-JAN-2010
<b>Filing Date:</b>	29-MAR-2006
<b>Time Stamp:</b>	19:38:48
<b>Application Type:</b>	Utility under 35 USC 111(a)

### Payment information:

Submitted with Payment	no
------------------------	----

### File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		06229_amd.pdf	78923 <small>9c293dac1450bcd98752d845fbaeb3334dc b7b25</small>	yes	30

<b>Multipart Description/PDF files in .zip description</b>		
<b>Document Description</b>	<b>Start</b>	<b>End</b>
Amendment/Req. Reconsideration-After Non-Final Reject	1	1
Claims	2	25
Applicant Arguments/Remarks Made in an Amendment	26	30

**Warnings:**

**Information:**

<b>Total Files Size (in bytes):</b>	78923
-------------------------------------	-------

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

**New Applications Under 35 U.S.C. 111**

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

**National Stage of an International Application under 35 U.S.C. 371**

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

**New International Application Filed with the USPTO as a Receiving Office**

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

<b>PATENT APPLICATION FEE DETERMINATION RECORD</b> Substitute for Form PTO-875					Application or Docket Number <b>11/391,941</b>		Filing Date <b>03/29/2006</b>		<input type="checkbox"/> To be Mailed				
<b>APPLICATION AS FILED – PART I</b>							OTHER THAN SMALL ENTITY						
(Column 1)			(Column 2)		SMALL ENTITY <input type="checkbox"/>		OR		SMALL ENTITY				
FOR		NUMBER FILED	NUMBER EXTRA		RATE (\$)	FEE (\$)	OR		RATE (\$)	FEE (\$)			
<input type="checkbox"/> BASIC FEE <small>(37 CFR 1.16(a), (b), or (c))</small>		N/A	N/A		N/A				N/A				
<input type="checkbox"/> SEARCH FEE <small>(37 CFR 1.16(k), (l), or (m))</small>		N/A	N/A		N/A				N/A				
<input type="checkbox"/> EXAMINATION FEE <small>(37 CFR 1.16(o), (p), or (q))</small>		N/A	N/A		N/A				N/A				
TOTAL CLAIMS <small>(37 CFR 1.16(i))</small>		minus 20 =		*	X \$ =				X \$ =				
INDEPENDENT CLAIMS <small>(37 CFR 1.16(h))</small>		minus 3 =		*	X \$ =				X \$ =				
<input type="checkbox"/> APPLICATION SIZE FEE <small>(37 CFR 1.16(s))</small>		If the specification and drawings exceed 100 sheets of paper, the application size fee due is \$250 (\$125 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).											
<input type="checkbox"/> MULTIPLE DEPENDENT CLAIM PRESENT <small>(37 CFR 1.16(j))</small>													
* If the difference in column 1 is less than zero, enter "0" in column 2.													
<b>APPLICATION AS AMENDED – PART II</b>					OTHER THAN SMALL ENTITY								
(Column 1)			(Column 2)		(Column 3)		SMALL ENTITY		OR		SMALL ENTITY		
AMENDMENT	<b>01/08/2010</b>	CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE (\$)	ADDITIONAL FEE (\$)	OR		RATE (\$)	ADDITIONAL FEE (\$)		
	Total <small>(37 CFR 1.16(i))</small>	* 42	Minus	** 42	= 0	X \$ =				X \$52=	0		
	Independent <small>(37 CFR 1.16(h))</small>	* 4	Minus	***4	= 0	X \$ =				X \$220=	0		
	<input type="checkbox"/> Application Size Fee <small>(37 CFR 1.16(s))</small>												
	<input type="checkbox"/> FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM <small>(37 CFR 1.16(j))</small>												
						TOTAL ADD'L FEE			OR		TOTAL ADD'L FEE	<b>0</b>	
AMENDMENT		CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE (\$)	ADDITIONAL FEE (\$)	OR		RATE (\$)	ADDITIONAL FEE (\$)		
	Total <small>(37 CFR 1.16(i))</small>	*	Minus	**	=	X \$ =				X \$ =			
	Independent <small>(37 CFR 1.16(h))</small>	*	Minus	***	=	X \$ =				X \$ =			
	<input type="checkbox"/> Application Size Fee <small>(37 CFR 1.16(s))</small>												
	<input type="checkbox"/> FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM <small>(37 CFR 1.16(j))</small>												
						TOTAL ADD'L FEE			OR		TOTAL ADD'L FEE		
* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.													
** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".													
*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".													
The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.													
Legal Instrument Examiner: <b>/MARQUETTA MCGEE/</b>													

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**  
 If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

<b>INFORMATION DISCLOSURE STATEMENT BY APPLICANT</b>				Application Number		11/391,941		
				Filing Date		March 29, 2006		
				First Named Inventor		Tomoyuki SHIRASAKI		
				Group Art Unit		2629		
				Examiner Name		Vijay SHANKAR		
Sheet	1	of	1	Attorney Docket Number		06229/LH		
<b>FOREIGN PATENT DOCUMENTS</b>								
Examiner Initials*	Cite No.	Country Code	Document Number	Kind Code	Patentee or Applicant	Publication Date (MM-DD-YYYY)	Translation	
							Yes	Abstract Only
		KR	10-2004-0041620		CASIO	05-17-2004		
		KR	2003-0078741			10-08-2003		
		KR	10-2006-0032530	A	SAMSUNG ELECTRONICS CO., LTD.	04-26-2006		
		JP	2004-021219	A	CASIO COMPUTER CO., LTD.	01-22-2004		
		JP	2006-178028	A	CASIO COMPUTER CO., LTD.	07-06-2006		
		JP	2003-195810	A	CASIO COMPUTER CO., LTD.	07-09-2003		
		JP	2004-004675	A	SEIKO EPSON CORP.	01-08-2004		
		JP	2006-195477	A	SAMSUNG ELECTRONICS CO., LTD.	07-27-2006		
		JP	2005-115144	A	SEIKO EPSON	04-28-2005		
		JP	2006-119180	A	SEIKO EPSON	05-11-2006		
		JP	2001-147659	A	SONY CORP.	05-29-2001		
		JP	8-330600	A	TDK CORP.	12-13-1996		
<b>OTHER DOCUMENTS</b>								
Examiner Initials*	Cite No.	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.						
		Korean Office Action dated August 31, 2009 and English translation thereof issued in a counterpart Korean Application No. 10-2007-0077017 of <u>related</u> U.S. application Serial No. 11/888,474.						
		Japanese Office Action dated June 13, 2008 and English translation thereof issued in a counterpart Japanese Application No. 2006-209534 of <u>related</u> U.S. application Serial No. 11/888,474.						
		Japanese Office Action dated June 11, 2008 and English translation thereof issued in a counterpart Japanese Application No. 2006-218805 of <u>related</u> U.S. application Serial No. 11/888,474.						
Examiner Signature				Date Considered				

\* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

DATE MAILED OR TRANSMITTED: **October 27, 2009**

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup> (11) 공개번호 특2003-0032530  
G09G 3/30 (43) 공개일자 2003년04월26일

(21) 출원번호 10-2001-0064340  
(22) 출원일자 2001년10월18일  
(71) 출원인 삼성전자주식회사  
경기도 수원시 팔달구 매탄3동 416번지  
(72) 발명자 정현종  
경기도오산시부산동운암주공아파트116동1104호  
(74) 대리인 유미특허법인

심사청구 : 없음

(54) 유기 전계발광 패널과 이를 포함하는 유기 전계발광 표시장치와 이의 구동 장치 및 구동 방법

요약

본 발명은 유기 전계발광 패널과 이를 포함하는 유기 전계발광 표시 장치와 이의 구동 장치 및 구동 방법을 개시한다. 본 발명에 따른 유기 전계발광 패널은 제1단이 유기 전계발광 소자의 타단에 연결되고, 제2단이 제2 극성단에 연결되며, 스위칭 트랜지스터의 제3단을 통해 입력되는 데이터 신호의 온/오프 출력에 따라 제1극성단에서 제2극성단으로 또는 제2 극성단에서 제1 극성단으로 전류 흐름을 제어하여 유기 전계발광 소자의 발광을 제어하는 구동 트랜지스터를 하나의 유기 전계발광 표시 셀로 하여 일정 수의 주사 라인에 대응하는 유기 전계발광 표시셀을 하나의 유니트로 그룹핑한 복수의 표시 그룹을 포함하며, 그룹핑된 복수의 표시 그룹중 현재의 표시 그룹 영역이 발광 표시 동작을 수행함과 동시에 다음의 표시 그룹 영역이 주사 동작을 수행한다. 그 결과, 각각의 유기 전계발광 표시 셀마다 별도의 스위칭 트랜지스터, 각 주사 라인마다 별도의 선택 신호 라인, 오프 구동 IC를 추가로 구비하지 않더라도 휘도를 개선할 수 있고, 또한 저렴한 비용으로 제조할 수 있으며, 그 수율을 향상할 수 있다.

대표도

도3

색인어

유기 전계발광, DPS, SES, 그룹, 계조, 휘도

영세서

도면의 간단한 설명

- 도 1은 일반적인 유기 EL 소자의 일례를 설명하기 위한 도면이다.
- 도 2는 일반적인 유기 EL 소자의 다른 일례를 설명하기 위한 도면이다.
- 도 3은 본 발명의 실시예에 따른 유기 EL 표시 장치를 설명하기 위한 도면이다.
- 도 4는 상기한 도 3의 유기 EL 패널에서 표시 그룹별 전압 공급 전극의 연결 관계를 설명하기 위한 도면이다.
- 도 5는 본 발명의 실시예에 따른 유기 EL 패널의 표시 그룹별 구동을 설명하기 위한 타이밍도이다.
- 도 6은 본 발명의 실시예에 따른 유기 EL 패널의 구동 방법을 설명하기 위한 흐름도이다.

<도면의 주요부분에 대한 부호의 설명>

100 : 유기 EL 구동 전압원 200 : 유기 EL 패널  
210, 220, 230, 240 : 표시 그룹 영역 Q<sub>0</sub> : 스위칭 트랜지스터  
Cst : 스토리지 캐패시터 Q<sub>b</sub> : 구동 트랜지스터  
OLED : 유기 EL 소자 Q<sub>on</sub> : 제2 스위칭 트랜지스터  
Vee1, Vee2, Vee3, Vee4 : 유기 EL 구동 전압

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 유기 전계발광(EL) 표시 장치에 관한 것으로, 보다 상세하게는 단순한 유기 전계발광 표시셀만으로도 계조 표시를 충분히 수행하기 위한 유기 전계발광 패널과 이를 포함하는 유기 전계발광 표시 장치와 이의 구동 장치 및 구동 방법에 관한 것이다.

현재 사용되는 디스플레이 장치로서는 가장 많이 쓰고 있는 것으로 브라운관(CRT)이 있으며, 컴퓨터용으로서는 액정 표시 장치(이하 LCD)의 비율이 차차 증가하고 있다. 하지만 브라운관의 경우 너무 무겁고 부피가 크며, LCD의 경우 밝지 않고, 측면에서 잘 보이지 않으며, 효율이 낮은 등의 단점을 가지고 있어 사용자들을 안전하게 만족시키지 못하고 있다.

이에 따라 현재 많은 사람들이 보다 저렴하고, 효율이 높고, 얇고, 가벼운 디스플레이 장치를 개발하기 위해 노력하고 있으며, 그러한 차세대 디스플레이 소자로서 주목받고 있는 것 중에 하나가 Organic Light Emitting Device(OLED)이다.

이러한 OLED는 특정 유기물 또는 고분자들의 Electroluminescence(EL : 전기를 가하였을 때 빛을 방출하는 현상)을 이용하는 것으로 백 라이트를 구비하지 않아도 되므로 LCD에 비해 박형화가 가능하고, 더 싸고 쉽게 제작할 수 있으면서도, 넓은 시야각과 밝은 빛을 내는 장점을 가지고 있어 이에 관한 연구가 전세계적으로 뜨겁게 진행되고 있다.

도 1은 일반적인 유기 EL 구동 소자의 일례를 설명하기 위한 회로도이다.

도 1을 참조하면, 일반적인 유기 EL 구동 소자는 스위칭 트랜지스터(Q<sub>1</sub>), 스토리지 캐패시터(Cst), 구동 트랜지스터(Q<sub>2</sub>) 및 유기 EL 소자(OLED)로 구성된다.

구동시, 유기 EL 디스플레이 장치는 CRT와 같은 디스플레이 장치에 비해서 휘도가 상대적으로 낮기 때문에 하나의 가로 주사 라인을 선택할 때만 발광되는 수동 구동 방식을 이용하지 않고, 발광 듀티를 대폭 늘린 액티브 구동 방식을 사용한다. 이때, 발광 셀의 활성층은 주입된 전류 밀도에 비례하여 빛을 발산한다.

그러나, 발광 소자의 유기 EL 소자(OLED)측에 전류를 공급하는 구동 트랜지스터(Q<sub>2</sub>)와 상기 구동 트랜지스터(Q<sub>2</sub>)의 일단에 연결된 해당 유기 EL 소자(OLED)는 각각 전압 대 휘도 특성 산포가 매우 넓어서 계조 표시에 어려움이 있다.

이러한 전압 대 휘도 특성 산포에 영향을 적게 받으면서 균일한 계조 표시를 위해 시분할 계조 표시의 일종인 디스플레이 주기 분할(Display-Period-Separated; 이하 DPS) 구동법을 이용한다.

그러나, 상기한 DPS 구동법은 스위칭 트랜지스터(Q<sub>1</sub>)의 동작 속도의 한계로 구동 주파수를 높게 할 수 없고, 데이터를 주사하는 시간이 길어서 발광 표시하는 시간이 상대적으로 줄어들기 때문에, 휘도를 개선하기가 어려워져 저해상도의 낮은 계조를 표현하는 디스플레이 제품에 한정되는 문제점이 있다.

이러한 문제점을 해결하기 위해 상기한 DPS 구동법에 비해 표시 듀티를 훨씬 늘려 휘도를 개선할 수 있는 순간 삭제 스캔(Simultaneous-Erasing-Scan; 이하 SES) 구동법을 사용한다.

도 2는 일반적인 유기 EL 소자의 다른 일례를 설명하기 위한 도면으로, 특히 SES 구동법을 적용하기에 적합한 유기 EL 소자의 일례이다.

도 2를 참조하면, 일반적인 유기 EL 구동 소자는 제1 스위칭 트랜지스터(Q<sub>11</sub>), 제2 스위칭 트랜지스터(Q<sub>22</sub>), 캐패시터(Cst), 구동 트랜지스터(Q<sub>3</sub>) 및 유기 EL 소자(OLED)로 구성된다. 물론 도면상에서는 구동 트랜지스터(Q<sub>3</sub>)의 제1단을 그라운드단(GND)으로 하고, 구동 트랜지스터(Q<sub>3</sub>)의 제2단에 연결된 유기 EL 소자(OLED)의 타단에 부극성의 구동 전압(-V<sub>ee</sub>)을 인가하는 것을 그 일례로 도시하였으나, 그 역으로 구동 트랜지스터(Q<sub>3</sub>)의 제1단에 정극성의 구동 전압(+V<sub>ee</sub>)을 인가하고, 유기 EL 소자(OLED)의 타단을 그라운드단(GND)으로 할 수도 있다.

그러나, 상기한 도 1에 언급한 유기 EL 구동 소자에 비해 각 유기 EL 셀마다 제2 스위칭 소자(Q<sub>22</sub>)를 더 구비해야하고, 상기 제2 스위칭 소자(Q<sub>22</sub>)의 게이트 단자에 데이터 소거 신호를 인가하기 위한 신호 라인(ES line)을 더 구비해야 하며, 상기한 데이터 소거 신호를 출력하며 유기 EL 패널의 수직 해상도에 해당하는 로우(row) 구동 IC를 더 구비해야 한다.

그러므로 유기 EL 패널 제조시 수열에 악영향을 끼치게 되어 유기 EL 표시 장치의 원가 상승을 초래하는 문제점이 있다.

또한 일반적으로 MOS 타입으로 구현되는 제2 스위칭 트랜지스터(Q<sub>22</sub>)의 추가는 유기 EL 표시 셀의 개구율을 낮추게 되므로 휘도와 발광 효율을 떨어뜨리는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

이에 본 발명의 기술과 과제는 이러한 종래의 문제점을 해결하기 위한 것으로, 본 발명의 목적은 유기 전계발광 표시 셀의 개구율을 낮추지 않으면서 단순한 유기 전계발광 셀을 구비하면서도 계조 표시를 원활하게 하기 위한 유기 전계발광 패널을 제공하는 것이다.



또한 본 발명의 다른 목적은 상기한 유기 전계발광 패널을 포함하는 유기 전계발광 표시 장치를 제공하는 것이다.

또한 본 발명의 또 다른 목적은 상기한 유기 전계발광 표시 장치의 구동 장치를 제공하는 것이다.

또한 본 발명의 또 다른 목적은 상기한 유기 전계발광 표시 장치의 구동 방법을 제공하는 것이다.

**발명의 구성 및 작용**

상기한 본 발명의 목적을 실현하기 위한 하나의 특징에 따른 유기 전계발광 패널은, 데이터 신호를 전달하는 복수의 데이터 라인과, 주사 신호를 전달하는 복수의 주사 라인과, 상기 데이터 라인과 상기 주사 라인에 의해 규정되어 행렬 형태로 배열된 복수의 유기 전계발광 표시 셀을 포함하는 유기 전계발광 패널에 있어서,

제1단이 상기 데이터 라인에 연결되고, 제2단이 상기 주사 라인에 연결되며, 상기 주사 신호에 따라 제3단을 통해 상기 데이터 신호를 온/오프 출력하는 스위칭 트랜지스터;

일단이 제1 극성단에 연결되며, 인가되는 전류의 양에 대응하는 빛을 발광하는 유기 전계발광 소자;

제1단이 상기 유기 전계발광 소자의 타단에 연결되고, 제2단이 제2 극성단에 연결되며, 상기 스위칭 트랜지스터의 제3단을 통해 입력되는 데이터 신호의 온/오프 출력에 따라 상기 제1극성단에서 상기 제2극성단으로 또는 상기 제2 극성단에서 상기 제1 극성단으로 전류 흐름을 제어하여 상기 유기 전계발광 소자의 발광을 제어하는 구동 트랜지스터를 하나의 유기 전계발광 표시 셀로 하여 일정 수의 주사 라인에 대응하는 유기 전계발광 표시셀을 하나의 유니트로 그룹핑한 복수의 표시 그룹을 포함하며,

상기 그룹핑된 복수의 표시 그룹중 현재의 표시 그룹 영역이 발광 표시 동작을 수행함과 동시에 다음의 표시 그룹 영역이 주사 동작을 수행하는 것을 특징으로 한다.

여기서, 상기한 유기 전계발광 표시 셀은 일단이 상기 스위칭 트랜지스터의 제3단에 연결되고, 타단이 상기 제2 극성단에 연결되어 상기 스위칭 트랜지스터의 제3단을 통해 입력되는 데이터 신호를 일정 시간 동안 유지하는 스토리지 캐패시터를 더 포함하는 것이 바람직하다.

또한, 상기한 제1 극성단은 부극성 또는 정극성 중 어느 한 극성의 전압을 인가받고, 상기한 제2 극성단은 정극성 또는 부극성 중 어느 한 극성의 전압을 인가받는 것을 특징으로 한다.

또한, 상기한 표시 그룹의 일례로서, 소스단(또는 드레인단)을 통해 접지된 구동 트랜지스터와, 일단은 상기 구동 트랜지스터의 드레인단(또는 소스단)에 연결되고, 타단은 유기 전계발광 구동 전압을 제공받아 발광하는 유기 전계발광 소자를 구비하는 복수의 유기 전계발광 표시 셀을 포함하고, 상기 유기 전계발광 소자의 타단은 소정의 전압 공급 전극을 통해 좌우 인접하는 유기 전계발광 소자의 타단과 연결되며, 상기 전압 공급 전극을 통해 상기 유기 전계발광 구동 전압을 제공받는 것이 바람직하다.

또한, 상기한 표시 그룹의 다른 일례로서, 소스단(또는 드레인단)를 통해 유기 전계발광 구동 전압을 제공받는 구동 트랜지스터와, 일단은 상기 구동 트랜지스터의 드레인단(또는 소스단)에 연결되고, 타단은 접지되어 발광하는 유기 전계발광 소자를 구비하는 복수의 유기 전계발광 표시 셀을 포함하고, 상기 구동 트랜지스터의 소스단(또는 드레인단)은 소정의 전압 공급 전극을 통해 좌우 인접하는 구동 트랜지스터의 소스단(또는 드레인단)과 연결되며, 상기 전압 공급 전극을 통해 상기 유기 전계발광 구동 전압을 제공받는 것이 바람직하다.

또한, 상기한 본 발명의 다른 목적을 실현하기 위한 하나의 특징에 따른 유기 전계발광 패널을 포함하는 유기 전계발광 표시 장치는, 데이터 신호를 전달하는 복수의 데이터 라인과, 주사 신호를 전달하는 복수의 주사 라인과, 상기 데이터 라인과 상기 주사 라인에 의해 규정되어 행렬 형태로 배열된 복수의 유기 전계발광 표시 셀을 포함하는 유기 전계발광 패널을 구비하는 유기 전계발광 표시 장치에 있어서,

상기 유기 전계발광 표시 셀은,

제1단이 상기 데이터 라인에 연결되고, 제2단이 상기 주사 라인에 연결되며, 상기 주사 신호에 따라 제3단을 통해 상기 데이터 신호를 온/오프 출력하는 스위칭 트랜지스터와, 일단이 제1 극성단에 연결되며, 인가되는 전류의 양에 대응하는 빛을 발광하는 유기 전계발광 소자와, 제1단이 상기 유기 전계발광 소자의 타단에 연결되고, 제2단이 제2 극성단에 연결되며, 상기 스위칭 트랜지스터의 제3단을 통해 입력되는 데이터 신호의 온/오프 출력에 따라 상기 제1극성단에서 상기 제2극성단으로 또는 상기 제2 극성단에서 상기 제1 극성단으로 전류 흐름을 제어하여 상기 유기 전계발광 소자의 발광을 제어하는 구동 트랜지스터를 하나의 유기 전계발광 표시 셀로 하여 일정 수의 주사 라인에 대응하는 유기 전계발광 표시셀을 하나의 유니트로 그룹핑한 복수의 표시 그룹을 포함하며,

상기 유기 전계발광 패널에 배치되는 소정 수의 행을 하나의 유니트로하여 그룹핑한 복수의 표시 그룹중 현재의 표시 그룹 영역에 주사를 위한 유기 전계발광 구동 전압을 인가하고, 상기 주사의 완료에 따라 상기 현재 표시 그룹 영역에 발광을 위한 유기 전계발광 구동 전압을 인가함과 동시에 다음의 표시 그룹 영역에 주사를 위한 유기 전계발광 구동 전압을 인가하는 방식을 통해 상기 복수의 표시 그룹 각각에 유기 전계발광 구동 전압을 순차 출력하는 유기 전계발광 구동 전압원을 포함하여 이루어진다.

또한, 상기한 본 발명의 또 다른 목적을 실현하기 위한 하나의 특징에 따른 유기 전계발광 표시 장치의 구동 장치는, 데이터 신호를 전달하는 복수의 데이터 라인과, 주사 신호를 전달하는 복수의 주사 라인과, 상기 데이터 라인과 상기 주사 라인에 의해 규정되어 행렬 형태로 배열된 복수의 유기 전계발광 표시 셀을 포함하는 유기 전계발광 패널을 구비하는 유기 전계발광 표시 장치의 구동 장치에 있어서,

상기 유기 전계발광 패널에 배치되는 소정 수의 행을 하나의 유니트로 하여 그룹핑한 복수의 표시 그룹중 현재의 표시 그룹 영역에 주사를 위한 유기 전계발광 구동 전압을 인가하고, 상기 주사의 완료에 따라 상기 현재 표시 그룹 영역에 발광을 위한 유기 전계발광 구동 전압을 인가함과 동시에 다음의 표시 그룹 영

역에 주사를 위한 유기 전계발광 구동 전압을 인가하는 방식을 통해 상기 복수의 표시 그룹 각각에 유기 전계발광 구동 전압을 순차 출력하는 유기 전계발광 구동 전압원을 포함하여 이루어진다.

또한, 상기한 본 발명의 또 다른 목적을 실현하기 위한 하나의 특징에 따른 유기 전계발광 표시 장치의 구동 방법은, 데이터 신호를 전달하는 복수의 데이터 라인과, 주사 신호를 전달하는 복수의 주사 라인과, 상기 데이터 라인과 상기 주사 라인에 의해 규정되어 행렬 형태로 배열된 복수의 유기 전계발광 표시 셀을 포함하는 유기 전계발광 패널을 구비하는 유기 전계발광 표시 장치의 구동 방법에 있어서,

(a) 상기 유기 전계발광 패널에 배치되는 소정 수의 행을 하나의 유니트로 하여 각각 그룹핑한 복수의 표시 그룹 중 현재의 표시 그룹 영역에 주사 동작을 수행하고, 상기 주사 동작의 완료에 따라 상기 현재의 표시 그룹 영역에 발광 표시 동작의 수행을 제어함과 동시에 다음의 표시 그룹 영역에 주사 동작을 수행하는 단계를 포함하여 이루어진다. 여기서, 상기 단계(a)는,

(a-1) K개로 분할된 공통 단자를 통해 K개의 표시 그룹을 갖는 유기 전계발광 패널의 n번째 표시 그룹 영역에 데이터를 주사하는 단계(여기서, n은 1보다 크고, K보다 작은 정수);

(a-2) 상기 단계(a-1)에서 n번째 표시 그룹 영역 전체에 주사 동작을 완료함에 따라, n번째 표시 그룹 영역에 발광 표시하는 단계;

(a-3) 상기 단계(a-2)에서 n번째 표시 그룹 영역 전체를 발광 표시함에 따라, 상기 n와 상기 K의 동일 여부를 체크하는 단계;

(a-4) 상기 단계(a-3)에서 상기 n이 상기 K와 상이하다고 체크되는 경우에는 n값을 '1'증가시켜 상기 단계(a-1)로 피드백하는 단계; 및

(a-5) 상기 단계(a-3)에서 상기 n이 상기 K와 동일하다고 체크되는 경우에는 한 프레임에 대한 화상 신호의 디스플레이를 종료하는 단계를 포함하는 것이 바람직하다.

이러한 상기한 유기 전계발광 패널과 이를 포함하는 유기 전계발광 표시 장치와 이의 구동 장치 및 구동 방법에 의하면, 각각의 유기 전계발광 표시 셀마다 별도의 스위칭 트랜지스터나 별도의 선택 신호 라인을 구비하지 않더라도 유기 전계발광 표시 장치의 휘도를 개선할 수 있고, 또한 저렴한 비용으로 유기 전계발광 표시 장치를 제조할 수 있으며, 그 수율을 향상할 수 있다.

그러면, 통상의 지식을 지닌 자가 본 발명을 용이하게 실시할 수 있도록 실시예에 관해 설명하기로 한다.

도 3은 본 발명의 실시예에 따른 유기 EL 표시 장치를 설명하기 위한 도면이고, 도 4는 상기한 도 3의 유기 EL 패널에서 표시 그룹별 전압 공급 전극의 연결 관계를 설명하기 위한 도면이다.

도 3을 참조하면, 본 발명의 실시예에 따른 유기 EL 표시 장치는 유기 EL 구동 전압원(100)과, 유기 EL 패널(200)을 포함한다. 여기서, 유기 EL 패널에 비디오 데이터 신호를 출력하는 데이터 드라이버와 상기 비디오 데이터 신호의 선택을 위한 스캔 드라이버는 널리 공지되었으므로 도시를 생략하며, 그 동작 설명 역시 생략한다.

유기 EL 구동 전압원(100)은 복수의 유기 EL 구동 전압을 유기 EL 패널(200)에 출력한다. 여기서, 복수의 유기 EL 구동 전압은 정극성의 구동전압일 수도 있고, 부극성의 구동전압일 수도 있을 것이다.

유기 EL 패널(200)은 복수의 표시 그룹 영역, 예를 들어 4개의 표시 그룹 영역(210, 220, 230, 240)으로 분할되어, 상기 복수의 유기 EL 구동 전압을 제공받아 소정의 화상을 디스플레이한다.

보다 상세히는, 유기 EL 패널의 각 주사 라인을 수직 주사 방향으로 복수 개의 표시 그룹으로 분할한다. 특히, 표시 그룹을 4개로 나눈 것을 일례로서 설명한다.

즉, 첫 주사 라인부터 마지막 주사 라인까지 제1 표시 그룹(210), 제2 표시 그룹(220), 제3 표시 그룹(230) 및 제4 표시 그룹(240)으로 각각 4분할한다. 이때 각 표시 그룹내에 포함되는 주사 라인 수는 동일하게 분할될 수도 있고, 상이하게 분할될 수도 있다.

또한, 분할된 각 표시 그룹(210, 220, 230, 240)내에 구비되는 유기 EL 표시 셀들은 상기한 도 1에서 도시한 바와 같이, 스위칭 트랜지스터(Q<sub>S</sub>), 스토리지 캐퍼시터(Cst), 구동 트랜지스터(Q<sub>D</sub>) 및 유기 EL 소자(OLED)로 구성되며, 유기 EL 소자(OLED)의 캐소드 전극을 모두 연결한다.

물론 도면상에서는 3단자 소자인 구동 트랜지스터(Q<sub>D</sub>)의 제1단을 그라운드단(GND)으로 하고, 구동 트랜지스터(Q<sub>D</sub>)의 제2단에 연결된 유기 EL 소자(OLED)의 타단에 부극성의 구동 전압(-V<sub>ee</sub>)을 인가하는 것을 그 일례로 도시하였으나, 그 역으로 구동 트랜지스터(Q<sub>D</sub>)의 제1단에 정극성의 구동 전압(+V<sub>ee</sub>)을 인가하고, 유기 EL 소자(OLED)의 타단을 그라운드단(GND)으로 할 수도 있을 것이다.

또한, 분할된 각 표시 그룹들(210, 220, 230, 240)은 하나의 유기 EL 구동 전압을 인가받기 위한 입력 단자를 구비한다. 이때 각각의 단자에는 차례로 제1 내지 제4 유기 EL 구동 전압(V<sub>ee1</sub>, V<sub>ee2</sub>, V<sub>ee3</sub>, V<sub>ee4</sub>)을 순차적으로 인가한다.

도면상에서는 정극성의 구동 전압을 출력하는 것을 도시하였으나, 만일 유기 EL 소자의 타단, 즉 캐소드단을 통해 구동 전압을 인가하는 경우에는 부극성의 구동 전압을 출력할 수도 있다.

상기 단자들에 인가되는 유기 EL 구동 전압(V<sub>ee1</sub>, V<sub>ee2</sub>, V<sub>ee3</sub>, V<sub>ee4</sub>) 각각의 인가 시점은 해당하는 표시 그룹이 주사 기간이 아닌 구간을 표시 기간으로 할당하고 4개 모두 동일 값을 갖는 것이 바람직하고, 하나의 유기 EL 구동 전압은 이전 표시 그룹 셀에 인가된 이전의 유기 EL 구동 전압을 일정 기간 동안 쉬프트(Shift)시킨 전압이다.

상기한 본 발명의 실시예에서는 유기 EL 패널의 표시 셀을 4개의 표시 그룹으로 분할하는 것을 그 일례로 설명하였으므로, 유기 EL 구동 전압원(100)에서는 제1 구동 전압(V<sub>ee1</sub>)을 분할된 제1 표시 그룹(210)에

출력하고, 제2 구동 전압(Vee2)을 분할된 제2 표시 그룹(220)에 출력하는 등의 방식을 통해 전체의 표시 그룹에 동일한 유기 EL 구동 전압을 서로 다른 시간에 출력한다.

도 5는 본 발명의 일실시예에 따른 유기 EL 패널의 표시 그룹별 구동을 설명하기 위한 타이밍도이다. 특히, 도면의 상측에서는 한 프레임에 대응하는 유기 EL 패널 전체의 주사 기간과 표시 기간을 설명하는데, 가로 방향의 X 축은 한 프레임에 대응하는 시간축이고, 세로 방향의 Y축은 유기 EL 패널의 첫 주사 라인부터 마지막 주사 라인까지를 의미한다.

또한, 도면의 아래측에서는 유기 EL 구동 전압원으로부터 출력되는 제1 내지 제4 유기 EL 구동 전압(Vee1 내지 Vee4)의 출력 타이밍을 설명하며, 상기한 구동 전압은 부극성인 것을 그 일례로 한다.

도 3 내지 도 5를 참조하면, 첫 번째 주사 라인부터 주사 동작을 실시하는데, 제1 표시 그룹을 주사하는 동안 제1 유기 EL 구동 전압(Vee1)은 그라운드 레벨로 유지한다.

이에 따라 제1 표시 그룹(210)에 속하는 유기 EL 소자는 발광하지 않고, 다만, 스토리지 캐패시터에 전하를 축적하는 데이터 가입 동작만 수행한다.

제1 표시 그룹(201)의 데이터 주사를 완료하면 제1 표시 그룹(210)은 표시 기간이 되며, 제1 유기 EL 구동 전압(Vee1)은 디스플레이 주기 분할(Display-Period-Separated: 이하 DPS) 구동법에 의한 데이터 가중치에 해당하는 시간 동안 제1 표시 그룹(210)의 유기 EL 소자에 데이터 상태에 따른 전류를 공급한다. 여기서, 상기한 표시 기간은 DPS 구동법에서 데이터 가중치에 따라 차이가 있다.

한편, 제1 표시 그룹(210)에 전류를 공급하는 일정 기간 동안 제2 표시 그룹에 속하는 주사 라인의 첫번째 주사 라인에 주사 동작을 실시한다.

이러한 구동 방법을 통해 분할된 제4 표시 그룹(240)까지 주사 동작을 완료하고, 제4 표시 그룹(240)의 표시 기간이 완료된 경우에는 다음 프레임에 대한 화상을 디스플레이하기 위해 제1 표시 그룹(210)에 대응하는 주사 동작을 실시한다.

이상에서 설명한 바와 같이, 최상위비트(MSB)를 전체의 유기 EL 패널에 표시하고, 차례로 MSB-1, MSB-2, ... LSB까지 표시하여 하나의 프레임을 완성한다. 이러한 하나의 프레임을 통해 인간은 시간적으로 광량을 적분해서 화면의 밝기를 느낄 수 있다.

상기한 DPS 구동법은 일반적으로 2진수의 화상 데이터를 이용하여 가중치 별로 화상을 표시하는데, 도 5에서는 화상 데이터를 5비트로 하여 최상위비트(MSB)부터 최하위비트(LSB) 순으로 순차적으로 표시하는 일례를 도시하였으나, 최하위비트(LSB)부터 최상위비트(MSB) 순으로 역순으로 변경시켜 표시할 수 있고, 또는 최상위비트(MSB)와 최하위비트(LSB)의 순서를 랜덤하게 혼재시켜 표시할 수도 있을 것이다.

또한, 본 발명의 일실시예에서는 1프레임 구성을 5비트의 화상 데이터로 하여 구동 제어하는 것을 설명하였으나 상기 5비트에 한정하지는 않고, 1프레임을 4개의 표시 그룹으로 분할하여 구동하는 것을 설명하였으나 이 역시 상기 4개의 표시 그룹에 한정하지는 않는다.

도 6은 본 발명의 일실시예에 따른 유기 EL 패널의 구동 방법을 설명하기 위한 흐름도이다.

도 5와 도 6을 참조하면, 먼저 유기 EL 패널의 공통 단자를 K개로 분할하는 방식을 통해 K개의 표시 그룹 영역으로 분할하고, K개의 구동 전압원을 구비한다(단계 S110). 여기서 K개의 구동 전압원 각각은 K개로 분할된 각각의 표시 그룹 영역을 구동하기 위한 구동 전압원이다.

상기한 단계 S110의 조건을 만족하는 경우에, n번째 표시 그룹 영역에 데이터를 주사한다(단계 S120). 여기서, 'n'은 '0'보다 크고, 'K'와 동일한 자연수 중 어느 하나로서, '1'부터 시작하는 것이 바람직하다.

이어, n번째 표시 그룹 영역 전체에 주사를 완료했는지의 여부를 체크하여(단계 S130), n번째 표시 그룹 영역 전체에 주사를 완료하지 않은 것으로 체크되는 경우에는 단계 S120으로 피드백하여 해당 n번째 표시 그룹 영역 전체의 주사를 계속하고, 주사를 완료했다고 체크되는 경우에는 n번째 표시 그룹 영역을 표시한다(단계 S140).

이어 n번째 표시 그룹 영역에 표시를 완료했는지의 여부를 체크하여(단계 S150), n번째 표시 그룹 영역에 표시를 미완료했다고 체크되는 경우에는 단계 S140으로 피드백한다.

단계 S150에서 n번째 표시 그룹 영역에 표시를 완료했다고 체크되는 경우에는 'n=K'인지의 여부를 체크하여(단계 S160), 'n=K'인 경우에는 종료하지만, 'n=K'가 아닌 경우에는 'n'값을 '1'만큼 증가시킨 후(단계 S170), 단계 S120으로 피드백한다.

상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

**발명의 효과**

이상 설명한 바와 같이, 본 발명에 따르면 각각의 유기 EL 표시 셀마다 별도의 스위칭 트랜지스터, 각 주사 라인마다 별도의 선택 신호 라인, 로우 구동 IC를 추가로 구비하지 않더라도 유기 EL 표시 장치의 휘도를 개선할 수 있고, 또한 저렴한 비용으로 유기 EL 표시 장치를 제조할 수 있으며, 그 수율을 향상할 수 있다.

또한, 별도의 스위칭 트랜지스터를 구비하지 않아도 되므로 표시 셀의 계구율을 개선할 수 있어, 휘도 및 발광 효율을 높일 수 있다.

**(57) 청구의 범위**

청구항 1

데이터 신호를 전달하는 복수의 데이터 라인과, 주사 신호를 전달하는 복수의 주사 라인과, 상기 데이터 라인과 상기 주사 라인에 의해 규정되어 행렬 형태로 배열된 복수의 유기 전계발광 표시 셀을 포함하는 유기 전계발광 패널에 있어서,

제1단이 상기 데이터 라인에 연결되고, 제2단이 상기 주사 라인에 연결되며, 상기 주사 신호에 따라 제3단을 통해 상기 데이터 신호를 온/오프 출력하는 스위칭 트랜지스터;

일단이 제1 극성단에 연결되며, 인가되는 전류의 양에 대응하는 빛을 발광하는 유기 전계발광 소자;

제1단이 상기 유기 전계발광 소자의 타단에 연결되고, 제2단이 제2 극성단에 연결되며, 상기 스위칭 트랜지스터의 제3단을 통해 입력되는 데이터 신호의 온/오프 출력에 따라 상기 제1극성단에서 상기 제2극성단으로 또는 상기 제2 극성단에서 상기 제1 극성단으로 전류 흐름을 제어하여 상기 유기 전계발광 소자의 발광을 제어하는 구동 트랜지스터를 하나의 유기 전계발광 표시 셀로 하여 일정 수의 주사 라인에 대응하는 유기 전계발광 표시셀을 하나의 유니트로 그룹핑한 복수의 표시 그룹을 포함하며,

상기 그룹핑된 복수의 표시 그룹중 현재의 표시 그룹 영역이 발광 표시 동작을 수행함과 동시에 다음의 표시 그룹 영역이 주사 동작을 수행하는 것을 특징으로 하는 유기 전계발광 패널.

청구항 2

제1항에 있어서, 상기 유기 전계발광 표시 셀은,

일단이 상기 스위칭 트랜지스터의 제3단에 연결되고, 타단이 상기 제2 극성단에 연결되어 상기 스위칭 트랜지스터의 제3단을 통해 입력되는 데이터 신호를 일정 시간 동안 유지하는 스토리지 캐패시터를 더 포함하는 것을 특징으로 하는 유기 전계발광 패널.

청구항 3

제1항에 있어서,

상기 제1 극성단은 부극성 또는 정극성 중 어느 한 극성의 전압을 인가받고,

상기 제2 극성단은 정극성 또는 부극성 중 어느 한 극성의 전압을 인가받는 것을 특징으로 하는 유기 전계발광 패널.

청구항 4

제1항에 있어서, 상기 표시 그룹은,

소스단(또는 드레인단)을 통해 접지된 구동 트랜지스터와, 일단은 상기 구동 트랜지스터의 드레인단(또는 소스단)에 연결되고, 타단은 유기 전계발광 구동 전압을 제공받아 발광하는 유기 전계발광 소자를 구비하는 복수의 유기 전계발광 표시 셀을 포함하고,

상기 유기 전계발광 소자의 타단은 소정의 전압 공급 전극을 통해 좌우 인접하는 유기 전계발광 소자의 타단과 연결되며, 상기 전압 공급 전극을 통해 상기 유기 전계발광 구동 전압을 제공받는 것을 특징으로 하는 유기 전계발광 패널.

청구항 5

제1항에 있어서, 상기 표시 그룹은,

소스단(또는 드레인단)를 통해 유기 전계발광 구동 전압을 제공받는 구동 트랜지스터와, 일단은 상기 구동 트랜지스터의 드레인단(또는 소스단)에 연결되고, 타단은 접지되어 발광하는 유기 전계발광 소자를 구비하는 복수의 유기 전계발광 표시 셀을 포함하고,

상기 구동 트랜지스터의 소스단(또는 드레인단)은 소정의 전압 공급 전극을 통해 좌우 인접하는 구동 트랜지스터의 소스단(또는 드레인단)과 연결되며, 상기 전압 공급 전극을 통해 상기 유기 전계발광 구동 전압을 제공받는 것을 특징으로 하는 유기 전계발광 패널.

청구항 6

데이터 신호를 전달하는 복수의 데이터 라인과, 주사 신호를 전달하는 복수의 주사 라인과, 상기 데이터 라인과 상기 주사 라인에 의해 규정되어 행렬 형태로 배열된 복수의 유기 전계발광 표시 셀을 포함하는 유기 전계발광 패널을 구비하는 유기 전계발광 표시 장치에 있어서,

상기 유기 전계발광 표시 셀은,

제1단이 상기 데이터 라인에 연결되고, 제2단이 상기 주사 라인에 연결되며, 상기 주사 신호에 따라 제3단을 통해 상기 데이터 신호를 온/오프 출력하는 스위칭 트랜지스터와, 일단이 제1 극성단에 연결되며, 인가되는 전류의 양에 대응하는 빛을 발광하는 유기 전계발광 소자와, 제1단이 상기 유기 전계발광 소자의 타단에 연결되고, 제2단이 제2 극성단에 연결되며, 상기 스위칭 트랜지스터의 제3단을 통해 입력되는 데이터 신호의 온/오프 출력에 따라 상기 제1극성단에서 상기 제2극성단으로 또는 상기 제2 극성단에서 상기 제1 극성단으로 전류 흐름을 제어하여 상기 유기 전계발광 소자의 발광을 제어하는 구동 트랜지스터를 하나의 유기 전계발광 표시 셀로 하여 일정 수의 주사 라인에 대응하는 유기 전계발광 표시셀을 하나의 유니트로 그룹핑한 복수의 표시 그룹을 포함하며,

상기 유기 전계발광 패널에 배치되는 소정 수의 행을 하나의 유니트로하여 그룹핑한 복수의 표시 그룹중 현재의 표시 그룹 영역에 주사를 위한 유기 전계발광 구동 전압을 인가하고, 상기 주사의 완료에 따라 상기 현재 표시 그룹 영역에 발광을 위한 유기 전계발광 구동 전압을 인가함과 동시에 다음의 표시 그룹 영

역에 주사를 위한 유기 전계발광 구동 전압을 인가하는 방식을 통해 상기 복수의 표시 그룹 각각에 유기 전계발광 구동 전압을 순차 출력하는 유기 전계발광 구동 전압원을 포함하는 유기 전계발광 표시 장치.

청구항 7

제6항에 있어서, 상기 유기 전계발광 표시 셀은,

일단이 상기 스위칭 트랜지스터의 제3단에 연결되고, 타단이 상기 제2 극성단에 연결되어 상기 스위칭 트랜지스터의 제3단을 통해 입력되는 데이터 신호를 일정 시간 동안 유지하는 스토리지 캐패시터를 더 포함하는 것을 특징으로 하는 유기 전계발광 표시 장치.

청구항 8

제6항에 있어서, 상기 표시 그룹은,

소스단(또는 드레인단)을 통해 접지된 구동 트랜지스터와, 일단은 상기 구동 트랜지스터의 드레인단(또는 소스단)에 연결되고, 타단은 유기 전계발광 구동 전압을 제공받아 발광하는 유기 전계발광 소자를 구비하는 복수의 유기 전계발광 표시 셀을 포함하고,

상기 유기 전계발광 소자의 타단은 소정의 전압 공급 전극을 통해 좌우 인접하는 유기 전계발광 소자의 타단과 연결되며, 상기 전압 공급 전극을 통해 상기 유기 전계발광 구동 전압을 제공받는 것을 특징으로 하는 유기 전계발광 표시 장치.

청구항 9

제8항에 있어서, 상기 유기 전계발광 구동 전압은 부극성 또는 정극성 중 어느 하나의 유기 전계발광 구동 전압인 것을 특징으로 하는 유기 전계발광 표시 장치.

청구항 10

제8항에 있어서, 상기 전압 공급 전극은 각 표시 그룹마다 구비되며, 상기 유기 전계발광 패널의 외각부에 배치되는 것을 특징으로 하는 유기 전계발광 표시 장치.

청구항 11

제6항에 있어서, 상기 표시 그룹은,

소스단(또는 드레인단)을 통해 유기 전계발광 구동 전압을 제공받는 구동 트랜지스터와, 일단은 상기 구동 트랜지스터의 드레인단(또는 소스단)에 연결되고, 타단은 접지되어 발광하는 유기 전계발광 소자를 구비하는 복수의 유기 전계발광 표시 셀을 포함하고,

상기 구동 트랜지스터의 소스단(또는 드레인단)은 소정의 전압 공급 전극을 통해 좌우 인접하는 구동 트랜지스터의 소스단(또는 드레인단)과 연결되며, 상기 전압 공급 전극을 통해 상기 유기 전계발광 구동 전압을 제공받는 것을 특징으로 하는 유기 전계발광 표시 장치.

청구항 12

제11항에 있어서, 상기 유기 전계발광 구동 전압은 정극성 또는 부극성 중 어느 하나의 유기 전계발광 구동 전압인 것을 특징으로 하는 유기 전계발광 표시 장치.

청구항 13

제11항에 있어서, 상기 전압 공급 전극은 각 표시 그룹마다 구비되며, 상기 유기 전계발광 패널의 외각부에 배치되는 것을 특징으로 하는 유기 전계발광 표시 장치.

청구항 14

제6항에 있어서, 상기 유기 전계발광 구동 전압원은 상기 그룹핑된 각 표시 그룹의 수만큼 유기 전계발광 구동 전압을 출력하는 것을 특징으로 하는 유기 전계발광 표시 장치.

청구항 15

제14항에 있어서, 상기 유기 전계발광 구동 전압원은 해당 표시 그룹의 표시 기간동안만 유기 전계발광 구동 전압을 출력하는 것을 특징으로 하는 유기 전계발광 표시 장치.

청구항 16

제6항에 있어서, 상기 표시 그룹은,

어느 하나의 표시 그룹이 주사 동작을 수행하는 동안 나머지 표시 그룹은 셀이 발광하는 표시 동작을 유지하는 것을 특징으로 하는 유기 전계발광 표시 장치.

청구항 17

제16항에 있어서, 상기 표시 그룹은,

특정 표시 그룹의 주사 완료와 함께 발광 표시 동작을 수행하고, 상기 발광 표시 동작의 수행과 함께, 다음 단의 표시 그룹은 주사 동작을 수행하는 것을 특징으로 하는 유기 전계발광 표시 장치.

청구항 18

제17항에 있어서,

상기 주사 동작은 상기 표시 그룹 내에서 첫 주사 라인부터 순차적으로 수행하고,

상기 발광 표시 동작은 해당 표시 그룹이 동시에 수행하는 것을 특징으로 하는 유기 전계발광 표시 장치.

청구항 19

데이터 신호를 전달하는 복수의 데이터 라인과, 주사 신호를 전달하는 복수의 주사 라인과, 상기 데이터 라인과 상기 주사 라인에 의해 규정되어 행렬 형태로 배열된 복수의 유기 전계발광 표시 셀을 포함하는 유기 전계발광 패널을 구비하는 유기 전계발광 표시 장치의 구동 장치에 있어서,

상기 유기 전계발광 패널에 배치되는 소정 수의 행을 하나의 유니트로 하여 그룹핑한 복수의 표시 그룹 중 현재의 표시 그룹 영역에 주사를 위한 유기 전계발광 구동 전압을 인가하고, 상기 주사의 완료에 따라 상기 현재 표시 그룹 영역에 발광을 위한 유기 전계발광 구동 전압을 인가함과 동시에 다음의 표시 그룹 영역에 주사를 위한 유기 전계발광 구동 전압을 인가하는 방식을 통해 상기 복수의 표시 그룹 각각에 유기 전계발광 구동 전압을 순차 출력하는 유기 전계발광 구동 전압원

을 포함하는 유기 전계발광 표시 장치의 구동 장치.

청구항 20

제19항에 있어서, 상기 유기 전계발광 구동 전압원은 상기 그룹핑된 각 표시 그룹의 수만큼 유기 전계발광 구동 전압을 출력하는 것을 특징으로 하는 유기 전계발광 표시 장치의 구동 장치.

청구항 21

제20항에 있어서, 상기 유기 전계발광 구동 전압원은 해당 표시 그룹의 표시 기간동안만 유기 전계발광 구동 전압을 출력하는 것을 특징으로 하는 유기 전계발광 표시 장치의 구동 장치.

청구항 22

데이터 신호를 전달하는 복수의 데이터 라인과, 주사 신호를 전달하는 복수의 주사 라인과, 상기 데이터 라인과 상기 주사 라인에 의해 규정되어 행렬 형태로 배열된 복수의 유기 전계발광 표시 셀을 포함하는 유기 전계발광 패널을 구비하는 유기 전계발광 표시 장치의 구동 방법에 있어서,

(a) 상기 유기 전계발광 패널에 배치되는 소정 수의 행을 하나의 유니트로 하여 각각 그룹핑한 복수의 표시 그룹 중 현재의 표시 그룹 영역에 주사 동작을 수행하고, 상기 주사 동작의 완료에 따라 상기 현재의 표시 그룹 영역에 발광 표시 동작의 수행을 제어함과 동시에 다음의 표시 그룹 영역에 주사 동작을 수행하는 단계

를 포함하는 유기 전계발광 표시 장치의 구동 방법.

청구항 23

제22항에 있어서, 상기 단계(a)는,

(a-1) K개로 분할된 공통 단자를 통해 K개의 표시 그룹을 갖는 유기 전계발광 패널의 n번째 표시 그룹 영역에 데이터를 주사하는 단계(여기서, n은 1보다 크고, K보다 작은 정수);

(a-2) 상기 단계(a-1)에서 n번째 표시 그룹 영역 전체에 주사 동작을 완료함에 따라, n번째 표시 그룹 영역에 발광 표시하는 단계;

(a-3) 상기 단계(a-2)에서 n번째 표시 그룹 영역 전체를 발광 표시함에 따라, 상기 n과 상기 K의 동일 여부를 체크하는 단계;

(a-4) 상기 단계(a-3)에서 상기 n이 상기 K와 상이하다고 체크되는 경우에는 n값을 '1'증가시켜 상기 단계(a-1)로 피드백하는 단계; 및

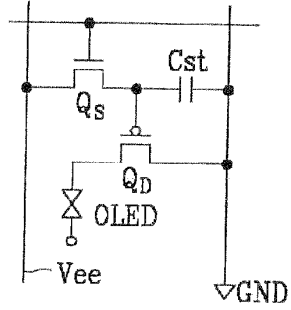
(a-5) 상기 단계(a-3)에서 상기 n이 상기 K와 동일하다고 체크되는 경우에는 한 프레임에 대한 화상 신호의 디스플레이를 종료하는 단계

를 포함하는 유기 전계발광 표시 장치의 구동 방법.

도 1

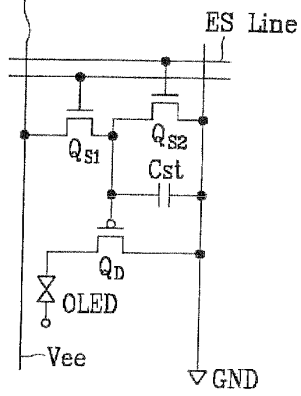
도 1

Data line

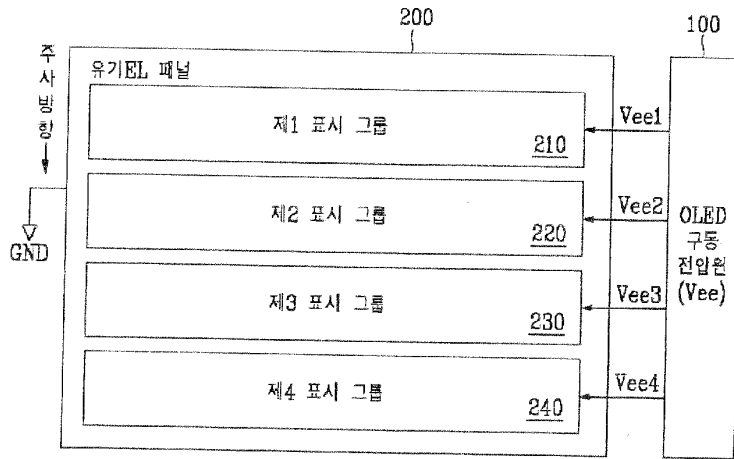


도 2

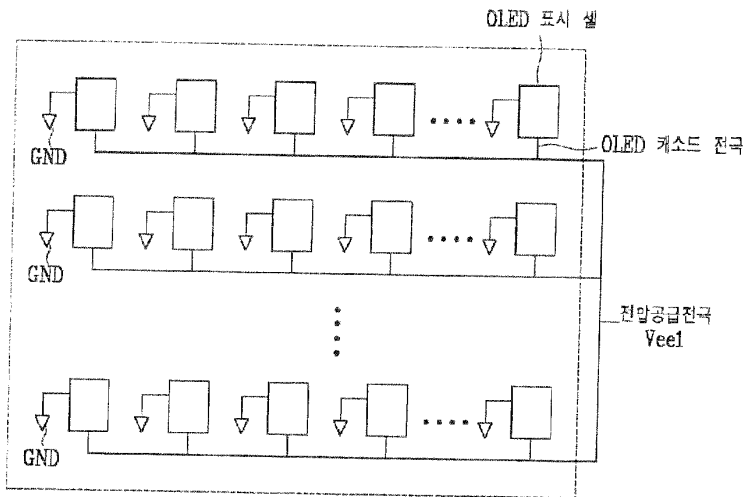
Data line



도면3



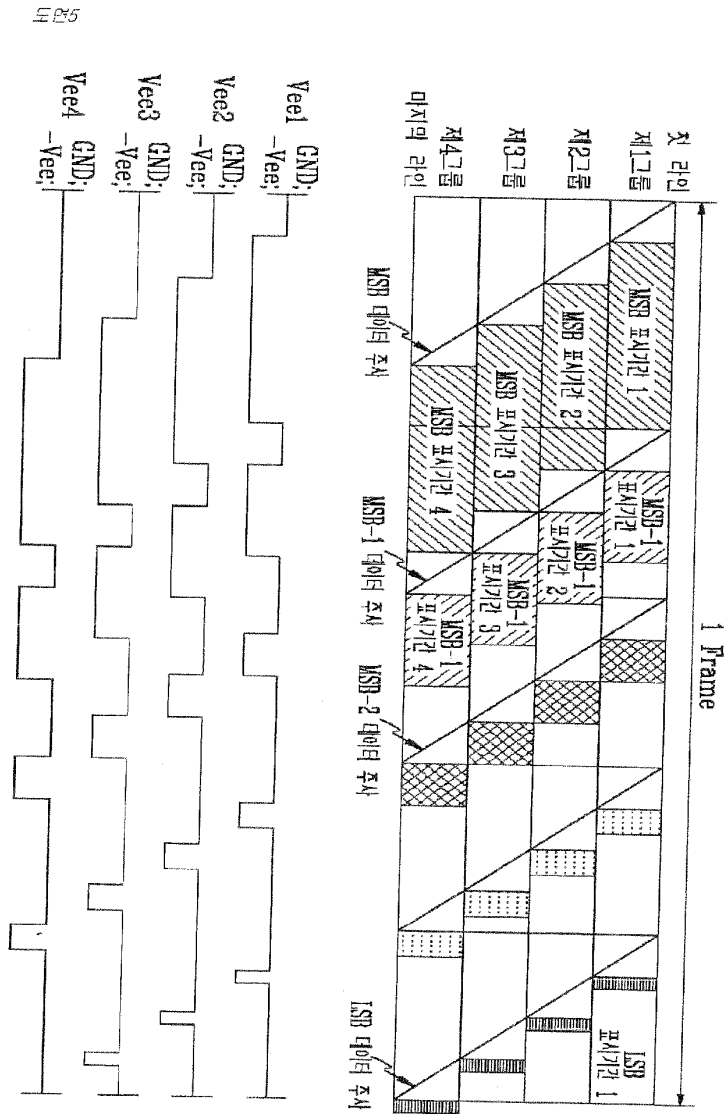
도면4



12-10

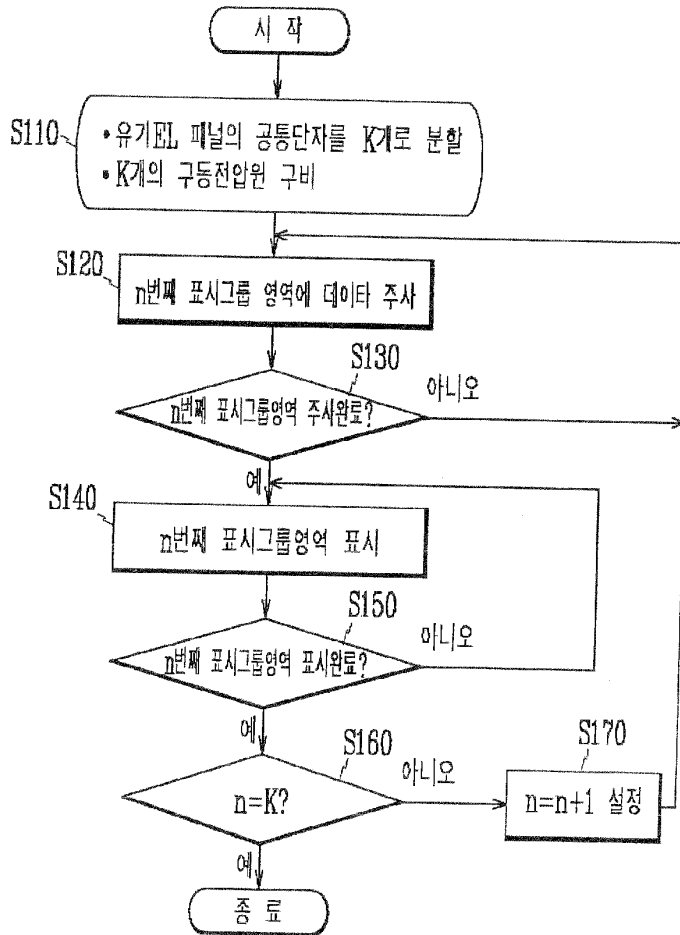
12-10





235

도면6



한국공개특허공보 특2003-0078741호(2003.10.08.) 1부.

특2003-0078741

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup> (11) 공개번호 특2003-0078741  
G09G 3/30 (43) 공개일자 2003년10월08일

(21) 출원번호	10-2003-0019409
(22) 출원일자	2003년03월28일
(30) 우선권주장	JP-P-2002-00097290 2002년03월29일 일본(JP) JP-P-2003-00085842 2003년03월26일 일본(JP)
(71) 출원인	세이코 엡슨 가부시기가이샤
(72) 발명자	일본 도쿄도 신주쿠구 니시신주쿠 2초메 4-1 조하로아키
(74) 대리인	일본국니가노켄스와사오와3-3-5세이코엡슨가부시기가이샤내 문두현, 문기상
심사청구 : 있음	
(54) 전자 장치, 전자 장치의 구동 방법, 전기 광학 장치 및전자 기기	

요약

높은 정밀도로 전자 회로의 동작 특성을 검출할 수 있는 전자 회로, 전자 장치, 전자 회로의 구동 방법, 전기 광학 장치 및 전자 기기를 제공한다.

회소 회로(20)에, 구동용 트랜지스터(Q11)와 유기 EL 소자(21) 사이에 접속시킨 스위칭용 트랜지스터(Q13)와, 구동용 트랜지스터(Q11)가 출력하는 구동 전류를 전류 검출 회로(19a)에 공급하는 검출용 트랜지스터(Q14)를 설치한다. 스위칭용 트랜지스터(Q13)를 오픈한 상태에서, 스위칭용 트랜지스터(Q12)를 온 시켜 유기 캐패시터(C1)에 테스트용 데이터 전류 Vdata를 공급한다. 다음에, 스위칭용 트랜지스터(Q13)를 오픈한 상태에서 검출용 트랜지스터(Q14)를 온 시키고, 구동용 트랜지스터로부터의 구동 전류를 검출용 트랜지스터(Q14)를 통해서 전류 검출 회로(19a)에 공급한다. 전류 검출 회로(19a)는 테스트용의 데이터 전류 Vdata에 대한 구동 전류를 검출할 수 있다.

대표도

도3

색인어

화소 회로, 주사선, 데이터 전류, 표시 패널

영세서

도면의 간단한 설명

- 도 1은 본 실시형태의 유기 EL 디스플레이의 회로 구성을 나타내는 블록 회로도.
- 도 2는 표시 패널부와 데이터선 구동 회로의 내부 회로 구성을 나타내는 블록 회로도.
- 도 3은 화소 회로의 내부 회로 구성을 나타내는 회로도.
- 도 4는 흉상 모드에서의 각 신호의 타이밍 차트.
- 도 5는 테스트 모드에서의 각 신호의 타이밍 차트.
- 도 6은 제 2 실시형태를 설명하기 위한 요부 전기 블록 회로도.
- 도 7은 제 3 실시형태를 설명하기 위한 모바일형 퍼스널컴퓨터의 구성을 나타내는 사시도.
- 도 8은 제 3 실시형태를 설명하기 위한 휴대전화의 구성을 나타내는 사시도.
- 도 9는 제 4 실시형태에 따른 화소 회로의 내부 회로 구성을 나타내는 회로도.

<도면의 주요부분에 대한 부호의 설명>

- C1 : 용량 소자로써의 유기 캐패시터
- Q11 : 제 2 트랜지스터로서의 구동용 트랜지스터

- Q12 : 제 1 트랜지스터로서의 스위칭용 트랜지스터
- Q13 : 제 4 트랜지스터로서의 발광 제어용 트랜지스터
- Q14 : 제 3 트랜지스터로서의 검출용 트랜지스터
- Y1~Yn : 주사선
- Va : 제 1 부주사선
- Vb : 제 2 부주사선
- X1~Xm : 데이터선
- 10 : 전기 광학 장치로서의 유기 EL 디스플레이
- 11 : 표시 패널부
- 17 : 보정값 산출 회로를 구성하는 제어 회로
- 17a : 기의 회로로서의 메모리
- 19 : 보정값 산출 회로를 구성하는 검사 장치
- 19a : 전류 검출 회로
- 20 : 전자 회로로서의 화소 회로
- 21 : 피구동 소자로서의 유기 EL 소자
- 31a : 전류 검출 회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은, 전자 회로, 전자 장치, 전자 회로의 구동 방법, 전기 광학 장치 및 전자 기기에 관한 것이다.

최근, 전기 광학 장치로서의 표시 장치는, 유기 EL 소자를 사용한 전기 광학 장치로 주목되고 있다. 이러한 종류의 유기 EL 소자를 사용한 전기 광학 장치로는, 구동 방식의 하나로서 액티브 매트릭스 구동 방식이 있다.

액티브 매트릭스 구동 방식의 전기 광학 장치에 있어서는, 유기 EL 소자의 휘도를 제어하기 위해, 각 유기 EL 소자에 대해서 각각 화소 회로가 설치되어 있다. 각 화소 회로에서의 유기 EL 소자의 휘도 계조의 제어는, 휘도 계조에 따른 데이터 신호(전압값 또는 전류값)를 화소 회로의 유지 캐패시터에 공급함으로써 행해진다. 즉, 유지 캐패시터에는 설정한 발광 휘도 계조에 따른 전하가 충전된다.

또, 유지 캐패시터에 유지된 전하량에 따라 구동용 TFT(Thin Film Transistor)의 도통 상태가 설정되고, 상기 도통 상태에 따른 전류가 유기 EL 소자에 공급된다(예를 들면, 특허 문헌 1 참조).

[특허 문헌 1] 국제공개 제 W098/36406호 팜플렛

발명이 이루고자 하는 기술적 과제

그런데, 화소 회로는 적어도 한 개의 트랜지스터 등의 능동 소자로 구성되지만, 모든 능동 소자의 특성을 엄밀하게 균일화하는 것은 곤란하다. 특히, 디스플레이 등의 화소 회로를 구성하는 박막 트랜지스터(TFT)는 특성의 편차가 크다. 이 때문에, 소정의 데이터 신호를 입력했을 때에 원하는 휘도를 얻기 어렵다.

또, 화소 회로를 구성하는 능동 소자나 전기 광학 소자의 시간 경과 열화에 의해 특성이 변화해 버린다는 문제가 있었다.

본 발명은, 상기 문제점을 해소하기 위해 이루어진 것으로서, 그 목적은 높은 정밀도로 전자 회로의 동작 특성을 검출할 수 있는 전자 회로, 전자 장치, 전자 회로의 구동 방법, 전기 광학 장치 및 전자 기기를 제공하는데 있다.

발명의 구성 및 작용

본 발명에서의 제 1 전자 장치는, 복수의 단위 회로를 구비한 전자 장치로서, 상기 복수의 단위 회로의 각각은 제 1 트랜지스터와, 상기 제 1 트랜지스터를 통해서 공급되는 전기 신호를 전기량으로서 유지하는 유지 소자와, 상기 유지 소자에 유지된 전기량에 의거하여 도통 상태가 제어되는 제 2 트랜지스터와, 상기 도통 상태에 상대한 전류량이 공급되는 피구동 소자와, 상기 제 2 트랜지스터와 직렬로 접속된 제 3 트랜지스터를 포함하고, 상기 제 3 트랜지스터를 통해서 전류량을 검출하기 위한 검사부에 접속 가능한 것을 특징으로 한다.

이것에 의하면, 제 3 트랜지스터를 온 시킴으로써, 피구동 소자에 공급되어야 할 제 2 트랜지스터로부터의 전하량에 상대한 전류량이 상기 제 3 트랜지스터를 통해서 얻어질 수 있다. 따라서, 전자 회로의 동작 특성을 검출할 수 있다. 또한, 상기 제 3 트랜지스터는 각 단위 회로 내에 설치할 수도 있고, 상기 복수의 단위 회로 중 몇 개의 단위 회로에 대해서 공통으로 설치할 수도 있다.

본 발명의 제 2 전자 장치는 복수의 단위 회로를 구비한 전자 장치로서, 상기 복수의 단위 회로의 각각은 제 1 트랜지스터와, 상기 제 1 트랜지스터를 통해서 공급되는 전기 신호를 전기량으로서 유지하는 유지 소자와, 상기 유지 소자에 유지된 전기량에 의거하여 도통 상태가 제어되는 제 2 트랜지스터와, 상기 도통 상태에 상대한 전류량이 공급되는 피구동 소자를 포함하고, 상기 제 2 트랜지스터는 상기 제 1 트랜지스터와 직렬로 접속되어 있고, 상기 제 1 트랜지스터를 통해서 전류량을 검출하기 위한 검사부에 접속 가능한 것을 특징으로 한다.

이 제 2 전자 장치의 대응하는 실시형태로서는, 예를 들면, 후술하는 제 4 실시형태와 같은 전기 신호로서 전류 신호가 공급되는 회로 구성을 갖는 전자 장치를 들 수 있다.

상기의 전자 장치에 있어서, 상기 피구동 소자와 상기 제 2 트랜지스터의 사이에 제 4 트랜지스터를 접속시켰다.

이것에 의하면, 제 4 트랜지스터를 오프 상태로 하고, 상기 피구동 소자로의 전류 공급을 정지한 상태에서, 상기 제 3 트랜지스터 또는 상기 제 1 트랜지스터를 온 상태로 함으로써, 상기 피구동 소자에 공급되어야 할 제 2 트랜지스터를 통과하는 전류의 전류량이 상기 제 3 트랜지스터 또는 상기 제 1 트랜지스터를 통해서 검출할 수 있다. 즉, 상기 검사부가 검출을 행하고 있는 기간에는 상기 제 4 트랜지스터가 적어도 오프 상태인 것이 바람직하다.

상기 전자 장치에 있어서, 상기 피구동 소자는, 예를 들면, 유기 EL 소자 등의 전류 구동 소자이어도 좋다. 유기 EL 소자는 발광층이 유기 재료로 구성되어 있다.

상기 전자 장치에 있어서, 상기 제 3 트랜지스터는 상기 복수의 단위 회로 각각에 설치되어 있는 것이 바람직하다. 이것에 의해 상기 복수의 단위 회로 각각의 전류 특성을 검출하는 것이 가능해진다.

상기 전자 장치에 있어서, 상기 유지 소자는, 예를 들면, 상기 복수의 단위 회로의 각각에 공급된 전기 신호를 전하량으로서 유지하는 용량 소자이어도 좋다.

상기 전자 장치에 있어서, 상기 유지 소자는 SRAM 등의 기억 소자이어도 좋다.

상기 전자 장치에 있어서, 상기 검사부에서 구한 상기 제 1 트랜지스터를 통해서 공급되는 전기 신호에 대한 보정값을 기억하는 기억 회로를 구비했다.

이것에 의하면, 기억 회로에 기억한 보정값을 사용해서 전자 장치의 동작 특성을 보정하여 피구동 소자의 동작을 조정할 수 있다.

본 발명에서의 전자 장치의 구동 방법은, 제 1 트랜지스터와, 상기 제 1 트랜지스터를 통해서 공급되는 전기 신호를 전기량으로서 유지하는 유지 소자와, 상기 유지 소자에 유지된 전기량에 의거하여 도통 상태가 설정되는 제 2 트랜지스터와, 상기 도통 상태에 상대한 전류량이 공급되는 피구동 소자와, 상기 제 2 트랜지스터와 직렬로 접속된 제 3 트랜지스터를 구비한 전자 장치의 구동 방법으로, 상기 제 1 트랜지스터를 온 시키고 상기 전기 신호에 의거하는 전기량을 상기 유지 소자에 유지하는 제 1 스텝과, 상기 제 3 트랜지스터를 온 상태로 하고 상기 제 2 트랜지스터와 전류량을 검출하기 위한 검사부를 상기 제 3 트랜지스터를 통해서 전기적으로 접속하고, 상기 제 2 트랜지스터 및 상기 제 3 트랜지스터를 포함하는 전류 경로를 통과하는 전류의 전류량을 검출하는 제 2 스텝을 구비한 것을 특징으로 한다.

이것에 의하면, 검사부는 피구동 소자에 공급되어야 할 전류량을 상기 검사부에서 검출할 수 있다.

상기 전자 장치의 구동 방법에 있어서, 상기 전류 경로는 상기 피구동 소자를 포함하지 않도록 하는 것이 바람직하다.

상기 전자 장치의 구동 방법에 있어서, 상기 피구동 소자는 유기 EL 소자 등의 전류 구동 소자이어도 좋다.

본 발명에서의 제 1 전기 광학 장치는, 복수의 주사선과 복수의 데이터선의 교차부에 대응하여 배치된 복수의 화소 회로를 구비한 전기 광학 장치로서, 상기 복수의 화소 회로 각각은 상기 복수의 주사선의 대응하는 주사선을 통해서 공급되는 주사 신호에 의해 도통이 제어되는 제 1 트랜지스터와, 상기 복수의 데이터선의 대응하는 데이터선 및 상기 제 1 트랜지스터를 통해서 공급되는 데이터 신호를 전기량으로서 유지하는 유지 소자와, 상기 유지 소자에 유지된 전기량에 의거하여 도통 상태가 제어되는 제 2 트랜지스터와, 상기 도통 상태에 상대한 전류량이 공급되는 전기 광학 소자와, 상기 제 2 트랜지스터와 직렬로 접속된 제 3 트랜지스터를 포함하고, 상기 복수의 화소 회로 각각은 상기 제 3 트랜지스터를 통해서 전류량을 검출하는 검사부에 접속 가능한 것을 특징으로 한다.

상기 전기 광학 장치에 있어서, 상기 제 3 트랜지스터는 상기 복수의 화소 회로의 각각에 설치할 수도 있고, 상기 복수의 화소 회로 중 몇 개의 화소 회로에 공통으로 설치할 수도 있다.

상기 전기 광학 장치에 있어서, 상기 제 3 트랜지스터는 상기 복수의 트랜지스터의 대응하는 데이터선을 통해서 상기 검사부에 접속 가능하도록 할 수도 있다. 이것에 의하면, 검사용 배선을 설치하지 않아도 데이터선을 검사용 배선으로서 이용하는 것이 가능하다.

본 발명의 제 2 전기 광학 장치는, 복수의 주사선과 복수의 데이터선의 교차부에 대응해서 배치된 복수의 화소 회로를 구비한 전기 광학 장치로서, 상기 복수의 화소 회로 각각은 상기 복수의 주사선의 대응하는 주사선을 통해서 공급되는 주사 신호에 의해 도통이 제어되는 제 1 트랜지스터와, 상기 복수의 데이터선의 대응하는 데이터선 및 상기 제 1 트랜지스터를 통해서 공급되는 데이터 신호를 전기량으로서 유지하는 유지 소자와, 상기 유지 소자에 유지된 전기량에 의거하여 도통 상태가 제어되고, 상기 제 1 트랜지스터와 직렬로 접속된 제 2 트랜지스터와, 상기 도통 상태에 상대한 전류량이 공급되는 전기 광학 소자를 포함하고, 상기 복수의 화소 회로 각각은 상기 제 1 트랜지스터를 통해서 전류량을 검출하는 검사부에 접속 가능한 것을 특징으로 한다.

상기 전기 광학 장치에 있어서, 상기 검사부는 상기 전류량을 검출하는 전류 검출 회로와, 상기 전류 검출

회로에서 검출한 전류류에 의거하여 상기 전기 신호에 대한 보정값을 구하는 보정값 산출 회로와, 상기 회소 회로에 대한 상기 보정값을 기억하는 기억 회로로 이루어지고, 상기 전기 신호를 설정할 때, 상기 전기 신호를 상기 보정값으로 보정하도록 했다.

이것에 의하면, 보정값 산출 회로에 의해서 화소 회로의 동작 특성의 편차를 조정하기 위한 보정값을 구하고, 그 회소 회로에 대한 상기 보정값을 기억 회로에 기억시킨다. 따라서, 기억 회로에 기억된 편차 회로의 보정값을 사용해서 화소 회로의 동작 특성을 보정하여 피구동 소자의 동작을 조정할 수 있다.

본 발명에서의 전자 기기에는 상기 전기 광학 장치가 실장되어 있다.

[발명의 실시형태]

(제 1 실시형태)

이하, 본 발명을 구체화한 제 1 실시형태를 도 1~도 5에 따라 설명한다.

도 1은 전기 광학 장치로서의 유기 EL 디스플레이(10)의 회로 구성을 나타내는 블록 회로도용 도시한다. 도 2는 표시 패널부와 데이터선 구동 회로의 내부 회로 구성을 나타내는 블록 회로도용 도시한다. 도 3은 화소 회로의 내부 회로 구성을 나타내는 회로도용 도시한다.

도 1에서, 유기 EL 디스플레이(10)는 표시 패널부(11), 데이터선 구동 회로(12), 주사선 구동 회로(13), 메모리(14), 발진 회로(15), 셀렉트 회로(16) 및 제어 회로(17)를 구비하고 있다.

유기 EL 디스플레이(10)의 각 요소(11~17)는, 각각이 독립된 전자 부품에 의해서 구성되어 있어도 좋다. 예를 들면, 각 요소(12~17)가 칩의 반도체 집적 회로 장치에 의해서 구성되어 있어도 좋다. 또, 각 요소(11~17)의 전부 혹은 일부가 일체로 된 전자 부품으로 구성되어 있어도 좋다. 예를 들면, 표시 패널부(11)에 데이터선 구동 회로(12)와 주사선 구동 회로(13)가 일체적으로 형성되어 있어도 좋다. 각 구성 요소(12~16)의 전부 또는 일부가 프로그램 가능한 IC칩으로 구성되고, 그 기능이 IC칩에 기입된 프로그램에 의해 소프트웨어적으로 실현되어도 좋다.

표시 패널부(11)는, 도 2에 나타난 바와 같이, 매트릭스 형상으로 배열된 복수의 화소 회로(20)를 구비하고 있다. 즉, 각 화소 회로(20)는 그 열방향에 따라 연장하는 복수의 데이터선(X1~Xm)(m은 정수)과 행방향에 따라 연장하는 복수의 주사선(Y1~Yn)(n은 정수) 사이에 각각 접속됨으로써, 각 화소 회로(20)는 매트릭스 형상으로 배열되어 있다. 각 화소 회로(20)에는 피구동 소자로서 발광층이 유기 재료로 구성된 유기 EL 소자(21)를 구비하고 있다. 또한, 화소 회로(20) 내에 형성되는 후술하는 트랜지스터는 실리콘 배이스의 트랜지스터여도 좋지만, 본 실시형태에서는 박막 트랜지스터(TFT)로 구성하고 있다.

데이터선 구동 회로(12)는 상기 각 데이터선(X1~Xm)에 대해서 데이터 전압 생성 회로(12a)가 각각 설치되어 있다. 각 데이터 전압 생성 회로(12a)는 각각 대응하는 데이터선(X1~Xm)을 통해서 화소 회로(20)에 전기 신호, 즉 본 실시형태에서는 데이터 신호(데이터 전압(Vdata))를 공급한다. 화소 회로(20)는 이 데이터 전압 Vdata에 따라 상기 화소 회로(20)의 내부 상태가 설정되면, 이것에 따라 유기 EL 소자(21)에 흐르는 전류값이 제어되고, 상기 유기 EL 소자(21)의 휘도가 제어된다.

주사선 구동 회로(13)는 상기 복수의 주사선(Yn) 중 한 개를 선택 구동하여 1행분의 화소 회로군을 선택한다. 주사선(Y1~Yn)은 각각 제 1 부주사선(Va)과 제 2 부주사선(Vb)으로 구성되어 있다. 주사선 구동 회로(13)는 제 1 부주사선(Va)에 제 1 선택 신호(SL1)를 출력하고, 제 2 부주사선(Vb)에 제 2 선택 신호(SL2)를 출력한다. 메모리(14)는 컴퓨터(18)로부터 공급되는 표시 데이터를 기억한다. 또, 메모리(14)는 보정값 산출 회로를 구성하는 검사 장치(19)로부터 공급되는 테스트용 표시 데이터를 기억하도록 되어 있다. 발진 회로(15)는 기준 동작 신호를 유기 EL 디스플레이(10)의 다른 구성 요소에 공급한다.

셀렉트 회로(16)는 표시 패널부(11)와 데이터선 구동 회로(12)의 사이에 설치되어 있다. 각 셀렉트 회로(16)는 각 데이터선(X1~Xm)마다 전환 회로(16a)를 구비하고 있다. 각 전환 회로(16a)는 도 3에 나타낸 바와 같이, 제 1 게이트 트랜지스터(Q1)와 제 2 게이트 트랜지스터(Q2)로 각각 구성되어 있다. 또, 각 셀렉트 회로(16)의 제 1 게이트 트랜지스터(Q1)는 대응하는 데이터선(X1~Xm)과, 대응하는 데이터 전압 생성 회로(30)를 각각 접속한다. 각 셀렉트 회로(16)의 제 2 게이트 트랜지스터(Q2)는 대응하는 데이터선(X1~Xm)과, 검사부로서의 검사 장치(19)에 설치한 대응하는 데이터선(X1~Xm)마다 설치된 전류 검출 회로(19a)를 각각 접속한다. 제 1 및 제 2 게이트 트랜지스터(Q1, Q2)는 제어 회로(17)로부터의 제 1 및 제 2 게이트 신호(G1, G2)에 의거하여 각각 온·오프 제어되도록 되어 있다.

제어 회로(17)는 상기 각 요소(11~16)를 통괄 제어한다. 제어 회로(17)는 표시 패널부(11)의 표시 상태를 나타내는 상기 메모리(14)에 기억한 컴퓨터(18)로부터의 표시 데이터(화상 데이터)를 각 유기 EL 소자(21)의 발광의 휘도를 나타내는 매트릭스 데이터로 변환한다. 매트릭스 데이터는 1행분의 화소 회로군을 순차 선택하기 위한 주사선 구동 신호와, 선택된 화소 회로군의 유기 EL 소자(21)의 휘도를 설정하는 데이터 전압 Vdata의 레벨을 결정하는 데이터선 구동 신호를 포함한다. 또, 주사선 구동 신호는 주사선 구동 회로(13)에 공급된다. 또, 데이터선 구동 신호는 데이터선 구동 회로(12)에 공급된다.

또, 제어 회로(17)는 유기 EL 디스플레이(10)가 검사 장치(19)를 사용하여 표시 패널부(11)의 각 화소 회로(20)에 대한 검사를 행할 때, 테스트 모드가 된다. 테스트 모드가 되면, 제어 회로(17)는 상기 메모리(14)에 기억된 검사 장치(19)로부터의 테스트용 표시 데이터(화상 데이터)를 각 유기 EL 소자(21)의 발광의 휘도를 나타내는 매트릭스 데이터(테스트용 매트릭스 데이터)로 변환한다.

이 테스트용 매트릭스 데이터는 1행분의 화소 회로군을 순차 선택하기 위한 테스트용의 주사선 구동 신호와, 선택된 화소 회로군의 유기 EL 소자(21)의 테스트용 휘도를 설정하는 테스트용 데이터 전압 Vdata의 레벨을 결정하는 테스트용의 데이터선 구동 신호를 포함한다. 또, 테스트용의 주사선 구동 신호는 주사선 구동 회로(13)에 공급된다. 또, 테스트용의 데이터선 구동 신호는 데이터선 구동 회로(12)에 공급된다. 또, 테스트 모드에 있어서, 제어 회로(17)는 표시 패널부(11)의 각 화소 회로(20)에 대해서 검사를 행하기 위한 제 1 및 제 2 게이트 신호(G1, G2)를 상기 셀렉트 회로(16)에 공급한다. 또한, 테스트 모드가 아닌 정상 모드일 때에, 제어 회로(17)는 제 1 게이트 신호(G1)만 출력하고 제 1 게이트 트랜지스터(Q1)를 온,

제 2 게이트 트랜지스터(Q2)를 오픈가 되는 상태로 유지시키고 있다.

다음으로, 화소 회로(20)의 내부 회로 구성에 대해서 도 3에 따라 설명한다. 설명의 편의상, n번째의 데이터선(Xm)과 n번째의 주사선(Yn)의 교점에 배치되고, 양 데이터선(Xm)과 주사선(Yn)의 사이에 접속된 화소 회로(20)에 대해서 설명한다.

화소 회로(20)는, 본 실시형태에서는 전압 구동형의 화소 회로로서, 픽구동 소자로서의 유기 EL 소자(21)를 구비하고 있다. 제 2 트랜지스터로서의 구동용 트랜지스터(Q11), 제 1 트랜지스터로서의 스위칭용 트랜지스터(Q12), 제 4 트랜지스터로서의 발광 제어용 트랜지스터(Q13), 제 3 트랜지스터로서의 검출용 트랜지스터(Q14), 유지 소자로서의 유지 캐패시터(C1)를 구비하고 있다.

스위칭용 트랜지스터(Q12) 및 발광 제어용 트랜지스터(Q13)는 N채널 TFT로 구성되어 있다. 구동용 트랜지스터(Q11) 및 검출용 트랜지스터(Q14)는 P채널 TFT로 구성되어 있다.

구동용 트랜지스터(Q11)는 드레인인 스위칭용 트랜지스터(Q13)를 통해서 상기 유기 EL 소자(21)의 양극에 접속되고, 소스가 전원선(L1)에 접속되어 있다. 구동용 트랜지스터(Q11)의 게이트와 전원선(L1)의 사이에는 유지 캐패시터(C1)가 접속되어 있다. 또, 구동용 트랜지스터(Q11)의 게이트는 스위칭용 트랜지스터(Q12)를 통해서 상기 데이터선(Xm)에 접속되어 있다. 또한, 구동용 트랜지스터(Q11)의 드레인인 상기 검출용 트랜지스터(Q14)를 통해서 상기 데이터선(Xm)에 접속되어 있다.

스위칭용 트랜지스터(Q12)의 게이트에는 제 1 부주사선(Va)이 접속되어 있다. 상기 검출용 트랜지스터(Q14)의 소스는 상기 제 1 부주사선(Va)에 접속되어 있다. 또, 발광 제어용 트랜지스터(Q13) 및 검출용 트랜지스터(Q14)의 게이트는 모두 제 2 부주사선(Vb)에 접속되어 있다.

다음으로, 상기와 같이 구성한 유기 EL 디스플레이(10)의 작용을 화소 회로(20)의 동작에 따라 설명한다.

(통상 모드)

우선, 통상 모드를 도 4에 나타내는 각 신호(SL1, SL2, G1, G2)의 타이밍 차트에 따라 설명한다.

지금, n번째의 주사선(Yn)이 선택되어 주사선(Yn)에 접속된 각 화소 회로(20)가 발광 동작에 들어갈 때, 주사선 구동 회로(13)로부터 주사선(Yn)의 제 1 부주사선(Va)을 통해서 스위칭용 트랜지스터(Q12)를 온 상태로 하는 제 1 선택 신호(SL1)가 출력되고, 스위칭용 트랜지스터(Q12)가 온 상태로 된다. 이와 동시에, 제어 회로(17)로부터 선택 회로(16)의 각 전환 회로(16a)에 제 1 게이트 트랜지스터(Q1)를 온 상태로 하는 제 1 게이트 신호(G1)가 출력되고, 제 1 게이트 트랜지스터(Q1)가 온 상태로 된다. 이 때, 스위칭용 트랜지스터(Q12) 및 제 1 게이트 트랜지스터(Q1)의 온에 의거하여 각 데이터 전압 생성 회로(12a)로부터 대응하는 각 화소 회로(20)의 유지 캐패시터(C1)에 데이터 전압 Vdata가 각각 공급된다. 시간 t1의 경과 후, 스위칭용 트랜지스터(Q12) 및 제 1 게이트 트랜지스터(Q1)를 오픈 상태로 하는 제 1 선택 신호(SL1) 및 제 1 게이트 신호(G1)가 공급되고, 데이터 기입 기간이 종료된다.

데이터 전압 Vdata를 온 상태에 있는 스위칭용 트랜지스터(Q12)를 통해서 화소 회로(20)에 공급하고 있는 기간에, 검출용 트랜지스터(Q14) 및 발광 제어용 트랜지스터(Q13)는 각각 온 상태로 해둔다.

시간 t1의 도중 또는 시간 t1의 경과 후, 구동용 트랜지스터(Q11)의 도통 상태에 따른 전류의 유기 EL 소자에 대한 공급이 개시된다.

이어서, 발광 제어용 트랜지스터(Q13)를 오픈 상태로 하여 전류의 유기 EL 소자에 대한 공급을 정지하고, 다음 데이터 기입 기간의 개시를 대기한다.

또한, 데이터 전압 Vdata를 스위칭용 트랜지스터(Q12)를 통해서 화소 회로(20)에 공급하고 있는 기간에, 검출용 트랜지스터(Q14)는 온 상태 및 오픈 상태의 어떤 것이어도 좋다.

하지만, 온 상태에 있는 검출용 트랜지스터(Q14)를 통해서 화소 회로(20)와 데이터선(Xm)의 사이에 흐르는 미소한 전류가 데이터 전압 Vdata가 섭동(擾動)을 부여할 가능성도 있으므로, 본 실시형태와 같이 데이터 전압 Vdata를 스위칭용 트랜지스터(Q12)를 통해서 화소 회로(20)에 공급하고 있는 기간에, 검출용 트랜지스터(Q14)는 오픈 상태로 해두는 것이 바람직하다.

또한, 통상 모드의 전체 기간에서 검출용 트랜지스터(Q14)를 오픈 상태로 해두어도 물론 상관없다.

본 실시형태에서, 발광 제어용 트랜지스터(Q13)와 검출용 트랜지스터(Q14)는 상보적인 동작을 하도록 한 회로 구성으로 되어 있지만, 물론 각각 독립적으로 제어할 수도 있다.

이 동작을 반복함으로써, 각 주사선(Y1~Yn) 상에 있는 각 화소 회로(20)의 유기 EL 소자(21)는 데이터 전압 Vdata에 대응한 휘도로 각각 발광 제어되고, 유기 EL 디스플레이(10)는 컴퓨터(18)로부터의 표시 데이터에 의거하는 화상을 표시한다.

(테스트 모드)

다음으로, 구동 방법의 일 형태인 테스트 모드에 대해서 설명한다. 유기 EL 디스플레이(10)는 검사 장치(19)에 접속함으로써 테스트 모드가 된다. 검사 장치(19)로부터 유기 EL 디스플레이(10)에 테스트용 표시 데이터가 출력되면, 제어 회로(17)는 테스트 모드가 되고, 테스트용 표시 데이터를 각 유기 EL 소자(21)의 발광의 휘도 계조를 나타내는 매트릭스 데이터(테스트용 매트릭스 데이터)로 변환한다. 또, 제어 회로(17)는 테스트용의 주사선 구동 신호 및 테스트용의 데이터선 구동 신호를 주사선 구동 회로(13) 및 데이터선 구동 회로(12)에 출력한다.

도 5는 테스트 모드에서의 각 신호(SL1, SL2, G1, G2)의 타이밍 차트로 나타낸다. 지금, 예를 들면, 주사선 구동 회로(13)로부터 주사선(Yn)의 제 1 부주사선(Va)에 스위칭용 트랜지스터(Q12)를 온 상태로 하는 제 1 선택 신호(SL1)가 출력되고, 주사선(Yn) 상에 있는 각 화소 회로(20)의 스위칭용 트랜지스터(Q12)가 온 상태로 된다. 이와 동시에, 제어 회로(17)로부터 선택 회로(16)의 각 전환 회로(16a)에 제 1 게이트 트랜지스터(Q1)를 온 상태로 하는 제 1 게이트 신호(G1)가 출력되고, 각 전환 회로(16a)의 제 1 게이트 트

랜지스터(Q1)가 온 상태로 된다.

이것에 의해, 온 상태에 있는 스위칭용 트랜지스터(Q12) 및 제 1 게이트 트랜지스터(Q1)를 통해서 데이터 전압 생성 회로(12a)로부터 유지 캐패시터(C1)에 테스트용의 데이터 전압 Vdata가 공급된다. 한편, 테스트용 데이터 전압 Vdata를 공급하고 있는 기간에는, 검출용 트랜지스터(Q14)를 오프 상태로 하는 제 2 선택 신호(SL2)를 공급하여 검출용 트랜지스터(Q14)를 오프 상태로 해준다.

시간 t1의 경과 후, 스위칭용 트랜지스터(Q12) 및 제 1 게이트 트랜지스터(Q1)를 오프 상태로 하는 제 1 선택 신호(SL1) 및 제 1 게이트 신호(G1)를 공급하고, 화소 회로(20)에서의 데이터 기입 기간이 종료한다. 이 때, 검출용 트랜지스터(Q14) 및 발광 제어용 트랜지스터(Q13)를 각각 온 상태 및 오프 상태로 하는 제 2 선택 신호(SL2)를 공급한다.

이어서, 제어 회로(17)로부터 선택 회로(16)의 각 전환 회로(16a)에 제 2 게이트 트랜지스터(Q2)를 온 상태로 하는 제 2 게이트 신호(G2)가 공급되고, 제 2 게이트 트랜지스터(Q2)가 온 상태로 된다. 화소 회로(20)에 있어서, 이 제 2 게이트 트랜지스터(Q2)의 온에 의거하여 구동용 트랜지스터(Q11)의 동작에 의거하는 테스트용의 데이터 전압 Vdata에 상대한 전류값의 구동 전류가 흐른다. 이 때, 구동용 트랜지스터(Q11)로부터의 구동 전류는, 검출용 트랜지스터(Q14) 및 제 2 게이트 트랜지스터(Q2)를 통해서 검사 장치(19)의 주사선(Yn) 위에 있는 각 화소 회로(20)에 대해서 설치된 각 전류 검출 회로(19a)에 각각 출력된다.

또, 이 동작을 순차 각 주사선(Y1~Yn)의 각 화소 회로(20)에 대해서 행하고, 각 주사선(Y1~Yn)의 각 화소 회로(20)에 대해서 설치된 각 전류 검출 회로(19a)에 각각 출력된다.

검사 장치(19)에 있어서, 각 주사선(Y1~Yn)의 각 화소 회로(20)에 대해서 설치된 전류 검출 회로(19a)는 입력한 출력 전류를 디지털 변환하여 출력 전류값을 검출 전류값으로서 각각 구한다. 또, 검사 장치(19)는 각 전류 검출 회로(19a)에서 구한 화소 회로(20)의 검출 전류값을 테스트용의 데이터 전압 Vdata에 대한 설정 전류값과 각각 비교한다. 또, 검사 장치(19)는 그 비교 결과를 일시 기억한다. 또한, 설정 전류값은 테스트용의 데이터 전압 Vdata에서 화소 회로(20)로부터 규격상 출력되지 않으면 안되는 전류값으로서, 미리 시험 또는 이론상으로부터 얻어진 값이다.

이 비교 결과를 일시 기억한 후, 새롭게 다른 값의 테스트용의 데이터 전압 Vdata를 사용하여 동일한 테스트를 유기 EL 디스플레이(10)에 대해서 행한다. 또, 검사 장치(19)는 상기와 마찬가지로, 각 전류 검출 회로(19a)가 구한 화소 회로(20)의 검출 전류값을 테스트용의 데이터 전압 Vdata에 대한 설정 전류값과 각각 비교하고, 그 비교 결과를 기억한다.

검사 장치(19)는 2종류의 다른 테스트용의 데이터 전압 Vdata에 대한 비교 결과에 의거하여 각 화소 회로(20)의 데이터 전압 Vdata에 대한 구동용 트랜지스터(Q11)의 출력 전류 특성을 검사한다. 또, 검사 장치(19)는 각 화소 회로(20)의 특성이 목표(규격)의 특성이 되도록 각 화소 회로(20)마다 보정값을 구한다. 즉, 설정 휘도에 대한 데이터 전압 Vdata에 대한 보정값(ΔVd)을 각 화소 회로(20)마다 구한다.

검사 장치(19)는, 이 각 화소 회로(20)마다 구한 보정값(ΔVd)을 유기 EL 디스플레이(10)에 출력한다. 각 화소 회로(20)마다 구해진 보정값(ΔVd)은 제어 회로(17)에 내장된 불휘발성 메모리 등으로 이루어지는 메모리(17a)에 기억되고, 테스트 모드는 종료한다. 또한, 본 실시형태에서는, 메모리(17a)에 기억했지만, 보정값을 설정하는 유즈를 형성하고, 검사 장치(19)의 검사 결과에 의거하여 해당하는 유즈를 컷(cut)하도록 할 수도 있다.

또, 제어 회로(17)는 컴퓨터(18)로부터의 표시 데이터(화상 데이터)를, 각 유기 EL 소자(21)의 발광의 계조를 나타내는 매트릭스 데이터로 변환할 때에 보정값(ΔVd)이 사용된다. 자세하게 설명하자면, 제어 회로(17)는 표시 데이터에 의거하여 구해지는 각 화소 회로(20)의 유기 EL 소자(21)의 휘도를 설정하는 데이터 전압 Vdata를 각각 대응하는 보정값(ΔVd)으로 보정한 값을 새로운 데이터 전압 Vdata로 한다. 제어 회로(17)는 그 각 화소 회로(20)의 새로운 데이터 전압 Vdata를 데이터선 구동 신호로서 데이터선 구동 회로(12)에 출력한다.

따라서, 제조 편차에 의한 각 화소 회로(각 트랜지스터; 특히 구동용 트랜지스터(Q11))의 동작 특성의 편차를 검출할 수 있다. 또한, 각 화소 회로(20)의 동작 특성의 편차를 보정하여 각 화소 회로(20)의 유기 EL 소자(21)의 데이터 전압 Vdata에 대한 휘도를 일정하게 할 수 있다.

또, 검사 장치(19)는 검출 전류값이 기준 범위 내에 없는 경우에는 화소 회로(20)가 동작 불능으로 판단되도록 하면, 제품으로서 출하할 수 있을지의 여부의 판단 재료가 될 수 있다.

다음으로, 상기와 같이 구성한 유기 EL 디스플레이(10)의 특징을 이하에 기재한다.

(1) 본 실시형태에서는, 화소 회로(20)에 스위칭용 트랜지스터(Q13) 및 검출용 트랜지스터(Q14)를 설치했다. 또, 테스트 모드에서 검출용 트랜지스터(Q14)를 통해서 구동용 트랜지스터(Q11)로부터의 테스트용의 데이터 전압 Vdata에 대한 전류값의 구동 전류를 검출 장치(19)의 전류 검출 회로(19a)에 공급할 수 있도록 했다.

따라서, 간단하게 제조 편차에 의한 각 화소 회로(20)의 동작 특성을 검출할 수 있다. 그 결과, 유기 EL 디스플레이(10)의 불량률을 줄이기에 검사할 수 있다.

(2) 본 실시형태에서는, 제어 회로(17)에 내장한 메모리(17a)에 검사 장치(19)가 각 화소 회로(20)마다 구한, 제조 편차에 의거하는 동작 특성의 오차를 보정하는 보정값, 즉, 설정 휘도에 대한 데이터 전압 Vdata에 대한 보정값(ΔVd)을 기억했다. 또, 제어 회로(17)는 표시 데이터에 의거하여 구해지는 각 화소 회로(20)의 유기 EL 소자(21)의 휘도를 설정하는 데이터 전압 Vdata를 각각 대응하는 보정값(ΔVd)으로 보정했다.

따라서, 각 화소 회로(20)는 표시 데이터에 의거하는 데이터 전압 Vdata에 대해서 균일한 전류값의 구동 전류를 유기 EL 소자(21)에 공급할 수 있고, 상기 유기 EL 소자를 균일한 휘도로 발광시킬 수 있다.



또한, 각 화소 회로(20)를 보정값( $\Delta Vd$ )으로 제조 편차에 의한 동작 특성을 보정할 수 있기 때문에, 종래에는 불량품으로서 폐기되는 유기 EL 디스플레이를 제품으로서 개선했 수 있어서, 유기 디스플레이의 제조 수율을 향상시킬 수 있다.

(3) 본 실시형태에서는, 검출을 위한 구동 전류를 기존의 데이터선( $X1 \sim X_m$ )을 이용하여 전류 검출 회로(19a)에 공급하도록 했다. 따라서, 전류 검출을 위해 회로 규모가 증대하는 것을 억제할 수 있다.

또한, 본 실시형태에서는, 상기 구동용 트랜지스터(제 2 트랜지스터)(Q11)와 검출용 트랜지스터(제 3 트랜지스터)(Q14)와 직렬로 접속되었으나, 구동용 트랜지스터(Q11)와 검출용 트랜지스터(Q14)의 사이에 가타 소자를 삽입할 수도 있다. 이 경우에도 구동용 트랜지스터(Q11)에 대해서 검출용 트랜지스터(Q14)는 직렬로 접속되어 있게 된다.

(제 2 실시형태)

다음으로, 제 2 실시형태에 대해서 설명한다. 상기 제 1 실시형태에서는, 검사 장치(19)가 외부 장치였지만, 본 실시형태에서는 상기 제 1 실시형태의 유기 EL 디스플레이(10)의 각 요소(11~17)와 동일한 요소로서 검사 장치(19)를 구성한 것이다. 따라서, 검사 장치(19)는 유기 EL 디스플레이(10)와 함께 상기 유기 EL 디스플레이(10)를 실장하는 휴대 전화, PDA, 노트북 퍼스널컴퓨터 등의 휴대 전자 기기 내에 내장되게 된다.

또한, 휴대 전자 기기 내에 내장되는 점에 특징이 있을 뿐이므로, 설명의 편의상, 제 1 실시형태와 공통되는 부분은 생략하고 그 특징 부분에 대해서 설명한다.

도 6은 본 실시형태의 검사 장치(19)의 전기 회로를 나타낸다.

도 6에서, 전류 검출 회로부(31)는 데이터선( $X1 \sim X_m$ )에 대응한 수의 전류 검출 회로(31a)로 구성되어 있다. 각 전류 검출 회로(31a)는 각각 전원 회로(16a)를 통해서 데이터선( $X1 \sim X_m$ )으로부터 공급되는 구동용 트랜지스터(Q11)로부터의 테스트용의 데이터 전압 Vdata에 대한 구동 전류를 각각 아날로그 검출한다. 또한, 테스트용의 표시 데이터는 제어 회로(17)의 메모리(17a)에 미리 기억되어 있다.

각 전류 검출 회로(31a)는 AD 변환 회로부(32)의 대응하는 AD 변환기(32a)에 접속되어 있다. 각 AD 변환기(32a)는 데이터선( $X1 \sim X_m$ )으로부터 공급되는 구동 전류의 전류값을 디지털값으로 변환하여 제어 회로(17)에 출력한다.

제어 회로(17)는 각 AD 변환기(32a)로부터의 데이터선( $X1 \sim X_m$ )으로부터 공급되는 구동 전류의 전류값과 테스트용의 데이터 전압 Vdata에 대한 설정 전류값을 각각 비교한다. 또, 제어 회로(17)는 그 비교 결과를 일시 기억한다. 즉, 본 실시형태에서는, 제어 회로(17)에서 상기 제 1 실시형태의 검사 장치(19)와 동일한 검사 처리를 행한다. 또한, 본 실시형태의 경우, 한 개의 주사선 상에 접속된 각 화소 회로(20)마다 검사를 행한 후, 다음 주사선 상의 각 화소 회로의 검사를 행하도록 되어 있다.

이 비교 결과를 일시 기억한 후, 새롭게 다른 값의 테스트용의 데이터 전압 Vdata를 사용하여 동일한 테스트용 유기 EL 디스플레이(10)에 대해서 행한다. 또, 제어 회로(17)는 상기와 마찬가지로, 각 AD 변환기(32a)로부터의 데이터선( $X1 \sim X_m$ )으로부터 공급되는 구동 전류의 전류값을 테스트용의 데이터 전압 Vdata에 대한 설정 전류값과 각각 비교하고, 그 비교 결과를 기억한다.

제어 회로(17)는 2종류의 다른 테스트용의 데이터 전압 Vdata에 대한 비교 결과에 의거하여 각 화소 회로(20)의 데이터 전압 Vdata에 대한 구동용 트랜지스터(Q11)의 출력 전류 특성을 검사한다. 또, 제어 회로(17)는 각 화소 회로(20)의 특성이 목표(규격)의 특성이 되도록 각 화소 회로(20)마다 보정값을 구한다. 즉, 설정 휘도에 대한 데이터 전압 Vdata에 대한 보정값( $\Delta Vd$ )을 각 화소 회로(20)마다 구한다. 제어 회로(17)는 그 구한 보정값( $\Delta Vd$ )을 기억 회로로서의 메모리(17a)에 기억하고 테스트 모드를 종료한다. 또한, 제어 회로(17)는 테스트 모드를 정기적으로 행하거나, 전원 투입 직후에 실행시키도록 되어 있다. 제어 회로(17)는 이 보정값( $\Delta Vd$ )을 사용하여 상기 제 1 실시형태와 마찬가지로 각 화소 회로(20)를 표시 데이터에 의거하여 구동 제어한다.

다음으로, 상기와 같이 구성한 유기 EL 디스플레이(10)의 특징을 이하에 기재한다.

(1) 본 실시형태에서는, 화소 회로(20)에 스위칭용 트랜지스터(Q13) 및 검출용 트랜지스터(Q14)를 설치했다. 또, 테스트 모드에서 검출용 트랜지스터(Q14)를 통해서 구동용 트랜지스터(Q11)로부터의 테스트용의 데이터 전류 Vdata에 대한 구동 전류의 전류값을 제어 회로(17)에 공급했다.

또, 제어 회로(17)에서 각 화소 회로(20)의 동작 특성을 검출한다. 따라서, 대규모인 검사 장치를 사용하지 않고, 제조 편차에 의한 각 화소 회로(20)의 동작 특성을 간단하게 검출할 수 있다. 또한, 제어 회로(17)에서 정기적으로 또는 전원 투입 직후 등에 테스트 모드를 실행시키도록 하면, 경년(經年) 변화, 환경 온도의 변화에 의한 각 화소 회로(20)의 동작 특성을 검출할 수 있다.

(2) 본 실시형태에서는, 제어 회로(17)에 내장한 메모리(17a)에 상기 제어 회로(17)가 각 화소 회로(20)마다 구한 제조 편차, 경년 변화, 환경 온도의 변화에 의거하는 동작 특성의 오차를 보정하는 보정값, 즉, 설정 휘도에 대한 데이터 전압 Vdata에 대한 보정값( $\Delta Vd$ )을 기억했다. 또, 제어 회로(17)는 표시 데이터에 의거하여 구해지는 각 화소 회로(20)의 유기 EL 소자(21)의 휘도를 설정하는 데이터 전압 Vdata를 각각 대응하는 보정값( $\Delta Vd$ )으로 보정했다.

따라서, 각 화소 회로(20)는 경년 변화, 환경 온도가 변화해도 표시 데이터에 의거하는 데이터 전압 Vdata에 대해서 균일한 전류값의 구동 전류를 유기 EL 소자(21)에 공급할 수 있어, 상기 유기 EL 소자를 균일한 휘도로 발광시킬 수 있다.

(3) 본 실시형태에서는, 검출을 위한 구동 전류를 기존의 데이터선( $X1 \sim X_m$ )을 이용하여 전류 검출 회로(19a)에 공급하도록 했다. 따라서, 전류 검출을 위해 회로 규모가 증대하는 것을 억제할 수 있다.

(제 3 실시형태)

다음으로, 제 1 및 제 2 실시형태에서 설명한 전기 광학 장치로서의 유기 EL 디스플레이(10)의 전자 기기의 적용에 대해서 도 7 및 도 8에 따라 설명한다. 유기 EL 디스플레이(10)는 모바일형의 퍼스널컴퓨터, 휴대 전화, 디지털 카메라 등 다양한 전자 기기에 적용할 수 있다.

도 7은 모바일형 퍼스널컴퓨터의 구성을 나타내는 사시도를 나타낸다. 도 7에서, 퍼스널컴퓨터(50)는 키보드(51)를 구비한 본체부(52)와, 상기 유기 EL 디스플레이(10)를 사용한 표시 유닛(53)을 구비하고 있다. 이 경우에서도, 유기 EL 디스플레이(10)를 사용한 표시 유닛(53)은 상기 실시형태와 동일한 효과를 발휘한다. 그 결과, 퍼스널컴퓨터(50)는 결합이 적은 화상 표시를 실현할 수 있다.

도 8은 휴대 전화의 구성을 나타내는 사시도를 도시한다. 도 8에서, 휴대 전화(60)는 복수의 조작 버튼(61), 수화구(62), 송화구(63), 상기 유기 EL 디스플레이(10)를 사용한 표시 유닛(64)을 구비하고 있다. 이 경우에서도, 유기 EL 디스플레이(10)를 사용한 표시 유닛(64)은 상기 실시형태와 동일한 효과를 발휘한다. 그 결과, 휴대 전화(60)는 결합이 적은 화상 표시를 실현할 수 있다.

(제 4 실시형태)

본 실시형태에서는, 스위칭용 트랜지스터와 검출용 트랜지스터를 겸용하는 실시형태에 대해서 도 9에 나타내는 회로 회로에 대해서 설명한다.

도 9에서, 각 화소 회로(20)는 제 2 트랜지스터로서의 구동용 트랜지스터(Q20), 제 1 스위칭용 트랜지스터(Q21) 및 제 2 스위칭용 트랜지스터(Q22), 발광 제어용 트랜지스터(Q23) 및 유지 소자로서의 유지 캐패시터(C1)를 구비하고 있다. 구동용 트랜지스터(Q20)는 P채널 TFT로 구성되어 있다. 제 1 및 제 2 스위칭용 트랜지스터(Q21, Q22) 및 발광 제어용 트랜지스터(Q23)는 N채널 TFT로 구성되어 있다.

구동용 트랜지스터(Q20)는, 드레인이 발광 제어용 트랜지스터(Q23)를 통해서 상기 유기 EL 소자(21)의 양극에 접속되고, 소스가 전원선(L1)에 접속되어 있다. 전원선(VL)에는 상기 유기 EL 소자(21)를 구동시키기 위한 구동 전압(Vdd)이 공급되어 있다. 상기 구동용 트랜지스터(Q20)의 게이트와 전원선(VL)의 사이에는 유지 캐패시터(C1)가 접속되어 있다.

또, 구동용 트랜지스터(Q20)의 게이트는 상기 제 1 스위칭용 트랜지스터(Q21)의 드레인에 접속되어 있다. 제 1 스위칭용 트랜지스터(Q21)의 소스는 제 2 스위칭용 트랜지스터(Q22)의 드레인과 접속되어 있다. 또, 제 2 스위칭용 트랜지스터(Q22)의 드레인은 상기 구동용 트랜지스터(Q20)의 드레인과 접속되어 있다.

또한, 제 2 스위칭용 트랜지스터(Q22)의 소스는 데이터선(Xm)을 통해서 데이터선 구동 회로(12)의 단일 라인 구동 회로(30)에 접속되어 있다. 또, 이 단일 라인 구동 회로(30)는 데이터 전류 생성 회로(40a)가 설치되어 있다. 데이터 전류 생성 회로(40a)는 화소 회로(20)에 대해서 데이터 신호(1)를 출력한다. 또, 데이터선(Xm)은 제 1 스위치(Q11)를 통해서 데이터 전류 생성 회로(40a)에 접속되는 동시에, 제 2 스위치(Q12)를 통해서 전류 검출 회로(30b)에 접속된다.

제 1 및 제 2 스위칭용 트랜지스터(Q21, Q22)의 게이트에는, 각각 제 1 부주사선(Va) 및 제 2 부주사선(Vb)이 접속되어 있다. 제 1 부주사선(Va) 및 제 2 부주사선(Vb)으로부터 제 1 주사 신호(SL1) 및 제 2 주사 신호(SL2)에 의해 제 1 및 제 2 스위칭용 트랜지스터(Q21, Q22)는 온 되도록 되어 있다. 또한, 발광 제어용 트랜지스터(Q23)의 게이트는 발광 제어 신호(Gp)에 의해서 제어된다.

제 1 스위치(Q11), 제 1 스위칭용 트랜지스터(Q21) 및 제 2 스위칭용 트랜지스터(Q22)가 온 상태의 기간에 데이터 전류 생성 회로(40a)가 데이터 신호(1)를 데이터선(Xm)을 통해서 출력하면, 화소 회로(20)에 데이터 신호(1)가 공급되고, 유지 캐패시터(C1)에 데이터 신호(1)에 대응한 전하량이 축적되어, 구동 트랜지스터의 도통 상태가 결정된다. 이것이 기입 동작이다.

이어서, 발광 제어용 트랜지스터(Q23)가 발광 제어용 트랜지스터(Q23)를 온 상태로 하는 발광 제어 신호(Gp)에 응답하여 온 상태가 되면, 구동용 트랜지스터(Q20)의 도통 상태에 따른 전류량이 유기 EL 소자(21)에 공급된다.

이에 대해서 테스트 모드에서, 상기한 기입 동작은 기본적으로 동일하지만, 통상의 데이터 신호 대신에 테스트용의 신호에 대응한 전하량을 유지 캐패시터에 유지시킨다. 다음으로, 제 1 스위칭용 트랜지스터(Q21), 제 1 스위치(Q11) 및 발광 제어용 트랜지스터(Q23)를 오프 상태로 한 채, 제 2 스위칭용 트랜지스터(Q22) 및 제 2 스위치(Q12)를 온 상태로 하여, 구동 트랜지스터(Q20)를 통과하는 전류량을 전류 검출 회로(30b)에서 검출한다.

제 4 실시형태에서는, 제 1 실시형태와는 달리 검출용 트랜지스터를 새롭게 설치하는 대신에 2개의 스위칭 트랜지스터 중 하나(제 2 스위칭 트랜지스터(Q22))를 검출용 트랜지스터로서도 겸용하고 있다.

또한, 발명의 실시형태는 상기 실시형태에 한정되지 않고, 이하와 같이 실시할 수도 있다.

상기 제 1 실시형태에서는, 출하 전의 유기 EL 디스플레이를 검사하는 검사 장치(19)를 사용하여 디스플레이를 검사했다. 이것을 휴대 전화, PDA, 노트북 퍼스널컴퓨터 등의 휴대 전자 기기에 대해서, 그 휴대 전자 기기의 배터리를 충전기로 충전할 때에, 그 충전 중에 휴대 전자 기기에 탑재된 유기 EL 디스플레이를 검사 장치(19)로 검사하도록 할 수도 있다. 이 경우, 상기 충전기에 검사 장치를 내장할 필요가 있다. 또, 충전을 개시하면, 테스트 모드가 되어, 각 화소 회로(20)를 전류 검출을 행하여 검사하게 된다. 이와 같이 함으로써, 휴대 전자 기기에 탑재된 유기 EL 디스플레이에 대해서 각 화소 회로(20)의 경년 변화에 의한 동작 특성을 충전할 때마다 보정할 수 있다.

상기 실시형태에서, 검사 장치(19)는 표시 패널부(11)의 모든 화소 회로(20)에 대한 전류 검출 회로(19a)를 설치했지만, 제 2 실시형태와 같이, 데이터선(X1~Xm)의 수와 동일한 수로 실시할 수도 있다. 이 경우, 제 2 실시형태와 같이 하나의 주사선 위에 접속된 각 화소 회로(20)마다 검사를 행한 후, 다음 주사선 위의 각 화소 회로의 검사를 행하게 된다.

상기 제 1 실시형태에서는, 검사 장치(19)가 구한 보정값(Vd)을 제어 회로(17)에 내장한 메모리(17a)에 기

억하고, 그 메모리(17a)에 기억된 보정값(Vd)을 사용하여 새로운 데이터 전압 Vdata를 작성했다.

상기 실시형태에서는, 전자 회로로서 화소 회로(20)로 구체화하여 적합한 효과를 얻었지만, 유기 EL 소자(21) 이외의, 예를 들면, LED나 FED 등의 발광 소자와 같은 피구동 소자를 구동하는 전자 회로로 구체화할 수도 있다. 또, 피구동 소자로서는 자기 RAM이 있다. 따라서, 상기 자기 RAM를 이용한 메모리 장치에 응용할 수도 있다.

상기 실시형태에서는, 보정값( $\Delta V_d$ )을 구할 때, 2개의 다른 테스트용의 데이터 전압 Vdata를 이용해서 테스트를 행하여 구했다. 이것을, 하나의 테스트용의 데이터 전압 Vdata를 이용해서 테스트를 행하거나, 3개 이상의 테스트용의 데이터 전압 Vdata를 이용해서 테스트를 행하여 구해서 실시할 수도 있다.

상기 실시형태에서는, 전류를 데이터선(X1~Xm)을 통해서 전류 검출 회로에 공급했으나, 이것을 검출용 트랜지스터(Q13)에 검출 전용의 배선을 설치하고, 이들 배선을 통해서 전류 검출 회로(1)에 공급하도록 하여 실시할 수도 있다.

상기 실시형태에서는, 화소 회로의 피구동 소자로서 유기 EL 소자(21)에 대해서 구체화했으나, 무기 EL 소자로 구체화할 수도 있다. 즉, 무기 EL 소자로 이루어지는 무기 EL 디스플레이에 응용할 수도 있다.

상기 실시형태에서, 화소 회로(20)는 전압 구동형의 화소 회로로 구체화했으나, 전류 구동형의 화소 회로의 유기 EL 디스플레이에 응용할 수도 있다. 또, 시분할, 면적 게조 등의 디지털 구동되는 화소 회로의 유기 EL 디스플레이에 응용할 수도 있다.

*발명의 효과*

본 발명에 의하면, 높은 정밀도로 전자 회로의 동작 특성을 검출할 수 있는 전자 회로, 전자 장치, 전자 회로의 구동 방법, 전기 광학 장치 및 전자 기기를 제공할 수 있다.

*(57) 청구의 범위*

청구항 1

복수의 단위 회로를 구비한 전자 장치로서,

상기 복수의 단위 회로의 각각은,

제 1 트랜지스터와,

상기 제 1 트랜지스터를 통해서 공급되는 전기 신호를 전기량으로서 유지하는 유지 소자와,

상기 유지 소자에 유지된 전기량에 의거하여 도통 상태가 제어되는 제 2 트랜지스터와,

상기 도통 상태에 상대한 전류량이 공급되는 피구동 소자와,

상기 제 2 트랜지스터와 직렬로 접속된 제 3 트랜지스터를 포함하고,

상기 제 3 트랜지스터를 통해서 전류량을 검출하기 위한 검사부에 접속 가능한 것을 특징으로 하는 전자 장치.

청구항 2

복수의 단위 회로를 구비한 전자 장치로서,

상기 복수의 단위 회로 각각은,

제 1 트랜지스터와,

상기 제 1 트랜지스터를 통해서 공급되는 전기 신호를 전기량으로서 유지하는 유지 소자와,

상기 유지 소자에 유지된 전기량에 의거하여 도통 상태가 제어되는 제 2 트랜지스터와,

상기 도통 상태에 상대한 전류량이 공급되는 피구동 소자를 포함하고,

상기 제 2 트랜지스터는 상기 제 1 트랜지스터와 직렬로 접속되어 있고,

상기 제 1 트랜지스터를 통해서 전류량을 검출하기 위한 검사부에 접속 가능한 것을 특징으로 하는 전자 장치.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 피구동 소자와 상기 제 2 트랜지스터의 사이에 제 4 트랜지스터가 접속되어 있는 것을 특징으로 하는 전자 장치.

청구항 4

제 1 항 또는 제 2 항에 있어서,

상기 피구동 소자는 전류 구동 소자인 것을 특징으로 하는 전자 장치.

청구항 5

제 3 항에 있어서,

상기 검사부가 검출을 행하고 있는 기간에는, 상기 제 4 트랜지스터가 적어도 오프 상태인 것을 특징으로 하는 전자 장치.

청구항 6

제 1 항에 있어서,

상기 제 3 트랜지스터는 상기 복수의 단위 회로의 각각에 설치되어 있는 것을 특징으로 하는 전자 장치.

청구항 7

제 1 항, 제 2 항 및 제 6 항 중 어느 한 항에 있어서,

상기 검사부에서 구한 상기 제 1 트랜지스터를 통해서 공급되는 전기 신호에 대한 보정값을 기억하는 기억 회로를 구비한 것을 특징으로 하는 전자 장치.

청구항 8

제 1 항, 제 2 항 및 제 6 항 중 어느 한 항에 있어서,

상기 검사부는 상기 제 2 트랜지스터를 포함하는 전류 경로를 통과하는 전류를 검출하고,

상기 전류 경로는 상기 피구동 소자는 포함하지 않는 것을 특징으로 하는 전자 장치.

청구항 9

제 1 트랜지스터와, 상기 제 1 트랜지스터를 통해서 공급되는 전기 신호를 전기량으로서 유지하는 유지 소자와, 상기 유지 소자에 유지된 전기량에 의거하여 도통 상태가 설정되는 제 2 트랜지스터와, 상기 도통 상태에 상대한 전류량이 공급되는 피구동 소자와, 상기 제 2 트랜지스터와 직렬로 접속된 제 3 트랜지스터를 구비한 전자 장치의 구동 방법으로서,

상기 제 1 트랜지스터를 온 시키고, 상기 전기 신호에 의거하는 전기량을 상기 유지 소자에 유지하는 제 1 스텝과,

상기 제 3 트랜지스터를 온 상태로 하고, 상기 제 2 트랜지스터와 전류량을 검출하기 위한 검사부를 상기 제 3 트랜지스터를 통해서 전기적으로 접속하고, 상기 제 2 트랜지스터 및 상기 제 3 트랜지스터를 포함하는 전류 경로를 통과하는 전류의 전류량을 검출하는 제 2 스텝을 구비한 것을 특징으로 하는 전자 장치의 구동 방법.

청구항 10

제 9 항에 있어서,

상기 전류 경로는 피구동 소자를 포함하지 않는 것을 특징으로 하는 전자 장치의 구동 방법.

청구항 11

복수의 주사선과 복수의 데이터선의 교차부에 대응하여 배치된 복수의 화소 회로를 구비한 전기 광학 장치로서,

상기 복수의 화소 회로의 각각은,

상기 복수의 주사선의 대응하는 주사선을 통해서 공급되는 주사 신호에 의해 도통이 제어되는 제 1 트랜지스터와,

상기 복수의 데이터선의 대응하는 데이터선 및 상기 제 1 트랜지스터를 통해서 공급되는 데이터 신호를 전기량으로서 유지하는 유지 소자와,

상기 유지 소자에 유지된 전기량에 의거하여 도통 상태가 제어되는 제 2 트랜지스터와,

상기 도통 상태에 상대한 전류량이 공급되는 전기 광학 소자와,

상기 제 2 트랜지스터와 직렬로 접속된 제 3 트랜지스터를 포함하고,

상기 복수의 화소 회로 각각은 상기 제 3 트랜지스터를 통해서 전류량을 검출하는 검사부에 접속 가능한 것을 특징으로 하는 전기 광학 장치.

청구항 12

복수의 주사선과 복수의 데이터선의 교차부에 대응하여 배치된 복수의 화소 회로를 구비한 전기 광학 장치로서,

상기 복수의 화소 회로의 각각은,

상기 복수의 주사선의 대응하는 주사선을 통해서 공급되는 주사 신호에 의해 도통이 제어되는 제 1 트랜지스터와,

상기 복수의 데이터선의 대응하는 데이터선 및 상기 제 1 트랜지스터를 통해서 공급되는 데이터 신호를 전기량으로서 유지하는 유지 소자와,

상기 유지 소자에 유지된 전기량에 의거하여 도통 상태가 제어되고, 상기 제 1 트랜지스터와 직렬로 접속

된 제 2 트랜지스터와,

상기 도통 상태에 상대한 전류량이 공급되는 전기 광학 소자를 포함하고,

상기 복수의 화소 회로 각각은 상기 제 1 트랜지스터를 통해서 전류량을 검출하는 검사부에 접속 가능한 것을 특징으로 하는 전기 광학 장치.

청구항 13

제 11 항에 있어서,

상기 제 3 트랜지스터는 상기 복수의 데이터선의 대응하는 데이터선을 통해서 상기 검사부에 접속 가능한 것을 특징으로 하는 전기 광학 장치.

청구항 14

제 11 항 내지 제 13 항 중 어느 한 항에 있어서,

상기 검사부는 상기 전류량을 검출하는 전류 검출 회로와,

상기 전류 검출 회로에서 검출한 전류량에 의거하여 상기 전기 신호에 대한 보정값을 구하는 보정값 산출 회로와,

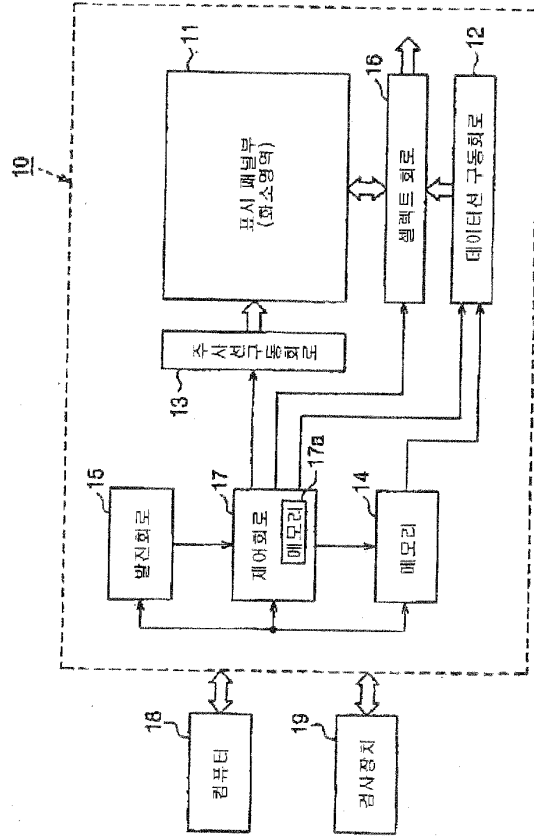
상기 화소 회로에 대한 상기 보정값을 기억하는 기억 회로를 포함하고,

상기 전기 신호를 상기 보정값으로 보정하는 것을 특징으로 하는 전기 광학 장치.

청구항 15

청구항 11 내지 13 중 어느 하나에 기재된 전기 광학 장치가 실장되어 이루어지는 전자 기기.

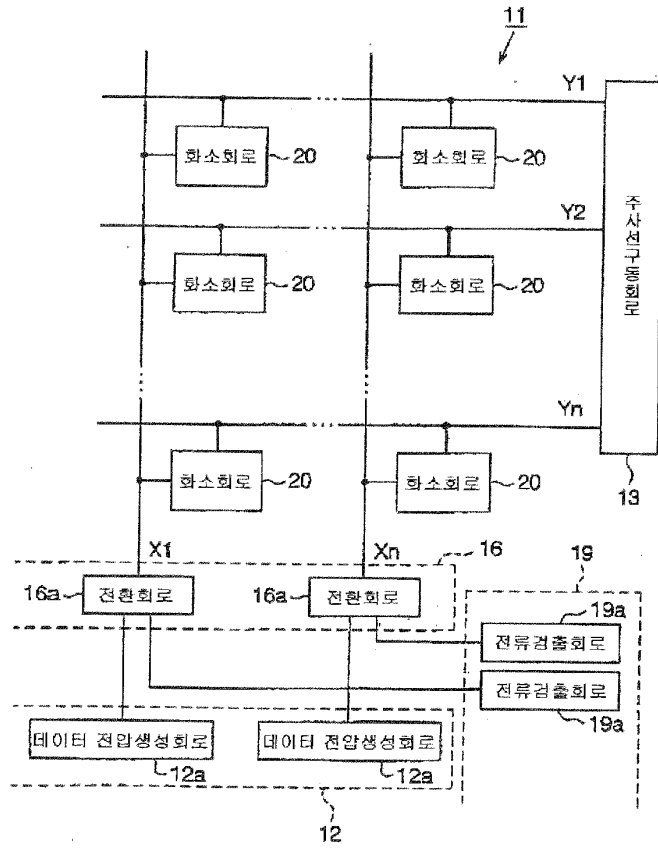
도면  
도 17



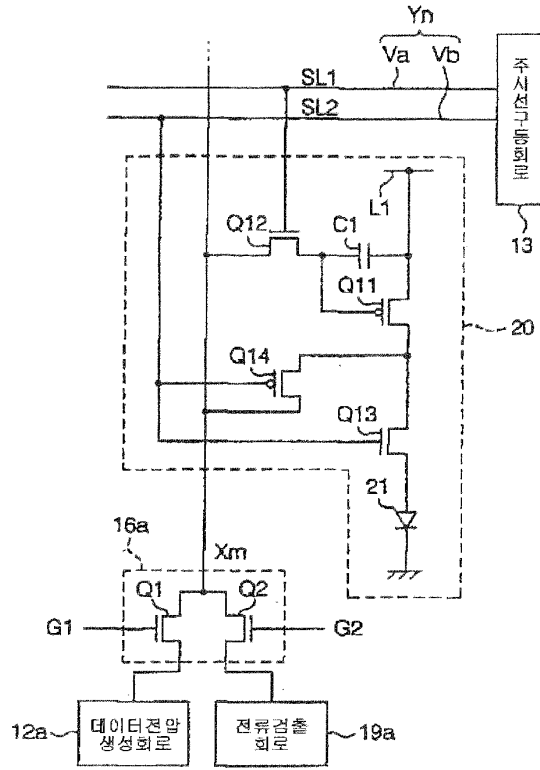
17-12

17-12

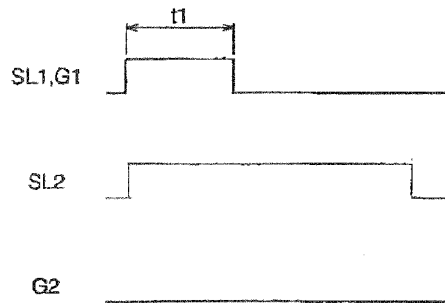
도면2



도면3

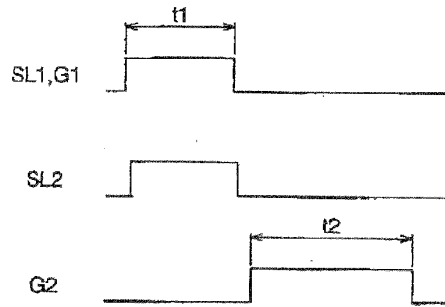


도면4

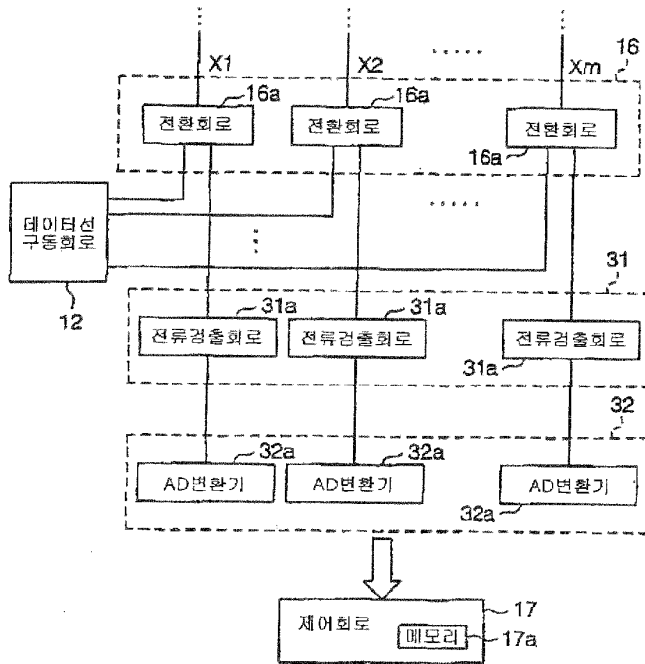




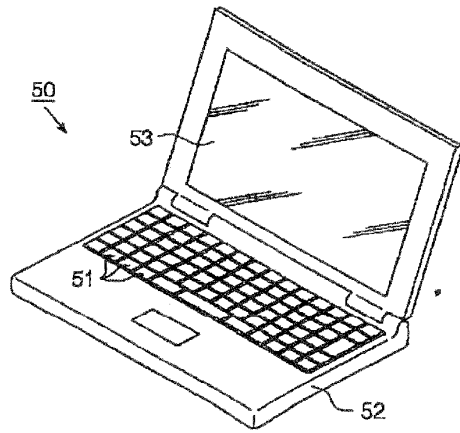
도면5



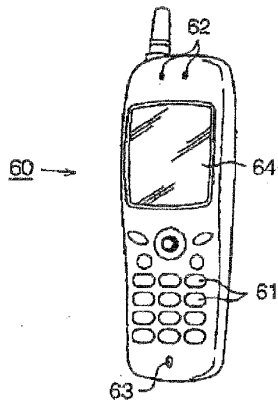
도면6



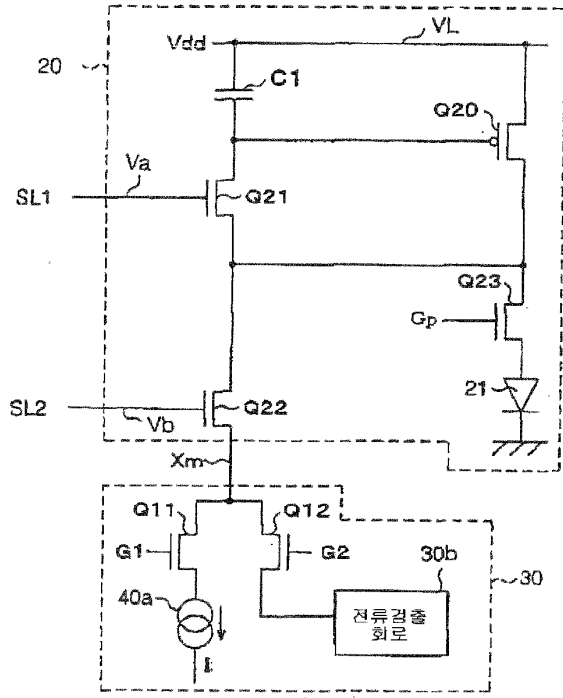
도면7



도면8



도 9





(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup> (11) 공개번호 10-2004-0041620  
G09G 3/30 (43) 공개일자 2004년05월17일

(21) 출원번호 10-2004-7004006  
(22) 출원일자 2004년03월18일  
번역문제출일자 2004년03월18일  
(86) 국제출원번호 PCT/JP2003/007430 (87) 국제공개번호 W0 2004/001714  
(86) 국제출원출원일자 2003년06월11일 (87) 국제공개일자 2003년12월31일

(30) 우선권주장 JP-P-2002-00180264 2002년06월20일 일본(JP)  
(71) 출원인 가시오게산키 가부시키가이샤  
일본국 도쿄도 시부야구 혼마치 1초메 6반 2고  
(72) 발명자 사토,가츠히토  
일본국도쿄도홋사시홋사시202  
아마다, 히로야스  
일본국도쿄도하치오지시벳쇼2-11-5-502  
(74) 대리인 손은진

심사청구 : 있음

(54) 발광소자 표시장치 및 그의 구동방법

요약

표시장치는 각 전류기 임의의 전류값을 얻도록 제공되는 신호선, 상기 신호선을 경유하여 흐르는 전류의 전류값에 따라서 각각 광동작하는 광소자, 및 상기 신호선을 통해 흐르는 전류의 전류값을 상기 신호선을 통해 정적으로 설정하기 위한 정전압을 제공하기 위한 정전압 제공 회로를 포함한다.

대표도

도1

색인어

표시, 신호, 주사, 광소자, 유기 EL 소자, 발광, 스위치, 트랜지스터

참조서

기술분야

본 발명은 전류값에 따라 광동작을 수행하는 광소자를 포함하는 표시장치와 연관되는데, 특히 각 픽셀에 대한 전류값에 따른 휘도로 발광하는 발광소자, 및 그 장치의 구동방법과 연관된다.

배경기술

일반적으로, 표시장치는 단순 매트릭스(simple matrix)와 같은 수동형 구동 시스템의 장치, 및 스위칭 트랜지스터가 각 픽셀에 설치된 능동형 매트릭스 구동 시스템의 장치를 포함한다. 능동형 매트릭스 구동 시스템의 액정 표시 소자에서, 도 16에 도시된 바와 같이, 집광기로서 작용하고 액정을 포함하는 액정 소자(501), 및 스위칭 소자로서 작용하는 트랜지스터(502)는 각 픽셀에 배치된다. 능동형 매트릭스 구동 시스템에서, 펄스 신호가 주사선(503)을 선택하는 선택주기내의 주사 구동기에 의하여 주사선(503)내로 입력될 때, 그리고 액정의 투과율을 제어하기 위한 전압이 데이터 구동기에 의하여 주사선(504)에 인가될 때, 그 전압이 트랜지스터(502)를 경유하여 액정 소자(501)로 인가된다. 액정 소자에서, 액정 미립자는 액정 소자를 통해 투과된 광의 투과율을 적정하게 바꾸는 인가 전압에 따른 방향으로 지향된다. 트랜지스터(502)가 선택 주기 이후에 비-선택 주기의 오프상태로 될지라도, 액정 소자(501)는 집광기로서 작용한다. 그러므로, 전하는 다음 선택주기까지 허용가능한 범위의 전압값에 따라 유지되고, 그리하여 액정 미립자의 지향 방향은 상기 주기내에서 유지된다. 상기한 바와 같이, 액정 표시 소자는 선택 주기 시간에서 액정 소자(501)의 광 투과율을 얻기 위하여 전압이 새로이 기록된 전압 제어 시스템의 표시장치이고, 전압값에 따라 임의의 단계적 변화 표시가 수행된다.

반면에, 유기 EL 소자가 자발광광 소자로서 사용되는 표시장치는 액정 표시장치와 다른 백라이트를 요구하지 않고 소형화를 위하여 최적화된다. 나아가, 액정 표시장치와 다르게 가시 범위 각도의 어떤 제한이 없어서, 차세대 표시장치로 다양 및 실용적으로 사용될 것으로 예측된다. 액정 소자와 다르게, 유기 EL 소자는 내부에 전류 흐름에 의하여 발광한다. 그러므로, 발광 휘도는 직접적으로 전압에 의존하지 않고, 전류 밀도에 의존한다.

고휘도, 대비, 및 미세도의 관점에서, 유기 EL 표시장치에서 또한, 액정 표시 소자와 동일한 방식으로 능동형 매트릭스 구동 시스템을 위한 특별한 요구사항을 갖는다. 유기 EL 표시장치에 대하여, 선택 주기내에 흐르는 전류는 수동형 구동 시스템에서 증가되어야 한다. 반면에, 능동형 구동 시스템에서, 유기 EL 소자의 타단에 인가되는 전압을 유지하기 위한 소자는 광 비-선택 주기에서조차 발광하도록 소정의 휘도에서 각 유기 EL 소자의 연속 발광을 유지하기 위하여 각 픽셀에 배치된다. 그러므로, 단위 시간당 흐르는 전류 값은 작을 수 있다. 그러나, 유기 EL 소자는 집광기로서 단지 현저하게 적은 캐패시터를 가지고 있다. 그러므로, 유기 EL 소자가 도 16에 도시된 각 픽셀의 회로내에 액정 소자(501) 대신에 배치될 때, 유기 EL 소자가 비-선택 주기내에 발광을 유지하는 것이 어렵다.

그 문제를 해결하기 위하여, 예를 들어, 도 17에 도시된 바와 같이, 능동형 매트릭스 구동 시스템의 유기 EL 표시장치내에서, 내부에 현재 흐르는 전류값에 비례하는 휘도에서 발광하는 유기 EL 소자(601), 스위칭 소자로서 작용하는 트랜지스터(602), 및 트랜지스터(602)에 인가된 게이트 전압에 따라서 유기 EL 소자(601)를 통해 구동 전류를 통과시키기 위한 트랜지스터(605)는 각 픽셀에 배치된다. 이러한 표시장치에서, 발스 신호가 주사선(603)에 연결되는 트랜지스터(605)를 선택한 선택 주기내의 주사 구동기에 의하여 주사선(603)으로 입력될 때, 트랜지스터(605)를 통해 소정의 전류값을 갖는 구동 전류가 통과하도록 신호 전압이 데이터 구동기에 의하여 신호선(604)에 인가된다. 그 때, 전압은 트랜지스터(605)의 게이트 전극에 인가되고 휘도 데이터는 트랜지스터(605)의 게이트 전극에 기록된다. 따라서, 트랜지스터(605)는 온 상태가 되고, 게이트 전극에 인가된 전압값에 따른 계조를 갖는 구동 전류가 전원으로부터 트랜지스터(605)를 경유하여 유기 EL 소자(601)를 통해 흐르고, 유기 EL 소자(601)는 구동 전류의 전류값에 따른 휘도에서 발광한다. 선택 주기 이후 비-선택 주기내에서, 트랜지스터(602)가 오프 상태일 경우조차도, 전하는 트랜지스터(605)의 게이트와 소스 사이에 기생 캐패시터에 의한 트랜지스터(605)의 게이트와 소스 사이에 전압에 따라서 계속 보유하고, 이에 따라 구동 전류는 유기 EL 소자(601)를 통해 연속적으로 통과된다. 상기한 바와 같이, 구동 전류는 원칙적으로 소정의 계조 휘도에서 유기 EL 소자로부터 발광하는 선택주기내에서 출력된 트랜지스터(605)의 게이트 전압의 전압값에 의하여 제어된다.

일반적으로, 트랜지스터에 대하여, 채널 저항은 대기 온도에 의존하고, 채널 저항은 오랜 시간동안 사용에 의하여 변화한다. 그러므로, 게이트 임계 전압은 시간 경과에 따라 변화하고, 동일 표시 영역내의 각 트랜지스터의 게이트 임계 전압은 변화한다. 그러므로, 트랜지스터(605)의 게이트 전극에 인가된 전압의 전압값이 제어될 때, 유기 EL 소자(601)를 통해 흐르는 전류값이 제어된다. 다시 말하면, 트랜지스터(605)의 게이트 전극에 인가되는 전압의 레벨이 제어될 때, 유기 EL 소자(601)의 휘도를 정확하게 제어하는 것은 어렵다.

이 문제를 풀기 위하여, 트랜지스터에 인가되는 전압의 레벨에 의한 것이 아니라, 전류값에 의하여 휘도를 제어하는 기술이 연구되고 있다. 즉, 게이트 전압의 레벨이 신호선에 지정되는 전압 지정 시스템 대신에, 유기 EL 소자를 통해 흐르는 전류값이 신호선에 직접적으로 지정되는 전류 지정 시스템이 유기 EL 표시장치의 능동 매트릭스 구동 시스템에 적용된다.

그러나, 전류 지정 시스템의 유기 EL 표시장치에서, 지정된 전류값은 지정 전류가 통과할 때 선택 주기내에서 일정한 값이다. 그러나, 지정된 전류값이 작을 때, 전압이 지정 전류에 의하여 정상상태가 될 때까지 많은 시간이 요구된다. 그러므로, 유기 EL 소자는 원하는 휘도로 발광하지 않고, 이는 유기 EL 표시장치의 화질을 떨어뜨리게 된다.

반면에, 선택 주기가 길어질 때, 선택 시간은 전압을 정상상태가 되도록 하는 시간보다 더 길어진다. 그러나, 선택 시간이 길어질 때, 표시 스크린이 광박이다. 이러한 형태로, 유기 EL 표시장치의 화질이 떨어지게 된다.

그러므로, 본 발명의 정정은 고화질 표시를 수행하는 것이다.

**발명의 상세한 설명**

상기한 정정을 얻기 위하여, 본 발명의 일면에 따라서, 예를 들어, 도 1, 10, 12, 13, 15에 도시된 바와 같이,

복수의 행에 배열된 복수의 주사선(예를 들어, 선택 주사선( $X_1$  내지  $X_n$ ), 전원 주사선( $Z_1$  내지  $Z_m$ ))과 복수의 열에 배열된 복수의 신호선(예를 들어, 신호선( $Y_1$  내지  $Y_n$ ))의 교차부에 배치되고 상기 신호선으로부터의 계조 전류에 따라서 흐르는 구동 전류에 의하여 광학적으로 동작하는 광소자(예를 들어, 유기 EL 소자( $E_{ij}$ ))를 포함하는 복수의 픽셀(예를 들어, 픽셀( $P_{ij}$ ));

상기 계조 전류에 의하여 상기 신호선에 충전된 전하에 따라 상기 신호선의 전위를 리셋 전압(예를 들어, 리셋 전압( $V_{rs}$ ))으로 설정하기 위한 리셋 수단(예를 들어, 전류/전압 변환부(7, 107))를 포함하는 표시장치가 제공된다.

본 발명에서, 소정의 행의 픽셀이 선택될 때, 계조 전류는 각 신호선을 통해 흐른다. 그러나, 이전 행의 픽셀에 대하여 신호선을 통해 흐르는 계조 전류에 의하여 정적으로 설정된 전위와 다음 행의 픽셀에 대하여 신호선을 통해 흐르는 계조 전류에 의하여 정적으로 설정된 전위 사이의 차이가 크고, 다음 픽셀에 대한 계조 전류의 전류값이 작을 때라도, 리셋 전압은 다음 행 이전에 즉시 신호선으로 인가된다. 그러므로, 신호선은 다음 행에 대하여 계조 전류에 따른 전압에서 정적으로 빠르게 설정될 수 있다.

나아가, 본 발명의 다른 측면에 따라서,

임의의 전류값을 얻도록 하기 위하여 전류가 제공되는 신호선(예를 들어, 신호선( $Y_i$  내지  $Y_n$ )):

상기 신호선을 경유하여 흐르는 상기 전류의 전류값에 따라서 광학적으로 동작하는 광소자(예를 들어, 유기 EL 소자( $E_{i,j}$ )): 및

상기 신호선을 통해 흐르는 전류의 전류값을 상기 신호선에 정적이 되도록 설정하는 정전압을 제공하기 위한 정전압 제공 수단(예를 들어, 전류/전압 변환부(7, 107))을 포함하는 표시장치가 제공된다.

본 발명에서, 미세 전류가 신호선을 통해 통과될 때, 미세 전류의 전류값에서, 사전에 신호선에 연결된 캐패시터내에 축적된 전하가 소정의 주기내에서 불충분하게 쉬프트되고, 그리하여 미세 전류의 전류값을 정적으로 설정하는 것이 어렵다. 이러한 경우에서 조차, 정전압 제공 수단은 신호선에 정전압을 제공하기 때문에, 신호선에 연결되는 캐패시터의 전하량은 강제적으로 변화되어 신호선을 통해 통과된 미세 전류는 빠르게 정적으로 설정될 수 있다.

본 발명의 다른 측면에 따라서,

복수의 행으로 배열된 복수의 주사선(예를 들어, 선택 주사선( $X_i$  내지  $X_n$ ), 전원 주사선( $Z_i$  내지  $Z_n$ ))과 복수의 열로 배열된 복수의 신호선(예를 들어, 신호선( $Y_i$  내지  $Y_n$ ))의 교차부내에 배치되고 상기 신호선으로부터 계조 전류에 따라서 흐르는 구동 전류에 의하여 광학적으로 동작하는 광소자(예를 들어, 유기 EL 소자( $E_{i,j}$ ))를 포함하는 복수의 픽셀(예를 들어, 픽셀( $P_{i,j}$ ))로 구성된 표시장치의 구동방법이고, 여기서 상기 방법은

상기 신호선을 통해 상기 계조 전류를 통과시키는 계조 전류 단계; 및

상기 계조 전류에 의하여 설정된 상기 신호선에 충전된 전하에 따라서 전위를 리셋 전압으로 대체하는 리셋 전압 단계를 포함하는 표시장치의 구동방법을 제공한다.

본 발명에 따른 표시장치의 구동방법에서, 계조 전류 단계내에서 계조 전류에 의하여 신호선에 충전된 전하에 따른 전위는 리셋 전압 단계에서 리셋 전압으로 대체되기 때문에, 신호선을 통해 흐르는 전류는 빠르게 임의의 전류값에서 정적으로 설정된다.

*도면의 간단한 설명*

- 도 1은 본 발명에 적용되는 표시장치의 구체적 실시예를 나타내는 회로도이다.
- 도 2는 도 1의 픽셀을 나타내는 개략적 평면도이다.
- 도 3은 도 2의 III-III 선을 따른 단면도이다.
- 도 4는 도 2의 IV-IV 선을 따른 단면도이다.
- 도 5는 도 2의 V-V 선을 따른 단면도이다.
- 도 6은 매트릭스 형태로 배열된 복수의 픽셀을 나타내는 회로도이다.
- 도 7은 N채널형의 전계 효과 트랜지스터의 전류/전압 특성을 나타내는 도면이다.
- 도 8은 도 1의 표시장치내 신호의 타이밍 차트이다.
- 도 9a는 전류/전압 변환부가 본 발명의 표시장치로부터 제거된 비교예의 표시장치내에서 신호선을 흐르는 전류의 전압을 도시하는 도표이고, 도 9b는 본 발명의 표시장치내에서 신호선을 통해 흐르는 전류의 전압을 도시하는 도표이다.
- 도 10은 본 발명에 적용되는 다른 표시장치의 구체적인 실시예를 나타내는 회로도이다.
- 도 11은 도 10의 표시장치내에서 신호의 레벨을 나타내는 타이밍 차트이다.
- 도 12는 본 발명에 적용되는 다른 표시장치의 구체적인 실시예를 나타내는 회로도이다.
- 도 13은 본 발명에 적용되는 다른 표시장치의 구체적인 실시예를 나타내는 회로도이다.
- 도 14는 도 13의 표시장치내에서 신호의 레벨을 도시한 타이밍 차트이다.
- 도 15는 본 발명에 적용되는 다른 표시장치의 구체적인 실시예를 나타내는 회로도이다.
- 도 16은 액정 표시 소자의 픽셀의 등가 회로를 나타내는 도면이다.
- 도 17은 전압 자정형의 표시장치의 픽셀의 등가 회로를 나타내는 도면이다.

*실시예*

[제 1 실시예]

본 발명의 구체적인 실시예는 이하에서 첨부도면을 참조로 하여 설명될 것이다. 나아가, 본 발명의 범위는 여기에 나타난 실시예에 국한되지 않는다.

도 1은 본 발명에 적용되는 표시장치를 나타내는 도면이다. 도 1에 도시된 바와 같이, 표시장치(1)는 기본적으로 능동 매트릭스 구동 시스템에 의하여 색상표시를 수행하는 유기 EL 표시 패널(2)과, 유기 EL 표시 패널(2)을 통한 계조 지정 전류(계조 전류) 싱크를 통하여 하는 데이터 구동기(3)를 포함하도록 구성된다.

여기에서, 삼크 전류는 이하 언급할 픽셀( $P_{i,j}$  내지  $P_{m,n}$ )의 각각으로부터 신호선( $Y_1, Y_n$ )의 각각의 방향으로 흐르는 전류이다.

유기 EL 표시 패널(2)은 투명 기판(8); 이미지가 실질적으로 표시되는 표시 영역으로서 표시부(4); 표시부(4) 주위에 배치된, 즉, 비-표시 영역내의 선택 주사 구동기(5); 전원 주사 구동기(6); 및 전원/전압 변환부(7)를 포함하여 기본적으로 구성된다. 이러한 회로들(4 내지 7)은 투명 기판(8)상에 형성된다.

표시부(4)내에서, ( $m \times n$ ) 픽셀( $P_{i,j}$  내지  $P_{m,n}$ ) ( $m, n$ 은 자연수임)은 매트릭스 형태로 투명 기판(8)상에 배치된다. 열방향에서, 즉, 증방향에서,  $m$  픽셀( $P_{1,j}$  내지  $P_{m,j}$ ) ( $j$ 는  $1 \leq j \leq n$ 인 자연수)이 배치된다. 나아가, 행방향에서, 즉, 횡방향에서,  $n$  픽셀( $P_{i,1}$  내지  $P_{i,n}$ ) ( $i$ 는  $1 \leq i \leq m$ 인 자연수)이 배치된다. 다시 말하면, 증방향으로 상부로부터  $i$ 번째(즉  $i$ 번째 행)이고 횡방향으로 좌측으로부터  $j$ 번째(즉  $j$ 번째 열)인 픽셀이 픽셀( $P_{i,j}$ )이다.

표시부(4)에서, 행방향으로 연장하는  $m$  선택 주사선( $X_1$  내지  $X_m$ )은 투명 기판(8)상에 열방향내에서 배치된다. 행방향으로 연장하는  $m$  전원 주사선( $Z_1$  내지  $Z_m$ )은 선택 주사선( $X_1$  내지  $X_m$ )에 대응 배치되고 투명 기판(8)상에 열방향내에 배치된다. 각 전원 주사선( $Z_k$ ) ( $1 \leq k \leq m-1$ )은 선택 주사선( $X_k$ )과 선택 주사선( $X_{k+1}$ ) 사이에 배치되고, 선택 주사선( $X_m$ )은 전원 주사선( $Z_{m-1}$ )과 전원 주사선( $Z_m$ ) 사이에 배치된다. 열방향으로 연장하는  $n$  신호선( $Y_1$  내지  $Y_n$ )은 투명 기판(8)의 행방향내에 배치되고, 이러한 선택 주사선( $X_1$  내지  $X_m$ ), 전원 주사선( $Z_1$  내지  $Z_m$ ), 및 신호선( $Y_1$  내지  $Y_n$ )은 이들 사이에 배치된 절연 필름에 의하여 서로 절연된다. 선택 주사선( $X_1$ )과 전원 주사선( $Z_1$ )은 행방향으로 배열된  $n$  픽셀( $P_{1,1}$  내지  $P_{1,n}$ )에 연결되고, 신호선( $Y_1$ )은 열방향으로 배열된  $m$  픽셀( $P_{1,j}$  내지  $P_{m,j}$ )에 연결되며, 픽셀( $P_{i,j}$ )은 선택 주사선( $X_i$ ), 전원 주사선( $Z_j$ ), 및 신호선( $Y_j$ )에 둘러싸이는 위치에 배치된다.

다음으로, 각 픽셀( $P_{i,j}$ )은 도 2, 3, 4, 5, 및 6을 참조하여 설명될 것이다. 도 2는 픽셀( $P_{i,j}$ )을 나타내는 평면도이다. 이해를 돕기 위하여, 산화 절연막(41), 채널 보호층 절연막(45), 및 공통 전극(53)은 도면에서 생략된다. 도 3은 도 2의 III-III 선을 따른 단면도이고, 도 4는 도 2의 IV-IV 선을 따른 단면도이며, 도 5는 도 2의 V-V 선을 따른 단면도이다. 도 6은 4개의 인접 픽셀( $P_{i,j}$ ,  $P_{i,j+1}$ ,  $P_{i+1,j}$ ,  $P_{i+1,j+1}$ )의 등가 회로도이다.

픽셀( $P_{i,j}$ )은 구동 전류의 전류값에 따른 휘도에서 발광하는 유기 EL 소자( $E_{i,j}$ ), 및 유기 EL 소자( $E_{i,j}$ )의 근처에 배치되고 유기 EL 소자( $E_{i,j}$ )를 구동하는 픽셀 회로( $D_{i,j}$ )로 구성된다. 픽셀 회로( $D_{i,j}$ )는 데이터 구동기(3), 선택 주사 구동기(5), 및 전원 주사 구동기(6)로부터 출력된 신호에 기초하여 소정의 주기동안 유기 EL 소자( $E_{i,j}$ )의 발광휘도를 유지하기 위하여 주어진 발광 주기내에서 유기 EL 소자( $E_{i,j}$ )를 통해 흐르는 전류의 전류값을 보유한다.

유기 EL 소자( $E_{i,j}$ )는 투명 기판(8)상에 양극으로 작용하는 픽셀 전극(51), 유기 EL 층(52), 음극으로 작용하는 공통 전극(53)이 순서대로 적층된 적층 구조를 포함한다. 유기 EL 층은 전기장에 의하여 주입된 정공과 전자를 수송하는 작용을 하고, 수송된 정공과 전자가 재결합되는 재결합 영역과 재결합에 의하여 생성된 여기자가 넓은 관점에서 발광층으로서 작용하기 위하여 발광하도록 캡처된 발광 영역을 포함한다.

픽셀 전극(51)은 신호선( $Y_1$  내지  $Y_n$ )에 서로 인접 배치된 2개의 신호선과 선택 주사선( $X_1$  내지  $X_m$ )에 서로 인접 배치된 2개의 선들에 둘러싸이는 영역내의 각 픽셀( $P_{i,j}$ )로 분할된다. 전극의 주변 가장자리는 각 픽셀 회로( $D_{i,j}$ )의 3개의 트랜지스터(21, 22, 23)에 코팅된 절화 규소 또는 산화 규소를 포함하는 삽입층 절연막(54)으로 코팅되고, 전극의 상부 중앙 표면은 삽입층 절연막(54)의 점결공(55)에 의하여 노출된다. 삽입층 절연막(54)을 위하여, 풀러미드와 같은 물질로 만들어진 절연층을 형성하는 제 2층이 절화 규소 또는 산화 규소의 제 1층상에 더 배치될 수 있다.

픽셀 전극(51)은 전도성 뿐만 아니라 가시광선에 대한 투과 특성을 갖는다. 픽셀 전극(51)은 상대적으로 고작업 효율을 갖고, 바람직하게 유기 EL 층(52)내로 정공을 효율적으로 주입한다. 예를 들어, 픽셀 전극(51)은 주석-도핑된 산화 인듐(ITO), 아연-도핑된 산화 인듐, 산화 인듐( $IN_2O_3$ ), 산화 주석( $SnO_2$ ) 및 산화 아연( $ZnO$ )과 같은 주요 구성물질을 포함하는 막으로 형성된다.

유기 EL 층(52)은 각 픽셀 전극(51)상의 막내에 형성된다. 유기 EL 층(52)은 또한 각 픽셀( $P_{i,j}$ )에 대하여 패턴화된다. 유기 EL 층(52)은 유기 화합물인 발광 물질(형광 물질)을 포함하나, 그 발광 물질은 중합체-기반 물질 또는 저-분자 물질중 하나일 수 있다. 예를 들어, 도 3에 도시된 바와 같이, 유기 EL 층(52)은 또한 얇은 정공 수송층(52A)과 발광층(52B)이 픽셀 전극(51) 일측으로부터 순서대로 적층된 2층의 층구조를 포함할 수 있다. 발광층은 전자의 정공이 재-결합되는 재-결합 영역과 재-결합에 의하여 생성된 여기자가 발광하도록 캡처되는 발광 영역을 포함한다. 상기 층은 정공 수송층, 좁은 관점의 발광층, 및 전자 수송층을 픽셀 전극(51)으로부터 순서대로 포함하는 3개의 층구조; 좁은 관점의 발광층을 포함하는 하나의 층구조; 층구조내의 적절한 층 사이에 전자 또는 정공 주입층이 배치된 적층구조; 또는 다른 층구조를 포함할 수 있다.

유기 EL 표시 패널(2)내에서, 완전 색상 표시 또는 다중 색상 표시가 가능하다. 이러한 경우, 각 픽셀( $P_{i,j}$ )의 유기 EL 층(52)은 넓은 관점의 발광층이고, 예를 들어, 붉은색, 녹색, 파란색의 어떤 색으로 발광하는 기능을 갖는다. 다시 말하면, 픽셀( $P_{i,j}$ )들의 각각이 적절한 합성에 의하여 취득되는 빨간색, 초록색, 파란색 색톤의 광을 선택적으로 발광할 때 어떤 색들이 표시될 수 있다.

유기 EL 층(52)은 바람직하게 전기적으로 중성인 유기 화합물로 구성되고, 이에 따라 정공과 전자는 주입되고 유기 EL 층(52)에 의하여 수송된다. 전자 수송 특성을 갖는 물질이 좁은 관점에서의 혼합층내에 적절하



게 혼합될 수 있거나, 정공 수송 특성을 갖는 물질이 적은 관점에서 발광층내에 혼합될 수 있거나, 또는 전자 및 정공 수송 특성을 갖는 물질이 많은 관점에서 발광층에 혼합될 수 있다. 전자 수송층 또는 정공 수송층인 전하 수송층은 재-결합 영역으로서 작용할 수 있고, 광량 물질은 또한 발광하도록 전하 수송층내에 혼합될 수 있다.

유기 EL층(52)상에 형성된 공통 전극(53)은 모든 픽셀( $P_{1,1}$  내지  $P_{n,n}$ )에 연결되는 하나의 전극이다. 그 대신에, 공통 전극(53)은 각 열에 연결되는 복수의 띠허상 전극일 수 있고, 열방향으로 픽셀( $P_{1,h-1}$  내지  $P_{n,h-1}$ ) ( $h$ 는  $2 \leq h \leq n$ 인 임의의 자연수)의 집합에 연결되는 띠허상 공통 전극, 또는 픽셀( $P_{1,h}$  내지  $P_{n,h}$ )의 집합에 연결되는 띠허상 공통 전극으로 구성될 수 있다. 나아가, 공통 전극은 각 열에 연결되는 복수의 띠허상 전극이고, 열방향으로 픽셀( $P_{g-1,1}$  내지  $P_{g-1,n}$ ) ( $g$ 는  $2 \leq g \leq n$ 인 임의의 자연수)의 집합에 연결되는 띠허상 공통 전극, 픽셀( $P_{g,1}$  내지  $P_{g,n}$ )의 집합에 연결되는 띠허상 공통 전극으로 구성될 수 있다.

어떤 경우에, 공통 전극(53)은 선택 주사선( $X_i$ ), 신호선( $Y_j$ ), 및 전원 주사선( $Z_i$ )으로부터 전기적으로 절연된다. 공통 전극(53)은, 인듐, 마그네슘, 칼슘, 리튬, 바륨, 및 희귀 금속, 및 합금의 적어도 하나를 포함하는 물질과 같이, 낮은 일함수를 갖는 물질로 구성된다. 공통 전극(53)은 또한 복수의 다양한 물질층이 적층된 적층 구조를 포함할 수 있다. 구체적으로, 공통 전극은, 유기 EL층(52)과 접촉하는 접점층상에 개재된, 낮은 일함수를 갖는 고순도 바륨층과 바륨층에 코팅된 알루미늄층의 적층 구조를 포함할 수 있고, 또는 리튬층이 하부층에 개재되고 알루미늄층이 상부층에 개재되는 적층 구조를 포함할 수 있다. 픽셀 전극(51)이 투과 전극으로 수행되고, 그리고 유기 EL 표시 패널(2)의 유기 EL층(52)으로부터 발광된 빛이 투명 기판(8)측상에 픽셀 전극(51)을 경유하여 발광될 때, 공통 전극(53)은 유기 EL층(52)으로부터 발광된 빛에 대하여 바람직하게 방어 특성을 갖고, 나아가 유기 EL층(52)으로부터 발광된 빛에 대하여 바람직하게 고반사 특성을 갖는다.

상기한 바와 같이, 적층 구조를 갖는 유기 EL 소자( $E_{i,j}$ )내에서, 정 바이어스 전압이 픽셀 전극(51)과 공통 전극(53) 사이에 인가될 때, 정공은 픽셀 전극(51)으로부터 유기 EL층(52)내로 주입되고, 전자는 공통 전극(53)으로부터 유기 EL층(52)내로 주입된다. 나아가, 정공과 전자가 유기 EL층(52)에 의하여 수송되고, 정공과 전자가 유기 EL층(52)내에서 재-결합되어 여기자를 형성하며, 여기자가 유기 EL층(52)을 여기시켜서, 유기 EL층(52)이 발광한다.

여기에서, 유기 EL 소자( $E_{i,j}$ )의 발광 휘도(단위  $cd/m^2$ )는 유기 EL 소자( $E_{i,j}$ )를 통해 흐르는 전류의 전류값에 의존한다. 유기 EL 소자( $E_{i,j}$ )의 발광 휘도는 유기 EL 소자( $E_{i,j}$ )의 발광 주기내에서 일정하게 유지되거나, 발광 휘도는 데이터 구동기(3)로부터 출력된 계조 신호의 전류값에 따라서 설정된다. 이러한 목적을 위하여, 유기 EL 소자( $E_{i,j}$ )의 전류값을 제어하는 픽셀 회로( $D_{i,j}$ )는 각 픽셀( $P_{i,j}$ )에 대하여 유기 EL 소자( $E_{i,j}$ )의 주위에 배치된다.

각 픽셀 회로( $D_{i,j}$ )는 N채널 MOS 구조의 전기 효과형의 박막 트랜지스터(TFT)로 구성된 제 1 내지 제 3 트랜지스터(21, 22, 23), 및 캐패시터(24)를 포함한다.

각 제 1 트랜지스터(21)는 게이트 전극(21g), 게이트 절연막(42), 반도체층(43), 소스 전극(21s), 및 드레인 전극(21d)으로 구성된 MOS형 전기 효과 트랜지스터이다. 각 제 2 트랜지스터(22)는 게이트 전극(22g), 게이트 절연막(42), 반도체층(43), 소스 전극(22s), 및 드레인 전극(22d)으로 구성된 MOS형 전기 효과 트랜지스터이다. 각 제 3 트랜지스터(23)는 게이트 전극(23g), 게이트 절연막(42), 반도체층(43), 소스 전극(23s), 및 드레인 전극(23d)으로 구성된다.

구체적으로, 도 3에 도시된 바와 같이, 제 1 트랜지스터(21)는 투명 기판(8)상에 배치된 알루미늄으로 구성된 게이트 전극(21g); 상기 게이트 전극(21g)을 코팅하기 위하여 배치된 양극-산화 알루미늄에 의하여 구성된 산화 절연막(41); 산화 절연막(41)이 코팅된 질화 규소 또는 산화 규소로 형성된 게이트 절연막(42); 상기 게이트 절연막(42)상에 형성된 선행 반도체층(43); 상기 반도체층(43)상에 형성된 질화 규소로 구성된 채널 보호 절연막(45); 반도체층(43)과 n+ 규소막의 타단에 배치된 불순물 반도체층(44, 44); 및 불순물 반도체층(44, 44)상에 형성된 그룹, 그룹 합금, 알루미늄, 알루미늄 합금의 선택된 물질의 소스 전극(21s)과 드레인 전극(21d)을 포함하는 반전 스택거형 트랜지스터이다.

제 2 및 제 3 트랜지스터(22, 23)는 또한 제 1 트랜지스터의 구성과 동일한 구성을 갖지만, 트랜지스터(21, 22, 23) 각각의 모양, 크기, 치수, 반도체층(43)의 채널폭, 반도체층(43)의 채널길이, 및 기타 등등이 트랜지스터(21, 22, 23)의 기능에 따라서 적절하게 설정된다.

나아가, 트랜지스터(21, 22, 23)는 동일 공정내에서 동시에 형성될 수 있다. 이러한 경우에, 트랜지스터(21, 22, 23)는 게이트 전극, 산화 절연막(41), 게이트 절연막(42), 반도체층(43), 불순물 반도체층(44, 44), 소스 전극, 및 드레인 전극의 동일한 구성을 갖는다.

트랜지스터(21, 22, 23)의 반도체층(43)이 비정질 실리콘일 때 조처도, 충분한 구동이 가능하니, 반도체층은 또한 다결정-실리콘 또는 단결정 실리콘일 수 있다. 트랜지스터(21, 22, 23)의 구조는 반전 스택거형에 국한되지 않고, 또한 스택거 또는 공면형일 수 있다.

각 캐패시터(24)는 각 제 3 트랜지스터(23)의 게이트 전극(23g)에 연결되는 전극(24A), 트랜지스터(23)의 소스 전극(23s)에 연결되는 전극(24B), 및 전극(24A)과 전극(24B) 사이에 삽입되는 게이트 절연막(42)의 일부를 포함하는 유전체에 연결되고 트랜지스터(23)의 소스 전극(23s)과 드레인 전극(23d) 사이에 전하를 축적한다.

도 6에 도시된 바와 같이, 제 i행의 픽셀 회로( $D_{i,1}$  내지  $D_{i,n}$ )의 각 제 2 트랜지스터(22)에서, 게이트 전극(22g)은 제 i행의 선택 주사선( $X_i$ )에 연결되고, 드레인 전극(22d)은 제 i행의 전원 주사선( $Z_i$ )에 연결된다. 제 i행의 픽셀 회로( $D_{i,1}$  내지  $D_{i,n}$ )의 각 제 3 트랜지스터(23)의 드레인 전극(23d)은 제 i행의

전원 주사선( $Z_i$ )에 연결된다. 제  $i$ 행의 픽셀 회로( $D_{i,1}$  내지  $D_{i,n}$ )의 각 제 1 트랜지스터(21)의 게이트 전극(21g)은 제  $i$ 행의 선택 주사선( $X_i$ )에 연결된다. 제  $j$ 열의 픽셀 회로( $D_{i,j}$  내지  $D_{n,j}$ )의 각 제 1 트랜지스터(21)의 소스 전극(21s)은 제  $j$ 열의 신호선( $Y_j$ )에 연결된다.

도 4에 도시된 바와 같이, 픽셀( $P_{i,j}$  내지  $P_{n,n}$ )내에서, 제 2 트랜지스터(22)의 소스 전극(22s)은 게이트 절연막(42)내에 형성된 점접공(25)을 경유하여 제 3 트랜지스터(23)의 게이트 전극(23g)에 연결되고, 캐퍼시터(24)의 하나의 전극(24A)에 연결된다. 트랜지스터(23)의 소스 전극(23s)은 캐퍼시터(24)의 다른 전극(24B)에 연결되고, 또한 트랜지스터(21)의 드레인 전극(21d)에 연결된다. 제 3 트랜지스터(23)의 소스 전극(23s)의 어느 것과, 캐퍼시터(24)의 다른 전극(24B), 및 제 1 트랜지스터(21)의 드레인 전극(21d)은 유기 EL 소자( $E_{i,j}$ )의 픽셀 전극(51)에 연결된다. 유기 EL 소자( $E_{i,j}$ )의 공통 전극(53)의 전압은 기준 전압( $V_{ss}$ )이다. 본 발명 실시예에서, 모든 유기 EL 소자( $E_{i,j}$  내지  $E_{n,n}$ )의 공통 전극(53)은 접지되고 기준 전압( $V_{ss}$ )은 0V로 설정된다.

선택 주사선( $X_i$ )과 신호선( $Y_j$ ) 사이에서, 그리고 전원 주사선( $Z_i$ )과 신호선( $Y_j$ ) 사이에서, 게이트 절연막(42)에 추가하여 보호막(43A)이 형성되고 트랜지스터(21 내지 23)의 각각의 반도체층(43)의 막과 동일한 막을 형성시킴에 의하여 개재된다.

도 1, 6에 도시된 바와 같이, 선택 주사선( $X_i$  내지  $X_n$ )은 선택 주사 구동기(5)에 연결되고, 전원 주사선( $Z_i$  내지  $Z_n$ )은 전원 주사 구동기(6)에 연결된다.

선택 주사 구동기(5)는 소위 슈프터 레지스터로 구성된다. 결과적으로, 소정의 시간(상세하게, 이하 언급할 리셋 주기( $T_{RES}$ ))후에, 선택 주사 구동기(5)는 외부(선택 주사선( $X_n$ )) 다음으로 선택 주사선( $X_1$ )로부터 클럭 신호에 기초한 순서대로 연속적으로 선택 주사선( $X_n$ )에 선택 주사선( $X_1$ )으로부터 주사 신호를 출력하고, 주사선( $X_1$  내지  $X_n$ )의 트랜지스터(21, 22)가 선택된다.

상세하게, 도 8에 도시된 바와 같이, 선택 주사선( $X_i$  내지  $X_n$ )에 대하여, 선택 주사 구동기(5)는 연속적으로 하여 레벨의 온-전압( $V_{on}$ ) (기준 전압( $V_{ss}$ )보다 충분히 더 높음)을 출력하고, 이는 각 선택 주기( $T_{sc}$ )에서 트랜지스터(21, 22)를 온 상태가 되게 하고, 각 비-선택 주기( $T_{off}$ )에서 트랜지스터(21, 22)를 오프 상태가 되게 하는 로우 레벨의 오프-전압( $V_{off}$ ) (기준 전압( $V_{ss}$ )보다 크지 않음)을 출력한다. 여기에서, 선택 주사선( $X_i$  내지  $X_n$ )의 각각에는, 선택 주기와 비-선택 주기가 교대로 반복되고, 선택 주사선( $X_i$  내지  $X_n$ )의 선택 주기는 서로 중첩되지 않게 설정된다. 그러므로,  $T_{sc}+T_{off}=T_{sc}$ 로 표현되는 주기는 일 주사 주기이다.

다시 말하면, 어떤 선택선( $X_i$ )이 선택 주사선( $X_i$  내지  $X_n$ )으로부터 선택된 선택 주기( $T_{sc}$ )내에서, 선택 주사 구동기(5)가 선택 주사선( $X_i$ )에 온-전압( $V_{on}$ )의 펄스 신호를 출력할 때, 선택 주사선( $X_i$ )에 연결된 트랜지스터(21, 22) (픽셀 회로( $D_{i,1}$ ,  $D_{i,2}$ ,  $D_{i,3}$  ...  $D_{i,n}$ ))의 모든 트랜지스터(21, 22)는 온 상태가 된다. 트랜지스터(21)가 온 상태일 때, 신호선( $Y_j$ )을 통해 흐르는 전류는 픽셀 회로( $D_{i,j}$ )를 통해 흐를 수 있다. 이때에, 선택 주사선( $X_i$  내지  $X_n$ )에 대하여, 선택 주사선( $X_i$ )과 다르게  $X_1$  내지  $X_{i-1}$ ,  $X_{i+1}$  내지  $X_n$ 의 각각의 트랜지스터(21, 22)가 비-선택 주기( $T_{off}$ )에 있다. 그러므로, 오프-전압( $V_{off}$ )이 출력되고 트랜지스터(21, 22)의 양쪽 모두가 오프 상태이다. 트랜지스터(21, 22)가 이러한 방식으로 오프 상태로 될 때, 신호선( $Y_j$ )을 통해 흐르는 전류는 픽셀 회로( $D_{i,j}$ )를 통해 흐를 수 없다.

여기에서, 제  $i$ 행의 선택 주기( $T_{sc}$ )는 제  $(i+1)$ 행의 선택 주기로 연속하지 않고, 선택 주기( $T_{sc}$ )보다 더 짧은 리셋 주기( $T_{RES}$ )가 제  $i$ 행과 제  $(i+1)$ 행의 선택 주기( $T_{sc}$ ) 사이에 존재한다. 다시 말하면, 온-전압( $V_{on}$ )의 펄스 신호가 제  $i$ 행의 선택 주사선( $X_i$ )에 완전하게 출력된 후 리셋 주기( $T_{RES}$ )의 경과 이후에 선택 주사 구동기(5)는 제  $(i+1)$ 행의 선택 주사선( $X_{i+1}$ )에 온-전압( $V_{on}$ )의 펄스 신호를 출력한다. 따라서, 제  $i$ 행의 선택이 완료된 후 리셋 주기( $T_{RES}$ )의 경과 후에, 제  $(i+1)$ 행이 선택된다.

상세한 내용은 이하 언급될 것이다. 선택 주사선( $X_1$  내지  $X_n$ )이 선택되는 각 선택 주기( $T_{sc}$ )에서, 데이터 구동기(3)가 전류 단자( $OT_1$  내지  $OT_n$ )를 통해 전류를 적정하게 통과시킬 때, 계조 지정 전류가 도 6의 화살표에 의하여 나타난 방향으로 신호선( $Y_j$  내지  $Y_n$ )을 통해 흐른다. 여기에서, 계조 지정 전류가 신호선( $Y_j$  내지  $Y_n$ )으로부터 전류 단자( $OT_1$  내지  $OT_n$ )를 경유하여 데이터 구동기(3)로 흐르는 싱크 전류이고, 이미지 데이터에 따른 휘도 계조에서 발광하도록 하기 위하여 유기 EL 소자( $E_{i,j}$  내지  $E_{n,n}$ )를 통해 흐르는 전류의 전류값과 동일하다.

도 1에 도시된 전원 주사 구동기(6)는 소위 슈프터 레지스터로 구성된다. 전원 주사 구동기(6)는 연속적으로 선택 주사 구동기(5)에 동기화하여 전원 주사선( $Z_i$  내지  $Z_n$ )에 연결되는 트랜지스터(23)에 소정의 소스/드레인 전압을 인가한다. 전원 주사 구동기(6)는 연속적으로 전원 주사선( $Z_i$ )으로부터 전원 주사선( $Z_n$ )으로 (전원 주사선( $Z_n$ )) 다음에는 전원 주사선( $Z_1$ )) 선택 주사 구동기(5)의 동일 행의 온-전압( $V_{on}$ )의 펄스 신호와 동기화하여 외부로부터의 클럭 신호에 기초하여 순서대로 펄스 신호를 출력한다. 따라서, 리셋 주기( $T_{RES}$ ) 후에, 소정의 전압이 연속적으로 전원 주사선( $Z_i$  내지  $Z_n$ )에 인가된다.

상세하게, 도 8에 도시된 바와 같이, 전원 주사 구동기(6)는 로우 레벨(기준 전압( $V_{ss}$ ) 이하의 전위)의 전하 전압( $V_{off}$ )을 각 전원 주사선( $Z_i$ )에 소정의 주기내에서 인가한다. 다시 말하면, 각 선택 주사선( $X_i$ )이 선택된 선택 주기( $T_{sc}$ )내에서, 계조 지정 전류가 제 3 트랜지스터(23)의 소스와 드레인 사이에 흐르도록 전원

주사 구동기(6)는 전원 주사선(Z<sub>i</sub>)에 로우 레벨의 전하 전압(V<sub>0i</sub>)을 인가한다. 반면에, 비-선택 주기(T<sub>0i</sub>) 내에서, 구동 전류가 트랜지스터(23)의 소스와 드레인 사이를 흐르도록 전원 주사 구동기(6)는 전원 주사선(Z<sub>i</sub>)에 전하 전압(V<sub>0i</sub>)보다 더 높은 전원 전압(V<sub>00</sub>)을 인가한다. 전원 전압(V<sub>00</sub>)은 기준 전압(V<sub>0S</sub>) 및 리셋 전압(V<sub>0R</sub>)보다 더 높고, 제 3 트랜지스터(23)는 온 상태가 된다. 이 경우, 제 1 트랜지스터(21)가 오프상태일 때, 전류는 전원 주사선(Z<sub>i</sub>)으로부터 유기 EL 소자(E<sub>1,j</sub>)에 흐른다.

다음으로 전원 전압(V<sub>00</sub>)이 설명될 것이다. 도 7은 N 채널형의 전계 효과 트랜지스터(23)의 전류/전압 특성을 도시한 그래프이다. 도 7내에서, 횡좌표는 드레인/소스 전압(V<sub>DS</sub>)을 나타내고, 종좌표는 드레인과 소스 사이 전류의 전류값(I<sub>DS</sub>)을 나타낸다. 불포화영역(드레인/소스 전압(V<sub>DS</sub>) < 드레인 포화 임계치 전압(V<sub>TH</sub>): 드레인 포화 임계치 전압(V<sub>TH</sub>)은 게이트/소스 전압(V<sub>GS</sub>)을 따름)내에서, 게이트/소스 전압(V<sub>GS</sub>)이 일정하고 소스/드레인 전압(V<sub>DS</sub>)이 상승할 때, 소스와 드레인 사이 전류의 전류값(I<sub>DS</sub>)은 증가한다. 나아가, 도시된 포화 영역(소스/드레인 전압(V<sub>DS</sub>) ≥ 드레인 포화 임계치 전압(V<sub>TH</sub>))내에서, 게이트/소스 전압(V<sub>GS</sub>)이 일정할 때, 그리고 심지어 소스/드레인 전압(V<sub>DS</sub>)이 상승할 때조차, 소스와 드레인 사이에 흐르는 전류의 전류값(I<sub>DS</sub>)은 실질적으로 일정하다.

나아가, 도 7내에서, 게이트/소스 전압(V<sub>GS</sub>) 내지 V<sub>GSmax</sub>)은 V<sub>GS1</sub> < V<sub>GS2</sub> < V<sub>GS3</sub> < V<sub>GS4</sub> < V<sub>GS5</sub> < ... < V<sub>GSmax</sub>의 관계를 갖는다. 도 7로부터 명백한 바와 같이, 드레인/소스 전압(V<sub>DS</sub>)이 일정하고, 게이트/소스 전압(V<sub>GS</sub>)이 상승할 때, 드레인/소스 전류의 전류값(I<sub>DS</sub>)은 불포화 영역 및 포화 영역중 하나내에서 증가한다. 나아가, 게이트/소스 전압(V<sub>GS</sub>)이 상승할 때, 드레인 포화 임계치 전압(V<sub>TH</sub>)은 증가한다.

상기한 바와 같이, 불포화 영역내에서, 드레인/소스 전압(V<sub>DS</sub>)이 미세하게 변할 때조차도, 소스/드레인 전류의 전류값(I<sub>DS</sub>)이 변화한다. 그러나, 불포화 영역내에서, 게이트/소스 전압(V<sub>GS</sub>)이 결정될 때, 드레인/소스 전류의 전류값(I<sub>DS</sub>)은 소스/드레인 전압(V<sub>DS</sub>)과 관계없이 특정값으로 결정된다.

여기에서, 최대 게이트/소스 전압(V<sub>GSmax</sub>)이 제 3 트랜지스터(23)에 인가될 때 드레인/소스 전류의 전류값(I<sub>DS</sub>)은 픽셀 전극(51)과 최대 휘도에서 발광하는 유기 EL 소자(E<sub>1,j</sub>)의 공통 전극(53) 사이에 흐르는 전류의 전류값으로 설정된다.

제 3 트랜지스터(23)의 게이트/소스 전압(V<sub>GS</sub>)이 최대 전압(V<sub>GSmax</sub>)일 때조차도, 트랜지스터(23)는 바람직하게 포화 영역을 유지하기 위하여 다음의 (1)의 조건 방정식을 만족한다.

$$V_{00} - V_E - V_{GS} \geq V_{THmax} \dots (1)$$

여기에서 V<sub>E</sub>는 최대 휘도 시간에서 유기 EL 소자(E<sub>1,j</sub>)로 나뉘는 예측 최대 전압이고, 유기 EL 소자(E<sub>1,j</sub>)의 발광 수명 주기내에서 유기 EL 소자(E<sub>1,j</sub>)의 고저항성을 위하여 점차 증가하고, V<sub>THmax</sub>는 V<sub>GSmax</sub>의 시간에서 제 3 트랜지스터(23)의 소스와 드레인 사이의 포화 임계치 전압이다. 전원 전압(V<sub>00</sub>)은 상기 조건 방정식을 만족하도록 결정된다.

도 1에 도시된 바와 같이, 신호선(Y<sub>i</sub> 내지 Y<sub>n</sub>)은 전류/전압 스위치부(7)에 연결된다. 전류/전압 스위치부(7)는 스위치 회로(S<sub>1</sub> 내지 S<sub>n</sub>)로 구성되고 신호선(Y<sub>i</sub> 내지 Y<sub>n</sub>)은 스위치 회로(S<sub>1</sub> 내지 S<sub>n</sub>)에 각각 연결된다. 나아가, 데이터 구동기(3)의 전류 단자(OT<sub>1</sub> 내지 OT<sub>n</sub>)는 스위치 회로(S<sub>1</sub> 내지 S<sub>n</sub>)에 연결된다. 스위치 회로(S<sub>1</sub> 내지 S<sub>n</sub>)는 스위치 신호 입력 단자(140)에 연결되고, 스위치 신호(Φ)는 스위치 회로(S<sub>1</sub> 내지 S<sub>n</sub>)에 화살표로 도시된 바와 같이 입력된다. 스위치 회로(S<sub>1</sub> 내지 S<sub>n</sub>)는 리셋 전압 입력 단자(141)에 연결되고, 리셋 전압(V<sub>0R</sub>)은 이 단자를 경유하여 스위치 회로(S<sub>1</sub> 내지 S<sub>n</sub>)에 인가된다.

리셋 전압(V<sub>0R</sub>)은 최고 계조 전압(V<sub>00</sub>)보다 더 높은 전압으로 설정된다. 이러한 최고 계조 전압(V<sub>00</sub>)은 유기 EL 소자(E<sub>1,1</sub> 내지 E<sub>n,n</sub>)를 통해 흐르는 최대 계조 구동 전류(I<sub>max</sub>)의 값과 동일한 전류값을 갖는 계조 지정 전류에 의하여 신호선(Y<sub>i</sub> 내지 Y<sub>n</sub>)내에 충전된 전하에 따라서 고정된 값으로 설정된 전압(V)인데, 이 경우 유기 EL 소자(E<sub>1,1</sub> 내지 E<sub>n,n</sub>)는 선택 주기(T<sub>0i</sub>)내에서 가장 밝은 최대 계조 휘도(L<sub>max</sub>)에서 발광한다. 리셋 전압(V<sub>0R</sub>)은 바람직하게 최소 계조 휘도(L<sub>min</sub>)를 갖는 유기 EL 소자(E<sub>1,1</sub> 내지 E<sub>n,n</sub>)를 통해 흐르는 최소 계조 구동 전류(I<sub>min</sub>)의 값과 동일한 전류값(추가적으로, 전류값은 0 A를 넘음)을 갖는 계조 지정 전류에 의하여 신호선(Y<sub>i</sub> 내지 Y<sub>n</sub>)내에 충전된 전하에 따라서 고정된 값으로 설정되는 최저 계조 전압(V<sub>00</sub>)과, 보다 바람직하게 최저 계조 전압(V<sub>00</sub>)의 이상이고 가장 바람직하게 전하 전압(V<sub>0S</sub>)과 같은 값인 최고 계조 전압(V<sub>00</sub>) 사이의 중간값을 갖는 중간 전압 보다 더 작지 않다.

스위치 회로(S<sub>j</sub>) (스위치 회로(S<sub>j</sub>)는 제 j열의 신호선(Y<sub>j</sub>)에 연결됨)는 데이터 구동기(3)의 전류 단자(OT<sub>j</sub>)로부터의 신호에 따라서 신호선(Y<sub>j</sub>)을 통한 전류의 통과와 리셋 전압 입력 단자(141)로부터 신호선(Y<sub>j</sub>)으로 소정의 전압 레벨의 리셋 전압(V<sub>0R</sub>)의 출력중 하나를 스위치한다. 다시 말하면, 스위치 신호 입력 단자(140)로부터 스위치 회로(S<sub>j</sub>)로 입력된 스위치 신호(Φ)가 하이 레벨일 때, 스위치 회로(S<sub>j</sub>)는 전류 단자(OT<sub>j</sub>)의 상크 전류를 차단하고, 리셋 전압 입력 단자(141)로부터 신호선(Y<sub>j</sub>)으로 리셋 전압을 출력한다. 반면에, 스위치 신호 입력 단자(140)로부터 스위치 회로(S<sub>j</sub>)로 입력된 스위치 신호(Φ)가 로우 레벨일 때, 스위치 회로(S<sub>j</sub>)는 전류 단자(OT<sub>j</sub>)와 신호선(Y<sub>j</sub>) 사이의 상크 전류를 통과시키고 리셋 전압 입력 단자(141)

1)로부터 리셋 전압(V<sub>R</sub>)을 차단한다.

이러한 방식으로, 제 3 트랜지스터(23)의 소스/드레인 전압은 도 7에 도시된 포화 영역내의 고전압으로 설정될 때, 신호선(Y<sub>i</sub>)을 통해 흐르는 게조 지정 전류의 전류값은 트랜지스터(23)의 게이트/소스 전압에 의하여 결정된다. 즉, 트랜지스터(23)의 게이트 전압이 소스 전압 보다 충분히 더 높을 때, 트랜지스터(23)의 소스와 드레인 사이에 흐르고 신호선(Y<sub>i</sub>)을 통해 흐르는 게조 지정 전류가 커진다. 트랜지스터(23)의 게이트 전압이 소스 전압 보다 크게 높지 않을 때, 적은 전류가 취득된다.

여기에서, 표시장치는, 본 발명의 전류/전압 스위치부(7)가 배치되지 않고 데이터 구동기(3)가 신호선(Y<sub>j</sub>)으로부터 직접적으로 전류를 유도한다는 가정에서 고려된다.

제 i행과 제 j열의 픽셀(P<sub>i,j</sub>)에서, 제 i행의 선택 주기내에서, 선택 주사선(X<sub>i</sub>)에 연결되는 제 2 트랜지스터(22)는 온 상태가 된다. 따라서, 전하 전압(V<sub>on</sub>)이 전원 주사선(Z<sub>j</sub>)으로부터 제 3 트랜지스터(23)의 게이트에 인가되고, 전하가 제 3 트랜지스터(23) 측의 하나의 전극(24A)으로부터 캐퍼시터(24)내로 충전된다. 다시 말하면, 선택 주기의 트랜지스터(23)의 게이트 전압은 항상 전하 전압(V<sub>on</sub>)에서 실질적으로 일정하다. 이때에, 트랜지스터(21)가 온 상태이기 때문에 트랜지스터(23)의 소스(23a)의 전위는 신호선(Y<sub>j</sub>)의 전위와 동일하다. 나아가, 데이터 구동기(3)는 트랜지스터(23)의 소스와 드레인 사이의 소정의 전류값을 갖는 게조 지정 전류를 강제적으로 통과시킨다. 그러므로, 게조 지정 전류의 전류값이 클 때, 트랜지스터(23)의 게이트/소스 전압은 높고, 그러므로 신호선(Y<sub>j</sub>)의 전위가 상대적으로 더 낮다.

보다 상세하게, 도 9a에 도시된 바와 같이, 최대 전류값을 갖는 싱크 전류가 최대 게조(최대 휘도)에서 제 i행의 선택 주기(T<sub>se</sub>)내에서 픽셀(P<sub>i,j</sub>)의 유기 EL 소자(E<sub>i,j</sub>)로부터 신호선(Y<sub>j</sub>)을 통해 통과될 때, 상기 전류의 전류값을 충족하는 전하가 캐퍼시터(24)의 다른 전극(24B)에 충전될 시간에 신호선(Y<sub>j</sub>)에 인가된 최고 게조 전압(V<sub>hb</sub>)은 상대적으로 기준 전압(V<sub>ss</sub>) 또는 전하 전압(V<sub>on</sub>) 보다 충분히 더 작다.

나아가, 최소 전류값을 갖는 싱크 전류(추가적으로, 흐름이 없지 않음)가 최소 게조 휘도(최소 휘도)에서 다음 제 (i+1)행의 픽셀(P<sub>i+1,j</sub>)의 유기 EL 소자(E<sub>i+1,j</sub>)로부터 발광하도록 신호선(Y<sub>j</sub>)을 통해 통과될 때, 최저 게조 전압(V<sub>lb</sub>)은 캐퍼시터(24)의 전류의 전류값을 충족하는 전하를 충전하도록 설정되어야 한다. 최저 게조 전압(V<sub>lb</sub>)은 제 3 트랜지스터(23)의 게이트/소스 전압이 낮게 되도록 전하 전압(V<sub>on</sub>)에 근사화되고, 최고 게조 전압(V<sub>hb</sub>)보다 충분히 더 높다. 그러나, 신호선(Y<sub>j</sub>)을 통해 흐르는 최소 게조 지정 전류의 전류값이 상당히 작기 때문에, 단위 시간에 바뀐 신호선(Y<sub>j</sub>)의 전위 차이가 작다. 그러므로, 캐퍼시터(24)가 충전될 때부터 신호선(Y<sub>j</sub>)의 전위가 최고 게조 전압(V<sub>hb</sub>)으로부터 최저 게조 전압(V<sub>lb</sub>)에서 일정하게 설정될 때까지 많은 시간이 필요하다. 특히, 표시장치의 행의 수가 픽셀수의 증가에 따라서 클 때, 선택 주기(T<sub>se</sub>)가 짧게 설정되어야 한다. 최저 게조 전압(V<sub>lb</sub>)에 이르지 못한다면, 전압(V<sub>off</sub>)의 차이가 생성되고, 픽셀(P<sub>i+1,j</sub>)의 유기 EL 소자(E<sub>i+1,j</sub>)가 정확한 휘도에서 발광할 수 없다.

반면에, 전류/전압 스위치부(7)가, 도 9b에 도시된 바와 같이, 본 발명 실시예의 표시장치(1)에 리셋 주기(T<sub>reset</sub>)에서 배치되기 때문에, 스위치 회로(S<sub>j</sub>)는 강제적으로 최고 게조 전압(V<sub>hb</sub>)보다 충분히 더 높은 리셋 전압(V<sub>R</sub>)으로 신호선(Y<sub>j</sub>)의 전위를 스위치한다. 그러므로, 미세 전류값을 갖는 최저 게조 지정 전류가 선택 주기(T<sub>se</sub>)내에서 신호선(Y<sub>j</sub>)을 통해 통과될 때 조차, 캐퍼시터(24)는 빠르게 전하되고 신호선(Y<sub>j</sub>)은 최저 게조 전압(V<sub>lb</sub>)에서 일정하게 설정될 수 있다.

다음으로, 스위치 회로(S<sub>j</sub>)의 하나의 실시예가 설명될 것이다. 스위치 회로(S<sub>j</sub>)는 P 채널형 전계 효과 트랜지스터인 제 4 트랜지스터(31), 및 N 채널형 전계 효과 트랜지스터인 제 5 트랜지스터(32)로 구성된다. 제 4 및 제 5 트랜지스터(31, 32)의 게이트 전극은 스위치 신호 입력 단자(140)에 연결된다. 제 4 트랜지스터(31)의 소스 전극은 신호선(Y<sub>j</sub>)에 연결되고, 드레인 전극은 전류 단자(O<sub>j</sub>)에 연결된다. 제 5 트랜지스터(32)의 드레인 전극은 신호선(Y<sub>j</sub>)에 연결되고, 소스 전극은 리셋 전압 입력 단자(141)에 연결된다. 이러한 구성에서, 스위치 신호 입력 단자(140)로부터의 스위치 신호(φ)가 하이 레벨일 때, 제 5 트랜지스터(32)는 온 상태가 되고, 제 4 트랜지스터(31)는 오프 상태가 된다. 반면에, 스위치 신호 입력 단자(140)로부터의 스위치 신호(φ)가 로우 레벨일 때, 제 4 트랜지스터(31)는 온 상태가 되고, 제 5 트랜지스터(32)는 오프 상태가 된다. 본 발명 실시예와 다르게, 제 4 트랜지스터(31)는 P 채널형으로 설정되고, 제 5 트랜지스터(32)는 N 채널형으로 설정되며, 스위치 신호(φ)의 하이/로우 레벨은 스위치 회로(S<sub>j</sub>)의 스위칭을 전환하는 반전 위상으로 변환될 수 있다.

여기에서, 스위치 신호 입력 단자(140)에 입력된 스위치 신호(φ)의 주기가 설명될 것이다. 선택 주사 구동기(5)가 도 8에 도시된 바와 같이 선택 주사선(X<sub>i</sub> 내지 X<sub>n</sub>)의 어느 것에 온-전압(V<sub>on</sub>)을 인가할 때, 스위치 신호 입력 단자(140)내에 입력된 스위치 신호(φ)는 로우 레벨이다. 반면에, 선택 주사 구동기(5)가 선택 주사선(X<sub>i</sub> 내지 X<sub>n</sub>)의 모두에 오프-전압(V<sub>off</sub>)을 인가할 때, 즉, 제 1 내지 제 n행의 어느 것이 리셋 주기(T<sub>reset</sub>)내일 때, 스위치 신호 입력 단자(140)내에 입력된 스위치 신호(φ)는 하이 레벨이다. 예를 들어, 제 i행의 싱크 전류에 의하여 신호선(Y<sub>j</sub> 내지 Y<sub>n</sub>)의 전위가 리셋 전압(V<sub>R</sub>)으로 설정되는 리셋 주기(T<sub>reset</sub>)는 제 i행의 선택 주기(T<sub>se</sub>)의 종료 시간(t<sub>i</sub>)과 제 (i+1)행의 선택 주기(T<sub>se</sub>)의 시작 시간(t<sub>i+1</sub>)의 사이이다. 즉, 스위치 신호 입력 단자(140)에 입력된 스위치 신호(φ)는 일 주사 주기(T<sub>sc</sub>)내에서 매 n 리셋 주기(T<sub>reset</sub>)의 하이 레벨을 얻는다. 이 스위치 신호(φ)는 외부로부터 입력된 클럭 신호와 동일한 주파수를 또한 가질 수 있다.

데이터 구동기(3)는 외부로부터 클럭 신호에 의하여 전류 단자(O<sub>j</sub> 내지 O<sub>n</sub>)에 게조 지정 전류를 통과시킨

다. 스위치 신호 입력 단자(140)내로 입력된 스위치 신호( $\phi$ )가 로우 레벨일 때, 데이터 구동기(3)는 동시에 전류 단자( $OT_1$  내지  $OT_n$ )에 계조 지정 전류를 받아들인다. 스위치 신호 입력 단자(140)내로 입력된 스위치 신호( $\phi$ )가 하이 레벨일 때, 데이터 구동기(3)는 전류 단자( $OT_1$  내지  $OT_n$ )의 어느 것으로부터 계조 지정 전류를 받아들이지 않는다.

그러므로, 각 행의 선택 주기( $T_{\text{SE}}$ )내에서, 계조 지정 전류는 신호선( $Y_1$  내지  $Y_n$ )으로부터 전류 단자( $OT_1$  내지  $OT_n$ )내로 흐른다. 반면에, 각 행의 리셋 주기( $T_{\text{RESET}}$ )내에서, 리셋 전압( $V_R$ )은 신호선( $Y_1$  내지  $Y_n$ )으로 인가되어 정상 상태가 된다.

다음으로, 데이터 구동기(3)의 계조 지정 전류가 상세하게 논의될 것이다. 각 행의 선택 주기( $T_{\text{SE}}$ )내에서, 데이터 구동기(3)는 제 3 트랜지스터(23), 제 1 트랜지스터(21), 신호선( $Y_1$  내지  $Y_n$ ), 및 스위치 회로( $Y_1$  내지  $Y_n$ )를 통해 전하 전압( $V_{\text{OH}}$ )을 출력하는 전원 주사선( $Z_1$  내지  $Z_m$ )으로부터 각 전류 단자( $OT_1$  내지  $OT_n$ )를 향해 계조 지정 전류를 생성한다. 계조 지정 전류값은 이미지 데이터에 따른 레벨을 갖는다. 즉, 계조 지정 전류의 전류값은 이미지 데이터에 따른 휘도 계조에서 발광하도록 유기 EL 소자( $E_{1,1}$  내지  $E_{n,n}$ )를 통해 흐르는 전류의 전류값과 동일하다.

다음으로, 상기와 같이 구성된 표시장치의 표시 동작과 구동방법을 설명할 것이다.

도 8에 도시된 바와 같이, 선택 주사 구동기(5)는 연속적으로 온-전압( $V_{\text{on}}$ ) (하이 레벨)의 펄스 신호를 입력된 클럭 신호에 기초한 제 1 행의 선택 주사선( $X_1$ )으로부터 제  $m$  행의 선택 주사선( $X_m$ )으로 출력한다. 나아가, 전원 주사 구동기(6)는 연속적으로 전하 전압( $V_{\text{OH}}$ ) (로우 레벨)의 펄스 신호를 입력된 클럭 신호에 기초한 제 1 행의 전원 주사선( $Z_1$ )으로부터 제  $m$  행의 전원 주사선( $Z_m$ )으로 출력한다. 각 행의 선택 주기( $T_{\text{SE}}$ )내에서, 데이터 구동기(3)는 클럭 신호에 기초하여 모든 전류 단자( $OT_1$  내지  $OT_n$ )로부터 스위치 회로( $S_1$  내지  $S_n$ )로 계조 지정 전류를 취득한다.

나아가, 스위치 신호 입력 단자(140)에 입력된 스위치 신호( $\phi$ )는 각 행의 선택 주기( $T_{\text{SE}}$ )내에서 로우 레벨을 갖기 때문에, 스위치 회로( $S_1$  내지  $S_n$ )의 제 4 트랜지스터(31)는 온 상태가 되고, 제 5 트랜지스터(32)는 오프 상태가 된다. 반면에, 스위치 신호 입력 단자에 입력된 스위치 신호( $\phi$ )는 각 행의 리셋 주기( $T_{\text{RESET}}$ )내에서 하이 레벨을 갖기 때문에, 스위치 회로( $S_1$  내지  $S_n$ )의 제 4 트랜지스터(31)는 오프 상태가 되고, 제 5 트랜지스터(32)는 온 상태가 된다. 즉, 전류/전압 스위치부(7)가 각 행의 선택 주기( $T_{\text{SE}}$ )내에서 리셋 전압 입력 단자(141)로부터 신호선( $Y_1$  내지  $Y_n$ )의 연결을 끊을 때, 상기 스위치부는 이미지 데이터에 따른 휘도 계조에서 발광하도록 유기 EL 소자( $E_{1,1}$  내지  $E_{n,n}$ )를 통해 흐르는 전류의 전류값과 동일한 계조 지정 전류를 통과시킨다. 스위치부는 나아가 신호선( $Y_1$  내지  $Y_n$ )에 리셋 전압( $V_R$ )을 인가하지 않는 작용을 한다. 반면에, 각 행의 리셋 주기( $T_{\text{RESET}}$ )내에서, 전류/전압 스위치부(7)는 전류 단자( $OT_1$  내지  $OT_n$ )로부터 신호선( $Y_1$  내지  $Y_n$ )의 연결을 끊고, 리셋 전압 입력 단자(141)에 신호선( $Y_1$  내지  $Y_n$ )을 연결한다. 따라서, 스위치부는 신호선( $Y_1$  내지  $Y_n$ )의 각각의 전위를 빠르게 리셋 전압( $V_R$ )으로 설정하도록 작용한다.

여기에서, 온-전압( $V_{\text{on}}$ )이 선택 주사선( $X_i$ )으로 출력되는 타이밍은 실질적으로 전하 전압( $V_{\text{OH}}$ )이 전원 주사선( $Z_i$ )으로 출력되는 타이밍과 일치하고, 온-전압( $V_{\text{on}}$ )의 시간 길이는 실질적으로 전하 전압( $V_{\text{OH}}$ )의 시간 길이와 동일하며, 펄스 신호는 시간( $t_1$ )과 시간( $t_{1,n}$ ) 사이(이 주기는 제  $i$ 행의 선택 주기( $T_{\text{SE}}$ )임)에 출력된다. 즉, 선택 주사 구동기(5)로부터 출력된 온-전압( $V_{\text{on}}$ )이 쉬프트하는 주기는 전원 주사 구동기(6)로부터 출력된 전하 전압( $V_{\text{OH}}$ )의 주기와 동기화된다. 온 레벨의 펄스 신호가 선택 주사선( $X_i$ )으로 출력될 때, 스위치 신호 입력 단자(140)로 입력된 스위치 신호( $\phi$ )는 로우 레벨을 갖고, 그러므로 트랜지스터(31)가 온 상태가 된다.

전원 주사선( $Z_i$ )으로 출력되는 전하 전압( $V_{\text{OH}}$ )이 선택 주기( $T_{\text{SE}}$ )내의 기준 전압( $V_{\text{SS}}$ )보다 크지 않기 때문에, 계조 지정 전류는 유기 EL 소자( $E_{1,1}$  내지  $E_{n,n}$ )를 통해 흐르지 않는다. 그러므로, 계조를 충족하는 전류값을 갖는 계조 지정 전류는 트랜지스터(23)로부터 데이터 구동기(3)를 통해 흐른다. 그러므로, 전하는 트랜지스터(23)의 게이트와 소스 사이에 정확한 전압을 유지하기 위하여 캐퍼시터(24)에 기록되고, 이는 제 3 트랜지스터(23)가 계조 지정 전류를 통과할 것을 요한다. 결과적으로, 트랜지스터(23)는 발광 주기( $T_{\text{ON}}$ )내에서 조차도 계조 지정 전류의 전류값과 동일한 전류값을 갖는 구동 전류를 통과시킨다. 트랜지스터(21)는 발광 주기( $T_{\text{ON}}$ )내에서 오프 상태를 갖기 때문에, 이러한 구동 전류는 신호선( $Y_1$  내지  $Y_n$ )을 통해 흐르지 않고, 유기 EL 소자( $E_{1,1}$  내지  $E_{n,n}$ )를 통해 흐르며, 정밀한 휘도 계조의 전류 제어가 가능하다.

상기한 바와 같이, 선택 주사 구동기(5)와 전원 주사 구동기(6)가 연속적으로 선행으로 펄스 신호를 제 1 행으로부터 제  $m$ 행으로 쉬프트할 때, 제  $m$ 행의 픽셀( $P_{m,1}$  내지  $P_{m,n}$ )로 제 1행의 픽셀( $P_{1,1}$  내지  $P_{1,n}$ )이 데이터 구동기(3)의 계조 지정 전류에 기초하여 업데이트된다. 이러한 선행의 연속적인 주사가 반복될 때, 유기 EL 표시 패널(2)의 표시부(4)가 이미지를 표시한다.

여기에서, 일 주사 주기( $T_{\text{SE}}$ )내에 선택된 제  $i$ 행의 픽셀( $P_{i,1}$  내지  $P_{i,n}$ )의 업데이트와 선택된 제  $i$ 행의 픽셀( $P_{i,1}$  내지  $P_{i,n}$ )의 계조 개념에 관하여 설명할 것이다.

제  $i$ 행의 선택 주기( $T_{\text{SE}}$ )내에서, 선택 주사 구동기(5)가 제  $i$ 행의 선택 주사선( $X_i$ )에 하이 레벨의 펄스 신호를 출력할 때, 선택 주사선( $X_i$ )에 연결되는 모든 픽셀 회로( $O_{i,1}$  내지  $O_{i,n}$ )의 트랜지스터(21, 22)는 선택 주기( $T_{\text{SE}}$ )내에서 온 상태가 된다. 나아가, 제  $i$ 행의 선택 주기( $T_{\text{SE}}$ )내에서, 전원 주사 구동기(6)는 기준 전

압( $V_{ss}$ )과 동일하거나 더 작은 전하 전압( $V_{0i}$ )만큼의 로우 레벨의 펄스 신호를 제  $i$ 행의 전원 주사선( $Z_i$ )에 인가한다. 이 때, 트랜지스터(22)가 온 상태이기 때문에, 전압은 또한 제 3 트랜지스터(23)의 게이트 전극(23g)에 인가되고, 제 3 트랜지스터(23)는 온 상태가 된다.

반면에, 스위치 신호 입력 단자(140)내에 입력되는 스위치 신호( $\phi$ )가 제  $i$ 행의 선택 주기( $T_{se}$ )내에서 로우 레벨을 갖기 때문에, 모든 스위치 회로( $S_i$  내지  $S_n$ )의 트랜지스터(31)가 온 상태가 되고, 트랜지스터(32)는 오프 상태가 된다. 나아가, 제  $i$ 행의 선택 주기내에서 데이터 구동기(3)내로 입력된 이미지 데이터에 따라서, 제  $i$ 행의 모든 픽셀 회로( $D_{i,1}$  내지  $D_{i,n}$ )내에서, 계조 지정 전류는, 계조 지정 전류가 상대적으로 높은 전압의 전하 전압( $V_{0i}$ )이 인가되는 전원 주사선( $Z_i$ ) → 제 3 트랜지스터(23) → 제 1 트랜지스터(21) → 제 4 트랜지스터(31)를 통해 흐르도록 하기 위하여, 상대적으로 낮은 전압으로 설정된 데이터 구동기(3)를 통해 흐른다. 이 때, 제 3 트랜지스터(23)의 소스/드레인 전류는 계조 지정 전류의 전류값을 갖고 상기 트랜지스터(23)의 게이트와 소스 사이의 전압은 발광 주기( $T_{em}$ )내에서 트랜지스터(23)의 소스와 드레인 사이에 흐르는 계조 지정 전류의 전류값을 얻는다. 이러한 전압을 얻기 위하여, 전하는 캐퍼시터(24)내에 충전된다.

이러한 방식으로, 제  $i$ 행의 선택 주기( $T_{se}$ )내에서, 일정한 레벨을 갖는 계조 지정 전류는 강제적으로 전원 주사선( $Z_i$ ) → 픽셀 회로( $D_{i,1}$  내지  $D_{i,n}$ )의 제 3 트랜지스터(23) → 픽셀 회로( $D_{i,1}$  내지  $D_{i,n}$ )의 제 1 트랜지스터(21) → 신호선( $Y_i$  내지  $Y_n$ ) → 스위치 회로( $S_i$  내지  $S_n$ )의 제 4 트랜지스터(31) → 데이터 구동기(3)의 전류 단자( $OT_i$  내지  $OT_n$ )를 통해 통과한다. 따라서, 제  $i$ 행의 선택 주기( $T_{se}$ )내에서, 전원 주사선( $Z_i$ ), 픽셀 회로( $D_{i,1}$  내지  $D_{i,n}$ )의 제 3 트랜지스터(23), 픽셀 회로( $D_{i,1}$  내지  $D_{i,n}$ )의 제 1 트랜지스터(21), 신호선( $Y_i$  내지  $Y_n$ ), 스위치 회로( $S_i$  내지  $S_n$ )의 제 4 트랜지스터(31), 데이터 구동기(3)의 전류 단자( $OT_i$  내지  $OT_n$ )내의 전압들이 정적 상태를 얻는다. 제 1 내지 제  $n$  열의 어느 열에서, 발광 주기( $T_{em}$ )내에서 유기 EL 소자( $E_{i,1}$  내지  $E_{i,n}$ )를 통해 흐르는 구동 전류의 전류값은 신호선( $Y_i$  내지  $Y_n$ )을 통해 흐르는 계조 지정 전류의 전류값이 된다.

즉, 계조 지정 전류가 트랜지스터(23)를 통해 흐르고, 전원 주사선( $Z_i$ ) → 픽셀 회로( $D_{i,1}$  내지  $D_{i,n}$ )의 제 3 트랜지스터(23) → 픽셀 회로( $D_{i,1}$  내지  $D_{i,n}$ )의 제 1 트랜지스터(21) → 신호선( $Y_i$  내지  $Y_n$ ) → 스위치 회로( $S_i$  내지  $S_n$ )의 제 4 트랜지스터(31) → 데이터 구동기(3)의 전류 단자( $OT_i$  내지  $OT_n$ )내의 전압이 정적 상태가 된다. 따라서, 트랜지스터(23)를 통해 흐르는 계조 지정 전류의 전류값에 따른 레벨의 전압은 트랜지스터(23)의 게이트 전극(23g)과 소스 전극(23s) 사이에 인가되고, 트랜지스터(23)의 게이트 전극(23g)과 소스 전극(23s) 사이의 전압 레벨에 따른 크기를 갖는 전하는 캐퍼시터(24)내에 충전된다. 다시 말하면, 제  $i$ 행의 선택 주기( $T_{se}$ )내에서, 제  $i$ 행의 픽셀 회로( $D_{i,1}$  내지  $D_{i,n}$ )에서, 트랜지스터(21, 22)는 트랜지스터(23)를 통한 신호선( $Y_i$  내지  $Y_n$ )을 통해 흐르는 계조 지정 전류를 통과시키는 작용을 하고, 상기 트랜지스터(23)는 강제적으로 흐르는 계조 지정 전류의 전류값에 따라서 게이트/소스 전압을 얻는 작용을 하고, 캐퍼시터(24)는 게이트/소스 전압의 레벨을 유지하는 작용을 한다.

여기에서, 계조 지정 전류가 흐르는 전원 주사선( $Z_i$ ), 픽셀 회로( $D_{i,1}$  내지  $D_{i,n}$ )의 트랜지스터(23), 픽셀 회로( $D_{i,1}$  내지  $D_{i,n}$ )의 트랜지스터(21), 신호선( $Y_i$  내지  $Y_n$ ), 스위치 회로( $S_i$  내지  $S_n$ )의 트랜지스터(31), 및 데이터 구동기(3)의 전류 단자( $OT_i$  내지  $OT_n$ )를 통한 각 전류 경로에서, 각 트랜지스터(23)의 소스 전극(23s)으로부터 신호선( $Y_i$  내지  $Y_n$ )의 각각에 전류 경로의 정전 용량이  $C$ 라고 가정하면, 전압( $v$ )에서 각 전류 경로에 충전되는 전하( $Q$ )는 다음과 같다.

$$Q = Cv \dots (2)$$

$$dQ = C \cdot dv \dots (3)$$

소정의 픽셀( $P_{i,j}$ )의 계조 지정 전류의 전류값이  $I_{data}$ 라고 가정하면( $I_{data}$ 는 선택 주기( $T_{se}$ )내에서 일정함), 전원 주사선( $Z_i$ ), 픽셀 회로( $D_{i,1}$ )의 트랜지스터(23), 픽셀 회로( $D_{i,1}$ )의 트랜지스터(21), 신호선( $Y_j$ ), 스위치 회로( $S_j$ )의 트랜지스터(31), 및 데이터 구동기(3)의 전류 단자( $OT_j$ )내에서 상기 전압을 정적 상태로 하기 위하여 필요한 시간( $dt$ )은 다음의 방정식을 따른다.

$$dt = dQ/I_{data} \dots (4)$$

여기에서  $dQ$ 는 시간( $dt$ )내에 전류 경로의 전하의 변화량을 나타내고, 또한 전위차( $dv$ )내의 신호선( $Y_j$ )의 전하의 변화량을 나타낸다. 상기와 같이,  $I_{data}$ 가 감소할수록,  $dt$ 는 길어진다.  $dQ$ 가 증가할수록,  $dt$ 는 길어진다.

상기한 바와 같이, 제  $i$ 행의 선택 주기( $T_{se}$ )내에서, 제  $i$ 행의 픽셀 회로( $D_{i,1}$  내지  $D_{i,n}$ )의 캐퍼시터(24)내에 충전된 전하량의 크기는 이전의 일 주사 주기( $T_{sc}$ )로부터 업데이트되고, 제  $i$ 행의 픽셀 회로( $D_{i,1}$  내지  $D_{i,n}$ )의 트랜지스터(23)를 통해 흐르는 구동 전류의 전류값은 이전의 일 주사 주기( $T_{sc}$ )로부터 업데이트된다.

여기에서, 트랜지스터(23) → 제 1 트랜지스터(21) → 신호선( $Y_i$ )내의 임의의 점내에서의 전위는 시간 경과로 변화하는 트랜지스터(21, 22, 23)의 내부 저항에 따라 변화한다. 그러나, 본 발명의 실시예에서, 트랜지스터(23) → 트랜지스터(21) → 신호선( $Y_i$ )을 통해 흐르는 계조 지정 전류의 전류값에 대하여, 심지어 트랜지스터(21, 22, 23)의 내부 저항이 시간 경과로 변화할 때조차, 트랜지스터(23) → 트랜지스터(21) → 신호선( $Y_i$ )을 통해 흐르는 계조 지정 전류의 전류값은 변하는 값이다.

나아가, 제 i행의 선택 주기( $T_{se}$ )내에서, 제 i행의 유기 EL 소자( $E_{i,1}$  내지  $E_{i,n}$ )의 공통 전극은 기준 전압( $V_{ss}$ )이다. 기준 전압( $V_{ss}$ )과 동일하거나 더 낮은 전하 전압( $V_{off}$ )은 전원 주사선( $Z_i$ )에 인가되고, 그러므로 바이어스 전압이 제 i행의 유기 EL 소자( $E_{i,1}$  내지  $E_{i,n}$ )에 인가되고, 전류는 제 i행의 유기 EL 소자( $E_{i,1}$  내지  $E_{i,n}$ )를 통해 흐르지 않으며, 유기 EL 소자( $E_{i,1}$  내지  $E_{i,n}$ )가 발광하지 않는다. 나아가, 신호선( $Y_i$  내지  $Y_n$ )을 통하여 흐르는 계조 지정 전류에 의하여, 신호선( $Y_i$  내지  $Y_n$ )은 전하 전압( $V_{off}$ )보다 더 낮은 전압에서 정적상태가 된다. 유기 EL 소자( $E_{i,1}$  내지  $E_{i,n}$ )를 통해 구동 전류를 통과시키기 위한 캐퍼시터(24)로의 전하는 신호선( $Y_i$  내지  $Y_n$ )으로부터 데이터 구동기(9)를 통한 계조 지정 전류에 의하여 유일하게 결정된다.

결과적으로, 제 i행의 선택 주기( $T_{se}$ )의 종료 시간( $t_{ie}$ ) (즉, 제 i행의 비-선택 주기( $T_{nse}$ )의 시작 시간)내에서, 선택 주사 구동기(5)는 선택 주사선( $X_i$ )으로 하이 레벨의 펄스 신호의 출력을 끝내고, 전원 주사 구동기(6)는 전원 주사선( $Z_i$ )으로 로우 레벨의 펄스 신호의 출력을 끝낸다. 즉, 종료 시간( $t_2$ )으로부터 제 i행의 다음 선택 주기( $T_{se}$ )의 시작 시간( $t_1$ )까지 비-선택 주기( $T_{nse}$ )내에서, 오프-전압( $V_{off}$ )은 선택 주사 구동기(5)에 의하여 제 i행의 픽셀 회로( $D_{i,1}$  내지  $D_{i,n}$ )의 트랜지스터(21)의 게이트 전극(21g)과 트랜지스터(22)의 게이트 전극(22g)에 인가되고, 전원 전압( $V_{bb}$ )은 전원 주사 구동기(6)에 의하여 전원 주사선( $Z_i$ )에 인가된다.

그러므로, 제 i행의 비-선택 주기( $T_{nse}$ )내에서, 제 i행의 픽셀 회로( $D_{i,1}$  내지  $D_{i,n}$ )의 트랜지스터(21)는 오프 상태를 열고, 전원 주사선( $Z_i$ )으로부터 신호선( $Y_i$  내지  $Y_n$ )을 통해 흐르는 계조 지정 전류는 차단된다. 더욱이, 제 i행의 비-선택 주기( $T_{nse}$ )내에서, 제 i행의 픽셀 회로( $D_{i,1}$  내지  $D_{i,n}$ )의 어느 것에서, 제 2 트랜지스터(22)는 오프 상태를 얻는다. 제 i행의 이전 선택 주기( $T_{se}$ )내에서 캐퍼시터(24)에 충전된 전하는 트랜지스터(21 및 22)에 의하여 제한된다. 즉, 비-선택 주기( $T_{nse}$ )와 이전 선택 주기( $T_{se}$ )내에서, 제 3 트랜지스터(23)의 게이트/소스 전압( $V_{gs}$ )은 동일하게 된다. 그러므로, 트랜지스터(23)의 게이트와 소스 사이에서, 선택 주기( $T_{se}$ )내에서 흐르는 계조 전류의 값과 동일한 전류값을 갖도록 전류를 통과시키기 위한 전압은 심지어 비-선택 주기( $T_{nse}$ )를 통해서도 계속적으로 인가된다.

제 i행의 비-선택 주기( $T_{nse}$ )내에서, 상기 조건 방정식 (1)을 만족하는  $V_{off}$ 는 전원 주사선( $Z_i$ )으로부터 인가되기 때문에, 제 i행의 픽셀 회로( $D_{i,1}$  내지  $D_{i,n}$ )의 제 3 트랜지스터(23)는 이전 선택 주기( $T_{se}$ )내에서의 계조 지정 전류와 같은 구동 전류를 연속적으로 통과시킨다. 나아가, 제 i행의 비-선택 주기( $T_{nse}$ )내에서, 제 i행의 유기 EL 소자( $E_{i,1}$  내지  $E_{i,n}$ )의 공통 전극은 기준 전압( $V_{ss}$ )을 갖는다. 나아가, 전원 주사선( $Z_i$ )은 기준 전압( $V_{ss}$ )보다 더 높은 전원 전압( $V_{bb}$ )을 갖는다. 그러므로, 정 바이어스 전압은 제 i행의 유기 EL 소자( $E_{i,1}$  내지  $E_{i,n}$ )에 인가된다. 나아가, 제 i행의 각 트랜지스터(21)가 오프 상태를 갖기 때문에, 구동 전류는 트랜지스터(21)를 경유하여 신호선( $Y_i$  내지  $Y_n$ )을 통해 흐르지 않고, 트랜지스터(23)의 작용에 의하여 제 i행의 유기 EL 소자( $E_{i,1}$  내지  $E_{i,n}$ )를 통해 흐르고, 유기 EL 소자( $E_{i,1}$  내지  $E_{i,n}$ )는 발광한다.

즉, 픽셀 회로( $D_{i,1}$  내지  $D_{i,n}$ )내에서, 트랜지스터(21 및 22)는 선택 주기( $T_{se}$ )내에 각 트랜지스터(23)의 소스와 드레인 사이에 계조 지정 전류에 따라서 충전된 캐퍼시터(24)의 전하를 비-선택 주기( $T_{nse}$ )에서 구속하는 작용을 한다. 각 트랜지스터(21)는 각 트랜지스터(23)를 통해 흐르는 구동 전류가 비-선택 주기( $T_{nse}$ )내에서 신호선( $Y_i$  내지  $Y_n$ )을 통해 흐르지 않도록 하기 위하여 트랜지스터(23)로부터 전기적으로 신호선( $Y_i$ )을 차단시키도록 작용한다. 나아가, 각 캐퍼시터(24)는 트랜지스터(23)가 계조 지정 전류를 통과시킬 때 각 트랜지스터(23)의 게이트/소스 전압을 유지하기 위한 전하를 정적상태로 충전되도록 작용한다. 각 트랜지스터(23)는 각 캐퍼시터(24)에 의하여 보유된 게이트/소스 전압에 따라서 유기 EL 소자( $E_{i,1}$  내지  $E_{i,n}$ )를 통한 계조 지정 전류의 전류값과 동일한 값을 갖는 구동 전류를 통과시키기 위하여 작용한다.

상기한 바와 같이, 제 i행의 선택 주기( $T_{se}$ )내에서, 원하는 전류값을 갖는 계조 지정 전류는 강제적으로 제 i행의 픽셀 회로( $D_{i,1}$  내지  $D_{i,n}$ )의 트랜지스터(23)를 통해 통과되고, 그러므로 유기 EL 소자( $E_{i,1}$  내지  $E_{i,n}$ )를 통한 구동 전류의 전류값이 원하는 값으로 얻어지고, 유기 EL 소자( $E_{i,1}$  내지  $E_{i,n}$ )는 소정의 계조 휘도에서 발광한다.

전류 지정 시스템이 능동형 매트릭스 구동 표시장치에 적용될 때, 단위 시간당 각 유기 EL 소자를 통해 흐르는 구동 전류의 전류값은 감소될 수 있다. 이를 위하여, 비-선택 주기내에서, 구동 전류의 전류값과 동일한 전류값을 갖는 계조 지정 전류에 따라서, 제 3 트랜지스터(23)의 소스(23s)로부터 신호선( $Y_i$ )으로의 전류 경로의 전하량(C)이 빠르게 충전된다.

여기에서, 픽셀( $P_{i,j}$ )내에서, 유기 EL 소자( $E_{i,j}$ )로부터 제 i행의 비-선택 주기( $T_{nse}$ )내에서 최고 계조 휘도( $L_{1bb}$ )로 발광하도록 신호선( $Y_i$ )을 통해 통과되는 계조 지정 전류의 전류값은 제 i행의 선택 주기( $T_{se}$ )내에서  $I_{1bb}$ 로 한정된다. 결과적으로, 픽셀( $P_{i+1,j}$ )내에서, 최저 계조 휘도( $L_{1ab}$ )에서 유기 EL 소자( $E_{i+1,j}$ )로부터 발광(추가적으로, 미세 전류가 흐르고, 유기 EL 소자( $E_{i+1,j}$ )가 낮은 휘도에서 발광함)하도록 하기 위하여 신호선( $Y_i$ )을 통해 통과되는 제 (i+1)행의 비-선택 주기( $T_{nse}$ )내에서 계조 지정 전류의 전류값은 제 (i+1)행의 선택 주기( $T_{se}$ )내에서  $I_{1ab}$ 로 정의된다. 이 때, 다음의 관계식이 성립한다.

$$I_{1bb} > I_{1ab} \quad \dots (5)$$

데이터 구동기(3)의 일측상에 신호선(Y<sub>i</sub>)의 일측에 인가되는 전압은 신호선(Y<sub>i</sub>)이 전류값(I<sub>hcb</sub>)에서 정적상태를 얻도록 V<sub>hcb</sub>로 된다. 데이터 구동기(3)의 일측상에 신호선(Y<sub>i</sub>)의 일단에 인가되는 전압은 신호선(Y<sub>i</sub>)이 전류값(I<sub>lsb</sub>)에서 정적 상태를 얻도록 V<sub>lsb</sub>로 된다. 이 때, 다음의 관계식이 성립한다.

$$V_{ch} > V_{lsb} > V_{hcb} \quad \dots (6)$$

즉, 트랜지스터(23)의 드레인(23d)과 소스(23s) 사이의 전위차가 V<sub>ch</sub>-V<sub>hcb</sub>이고 낮을 때, 트랜지스터(23)를 통해 흐르는 소스/드레인 전류는 I<sub>hcb</sub>로 감소한다. 트랜지스터(23)의 드레인(23d)과 소스(23s) 사이의 전위차가 V<sub>ch</sub>-V<sub>lsb</sub>이고 높을 때, 트랜지스터(23)를 통해 흐르는 소스/드레인 전류는 I<sub>hcb</sub>로 증가한다.

트랜지스터의 소스 전극(23s)으로부터 신호선(Y<sub>i</sub>)으로의 전류 경로내에 축적된 전하량(Q<sub>1</sub>)은 최저 계조 휘도(L<sub>hcb</sub>)를 최고 계조 휘도(L<sub>lsb</sub>)로 변조하기 위하여 다음과 같다:

$$Q_1 = C(V_{lsb} - V_{hcb}) \quad \dots (7)$$

전하량(Q<sub>1</sub>)을 축적하기 위하여 신호선(Y<sub>i</sub>)을 통해 흐르는 전류의 전류값은 I<sub>hcb</sub>이고, 전하량(Q<sub>1</sub>)은 상대적으로 큰 전류 때문에 빨리 충전된다. C는 전류 경로의 캐패시터를 나타낸다.

반면에, 최고 계조 휘도(L<sub>hcb</sub>)를 최저 계조 휘도(L<sub>lsb</sub>)로 변조하기 위하여 축적된 전하량(Q<sub>2</sub>)은 전하량(Q<sub>1</sub>)의 절대값이나, 이 때 신호선(Y<sub>i</sub>)을 통해 흐르는 전류는 I<sub>lsb</sub>이다.

여기에서, 본 발명의 표시장치(1)로부터 전류/전압 스위치부(7)가 제거된 비교예에 따른 구성에서, 전압(V<sub>hcb</sub>)은 전류값(I<sub>hcb</sub>)을 갖는 계조 지정 전류를 신호선(Y<sub>i</sub>)을 통해 제 i행의 선택 주기(T<sub>se</sub>)내에서 통과시키고 정적 전류값(I<sub>hcb</sub>)을 얻기 위하여 데이터 구동기(3)측상에 신호선(Y<sub>i</sub>)의 일측에 인가된다. 그 이후에, 전압(V<sub>lsb</sub>)은 전류값(I<sub>lsb</sub>)을 갖는 계조 지정 전류를 신호선(Y<sub>i</sub>)을 통해 제 (i+1)행의 선택 주기(T<sub>se</sub>)내에서 통과시키고 정적 전류값(I<sub>hcb</sub>)을 얻기 위하여 데이터 구동기(3)측상에 신호선(Y<sub>i</sub>)의 일측에 인가된다. 이러한 경우에, 계조 지정 전류의 전류값(I<sub>lsb</sub>)이 상당히 작기 때문에, 도 9a에 도시된 바와 같이, 많은 시간이 정적 상태의 전압(V<sub>lsb</sub>)을 얻기 위해 요구되고 고속 반응이 불가능하다. 그러므로, 이미지 데이터가 쉽게 동화상과 같이 변화하는 이미지를 부드럽게 표시하기가 어렵다.

그러나, 도 1에 도시된 바와 같이 전류/전압 스위치부(7)가 배치된 표시장치(1)내에서, 제 i행의 선택 주기(T<sub>se</sub>)가 끝나는 시간(t<sub>is</sub>)과 제 (i+1)행의 선택 주기(T<sub>se</sub>)가 시작하는 시간(t<sub>i+1</sub>) 사이에, 즉, 제 (i+1)행의 리셋 주기(T<sub>reset</sub>)내에서, 스위치 신호 입력 단자(140)로 입력된 스위치 신호(φ)는 하이 레벨이고, 제 4 트랜지스터(31)가 오프 상태를 얻고, 제 5 트랜지스터(32)가 온 상태를 얻는다. 그러므로, 도 9b에 도시된 바와 같이, 제 (i+1)행의 리셋 주기(T<sub>reset</sub>)내에서, 계조 지정 전류는 신호선(Y<sub>i</sub> 내지 Y<sub>n</sub>)의 어느 것을 통해서 흐르지 않지만, 리셋 전압(V<sub>rs</sub>)은 모든 신호선(Y<sub>i</sub> 내지 Y<sub>n</sub>)에 강제적으로 인가된다.

리셋 전압(V<sub>rs</sub>)은, 유기 EL 소자(E<sub>1,1</sub> 내지 E<sub>n,n</sub>)가 선택 주기(T<sub>se</sub>)내에서 가장 밝은 최대 계조 휘도(L<sub>max</sub>)에서 발광할 때, 유기 EL 소자(E<sub>1,1</sub> 내지 E<sub>n,n</sub>)를 통해 흐르는 최대 계조 구동 전류(I<sub>max</sub>)의 전류값과 동일한 전류값을 갖는 계조 지정 전류에 의하여 적어도 신호선(Y<sub>i</sub> 내지 Y<sub>n</sub>)내에 충전된 전하에 따라서 정적으로 설정된 최고 계조 전압(V<sub>hcb</sub>)보다 더 큰 전압으로 설정된다. 리셋 전압(V<sub>rs</sub>)은 바람직하게 각 유기 EL 소자(E<sub>1,1</sub> 내지 E<sub>n,n</sub>)가 최소 계조 휘도(L<sub>min</sub>)를 가질 때(추가적으로, 전류값이 0 A를 초과함) 신호선(Y<sub>i</sub> 내지 Y<sub>n</sub>)내에 충전된 전하에 따라서 유기 EL 소자(E<sub>1,1</sub> 내지 E<sub>n,n</sub>)를 통해 흐르는 최소 계조 구동 전류(I<sub>min</sub>)의 전류값과 동일한 전류값을 갖는 계조 지정 전류에 의하여 정적으로 설정된 최저 계조 전압(V<sub>lsb</sub>)과 최고 계조 전압(V<sub>hcb</sub>) 사이의 중간값을 갖는 중간 전압보다 작지 않게 설정되고, 보다 바람직하게 최저 계조 전압(V<sub>lsb</sub>)과 동일하거나 더 크게 설정되며, 보다 더 바람직하게 전하 전압(V<sub>ch</sub>)과 동일하게 설정된다.

이러한 방식으로, 리셋 전압(V<sub>rs</sub>)이 적어도 최고 계조 전압(V<sub>hcb</sub>)보다 더 높기 때문에, 리셋 주기내에서, 트랜지스터(23)의 소스와 드레인 사이의 전위차는 V<sub>ch</sub>-V<sub>hcb</sub>보다 더 낮게 설정될 수 있다. 즉, 제 3 트랜지스터(23)의 소스 전극(23s)으로부터 신호선(Y<sub>i</sub>)으로의 전류 경로의 캐패시터(C)의 전하는 상대적으로 낮은 계조 구동 전류, 즉, 상대적으로 작은 계조 지정 전류가 빠르게 정적이 될 수 있도록 하기 위하여 충전되고, 신호선(Y<sub>i</sub> 내지 Y<sub>n</sub>)의 전위는 리셋 전압(V<sub>rs</sub>)으로 빠르게 정적상태가 된다.

나아가, 제 (i+1)행의 선택 주기(T<sub>se</sub>)가 시작할 때, 제 i행에서와 동일한 방식으로, 선택 주사선(X<sub>i+1</sub>)과 전원 주사선(Z<sub>i+1</sub>)은 선택 주사 구동기(5)와 전원 주사 구동기(6)에 의하여 선택되고, 나아가 제 4 트랜지스터(31)가 온 상태가 된다. 따라서, 각 열에서, 계조 지정 전류는 전원 주사선(Z<sub>i+1</sub>) → 제 3 트랜지스터(23) → 트랜지스터(21) → 신호선(Y) → 제 4 트랜지스터(31) → 데이터 구동기(3)를 통해 흐른다. 그 이후에, 제 (i+1)행의 비-선택 주기(T<sub>de</sub>)내에서, 제 i행과 동일한 방식으로, 제 (i+1)행의 유기 EL 소자(E<sub>1,1</sub> 내지 E<sub>n,n</sub>)는 각 구동 전류의 전류값에 따른 휘도 계조에서 발광한다.

여기에서, 계조 지정 전류에 의하여 전원 주사선(Z<sub>i+1</sub>), 트랜지스터(23), 트랜지스터(21), 트랜지스터(31), 데이터 구동기(3)내에 정적 상태의 전압을 도입하기 위하여 필요한 시간(dt)은 상기 방정식 (2) 내지 (4)로 표현된다. 만약 제 i행의 선택 주기(T<sub>se</sub>)내에서 신호선(Y<sub>i</sub> 내지 Y<sub>n</sub>)을 통해 흐르는 계조 지정 전류의 전류값이 크다면, 제 (i+1)행의 선택 주기(T<sub>se</sub>)내에서 신호선(Y<sub>i</sub> 내지 Y<sub>n</sub>)을 통해 흐르는 계조 지정 전류의



전류값은 최소 계조 휘도( $L_{ib}$ ) 시간에서 전류값( $I_{ib}$ )과 같이 작고, 제 (i+1)행의 계조 지정 전류를 얻는 신호선( $Y_1$  내지  $Y_n$ )을 위한 전압은 정적으로 설정된다. 그 때  $dt$ 는 상기 방정식 (2) 내지 (4)에 의하여 표현되는 바와 같이 길어지고,  $dt$ 가 선택 주기( $T_{se}$ )보다 더 길어질 가능성이 있다. 그러므로, 만약 계조 지정 전류의 전류값이 상기한 바와 같이 제 (i+1)행의 선택 주기( $T_{se}$ )내에서 작다면, 전류/전압 스위치부(7)가 배치되지 않은 표시장치(1)에 대하여, 도 9a에 도시된 바와 같이, 제 (i+1)행의 선택 주기( $T_{se}$ )는 캐퍼시터(24)와 제 3 트랜지스터(23)에 인가되는 전압이 정적 상태가 되기 이전에 종료한다. 제 (i+1)행의 유기 EL 소자( $E_{i+1,1}$  내지  $E_{i+1,n}$ )의 구동 전류의 전류값이 계조 지정 전류와 다를 가능성이 있다.

그러나, 전류/전압 스위치부(7)가 본 발명의 실시예의 표시장치(1)내에 배치되기 때문에, 리셋 주기( $T_{reset}$ )는 제 (i+1)행의 선택 주기( $T_{se}$ ) 이전에 즉시 설정된다. 제 (i+1)행의 유기 EL 소자( $E_{i+1,1}$  내지  $E_{i+1,n}$ )가 낮은 휘도에서 발광할 때 신호선( $Y_1$  내지  $Y_n$ )을 계조 지정 전류의 전류값의 정적상태로 설정하기 위하여, 리셋 전압( $V_R$ )은 전류 경로의 캐퍼시터(C)내에 전하를 빠르게 충전하기 위하여 인가되고, 신호선( $Y_1$  내지  $Y_n$ )의 전위가 급하게 상승한다. 특히, 리셋 전압( $V_R$ )이 전하 전압( $V_{oh}$ ) 또는 최저 계조 전압( $V_{ib}$ )의 근처의 값으로 설정될 때, 심지어 최저 계조 휘도( $L_{ib}$ )에 대하여 최저 계조 전류( $I_{ib}$ )와 같은 최저 휘도의 전류가 제 (i+1)행의 선택 주기( $T_{se}$ )내에서 신호선( $Y_1$  내지  $Y_n$ )을 통해 통과될 때에도, 상기 방정식 (2) 내지 (4)에 표현된 바와 같이, 리셋 주기( $T_{reset}$ )와 제 (i+1)행의 선택 주기( $T_{se}$ )내에서 신호선( $Y_1$  내지  $Y_n$ )의 전하의 변화량이 최소화될 수 있다.

그러므로, 심지어 제 (i+1)행의 계조 지정 전류가 최저 계조 휘도( $L_{ib}$ )에 대하여 최저 계조 전류( $I_{ib}$ )일 때조차, 신호선( $Y_1$  내지  $Y_n$ )은 제 (i+1)행의 선택 주기( $T_{se}$ )내에서 최저 계조 전압( $V_{ib}$ )에서 정적 상태를 얻는다. 전하는 선택 주기( $T_{se}$ )내에서 계조 지정 전류의 전류값에 따라서 캐퍼시터(24)내에 충전될 수 있고, 픽셀의 휘도 계조는 빠르게 업데이트될 수 있다.

나아가, 동일 픽셀( $P_{i,j}$ )내에서, 캐퍼시터(24)는 이전 주사 주기( $T_{sc}$ ) (또는 이전 발광 주기( $T_{em}$ ))내에서 그 계조 휘도를 얻을 수 있는 큰 전하량으로 충전된다. 그 상태에서, 캐퍼시터(24)의 전하량이 다음 주사 주기( $T_{sc}$ )내에서 낮은 계조 휘도로 휘도가 업데이트되어 감소되고, 즉, 전류 경로가 큰 계조 지정 전류에 의하여 제어되는 높은 계조 낮은 전압으로부터 미세 계조 지정 전류에 의하여 제어되는 낮은 계조 높은 전압으로 변화할 때, 리셋 전압( $V_R$ )에 의한 전류는 그 이전에 신호선( $Y_1$  내지  $Y_n$ )을 통해 통과된다. 따라서, 전류 경로의 전하는 저계조 고전압측으로 쉬프트된다. 그러므로, 신호선( $Y_1$  내지  $Y_n$ )과 캐퍼시터(24)가 하나의 캐퍼시터로 고려될 때, 캐퍼시터의 전하량은 선택 주기( $T_{se}$ ) 이전에 저계조측에 가까워질 수 있다. 즉, 심지어 원하는 저계조 지정 전류의 전류값이 작을 때조차, 캐퍼시터(24)와 신호선( $Y_1$  내지  $Y_n$ )의 전위는 저계조 지정 전류에 따라 각 캐퍼시터(24)내에 전하를 빠르게 충전하기 위하여 빠르게 정적으로 될 수 있다.

그러므로, 제 (i+1)행의 선택 주기( $T_{se}$ )내에서 픽셀( $P_{i+1,1}$  내지  $P_{i+1,n}$ )의 각 캐퍼시터(24)의 하나의 폴의 전압과 신호선( $Y_1$  내지  $Y_n$ )의 전위는 계조 지정 전류의 전류값에 의존하지 않고 빠르게 정적 상태를 얻는다. 그러므로, 어떤 계조에서, 발광 주기( $T_{em}$ ) (비-선택 주기( $T_{kse}$ ))내에서 구동 전류의 전류값은 이전 선택 주기( $T_{se}$ )의 지정된 전류의 전류값과 동일하고, 유기 EL 소자( $E_{i+1,1}$  내지  $E_{i+1,n}$ )는 원하는 발광 휘도에서 발광한다. 다시 말하면, 각 행의 선택 주기( $T_{se}$ )를 길게하지 않고, 유기 EL 소자( $E_{i,j}$ )는 원하는 휘도에서 발광한다. 그러므로, 표시 스크린은 깜박거리지 않고, 표시장치(1)의 화질이 향상될 수 있다.

#### [제 2 실시예]

도 10은 제 1 실시예의 표시장치(1)와 독립적인 실시예의 표시장치(101)를 도시하는 도면이다. 도 10에 도시된 바와 같이, 표시장치(101)는 능동형 매트릭스 구동 시스템에 의하여 색표시를 수행하는 유기 EL 표시 패널(102), 및 쉬프트 레지스터(103)를 포함하는 기본 구성을 포함한다.

유기 EL 표시 패널(102)은 투명 기판(8); 이미지가 실질적으로 표시되는 표시부(4); 상기 표시부(4)의 주위에 배치된 선택 주사 구동기(5); 전원 주사 구동기(6); 및 전류/전압 변환부(107)를 기본 구성으로 형성하여 포함한다. 이러한 회로(4 내지 6, 107)는 투명 기판(8)상에 형성된다. 표시부(4), 선택 주사 구동기(5), 전원 주사 구동기(6), 및 투명 기판(8)은 제 1 실시예의 표시장치(1)에서의 동일하다. 그러므로, 제 2 실시예의 유기 EL 장치(101)에서, 선택 주사 구동기(5)에 의한 전압 인가 타이밍, 전원 주사 구동기(6)에 의한 전압 인가 타이밍, 픽셀( $P_{i,j}$  내지  $P_{i,n}$ )의 업데이트, 및 픽셀( $P_{i,j}$  내지  $P_{i,n}$ )의 계조 재현은 제 1 실시예의 표시장치(1)와 동일하다.

전류/전압 변환부(107)내에서, 제 4 트랜지스터(31)와 제 5 트랜지스터(32)로 구성된 스위치 회로( $S_i$  내지  $S_n$ )는 각 열에 배치된다. 추가적으로, 전류 미러 회로( $M_i$  내지  $M_n$ )와 전류 미러 회로( $M_i$  내지  $M_n$ )를 제어하는 트랜지스터( $U_1$  내지  $U_n$ )와 트랜지스터( $W_1$  내지  $W_n$ )는 배치된다. 전류/전압 변환부(107)의 일단은 신호선( $Y_1$  내지  $Y_n$ )에 연결되고, 타단은 쉬프트 레지스터(103)에 연결된다.

전류 미러 회로( $M_i$ )는 캐퍼시터(30)와 2개의 MOS형 트랜지스터(61, 62)로 구성된다. 트랜지스터(61, 62, 31, 32,  $U_1$  내지  $U_n$ , 및  $W_1$  내지  $W_n$ )는 MOS형 전계-효과 박막 트랜지스터이고, 반도체 층으로서 사용되는 비정질 실리콘인 a-Si 트랜지스터이지만, 반도체 층내에 사용되는 다결정실리콘 또는 단결정실리콘인 p-Si 트랜지스터일 수 있다. 트랜지스터(31, 32,  $U_1$  내지  $U_n$ , 및  $W_1$  내지  $W_n$ )의 구조는 반전 스택구조 또는 동일 변형될 수 있다. 이하에서, 트랜지스터(61, 62, 32,  $U_1$  내지  $U_n$ , 및  $W_1$  내지  $W_n$ )는 N채널형 전계-효과 트랜

지스터로서 기술되고, 트랜지스터(31)는 P채널형의 전계-효과 트랜지스터로 기술될 것이다.

트랜지스터(61)의 채널 길이는 트랜지스터(62)의 채널 길이와 동일하고, 트랜지스터(61)의 채널폭은 트랜지스터(62)의 채널폭 보다 더 넓다. 즉, 트랜지스터(62)의 채널 저항은 트랜지스터(61)의 채널 저항보다 더 높다. 예를 들어, 트랜지스터(62)의 채널 저항은 트랜지스터(61)의 채널 저항의 10배이다. 이러한 방식으로, 트랜지스터(62)의 채널 저항이 트랜지스터(61)의 채널 저항보다 더 높을 때, 트랜지스터(61, 62)의 채널 길이는 동일하지 않을 수 있다.

각 열이 설명될 것이다. 전류 미러 회로(M<sub>n</sub>)에 대하여, 트랜지스터(61)의 드레인 전극은 트랜지스터(W<sub>n</sub>)의 소스 전극에 연결되고, 트랜지스터(61 및 62)의 게이트 전극은 트랜지스터(U<sub>j</sub>)의 소스 전극과 또한 커패시터(30)의 하나의 끝에 연결된다. 트랜지스터(62)의 드레인 전극은 트랜지스터(31)의 소스 전극에 연결된다. 트랜지스터(61 및 62)의 소스 전극들은 서로 연결되고, 또한 커패시터(30)의 다른 끝에 연결되며, 나아가 일정 레벨에서 저전류/전압 스위치부(V<sub>cc</sub>)의 저전압 입력 단자(142)에 연결된다. 저전압 입력 단자(142)의 저전류/전압 스위치부(V<sub>cc</sub>)는 기준 전압(V<sub>ss</sub>)보다 더 낮고, 나아가 전하 전압(V<sub>ss</sub>)보다 더 낮으며, 예를 들어, -20[V]이다.

제 i열내에서, 트랜지스터(31, 32)의 드레인 전극은 양쪽이 신호선(V<sub>j</sub>)에 연결되고, 트랜지스터(31, 32)의 게이트 전극은 양쪽인 스위치 신호 입력 단자(140)에 연결된다. 각 열의 트랜지스터(32)의 소스 전극은 리셋 전압 입력 단자(141)에 연결된다.

트랜지스터(U<sub>j</sub> 및 W<sub>j</sub>)의 게이트 전극은 서로 연결되고, 쉬프트 레지스터(103)의 출력 단자(R<sub>j</sub>)에 연결된다. 트랜지스터(U<sub>j</sub> 및 W<sub>j</sub>)의 드레인 전극은 서로 연결되고, 공통 계조 신호 입력 단자(170)에 연결된다.

쉬프트 레지스터(103)는 외부로부터 클럭 신호에 기초한 펄스 신호를 쉬프트하고, 연속적으로 출력 단자(R<sub>j</sub>)로부터 출력 단자(R<sub>n</sub>)로 순서대로 온 레벨의 펄스 신호를 출력(출력 단자(R<sub>j</sub>)는 출력 단자(R<sub>n</sub>)의 다음에 있음)하여, 따라서 연속적으로 전류 미러 회로(M<sub>n</sub> 내지 M<sub>1</sub>)를 선택한다. 쉬프트 레지스터(103)의 하나의 쉬프트 주기는 선택 주사 구동기(5) 또는 전원 주사 구동기(6)의 주기 보다 더 짧다. 선택 주사 구동기(5) 또는 전원 주사 구동기(6)가 제 i행으로부터 제 (i+1)행으로 펄스 신호를 쉬프트하는 동안, 쉬프트 레지스터(103)는 출력 단자(R<sub>j</sub>)로부터 출력 단자(R<sub>n</sub>)에 순서대로 한 행에 대하여 펄스 신호를 쉬프트 하고, 온 레벨의 n 펄스 신호를 출력한다.

계조 신호 입력 단자(170)는 외부 데이터 구동기의 계조 신호를 출력하고, 이러한 계조 신호는 쉬프트 레지스터(103)의 펄스 신호에 의하여 연속적으로 선택된 전류 미러 회로(M<sub>n</sub> 내지 M<sub>1</sub>)가 그 계조에 따른 전류값을 갖는 계조 지정 전류를 통과시키도록 설정된다. 계조 지정 전류에 의하여, 선택 주기(T<sub>sel</sub>)내에서, 유기 EL 소자(E<sub>1,1</sub> 내지 E<sub>n,n</sub>)의 휘도 계조에 따른 전류가 트랜지스터(23)의 소스와 드레인 사이로 통과되고 신호선(Y<sub>j</sub> 내지 Y<sub>n</sub>)을 통해 통과된다. 따라서, 비-선택 주기(T<sub>off</sub>)(발광 주기(T<sub>on</sub>)내에서 전류는 트랜지스터(23)의 소스와 드레인 사이 및 휘도 계조에 따른 유기 EL 소자(E<sub>1,1</sub> 내지 E<sub>n,n</sub>)를 통해 흐른다. 계조 지정 전류는 아날로그 또는 디지털 신호일 수 있고, 온 레벨의 펄스 신호가 쉬프트 레지스터(103)의 출력 단자(R<sub>j</sub> 내지 R<sub>n</sub>)로부터 입력되는 타이밍에 트랜지스터(U<sub>j</sub> 내지 U<sub>n</sub> 및 W<sub>j</sub> 내지 W<sub>n</sub>)의 드레인 전극으로 입력된다. 한 행에 대하여 계조 지정 전류의 주기는 선택 주사 구동기(5) 또는 전원 주사 구동기(6)의 하나의 쉬프트 주기 보다 더 짧다. 선택 주사 구동기(5) 또는 전원 주사 구동기(6)는 제 i행으로부터 제 (i+1)행으로 펄스 신호를 쉬프트하는 동안, n 계조 지정 전류는 입력된다.

스위치 신호(φ)는 외부로부터 스위치 신호 입력 단자(140)에 입력된다. 스위치 신호(φ)의 주기는 선택 주사 구동기(5) 또는 전원 주사 구동기(6)의 하나의 쉬프트 주기와 동일하다. 트랜지스터(31)의 온 레벨의 스위치 신호(φ)가 입력되는 타이밍은 선택 주사 구동기(5) 또는 전원 주사 구동기(6)가 트랜지스터(21, 22)의 온-레벨 펄스 신호를 출력하는 시간이다. 그러므로, 선택 주사 구동기(5) 또는 전원 주사 구동기(6)가 제 1행으로부터 제 m행으로 쉬프트하는 동안, 스위치 신호(φ)의 m 온-레벨 전압은 입력된다.

계조 신호가 계조 신호 입력 단자(170)로부터 출력될 때, 전압은 트랜지스터(61)의 드레인 전극과 게이트 전극에 인가되고, 전류는 트랜지스터(61)의 드레인과 소스 사이에서 흐른다. 이때, 전류는 또한 트랜지스터(62)의 드레인과 소스 사이로 흐른다. 여기에서, 트랜지스터(62)의 채널 저항은 트랜지스터(61)의 그것보다 더 높고, 트랜지스터(62)의 게이트 전극은 트랜지스터(61)의 게이트 전극의 전압 레벨과 동일한 레벨을 갖는다. 그러므로, 트랜지스터(62)의 드레인과 소스 사이에 전류의 전류값은 트랜지스터(61)의 드레인과 소스 사이의 전류의 전류값 보다 더 작다. 상세하게, 트랜지스터(62)의 드레인과 소스 사이의 전류의 전류값은 실질적으로 트랜지스터(61)의 드레인과 소스 사이에 전류의 전류값에 의한 트랜지스터(61)의 채널 저항 대 트랜지스터(62)의 채널 저항의 비로 곱하여 얻어지는 값(결과)이다. 트랜지스터(62)의 드레인과 소스 사이의 전류의 전류값은 트랜지스터(61)의 드레인과 소스 사이의 전류의 전류값 보다 더 낮다. 그러므로, 트랜지스터(62)를 통해 흐르는 미세 계조 지정 전류는 쉽게 계조/제어될 수 있다. 트랜지스터(61)의 채널 저항 대 트랜지스터(62)의 채널 저항의 비는 이하에서 전류 감소비로서 언급될 것이다.

다음으로, 상기와 같이 구성된 표시장치(101)의 동작에 관하여 설명할 것이다. 제 1 실시예와 동일한 방식으로, 도 8에 도시된 바와 같이, 선택 주사 구동기(5)와 전원 주사 구동기(6)는 제 1행으로부터 제 m행으로 펄스 신호를 선형으로 연속적으로 쉬프트한다.

반면에, 도 11에 도시된 바와 같이, 제 (i-1)행의 선택 주기(T<sub>sel</sub>)의 종료로부터 제 i행의 선택 주기(T<sub>sel</sub>)의 시작까지, 즉, 리셋 주기(T<sub>reset</sub>)내에서, 쉬프트 레지스터(103)는 출력 단자(R<sub>j</sub>)로부터 출력 단자(R<sub>n</sub>)로 트랜지스터(U<sub>j</sub> 내지 U<sub>n</sub> 및 W<sub>j</sub> 내지 W<sub>n</sub>)의 온-레벨의 펄스 신호를 쉬프트한다. 쉬프트 레지스터(103)가 펄스 신호를 쉬프트하는 동안, 스위치 신호 입력 단자(140)의 스위치 신호(φ)의 전압 레벨은 트랜지스터(31)의 오프 레벨에 대응하고, 트랜지스터(32)의 온 레벨의 하이 레벨(H)에서 유지된다. 그러므로, 리셋 주기

( $T_{reset}$ )내에서, 신호선( $Y_i$  내지  $Y_n$ )내에, 전압은 리셋 전압 입력 단자(141)로부터 리셋 전압( $V_R$ )으로 빠르게 바뀐다.

여기에서, 쉬프트 레지스터(103)는 출력 단자( $A_i$ )에 온 레벨의 펄스 신호를 출력할 때, 계조 신호 입력 단자(170)는 제  $i$ 행과 제  $j$ 열의 계조 휘도를 지정하는 레벨의 계조 신호를 입력한다. 이 때, 제  $j$ 열의 트랜지스터( $U_j$  및  $W_j$ )가 온 상태를 갖기 때문에, 제  $i$ 행과 제  $j$ 열의 계조 휘도를 위한 값을 나타내는 전류값의 계조 신호는 전류 미러 회로( $M_j$ )내로 입력되어, 트랜지스터(61 및 62)가 온 상태가 되고, 계조 신호의 전류값에 따른 크기를 갖는 전하는 캐퍼시터(30)에 충전된다. 즉, 트랜지스터( $U_j$  및  $W_j$ )는 제  $j$ 열의 선택 시간에서 전류 미러 회로( $M_j$ )내로 계조 신호를 갖도록 하기 위하여 작용한다.

트랜지스터(61)가 온 상태가 될 때, 전류 미러 회로( $M_j$ )내에서, 전류는 계조 신호 입력 단자(170) → 트랜지스터(61) → 저전압 입력 단자(142)를 통해 흐른다. 계조 신호 입력 단자(170) → 트랜지스터(61) → 저전압 입력 단자(142)를 통해 흐르는 전류의 전류값은 계조 신호에 따른다.

이 때, 스위치 신호 입력 단자(140)의 레벨이 트랜지스터(31)의 오프 레벨에 대응하기 때문에, 제  $j$ 열의 트랜지스터(31)가 오프 상태가 되고, 전류 미러 회로( $M_j$ )와 신호선( $Y_j$ )을 통해 흐르는 계조 지정 전류는 흐르지 않는다.

결과적으로, 쉬프트 레지스터(103)가 출력 단자( $A_{j-1}$ )에 펄스 신호를 출력할 때, 제  $i$ 행과 제 ( $j+1$ )열의 계조 휘도를 위한 값을 지정하는 전류값의 계조 신호가 입력된다. 제  $j$ 열에서와 동일한 방식으로, 계조 신호의 전류값에 따른 크기를 갖는 전하는 제 ( $j+1$ )열의 캐퍼시터(30)내에 충전된다. 이 경우, 제  $j$ 열의 트랜지스터( $U_j$  및  $W_j$ )가 오프 상태가 될지라도, 제  $j$ 열의 캐퍼시터(30)내에 충전된 전하는 트랜지스터( $U_j$ )에 의해 구속되고, 그러므로 제  $j$ 열의 트랜지스터(61 및 62)는 온 상태를 유지한다. 즉, 트랜지스터( $U_j$ )는 제  $j$ 열의 선택 시간에서, 심지어 제  $j$ 열의 비-선택 시간에서도 계조 신호의 전류의 전류값에 따라 게이트 전압 레벨을 유지하기 위하여 작용한다.

상기한 바와 같이, 쉬프트 레지스터(103)가 펄스 신호를 쉬프트할 때, 계조 신호의 전류값에 따른 크기를 갖는 전하가 연속적으로 제 1열의 캐퍼시터(30)로부터 제  $n$ 열의 캐퍼시터(30)내로 충전된다. 제  $n$ 열의 캐퍼시터(30)내로 충전이 종료될 때, 쉬프트 레지스터(103)의 쉬프트가 일단 종료하고, 스위치 신호 입력 단자(140)의 스위치 신호( $\phi$ )는 하이 레벨로부터 오프 레벨로 스위치한다. 트랜지스터(31)의 모두가 동시에 온 상태가 되고, 트랜지스터(32)의 모두가 오프 상태가 된다. 이 때, 전하는 모든 열의 캐퍼시터(30)내에 충전되기 때문에, 트랜지스터(61, 62)는 온 상태가 된다. 나아가, 이 시간이 제  $i$ 행의 선택주기이기 때문에, 계조 지정 전류는 전원 주사선( $Z_i$ ) → 트랜지스터(23) → 트랜지스터(21) → 신호선( $Y_i$  내지  $Y_n$ ) → 트랜지스터(62) → 제  $i$ 행의 모든 픽셀 회로( $D_{i,1}$  내지  $D_{i,n}$ )내의 저전압 입력 단자(142)를 통해 흐른다. 이 때, 제 1열 내지 제  $n$ 열의 어느 열에서, 전원 주사선( $Z_i$ ) → 트랜지스터(23) → 트랜지스터(21) → 신호선( $Y_i$  내지  $Y_n$ ) → 트랜지스터(62) → 저전압 입력 단자(142)의 방향으로 흐르는 계조 지정 전류의 전류값은 계조 신호 입력 단자(170) → 트랜지스터(61) → 저전압 입력 단자(142)의 방향으로 흐르는 전류에 전류 미러 회로( $M_j$ )의 전류 감소비를 곱한 값이다.

신호선( $Y_i$  내지  $Y_n$ )의 어느 것에서, 고휘도를 갖는 상대적으로 고계조 지정 전류가 이전 행의 선택 주기( $T_{sc}$ )내에서 통과되고, 전하는 트랜지스터(23)의 소스(23)로부터 신호선( $Y_i$ )으로 전류 경로의 캐퍼시터내에서 축적되며, 전위가 낮아진다. 이 경우에, 다음 선택 주기( $T_{sc}$ )내에서 흐르는 계조 지정 전류의 전류값이 작을 때라도, 전류 경로의 전위는 이전 리셋 주기( $T_{reset}$ )내에서 인가된 리셋 전압( $V_R$ )에 의하여 높게 된다. 그러므로, 신호선( $Y_i$  내지  $Y_n$ )의 전위를 계조 신호 전류에 따른 전위에서 정적 상태로 빠르게 설정하는 것이 가능하다.

결과적으로, 선택 주사 구동기(5)와 전원 주사 구동기(6)의 펄스 신호는 제 ( $i+1$ )행으로 쉬프트되고, 제  $i$ 행의 비-선택 주기( $T_{sc}$ )가 얻어진다. 제 1 실시예와 동일한 방식으로, 제  $i$ 행의 유기 EL 소자( $E_{i,1}$  내지  $E_{i,n}$ )는 업데이트된다.

결과적으로, 스위치 신호 입력 단자(140)는 하이 레벨에 이르고, 쉬프트 레지스터(103)는 유사하게 제 1열로부터 제  $n$ 열로 펄스 신호의 쉬프트를 반복한다. 따라서, 제 ( $i+1$ )행의 유기 EL 소자( $E_{i+1,1}$  내지  $E_{i+1,n}$ )의 계조 휘도를 업데이트하기 위하여, 전하는 연속적으로 제 1열로부터 제  $n$ 열의 캐퍼시터(30)내에 충전된다.

제 2 실시예에서, 전류 미러 회로( $M_j$ )가 표시부(4)의 외부에 배치되기 때문에, 각 픽셀에 배치되는 트랜지스터의 수가 최소화될 수 있고, 픽셀의 수직상의 간극이 벌어지는 것이 방지될 수 있다. 전류 미러 회로( $M_j$ )가 배치되기 때문에, 계조 신호 입력 단자(170)내의 외부 노이즈 또는 기생 캐퍼시터로 인하여 계조 신호가 원래 출력된 전류값에서 약간 벗어나게 되고, 신호선( $Y_i$ )의 계조 지정 전류값의 편차는 전류 감소비에 따라서 최소화되고, 나아가 유기 EL 소자(E)의 휘도 계조의 편차가 억제될 수 있다.

도 10에 도시된 실시예에서, 전류 미러 회로( $M_n$  내지  $M_n$ )를 제어하는 트랜지스터( $U_i$  내지  $U_n$ )가 배치된다. 그러나, 도 12에 도시된 바와 같이, 트랜지스터( $W_1$  내지  $W_n$ )의 소스 전극은 트랜지스터(61)의 드레인 전극, 트랜지스터(62)의 게이트 전극에 연결되어, 트랜지스터( $U_i$  내지  $U_n$ )는 생략될 수 있다.

상기한 실시예에서, 스위치 회로( $S_i$  내지  $S_n$ )는  $N$ 채널 및  $P$ 채널 트랜지스터의 CMOS 구조를 포함하나, 도 13에 도시된 바와 같이 전류 미러 회로( $M_1$  내지  $M_n$ )와 동일 채널형의 트랜지스터가 배치된다. 전류/전압 변환부(107)의 트랜지스터는 단지 단일-채널형 트랜지스터를 포함할 수 있다. 이러한 방식으로, 전류/전압 변

환부(107)의 제2 공정을 단순화시키는 것이 가능하다.

나아가, 전류/전압 변환부(107)의 트랜지스터의 채널형은 표시부(4)내의 트랜지스터(21 내지 23)의 채널형과 동일하다. 그 때, 전류/전압 변환부(107)내의 트랜지스터는 표시부(4)내에 트랜지스터(21 내지 23)로 집합적으로 형성될 수 있다. 만약 표시부(4)의 트랜지스터(21 내지 23)의 채널형과 동일한 채널형의 트랜지스터가 전류/전압 변환부(107)내에 부분적으로 배치된다면, 트랜지스터는 당연히 동시에 형성될 수 있다.

도 13에 도시된 표시장치(201)내에서, 스위치 회로( $S_1$  내지  $S_n$ )의 각각은 스위치 신호( $\phi$ )가 입력되는 스위치 신호 입력 단자(140)에 연결되는 N채널형 트랜지스터(132): 스위치 신호( $\phi$ )의 반전 신호로서 스위치 신호( $-\phi$ )(-는 논리 부정임)가 입력되는 스위치 신호 입력 단자(143)에 연결되는 P채널형 트랜지스터(131)로 구성된다.

도 14에 도시된 바와 같이, 트랜지스터(131)는 스위치 신호( $-\phi$ )에 의하여 선택 주기( $T_{off}$ )내에서 온 상태가 되고, 미세 계조 지정 전류를 전원 주사선( $Z_1$  내지  $Z_n$ ), 트랜지스터(23), 트랜지스터(21), 신호선( $Y_1$  내지  $Y_n$ ), 트랜지스터(62), 및 저전압 입력 단자(142)로 통과시키기 위한 스위치로서 작용하고, 리셋 주기( $T_{reset}$ )내에서 오프 상태가 된다. 트랜지스터(132)는 스위치 신호( $\phi$ )에 의하여 선택 주기( $T_{on}$ )내에서 오프 상태가 되고, 리셋 주기( $T_{reset}$ )내에서 온 상태가 되며, 신호선( $Y_1$  내지  $Y_n$ )에 리셋 전압( $V_{rs}$ )을 인가하기 위한 스위치로서 작용한다. 도 1에 도시된 스위치 회로( $S_1$  내지  $S_n$ )내에서, 동일한 채널형의 트랜지스터(131, 132)가 사용될 수 있다. 각 트랜지스터(131)는 스위치 신호 입력 단자(143)에 연결될 수 있고, 스위치 신호 입력 단자(140)는 각 트랜지스터(132)에 연결될 수 있다. 이러한 경우에 있어서도, 유사한 효과가 얻어질 수 있다.

도 13에 도시된 실시예내에서, 전류 미러 회로( $M_1$  내지  $M_n$ )를 제어하기 위한 트랜지스터( $U_1$  내지  $U_n$ )가 배치된다. 그러나, 도 15에 도시된 바와 같이, 트랜지스터( $W_1$  내지  $W_n$ )의 소스 전극이 트랜지스터(61)의 드레인 전극, 트랜지스터(61)의 게이트 전극, 및 트랜지스터(62)의 게이트 전극에 연결될 때, 트랜지스터( $U_1$  내지  $U_n$ )는 생략될 수 있다.

본 발명은 상기한 실시예에 국한되지 않고, 본 발명의 범위를 벗어나지 않는 범위내에서 다양한 변형이 가능하다.

예를 들어, 표시장치(1)에서, 계조 휘도는 픽셀( $P_{i,j}$ )로부터 추출된 싱크 전류의 전류값에 의하여 픽셀( $P_{i,j}$ )내에 지정된다. 그러나, 역으로, 전류는 신호선( $Y_j$ )으로부터 픽셀( $P_{i,j}$ )을 통해 통과될 수 있고, 픽셀( $P_{i,j}$ )은 전류의 전류값에 따른 계조 휘도에서 발광할 수 있다. 이러한 능동형 매트릭스 구동 시스템의 표시장치가 또한 사용될 수 있다.

이러한 경우에도, 스위치 회로는 각 행의 선택 주기내에서 신호선을 통해 데이터 구동기의 지정 전류를 통과시키고, 일정한 레벨의 정전압이 신호 주기 사이에 리셋 주기내에서 신호선에 인가된다. 그러나, 휘도 계조가 더 높을 때, 신호선 전압은 높고, 신호선 전류는 크다. 휘도 계조가 낮을 때, 신호선 전압은 낮고 신호선 전류는 작다. 그러므로, 전압들( $V_{a1}$ ,  $V_{a2}$ ,  $V_{nab}$ )이 도 8b에서 수직축상으로 역전되는 전위 관계가 얻어진다. 리셋 전압( $V_{rs}$ )은 바람직하게, 유기 EL 소자( $E_{1,1}$  내지  $E_{n,n}$ )가 선택 주기( $T_{on}$ )내에서 가장 밝은 최대 계조 휘도( $L_{max}$ )에서 발광할 때, 유기 EL 소자( $E_{1,1}$  내지  $E_{n,n}$ )를 통해 흐르는 최대 계조 구동 전류( $I_{max}$ )와 동일한 전류값을 갖는 계조 지정 전류에 의하여 신호선( $Y_1$  내지  $Y_n$ )에 충전된 전하에 따라서 정적으로 설정된 최고 계조 전압( $V_{rsb}$ )보다 적어도 더 낮은 전압으로 설정된다. 리셋 전압을 바람직하게, 각 유기 EL 소자( $E_{1,1}$  내지  $E_{n,n}$ )가 가장 어두운 최소 계조 휘도( $L_{min}$ )(추가적으로, 전류값은 0A를 초과함)를 가질 때 유기 EL 소자( $E_{1,1}$  내지  $E_{n,n}$ )를 통해 흐르는 최소 계조 구동 전류( $I_{min}$ )의 전류값과 동일한 전류값을 갖는 계조 지정 전류에 의하여 신호선( $Y_1$  내지  $Y_n$ )내에 충전된 전하에 따라 정적으로 설정된 최저 계조 전압( $V_{rsb}$ )과 최고 계조 전압( $V_{rsb}$ )의 중간값을 갖는 중간 전압과 동일하거나 더 작게 설정되고, 보다 바람직하게 최저 계조 전압( $V_{rsb}$ )과 동일하거나 더 낮은 값으로 설정된다.

나아가, 이러한 경우에, 픽셀( $P_{i,j}$ )의 휘도는 적절하게 변경될 수 있다. 주사선이 선택될 때, 신호선을 통해 흐르는 지정 전류는 지정 전류의 전류값을 전압 레벨로 변환하는 픽셀 회로를 통해 통과된다. 주사선이 선택되지 않을 때, 주사선을 통해 흐르는 지정 전류는 차단된다. 주사선이 선택되지 않을 때 변환된 전압 레벨은 유지된다. 나아가, 유기 EL 소자를 통하여 유지되는 전압 레벨에 따른 레벨을 갖는 구동 전류를 통과시키기 위한 픽셀 회로는 바람직하게 각 유기 EL 소자의 주위에 배치된다.

그 실시예에서, 유기 EL 소자는 발광소자로서 사용된다. 그러나, 예를 들어, 역 바이어스 전압이 인가될 때 전류가 흐르지 않는 반면 정 바이어스 전압이 인가될 때 전류가 흐르고 내부에 흐르는 전류의 크기에 따른 휘도에서 발광할 수 있는 발광소자가 사용될 수 있다. 발광소자의 예는 유기 EL 소자와 다른 발광 다이오드(LED) 소자를 포함할 수 있다.

본 발명에 따라서, 소정의 행의 픽셀이 선택될 때, 계조 전류는 각 신호선을 통해 흐른다. 이전 행의 픽셀에 대하여 신호선을 통해 흐르는 계조 전류에 의하여 정적으로 설정된 전압과 다음 행의 픽셀에 대하여 신호선을 통해 통과된 계조 전류에 의하여 정적으로 설정된 전압 사이의 차이가 크고, 다음 픽셀의 계조 전류의 전류값이 작을 때 조차도, 리셋 전압은 다음 행 이전에 신호선에 인가되어, 그에 따라 신호선이 다음 행을 위한 계조 전류에 따른 전압에서 빠르게 정적으로 설정될 수 있다.

그러므로, 다음 주사선이 선택된 후에, 발광소자를 통해 흐르는 구동 전류의 전류값은 지정 전류의 전류값과 동일하고, 발광소자는 원하는 휘도에서 발광한다. 즉, 각 주사선이 선택되는 주기가 길어짐이 없이, 발

광소자는 원하는 휘도에서 발광한다. 그러므로, 표시 스크린은 깜빡이지 않고, 표시장치의 화질이 높아진다.

#### 산업상이용가능성

본 발명은 원하는 휘도에서 고휘도로 표시할 수 있는 발광소자 표시장치로 사용될 수 있다.

#### (57) 청구의 범위

##### 청구항 1

복수의 행에 배열된 복수의 주사선과 복수의 열에 배열된 복수의 신호선의 교차부에 배치되고 상기 신호선으로부터의 계조 전류에 따라서 흐르는 구동 전류에 의하여 광학적으로 동작하는 광소자를 포함하는 복수의 픽셀;

상기 계조 전류에 의하여 상기 신호선에 충전된 전하에 따라 상기 신호선의 전위를 리셋 전압으로 설정하기 위한 리셋 수단;을 포함하는 표시장치.

##### 청구항 2

제 1항에 있어서, 상기 리셋 수단은

소정의 행의 선택 주기내에서 신호선을 통해 상기 계조 전류를 통과시키는 수단; 및

상기 신호선의 전위를 상기 선택 주기 이후와 다음 행의 선택 주기 이전의 상기 리셋 전압으로 설정하는 수단을 포함하는 표시장치.

##### 청구항 3

제 1항에 있어서, 상기 리셋 수단은

상기 신호선을 통해 상기 계조 전류를 통과시키는 계조 전류를 위한 트랜지스터; 및

상기 신호선의 전위를 상기 리셋 전압으로 설정하는 리셋 전압을 위한 트랜지스터를 포함하는 표시장치.

##### 청구항 4

제 1항에 있어서, 상기 리셋 수단은 상기 계조 신호에 따라서 상기 계조 전류를 생성하는 전류 미러 회로를 포함하는 표시장치.

##### 청구항 5

제 4항에 있어서, 쉬프트 레지스터를 더 포함하고,

여기서 상기 리셋 수단은 상기 쉬프트 레지스터로부터의 상기 계조 신호에 따라서 각 열에 대응하는 상기 전류 미러 회로에 상기 계조 신호를 제공하기 위한 계조 신호 스위치 수단을 포함하는 표시장치.

##### 청구항 6

제 1항에 있어서, 데이터 구동기를 더 포함하고,

여기서 상기 리셋 수단은 상기 데이터 구동기로부터 상기 신호선을 통해 상기 계조 전류를 통과시키는 계조 전류를 위한 트랜지스터; 및

상기 신호선의 전위를 상기 리셋 전압으로 설정하는 리셋 전압을 위한 트랜지스터를 포함하는 표시장치.

##### 청구항 7

제 1항에 있어서, 상기 리셋 전압은 상기 신호선내의 최고 계조 전압보다 더 높은데, 여기서 상기 최고 계조 전압은 상기 광소자를 통해 흐르는 최고 계조 구동 전류와 동일한 상기 계조 전류가 상기 신호선내에서 정적인 경우 전압인 표시장치.

##### 청구항 8

제 1항에 있어서, 상기 리셋 전압은 상기 광소자를 통해 흐르는 최고 계조 구동 전류와 동일한 계조 전류가 상기 신호선내에서 정적인 경우의 전압인 상기 신호선내의 최고 계조 전압과 상기 광소자를 통해 흐르는 최저 계조 구동 전류와 동일한 계조 전류가 상기 신호선내에서 정적인 경우의 전압인 최저 계조 전압 사이의 전압인 표시장치.

##### 청구항 9

제 1항에 있어서, 상기 리셋 전압은 상기 신호선내의 최저 계조 전압과 동일하고, 여기서 상기 최저 계조 전압은 상기 광소자를 통해 흐르는 최저 계조 구동 전류와 동일한 계조 전류가 상기 신호선내에서 정적인 경우의 전압인 표시장치.

##### 청구항 10

제 1항에 있어서, 상기 픽셀의 각각은 상기 광소자에 상기 구동 전류를 제공하는 픽셀 회로를 포함하는 표시장치.

##### 청구항 11

제 10항에 있어서, 소정의 행의 픽셀내에 상기 픽셀 회로는

상기 소정의 행의 선택 주기내에서 상기 신호선을 통해 흐르는 상기 게조 전류에 따라서 전하를 보유하기 위한 전하 보유 수단;

상기 소정의 행의 상기 선택 주기 이후에 상기 광소자를 통해 상기 전하 보유 수단에 의하여 보유된 전하에 따라서 상기 게조 전류의 전류값과 동일한 전류값을 갖는 구동 전류를 통과시키기 위한 구동 전류 스위치 수단; 및

상기 구동 전류 스위치 수단을 경유하여 상기 신호선을 통하여 흐르는 상기 게조 전류의 흐름을 제어하기 위한 게조 전류 제어 스위치 수단을 포함하는 표시장치.

청구항 12

제 11항에 있어서, 상기 소정의 행의 픽셀내에 상기 픽셀 회로의 상기 게조 전류 제어 스위치 수단은

상기 전하 보유 수단내에 전하를 보유하는 상기 소정의 행의 선택 주기 내에서 상기 구동 전류 스위치 수단을 경유하여 상기 신호선을 통해 흐르는 상기 게조 전류를 통과시키는 수단; 및

상기 소정의 행의 발광 주기내에서 상기 구동 전류 스위치 수단을 통해 통과하는 상기 게조 전류를 정지시키는 수단을 포함하는 표시장치.

청구항 13

제 11항에 있어서, 상기 구동 전류 스위치 수단은 트랜지스터를 갖는 표시장치.

청구항 14

제 11항에 있어서, 상기 구동 전류 스위치 수단은 구동 트랜지스터를 갖고,

상기 게조 전류 제어 스위치 수단은

소스와 드레인이 상기 신호선과 상기 구동 트랜지스터의 상기 소스에 각각 연결되는 전류 경로 제어 트랜지스터; 및

소스가 상기 구동 트랜지스터의 게이트에 연결되는 데이터 기록 제어 트랜지스터를 포함하는 표시장치.

청구항 15

제 14항에 있어서, 상기 리셋 전압은 상기 신호선의 최고 게조 전압 보다 더 높고,

여기서, 상기 최고 게조 전압은 상기 광소자를 통해 흐르는 최고 게조 구동 전류와 동일한 상기 게조 전류가 상기 신호선내에서와 상기 구동 트랜지스터의 소스에서 정적인 표시장치.

청구항 16

제 14항에 있어서, 상기 리셋 전압은 상기 광소자를 통해 흐르는 최고 게조 구동 전류와 동일한 게조 전류가 상기 신호선내의 상기 구동 트랜지스터의 소스에서 정적인 경우의 전압인 상기 신호선내의 최고 게조 전압과 상기 광소자를 통해 흐르는 최저 게조 구동 전류와 동일한 게조 전류가 상기 신호선내의 상기 구동 트랜지스터의 소스에서 정적인 경우의 전압인 최저 게조 전압 사이의 전압인 표시장치.

청구항 17

제 14항에 있어서, 상기 리셋 전압은 상기 신호선내의 최저 게조 전압과 동일하고, 여기서 상기 최저 게조 전압은 상기 광소자를 통해 흐르는 최저 게조 구동 전류와 동일한 게조 전류가 상기 신호선내와 상기 구동 트랜지스터의 소스에서 정적인 경우의 전압인 표시장치.

청구항 18

제 14항에 있어서, 상기 리셋 전압은, 상기 광소자가 광학 동작을 나타낼 때, 상기 구동 트랜지스터의 드레인에 인가되는 전압과 동일한 표시장치.

청구항 19

제 1항에 있어서, 상기 광소자는 유기 EL 소자인 표시장치.

청구항 20

제 1항에 있어서, 상기 광소자는 발광 다이오드를 포함하는 표시장치.

청구항 21

제 1항에 있어서, 상기 구동 전류의 전류값은 상기 게조 전류의 전류값과 동일한 표시장치.

청구항 22

임의의 전류값을 얻도록 하기 위하여 전류가 제공되는 복수의 신호선;

상기 신호선을 경유하여 흐르는 상기 전류의 전류값에 따라서 각각이 광학적으로 동작하는 복수의 광소자; 및

상기 신호선을 통해 흐르는 전류의 전류값을 상기 신호선에 정적이 되도록 설정하는 경전압을 제공하기 위한 경전압 제공 수단을 포함하는 표시장치.

## 청구항 23

제 22항에 있어서, 상기 정전압 제공 수단은

임의의 전류값을 갖는 전류를 통과시키는 계조 전류를 위한 트랜지스터; 및

상기 신호선의 전위를 상기 리셋 전압으로 설정하는 리셋 전압을 위한 트랜지스터를 포함하는 표시장치.

## 청구항 24

제 22항에 있어서, 상기 신호선을 통해 흐르는 전류가 임의의 전류값을 갖도록 허용하는 구동 회로를 더 포함하는 표시장치.

## 청구항 25

제 22항에 있어서, 상기 구동 전류는 전류 미러 회로를 포함하는 표시장치.

## 청구항 26

제 22항에 있어서, 상기 정전압 제공 수단에 의하여 인가되는 상기 정전압은 상기 선택 주기내에서 상기 신호선을 통해 흐르는 전류에 의하여 상기 신호선에 연결된 캐퍼시티브내에 축적된 전하가 비-선택 주기내에서 소정의 전하량을 갖도록 허용하는 전압인 표시장치.

## 청구항 27

제 22항에 있어서, 상기 정전압 제공 수단에 의하여 인가된 상기 정전압은 상기 신호선을 통해 흐르는 최대 전류에 의하여 신호선에 연결되는 캐퍼시티브내에 축적된 전하를 소정의 전하량으로 대체하는 전압인 표시장치.

## 청구항 28

제 22항에 있어서, 상기 정전압 제공 수단에 의하여 인가된 상기 정전압은 상기 선택 주기내에서 상기 신호선을 통해 흐르는 전류에 의하여 상기 신호선에 연결되는 캐퍼시티브내에 축적된 전하가 상기 선택 주기들 사이의 비-선택 주기내에서 소정의 전하량을 갖도록 허용하는 전압이고, 그리하여 상기 신호선을 통해 흐르는 전하의 전류값은 상기 다음 선택 주기 이전에 정적인 표시장치.

## 청구항 29

복수의 행으로 배열된 복수의 주사선과 복수의 열로 배열된 복수의 신호선의 교차부내에 배치되고 상기 신호선으로부터 계조 전류에 따라서 흐르는 구동 전류에 의하여 광학적으로 동작하는 광소자를 포함하는 복수의 픽셀로 구성된 표시장치의 구동방법이고, 여기서 상기 방법은

상기 신호선을 통해 상기 계조 전류를 통과시키는 계조 전류 단계; 및

상기 계조 전류에 의하여 상기 신호선에 충전된 전하에 따라서 전위를 리셋 전압으로 대체하는 리셋 전압 단계를 포함하는 표시장치의 구동방법.

## 청구항 30

제 29항에 있어서, 상기 계조 전류 단계는 상기 선택 주기내에서 수행되고, 상기 광소자의 각각은 상기 선택 주기 이후에 상기 계조 전류에 따라서 흐르는 상기 구동 전류에 의하여 광학적으로 동작하는 구동방법.

## 청구항 31

제 29항에 있어서, 상기 리셋 전압 단계는 상기 신호선을 통해 흐르는 소정의 행의 상기 픽셀을 위한 계조 전류 이후에 상기 신호선을 통해 흐르는 그 다음 행의 상기 픽셀을 위한 계조 전류 이전에 수행되는 표시장치의 구동방법.

## 청구항 32

제 29항에 있어서, 상기 복수의 픽셀 각각은 상기 광소자에 상기 구동 전류를 제공하는 픽셀 회로를 포함하는 표시장치의 구동방법.

## 청구항 33

제 32항에 있어서, 상기 소정의 행의 픽셀내에 상기 픽셀 회로는

상기 소정의 행의 선택 주기내에서 상기 신호선을 통해 흐르는 상기 계조 전류에 따라서 전하를 보유하기 위한 전하 보유 수단;

상기 소정의 행의 광동작 주기내에서 상기 광소자를 통해 상기 전하 보유 수단에 의하여 보유된 전하에 따라서 상기 계조 전류의 전류값과 같은 전류값을 갖는 전류를 통과시키기 위한 구동 전류 스위치 수단; 및

상기 구동 전류 스위치 수단을 경유하여 상기 신호선을 통해 흐르는 상기 계조 전류의 흐름을 제어하기 위한 계조 전류 제어 스위치 수단을 포함하는 표시장치의 구동방법.

## 청구항 34

제 33항에 있어서, 상기 소정의 행의 픽셀내에 상기 픽셀 회로의 상기 계조 전류 제어 스위치 수단은

상기 전하 보유 수단내에 전하를 보유하기 위하여 상기 소정의 행의 선택 주기내에서 상기 구동 전류 스위치 수단을 경유하여 상기 신호선을 통하여 흐르는 상기 계조 전류를 통과시키는 수단; 및

상기 소정의 행의 광동작 주기내에서 상기 구동 전류 스위치 수단을 통해 상기 게조 전류의 통과를 멈추게 하는 수단을 포함하는 표시장치의 구동방법.

청구항 35

제 29항에 있어서, 상기 광소자를 통해 흐르는 최고 게조 구동 전류의 전류값과 동일한 전류값을 갖는 게조 전류에 의하여 상기 신호선내에 충전된 전하에 따라서 정적인 최고 게조 전압 보다 더 높게 설정되고, 여기서 상기 최고 게조 구동 전류는 상기 광소자가 최고 게조에서 광동작을 수행하는 경우의 전류인 표시 장치의 구동방법.

청구항 36

제 29항에 있어서, 상기 구동 전류의 전류값은 상기 게조 전류의 전류값과 동일한 표시장치의 구동방법.

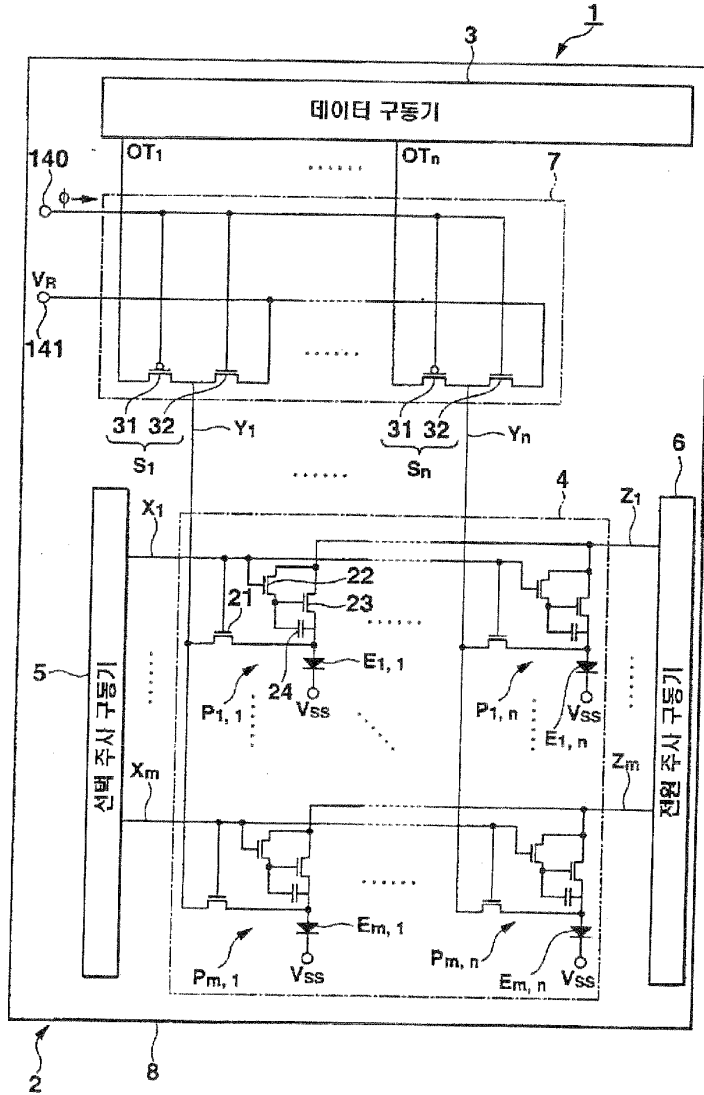
청구항 37

제 29항에 있어서, 상기 광소자는 유기 EL 소자를 갖는 표시장치의 구동방법.



도면

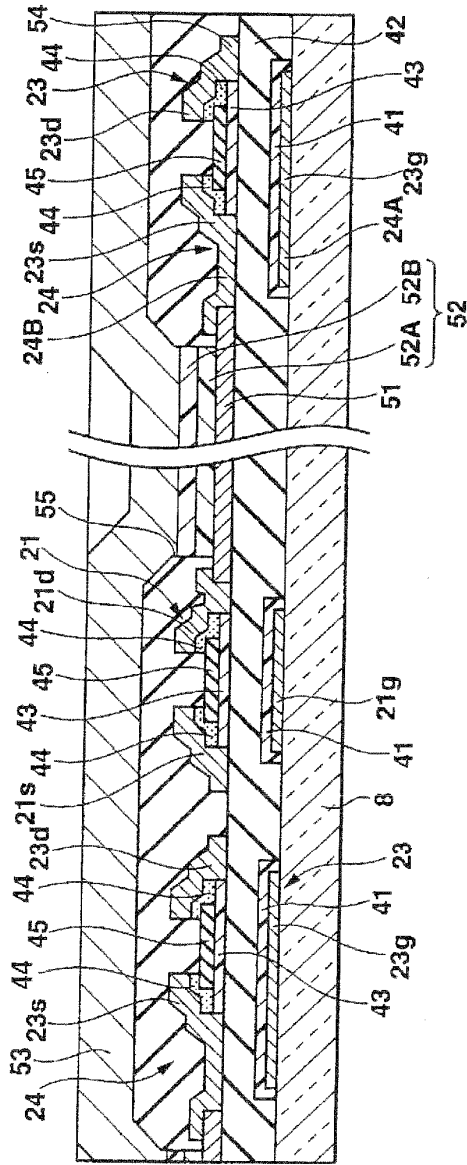
도면1



35-21

35-21

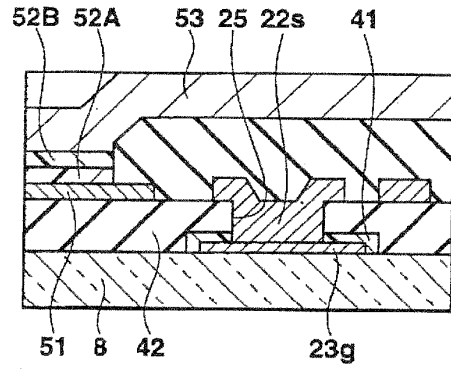
FIG 3



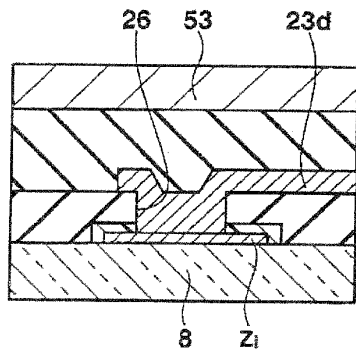
35-23

35-23

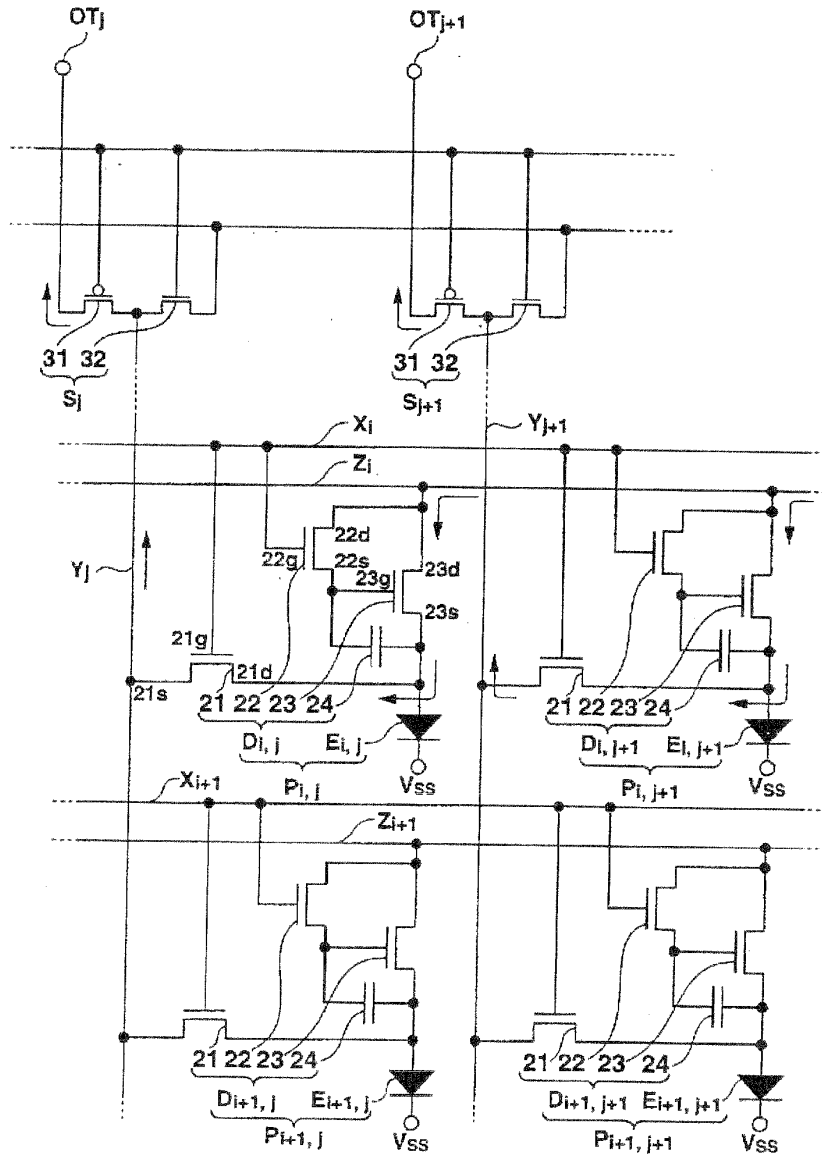
도 24



도 25



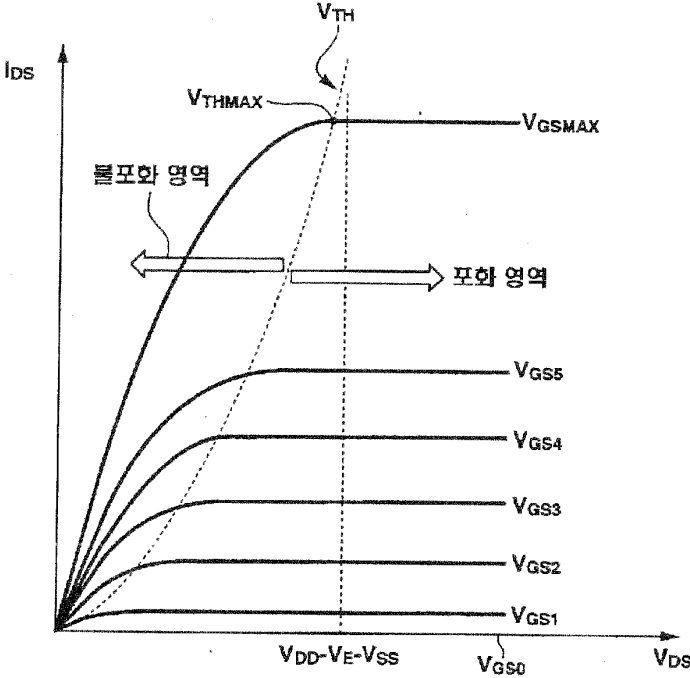
EE6



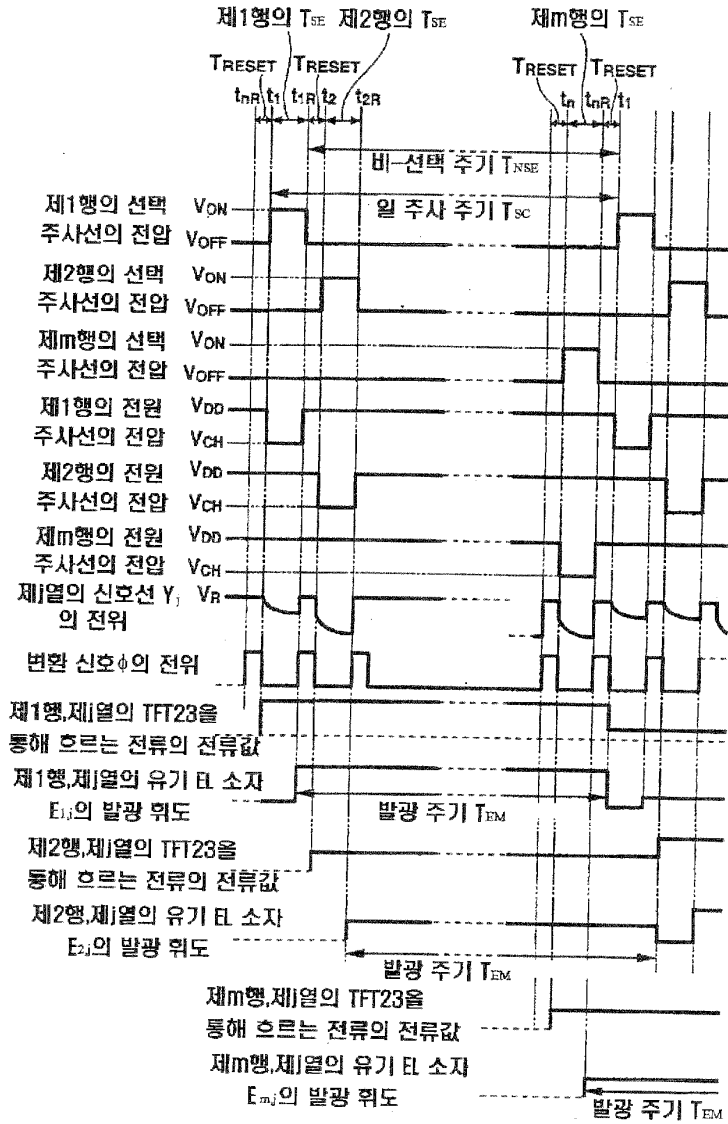
35-25

35-25

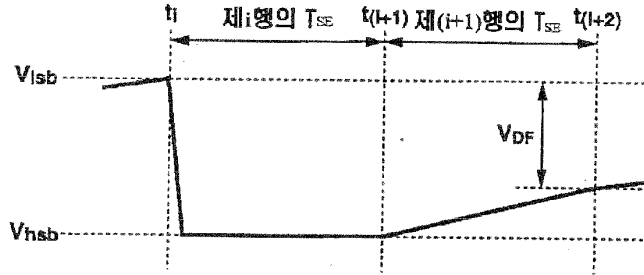
도 27



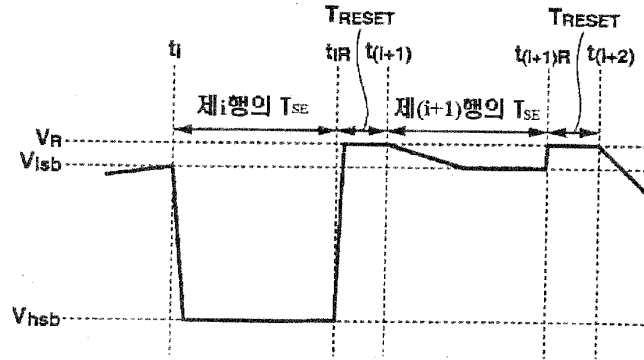
도면 8



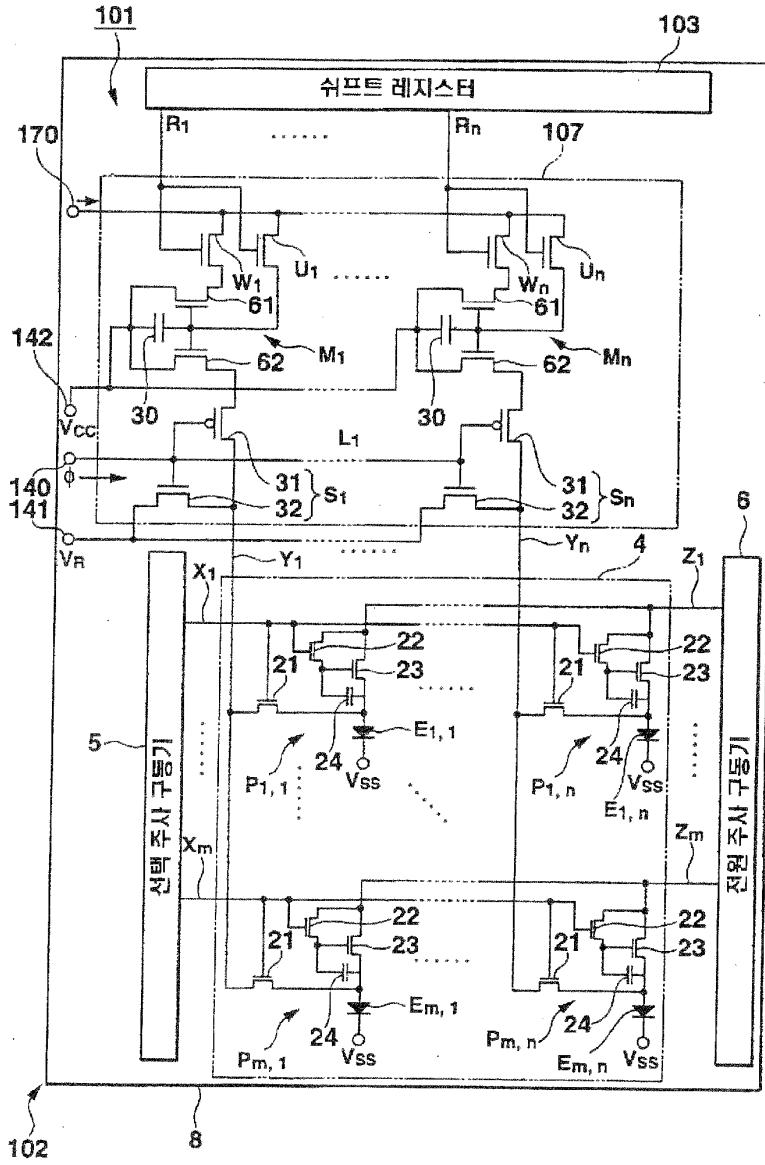
도면9a



도면9b

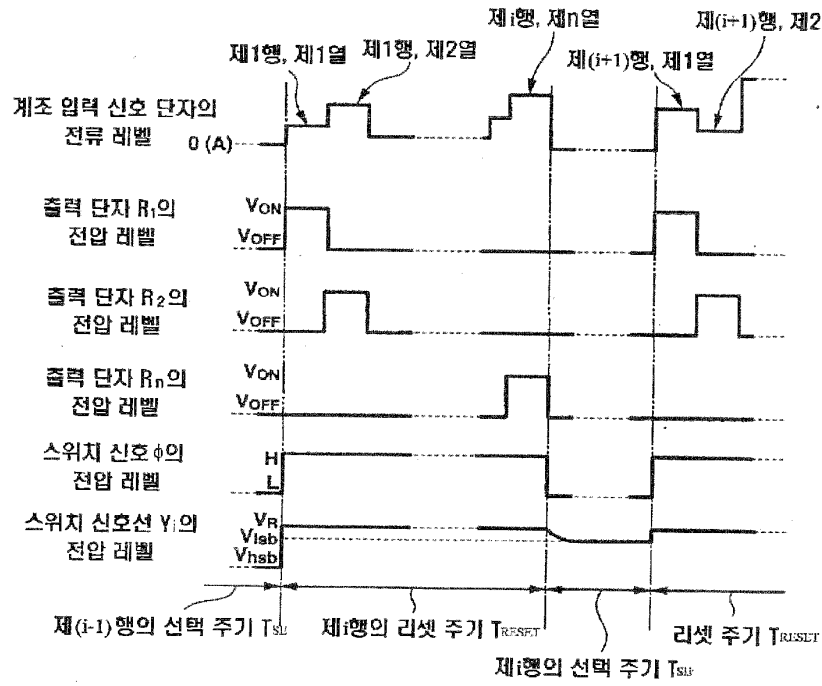


도면10

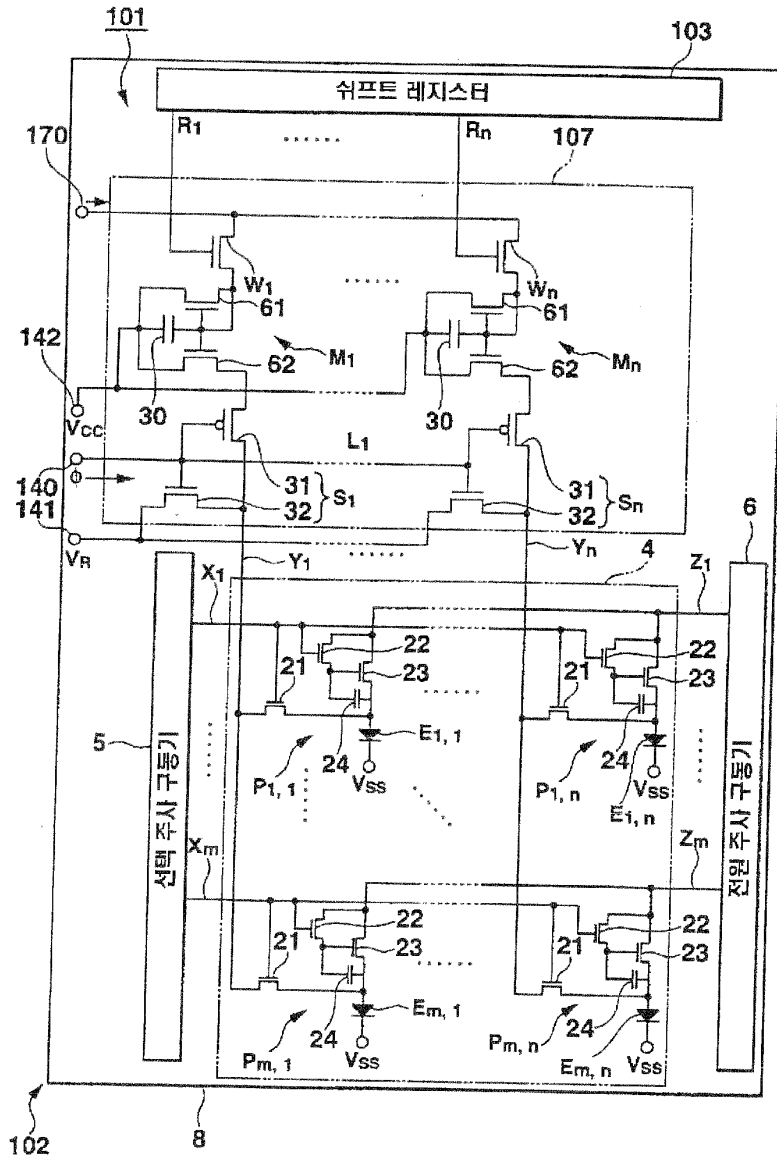




도면 11



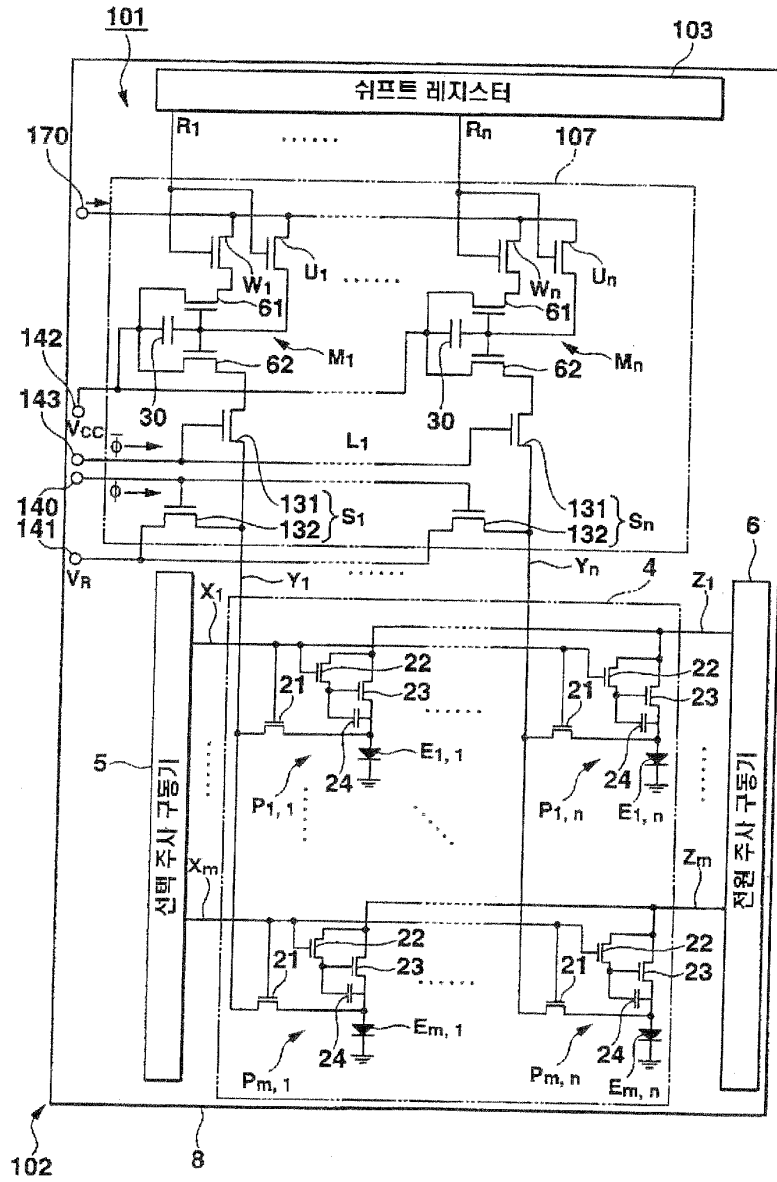
도면 12



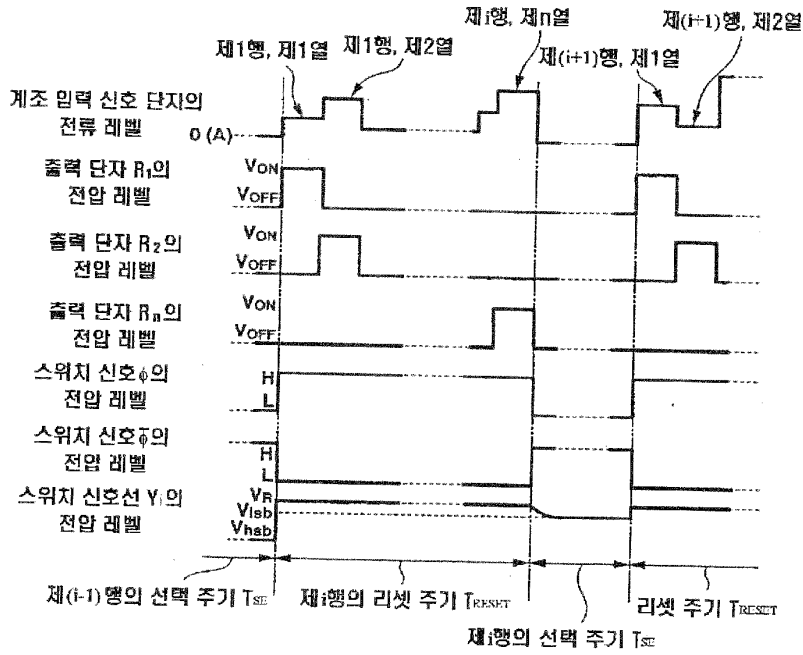
35-31

35-31

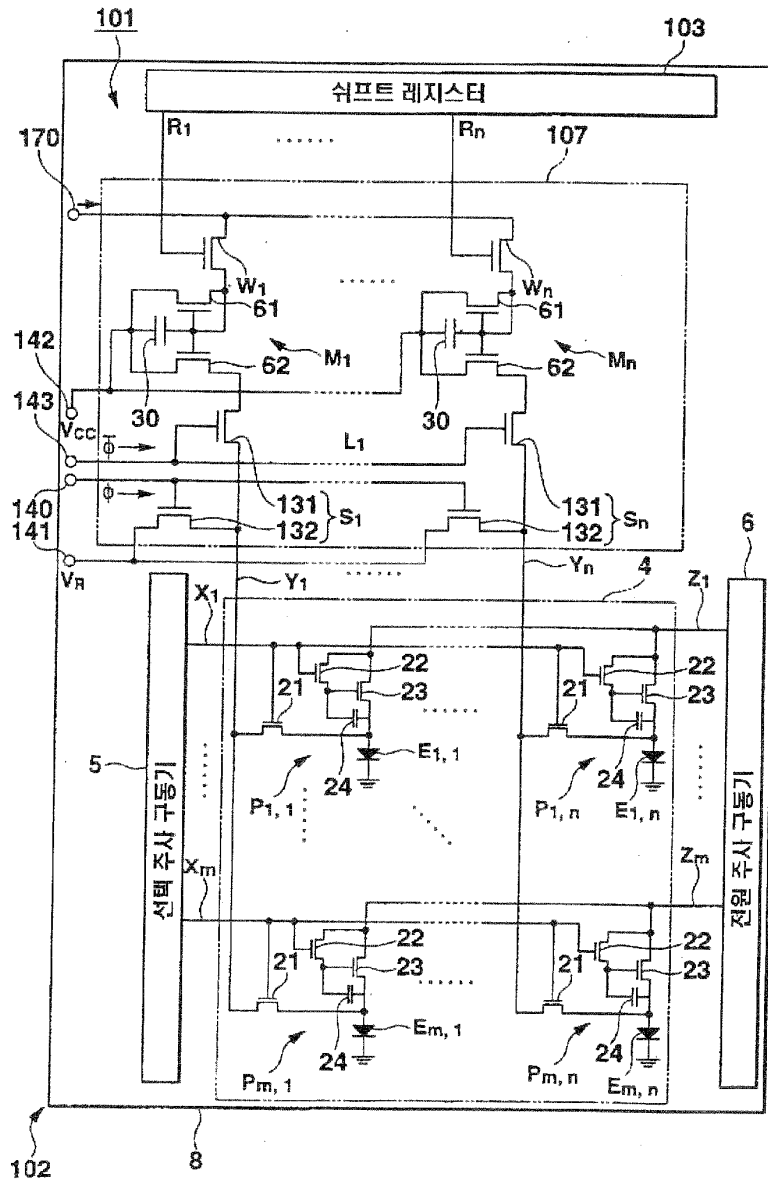
도면 13



도면 14



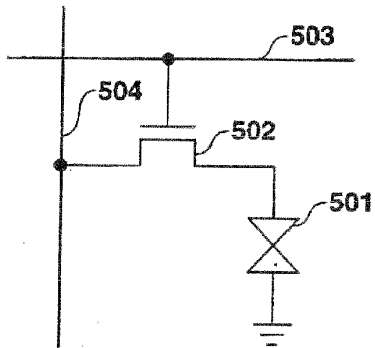
도면15



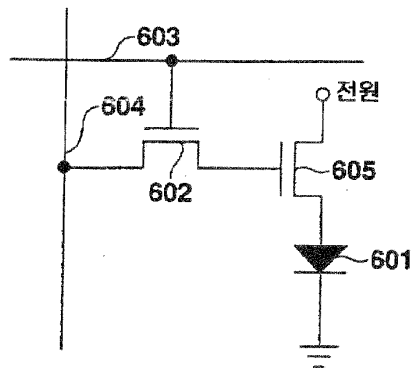
35-34

35-34

도면 16



도면 17



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-330600

(43)公開日 平成8年(1996)12月13日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786			H 0 1 L 29/78	6 1 6 V
H 0 5 B 33/26			H 0 5 B 33/26	

審査請求 未請求 請求項の数14 O L (全 11 頁)

(21)出願番号 特願平8-65774  
 (22)出願日 平成8年(1996)3月22日  
 (31)優先権主張番号 特願平7-65943  
 (32)優先日 平7(1995)3月24日  
 (33)優先権主張国 日本 (J P)

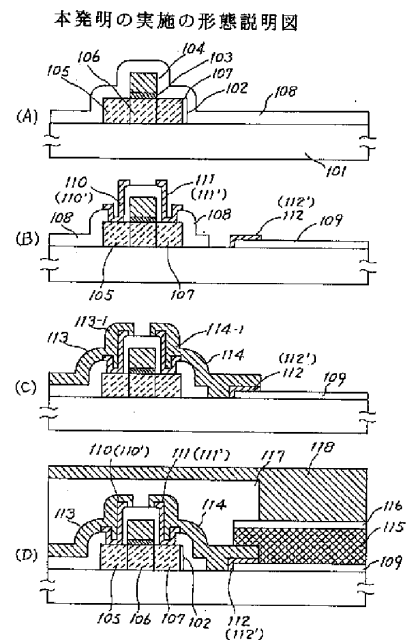
(71)出願人 000003067  
 ティーディーケイ株式会社  
 東京都中央区日本橋1丁目13番1号  
 (71)出願人 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72)発明者 山内 幸夫  
 神奈川県厚木市長谷398番地 株式会社半  
 導体エネルギー研究所内  
 (72)発明者 荒井 三千男  
 東京都中央区日本橋一丁目13番1号 ティ  
 ーディーケイ株式会社内  
 (74)代理人 弁理士 山谷 皓榮 (外2名)

(54)【発明の名称】 薄膜トランジスタ、有機ELディスプレイ装置及び有機ELディスプレイ装置の製造方法

(57)【要約】

【課題】有機ELディスプレイ装置の薄膜トランジスタにおいて、バリアメタルの溶出にもとづく短絡や断線を防止すること。

【解決手段】薄膜トランジスタのソース領域105またはドレイン領域107を構成するシリコン活性層102と、該シリコン活性層102に接続されるアルミニウム配線113、114との間に、チタンまたは窒素含有量が50atm%以下の窒化チタンよりなるバリアメタル110、111を設ける。



## 【特許請求の範囲】

【請求項1】ソースまたはドレインを構成するシリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、チタンよりなるバリアメタルを設けたことを特徴とする薄膜トランジスタ。

【請求項2】ソースまたはドレインを構成するシリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなるバリアメタルを設けたことを特徴とする薄膜トランジスタ。

【請求項3】有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリックス駆動型の有機ELディスプレイ装置であって、

前記電流制御用薄膜トランジスタは、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、チタンよりなるバリアメタルが設けられていることを特徴とする有機ELディスプレイ装置。

【請求項4】有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリックス駆動型の有機ELディスプレイ装置であって、

前記電流制御用薄膜トランジスタは、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなるバリアメタルを設けたことを特徴とする有機ELディスプレイ装置。

【請求項5】有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタと、前記電流制御用薄膜トランジスタのスイッチングを行うスイッチ用薄膜トランジスタを有するアクティブマトリックス駆動型の有機ELディスプレイ装置であって、

前記電流制御用薄膜トランジスタと、前記スイッチ用薄膜トランジスタのそれぞれにおいて、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、チタンよりなるバリアメタルを設けたことを特徴とする有機ELディスプレイ装置。

【請求項6】有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタと、前記電流制御用薄膜トランジスタのスイッチングを行うスイッチ用薄膜トランジスタを有するアクティブマトリックス駆動型の有機ELディスプレイ装置であって、

前記電流制御用薄膜トランジスタと、前記スイッチ用薄膜トランジスタのそれぞれにおいて、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなるバリアメタルを設けたことを特徴とする有機ELディスプレイ装置。

【請求項7】有機EL素子がマトリックス状に設けられた、アクティブマトリックス駆動型の有機ELディスプ

レイ装置であって、

前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、チタンよりなるバリアメタルを設けたことを特徴とする有機ELディスプレイ装置。

【請求項8】有機EL素子がマトリックス状に設けられた、アクティブマトリックス駆動型の有機ELディスプレイ装置であって、

前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなるバリアメタルを設けたことを特徴とする有機ELディスプレイ装置。

【請求項9】有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリックス駆動型の有機ELディスプレイ装置であって、

前記電流制御用薄膜トランジスタは、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、チタンよりなるバリアメタルが設けられており、

前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、チタンよりなる密着用金属が設けられていることを特徴とする有機ELディスプレイ装置。

【請求項10】有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリックス駆動型の有機ELディスプレイ装置であって、

前記電流制御用薄膜トランジスタは、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなるバリアメタルが設けられており、

前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなる密着用金属が設けられていることを特徴とする有機ELディスプレイ装置。

【請求項11】有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタと、前記電流制御用薄膜トランジスタのスイッチングを行うスイッチ用薄膜トランジスタを有するアクティブマトリックス駆動型の有機ELディスプレイ装置であって、

前記電流制御用薄膜トランジスタと、前記スイッチ用薄膜トランジスタのそれぞれにおいて、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、チタンよりなるバリアメタルが設けられており、

前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、チタンよりなる密着用金属が設けられていることを特徴とする有機EL



Lディスプレイ装置。

【請求項12】有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタと、前記電流制御用薄膜トランジスタのスイッチングを行うスイッチ用薄膜トランジスタを有するアクティブマトリクス駆動型の有機ELディスプレイ装置であって、前記電流制御用薄膜トランジスタと、前記スイッチ用薄膜トランジスタのそれぞれにおいて、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなるバリアメタルが設けられており、前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなる密着用金属が設けられていることを特徴とする有機ELディスプレイ装置。

【請求項13】有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリクス駆動型の有機ELディスプレイ装置を製造するに際し、前記電流制御用薄膜トランジスタのシリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に設けられたバリアメタルと、前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に設けられる密着用金属とがチタンにより同時に形成されることを特徴とする有機ELディスプレイ装置の製造方法。

【請求項14】有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリクス駆動型の有機ELディスプレイ装置を製造するに際し、前記電流制御用薄膜トランジスタのシリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に設けられたバリアメタルと、前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に設けられる密着用金属とが窒素を50atm%以下含有する窒化チタンにより同時に形成されることを特徴とする有機ELディスプレイ装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、有機エレクトロルミネセンス（EL）ディスプレイ装置に使用される薄膜トランジスタ、有機ELディスプレイ装置及びその製造方法に係り、有機ELディスプレイの信頼性を向上するものに関する。

【0002】

【従来の技術】近年において、有機EL素子を用いた、ディスプレイ装置が開発されている。有機EL素子を多数使用した有機ELディスプレイをアクティブマトリッ

クス回路により駆動する場合、各ELのピクセル（画素）には、このピクセルに対して供給する電流を制御するための薄膜トランジスタが一組ずつ接続される。

【0003】従来のアクティブマトリクス型の有機ELディスプレイ装置の回路図の一例を図4に示す。この有機ELディスプレイ装置は、X方向信号線301-1、301-2・・・、Y方向信号線302-1、302-2・・・、電源（Vdd）線303-1、303-2・・・、スイッチ用薄膜トランジスタ304-1、304-2・・・、電流制御用薄膜トランジスタ305-1、305-2・・・、有機EL素子306-1、306-2・・・、コンデンサ307-1、307-2・・・、X方向周辺駆動回路308、Y方向周辺駆動回路309等により構成される。

【0004】X方向信号線301、Y方向信号線302により画素が特定され、その画素においてスイッチ用薄膜トランジスタ304がオンにされる。これにより電流制御用薄膜トランジスタ305がオンにされ、電源線303より供給される電流により有機EL素子306に電流が流れ、これが発光される。

【0005】例えばX方向信号線301-1に画像データに応じた信号が出力され、Y方向信号線302-1にY方向走査信号が出力されると、これにより特定された画素のスイッチ用薄膜トランジスタ304-1がオンになり、画像データに応じた信号により電流制御用薄膜トランジスタ305-1が導通されて有機EL素子306-1にこの画像データに応じた電流が流れ、発光される。

【0006】図3に従来の有機ELディスプレイ装置の画素部の構成の部分的断面図を示す。この図3では、電流制御用薄膜トランジスタと、有機EL素子を示す。図3において、ガラス等の基板201上に、活性シリコン層202、ゲート絶縁膜203、ゲート電極204が形成される。そして活性シリコン層202には、ソース領域205、チャンネル形成領域206、ドレイン領域207が設けられ、薄膜トランジスタが構成される。

【0007】さらに層間絶縁膜208に設けられたコンタクトホールに、バリアメタル210、211を介して、ソース領域205、ドレイン領域207にそれぞれアルミニウム製のソース電極213-1、ドレイン電極214-1が設けられている。

【0008】またガラス等の基板201に設けられたITO（酸化インジウム・スズ）の透明電極209上に、有機EL層215、上部電極216が設けられてEL素子部を構成している。このITOの透明電極209には密着用金属212を介して、その一端が前記ドレイン電極214-1となるアルミニウム配線214が接続されている。

【0009】そして有機EL素子の上部電極216の上面以外の部分に、薄膜トランジスタ部分を覆うように、

保護膜217が設けられ、有機EL素子の上部電極216の上面には、アルミニウム等により共通電極218が設けられている。

【0010】図3に示すように、一般に薄膜トランジスタでは、シリコン活性層のソース領域205、ドレイン領域207と、これらにそれぞれ接続されるアルミニウム製のソース電極213-1、ドレイン電極214-1の間には、バリアメタル210と211が介在されている。これらのバリアメタル210、211は、活性シリコン層202におけるシリコン原子がアルミニウム製のソース電極213-1、ドレイン電極214-1側への拡散、消失することを防止するために設けられている。なおこのバリアメタル210、211は、従来では主にクロムが使用されていた。

【0011】一方、有機EL素子部において、ITOよりなる透明電極209とアルミニウム配線214を直接接触させると、電食や密着性低下等の不良が発生し易い。このような不良の発生を防止、アルミニウム配線214と透明電極209との良好な密着性を保つため、透明電極209とアルミニウム配線214との間に密着用金属212を挟むことが必要であった。そして従来ではこの密着用金属212として、前記薄膜トランジスタのバリアメタル210、211と同じく、主にクロムが使用されていた。なお図3において213はアルミニウム配線である。

【0012】

【発明が解決しようとする課題】このような有機ELディスプレイ装置において、薄膜トランジスタのバリアメタル210、211として用いられたクロムが、EL素子を構成する上部電極216や透明電極209の方に溶出し、即ち電食によりこれらと薄膜トランジスタとの間に、溶出したクロムによる導線が形成され、短絡状態となってしまうことがあった。

【0013】さらに動作を続けると、薄膜トランジスタのバリアメタル210、211を構成していたクロムが全て溶出してしまい、ソース領域205やドレイン領域207と、アルミニウム電極213-1、214-1との間が抜けて空隙が生じ、断線状態に至ることがあった。

【0014】その結果、薄膜トランジスタとしての機能を果たすことができなくなり、有機ELディスプレイ装置としての信頼性を大幅に低下させることになる。本発明者等はこの原因を検討した結果、下記の理由に基づくものと解明することができた。

【0015】まず有機EL層215を構成する有機EL材料は、吸湿性が強く、大気中の水分を吸収し易い性質を有するので、有機EL層215から水分が発生する。また有機EL層215を発光させて、ピクセルを表示するために、有機EL層215に接続された電流制御用薄膜トランジスタ及びそれを動作させるスイッチ用薄膜ト

ランジスタには、比較的大きな直流電流（バイアス電流）が連続的に流れる。

【0016】このように、有機EL層215中から発生する水分と、バイアス電流により、薄膜トランジスタのバリアメタル210、211を構成するクロムがイオン化して有機EL素子側に移動し、短絡や断線の原因となることが解明された。

【0017】この現象は、電流制御用薄膜トランジスタのみではなく、スイッチ用薄膜トランジスタにおいてもみられることがあった。従って、本発明の目的は、有機ELディスプレイにおいて、このような薄膜トランジスタの動作における短絡や断線という不良の発生を防止し、有機ELディスプレイの信頼性を高めることである。

【0018】

【課題を解決するための手段】このような本発明の目的は、下記(1)～(14)の如く構成あるいは製造方法により達成することができる。

(1) ソースまたはドレインを構成するシリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、チタンよりなるバリアメタルを設けたことを特徴とする薄膜トランジスタ。

【0019】(2) ソースまたはドレインを構成するシリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなるバリアメタルを設けたことを特徴とする薄膜トランジスタ。

【0020】(3) 有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリクス駆動型の有機ELディスプレイ装置であって、前記電流制御用薄膜トランジスタは、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、チタンよりなるバリアメタルが設けられていることを特徴とする有機ELディスプレイ装置。

【0021】(4) 有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリクス駆動型の有機ELディスプレイ装置であって、前記電流制御用薄膜トランジスタは、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなるバリアメタルを設けたことを特徴とする有機ELディスプレイ装置。

【0022】(5) 有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタと、前記電流制御用薄膜トランジスタのスイッチングを行うスイッチ用薄膜トランジスタを有するアクティブマトリクス駆動型の有機ELディスプレイ装置であって、前記電流制御用薄膜トランジスタと、前記スイッチ用薄膜トランジスタのそれぞれにおいて、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、チタン

よりなるバリアメタルを設けたことを特徴とする有機ELディスプレイ装置。

【0023】(6)有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタと、前記電流制御用薄膜トランジスタのスイッチングを行うスイッチ用薄膜トランジスタを有するアクティブマトリクス駆動型の有機ELディスプレイ装置であって、前記電流制御用薄膜トランジスタと、前記スイッチ用薄膜トランジスタのそれぞれにおいて、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなるバリアメタルを設けたことを特徴とする有機ELディスプレイ装置。

【0024】(7)有機EL素子がマトリクス状に設けられた、アクティブマトリクス駆動型の有機ELディスプレイ装置であって、前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、チタンよりなるバリアメタルを設けたことを特徴とする有機ELディスプレイ装置。

【0025】(8)有機EL素子がマトリクス状に設けられた、アクティブマトリクス駆動型の有機ELディスプレイ装置であって、前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなるバリアメタルを設けたことを特徴とする有機ELディスプレイ装置。

【0026】(9)有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリクス駆動型の有機ELディスプレイ装置であって、前記電流制御用薄膜トランジスタは、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、チタンよりなるバリアメタルが設けられており、前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、チタンよりなる密着用金属が設けられていることを特徴とする有機ELディスプレイ装置。

【0027】(10)有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリクス駆動型の有機ELディスプレイ装置であって、前記電流制御用薄膜トランジスタは、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなるバリアメタルが設けられており、前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなる密着用金属が設けられていることを特徴とする有機ELディスプレイ装置。

【0028】(11)有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタと、前記電流制御用薄膜トランジスタのスイッチングを行うスイッチ

用薄膜トランジスタを有するアクティブマトリクス駆動型の有機ELディスプレイ装置であって、前記電流制御用薄膜トランジスタと、前記スイッチ用薄膜トランジスタのそれぞれにおいて、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、チタンよりなるバリアメタルが設けられており、前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、チタンよりなる密着用金属が設けられていることを特徴とする有機ELディスプレイ装置。

【0029】(12)有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタと、前記電流制御用薄膜トランジスタのスイッチングを行うスイッチ用薄膜トランジスタを有するアクティブマトリクス駆動型の有機ELディスプレイ装置であって、前記電流制御用薄膜トランジスタと、前記スイッチ用薄膜トランジスタのそれぞれにおいて、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなるバリアメタルが設けられており、前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなる密着用金属が設けられていることを特徴とする有機ELディスプレイ装置。

【0030】(13)有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリクス駆動型の有機ELディスプレイ装置を製造するに際し、前記電流制御用薄膜トランジスタのシリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に設けられたバリアメタルと、前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に設けられる密着用金属とがチタンにより同時に形成されることを特徴とする有機ELディスプレイ装置の製造方法。

【0031】(14)有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリクス駆動型の有機ELディスプレイ装置を製造するに際し、前記電流制御用薄膜トランジスタのシリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に設けられたバリアメタルと、前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に設けられる密着用金属とが窒素を50atm%以下含有する窒化チタンにより同時に形成されることを特徴とする有機ELディスプレイ装置の製造方法。

【0032】このように、有機EL素子に接続された薄膜トランジスタにおいて、薄膜トランジスタのソース又はドレインである活性シリコン層と、有機EL素子に接続されたアルミニウム配線との接触部において、バリアメタルとしてチタンまたは窒素の含有量が50atm%

以下含有される窒化チタンを用いることにより、発明者は有機EL素子と共に使用されていても、バリアメタルの流出がないということを見出した。そしてこれによりバリアメタルの溶出による短絡や断線を防ぎ、有機ELディスプレイ装置の信頼性を向上させることができた。

【0033】また有機EL素子を構成するITOの透明電極と、このITOの透明電極に接続されるアルミニウム配線との間に設けられる密着金属として、チタン又は窒素の含有量が50atm%以下の窒化チタンの層を設けることにより、ITOの透明電極とアルミニウム配線との密着性を向上することができ、この点からも有機ELディスプレイ装置の信頼性を向上することができた。

【0034】

【発明の実施の形態】本発明の第1の実施の形態を図1に基づき説明する。第1の実施の形態ではバリアメタルとして窒化チタンを用いた薄膜トランジスタを有する有機ELディスプレイ装置を構成した例を示し、図3における電流制御用薄膜トランジスタ305と、有機EL素子306に対する部分を示す。

【0035】図1(A)に示す如く、先ず基板101上に通常の固相成長法により多結晶シリコン薄膜を形成し、この多結晶シリコン薄膜を島状に加工して、シリコン活性層102を得る。この基板101としては、例えば石英基板を使用することができる。

【0036】次に、このシリコン活性層102の上にSiO<sub>2</sub>よりなるゲート絶縁膜103、アルミニウムよりなるゲート電極104を形成する。その後シリコン活性層102に不純物をドーピングして、ソース領域105、チャンネル形成領域106及びドレイン領域107が形成される。そしてこれらの上全面に、SiO<sub>2</sub>よりなる層間絶縁膜108が形成される。

【0037】次に、図1(B)に示す如く、層間絶縁膜108にエッチング処理を施し、ソース領域105、ドレイン領域107及びEL素子形成領域に開孔を設ける。そしてITO(酸化インジウム・スズ)膜がスパッタ法により形成され、加工されてEL素子形成領域に透明電極109が形成される。この場合、層間絶縁膜108のEL素子形成領域には開孔を設けず、層間絶縁膜108上に透明電極109を設けてもよい。

【0038】次に窒化チタン膜を形成する。この場合、窒素を10atm%含有する窒化チタン膜を、膜厚100Å~1000Å、例えば500Åの厚さで、基板全面に形成した。

【0039】その後これをエッチング処理して、ソース領域105とドレイン領域107と、透明電極109の上部であってアルミニウム配線が接続される部分に、いずれも窒化チタン膜よりなるバリアメタル110、111及び密着用金属112が同時に形成される。

【0040】勿論スイッチ用薄膜トランジスタや、周辺駆動回路を構成する薄膜トランジスタの窒化チタンより

なるバリアメタルを、この工程において同時に形成してもよい。このようにして、窒化チタンよりなるバリアメタル及び密着用金属を同時に形成することができる。

【0041】それから、図1(C)に示す如く、全面にアルミニウム膜が6000Å形成され、これがエッチング処理されて、ソース電極113-1が形成されるアルミニウム配線113と、ドレイン電極114-1と密着用金属112とを接続するアルミニウム配線114が設けられる。

【0042】そして、図1(D)に示す如く、有機EL層115とEL素子の上部電極116が有機EL素子形成領域に設けられた。これらは、それぞれメタルマスクが設けられた状態で、真空蒸着法を行うことにより形成された。この上部電極116は、例えば銀を含むマグネシウム膜により構成される。

【0043】次に、有機EL素子の上部電極116上に開孔が設けられてSiO<sub>2</sub>膜の保護膜117が形成され、更に共通電極118が、マトリクス部全面にアルミニウムを設けることで形成され、有機ELディスプレイ装置が完成された。

【0044】本発明の第2の実施の形態について説明する。本発明の第2の実施の形態ではバリアメタル110、111や密着用金属112等にチタンを使用したものである。その製造工程図は図1と全く同じであるので、図1に従って簡単に説明する。

【0045】図1(A)に示す如く、基板101上に多結晶シリコン薄膜を形成し、これを島状に加工して、シリコン活性層102を得る。このシリコン活性層102の上にSiO<sub>2</sub>よりなるゲート絶縁膜103、アルミニウムよりなるゲート電極104を形成し、不純物をドーピングしてソース領域105、チャンネル形成領域106及びドレイン領域107を形成し、これらにSiO<sub>2</sub>よりなる層間絶縁膜108を形成する。

【0046】次に、図1(B)に示す如く、層間絶縁膜108をエッチングして、ソース領域105、ドレイン領域107、EL素子形成領域に開孔を設ける。そしてITO膜がスパッタ法により形成され、加工されてEL素子形成領域に透明電極109を形成する。この場合、EL素子形成領域には開孔を設けず、層間絶縁膜108上に透明電極109を設けてもよい。

【0047】それからチタン膜を、100Å~1000Å、例えば500Åの厚さで基板全面に形成し、これをエッチング処理して、ソース領域105と、ドレイン領域107と、透明電極109との上部のアルミニウム配線が接続される部分に、チタン膜よりなるバリアメタル110'、111'及び密着用金属112'を同時に形成する。勿論スイッチ用薄膜トランジスタや周辺駆動回路を構成する薄膜トランジスタのチタンよりなるバリアメタル及び密着用金属を同時に形成できる。

【0048】それから図1(C)に示す如く、全面にア

ルミニウム膜が6000Å形成され、これがエッチング処理されて、ソース電極113-1が形成されるアルミニウム配線113と、ドレイン電極114-1と密着用金属112とを接続するアルミニウム配線114が設けられる。

【0049】そして、図1(D)に示す如く、有機EL層115とEL素子の上部電極116が設けられる。これらは、それぞれメタルマスクが設けられた状態で、真空蒸着法で形成された。この上部電極116は、例えば銀を含むマグネシウム膜により構成される。

【0050】次に上部電極116上に開孔が設けられてSiO<sub>2</sub>膜の保護膜117が形成され、アルミニウムの共通電極118が形成され、有機ELディスプレイ装置が完成される。

【0051】本発明の第3の実施の形態について説明する。本発明の第3の実施の形態ではバリアメタル110、111や密着用金属112等にチタンを使用したものである。その製造工程図は図1と全く同じであるので、図1に従って簡単に説明する。

【0052】図1(A)に示す如く、基板101上に多結晶シリコン薄膜を形成し、これを島状に加工して、シリコン活性層102を得る。このシリコン活性層102の上にSiO<sub>2</sub>よりなるゲート絶縁膜103、アルミニウムよりなるゲート電極104を形成し、不純物をドーピングしてソース領域105、チャネル形成領域106及びドレイン領域107を形成し、これらにSiO<sub>2</sub>よりなる層間絶縁膜108を形成する。

【0053】次に、図1(B)に示す如く、層間絶縁膜108をエッチングして、ソース領域105、ドレイン領域107、EL素子形成領域に開孔を設ける。そしてITO膜がスパッタ法により形成され、加工されてEL素子形成領域に透明電極109を形成する。この場合、EL素子形成領域には開孔を設けず、層間絶縁膜108上に透明電極109を設けてもよい。

【0054】それから窒素を45atm含有する窒化チタン膜を、100Å~1000Å、例えば500Åの厚さで基板全面に形成し、これをエッチング処理して、ソース領域105と、ドレイン領域107と、透明電極109との上部のアルミニウム配線が接続される部分に、窒素を45atm含有する窒化チタン膜よりなるバリアメタル110'、111'及び密着用金属112'を同時に形成する。勿論スイッチ用薄膜トランジスタや周辺駆動回路を構成する薄膜トランジスタのチタンよりなるバリアメタル及び密着用金属を同時に形成できる。

【0055】それから図1(C)に示す如く、全面にアルミニウム膜が6000Å形成され、これがエッチング処理されて、ソース電極113-1が形成されるアルミニウム配線113と、ドレイン電極114-1と密着用金属112とを接続するアルミニウム配線114が設けられる。

【0056】そして、図1(D)に示す如く、有機EL層115とEL素子の上部電極116が設けられる。これらは、それぞれメタルマスクが設けられた状態で、真空蒸着法で形成された。この上部電極116は、例えば銀を含むマグネシウム膜により構成される。

【0057】次に上部電極116上に開孔が設けられてSiO<sub>2</sub>膜の保護膜117が形成され、アルミニウムの共通電極118が形成され、有機ELディスプレイ装置が完成される。

【0058】ここで図2により窒化チタンTiNの窒素含有量とその比抵抗の関係を説明する。図2においてNは窒素含有量(N<sub>2</sub>量)特性曲線を示し、Rは比抵抗特性曲線を示し、Tは成膜速度特性曲線を示す。なお横軸は成膜時N<sub>2</sub>分圧であり、窒素ガスとArガスの混合比を示し、0.2はN<sub>2</sub>ガス20%Arガス80%;また0.6はN<sub>2</sub>ガス60%Arガス40%のときを示す。

【0059】この図2は、成膜時N<sub>2</sub>分圧が0.1のとき窒化チタンの窒素含有量はN曲線により約37.5atm%、比抵抗はR曲線により約225マイクロオーム・センチメートル、成膜速度は約92Å/分であることを示している。

【0060】本発明者等は、窒素含有量を30atm%より増加したところ、図2に示す如く、約37.5atm%を超えたとき窒化チタンの比抵抗が低下する領域のあることを発見し、これにより窒素含有量が30atm%を超えた領域でもバリアメタルや密着用金属として使用可能であることを見出した。

【0061】当然のことながらバリアメタルや密着用金属としては、比抵抗は低い程よい。またチタンに窒素を含有すればする程化学的に安定するため、逆に加工性(エッチング性)は低下することになる。

【0062】本発明によればチタン又は窒素を50atm%以下含有する窒化チタンを薄膜トランジスタのバリアメタルとして使用することにより、バリアメタルとしての機能、即ちシリコンのアルミニウム配線への拡散を防ぐ機能を有するとともに、有機EL素子が使用されてもバリアメタルの流出を抑制することができる。

【0063】即ち、従来のようにバリアメタルとしてクロムを使用した有機ELディスプレイ装置では、10分~20分位でクロムの流出が生じ、不良となったものが、チタン又は窒素を50atm%以下含有する窒化チタンを使用することにより数日以上長時間使用しても薄膜トランジスタのバリアメタルや有機EL素子側の密着用金属として安定な状態を保持することができる。

【0064】また有機EL素子を構成する透明電極と、この透明電極に接続されるアルミニウム配線との間に設けられる密着用金属として、チタン又は窒素を50atm%以下含有する窒化チタンの層を形成することにより、透明電極とアルミニウム配線との密着性を向上させることができる。

【0065】従って、従来バリアメタルとして、またITO透明電極とアルミニウム配線との密着性向上のための密着用金属として、いずれもクロムが用いられたが、本発明ではこれらとともにチタン又は窒化チタンに置き換えることができるため、製造工程自体は、材料の変更以外は従来と同様とすることができる。

【0066】また窒化チタンにおける窒素の含有量は、窒素が多くなると密着性が高くなるものの導電率が低下し、また加工性も低下するため、30atm%以下の含有量が好ましい。特に窒素の含有量が5~15atm%程度が導電率と加工性と安定性とがともに良好に得られるので極めて好ましい。

【0067】なお本発明においては、窒素を30atm%以下含有する窒化チタンをバリアメタルあるいは密着用金属として使用することにより、比抵抗が小さく加工性がよく、しかも耐電食性の安定性の良好なものを提供することができる。また安価なウエットエッチング加工することが可能となるバリアメタルあるいは密着用金属として使用することができる。

【0068】本発明において窒素を30atm%を超え50atm%以下含有する窒化チタンをバリアメタルあるいは密着用金属として使用することにより、比抵抗が小さく、耐電食性の安定性の非常に高いものを提供することができる。この場合、ドライエッチングにより加工することができる。安定性が非常に高いので、窒化チタンの成膜後の熱が薬品に対する制約がなくなり、プロセスの汎用性が向上し、成膜にどんな工程がきても問題が発生しにくいものを提供することができる。

【0069】本発明においてチタンをバリアメタルあるいは密着用金属として使用することにより、耐電食性の安定性のある、しかも窒化チタンに比較して比抵抗が小さく加工性の非常にすぐれたものを提供することができる。そしてこれまた安価なウエットエッチング加工することが可能なものを提供することができる。

【0070】前記各実施の形態では、基板として石英基板を用いた例について説明したが、本発明はこれに限定されるものではなく、ガラス基板、セラミック基板等を使用することができる。

【0071】前記各実施の形態では透明電極としてITOを使用した例について説明したが、本発明はこれに限定されるものではなく、ZnO、SnO等を使用することができる。

【0072】前記各実施の形態では窒化チタン又はチタンよりなるバリアメタルは、画素部分の電流制御用薄膜トランジスタに設けられた例について示したが、本発明はこれに限定されることなく、これら窒化チタン又はチタンよりなるバリアメタルを、スイッチング用薄膜トランジスタや、X方向、Y方向の周辺駆動回路を構成する薄膜トランジスタに設けてもよい。

【0073】特に、同一基板上において、画素部分と、

周辺駆動回路を同時に形成する場合、画素部分を構成する電流制御用薄膜トランジスタとスイッチ用薄膜トランジスタと、各周辺駆動回路を構成する薄膜トランジスタとにおいて、全てチタン又は窒化チタンよりなるバリアメタルを設けることで、また更には透明電極とアルミニウム配線との間にチタン又は窒化チタンの密着用金属を設けることにより、従来に比較して特に製造工程を増加することなく、信頼性の高い有機ELディスプレイ装置を得ることができる。

【0074】

【発明の効果】請求項1に記載された本発明によれば薄膜トランジスタの活性層と、これと接続するアルミニウム配線との間に、加工し易くかつ水分の存在による溶出しにくいチタンよりなるバリアメタルを設けたので、有機EL素子とともに使用してもバリアメタルの溶出による短絡や断線の発生を防止するとともに、バリアメタルを加工し易く構成することができる。

【0075】請求項2に記載された本発明によれば、薄膜トランジスタの活性層と、これと接するアルミニウム配線との間に窒素を50atm%以下含有する、密着性が高く水分の存在による溶出されない安定な窒化チタンよりなるバリアメタルを設けたので、有機EL素子とともに使用してもバリアメタルの溶出による短絡や断線の発生を防止する薄膜トランジスタを提供することができる。

【0076】請求項3に記載された本発明によれば、有機EL素子に接続された電流制御用薄膜トランジスタのシリコン活性層と、これと接続するアルミニウム配線との間にチタンよりなるバリアメタルを設けたので、もっとも有機EL素子に近い電流制御用の薄膜トランジスタをバリアメタルの溶出による短絡や断線の発生を防止した構成の有機ELディスプレイ装置を提供することができる。

【0077】請求項4に記載された本発明によれば、有機EL素子に接続された電流制御用薄膜トランジスタのシリコン活性層と、これと接続するアルミニウム配線との間に窒素を50atm%以下含有する安定な窒化チタンよりなるバリアメタルを設けたので、もっとも有機EL素子に近い電流制御用の薄膜トランジスタをバリアメタルの溶出による短絡や断線の発生を防止した構成の有機ELディスプレイ装置を提供することができる。

【0078】請求項5に記載された本発明によれば、有機EL素子に接続された電流制御用薄膜トランジスタのみならず、この電流制御用薄膜トランジスタのスイッチングを行うスイッチ用薄膜トランジスタに対してもそれぞれチタンよりなるバリアメタルを設けたので、電流制御用薄膜トランジスタだけではなくスイッチ用薄膜トランジスタにおいてもバリアメタルの溶出による短絡や断線の発生を防止した安定性の一層高い有機ELディスプレイ装置を提供することができる。

【0079】請求項6に記載された本発明によれば、有機EL素子に接続された電流制御用薄膜トランジスタのみならず、この電流制御用薄膜トランジスタのスイッチングを行うスイッチ用薄膜トランジスタに対してもそれぞれ窒素を50atm%以下含有する安定な窒化チタンよりなるバリアメタルを設けたので、電流制御用薄膜トランジスタだけでなくスイッチ用薄膜トランジスタにおいてもバリアメタルの溶出による短絡や断線の発生を防止した、安定性の高い有機ELディスプレイ装置を提供することができる。

【0080】請求項7に記載された本発明によれば、有機EL素子を構成する透明電極と、前記透明電極に接続されたアルミニウム配線との間に、チタンよりなるバリアメタルを設けたので密着性のよい接続を得ることができ、信頼性の高い有機ELディスプレイ装置を提供することができる。

【0081】請求項8に記載された本発明によれば、有機EL素子を構成する透明電極と、前記透明電極に接続されたアルミニウム配線との間に、窒素を50atm%以下含有する、密着性のよい安定な窒化チタンを設けたので、密着性のよい安定した接続を得ることができ、信頼性の高い有機ELディスプレイ装置を提供することができる。

【0082】請求項9に記載された本発明によれば、電流制御用薄膜トランジスタは、その活性層とこれに接続されるアルミニウム配線との間にチタンよりなるバリアメタルが設けられ、また、有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間にチタンよりなる密着金属が設けられるので、バリアメタルと密着金属を同時に形成することができ、製造コストを低下するとともに安定に動作する有機ELディスプレイ装置を提供することができる。

【0083】請求項10に記載された本発明によれば、電流制御用薄膜トランジスタは、その活性層とこれに接続されるアルミニウム配線との間に窒素を50atm%以下含有する窒化チタンよりなるバリアメタルが設けられ、また有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に窒素を50atm%以下含有する窒化チタンよりなる密着金属が設けられているので、電流制御用薄膜トランジスタのバリアメタルと密着金属を同時に形成することができ、製造コストを低下するとともに、密着性の良好なバリアメタルや密着金属を構成することができるので、信頼性の高い安定に動作する有機ELディスプレイ装置を提供することができる。

【0084】請求項11に記載された本発明によれば、電流制御用薄膜トランジスタと、スイッチ用薄膜トランジスタのそれぞれにおいて活性層とこれに接続されるアルミニウム配線との間にそれぞれチタンよりなるバリアメタルが設けられ、また有機EL素子を構成する透明電

極と、前記透明電極に接続されるアルミニウム配線との間にチタンよりなる密着金属が設けられているので、電流制御用薄膜トランジスタのバリアメタルと、スイッチ用薄膜トランジスタのバリアメタルと、密着金属を同時に形成することができ、製造コストを更に低下するとともに安定に動作する有機ELディスプレイ装置を提供することができる。

【0085】請求項12に記載された本発明によれば、電流制御用薄膜トランジスタと、スイッチ用薄膜トランジスタのそれぞれにおいて活性層とこれに接続されるアルミニウム配線との間にそれぞれ窒素を50atm%以下含有する窒化チタンよりなるバリアメタルが設けられ、また有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に窒素を50atm%以下含有する窒化チタンよりなる密着金属が設けられているので、電流制御用薄膜トランジスタのバリアメタルと、スイッチ用薄膜トランジスタのバリアメタルと、密着金属を同時に形成することができ、製造コストを低下するとともに密着性のすぐれたバリアメタルや密着金属を形成することができ、信頼性の高い安定に動作する有機ELディスプレイ装置を提供することができる。

【0086】請求項13に記載された本発明によれば、電流制御用薄膜トランジスタの活性層と、この活性層に接続されるアルミニウム配線との間に形成されたバリアメタルと、有機EL素子を構成する透明電極と、この透明電極に接続されるアルミニウム配線との間に形成された密着金属とを、チタンにより同時に形成することができるので、有機ELディスプレイ装置の製造コストを低下するとともに安定に動作するアクティブマトリクス型の有機ELディスプレイ装置の製造方法を提供することができる。

【0087】請求項14に記載された本発明によれば、電流制御用薄膜トランジスタの活性層と、この活性層に接続されるアルミニウム配線との間に形成されたバリアメタルと、有機EL素子を構成する透明電極と、この透明電極に接続されるアルミニウム配線との間に形成された密着金属とを、窒素を50atm%以下含有する窒化チタンにより同時に形成することができ、有機ELディスプレイ装置の製造コストを低下するとともに、密着性の良好なバリアメタルや密着金属を有し、信頼性の高い安定に動作するアクティブマトリクス型の有機ELディスプレイ装置の製造方法を提供することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態説明図である。

【図2】本発明で使用される窒化チタン特性説明図である。

【図3】従来例説明図である。

【図4】有機ELディスプレイ装置の回路構成図である。

る。

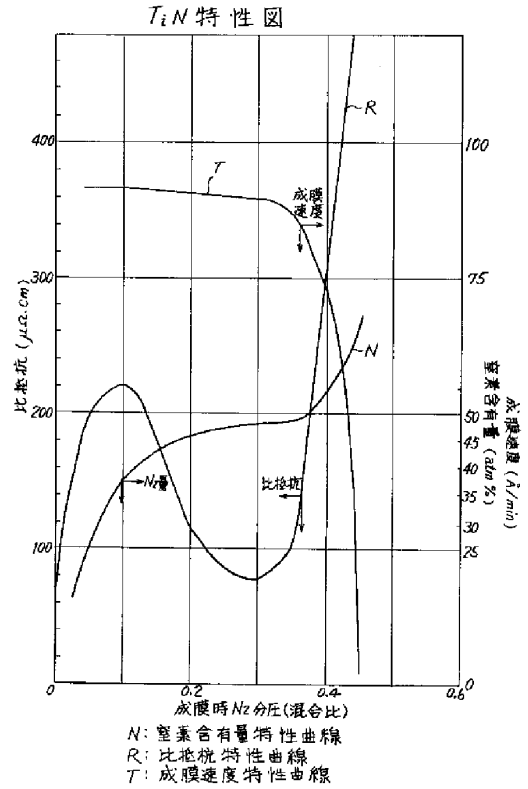
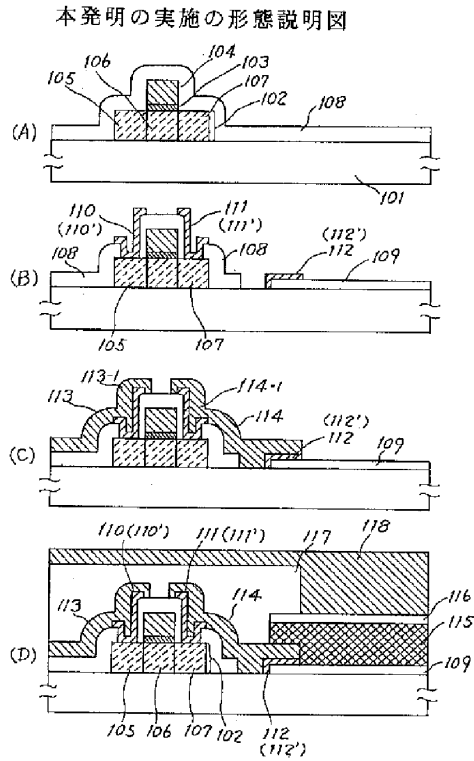
【符号の説明】

- 101 基板
- 102 シリコン活性層
- 103 ゲート絶縁膜
- 104 ゲート電極
- 105 ソース領域
- 106 チャネル形成領域
- 107 ドレイン領域
- 108 層間絶縁膜

- 109 透明電極
- 110、110' バリアメタル
- 111、111' バリアメタル
- 112、112' 密着用金属
- 113 ソース電極
- 114 ドレイン電極
- 115 有機EL層
- 116 上部電極
- 117 保護膜
- 118 共通電極

【図1】

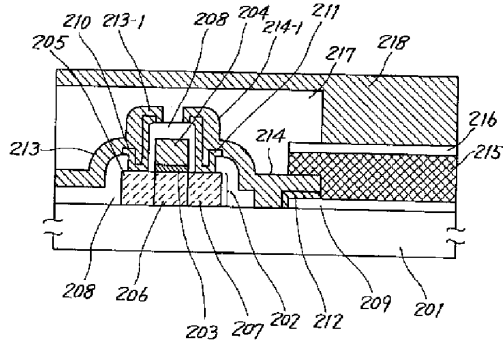
【図2】





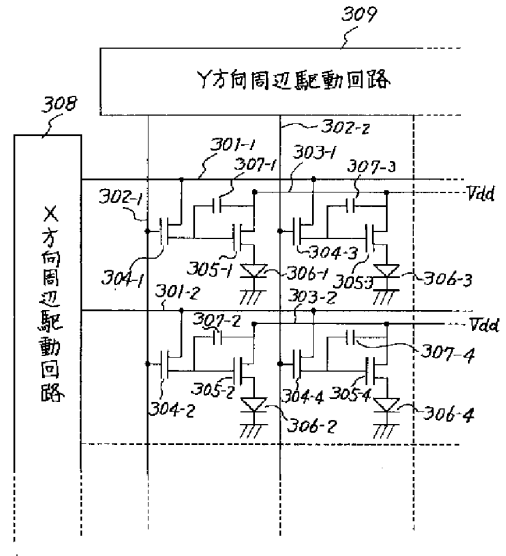
【図3】

従来例説明図



【図4】

有機ELディスプレイ装置の回路構成図



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-147659

(P2001-147659A)

(43)公開日 平成13年5月29日(2001.5.29)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-ト*(参考)
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 B 3 K 0 0 7
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8 5 C 0 8 0
	3 6 5		3 6 5 Z 5 C 0 9 4
G 0 9 G 3/30		G 0 9 G 3/30	J 5 F 1 1 0
H 0 1 L 29/786		H 0 5 B 33/14	A

審査請求 未請求 請求項の数27 O L (全 12 頁) 最終頁に続く

(21)出願番号 特願平11-327637

(22)出願日 平成11年11月18日(1999.11.18)

(71)出願人 000002185  
ソニー株式会社  
東京都品川区北品川6丁目7番35号

(72)発明者 山岸 万千雄  
東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

(72)発明者 湯本 昭  
東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

(74)代理人 100092336  
弁理士 鈴木 晴敏

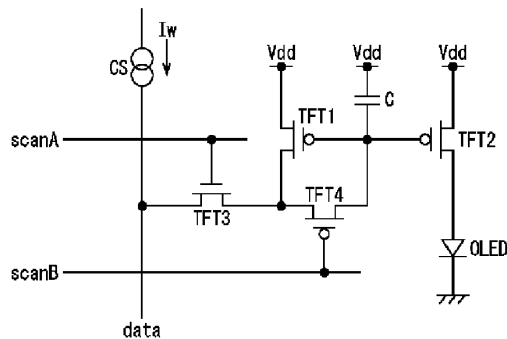
最終頁に続く

(54)【発明の名称】 表示装置

(57)【要約】

【課題】 画素内部の能動素子の特性ばらつきによらず、安定且つ正確に各画素の発光素子に所望の電流を供給すると共に、電流リークを抑制する。

【解決手段】 各画素は、走査線scanAが選択された時データ線dataから信号電流Iwを取り込む受入用トランジスタTFT3と、取り込んだ信号電流Iwの電流レベルを一旦電圧レベルに変換して保持する変換用トランジスタTFT1と、保持された電圧レベルに応じた電流レベルを有する駆動電流を発光素子OLEDに流す駆動用トランジスタTFT2とからなる。TFT1は、TFT3によって取り込まれた信号電流Iwを自身のチャンネルに流して変換された電圧レベルを自身のゲートに発生させ、容量CはTFT1のゲートに生じた電圧レベルを保持する。TFT2は、Cに保持された電圧レベルに応じた電流レベルを有する駆動電流を発光素子OLEDに流す。この際、TFT2は、その閾電圧がTFT1の閾電圧より低くならない様に設定されており、リーク電流を抑制する。



【特許請求の範囲】

【請求項1】 走査線を順次選択する走査線駆動回路と、輝度情報に応じた電流レベルを有する信号電流を生成して逐次データ線に供給する電流源を含むデータ線駆動回路と、各走査線及び各データ線の交差部に配されていると共に、駆動電流の供給を受けて発光する電流駆動型の発光素子を含む複数の画素とを備えた表示装置であって、

当該画素は、当該走査線が選択されたとき当該データ線から信号電流を取り込む受入部と、取り込んだ信号電流の電流レベルを一旦電圧レベルに変換して保持する変換部と、保持された電圧レベルに応じた電流レベルを有する駆動電流を当該発光素子に流す駆動部とを含み、

前記変換部は、ゲート、ソース、ドレイン及びチャネルを備えた変換用絶縁ゲート型電界効果トランジスタと、該ゲートに接続した容量とを含んでおり、前記変換用絶縁ゲート型電界効果トランジスタは、該受入部によって取り込まれた信号電流を該チャネルに流して変換された電圧レベルを該ゲートに発生させ、前記容量は該ゲートに生じた電圧レベルを保持し、

前記駆動部は、ゲート、ドレイン、ソース及びチャネルを備えた駆動用絶縁ゲート型電界効果トランジスタを含んでおり、前記駆動用絶縁ゲート型電界効果トランジスタは、該容量に保持された電圧レベルをゲートに受け入れそれに応じた電流レベルを有する駆動電流をチャネルを介して該発光素子に流し、

前記駆動用絶縁ゲート型電界効果トランジスタは、その閾電圧が画素内で対応する変換用絶縁ゲート型電界効果トランジスタの閾電圧より低くならない様に設定されている表示装置。

【請求項2】 前記駆動用絶縁ゲート型電界効果トランジスタは、そのゲート長が画素内で対応する変換用絶縁ゲート型電界効果トランジスタのゲート長より短くならない様に設定されている請求項1記載の表示装置。

【請求項3】 前記駆動用絶縁ゲート型電界効果トランジスタは、そのゲート絶縁膜が画素内で対応する変換用絶縁ゲート型電界効果トランジスタのゲート絶縁膜より薄くならない様に設定されている請求項1記載の表示装置。

【請求項4】 前記駆動用絶縁ゲート型電界効果トランジスタは、チャネルに注入される不純物濃度を調整して、その閾電圧が画素内で対応する変換用絶縁ゲート型電界効果トランジスタの閾電圧より低くならない様に設定されている請求項1記載の表示装置。

【請求項5】 前記駆動用絶縁ゲート型電界効果トランジスタは飽和領域で動作し、そのゲートに印加された電圧レベルと閾電圧との差に応じた駆動電流を該発光素子に流す請求項1記載の表示装置。

【請求項6】 前記変換用絶縁ゲート型電界効果トランジスタのゲートと前記駆動用絶縁ゲート型電界効果トラ

ンジスタのゲートとが直接に接続されてカレントミラー回路を構成し、信号電流の電流レベルと駆動電流の電流レベルとが比例関係となる様にした請求項1記載の表示装置。

【請求項7】 前記変換部は、該変換用絶縁ゲート型電界効果トランジスタのドレインとゲートとの間に挿入されたスイッチ用絶縁ゲート型電界効果トランジスタを含んでおり、

該スイッチ用絶縁ゲート型電界効果トランジスタは、信号電流の電流レベルを電圧レベルに変換する時に導通し、該変換用絶縁ゲート型電界効果トランジスタのドレインとゲートを電氣的に接続してソースを基準とする電圧レベルをゲートに生ぜしめる一方、

該スイッチ用絶縁ゲート型電界効果トランジスタは、電圧レベルを該容量に保持する時に遮断され、該変換用絶縁ゲート型電界効果トランジスタのゲート及びこれに接続した該容量をドレインから切り離す請求項1記載の表示装置。

【請求項8】 前記発光素子は有機エレクトロルミネッセンス素子を用いる請求項1記載の表示装置。

【請求項9】 前記駆動用絶縁ゲート型電界効果トランジスタ及び変換用絶縁ゲート型電界効果トランジスタは、多結晶半導体薄膜でソース、ドレイン及びチャネルを形成した薄膜トランジスタである請求項1記載の表示装置。

【請求項10】 輝度情報に応じた電流レベルの信号電流を供給するデータ線と選択パルスを供給する走査線との交差部に配され、駆動電流により発光する電流駆動型の発光素子を駆動する画素回路であって、

該走査線からの選択パルスにตอบสนองして該データ線から信号電流を取り込む受入部と、取り込んだ信号電流の電流レベルを一旦電圧レベルに変換して保持する変換部と、保持された電圧レベルに応じた電流レベルを有する駆動電流を当該発光素子に流す駆動部とを含み、

前記変換部は、ゲート、ソース、ドレイン及びチャネルを備えた変換用絶縁ゲート型電界効果トランジスタと、該ゲートに接続した容量とを含んでおり、前記変換用絶縁ゲート型電界効果トランジスタは、該受入部によって取り込まれた信号電流を該チャネルに流して変換された電圧レベルを該ゲートに発生させ、前記容量は該ゲートに生じた電圧レベルを保持し、

前記駆動部は、ゲート、ドレイン、ソース及びチャネルを備えた駆動用絶縁ゲート型電界効果トランジスタを含んでおり、前記駆動用絶縁ゲート型電界効果トランジスタは、該容量に保持された電圧レベルをゲートに受け入れそれに応じた電流レベルを有する駆動電流をチャネルを介して該発光素子に流し、

前記駆動用絶縁ゲート型電界効果トランジスタは、その閾電圧が変換用絶縁ゲート型電界効果トランジスタの閾電圧より低く設定されている画素回路。

【請求項 1 1】 前記駆動用絶縁ゲート型電界効果トランジスタは、そのゲート長が変換用絶縁ゲート型電界効果トランジスタのゲート長より短くならない様に設定されている請求項 1 0 記載の画素回路。

【請求項 1 2】 前記駆動用絶縁ゲート型電界効果トランジスタは、そのゲート絶縁膜が変換用絶縁ゲート型電界効果トランジスタのゲート絶縁膜より薄くならない様に設定されている請求項 1 0 記載の画素回路。

【請求項 1 3】 前記駆動用絶縁ゲート型電界効果トランジスタは、チャンネルに注入される不純物濃度を調整して、その閾電圧が変換用絶縁ゲート型電界効果トランジスタの閾電圧より低くならない様に設定されている請求項 1 0 記載の画素回路。

【請求項 1 4】 前記駆動用絶縁ゲート型電界効果トランジスタは飽和領域で動作し、そのゲートに印加された電圧レベルと閾電圧との差に応じた駆動電流を該発光素子に流す請求項 1 0 記載の画素回路。

【請求項 1 5】 前記変換用絶縁ゲート型電界効果トランジスタのゲートと前記駆動用絶縁ゲート型電界効果トランジスタのゲートとが直接に接続されてカレントミラー回路を構成し、信号電流の電流レベルと駆動電流の電流レベルとが比例関係となる様にした請求項 1 0 記載の画素回路。

【請求項 1 6】 前記変換部は、該変換用絶縁ゲート型電界効果トランジスタのドレインとゲートとの間に挿入されたスイッチ用絶縁ゲート型電界効果トランジスタを含んでおり、

該スイッチ用絶縁ゲート型電界効果トランジスタは、信号電流の電流レベルを電圧レベルに変換する時に導通し、該変換用絶縁ゲート型電界効果トランジスタのドレインとゲートを電気的に接続してソースを基準とする電圧レベルをゲートに生ぜしめる一方、

該スイッチ用絶縁ゲート型電界効果トランジスタは、電圧レベルを該容量に保持する時に遮断され、該変換用絶縁ゲート型電界効果トランジスタのゲート及びこれに接続した該容量をドレインから切り離す請求項 1 0 記載記載の画素回路。

【請求項 1 7】 前記発光素子は有機エレクトロルミネッセンス素子を用いる請求項 1 0 記載の画素回路。

【請求項 1 8】 前記駆動用絶縁ゲート型電界効果トランジスタ及び変換用絶縁ゲート型電界効果トランジスタは、多結晶半導体薄膜でソース、ドレイン及びチャンネルを形成した薄膜トランジスタである請求項 1 0 記載の画素回路。

【請求項 1 9】 輝度情報に応じた電流レベルの信号電流を供給するデータ線と選択パルスを供給する走査線との交差部に配され、駆動電流により発光する電流駆動型の発光素子を駆動する発光素子の駆動方法であって、該走査線からの選択パルスに反応して該データ線から信号電流を取り込む受入手順と、取り込んだ信号電流の電

流レベルを一旦電圧レベルに変換して保持する変換手順と、保持された電圧レベルに応じた電流レベルを有する駆動電流を当該発光素子に流す駆動手順とを含み、前記変換手順は、ゲート、ソース、ドレイン及びチャンネルを備えた変換用絶縁ゲート型電界効果トランジスタと、該ゲートに接続した容量とを用いる手順を含んでおり、該手順において、該変換用絶縁ゲート型電界効果トランジスタは、該受入手順によって取り込まれた信号電流を該チャンネルに流して変換された電圧レベルを該ゲートに発生させ、前記容量は該ゲートに生じた電圧レベルを保持し、

前記駆動手順は、ゲート、ドレイン、ソース及びチャンネルを備えた駆動用絶縁ゲート型電界効果トランジスタを用いる手順を含んでおり、該手順において、該駆動用絶縁ゲート型電界効果トランジスタは、該容量に保持された電圧レベルをゲートに受け入れこれに応じた電流レベルを有する駆動電流をチャンネルを介して該発光素子に流し、該駆動用絶縁ゲート型電界効果トランジスタは、その閾電圧が変換用絶縁ゲート型電界効果トランジスタの閾電圧より低くなる様に設定する発光素子の駆動方法。

【請求項 2 0】 前記駆動用絶縁ゲート型電界効果トランジスタは、そのゲート長が変換用絶縁ゲート型電界効果トランジスタのゲート長より短くならない様に設定する請求項 1 9 記載の発光素子の駆動方法。

【請求項 2 1】 前記駆動用絶縁ゲート型電界効果トランジスタは、そのゲート絶縁膜が変換用絶縁ゲート型電界効果トランジスタのゲート絶縁膜より薄くならない様に設定する請求項 1 9 記載の発光素子の駆動方法。

【請求項 2 2】 前記駆動用絶縁ゲート型電界効果トランジスタは、チャンネルに注入される不純物濃度を調整して、その閾電圧が変換用絶縁ゲート型電界効果トランジスタの閾電圧より低くならない様に設定する請求項 1 9 記載の発光素子の駆動方法。

【請求項 2 3】 該駆動用絶縁ゲート型電界効果トランジスタは飽和領域で動作し、そのゲートに印加された電圧レベルと閾電圧との差に応じた駆動電流を該発光素子に流す請求項 1 9 記載の発光素子の駆動方法。

【請求項 2 4】 該変換用絶縁ゲート型電界効果トランジスタのゲートと該駆動用絶縁ゲート型電界効果トランジスタのゲートとが直接に接続されてカレントミラー回路を構成し、信号電流の電流レベルと駆動電流の電流レベルとが比例関係となる様にした請求項 1 9 記載の発光素子の駆動方法。

【請求項 2 5】 前記変換手順は、該変換用絶縁ゲート型電界効果トランジスタのドレインとゲートとの間に挿入されたスイッチ用絶縁ゲート型電界効果トランジスタを用いる手順を含んでおり、該手順において、該スイッチ用絶縁ゲート型電界効果トランジスタは、該変換用絶縁ゲート型電界効果トランジ

スタが信号電流の電流レベルを電圧レベルに変換する時に導通し、該変換用絶縁ゲート型電界効果トランジスタのドレインとゲートを電気的に接続してソースを基準とする電圧レベルをゲートに生ぜしめる一方、該スイッチ用絶縁ゲート型電界効果トランジスタは、電圧レベルを該容量に保持する時に遮断され、該変換用絶縁ゲート型電界効果トランジスタのゲート及びこれに接続した該容量をドレインから切り離す請求項19記載記載の発光素子の駆動方法。

【請求項26】 前記発光素子は有機エレクトロルミネッセンス素子を用いる請求項19記載の発光素子の駆動方法。

【請求項27】 前記駆動用絶縁ゲート型電界効果トランジスタ及び変換用絶縁ゲート型電界効果トランジスタは、多結晶半導体薄膜でソース、ドレイン及びチャネルを形成した薄膜トランジスタを用いる請求項19記載の発光素子の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、有機エレクトロルミネッセンス（EL）素子などの、電流によって輝度が制御される発光素子を各画素毎に備えた表示装置に関する。より詳しくは、各画素内に設けられた絶縁ゲート型電界効果トランジスタなどの能動素子によって発光素子に供給する電流量が制御される、所謂アクティブマトリクス型の画像表示装置に関する。更に詳しくは、絶縁ゲート型電界効果トランジスタに流れるサブスレッショルドレベルのリーク電流の抑制技術に関する。

【0002】

【従来の技術】一般に、アクティブマトリクス型の画像表示装置では、多数の画素をマトリクス状に並べ、与えられた輝度情報に応じて画素毎に光強度を制御することによって画像を表示する。電気光学物質として液晶を用いた場合には、各画素に書き込まれる電圧に応じて画素の透過率が変化する。電気光学物質として有機エレクトロルミネッセンス材料を用いたアクティブマトリクス型の画像表示装置でも、基本的な動作は液晶を用いた場合と同様である。しかし液晶ディスプレイと異なり、有機ELディスプレイは各画素に発光素子を有する、所謂自発光型であり、液晶ディスプレイに比べて画像の視認性が高い、バックライトが不要、応答速度が速い等の利点を有する。個々の発光素子の輝度は電流量によって制御される。即ち、発光素子が電流駆動型或いは電流制御型であるという点で液晶ディスプレイ等とは大きく異なる。

【0003】液晶ディスプレイと同様、有機ELディスプレイ

$$I_{ds} = \mu \cdot C_{ox} \cdot W/L/2 (V_{gs} - V_{th})^2 \\ = \mu \cdot C_{ox} \cdot W/L/2 (V_w - V_{th})^2 \quad \dots (1)$$

ここで $C_{ox}$ は単位面積当りのゲート容量であり、以下の式で与えられる。

プレイもその駆動方式として単純マトリクス方式とアクティブマトリクス方式とが可能である。前者は構造が単純であるものの大型且つ高精細のディスプレイの実現が困難であるため、アクティブマトリクス方式の開発が盛んに行われている。アクティブマトリクス方式は、各画素に設けた発光素子に流れる電流を画素内部に設けた能動素子（一般には、絶縁ゲート型電界効果トランジスタの一種である薄膜トランジスタ、以下TFTと呼ぶ場合がある）によって制御する。このアクティブマトリクス方式の有機ELディスプレイは例えば特開平8-234683号公報に開示されており、一画素分の等価回路を図6に示す。画素は発光素子OLED、第一の薄膜トランジスタTFT1、第二の薄膜トランジスタTFT2及び保持容量Cからなる。発光素子は有機エレクトロルミネッセンス（EL）素子である。有機EL素子は多くの場合整流性があるため、OLED（有機発光ダイオード）と呼ばれることがあり、図では発光素子OLEDとしてダイオードの記号を用いている。但し、発光素子は必ずしもOLEDに限るものではなく、素子に流れる電流量によって輝度が制御されるものであればよい。また、発光素子は必ずしも整流性が要求されるものではない。図示の例では、Pチャンネル型のTFT2のソースをV<sub>dd</sub>（電源電位）とし、発光素子OLEDのカソード（陰極）は接地電位に接続される一方、アノード（陽極）はTFT2のドレインに接続されている。一方、Nチャンネル型のTFT1のゲートは走査線scanに接続され、ソースはデータ線dataに接続され、ドレインは保持容量C及びTFT2のゲートに接続されている。

【0004】画素を動作させるために、まず、走査線scanを選択状態とし、データ線dataに輝度情報を表すデータ電位V<sub>w</sub>を印加すると、TFT1が導通し、保持容量Cが充電又は放電され、TFT2のゲート電位はデータ電位V<sub>w</sub>に一致する。走査線scanを非選択状態とすると、TFT1がオフになり、TFT2は電気的にデータ線dataから切り離されるが、TFT2のゲート電位は保持容量Cによって安定に保持される。TFT2を介して発光素子OLEDに流れる電流は、TFT2のゲート/ソース間電圧V<sub>gs</sub>に応じた値となり、発光素子OLEDはTFT2を通して供給される電流量に応じた輝度で発光し続ける。

【0005】さて、TFT2のドレイン/ソース間に流れる電流をI<sub>ds</sub>とすると、これがOLEDに流れる駆動電流である。TFT2が飽和領域で動作するものとすると、I<sub>ds</sub>は以下の式で表される。

$$C_{ox} = \epsilon_0 \cdot \epsilon_r / d \quad \dots (2)$$

(1)式及び(2)式中、V<sub>th</sub>はTFT2の閾値を示

し、 $\mu$ はキャリアの移動度を示し、 $W$ はチャネル幅を示し、 $L$ はチャネル長を示し、 $\epsilon_0$ は真空の誘電率を示し、 $\epsilon_r$ はゲート絶縁膜の比誘電率を示し、 $d$ はゲート絶縁膜の厚みである。

【0006】(1)式によれば、画素へ書き込む電位 $V_w$ によって $I_{ds}$ を制御でき、結果として発光素子OLEDの輝度を制御できることになる。ここで、TFT2を飽和領域で動作させる理由は次の通りである。即ち、飽和領域においては $I_{ds}$ は $V_{gs}$ のみによって制御され、ドレイン/ソース間電圧 $V_{ds}$ には依存しないため、OLEDの特性ばらつきにより $V_{ds}$ が変動しても、所定量の駆動電流 $I_{ds}$ をOLEDに流すことができるからである。

【0007】上述したように、図6に示した画素の回路構成では、一度 $V_w$ の書き込みを行えば、次に書き換えられるまで一走査サイクル(一フレーム)の間、OLEDは一定の輝度で発光を継続する。このような画素を図7のようにマトリクス状に多数配列すると、アクティブマトリクス型表示装置を構成することができる。図7に示すように、従来の表示装置は、所定の走査サイクル(例えばNTSC規格に従ったフレーム周期)で画素25を選択するための走査線 $scan1$ 乃至 $scanN$ と、画素25を駆動するための輝度情報(データ電位 $V_w$ )を与えるデータ線 $data$ とがマトリクス状に配設されている。走査線 $scan1$ 乃至 $scanN$ は走査線駆動回路21に接続される一方、データ線 $data$ はデータ線駆動回路22に接続される。走査線駆動回路21によって走査線 $scan1$ 乃至 $scanN$ を順次選択しながら、データ線駆動回路22によってデータ線 $data$ から $V_w$ の書き込みを繰り返すことにより、所望の画像を表示することができる。単純マトリクス型の表示装置では、各画素に含まれる発光素子は、選択された瞬間にのみ発光するのに対し、図7に示したアクティブマトリクス型の表示装置では、書き込み終了後も各画素25の発光素子が発光を継続するため、単純マトリクス型に比べ発光素子の駆動電流のレベルを下げられるなどの点で、特に大型高精細のディスプレイでは有利となる。

【0008】

【発明が解決しようとする課題】アクティブマトリクス型有機ELディスプレイにおいては、能動素子として一般にガラス基板上に形成されたTFT(Thin Film Transistor、薄膜トランジスタ)が利用されるが、これは次の理由による。すなわち、有機ELディスプレイは直視型であるという性質上、そのサイズは比較的大型となり、コストや製造設備の制約などから、能動素子の形成のために単結晶シリコン基板を用いることは現実的でない。かかる事情から、アクティブマトリクス型有機ELディスプレイでは、比較的大型のガラス基板が使用され、能動素子としてはその上に形成することが比較的容易なTFTが使用されるのが普通であ

る。ところが、TFTの形成に使用されるアモルファスシリコンやポリシリコンは、単結晶シリコンに比べて結晶性が悪く、伝導機構の制御性が悪いために、形成されたTFTは特性のばらつきが大きいことが知られている。特に、比較的大型のガラス基板上にポリシリコンTFTを形成する場合には、ガラス基板の熱変形等の問題を避けるため、通常、レーザアニール法が用いられるが、大きなガラス基板に均一にレーザエネルギーを照射することは難しく、ポリシリコンの結晶化の状態が基板内の場所によってばらつきを生ずることが避けられない。

【0009】この結果、同一基板上に形成したTFTでも、その $V_{th}$ (閾値)が画素によって数百mV、場合によっては1V以上ばらつくことも希ではない。この場合、例えば異なる画素に対して同じ信号電位 $V_w$ を書き込んでも、画素によって $V_{th}$ がばらつく結果、前掲の(1)式に従って、OLEDに流れる電流 $I_{ds}$ は画素毎に大きくばらついて全く所望の値からはずれず結果となり、ディスプレイとして高い画質を期待することはできない。これは $V_{th}$ のみではなく、キャリア移動度 $\mu$ 等(1)式の各パラメータのばらつきについても同様のことが言える。また、上記の各パラメータのばらつきは、上述のような画素間のばらつきのみならず、製造ロット毎、あるいは製品毎によってもある程度は変動することが避けられない。このような場合は、OLEDに流すべき所望の電流 $I_{ds}$ に対し、データ線電位 $V_w$ をどう設定すべきかについて、製品毎に(1)式の各パラメータの出来上がりに応じて決定する必要があるが、これはディスプレイの量産工程においては非現実的であるばかりでなく、環境温度によるTFTの特性変動、更に長期間の使用によって生ずるTFT特性の経時変化については対策を講ずることが極めて難しい。本発明は、上述の問題に鑑みてなされた画素回路およびその駆動方法に関するものであり、その目的は、画素内部の能動素子の特性ばらつきによらず、安定且つ正確に各画素の発光素子に所望の電流を供給し、その結果として高品位な画像を表示することが可能な表示装置を提供することにある。特に、OLEDを駆動するTFTに流れるサブスレッショルドレベルのリーク電流を抑制して、画素の微発光を防ぎ、以て高品位な画像表示を達成することを目的とする。

【0010】

【課題を解決する為の手段】上記目的を達成する為に以下の手段を講じた。即ち、本発明は、走査線を順次選択する走査線駆動回路と、輝度情報に応じた電流レベルを有する信号電流を生成して逐次データ線に供給する電流源を含むデータ線駆動回路と、各走査線及び各データ線の交差部に配されていると共に、駆動電流の供給を受けて発光する電流駆動型の発光素子を含む複数の画素とを備えた表示装置であって、当該画素は、当該走査線が選

扱われたとき当該データ線から信号電流を取り込む受入部と、取り込んだ信号電流の電流レベルを一旦電圧レベルに変換して保持する変換部と、保持された電圧レベルに応じた電流レベルを有する駆動電流を当該発光素子に流す駆動部とを含み、前記変換部は、ゲート、ソース、ドレイン及びチャネルを備えた変換用絶縁ゲート型電界効果トランジスタと、該ゲートに接続した容量とを含んでおり、前記変換用絶縁ゲート型電界効果トランジスタは、該受入部によって取り込まれた信号電流を該チャネルに流して変換された電圧レベルを該ゲートに発生させ、前記容量は該ゲートに生じた電圧レベルを保持し、前記駆動部は、ゲート、ドレイン、ソース及びチャネルを備えた駆動用絶縁ゲート型電界効果トランジスタを含んでおり、前記駆動用絶縁ゲート型電界効果トランジスタは、該容量に保持された電圧レベルをゲートに受け入れそれに応じた電流レベルを有する駆動電流をチャネルを介して該発光素子に流し、前記駆動用絶縁ゲート型電界効果トランジスタは、その閾電圧が画素内で対応する変換用絶縁ゲート型電界効果トランジスタの閾電圧より低くならない様に設定されている。具体的には、前記駆動用絶縁ゲート型電界効果トランジスタは、そのゲート長が画素内で対応する変換用絶縁ゲート型電界効果トランジスタのゲート長より短くならない様に設定されている。或いは、前記駆動用絶縁ゲート型電界効果トランジスタは、そのゲート絶縁膜が画素内で対応する変換用絶縁ゲート型電界効果トランジスタのゲート絶縁膜より薄くならない様に設定されている。或いは、前記駆動用絶縁ゲート型電界効果トランジスタは、チャネルに注入される不純物濃度を調整して、その閾電圧が画素内で対応する変換用絶縁ゲート型電界効果トランジスタの閾電圧より低くならない様に設定されている。好ましくは、前記駆動用絶縁ゲート型電界効果トランジスタは飽和領域で動作し、そのゲートに印加された電圧レベルと閾電圧との差に応じた駆動電流を該発光素子に流す。又、前記変換用絶縁ゲート型電界効果トランジスタのゲートと前記駆動用絶縁ゲート型電界効果トランジスタのゲートとが直接に接続されてカレントミラー回路を構成し、信号電流の電流レベルと駆動電流の電流レベルとが比例関係となる様にする。又、前記変換部は、該変換用絶縁ゲート型電界効果トランジスタのドレインとゲートとの間に挿入されたスイッチ用絶縁ゲート型電界効果トランジスタを含んでおり、該スイッチ用絶縁ゲート型電界効果トランジスタは、信号電流の電流レベルを電圧レベルに変換する時に導通し、該変換用絶縁ゲート型電界効果トランジスタのドレインとゲートを電気的に接続してソースを基準とする電圧レベルをゲートに生ぜしめる一方、該スイッチ用絶縁ゲート型電界効果トランジスタは、電圧レベルを該容量に保持する時に遮断され、該変換用絶縁ゲート型電界効果トランジスタのゲート及びこれに接続した該容量をドレインから切り離す。好ましくは、前記

発光素子は有機エレクトロルミネッセンス素子を用いる。好ましくは、前記駆動用絶縁ゲート型電界効果トランジスタ及び変換用絶縁ゲート型電界効果トランジスタは、多結晶半導体薄膜でソース、ドレイン及びチャネルを形成した薄膜トランジスタである。

【0011】本発明の画素回路は次の特徴を有する。第一に、画素への輝度情報の書き込みは、輝度に応じた大きさの信号電流をデータ線に流すことによって行われ、その電流は画素内部の変換用絶縁ゲート型電界効果トランジスタのソース・ドレイン間を流れ、結果その電流レベルに応じたゲート・ソース間電圧を生ずる。第二に、上記で生じたゲート・ソース間電圧、またはゲート電位は、画素内部に形成された、もしくは寄生的に存在する容量の作用によって保持され、書き込み終了後も所定の期間、概ねそのレベルを保つ。第三に、OLEDに流れる電流は、それと直列に接続された前記変換用絶縁ゲート型電界効果トランジスタ自身、もしくはそれとは別に画素内部に設けられ該変換用絶縁ゲート型電界効果トランジスタとゲートを共通接続された駆動用絶縁ゲート型電界効果トランジスタによって制御され、OLED駆動の際のゲート・ソース間電圧が、第一の特徴によって生じた変換用絶縁ゲート型電界効果トランジスタのゲート・ソース間電圧に概ね等しい。第四に、書き込み時には、第1の走査線によって制御される取込用絶縁ゲート型電界効果トランジスタによってデータ線と画素内部が導通され、第2の走査線によって制御されるスイッチ用絶縁ゲート型電界効果トランジスタによって前記変換用絶縁ゲート型電界効果トランジスタのゲート・ドレイン間が短絡される。以上まとめると、従来例においては輝度情報が電圧値の形で与えられたのに対し、本発明の表示装置においては電流値の形で与えられること、即ち電流書き込み型であることが著しい特徴である。

【0012】本発明は、既に述べたようにTFTの特性ばらつきによらず、正確に所望の電流をOLEDに流すことを目的とするが、上記第一ないし第四の特徴によって、本目的が達成できる理由を以下に説明する。なお、以下変換用絶縁ゲート型電界効果トランジスタをTFT1、駆動用絶縁ゲート型電界効果トランジスタをTFT2、取込用絶縁ゲート型電界効果トランジスタをTFT3、スイッチ用絶縁ゲート型電界効果トランジスタをTFT4と記す。但し本発明はTFT（薄膜トランジスタ）に限られるものではなく、単結晶シリコン基板やSOI基板に作成される単結晶シリコントランジスタなど広く絶縁ゲート型電界効果トランジスタを能動素子として採用可能である。さて、輝度情報の書き込み時、TFT1に流す信号電流を $I_w$ 、その結果TFT1に生ずるゲート・ソース間電圧を $V_{gs}$ とする。書き込み時はTFT4によってTFT1のゲート・ドレイン間が短絡されているので、TFT1は飽和領域で動作する。よって、 $I_w$ は、以下の式で与えられる。

$$I_w = \mu_1 \cdot C_{ox1} \cdot W_1 / L_1 / 2 (V_{gs} - V_{th1})^2 \quad \dots (3)$$

ここで各パラメータの意味は前記(1)式の場合に準ずる。次に、OLEDに流れる電流を $I_{drv}$ とすると、 $I_{drv}$ は、OLEDと直列に接続されるTFT2によって電流レベルが制御される。本発明では、そのゲート

$$I_{drv} = \mu_2 \cdot C_{ox2} \cdot W_2 / L_2 / 2 (V_{gs} - V_{th2})^2 \quad \dots (4)$$

各パラメータの意味は前記(1)式の場合に準ずる。なお、絶縁ゲート電界効果型の薄膜トランジスタが飽和領域で動作するための条件は、 $V_{ds}$ をドレイン・ソース間電圧として、一般に以下の式で与えられる。

$$|V_{ds}| > |V_{gs} - V_{th}| \quad \dots (5)$$

【0013】ここで、TFT1とTFT2とは、小さな

$$I_{drv} / I_w = (W_2 / L_2) / (W_1 / L_1) \quad \dots (6)$$

ここで注意すべき点は、(3)式及び(4)式において、 $\mu$ 、 $C_{ox}$ 、 $V_{th}$ の値自体は、画素毎、製品毎、あるいは製造ロット毎にばらつくのが普通であるが、(6)式はこれらのパラメータを含まないので、 $I_{drv} / I_w$ の値はこれらのばらつきに依存しないということである。仮に $W_1 = W_2$ 、 $L_1 = L_2$ と設計すれば、 $I_{drv} / I_w = 1$ 、すなわち $I_w$ と $I_{drv}$ が同一の値となる。すなわちTFTの特性ばらつきによらず、OLEDに流れる駆動電流 $I_{drv}$ は、正確に信号電流 $I_w$ と同一になるので、結果としてOLEDの発光輝度を正確に制御できる。

【0014】以上の様に、変換用TFT1の $V_{th1}$ と駆動用TFT2の $V_{th2}$ は基本的に同一である為、両TFTお互いの共通電位にあるゲートに対してカットオフレベルの信号電圧が印加されると、TFT1及びTFT2共に非導通状態になるはずである。ところが、実際には画素内でもパラメータのばらつきなどの要因により、 $V_{th1}$ よりも $V_{th2}$ が低くなってしまふことがある。この時には、駆動用TFT2にサブスレッショルドレベルのリーク電流が流れる為、OLEDは微発光を呈する。この微発光により画面のコントラストが低下し表示特性が損なわれる。そこで、本発明では特に、駆動用TFT2の閾電圧 $V_{th2}$ が画素内で対応する変換用TFT1の閾電圧 $V_{th1}$ より低くならない様に設定している。例えば、TFT2のゲート長 $L_2$ をTFT1のゲート長 $L_1$ よりも長くして、これらの薄膜トランジスタのプロセスパラメータが変動しても、 $V_{th2}$ が $V_{th1}$ よりも低くならない様にする。これにより、微少な電流リークを抑制することが可能である。

【0015】

【発明の実施の形態】図1は本発明による画素回路の例である。この回路は、信号電流が流れる変換用トランジスタTFT1、有機EL素子等からなる発光素子に流れる駆動電流を制御する駆動用トランジスタTFT2の他、第1の走査線 $scanA$ の制御によって画素回路とデータ線 $data$ とを接続もしくは遮断する取込用トラ

・ソース間電圧が(3)式の $V_{gs}$ に一致するので、TFT2が飽和領域で動作すると仮定すれば、以下の式が成り立つ。

画素内部に近接して形成されるため、大略 $\mu_1 = \mu_2$ 及び $C_{ox1} = C_{ox2}$ であり、特に工夫を凝らさない限り、 $V_{th1} = V_{th2}$ と考えられる。すると、このとき(3)式及び(4)式から容易に以下の式が導かれる。

ンジスタTFT3、第2の走査線 $scanB$ の制御によって書き込み期間中にTFT1のゲート・ドレインを短絡するスイッチ用トランジスタTFT4、TFT1のゲート・ソース間電圧を、書き込み終了後も保持するための容量 $C$ 、及び発光素子OLEDから成る。図1でTFT3はNMOS、その他のトランジスタはPMOSで構成しているが、これは一例であって、必ずしもこの通りである必要はない。容量 $C$ は、その一方の端子をTFT1のゲートに接続され、他方の端子は $V_{dd}$ (電源電位)に接続されているが、 $V_{dd}$ に限らず任意の一定電位でも良い。OLEDのカソード(陰極)は接地電位に接続されている。

【0016】基本的に、本発明にかかる表示装置は、走査線 $scanA$ 及び $scanB$ を順次選択する走査線駆動回路と、輝度情報に応じた電流レベルを有する信号電流 $I_w$ を生成して逐次データ線 $data$ に供給する電流源 $CS$ を含むデータ線駆動回路と、各走査線 $scanA$ 、 $scanB$ 及び各データ線 $data$ の交差部に配されていると共に、駆動電流の供給を受けて発光する電流駆動型の発光素子OLEDを含む複数の画素とを備えている。特徴事項として、図1に示した当該画素は、当該走査線 $scanA$ が選択された時当該データ線 $data$ から信号電流 $I_w$ を取り込む受入部と、取り込んだ信号電流 $I_w$ の電流レベルを一旦電圧レベルに変換して保持する変換部と、保持された電圧レベルに応じた電流レベルを有する駆動電流を当該発光素子OLEDに流す駆動部とからなる。具体的には、前記受入部は取込用トランジスタTFT3からなる。前記変換部は、ゲート、ソース、ドレイン及びチャネルを備えた変換用薄膜トランジスタTFT1と、そのゲートに接続した容量 $C$ とを含んでいる。変換用薄膜トランジスタTFT1は、受入部によって取り込まれた信号電流 $I_w$ をチャネルに流して変換された電圧レベルをゲートに発生させ、容量 $C$ はゲートに生じた電圧レベルを保持する。更に前記変換部は、変換用薄膜トランジスタTFT1のドレインとゲートとの間に挿入されたスイッチ用薄膜トランジスタTFT4



を含んでいる。スイッチ用薄膜トランジスタTFT4は、信号電流 $I_w$ の電流レベルを電圧レベルに変換する時に導通し、変換用薄膜トランジスタTFT1のドレインとゲートを電氣的に接続してソースを基準とする電圧レベルをTFT1のゲートに生ぜしめる。又、スイッチ用薄膜トランジスタTFT4は、電圧レベルを容量Cに保持する時に遮断され、変換用薄膜トランジスタTFT1のゲート及びこれに接続した容量CをTFT1のドレインから切り離す。

【0017】更に、前記駆動部は、ゲート、ドレイン、ソース及びチャンネルを備えた駆動用薄膜トランジスタTFT2を含んでいる。駆動用薄膜トランジスタTFT2は、容量Cに保持された電圧レベルをゲートに受け入れそれに応じた電流レベルを有する駆動電流をチャンネルを介して発光素子OLEDに流す。変換用薄膜トランジスタTFT1のゲートと駆動用薄膜トランジスタTFT2のゲートとが直接に接続されてカレントミラー回路を構成し、信号電流 $I_w$ の電流レベルと駆動電流の電流レベルとが比例関係となる様にした。駆動用薄膜トランジスタTFT2は飽和領域で動作し、そのゲートに印加された電圧レベルと閾電圧との差に応じた駆動電流を発光素子OLEDに流す。

【0018】本発明の特徴事項として、駆動用薄膜トランジスタTFT2は、その閾電圧が画素内で対応する変換用薄膜トランジスタTFT1の閾電圧より低くならない様に設定されている。具体的には、TFT2は、そのゲート長がTFT1のゲート長より短くならない様に設定されている。あるいは、TFT2は、そのゲート絶縁膜が画素内で対応するTFT1のゲート絶縁膜より薄くならないように設定しても良い。あるいは、TFT2は、そのチャンネルに注入される不純物濃度を調整して、閾電圧が画素内で対応するTFT1の閾電圧より低くならない様に設定してもよい。仮に、TFT1とTFT2の閾電圧が同一となる様に設定した場合、共通接続された両薄膜トランジスタのゲートにカットオフレベルの信号電圧が印加されると、TFT1及びTFT2は両方共オフ状態になるはずである。ところが、実際には画素内にも僅かながらプロセスパラメータのばらつきがあり、TFT1の閾電圧よりTFT2の閾電圧が低くなる場合がある。この時には、カットオフレベル以下の信号電圧でもサブスレッショルドレベルの微弱電流が駆動用TFT2に流れる為、OLEDは微発光し画面のコントラスト低下が現れる。そこで、本発明では、TFT2のゲート長をTFT1のゲート長よりも長くしている。これにより、薄膜トランジスタのプロセスパラメータが画素内で変動しても、TFT2の閾電圧がTFT1の閾電圧よりも低くならない様にする。

【0019】図2は、薄膜トランジスタのゲート長Lと閾電圧 $V_{th}$ の関係を示すグラフである。ゲート長Lが比較的短い短チャンネル効果領域Aでは、ゲート長Lの増

加に伴い $V_{th}$ が上昇する。一方、ゲート長Lが比較的大きな抑制領域Bではゲート長Lに関わらず $V_{th}$ はほぼ一定である。この特性を利用して、本発明ではTFT2のゲート長をTFT1のゲート長よりも長くしている。例えば、TFT1のゲート長が $7\mu\text{m}$ の場合、TFT2のゲート長を $10\mu\text{m}$ 程度にする。TFT1のゲート長が短チャンネル効果領域Aに属する一方、TFT2のゲート長が抑制領域Bに属する様にしても良い。これにより、TFT2における短チャンネル効果を抑制することができるとともに、プロセスパラメータの変動による閾電圧低減を抑制可能である。以上により、TFT2に流れるサブスレッショルドレベルのリーク電流を抑制してOLEDの微発光を抑え、コントラスト改善に寄与可能である。

【0020】図3は、図1に示した画素回路の断面構造を模式的に表している。但し、図示を容易にするため、OLEDとTFT2のみを表している。OLEDは、反射電極10、有機EL層11及び透明電極12を順に重ねたものである。反射電極10は画素毎に分離しておりOLEDのアノードとして機能する、透明電極12は画素間で共通接続されており、OLEDのカソードとして機能する。即ち、透明電極12は所定の電源電位 $V_{dd}$ に共通接続されている。有機EL層11は例えば正孔輸送層と電子輸送層とを重ねた複合膜となっている。例えば、アノード（正孔注入電極）として機能する反射電極10の上に正孔輸送層としてDiamyneを蒸着し、その上に電子輸送層としてAlq3を蒸着し、更にその上にカソード（電子注入電極）として機能する透明電極12を成膜する。尚、Alq3は、8-hydroxyquinoline aluminumを表している。このような積層構造を有するOLEDは一例に過ぎない。かかる構成を有するOLEDのアノード/カソード間に順方向の電圧（10V程度）を印加すると、電子や正孔等キャリアの注入が起こり、発光が観測される。OLEDの動作は、正孔輸送層から注入された正孔と電子輸送層から注入された電子より形成された励起子による発光と考えられる。

【0021】一方、TFT2はガラス等からなる基板1の上に形成されたゲート電極2と、その上面に重ねられたゲート絶縁膜3と、このゲート絶縁膜3を介してゲート電極2の上方に重ねられた半導体薄膜4とからなる。この半導体薄膜4は例えば多結晶シリコン薄膜からなる。TFT2はOLEDに供給される電流の通路となるソースS、チャンネルCh及びドレインDを備えている。チャンネルChは丁度ゲート電極2の直上に位置する。このボトムゲート構造のTFT2は層間絶縁膜5により被覆されており、その上にはソース電極6及びドレイン電極7が形成されている。これらの上には別の層間絶縁膜9を介して前述したOLEDが成膜されている。なお、図3の例ではTFT2のドレインにOLEDのアノード

を接続する為、TFT2としてPチャンネル薄膜トランジスタを用いている。

【0022】ここで、TFT2のゲート長LはTFT1（図示せず）のゲート長よりも長くなる様に設定されている。あるいは、TFT2のゲート絶縁膜3の厚みdをTFT1のゲート絶縁膜の厚みよりも大きくしてもよい。薄膜トランジスタの閾電圧はゲート絶縁膜の厚みが大きくなる程上昇する。場合によっては、TFT2のチャンネルChに不純物を選択的に注入して閾電圧を調整してもよい。PチャンネルのTFT2の場合その閾電圧をよりエンハンスメント側にシフトする為、不純物P又はAsをチャンネルChに選択的にドーピングすればよい。

【0023】次に、図4を参照して、図1に示した画素回路の駆動方法を簡潔に説明する。まず、書き込み時には第1の走査線scanA、第2の走査線scanBを選択状態とする。図4の例では、scanAを低レベル、scanBを高レベルとしている。両走査線が選択された状態でデータ線dataに電流源CSを接続することにより、TFT1に輝度情報に応じた信号電流Iwが流れる。電流源CSは輝度情報に応じて制御される可変電流源である。このとき、TFT1のゲート・ドレイン間はTFT4によって電氣的に短絡されているので

(5)式が成立し、TFT1は飽和領域で動作する。従って、そのゲート・ソース間には(3)式で与えられる電圧Vgsが生ずる。次に、scanA、scanBを非選択状態とする。詳しくは、まずscanBを低レベルとしてTFT4をoff状態とする。これによってVgsが容量Cによって保持される。次にscanAを高レベルにしてoff状態とすることにより、画素回路とデータ線dataとが電氣的に遮断されるので、その後はデータ線dataを介して別の画素への書き込みを行うことができる。ここで、電流源CSが信号電流の電流レベルとして出力するデータは、scanBが非選択となる時点では有効である必要があるが、その後は任意のレベル（例えば次の画素の書き込みデータ）とされて良い。TFT2はTFT1とゲート及びソースが共通接続されており、かつ共に小さな画素内部に近接して形成されているので、TFT2が飽和領域で動作していれば、TFT2を流れる電流は(4)式で与えられ、これがすなわちOLEDに流れる駆動電流I<sub>drv</sub>となる。TFT2を飽和領域で動作させるには、OLEDでの電圧降下を考慮してもなお(5)式が成立するよう、十分な電源電位をV<sub>dd</sub>に与えれば良い。

【0024】図5は、図1の画素回路をマトリクス状に並べて構成した表示装置の例である。その動作を以下に説明する。まず、垂直スタートパルス(VSP)がシフトレジスタを含む走査線駆動回路A21と同じくシフトレジスタを含む走査線駆動回路B23に入力される。走査線駆動回路A21、走査線駆動回路B23はVSPを受けた後、垂直クロック(VCKA、VCKB)に同

期してそれぞれ第1の走査線scanA1～scanAN、第2の走査線scanB1～scanBNを順次選択する。各データ線dataに対応して電流源CSがデータ線駆動回路22内に設けられており、輝度情報に応じた電流レベルでデータ線を駆動する。電流源CSは、図示の電圧/電流変換回路からなり、輝度情報を表す電圧に応じて信号電流を出力する。信号電流は選択された走査線上の画素に流れ、走査線単位で電流書き込みが行われる。各画素はその電流レベルに応じた強度で発光を開始する。ただし、VCKAは、VCKBに対し、遅延回路24によってわずかに遅延されている。これにより、図4に示したように、scanBがscanAに先立って非選択となる。

【0025】

【発明の効果】本発明の画素回路、及びその駆動法によれば、能動素子(TFTなど)の特性ばらつきによらず、データ線からの信号電流I<sub>w</sub>に正確に比例（または対応）する駆動電流I<sub>drv</sub>を、電流駆動型の発光素子（有機EL素子など）に流すことが可能である。このような画素回路をマトリクス状に多数配置することにより、各画素を正確に所望の輝度で発光させることができるので、高品位なアクティブマトリクス型表示装置を提供することが可能である。特に、駆動用TFTの閾電圧を変換用TFTの閾電圧より低くならない様に設定することで、発光素子に流れるリーク電流を抑制し、以て発光素子の微発光を抑える。これにより、有機ELディスプレイなど電流駆動型の表示装置のコントラストを改善して画質を高めることが可能になる。

【図面の簡単な説明】

【図1】本発明に係る表示装置を構成する画素回路の実施形態を示す回路図である。

【図2】薄膜トランジスタのゲート長と閾電圧との関係を示すグラフである。

【図3】本発明に係る表示装置の構成例を示す断面図である。

【図4】図1に示した実施形態における各信号の波形例を示す波形図である。

【図5】図1の実施形態に係る画素回路を使用した表示装置の構成例を示すブロック図である。

【図6】従来の画素回路の例を示す回路図である。

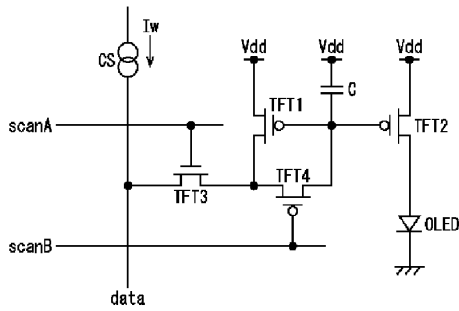
【図7】従来の表示装置の構成例を示すブロック図である。

【符号の説明】

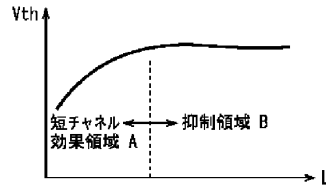
OLED・・・発光素子、TFT1・・・変換用薄膜トランジスタ、TFT2・・・駆動用薄膜トランジスタ、TFT3・・・取込用薄膜トランジスタ、TFT4・・・スイッチ用薄膜トランジスタ、C・・・保持容量、CS・・・電流源、scanA・・・走査線、scanB・・・走査線、data・・・データ線、21・・・走査線駆動回路、22・・・データ線駆動回路、23・・・

・走査線駆動回路、2.5・・・画素

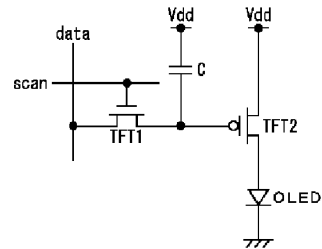
【図1】



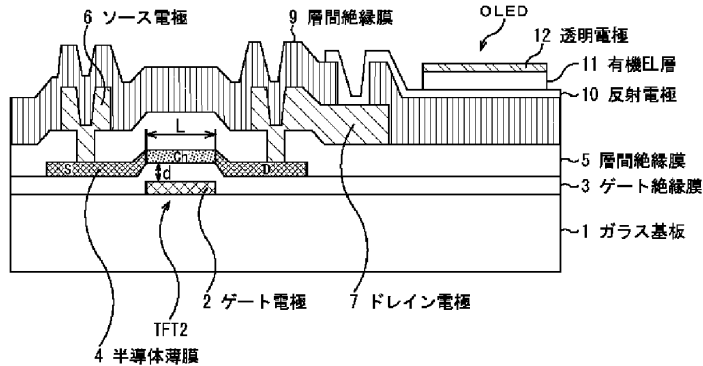
【図2】



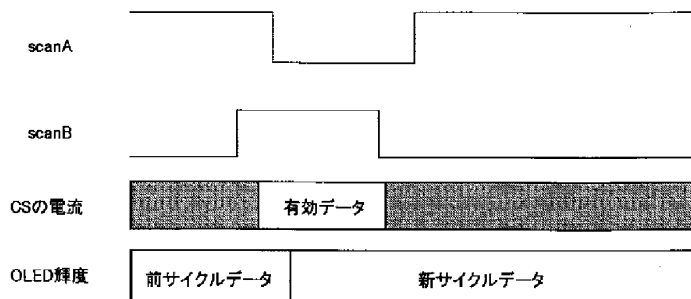
【図6】



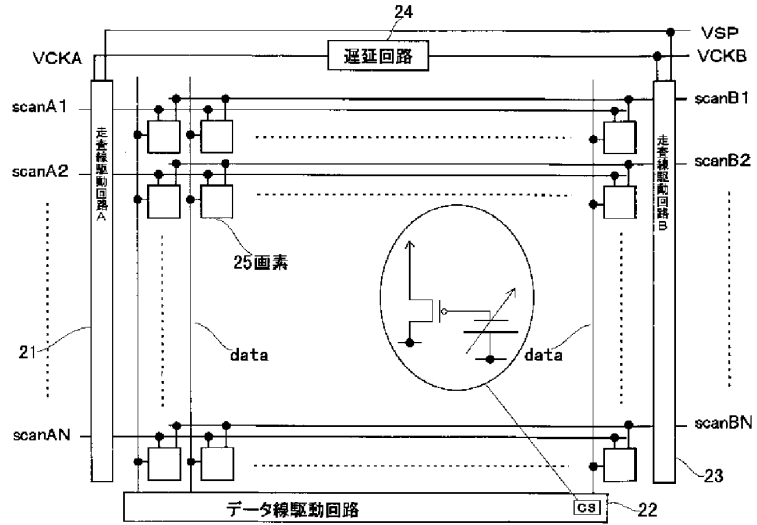
【図3】



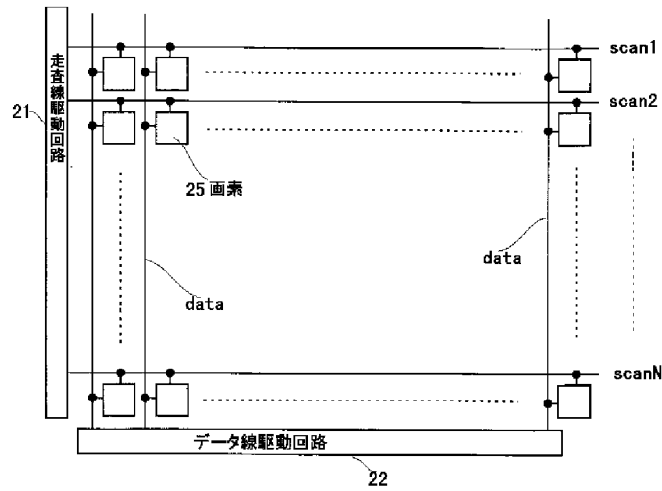
【図4】



【図5】



【図7】



フロントページの続き

(51)Int. Cl.<sup>7</sup>

識別記号

F I

ターマード (参考)

// H 0 5 B 33/14

H 0 1 L 29/78

6 1 4

Fターム(参考) 3K007 AB17 BA06 CA01 CB01 CC01  
DA00 DB03 EB00 FA01  
5C080 AA06 BB05 CC03 DD12 DD30  
EE25 FF12 HH09 KK02  
5C094 AA02 AA06 AA07 AA14 AA25  
BA03 BA27 CA19 DA09 EA05  
EB02 FB01  
5F110 AA06 AA08 AA14 BB02 CC08  
DD02 EE25 GG02 GG13 GG32  
NN02 NN78 NN80

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-195810

(P2003-195810A)

(43)公開日 平成15年7月9日(2003.7.9)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード*(参考)
G 0 9 G 3/30		C 0 9 G 3/30	J 3 K 0 0 7
	6 1 1		6 1 1 H 5 C 0 8 0
	6 2 3		6 2 3 R
	6 2 4		6 2 4 B
H 0 5 B 33/14		H 0 5 B 33/14	Δ
		審査請求 有	請求項の数40 O L (全 23 頁)

(21)出願番号 特願2001-400557(P2001-400557)

(22)出願日 平成13年12月28日(2001.12.28)

(71)出願人 000001443

カシオ計算機株式会社

東京都渋谷区本町1丁目6番2号

(72)発明者 白崎 友之

東京都八王子市石川町2951番地5 カシオ

計算機株式会社八王子研究所内

(72)発明者 山田 裕康

東京都八王子市石川町2951番地5 カシオ

計算機株式会社八王子研究所内

(74)代理人 100090033

弁理士 荒船 博司 (外1名)

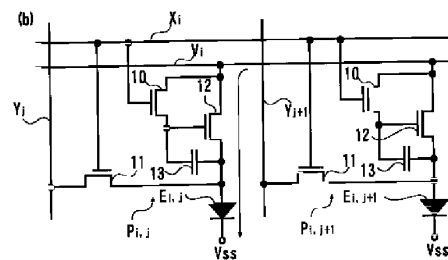
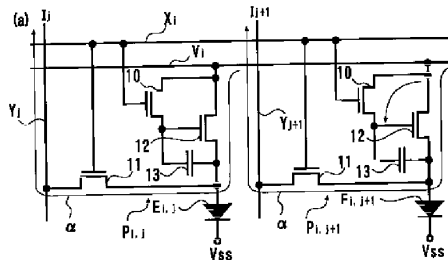
最終頁に続く

(54)【発明の名称】 駆動回路、駆動装置及び光学要素の駆動方法

(57)【要約】

【課題】 課題は、画素が所望の輝度で発光するようにし、更に、各画素の発光面積率を向上することである。

【解決手段】 トランジスタ(以下、Trという。)10のゲート電極は走査線X<sub>i</sub>に接続されており、Tr10のドレイン電極は、Tr12のドレイン電極に接続されている。Tr12のドレイン電極は電源線V<sub>i</sub>に接続されており、Tr12のゲート電極はTr10のソース電極に接続されている。Tr12のソース電極は、Tr11のドレイン電極及び有機EL素子E<sub>i,j</sub>のアノードに接続されている。Tr11のゲート電極は走査線X<sub>i</sub>に接続されている。Tr11のソース電極は信号線Y<sub>j</sub>に接続されており、Tr11のソース電極は信号線Y<sub>j</sub>に接続されている。選択期間では、Tr11, 12, 13がオンになり、指定電流値がTr11に書き込まれる。非選択期間では、Tr12のみがオンであり、Tr11に書き込まれた電流値で、電流が有機EL素子E<sub>i,j</sub>に流れる。



【特許請求の範囲】

【請求項1】 一对の電極を有し、一对の電極間を流れる電流に従った光学的動作を示す光学要素と、電流路及び制御端子を有し、電流路の一端が前記光学要素の一对の電極の一方に接続され、制御端子と電流路の一端との間の電圧に従った電流値の電流が電流路に流れる第一スイッチング素子と、前記第一スイッチング素子の電流路の他端に接続され、前記光学要素に電流を流すための電源信号が出力される電源線と、光学要素を選択するための走査信号が出力される走査線と、前記電源線から前記第一スイッチング素子の電流路を介して所与の電流値の電流が流れる信号線と、前記走査線の走査信号に応じて前記第一スイッチング素子の前記制御端子に印加される電圧を制御する第二スイッチング素子と、前記走査線の走査信号に応じて、前記信号線に流れる電流を制御する第三スイッチング素子と、を備えることを特徴とする駆動回路。

【請求項2】 請求項1記載の駆動回路であって、選択期間中に前記走査線の走査信号の電位がオンレベルになることによって、前記第一スイッチング素子、第二スイッチング素子及び前記第三スイッチング素子がオンして、前記電源線から前記第一スイッチング素子及び前記第三スイッチング素子を介して前記信号線へ所与の電流値の電流が流れ、非選択期間中に前記走査線の走査信号電位がオフレベルになることによって、前記第二スイッチング素子及び前記第三スイッチング素子がオフして前記第一スイッチング素子の前記制御端子と前記第一スイッチング素子の電流路の一端との間の電荷が、前記第一スイッチング素子の前記制御端子と前記第一スイッチング素子の電流路の一端との間の寄生容量に保持されることを特徴とする駆動回路。

【請求項3】 請求項1記載の駆動回路であって、一方の極が前記第一スイッチング素子の制御端子に接続されており、他方の極が前記第一スイッチング素子の電流路の一端に接続されているコンデンサを具備する駆動回路。

【請求項4】 請求項3記載の駆動回路であって、選択期間中に前記走査線の走査信号の電位がオンレベルになることによって、前記第一スイッチング素子、第二スイッチング素子及び前記第三スイッチング素子がオンして、前記電源線から前記第一スイッチング素子及び前記第三スイッチング素子を介して前記信号線へ所与の電流値の電流が流れ、非選択期間中に前記走査線の走査信号電位がオフレベルになることによって、前記第二スイッチング素子及び前記第三スイッチング素子がオフして前記第一スイッチン

グ素子の前記制御端子と前記第一スイッチング素子の電流路の一端との間の電荷が、前記コンデンサに保持されることを特徴とする駆動回路。

【請求項5】 請求項1から4の何れかに記載の駆動回路であって、

選択期間中、前記電源線の電源信号は前記光学要素の一对の電極の他方に印加される電圧以下であり、非選択期間中、前記電源線の電源信号は前記光学要素の一对の電極の他方に印加される電圧より高いことを特徴とする駆動回路。

【請求項6】 請求項1から5の何れかに記載の駆動回路であって、

非選択期間中、前記第一スイッチング素子の電流路の他端と前記光学要素の一对の電極の他方との間の電圧は、前記第一スイッチング素子の前記制御端子と前記第一スイッチング素子の電流路の一端との間の電圧に従って設定される前記第一スイッチング素子の電流路を流れる電流が飽和電流となる程度の高さであることを特徴とする駆動回路。

【請求項7】 請求項1から6の何れかに記載の駆動回路であって、

前記第一スイッチング素子、前記第二スイッチング素子及び前記第三スイッチング素子は単チャネルの薄膜トランジスタであることを特徴とする駆動回路。

【請求項8】 請求項1から7の何れかに記載の駆動回路であって、

前記光学要素は、有機EL素子であることを特徴とする駆動回路。

【請求項9】 一对の電極を有し、一对の電極間を流れる電流に従った光学的動作を示す光学要素と、電流路及び制御端子を有し、電流路の一端が前記光学要素の一对の電極の一方に接続され、制御端子と電流路の一端との間の電圧に従った電流値の電流が電流路に流れる第一スイッチング素子と、

前記第一スイッチング素子の電流路の他端に接続され、前記光学要素に電流を流すための電源信号が出力される電源線と、

光学要素を選択するための走査信号が出力される走査線と、

前記電源線から前記第一スイッチング素子の電流路を介して所与の電流値の電流が流れる信号線と、

前記走査線の走査信号に応じて前記第一スイッチング素子の前記制御端子に印加される電圧を制御する第二スイッチング素子と、

前記走査線の走査信号に応じて、前記信号線に流れる電流を制御する第三スイッチング素子と、

を有する駆動回路と、

前記電源線に電源信号を出力する電源ドライバと、

前記走査線に走査信号を出力する選択走査ドライバと、

前記信号線に所与の電流値の電流を流す電流シンクを有

するデータドライバと、

を備えることを特徴とする駆動装置。

【請求項10】一対の電極を有し、非選択期間中に一対の電極間を流れる電流に従った光学的動作を示す光学要素と、

電流路及び制御端子を有し、電流路の一端が前記光学要素の一対の電極の一方に接続され、前記制御端子と電流路の一端との間の電圧に従った電流値の電流が電流路に流れる第一スイッチング素子と、

前記第一スイッチング素子の前記制御端子と前記第一スイッチング素子の電流路の一端との間に設けられ、選択期間にチャージされた電荷を前記非選択期間中まで保持するコンデンサと、

前記選択期間に前記第一スイッチング素子の制御端子を所定のオン電圧に設定するとともに前記コンデンサの一端に電荷をチャージさせる第二スイッチング素子と、電流路の一端が、前記光学要素の一対の電極の一方と前記第一スイッチング素子の電流路の一端との間に接続され、前記選択期間に、画像データに従って前記第一スイッチング素子の電流路に所与値の電流を流す第三スイッチング素子と、

を備えることを特徴とする駆動回路。

【請求項11】請求項10記載の駆動回路であって、前記非選択期間中、前記第二スイッチング素子及び第三スイッチング素子はオフ状態であることを特徴とする駆動回路。

【請求項12】請求項10又は11記載の駆動回路であって、

前記選択期間中に前記第一スイッチング素子の電流路の他端及び前記第二スイッチング素子の電流路の一端に印加される電圧は、前記光学要素の一対の電極の他方の電位以下であることを特徴とする駆動回路。

【請求項13】請求項10から12の何れかに記載の駆動回路であって、

前記非選択期間中に前記第一スイッチング素子の電流路の他端及び前記第二スイッチング素子の電流路の一端に印加される電圧は、前記光学要素の一対の電極の他方の電位より高いことを特徴とする駆動回路。

【請求項14】請求項10から13の何れかに記載の駆動回路であって、

前記第三スイッチング素子の電流路の一端は前記第一スイッチング素子の電流路の一端に接続され、前記選択期間中に前記第三スイッチング素子の電流路の他端に印加される電圧は、前記選択期間中に前記第一スイッチング素子の電流路の他端及び前記第二スイッチング素子の電流路の一端に印加される電圧以下であることを特徴とする駆動回路。

【請求項15】請求項10から14の何れかに記載の駆動回路であって、

非選択期間中、前記第一スイッチング素子の電流路の他

端と前記光学要素の一対の電極の他方との間の電圧は、前記第一スイッチング素子の前記制御端子と前記第一スイッチング素子の電流路の一端との間の電圧に従って設定される前記第一スイッチング素子の電流路を流れる電流が飽和電流となる程度の高さであることを特徴とする駆動回路。

【請求項16】一対の電極を有し、一対の電極間を流れる電流に従った光学的動作を示す光学要素と、

前記光学要素に電流を供給する電源線と、制御端子及び電流路を有し、電流路の一端が前記電源線に接続されており、電流路の他端が前記光学要素の一対の電極の一方に接続されている第一スイッチング素子と、

制御端子及び電流路を有し、電流路の一端が前記電源線に接続されており、電流路の他端が前記第一スイッチング素子の制御端子に接続されている第二スイッチング素子と、

制御端子及び電流路を有し、電流路の一端が前記第一スイッチング素子の電流路の他端に接続されている第三スイッチング素子と、

前記第二スイッチング素子の前記制御端子及び第三スイッチング素子の前記制御端子に接続された走査線と、前記第三スイッチング素子の電流路の他端に接続された信号線と、

を備えることを特徴とする駆動回路。

【請求項17】請求項16記載の駆動回路であって、選択期間中に前記第一スイッチング素子の電流路の一端及び前記第二スイッチング素子の電流路の一端に印加される電圧は、前記光学要素の一対の電極の他方の電位以下であることを特徴とする駆動回路。

【請求項18】請求項16又は17記載の駆動回路であって、

非選択期間中に前記第一スイッチング素子の電流路の一端及び前記第二スイッチング素子の電流路の一端に印加される電圧は、前記光学要素の一対の電極の他方の電位より高いことを特徴とする駆動回路。

【請求項19】請求項16から18の何れかに記載の駆動回路であって、

選択期間中に前記第三スイッチング素子の電流路の他端に印加される電圧は、前記選択期間中に前記第一スイッチング素子の電流路の一端及び前記第二スイッチング素子の電流路の一端に印加される電圧以下であることを特徴とする駆動回路。

【請求項20】請求項16から19の何れかに記載の駆動回路であって、

非選択期間中、前記電源線と前記光学要素の一対の電極の他方との間の電圧は、前記第一スイッチング素子の前記制御端子と前記第一スイッチング素子の電流路の他端との間の電圧に従って設定される前記第一スイッチング素子の電流路を流れる電流が飽和電流となる程度の高さ



であることを特徴とする駆動回路。

【請求項 21】請求項 16 から 20 の何れかに記載の駆動回路と、

前記電源線に電源信号を出力する電源ドライバと、  
前記走査線に走査信号を出力する選択走査ドライバと、  
前記信号線に所与の電流値の電流を流す電流シンクを有するデータドライバと、  
を備えることを特徴とする駆動装置。

【請求項 22】入力された電流の電流値に従って光学的動作を示す光学要素と、  
前記光学要素と直列に接続された電流制御用トランジスタと、

前記電流制御用トランジスタのゲートソース間に設けられたコンデンサと、  
選択期間中に、前記電流制御用トランジスタのソースドレイン間に、画像データに従った電流値の電流を流す電流値設定手段と、

非選択期間中に、前記電流値設定手段により前記コンデンサにチャージされた電荷を保持する電荷保持手段と、  
前記非選択期間中に、前記光学要素及び前記電流制御用トランジスタの両端に前記選択期間とは異なる所定の電圧を印加して、前記電流制御用トランジスタを介して前記コンデンサの電荷に従った駆動電流を前記光学要素に供給する駆動電流供給手段と、  
を備えることを特徴とする駆動回路。

【請求項 23】請求項 22 に記載の駆動回路であって、前記電流値設定手段は、

ドレインが前記電流制御用トランジスタのドレインに接続され、ソースが前記電流制御用トランジスタのゲートに接続されたゲートチャージ用トランジスタと、  
ドレインが前記電流制御用トランジスタのソースに接続されたソースチャージ用トランジスタと、  
を有することを特徴とする駆動回路。

【請求項 24】請求項 23 に記載の駆動回路であって、前記ゲートチャージ用トランジスタ及び前記ソースチャージ用トランジスタは、前記非選択期間中はオフ動作していることを特徴とする駆動回路。

【請求項 25】請求項 22 に記載の駆動回路であって、前記電荷保持手段は、

ドレインが前記電流制御用トランジスタのドレインに接続され、ソースが前記電流制御用トランジスタのゲートに接続され、前記非選択期間中にゲートに入力される走査信号に応じて、前記コンデンサにおける前記電流制御用トランジスタのゲート側にチャージされた電荷を保持するゲートチャージ用トランジスタと、

ドレインが前記電流制御用トランジスタのソースに接続され、前記非選択期間中にゲートに入力される走査信号に応じて、前記コンデンサにおける前記電流制御用トランジスタのソース側にチャージされた電荷を保持するソースチャージ用トランジスタと、

を有することを特徴とする駆動回路。

【請求項 26】電源信号が出力される電源線と、  
走査信号が出力される走査線と、

信号線と、  
一对の電極を有し、一对の電極間を流れる電流に従った光学的動作を示す光学要素と、

選択期間中に前記走査線からの前記走査信号に応じてオンレベルの信号を出力し、非選択期間中に前記走査線からの前記走査信号に応じて前記信号線に前記電源線からの電流を流すことを停止するスイッチと、

前記選択期間中に前記スイッチからのオンレベルの信号に応じて前記電源線からの電流を前記信号線に流すとともに前記電流の電流値を記憶し、前記非選択期間中に記憶された電流値に従った電流を前記光学要素に流す電流制御手段と、  
を備えることを特徴とする駆動回路。

【請求項 27】一对の電極を有し、一对の電極間を流れる電流に応じて光学的動作を示す光学要素と、  
前記光学要素に電流を供給する電源線と、

制御端子及び電流路を有し、電流路の一端が前記電源線に接続されており、電流路の他端が前記光学要素の一对の電極の一方に接続されている第一スイッチング素子と、

前記第一スイッチング素子の前記制御端子と前記第一スイッチング素子の電流路の一端との間に設けられたコンデンサと、

制御端子及び電流路を有し、電流路の一端が前記電源線に接続されており、電流路の他端が前記第一スイッチング素子の制御端子に接続されている第二スイッチング素子と、

制御端子及び電流路を有し、電流路の一端が前記第一スイッチング素子の電流路の他端に接続されている第三スイッチング素子と、

前記第二スイッチング素子の前記制御端子及び第三スイッチング素子の前記制御端子に接続された走査線と、

前記第三スイッチング素子の電流路の他端に接続された信号線と、

を用いて、

選択期間中に前記第二スイッチング素子及び前記第三スイッチング素子をオンするオンレベルの走査信号を前記走査線に出力し、

前記選択期間中に前記光学要素の一对の電極の他方の電位以下の電源信号を前記電源線に出力し、

前記選択期間中に画像データに従った電流値の電流を、前記電源線から前記第一スイッチング素子の電流路を介して前記信号線に流すことにより、前記コンデンサに電荷をチャージし、

非選択期間中に前記第二スイッチング素子及び前記第三スイッチング素子をオフするオフレベルの走査信号を前記走査線に出力し、

前記非選択期間中に前記光学要素の一方の電極の他方の電位より高い電源信号を前記電源線に出力する、ことを特徴とする光学要素の駆動方法。

【請求項28】請求項27に記載の光学要素の駆動方法であって、

前記第一スイッチング素子、前記第二スイッチング素子及び前記第三スイッチング素子は単チャネルの薄膜トランジスタであることを特徴とする光学要素の駆動方法。

【請求項29】請求項27又は28に記載の光学要素の駆動方法であって、

前記光学要素は、有機EL素子であることを特徴とする光学要素の駆動方法。

【請求項30】請求項27から29の何れかに記載の光学要素の駆動方法であって、

電源ドライバで前記電源線に電源信号を出力し、選択走査ドライバで前記走査線に走査信号を出力し、電流シンク型のデータドライバで前記電源線から前記信号線に画像データに応じた電流を流す、ことを特徴とする光学要素の駆動方法。

【請求項31】入力された電流の電流値に従って光学的動作を示す光学要素と、

前記光学要素と直列に接続された電流制御用トランジスタと、

前記電流制御用トランジスタのゲートソース間に設けられたコンデンサと、

前記電流制御用トランジスタのソースドレイン間に、画像データに従った電流値の電流を流す電流値設定手段と、

前記電流値設定手段により前記コンデンサにチャージされた電荷を保持する電荷保持手段と、

前記光学要素及び前記電流制御用トランジスタの両端に所定の電圧を印加する駆動電流供給手段と、

を用いて、

前記電流値設定手段で、選択期間中に前記電流制御用トランジスタのソースドレイン間に、画像データに従った電流値の電流を流して前記コンデンサに電荷をチャージし、

前記電荷保持手段で、前記選択期間中に前記コンデンサにチャージされた電荷を非選択期間中まで保持し、

前記駆動電流供給手段で、前記選択期間中に印加した電圧と異なる所定の電圧を前記非選択期間中に印加して前記コンデンサの電荷に従った駆動電流を前記光学要素に供給する、

ことを特徴とする光学要素の駆動方法。

【請求項32】請求項31に記載の光学要素の駆動方法であって、

前記電流値設定手段が、

ドレインが前記電流制御用トランジスタのドレインに接続され、ソースが前記電流制御用トランジスタのゲートに接続されたゲートチャージ用トランジスタと、

ドレインが前記電流制御用トランジスタのソースに接続されたソースチャージ用トランジスタと、を有することを特徴とする光学要素の駆動方法。

【請求項33】請求項32に記載の光学要素の駆動方法であって、

前記ゲートチャージ用トランジスタ及び前記ソースチャージ用トランジスタは、前記非選択期間中はオフ動作していることを特徴とする光学要素の駆動方法。

【請求項34】請求項31に記載の光学要素の駆動方法であって、

前記電荷保持手段が、

ドレインが前記電流制御用トランジスタのドレインに接続され、ソースが前記電流制御用トランジスタのゲートに接続され、前記非選択期間中にゲートに入力される走査信号に応じて、前記コンデンサにおける前記電流制御用トランジスタのゲート側にチャージされた電荷を保持するゲートチャージ用トランジスタと、

ドレインが前記電流制御用トランジスタのソースに接続され、前記非選択期間中にゲートに入力される走査信号に応じて、前記コンデンサにおける前記電流制御用トランジスタのソース側にチャージされた電荷を保持するソースチャージ用トランジスタと、

を有することを特徴とする光学要素の駆動方法。

【請求項35】入力された電流の電流値に従って光学的動作を示す光学要素に直列に接続された電流制御用トランジスタのソース及びゲートに設けられた電流制御手段が、選択期間中に前記電流制御用トランジスタのソースドレイン間に、画像データに従った電流値の電流を流し、

前記選択期間中に、前記電流に従った前記電流制御用トランジスタのゲートソース間の電荷をプリチャージ手段がプリチャージし、

前記非選択期間中、前記電流制御手段が前記プリチャージ手段の電荷を保持しながら、駆動電流供給手段が前記電流制御用トランジスタを介して前記光学要素に、前記プリチャージの電荷に従った電流値の電流を流す、

ことを特徴とする光学要素の駆動方法。

【請求項36】請求項35に記載の光学要素の駆動方法であって、

前記電流制御手段が、前記電流制御用トランジスタのゲート電位を制御するゲート制御用トランジスタ及び前記電流制御用トランジスタのソース電位を制御するソース制御用トランジスタを有することを特徴とする光学要素の駆動方法。

【請求項37】請求項36に記載の光学要素の駆動方法であって、

前記電流制御手段が、前記ゲート制御用トランジスタ及び前記ソース制御用トランジスタのオン、オフを制御する選択手段と、

前記選択手段の選択に応じて前記電流制御用トランジスタ

タ及び前記前記ソース制御用トランジスタに、画像データに従った電流値の電流を流す電流シンク手段と、を備えることを特徴とする光学要素の駆動方法。

【請求項38】請求項36に記載の光学要素の駆動方法であって、

前記非選択期間中、前記ソース制御用トランジスタはオフの状態であることを特徴とする光学要素の駆動方法。

【請求項39】請求項36に記載の光学要素の駆動方法であって、

前記電流制御手段及び前記駆動電流供給手段が、前記電流制御用トランジスタ及び前記光学要素間の電位を、前記選択期間中と前記非選択期間中とで互いに異なるように変位させることを特徴とする光学要素の駆動方法。

【請求項40】選択期間中、入力された電流の電流値に従って光学的動作を示す光学要素と直列に接続されたトランジスタのソースドレイン間に、画像データに従った電流値の電流を前記光学要素を介さずに流して、前記トランジスタのゲートソース間に設けられたコンデンサに、前記電流に従った電荷をチャージし、

非選択期間中、前記コンデンサの電荷を保持するとともに前記トランジスタを介して前記コンデンサの電荷に従った電流を前記光学要素に流す、

ことを特徴とする光学要素の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブ駆動方式の光学要素を有する駆動回路、駆動装置及び駆動方法に関し、特に光学要素としての有機EL素子の駆動回路等に関する。

【0002】

【従来の技術】従来、有機EL、無機EL又はLED等のように光学要素として発光素子がマトリクス状に配列されて、各発光素子が発光することによって表示を行う発光素子型ディスプレイが知られている。特に、アクティブマトリクス駆動方式の発光素子型ディスプレイは、高輝度、高コントラスト、高精細、低電力等の優位性を持っており、このようなディスプレイが近年開発され、特に有機EL素子が注目されている。

【0003】かかるディスプレイにおいては、一画素中には有機ELからなる発光素子及びこの発光素子をスイッチング駆動する複数の薄膜トランジスタを組み合わせたものがあり、互いに平行に配列された複数の走査線が、透光性を有する基板上に形成され、これら走査線に対して直行するように配列された複数の信号線も基板上に形成されている。具体的には、走査線及び信号線に囲まれる領域に、アモルファスシリコン（以下、a-Siという。）又はポリシリコン（以下、p-Siという。）からなる二つの薄膜トランジスタが形成されており、更に、この領域に一つの発光素子が設けられている。即ち、一つの画素に対して、二つのトランジスタが設けら

れている。有機EL素子は、内部を流れる電流の単位面積当たりの値により発光輝度（ $\text{cd}/\text{m}^2$ ）が決まる特性を有している。

【0004】図11には、従来の発光素子型ディスプレイにおける一画素の等価回路図が示されている。走査線101、信号線102には、一画素あたり二つのトランジスタ103、104が図11に示すように接続されており、トランジスタ104のソース、ドレイン電極の一方並びに他方がそれぞれプラスの定電圧の電源線106及び発光素子105のアノードに接続されている。

【0005】このような場合、走査線101が選択されると（トランジスタ103がNチャネルのとき、走査線101にハイレベルの電圧が印加されると）、トランジスタ103がオンになり、信号線101からトランジスタ103を介してトランジスタ104のゲート電極に電圧が印加される。これにより、トランジスタ104がオンになり、電源線106からトランジスタ104を介して発光素子105に電流が流れて、発光素子105が発光する。非選択時は、トランジスタ103がオフになり、トランジスタ104のゲート電極の電圧が保持され、電源線106からトランジスタ104を介して発光素子105に電流が流れて、発光素子105が発光する。

【0006】以上では、トランジスタ104のゲートソース間電圧、つまり、信号線102の電圧の大きさが調整されることで、トランジスタ104のドレインソース間に流れる電流の大きさが調整される。つまりトランジスタ104のゲートに印加される電圧を不飽和ゲート電圧とし、トランジスタ104のドレインソース間電流の大きさが調整されることで、トランジスタ104及び発光素子105に流れる電流の大きさが調整され、発光素子105の輝度調整が行われている。それぞれの画素の発光素子105の輝度が調整されることで、階調表現が行われている。なお、選択時とその後の非選択時の間、すなわち1フレーム期間では、トランジスタ104のゲートソース間電圧がほぼ一定に保持されているため、発光素子105の輝度も一定に保たれている。このような駆動方式は電圧駆動方式と呼ばれ、信号電圧の変調により電流階調を制御している。

【0007】

【発明が解決しようとする課題】ところで、トランジスタ103及びトランジスタ104では、周囲の温度にチャネル抵抗が依存したり、長時間の使用によりチャネル抵抗が変化したりするために、長期間にわたり所望の輝度階調で表示することが困難であった。またトランジスタ103及びトランジスタ104のチャネル層がp-Siであると、チャネル層内の隣接する結晶粒同士の界面となる結晶粒界の数にチャネル抵抗が依存するが、単一パネル内に複数設けられているトランジスタ103及びトランジスタ104のチャネル層の結晶粒界の数はそれ

ぞればらつく恐れがある。特に高移動度を目的として結晶粒径を大きくすると必然的にチャンネル層内の結晶粒界の数が減るため、チャンネル長方向の結晶粒界の数のわずかな違いがチャンネル抵抗に大きく影響する。従い、各画素のトランジスタ104のドレインソース間電流の大きさにバラツキがでてしまい、ひいては単一パネル内の各画素の表示特性にバラツキが生じてしまうので正確な階調制御を行うことができない問題があった。そのために、各画素のトランジスタ104の特性のバラツキが、各画素の階調の制御に要求される範囲内になければならない。しかし、高精細EL素子ほど各画素のトランジスタ104の特性を均一にすることは困難である。

【0008】このようにアクティブマトリクス駆動のEL素子には、画素内に設けるアクティブ素子として複数のトランジスタを組み合わせるものがあり、中にはpチャンネルトランジスタ及びnチャンネルトランジスタを組み合わせるものがある。ここでpチャンネルトランジスタは、キャリアの特性を考慮した場合、ポリシリコントランジスタでは機能するほどの良好な物性が得られていない。このため比較的安価に製造できるアモルファスシリコントランジスタを適用することができないといった問題を生じた。

【0009】ところで、上述のようなアクティブマトリクスEL表示装置には、電圧駆動方式以外のものがあり、その中には一画素内に4つ以上のトランジスタでアクティブ素子を構成しているものもあるが、基板上にトランジスタが形成されると、その厚みにより基板上に凹凸ができるため、トランジスタ形成領域を避けて平坦な箇所には有機EL層を形成することが望ましい。このとき、トランジスタ形成領域では発光せず、画素中に非発光部が生ずるのを避けることができなかった。一つの画素を所定の階調輝度で発光する場合、(単位面積当たりの発光輝度)×(一画素の発光面積)×(発光時間)で概ねの明るさを設定できるが、トランジスタが多数ある場合は一画素の発光面積が小さいために、他の要素が制約を受け、結果として単位面積当たりの発光輝度を高くするように設定すると、有機EL層により高電圧、高電流が加えられるために、発光寿命が短くなるといった問題があった。また一つの画素内のトランジスタの数が増大すると指数関数的に製造歩留まりが低くあるといった問題があった。また画素内でEL素子に複数のトランジスタを直列に接続すると、トランジスタの分圧比が高くなり、結果として高い消費電力を要した。

【0010】そこで、本発明が解決しようとする課題は、発光素子型のディスプレイにおいて、画素が所望の輝度で安定して発光するようにし、更に、各画素の発光面積の割合を向上することである。

【0011】

【課題を解決するための手段】以上の課題を解決するた

めに、請求項1記載の発明に係る駆動回路は、一対の電極を有し、一対の電極間を流れる電流に従った光学的動作を示す光学要素と、電流路及び制御端子を有し、電流路の一端が前記光学要素の一対の電極の一方に接続され、制御端子と電流路の一端との間の電圧に従った電流値の電流が電流路に流れる第一スイッチング素子と、前記第一スイッチング素子の電流路の他端に接続され、前記光学要素に電流を流すための電源信号が出力される電源線と、光学要素を選択するための走査信号が出力される走査線と、前記電源線から前記第一スイッチング素子の電流路を介して所与の電流値の電流が流れる信号線と、前記走査線の走査信号に応じて前記第一スイッチング素子の前記制御端子に印加される電圧を制御する第二スイッチング素子と、前記走査線の走査信号に応じて、前記信号線に流れる電流を制御する第三スイッチング素子と、を備えることを特徴とする。

【0012】本発明では、走査線の走査信号に応じて第二スイッチング素子及び第三スイッチング素子が第一スイッチング素子の電流路に所定の電流値の電流を流させることにより、第一スイッチング素子の制御端子及び電流路の一端に印加される電圧はこの電流値に従って設定され、換言すれば、第一スイッチング素子の制御端子と電流路の一端との間の電圧を、第一スイッチング素子の電流路がこの電流値の電流を流す電圧値に固定することができるので、この制御された電流により光学要素の光学的動作を階調制御することができる。

【0013】このように本発明では、第一スイッチング素子の電流路及び制御端子に予め設定された電圧値が書き込まれて、その電圧値に従った電流値で電流が電源から第一スイッチング素子を介して光学要素へと流れるのではなく、第一スイッチング素子の電流路に流した電流が所定の電流値となるように制御することで、その後第一スイッチング素子の電流路を流れる電流が前記所定の電流値となるように第一スイッチング素子の電流路及び制御端子間の電圧が設定されるので、その電流値での電流が第一スイッチング素子を介して光学要素へと流れることができる。つまり、長時間の使用により第一スイッチング素子或いは光学要素の特性(特に、高抵抗化による電圧-電流特性)が経時変化しても、又は、第一スイッチング素子又は光学要素がそれぞれ複数設けられている場合に互いの特性にバラツキがあったとしても、第一スイッチング素子に電流値が書き込まれることになるから、所望の大きさの電流が第一スイッチング素子及び光学要素に流れ、所望の階調で光学要素の光学的動作が行われる。従って、精度の良い階調表現が可能となる。従って、本発明の駆動回路を複数個設け、各光学要素に接続される第一スイッチング素子の特性にバラツキがあったとしても、信号線に指定された電流値が同じであれば各光学要素の階調にバラツキが生じないので光学要素の光学的動作の全体のバランスを向上することができる。

【0014】更に、このようなスイッチング素子に流れる電流を制御する駆動回路では、一つの光学要素に対応して設けられたスイッチング素子が三つのみであり、三つのスイッチング素子によって所望の階調で光学要素が光学的動作を行う。即ち、画素毎に準備されるスイッチング素子の数を抑えて、精度の良い階調表現が可能である。従って、スイッチング素子の増加に伴って光学要素の光学的動作を行う面積の割合が低下することが抑えられ、また4つ以上のスイッチング素子を備えた駆動回路に対して製造歩留まりの低下も抑えられる。さらに例えば光学的要素に有機EL素子を適用した場合と、発光面積の割合を高くすることができるのに伴い、見かけ上の明るさを保持するために単位面積当たりには流れる電流の値を比較的低く抑えることができるので注入電流による有機EL素子の劣化を抑制することができる。

【0015】請求項9記載の発明に係る駆動装置は、一対の電極を有し、一対の電極間を流れる電流に従った光学的動作を示す光学要素と、電流路及び制御端子を有し、電流路の一端が前記光学要素の一対の電極の一方に接続され、制御端子と電流路の一端との間の電圧に従った電流値の電流が電流路に流れる第一スイッチング素子と、前記第一スイッチング素子の電流路の他端に接続され、前記光学要素に電流を流すための電源信号が出力される電源線と、光学要素を選択するための走査信号が出力される走査線と、前記電源線から前記第一スイッチング素子の電流路を介して所与の電流値の電流が流れる信号線と、前記走査線の走査信号に応じて前記第一スイッチング素子の前記制御端子に印加される電圧を制御する第二スイッチング素子と、前記走査線の走査信号に応じて、前記信号線に流れる電流を制御する第三スイッチング素子と、を有する駆動回路と、前記電源線に電源信号を出力する電源ドライバと、前記走査線に走査信号を出力する選択走査ドライバと、前記信号線に所与の電流値の電流を流す電流シンクを有するデータドライバと、を備えることを特徴とする。

【0016】本発明によれば、選択期間中に走査線の走査信号の電位がオンレベルになることによって、第一スイッチング素子、第二スイッチング素子及び第三スイッチング素子がオンして、電源線から第一スイッチング素子及び第三スイッチング素子を介して前記信号線へ所定の電流値の電流が流れる。そして、非選択期間中に走査線の走査信号電位がオフレベルになることによって、第二スイッチング素子及び第三スイッチング素子がオフして第一スイッチング素子の制御端子と第二スイッチング素子の電流路の一端との間の電荷がコンデンサに保持させることができるので、光学要素に流れる電流を概ね一定にすることができる。

【0017】更に、第一スイッチング素子～第三スイッチング素子はいずれも単チャネルの薄膜トランジスタで駆動できるのでこれらのスイッチングを同一製造工程で

形成することができる。また単チャネルのためにnチャネルトランジスタのみで構成することが可能になるので、pチャネル型では非線形特性が良好でないアモルファスシリコンであっても薄膜トランジスタとして適用することが可能となる。従って第一スイッチング素子～第三スイッチング素子をnチャネル型アモルファスシリコン薄膜トランジスタのみで構成することができ、製造プロセスを簡略化することができる。

【0018】そして請求項10記載の発明に係る駆動回路は、一対の電極を有し、非選択期間中に一対の電極間を流れる電流に従った光学的動作を示す光学要素と、電流路及び制御端子を有し、電流路の一端が前記光学要素の一対の電極の一方に接続され、前記制御端子と電流路の一端との間の電圧に従った電流値の電流が電流路に流れる第一スイッチング素子と、前記第一スイッチング素子の前記制御端子と前記第一スイッチング素子の電流路の一端との間に設けられ、選択期間にチャージされた電荷を前記非選択期間中まで保持するコンデンサと、前記選択期間に前記第一スイッチング素子の制御端子を所定のオン電圧に設定するとともに前記コンデンサの一端に電荷をチャージさせる第二スイッチング素子と、電流路の一端が、前記光学要素の一対の電極の一方と前記第一スイッチング素子の電流路の一端との間に接続され、前記選択期間に、画像データに従って前記第一スイッチング素子の電流路に所与の電流を流す第三スイッチング素子と、を備えることを特徴とする。

【0019】本発明によれば、電流路に流れる所定の電流値の電流を流すことにより得られる第一スイッチング素子の制御端子と電流路の一端との間の電圧が所定の期間保持できるようにコンデンサの一端及び他端に印加される電荷を第二スイッチング素子及び第三スイッチング素子により制御するので、光学要素の非選択期間中の光学的動作を所定期間安定させることができる。

【0020】請求項16記載の発明に係る駆動回路は、一対の電極を有し、一対の電極間を流れる電流に従った光学的動作を示す光学要素と、前記光学要素に電流を供給する電源線と、制御端子及び電流路を有し、電流路の一端が前記電源線に接続されており、電流路の他端が前記光学要素の一対の電極の一方に接続されている第一スイッチング素子と、制御端子及び電流路を有し、電流路の一端が前記電源線に接続されており、電流路の他端が前記第一スイッチング素子の制御端子に接続されている第二スイッチング素子と、制御端子及び電流路を有し、電流路の一端が前記第一スイッチング素子の電流路の他端に接続されている第三スイッチング素子と、前記第二スイッチング素子の前記制御端子及び第三スイッチング素子の前記制御端子に接続された走査線と、前記第三スイッチング素子の電流路の他端に接続された信号線と、を備えることを特徴とする。

【0021】本発明によれば、三つのスイッチング素子

により一つの光学要素に流れる電流を制御して所望の階調で光学要素が光学的動作を行う。従って、スイッチング素子の増加に伴って光学要素の光学的動作を行う面積の割合の低下を抑制でき、また4つ以上のスイッチング素子を備えた駆動回路に対してスイッチング素子不良による製造歩留まりの低下を抑えられる。光学的要素に有機EL素子を適用すると、発光面積の割合を高くすることができるのに伴い、見かけ上の明るさを保持するために単位面積当たりに流れる電流の値を比較的低く抑えることができるので注入電流による有機EL素子の劣化を抑制することができる。

【0022】請求項22記載の発明に係る駆動回路は、入力された電流の電流値に従って光学的動作を示す光学要素と、前記光学要素と直列に接続された電流制御用トランジスタと、前記電流制御用トランジスタのゲートソース間に設けられたコンデンサと、選択期間中に、前記電流制御用トランジスタのソースドレイン間に、画像データに従った電流値の電流を流す電流値設定手段と、非選択期間中に、前記電流値設定手段により前記コンデンサにチャージされた電荷を保持する電荷保持手段と、前記非選択期間中に、前記光学要素及び前記電流制御用トランジスタの両端に前記選択期間とは異なる所定の電圧を印加して、前記電流制御用トランジスタを介して前記コンデンサの電荷に従った駆動電流を前記光学要素に供給する駆動電流供給手段と、を備えることを特徴とする。

【0023】本発明によれば、選択期間中に予め電流制御用トランジスタのソースドレイン間に所定の値の電流を流すことでコンデンサをチャージし、非選択期間中に電荷保持手段がコンデンサにチャージされた電荷を保持するので、非選択期間中に駆動電流供給手段がコンデンサでのチャージに従った駆動電流を光学要素に供給することができる。

【0024】請求項26記載の発明に係る駆動回路は、電源信号が出力される電源線と、走査信号が出力される走査線と、信号線と、一対の電極を有し、一対の電極間を流れる電流に従った光学的動作を示す光学要素と、選択期間中に前記走査線からの前記走査信号に応じてオンレベルの信号を出力し、非選択期間中に前記走査線からの前記走査信号に応じて前記信号線に前記電源線からの電流を流すことを停止するスイッチと、前記選択期間中に前記スイッチからのオンレベルの信号に応じて前記電源線からの電流を前記信号線に流すとともに前記電流の電流値を記憶し、前記非選択期間中に記憶された電流値に従った電流を前記光学要素に流す電流制御手段と、を備えることを特徴とする。

【0025】本発明によれば、スイッチの制御により、選択期間及び非選択期間に、電流制御手段から流れる電流を信号線及び光学要素の一方に選択的に流すことが可能となり、電流値の記憶動作及び記憶による電流を光学

要素に流すことを適宜行うことができる。

【0026】請求項27記載の発明に係る光学要素の駆動方向は、一対の電極を有し、一対の電極間を流れる電流に応じて光学的動作を示す光学要素と、前記光学要素に電流を供給する電源線と、制御端子及び電流路を有し、電流路の一端が前記電源線に接続されており、電流路の他端が前記光学要素の一対の電極の一方に接続されている第一スイッチング素子と、前記第一スイッチング素子の前記制御端子と前記第一スイッチング素子の電流路の一端との間に設けられたコンデンサと、制御端子及び電流路を有し、電流路の一端が前記電源線に接続されており、電流路の他端が前記第一スイッチング素子の制御端子に接続されている第二スイッチング素子と、制御端子及び電流路を有し、電流路の一端が前記第一スイッチング素子の電流路の他端に接続されている第三スイッチング素子と、前記第二スイッチング素子の前記制御端子及び第三スイッチング素子の前記制御端子に接続された走査線と、前記第三スイッチング素子の電流路の他端に接続された信号線と、を用いて、選択期間中に前記第二スイッチング素子及び前記第三スイッチング素子をオンするオンレベルの走査信号を前記走査線に出力し、前記選択期間中に前記光学要素の一対の電極の他方の電位以下の電源信号を前記電源線に出力し、前記選択期間中に画像データに従った電流値の電流を、前記電源線から前記第一スイッチング素子の電流路を介して前記信号線に流すことにより、前記コンデンサに電荷をチャージし、非選択期間中に前記第二スイッチング素子及び前記第三スイッチング素子をオフするオフレベルの走査信号を前記走査線に出力し、前記非選択期間中に前記光学要素の一対の電極の他方の電位より高い電源信号を前記電源線に出力する、ことを特徴とする。

【0027】本発明によれば、選択期間に、走査線の走査信号に応じて第二スイッチング素子及び第三スイッチング素子が第一スイッチング素子の電流路に所定の電流値の電流を流させることにより、第一スイッチング素子の制御端子及び電流路の他端に印加される電圧はこの電流値に従って設定され、換言すれば、第一スイッチング素子の制御端子と電流路の他端との間の電圧を、第一スイッチング素子の電流路がこの電流値の電流を流す電圧値に固定することができるので、この制御された電流により光学要素の光学的動作を階調制御することができる。

【0028】従来のように、第一スイッチング素子の電流路及び制御端子に予め設定された電圧値が書き込まれて、その電圧値に従った電流値で電流が電源から第一スイッチング素子を介して光学要素へと流れるのではなく、本発明では、第一スイッチング素子の電流路に流した電流が所定の電流値となるように制御することで、非選択期間に、第一スイッチング素子の電流路を流れる電流が前記所定の電流値となるように第一スイッチング素

子の電流路及び制御端子間の電圧が設定されるようにコンデンサにチャージされた電荷が保持し続けるので、その電流値での電流が、つまり選択期間中に流れた電流値と等しい電流が第一スイッチング素子を介して光学要素へと流れることができる。このような駆動方法によれば、長時間の使用により第一スイッチング素子或いは光学要素の特性（特に、高抵抗化による電圧-電流特性）が経時変化しても、或いは第一スイッチング素子或いは光学要素がそれぞれ複数設けられている場合に互いの特性にバラツキがあったとしても、第一スイッチング素子に電流値が書き込まれることになるから、所望の大きさの電流が第一スイッチング素子及び光学要素に流れ、所望の階調で光学要素の光学的動作が行われる。従って、本発明の駆動回路を複数個設け、各光学要素に接続される第一スイッチング素子の特性にバラツキがあったとしても、信号線に指定された電流値が同じであれば各光学要素の階調にバラツキが生じないので光学要素の光学的動作の全体のバランスを向上することができる。

【0029】更に、このようなスイッチング素子に流れる電流を制御する駆動回路では、一つの光学要素に対応して設けられたスイッチング素子が三つのみであり、三つのスイッチング素子によって所望の階調で光学要素が光学的動作を行う。即ち、画素毎に準備されるスイッチング素子の数を抑えて、精度の良い階調表現が可能である。従って、スイッチング素子の増加に伴って光学要素の光学的動作を行う面積の割合が低下することが抑えられ、また4つ以上のスイッチング素子を備えた駆動回路に対して製造歩留まりの低下も抑えられる。さらに光学的要素に有機EL素子を適用すると、発光面積の割合を高くすることができるのに伴い、見かけ上の明るさを保持するために単位面積当たりには流れる電流の値を比較的低く抑えることができるので注入電流による有機EL素子の劣化を抑制することができる。

【0030】また本発明では、第一スイッチング素子～第三スイッチング素子はいずれも単チャンネルの薄膜トランジスタで駆動できるのでこれらのスイッチングを同一製造工程で形成することができる。また単チャンネルのためにnチャンネルトランジスタのみで構成することが可能になるので、pチャンネル型では非線形特性が良好でないアモルファスシリコンであっても薄膜トランジスタとして適用することが可能となる。従って第一スイッチング素子～第三スイッチング素子をnチャンネル型アモルファスシリコン薄膜トランジスタのみで構成することができ、製造プロセスを簡略化することができる。

【0031】請求項31記載の発明に係る光学要素の駆動方法は、入力された電流の電流値に従って光学的動作を示す光学要素と、前記光学要素と直列に接続された電流制御用トランジスタと、前記電流制御用トランジスタのゲートソース間に設けられたコンデンサと、前記電流制御用トランジスタのソースドレイン間に、画像デ

ータに従った電流値の電流を流す電流値設定手段と、前記電流値設定手段により前記コンデンサにチャージされた電荷を保持する電荷保持手段と、前記光学要素及び前記電流制御用トランジスタの両端に所定の電圧を印加する駆動電流供給手段と、を用いて、前記電流値設定手段で、選択期間中に前記電流制御用トランジスタのソースドレイン間に、画像データに従った電流値の電流を流して前記コンデンサに電荷をチャージし、前記電荷保持手段で、前記選択期間中に前記コンデンサにチャージされた電荷を非選択期間中まで保持し、前記駆動電流供給手段で、前記選択期間に印加した電圧と異なる所定の電圧を前記非選択期間中に印加して前記コンデンサの電荷に従った駆動電流を前記光学要素に供給する、ことを特徴とする。

【0032】本発明によれば、駆動電流供給手段は、選択期間中に印加した電圧と異なる所定の電圧を非選択期間中に印加して駆動電流を光学要素に供給することができる。つまり、選択期間中に電流値設定手段が電流制御用トランジスタのソースドレイン間に電流を流す際に、駆動電流供給手段はこの電流を流すための電位を出力することができるので、選択期間での電流制御用トランジスタに流す電流の一方の電源と非選択期間での電流制御用トランジスタに流す電流の一方の電源とを制御する構成を共用できるため、これらを構成する制御素子の数を抑えることができる。

【0033】請求項35記載の発明に係る光学要素の駆動方法は、入力された電流の電流値に従って光学的動作を示す光学要素に直列に接続された電流制御用トランジスタのソース及びゲートに設けられた電流制御手段が、選択期間中に前記電流制御用トランジスタのソースドレイン間に、画像データに従った電流値の電流を流し、前記選択期間中に、前記電流に従った前記電流制御用トランジスタのゲートソース間の電荷をプリチャージ手段がプリチャージし、前記非選択期間中、前記電流制御手段が前記プリチャージ手段の電荷を保持しながら、駆動電流供給手段が前記電流制御用トランジスタを介して前記光学要素に、前記プリチャージの電荷に従った電流値の電流を流す、ことを特徴とする。

【0034】本発明によれば、電流制御手段が電流制御用トランジスタのソース及びゲートに設けられているので、電流制御用トランジスタのソース電位及びゲート電位を制御することができ、電流制御用トランジスタのソースドレイン間に電流を流してプリチャージ手段をプリチャージする期間やその後のプリチャージした電荷を保持する期間を容易に制御することができる。

【0035】請求項40記載の発明に係る光学要素の駆動方法は、選択期間中、入力された電流の電流値に従って光学的動作を示す光学要素と直列に接続されたトランジスタのソースドレイン間に、画像データに従った電流値の電流を前記光学要素を介さずに流して、前記トラ

ンジスタのゲートソース間に設けられたコンデンサに、前記電流に従った電荷をチャージし、非選択期間中、前記コンデンサの電荷を保持するとともに前記トランジスタを介して前記コンデンサの電荷に従った電流を前記光学要素に流す、ことを特徴とする。

【0036】本発明によれば、選択期間中に予め電流制御用トランジスタのソースドレイン間に所定の値の電流を流すことでコンデンサをチャージし、非選択期間中に電荷保持手段がコンデンサにチャージされた電荷を保持するので、非選択期間中に駆動電流供給手段がコンデンサでのチャージに従った駆動電流を光学要素に供給することができる。

【0037】

【発明の実施の形態】以下に、図面を用いて本発明の具体的な態様を説明する。ただし、発明の範囲を図示例に限定するものではない。

【0038】〔第一の実施の形態〕図1は、本発明が適用された発光素子型ディスプレイの具体的な構成が示されたブロック図である。図1に示すように、発光素子型ディスプレイ1は、基本構成として、アクティブマトリクス型の発光パネル（駆動装置）2と、発光ディスプレイ1全体を制御するコントローラ6と、を備え、いわゆるアクティブマトリクス駆動方式の表示装置である。発光パネル2は、ホウケイ酸ガラス、石英ガラス、その他のガラスといった後述するトランジスタの製造プロセス中の温度に耐性のある透明基板30（図3に図示）と、透明基板30上に設けられ、複数の画素を備えるとともにコントローラ6からの画像データに従った画像を表示するように発光する発光部7と、透明基板30上に設けられるとともに発光部7の各画素を駆動するための選択走査ドライバ3、電源ドライバ4及びデータドライバ5と、を備える。選択走査ドライバ3、電源ドライバ4及びデータドライバ5はそれぞれ、コントローラ6とデータ入出力可能に接続されている。透明基板30上に種々の配線や素子が設けられ、発光パネル2が構成される。

【0039】発光部2においては、走査線 $X_1, X_2, \dots, X_m$ が互いに平行に配列されて透明基板30上に形成されている。更に、電源線 $V_1, V_2, \dots, V_n$ が、走査線 $X_1, X_2, \dots, X_m$ に対して交互に配列されるように、透明基板30上に形成されている。電源線 $V_1, V_2, \dots, V_n$ は、走査線 $X_1, X_2, \dots, X_m$ と互いに平行且つ離間するようになっている。更に、信号線 $Y_1, Y_2, \dots, Y_n$ が、走査線 $X_1, X_2, \dots, X_m$ に対して実質的に直交するように、透明基板30上に形成されている。走査線 $X_1, X_2, \dots, X_m$ 、電源線 $V_1, V_2, \dots, V_n$ 及び信号線 $Y_1, Y_2, \dots, Y_n$ は、クロム、クロム合金、アルミ、アルミ合金、チタン若しくはチタン合金又はこれらの化合物であり、可視光の透過を遮断するとともに導電性を有するものである。なお、走査線 $X_1,$

$X_2, \dots, X_m$ 及び電源線 $V_1, V_2, \dots, V_n$ 上に信号線 $Y_1, Y_2, \dots, Y_n$ が設けられているが、信号線 $Y_1, Y_2, \dots, Y_n$ に対して走査線 $X_1, X_2, \dots, X_m$ 及び電源線 $V_1, V_2, \dots, V_n$ は後述するゲート絶縁膜32によって絶縁されている。

【0040】複数の有機EL素子がマトリクス状に透明基板30上に配列されており、信号線 $Y_1, Y_2, \dots, Y_n$ と走査線 $X_1, X_2, \dots, X_m$ に囲まれる各領域に、一つの有機EL素子が設けられている。そして一つの有機EL素子に所定の電流を流すための駆動回路が、その有機EL素子の周囲に設けられている。一つの有機EL素子とそれに対応して設けられた駆動回路とが、発光部2の一画素に対応する。つまり $(m \times n)$ 個の画素Pに、それぞれ一つの有機EL素子が設けられている。

【0041】以下、発光部2及び画素Pについて詳細に説明する。図2は、発光部2の一画素の平面図である。図3は、図2の一点鎖線A-A'で破断して示した断面図である。図4は、図3の線Bで囲まれる領域を拡大して示した断面図である。図5(a)、図5(b)は、隣接する2つの画素 $P_{i,j}$ 及び画素 $P_{i,j+1}$ の駆動を示す等価回路図である。図3において、図面を見やすくするために一部のハッチングを省略している。

【0042】図2に示すように、走査線 $X_i$ 、信号線 $Y_j$ 、走査線 $X_{i+1}$ （つまり、走査線 $X_i$ の下段に位置する走査線であり、電源線 $V_i$ の下方に位置する。図示略）及び信号線 $Y_{j+1}$ （つまり、信号線 $Y_j$ の右隣の信号線である。図示略）で囲まれる領域に有機EL素子 $E_{i,j}$ が設けられている。有機EL素子 $E_{i,j}$ の周囲に、コンデンサ13及びnチャンネルアモルファスシリコン薄膜トランジスタとしてのトランジスタ10、トランジスタ11、トランジスタ12が設けられている。有機EL素子 $E_{i,j}$ を駆動する駆動回路 $D_{i,j}$ は、トランジスタ10、トランジスタ11、トランジスタ12及びコンデンサ13等を備えている。ここで、iは1からmの何れかの整数であり、jは1からnの何れかの整数である。つまり、「走査線 $X_i$ 」とはi行目の走査線を意味し、「電源線 $V_i$ 」とはi行目の電源線を意味し、「信号線 $Y_j$ 」とはj列目の信号線を意味し、「駆動回路 $D_{i,j}$ 」とはi行j列目の画素 $P_{i,j}$ の駆動回路を意味し、「有機EL素子 $E_{i,j}$ 」とはi行j列目の画素 $P_{i,j}$ の有機EL素子を意味し、G、S、Dはそれぞれトランジスタのゲート、ソース、ドレインを意味する。

【0043】図4に示すように、トランジスタ12は、ゲート電極（制御端子）31と、発光部7全面に設けられたゲート絶縁膜32と、電流路となる単一のチャンネルを形成するための半導体層33と、第一不純物層34と、第二不純物層35と、ブロック絶縁膜36と、ドレイン電極37と、ソース電極38と、保護絶縁膜39とを備える。ゲート電極31は、透明基板30上に形成されている。ゲート電極31は、クロム、クロム合金、ア



ルミ、アルミ合金、チタン若しくはチタン合金又はこれらの化合物であり、可視光の透過を遮断するとともに導電性を有するものである。

【0044】ゲート電極31及び透明基板30を被覆するようにして、ゲート絶縁膜32がゲート電極31及び透明基板30を上にはけられている。ゲート絶縁膜32は、窒化シリコン又は酸化シリコン等の透光性及び絶縁性を有するものである。なお、ゲート絶縁膜32は、他のトランジスタ（透明基板30に設けられる全てのトランジスタ）のゲート電極、走査線 $X_1, X_2, \dots, X_m$ 及び電源線 $V_1, V_2, \dots, V_m$ も被覆している。

【0045】ゲート電極31に対向するようにして（つまり、ゲート電極31の直上に）、半導体層33がゲート絶縁膜32上に形成されている。この半導体層33は、真性アモルファスシリコンからなる。半導体層33上には、窒化シリコンからなるブロック絶縁膜36が形成されている。ブロック絶縁膜36の一方の側部には第一不純物層34が形成されており、ブロック絶縁膜36の他方の側部には第二不純物層35が形成されている。不純物層34、35は、互いに離れている。第一不純物層34は、半導体層33の一方の側部及びブロック絶縁膜36の一方の側部を覆うようにして形成されている。第二不純物層35は、半導体層33の他方の側部及びブロック絶縁膜36の他方の側部を覆うようにして形成されている。第一不純物層34及び第二不純物層35は、n型の不純物イオンがドーパされたアモルファスシリコンからなる。

【0046】第一不純物層34上にドレイン電極37が形成されており、第二不純物層35上にソース電極38が形成されている。ドレイン電極37及びソース電極38は、クロム、クロム合金、アルミ、アルミ合金、チタン若しくはチタン合金又はこれらの化合物であり、可視光の透過を遮断するとともに導電性を有するものである。これにより、外部或いは有機EL素子 $E_{i,j}$ からの光が半導体層33、第一不純物層34及び第二不純物層35に入射することが防止される。

【0047】ソース電極38及びドレイン電極38は互いに離れており、保護絶縁膜39によって絶縁されている。保護絶縁膜39は、ドレイン電極37、ソース電極38及びブロック絶縁膜36を覆うように形成されている。なお、ゲート絶縁膜32上に信号線 $Y_1, Y_2, \dots, Y_n$ が形成され、保護絶縁膜39は信号線 $Y_1, Y_2, \dots, Y_n$ も被覆している。

【0048】以上のように構成されるトランジスタ12は、半導体層33をチャンネル領域とするMOS型FET（すなわち、MOS型の電界効果トランジスタ）である。トランジスタ10及びトランジスタ11はトランジスタ12と実質的に同様の構成をしているため、その詳細な説明を省略する。また、コンデンサ13は、一方の電極をトランジスタ12のゲート電極31と共通にして

おり、他の電極をトランジスタ12のソース電極38と共通にしている。共通にした部分の電極間に形成されたゲート絶縁膜32を誘電体とすることで、コンデンサ13が構成される。つまりコンデンサ13は、トランジスタ12のゲートソース間の寄生容量となる。そして、トランジスタ10のソースS及びトランジスタ12のゲート31は、ゲート絶縁膜32に設けられた開口部47を介して接続されている。

【0049】トランジスタ10、トランジスタ11、トランジスタ12、コンデンサ13、走査線 $X_1, X_2, \dots, X_m$ 、電源線 $V_1, V_2, \dots, V_m$ 及び信号線 $Y_1, Y_2, \dots, Y_n$ を透明基板30に設けるにあたって、まず、トランジスタ10、トランジスタ11並びにトランジスタ12のゲート電極、走査線 $X_1, X_2, \dots, X_m$ 及び電源線 $V_1, V_2, \dots, V_m$ を同一工程でほぼ同時に透明基板30上に形成する。次いで、トランジスタ10、トランジスタ11及びトランジスタ12のゲート絶縁膜、半導体層、ブロック絶縁膜及び不純物層を形成する。その後、トランジスタ10、トランジスタ11並びにトランジスタ12のソース電極並びにドレイン電極及び信号線 $Y_1, Y_2, \dots, Y_n$ を同一工程でほぼ同時に形成する。その後、保護絶縁膜39を形成する。なお、本実施の形態では、トランジスタ10、トランジスタ11及びトランジスタ12は、チャンネル幅或いはチャンネル長（つまり、半導体層の幅及び長さ）を互いに異にするが、チャンネル幅或いはチャンネル長を異にする必要はない。

【0050】トランジスタ10、トランジスタ11、トランジスタ12、コンデンサ13、走査線 $X_1, X_2, \dots, X_m$ 、電源線 $V_1, V_2, \dots, V_m$ 及び信号線 $Y_1, Y_2, \dots, Y_n$ は、窒化シリコン等の絶縁性を有する隔壁46によって覆われている。隔壁46は、信号線 $Y_1, Y_2, \dots, Y_n$ に沿うようにして、かつ、走査線 $X_1, X_2, \dots, X_m$ に沿うようにして形成されている。隔壁46が形成されることで、透明基板30上が格子状に区切られる。つまり、信号線 $Y_1, Y_2, \dots, Y_n$ と走査線 $X_1, X_2, \dots, X_m$ に囲まれる各領域には、隔壁46が形成されていない。隔壁46によって格子状に区切られた各領域に、つまり、信号線 $Y_1, Y_2, \dots, Y_n$ と走査線 $X_1, X_2, \dots, X_m$ に囲まれた各領域に、有機EL素子 $E_{i,j}$ が設けられている。なお、トランジスタ10、トランジスタ11、トランジスタ12、コンデンサ13、走査線 $X_1, X_2, \dots, X_m$ 、電源線 $V_1, V_2, \dots, V_m$ 及び信号線 $Y_1, Y_2, \dots, Y_n$ が形成された後に、隔壁46が形成される。

【0051】次に、有機EL素子 $E_{i,j}$ について説明する。図3に示すように、有機EL素子 $E_{i,j}$ は、アノード電極41と、有機EL層42と、カソード電極43とを備える。有機EL素子 $E_{i,j}$ は、アノード電極41側から順に有機EL層42、カソード電極43の積層構造

となっている。アノード電極41は、信号線 $Y_1, Y_2, \dots, Y_n$ と走査線 $X_1, X_2, \dots, X_m$ に囲まれる各領域に配されており、ゲート絶縁膜32上に形成されている。アノード電極41は、透光性及び導電性を有している。更に、アノード電極41は、有機EL層42へ正孔を効率よく注入するものが好ましい。例えば、アノード電極41としては、錫ドープ酸化インジウム(ITO)、亜鉛ドープ酸化インジウム(IZO)、酸化インジウム( $In_2O_3$ )、酸化スズ( $SnO_2$ )又は酸化亜鉛( $ZnO$ )を主成分としたものがある。なお、トランジスタ12のソース電極38(ソース電極38は、トランジスタ11のソース電極と共通した層である。)が形成される前にアノード電極41が形成され、アノード電極41の形成後にトランジスタ12のソース電極38が形成され、その後に保護絶縁膜39が形成される。

【0052】有機EL層42は、アノード電極41上に形成されている。有機EL層42は、例えば、アノード電極41から順に正孔輸送層、発光層、電子輸送層となる三層構造であっても良いし、アノード電極41から順に正孔輸送層、発光層となる二層構造であっても良いし、発光層からなる一層構造であっても良いし、その他の層構造であっても良い。

【0053】つまり、有機EL層42は、正孔及び電子を注入する機能、正孔及び電子を輸送する機能、正孔と電子の再結合により励起子を生成して発光する機能を有する。有機EL層42は、電子的に中立な有機化合物であることが望ましく、これにより正孔と電子が有機EL層42でバランス良く注入及び輸送される。

【0054】なお、電子輸送性の物質が発光層に適宜混合されていても良いし、正孔輸送性の物質が発光層に適宜混合されても良いし、電子輸送性の物質及び正孔輸送性の物質が発光層に適宜混合されていても良い。

【0055】また、有機EL層42の発光層には、発光材料が含有されている。発光材料としては、高分子系材料が用いられることになる。高分子系材料としては、ポリカルバゾール、ポリパラフェニレン、ポリアリーレンピニレン、ポリチオフェン、ポリフルオレン、ポリシラン、ポリアセチレン、ポリアニリン、ポリピリジン、ポリピリジンピニレン、ポリピロール系材料が挙げられる。また、高分子材料としては、上記高分子材料(ポリマー)を形成しているモノマーまたはオリゴマーの重合体若しくは共重合体、モノマー若しくはオリゴマーの誘導体の重合体若しくは共重合体、又は、オキサゾール(オキサジアゾール、トリアゾール、ジアゾール)若しくはトリフェニルアミン骨格を有するモノマーを重合した重合体若しくは共重合体を挙げることができる。また、これらポリマーのモノマーとしては、熱、圧、UV、電子線などを与える事で上述の化合物を形成するモノマー及びプレカーサポリマーを含むものである。また、これらモノマー間を結合する非共役系ユニットを導

入しても構わない。

【0056】このような高分子材料の具体的なものとしては、ポリビニルカルバゾール、ポリトデシルチオフェン、ポリエチレンジオキシチオフェン、ポリスチレンスルホン酸分散体変性物、ポリ9,9-ジアルキルフルオレン、ポリ(チエニレン-9,9-ジアルキルフルオレン)、ポリ(2,5-ジアルキルパラフェニレン-チエニレン)、(ジアルキル:R=C1~C20)、ポリパラフェニレンピニレン、ポリ(2-メトキシ-5-(2'-エチルヘキシロキシ)-パラフェニレンピニレン)、ポリ(2-メトキシ-5-(2'-エチルベンチロキシ)-パラフェニレンピニレン)、ポリ(2,5-ジメチル-パラフェニレンピニレン)、ポリ(2,5-チエニレンピニレン)、ポリ(2,5-ジメトキシパラフェニレンピニレン)、ポリ(1,4-パラフェニレンシアノピニレン)などが挙げられる。

【0057】また、高分子系材料に限られるものではなく、低分子材料を蒸着して成膜させても良い。また、低分子材料の性質によっては、低分子材料を溶媒に溶かした状態で塗布して使用するものとしても良い。さらに低分子材料をドーパントとして高分子ポリマー中に分散させてもよく、低分子材料をポリマー分散する際のポリマーとしては、周知の汎用ポリマーを含む各種ポリマーを状況に応じて使用することができる。

【0058】低分子の発光材料(発光物質またはドーパント)としては、アントラセン、ナフタレン、フェナントレン、ピレン、テトラセン、コロネン、クリセン、フルオレセイン、ペリレン、フタロペリレン、ナフトロペリレン、ペリノン、フタロペリノン、ナフトロペリノン、ジフェニルプタジエン、テトラフェニルプタジエン、クマリン、オキサジアゾール、アルダジン、ビスベンゾキゾリン、ビススチリル、ピラジン、オキシシ、アミノキノリン、イミン、ジフェニルエチレン、ビニルアントラセン、ジアミノカルバゾール、ピラン、チオピラン、ポリメチン、メロシアン、イミダゾールキレート化オキシノイド化合物等、4-ジシアノメチレン-4H-ピラン及び4-ジシアノメチレン-4H-チオピラン、ジケトン、クロリン系化合物やこれらの誘導体が挙げられる。低分子発光材料の具体的なものとしては、A1q3、キナクリドンなどが挙げられる。なお、発光材料は、上述のものに限定されるものではない。

【0059】発光層或いは電子輸送層に含有する電子輸送性物質としては、トリス(8-キノリノラト)アルミニウム(A1q3)等の8-キノリノール又はその誘導体を配位子とする有機金属錯体などのキノリン誘導体、オキサジアゾール誘導体、ペリレン誘導体、ピリジン誘導体、ピリミジン誘導体、キノキサリン誘導体、ジフェニルキノン誘導体、ニトロ置換フルオレン誘導体などが挙げられる。

【0060】発光層或いは正孔輸送層に含有する正孔輸

送性物質としては、テトラアリアルベンジシン化合物（トリアリアルジアミンないしトリフェニルジアミン：TPD）、芳香族三級アミン、ヒドラゾン誘導体、イミダゾール誘導体、アミノ基を有するオキサジアゾール誘導体、ポリチオフェンなどが挙げられる。

【0061】有機EL層42上にカソード電極43が形成されている。更に、この有機EL層42は、隔壁46上にも形成されており、カソード電極43は、発光部2に設けられる有機EL素子 $E_{i,1} \sim E_{m,n}$ 全てに共通する層である。カソード電極43の材料としては、仕事関数の小さい材料である。カソード電極43の具体的なものとして、金、銀、銅、アルミニウム、インジウム、マグネシウム、カルシウム若しくはバリウム若しくはこれらの合金又はこれら金属若しくは合金にリチウム、マグネシウム若しくはインジウムを含む化合物若しくは混合物等が挙げられる。また、カソード電極43は、以上の各種材料の層が積層された積層構造となっても良く、具体的には、有機EL層42から順に高純度のバリウム層、高純度アルミニウム層となる積層構造等が挙げられる。

【0062】以上のように積層構造となる有機EL素子 $E_{i,j}$ では、アノード電極41とカソード電極43との間に電界が生じると、アノード電極41から正孔が有機EL層42に注入され、カソード電極43から有機EL層42に電子が注入される。そして、有機EL層42の発光層へ正孔及び電子が輸送されて、発光層にて正孔及び電子が再結合することによって励起子が生成され、励起子が消滅するときに発光する。

【0063】上記発光パネル2において、カソード電極43上にシリコンオイル等の水及び酸素を遮蔽するからなる遮蔽層44がパネル一面に形成される。更に、石英ガラス、その他のガラスといった透明材又は樹脂といった透明材からなる封止層45が遮蔽層44上に形成される。遮蔽層44及び封止層45によって、有機EL素子 $E_{i,j}$ 、駆動回路 $D_{i,j}$ 、走査線 $X_1, X_2, \dots, X_m$ 、電源線 $V_1, V_2, \dots, V_m$ 及び信号線 $Y_1, Y_2, \dots, Y_n$ が保護される。

【0064】次に、駆動回路 $D_{i,j}$ の回路構成について詳細に説明する。図2、図5(a)及び図5(b)に示すように、トランジスタ10のゲート電極は走査線 $X_i$ に接続されている。トランジスタ10のドレイン電極は、トランジスタ12のドレイン電極に接続されるとともに、電源線 $V_j$ に接続されている。トランジスタ10のソース電極はトランジスタ12のゲート電極に接続されるとともに、コンデンサ13の一方の極に接続されている。トランジスタ12のソース電極は、コンデンサ13の他方の極に接続されているとともにトランジスタ11のドレイン電極に接続されている。トランジスタ11のゲート電極は走査線 $X_i$ に接続されている。トランジスタ11のソース電極は信号線 $Y_j$ に接続され

ている。トランジスタ12のソース電極、コンデンサ13の他方の電極並びにトランジスタ11のドレイン電極は、有機EL素子 $E_{i,j}$ のアノード電極に接続されている。有機EL素子 $E_{i,j}$ のカソード電極は基準電位 $V_{ss}$ となっている。基準電位 $V_{ss}$ は、非選択期間（詳細には後述する。）中の電源線 $V_j$ の電位以下であって、選択期間（詳細には後述する。）中の電源線 $V_j$ より高い。例えば、基準電位 $V_{ss}$ は、接地電位である。

【0065】図1に示すように、選択走査ドライバ3は、発光部2の走査線 $X_1 \sim X_m$ に接続されている。選択走査ドライバ3はいわゆるシフトレジスタである。選択走査ドライバ3は、コントローラ6から出力される制御信号群に応じて走査線 $X_1$ から走査線 $X_m$ への順（走査線 $X_m$ の次は走査線 $X_1$ ）に走査信号を順次出力することで、各走査線 $X_1 \sim X_m$ を順次選択するものである。詳細には、選択走査ドライバ3は、ハイレベルのオン電圧 $V_{on}$ （基準電位 $V_{ss}$ より十分高い。）、又は、ローレベルのオフ電圧 $V_{off}$ （基準電位 $V_{ss}$ と等電位あるいは基準電位 $V_{ss}$ より低い。）の何れかの電圧を走査線 $X_1 \sim X_m$ に個別に印加する。即ち、走査線 $X_1 \sim X_m$ のうちの何れかの走査線 $X_i$ が選択される選択期間では、選択走査ドライバ3がオン電圧 $V_{on}$ のパルスを走査線 $X_i$ に出力することにより、走査線 $X_i$ に接続されたトランジスタ11、12（駆動回路 $D_{i,1}$ から駆動回路 $D_{i,n}$ 全てのトランジスタ11、12である。）がオン状態になる。一方、選択期間以外では、オフ電圧 $V_{off}$ を走査線 $X_i$ に印加することにより、トランジスタ11、12がオフ状態になる。走査線 $X_1 \sim X_m$ 各々の選択期間は互いに重ならないほうが望ましいが、同一列の信号線 $Y_j$ に接続された複数の画素Pが同じ階調発光するような場合は、走査線 $X_1 \sim X_m$ での選択期間を同期するように設定し且つ電源線 $V_1 \sim V_m$ での選択期間を同期するように設定してもよい。

【0066】電源ドライバ4は、発光部2の電源線 $V_1 \sim V_m$ に接続されている。電源ドライバ4は、いわゆるシフトレジスタである。つまり、電源ドライバ4は、コントローラ6から出力される制御信号群に応じて電源線 $V_1$ から電源線 $V_m$ への順（電源線 $V_m$ の次は電源線 $V_1$ ）に信号を順次出力するものである。詳細には、電源ドライバ4は、基準電位 $V_{ss}$ と等電位又は基準電位 $V_{ss}$ より低い選択電圧（基準電位が接地電位の場合、例えば、0[V]）を所定周期で各電源線 $V_1 \sim V_m$ に印加するようになっている。つまり、走査線 $X_1 \sim X_m$ のうちの何れかの走査線 $X_i$ が選択される選択期間では、電源ドライバ4は、ローレベルの選択電圧を電源線 $V_j$ に印加する。一方、非選択期間では、電源ドライバ4は、基準電位 $V_{ss}$ より高いハイレベルの電源電圧 $V_{dd}$ を電源線 $V_j$ に印加する。この電源電圧 $V_{dd}$ は、電源電圧 $V_{dd}$ は基準電位 $V_{ss}$ より高ければ負電圧でもよいが、トランジスタ12の飽和電圧より十分に大き

い値となっている。飽和電圧の詳細については後述する。

【0067】コントローラ6は、入力された画像データに従って選択ドライバ3、電源ドライバ4及びデータドライバ5に制御信号群を出力する。データドライバ5は、コントローラ6からの制御信号群を受けて、コントローラ5に向かうシンク電流を各信号線 $Y_1 \sim Y_n$ に起こす電流シンク型のドライバである。つまり、データドライバ5は、電流シンクを有しており、図5(a)の矢印に示すように、各信号線 $Y_1 \sim Y_n$ にシンク電流を起こすものである。シンク電流の大きさは画像データに従った電流値であり、データドライバ5は、電流値に従った大きさの電荷を各コンデンサ13に蓄積させるものである。

【0068】ここで、データドライバ5が各信号線 $Y_1 \sim Y_n$ に所定の電流を流すことによる各画素Pでの動作原理について説明する。図6は、Nチャンネル型のMOSFETの電流-電圧特性を表したグラフである。図6において、横軸はドレイン-ソース間の電圧値であり、縦軸はドレイン-ソース間の電流値である。FETでは、図中の線形領域では、つまりソースドレイン間電圧 $V_{DS}$ が、ゲート-ソース間電圧 $V_{GS}$ に従ったドレイン飽和しきい値電圧 $V_{TH}$ 未満である領域では、ゲート-ソース間電圧 $V_{GS}$ が一定であると、ソースドレイン間電圧 $V_{DS}$ が大きくなるにつれて、ソースドレイン間電流 $I_{DS}$ が大きくなる。更に、図中の飽和領域では、つまりソースドレイン間電圧 $V_{DS}$ が、ゲート-ソース間電圧 $V_{GS}$ に従ったドレイン飽和しきい値電圧 $V_{TH}$ 以上である領域では、ゲート-ソース間電圧 $V_{GS}$ が一定であると、ソースドレイン間電流 $I_{DS}$ がほぼ一定となる。

【0069】飽和領域での、ゲート-ソース間電流 $I_{DS}$ は、次の式(1)で表される。

【数1】

$$I_{DS} = \frac{\mu C_0 Z}{2L} (V_{GS} - V_{TH})^2 \quad \dots (1)$$

【0070】上記式(1)において、 $\mu$ はキャリア(電子)の移動度であり、 $C_0$ はMOS構造のゲート絶縁膜を誘導体とする容量であり、 $Z$ はチャネル幅であり、 $L$ はチャネル長である。

【0071】また、図6において、ゲート-ソース間電圧 $V_{GS0} \sim V_{GSMAX}$ は、 $V_{GS0} = 0 < V_{GS1} < V_{GS2} < V_{GS3} < V_{GS4} < V_{GSMAX}$ の関係となっている。つまり、図6から明らかなように、ドレイン-ソース間電圧 $V_{DS}$ が一定の場合、ゲート-ソース間電圧 $V_{GS}$ が大きくなるにつれて、線形領域、飽和領域のいずれであってもドレイン-ソース間電流 $I_{DS}$ が大きくなる。更に、ゲート-ソース間電圧 $V_{GS}$ が大きくなるにつれて、ドレイン飽和しきい値電圧 $V_{TH}$ が大きくなっている。以上のこ

とから、FETでは、線形領域では、ソースドレイン間電圧 $V_{DS}$ がわずかに変わるとソースドレイン間電流 $I_{DS}$ が変わってしまうが、飽和領域では、ゲート-ソース間電圧 $V_{GS}$ が定まれば、ドレイン-ソース間電流 $I_{DS}$ が一義的に定まる。ここで、トランジスタ12の電圧 $V_{GSMAX}$ に対応するドレイン-ソース間電流 $I_{DS}$ は、発光素子型ディスプレイ1の有機EL素子Eに設定された発光最大輝度時において有機EL素子Eのアノード電極41とカソード電極43との間の有機EL層42に流れる電流値に設定されている。

【0072】次に、上述のように構成されている駆動回路 $D_{i,j}$ の動作、駆動回路 $D_{i,j}$ の駆動方法及び発光素子型ディスプレイ1の動作について、図7のタイミングチャートを用いて説明する。図7において、 $T_{SE}$ の期間が選択期間であり、 $T_{NSE}$ の期間が非選択期間であり、 $T_{SC}$ の期間が一走査期間である。なお、 $T_{SC} = T_{SE} + T_{NSE}$ となっている。

【0073】コントローラ6から出力される制御信号群に従って選択走査ドライバ3は、1行目の走査線 $X_1$ から $m$ 行目の走査線 $X_m$ へと順次ハイレベル(オンレベル)のパルスを出力する。また、コントローラ6から出力される制御信号群に従って電源ドライバ4は、1行目の電源線 $V_1$ から $m$ 行目の電源線 $V_m$ へと順次ローレベルのパルスを出力する。

【0074】ここで、図7に示すように、各行では、走査線のハイレベルのパルスが出力されるタイミングは、電源線のローレベルのパルスが出力タイミングにほぼ揃っており、ハイレベルのパルスとローレベルのパルスの時間的長さはほぼ同じである。つまり、ハイレベルのパルスは、ローレベルのパルスに同期している。ハイレベルのパルス及びローレベルのパルスが出力されている期間が、その行の選択期間 $T_{SE}$ である。また、各行の選択期間 $T_{SE}$ 中にデータドライバ5が、コントローラ6から出力される制御信号群に従って全列の信号線 $Y_1 \sim Y_n$ にシンク電流(つまり、データドライバ5に向かった電流)を発生する。ここで、データドライバ5は、コントローラ6が受けた画像データに従った電流値で各列の信号線 $Y_j$ にシンク電流を流す。

【0075】各画素 $P_{i,j}$ の電流の流れ及び電圧の印加について詳細に説明する。 $i$ 行目の選択期間 $T_{SE}$ の開始時刻 $t_1$ では、選択走査ドライバ3から $i$ 行目の走査線 $X_i$ にハイレベル(オンレベル)のパルスが出力されだして、時刻 $t_1 \sim$ 時刻 $t_2$ の選択期間 $T_{SE}$ の間走査線 $X_i$ にはトランジスタ10及びトランジスタ11がオン状態となるようなレベルの走査信号電圧 $V_{Xi}$ が走査線 $X_i$ に印加される。更に、 $i$ 行目の選択期間 $T_{SE}$ の開始時刻 $t_1$ では、電源ドライバ4から $i$ 行目の電源線 $V_i$ にローレベルのパルス信号が出力されだして、選択期間 $T_{SE}$ の間電源線 $V_i$ には基準電位 $V_{SS}$ と等電位或いはそれより低い電源信号電圧 $V_{Vi}$ が印加される。更に、選択期間 $T$

$s_E$ に、データドライバ5は、コントローラ6が受けた画像データに従って、所定電流値のシンク電流を流す。

【0076】このため、選択期間 $T_{SE}$ では、トランジスタ10はオンして、ドレインからソースに電流が流れ、トランジスタ12のゲート及びコンデンサ13の一端に電圧が印加されて、トランジスタ12がオンする。更に、選択期間 $T_{SE}$ では、トランジスタ11がオンして、電圧値が電源信号電圧 $V_{V1}$ 以下で且つ基準電圧 $V_{SS}$ 以下のデータドライバ5による電流制御のためのシンク電流が信号線 $Y_1, Y_2, \dots, Y_j, Y_{j+1}, \dots, Y_n$ に流れるので、信号線 $Y_1, Y_2, \dots, Y_j, Y_{j+1}, \dots, Y_n$ の電圧値が電源信号電圧 $V_{V1}$ 以下で且つ基準電圧 $V_{SS}$ 以下となり、かつ、トランジスタ12のソースの電位がドレインの電位より低くなる。

【0077】つまり、トランジスタ12のゲートーソース間に電位差が生じるので信号線 $Y_1, Y_2, \dots, Y_j, Y_{j+1}, \dots, Y_n$ には、それぞれデータドライバ5で指定された電流値（つまり、画像データに従った電流値）のシンク電流 $I_1, I_2, \dots, I_j, I_{j+1}, \dots, I_n$ が矢印 $\alpha$ に示す方向に流れる。なお、選択期間 $T_{SE}$ では、電源線 $V_1$ の電源信号電圧 $V_{V1}$ が基準電圧 $V_{DD}$ 以下であるため、有機EL素子 $E_{i,j}$ のアノードの電位はカソードの電位より低くなり、有機EL素子 $E_{i,j}$ には逆バイアス電圧が印加されていることになる。そのため、有機EL素子 $E_{i,j}$ には電源線 $V_1$ からの電流が流れない。

【0078】このとき画素 $P_{i,1}$ ～画素 $P_{i,n}$ の各コンデンサ13の他端（トランジスタ12のソース電極に接続されている。）は、データドライバ5により制御された（指定された）電流値に従った電位になり、かつ、トランジスタ12のゲート電位よりも低い電位になる。すなわち、各画素 $P_{i,1}$ ～画素 $P_{i,n}$ のコンデンサ13には、各画素 $P_{i,1}$ ～画素 $P_{i,n}$ のトランジスタ12にそれぞれ電流 $I_1$ ～ $I_n$ を流れさせるような各トランジスタ12のゲートーソース間の電位差を生じさせる電荷がチャージされる。

【0079】ここで、トランジスタ12から信号線 $Y_j$ までの配線等の任意の点での電位は、トランジスタ11～トランジスタ12の経時的に変化する内部抵抗等により異なる。しかしながら、データドライバ5での電流制御によって流れる電流は所定の電流値を示すため、トランジスタ11～トランジスタ12の抵抗が高抵抗化することでトランジスタ12のゲートーソース間の電位が変化しても矢印 $\alpha$ に示す方向に流れる電流の所定の電流値は変わることがない。

【0080】選択期間 $T_{SE}$ の終了時刻 $t_2$ には、選択走査ドライバ3から走査線 $X_1$ に出力されるハイレベルのパルスが終了し、電源ドライバ4から電源線 $V_1$ に出力されるローレベルのパルスが終了する。従い、この終了時刻 $t_1$ から次の選択期間 $T_{SE}$ の開始時刻 $t_1$ までの非選択期間 $T_{NSE}$ 中では、走査線 $X_1$ にトランジスタ10のゲ

ート及びトランジスタ11のゲートにオフレベル（ロー電位）の走査信号電圧 $V_{N1}$ が印加されるとともに、電源線 $V_1$ に印加される電源信号電圧 $V_{V1}$ は基準電位 $V_{SS}$ より十分高い電源電圧 $V_{DD}$ である。

【0081】このため、図5（b）に示すように、非選択期間 $T_{NSE}$ では、トランジスタ11がオフ状態になり、信号線 $Y_1$ ～ $Y_n$ には電流が流れない。更に、非選択期間 $T_{NSE}$ では、トランジスタ10がオフ状態になり、コンデンサ13は、その一端及び他端によりチャージされた電荷を保持し続けて、トランジスタ12はオン状態を維持し続ける。つまり、非選択期間 $T_{NSE}$ とこの非選択期間 $T_{NSE}$ の前の選択期間 $T_{SE}$ とは、トランジスタ12のゲートーソース間電圧値 $V_{GS}$ が等しい。そのため、非選択期間 $T_{NSE}$ でも、トランジスタ12は画像データに従った電流値の電流を流し続けて、非選択期間 $T_{NSE}$ の電流値はこの非選択期間 $T_{NSE}$ の前の選択期間 $T_{SE}$ の電流値に等しい。非選択期間 $T_{NSE}$ の間、トランジスタ12を流れる電流は、上記条件式（2）により低電位の基準電位 $V_{SS}$ に向けて流れるとともに、有機EL素子 $E_{i,j}$ に流れて、有機EL素子 $E_{i,j}$ が発光する。

【0082】ここで、この選択期間後 $T_{SE}$ 後の非選択期間 $T_{NSE}$ の間、電源信号電圧 $V_{V1}$ （ $=V_{DD}$ ）は、図6に示すように、トランジスタ12のゲートーソース間電圧値 $V_{GS}$ が、 $V_{GSMAX}$ であっても、飽和領域を維持するように、下記に示す条件式（2）を満たしている。

$$V_{V1} - V_E - V_{SS} \geq V_{THMAX} \dots (2)$$

ここで、 $V_E$ は、有機EL素子 $E_{i,j}$ のアノードーカソード間に電圧が印加されたときの有機EL素子 $E_{i,j}$ の抵抗による分圧の予想最大値であり、 $V_{THMAX}$ は、 $V_{GSMAX}$ 時のトランジスタ12のソースードレイン間の飽和しきい値電圧である。有機EL素子 $E_{i,j}$ は経時劣化に伴い内部抵抗が増大するので、カソードー電源線 $V_1$ 間での有機EL素子 $E_{i,j}$ の分圧が上昇するが、上記予想最大値とは、有機EL素子 $E_{i,j}$ が正常に発光している期間中の電源線 $V_1$ ーカソード間の最大電圧印加時における有機EL素子 $E_{i,j}$ に分圧される最大電圧の予想値である。つまり、画素 $P_{i,j}$ の有機EL素子 $E_{i,j}$ が非発光であっても最大輝度で発光しても、有機EL素子 $E_{i,j}$ の発光寿命内（発光寿命内の抵抗値）であれば、常に非選択期間 $T_{NSE}$ でのトランジスタ12のソースードレイン間の電圧は飽和領域となるように設定されており、トランジスタ12には飽和電流が流れる。

【0083】このため、電源電圧 $V_{DD}$ 及びコンデンサ13での電荷により、非選択期間 $T_{NSE}$ におけるトランジスタ12を流れるゲートーソース間電流 $I_{DS}$ を安定することができる。非選択期間 $T_{NSE}$ の間、トランジスタ12を流れる電流は、上記条件式（2）により低電位の基準電位 $V_{SS}$ に向けて流れる。換言すれば、発光期間 $T_{EM}$ （非選択期間 $T_{NSE}$ ）の間、この電流が有機EL素子 $E_{i,j}$ のアノード41ーカソード43間の有機EL

層4 2に流れ、画像データに従った輝度階調で発光する。

【0084】仮にトランジスタ1 2を図6に示す線形領域で駆動すると、複数のトランジスタ1 2間での特性にバラツキにより、ゲートソース間電流値 $I_{DS}$ にばらつきがある恐れがある。しかしながら、本発明では電源電圧 $V_{dd}$ 及び基準電圧 $V_{ss}$ が上記(2)式のように設定されているのでトランジスタ1 2の特性のバラツキの影響を小さく抑えることができ、画像データに従った階調発光を安定させることが可能となる。

【0085】走査線 $X_i$ の選択期間 $T_{SE}$ が終了すると、引き続き走査線 $X_{i+1}$ の選択期間 $T_{SE}$ が開始され、走査線 $X_i$ と同様に選択走査ドライバ3、電源ドライバ4、データドライバ5及びコントローラ6が動作する。このように、走査線 $X_1$ ～走査線 $X_m$ の選択期間が順次終了した後、再び走査線 $X_1$ の選択期間 $T_{SE}$ が開始する。このように一走査期間 $T_{SC}$ 中に各画素が発光する発光期間 $T_{EN}$ は実質的に非選択期間 $T_{NSE}$ に相当し、走査線の数が増大するにしたがい発光期間 $T_{EN}$ は長時間にすることが可能となる。

【0086】また、一つの画素 $P_{i,j}$ に対して三つのトランジスタ1 0, 1 1, 1 2で、電流制御によるアクティブマトリクス駆動方式の発光素子型ディスプレイ1が実現でき、発光素子型ディスプレイ1の画像特性が良い。つまり、電流値を制御するアクティブマトリクス駆動方式の発光素子型ディスプレイ1において、本発明では、画素 $P_{i,j}$ の発光面積の割合を高くすることができ、その他の設計マージンに余裕を与えることができる。発光面積の割合が向上すると、発光素子型ディスプレイ1の表示面の見かけ上の明るさを明るくすることができ、また所望の見かけ上の明るさで表示する際に、有機EL層4 2の単位面積あたりに流れる電流値をより小さくすることができるので有機EL素子 $E_{i,j}$ の発光寿命を長くすることができる。

【0087】また、選択期間 $T_{SE}$ において、有機EL素子 $E_{i,j}$ に逆バイアス電圧が印加されるため、有機EL素子 $E_{i,j}$ の素子寿命が延びる。また、各駆動回路 $D_{i,j}$ のトランジスタ1 0, 1 1, 1 2は、全てアモルファスシリコンが半導体層となっているnチャネルのみの単チャンネル型FETである。従って、同一工程で同時にトランジスタ1 0, 1 1, 1 2を透明基板3 0上に形成することができ、発光パネル2、発光素子型ディスプレイ1及び駆動回路 $D_{i,j}$ の製造にかかる時間或いはコストの増大が抑えられる。

【0088】〔第二の実施の形態〕次に、第二の実施の形態について説明する。第二の実施の形態では、各画素 $P_{i,j}$ の構成が第一の実施の形態の場合と異なり、他の部分は第一の実施の形態の場合と同様である。つまり、図8に示すように、第二の実施の形態では、各画素 $P_{i,j}$  (各画素 $P_{i,j}$ の駆動回路 $D_{i,j}$ ) には、トランジスタ1 0の代わりにトランジスタ1 4が設けられている。

トランジスタ1 1の代わりにスイッチ5 1が設けられているとともに、トランジスタ1 2及びコンデンサ1 3の代わりに電流制御手段5 2が設けられている。なお上記第一の実施の形態と同じ符号のものについては同様であるので詳細な説明を省略する。

【0089】電源線 $V_i$ に出力される電源信号 $S_b$ は、選択期間 $T_{SE}$ 中が電圧値 $V_b$ であり、非選択期間 $T_{NSE}$ 中が電圧値 $V_b'$ の信号である。電圧値 $V_b$ は図7に示す電源電圧 $V_{dd}$ に相当し、電圧値 $V_b'$ は図7に示す基準電圧 $V_{ss}$ に相当する。

【0090】走査線 $X_i$ に出力される走査信号 $S_a$ は、選択期間 $T_{SE}$ 中がスイッチ5 1をオンする電圧値 $V_a$ であり、選択期間 $T_{SE}$ 中がスイッチ5 1をオフする電圧値 $V_a'$ の信号であり、図7に示す走査信号(走査信号電圧)に相当する。

【0091】スイッチ5 1は、図8(a)に示すように、選択期間 $T_{SE}$ 中に、走査信号 $S_a$ に応じて電源線 $V_i$ からの電源信号 $S_b$ を電流制御手段5 2に出力するとともに配線Qを介し電流制御手段5 2から流れる電流 $I_b$ を信号線 $Y_j$ に流す。この電流 $I_b$ の電流値は信号線 $Y_j$ に接続された電流シンク型のデータドライバ5(つまり、データドライバ5は電流シンクを有する。)により制御されている。また、スイッチ5 1は、図8(b)に示すように、非選択期間 $T_{NSE}$ 中に、走査信号 $S_a$ に応じて電流制御手段5 2からの電流を信号線 $Y_j$ に流すことを停止し、配線Rを介して有機EL素子 $E_{i,j}$ に流す。これにより、有機EL素子 $E_{i,j}$ が非選択期間 $T_{NSE}$ に発光する。

【0092】電流制御手段5 2は、図8(a)に示すように、選択期間 $T_{SE}$ 中に、スイッチ5 1からの電源信号 $S_b$ による信号電圧 $V_b$ に応じて電流シンク型のデータドライバ5により制御された電流 $I_b$ を電源線Vから配線Qに流し、電流 $I_b$ の電流値を記憶する記憶手段を具備している。そして、電流制御手段5 2は、図8(b)に示すように、非選択期間 $T_{NSE}$ 中に、スイッチ5 1からの信号電圧 $V_b'$ に応じて記憶手段で記憶された電流値に従った電流 $I_b$ を電源線 $V_i$ から配線Rに流す。従って、非選択期間 $T_{NSE}$ の電流 $I_b$ の電流値は、選択期間 $T_{SE}$ の電流 $I_b$ の電流値と等しい或いは線形関係にある。

【0093】〔第三の実施の形態〕次に、第三の実施の形態について説明する。第三の実施の形態では、各画素 $P_{i,j}$ の構成が第一の実施の形態の場合と異なり、他の部分は第一の実施の形態の場合と同様である。つまり、図9に示すように、第三の実施の形態では、各画素 $P_{i,j}$  (各画素 $P_{i,j}$ の駆動回路 $D_{i,j}$ ) には、トランジスタ1 0の代わりにトランジスタ1 4が設けられている。なお、上記第一の実施の形態と同じ符号のものについては同様であるので詳細な説明を省略する。

【0094】トランジスタ1 4は、トランジスタ1 0の

場合と異なり、ドレイン電極及びゲート電極が走査線 $X_i$ に接続されており、ソース電極がトランジスタ12のゲート電極に接続されている。トランジスタ10は、 $n$ チャネルアモルファスシリコン薄膜トランジスタである。

【0095】トランジスタ14は、図7に示す波形チャートのような電圧の印加により動作するが、選択期間 $T_{SE}$ 中に走査線 $X_i$ からのオンレベル（ハイレベル）の走査信号によりオンし、走査線 $X_i$ からの電圧をトランジスタ12のゲートに印加する。トランジスタ12は、選択期間 $T_{SE}$ 中にトランジスタ14により印加されたゲート電圧によりオンし、電流シンクを有するデータドライバ5により引き抜かれた電流（シンク電流）を電源線 $V_i$ からトランジスタ11（走査線 $X_i$ がオンレベルになることによって、トランジスタ11は選択期間 $T_{SE}$ 中にオンしている。）を介して信号線 $Y_j$ に流す。このとき、トランジスタ12のゲートソース間に接続されたコンデンサ13には、トランジスタ12が信号線 $Y_j$ に流す電流の電流値に従った電荷がチャージされる。

【0096】非選択期間 $T_{NSE}$ 中に、トランジスタ11及びトランジスタ14はオフレベルの走査信号によってオフしている。トランジスタ12においては、コンデンサ13にチャージされた電荷に従った電圧値で所定の電圧がソースドレイン間に印加されて、これによりトランジスタ12はソースドレイン間の電圧値に従った（つまり、コンデンサ13にチャージされた電荷に従った）電流を有機EL素子 $E_{i,j}$ に流して、有機EL素子 $E_{i,j}$ を発光させる。この際、有機EL素子 $E_{i,j}$ に流れる電流は、コントローラ6からの制御信号群（制御信号群は、コントローラ6に入力される画像データに従っている。）に従った電流値（つまり、電流シンクにより流れたシンク電流の電流値）であり、従って、有機EL素子 $E_{i,j}$ は画像データに従った輝度で発光する。

【0097】〔第四の実施の形態〕次に、第四の実施の形態について説明する。第四の実施の形態では、各画素 $P_{i,j}$ の構成が第二の実施の形態の場合と異なり、他の部分は第二の実施の形態の場合と同様である。つまり、図10に示すように、第四の実施の形態では、各画素 $P_{i,j}$ （各画素 $P_{i,j}$ の駆動回路 $D_{i,j}$ ）には、スイッチ51の代わりにスイッチ53が設けられている。なお、上記第二の実施の形態と同じ符号のものについては同様であるので詳細な説明を省略する。

【0098】スイッチ53は、図10(a)に示すように、選択期間 $T_{SE}$ 中に、走査信号 $S_a$ に応じて電流制御手段52にオンレベル（電圧値 $V_a$ ）の信号を出力するとともに配線 $Q$ を介し電流制御手段52から流れる電流 $I_b$ を信号線 $Y_j$ に流す。この電流 $I_b$ は、信号線 $Y_j$ に接続された電流シンク型のデータドライバ6（つまり、データドライバ5は電流シンクを有する。）により制御されている。また、スイッチ53は、非選択期間 $T_{NSE}$

中に、オフレベル（電圧値 $V_a'$ ）の走査信号 $S_a$ に応じて電流制御手段52からの電流 $I_b$ を信号線 $Y_j$ に流すことを停止し、配線 $R$ を介して有機EL素子 $E_{i,j}$ に流す。これにより、有機EL素子 $E_{i,j}$ が非選択期間 $T_{NSE}$ に発光する。

【0099】なお、本発明は、上記各実施の形態に限定されることなく、本発明の趣旨を逸脱しない範囲において、種々の改良並びに設計の変更を行っても良い。例えば、上記実施の形態では発光素子として有機EL素子を用いていたが、逆バイアス電圧が印加された場合には電流が流れないとともに正バイアス電圧が印加された場合には電流が流れるような発光素子であって、流れる電流の大きさに従った輝度で発光する発光素子、例えばLED（Light Emitting Diode）素子等でも良い。

【0100】また、トランジスタ10、11、12は、アモルファスシリコンを半導体層（つまり、チャネル層）とする薄膜トランジスタであったが、ポリシリコンを半導体層とする薄膜トランジスタであっても良い。

【0101】また上記各実施の形態では、トランジスタ12のゲートソース間にゲート電極31とソース電極38の重なったゲート絶縁膜32で構成されたコンデンサ13を設けたが、別途ゲート電極31、ソース電極38、ゲート絶縁膜32の少なくとも一部或いは全部を含まない部材で構成されたコンデンサをトランジスタ12のゲートソース間に設けてもよい。

【0102】

【発明の効果】本発明では、走査線の走査信号に応じて第二スイッチング素子及び第三スイッチング素子が第一スイッチング素子の電流路に所定の電流値の電流を流させることにより、第一スイッチング素子の制御端子及び電流路の一端に印加される電圧はこの電流値に従って設定され、換言すれば、第一スイッチング素子の制御端子と電流路の一端との間の電圧を、第一スイッチング素子の電流路がこの電流値の電流を流す電圧値に固定することができるので、この制御された電流により光学要素の光学的動作を階調制御することができる。

【0103】このように本発明では、第一スイッチング素子の電流路及び制御端子に予め設定された電圧値が書き込まれて、その電圧値に従った電流値で電流が電源から第一スイッチング素子を介して光学要素へと流れるのではなく、第一スイッチング素子の電流路に流した電流が所定の電流値となるように制御することで、その後第一スイッチング素子の電流路を流れる電流が前記所定の電流値となるように第一スイッチング素子の電流路及び制御端子間の電圧が設定されるので、その電流値での電流が第一スイッチング素子を介して光学要素へと流れる。つまり、長時間の使用により第一スイッチング素子或いは光学要素の特性（特に、電圧-電流特性）が経時変化しても、或いは第一スイッチング素子或いは光学要素がそれぞれ複数設けられている場合に互いの特性にバ

ラツキがあったとしても、第一スイッチング素子に電流値が書き込まれることになるから、所望の大きさの電流が第一スイッチング素子及び光学要素に流れ、所望の階調で光学要素の光学的動作が行われる。従って、精度の良い階調表現が可能となる。従って、本発明の駆動回路を複数個設け、各光学要素に接続される第一スイッチング素子の特性にバラツキがあったとしても、信号線に指定された電流値が同じであれば各光学要素の階調にバラツキが生じないので光学要素の光学的動作の全体のバランスを向上することができる。

【0104】更に、このようなスイッチング素子に流れる電流を制御する駆動回路では、一つの光学要素に対応して設けられたスイッチング素子が三つのみであり、三つのスイッチング素子によって所望の階調で光学要素が光学的動作を行う。即ち、画素毎に準備されるスイッチング素子の数を抑えて、精度の良い階調表現が可能である。従って、スイッチング素子の増加に伴って光学要素の光学的動作を行う面積の割合が低下することが抑えられ、また4つ以上のスイッチング素子を備えた駆動回路に対して製造歩留まりの低下も抑えられる。さらに光学的要素に有機EL素子を適用すると、発光面積の割合を高くすることができるのに伴い、見かけ上の明るさを保持するために単位面積当たりには流れる電流の値を比較的低く抑えることができるので注入電流による有機EL素子の劣化を抑制することができる。

【図面の簡単な説明】

【図1】本発明が適用された発光素子型ディスプレイの具体的な構成が示されたブロック図である。

【図2】上記発光素子型ディスプレイの一画素が概略的に示された平面図である。

【図3】図2におけるA-A'断面が示された断面図である。

【図4】画素に設けられるトランジスタが示された断面図である。

【図5】上記発光素子型ディスプレイの画素の回路構成及び駆動原理が示された等価回路図であり、(a)図には選択期間の電流の流れが示されており、(b)図には非選択期間の電流の流れが示されている。

【図6】上記発光素子型ディスプレイの画素に適用されるNチャネル型のMOSFETに流れる電流と、該MOSFETに印加される電圧との関係が示された図面である。

【図7】駆動回路の動作が示されたタイミングチャートである。

【図8】上記発光素子型ディスプレイとは別例の発光素子型ディスプレイの画素の具体的な構成が示されたブロック図であり、(a)図には選択期間の信号の流れが示されており、(b)図には非選択期間の信号の流れが示されている。

【図9】上記発光素子型ディスプレイとは別例の発光素子型ディスプレイの画素の具体的な構成が示された回路図であり、(a)図には選択期間の電流の流れが示されており、(b)図には非選択期間の電流の流れが示されている。

【図10】上記発光素子型ディスプレイとは別例の発光素子型ディスプレイの具体的な構成が示されたブロック図であり、(a)図には選択期間の信号の流れが示されており、(b)図には非選択期間の信号の流れが示されている。

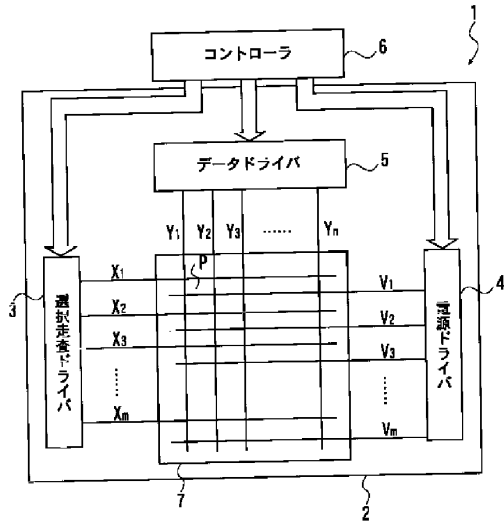
【図11】従来の発光素子型ディスプレイの一画素の回路構成が示された等価回路図である。

【符号の説明】

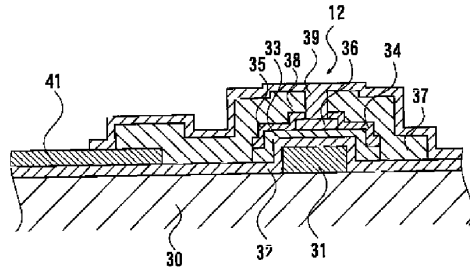
1	発光素子型ディスプレイ（駆動装置）
3	選択走査ドライバ
4	電源ドライバ
5	データドライバ
6	コントローラ
10	トランジスタ（第二スイッチング素子、ゲートチャージ用トランジスタ）
11	トランジスタ（第三スイッチング素子、ソースチャージ用トランジスタ）
12	トランジスタ（第一スイッチング素子、電流制御用トランジスタ）
14	トランジスタ（第二スイッチング素子）
13	コンデンサ
41	アノード電極
42	有機EL層
43	カソード電極
46	隔壁
51	スイッチ
52	電流制御手段
53	スイッチ
$D_{i,j}$	駆動回路
$E_{i,j}$	有機EL素子（光学要素）
$P_{i,j}$	画素
$X_1 \sim X_m$	走査線
$Y_1 \sim Y_n$	信号線
$V_1 \sim V_m$	電源線



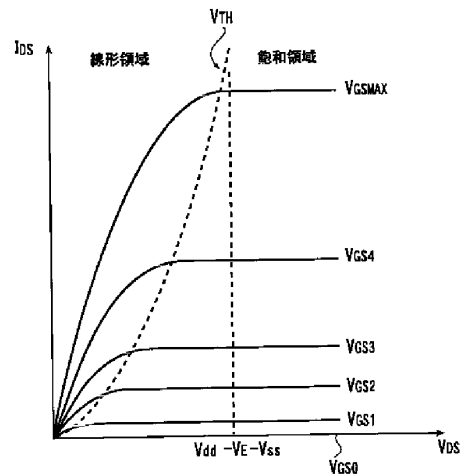
【図1】



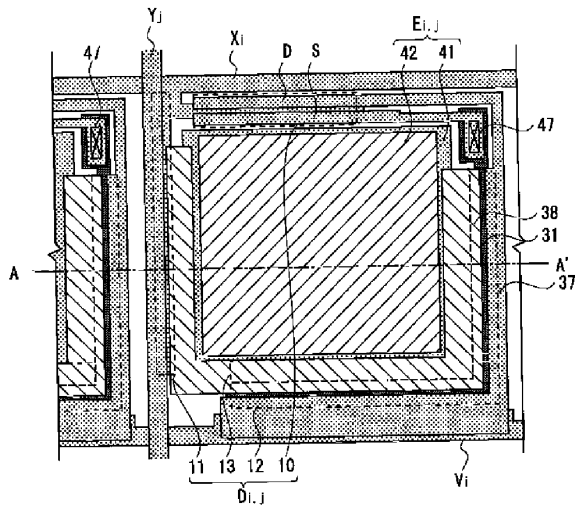
【図4】



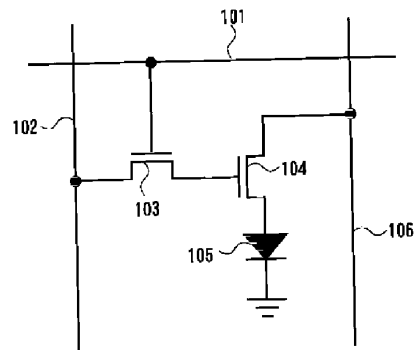
【図6】



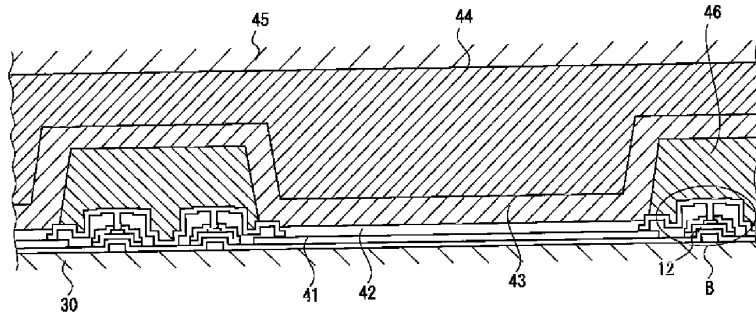
【図2】



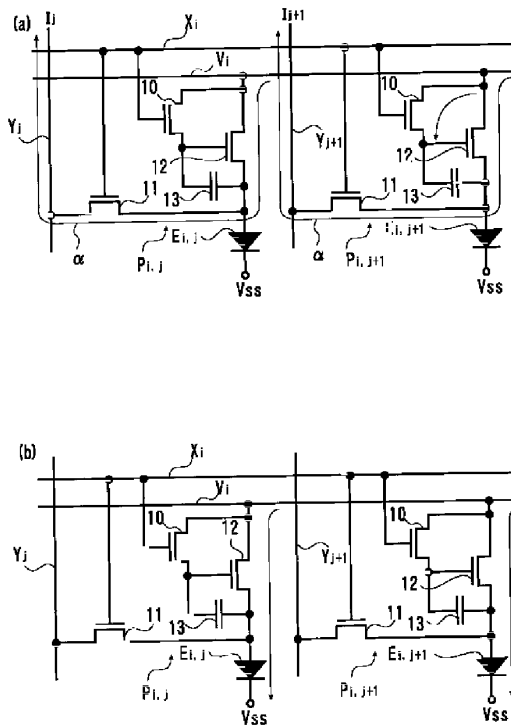
【図11】



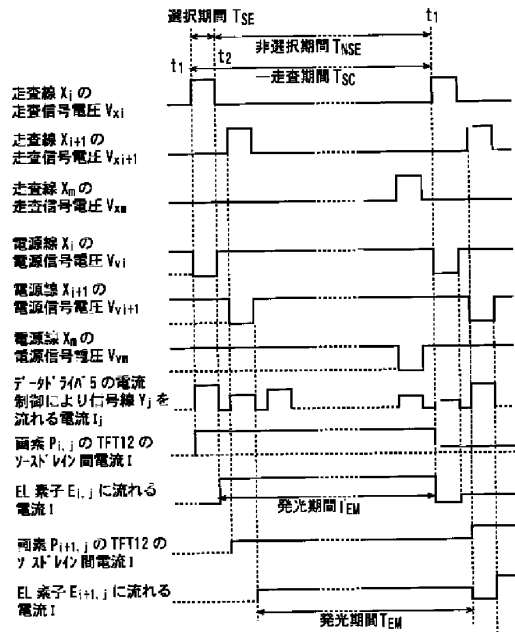
【図3】



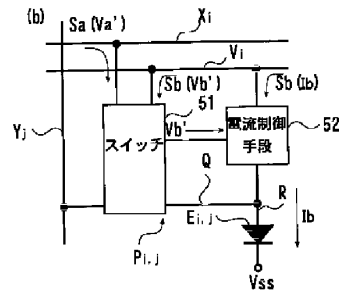
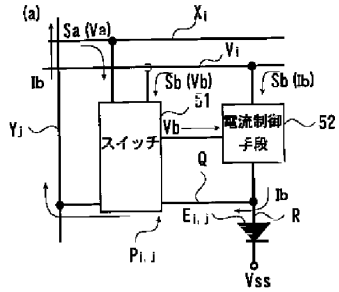
【図5】



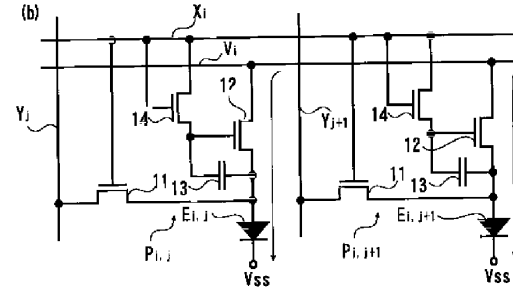
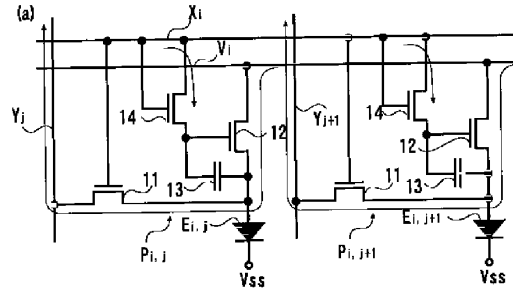
【図7】



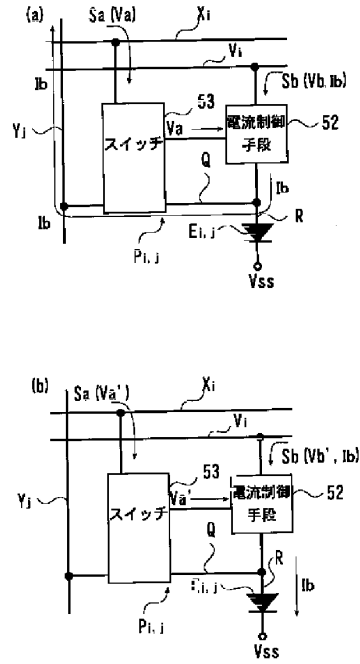
【図8】



【図9】



【図10】



フロントページの続き

(72)発明者 服部 励治  
福岡県福岡市西区姪浜町200-1-109

Fターム(参考) 3K007 AB04 AB11 AB17 DB03 GA04  
5C080 AA06 AA07 BB05 DD03 DD05  
DD26 DD28 DD29 EE17 EE29  
FF11 HH09 HH13 JJ02 JJ03  
JJ04 JJ05 JJ06

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-4675  
(P2004-4675A)

(43) 公開日 平成16年1月8日(2004.1.8)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード(参考)
G09G 3/30	G09G 3/30 J	3K007
G09F 9/30	G09F 9/30 338	5C080
G09G 3/20	G09G 3/20 611H	5C094
H05B 33/14	G09G 3/20 623R	
	G09G 3/20 624B	

審査請求 未請求 請求項の数 15 O L (全 19 頁) 最終頁に続く

(21) 出願番号 特願2003-85845 (P2003-85845)	(71) 出願人 000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22) 出願日 平成15年3月26日(2003.3.26)	(74) 代理人 100095728 弁理士 上柳 雅普
(31) 優先権主張番号 特願2002-97290 (P2002-97290)	(74) 代理人 100107076 弁理士 藤網 英吉
(32) 優先日 平成14年3月29日(2002.3.29)	(74) 代理人 100107261 弁理士 須澤 修
(33) 優先権主張国 日本国(JP)	(72) 発明者 城 宏明 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
	Fターム(参考) 3K007 AB11 AB17 BA06 DB03 GA04 5C080 AA06 BB05 DD05 DD28 EE28 FF11 JJ02 JJ03 JJ04

最終頁に続く

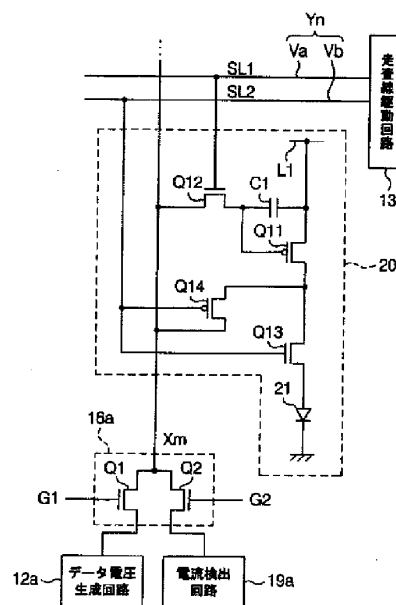
(54) 【発明の名称】 電子装置、電子装置の駆動方法、電気光学装置及び電子機器

(57) 【要約】

【課題】高い精度で電子回路の動作特性を検出できる電子回路、電子装置、電子回路の駆動方法、電気光学装置及び電子機器を提供する。

【解決手段】画素回路20に、駆動用トランジスタQ11と有機EL素子21との間に接続させたスイッチング用トランジスタQ13と、駆動用トランジスタQ11が出力する駆動電流を電流検出回路19aに供給する検出用トランジスタQ14を設ける。スイッチング用トランジスタQ13をオフした状態でスイッチング用トランジスタQ12をオンさせて保持キャパシタC1にテスト用データ電流Vdataに供給する。次に、スイッチング用トランジスタQ13をオフした状態で検出用トランジスタQ14をオンさせて、駆動用トランジスタからの駆動電流を検出用トランジスタQ14を介して電流検出回路19aに供給する。電流検出回路19aはテスト用のデータ電流Vdataに対する駆動電流を検出できる。

【選択図】 図3



## 【特許請求の範囲】

## 【請求項1】

複数の単位回路を備えた電子装置であって、  
前記複数の単位回路の各々は、  
第1のトランジスタと、  
前記第1のトランジスタを介して供給される電気信号を電流量として保持する保持素子と、  
前記保持素子に保持された電流量に基づいて導通状態が制御される第2のトランジスタと、  
前記導通状態に相対した電流量が供給される被駆動素子と、  
前記第2のトランジスタと直列に接続された第3のトランジスタと、を含み、前記第3のトランジスタを介して電流量を検出するための検査部に接続可能であること、  
を特徴とする電子装置。

## 【請求項2】

複数の単位回路を備えた電子装置であって、  
前記複数の単位回路の各々は、  
第1のトランジスタと、  
前記第1のトランジスタを介して供給される電気信号を電流量として保持する保持素子と、  
前記保持素子に保持された電流量に基づいて導通状態が制御される第2のトランジスタと、  
前記導通状態に相対した電流量が供給される被駆動素子と、を含み、  
前記第2のトランジスタは前記第1のトランジスタと直列に接続されており、前記第1のトランジスタを介して電流量を検出するための検査部に接続可能であること、  
を特徴とする電子装置。

## 【請求項3】

請求項1または2に記載の電子装置において、  
前記被駆動素子と前記第2のトランジスタとの間に、第4のトランジスタが接続されていることを特徴とする電子装置。

## 【請求項4】

請求項1乃至3のいずれかに記載の電子装置において、  
前記被駆動素子は電流駆動素子であることを特徴とする電子装置。

## 【請求項5】

請求項3に記載の電子装置において、  
前記検査部が検出を行っている期間は、前記第4のトランジスタは少なくともオフ状態であること、  
を特徴とする電子装置。

## 【請求項6】

請求項1に記載の電子装置において、  
前記第3のトランジスタは、前記複数の単位回路の各々に設けられていること、  
を特徴とする電子装置。

## 【請求項7】

請求項1乃至6のいずれかに記載の電子装置において、  
前記検査部で求めた前記第1のトランジスタを介して供給される電気信号に対する補正値を記憶する記憶回路を備えたことを特徴とする電子装置。

## 【請求項8】

請求項1乃至7のいずれかに記載の電子装置において、  
前記検査部は、前記第2のトランジスタを含む電流経路を通過する電流を検出し、  
前記電流経路は、前記被駆動素子は含まないこと、

を特徴とする電子装置。

【請求項9】

第1のトランジスタと、前記第1のトランジスタを介して供給される電気信号を電流量として保持する保持素子と、前記保持素子に保持された電流量に基づいて導通状態が設定される第2のトランジスタと、前記導通状態に相対した電流量が供給される被駆動素子と、前記第2のトランジスタと直列に接続された第3のトランジスタと、を備えた電子装置の駆動方法であって、

前記第1のトランジスタをオンさせて前記電気信号に基づく電流量を前記保持素子に保持する第1のステップと、

前記第3のトランジスタをオン状態として、前記第2のトランジスタと電流量を検出するための検査部とを前記第3のトランジスタを介して電氣的に接続し、前記第2のトランジスタ及び前記第3のトランジスタを含む電流経路を通過する電流の電流量を検出する第2のステップとを備えたこと、

を特徴とする電子装置の駆動方法。

【請求項10】

請求項9に記載の電子装置の駆動方法において、

前記電流経路は、被駆動素子を含まないこと、

を特徴とする電子装置の駆動方法。

【請求項11】

複数の走査線と複数のデータ線との交差点に対応して配置された複数の画素回路を備えた電気光学装置であって、

前記複数の画素回路の各々は、

前記複数の走査線の対応する走査線を介して供給される走査信号により導通が制御される第1のトランジスタと、

前記複数のデータ線の対応するデータ線及び前記第1のトランジスタを介して供給されるデータ信号を電流量として保持する保持素子と、

前記保持素子に保持された電流量に基づいて導通状態が制御される第2のトランジスタと、

、

前記導通状態に相対した電流量が供給される電気光学素子と、

前記第2のトランジスタと直列に接続された第3のトランジスタと、を含み、前記複数の画素回路の各々は前記第3のトランジスタを介して電流量を検出する検査部に接続可能であること、

を特徴とする電気光学装置。

【請求項12】

複数の走査線と複数のデータ線との交差点に対応して配置された複数の画素回路を備えた電気光学装置であって、

前記複数の画素回路の各々は、

前記複数の走査線の対応する走査線を介して供給される走査信号により導通が制御される第1のトランジスタと、

前記複数のデータ線の対応するデータ線及び前記第1のトランジスタを介して供給されるデータ信号を電流量として保持する保持素子と、

前記保持素子に保持された電流量に基づいて導通状態が制御され、前記第1のトランジスタと直列に接続された第2のトランジスタと、

前記導通状態に相対した電流量が供給される電気光学素子と、を含み、

前記複数の画素回路の各々は前記第1のトランジスタを介して電流量を検出する検査部に接続可能であること、

を特徴とする電気光学装置。

【請求項13】

請求項11に記載の電気光学装置において、

前記第3のトランジスタは、前記複数のデータ線の対応するデータ線を介して前記検査部

に接続可能であること、  
を特徴とする電気光学装置。

【請求項14】

請求項11乃至13のいずれかに記載の電気光学装置において、  
前記検査部は、前記電流量を検出する電流検出回路と、  
前記電流検出回路にて検出した電流量に基づいて前記電気信号に対する補正値を求める補正値算出回路と、  
前記画素回路に対する前記補正値を記憶する記憶回路と、を含み、  
前記電気信号を前記補正値で補正すること、  
を特徴とする電気光学装置。

【請求項15】

請求項11乃至13のいずれかに記載の電気光学装置が実装されてなる電子機器。

【0001】

【発明の属する技術分野】

本発明は、電子回路、電子装置、電子回路の駆動方法、電気光学装置及び電子機器に関するものである。

【0002】

【従来の技術】

近年、電気光学装置としての表示装置は、有機EL素子を用いた電気光学装置が目ざされている。この種の有機EL素子を用いた電気光学装置には、駆動方式の一つとしてアクティブマトリクス駆動方式がある。

【0003】

アクティブマトリクス駆動方式の電気光学装置においては、有機EL素子の輝度を制御するために、各有機EL素子に対してそれぞれ画素回路が設けられている。各画素回路における有機EL素子の輝度階調の制御は、輝度階調に応じたデータ信号（電圧値または電流値）を画素回路の保持キャパシタに供給することによって行われる。つまり、保持キャパシタには、設定した発光輝度階調に応じた電荷が充電される。そして、保持キャパシタに保持された電荷量に応じて駆動用TFT（Thin Film Transistor）の導通状態が設定され、前記導通状態に応じた電流が有機EL素子に供給される（例えば、特許文献1参照）。

【0004】

【特許文献1】

国際公開第W098/36406号パンフレット

【0005】

【発明が解決しようとする課題】

ところで、画素回路は少なくとも1つのトランジスタなどの能動素子から構成されるが、全ての能動素子の特性を厳密に均一化することは困難である。特に、ディスプレイなどの画素回路を構成する薄膜トランジスタ（TFT）は、特性のバラツキが大きい。このことから、所定のデータ信号を入力した時に所望の輝度を得ることは困難である。

【0006】

また、画素回路を構成する能動素子や電気光学素子の経時劣化により特性が変化してしまうという問題があった。

【0007】

本発明は、上記問題点を解消するためになされたものであって、その目的は高い精度で電子回路の動作特性を検出することができる電子回路、電子装置、電子回路の駆動方法、電気光学装置及び電子機器を提供することにある。

【0008】

【課題を解決するための手段】

本発明における第1の電子装置は、複数の単位回路を備えた電子装置であって、前記複数の単位回路の各々は、第1のトランジスタと、前記第1のトランジスタを介して供給され



る電気信号を電流量として保持する保持素子と、前記保持素子に保持された電流量に基づいて導通状態が制御される第2のトランジスタと、前記導通状態に相対した電流量が供給される被駆動素子と、前記第2のトランジスタと直列に接続された第3のトランジスタと、を含み、前記第3のトランジスタを介して電流量を検出するための検査部に接続可能であることを特徴とする。

【0009】

これによれば、第3のトランジスタをオンさせることによって、被駆動素子に供給されるべき第2のトランジスタからの電荷量に相対した電流量が同第3のトランジスタを介して得ることができる。従って、電子回路の動作特性を検出することができる。なお、前記第3のトランジスタは各单位回路内に設けても良いし、前記複数の単位回路のうちいくつかの単位回路に対して共通に設けても良い。

【0010】

本発明の第2の電子装置は、複数の単位回路を備えた電子装置であって、前記複数の単位回路の各々は、第1のトランジスタと、前記第1のトランジスタを介して供給される電気信号を電流量として保持する保持素子と、前記保持素子に保持された電流量に基づいて導通状態が制御される第2のトランジスタと、前記導通状態に相対した電流量が供給される被駆動素子と、を含み、前記第2のトランジスタは前記第1のトランジスタと直列に接続されており、前記第1のトランジスタを介して電流量を検出するための検査部に接続可能であることを特徴とする。

【0011】

この第2の電子装置の対応する実施形態としては、例えば、後述する第4の実施形態のような電気信号として電流信号が供給される回路構成を有する電子装置が挙げられる。

【0012】

上記の電子装置において、前記被駆動素子と前記第2のトランジスタとの間に、第4のトランジスタを接続させた。

【0013】

これによれば、第4のトランジスタをオフ状態として、前記被駆動素子への電流供給を停止した状態で、前記第3のトランジスタまたは前記第1のトランジスタをオン状態とすることによって、前記被駆動素子に供給されるべき第2のトランジスタを通過する電流の電流量が前記第3のトランジスタまたは前記第1のトランジスタを介して検出することができる。すなわち、前記検査部が検出を行っている期間は前記第4のトランジスタは少なくともオフ状態であることが好ましい。

【0014】

上記の電子装置において、前記被駆動素子は、例えば有機EL素子などの電流駆動素子であってもよい。有機EL素子は発光層が有機材料で構成されている。

【0015】

上記の電子装置において、前記第3のトランジスタは、前記複数の単位回路の各々に設けられていることが好ましい。これにより前記複数の単位回路の各々の電流特性の検出することが可能となる。

【0016】

上記の電子装置において、前記保持素子は、例えば前記複数の単位回路の各々に供給された電気信号を電荷量として保持する容量素子であってもよい。

【0017】

上記電子装置において、前記保持素子はSRAMなどの記憶素子であってもよい。

【0018】

上記の電子装置において、前記検査部で求めた前記第1のトランジスタを介して供給される電気信号に対する補正値を記憶する記憶回路を備えた。

これによれば、記憶回路に記憶した補正値を使って電子装置の動作特性を補正して被駆動素子の動作を調整することができる。

【0019】

本発明における電子装置の駆動方法は、第1のトランジスタと、前記第1のトランジスタを介して供給される電気信号を電流量として保持する保持素子と、前記保持素子に保持された電流量に基づいて導通状態が設定される第2のトランジスタと、前記導通状態に相対した電流量が供給される被駆動素子と、前記第2のトランジスタと直列に接続された第3のトランジスタと、を備えた電子装置の駆動方法であって、前記第1のトランジスタをオンさせて前記電気信号に基づく電流量を前記保持素子に保持する第1のステップと、前記第3のトランジスタをオン状態として、前記第2のトランジスタと電流量を検出するための検査部とを前記第3のトランジスタを介して電氣的に接続し、前記第2のトランジスタ及び前記第3のトランジスタを含む電流経路を通過する電流の電流量を検出する第2のステップとを備えたことを特徴とする。

**【0020】**

これによれば、検査部は被駆動素子に供給されるべき電流量が前記検査部で検出することができる。

**【0021】**

上記の電子装置の駆動方法において、前記電流経路は前記被駆動素子を含まないようにすることが好ましい。

**【0022】**

上記の電子装置の駆動方法において、前記被駆動素子は、有機EL素子などの電流駆動素子であってもよい。

**【0023】**

本発明における第1の電気光学装置は、複数の走査線と複数のデータ線との交差部に対応して配置された複数の画素回路を備えた電気光学装置であって、前記複数の画素回路の各々は、前記複数の走査線の対応する走査線を介して供給される走査信号により導通が制御される第1のトランジスタと、前記複数のデータ線の対応するデータ線及び前記第1のトランジスタを介して供給されるデータ信号を電流量として保持する保持素子と、前記保持素子に保持された電流量に基づいて導通状態が制御される第2のトランジスタと、前記導通状態に相対した電流量が供給される電気光学素子と、前記第2のトランジスタと直列に接続された第3のトランジスタと、を含み、前記複数の画素回路の各々は前記第3のトランジスタを介して電流量を検出する検査部に接続可能であることを特徴とする。

上記の電気光学装置において、前記第3のトランジスタは前記複数の画素回路の各々に設けても良いし、前記複数の画素回路のいくつかの画素回路に共通に設けても良い。

上記の電気光学装置において、前記第3のトランジスタは、前記複数のトランジスタの対応するデータ線を介して前記検査部に接続可能であるようにしてもよい。これによれば、検査用配線を設けなくともデータ線を検査用配線として利用することが可能である。

**【0024】**

本発明の第2の電気光学装置は、複数の走査線と複数のデータ線との交差部に対応して配置された複数の画素回路を備えた電気光学装置であって、前記複数の画素回路の各々は、前記複数の走査線の対応する走査線を介して供給される走査信号により導通が制御される第1のトランジスタと、前記複数のデータ線の対応するデータ線及び前記第1のトランジスタを介して供給されるデータ信号を電流量として保持する保持素子と、前記保持素子に保持された電流量に基づいて導通状態が制御され、前記第1のトランジスタと直列に接続された第2のトランジスタと、前記導通状態に相対した電流量が供給される電気光学素子と、を含み、前記複数の画素回路の各々は前記第1のトランジスタを介して電流量を検出する検査部に接続可能であることを特徴とする。

**【0025】**

上記の電気光学装置において、前記検査部は、前記電流量を検出する電流検出回路と、前記電流検出回路にて検出した電流量に基づいて前記電気信号に対する補正値を求める補正値算出回路と、前記画素回路に対する前記補正値を記憶する記憶回路とからなり、前記電気信号を設定する際、前記電気信号を前記補正値で補正するようにした。

**【0026】**

これによれば、補正值算出回路によって、画素回路の動作特性のばらつきを調整するための補正值を求め、その画素回路に対する前記補正值を記憶回路に記憶回路する。従って、記憶回路に記憶した電子回路の補正值を使って画素回路を動作特性を補正して被駆動素子の動作を調整することができる。

【0027】

本発明における電子機器は、上記の電気光学装置が実装されている。

【0028】

【発明の実施の形態】

(第1実施形態)

以下、本発明を具体化した第1実施形態を図1～図5に従って説明する。

【0029】

図1は、電気光学装置としての有機ELディスプレイ10の回路構成を示すブロック回路図を示す。図2は、表示パネル部とデータ線駆動回路の内部回路構成を示すブロック回路図を示す。図3は、画素回路の内部回路構成を示す回路図を示す。

【0030】

図1において、有機ELディスプレイ10は、表示パネル部11、データ線駆動回路12、走査線駆動回路13、メモリ14、発振回路15、セレクト回路16及び制御回路17を備えている。

【0031】

有機ELディスプレイ10の各要素11～17は、それぞれが独立した電子部品によって構成されていてもよい。例えば、各要素12～17が1チップの半導体集積回路装置によって構成されていてもよい。また、各要素11～17の全部若しくは一部が一体となった電子部品として構成されていてもよい。例えば、表示パネル部11に、データ線駆動回路12と走査線駆動回路13とが一体的に形成されていてもよい。各構成要素12～16の全部若しくは一部がプログラマブルなICチップで構成され、その機能がICチップに書き込まれたプログラムによりソフトウェア的に実現されてもよい。

【0032】

表示パネル部11は、図2に示すように、マトリクス状に配列された複数の画素回路20を有している。つまり、各画素回路20は、その列方向に沿ってのびる複数のデータ線 $X_1 \sim X_m$  ( $m$ は整数)と、行方向に沿ってのびる複数の走査線 $Y_1 \sim Y_n$  ( $n$ は整数)との間にそれぞれ接続されることにより、各画素回路20はマトリクス状に配列されている。各画素回路20には被駆動素子として発光層が有機材料で構成された有機EL素子21を有している。尚、画素回路20内に形成れる後記するトランジスタは、シリコンベースのトランジスタでもよいが、本実施形態では薄膜トランジスタ(TFT)で構成している。

【0033】

データ線駆動回路12は、前記各データ線 $X_1 \sim X_m$ に対してデータ電圧生成回路12aがそれぞれ設けられている。各データ電圧生成回路12aは、それぞれ対応するデータ線 $X_1 \sim X_m$ を介して画素回路20に電気信号、即ち本実施形態ではデータ信号(データ電圧 $V_{data}$ )を供給する。画素回路20は、このデータ電圧 $V_{data}$ に応じて同画素回路20の内部状態が設定されると、これに応じて有機EL素子21に流れる電流値が制御され、同有機EL素子21の輝度が制御される。

【0034】

走査線駆動回路13は、前記複数の走査線 $Y_n$ の中の1本を選択駆動して1行分の画素回路群を選択する。走査線 $Y_1 \sim Y_n$ は、それぞれ第1副走査線 $V_a$ と第2副走査線 $V_b$ とから構成されている。走査線駆動回路13は、第1副走査線 $V_a$ に第1選択信号 $SL_1$ を出力し、第2副走査線 $V_b$ に第2選択信号 $SL_2$ を出力する。メモリ14は、コンピュータ18から供給される表示データを記憶する。又、メモリ14は、補正值算出回路を構成する検査装置19から供給されるテスト用表示データを記憶するようになっている。発振回路15は、基準動作信号を有機ELディスプレイ10の他の構成要素の供給する。

## 【0035】

セレクト回路16は、表示パネル部11とデータ線駆動回路12との間に設けられている。各セレクト回路16は、各データ線X1～Xmごとに切換え回路16aを備えている。各切換え回路16aは、図3に示すように第1ゲートトランジスタQ1と第2ゲートトランジスタQ2とからそれぞれ構成されている。そして、各セレクト回路16の第1ゲートトランジスタQ1は、対応するデータ線X1～Xmと、対応するデータ電圧生成回路30とをそれぞれ接続する。各セレクト回路16の第2ゲートトランジスタQ2は、対応するデータ線X1～Xmと、検査部としての検査装置19に設けた対応するデータ線X1～Xmごとに設けられた電流検出回路19aとをそれぞれ接続する。第1及び第2ゲートトランジスタQ1、Q2は、制御回路17からの第1及び第2ゲート信号G1、G2に基づいてそれぞれオン・オフ制御されるようになっている。

## 【0036】

制御回路17は、前記各要素11～16を統括制御する。制御回路17は、表示パネル部11の表示状態を表す前記メモリ14に記憶したコンピュータ18からの表示データ(画像データ)を、各有機EL素子21の発光の輝度を表すマトリクスデータに変換する。マトリクスデータは、1行分の画素回路群を順次選択するための走査線駆動信号と、選択された画素回路群の有機EL素子21の輝度を設定するデータ電圧Vdataのレベルを決定するデータ線駆動信号とを含む。そして、走査線駆動信号は、走査線駆動回路13に供給する。また、データ線駆動信号は、データ線駆動回路12に供給される。

## 【0037】

又、制御回路17は、有機ELディスプレイ10が検査装置19を使って表示パネル部11の各画素回路20についての検査を行う時、テストモードとなる。テストモードになると、制御回路17は、前記メモリ14に記憶した検査装置19からのテスト用表示データ(画像データ)を、各有機EL素子21の発光の輝度を表すマトリクスデータ(テスト用マトリクスデータ)に変換する。

## 【0038】

このテスト用マトリクスデータは、1行分の画素回路群を順次選択するためのテスト用の走査線駆動信号と、選択された画素回路群の有機EL素子21のテスト用輝度を設定するテスト用のデータ電圧Vdataのレベルを決定するテスト用のデータ線駆動信号とを含む。そして、テスト用の走査線駆動信号は、走査線駆動回路13に供給される。また、テスト用のデータ線駆動信号は、データ線駆動回路12に供給される。又、テストモードにおいて、制御回路17は、表示パネル部11の各画素回路20について検査を行うための第1及び第2ゲート信号G1、G2を前記セレクト回路16に供給する。因みに、テストモードでない通常モードの時には、制御回路17は、第1ゲート信号G1のみ出力し第1ゲートトランジスタQ1をオン、第2ゲートトランジスタQ2をオフとなる状態を維持させている。

## 【0039】

次に、画素回路20の内部回路構成について図3に従って説明する。説明の便宜上、m番目のデータ線Xmとn番目の走査線Ynとの交点に配置され、両データ線Xmと走査線Ynとの間に接続された画素回路20について説明する。

## 【0040】

画素回路20は、本実施形態は電圧駆動型の画素回路であって、被駆動素子としての有機EL素子21を備えている。第2のトランジスタとしての駆動用トランジスタQ11、第1のトランジスタとしてのスイッチング用トランジスタQ12、第4のトランジスタとしての発光制御用トランジスタQ13、第3のトランジスタとしての検出用トランジスタQ14、保持素子としての保持キャパシタC1を備えている。

## 【0041】

スイッチング用トランジスタQ12及び発光制御用トランジスタQ13はNチャンネルTFTよりな構成されている。駆動用トランジスタQ11及び検出用トランジスタQ14はPチャンネルTFTよりな構成されている。

## 【0042】

駆動用トランジスタQ11は、ドレインがスイッチング用トランジスタQ13を介して前記有機EL素子21の陽極に接続され、ソースが電源線L1に接続されている。駆動用トランジスタQ11のゲートと電源線L1の間には、保持キャパシタC1が接続されている。また、駆動用トランジスタQ11のゲートは、スイッチング用トランジスタQ12を介して前記データ線Xmに接続されている。さらに、駆動用トランジスタQ11のドレインは、前記検出用トランジスタQ14を介して前記データ線Xmに接続されている。

## 【0043】

スイッチング用トランジスタQ12のゲートは、第1副走査線Vaが接続されている。前記検出用トランジスタQ14のソースはQ11のドレインに接続されている。又、発光制御用トランジスタQ13及び検出用トランジスタQ14のゲートは、ともに第2副走査線Vbに接続されている。

## 【0044】

次に、上記のように構成した有機ELディスプレイ10の作用を画素回路20の動作に従って説明する。

(通常モード)

まず、通常モードを図4に示す各信号SL1、SL2、G1、G2のタイミングチャートに従って説明する。

## 【0045】

今、n行目の走査線Ynが選択されて走査線Ynに接続された各画素回路20が発光動作にはいる時、走査線駆動回路13から走査線Ynの第1副走査線Vaを介してスイッチング用トランジスタQ12をオン状態とする第1選択信号SL1が出力され、スイッチング用トランジスタQ12がオン状態となる。これと同時に、制御回路17からセレクト回路16の各切換え回路16aに、第1ゲートトランジスタQ1をオン状態とする第1ゲート信号G1が出力され、第1ゲートトランジスタQ1がオン状態となる。このとき、スイッチング用トランジスタQ12及び第1ゲートトランジスタQ1のオンに基づいて各データ電圧生成回路12aから対応する各画素回路20の保持キャパシタC1にデータ電圧Vdataがそれぞれ供給される。時間t1の経過後、スイッチング用トランジスタQ12及び第1ゲートトランジスタQ1をオフ状態とする第1選択信号SL1及び第1ゲート信号G1が供給され、データ書き込み期間が終了する。

データ電圧Vdataをオン状態にあるスイッチング用トランジスタQ12を介して画素回路20に供給している期間は、検出用トランジスタQ14及び発光制御用トランジスタQ13はそれぞれオフ状態及びオン状態としておく。

時間t1の途中あるいは時間t1の経過後、駆動用トランジスタQ11の導通状態に応じた電流の有機EL素子に対する供給が開始される。

## 【0046】

次いで、発光制御用トランジスタQ13をオフ状態として電流の有機EL素子に対する供給を停止し、次のデータ書き込み期間の開始を待つ。

## 【0047】

なお、データ電圧Vdataをスイッチング用トランジスタQ12を介して画素回路20に供給している期間は、検出用トランジスタQ14は、オン状態及びオフ状態のいずれであってもよい。

しかしながら、オン状態にある検出用トランジスタQ14を介して画素回路20とデータ線Xmとの間に流れる微小な電流がデータ電圧Vdataが摂動を与える可能性もあるので、本実施形態のようにデータ電圧Vdataをスイッチング用トランジスタQ12を介して画素回路20に供給している期間は、検出用トランジスタQ14はオフ状態としておくことが好ましい。

さらに、通常モードの全期間において検出用トランジスタQ14をオフ状態であってももちろん構わない。

本実施形態では、発光制御用トランジスタQ13と検出用トランジスタQ14とは、相補

的な動作するような回路構成となっているが、もちろん、それぞれ独立して制御することも可能である。

**【0048】**

この動作を繰返すことによって、各走査線Y1～Yn上にある各画素回路20の有機EL素子21はデータ電圧Vdataに対応した輝度でそれぞれ発光制御され、有機ELディスプレイ10はコンピュータ18からの表示データに基づく画像を表示する。

**【0049】**

(テストモード)

次に、駆動方法の一態様であるテストモードについて説明する。有機ELディスプレイ10は検査装置19に接続することによってテストモードとなる。検査装置19から有機ELディスプレイ10にテスト用表示データが出力されると、制御回路17は、テストモードとなり、テスト用表示データを各有機EL素子21の発光の輝度階調を表すマトリクスデータ(テスト用マトリクスデータ)に変換する。そして、制御回路17は、テスト用の走査線駆動信号及びテスト用のデータ線駆動信号を走査線駆動回路13及びデータ線駆動回路12に出力する。

**【0050】**

図5は、テストモードにおける各信号SL1、SL2、G1、G2のタイミングチャートで示す。今、例えば、走査線駆動回路13から走査線Ynの第1副走査線Vaにスイッチング用トランジスタQ12をオン状態とする第1選択信号SL1が出力され、走査線Yn上にある各画素回路20のスイッチング用トランジスタQ12がオン状態となる。これと同時に、制御回路17からセレクト回路16の各切換え回路16aに第1ゲートトランジスタQ1をオン状態とする第1ゲート信号G1が出力され、各切換え回路16aの第1ゲートトランジスタQ1がオン状態となる。

**【0051】**

これにより、オン状態にあるスイッチング用トランジスタQ12及び第1ゲートトランジスタQ1を介してデータ電圧生成回路12aから保持キャパシタC1にテスト用のデータ電圧Vdataが供給される。一方、テスト用データ電圧Vdataを供給している期間は、検出用トランジスタQ14をオフ状態とする第2選択信号SL2を供給して検出用トランジスタQ14をオフ状態としておく。

時間t1の経過後、スイッチング用トランジスタQ12及び第1ゲートトランジスタQ1をオフ状態とする第1選択信号SL1及び第1ゲート信号G1を供給し、画素回路20におけるデータ書き込み期間が終了する。この時、検出用トランジスタQ14及び発光制御用トランジスタQ13をそれぞれオン状態及びオフ状態とする第2選択信号SL2を供給する。

**【0052】**

次いで、制御回路17からセレクト回路16の各切換え回路16aに第2ゲートトランジスタQ2をオン状態とする第2ゲート信号G2が供給され、第2ゲートトランジスタQ2がオン状態となる。画素回路20において、この第2ゲートトランジスタQ2のオンに基づいて駆動用トランジスタQ11の動作に基づくテスト用のデータ電圧Vdataに相対した電流値の駆動電流が流れる。この時、駆動用トランジスタQ11からの駆動電流は、検出用トランジスタQ14及び第2ゲートトランジスタQ2を介して検査装置19の走査線Yn上にある各画素回路20に対して設けられた各電流検出回路19aにそれぞれ出力される。

**【0053】**

そして、この動作を順次各走査線Y1～Ynの各画素回路20に対して行い、各走査線Y1～Ynの各画素回路20に対して設けられた各電流検出回路19aにそれぞれ出力される。

**【0054】**

検査装置19において、各走査線Y1～Ynの各画素回路20に対して設けられた電流検出回路19aは、入力した出力電流をデジタル変換して出力電流値を検出電流値としてそ

れぞれ求める。そして、検査装置19は、各電流検出回路19aで求めた画素回路20の検出電流値をテスト用のデータ電圧Vdataに対する設定電流値とそれぞれ比較する。そして、検査装置19は、その比較結果を一時記憶する。尚、設定電流値は、テスト用のデータ電圧Vdataで画素回路20から規格上出力されなければならない電流値であって予め試験又は理論上から得られた値である。

**【0055】**

この比較結果を一時記憶した後、新たに異なる値のテスト用のデータ電圧Vdataを使って同様のテストを有機ELディスプレイ10に対して行う。そして、検査装置19は、前記と同様に、各電流検出回路19aが求めた画素回路20の検出電流値をテスト用のデータ電圧Vdataに対する設定電流値とそれぞれ比較し、その比較結果を記憶する。

**【0056】**

検査装置19は、2種類の異なるテスト用のデータ電圧Vdataに対する比較結果に基づいて各画素回路20のデータ電圧Vdataに対する駆動用トランジスタQ11の出力電流特性を検査する。そして、検査装置19は、各画素回路20の特性が目標（規格）の特性となるように各画素回路20毎に補正値を求める。即ち、設定輝度に対するデータ電圧Vdataに対する補正値 $\Delta Vd$ を各画素回路20毎に求める。

**【0057】**

検査装置19は、この求めた各画素回路20毎に求めた補正値 $\Delta Vd$ を有機ELディスプレイ10に出力する。各画素回路20毎に求められた補正値 $\Delta Vd$ は、制御回路17に内蔵された不揮発性メモリ等よりなるメモリ17aに記憶されて、テストモードは終了する。尚、本実施形態では、メモリ17aに記憶したが、補正値を設定するヒューズを形成し、検査装置19の検査結果に基づいて該当するヒューズをカットするようにしてもよい。

**【0058】**

そして、制御回路17は、コンピュータ18からの表示データ（画像データ）を、各有機EL素子21の発光の階調を表すマトリクスデータに変換する際に補正値 $\Delta Vd$ が使用される。詳述すると、制御回路17は表示データに基づいて求められる各画素回路20の有機EL素子21の輝度を設定するデータ電圧Vdataをそれぞれ対応する補正値 $\Delta Vd$ で補正した値を新たなデータ電圧Vdataとする。制御回路17はその各画素回路20の新たなデータ電圧Vdataをデータ線駆動信号としてデータ線駆動回路12に出力する。

**【0059】**

従って、製造ばらつきによる各画素回路（各トランジスタ；特に駆動用トランジスタQ11）の動作特性のばらつきを検出することができる。しかも、各画素回路20の動作特性のばらつきを補正して各画素回路20の有機EL素子21のデータ電圧Vdataに対する輝度を一定にすることができる。

**【0060】**

又、検査装置19は、検出電流値が基準範囲内でない場合には画素回路20が動作不能と判断するようになれば、製品として出荷ができるか否かの判断材料にすることができる。

**【0061】**

次に、上記のように構成した有機ELディスプレイ10の特徴を以下に記載する。

(1) 本実施形態では、画素回路20にスイッチング用トランジスタQ13及び検出用トランジスタQ14を設けた。そして、テストモードにおいて、検出用トランジスタQ14を介して駆動用トランジスタQ11からのテスト用のデータ電流Vdataに対する電流値の駆動電流を検出装置19の電流検出回路19aに供給できるようにした。

**【0062】**

従って、簡単に製造ばらつきによる各画素回路20の動作特性を検出することができる。その結果、有機ELディスプレイ10の不良品を出荷前に検査することができる。

**【0063】**

(2) 本実施形態では、制御回路17に内蔵したメモリ17aに、検査装置19が各画素

回路20毎に求めた、製造ばらつきに基づく動作特性の誤差を補正する補正值、即ち、設定輝度に対するデータ電圧Vdataに対する補正值 $\Delta Vd$ を記憶した。そして、制御回路17は表示データに基づいて求められる各画素回路20の有機EL素子21の輝度を設定するデータ電圧Vdataをそれぞれ対応する補正值 $\Delta Vd$ で補正した。

【0064】

従って、各画素回路20は、表示データに基づくデータ電圧Vdataに対して一様な電流値の駆動電流を有機EL素子21に供給でき、同有機EL素子を一様な輝度で発光させることができる。しかも、各画素回路20を補正值 $\Delta Vd$ で製造ばらつきによる動作特性を補正することができるため従来では不良品として廃棄される有機ELディスプレイを製品として改善されるため、有機ディスプレイの製造歩留まりを向上させることができる。

【0065】

(3) 本実施形態では、検出のための駆動電流を既存のデータ線X1~Xmを利用して電流検出回路19aに供給するようにした。従って、電流検出のために回路規模が増大するのを抑えることができる。

【0066】

なお、本実施形態では、前記駆動用トランジスタ(第2のトランジスタ)Q11と検出用トランジスタ(第3のトランジスタ)Q14と直列に接続されたが、駆動用トランジスタQ11と検出用トランジスタQ14との間に他の素子を挿入してもよい。この場合にも駆動用トランジスタQ11に対して検出用トランジスタQ14は直列に接続されていることになる。

【0067】

(第2実施形態)

次に第2実施形態について説明する。前記第1実施形態では、検査装置19が外部装置であったが、本実施形態では、前記第1実施形態の有機ELディスプレイ10の各要素11~17と同じ要素として検査装置19を構成したものである。従って、検査装置19は有機ELディスプレイ10とともに有機ELディスプレイ10を実装する携帯電話、PDA、ノートパソコン等の携帯電子機器内に内蔵されることになる。

【0068】

尚、携帯電子機器内に内蔵される点に特徴があるだけなので、説明の便宜上、第1実施形態と共通する部分は省略しその特徴部分について説明する。

図6は、本実施形態の検査装置19の電気回路を示す。

【0069】

図6において、電流検出回路部31は、データ線X1~Xmに対応した数の電流検出回路31aから構成されている。各電流検出回路31aはそれぞれ切換え回路16aを介してデータ線X1~Xmから供給される駆動用トランジスタQ11からのテスト用のデータ電圧Vdataに対する駆動電流をそれぞれアナログ検出する。尚、テスト用の表示データは、制御回路17のメモリ17aに予め記憶されている。

【0070】

各電流検出回路31aは、AD変換回路部32の対応するAD変換器32aに接続されている。各AD変換器32aは、データ線X1~Xmから供給される駆動電流の電流値をデジタル値に変換して制御回路17に出力する。

【0071】

制御回路17は、各AD変換器32aからのデータ線X1~Xmから供給される駆動電流の電流値とテスト用のデータ電圧Vdataに対する設定電流値とそれぞれ比較する。そして、制御回路17は、その比較結果を一時記憶する。つまり、本実施形態では、制御回路17において前記第1実施形態の検査装置19と同じような検査処理を行う。尚、本実施形態の場合、一つの走査線上に接続された各画素回路20毎に検査を行った後次の走査線上の各画素回路の検査を行うようになっている。

【0072】

この比較結果を一時記憶した後、新たに異なる値のテスト用のデータ電圧Vdataを使



って同様のテストを有機ELディスプレイ10に対して行う。そして、制御回路17は、前記と同様に、各AD変換器32aからのデータ線X1～Xmから供給される駆動電流の電流値とをテスト用のデータ電圧Vdataに対する設定電流値とそれぞれ比較し、その比較結果を記憶する。

#### 【0073】

制御回路17は、2種類の異なるテスト用のデータ電圧Vdataに対する比較結果に基づいて各画素回路20のデータ電圧Vdataに対する駆動用トランジスタQ11の出力電流特性を検査する。そして、制御回路17は、各画素回路20の特性が目標（規格）の特性となるように各画素回路20毎に補正値を求める。即ち、設定輝度に対するデータ電圧Vdataに対する補正値 $\Delta Vd$ を各画素回路20毎に求める。制御回路17は、その求めた補正値 $\Delta Vd$ を記憶回路としてのメモリ17aに記憶してテストモードは終了する。尚、制御回路17は、テストモードを定期的に行うか、電源投入直後に実行させるようになっていている。制御回路17は、この補正値 $\Delta Vd$ を使って前記第1実施形態と同様に各画素回路20を表示データに基づいて駆動制御する。

#### 【0074】

次に、上記のように構成した有機ELディスプレイ10の特徴を以下に記載する。

(1) 本実施形態では、画素回路20にスイッチング用トランジスタQ13及び検出用トランジスタQ14を設けた。そして、テストモードにおいて、検出用トランジスタQ14を介して駆動用トランジスタQ11からのテスト用のデータ電流Vdataに対する駆動電流の電流値を制御回路17に供給した。

そして、制御回路17において、各画素回路20の動作特性を検出する。従って、大がかりな検査装置を使用しないで、製造ばらつきによる各画素回路20の動作特性を簡単に検出することができる。しかも、制御回路17において、定期的には電源投入直後等にテストモードを実行させるようにすれば、経年変化、環境温度の変化による各画素回路20の動作特性を検出することができる。

#### 【0075】

(2) 本実施形態では、制御回路17に内蔵したメモリ17aに、同制御回路17が各画素回路20毎に求めた、製造ばらつき、経年変化、環境温度の変化によるに基づく動作特性の誤差を補正する補正値、即ち、設定輝度に対するデータ電圧Vdataに対する補正値 $\Delta Vd$ を記憶した。そして、制御回路17は表示データに基づいて求められる各画素回路20の有機EL素子21の輝度を設定するデータ電圧Vdataをそれぞれ対応する補正値 $\Delta Vd$ で補正した。

#### 【0076】

従って、各画素回路20は、経年変化、環境温度が変化しても表示データに基づくデータ電圧Vdataに対して一様な電流値の駆動電流を有機EL素子21に供給でき、同有機EL素子を一様な輝度で発光させることができる。

#### 【0077】

(3) 本実施形態では、検出のための駆動電流を既存のデータ線X1～Xmを利用して電流検出回路19aに供給するようにした。従って、電流検出のために回路規模が増大するのを抑えることができる。

#### 【0078】

##### (第3実施形態)

次に、第1及び第2実施形態で説明した電気光学装置としての有機ELディスプレイ10の電子機器の適用について図7及び図8に従って説明する。有機ELディスプレイ10は、モバイル型のパーソナルコンピュータ、携帯電話、デジタルカメラ等種々の電子機器に適用できる。

#### 【0079】

図7は、モバイル型パーソナルコンピュータの構成を示す斜視図を示す。図7において、パーソナルコンピュータ50は、キーボード51を備え本体部52と、前記有機ELディスプレイ10を用いた表示ユニット53を備えている。この場合でも、有機ELディス

レイ10を用いた表示ユニット53は前記実施形態と同様な効果を発揮する。その結果、パーソナルコンピュータ50は、欠陥の少ない画像表示を実現することができる。

【0080】

図8は、携帯電話の構成を示す斜視図を示す。図8において、携帯電話60は、複数の操作ボタン61、受話口62、送話口63、前記有機ELディスプレイ10を用いた表示ユニット64を備えている。この場合でも、有機ELディスプレイ10を用いた表示ユニット64は前記実施形態と同様な効果を発揮する。その結果、携帯電話60は、欠陥の少ない画像表示を実現することができる。

【0081】

(第4実施形態)

本実施形態では、スイッチング用トランジスタと検出用トランジスタとを兼用する実施形態について、図9に示す画素回路について説明する。

図9において、各画素回路20は、第2のトランジスタとしての駆動用トランジスタQ20、第1スイッチング用トランジスタQ21及び第2スイッチング用トランジスタQ22、発光制御用トランジスタQ23、及び、保持素子としての保持キャパシタC1を有している。駆動用トランジスタQ20はPチャネルTFTより構成されている。第1及び第2スイッチング用トランジスタQ21、Q22及び発光制御用トランジスタQ23はNチャネルTFTより構成されている。

【0082】

駆動用トランジスタQ20は、ドレインが発光制御用トランジスタQ23を介して前記有機EL素子21の陽極に接続され、ソースが電源線L1に接続されている。電源線VLには、前記有機EL素子21を駆動させるための駆動電圧V<sub>dd</sub>が供給されている。前記駆動用トランジスタQ20のゲートと電源線VLとの間には、保持キャパシタC1が接続されている。

【0083】

また、駆動用トランジスタQ20のゲートは、前記第1スイッチング用トランジスタQ21のドレインに接続されている。第1スイッチング用トランジスタQ21のソースは、第2スイッチング用トランジスタQ22のドレインと接続されている。又、第2スイッチング用トランジスタQ22のドレインは前記駆動用トランジスタQ20のドレインと接続されている。

【0084】

さらに、第2スイッチング用トランジスタQ22のソースは、データ線X<sub>m</sub>を介してデータ線駆動回路12の単一ライン駆動回路30に接続されている。そして、この単一ライン駆動回路30は、データ電流生成回路40aが設けられている。データ電流生成回路40aは、画素回路20に対してデータ信号Iを出力する。そして、データ線X<sub>m</sub>は、第1スイッチQ11を介してデータ電流生成回路40aに接続されるとともに、第2スイッチQ12を介して電流検出回路30bに接続される。

【0085】

第1及び第2スイッチング用トランジスタQ21、Q22のゲートには、それぞれ、第1の副走査線V<sub>a</sub>及び第2の副走査線V<sub>b</sub>が接続されている。第1の副走査線V<sub>a</sub>及び第2の副走査線V<sub>b</sub>から第1走査信号S<sub>L1</sub>及び第2の走査信号S<sub>L2</sub>によって第1及び第2スイッチング用トランジスタQ21、Q22はオンされるようになっている。さらに、発光制御用トランジスタQ23のゲートは、発光制御信号G<sub>p</sub>によって制御される。

【0086】

第1スイッチQ11、第1のスイッチング用トランジスタQ21、及び第2のスイッチング用トランジスタQ22がオン状態の期間にデータ電流生成回路40aがデータ信号Iをデータ線X<sub>m</sub>を介して出力すると、画素回路20にデータ信号Iが供給され、保持キャパシタC1にデータ信号Iに対応した電荷量が蓄積され、駆動トランジスタの導通状態が設定される。これが書き込み動作である。

続いて、発光制御用トランジスタQ23が発光制御用トランジスタQ23をオン状態とす

る発光制御信号G<sub>p</sub>にตอบสนองしてオン状態となると、駆動用トランジスタQ20の導通状態に応じた電流量が有機EL素子21に供給される。

【0087】

これに対してテストモードでは、上記の書き込み動作は基本的に同じであるが、通常のデータ信号の代わりにテスト用の信号に対応した電荷量を保持キャパシタに保持させる。次に、第1のスイッチング用トランジスタQ21、第1のスイッチQ11、及び発光制御用トランジスタQ23をオフ状態としたまま、第2のスイッチング用トランジスタQ22及び第2のスイッチQ12をオン状態として、駆動トランジスタQ20を通過する電流量を電流検出回路30bで検出する。第4の実施形態では、第1の実施形態とは異なり、検出用トランジスタを新たに設ける代わりに2つのスイッチングトランジスタのうち一つ(第2のスイッチングトランジスタQ22)を検出用トランジスタとしても兼用している。

【0088】

尚、発明の実施形態は、上記実施形態に限定されるものではなく、以下のように実施してもよい。

前記第1実施形態では、出荷前の有機ELディスプレイを検査する検査装置19を使ってディスプレイを検査した。これを携帯電話、PDA、ノートパソコン等の携帯電子機器について、その携帯電子機器のバッテリーを充電器で充電する際に、その充電中に携帯電子機器に搭載された有機ELディスプレイを検査装置19で検査するようにしてもよい。この場合、該充電器に検査装置を内蔵する必要がある。そして、充電を開始すると、テストモードとなり、各画素回路20を電流検出を行い検査することになる。このようにすることによって、携帯電子機器に搭載された有機ELディスプレイについて各画素回路20の経年変化による動作特性を充電する毎に補正することができる。

【0089】

上記の実施形態では、検査装置19は、表示パネル部11の全ての画素回路20に対する電流検出回路19aを設けたが、第2実施形態のように、データ線X1~Xmの数と同じ数で実施してもよい。この場合、第2実施形態のように一つの走査線上に接続された各画素回路20毎に検査を行った後次の走査線上の各画素回路の検査を行うことになる。

【0090】

前記第1実施形態では、検査装置19が求めた補正值V<sub>d</sub>を制御回路17に内蔵したメモリ17aに記憶し、そのメモリ17aに記憶した補正值V<sub>d</sub>を使って新たなデータ電圧V<sub>data</sub>を作成した。

【0091】

前記実施形態では、電子回路として画素回路20に具体化して好適な効果を得たが、有機EL素子21以外の例えばLEDやFED等の発光素子のような被駆動素子を駆動する電子回路に具体化してもよい。又、被駆動素子として磁気RAMがある。従って、該磁気RAMを利用したメモリ装置に応用してもよい。

【0092】

前記実施形態では、補正值ΔV<sub>d</sub>を求める際、2つ異なるテスト用のデータ電圧V<sub>data</sub>を用いてテストを行って求めた。これを、1つのテスト用のデータ電圧V<sub>data</sub>を用いてテストを行ったり、3つ以上のテスト用のデータ電圧V<sub>data</sub>を用いてテストを行って求めて実施してもよい。

上記の実施形態では電流をデータ線X1~Xmを介して電流検出回路に供給したが、これを検出用トランジスタQ13に検出専用の配線を設け、これら配線を介して電流検出回路1に供給するようにして実施するようにしてもよい。

【0093】

上記の実施形態では、画素回路の被駆動素子として有機EL素子21について具体化した。が、無機EL素子に具体化してもよい。つまり、無機EL素子からなる無機ELディスプレイに応用してもよい。

【0094】

上記の実施形態では画素回路20は、電圧駆動型の画素回路に具体化した。が、電流駆動型

の画素回路の有機ELディスプレイに応用してもよい。又、時分割、面積階調等のデジタル駆動される画素回路に有機ELディスプレイに応用しても良い。

【図面の簡単な説明】

【図1】本実施形態の有機ELディスプレイの回路構成を示すブロック回路図。

【図2】表示パネル部とデータ線駆動回路の内部回路構成を示すブロック回路図。

【図3】画素回路の内部回路構成を示す回路図。

【図4】通常モードにおける各信号のタイミングチャート。

【図5】テストモードにおける各信号のタイミングチャート。

【図6】第2実施形態を説明するための要部電気ブロック回路図。

【図7】第3実施形態を説明するためのモバイル型パーソナルコンピュータの構成を示す斜視図。

【図8】第3実施形態を説明するための携帯電話の構成を示す斜視図。

【図9】第4実施形態に係る画素回路の内部回路構成を示す回路図。

【符号の説明】

C1 容量素子としての保持キャパシタ

Q11 第2のトランジスタとしての駆動用トランジスタ

Q12 第1のトランジスタとしてのスイッチング用トランジスタ

Q13 第4のトランジスタとしての発光制御用トランジスタ

Q14 第3のトランジスタとしての検出用トランジスタ

Y1～Yn 走査線

Va 第1副走査線

Vb 第2副走査線

X1～Xm データ線

10 電気光学装置としての有機ELディスプレイ

11 表示パネル部

17 補正値算出回路を構成する制御回路

17a 記憶回路としてのメモリ

19 補正値算出回路を構成する検査装置

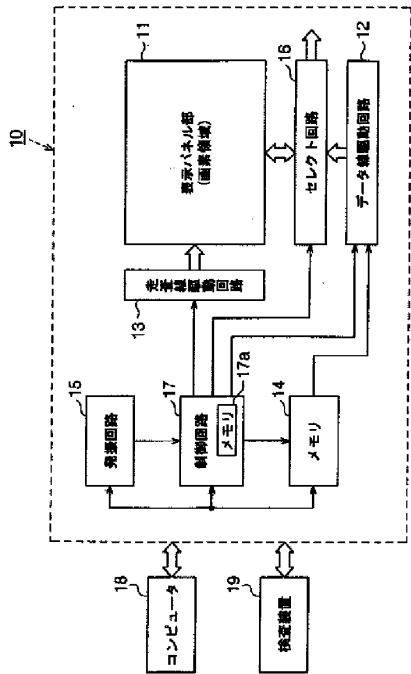
19a 電流検出回路

20 電子回路としての画素回路

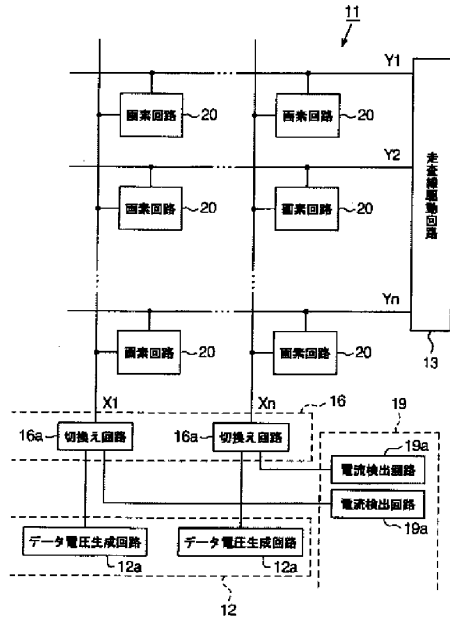
21 被駆動素子としての有機EL素子

31a 電流検出回路

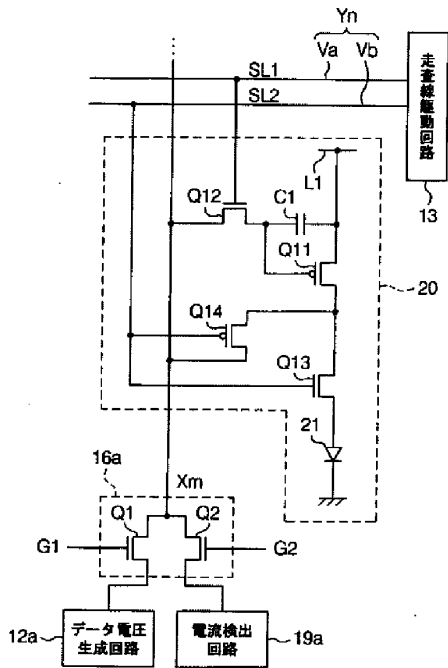
【図1】



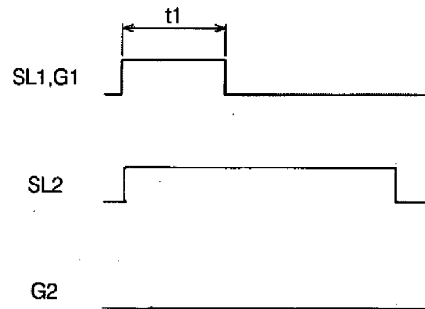
【図2】



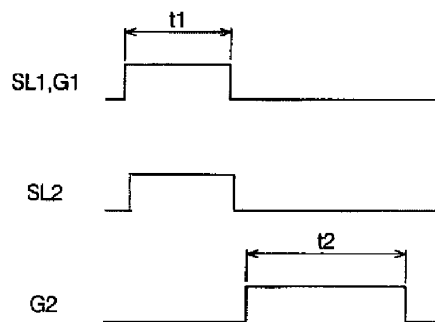
【図3】



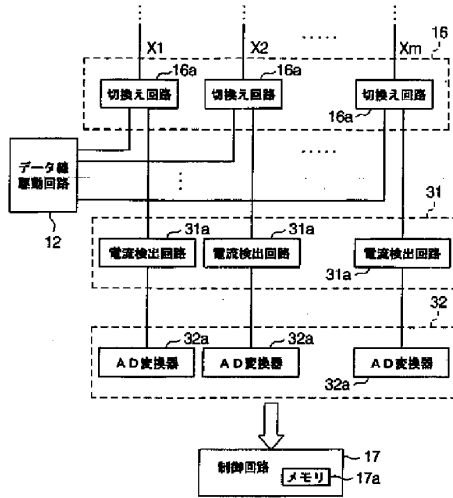
【図4】



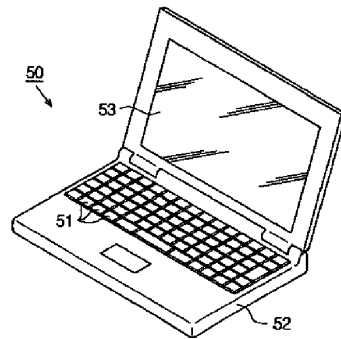
【図5】



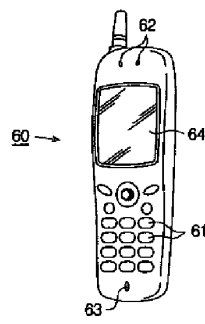
【図6】



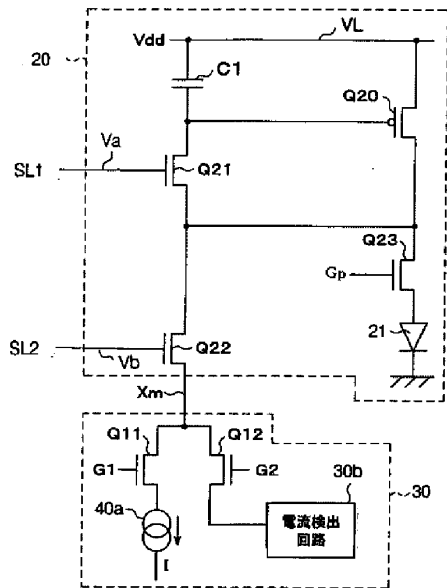
【図7】



【図8】



【図9】



(51)Int.Cl.<sup>7</sup>

F I

テーマコード (参考)

G 0 9 G	3/20	6 4 1 D
G 0 9 G	3/20	6 4 1 P
G 0 9 G	3/20	6 4 2 P
G 0 9 G	3/20	6 7 0 Q
H 0 5 B	33/14	A

Fターム(参考) 5C094 AA03 AA07 AA55 AA56 BA03 BA27 CA19 CA25 DA09 DB01  
DB02 DB04 EA03 FA01 FB01 FB12 FB14 FB15 FB20 GA10

(19) 日本国特許庁 (JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-21219

(P2004-21219A)

(43) 公開日 平成16年1月22日 (2004.1.22)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
GO9G 3/30	GO9G 3/30 J	5C080
GO9G 3/20	GO9G 3/30 K	
	GO9G 3/20 611H	
	GO9G 3/20 623H	
	GO9G 3/20 623R	
	審査請求 有 請求項の数 19 O L (全 30 頁) 最終頁に続く	

(21) 出願番号	特願2002-180284 (P2002-180284)	(71) 出願人	000001443 カシオ計算機株式会社 東京都渋谷区本町1丁目6番2号
(22) 出願日	平成14年6月20日 (2002.6.20)	(74) 代理人	100090033 弁理士 荒船 博司
		(74) 代理人	100093045 弁理士 荒船 良男
		(72) 発明者	佐藤 和仁 東京都八王子市石川町2951番地5 カシオ計算機株式会社八王子研究所内
		(72) 発明者	山田 裕康 東京都八王子市石川町2951番地5 カシオ計算機株式会社八王子研究所内
		Fターム (参考)	5C080 AA06 BB05 DD05 DD06 EE29 FF11 JJ03 JJ04 JJ05

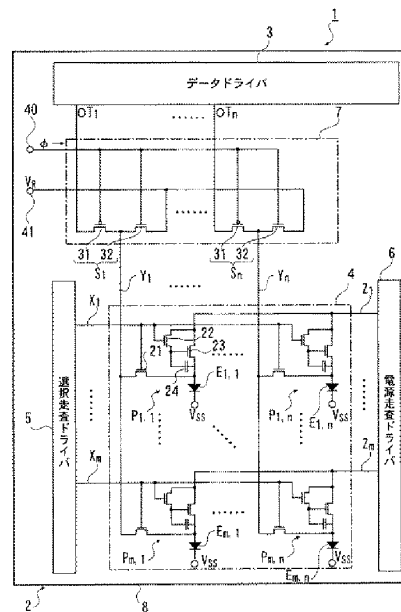
(54) 【発明の名称】 表示装置及び表示装置の駆動方法

(57) 【要約】

【課題】 課題は、高品質な表示を行うことである。

【解決手段】 有機ELディスプレイ1では、画素 $P_{i,j}$ がマトリクス状に配列されており、画素 $P_{i,j}$ が有機EL素子 $E_{i,j}$ と画素回路 $D_{i,j}$ とを備える。画素回路 $D_{i,j}$ が、選択期間において信号線 $Y_j$ に流れる階調指定シンク電流レベルに従ったレベルの電圧をトランジスタ23に保持し、非選択期間においてトランジスタ23の電圧レベルに従ったレベルの駆動電流を有機EL素子 $E_{i,j}$ に流す。は、電流電圧変換部7は、選択期間ではデータドライバ3で発生した階調指定シンク電流を信号線 $Y_1 \sim Y_n$ に流し、リセット期間では定電圧を信号線 $Y_1 \sim Y_n$ に印加する。

【選択図】 図1





## 【特許請求の範囲】

## 【請求項1】

複数の行に配列された複数の走査線と複数の列に配列された複数の信号線との交差部にそれぞれ配置され、前記信号線からの階調電流に従って流れる駆動電流により発光する発光素子をそれぞれ有する複数の画素と、  
前記階調電流により前記信号線にチャージされた電荷に応じた電圧を、リセット電圧に変位させるリセット手段と、  
を備えることを特徴とする表示装置。

## 【請求項2】

前記リセット手段は、  
所定行の選択期間に、前記信号線に前記階調電流を流す機能と、  
前記選択期間後からその次の行の選択期間の前までの間に、前記信号線に前記リセット電圧を印加する機能と、  
を有することを特徴とする請求項1に記載の表示装置。

## 【請求項3】

前記リセット手段は、  
前記信号線に前記階調電流を流す階調電流用トランジスタと、  
前記信号線に前記リセット電圧を出力するリセット電圧用トランジスタと、  
を有することを特徴とする請求項1に記載の表示装置。

## 【請求項4】

前記リセット手段は、階調信号に応じた前記階調電流を生成するカレントミラー回路を備えることを特徴とする請求項1に記載の表示装置。

## 【請求項5】

前記リセット手段は、シフトレジスタからの信号に応じて、各列に対応した前記カレントミラー回路に選択的に前記階調信号を供給する階調信号スイッチ手段を有することを特徴とする請求項4に記載の表示装置。

## 【請求項6】

前記リセット手段は、  
データドライバからの前記階調電流を前記信号線に流す階調電流用トランジスタと、  
前記リセット電圧を前記信号線に出力するリセット電圧用トランジスタと、  
を有することを特徴とする請求項1に記載の表示装置。

## 【請求項7】

前記リセット電圧は、前記発光素子が最高階調輝度で発光するときに前記発光素子に流れる最高階調駆動電流に等しい電流値となる階調電流によって前記信号線にチャージされる電荷にしたがって定常化される最高階調電圧よりも高く設定されていることを特徴とする請求項1に記載の表示装置。

## 【請求項8】

前記複数の画素は、それぞれ前記発光素子に前記駆動電流を供給する画素回路を有することを特徴とする請求項1に記載の表示装置。

## 【請求項9】

所定行の前記画素における前記画素回路は、  
前記所定行の選択期間に、前記信号線に前記階調電流が流れることによって前記階調電流にしたがった電荷を保持する電荷保持手段と、  
前記所定行の発光期間に、前記電荷保持手段により保持された電荷に応じて前記階調電流と等しい電流値の駆動電流を前記発光素子に流す駆動電流スイッチ手段と、  
前記駆動電流スイッチ手段を介して前記信号線に流れる前記階調電流の流れを制御する階調電流制御スイッチ手段と、  
を有することを特徴とする請求項8に記載の表示装置。

## 【請求項10】

所定行の前記画素における前記画素回路の前記階調電流制御スイッチ手段は、前記所定行の選択期間に、前記駆動電流スイッチ手段を介して前記信号線に流れる前記階調電流を流して、前記電荷保持手段に電荷を保持させる機能と、前記所定行の発光期間に、前記駆動電流スイッチ手段に前記階調電流を流すことを停止する機能と、を有することを特徴とする請求項9に記載の表示装置。

【請求項11】

前記駆動電流の電流値は、前記階調電流の電流値に等しいことを特徴とする請求項1に記載の表示装置。

【請求項12】

複数の行に配列された複数の走査線と複数の列に配列された複数の信号線との交差点にそれぞれ配置され、前記信号線からの階調電流に従って流れる駆動電流により発光する発光素子をそれぞれ有する複数の画素を備える表示装置の駆動方法であって、前記信号線に前記階調電流を流す階調電流ステップと、前記階調電流により前記信号線にチャージされた電荷に応じた電圧をリセット電圧に変位させるリセット電圧ステップと、を有することを特徴とする表示装置の駆動方法。

【請求項13】

前記階調電流ステップは選択期間に行われ、前記発光素子は前記選択期間後に前記階調電流に従って流れる前記駆動電流により発光することを特徴とする請求項12に記載の表示装置の駆動方法。

【請求項14】

前記リセット電圧ステップは、所定の行の前記画素分の前記階調電流が前記信号線に流れた後から、次の行の前記画素分の前記階調電流が前記信号線に流れる前までに行われることを特徴とする請求項12又は請求項13に記載の表示装置の駆動方法。

【請求項15】

前記複数の画素は、それぞれ前記発光素子に前記駆動電流を供給する画素回路を有することを特徴とする請求項12～14のいずれか一項に記載の表示装置の駆動方法。

【請求項16】

所定行の前記画素における前記画素回路は、前記所定行の選択期間に、前記信号線に前記階調電流が流れることによって前記階調電流にしたがった電荷を保持する電荷保持手段と、前記所定行の発光期間に、前記電荷保持手段により保持された電荷に応じて前記階調電流と等しい電流値の駆動電流を前記発光素子に流す駆動電流スイッチ手段と、前記駆動電流スイッチ手段を介して前記信号線に流れる前記階調電流の流れを制御する階調電流制御スイッチ手段と、を有することを特徴とする請求項15に記載の表示装置の駆動方法。

【請求項17】

所定行の前記画素における前記画素回路の前記階調電流制御スイッチ手段は、前記所定行の選択期間に、前記駆動電流スイッチ手段を介して前記信号線に流れる前記階調電流を流して、前記電荷保持手段に電荷を保持させる機能と、前記所定行の発光期間に、前記駆動電流スイッチ手段に前記階調電流を流すことを停止する機能と、を有することを特徴とする請求項16に記載の表示装置の駆動方法。

【請求項18】

前記リセット電圧は、前記発光素子が最高階調輝度で発光するとき前記発光素子に流れる最高階調駆動電流に等しい電流値となる階調電流によって前記信号線にチャージされる電荷にしたがって定常化される最高階調電圧よりも高く設定されていることを特徴とする請求項12に記載の表示装置の駆動方法。

【請求項19】

前記駆動電流の電流値は、前記階調電流の電流値に等しいことを特徴とする請求項12に「【発明の詳細な説明】方法。

【0001】

【発明の属する技術分野】

本発明は、駆動電流のレベルによって輝度が制御される発光素子を画素ごとに備えた表示装置、及び発光素子に駆動電流を流すことで表示を行う表示装置の駆動方法に関する。

【0002】

【従来の技術】

一般的に、表示装置には単純マトリクスのようなパッシブドライブ駆動方式と画素毎にスイッチングトランジスタを設けたアクティブマトリクス駆動方式のものがあり、アクティブマトリクス駆動方式の液晶ディスプレイでは、図11に示すように、コンデンサとしても機能する液晶を有する液晶素子501と、スイッチング素子として機能するTFT502とが、画素ごとに設けられている。アクティブマトリクス駆動方式では、選択期間中に走査ドライバによって走査線503にパルス信号が入力されて走査線503が選択されているときに、輝度を表すレベルの電圧がデータドライバによって信号線504に印加されると、TFT502を介して液晶素子501に電圧が印加される。選択期間後の非選択期間においてTFT502がオフ状態になっても、液晶素子501がコンデンサとして機能するため、次の選択期間まで電圧レベルが保持される。以上のように、選択期間において液晶素子501の光透過率が新たに更新されて、バックライトを光源として画素が電圧レベルに従った輝度で光を出射し、液晶ディスプレイの階調表現が行われる。

【0003】

一方、自発光素子である有機EL素子を用いた有機ELディスプレイは、液晶ディスプレイのようにバックライトを必要とせず、薄型化に最適であるとともに、液晶ディスプレイのような視野角の制限もないため、次世代の表示装置として実用化が大きく期待されている。

【0004】

高輝度、高コントラスト、高精細といった観点から、有機ELディスプレイも、液晶ディスプレイと同様にアクティブマトリクス駆動方式のものが特に望まれている。有機ELディスプレイは、パッシブ駆動方式では選択期間に流れる電流を増大しなければならないのに対してアクティブマトリクス駆動方式では非選択期間でも発光させるように、輝度を表す電圧レベルを保持しておくための素子を画素ごとに設けているため、単位時間当たりに流れる電流レベル（電流値）は小さくてよい。しかし、有機EL素子はコンデンサとしては極めて小さい容量しかないために、図11のような画素の回路において液晶素子501の代わりに有機EL素子を設けただけでは、非選択期間に有機EL素子が発光を維持することは困難になる。

【0005】

そこで、例えば図12に示すように、アクティブマトリクス駆動方式の有機ELディスプレイでは、有機EL素子601と、スイッチング素子として機能するTFT602と、輝度を表す電圧レベルを保持しておくとともに電圧レベルに従ったレベルの駆動電流を有機EL素子601に流すTFT605とが、画素ごとに設けられている。このディスプレイでは、選択期間中に走査ドライバによって走査線603にパルス信号が入力されて走査線603が選択されているときに、輝度を表すレベルの電圧がデータドライバによって信号線604に印加されると、TFT605のゲート電極にそのレベルの電圧が印加されて、TFT605のゲート電極に輝度データが書き込まれることになる。これにより、TFT605がオン状態になり、ゲート電極の電圧レベルに応じたレベルの駆動電流が電源からTFT605を介して有機EL素子601に流れて、有機EL素子601が電流レベルに応じた輝度で発光する。選択期間後の非選択期間では、TFT602がオフ状態になっても、TFT605の容量等によりTFT605のゲート電極の電圧レベルが保持され続け、有機EL素子601が電圧レベルに従った輝度で発光する。以上のように、選択期間においてTFT605のゲート電圧が更新されることによって有機EL素子601の輝度が

更新されて、有機ELディスプレイの階調表現が行われる。

【0006】

ところで、一般的にTFTは、周囲の温度にチャネル抵抗が依存したり、長時間の使用によりチャネル抵抗が変化したりするために、ゲート閾値電圧が経時変化したり、同一表示領域内の個々のTFTのゲート閾値電圧がばらついたりする。従って、TFT605のゲート電極に印加する電圧のレベルを変化させることによって有機EL素子601に流れる電流のレベルを変化させること、換言すれば、TFT605のゲート電極に印加する電圧のレベルを変化させることによって有機EL素子601の輝度を変化させることを行っても、TFT605のゲート電圧レベルで有機EL素子601に流れる電流レベルを一義的に指定するには困難である。

【0007】

そこで、輝度をTFTに印加される電圧のレベルで制御するのではなく、電流のレベルで制御する手法が研究されている。つまり、信号線にゲート電圧のレベルを指定する電圧指定方式ではなく、有機EL素子に流れる電流のレベルを直接信号線に指定する電流指定方式を有機ELディスプレイのアクティブマトリクス駆動方式に適用するというものである。

【0008】

【発明が解決しようとする課題】

しかしながら、電流指定方式の有機ELディスプレイでは、指定電流を流している選択期間内において指定電流レベル（電流値）は一定であるが、指定電流レベルが小さいと、指定電流により電圧が定常状態になるまでには時間を要する。そのため、有機EL素子が所望通りの輝度で発光しなくなり、有機ELディスプレイの表示品質の低下につながる。

【0009】

一方、選択期間を長くすれば電圧が定常状態になるまでの時間より選択時間が長くなるが、選択時間が長くなれば表示画面がちらついて見えたりする等、有機ELディスプレイの表示品質の低下につながる。

【0010】

そこで、本発明が解決しようとする課題は、高品質な表示を行うことである。

【0011】

【課題を解決するための手段】

以上の課題を解決するために、請求項1に記載の発明に係る表示装置は、例えば図1、図2、図3、図7、図9に示すように、

複数の行に配列された複数の走査線（例えば、選択走査線 $X_i$ 、電源走査線 $V_i$ ）と複数の列に配列された複数の信号線（例えば、信号線 $Y_j$ ）との交差部にそれぞれ配置され、前記信号線からの階調電流（例えば、階調指定シンク電流）に従って流れる駆動電流により発光する発光素子（例えば、有機EL素子 $E_{i,j}$ ）をそれぞれ有する複数の画素（例えば、画素 $P_{i,j}$ ）と、

前記階調電流により前記信号線にチャージされた電荷に応じた電圧を、リセット電圧（例えば、リセット電圧 $V_R$ ）に変位させるリセット手段（例えば、電流電圧切替部7）と、を備えることを特徴とする。

【0012】

請求項1に記載の発明では、所定の行の画素が選択されている時に、各々の信号線には階調電流が流れるが、前の行の画素のために信号線に流れる階調電流により定常化される電圧と、その次の行の画素のために信号線に流す階調電流により定常化されるべき電圧との差が大きく、且つ当該次の画素のための階調電流の電流値が小さいときであっても、当該次の行の直前に信号線にリセット電圧を印加することで迅速に信号線を当該次の行のための階調電流にしたがった電圧に定常化することができる。

【0013】

請求項2に記載の発明は、請求項1に記載の表示装置において、前記リセット手段は、

所定行の選択期間（例えば、選択期間 $T_{SE}$ ）に、前記信号線に前記階調電流を流す機能と、  
前記選択期間後からその次の行の選択期間の前までの間に、前記信号線に前記リセット電圧を印加する機能と、  
を有することを特徴とする。

## 【0014】

請求項3に記載の発明は、例えば図7、図9に示すように、請求項1に記載の表示装置において、  
前記リセット手段は、  
前記信号線に前記階調電流を流す階調電流用トランジスタ（例えば、トランジスタ31、131）と、  
前記信号線に前記リセット電圧を出力するリセット電圧用トランジスタ（例えば、トランジスタ32、132）と、  
を有することを特徴とする。

## 【0015】

請求項4に記載の発明は、例えば図7、図9に示すように、請求項1に記載の表示装置において、  
前記リセット手段は、階調信号に応じた前記階調電流を生成するカレントミラー回路（例えば、カレントミラー回路 $M_j$ ）を備えることを特徴とする。

## 【0016】

請求項5に記載の発明は、例えば図7、図9に示すように、請求項4に記載の表示装置において、  
前記リセット手段は、シフトレジスタ（例えば、シフトレジスタ101）からの信号に応じて、各列に対応した前記カレントミラー回路に選択的に前記階調信号を供給する階調信号スイッチ手段（例えば、トランジスタ $U_j$ 及びトランジスタ $W_j$ ）を有することを特徴とする。

## 【0017】

請求項6に記載の発明は、例えば図1に示すように、請求項1に記載の表示装置において、  
前記リセット手段は、  
データドライバ（例えば、データドライバ3）からの前記階調電流を前記信号線に流す階調電流用トランジスタ（例えば、トランジスタ31）と、  
前記リセット電圧を前記信号線に出力するリセット電圧用トランジスタ（例えば、トランジスタ32）と、  
を有することを特徴とする。

## 【0018】

請求項7に記載の発明は、請求項1に記載の表示装置において、  
前記リセット電圧は、前記発光素子が最高階調輝度（例えば、最高階調輝度 $L_{MAX}$ ）で発光するとき前記発光素子に流れる最高階調駆動電流（例えば、最高階調駆動電流 $I_{MAX}$ ）に等しい電流値となる階調電流によって前記信号線にチャージされる電荷にしたがって定常化される最高階調電圧（例えば、最高階調電圧 $V_{hsb}$ ）よりも高く設定されていることを特徴とする。

## 【0019】

請求項8に記載の発明は、例えば図3に示すように、請求項1に記載の表示装置において、  
前記複数の画素は、それぞれ前記発光素子に前記駆動電流を供給する画素回路（例えば、画素回路 $D_{i,j}$ ）を有することを特徴とする。

## 【0020】

請求項9に記載の発明は、請求項1に記載の表示装置において、  
所定行の前記画素における前記画素回路は、

前記所定行の選択期間に、前記信号線に前記階調電流が流れることによって前記階調電流にしたがった電荷を保持する電荷保持手段（例えば、コンデンサ24）と、  
前記所定行の発光期間（例えば、発光期間 $T_{EM}$ ）に、前記電荷保持手段により保持された電荷に応じて前記階調電流と等しい電流値の駆動電流を前記発光素子に流す駆動電流スイッチ手段（例えば、トランジスタ23）と、  
前記駆動電流スイッチ手段を介して前記信号線に流れる前記階調電流の流れを制御する階調電流制御スイッチ手段（例えば、トランジスタ21、22）と、  
を有することを特徴とする。

## 【0021】

請求項12に記載の発明は、例えば図1、図2、図3、図7、図9に示すように、  
複数の行に配列された複数の走査線（例えば、選択走査線 $X_i$ 、電源走査線 $V_i$ ）と複数の列に配列された複数の信号線（例えば、信号線 $Y_j$ ）との交差部にそれぞれ配置され、  
前記信号線からの階調電流（例えば、階調指定シンク電流）に従って流れる駆動電流により発光する発光素子（例えば、有機EL素子 $E_{i,j}$ ）をそれぞれ有する複数の画素（例えば、画素 $P_{i,j}$ ）を備える表示装置の駆動方法であって、  
前記信号線に前記階調電流を流す階調電流ステップと、  
前記階調電流により前記信号線にチャージされた電荷に応じた電圧をリセット電圧（例えば、リセット電圧 $V_R$ ）に変位させるリセット電圧ステップと、  
を有することを特徴とする。

## 【0022】

請求項13に記載の発明は、請求項12に記載の表示装置の駆動方法において、  
前記階調電流ステップは選択期間（例えば、選択期間 $T_{SE}$ ）に行われ、前記発光素子は前記選択期間後に前記階調電流に従って流れる前記駆動電流により発光することを特徴とする。

## 【0023】

請求項14に記載の発明は、請求項12又は請求項13に記載の表示装置の駆動方法において、  
前記リセット電圧ステップは、所定の行の前記画素分の前記階調電流が前記信号線に流れた後から、次の行の前記画素分の前記階調電流が前記信号線に流れる前までに行われることを特徴とする。

## 【0024】

請求項15に記載の発明は、例えば図3に示すように、請求項12～14のいずれか一項に記載の表示装置の駆動方法において、  
前記複数の画素は、それぞれ前記発光素子に前記駆動電流を供給する画素回路（例えば、画素回路 $D_{i,j}$ ）を有することを特徴とする。

## 【0025】

請求項16に記載の発明は、例えば図3に示すように、請求項15に記載の表示装置の駆動方法において、  
所定行の前記画素における前記画素回路は、  
前記所定行の選択期間に、前記信号線に前記階調電流が流れることによって前記階調電流にしたがった電荷を保持する電荷保持手段（例えば、コンデンサ24）と、  
前記所定行の発光期間（例えば、発光期間 $T_{EM}$ ）に、前記電荷保持手段により保持された電荷に応じて前記階調電流と等しい電流値の駆動電流を前記発光素子に流す駆動電流スイッチ手段（例えば、トランジスタ23）と、  
前記駆動電流スイッチ手段を介して前記信号線に流れる前記階調電流の流れを制御する階調電流制御スイッチ手段（例えば、トランジスタ21、22）と、  
を有することを特徴とする。

## 【0026】

## 【発明の実施の形態】

## 〔第一の実施の形態〕

以下に、図面を用いて本発明の具体的な態様について説明する。ただし、発明の範囲を図示例に限定するものではない。

【0027】

図1は、本発明の適用された有機ELディスプレイを示した図面である。図1に示すように、有機ELディスプレイ1は、基本構成として、アクティブマトリクス駆動方式によりカラー表示を行う有機EL表示パネル2と、有機EL表示パネル2に階調指定シンク電流（階調電流）を流させるデータドライバ3と、を備える。ここでシンク電流とは、後述する画素 $P_{1,1} \sim P_{m,n}$ のそれぞれから信号線 $Y_1 \sim Y_n$ のそれぞれ方向へ流れる電流である。

【0028】

有機EL表示パネル2は、透明基板8と、画像が実質的に表示される表示部4と、表示部4の周辺に設けられた選択走査ドライバ5、電源走査ドライバ6及び電流電圧切替部7とを基本構成としており、これらの回路4～7が透明基板8上に形成されている。

【0029】

表示部4においては、 $(m \times n)$ 個の画素 $P_{1,1} \sim P_{m,n}$ がマトリクス状に透明基板8上に設けられており、縦方向（列方向）に $m$ 個の画素 $P_{i,j}$ が配列され、横方向（行方向）に $n$ 個の画素 $P_{i,j}$ が配列されている。ここで、 $m, n$ は1以上の整数であり、 $i$ は1以上 $m$ 以下の或る整数であり、 $j$ は1以上 $n$ 以下の或る整数であり、縦に $i$ 番目（つまり、 $i$ 行目）であって横に $j$ 番目（つまり、 $j$ 列目）である画素を画素 $P_{i,j}$ と記す。

【0030】

また、表示部4には、第一走査線としての $m$ 本の選択走査線 $X_1 \sim X_m$ と、第二走査線としての $m$ 本の電源走査線 $Z_1 \sim Z_m$ と、 $n$ 本の信号線 $Y_1 \sim Y_n$ とが配設されている。 $m$ 本の選択走査線 $X_1 \sim X_m$ は、横方向に延在し、透明基板8上に設けられている。電源走査線 $Z_1 \sim Z_m$ が選択走査線 $X_1 \sim X_m$ に対して交互に配列されている。また、信号線 $Y_1 \sim Y_n$ は、縦方向に延在し、透明基板8上に設けられている。これら選択走査線 $X_1 \sim X_m$ 、電源走査線 $Z_1 \sim Z_m$ 及び信号線 $Y_1 \sim Y_n$ 間の交差している箇所は層間絶縁膜等によって互いに絶縁されている。選択走査線 $X_i$ 及び電源走査線 $Z_i$ には、横方向に配列された $n$ 個の画素 $P_{i,1} \sim P_{i,n}$ が接続されており、信号線 $Y_j$ には、縦方向に配列された $m$ 個の画素 $P_{1,j} \sim P_{m,j}$ が接続されており、選択走査線 $X_i$ 及び電源走査線 $Z_i$ と信号線 $Y_j$ との交差部に画素 $P_{i,j}$ が配されている。

【0031】

次に、図2及び図3を用いて各画素 $P_{i,j}$ について説明する。図2は画素 $P_{i,j}$ を示した平面図であり、図3は四つの画素 $P_{i,j}, P_{i+1,j}, P_{i,j+1}, P_{i+1,j+1}$ の等価回路図である。

【0032】

画素 $P_{i,j}$ は、駆動電流のレベルに従った輝度で発光する有機EL素子 $E_{i,j}$ と、有機EL素子 $E_{i,j}$ の周辺に設けられているとともに有機EL素子 $E_{i,j}$ を駆動する画素回路 $D_{i,j}$ と、から構成されている。画素回路 $D_{i,j}$ は、データドライバ3、選択走査ドライバ5及び電源走査ドライバ6から出力された信号に基づいて、有機EL素子 $E_{i,j}$ の電流をオン・オフしたり、一定の発光期間中に駆動電流のレベルを保持することで有機EL素子 $E_{i,j}$ の発光輝度を一定に保ったりするものである。

【0033】

有機EL素子 $E_{i,j}$ は、透明基板8上にアノード電極51、有機EL層52、カソード電極（図示略）が順に積層した積層構造となっている。

【0034】

アノード電極51は画素 $P_{i,j}$ ごとにパターニングされており、信号線 $Y_1 \sim Y_n$ と選択走査線 $X_1 \sim X_m$ に囲まれる各圍繞領域に形成されている。

【0035】

アノード電極51は、導電性を有しているとともに、可視光に対して透過性を有している

。また、アノード電極51は、比較的仕事関数の高いものであり、有機EL層52へ正孔を効率よく注入するものが好ましい。例えば、アノード電極51としては、錫ドープ酸化インジウム(ITO)、亜鉛ドープ酸化インジウム(IZO)、酸化インジウム( $\text{In}_2\text{O}_3$ )、酸化スズ( $\text{SnO}_2$ )又は酸化亜鉛( $\text{ZnO}$ )を主成分としたものがある。

【0036】

各々のアノード電極51上に有機EL層52が成膜されている。有機EL層52も画素 $P_{i,j}$ ごとにパターンニングされている。有機EL層52は、例えば、アノード電極51から順に正孔輸送層、狭義の発光層、電子輸送層となる三層構造であっても良いし、アノード電極51から順に正孔輸送層、狭義の発光層となる二層構造であっても良いし、狭義の発光層からなる一層構造であっても良いし、これらの層構造において適切な層間に電子或いは正孔の注入層が介在した積層構造であっても良いし、その他の層構造であっても良い。

【0037】

有機EL層52は、正孔及び電子を注入する機能、正孔及び電子を輸送する機能、正孔と電子の再結合により励起子を生成して赤色、緑色又は青色の何れかに発光する機能を有する広義の発光層である。つまり、画素 $P_{i,j}$ が赤である場合にはその画素 $P_{i,j}$ の有機EL層52は赤色に発光し、画素 $P_{i,j}$ が緑である場合にはその画素 $P_{i,j}$ の有機EL層52は緑色に発光し、画素 $P_{i,j}$ が青である場合にはその画素 $P_{i,j}$ の有機EL層52は青色に発光する。

【0038】

また、有機EL層52は、電子的に中立な有機化合物であることが望ましく、これにより正孔及び電子が有機EL層52でバランス良く注入及び輸送される。また、電子輸送性の物質が狭義の発光層に適宜混合されていても良いし、正孔輸送性の物質が狭義の発光層に適宜混合されていても良いし、電子輸送性の物質及び正孔輸送性の物質が狭義の発光層に適宜混合されていても良い。

【0039】

有機EL層52上にカソード電極が形成されている。カソード電極は、全ての画素 $P_{1,1} \sim P_{m,n}$ に共通の層となる共通電極であっても良いし、画素電極として画素 $P_{i,j}$ ごとにパターンニングさせて、アノード電極を共通電極としても良い。カソード電極は、仕事関数の低い材料で形成されており、例えば、インジウム、マグネシウム、カルシウム、リチウム若しくはバリウム又はこれらの少なくとも一種を含む合金若しくは混合物等で形成されている。また、カソード電極は、以上の各種材料の層が積層された積層構造となっても良く、また、以上の各種材料の層上に例えばアルミニウム、クロム等といった高仕事関数で且つ低抵抗の材料が被覆された積層構造となっても良い。また、カソード電極は、可視光に対して遮光性を有するとともに可視光に対して高い反射性を有することで、鏡面として作用するのが望ましいが、アノード電極を不透明電極の場合にはカソード電極を透明にすることで表示パネルとして利用することができる。

【0040】

以上のように積層構造となる有機EL素子 $E_{i,j}$ では、アノード電極51とカソード電極との間に順バイアス電圧が印加されると、正孔がアノード電極51から有機EL層52へ注入され、電子がカソード電極から有機EL層52に注入される。そして、有機EL層52で正孔及び電子が輸送されて、有機EL層52にて正孔及び電子が再結合することによって励起子が生成され、励起子が有機EL層52内の蛍光体を励起して、有機EL層52内にて光が発する。

【0041】

有機EL素子 $E_{i,j}$ の発光輝度は、有機EL素子 $E_{i,j}$ に流れる電流のレベル(電流値)に依存し、電流レベルの増大にしたがって発光輝度が増大する。有機EL素子 $E_{i,j}$ の発光期間中に有機EL素子 $E_{i,j}$ の発光輝度を一定に保ったり、データドライバ3を流れる階調指定シンク電流に従った発光輝度にしったりするために、有機EL素子 $E_{i,j}$ の電流レベル(電流値)を制御する画素回路 $D_{i,j}$ が画素 $P_{i,j}$ ごとに有機EL素



子 $E_{i,j}$ の周囲に設けられている。

【0042】

各画素回路 $D_{i,j}$ は、三つの薄膜トランジスタ（以下、トランジスタと記述する。）21, 22, 23と、コンデンサ24とを備える。

【0043】

トランジスタ21, 22, 23は、ゲート電極、ドレイン電極、ソース電極、半導体層、不純物半導体層、ゲート絶縁膜等から構成されたMOS型の電界効果トランジスタであり、特にアモルファスシリコンを半導体層としたa-Siトランジスタであるが、ポリシリコンを半導体層としたp-Siトランジスタであってもよい。また、トランジスタ21, 22, 23の構造は逆スタガ型であっても良いし、コプラナ型であっても良い。なお、ゲート電極、ドレイン電極、ソース電極、半導体層、不純物半導体層、ゲート絶縁膜等の組成はトランジスタ21, 22, 23についてそれぞれ同じであり、トランジスタ21, 22, 23は同一工程で同時に形成されるが、形状、大きさ、寸法、チャネル幅、チャネル長等はトランジスタ21, 22, 23についてそれぞれ異なる。なお、以下では、トランジスタ21, 22, 23の何れもがNチャネル型の電界効果トランジスタであるとして説明する。

【0044】

トランジスタ22のゲート電極22gは選択走査線 $X_j$ に接続されている。トランジスタ22のドレイン電極22dは、トランジスタ23のドレイン電極23dに接続されているとともに、電源走査線 $Z_i$ に接続されている。トランジスタ22のソース電極22sは、コンタクトホール25を介してトランジスタ23のゲート電極23gに接続されているとともに、コンデンサ24の一方の電極に接続されている。

【0045】

トランジスタ23のソース電極23sは、コンデンサ24の他方の電極に接続されているとともにトランジスタ21のドレイン電極21dに接続されている。

【0046】

トランジスタ21のゲート電極21gは選択走査線 $X_i$ に接続されており、トランジスタ21のソース電極21sは信号線 $Y_j$ に接続されている。トランジスタ23のソース電極23s、コンデンサ24の他方の電極、TF21のドレイン電極21dは、有機EL素子 $E_{i,j}$ のアノード電極51に接続されている。有機EL素子 $E_{i,j}$ のカソード電極の電位は、基準電位 $V_{SS}$ であり、本実施形態では、有機EL素子 $E_{i,j}$ のカソード電極が接地されて基準電位 $V_{SS}$ が0〔V〕となっている。

【0047】

また、図1、図3に示すように、選択走査線 $X_1 \sim X_m$ は選択走査ドライバ5に接続されており、電源走査線 $Z_1 \sim Z_m$ は電源走査ドライバ6に接続されている。

【0048】

選択走査ドライバ5はいわゆるシフトレジスタである。つまり、選択走査ドライバ5は、外部からのクロック信号に基づいて選択走査線 $X_1$ から選択走査線 $X_m$ への順（走査線 $X_m$ の次は走査線 $X_1$ ）に走査信号を順次出力することで、所定時間（詳細には後述するリセット期間 $T_{RESET}$ ）を空けて走査線 $X_1 \sim X_m$ を順次選択するものである。

【0049】

詳細には図5に示すように、選択走査ドライバ5は、ハイレベルのオン電圧 $V_{ON}$ （例えば基準電位 $V_{SS}$ より十分高い。）又はローレベルのオフ電圧 $V_{OFF}$ （例えば基準電位 $V_{SS}$ 以下である。）の何れかのレベルの電圧を選択走査線 $X_1 \sim X_m$ に個別に印加することによって、所定周期で各選択走査線 $X_i$ を選択する。

【0050】

即ち、選択走査線 $X_i$ が選択される選択期間 $T_{SE}$ では、選択走査ドライバ5がオン電圧 $V_{ON}$ のパルス信号を選択走査線 $X_i$ に出力することにより、選択走査線 $X_i$ に接続されたトランジスタ21, 22（画素回路 $D_{i,1} \sim D_{i,n}$ 全てのトランジスタ21, 22である。）がオン状態になる。トランジスタ21がオン状態になることによって信号線 $Y$

$j$  に流れる電流が画素回路  $D_{i,j}$  に流れ得るようになる。一方、選択期間  $T_{SE}$  以外の非選択期間  $T_{NSE}$  では、オフ電圧  $V_{OFF}$  を走査線  $X_i$  に印加することにより、トランジスタ 21、22 がオフ状態になる。トランジスタ 21 がオフ状態になることで、信号線  $Y_j$  に流れる電流は画素回路  $D_{i,j}$  に流れ得ないようになる。

#### 【0051】

ここで、 $T_{SE} + T_{NSE} = T_{SC}$  で表される期間が一走査期間であり、選択走査線  $X_1 \sim X_m$  の選択期間  $T_{SE}$  は互いに重ならない。また、 $i$  行目の選択期間  $T_{SE}$  から  $(i+1)$  行目の選択期間  $T_{SE}$  までには続いておらず、 $i$  行目の選択期間  $T_{SE}$  と  $(i+1)$  行目の選択期間  $T_{SE}$  との間には、選択期間  $T_{SE}$  より短い期間  $T_{RESET}$  が存する。つまり、選択走査ドライバ 5 は、 $i$  行目の選択走査線  $X_i$  にオン電圧  $V_{ON}$  のパルス信号を出力し終えてから期間  $T_{RESET}$  だけ経過したら、 $(i+1)$  行目の選択走査線  $X_{i+1}$  にオン電圧  $V_{ON}$  のパルス信号を出力する。これにより、 $i$  行目の選択が終了してから期間  $T_{RESET}$  経過後に  $i+1$  行目が選択される。以下では、期間  $T_{RESET}$  をリセット期間と述べる。

#### 【0052】

なお、詳細については後述するが、選択走査線  $X_1 \sim X_m$  が選択されている各々の選択期間  $T_{SE}$  の時に、データドライバ 3 が全ての出力端子  $OT_1 \sim OT_n$  へ階調指定シンク電流を流すことによって、全ての信号線  $Y_1 \sim Y_n$  に階調指定シンク電流が流れる。階調指定シンク電流とは、データドライバ 3 が信号線  $Y_1 \sim Y_n$  からそれぞれの出力端子  $OT_1 \sim OT_n$  へ流れる電流であり、画像データに従った輝度階調で発光するために各有機 EL 素子  $E_{1,1} \sim E_{m,n}$  に流れる電流のレベルに等しい。

#### 【0053】

図 1、図 3 に示すように、電源走査ドライバ 6 は、いわゆるシフトレジスタである。電源走査ドライバ 6 は、選択走査ドライバ 5 に同期して電源走査線  $Z_1 \sim Z_m$  を順次選択するものである。つまり、電源走査ドライバ 6 は、上述の外部からのクロック信号に基づいて電源走査線  $Z_1$  から電源走査線  $Z_m$  への順（電源走査線  $Z_m$  の次は電源走査線  $Z_1$ ）にパルス信号を、選択走査ドライバ 5 の同一行のオン電圧  $V_{ON}$  のパルス信号に同期して順次出力することで、リセット期間  $T_{RESET}$  を空けて電源走査線  $Z_1 \sim Z_m$  を順次選択するものである。

#### 【0054】

詳細には図 5 に示すように、電源走査ドライバ 6 は、ローレベルのチャージ電圧  $V_{CH}$ （基準電位  $V_{SS}$  と等電圧、又は基準電位  $V_{SS}$  未満である。）を所定周期で各電源走査線  $Z_i$  に印加する。即ち、各選択走査線  $X_i$  が選択される選択期間  $T_{SE}$  では、電源走査ドライバ 6 がローレベルのチャージ電圧  $V_{CH}$  を電源走査線  $Z_i$  に印加する。一方、非選択期間  $T_{NSE}$  では、電源走査ドライバ 6 は、チャージ電圧  $V_{CH}$  より高いハイレベルの電源電圧  $V_{DD}$  を電源走査線  $Z_i$  に印加する。電源電圧  $V_{DD}$  は基準電位  $V_{SS}$  及びリセット電位  $V_R$  より高く、トランジスタ 23 がオン状態となっており、トランジスタ 21 がオフ状態となっていれば、電源走査線  $Z_i$  から有機 EL 素子  $E_{i,j}$  へと電流が流れる。

#### 【0055】

電源電圧  $V_{DD}$  について説明する。図 4 は、N チャネル型の電界効果トランジスタ 23 の電流－電圧特性を表したグラフである。図 4 において、横軸はドレインソース間の電圧レベル（電圧値）であり、縦軸はドレインソース間の電流レベル（電流値）である。図中の線形領域（ソースドレイン間電圧レベル  $V_{DS} < \text{ドレイン飽和閾電圧レベル } V_{TH}$  : ドレイン飽和閾電圧レベル  $V_{TH}$  はゲートソース間電圧レベル  $V_{GS}$  に従っている。）では、ゲートソース間電圧レベル  $V_{GS}$  が一定であると、ソースドレイン間電圧レベル  $V_{DS}$  が大きくなるにつれてソースドレイン間電流レベル  $I_{DS}$  が大きくなる。更に、図中の飽和領域（ソースドレイン間電圧レベル  $V_{DS} \geq \text{ドレイン飽和閾電圧レベル } V_{TH}$ ）、ゲートソース間電圧レベル  $V_{GS}$  が一定であると、ソースドレイン間電圧レベル  $V_{DS}$  が大きくなってもソースドレイン間電流レベル  $I_{DS}$  はほぼ一定となる。

#### 【0056】

また、図4において、ゲートソース間電圧レベル $V_{GS0} \sim V_{GS MAX}$ は、 $V_{GS0} = 0 < V_{GS1} < V_{GS2} < V_{GS3} < V_{GS4} < V_{GS MAX}$ の関係となっている。つまり、図4から明らかなように、ドレインソース間電圧レベル $V_{DS}$ が一定の場合、ゲートソース間電圧レベル $V_{GS}$ が大きくなるにつれて、線形領域、飽和領域のいずれであってもドレインソース間電流レベル $I_{DS}$ が大きくなる。更に、ゲートソース間電圧 $V_{GS}$ が大きくなるにつれて、ドレイン飽和閾電圧レベル $V_{TH}$ が大きくなる。

## 【0057】

以上のことから、線形領域では、ソースドレイン間電圧レベル $V_{DS}$ がわずかに変わるとソースドレイン間電流レベル $I_{DS}$ が変わってしまうが、飽和領域では、ゲートソース間電圧レベル $V_{GS}$ が定まれば、ソースドレイン間電圧レベル $V_{DS}$ に関わらずドレインソース間電流レベル $I_{DS}$ が一義的に定まる。

## 【0058】

ここで、トランジスタ23がゲートソース間最大電圧レベル $V_{GS MAX}$ であるときのドレインソース間電流レベル $I_{DS}$ は、最高輝度で発光する有機EL素子 $E_{i,j}$ のアノード電極51とカソード電極との間に流れる電流レベルに設定されている。

また、トランジスタ23のゲートソース間電圧レベル $V_{GS}$ が最大レベル $V_{GS MAX}$ であっても、トランジスタ23が飽和領域を維持するように、下記に示す条件式を満たしている。

$$V_{DD} - V_E - V_{SS} \geq V_{TH MAX}$$

ここで、 $V_E$ は、有機EL素子 $E_{i,j}$ の発光寿命期間中に有機EL素子 $E_{i,j}$ の高抵抗化のために徐々に高くなる、最高輝度時の有機EL素子 $E_{i,j}$ に分圧される予想最大の電圧レベルであり、 $V_{TH MAX}$ は、 $V_{GS MAX}$ 時のトランジスタ23のソースドレイン間の飽和閾電圧レベルである。以上の条件式を満たすように電源電圧 $V_{DD}$ を定める。

## 【0059】

図1、図3に示すように、信号線 $Y_1 \sim Y_n$ は電流電圧切替部7に接続されている。詳細には、電流電圧切替部7は、切替回路 $S_1 \sim S_n$ で構成されており、信号線 $Y_1 \sim Y_n$ が切替回路 $S_1 \sim S_n$ にそれぞれ接続されており、更にデータドライバ3の出力端子 $OT_1 \sim OT_n$ が切替回路 $S_1 \sim S_n$ にそれぞれ接続されている。切替回路 $S_1 \sim S_n$ に切替信号入力端子40が接続されており、切替信号 $\phi$ が切替回路 $S_1 \sim S_n$ に入力される。また、切替回路 $S_1 \sim S_n$ にリセット電圧入力端子41が接続されており、リセット電圧 $V_R$ が切替回路 $S_1 \sim S_n$ に印加される。

## 【0060】

リセット電圧 $V_R$ は、選択期間 $T_{SE}$ に各有機EL素子 $E_{1,1} \sim E_{m,n}$ が最も明るい最高階調輝度 $L_{MAX}$ で発光するときに各有機EL素子 $E_{1,1} \sim E_{m,n}$ に流れる最高階調駆動電流 $I_{MAX}$ に等しい電流値となる階調指定シンク電流によって信号線 $Y_1 \sim Y_n$ にチャージされる電荷にしたがって定常化される最高階調電圧 $V_{hsb}$ より高い電圧に設定されている。リセット電圧 $V_R$ は、各有機EL素子 $E_{1,1} \sim E_{m,n}$ が最も暗い最低階調輝度 $L_{MIN}$ （ただし電流レベルが0Aを越える）のときに各有機EL素子 $E_{1,1} \sim E_{m,n}$ に流れる最低階調駆動電流 $I_{MIN}$ に等しい電流値となる階調指定シンク電流によって信号線 $Y_1 \sim Y_n$ にチャージされる電荷にしたがって定常化される最低階調電圧 $V_{lsb}$ と、最高階調電圧 $V_{hsb}$ と、の中間値となる中間電圧以上が望ましく、最低階調電圧 $V_{lsb}$ と等しい値か或いは最低階調電圧 $V_{lsb}$ 以上がさらに望ましい。

## 【0061】

切替回路 $S_j$ （切替回路 $S_j$ は、 $j$ 列目の信号線 $Y_j$ に接続されている。）は、データドライバ3の出力端子 $OT_j$ からの信号に応じた電流を信号線 $Y_j$ に流させることと、リセット電圧入力端子41から所定電圧レベルのリセット電圧 $V_R$ を信号線 $Y_j$ に出力することとの何れか一方に切り替えるものである。つまり、切替信号入力端子40から切替回路 $S_j$ へ入力する切替信号 $\phi$ がハイレベルの場合には、切替回路 $S_j$ は出力端子 $OT_j$ のシンク電流を遮断するとともにリセット電圧入力端子41からのリセット電圧を信号線 $Y_j$

に出力する。一方、切替信号入力端子40から切替回路 $S_j$ へ入力する切替信号 $\phi$ がローレベルの場合には、切替回路 $S_j$ は出力端子 $OT_j$ と信号線 $Y_j$ との間にシンク電流を流すとともにリセット電圧入力端子41からのリセット電圧 $V_R$ を遮断する。

#### 【0062】

ここで、従来の電流シンク指定方式では、図6(a)に示すように、例えば $i$ 行目画素 $P_{i,j}$ を最高階調で発光するために、信号線 $Y_j$ に最大の電流レベル(電流値)のシンク電流を $i$ 行目の選択期間 $T_{SE}$ の間に流したとすると、この電流レベルに見合った電荷をコンデンサ24にチャージしたときの信号線 $Y_j$ にかかる最高階調電圧 $V_{hsb}$ は、基準電位 $V_{SS}$ やチャージ電圧 $V_{CH}$ よりも相対的に十分低くなっている。そして次の $(i+1)$ 行目の画素 $P_{i+1,j}$ を最低階調輝度で発光させるために、信号線 $Y_j$ に最小の電流レベル(電流値)のシンク電流(ただし無電流ではない)を流そうとすると、この電流レベルに見合った電荷をコンデンサ24にチャージしたときの信号線 $Y_j$ にかかる電圧をチャージ電圧 $V_{CH}$ に近似する程度に高くさせなければならないが、信号線 $Y_j$ に流れる電流レベルが極小のために信号線 $Y_j$ が単位時間に変位する電位差が小さくなってしまふので、信号線 $Y_j$ の電位を最高階調電圧 $V_{hsb}$ から最低階調電圧 $V_{lsb}$ に定常化するまでに時間が掛かってしまう恐れがあり、また選択期間 $T_{SE}$ が短く設定されていると最低階調電圧 $V_{lsb}$ に達することなく電圧 $V_{DF}$ の差が生じてしまい画素 $P_{i+1,j}$ が正確な輝度で発光できなくなるが、本実施の形態では、図6(b)に示すように、リセット期間 $T_{RESET}$ に、切替回路 $S_j$ が信号線 $Y_j$ の電位を強制的に最高階調電圧 $V_{hsb}$ よりも十分高いリセット電圧 $V_R$ に切替えてしまうので、選択期間 $T_{SE}$ 中に、容量となる信号線 $Y_j$ に蓄積された電荷が迅速に移動するような電流が流れて信号線 $Y_j$ を速やかに高電位にすることが可能となる。

#### 【0063】

切替回路 $S_j$ の一例について説明する。切替回路 $S_j$ は、Pチャンネル型の電界効果トランジスタであるトランジスタ31と、Nチャンネル型の電界効果トランジスタであるトランジスタ32とから構成される。トランジスタ31のゲート電極及びトランジスタ32のゲート電極は、切替信号入力端子40に接続されている。トランジスタ31のソース電極は信号線 $Y_j$ に接続されており、トランジスタ31のドレイン電極は出力端子 $OT_j$ に接続されている。トランジスタ32のドレイン電極は信号線 $Y_j$ に接続されており、トランジスタ32のソース電極はリセット電圧入力端子41に接続されている。この構成では、切替信号入力端子40からの切替信号 $\phi$ がハイレベルの場合に、トランジスタ32がオン状態になり、トランジスタ31がオフ状態になる。一方、切替信号入力端子40からの切替信号 $\phi$ がローレベルの場合に、トランジスタ31がオン状態になり、トランジスタ32がオフ状態になる。なお、トランジスタ31をPチャンネル型としトランジスタ32をNチャンネル型に設定して、切替信号 $\phi$ のハイ・ローを逆位相にして切替回路 $S_j$ のスイッチングを切り替えてもよい。

#### 【0064】

ここで切替信号入力端子40に入力される切替信号 $\phi$ の周期について説明する。図5に示すように、選択走査ドライバ5が選択走査線 $X_1 \sim X_m$ のうちの何れかに対してオン電圧 $V_{ON}$ を印加している時に、切替信号入力端子40に入力される切替信号 $\phi$ がローレベルである。一方、選択走査ドライバ5が全ての選択走査線 $X_1 \sim X_m$ にオフ電圧 $V_{OFF}$ を印加している時に(つまり1行目から $m$ 行目のうちの何れのリセット期間 $T_{RESET}$ でも)、切替信号入力端子40に入力される切替信号 $\phi$ がハイレベルである。例えば $i$ 行目分のシンク電流による信号線 $Y_1 \sim Y_n$ の電圧をリセット電圧 $V_R$ にするリセット期間 $T_{RESET}$ は、 $i$ 行目の選択期間 $T_{SE}$ の終了時刻 $t_{iR}$ から次の $(i+1)$ 行目の選択期間 $T_{SE}$ の開始時刻 $t_{i+1}$ までの間となる。つまり、切替信号入力端子40に入力される切替信号 $\phi$ は、一走査期間 $T_{SC}$ 中の $n$ 回のリセット期間 $T_{RESET}$ 毎にハイレベルになる信号である。なお、切替信号 $\phi$ は、上述の外部から入力されるクロック信号と同周波数であっても良い。

#### 【0065】

データドライバ3は、上述の外部からのクロック信号によって出力端子 $OT_1 \sim OT_n$ へ階調指定シンク電流（階調電流）を流すものである。切替信号入力端子40に入力される切替信号 $\phi$ がローレベルの時、データドライバ3が全ての出力端子 $OT_1 \sim OT_n$ から階調指定シンク電流をバラで流し、切替信号入力端子40に入力される切替信号 $\phi$ がハイレベルの時、データドライバ3がどの出力端子 $OT_1 \sim OT_n$ からも階調指定シンク電流を流さない。

【0066】

従って、各行の選択期間 $T_{SE}$ では、階調指定シンク電流がそれぞれ信号線 $Y_1 \sim Y_n$ からそれぞれ出力端子 $OT_1 \sim OT_n$ へ流れる。一方、各行のリセット期間 $T_{RESET}$ では、リセット電圧 $V_R$ が信号線 $Y_1 \sim Y_n$ に印加されて定常状態になる。

【0067】

データドライバ3の階調指定シンク電流について詳細に説明すると、データドライバ3は、各行の選択期間 $T_{SE}$ において、チャージ電圧 $V_{CH}$ を出力している各電源走査線 $Z_1 \sim Z_m$ からトランジスタ23、トランジスタ21、各信号線 $Y_1 \sim Y_n$ 、各切替回路 $S_1 \sim S_n$ を経てそれぞれの出力端子 $OT_1 \sim OT_n$ に向かう階調指定シンク電流を発生させるものである。階調指定シンク電流のレベルは画像データに従ったレベルである。つまり、階調指定シンク電流のレベルは、画像データに従った輝度階調で発光するために各有機EL素子 $E_{1,1} \sim E_{m,n}$ に流れる電流のレベルに等しい。

【0068】

次に、以上のように構成される有機ELディスプレイ1の表示動作とその駆動方法について説明する。

【0069】

図5に示すように、選択走査ドライバ5が、入力したクロック信号に基づいて、1行目の選択走査線 $X_1$ からm行目の選択走査線 $X_m$ へと順次ハイレベル（オン電圧 $V_{ON}$ ）のパルス信号を出力する。同時に、電源走査ドライバ6が、入力したクロック信号に基づいて、1行目の電源走査線 $Z_1$ からm行目の電源走査線 $Z_m$ へと順次ローレベル（チャージ電圧 $V_{CH}$ ）のパルス信号を出力する。また、各行の選択期間 $T_{SE}$ 中に、データドライバ3が、クロック信号に基づいて、全ての出力端子 $OT_1 \sim OT_n$ からそれぞれの切替回路 $S_1 \sim S_n$ に階調指定シンク電流を出力する。

【0070】

また、各行の選択期間 $T_{SE}$ 中に切替信号入力端子40に入力される切替信号 $\phi$ がローレベルなので、それぞれの切替回路 $S_1 \sim S_n$ のトランジスタ31がオン状態になるとともに、トランジスタ32がオフ状態になる。一方、各行のリセット期間 $T_{RESET}$ 中に切替信号入力端子に入力される切替信号 $\phi$ がハイレベルなので、それぞれの切替回路 $S_1 \sim S_n$ のトランジスタ31がオフ状態になるとともに、トランジスタ32がオン状態になる。つまり、各行の選択期間 $T_{SE}$ では、電流電圧切替部7は、各々の信号線 $Y_1 \sim Y_n$ とリセット電圧入力端子41との間を遮断することで、画像データに従った輝度階調で発光するために各有機EL素子 $E_{1,1} \sim E_{m,n}$ に流れる電流のレベルに等しい階調指定シンク電流を流そうとするとともに各々の信号線 $Y_1 \sim Y_n$ にリセット電圧 $V_R$ に印加しないように機能する。一方、各行のリセット期間 $T_{RESET}$ では、電流電圧切替部7は、各々の信号線 $Y_1 \sim Y_n$ と出力端子 $OT_1 \sim OT_n$ を遮断するとともに、各々の信号線 $Y_1 \sim Y_n$ とリセット電圧入力端子41を接続することで、各々の信号線 $Y_1 \sim Y_n$ の電位を迅速にリセット電圧 $V_R$ にするように機能する。

【0071】

ここで、ハイレベルのパルス信号が選択走査線 $X_i$ に出力されるタイミングは、ローレベルのパルス信号が電源走査線 $Z_i$ に出力されるタイミングにほぼ揃っており、ハイレベルのパルス信号とローレベルのパルス信号の時間的長さはほぼ同じであり、時刻 $t_1 \sim$ 時刻 $t_{iR}$ の間（この期間がi行目の選択期間 $T_{SE}$ である。）にパルス信号が出力されている。つまり、選択走査ドライバ5から出力されるオンレベルのパルス信号がシフトしていく周期は、電源走査ドライバ6から出力されるチャージ電圧 $V_{CH}$ レベルのパルス信号が

シフトしていく周期に同期している。また、オンレベルのパルス信号が選択走査線 $X_i$ に出力されている時に、切替信号入力端子40に入力される切替信号 $\phi$ がローレベルになっているから、トランジスタ31がオン状態になる。

【0072】

このように、選択期間 $T_{SE}$ 中に電源走査線 $Z_i$ に出力される電圧は基準電位 $V_{SS}$ 以下となるために、各有機EL素子 $E_{i,1} \sim E_{i,n}$ には階調指定シンク電流が流れることがないので階調に見合った電流レベルの階調指定シンク電流が信号線 $Y_1 \sim Y_n$ からデータドライバ3へ流れ、発光期間 $T_{EM}$ にこれら階調指定シンク電流に等しい電流レベルの電流がトランジスタ23及び各有機EL素子 $E_{i,1} \sim E_{i,n}$ に流れるようにコンデンサ24に電荷がチャージされることが可能となる。これにより、1行目から $m$ 行目までのうち、選択走査ドライバ5からハイレベルのパルス信号が出力されている行が、所謂選択されている行であり、選択されている際にその行の各画素が所定の階調で表示されるようにコンデンサ24への階調電荷が更新される。

【0073】

以上のように選択走査ドライバ5及び電源走査ドライバ6が1行目から $m$ 行目へと線順次にパルス信号をシフトしていくことによって、1行目の画素 $P_{1,1} \sim P_{1,n}$ から $m$ 行目の画素 $P_{m,1} \sim P_{m,n}$ へとデータドライバ3の階調指定シンク電流に基づいて順次更新されていく。このような線順次の走査が繰り返されることで、有機EL表示パネル2の表示部4で画像表示が為される。

【0074】

ここで、一走査期間 $T_{SC}$ における選択された $i$ 行目の画素 $P_{i,1} \sim P_{i,n}$ の更新、選択された $i$ 行目の画素 $P_{i,1} \sim P_{i,n}$ の階調表現について説明する。

【0075】

$i$ 行目の選択期間 $T_{SE}$ では、選択走査ドライバ5から $i$ 行目の選択走査線 $X_i$ にハイレベルのパルス信号が出力されることで、選択走査線 $X_i$ に接続された全ての画素回路 $D_{i,1} \sim D_{i,n}$ のトランジスタ21及びトランジスタ22が選択期間 $T_{SE}$ の間オン状態となる。更に、 $i$ 行目の選択期間 $T_{SE}$ では、電源走査ドライバ6から $i$ 行目の電源走査線 $Z_i$ に、基準電位 $V_{SS}$ と同じ又はそれより低いチャージ電圧 $V_{CH}$ としてローレベルのパルス信号が印加される。そして、トランジスタ22がオン状態となっているので、トランジスタ23のゲート電極23gにも電圧が印加され、トランジスタ24がオン状態となる。

【0076】

一方、 $i$ 行目の選択期間 $T_{SE}$ 中に切替信号入力端子40に入力される切替信号 $\phi$ がローレベルになっているから、全ての切替回路 $S_1 \sim S_n$ のトランジスタ31がオン状態となっており、トランジスタ32がオフ状態となっている。更に、 $i$ 行目の選択期間中にデータドライバ3に入力される画像データにしたがって、 $i$ 行目の全ての画素回路 $D_{i,1} \sim D_{i,n}$ では電源走査線 $Z_i \rightarrow$ トランジスタ23 $\rightarrow$ トランジスタ21 $\rightarrow$ トランジスタ31 $\rightarrow$ データドライバ3へと階調指定シンク電流が流れ、発光期間 $T_{EM}$ にトランジスタ23のソースドレイン間電流が階調指定シンク電流レベルになるようにコンデンサ24に電荷がチャージされるようになる。このとき1列目から $n$ 列目の何れの列においても、階調指定シンク電流のレベルは発光期間 $T_{EM}$ に各有機EL素子 $E$ に流れる電流のレベルである。

【0077】

$i$ 行目の選択期間 $T_{SE}$ 中に電源走査線 $Z_i \rightarrow$ トランジスタ23 $\rightarrow$ トランジスタ21 $\rightarrow$ 信号線 $Y \rightarrow$ トランジスタ31 $\rightarrow$ データドライバ3へと一定レベルの階調指定シンク電流が流れることによって、 $i$ 行目の選択期間 $T_{SE}$ 中に電源走査線 $Z_i \rightarrow$ トランジスタ23 $\rightarrow$ トランジスタ21 $\rightarrow$ 信号線 $Y \rightarrow$ トランジスタ31 $\rightarrow$ データドライバ3における電圧が定常状態になる。

【0078】

つまり、トランジスタ23に階調指定シンク電流が流れて電源走査線 $Z_i \rightarrow$ トランジスタ

23→トランジスタ21→信号線Y→トランジスタ31→データドライバ3における電圧が定常状態になることによって、トランジスタ23に流れる階調指定シンク電流のレベルに従ったレベルの電圧がトランジスタ23のゲート電極23gとソース電極23sとの間に印加され、トランジスタ23のゲート電極23gとソース電極23sとの間の電圧のレベルに従った大きさの電荷がコンデンサ24にチャージされる。換言すれば、i行目の選択期間 $T_{SE}$ においてi行目の各々の画素回路 $D_{i,1} \sim D_{i,n}$ では、トランジスタ21及びトランジスタ22が、信号線 $Y_j$ に流れる階調指定シンク電流をトランジスタ23に流すように機能し、トランジスタ23が、階調指定シンク電流レベルをゲート-ソース間電圧のレベルに変換するように機能し、コンデンサ24が、変換されたゲート-ソース間電圧のレベルを保持するように機能する。

【0079】

ここで、信号線 $Y_j$ の静電容量を $c$ とすると、電圧 $v$ で信号線 $Y_j$ に充電される電荷 $Q$ は、

$$Q = c v \quad \dots (1)$$

となり、

$$dQ = c \cdot dv \quad \dots (2)$$

となる。

【0080】

なお、所定の画素 $P_{i,j}$ の階調指定シンク電流のレベルを $I_{data}$ とすると( $I_{data}$ は選択期間中 $T_{SE}$ では一定である。)、電源走査線 $Z_i$ →トランジスタ23→トランジスタ21→信号線 $Y_j$ →トランジスタ31→データドライバ3における電圧が定常状態になるまでの時間 $dt$ は、以下の式が成立する。

$$dt = dQ / I_{data} \quad \dots (3)$$

$dQ$ は時間 $dt$ における信号線 $Y_j$ の電荷の変化量でもあり、電位差 $dv$ における信号線 $Y_j$ の電荷の変化量でもある。以上に表されるように、 $I_{data}$ が小さくなるに連れて $dt$ が長くなり、 $dQ$ が大きくなるに連れて $dt$ が長くなる。

【0081】

以上のように、i行目の選択期間 $T_{SE}$ 中において、i行目の画素回路 $D_{i,1} \sim D_{i,n}$ のコンデンサ24にチャージされる電荷の大きさが前回の一走査期間 $T_{SC}$ から更新されるとともに、i行目の画素回路 $D_{i,1} \sim D_{i,n}$ のトランジスタ23の電流レベルも前回の一走査期間 $T_{SC}$ から更新される。

【0082】

ここで、トランジスタ23→トランジスタ21→信号線 $Y_j$ までの間の任意の点での電位は、経時変化するトランジスタ21, 22, 23の内部抵抗等に因って変化してしまう。しかしながら、本実施形態では、トランジスタ23→トランジスタ21→信号線 $Y_j$ へと流れる階調指定シンク電流のレベルは、トランジスタ21, 22, 23の内部抵抗が経時変化しても、トランジスタ23→トランジスタ21→信号線 $Y_j$ へと流れる階調指定シンク電流のレベルは所望通りとなる。

【0083】

また、i行目の選択期間 $T_{SE}$ では、i行目の有機EL素子 $E_{i,1} \sim E_{i,n}$ のカソード電極は基準電位 $V_{SS}$ であり、電源走査線 $Z_i$ は基準電位 $V_{SS}$ と同じ又は基準電位 $V_{SS}$ より低いチャージ電圧 $V_{CH}$ であるため、i行目の有機EL素子 $E_{i,1} \sim E_{i,n}$ には逆バイアス電圧が印加されるから、i行目の有機EL素子 $E_{i,1} \sim E_{i,n}$ には電流が流れず、有機EL素子 $E_{i,1} \sim E_{i,n}$ は発光しない。そして信号線 $Y_1 \sim Y_n$ に流れる階調指定シンク電流により信号線 $Y_1 \sim Y_n$ はチャージ電圧 $V_{CH}$ よりも低くなって定常化し、有機EL素子 $E_{i,1} \sim E_{i,n}$ に駆動電流を流すための各コンデンサ24へのチャージは、各信号線 $Y_1 \sim Y_n$ からデータドライバ3に流す階調指定シンク電流で一義的に決まる。

【0084】

続いて、i行目の選択期間 $T_{SE}$ の終了時刻 $t_{iR}$ (つまりi行目の非選択期間 $T_{NSE}$

の開始時刻)では、選択走査ドライバ5から選択走査線 $X_i$ に出力されるハイレベルのパルス信号が終了し、電源走査ドライバ6から電源走査線 $Z_i$ に出力されるローレベルのパルス信号が終了する。つまり、この終了時刻 $t_2$ から次の $i$ 行目の選択期間 $T_{SE}$ の開始時刻 $t_1$ までの非選択期間 $T_{NSE}$ では、 $i$ 行目の画素回路 $D_{i,1} \sim D_{i,n}$ のトランジスタ21のゲート電極21g及びトランジスタ22のゲート電極22gに対してオフ電圧 $V_{OFF}$ が選択走査ドライバ5によって印加されるとともに、電源電圧 $V_{DD}$ が電源走査ドライバ6によって電源走査線 $Z_i$ に印加される。

【0085】

このため、 $i$ 行目の非選択期間 $T_{NSE}$ では、 $i$ 行目の画素回路 $D_{i,1} \sim D_{i,n}$ のトランジスタ21がオフ状態になり、電源走査線 $Z_i$ から信号線 $Y_1 \sim Y_n$ へ流れる階調指定シンク電流を遮断する。更に、 $i$ 行目の非選択期間 $T_{NSE}$ では、 $i$ 行目の画素回路 $D_{i,1} \sim D_{i,n}$ に何れにおいても、トランジスタ22がオフ状態になっても、直前の $i$ 行目の選択期間 $T_{SE}$ においてコンデンサ24にチャージされた電荷がトランジスタ22によって閉じ込められ、トランジスタ23はオン状態を維持し続ける。つまり、 $i$ 行目の画素回路 $D_{i,1} \sim D_{i,n}$ の何れにおいても、非選択期間 $T_{NSE}$ と直前の選択期間 $T_{SE}$ とではトランジスタ23のゲートソース間電圧レベル $V_{GS}$ が等しい。

【0086】

そのため、 $i$ 行目の非選択期間 $T_{NSE}$ でも、 $i$ 行目の画素回路 $D_{i,1} \sim D_{i,n}$ のトランジスタ23は、直前の選択期間 $T_{SE}$ における階調指定シンク電流レベルと同レベルの電流を流し続ける。そして、 $i$ 行目の非選択期間 $T_{NSE}$ では、 $i$ 行目の有機EL素子 $E_{i,1} \sim E_{i,n}$ のカソード電極が基準電位 $V_{SS}$ である上、電源走査線 $Z_i$ が基準電位 $V_{SS}$ より高い電源電圧 $V_{DD}$ であるため、 $i$ 行目の有機EL素子 $E_{i,1} \sim E_{i,n}$ には順バイアス電圧が印加されるから、 $i$ 行目の有機EL素子 $E_{i,1} \sim E_{i,n}$ に駆動電流がトランジスタ23の作用によって流れて、有機EL素子 $E_{i,1} \sim E_{i,n}$ は発光する。これにより、有機EL素子 $E_{i,1} \sim E_{i,n}$ の発光輝度が更新される。

【0087】

つまり、非選択期間 $T_{NSE}$ において各々の画素回路 $D_{i,1} \sim D_{i,n}$ では、トランジスタ21が、信号線 $Y_j$ に流れる階調指定シンク電流をトランジスタ23に流れないように信号線 $Y_j$ とトランジスタ23との間を電気的に遮断するように機能し、トランジスタ21及びトランジスタ22が、選択期間 $T_{SE}$ においてトランジスタ23のソースドレイン間に流れた階調指定シンク電流にしたがってチャージされたコンデンサ24の電荷を閉じ込めることによって、トランジスタ23のゲートソース間電圧のレベルを保持するように機能し、コンデンサ24は、トランジスタ23が、保持されたゲートソース間電圧レベルに応じたレベルの駆動電流を有機EL素子 $E_{i,j}$ に流すように機能する。

【0088】

ここで、画素回路 $D_{i,1} \sim D_{i,n}$ の各トランジスタ23のソースドレイン間では、図4に示す飽和領域になるような電圧が印加されているために各トランジスタ23のソースドレイン間を流れる電流 $I_{DS}$ は、各トランジスタ23のゲートソース間電圧のレベルで一義的に決まる。この電流 $I_{DS}$ の電流レベルは有機EL素子 $E_{i,1} \sim E_{i,n}$ に流れる駆動電流のレベルと等しくなり、各トランジスタ23のゲートソース間電圧のレベルは階調指定シンク電流にしたがってチャージされたコンデンサ24の電荷によって確定しているため、駆動電流のレベルは直前の $i$ 行目の選択期間 $T_{SE}$ における画素回路 $D_{i,1} \sim D_{i,n}$ のトランジスタ23の各々に流れる階調指定シンク電流のレベルと同じである。 $i$ 行目の発光期間 $T_{EM}$ (非選択期間 $T_{NSE}$ )の間中、このようなレベルの駆動電流が有機EL素子 $E_{i,1} \sim E_{i,n}$ に流れ、有機EL素子 $E_{i,1} \sim E_{i,n}$ それぞれの駆動電流レベルに従った輝度階調で発光する。上述したように、 $i$ 行目の選択期間 $T_{SE}$ では、 $i$ 行目の画素回路 $D_{i,1} \sim D_{i,n}$ のトランジスタ23の電流レベルは所望通りとなるから、有機EL素子 $E_{i,1} \sim E_{i,n}$ それぞれの駆動電流レベルも所望通りになり、有機EL素子 $E_{i,1} \sim E_{i,n}$ それぞれの発光輝度は所望の階調輝度で発光する。



## 【0089】

アクティブマトリクス駆動有機ELディスプレイに電流指定方式を適用した場合、各有機EL素子に単位時間当たりに流れる電流レベル（電流値）は小さくし且つ非選択期間中にその電流レベルに応じた電圧を保持するため保持容量に迅速に充電しなければならない。

## 【0090】

ここで最高階調輝度 $L_{hsb}$ 、最低階調輝度 $L_{lsb}$ （ただし微小電流は流れている）で発光するために有機EL素子に流す電流、つまり非選択期間に保持容量に充電するために信号線 $Y_j$ に流す電流をそれぞれ、 $I_{hsb}$ 、 $I_{lsb}$ とすると、

$$I_{hsb} > I_{lsb} \quad \dots (4)$$

となり、このような電流 $I_{hsb}$ 、 $I_{lsb}$ を定常状態とするための信号線 $Y_j$ にかかる電圧 $V_{hsb}$ 、 $V_{lsb}$ は、シンク電流階調指定方式のために、

$$V_{lsb} > V_{hsb} \quad \dots (5)$$

となる。

## 【0091】

最低輝度から最高輝度に変調するために蓄積される電荷量 $Q1$ は、

$$Q1 = c(V_{lsb} - V_{hsb}) \quad \dots (6)$$

となり、この電荷量 $Q1$ を蓄積されるために信号線 $Y_j$ に流れる電流は最高輝度のための $I_{hsb}$ となる。

## 【0092】

ところで図6(a)に示すような従来のシンク電流階調指定方式では、最高階調輝度 $L_{hsb}$ から最低階調輝度 $L_{lsb}$ に変調するために蓄積される電荷量 $Q2$ は電荷量 $Q1$ の絶対値に等しいが、このとき信号線 $Y_j$ に流れる電流は $I_{lsb}$ となる。つまり流れる電流 $I_{lsb}$ が極小なために定常状態の電圧 $V_{lsb}$ となるまでに時間が掛かってしまい高速応答できないため、特に動画のように画像データが変わりやすい画像をなめらかに表示することが困難になってしまう。さらに有機EL素子の無発光無電流状態の電流 $I_{ne}$ （=0A）と設定し、ある信号線が発光状態の電流から無発光無電流状態の電流 $I_{ne}$ に変調すると、信号線に電流自体が流れず直前の発光状態の電荷を保持したままになり正常に表示することが困難になってしまう。

## 【0093】

本実施の形態では、 $i$ 行目の選択期間 $T_{SE}$ が終了する時刻 $t_{iR}$ から $(i+1)$ 行目の選択期間 $T_{SE}$ が開始する時刻 $t_{i+1}$ までの間、つまり、 $(i+1)$ 行目のリセット期間 $T_{RESET}$ では、切替信号入力端子40に入力される切替信号 $\phi$ がハイレベルであるから、トランジスタ31がオフ状態になり、トランジスタ32がオン状態になる。従って、図6(b)に示すように、 $(i+1)$ 行目のリセット期間 $T_{RESET}$ では、何れの信号線 $Y_1 \sim Y_n$ にも階調指定シンク電流が流れないが、リセット電圧 $V_R$ が全ての信号線 $Y_1 \sim Y_n$ に印加される。

## 【0094】

リセット電圧 $V_R$ は、選択期間 $T_{SE}$ に各有機EL素子 $E_{1,1} \sim E_{m,n}$ が最も明るい最高階調輝度 $L_{MAX}$ で発光するとき各有機EL素子 $E_{1,1} \sim E_{m,n}$ に流れる最高階調駆動電流 $I_{MAX}$ に等しい電流値となる階調指定シンク電流によって信号線 $Y_1 \sim Y_n$ にチャージされる電荷にしたがって定常化される最高階調電圧 $V_{hsb}$ より高い電圧に設定され、望ましくは、各有機EL素子 $E_{1,1} \sim E_{m,n}$ が最も暗い最低階調輝度 $L_{MIN}$ （ただし電流レベルが0Aを越える）のときに各有機EL素子 $E_{1,1} \sim E_{m,n}$ に流れる最低階調駆動電流 $I_{MIN}$ に等しい電流値となる階調指定シンク電流によって信号線 $Y_1 \sim Y_n$ にチャージされる電荷にしたがって定常化される最低階調電圧 $V_{lsb}$ と、最高階調電圧 $V_{hsb}$ と、の中間値となる中間電圧以上に設定され、さらに望ましくは、最低階調電圧 $V_{lsb}$ と等しい値か或いは最低階調電圧 $V_{lsb}$ 以上に設定されている。

## 【0095】

このようにリセット電圧 $V_R$ は、少なくとも最高階調電圧 $V_{hsb}$ より高いので、リセッ

ト期間 $T_{RESET}$ に信号線 $Y_1 \sim Y_n$ を流れる電流レベルは最低階調輝度 $L_{1sb}$ を発光させるための階調指定シンク電流レベルよりも十分大きく、その上、 $(i+1)$ 行目のリセット期間 $T_{RESET}$ では、どの行の選択期間 $T_{SE}$ でもないから全ての画素回路 $D_{1,1} \sim D_{m,n}$ のトランジスタ21がオフ状態となっていて信号線 $Y_1 \sim Y_n$ 以外の容量にチャージを印加する必要がない。従って、迅速に信号線 $Y_1 \sim Y_n$ の寄生容量に電荷がチャージされ、信号線 $Y_1 \sim Y_n$ の電位が速やかにリセット電圧 $V_R$ で定常化される。

【0096】

そして、 $(i+1)$ 行目の選択期間 $T_{SE}$ が開始すると、 $i$ 行目の場合と同様に、 $(i+1)$ 行目の選択走査線 $X_{i+1}$ 及び電源走査線 $V_{i+1}$ がそれぞれ選択走査ドライバ5及び電源走査ドライバ6によって選択されることによって、更にトランジスタ31がオン状態となることによって、それぞれの列において電源走査線 $Z_{i+1}$ →トランジスタ23→トランジスタ21→信号線 $Y$ →トランジスタ31→データドライバ3へと階調指定シンク電流が流れる。その後、 $(i+1)$ 行目の非選択期間 $T_{NSE}$ となって、 $i$ 行目の場合と同様に $(i+1)$ 行目の有機EL素子 $E_{i+1,1} \sim$ 有機EL素子 $E_{i+1,n}$ がそれぞれの駆動電流レベルに従った輝度階調で発光する。

【0097】

ここで、 $(i+1)$ 行目の選択期間 $T_{SE}$ 中に電源走査線 $Z_{i+1}$ →トランジスタ23→トランジスタ21→トランジスタ31→データドライバ3における電圧が階調指定シンク電流によって定常状態になるまでの時間 $dt$ は、上式(1)～(3)で表される。もし $i$ 行目の選択期間 $T_{SE}$ に信号線 $Y_1 \sim Y_n$ に流れる階調指定シンク電流レベルが大きく、且つ $(i+1)$ 行目の選択期間 $T_{SE}$ に信号線 $Y_1 \sim Y_n$ に流れる階調指定シンク電流のレベルが小さいと、信号線 $Y_1 \sim Y_n$ が $(i+1)$ 行目の階調指定シンク電流になるための電圧を定常化させようとする、上式(1)～(3)で表せるように $dt$ が長くなってしまい、 $dt$ が選択期間 $T_{SE}$ より大きくなってしまふ恐れがある。従って、もし上述のように $(i+1)$ 行目の選択期間 $T_{SE}$ に階調指定シンク電流のレベルが小さいと、図6(a)に示すように、コンデンサ24に印加される電圧、トランジスタ23に印加される電圧等が定常状態になる前に、 $(i+1)$ 行目の選択期間 $T_{SE}$ が終了してしまい、 $(i+1)$ 行目の非選択期間 $T_{NSE}$ で $(i+1)$ 行目の有機EL素子 $E_{i+1,1} \sim$ 有機EL素子 $E_{i+1,n}$ の駆動電流のレベルが階調指定シンク電流のレベルと異なる恐れがある。

【0098】

しかしながら、本実施の形態では、 $(i+1)$ 行目の選択期間 $T_{SE}$ の直前にリセット期間 $T_{RESET}$ を設定し、信号線 $Y_1 \sim Y_n$ に最低輝度を発光するときの階調指定シンク電流レベルよりも迅速に電荷が放電されるような電流が流れるリセット電圧 $V_R$ が印加されて、速やかに信号線 $Y_1 \sim Y_n$ の電位が上がる。特にリセット電圧 $V_R$ が最低階調電圧 $V_{1sb}$ と等しい値かその近傍の値に設定されていると、 $(i+1)$ 行目の選択期間 $T_{SE}$ に最低階調輝度 $L_{1sb}$ のための最低階調電流 $I_{1sb}$ のように低い輝度の電流を信号線 $Y_1 \sim Y_n$ に流した場合であっても、上式(1)～(3)に表すように、リセット期間 $T_{RESET}$ 時の信号線 $Y_1 \sim Y_n$ の電荷と、 $(i+1)$ 行目の選択期間 $T_{SE}$ における信号線 $Y_1 \sim Y_n$ の電荷と、の変化量を最小限に抑えることができる。

【0099】

従って、 $(i+1)$ 行目の階調指定シンク電流が最低階調輝度 $L_{1sb}$ のための最低階調電流 $I_{1sb}$ であっても、信号線 $Y_1 \sim Y_n$ が $(i+1)$ 行目の選択期間 $T_{SE}$ 内に最低階調電圧 $V_{1sb}$ で定常状態になり、選択期間 $T_{SE}$ 内に階調指定シンク電流レベルにしたがった電荷をコンデンサ24にチャージすることができ、速やかに画素の輝度階調を更新することができる。

【0100】

同一画素 $P_{i,j}$ において、前の一走査期間 $T_{SC}$ (あるいは前の一発光期間 $T_{EM}$ )で高い階調輝度になるようにコンデンサ24が大きい電荷量でチャージされている状態にあって、次の一走査期間 $T_{SC}$ で低い階調輝度に更新するためにコンデンサ24の電荷量を

小さくする場合、つまり大きい階調指定シンク電流で制御された高階調低電圧から、微小階調指定シンク電流で制御された低階調高電圧に変位する場合に、直前に信号線 $Y_1 \sim Y_n$  にリセット電圧 $V_R$  による電流を流すことで信号線 $Y_1 \sim Y_n$  の電荷を、低階調高電圧側にシフトさせているので、信号線 $Y_1 \sim Y_n$  とコンデンサ24を1つのコンデンサとみなすと、このコンデンサの電荷量を、選択期間 $T_{SE}$  の前に、低い階調側に近づけることができることになる。すなわち所望の階調指定シンク電流の電流レベルが小さくても階調指定シンク電流に従った電荷を速やかに各コンデンサ24にチャージできるようにコンデンサ24及び信号線 $Y_1 \sim Y_n$  の電圧を迅速に定常化することが可能となる。

#### 【0101】

従って、 $(i+1)$  行目の選択期間 $T_{SE}$  中における画素 $P_{i+1,1} \sim P_{i+1,n}$  の各コンデンサ24の一方の極の電圧及び信号線 $Y_1 \sim Y_n$  の電圧が、階調指定シンク電流レベルに依存することなく迅速に定常状態となるから、どのような階調であっても、発光期間 $T_{EM}$  (非選択期間 $T_{NSE}$ ) における駆動電流のレベルが直前の選択期間 $T_{SE}$  の指定電流のレベルが同じになり、有機EL素子 $E_{i+1,1} \sim E_{i+1,n}$  が所望の発光輝度で発光する。換言すれば、各々の行の選択期間 $T_{SE}$  を長くせずとも、有機EL素子 $E_{i,j}$  が所望通りの輝度で発光するから、表示画面がちらついて見えたりせず、有機ELディスプレイ1の表示品質を高くすることができる。

#### 【0102】

〔第二の実施の形態〕

図7は、第一実施形態の有機ELディスプレイ1とは別の形態の有機ELディスプレイ101を示す図面である。図7に示すように、有機ELディスプレイ101は、基本構成として、アクティブマトリクス駆動方式によりカラー表示を行う有機EL表示パネル102と、シフトレジスタ103とを備える。

#### 【0103】

有機EL表示パネル102は、透明基板8と、画像が実質的に表示される表示部4と、表示部4の周辺に設けられた選択走査ドライバ5、電源走査ドライバ6及び電流電圧変換部107とを基本構成としており、これらの回路4~6、107が透明基板8上に形成されている。表示部4、選択走査ドライバ5、電源走査ドライバ6及び透明基板8は、第一実施形態の有機ELディスプレイ1の場合と同様である。従って、第二実施形態の有機EL表示ディスプレイ101の場合でも、選択走査ドライバ5による電圧印加タイミング、電源走査ドライバ6による電圧印加タイミング、画素 $P_{1,1} \sim P_{m,n}$  の更新、画素 $P_{1,1} \sim P_{m,n}$  の階調表現は第一実施形態の有機ELディスプレイ1の場合と同様である。

#### 【0104】

電流電圧変換部107では、列ごとにトランジスタ31及びトランジスタ32で構成された切替回路 $S_j \sim S_n$  が設けられており、加えて、カレントミラー回路 $M_1 \sim M_n$  並びにカレントミラー回路 $M_1 \sim M_n$  を制御するトランジスタ $U_1 \sim U_n$  及びトランジスタ $W_1 \sim W_n$  が設けられている。電流電圧変換部107の一端にそれぞれ信号線 $Y_1 \sim Y_n$  が接続されており、他端はシフトレジスタ103に接続されている。

#### 【0105】

カレントミラー回路 $M_j$  は、コンデンサ30と、二つのMOS型のトランジスタ61、62とから構成されている。トランジスタ61、62、トランジスタ31、32、トランジスタ $U_1 \sim U_n$  及びトランジスタ $W_1 \sim W_n$  は、MOS型の電界効果薄膜トランジスタであり、特にアモルファスシリコンを半導体層としたa-Siトランジスタであるが、ポリシリコンを半導体層としたp-Siトランジスタであってもよい。また、トランジスタ31、トランジスタ32、トランジスタ $U_1 \sim U_n$  及びトランジスタ $W_1 \sim W_n$  の構造は、逆スタガ型であっても良いし、コプラナ型であっても良い。なお、以下では、トランジスタ61、62、トランジスタ32、トランジスタ $U_1 \sim U_n$  及びトランジスタ $W_1 \sim W_n$  がNチャネル型の電界効果トランジスタであり、トランジスタ31がPチャネル型の電界効果トランジスタとして説明する。

## 【0106】

また、トランジスタ61のチャンネル長とトランジスタ62のチャンネル長は同じであり、トランジスタ61のチャンネル幅はトランジスタ62のチャンネル幅より長い。つまり、トランジスタ62のチャンネル抵抗は、トランジスタ61のチャンネル抵抗より高く、例えば、トランジスタ62のチャンネル抵抗はトランジスタ61のチャンネル抵抗の10倍である。なお、トランジスタ62のチャンネル抵抗がトランジスタ61のチャンネル抵抗より高ければ、トランジスタ61とトランジスタ62のチャンネル長が同じでなくても良い。

## 【0107】

各々の列について説明すると、カレントミラー回路 $M_j$ は、トランジスタ61のドレイン電極がトランジスタ $W_j$ のソース電極に接続されており、トランジスタ61及びトランジスタ62のゲート電極がトランジスタ $U_j$ のソース電極に接続されているとともに、コンデンサ30の一方の極に接続され、トランジスタ62のドレイン電極がトランジスタ31のソース電極に接続され、トランジスタ61のソース電極及びトランジスタ62のソース電極は互いに接続されているとともに、コンデンサ30の他方の極に接続され、且つ一定レベルである低電位 $V_{CC}$ の低電圧入力端子42に接続されている。低電圧入力端子42の電位 $V_{CC}$ としては、基準電位 $V_{SS}$ より低く、更にチャージ電圧 $V_{CH}$ より低く、例えば、 $-20[V]$ である。

## 【0108】

$j$ 列目では、トランジスタ31のドレイン電極及びトランジスタ32のドレイン電極とともに信号線 $Y_j$ に接続され、トランジスタ31のゲート電極及びトランジスタ32のゲート電極とともに切替信号入力端子40に接続されている。そして、各列のトランジスタ32のソース電極はリセット電圧入力端子41に接続されている。

## 【0109】

トランジスタ $U_j$ のゲート電極とトランジスタ $W_j$ のゲート電極は、互いに接続されているとともに、シフトレジスタ103の出力端子 $R_j$ に接続されている。トランジスタ $U_j$ のドレイン電極とトランジスタ $W_j$ のドレイン電極は、互いに接続されているとともに、共通の階調信号入力端子170に接続されている。

## 【0110】

シフトレジスタ103は、外部からのクロック信号に基づいて、パルス信号をシフトしていき、出力端子 $R_1$ から出力端子 $R_n$ の順（出力端子 $R_n$ の次は出力端子 $R_1$ ）にオンレベルのパルス信号を順次出力し、これにより、カレントミラー回路 $M_1 \sim M_n$ を順次選択するものである。シフトレジスタ103の一シフト周期は、選択走査ドライバ5や電源走査ドライバ6の一シフト周期よりも短く、選択走査ドライバ5や電源走査ドライバ6が $i$ 行目から $(i+1)$ 行目にパルス信号をシフトする間に、シフトレジスタ103は一行分のパルス信号を出力端子 $R_1$ から出力端子 $R_n$ へ順にシフトしていき、 $n$ 回のオンレベルのパルス信号を出力する。

## 【0111】

階調信号入力端子170からは、外部のデータドライバの階調信号が出力され、この階調信号をシフトレジスタ103のパルス信号によって順次選択するカレントミラー回路 $M_1 \sim M_n$ が階調に応じた電流値の階調指定シンク電流を流すように設定されている。階調指定シンク電流により選択期間 $T_{SE}$ に有機EL素子 $E_{1,1} \sim E_{m,n}$ の輝度階調に応じた電流をトランジスタ23のソースドレイン間及び信号線 $Y_1 \sim Y_n$ に流させることにより非選択期間 $T_{NSE}$ （発光期間 $T_{EM}$ ）にトランジスタ23のソースドレイン間及び有機EL素子 $E_{1,1} \sim E_{m,n}$ に輝度階調に応じた電流を流れる。階調指定シンク電流は、アナログ信号でもデジタル信号であってもよく、シフトレジスタ103の出力端子 $R_1 \sim R_n$ からのオンレベルのパルス信号が入力されるタイミングでそれぞれトランジスタ $U_1 \sim U_n$ のドレイン電極並びにトランジスタ $W_1 \sim W_n$ のドレイン電極に入力される。階調指定シンク電流の一行分の周期は、選択走査ドライバ5や電源走査ドライバ6の一シフト周期よりも短く、選択走査ドライバ5や電源走査ドライバ6が $i$ 行目から $(i+1)$ 行目にパルス信号をシフトする間に、 $n$ 回の階調指定シンク電流が入力される。

## 【0112】

切替信号入力端子40には、外部から切替信号 $\phi$ が入力される。切替信号 $\phi$ の周期は、選択走査ドライバ5や電源走査ドライバ6の一シフト周期と同じであり、トランジスタ31のオンレベルの切替信号 $\phi$ が入力されるタイミングは、選択走査ドライバ5や電源走査ドライバ6がトランジスタ21、22のオンレベルのパルス信号を出力している時である。従って、選択走査ドライバ5や電源走査ドライバ6が1行目からm行目までにシフトする間に、切替信号 $\phi$ のオンレベル電圧がm回入力される。

## 【0113】

階調信号が階調信号入力端子170から出力されることによって、トランジスタ61のドレイン電極及びゲート電極に電圧が印加されて、トランジスタ61のドレインソース間に電流が流れる。このとき、トランジスタ62のドレインソース間にも電流が流れる。ここで、トランジスタ62のチャンネル抵抗がトランジスタ61のチャンネル抵抗より高い上、トランジスタ62のゲート電極とトランジスタ61のゲート電極の電圧レベルが同じであるため、トランジスタ62のドレインソース間の電流レベルは、トランジスタ61のドレインソース間の電流レベルより小さい。具体的には、トランジスタ62のドレインソース間の電流レベルは、実質的に、トランジスタ61のチャンネル抵抗に対するトランジスタ62のチャンネル抵抗の比率にトランジスタ61のドレインソース間の電流レベルを乗じた値となり、トランジスタ62のドレインソース間の電流レベルは、トランジスタ61のドレインソース間の電流レベルより低い。このためトランジスタ62に流れる微小の階調指定シンク電流を容易に階調制御することができる。以下、トランジスタ61のチャンネル抵抗に対するトランジスタ62のチャンネル抵抗の比率を、電流減少率と述べる。

## 【0114】

次に、以上のように構成される有機ELディスプレイ101の動作について説明する。第一実施形態の場合と同様に、図5に示すように、選択走査ドライバ5及び電源走査ドライバ6が1行目からm行目へと線順次にパルス信号をシフトしていく。

## 【0115】

一方、図8に示すように、 $(i-1)$ 行目の選択期間 $T_{SE}$ の終わりからi行目の選択期間 $T_{SE}$ の始めの間、つまりリセット期間 $T_{RESET}$ に、シフトレジスタ103は、トランジスタ $U_1 \sim U_n$ 及びトランジスタ $W_1 \sim W_n$ のオンレベルのパルス信号を出力端子 $R_1$ から出力端子 $R_n$ へとパルス信号をシフトする。シフトレジスタ103がパルス信号をシフトしている間、切替信号入力端子40の切替信号 $\phi$ の電圧レベルはトランジスタ31のオフレベルであるとともにトランジスタ32のオンレベルのハイレベルHに維持されている。このため、リセット期間 $T_{RESET}$ では、信号線 $Y_1 \sim Y_n$ では速やかにリセット電圧入力端子41からのリセット電圧 $V_R$ に変位している。

## 【0116】

ここで、シフトレジスタ103が出力端子 $R_j$ にオンレベルのパルス信号を出力しているとき、階調信号入力端子170からi行j列目の階調輝度用を示したレベルの階調信号が入力される。この時、j列目のトランジスタ $U_j$ 及びトランジスタ $W_j$ がオン状態となっているので、i行j列目の階調輝度用を示した電流レベルの階調信号がカレントミラー回路 $M_j$ に入力され、トランジスタ61及びトランジスタ62がオン状態となり、階調信号の電流レベルに従った大きさの電荷がコンデンサ30にチャージされる。つまり、トランジスタ $U_j$ 及びトランジスタ $W_j$ は、j列目の選択時に階調信号をカレントミラー回路 $M_j$ に取り込むように機能する。

## 【0117】

トランジスタ61がオン状態となることによって、カレントミラー回路 $M_j$ では階調信号入力端子170→トランジスタ61→低電圧入力端子42へと電流が流れるようになる。階調信号入力端子170→トランジスタ61→低電圧入力端子42へと流れる電流のレベルは階調信号の電流レベルに従っている。

## 【0118】

この時、切替信号入力端子40のレベルがトランジスタ31のオフレベルであるから、j列目のトランジスタ31がオフ状態であり、カレントミラー回路 $M_j$ と信号線 $Y_j$ とに流れる階調指定シンク電流が流れないようにしている。

【0119】

続いて、シフトレジスタ103が出力端子 $R_{j+1}$ にパルス信号を出力しているとき、i行(j+1)列目の階調輝度用を示した電流レベルの階調信号が入力され、j列目の場合と同様に、階調信号の電流レベルに従った大きさの電荷が(j+1)列目のコンデンサ30にチャージされる。この時、j列目のトランジスタ $U_j$ 、 $W_j$ がオフ状態になっても、j列目のコンデンサ30にチャージされた電荷がトランジスタ $U_j$ によって閉じ込められるから、j列目のトランジスタ61及びトランジスタ62はオン状態を維持し続ける。つまり、トランジスタ $U_j$ は、j列目の選択時に階調信号の電流のレベルに従ったゲート電圧レベルをj列目の非選択時でも保持するように機能する。

【0120】

以上のように、シフトレジスタ103がパルス信号をシフトしていくことによって、階調信号の電流レベルに従った大きさの電荷が1列目のコンデンサ30からn列目とコンデンサ30へと順次チャージされていく。

【0121】

そして、n列目のコンデンサ30へのチャージが終了したら、シフトレジスタ103のシフトは一旦終了し、切替信号入力端子40の切替信号 $\phi$ がハイレベルからオフレベルに切り替わり、全てのトランジスタ31が同時にオン状態になるとともに全てのトランジスタ32がオフ状態になる。この時、全ての列のコンデンサ30に電荷がチャージされているから、トランジスタ61、62はオン状態である。そして、この時はi行目の選択期間であるから、i行目の全ての画素回路 $D_{i,1} \sim D_{i,n}$ では電源走査線 $Z_i \rightarrow$ トランジスタ23 $\rightarrow$ トランジスタ21 $\rightarrow$ 信号線 $Y_1 \sim Y_n \rightarrow$ トランジスタ62 $\rightarrow$ 低電圧入力端子42へと階調指定シンク電流が流れるようになる。このとき、1列目からn列目の何れの列においても、カレントミラー回路 $M_j$ の機能によって、電源走査線 $Z_i \rightarrow$ トランジスタ23 $\rightarrow$ トランジスタ21 $\rightarrow$ 信号線 $Y_1 \sim Y_n \rightarrow$ トランジスタ62 $\rightarrow$ 低電圧入力端子42の向きに流れる階調指定シンク電流のレベルは、階調信号入力端子170 $\rightarrow$ トランジスタ61 $\rightarrow$ 低電圧入力端子42の向きに流れる先ほどの電流のレベルにカレントミラー回路 $M_j$ の電流減少率を乗じたものとなる。

【0122】

信号線 $Y_1 \sim Y_n$ の中のいずれかにおいて、前の行の選択期間 $T_{SE}$ で高い輝度の比較的大きい階調指定シンク電流を流したために信号線 $Y_1 \sim Y_n$ の配線容量に電荷が蓄積されて電位が低くなった場合、その次の選択期間 $T_{SE}$ で流れる階調指定シンク電流のレベルが小さくても、その直前のリセット期間 $T_{RESST}$ に印加されたりセット電圧 $V_R$ により配線電位が高くなっているため、信号線 $Y_1 \sim Y_n$ の電位を迅速に階調シンク電流に応じた電位に定常化することが可能となる。

【0123】

続いて、選択走査ドライバ5及び電源走査ドライバ6のパルス信号が(i+1)行目にシフトし、i行目の非選択期間 $T_{SE}$ となって、第一実施形態の場合と同様にi行目の有機EL素子 $E_{i,1} \sim E_{i,n}$ の階調輝度が更新される。

【0124】

そして、切替信号入力端子40がハイレベルになり、同様にシフトレジスタ103が一列目からn列目へとパルス信号をシフトしていくことを繰り返すことによって、(i+1)行目の有機EL素子 $E_{i+1,1} \sim E_{i+1,n}$ の階調輝度を更新するために、一列目からn列目のコンデンサ30に電荷が順次チャージされていく。

【0125】

第二の実施の形態では、カレントミラー回路 $M_j$ が表示部4の外に設けられているから、画素毎に設けるトランジスタの数を必要最小限に抑えることができ、画素の開口率の低下を抑えることができる。また、カレントミラー回路 $M_j$ が設けられているため、階調信号

入力端子170等において周囲のノイズや寄生容量等により階調信号が本来出力すべき電流レベルに対して多少ズレていても、信号線 $Y_j$ の階調指定シンク電流レベルのズレは、電流減少率に則って小さく抑えられ、ひいては有機EL素子Eの輝度階調のズレを抑えることができる。

#### 【0126】

また上記各実施の形態では、切替回路 $S_1 \sim S_n$ がNチャネルトランジスタ及びPチャネルトランジスタのCMOS構造であったが、図9に示すように、ともにカレントミラー回路 $M_1 \sim M_n$ と同じチャネル型トランジスタにして、電流電圧変換部107のトランジスタを単チャネル型トランジスタのみにすることが可能である。このようにすることで電流電圧変換部107の製造工程を簡易にすることが可能である。

#### 【0127】

さらに、電流電圧変換部107のトランジスタのチャネル型を表示部4内のトランジスタ21~23と同じチャネル型にすることで電流電圧変換部107内のトランジスタと表示部4内のトランジスタ21~23を一括して形成することも可能である。なお、仮に電流電圧変換部107内に部分的に表示部4のトランジスタ21~23と同一のチャネル型のトランジスタがあれば同時に形成することが可能であることはいうまでもない。

#### 【0128】

図9に示す有機ELディスプレイ201では、切替回路 $S_1 \sim S_n$ が、それぞれ切替信号 $\phi$ が入力される切替信号入力端子40に接続されたNチャネル型トランジスタ132及び切替信号 $\phi$ の反転信号である切替信号 $\neg\phi$  ( $\neg$ は論理否定)が入力される切替信号入力端子43に接続されたNチャネル型トランジスタ131で構成される。

#### 【0129】

トランジスタ131は、図10に示すように、切替信号 $\neg\phi$ により選択期間 $T_{SE}$ にオン状態になって電源走査線 $Z_1 \sim Z_m$ 、トランジスタ23、トランジスタ21、信号線 $Y_1 \sim Y_n$ 、トランジスタ62、低電圧入力端子42へと微小の階調指定シンク電流を流すスイッチとして機能し、リセット期間 $T_{RESET}$ にオフ状態となる。トランジスタ132は、切替信号 $\phi$ により選択期間 $T_{SE}$ にオフ状態になり、リセット期間 $T_{RESET}$ にオン状態となって、信号線 $Y_1 \sim Y_n$ にリセット電圧 $V_R$ を印加するスイッチとして機能する。また図1に示す切替回路 $S_1 \sim S_n$ においても、互いに同一チャネル型のトランジスタ131、132を採用し、切替信号入力端子43に各トランジスタ131を接続し、切替信号入力端子40に各トランジスタ132を接続させても同様の効果を得ることができる。

#### 【0130】

なお、本発明は、上記各実施の形態に限定されることなく、本発明の趣旨を逸脱しない範囲において、種々の改良並びに設計の変更を行っても良い。

例えば、上記有機ELディスプレイ1では、画素 $P_{i,j}$ から引き抜かれたシンク電流のレベルによって階調輝度を画素 $P_{i,j}$ に指定している。しかしながら、逆に信号線 $Y_j$ から画素 $P_{i,j}$ へ電流を流し、この電流のレベルにしたがった階調輝度で画素 $P_{i,j}$ を発光させるようなアクティブマトリクス駆動方式の有機ELディスプレイの場合でも良い。

#### 【0131】

この場合も、切替回路が、各々の行の選択期間中にデータドライバの指定電流を信号線に流し、それぞれの選択期間の間のリセット期間中に一定レベルの定電圧を信号線に印加するが、輝度階調が高いほど信号線電圧が高く且つ信号線電流が大きく、輝度階調が低いほど信号線電圧が低く且つ信号線電流が小さい。したがって図6(b)での電圧 $V_R$ 、 $V_{hsb}$ 、 $V_{hsb}$ を上下に反転するような電位関係となり、リセット電圧 $V_R$ は、選択期間 $T_{SE}$ に各有機EL素子 $E_{1,1} \sim E_{m,n}$ が最も明るい最高階調輝度 $L_{MAX}$ で発光するとき各有機EL素子 $E_{1,1} \sim E_{m,n}$ に流れる最高階調駆動電流 $I_{MAX}$ に等しい電流値となる階調指定シンク電流によって信号線 $Y_1 \sim Y_n$ にチャージされる電荷にしたがって定常化される最高階調電圧 $V_{hsb}$ より少なくとも低い電圧に設定され、望ましく

は、各有機EL素子 $E_{1,1} \sim E_{m,n}$ が最も暗い最低階調輝度 $L_{MIN}$ （ただし電流レベルが0Aを越える）のときに各有機EL素子 $E_{1,1} \sim E_{m,n}$ に流れる最低階調駆動電流 $I_{MIN}$ に等しい電流値となる階調指定シンク電流によって信号線 $Y_1 \sim Y_n$ にチャージされる電荷にしたがって定常化される最低階調電圧 $V_{lsb}$ と、最高階調電圧 $V_{hsb}$ と、の中間値となる中間電圧以下であり、さらに望ましくは最低階調電圧 $V_{lsb}$ と等しい値か或いは最低階調電圧 $V_{lsb}$ 以下である。

【0132】

更にこの場合、画素 $P_{i,j}$ の回路は適宜変更しても良いが、走査線が選択されている時に信号線に流れる指定電流を画素回路に流すことで指定電流のレベルを電圧レベルに変換し、走査線が選択されていない時に信号線に流れる指定電流を遮断し、走査線が選択されていない時に変換された電圧レベルを保持するとともに、保持された電圧レベルに従ったレベルの駆動電流を有機EL素子に流す画素回路を、それぞれの有機EL素子の周囲に設けることが望ましい。

【0133】

また、例えば、上記実施の形態では発光素子として有機EL素子を用いているが、逆バイアス電圧が印加された場合には電流が流れないとともに順バイアス電圧が印加された場合には電流が流れるような発光素子であって、流れる電流の大きさに従った輝度で発光する発光素子であっても良い。発光素子として、例えばLED (Light Emitting Diode) 素子等でも良い。

【0134】

【発明の効果】

本発明によれば、所定の行の画素が選択されている時に、各々の信号線には階調電流が流れるが、前の行の画素のために信号線に流れる階調電流により定常化される電圧と、次の行の画素のために信号線に流す階調電流により定常化されるべき電圧との差が大きく、且つ当該次の画素のための階調電流の電流値が小さいときであっても、当該次の行の前に信号線にリセット電圧を印加することで迅速に信号線を当該次の行のための階調電流にしたがった電圧に定常化することができる。

従って、次の走査線が選択された後に、発光素子に流れる駆動電流のレベルは、指定電流のレベルと同じになり、発光素子が所望通りの輝度で発光する。つまり、各々の走査線が選択されている期間を長くせずとも、発光素子が所望通りの輝度で発光するから、表示画面がちらついて見えたりせず、表示装置の表示品質が高い。

【図面の簡単な説明】

【図1】図1は、本発明が適用された有機ELディスプレイの具体的な態様を示したブロック図である。

【図2】図2は、図1の有機ELディスプレイの画素を示した平面図である。

【図3】図3は、図1の有機ELディスプレイの画素の等価回路を示した図面である。

【図4】図4は、Nチャネル型の電界効果トランジスタの電流-電圧特性を示した図面である。

【図5】図5は、図1の有機ELディスプレイにおける信号のレベルを示したタイミングチャートである。

【図6】図6(a)は従来の電流指定型の有機ELディスプレイにおいて信号線に印加された電圧の変移を示す図面であり、図6(b)は本発明の有機ELディスプレイにおいて信号線に印加された電圧の変移を示す図面である。

【図7】図7は、本発明が適用された他の有機ELディスプレイの具体的な態様を示したブロック図である。

【図8】図8は、図7の有機ELディスプレイにおける信号のレベルを示したタイミングチャートである。

【図9】図9は、本発明が適用された他の有機ELディスプレイの具体的な態様を示したブロック図である。

【図10】図10は、図9の有機ELディスプレイにおける信号のレベルを示したタイミ



ングチャートである。

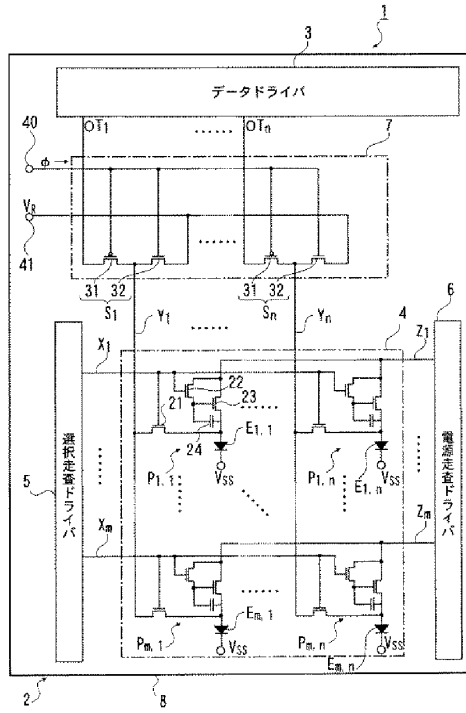
【図11】図11は、従来の液晶ディスプレイの画素の等価回路を示した図面である。

【図12】図12は、従来の電圧指定型の有機ELディスプレイの画素の等価回路を示した図面である。

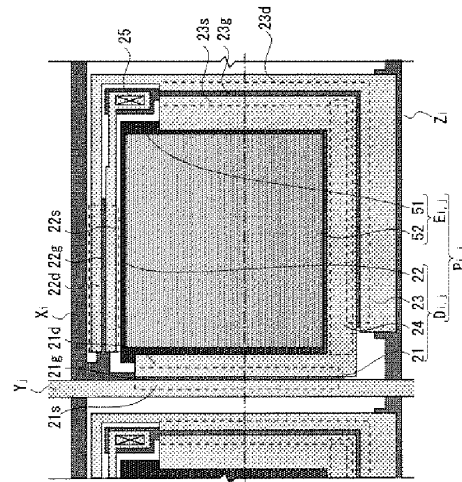
【符号の説明】

- 1 有機ELディスプレイ（表示装置）
- 3 データドライバ
- 5 選択走査ドライバ
- 6 電源走査ドライバ
- 7, 107 電流電圧切替部（リセット手段）
- 21, 22 トランジスタ（階調電流制御スイッチ手段）
- 23 トランジスタ（駆動電流スイッチ手段）
- 31, 131 トランジスタ（階調電流用トランジスタ）
- 32, 132 トランジスタ（リセット電圧用トランジスタ）
- 61, 62 トランジスタ
- 24 コンデンサ（電圧保持手段）
- 41 リセット電圧入力端子
- 101 シフトレジスタ
- $E_{1,1} \sim E_{m,n}$  有機EL素子（発光素子）
- $M_1 \sim M_n$  カレントミラー回路
- $S_1 \sim S_n$  切替回路
- $U_1 \sim U_n, W_1 \sim W_n$  トランジスタ（階調信号スイッチ手段）
- $Y_1 \sim Y_n$  信号線
- $X_1 \sim X_m$  選択走査線
- $Z_1 \sim Z_m$  電源走査線
- $P_{1,1} \sim P_{m,n}$  画素
- $D_{1,1} \sim D_{m,n}$  画素回路

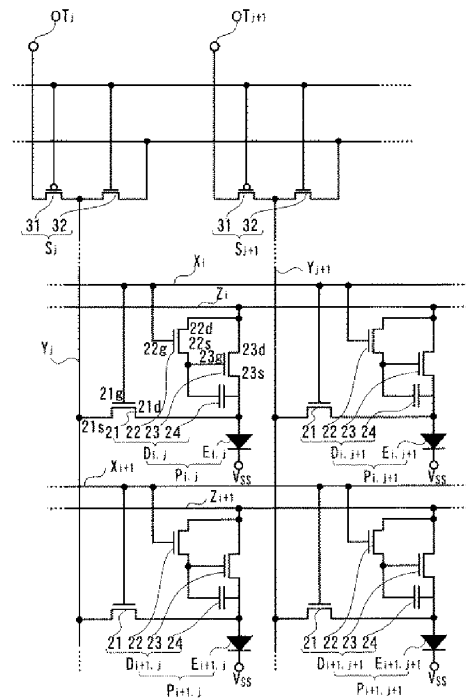
【図1】



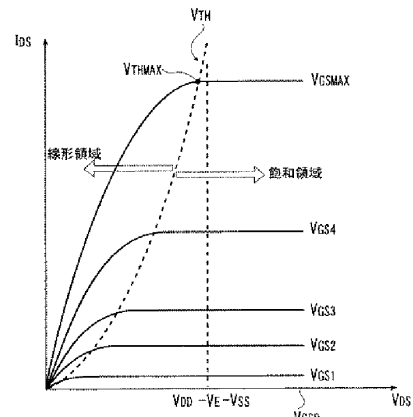
【図2】



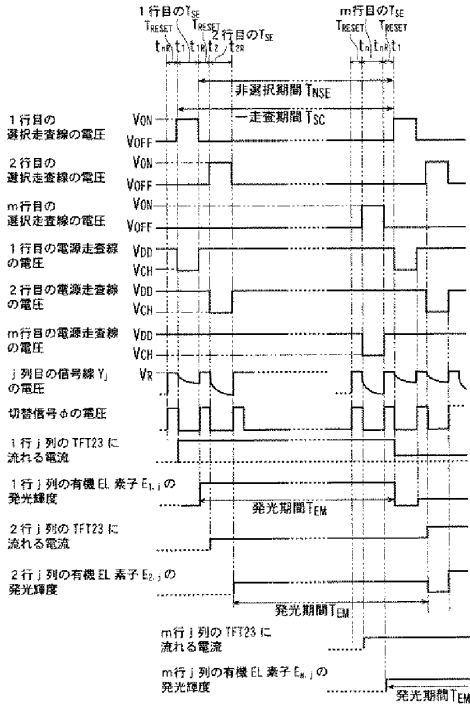
【図3】



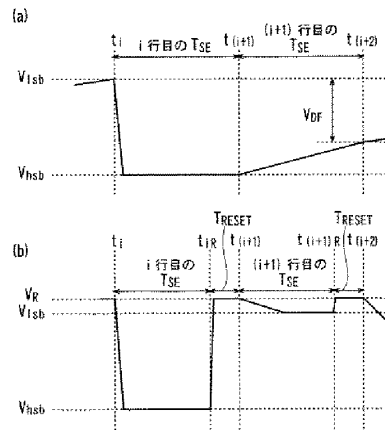
【図4】



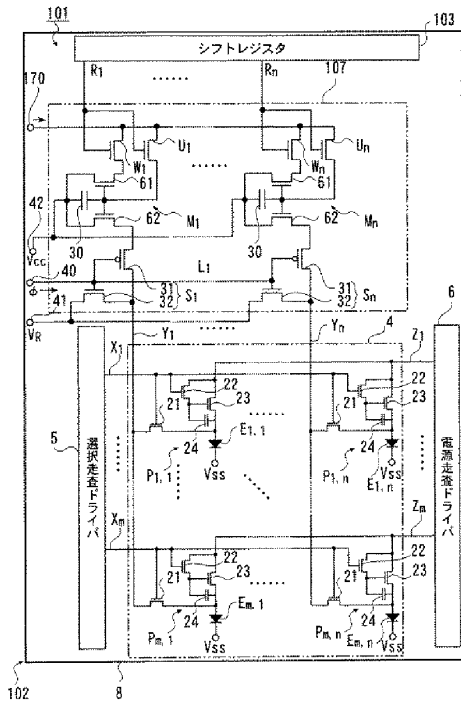
【図5】



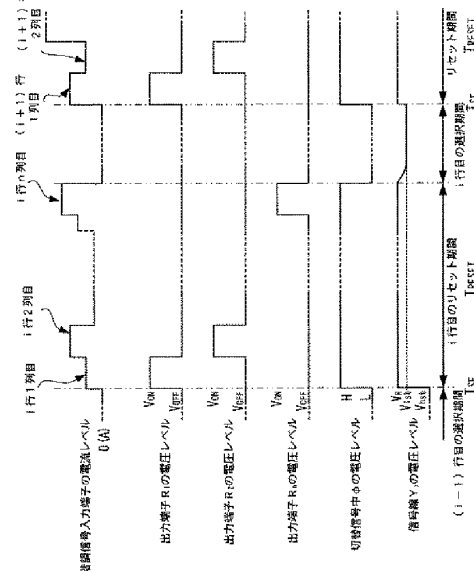
【図6】



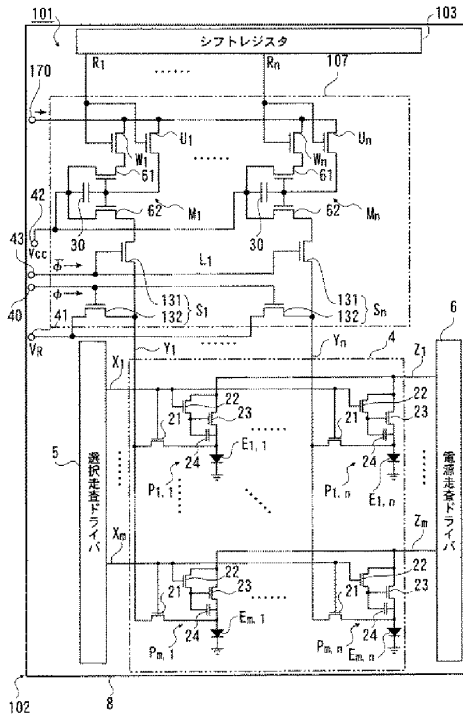
【図7】



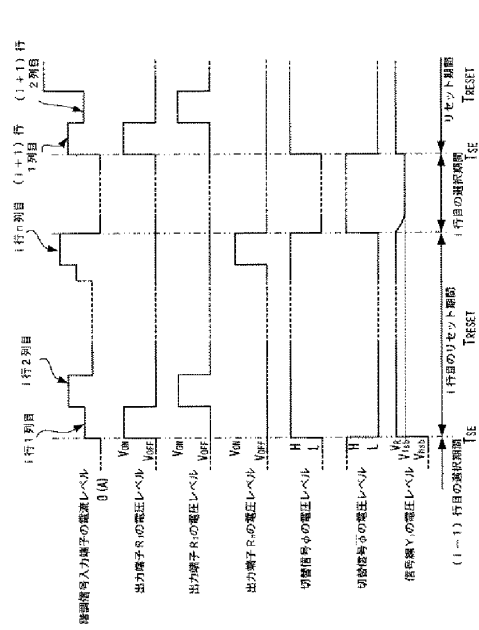
【図8】



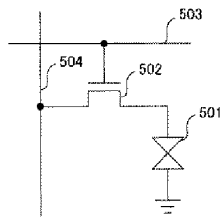
【図9】



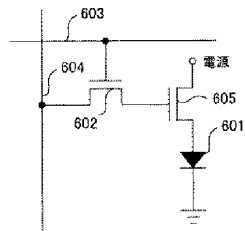
【図10】



【図11】



【図12】



( 3 0 )

特開2004-21219(P2004-21219A)

(51)Int.Cl.<sup>7</sup>

F I

テーマコード (参考)

G 0 9 G 3/20 6 2 4 B

G 0 9 G 3/20 6 4 1 D

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-115144

(P2005-115144A)

(43) 公開日 平成17年4月28日(2005.4.28)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード(参考)
<b>G09G 3/30</b>	G09G 3/30 J	3K007
<b>G09G 3/20</b>	G09G 3/30 K	5C080
<b>H05B 33/14</b>	G09G 3/20 611H	
	G09G 3/20 622C	
	G09G 3/20 622D	

審査請求 未請求 請求項の数 9 O L (全 18 頁) 最終頁に続く

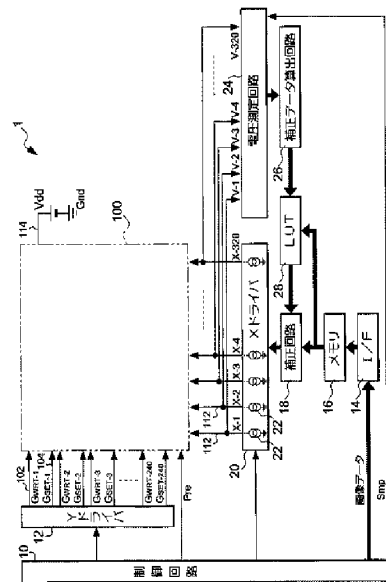
(21) 出願番号	特願2003-350951 (P2003-350951)	(71) 出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22) 出願日	平成15年10月9日(2003.10.9)	(74) 代理人	100095728 弁理士 上柳 雅普
		(74) 代理人	100107076 弁理士 藤綱 英吉
		(74) 代理人	100107261 弁理士 須澤 修
		(72) 発明者	池上 富雄 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		Fターム(参考)	3K007 AB17 BA06 DB03 GA04 5C080 AA06 BB05 DD05 EE28 FF11 GG12 JJ02 JJ03 JJ04 JJ05 JJ06 KK43 KK47

(54) 【発明の名称】 画素回路の駆動方法、駆動回路、電気光学装置および電子機器

(57) 【要約】

【課題】 低階調表示時におけるOLED素子の輝度ムラを防止する。

【解決手段】 各画素回路をテスト期間と表示期間とに分けて駆動し、テスト期間では、走査線102を表示期間よりも遅い水平走査速度で順次選択し、各データ線112に低階調に相当する電流をそれぞれ流し、走査線の選択が終了する手前のタイミングにて、各データ線112の測定電圧から、選択走査線と測定データ線との交差に位置する駆動トランジスタの閾値電圧を求めて、不足電流分に相当する補正データをLUT28に書き込む一方、表示期間では、走査線102を順次選択するとともに、選択走査線に位置する画素回路の電気光学素子の輝度を指定する画像データを、当該画素回路について求めた補正データで補正し、補正した画像データに応じた電流を、当該画素回路にデータ線112を介して流す。



## 【特許請求の範囲】

## 【請求項1】

複数の走査線と複数のデータ線との交差において設けられた画素回路であって、各々が、  
走査線が選択されたときにデータ線に流れる電流に応じた電圧を保持する電圧保持素子と、  
当該電圧保持素子の一端にゲートが接続された駆動トランジスタと、  
前記駆動トランジスタによって制御された電流によって発光する電気光学素子と  
を有する画素回路の駆動方法において、  
各画素回路をテスト期間と表示期間とに分けて駆動し、  
前記テスト期間では、  
前記走査線を順次選択し、  
走査線を選択したときに、各データ線に所定の電流をそれぞれ流し、  
走査線の選択が終了する手前のタイミングにて、各データ線の電圧をそれぞれ測定し、  
測定した電圧から、選択した走査線と電圧を測定したデータ線との交差に位置する画素回路における駆動トランジスタの特性を求め、  
前記表示期間では、  
前記走査線を水平走査期間毎に順次選択するとともに、選択走査線に位置する画素回路の電気光学素子の輝度を指定する画像データを、当該画素回路について求めた駆動トランジスタの特性に基づいて補正し、  
補正した画像データに応じた電流を、当該画素回路にデータ線を介して流す  
画素回路の駆動方法。

## 【請求項2】

前記テスト期間では、前記駆動トランジスタの特性として、その閾値電圧を求め、当該閾値電圧を参照して補正データを算出するとともに、当該補正データを、選択した走査線と電圧を測定したデータ線との交差に位置する画素回路に対応付けて記憶し、  
前記表示期間では、選択走査線に位置する画素回路の電気光学素子の輝度を指定する画像データに、当該画素回路に対応付けて記憶した補正データを加算して、加算した画像データに応じた電流を、当該画素回路にデータ線を介して流す  
請求項1に記載の画素回路の駆動方法。

## 【請求項3】

前記テスト期間における走査線の選択期間を、前記表示期間における水平走査期間よりも長く設定し、  
前記所定の電流を比較的小さくする  
請求項1に記載の画素回路の駆動方法。

## 【請求項4】

前記テスト期間における走査線の選択期間を、前記表示期間における水平走査期間と略同一に設定し、  
前記所定の電流を比較的大きくする  
請求項1に記載の画素回路の駆動方法。

## 【請求項5】

前記テスト期間について、  
前記所定の電流を異ならせて、各画素回路に対し複数回にわたって実行する  
請求項1に記載の画素回路の駆動方法。

## 【請求項6】

前記テスト期間および前記表示期間において走査線を選択する前に、各データ線の電圧を所定の電圧にプリチャージする  
請求項1に記載の画素回路の駆動方法。

## 【請求項7】

複数の走査線と複数のデータ線との交差において設けられた画素回路であって、各々が、  
走査線が選択されたときにデータ線に流れる電流に応じた電圧を保持する電圧保持素子と、

当該電圧保持素子の一端にゲートが接続された駆動トランジスタと、  
前記駆動トランジスタによって制御された電流によって発光する電気光学素子とを有する画素回路を、テスト期間と表示期間とに分けて駆動する駆動回路であって、  
前記テスト期間および前記表示期間に前記走査線を順次選択する走査線駆動回路と、  
前記テスト期間では、走査線の選択が終了する手前のタイミングにて、各データ線の電圧をそれぞれ測定する電圧測定回路と、

測定された電圧から、選択された走査線と電圧が測定されたデータ線との交差に位置する画素回路の駆動トランジスタにおける閾値電圧を求め、当該閾値電圧を参照して補正データを算出する補正データ算出回路と、

算出された補正データを、選択した走査線と電圧が測定されたデータ線との交差に位置する画素回路に対応付けて記憶するテーブルと、

前記表示期間では、選択走査線に位置する画素回路の電気光学素子の輝度を指定する画像データに、当該画素回路に対応付けて前記テーブルに記憶された補正データで補正する補正回路と、

前記テスト期間では、各データ線に所定の電流をそれぞれ流す一方、前記表示期間では、走査線が選択されたときに、補正された画像データに応じた電流を、当該画素回路にデータ線を介して流すデータ線駆動回路と

を備える画素回路の駆動回路。

【請求項8】

複数の走査線と複数のデータ線との交差において設けられた画素回路であって、各々が、  
走査線が選択されたときにデータ線に流れる電流に応じた電圧を保持する電圧保持素子と、当該電圧保持素子の一端にゲートが接続された駆動トランジスタと、前記駆動トランジスタによって制御された電流によって発光する電気光学素子とを有する画素回路と、

テスト期間と表示期間とに分けて駆動する駆動回路とを有し、

前記駆動回路は、

前記テスト期間および前記表示期間に前記走査線を順次選択する走査線駆動回路と、

前記テスト期間では、走査線の選択が終了する手前のタイミングにて、各データ線の電圧をそれぞれ測定する電圧測定回路と、

測定された電圧から、選択された走査線と電圧が測定されたデータ線との交差に位置する画素回路における駆動トランジスタの閾値電圧を求め、当該閾値電圧を参照して補正データを算出する補正データ算出回路と、

算出された補正データを、選択した走査線と電圧が測定されたデータ線との交差に位置する画素回路に対応付けて記憶するテーブルと、

前記表示期間では、選択走査線に位置する画素回路の電気光学素子の輝度を指定する画像データに、当該画素回路に対応付けて前記テーブルに記憶された補正データで補正する補正回路と、

前記テスト期間では、各データ線に所定の電流をそれぞれ流す一方、前記表示期間では、走査線が選択されたときに、補正された画像データに応じた電流を、当該画素回路にデータ線を介して流すデータ線駆動回路と

を備える電気光学装置。

【請求項9】

請求項8に記載の電気光学装置を表示装置として備えることを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えば有機発光ダイオード素子のような電気光学素子を有する画素回路の駆動方法、駆動回路、電気光学装置および電子機器に関する。



## 【背景技術】

## 【0002】

近年、液晶素子に代わる次世代の発光デバイスとして、有機発光ダイオード(Organic Light Emitting Diode、以下適宜OLEDと略称する)素子が注目されている。OLED素子は、有機エレクトロルミネッセンス素子や発光ポリマーとも呼ばれているものである。このOLED素子は、自発光型であるために視野角依存性が少なく、また、バックライトや反射光が不要であるために低消費電力化や薄型化に向いているなど、表示装置に用いた場合に優れた特性を有している。

ここで、OLED素子は、液晶素子のように電圧保持性を有さず、電流が途絶えると、発光状態が維持できなくなる電流型の被駆動素子である。このため、OLED素子をアクティブ・マトリクス方式で駆動する場合、電圧保持素子を設けて、OLED素子に電流を供給する駆動トランジスタのゲート電圧を保持するとともに、選択期間に、画素の階調に応じた電圧を駆動トランジスタのゲートに書き込む構成が一般的となっている。この構成によれば、非選択期間においても駆動トランジスタのゲート電圧が電圧保持素子によって保持されるので、当該ゲート電圧に応じた電流を当該OLED素子に継続して流すことが可能となる。

## 【0003】

ところで、この構成では、駆動トランジスタの閾値電圧がばらつくことによって、画素回路毎に、OLED素子の明るさが相違して表示品位が低下する問題が指摘された。このため、近年では、選択期間において当該駆動トランジスタをダイオード接続させるとともに、当該駆動トランジスタおよびデータ線に流れる電流を、画素の階調(輝度)を指示する画像データに応じた値となるように制御し、これによって、当該駆動トランジスタのゲートに、OLED素子に流すべき電流に応じた電圧を書き込むようにプログラミングして、駆動トランジスタの閾値電圧特性のばらつきを補償する技術が提案されている(例えば、特許文献1)。

【特許文献1】特開2003-22049号公報(図17参照)

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0004】

しかしながら、この技術では、データ線の寄生容量が大きい場合にデータ線に流す電流が小さいとき、当該寄生容量の充放電に時間を要してしまい、選択期間内に、駆動トランジスタのゲートに目標とする電圧を書き込むことができない、といった問題が新たに指摘された。

データ線に流す電流が小さいときは、OLED素子を暗くして発光させるときに相当し、また、ゲートに書き込むべき電圧と実際に書き込まれた電圧との差である書込誤差は、後述するように駆動トランジスタの閾値電圧等の特性に依存する。そして、低階調表示時において選択期間内に書き込みが追いつかない点、および、駆動トランジスタの特性がばらつくことによって、駆動トランジスタのゲート電圧もばらつく結果、輝度ムラが目立つことになる。

本発明は、上述した事情に鑑みてなされたもので、その目的とするところは、データ線の寄生容量が大きい場合であって、データ線に流す電流が小さいときであっても、OLED素子のような電気光学素子の輝度ムラの発生を防止することが可能な画素回路の駆動方法、駆動回路、電気光学装置および電子機器を提供することにある。

## 【課題を解決するための手段】

## 【0005】

上記目的を達成するために本発明に係る画素回路の駆動方法は、複数の走査線と複数のデータ線との交差において設けられた画素回路であって、各々が、走査線が選択されたときにデータ線に流れる電流に応じた電圧を保持する電圧保持素子と、当該電圧保持素子の一端にゲートが接続された駆動トランジスタと、前記駆動トランジスタによって制御された電流によって発光する電気光学素子とを有する画素回路の駆動方法において、各画素回

路をテスト期間と表示期間とに分けて駆動し、前記テスト期間では、前記走査線を順次選択し、走査線を選択したときに、各データ線に所定の電流をそれぞれ流し、走査線が終了する手前のタイミングにて、各データ線の電圧をそれぞれ測定し、測定した電圧から、選択した走査線と電圧を測定したデータ線との交差に位置する画素回路における駆動トランジスタの特性を求め、前記表示期間では、前記走査線を水平走査期間毎に順次選択するとともに、選択走査線に位置する画素回路の電気光学素子の輝度を指定する画像データを、当該画素回路について求めた駆動トランジスタの特性に基づいて補正し、補正した画像データに応じた電流を、当該画素回路にデータ線を介して流す。

この駆動方法によれば、テスト期間において、駆動トランジスタの特性が求められると、当該駆動トランジスタのソース・ドレイン間に流すべき電流に対して、データ線に流すべき電流の不足分が判明する。したがって、表示期間において、画像データを駆動トランジスタの特性に基づいて補正することによって、当該不足分が加算された電流がデータ線に流れるので、駆動トランジスタのゲート電圧の書き込みが間に合わなくなることを防止される。

上記駆動方法において、前記テスト期間では、前記駆動トランジスタの特性として、その閾値電圧を求め、当該閾値電圧を参照して補正データを算出するとともに、当該補正データを、選択した走査線と電圧を測定したデータ線との交差に位置する画素回路に対応付けて記憶し、前記表示期間では、選択走査線に位置する画素回路の電気光学素子の輝度を指定する画像データに、当該画素回路に対応付けて記憶した補正データを加算して、加算した画像データに応じた電流を、当該画素回路にデータ線を介して流す方法が好ましい。

#### 【0006】

また、上記駆動方法において、前記テスト期間における走査線を選択期間を、前記表示期間における水平走査期間よりも長く設定し、前記所定の電流を比較的小さくすることが好ましい。これによれば、テスト期間では、表示期間よりも遅い速度で水平走査されるので、走査線を選択期間が終了する手前のタイミングでは、目標とする電圧が書き込まれる。このため、当該タイミングにおいて、データ線の電圧を測定すると、駆動トランジスタ特性が正確に求められる。

一方、上記駆動方法において、前記テスト期間における走査線を選択期間を、前記表示期間における水平走査期間と略同一に設定し、前記所定の電流を比較的大きくすることも好ましい。これによれば、テスト期間と表示期間とは同じ速度で水平走査されるので、テスト期間に要する時間が短縮される。

#### 【0007】

上記駆動方法において、前記テスト期間につき前記所定の電流を異ならせて、各画素回路に対し複数回にわたって実行するとしても良い。こうすると、駆動トランジスタの特性を精度良く求めることが可能となる。

また、上記駆動方法において、前記テスト期間および前記表示期間において走査線を選択する前に、各データ線の電圧を所定の電圧にプリチャージしても良い。こうすると、データ線に電流を流す前の状態が、それ以前の書き込み状態に依存せず、かつ、すべてのデータ線にわたって均一となる。

本発明は、電気光学装置の駆動方法に限られず、駆動回路としても、また、電気光学装置としても実現可能である。さらに、本発明における電子機器は、上記電気光学装置を表示装置として備えるので、輝度ムラの発生が抑えられた高品位の表示が可能となる。なお、このような電子機器としては、後述するものが挙げられる。

#### 【発明を実施するための最良の形態】

#### 【0008】

以下、本発明の実施形態について図面を参照して説明する。図1は、本発明の第1実施形態に係る電気光学装置の構成を示すブロック図であり、図2は、この電気光学装置における表示パネルの構成を示すブロック図である。

これらの図に示されるように、電気光学装置1においては、表示パネル100がYドライバ12およびXドライバ20によって駆動される。表示パネル100では、OLED素

子を含む画素回路200が、図2に示されるように240行×320列のマトリクス型に配列している。本実施形態では、このOLED素子への電流量を画素回路200(画素)毎に制御することによって、所定の画像を階調表示しようとするものである。なお、本実施形態では、画素回路200の配列を240行×320列のマトリクス型とするが、本発明をこの配列に限定する趣旨ではない。

**【0009】**

画素回路200の配列において、走査線102および点灯制御線104は、マトリクス配列の行数に相当するように240本ずつ設けられ、それぞれがX方向に延設されている。そして、走査線102および点灯制御線104の1本ずつが1組となって、1行分の画素回路200に兼用されている。

1行目、2行目、3行目、…、240行目の走査線102には、それぞれ走査信号 $G_{WRT-1}$ 、 $G_{WRT-2}$ 、 $G_{WRT-3}$ 、…、 $G_{WRT-240}$ が供給される。ここで、説明の便宜上、 $i$ 行目( $i$ は、 $1 \leq i \leq 240$ を満たす整数)の走査線102に供給される走査信号を $G_{WRT-i}$ と表記する。また、 $i$ 行目の点灯制御線104には制御信号 $G_{SET-i}$ が供給される。これらの走査線102および点灯制御線104は、それぞれYドライバ(走査線駆動回路)12によって駆動される。

**【0010】**

一方、データ線112は、マトリクス配列の列数に相当するように320本、設けられ、それぞれがY方向に延設されるとともに、1本のデータ線112が1列分の画素回路200に兼用されている。Xドライバ(データ線駆動回路)20は、1列目、2列目、3列目、…、320列目のデータ線112に、それぞれデータ電流 $X-1$ 、 $X-2$ 、 $X-3$ 、…、 $X-320$ を流して、これらのデータ線112を駆動する。ここで、説明の便宜上、 $j$ 列目( $j$ は、 $1 \leq j \leq 320$ を満たす整数)のデータ線112に流れるデータ電流を $X-j$ と表記する。

**【0011】**

図2に示されるように、各データ線112には、それぞれに対応するようにNチャンネル型のトランジスタ116が設けられている。各トランジスタ116のソースは、電源の高位側電圧Vddが印加された電源線114に共通接続される一方、トランジスタ116のドレインは、対応するデータ線112に接続されている。そして、各トランジスタ116のゲートは、制御信号Preが供給される制御線118に共通接続されている。このため、制御信号PreがHレベルになると、トランジスタ116がオンするので、各データ線112が、電圧Vddにプリチャージされる構成となっている。

電源線114は、すべての画素回路200に接続される。なお、図2では、電源線114は、マトリクス配列においてY方向に延設されているが、X方向に延設されても良い。また、図1および図2では省略されているが、すべての画素回路200は、電源の低位側電圧Gndに共通接地されている。

**【0012】**

一方、制御回路10は、Yドライバ12やXドライバ20などの各部の動作を制御するとともに、各画素の階調をOLED素子に流すべき電流の形式で指定する画像データを、240行×320列の画素毎に出力する。また、制御回路10は、上述した制御信号Preや、後述する信号Smpも出力する。

I/F(インターフェイス)14は、制御回路10から出力される画像データを入力するものである。メモリ16は、240行×320列の画素に対応した記憶領域を有する。そして、メモリ16には、I/F14により入力された画像データが、当該画像データに対応する画素の記憶領域に書き込まれる一方、ある走査線102が選択される前に、その走査線に位置する1行分の画像データが一斉に読み出される構成となっている。

**【0013】**

一方、LUT(ルックアップテーブル)28は、240行×320列の各画素について、階調(輝度)毎に補正データを記憶するものである。そして、LUT28からは、メモリ16から読み出される同一行同一列の画素に対応した画像データであって、当該画像デ

ータで指定された階調に対応する補正データが出力される。なお、画像データは、それぞれ1行分読み出されるので、LUT28からも1行分の補正データが出力される。また、LUT28の内容は、補正データ算出回路26によって書き換えられる。

補正回路18は、メモリ16から読み出された画像データを、当該画像データと同一行同一列の画素の補正データによって補正する。

【0014】

Xドライバ20は、データ線112毎に定電流回路22を有する。ここで、各定電流回路22について、例えばj列目のデータ線112に対応するもので代表して説明すると、表示期間であれば、走査信号 $G_{WRT-i}$ がHレベルになれば、補正回路18によって補正された画像データであって、i行j列の画素の画像データで指定された電流を生成し、データ電流 $X-j$ としてj列目のデータ線112に流す。一方、テスト期間では、すべての定電流回路22は、画像データとは無関係に、後述するように低階調に相当する電流を、データ電流 $X-j$ としてデータ線112に流す。なお、データ電流 $X-j$ が流れる方向は、本実施形態では、データ線112から定電流回路22に向かう方向である。

【0015】

電圧測定回路24は、1列目から320列目までのデータ線112の電圧 $V-1$ 、 $V-2$ 、 $V-3$ 、…、 $V-320$ を、信号 $Smp$ によって指定されたタイミングにて、それぞれ測定するものである。なお、信号 $Smp$ は、後述するテスト期間において、1行目から240行目までの各走査線102の選択が終了する直前のタイミング、すなわち、走査信号 $G_{WRT-1}$ 、 $G_{WRT-2}$ 、 $G_{WRT-3}$ 、…、 $G_{WRT-240}$ がそれぞれHレベルからLレベルに切り替わる直前のタイミングにてそれぞれ出力されて、表示期間では出力されない。

補正データ算出回路26は、電圧測定回路24によって1列目から320列目までのデータ線112の電圧がそれぞれ測定されると、次のような動作を実行する。すなわち、補正データ算出回路26について、j列目のデータ線112の電圧 $V-j$ に関して代表して説明すると、第1に、測定された電圧 $V-j$ から、当該データ線112と選択されていた走査線102との交差に位置する画素回路200であって、当該画素回路200に含まれる駆動トランジスタ(後述する)の閾値電圧を求め、第2に、当該閾値電圧から補正データを階調毎に算出し、第3に、LUT28の記憶内容のうち、当該画素についての補正データを、算出した階調毎の補正データに書き換える。この動作を、補正データ算出回路26は、1列目から320列目までの1行分の画素についてそれぞれ実行する。

【0016】

次に、画素回路200の電気的な構成について詳述する。図3は、i行j列に位置する画素回路200の構成を示す回路図である。

この図に示されるように、画素回路200は、駆動トランジスタ212と、スイッチング素子として機能するトランジスタ214、216、218と、電圧保持素子として機能する容量220と、電気光学素子たるOLED素子230とを有する。これらのうち、Pチャネル型の駆動トランジスタ212のソースは、電源線114に接続されている。駆動トランジスタ212のドレインは、Nチャネル型のトランジスタ214のソース、および、Nチャネル型のトランジスタ216、218の各ドレインに、それぞれ接続されている。

【0017】

トランジスタ218のソースは、OLED素子230の陽極に接続され、また、当該OLED素子230の陰極は、電源の低位側電圧 $Gnd$ に接地されている。トランジスタ218のゲートは、i行目の点灯制御線104に接続されている。

一方、駆動トランジスタ212のゲートは、容量220の一端およびトランジスタ214のドレインに接続されている。また、容量220の他端は、電源線114に接続されている。さらに、トランジスタ216のソースは、j列目のデータ線112に接続される一方、そのゲートは、トランジスタ214のゲートとともに、i行目の走査線102に接続されている。

## 【0018】

なお、本発明と直接関係しないが、マトリクス型に配列する画素回路200は、例えばガラス等の透明基板上に、走査線102やデータ線112とともに形成される。このため、駆動トランジスタ212や、スイッチング素子としてのトランジスタ214、216、218は、ポリシリコンプロセスによるTFT（薄膜トランジスタ）によって構成される。また、OLED素子230は、基板上において、ITO（酸化錫インジウム）などの透明電極膜を陽極とし、アルミニウムやリチウムなどの単体金属膜またはこれらの積層膜を陰極として、発光層を挟持した構成となっている。

## 【0019】

ここで説明の便宜上、補正回路18、電圧測定回路24、補正データ算出回路26およびLUT28を有さず、メモリ16から読み出された画像データが補正されることなく、そのままXドライバ20に供給される構成（補正無構成と呼ぶ）の動作について説明する。

図4は、この補正無構成の動作を説明するためのタイミングチャートである。まず、Yドライバ12は、1垂直走査期間（1F）の開始時から、1行目、2行目、3行目、…、240行目の走査線102を、順番に1本ずつ1水平走査期間（1H）毎に選択して、選択した走査線102の走査信号のみをHレベルとする。ここで、画素回路200の動作について、i行j列に位置するもので代表して説明すると、まず、i行目の走査線102が選択される前に、すなわち、走査信号 $G_{WRT-i}$ がHレベルになる前に、制御信号PreがHレベルとなるので、プリチャージされる結果、j列目のデータ線112の電圧 $V_j$ は、電源電圧 $V_{dd}$ になる。

## 【0020】

この後、走査信号 $G_{WRT-i}$ がHレベルになると、トランジスタ214がオン状態になるので、駆動トランジスタ212はダイオードとして機能する。また、走査信号 $G_{WRT-i}$ がHレベルになると、トランジスタ216もオン状態となる。ただし、走査信号 $G_{WRT-i}$ がHレベルになる期間では点灯信号 $G_{SET-i}$ がHレベルにはならないので、トランジスタ218はオフ状態である。このため、データ電流 $X_j$ は、電源線114→駆動トランジスタ212→トランジスタ216→データ線112という経路で流れる。したがって、駆動トランジスタ212のゲート電圧は、プリチャージ電圧 $V_{dd}$ から徐々にデータ電流 $X_j$ に応じた電圧に至るとともに、容量220の一端に書き込まれることになる。なお、この補正無構成において、j列目のデータ線112に対応する定電流回路22は、i行j列の画素に対応する画像データを指定されたデータ電流 $X_j$ をj列目のデータ線112に流す。

## 【0021】

続いて、走査信号 $G_{WRT-i}$ がLレベルになると、トランジスタ214、216はともにオフ状態になるが、容量220による電圧保持状態が保たれる。その後、制御信号 $G_{SET-i}$ がHレベルになると、トランジスタ218がオンする。したがって、今度は、電流が電源線114→駆動トランジスタ212→トランジスタ218→OLED素子230という経路で流れる。

このときにOLED素子230に流れる電流は、駆動トランジスタ212のゲート電圧で定まるが、そのゲート電圧は、走査信号 $G_{WRT-i}$ がHレベルである場合であってデータ電流 $X_j$ がデータ線112に流れたときに容量素子220に保持された電圧である。このため、制御信号 $G_{SET-i}$ がHレベルになったときに、OLED素子230に流れる電流は、十分な書込時間が確保されていれば、直前にデータ線112に流れていたデータ電流 $X_j$ にほぼ一致するので、走査線102が選択されたときにデータ線112に流れたデータ電流 $X_j$ が再生された形でOLED素子230に流れることになる。そして、以降、制御信号 $G_{SET-i}$ がLレベルになるまで、当該電流に応じた輝度で発光し続けることになる。

## 【0022】

ただし、実際には、データ線112にデータ電流 $X_j$ を流しても、当該データ線11

2に寄生する容量113(図3参照)などのために、容量220の一端、すなわち駆動トランジスタ212のゲートは、目標とする電圧には迅速に達しない。走査線102は1水平走査期間(1H)毎に選択されるが、この期間が高精細化等に伴って短くなって、例えば50 $\mu$ 秒程度しか確保できないと、走査信号 $G_{WR-T-i}$ がHレベルである期間がさらに短くなり、駆動トランジスタ212のゲートは、データ電流 $X-j$ を流すことにより最終的に書き込むべき目標電圧に達する前に、選択が終了してしまう。

この点を詳述すると、駆動トランジスタ212のゲート電圧は、トランジスタ214、216がオンしている場合であれば、j列目のデータ線112に現れるので、図4に示されるように、当該データ線112の電圧 $V-j$ が、目標電圧に達する前に、走査信号 $G_{WR-T-i}$ がLレベルとなってしまふ。このため、補正無構成では、目標電圧と、実際に駆動トランジスタ212のゲートに書き込まれた電圧との差が生じ、この差が書込誤差になって、OLED素子230に流れる電流が目的とする電流から逸脱してしまう。

#### 【0023】

ここで、駆動トランジスタ212のソース・ドレイン間に流れる電流 $I_d$ (制御信号 $G_{SET-i}$ がHレベルになったときに、OLED素子230に流れる電流)と、補正前のデータ電流 $X-j$ とが図5に示されるような関係にあつて、画像データによってOLED素子230の輝度を8階調で指定する場合を考えてみる。すなわち、画像データによって階調レベル1~8が指定された場合に、それぞれ駆動トランジスタ212の電流 $I_d$ が階調電流 $I-1$ ~ $I-8$ になるように設定されるとともに、その場合にデータ線に流す設定電流がそれぞれ $I_{data-1}$ ~ $I_{data-8}$ である場合を考えてみる。

#### 【0024】

図6は、この設定状態において、図4に示されるタイミングにて水平走査をした場合(すなわち、1水平走査期間(1H)が50 $\mu$ 秒である場合)、データ電流 $X-j$ を振ったとき、実際に駆動トランジスタ212のソース・ドレイン間に流れる電流 $I_d$ がどうなったかを示す図である。この図に示されるように、データ電流 $X-j$ が小さくなるにつれて(すなわち、駆動トランジスタの電流 $I_d$ を小さくして、OLED素子230を暗く発光させることを指示するにつれて)、設定電流に対し、駆動トランジスタ212に電流 $I_d$ が流れず、書込誤差が大きくなっていることが判る。

また、駆動トランジスタ212の閾値電圧が大きくなるにつれて、書込誤差が大きくなる傾向も判る。このため、仮に駆動トランジスタ212の閾値電圧が画素回路200毎にばらついていると、同一のデータ電流を流したとしても、特に低階調表示時に駆動トランジスタ212のゲート電圧がばらつき、電流 $I_d$ もばらつく結果、輝度ムラが目立つことになる。

#### 【0025】

ところで、図6から判ることは、駆動トランジスタ212の閾値電圧さえ求めることができれば、OLED素子230に流す階調電流 $I-1$ ~ $I-8$ に対して、それぞれ設定電流 $I_{data-1}$ ~ $I_{data-8}$ に対する不足電流を求めることができる、という点である。詳細には、駆動トランジスタ212の閾値電圧が求まり、図6において特性aであると判明した場合、図7に示されるように、階調電流 $I-1$ ~ $I-4$ の各々に対して、それぞれ設定電流 $I_{data-1}$ ~ $I_{data-4}$ に対する不足電流は、図7において、それぞれ $I_{data-1a}$ ~ $I_{data-4a}$ であることが判る。なお、設定電流が大きいとき、書込誤差は小さいので、例えば図7においては、設定電流 $I_{data-5}$ ~ $I_{data-8}$ に対する不足電流はゼロであると考えて良い。

そして、階調レベル1~4とするとき、設定電流 $I_{data-1}$ ~ $I_{data-4}$ にそれぞれ不足電流 $I_{data-1a}$ ~ $I_{data-4a}$ を加算したデータに相当する電流を、データ電流 $X-j$ としてデータ線112に流す構成にすれば、駆動トランジスタ212のドレイン電流 $I_d$ が階調電流 $I-1$ ~ $I-4$ になって、書込誤差による影響を抑えることができるはずである。

#### 【0026】

ただし、このためには、駆動トランジスタ212の閾値電圧を画素回路200毎に求め

なければならない。このため、本実施形態では、概略すれば、テスト期間なるものを設けて、駆動トランジスタ212の閾値電圧を画素回路200毎に求めるとともに、この閾値電圧から、不足電流に相当する補正データを画素回路200毎に算出してLUT28にセットする構成となっている。

なお、このテスト期間は、例えば、工場出荷時や、表示オン直前（電源オン直後であって表示前、または、スタンバイモードからの復帰直前）、表示オフ直後（電源オフ直前であって表示後、または、スタンバイモードに移行直後）などのように、表示が行わない期間が好ましい。また、このテスト期間は、制御回路10によって指示される。

【0027】

そこでまず、本実施形態におけるテスト期間の詳細動作について説明する。図8は、テスト期間における動作を説明するためのタイミングチャートである。テスト期間の動作は、図4における補正無構成の動作と基本的相違しないが、時間的には、図4に示した走査よりも10倍遅い速度で各画素回路200が水平走査される。すなわち、テスト期間における1水平走査期間(1H)は500 $\mu$ 秒に設定されている。

【0028】

一方、Xドライバ20における定電流回路22のすべては、OLED素子230における最低の階調電流I-1に相当する設定電流Idata-1を、それぞれデータ電流としてデータ線112に流す。

図4に示されるように、1水平走査期間(1H)が十分に確保されておらず、走査信号 $G_{WR T-i}$ がHレベルになる期間が短いと、駆動トランジスタ212のゲートが目標電圧に達する前に、走査線102の選択が終了してしまうが、図8に示されるように、走査信号 $G_{WR T-i}$ がHレベルになる期間が十分に長いと、駆動トランジスタ212のゲートが目標電圧に達して、走査線102の選択が終了する。

【0029】

ところで、設定電流Idata-1は、換言すれば駆動トランジスタ212においてドレイン電流が流れ始めるときの電流に相当するので、このときのゲート・ソース間電圧が、駆動トランジスタ212の閾値電圧と考えて良い。

したがって、走査信号 $G_{WR T-i}$ がLレベルになる直前のタイミングにおいて、電圧 $V-j$ を求めるとともに、電圧Vddから電圧 $V-j$ を減じることによって、選択されていた走査線102とj列目のデータ線112との交差に位置する駆動トランジスタ212の閾値電圧を求めることができる。なお、閾値電圧を求める際には、厳密に言えば、トランジスタ216のオン抵抗や、データ線112、電源線114の配線抵抗等による電圧降下を考慮しなければならないが、設定電流Idata-1は小さいので、そのときの電圧降下は無視できる。

【0030】

閾値電圧を求めるために、本実施形態では、電圧測定回路24が信号Smpで示される当該タイミングにおいて1列目~320列目のデータ線112の電圧 $V-1$ ~ $V-320$ をそれぞれ測定する。

電圧 $V-1$ ~ $V-320$ がそれぞれ測定されると、補正データ算出回路26は、次のような動作を実行する。すなわち、補正データ算出回路26は、第1に、例えばj列目のデータ線112において測定された電圧 $V-j$ を、電源電圧Vddから減じて、i行j列の画素回路200における駆動トランジスタ212の閾値電圧を求める。補正データ算出回路26は、第2に、図7に示されるように、求めた閾値電圧の特性から、階調電流を流すのにそれぞれ必要な不足電流Idata-1a~Idata-8aを、階調レベル1~8毎に求める。ここで、階調レベルが大きい領域については、書込誤差が小さいので、不足分をゼロとしても良い。補正データ算出回路26は、第3に、求めた不足電流Idata-1a~Idata-8aに相当する分を、データ変換して補正データとして求めるとともに、LUT28において、i行j列の画素に対応する領域に書き込む。

【0031】

このような補正データの変換および書き込みを、補正データ算出回路26は、i行目に

位置する1列目から320列目までの画素のすべてにわたって実行する。さらに、この1行分の動作を、補正データ算出回路26は、1行目から240行目までのすべての行にわたって、走査線102が選択される毎に繰り返して実行する。これにより、LUT28には、補正データが、240行×320列の画素のすべてにわたって階調レベル1～8毎に書き込まれることになる。そして、LUT28に対する書き込みがすべての画素について完了すると、テスト期間が終了する。

**【0032】**

次に、表示期間の動作について説明する。図9は、表示期間における動作を説明するためのタイミングチャートである。表示期間の動作は、図4における補正無構成の動作と基本的相違しないが、Xドライバ20における定電流回路22は、i行j列の画素に対応する画像データで指定された電流ではなく、補正データで補正された画像データで指定された電流を、データ電流X-jとしてj列目のデータ線112に流す。

**【0033】**

この点を詳述すると、走査信号 $G_{WRT-i}$ がHレベルになる前に、メモリ16からi行目の走査線102に位置する画素の画像データが1行分読み出される。このうち、j列目のデータ線との交差に位置する画素、すなわち、i行j列の画素について代表して説明すると、当該画素の画像データで指定された階調レベルに対応する補正データがLUT28から読み出される。さらに、メモリ16から読み出されたi行j列の画素の画像データは、補正回路18によってLUT28から読み出されたi行j列の画素の補正データと加算されて、補正される。そして、Xドライバ20における定電流回路22のうち、j列目の定電流回路22は、走査信号 $G_{WRT-i}$ がHレベルになったときに、i行j列の画素について補正された画像データで指定された電流を生成して、データ電流X-jとしてj列目のデータ線112に流す。これにより、画素の画像データによる設定電流に当該画素の不足電流分を加算される。例えば、j列目の定電流回路22は、階調レベルが1であれば、図9に示されるように、設定電流Idata-1に補正データで示される不足電流Idata-1が加算された電流を、j列目の定電流回路22は、データ電流X-jとして当該データ線112に流す。

**【0034】**

このため、本実施形態によれば、走査信号 $G_{WRT-i}$ がHレベルからLレベルに切り替わる直前では、駆動トランジスタのゲート電圧（すなわち、j列目のデータ線112の電圧V-j）は、画像データで指定された階調レベルに相当する階調電流を流す電圧になっているので、上述したような書込誤差、および、これに起因する表示ムラを、それぞれ防止することが可能となる。

なお、第1実施形態では、テスト期間においてデータ線112に、最も低い輝度に相当する設定電流Idata-1を流したが、例えば、比較的輝度が暗い階調レベル、例えば、階調レベル2～4に相当する設定電流Idata-2～Idata-4を流して、そのときのデータ電圧から、駆動トランジスタ212の閾値電圧を求めて良い。ただし、電流が大きくなると、電圧降下を考慮しなければならないし、また、駆動トランジスタ212の閾値電圧を精度良く求めることができないので、やはり最も低い輝度に相当する設定電流Idata-1を流すのが望ましい。

**【0035】**

次に、本発明の第2実施形態について説明する。上述した第1実施形態では、駆動トランジスタ212の閾値電圧を求めるために、走査速度を、表示期間よりも遅くしたので、例えば、テスト期間を表示オン直前に実行する場合、実際に表示が開始されるまでに、それだけ時間を要してしまう、という欠点がある。そこで、この欠点を解消した第2実施形態について説明する。

**【0036】**

図10は、第2実施形態において、テスト期間における動作を説明するためのタイミングチャートである。テスト期間の走査速度は、図9に示した第1実施形態における表示期間と同じである。ただし、第1実施形態では、テスト期間におけるデータ電流が、最も低



い輝度の階調レベル1に相当する設定電流 I data-1 であったのに対し、第2実施形態では、最も高い輝度の階調レベル8に相当する設定電流 I data-8 である点において相違する。

**【0037】**

この相違点について説明すると、上述した図7に示したように、設定電流が大きくなると、容量113等の充放電が短時間のうちに完了するので、テスト期間の水平速度を表示期間と同様にしても、書込誤差は無視できる程度に小さくなるはずである。したがって、テスト期間の水平走査速度が表示期間と同様であっても、走査信号  $G_{WRT-i}$  がHレベルからLレベルに切り替わる直前のタイミングでは、駆動トランジスタ212のゲート（容量220の一端）は、設定電流 I data-8 に対応した目標電圧に達していると考えられる。

**【0038】**

ただし、設定電流 I data-8 は、第1実施形態における設定電流 I data-1 とは異なり、相対に大きいので、補正データ算出回路26は、次のようにして駆動トランジスタ212の閾値電圧を求める。

ここで、駆動トランジスタ212の特性のうち、閾値電圧だけが異なる場合、そのゲート・ソース電圧およびドレイン電流の特性は、例えば図11(a)に示されるように変化するが、データ線112に設定電流 I data-8 を流して、そのドレイン電流 I d を階調電流 I -8 にすることと、そのときの測定したデータ電圧 V -j を電源電圧 V dd から減じて駆動トランジスタ212のゲート・ソース電圧を求めることとによって、その特性が一意に定まる。そこで、補正データ算出回路26は、一意に定まる特性から、ドレイン電流 I d が流れ始める閾値電圧を求めることができる。

**【0039】**

補正データ算出回路26が駆動トランジスタ212の閾値電圧を求めた後の動作は、第1実施形態と同様である。

したがって、この第2実施形態によれば、テスト期間に要する時間を短縮でき、その後の表示期間において、上述したような書込誤差、および、これに起因する表示ムラを、それぞれ防止することが可能となる。

また、第2実施形態では、テスト期間においてデータ線112に、最も高い輝度に相当する設定電流 I data-8 を流したが、書込誤差が無視できる程度に小さければ、例えば、比較的輝度が明るい階調レベル、例えば、階調レベル5～7に相当する設定電流 I data-5 ～ I data-8 であっても良い。

**【0040】**

第2実施形態では、駆動トランジスタ212の特性のうち、閾値電圧だけが異なる場合を想定した。しかしながら、駆動トランジスタ212の特性において、閾値電圧のみならず、電流増幅率も画素回路200毎に相違している場合、図11(b)に示されるように、駆動トランジスタ212のドレイン電流およびゲート・ソース電圧を求めても、駆動トランジスタ212のゲート・ソース電圧およびドレイン電流の特性を一意に定めることはできない。

そこで、第2実施形態では、テスト期間において、駆動トランジスタ212のドレイン電流 I d が、互いに異なるように、複数回に分けて流すとともに、各回においてデータ線112の電圧を測定すれば、駆動トランジスタ212のドレイン電流およびゲート・ソース電圧の特性を一意に求めることができ、ドレイン電流 I d が比較的小さいときの不足電流分をより正確に算出することができる。

第1実施形態についても、テスト期間において、駆動トランジスタ212のドレイン電流 I d が、互いに異なるように、複数回に分けて流しても良いのはもちろんである。

**【0041】**

また、第1、第2実施形態において、Yドライバ12は、例えば制御信号  $G_{SET-i}$  を、走査信号  $G_{WRT-i}$  がHレベルになる直前にLレベルとし、走査信号  $G_{WRT-i}$  がLレベルになった直後にHレベルとしたが、制御信号  $G_{SET-1}$  から  $G_{SET-24}$

。までのすべについて、Hレベルとなる期間が同一であれば良い。ここで、制御信号G<sub>SET-1</sub>からG<sub>SET-240</sub>までのすべについて、Hレベルとなる期間を短くすると、すべてのOLED素子230にわたって、1垂直走査期間(1F)に占める発光期間の割合が短くなるので、表示画像が暗くなる一方、Hレベルとなる期間を長くすると、表示画像が明るくなるので、表示画像のブライトネスを調整することができる。

**【0042】**

本発明は、上述した実施形態に限られず、種々の応用・変形が可能である。

例えば、実施形態では、単色の画素について階調表示をする構成になっていたが、3つの画素の各々に対して、R(赤)、G(緑)、B(青)にて発色するようにOLED素子230の発光層を選択するとともに、これらの3画素により1ドットを構成して、カラー表示を行うとしても良い。また、OLED素子230は、電流駆動型素子の一例であり、これに代えて、無機EL素子や、フィールドエミッション(FE)素子、LEDなどの他の発光素子、さらには、電気泳動素子、エレクトロ・クロミック素子などを用いても良い。

また、実施形態では、8階調表示としたが、これよりも低階調の4階調表示としても良いし、これよりも高階調の16、32、64、…、階調としても良いのは、もちろんである。

**【0043】**

実施形態では、駆動トランジスタ212をPチャネル型としたが、Nチャネル型としても良い。また、スイッチング素子としてのトランジスタ214、216、218のチャネル型は、実施形態に限られず、Pチャネル型としても良い。さらに、スイッチング素子としてのトランジスタ214、216、218を、Pチャネル型およびNチャネル型を相補型に組み合わせたトランスミッションゲートで構成すると、電圧降下がほぼ無視できる程度に抑えられるので、閾値電圧をより正確に求めることができる点において好ましい。

くわえて、トランジスタ214のソース側にOLED素子230を接続するのではなく、トランジスタ214のドレイン側にOLED素子230を接続しても良い。

**【0044】**

次に、上述した実施形態に係る電気光学装置を電子機器に用いた例について説明する。

まず、電気光学装置1を、表示部に適用した携帯電話について説明する。図12は、この携帯電話の構成を示す斜視図である。

この図において、携帯電話1100は、複数の操作ボタン1102のほか、受話口1104、送話口1106とともに、表示部として、上述した電気光学装置1の表示パネル100を備えるものである。

**【0045】**

次に、上述した電気光学装置1を、ファインダに用いたデジタルスチルカメラについて説明する。

図13は、このデジタルスチルカメラの背面を示す斜視図である。銀塩カメラは、被写体の光像によってフィルムを感光させるのに対し、デジタルスチルカメラ1200は、被写体の光像をCCD(Charge Coupled Device)などの撮像素子により光電変換して撮像信号を生成・記憶するものである。ここで、デジタルスチルカメラ1200におけるケース1202の背面には、上述した電気光学装置1の表示パネル100が設けられる。この表示パネル100では、撮像信号に基づいて表示が行われるので、被写体を表示するファインダとして機能することになる。また、ケース1202の前面側(図12においては裏面側)には、光学レンズやCCDなどを含んだ受光ユニット1204が設けられている。

**【0046】**

撮影者が表示パネル100によって表示された被写体像を確認して、シャッターボタン1206を押下すると、その時点におけるCCDの撮像信号が、回路基板1208のメモリに転送・記憶される。また、このデジタルスチルカメラ1200にあって、ケース1202の側面には、外部表示を行うためのビデオ信号出力端子1212と、データ通信用の入出力端子1214とが設けられている。

## 【0047】

なお、電子機器としては、図12の携帯電話や、図13のデジタルスチルカメラの他にも、テレビや、ビューファインダ型、モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS端末、タッチパネルを備えた機器等などが挙げられる。そして、これらの各種電子機器の表示部として、上述した電気光学装置が適用可能なのは言うまでもない。

## 【図面の簡単な説明】

## 【0048】

【図1】本発明の第1実施形態に係る駆動方法が適用される電気光学装置の構成を示すブロック図である。

【図2】同電気光学装置における表示パネルの構成を示すブロック図である。

【図3】同表示パネルにおける画素回路の構成を示す回路図である。

【図4】同電気光学装置における書込誤差を説明するための図である。

【図5】同表示パネルにおける駆動トランジスタのソース・ドレイン電流とゲータ電流との関係を示す図である。

【図6】同電気光学装置における設定電流とOLED素子に流す電流との関係を示す図である。

【図7】同電気光学装置における補正データの算出手順を示す図である。

【図8】同表示パネルにおけるテスト期間の動作を示すタイミングチャートである。

【図9】同表示パネルにおける表示期間の動作を示すタイミングチャートである。

【図10】本発明の第2実施形態に係る駆動方法が適用される電気光学装置のテスト期間における動作を説明するためのタイミングチャートである。

【図11】本発明の応用形態に係る駆動方法を説明するための図である。

【図12】同電気光学装置を用いた携帯電話を示す図である。

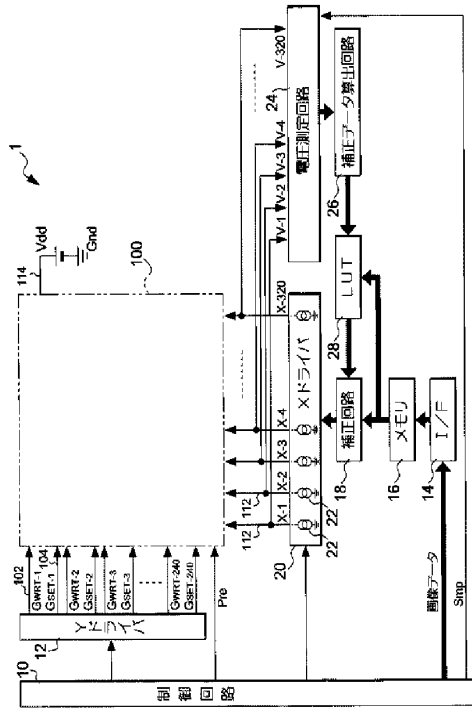
【図13】同電気光学装置を用いたデジタルスチルカメラを示す図である。

## 【符号の説明】

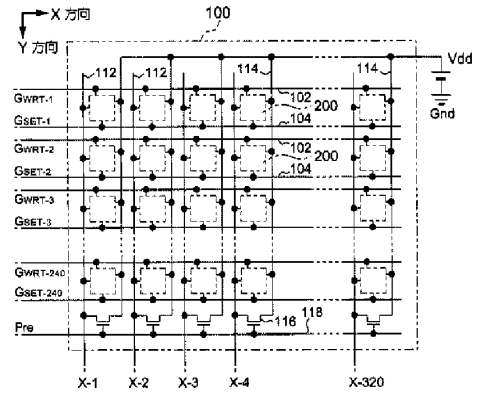
## 【0049】

1…電気光学装置、10…制御回路、12…Yドライバ、18…補正回路、20…Xドライバ、22…定電流回路、24…電圧測定回路、26…補正データ算出回路、28…LUT、100…表示パネル、102…走査線、104…点灯制御線、112…データ線、114…電源線、200…画素回路、212…駆動トランジスタ、212、214、216、218…トランジスタ、220…容量、230…OLED素子、1100…携帯電話機、1200…デジタルスチルカメラ

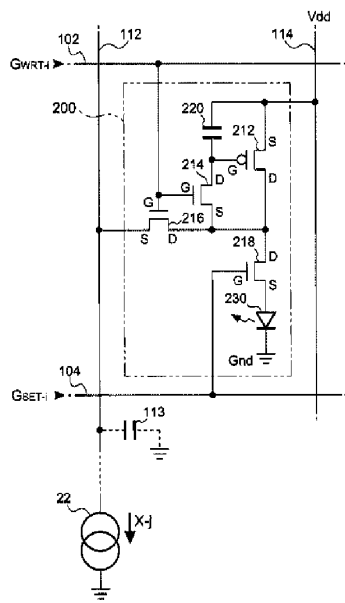
【図1】



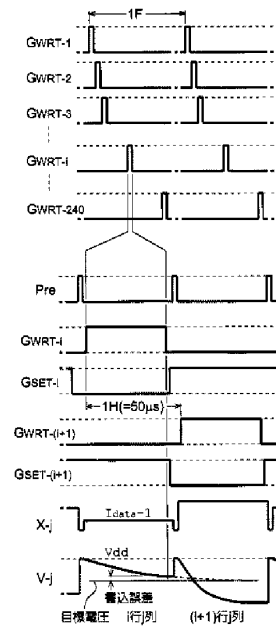
【図2】



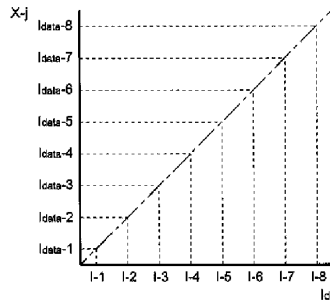
【図3】



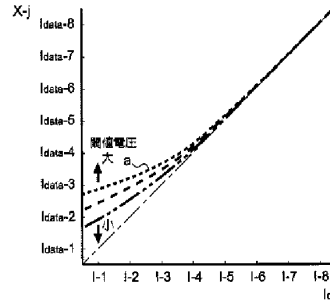
【図4】



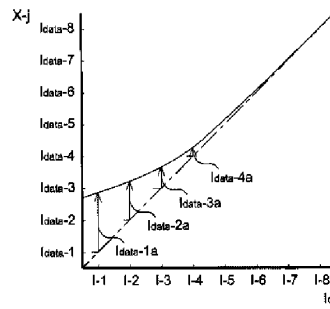
【図5】



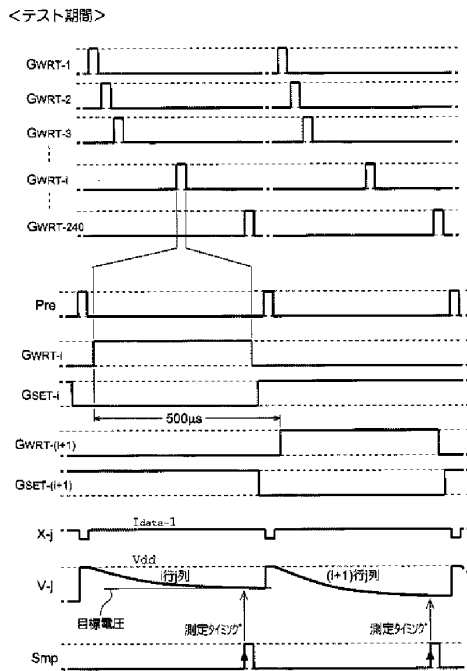
【図6】



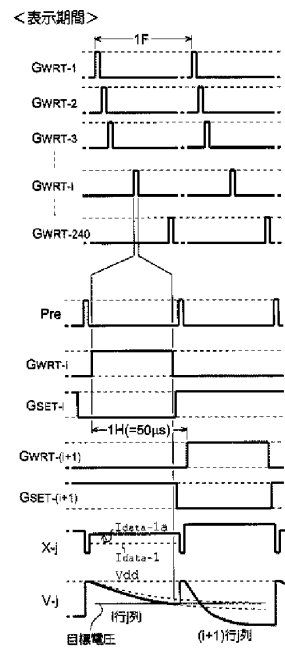
【図7】



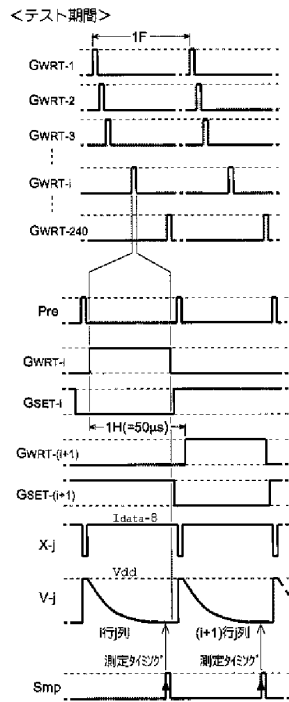
【図8】



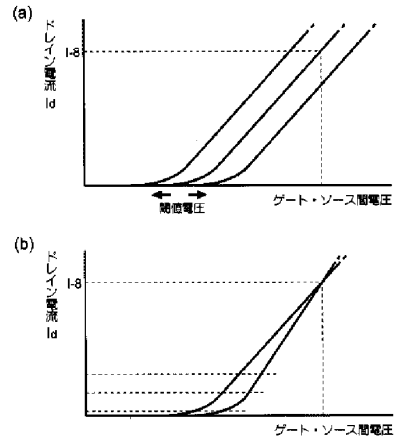
【図9】



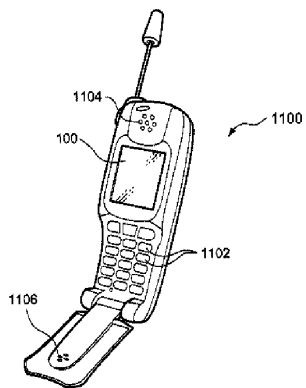
【図10】



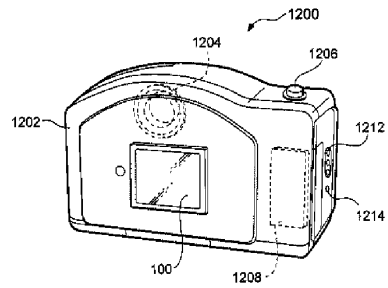
【図11】



【図12】



【図13】



(51)Int.Cl.<sup>7</sup>

F I

テーマコード (参考)

G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 3 1 V
G 0 9 G	3/20	6 4 2 A
H 0 5 B	33/14	A

【要約の続き】

【選択図】 図1

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-119180

(P2006-119180A)

(43) 公開日 平成18年5月11日(2006.5.11)

(51) Int. Cl.	F I	テーマコード (参考)
<b>G09G 3/30 (2006.01)</b>	G09G 3/30 K	3K007
<b>G09G 3/20 (2006.01)</b>	G09G 3/30 J	5C080
<b>H01L 51/50 (2006.01)</b>	G09G 3/20 622A	
	G09G 3/20 623A	
	G09G 3/20 624B	

審査請求 未請求 請求項の数 10 O L (全 17 頁) 最終頁に続く

(21) 出願番号 特願2004-303938 (P2004-303938)  
 (22) 出願日 平成16年10月19日 (2004.10.19)

(71) 出願人 000002369  
 セイコーエプソン株式会社  
 東京都新宿区西新宿2丁目4番1号  
 (74) 代理人 110000028  
 特許業務法人明成国際特許事務所  
 (72) 発明者 城 宏明  
 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内  
 Fターム(参考) 3K007 AB17 BA06 DB03 GA00 GA04  
 5C080 AA06 BB05 DD29 EE29 FF11  
 JJ02 JJ03 JJ04 JJ06 KK02

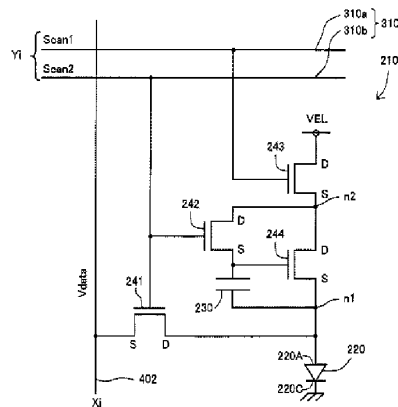
(54) 【発明の名称】 電気光学装置、その駆動方法および電子機器

(57) 【要約】

【課題】 駆動トランジスタのしきい値電圧を補償して、発光素子の発光階調を正確に再現するための技術を提供する。

【解決手段】 プログラミング期間 $T_{pr}$ では、データ信号電圧 $V_{data}$ に応じた電荷量を容量素子に保持させるために、第1と第2のスイッチングトランジスタをオン状態に設定する。また、プログラミング期間 $T_{pr}$ から発光期間 $T_{em}$ に切り替わる際は、第1と第2のスイッチングトランジスタをオフ状態に切り換えることによって、容量素子に、駆動トランジスタのしきい値電圧に依存せず、かつ、データ信号の電圧に依存する電荷量を保持させる。

【選択図】 図2





**【特許請求の範囲】****【請求項1】**

発光素子を含む複数の画素回路がマトリクス状に配列された画素回路マトリクスと、  
前記画素回路マトリクスに接続された複数の走査線と、  
前記画素回路マトリクスに接続された複数のデータ線と、  
前記複数の走査線上に走査信号を出力することによって前記画素回路マトリクスの行を  
順次選択する走査線駆動回路と、

前記発光素子の発光階調に応じた電圧を有するデータ信号を生成して前記複数のデータ  
線に出力するデータ線駆動回路と、

を備え、

各画素回路は、

(i) 高位基準電圧と低位基準電圧との間の電流経路上に設けられた発光素子と、  
(i i) 前記電流経路上において前記発光素子のアノード電極に接続されており、ソース  
及びドレインを構成する第1及び第2のソース/ドレイン電極と、ゲート電極とを有し、  
発光階調に応じた電流を前記発光素子に流すための駆動トランジスタと、

(i i i) 前記駆動トランジスタのゲート電極と前記第1のソース/ドレイン電極との間  
に接続された容量素子と、

(i v) 前記データ線と前記第1のソース/ドレイン電極との間の接続状態を、前記走査  
信号に応じてオン/オフする第1のスイッチングトランジスタと、

(v) 前記駆動トランジスタのゲート電極と前記第2のソース/ドレイン電極との間の接  
続状態を前記走査信号に応じてオン/オフする第2のスイッチングトランジスタと、

(v i) 前記発光素子の電流経路上に設けられ、前記走査信号に応じて前記駆動トランジ  
スタ及び前記発光素子に電流が流れることを許容する第3のスイッチングトランジスタと  
、を備え、

前記走査線駆動回路は、前記データ信号の電圧に応じた電荷量を前記容量素子に保持さ  
せるためのプログラミング期間において前記第1と第2のスイッチングトランジスタをオン  
状態に設定するとともに、前記プログラミング期間から前記発光素子の発光期間に切り  
替わる際に前記第1と第2のスイッチングトランジスタをオフ状態に切り換えることによ  
って、前記容量素子に、前記駆動トランジスタのしきい値電圧に依存せず、かつ、前記デ  
ータ信号の電圧に依存する電荷量を保持させることを特徴とする電気光学装置。

**【請求項2】**

請求項1記載の電気光学装置であって、

前記データ線駆動回路は、前記データ信号の電圧を、前記発光素子の発光時における前  
記アノード電極の電圧よりも低い電圧に設定する、電気光学装置。

**【請求項3】**

請求項1又は2記載の電気光学装置であって、

前記データ線駆動回路は、前記プログラミング期間の前に設けられたプリチャージ期間  
において、前記プログラミング期間中にダイオード接続する前記駆動トランジスタのドレ  
イン側に所定の電圧を印加する、電気光学装置。

**【請求項4】**

表示デバイスとして請求項1ないし3のいずれかに記載の電気光学装置を備える電子機  
器。

**【請求項5】**

画素回路マトリクスを備えた電気光学装置の駆動方法であって、

各画素回路は、

(i) 高位基準電圧と低位基準電圧との間の電流経路上に設けられた発光素子と、  
(i i) 前記電流経路上において前記発光素子のアノード電極に接続されており、ソース  
及びドレインを構成する第1及び第2のソース/ドレイン電極と、ゲート電極とを有し、  
発光階調に応じた電流を前記発光素子に流すための駆動トランジスタと、

( i i i ) 前記駆動トランジスタのゲート電極と前記第1のソース/ドレイン電極との間に接続された容量素子と、

( i v ) データ線と前記第1のソース/ドレイン電極との間の接続状態を、走査信号に応じてオン/オフする第1のスイッチングトランジスタと、

( v ) 前記駆動トランジスタのゲート電極と前記第2のソース/ドレイン電極との間の接続状態を前記走査信号に応じてオン/オフする第2のスイッチングトランジスタと、

( v i ) 前記発光素子の電流経路上に設けられ、前記走査信号に応じて前記駆動トランジスタ及び前記発光素子に電流が流れることを許容する第3のスイッチングトランジスタと、を備え、

前記方法は、

( a ) 前記データ信号の電圧に応じた電荷量を前記容量素子に保持させるためのプログラミング期間において前記第1と第2のスイッチングトランジスタをオン状態に設定する工程と、

( b ) 前記プログラミング期間から前記発光素子の発光期間に切り替わる際に前記第1と第2のスイッチングトランジスタをオフ状態に切り換えることによって、前記容量素子に、前記駆動トランジスタのしきい値電圧に依存せず、かつ、前記データ信号の電圧に依存する電荷量を保持させる工程と、

を備えることを特徴とする電気光学装置の駆動方法。

【請求項6】

請求項5記載の方法であって、

前記データ信号の電圧を、前記発光素子の発光時における前記アノード電極の電圧よりも低い電圧に設定する、方法。

【請求項7】

請求項5又は6記載の方法であって、

前記プログラミング期間の前にプリチャージ期間を設け、前記プリチャージ期間において、前記プログラミング期間中にダイオード接続する前記駆動トランジスタのドレイン側に所定の電圧を印加する、方法。

【請求項8】

発光素子と容量素子とを含む画素回路と、

前記画素回路に接続されたデータ線と、

前記発光素子の発光階調に応じた電圧を有するデータ信号を生成して前記データ線に出力するデータ線駆動回路と、

を備え、

前記データ線駆動回路は、

( i ) 前記画素回路内の容量素子に前記発光素子の発光階調に応じた電荷量を書き込むためのプログラミングを実行するとともに、

( i i ) 前記プログラミング中における前記発光素子のアノード電圧が発光閾値電圧よりも低くなるように、前記データ信号の電圧を設定する、電気光学装置。

【請求項9】

表示デバイスとして請求項8記載の電気光学装置を備える電子機器。

【請求項10】

発光素子と容量素子とを含む画素回路を備えた電気光学装置の駆動方法であって、

前記画素回路にデータ信号を供給することによって、前記画素回路内の容量素子に前記発光素子の発光階調に応じた電荷量を書き込むためのプログラミングを実行するとともに、

前記プログラミング中における前記発光素子のアノード電圧が発光閾値電圧よりも低くなるように、前記データ信号の電圧を設定する、電気光学装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、電気光学装置の駆動技術に関し、特に、電気光学装置に用いる発光素子用

の駆動トランジスタのしきい値電圧を補償する技術に関する。

【背景技術】

【0002】

近年、有機エレクトロルミネッセンス素子や発光ポリマー素子などと呼ばれる自発光型の有機発光ダイオード素子(Organic Light Emitting Diode素子、以下「OLED素子」と呼ぶ)の電気光学的特性を利用した表示装置が注目されている。

【0003】

OLED素子の発光階調の調整は、OLED素子に流れる電流量を制御するトランジスタ(「駆動トランジスタ」と呼ぶ)のゲート/ソース間電圧を調整することによって行われるのが一般的である。しかし、現実には、駆動トランジスタを流れる電流量は、駆動トランジスタのしきい値電圧にも依存する。駆動トランジスタのしきい値電圧は、画素回路毎にばらつくことが多いので、従来は、しきい値電圧のバラツキによって階調が必ずしも正確に再現されない場合があった。また、駆動トランジスタがアモルファスシリコンで構成される場合には、駆動トランジスタのしきい値電圧が経時変化し易いという問題があった。

【0004】

このため、従来から、画素回路毎のしきい値電圧の差異を補償して、正確に発光階調を再現できる技術が望まれていた。

【0005】

【特許文献1】特開2004-133240号公報

【0006】

なお、発光素子の階調を正確に制御したいという要望は、アモルファスシリコン製の駆動トランジスタを用いた装置に限らず、一般に、発光素子をそれぞれ有する複数の画素回路を備えた電気光学装置に共通する問題であった。

【0007】

また、発光素子を用いた電気光学装置では、データ電圧を用いて画素回路の発光階調を設定する処理(「プログラミング」と呼ばれる)の際に発光素子が発光してしまうという問題もあった。

【発明の開示】

【発明が解決しようとする課題】

【0008】

本発明は、駆動トランジスタのしきい値電圧を補償して、発光素子の発光階調を正確に再現するための技術を提供することを第1の目的とする。また、プログラミング時に発光素子による発光を抑制するための技術を提供することを第2の目的とする。

【課題を解決するための手段】

【0009】

本発明による電気光学装置は、  
発光素子を含む複数の画素回路がマトリクス状に配列された画素回路マトリクスと、  
前記画素回路マトリクスに接続された複数の走査線と、  
前記画素回路マトリクスに接続された複数のデータ線と、  
前記複数の走査線上に走査信号を出力することによって前記画素回路マトリクスの行を順次選択する走査線駆動回路と、  
前記発光素子の発光階調に応じた電圧を有するデータ信号を生成して前記複数のデータ線に出力するデータ線駆動回路と、  
を備え、

各画素回路は、

- (i) 高位基準電圧と低位基準電圧との間の電流経路上に設けられた発光素子と、
- (ii) 前記電流経路上において前記発光素子のアノード電極に接続されており、ソース及びドレインを構成する第1及び第2のソース/ドレイン電極と、ゲート電極とを有し、

発光階調に応じた電流を前記発光素子に流すための駆動トランジスタと、  
( i i i ) 前記駆動トランジスタのゲート電極と前記第1のソース/ドレイン電極との間に接続された容量素子と、

( i v ) 前記データ線と前記第1のソース/ドレイン電極との間の接続状態を、前記走査信号に応じてオン/オフする第1のスイッチングトランジスタと、

( v ) 前記駆動トランジスタのゲート電極と前記第2のソース/ドレイン電極との間の接続状態を前記走査信号に応じてオン/オフする第2のスイッチングトランジスタと、

( v i ) 前記発光素子の電流経路上に設けられ、前記走査信号に応じて前記駆動トランジスタ及び前記発光素子に電流が流れることを許容する第3のスイッチングトランジスタと、を備え、

前記走査線駆動回路は、前記データ信号の電圧に応じた電荷量を前記容量素子に保持させるためのプログラミング期間において前記第1と第2のスイッチングトランジスタをオン状態に設定するとともに、前記プログラミング期間から前記発光素子の発光期間に切り替わる際に前記第1と第2のスイッチングトランジスタをオフ状態に切り換えることによって、前記容量素子に、前記駆動トランジスタのしきい値電圧に依存せず、かつ、前記データ信号の電圧に依存する電荷量を保持させることを特徴とする。

【0010】

なお、「ソース/ドレイン電極」とは、ソース又はドレインとして機能する電極を意味している。この電気光学装置によれば、容量素子に保持される電荷量が、データ信号の電圧に依存するが駆動トランジスタのしきい値電圧には依存しないので、駆動トランジスタのしきい値電圧に依存せずに発光素子の発光階調を正確に再現することができる。すなわち、駆動トランジスタのしきい値電圧を補償した発光を行うことができる。

【0011】

前記データ線駆動回路は、前記データ信号の電圧を、前記発光素子の発光時における前記アノード電極の電圧よりも低い電圧に設定するようにすることが好ましい。

【0012】

この構成によれば、プログラミング時に発光素子を発光させないので、画質を向上させることができる。

【0013】

前記データ線駆動回路は、前記プログラミング期間の前に設けられたプリチャージ期間において、前記プログラミング期間中にダイオード接続する前記駆動トランジスタのドレイン側に所定の電圧を印加するようにしてもよい。

【0014】

この構成によれば、プログラミング期間の開始時における駆動トランジスタのドレイン側の電圧が安定するので、プログラミングをより確実に行うことが可能である。

【0015】

本発明による他の電気光学装置は、  
発光素子と容量素子とを含む画素回路と、  
前記画素回路に接続されたデータ線と、  
前記発光素子の発光階調に応じた電圧を有するデータ信号を生成して前記データ線上に出力するデータ線駆動回路と、  
を備え、

前記データ線駆動回路は、  
( i ) 前記画素回路内の容量素子に前記発光素子の発光階調に応じた電荷量を書き込むためのプログラミングを実行するとともに、

( i i ) 前記プログラミング中における前記発光素子のアノード電圧が発光閾値電圧よりも低くなるように、前記データ信号の電圧を設定する。

【0016】

このような電気光学装置では、プログラミング期間において、プログラミング対象の画素が発光することを防止することができる。

## 【0017】

なお、本発明は、種々の形態で実現することが可能であり、例えば、画素回路、画素回路のための駆動回路、電気光学装置、電気光学装置を備えた電子機器、それらの装置の駆動方法、それらの方法または装置の機能を実現するためのコンピュータプログラム、そのコンピュータプログラムを記録した記録媒体、そのコンピュータプログラムを含み搬送波内に具現化されたデータ信号、等の形態で実現することができる。

【発明を実施するための最良の形態】

## 【0018】

次に、本発明の実施の形態を実施例に基づいて以下の順序で説明する。

- A. 第1実施例：
- B. 第2実施例：
- C. 電子機器への適用例：
- D. 変形例

## 【0019】

- A. 第1実施例：

図1は、本発明の一実施例としての電気光学装置の構成を概略的に示すブロック図である。この電気光学装置100は、画素領域200と、走査線駆動回路300と、データ線駆動回路400と、制御回路500とを備えている。電気光学装置100は、画素領域200に画像を表示させる画像表示装置である。なお、以下の説明では、図1に示すX方向を行方向とも呼び、Y方向を列方向とも呼ぶものとする。

## 【0020】

画素領域200には、X方向（行方向）に伸びるm本の走査線310が、互いに平行に配設されている。また、画素領域200には、X方向と直交するY方向（列方向）に伸びるn本のデータ線402が、互いに平行に配設されている。そして、任意の1行分の走査線310と、任意の1列分のデータ線402とが交差する位置に、1つの画素回路210が設けられている。すなわち、画素領域200には、m行n列の画素回路210が設けられている。

## 【0021】

走査線駆動回路300は、1行目～m行目の各走査線310に対応した走査信号Y1～Ymを生成し、これらの走査信号Y1～Ymをそれぞれに対応する走査線310に出力する。データ線駆動回路400は、画素回路210が表示する階調を制御するための階調信号X1～Xnを生成し、データ線402を介して各画素回路210に供給する。なお、階調信号X1～Xnを「データ信号」とも呼ぶ。

## 【0022】

図2は、i行目j列目の画素回路の一例を示す説明図である。なお、本実施例では、1行分の走査線310は、2本のサブ走査線310a、310bを含んでいる。2本のサブ走査線310a、310bには、走査信号Scan1、Scan2がそれぞれ出力される。これらについては後述する。

## 【0023】

画素回路210は、自発光素子であるOLED素子220と、容量素子230と、4つのトランジスタ241～244とを備えている。4つのトランジスタ241～244は、いずれもnチャネル型のTFTである。

## 【0024】

第4のトランジスタ244は、OLED素子220に流れる電流を調整する駆動トランジスタとしての機能を有している。容量素子230は、この駆動トランジスタのゲートとソースとの間に接続されている。この容量素子230は、データ信号Xjの電圧Vdataに応じた電荷を保持し、この電荷に応じて駆動トランジスタ244のゲート/ソース間電圧を設定する機能を有している。一般に、データ信号Xjに応じて容量素子230に電荷を保持させる（書き込む）動作は、「プログラミング」と呼ばれている。また、データ信号Xjの電圧Vdataに応じてプログラミングを行う方式は、「電圧プログラミング」と呼ば

れている。第1ないし第3のトランジスタ241～243は、プログラミングの動作と、OLED素子220の発光動作とを制御するためのスイッチングトランジスタとして機能する。これらの動作については後述する。

【0025】

OLED素子220は、アノード電極220Aとカソード電極220Cとの間に発光層が挟持されており、順方向電流に応じた輝度で発光する。発光層としては、各画素回路210のOLED素子220の発光色（例えばR、G、Bの3色の内のいずれか1色）に応じた有機EL材料が用いられている。OLED素子220のカソード電極220Cは、すべての画素回路210に対して共通となっている。

【0026】

OLED素子220は、電源電位VEL（高位基準電圧）と接地電位（低位基準電圧）との間の電流経路上に設けられている。すなわち、電源電位VELと接地電位との間には、第3のトランジスタ243と、駆動トランジスタ244と、OLED素子220とが直列に接続されている。OLED素子220のカソード電極220Cは接地されており、アノード電極220Aは駆動トランジスタ244のソースに接続されている。駆動トランジスタ244のドレインは、第3のトランジスタ243のソースに接続されている。第3のトランジスタ243のドレインは、電源電位VELに接続されている。第3のトランジスタ243のゲートは、第1のサブ走査線310aに接続されている。

【0027】

第1のトランジスタ241は、データ線402と、駆動トランジスタ244のソース側のノードn1との間に設けられており、第2の走査信号Scan2に応じてこれらの間の接続状態をオン/オフする。第2のトランジスタ242は、駆動トランジスタ244のドレイン側のノードn2とゲートとの間に設けられており、第2の走査信号Scan2に応じてこれらの間の接続状態をオン/オフする。第1と第2のトランジスタ241、242のゲートは、いずれも第2のサブ走査線310bに接続されている。

【0028】

図3(a)～(i)は、電気光学装置100の全体動作を示すタイミングチャートである。ここでは、画素領域200（図1）が8行で構成されているものと仮定しており、図3(a)～(h)に8本の走査信号Y1～Y8を示している。これらの走査信号Y1～Y8のレベル変化は、図2に示す第2の走査信号Scan2によるものである。

【0029】

1行目の走査線310に出力される走査信号Y1は、1垂直走査期間Tv内において、1垂直走査期間の最初のタイミングから1水平走査期間Thの間Hレベルとなり、その他の期間はLレベルとなるパルス信号である。また、2行目の走査線310に出力される走査信号Y2は、走査信号Y1がHレベルからLレベルとなるタイミングから1水平走査期間Thの間Hレベルとなるパルス信号である。このように走査信号Y1～Y8は、1垂直走査期間Tv内において、1水平走査期間Thの間だけHレベルとなり、かつHレベルとなる期間が順々にずれているようなパターンを、1垂直走査期間Tv毎に繰り返す信号となっている。1垂直走査期間Tvを「1フレーム期間」または「1フレーム」とも呼ぶ。i行目の走査線310に供給される走査信号YiがHレベルになると、i行目の走査線310に接続された複数の画素回路210が選択され、各画素回路210内の容量素子230に、データ信号Xj（図3(i)）の電圧Vdataに応じた容量が設定される。走査線駆動回路300は、最初に1行目の走査線310に接続された複数の画素回路210のプログラミングを行い、その後、2行目以降の走査線310に接続された画素回路210を1行ずつ順に8行目までプログラミングを行い、以降、1行目に戻って画素回路210のプログラミングを繰り返すこととなる。各画素回路210は、プログラミングされた後は、次のプログラミングが開始されるまでの間、一定の階調で発光を継続する。

【0030】

図4は、第1実施例におけるプログラミング期間と発光期間の動作の詳細を示す説明図である。図4(A)には、2つの走査信号Scan1、Scan2と、データ信号電圧Vdataのタ

イミングチャートが示されている。プログラミング期間 $T_{pr}$ は、図3の1水平走査期間 $T_h$ に相当する。また、発光期間 $T_{em}$ は、プログラミング期間 $T_{pr}$ 以外の期間を意味している。

【0031】

プログラミング期間 $T_{pr}$ は、第1の期間 $T_{p1}$ と第2の期間 $T_{p2}$ とに区分されている。第1の期間 $T_{p1}$ では、第1と第2の走査信号 $Scan1$ 、 $Scan2$ はいずれもHレベルに設定される。

【0032】

図4(B)は、第1の期間 $T_{p1}$ における画素回路210の等価回路を示している。第1の期間 $T_{p1}$ では、第1ないし第3のトランジスタ241~243がいずれもオンとなるので、図4(B)に示す等価回路では、駆動トランジスタ244のドレインがゲートと電源電位 $V_{EL}$ とに接続された状態となる。また、駆動トランジスタ244のソース側のノード $n1$ には、データ信号電圧 $V_{data}$ が印加される。この状態では、駆動トランジスタ244はダイオード接続されているので、そのゲートの電圧は電源電位 $V_{EL}$ となる。

【0033】

なお、プログラミング期間 $T_p$ 中は、OLED素子220を発光させないことが好ましい。このためには、データ信号電圧 $V_{data}$ を、OLED素子220の発光時のアノード電圧 $V_{ELA}$ よりも小さい値に設定することが好ましく、特に、OLED素子220の発光閾値電圧よりも小さな値に設定することが好ましい。但し、プログラミング期間 $T_p$ 中にOLED素子220の発光を許容してもよい。

【0034】

図4(C)は、第2の期間 $T_{p2}$ における画素回路210の等価回路を示している。第2の期間 $T_{p2}$ では、第1の走査信号 $Scan1$ がLレベルに下がるので、第3のトランジスタ243がオフとなり、図4(C)に示す等価回路では、駆動トランジスタ244のドレイン側のノード $n2$ が電源電位 $V_{EL}$ から切断される。なお、駆動トランジスタ244のソース側のノード $n1$ には、データ信号電圧 $V_{data}$ が印加されたままである。駆動トランジスタ244はダイオード接続されているので、そのゲート電圧は次第に低下してゆき、最終的にはソースの電圧 $V_{data}$ にしきい値電圧 $V_{th}$ を加算した値( $V_{data}+V_{th}$ )となる。また、容量素子230に保持される電荷量は、しきい値電圧 $V_{th}$ に依存せず、データ信号電圧 $V_{data}$ のみに依存している。

【0035】

なお、前述した第1の期間 $T_{p1}$ で第3のトランジスタ243をオンさせていた理由は、仮に第1の期間 $T_{p1}$ に第3のトランジスタ243をオフさせて図4(C)の等価回路状態にすると、駆動トランジスタ244がオンしない可能性があるためである。但し、データ信号電圧 $V_{data}$ が十分低い場合には、第1の期間 $T_{p1}$ を省略することができる。このように、第1の期間 $T_{p1}$ は省略できるので、第2の期間 $T_{p2}$ を狭義の「プログラミング期間」と呼ぶことができる。

【0036】

図4(D)は、発光期間 $T_{em}$ における画素回路210の等価回路を示している。発光期間 $T_{em}$ では、第1の走査信号 $Scan1$ が再びHレベルに立ち上がるので、第3のトランジスタ243がオンとなる。また、第2の走査信号 $Scan2$ がLレベルに下がるので、第1と第2のトランジスタ241、242がオフとなる。この結果、図4(D)に示す等価回路では、駆動トランジスタ244のドレインが電源電位 $V_{EL}$ に接続され、また、ゲートとドレイン間が切断される。

【0037】

このときの駆動トランジスタ244のゲートの電圧 $V_g$ は、以下の(1)式で与えられる。

$$V_g = V_{data} + V_{th} + k \Delta V_{n1} \quad \dots (1)$$

ここで、 $\Delta V_{n1}$ は駆動トランジスタ244のソース側のノード $n1$ における電圧の変化量であり、( $V_{ELA} - V_{data}$ )に等しい。 $V_{ELA}$ は、OLED素子220の発光時のアノード

電圧である。

【0038】

また、上記(1)式のkは、容量素子230の容量Caと、駆動トランジスタ244のゲートの寄生容量Cp(図4(D))とに応じて決まる定数であり、ノードn1の電圧変化ΔVn1と、これによる駆動トランジスタ244のゲートの電圧変化との比を示している。この定数kは、以下の(2)式で与えられる。

$$k = C_p / (C_a + C_p) \quad \dots (2)$$

なお、寄生容量Cpの主なものは、駆動トランジスタ244のゲート容量である。

【0039】

上記(1)式にΔVn1=(VELA-Vdata)を代入すると、以下の(3)式が得られる。

$$\begin{aligned} V_g &= V_{data} + V_{th} + k(V_{ELA} - V_{data}) \\ &= (1-k)V_{data} + V_{th} + k \cdot V_{ELA} \quad \dots (3) \end{aligned}$$

【0040】

発光期間Temにおける駆動トランジスタ244のソース電圧Vsは、OLED素子220のアノード電圧VELAに等しい。上記(3)式を利用すると、駆動トランジスタ244及びOLED素子220に流れる電流Iは、以下の(4)式で与えられる。

$$\begin{aligned} I &= 0.5\beta \{ (V_g - V_s) - V_{th} \}^2 \\ &= 0.5\beta \{ ( (1-k)V_{data} + V_{th} + k \cdot V_{ELA} - V_{ELA} ) - V_{th} \}^2 \\ &= 0.5\beta \{ (1-k)V_{data} - (1-k)V_{ELA} \}^2 \quad \dots (4) \end{aligned}$$

ここで、βは駆動トランジスタ244の利得係数である。

【0041】

上記(4)式から理解できるように、OLED素子220の電流値Iは、駆動トランジスタ244のしきい値電圧Vthに依存しない。従って、電気光学装置100内の個々の画素回路210においてしきい値電圧Vthのバラツキがあっても、各画素回路210で正確な発光階調を再現することができる。換言すれば、図4の動作では、しきい値電圧Vthを補償したプログラミングが行われている。また、データ信号電圧Vdataは、上記(4)式を考慮して、各発光階調に適した値に設定される。この際、定数kとアノード電圧VELAの値は、実験的に決定された値が使用される。

【0042】

このように、第1実施例では、OLED素子220を流れる電流値Iがしきい値電圧Vthに依存しないように容量素子230をプログラミングしているため、各画素回路210において正確な発光階調を再現することが可能である。

【0043】

また、データ信号電圧VdataをOLED素子220の発光時のアノード電圧VELAよりも小さい値に設定することによって、プログラミング期間Tpr中にOLED素子220を発光させないようにしているため、高画質な画像を表示することが可能である。

【0044】

なお、第1の期間Tp1は、駆動トランジスタ244のドレインを一定電圧(第1実施例ではVEL)にチャージするプリチャージ期間であると考えられることも可能である。プリチャージ電圧としては、VEL以外の任意の電圧値を採用することができる。このようなプリチャージ期間Tp1を設けないと、狭義のプログラミング期間Tp2の直前における駆動トランジスタ244のドレイン電圧のレベルによっては、プログラミング期間Tp2においてしきい値電圧Vthの補償が十分でなく、発光階調がずれてしまう可能性がある。これに対して、プリチャージ期間Tp1を設けるようにすれば、プログラミング期間Tp2開始時のドレイン電圧が常に一定なので、プログラミング期間Tp2中におけるしきい値電圧Vthの補償をより確実に行うことが可能である。

【0045】

B. 第2実施例:

図5は、第2実施例における画素回路210aの構成を示す回路図である。図2に示し



た画素回路210との大きな差異は、容量素子230と第2のトランジスタ242の位置が入れ替わっている点にある。すなわち、容量素子230は、駆動トランジスタ244のゲートとドレインとの間に接続されている。また、第2のトランジスタ242は、駆動トランジスタ244のゲートとソースとの間に接続されている。この変更に伴って、第1のトランジスタ241の位置も、駆動トランジスタ244のドレイン側に接続されるよう変更されている。第3のトランジスタ243aは、pチャネルTFTに変更されている。また、走査線310は1本のみであり、1つの走査信号Scanが3つのトランジスタ241、242、243aのゲートにそれぞれ供給されている。走査線310が1本で済む理由は後述する。なお、第2実施例ではpチャネルTFTを使用するので、アモルファスシリコンではなく、ポリシリコンを用いてトランジスタが形成される。

**【0046】**

図6は、第2実施例におけるプログラミング期間と発光期間の動作の詳細を示す説明図である。図6(A)には、走査信号Scanと、データ信号電圧Vdataのタイミングチャートが示されている。

**【0047】**

プログラミング期間Tprは、第1実施例のような2つの期間には区分されていない。走査信号Scanは、プログラミング期間TprにおいてHレベルとなり、それ以外の期間である発光期間TemにおいてLレベルとなる。

**【0048】**

但し、プログラミング期間Tprの前に、プログラミング期間Tprにおいてダイオード接続する駆動トランジスタ244のドレインを一定電圧にチャージするプリチャージ期間を設けることも可能である。ここで、「プログラミング期間Tprにおいてダイオード接続する駆動トランジスタ244のドレイン」とは、ダイオード接続時におけるドレインを意味しており、図6(B)の例では、駆動トランジスタ244の下側(ノードn1側)のソース/ドレイン電極を意味している。プリチャージ電圧としては、駆動トランジスタ244のしきい値Vthを採用してもよく、また、これ以外の任意の電圧値を採用してもよい。また、プリチャージを行うために、プリチャージ用のトランジスタを画素回路内に設けるようにしてもよい。プリチャージ期間を設けるようにすれば、プログラミング期間Tpr開始時のドレイン電圧が常に一定になるので、プログラミング期間Tpr中におけるしきい値電圧Vthの補償をより確実に行うことが可能である。

**【0049】**

図6(B)は、プログラミング期間Tprにおける画素回路210aの等価回路を示している。第2実施例のプログラミング期間Tprでは、第1と第2のトランジスタ241、242がいずれもオンとなるが、第3のトランジスタ243はオフに保たれる。この結果、図6(B)に示す等価回路では、駆動トランジスタ244のソース側のノードn1とゲートとが接続状態となる。また、駆動トランジスタ244のドレイン側のノードn2には、データ信号電圧Vdataが印加される。なお、ここでの説明における「駆動トランジスタ244のソース」という用語は、発光期間Temにおいてソースとなる電極を意味している。

**【0050】**

第2実施例においても、データ信号電圧Vdataは、発光時におけるOLED素子220のアノード電圧VELAよりも小さな値に設定される。プログラミング期間Tprの初期には、駆動トランジスタ244のソース側のノードn1の電圧はOLED素子220の発光時のアノード電圧VELAに近い値を有しており、ドレイン側のノードn2の電圧はこれよりも低い電圧Vdataとなっている。従って、図6(B)に示すように、プログラミング期間Tprでは、駆動トランジスタ244のソースとドレインとの関係が、発光期間Temにおける関係と逆になる。すなわち、ノードn1側がドレインとして機能し、ノードn2側がソースとして機能する。このとき、駆動トランジスタ244のゲートとドレイン(ノードn1)とが接続されたダイオード接続が実現されるので、そのゲート電圧は、ソース側のノードn2の電圧Vdataにしきい値電圧Vthを加算した値(Vdata+Vth)となる。また、このとき容量素子230に保持される電荷量は、しきい値電圧Vthに依存せず、データ信号

電圧Vdataのみに依存する。

【0051】

一般に良く知られているように、トランジスタのソースとドレインとは互いに交換可能である。そこで、本明細書では、ソース又はドレインとして機能する電極を「ソース/ドレイン電極」とも呼ぶ。ソース/ドレイン電極がソースとして機能するか、ドレインとして機能するかは、2つのソース/ドレイン電極に印加される電圧の関係によって決定される。

【0052】

なお、第2実施例の画素回路210aでは、プログラミング期間Tprにおいて駆動トランジスタ244をオン状態にするために、駆動トランジスタ244の2つのソース/ドレイン電極の一方を電源電位VELに接続する必要は無い。そこで、第2実施例では、プログラミング期間Tprの全体を通じて第3のトランジスタ243aをオフに設定している。この点は、図4(B)に示した第1実施例と異なる点である。また、この動作は、第3のトランジスタ243aをpチャネルTFTとして構成し、そのゲートに走査信号Scanを与えることによって実現されている。この構成によれば、1行分の走査線310が1本で済むので、回路構成が単純になり、開口率も向上するという利点がある。

【0053】

図6(C)は、発光期間Temにおける画素回路210aの等価回路を示している。発光期間Temでは、走査信号ScanがLレベルに下がるので、第1と第2のトランジスタ241、242がオフとなり、第3のトランジスタ243aがオンとなる。この結果、図6(C)に示すように、駆動トランジスタ244のドレイン側のノードn2が電源電位VELに接続され、また、ゲートとソース間が切断される。

【0054】

このときの駆動トランジスタ244のゲート電圧Vgは、以下の(5)式で与えられる。

$$Vg = Vdata + Vth + k \Delta Vn2 \quad \dots (5)$$

ここで、 $\Delta Vn2$ は駆動トランジスタ244のドレイン側のノードn2における電圧の変化量であり、 $(VEL - Vdata)$ に等しい。また、上記(5)式の定数kは、上述した(2)式で与えられる値である。

【0055】

上記(5)式に $\Delta Vn2 = (VEL - Vdata)$ を代入すると、以下の(6)式が得られる。

$$\begin{aligned} Vg &= Vdata + Vth + k (VEL - Vdata) \\ &= (1 - k) Vdata + Vth + k \cdot VEL \quad \dots (6) \end{aligned}$$

【0056】

また、発光期間Temにおける駆動トランジスタ244のソース電圧Vsは、OLED素子220のアノード電圧VELAに等しい。上記(6)式を利用すると、駆動トランジスタ244及びOLED素子220に流れる電流Iは、以下の(7)式で与えられる。

$$\begin{aligned} I &= 0.5 \beta \{ (Vg - Vs) - Vth \}^2 \\ &= 0.5 \beta \{ ( (1 - k) Vdata + Vth + k \cdot VEL - VELA ) - Vth \}^2 \\ &= 0.5 \beta \{ (1 - k) Vdata + k \cdot VEL - VELA \}^2 \quad \dots (7) \end{aligned}$$

【0057】

上記(7)式から理解できるように、第2実施例においても、OLED素子220を流れる電流値Iがしきい値電圧Vthに依存しないように容量素子230をプログラミングしているので、各画素回路210において正確な発光階調を再現することが可能である。

【0058】

また、データ信号電圧VdataをOLED素子220の発光時のアノード電圧VELAよりも小さい値に設定することによってプログラミング期間Tpr中にOLED素子220を発光させないようにしているので、高画質な画像を表示することが可能である。

【0059】

C. 電子機器への適用例：

上記各実施例において説明した電気光学装置100は、電子機器に適用することができる。図7は、電気光学装置を適用したモバイル型のパーソナルコンピュータの概略構成を示す説明図である。パーソナルコンピュータ800は、表示ユニットとしての電気光学装置100と、本体部830と、電源スイッチ810と、キーボード820とを備えている。この電気光学装置100は、OLED素子220(図2)を用いているので、視野角が広く見やすい表示ユニットとなる。

## 【0060】

電気光学装置100が適用される電子機器としては、他に、携帯電話機、情報携帯端末(PDA: Personal Digital Assistants)、デジタルスチルカメラ、テレビ、ビューファインダ型・モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS端末、タッチパネルを備えた機器等が挙げられる。これらの電子機器の表示部として、電気光学装置100が適用可能である。また、光書込型のプリンタや電子複写機などの書込ヘッドにも適用可能である。

## 【0061】

## D. 変形例

なお、この発明は上記の実施例や実施形態に限られるものではなく、その要旨を逸脱しない範囲において種々の態様において実施することが可能であり、例えば次のような変形も可能である。

## 【0062】

## D1. 変形例1:

図4に示した第1実施例の構成において、第2のトランジスタ242のドレインと第2のノードn2との間に容量素子を追加してもよい。換言すれば、駆動トランジスタ244のゲート/ソース間と、ゲート/ソース間との両方に容量素子を設けるようにしてもよい。この構成には、次のような利点がある。すなわち、図4(D)に示した発光状態において、駆動トランジスタ244のゲート電圧は $(V_{data} + V_{th} + k \Delta V_{n1})$ となるものとしたが、プログラミング期間(特に第2の期間 $T_{pr2}$ )が十分に長くない場合には駆動トランジスタ244のゲート電圧がこの値 $(V_{data} + V_{th} + k \Delta V_{n1})$ に達せず、 $(V_{data} + V_{th} + \alpha)$ となる可能性がある。ここで、 $\alpha$ は $k \Delta V_{n1}$ よりも小さな値である。換言すれば、プログラミング期間 $T_{pr2}$ におけるしきい値電圧 $V_{th}$ の補償が十分に無い可能性がある。この場合には、発光期間 $T_{em}$ において、駆動トランジスタ244のゲート電圧が低いので、駆動トランジスタ244がオンせず、発光しない可能性も否定できない。これに対して、第2のトランジスタ242のドレインと第2のノードn2との間に容量素子を追加すれば、プログラミング期間 $T_{pr2}$ が短い場合にも、発光期間 $T_{em}$ (図4(D))において駆動トランジスタ244のゲート電圧が十分に上昇するので、駆動トランジスタ244が確実にオンし、OLED20を発光させることが可能である。

## 【0063】

なお、第2実施例においても同様に、駆動トランジスタ244のゲート/ソース間と、ゲート/ソース間との両方に容量素子を設けるようにしてもよい。

## 【0064】

## D2. 変形例2:

上記第1実施例では、画素回路内のトランジスタをアモルファスシリコンで構成し、また、第2実施例ではトランジスタをポリシリコンで構成していたが、本発明は他の半導体材料を用いて画素回路内のトランジスタを構成した場合にも適用可能である。

## 【0065】

また、上記各実施例では、画素回路内のトランジスタの各トランジスタをnチャネルタイプとするかpチャネルタイプとするかは任意であり、上記実施例と異なるタイプにすることも可能である。

## 【0066】

## D3. 変形例3:

上記各実施例の特徴の一部のみを備えた画素回路や電気光学装置を構成することも可能である。例えば、本発明の一実施形態として、プログラミング期間中において発光素子が発光しないようにデータ信号電圧Vdataの値を設定する電気光学装置を構成することも可能である。より正確に言えば、この電気光学装置では、プログラミング期間における発光素子のアノード電圧がその発光閾値電圧よりも低くなるように、データ信号電圧Vdataが設定される。このような電気光学装置では、プログラミング期間において、プログラミング対象の画素が発光することを防止できるという利点がある。なお、画素回路はマトリクス状に配列されている必要は無く、任意の配列方法を採用することが可能である。

【0067】

#### D4. 変形例4：

上記各実施例では、自発光素子としてOLED素子220を用いた電気光学装置100を例に用いて説明したが、他の自発光素子を用いることも可能である。例えば、自発光素子として、無機EL素子、フィールドエミッション素子(FED)、表面電動型エミッション素子(SED)、弾道電子放出素子(BSD)、発光ダイオード(LED)等を用いてもよい。

【図面の簡単な説明】

【0068】

【図1】本発明の一実施例としての電気光学装置の構成を概略的に示すブロック図である。

【図2】第1実施例の画素回路の構成を示す回路図である。

【図3】電気光学装置の全体の動作を示すタイミングチャートである。

【図4】第1実施例におけるプログラミング期間と発光期間の動作の詳細を示す説明図である。

【図5】第2実施例の画素回路の構成を示す回路図である。

【図6】第2実施例におけるプログラミング期間と発光期間の動作の詳細を示す説明図である。

【図7】電気光学装置を適用したモバイル型のパーソナルコンピュータの概略構成を示す説明図である。

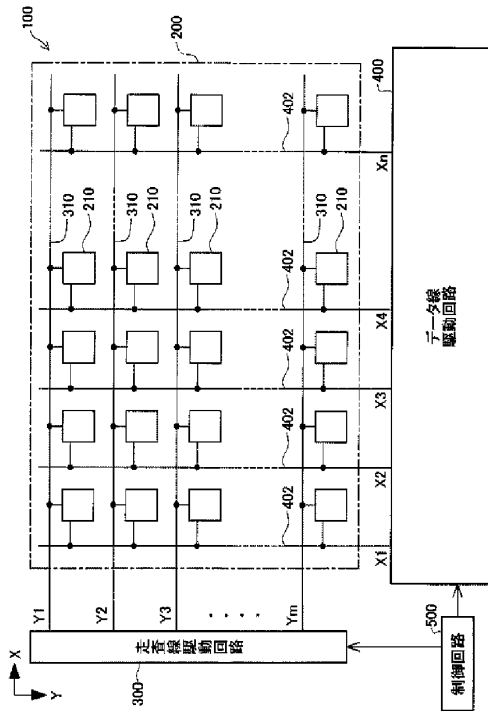
【符号の説明】

【0069】

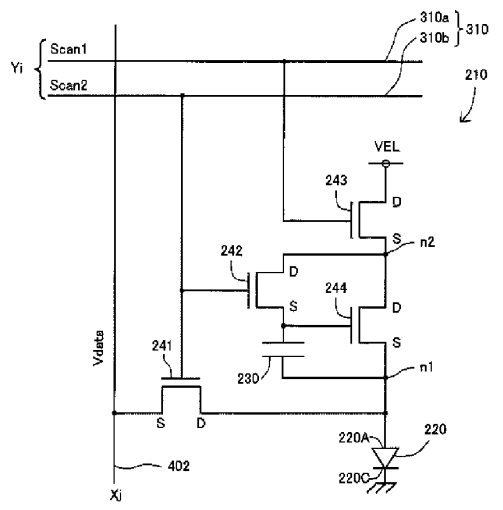
- 100...電気光学装置
- 200...画素領域
- 210...画素回路
- 220...OLED素子
- 220A...アノード電極
- 220C...カソード電極
- 230...容量素子
- 241...第1のトランジスタ
- 242...第2のトランジスタ
- 243...第3のトランジスタ
- 244...第4のトランジスタ(駆動トランジスタ)
- 300...走査線駆動回路
- 310...走査線
- 310a, 310b...サブ走査線
- 400...データ線駆動回路
- 402...データ線
- 500...制御回路
- 800...パーソナルコンピュータ
- 810...電源スイッチ
- 820...キーボード

830...本体部

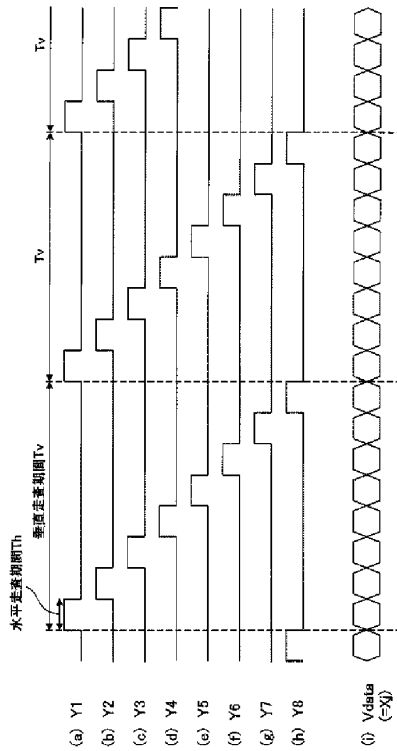
【図1】



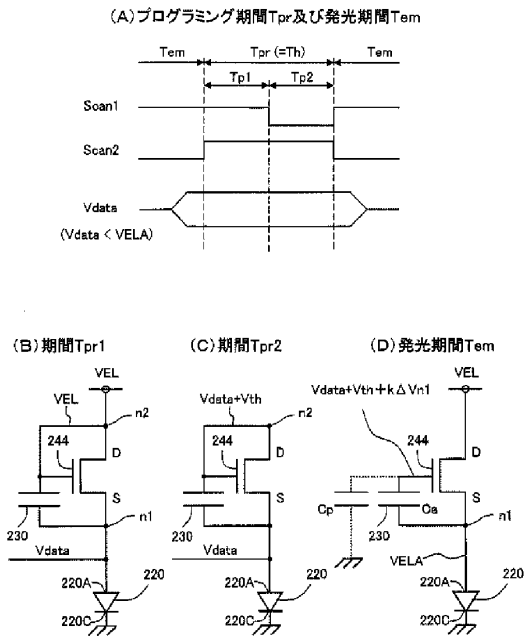
【図2】



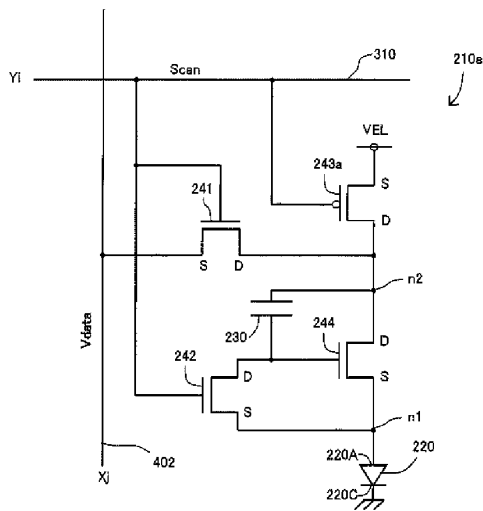
【図3】



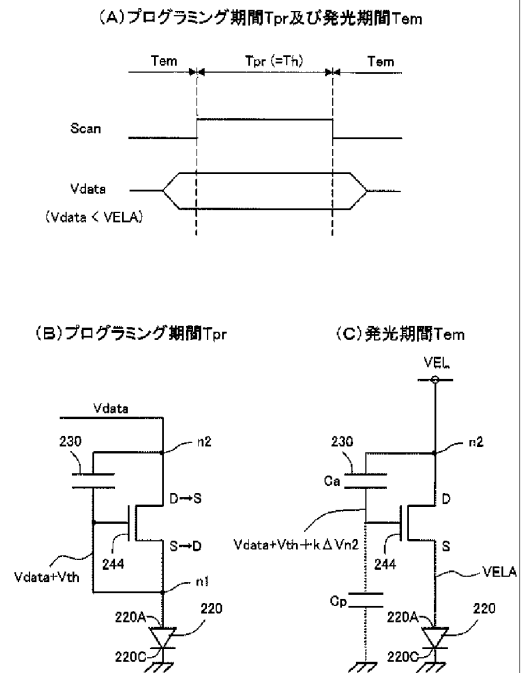
【図4】



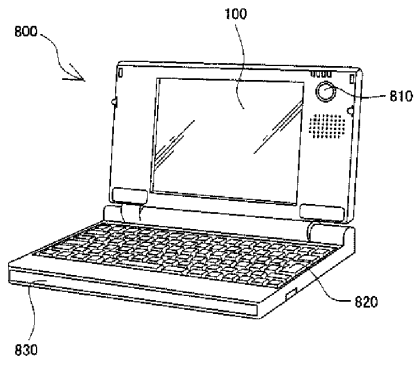
【図5】



【図6】



【図7】



( 1 7 )

特開2006-119180(P2006-119180A)

(51)Int.Cl.

F I

テーマコード (参考)

G 0 9 G 3/20 6 7 0 J  
H 0 5 B 33/14 A



(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-178028

(P2006-178028A)

(43) 公開日 平成18年7月6日(2006.7.6)

(51) Int. Cl.	F I	テーマコード(参考)
<b>G09G 3/30 (2006.01)</b>	G09G 3/30 K	3K007
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 611H	5C080
<b>H01L 51/50 (2006.01)</b>	G09G 3/20 621F	
	G09G 3/20 623C	
	G09G 3/20 624B	
審査請求 有 請求項の数 34 O L (全 40 頁) 最終頁に続く		

(21) 出願番号 特願2004-368850 (P2004-368850)  
 (22) 出願日 平成16年12月21日(2004.12.21)

(71) 出願人 000001443  
 カシオ計算機株式会社  
 東京都渋谷区本町1丁目6番2号  
 (74) 代理人 100096699  
 弁理士 鹿嶋 英貴  
 (72) 発明者 白崎 友之  
 東京都八王子市石川町2951番地の5  
 カシオ計算機株式会  
 社八王子技術センター内  
 (72) 発明者 小倉 潤  
 東京都八王子市石川町2951番地の5  
 カシオ計算機株式会  
 社八王子技術センター内  
 Fターム(参考) 3K007 AB02 AB11 AB17 BA06 DB03  
 GA00 GA04  
 最終頁に続く

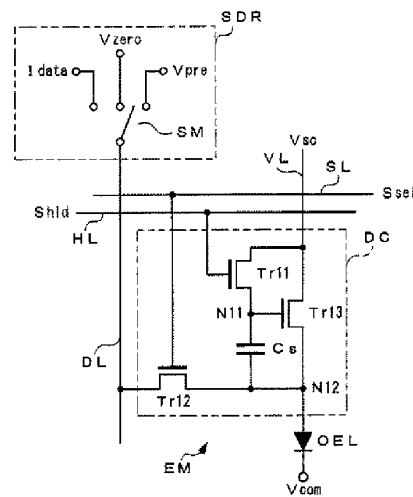
(54) 【発明の名称】 発光駆動回路及びその駆動制御方法、並びに、表示装置及びその表示駆動方法

(57) 【要約】

【課題】 表示データに応じた適切な輝度階調で発光素子を発光駆動させる動作を実現することができる発光駆動回路及びその駆動制御方法を提供し、以て、表示画質が良好な表示装置及びその表示駆動方法を提供する。

【解決手段】 発光駆動回路DCは、ゲート端子が選択ラインSLに、ソース端子及びドレイン端子がデータラインDL及び接点N12に各々接続された選択トランジスタTr12と、ゲート端子が選択ラインSLに並行に配設された保持ラインHLに、ソース端子及びドレイン端子が供給電圧ラインVL及び接点N11に各々接続された保持トランジスタTr11と、ゲート端子が接点N11に、ドレイン端子が供給電圧ラインVLに接続されるとともに、ソース端子が接点N12に各々接続された駆動トランジスタTr13と、接点N11及び接点N12間に接続されたコンデンサCsと、を備えた構成を有している。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項1】

電流路を有し、前記電流路から発光駆動電流を流す発光制御手段と、

前記発光制御手段に流れる電流の電流値に応じた電荷を蓄積する電荷蓄積手段と、

発光素子が無発光輝度階調以外の所定の輝度階調で発光動作させる程度の電流値の電流を前記発光制御手段に流して、前記所定の輝度階調相当の電荷を前記電荷蓄積手段に蓄積させる電圧設定手段と、

無発光輝度階調信号に基づいて、前記電荷蓄積手段に蓄積された前記所定の輝度階調相当の電荷を、前記発光素子が無発光状態となるような電流値の発光駆動電流に相当する電荷或いは発光駆動電流が流れない程度の電荷になるまで放電する階調設定手段と、

を備えることを特徴とする発光駆動回路。

## 【請求項2】

前記階調設定手段は、前記無発光輝度階調信号及び無発光輝度階調以外の輝度階調相当の階調信号を選択的に供給することを特徴とする請求項1記載の発光駆動回路。

## 【請求項3】

前記無発光輝度階調は所定の電圧値の電圧信号であり、前記無発光輝度階調以外の輝度階調相当の階調信号は所定の電流値の電流信号であることを特徴とする請求項2記載の発光駆動回路。

## 【請求項4】

前記階調設定手段は、

プリチャージ期間に、前記発光素子が無発光輝度階調以外の前記所定の輝度階調よりも高い輝度階調で発光動作させる程度の電流値のプリチャージ電流を前記発光制御手段に流させて前記電荷蓄積手段に前記高い輝度階調相当の電荷を蓄積させることを特徴とする請求項1乃至3のいずれかに記載の発光駆動回路。

## 【請求項5】

前記電圧設定手段は、

補正動作期間に、前記発光素子が無発光輝度階調以外の前記所定の輝度階調で発光動作させる程度の電流値の補正電流を前記発光制御手段に流させて前記電荷蓄積手段に蓄積された電荷の一部を放電させることを特徴とする請求項4に記載の発光駆動回路。

## 【請求項6】

前記発光制御手段は、

制御端子を備え、前記制御端子と前記電流路の一端との間の電位差によって前記発光駆動電流の電流値が設定される駆動トランジスタを、

有することを特徴とする請求項1乃至5のいずれかに記載の発光駆動回路。

## 【請求項7】

前記発光制御手段は、

制御端子を備え、書込動作期間に前記階調信号として前記電流路に流れる書込電流の電流値に基づいた電流値の前記発光駆動電流を発光動作期間に流す駆動トランジスタを、

有することを特徴とする請求項1乃至5のいずれかに記載の発光駆動回路。

## 【請求項8】

前記発光制御手段は、

制御端子を備え、発光動作期間に、飽和領域に達するような電圧が電流路の一端及び他端に印加される駆動トランジスタを、

有することを特徴とする請求項1乃至5のいずれかに記載の発光駆動回路。

## 【請求項9】

前記電圧設定手段は、

前記駆動トランジスタの前記電流路の一端と前記階調設定手段との間に接続され、前記駆動トランジスタの前記電流路に流れる電流を制御する電流制御手段と、

前記駆動トランジスタの前記制御端子に接続され、前記駆動トランジスタの選択状態を

制御する駆動トランジスタ選択制御手段と、

を備えていることを特徴とする請求項6乃至8のいずれかに記載の発光駆動回路。

【請求項10】

前記電流制御手段は、選択ラインに制御端子が接続された選択トランジスタを有し、

前記駆動トランジスタ選択制御手段は、保持ラインに制御端子が接続された保持トランジスタを有する、

ことを特徴とする請求項9に記載の発光駆動回路。

【請求項11】

前記電流制御手段は前記第1の制御信号によって動作し、前記駆動トランジスタ選択制御手段は、前記第1の制御信号と異なる第2の制御信号によって動作することを特徴とする請求項9又は10に記載の発光駆動回路。

【請求項12】

電流制御型の発光素子を発光動作させるために発光駆動電流を流す発光駆動回路の駆動制御方法において、

輝度階調信号に関わらず、前記発光素子を無発光輝度階調以外の所定の輝度階調で発光動作させる程度の電流値の電流を予め駆動トランジスタの電流路が流れるように、前記駆動トランジスタの前記制御端子と前記電流路の一端との間に第1の電位差を生じさせる第1の電位差ステップと、

無発光輝度階調信号に基づいて、前記第1の電位差ステップで前記第1の電位差を生じた前記駆動トランジスタの前記制御端子と前記電流路の一端との間が、前記駆動トランジスタからの前記発光駆動電流が前記発光素子を無発光状態とするような電流値となる第2の電位差にする第2の電位差ステップと、

を含むことを特徴とする発光駆動回路の駆動制御方法。

【請求項13】

前記第1の電位差ステップは、

プリチャージ期間に、前記発光素子が無発光輝度階調以外の所定の輝度階調よりも高い輝度階調で発光動作させる程度の電流値のプリチャージ電流を前記駆動トランジスタの前記電流路に流させて、前記駆動トランジスタの前記制御端子と前記電流路の一端との間に前記高い輝度階調相当の電荷を蓄積させるプリチャージステップを、

含むことを特徴とする請求項12に記載の発光駆動回路の駆動制御方法。

【請求項14】

前記第1の電位差ステップは、

補正動作期間に、前記発光素子が前記高い輝度階調よりも低い輝度階調で発光動作させる程度の電流値の補正電流を前記駆動トランジスタの前記電流路に流させて、前記駆動トランジスタの前記制御端子と前記電流路の一端との間に蓄積された電荷の一部を放電させる補正ステップを、

含むことを特徴とする請求項13に記載の発光駆動回路の駆動制御方法。

【請求項15】

2次元配列された複数の表示画素を有する表示パネルを備えた表示装置において、

前記各表示画素は、電流制御型の発光素子と、前記発光素子の発光動作を制御する画素駆動回路と、を備え、

前記画素駆動回路は、

電流路を有し、前記電流路から前記発光素子に発光駆動電流を流す発光制御手段と、

前記発光制御手段に流れる電流の電流値に応じた電荷を蓄積する電荷蓄積手段と、

発光素子を無発光輝度階調以外の所定の輝度階調で発光動作させる程度の電流値の電流を前記発光制御手段に流して、前記所定の輝度階調相当の電荷を前記電荷蓄積手段に蓄積させる電圧設定手段と、

を備え、

前記表示画素に無発光輝度階調信号を供給し、前記電荷蓄積手段に蓄積された前記所定の輝度階調相当の電荷を、前記発光素子が無発光状態となるような電流値の発光駆動電流

に相当する電荷或いは発光駆動電流が流れない程度の電荷になるまで放電する階調設定手段、

を備えていることを特徴とする表示装置。

【請求項16】

前記階調設定手段は、データラインを介して前記表示画素に前記無発光輝度階調信号及び無発光輝度階調以外の輝度階調相当の階調信号を選択的に供給することを特徴とする請求項15記載の表示装置。

【請求項17】

前記無発光輝度階調は、所定の電圧値の電圧信号であり、前記無発光輝度階調以外の輝度階調相当の階調信号は所定の電流値の電流信号であることを特徴とする請求項16記載の表示装置。

【請求項18】

前記階調設定手段は、

プリチャージ期間に、前記発光素子が無発光輝度階調以外の前記所定の輝度階調よりも高い輝度階調で発光動作させる程度の電流値のプリチャージ電流を前記発光制御手段に流させて前記電荷蓄積手段に前記高い輝度階調相当の電荷を蓄積させることを特徴とする請求項15乃至17のいずれかに記載の表示装置。

【請求項19】

前記電圧設定手段は、

補正動作期間に、前記発光素子が無発光輝度階調以外の前記所定の輝度階調で発光動作させる程度の電流値の補正電流を前記発光制御手段に流させて前記電荷蓄積手段に蓄積された電荷の一部を放電させることを特徴とする請求項18に記載の表示装置。

【請求項20】

前記発光制御手段は、

制御端子を備え、前記制御端子と前記電流路の一端との間の電位差によって前記発光駆動電流の電流値が設定される駆動トランジスタを、

有することを特徴とする請求項15乃至19のいずれかに記載の表示装置。

【請求項21】

前記発光制御手段は、

制御端子を備え、書込動作期間に前記階調信号として前記電流路に流れる書込電流の電流値に基づいた電流値の前記発光駆動電流を発光動作期間に流す駆動トランジスタを、

有することを特徴とする請求項15乃至19のいずれかに記載の表示装置。

【請求項22】

前記発光制御手段は、

制御端子を備え、発光動作期間に、飽和領域に達するような電圧が電流路の一端及び他端に印加される駆動トランジスタを、

有することを特徴とする請求項15乃至19のいずれかに記載の表示装置。

【請求項23】

前記電圧設定手段は、

前記駆動トランジスタの前記電流路の一端と前記階調設定手段との間に接続され、前記駆動トランジスタの前記電流路に流れる電流を制御する電流制御手段と、

前記駆動トランジスタの前記制御端子に接続され、前記駆動トランジスタの選択状態を制御する駆動トランジスタ選択制御手段と、

を備えていることを特徴とする請求項20乃至22のいずれかに記載の表示装置。

【請求項24】

前記電流制御手段は、選択ラインに制御端子が接続された選択トランジスタを有し、

前記駆動トランジスタ選択制御手段は、保持ラインに制御端子が接続された保持トランジスタを有する、

ことを特徴とする請求項23に記載の表示装置。

【請求項25】

前記電流制御手段に前記選択ラインを介して選択信号を出力する選択ドライバと、

前記駆動トランジスタ選択制御手段に前記保持ラインを介してホールド信号を出力する保持ドライバと、

をさらに備えることを特徴とする請求項24に記載の表示装置。

【請求項26】

前記選択信号と前記ホールド信号は互いに異なる信号であることを特徴とする請求項25に記載の表示装置。

【請求項27】

前記発光制御手段の前記電流路の他端に供給電圧ラインを介して供給電圧が供給する供給電圧ドライバをさらに備えることを特徴とする請求項15乃至26のいずれかに記載の表示装置。

【請求項28】

前記階調設定手段は、前記発光素子が無発光輝度階調以外の前記所定の輝度階調よりも高い輝度階調で発光動作させる程度の電流値のプリチャージ電流を前記発光制御手段の前記電流路に流すようなプリチャージ電圧を、データラインを介して出力することを特徴とする請求項15乃至27のいずれかに記載の表示装置。

【請求項29】

行方向及び列方向に配列された複数の表示画素を有する表示パネルを備えた表示装置の駆動制御方法において、

輝度階調信号に関わらず、前記表示画素の発光素子を無発光輝度階調以外の所定の輝度階調で発光動作させる程度の電流値の電流を予め駆動トランジスタの電流路が流れるように、前記駆動トランジスタの前記制御端子と前記電流路の一端との間に第1の電位差を生じさせる第1の電位差ステップと、

無発光輝度階調信号に基づいて、前記第1の電位差ステップで前記第1の電位差を生じた前記駆動トランジスタの前記制御端子と前記電流路の一端との間が、前記駆動トランジスタからの前記発光駆動電流が前記発光素子を無発光状態とするような電流値となる第2の電位差にする第2の電位差ステップと、

を含むことを特徴とする表示装置の駆動制御方法。

【請求項30】

前記第1の電位差ステップは、

プリチャージ期間に、前記発光素子が無発光輝度階調以外の所定の輝度階調よりも高い輝度階調で発光動作させる程度の電流値のプリチャージ電流を前記駆動トランジスタの前記電流路に流させて、前記駆動トランジスタの前記制御端子と前記電流路の一端との間に前記高い輝度階調相当の電荷を蓄積させるプリチャージステップを、

含むことを特徴とする請求項29に記載の表示装置の駆動制御方法。

【請求項31】

前記第1の電位差ステップは、

補正動作期間に、前記発光素子が前記高い輝度階調よりも低い輝度階調で発光動作させる程度の電流値の補正電流を前記駆動トランジスタの前記電流路に流させて、前記駆動トランジスタの前記制御端子と前記電流路の一端との間に蓄積された電荷の一部を放電させる補正ステップを、

含むことを特徴とする請求項30に記載の表示装置の駆動制御方法。

【請求項32】

前記プリチャージステップは、複数の行の前記表示画素を一斉に選択状態に設定し、

前記補正ステップは、前記複数の行の前記表示画素を一斉に非選択状態に設定して前記低い輝度階調に相当する前記第1の電位差を設定する、

ことを特徴とする請求項31に記載の表示装置の駆動制御方法。

【請求項33】

前記第2の電位差ステップは、各行ごとに、無発光とすべき前記表示画素の前記駆動トランジスタの前記電流路に所定の電圧値の前記無発光輝度階調信号を順次流すことを特徴と

する請求項29乃至32のいずれかに記載の表示装置の表示駆動方法。

【請求項34】

前記第2の電位差ステップは、各行ごとに、発光すべき前記表示画素の前記駆動トランジスタの前記電流路に所定の電流値の輝度階調信号を順次流すことを特徴とする請求項29。【発明の詳細な説明】記載の表示装置の表示駆動方法。

【技術分野】

【0001】

本発明は、発光駆動回路及びその駆動制御方法、並びに、表示装置及びその表示駆動方法に関し、特に、表示データに応じた電流を供給することにより所定の輝度階調で発光する電流制御型（又は、電流駆動型）の発光素子を、複数配列してなる表示パネル（画素アレイ）に適用可能な発光駆動回路及びその駆動制御方法、並びに、該発光駆動回路を各表示画素に備えた表示装置及びその表示駆動方法に関する。

【背景技術】

【0002】

近年、パーソナルコンピュータや映像機器のモニターやディスプレイとして、旧来の陰極線管（CRT）を適用した表示装置に替わる表示デバイスの普及が著しい。特に、液晶表示装置（LCD）においては、旧来の表示装置に比較して、薄型軽量化、省スペース化、低消費電力化等が可能であるため、急速に普及している。また、比較的小型の液晶表示装置は、近年普及が著しい携帯電話やデジタルカメラ、携帯情報端末（PDA）等の表示デバイスとしても広く適用されている。

【0003】

このような液晶表示装置に続く次世代の表示デバイス（ディスプレイ）として、有機エレクトロルミネッセンス素子（以下、「有機EL素子」と略記する）や無機エレクトロルミネッセンス素子（以下、「無機EL素子」と略記する）、あるいは、発光ダイオード（LED）等のような発光素子（自己発光型の表示画素）を、マトリクス状に配列した表示パネルを備えた発光素子型の表示デバイス（以下、「発光素子型ディスプレイ」と記す）の本格的な実用化や普及が期待されている。

【0004】

特に、アクティブマトリクス駆動方式を適用した発光素子型ディスプレイは、上述した液晶表示装置に比較して、表示応答速度が速く、また、視野角依存性もなく、高輝度・高コントラスト化、表示画質の高精細化等が可能であるとともに、液晶表示装置のようにバックライトを必要としないので、一層の薄型軽量化や低消費電力化が可能である、という極めて優位な特徴を有している。

【0005】

そして、このような発光素子型ディスプレイにおいては、発光素子の動作（発光状態）を制御するための駆動制御機構や制御方法が種々提案されている。例えば、特許文献1等に記載されているように、表示パネルを構成する各表示画素ごとに、上記発光素子に加えて、該発光素子を発光駆動制御するための複数のスイッチング素子からなる駆動回路（以下、「発光駆動回路」と記す）を備えた構成が知られている。

【0006】

図22は、従来技術における電圧制御アクティブマトリクス発光素子型ディスプレイの要部を示す概略構成図であり、図23は、従来技術における発光素子型ディスプレイに適用可能な表示画素（発光駆動回路及び発光素子）の構成例を示す等価回路図である。ここで、図23においては、発光素子として、有機EL素子を備えた表示画素の回路構成を示す。

【0007】

特許文献1等に記載されたアクティブマトリクス型有機EL表示装置は、概略、図22に示すように、行、列方向に配設された複数の走査ライン（選択ライン；Y方向信号線）SLp及びデータライン（信号ライン；X方向信号線）DLpの各交点近傍に、複数の表示画素EMPがマトリクス状に配置された表示パネル110Pと、各走査ラインSLpに

接続された走査ドライバ(Y方向周辺駆動回路)120Pと、各データラインDLに接続されたデータドライバ(X方向周辺駆動回路)130Pと、を備えた構成を有している。

【0008】

また、各表示画素EMPは、図23に示すように、ゲート端子が走査ラインSLPに、ソース端子及びドレイン端子がデータラインDL及び接点N111に各々接続された薄膜トランジスタ(TFT)Tr111と、ゲート端子が接点N111に接続され、ソース端子に所定の電源電圧Vddが印加された薄膜トランジスタTr112と、を備えた発光駆動回路DCP、及び、該発光駆動回路DCPの薄膜トランジスタTr112のドレイン端子にアノード端子が接続され、カソード端子に電源電圧Vddよりも低電位となる接地電位Vgndが印加された有機EL素子(電流制御型の発光素子)OELを有して構成されている。ここで、図23において、CPは、薄膜トランジスタTr112のゲート-ソース間に形成されるコンデンサである。

【0009】

そして、このような構成を有する表示画素EMPからなる表示パネル110Pを備えた表示装置においては、まず、走査ドライバ120Pから各行の走査ラインSLPにオンレベルの走査信号電圧Sselを順次印加することにより、行ごとの表示画素EMP(発光駆動回路DCP)の薄膜トランジスタTr111がオン動作して、当該表示画素EMPが選択状態に設定される。

【0010】

この選択タイミングに同期して、データドライバ130Pにより表示データに応じた階調信号電圧Vpixを各列のデータラインDLに印加することにより、各表示画素EMP(発光駆動回路DCP)の薄膜トランジスタTr111を介して、階調信号電圧Vpixに応じた電位が接点N111(すなわち、薄膜トランジスタTr112のゲート端子)に印加される。

【0011】

これにより、薄膜トランジスタTr112が接点N111の電位に応じた導通状態(すなわち、階調信号電圧Vpixに応じた導通状態)でオン動作して、電源電圧Vddから薄膜トランジスタTr112及び有機EL素子OELを介して接地電位Vgndに、所定の発光駆動電流が流れ、有機EL素子OELが表示データ(階調信号電圧Vpix)に応じた輝度階調で発光動作する。

【0012】

次いで、走査ドライバ120Pから走査ラインSLPにオフレベルの走査信号電圧Sselを印加することにより、行ごとの表示画素EMPの薄膜トランジスタTr111がオフ動作して、当該表示画素EMPが非選択状態に設定され、データラインDLと発光駆動回路DCPとが電氣的に遮断される。このとき、薄膜トランジスタTr112のゲート端子(接点N111)に印加された電位がコンデンサCPに保持されることにより、当該薄膜トランジスタTr112のゲート-ソース間に所定の電圧が印加されて、薄膜トランジスタTr112はオン状態を持続する。

【0013】

したがって、上記選択状態における発光動作と同様に、電源電圧Vddから薄膜トランジスタTr112を介して、有機EL素子OELに所定の発光駆動電流が流れて、発光動作が継続される。この発光動作は、次の表示データに応じた階調信号電圧Vpixが各行の表示画素EMPに印加される(書き込まれる)まで、例えば、1フレーム期間継続するように制御される。

【0014】

このような電圧駆動制御方法は、各表示画素EMP(具体的には、発光駆動回路DCPの薄膜トランジスタTr112のゲート端子)に印加する電圧(階調信号電圧Vpix)の電圧値を調整することにより、有機EL素子OELに流す発光駆動電流の電流値を制御して、所定の輝度階調で発光動作させていることから、電圧階調指定方式(又は、電圧階調指定駆動)と呼ばれている。

【0015】

【特許文献1】特開平8-330600号公報（第3頁、図4）

【発明の開示】

【発明が解決しようとする課題】

【0016】

しかしながら、上述したような電圧階調指定方式に対応した発光駆動回路を、各表示画素に備えた表示装置においては、以下に示すような問題を有していた。

すなわち、図23に示したような発光駆動回路DCPにおいては、有機EL素子OELに電流路が直列に接続され、表示データ（階調信号電圧）に応じた発光駆動電流を流す、発光駆動用の薄膜トランジスタTr112の動作特性（特に、しきい値電圧特性）が使用時間等に依存して変化（経時変化）した場合には、所定のゲート電圧（接点111の電位）でソースドレイン間に流れる発光駆動電流（ソースドレイン間電流）の電流値が変動（例えば、低減）することになるため、表示データに応じた適切な輝度階調での発光動作を、長期にわたり安定的に実現することが困難になるという問題を有していた。

【0017】

また、表示パネル110P内の薄膜トランジスタTr111及びTr112の素子特性（しきい値電圧特性）が発光駆動回路DCPごとにバラツキが生じてしまった場合や、製造ロットによって表示パネル110PごとにトランジスタTr111及びTr112の素子特性バラツキが生じてしまった場合に、電圧階調指定方式の発光駆動回路では、上記発光駆動電流の電流値のバラツキが大きくなって、適正な階調制御が行えなくなり、表示画質が低くなってしまったという問題を有していた。

【0018】

そこで、本発明は、上述した種々の問題点に鑑み、表示データに対応した電流値を有する発光駆動電流を供給することにより、表示データに応じた適切な輝度階調で発光素子を発光駆動させる動作を実現することができる発光駆動回路及びその駆動制御方法を提供し、以て、表示画質が良好な表示装置及びその表示駆動方法を提供することを目的とする。

【課題を解決するための手段】

【0019】

請求項1に係る発明は、発光駆動回路において、

電流路を有し、前記電流路から発光駆動電流を流す発光制御手段と、

前記発光制御手段に流れる電流の電流値に応じた電荷を蓄積する電荷蓄積手段と、

発光素子を無発光輝度階調以外の所定の輝度階調で発光動作させる程度の電流値の電流を前記発光制御手段に流して、前記所定の輝度階調相当の電荷を前記電荷蓄積手段に蓄積させる電圧設定手段と、

無発光輝度階調信号に基づいて、前記電荷蓄積手段に蓄積された前記所定の輝度階調相当の電荷を、前記発光素子が無発光状態となるような電流値の発光駆動電流に相当する電荷或いは発光駆動電流が流れない程度の電荷になるまで放電する階調設定手段と、

を備えることを特徴とする。

【0020】

請求項2に係る発明は、

電流制御型の発光素子を発光動作させるために発光駆動電流を流す発光駆動回路の駆動制御方法において、

輝度階調信号に関わらず、前記発光素子を無発光輝度階調以外の所定の輝度階調で発光動作させる程度の電流値の電流を予め駆動トランジスタの電流路が流れるように、前記駆動トランジスタの前記制御端子と前記電流路の一端との間に第1の電位差を生じさせる第1の電位差ステップと、

無発光輝度階調信号に基づいて、前記第1の電位差ステップで前記第1の電位差を生じた前記駆動トランジスタの前記制御端子と前記電流路の一端との間が、前記駆動トランジスタからの前記発光駆動電流が前記発光素子を無発光状態とするような電流値となる第2の電位差にする第2の電位差ステップと、



を含むことを特徴とする。

【0021】

請求項15に係る発明は、

2次元配列された複数の表示画素を有する表示パネルを備えた表示装置において、

前記各表示画素は、電流制御型の発光素子と、前記発光素子の発光動作を制御する画素駆動回路と、を備え、

前記画素駆動回路は、

電流路を有し、前記電流路から前記発光素子に発光駆動電流を流す発光制御手段と、

前記発光制御手段に流れる電流の電流値に応じた電荷を蓄積する電荷蓄積手段と、

発光素子を無発光輝度階調以外の所定の輝度階調で発光動作させる程度の電流値の電流を前記発光制御手段に流して、前記所定の輝度階調相当の電荷を前記電荷蓄積手段に蓄積させる電圧設定手段と、

を備え、

前記表示画素に無発光輝度階調信号を供給し、前記電荷蓄積手段に蓄積された前記所定の輝度階調相当の電荷を、前記発光素子が無発光状態となるような電流値の発光駆動電流に相当する電荷或いは発光駆動電流が流れない程度の電荷になるまで放電する階調設定手段、

を備えていることを特徴とする。

【0022】

請求項29に係る発明は、

行方向及び列方向に配列された複数の表示画素を有する表示パネルを備えた表示装置の駆動制御方法において、

輝度階調信号に関わらず、前記表示画素の発光素子を無発光輝度階調以外の所定の輝度階調で発光動作させる程度の電流値の電流を予め駆動トランジスタの電流路が流れるように、前記駆動トランジスタの前記制御端子と前記電流路の一端との間に第1の電位差を生じさせる第1の電位差ステップと、

無発光輝度階調信号に基づいて、前記第1の電位差ステップで前記第1の電位差を生じた前記駆動トランジスタの前記制御端子と前記電流路の一端との間が、前記駆動トランジスタからの前記発光駆動電流が前記発光素子を無発光状態とするような電流値となる第2の電位差にする第2の電位差ステップと、

を含むことを特徴とする。

【発明の効果】

【0023】

本発明の発光駆動回路及び表示装置によれば、発光制御手段に階調信号に応じた発光駆動電流を流させる状態にする前に予め電流が流れる状態となるように電荷蓄積手段に電荷を蓄積したので、発光すべき画素に対して階調信号が微小電流でも迅速に発光駆動電流が流れるような状態にまで電荷を蓄積することができ、さらに、無発光とすべき画素に対して無発光となるように、電荷蓄積手段に蓄積された電荷を放電させているので適切な輝度階調で発光表示することが可能となる。

【0024】

本発明の発光駆動回路の駆動制御方法及び表示装置の駆動制御方法によれば、駆動トランジスタに階調信号に応じた発光駆動電流を流させる状態にする前に、予め駆動トランジスタの制御端子及び電流路の一端との間に、駆動トランジスタが電流が流れる状態となるような電位差を生じさせたので、発光すべき画素に対して階調信号が微小電流でも迅速に発光駆動電流が流れるような状態にすることができ、さらに、無発光とすべき画素に対して無発光となるように、駆動トランジスタの前記制御端子と前記電流路の一端との間の電位差を変えているので適切な輝度階調で発光表示することが可能となる。

【発明を実施するための最良の形態】

【0025】

以下、本発明に係る発光駆動回路及びその駆動制御方法、並びに、表示装置及び簿その

表示駆動方法について、実施の形態を示して詳しく説明する。

＜発光駆動回路＞

まず、本発明に係る発光駆動回路及びその駆動制御方法について、図面を参照して説明する。

図1は、本発明に係る発光駆動回路の一実施形態を示す回路構成図である。

【0026】

図1に示すように、本実施形態に係る発光駆動回路DCは、例えば、相互に直交するように配設された選択ラインSLとデータラインDLとの交点近傍に、ゲート端子（制御端子）が選択ラインSLに、ソース端子及びドレイン端子（電流路の一端、他端）がデータラインDL及び接点N12に各々接続された薄膜トランジスタからなる選択トランジスタ（電圧設定手段、電流制御手段）Tr12と、ゲート端子が選択ラインSLに並行に配設された保持ラインHLに、ドレイン端子及びソース端子が供給電圧Vscが出力される供給電圧ラインVL及び接点N11に各々接続された薄膜トランジスタからなる保持トランジスタ（電圧設定手段、駆動トランジスタ選択制御手段）Tr11と、ゲート端子が接点N11に、ドレイン端子が供給電圧ラインVLに接続されるとともに、ソース端子が接点N12に各々接続された薄膜トランジスタからなる駆動トランジスタ（発光制御手段）Tr13と、接点N11及び接点N12間（駆動トランジスタTr13のゲートーソース端子間）に接続されたコンデンサ（電荷蓄積手段）Csと、を備えた構成を有している。また、有機EL素子（電流制御型の発光素子）OELは、アノード端子が上記発光駆動回路DCの接点N12に接続され、カソード端子には共通電圧Vcomが印加されている。共通電圧Vcomは、後述する書込動作期間Twr中の供給電圧Vscである選択電圧値Vsと等電位、或いは、選択電圧値Vsよりも高い電位に設定され、また、後述する発光動作期間Tem中の供給電圧Vscである発光電圧値Veよりも低電位に設定されている。

【0027】

ここで、コンデンサCsは、駆動トランジスタTr13のゲートーソース間に形成される寄生容量であってもよいし、該寄生容量に加えて接点N11及び接点N12間にさらに容量素子を並列に接続したものであってもよい。また、トランジスタTr11～Tr13については、特に限定するものではないが、トランジスタTr11～Tr13を全てnチャネル型の薄膜トランジスタにより構成することにより、nチャネル型アモルファスシリコンTFETを適用することができる。この場合、すでに確立されたアモルファスシリコン製造技術を適用して、動作特性の安定した発光駆動回路を比較的簡易な製造プロセスで製造することができる。また、発光駆動回路DCにより発光駆動される発光素子は、図1に示した有機EL素子OELに限定されるものではなく、電流制御型の発光素子であれば、発光ダイオード等の他の発光素子であってもよい。

【0028】

すなわち、本実施形態に係る発光駆動回路DCにおいては、保持ラインHL及び選択ラインSLに個別に印加される制御信号（後述するホールド信号及び選択信号）の信号レベルに基づいて、保持トランジスタTr11、選択トランジスタTr12が独立してオン、オフ動作するように構成されている。

【0029】

また、本実施形態に係る発光駆動回路DCは、図1に示すように、有機EL素子OELを表示データに対応した輝度階調で発光動作させるための階調信号として、有機EL素子OELが所定の輝度階調で発光するような階調電流Idata、又は、有機EL素子OELが発光せずに最も暗い表示（黒表示）となるような無発光表示電圧（階調電圧）Vzeroのいずれかを選択的に発光駆動回路DCに供給する手段と、該階調信号を書き込む動作の前に、上述した駆動トランジスタTr13の素子特性（しきい値電圧特性）を補正するための制御電圧として、書込動作期間Twr時の選択電圧値Vsより十分低い電位のプリチャージ電圧Vpreを発光駆動回路DCに供給する手段と、を備えた信号駆動回路（階調設定手段）SDRがデータラインDLに接続された構成を有している。ここで、後述する駆動制御方法において説明するように、上記信号駆動回路SDRは、書込動作期間Twr時に階調電

流 I data又は無発光表示電圧 Vzeroの階調信号をデータライン DLに供給されるように、そして後述するプリチャージ動作期間 Tpreにプリチャージ電圧 Vpreがデータライン DLに供給されるように、切換制御されるスイッチ手段 SMを備えている。

【0030】

＜発光駆動回路の駆動制御方法（階調表示：その1）＞

次いで、上述したような構成を有する発光駆動回路における駆動制御方法の第1の例（階調表示動作）について説明する。

図2は、本実施形態に係る発光駆動回路の駆動制御動作の第1の例におけるデータライン DLの電流値、選択信号 Sselの電位、ホールド信号 Shldの電位、供給電圧 Vscの電位、コンデンサ Csの両端の電位差、有機 EL素子 OELに流れる発光駆動電流 Iemの電流値を示すタイミングチャートである。図3は、本実施形態に係る発光駆動回路の動作例（プリチャージ動作／しきい値補正動作）を示す概念図であり、図4は、本実施形態に係る発光駆動回路の動作例（書込動作／発光動作）を示す概念図である。

【0031】

本実施形態に係る発光駆動回路の駆動制御動作は、図2に示すように、1処理サイクル期間 Tcyc内に、信号駆動回路 SDRからデータライン DLを介して所定のプリチャージ電圧 Vpreを印加して、駆動トランジスタ Tr13のゲートソース間の電圧 Vpre13（電圧 Vpre13の絶対値は駆動トランジスタ Tr13のゲートソース間しきい値電圧 Vth13の絶対値より大きい。nチャンネルトランジスタの場合、電圧 Vpre13はしきい値電圧 Vth13より高い）とするように、発光駆動回路 DCのコンデンサ Csに所定の電荷を蓄積するプリチャージ動作期間 Tpreと、プリチャージ動作期間 Tpreにコンデンサ Csに蓄積された電荷の一部を放電して、駆動トランジスタ Tr13のドレインソース間電流 Idsのしきい値電圧に相当する電荷をコンデンサ Csに残留させて保持するしきい値補正動作期間 Tthと、表示データに応じた階調信号をデータライン DLを介して印加し、表示データに応じた電荷を上記コンデンサ Csに書き込む書込動作期間 Twrと、コンデンサ Csに蓄積された電荷に基づいて、表示データに応じた輝度階調で有機 EL素子を発光動作させる発光動作期間 Temと、を含むように設定することにより実行される（ $Tcyc \geq Tpre + Tth + Twr + Tem$ ）。

【0032】

ここで、上述した駆動トランジスタ Tr13のドレインソース間電流 Idsのしきい値電圧とは、わずかな電圧をさらに加えることによって駆動トランジスタ Tr13のドレインソース間電流 Idsが流れを開始する境界線の駆動トランジスタ Tr13のゲートソース間電圧のことである。また、1処理サイクル期間 Tcycとは、表示画素 EMが1フレームの画像のうちの1画素分の画像を表示するのに要する期間である。複数の表示画素 EMを行方向及び列方向にマトリクスに配列して1フレームの画像を表示する場合、1処理サイクル期間 Tcycは、1行分の表示画素 EMが1フレームの画像のうちの1行分の画像を表示するのに要する期間である。ただし、プリチャージ動作期間 Tpre及びしきい値補正動作期間 Tthは複数の行で同時にとり、各行ごとに書き込む書込動作期間 Twrをずらして、発光動作期間 Temを複数の行で同時にとってもよい。

【0033】

以下、上述した各動作期間について詳しく説明する。

（プリチャージ動作期間）

まず、プリチャージ動作期間 Tpreにおいては、図2、図3（a）に示すように、選択ライン SL及び保持ライン HLに対して、オンレベル（保持トランジスタ Tr11及び Tr12がnチャンネル型の薄膜トランジスタの場合、ハイレベル）の選択信号（書込制御信号） Ssel及びホールド信号（電圧制御信号） Shldが印加され、また、発光駆動回路 DCの供給電圧ライン VLには、低電位の選択電圧値 Vsの供給電圧 Vscが印加される。選択電圧値 Vsは、共通電圧 Vcom以下の電圧であればよく、例えば、接地電位でもよい。さらに、このタイミングに同期して、信号駆動回路 SDRのスイッチ手段 SMが、プリチャージ電圧 Vpreをデータライン DLに出力する。

## 【0034】

図5は、nチャネル型の薄膜トランジスタにおいて、所定のゲートソース間電圧 $V_{gs}$ のときにドレインソース間電圧 $V_{ds}$ を変調した際のドレインソース間電流 $I_{ds}$ 特性を表したグラフである。ここで、この薄膜トランジスタを駆動トランジスタ $T_{r13}$ に置き換えると、横軸は駆動トランジスタ $T_{r13}$ の分圧とそれに直列に接続された有機EL素子OELの分圧を表し、縦軸は駆動トランジスタ $T_{r13}$ のドレインソース間の電流 $I_{ds}$ の電流値を表すことができる。図中の一点鎖線は駆動トランジスタ $T_{r13}$ のゲートソース間のしきい値電圧の境界線であり、境界線の左側が不飽和領域であり、右側が飽和領域となっている。実線は、薄膜トランジスタのゲートソース間電圧 $V_{gs}$ を最大輝度階調時の電圧 $V_{gsmax}$ 、 $V_{gs1}$  ( $< V_{gsmax}$ ) 及び $V_{gs2}$  ( $< V_{gs1}$ ) にそれぞれ固定したときに薄膜トランジスタのドレインソース間電圧 $V_{ds}$ を変調したときのドレインソース間電流 $I_{ds}$ 特性を示している。破線は、薄膜トランジスタを駆動トランジスタ $T_{r13}$ に置き換えたときのEL負荷線であり、EL負荷線の右側の電圧は、供給電圧 $V_{sc}$ ー共通電圧 $V_{com}$ 間電圧(図中では2.0V)における有機EL素子OELの分圧となり、EL負荷線の左側が駆動トランジスタ $T_{r13}$ のドレインソース間の電圧 $V_{ds}$ に相当する。この有機EL素子OELの分圧は、輝度階調が高くなる程、つまり駆動トランジスタ $T_{r13}$ のドレインソース間電流 $I_{ds}$ (=階調電流 $I_{data}$ )の電流値が増大する程、漸次増大する。

## 【0035】

不飽和領域では、仮に駆動トランジスタ $T_{r13}$ のゲートソース間電圧 $V_{gs}$ が一定にしたとき、駆動トランジスタ $T_{r13}$ のドレインソース間電圧 $V_{ds}$ が大きくなるにつれてドレインソース間電流 $I_{ds}$ の電流値が大きくなる。一方、飽和領域では、仮に駆動トランジスタ $T_{r13}$ のゲートソース間電圧 $V_{gs}$ が一定にしたとき、ドレインソース間電圧 $V_{ds}$ が大きくなっても駆動トランジスタ $T_{r13}$ のドレインソース間電流 $I_{ds}$ の増大があまりなくほぼ一定となる。

## 【0036】

プリチャージ動作期間 $T_{pre}$ に駆動トランジスタ $T_{r13}$ のドレインソース間にも印加されるプリチャージ電圧 $V_{pre}$ は、書込動作期間 $T_{wr}$ 時の選択電圧値 $V_s$ より十分低く、駆動トランジスタ $T_{r13}$ のゲートソース間電圧 $V_{gs}$ が図5に示すトランジスタを飽和領域、つまり、駆動トランジスタ $T_{r13}$ のドレインソース間電圧 $V_{ds}$ が飽和領域に達するような電位となっている。

## 【0037】

保持ラインHLからオンレベルのホールド信号 $Shld$ が出力されると、表示画素EMを構成する発光駆動回路DCに設けられた保持トランジスタ $T_{r11}$ がオン動作して、供給電圧 $V_{sc}$ が保持トランジスタ $T_{r11}$ を介して駆動トランジスタ $T_{r13}$ のゲート及びコンデンサ $C_s$ の一端側(接点 $N11$ )に印加される。そして、選択ラインSLからオンレベルの選択信号 $Ssel$ が出力されているため、選択トランジスタ $T_{r12}$ がオン動作して、プリチャージ電圧 $V_{pre}$ が印加されたデータラインDLが、選択トランジスタ $T_{r12}$ を介して駆動トランジスタ $T_{r13}$ のソース及びコンデンサ $C_s$ の他端側(接点 $N12$ )と導通する。

## 【0038】

ここで、プリチャージ動作期間 $T_{pre}$ に信号駆動回路SDRからデータラインDLに印加されるプリチャージ電圧 $V_{pre}$ は、下記式(1)を満たすように設定されている。

$$|V_s - V_{pre}| > V_{th12} + V_{th13} \dots \dots (1)$$

$V_{th12}$ は、選択トランジスタ $T_{r12}$ のゲートにオンレベルの選択信号 $Ssel$ が印加されたときの選択トランジスタ $T_{r12}$ のドレインソース間のしきい値電圧である。また、プリチャージ動作期間 $T_{pre}$ は、駆動トランジスタ $T_{r13}$ のゲート及びドレインにはともに選択電圧値 $V_s$ が印加されているので互いにほぼ等電位となっている。したがって $V_{th13}$ は、駆動トランジスタ $T_{r13}$ のドレインソース間電圧しきい値電圧であり、駆動トランジスタ $T_{r13}$ のゲートソース間のしきい値電圧でもある。なお、 $V_{th12} + V_{th13}$ は

経時的に徐々に高くなっていくが、常に式(1)を満たすように $V_s - V_{pre}$ の電位差を大きくとっている。

## 【0039】

このように、コンデンサ $C_s$ の両端(すなわち、駆動トランジスタ $T_{r13}$ のゲートソース間)に、駆動トランジスタ $T_{r13}$ のしきい値電圧 $V_{th13}$ よりも大きな電位差 $V_{pre13}$ が印加されることにより、この駆動トランジスタプリチャージ電圧 $V_{pre13}$ にしたがった大電流のプリチャージ電流 $I_{pre}$ が、駆動トランジスタ $T_{r13}$ のドレインソース間を介して供給電圧ライン $V_L$ から信号駆動回路 $SDR$ に向けて強制的に流れる。したがって速やかにコンデンサ $C_s$ の両端にプリチャージ電流 $I_{pre}$ にしたがった電位差 $V_c$ に対応する電荷が蓄積される(すなわち、駆動トランジスタプリチャージ電圧 $V_{pre13}$ (第1の電位差)が充電される)。なお、プリチャージ動作期間においてはコンデンサ $C_s$ に電荷が蓄積されるばかりでなく供給電圧ライン $V_L$ からデータライン $D_L$ までに至る電流ルートのその他の容量にも、プリチャージ電流 $I_{pre}$ が流れるような電荷の蓄積が行われる。

## 【0040】

このとき、有機 $EL$ 素子 $OEL$ のカソード端子には、低電位の供給電圧 $V_{sc}(=V_s)$ 以下の共通電圧 $V_{com}$ が印加されているので、有機 $EL$ 素子 $OEL$ のアノードカソード間には逆バイアス状態又は無電界状態に設定されることになり、有機 $EL$ 素子には発光駆動電流が流れず発光動作は行われない。

## 【0041】

(しきい値補正動作期間)

次いで、プリチャージ動作期間 $T_{pre}$ 終了後のしきい値補正動作期間 $T_{th}$ においては、図2、図3(b)に示すように、保持ライン $HL$ にオンレベルのホールド信号 $Shld$ が印加された状態で、選択ライン $SL$ に印加された選択信号 $Ssel$ がオフレベル(ローレベル)に切り替わることにより、保持トランジスタ $T_{r11}$ はオン状態を保持するとともに、選択トランジスタ $T_{r12}$ がオフ動作する。これにより、コンデンサ $C_s$ の他端側(接点 $N12$ )がデータライン $D_L$ から電気的に切り離されて、ハイインピーダンス状態に設定される。

## 【0042】

このとき、上述したプリチャージ動作期間 $T_{pre}$ においてコンデンサ $C_s$ に蓄積された電荷(両端電位 $V_c > V_{th13}$ )により駆動トランジスタ $T_{r13}$ はオン状態を保持するために駆動トランジスタ $T_{r13}$ のゲート電圧は保持されたまま、駆動トランジスタ $T_{r13}$ のドレインソース間に電流が流れ続けるので、駆動トランジスタ $T_{r13}$ のソース端子側(接点 $N12$ ;コンデンサ $C_s$ の他端側)の電位がドレイン端子側(供給電圧ライン $V_L$ 側)に近づくように徐々に上昇していく。

## 【0043】

これにより、図6に示すように、駆動トランジスタ $T_{r13}$ のゲートソース間電圧 $V_{gs}$ は縮まってしまう、コンデンサ $C_s$ に蓄積された電荷の一部が放電され、最終的に駆動トランジスタ $T_{r13}$ のしきい値電圧 $V_{th13}$ (第2の電位差)に収束するように変化する。また、図7に示すように、駆動トランジスタ $T_{r13}$ のドレインソース間電流 $I_{ds}$ が減少して、最終的に線形性を有するように変化する。

## 【0044】

ここで、図6は、本実施形態に係るしきい値補正動作期間における薄膜トランジスタのゲートソース間電圧の時間変化を示すグラフであり、図7は、本実施形態に係るしきい値補正動作期間における薄膜トランジスタのドレインソース間電流の時間変化を示すグラフである。

## 【0045】

これらの結果においては、表1に示したような素子構造及び素子特性を有する発光駆動回路 $DC$ を適用し、電位差 $|V_s - V_{pre}|$ を $1.0V$ 及び $6.5V$ に設定した場合の、駆動トランジスタ $T_{r13}$ のゲートソース間電圧 $V_{gs}$ 、及び、ドレインソース間電流 $I$

dsの時間変化を観測し、対数目盛を用いて表したものである。なお、容量C<sub>tt</sub>は、コンデンサC<sub>s</sub>の容量及び発光駆動回路DC内に生じるその他の寄生容量の和である。

【0046】

【表1】

### <発光駆動回路DCの構造>

駆動トランジスタTr13の ゲート容量C <sub>in</sub>	1.62E-01fF/ $\mu\text{m}^2$
駆動トランジスタTr13の ゲート幅W	1200 $\mu\text{m}$
駆動トランジスタTr13の ゲート長L	7 $\mu\text{m}$
電位差   V <sub>s</sub> - V <sub>pre</sub>	10V / 6.5V
駆動トランジスタTr13の しきい値電圧V <sub>th13</sub>	1.5V
容量C <sub>t</sub>	20pF
階調数	256
最高輝度階調電圧V <sub>msb</sub>	6.53V
最高輝度階調時の発光電流	1.20E-05A/dot (MSB)
最低輝度階調時の発光電流	4.68E-08A/dot (LSB)

【0047】

なお、図6、図7において、SPaは上述した電位差 | V<sub>s</sub> - V<sub>pre</sub> | を10Vに設定した場合のゲートソース間電圧V<sub>gs</sub>の変化傾向を示す特性線であり、SPbは電位差 | V<sub>s</sub> - V<sub>pre</sub> | を6.5Vに設定した場合のゲートソース間電圧V<sub>gs</sub>の変化傾向を示す特性線である。この10Vと6.5Vの電位差3.5Vは、駆動トランジスタTr13や選択トランジスタTr12等の経時的高抵抗化に伴う駆動トランジスタTr13のゲートソース間の分圧の経時的変位を想定している。また、V<sub>msb</sub>は有機EL素子OELを最高輝度階調 (MSB) で発光動作させる場合の、駆動トランジスタTr13のゲートソース間電圧V<sub>gs</sub>であり、I<sub>msb</sub>は有機EL素子OELを最高輝度階調 (MSB) で発光動作させる場合の、駆動トランジスタTr13のドレインソース間電流I<sub>ds</sub> (発光駆動電流I<sub>em</sub>) であり、I<sub>lsb</sub>は有機EL素子OELを無発光を除く階調のうちの最低輝度階調 (LSB) で発光動作させる場合の、駆動トランジスタTr13のドレインソース間電流I<sub>ds</sub> (発光駆動電流I<sub>em</sub>) である。

【0048】

この場合、表1に示した薄膜トランジスタにおいては、図6に示すように、上述したプリチャージ動作期間 $T_{pre}$ において生じる電位差 $|V_s - V_{pre}|$ に関わらず、概ね3 msec $\sim$ 4 msec (3000  $\mu$ sec $\sim$ 4000  $\mu$ sec)程度の時間経過でゲートソース間電圧 $V_{gs}$  (コンデンサ $C_s$ の両端電位 $V_c$ )がしきい値電圧 $V_{th13}$  (= 1.5 V)に収束することが判明した。また、図7に示すように、上述したプリチャージ動作期間 $T_{pre}$ において生じる電位差 $|V_s - V_{pre}|$ に関わらず、概ね50  $\mu$ sec $\sim$ 200  $\mu$ sec程度の時間経過でドレインソース間電流 $I_{ds}$ が最低輝度階調(LSB)時の電流値4.68E-8 Aにまで減少(図6に示したグラフでは、ゲートソース間電圧 $V_{gs}$ が概ね2.0 Vにまで降下)することが判明した。

## 【0049】

なお、このしきい値補正動作期間 $T_{th}$ においても、有機EL素子OELのアノード端子(接点N12)の電位は、カソード端子側の共通電圧 $V_{com}$ と同等であるか、又は、それ未満の電位を有しているため、有機EL素子OELには依然として無電圧又は逆バイアス電圧が印加されて、有機EL素子OELは発光動作しない。

## 【0050】

(書込動作期間)

次いで、しきい値補正動作期間 $T_{th}$ 終了後の書込動作期間 $T_{wr}$ においては、図2、図4(a)に示すように、引き続きホールド信号 $Shld$ をオンレベルに維持したまま選択ラインSLに再度オンレベルの選択信号 $Ssel$ が印加されるとともに、このタイミングに同期して、表示画素EMが無発光以外の階調表示の場合、信号駆動回路SDRのスイッチ手段SMが表示データにしたがって矢印の方向に沿った階調電流 $I_{data}$ を供給電圧ラインVLからデータラインを介して信号駆動回路SDRに流れるように設定し、表示画素EMが無発光の階調表示の場合、駆動トランジスタTr13のゲートソース間電圧がしきい値以下となるような無発光表示電圧 $V_{zero}$ をデータラインDLに出力する。

なお、ここでは、通常の階調表示動作(有機EL素子OELを発光動作させる階調表示)を行う場合について説明し、無発光表示動作(有機EL素子OELを発光動作させない階調表示動作)を行う場合については、改めて後述するものとする。

## 【0051】

これにより、選択トランジスタTr12がオン動作して、データラインDLを介して階調電流 $I_{data}$ を引き込む動作が行われることにより、低電位の供給電圧 $V_{sc}$  (=  $V_s$ )よりもさらに低電位の電圧が接点N12(駆動トランジスタTr13のソース端子及びコンデンサ $C_s$ の他端側)に印加される。なお、コンデンサ $C_s$ の一端側(接点N11)には、保持トランジスタTr11を介して供給電圧ラインVLの低電位の供給電圧 $V_{sc}$  (=  $V_s$ )が印加されている。

## 【0052】

ここで、駆動トランジスタTr13のドレインソース間に階調電流 $I_{data}$ が流れるために要する駆動トランジスタTr13のゲートソース間電圧のうちの多くの電圧成分はしきい値電圧 $V_{th13}$ であり、特に最低輝度電圧 $V_{lsb}$ では、全体の電荷のうちのしきい値電圧 $V_{th13}$ に要する電荷の割合は5割を越えてしまっていた。このしきい値電圧 $V_{th13}$ に達するような電荷を、本実施形態のプリチャージ動作、しきい値補正動作なしに書き込み動作だけで、つまり、階調電流 $I_{data}$ 程度の微小な電流値の電流でチャージしようとすると、書き込む書込動作期間 $T_{wr}$ が長くなってしまい、このため画像を表示するフレーム期間が長くなって良好な表示特性を損なっていた。しかし本実施形態では、接点N11及びN12間(駆動トランジスタTr13のゲートソース間)に接続されたコンデンサ $C_s$ には、上述したプリチャージ動作及びしきい値補正動作により駆動トランジスタTr13のしきい値電圧 $V_{th13}$ に相当する電荷が保持された(しきい値電圧 $V_{th13}$ が充電された)状態にあるので、階調電流 $I_{data}$ が駆動トランジスタTr13のドレインソース間で定常化するのに要する容量の電荷は、階調電流 $I_{data}$ 程度のような微小な電流でも比較的短い時間でチャージすることができる。

## 【0053】

このように、プリチャージ動作期間 $T_{pre}$ に、微小電流ではなく式(1)を満たすようなプリチャージ電圧 $V_{pre}$ を出力して強制的且つ迅速に駆動トランジスタ $T_{r13}$ がしきい値電圧 $V_{th13}$ よりも高い(絶対値が大きい)駆動トランジスタプリチャージ電圧 $V_{pre13}$ に達するように設定し、しきい値補正動作期間 $T_{th}$ に、駆動トランジスタ $T_{r13}$ のゲートソース間電圧がしきい値電圧 $V_{th13}$ に収束するように制御しているため、図4(a)に示すように、供給電圧ライン $V_L$ から駆動トランジスタ $T_{r13}$ 、接点 $N12$ 、選択トランジスタ $T_{r12}$ 、データライン $D_L$ を介して、信号駆動回路 $SDR$ に、階調電流 $I_{data}$ の電流値に対応した書込電流 $I_a$ が速やかに流れる。

## 【0054】

すなわち、コンデンサ $C_s$ には、図6に示すように、しきい値補正動作期間 $T_{th}$ で上記駆動トランジスタ $T_{r13}$ のしきい値電圧 $V_{th13}$ 相当の電荷が蓄積された状態にあるので、該充電状態に乗せして、階調電流 $I_{data}$ (書込電流 $I_a$ )に応じた電圧成分 $V_{data}$ に要する電荷を充電すればよく、駆動トランジスタ $T_{r13}$ のしきい値電圧 $V_{th13}$ が発光履歴や素子特性等により変化した場合であっても、階調信号(表示データ)に適切に対応した電圧成分 $V_{data}$ を迅速かつ十分に書き込むことができる。ここで、コンデンサ $C_s$ に充電される電圧 $V_c(=V\alpha$ ;第3の電位差)は、しきい値電圧 $V_{th13}$ と階調電流 $I_{data}$ に応じた電圧成分 $V_{data}$ の総和 $V\alpha = V_{th13} + V_{data}$ となる。

## 【0055】

また、このとき、供給電圧ライン $V_L$ には、低電位の供給電圧 $V_{sc}(=V_s)$ が印加され、さらに、書込電流 $I_a$ が供給電圧ライン $V_L$ から発光駆動回路 $DC$ を介してデータライン $D_L$ 方向に流れるように制御されていることから、有機 $EL$ 素子 $OEL$ のアノード端子(接点 $N12$ )に印加される電位はカソード端子の電位 $V_{com}$ 以下になり、有機 $EL$ 素子 $OEL$ に逆バイアス電圧が印加されることになるため、有機 $EL$ 素子 $OEL$ には発光駆動電流が流れず、発光動作は行われない。

## 【0056】

(発光動作期間)

次いで、書込動作期間 $T_{wr}$ 終了後の発光動作期間 $T_{em}$ においては、図2、図4(b)に示すように、選択ライン $S_L$ 及び保持ライン $H_L$ に対して、ともにオフレベルの選択信号 $S_{sel}$ 及びホールド信号 $Shld$ が印加される。また、このタイミングに同期して、信号駆動回路 $SDR$ による階調電流 $I_{data}$ の引き込み動作が停止されるとともに、供給電圧ライン $V_L$ に高電位の供給電圧 $V_{sc}$ として、有機 $EL$ 素子 $OEL$ を最高輝度階調で発光動作させる際に必要となるアノード電圧以上の電圧値 $V_e$ (有機 $EL$ 素子 $OEL$ のカソード側に接続された電圧 $V_{com}$ に対して、順バイアスとなる正の電圧)が印加される。発光電圧値 $V_e$ は選択電圧値 $V_s$ より高電位である。

## 【0057】

具体的には、発光電圧値 $V_e$ は下記式(2)を満たすような電圧に設定される。

$$|V_e - V_{com}| > V_{dsmax} + V_{elmax} \dots (2)$$

ここで、 $V_{dsmax}$ は、最高輝度階調での階調電流 $I_{data}$ を流す場合に、駆動トランジスタ $T_{r13}$ のドレインソース間が発光動作期間 $T_{em}$ で図5に示す飽和領域に達するような駆動トランジスタ $T_{r13}$ のドレインソース間の最高電圧値である。したがって、駆動トランジスタ $T_{r13}$ のドレインソース間電流(階調電流 $I_{data}$ )は、駆動トランジスタ $T_{r13}$ のゲートソース間電圧によって一義的に設定でき、換言すれば、駆動トランジスタ $T_{r13}$ のドレインソース間電流(階調電流 $I_{data}$ )によって、駆動トランジスタ $T_{r13}$ のゲートソース間電圧、つまりコンデンサ $C_s$ に蓄積される電荷量を一義的に設定できる。 $V_{elmax}$ は、最高輝度階調時の有機 $EL$ 素子 $OEL$ の分圧である。

## 【0058】

駆動トランジスタ $T_{r13}$ のドレインソース間電圧が発光動作期間 $T_{em}$ 中、飽和領域であるため $V_{ds}$ は下記式(3)を満たすような電圧に設定される。

$$|V_e - V_{com}| > V_{ds} \geq V_{th13} \dots (3)$$

つまり、式(3)を満たさずに、発光動作期間 $T_{em}$ 中、駆動トランジスタ $T_{r13}$ のド



レインソース間電圧 $V_{ds}$ がしきい値 $V_{th13}$ より低くなってしまうと、駆動トランジスタ $T_{r13}$ のゲートソース間電圧によって駆動トランジスタ $T_{r13}$ のドレインソース間電流 $I_{ds}$ を一義的に設定できなくなってしまう。

【0059】

$|V_e - V_{com}|$ が一定であると、 $|V_{ds} - V_{th}|$ は輝度階調が高くなる程、小さくなる傾向がある。つまり $V_{dsmax}$ が下記式(4)を満たせば、いかなる階調であっても発光動作期間 $T_{em}$ 中に駆動トランジスタ $T_{r13}$ のドレインソース間電圧が常に飽和領域になる。

$$|V_e - V_{com}| > V_{dsmax} \geq V_{th13max} \dots (4)$$

なお、図5では、 $V_e - V_{com}$ を20Vとしているがこれに限らない。

【0060】

発光駆動回路DCに設けられた保持トランジスタ $T_{r11}$ 及び選択トランジスタ $T_{r12}$ がオフ動作して、コンデンサ $C_s$ が上述した書込動作期間 $T_{wr}$ において蓄積された電荷を保持する。

このように、コンデンサ $C_s$ が書込動作時の充電電圧 $V_\alpha (= V_{th13} + V_{data})$ を保持することにより、駆動トランジスタの $T_{r13}$ のゲートソース間電圧 $V_{gs}$ (接点 $N_{11}$ の電位; 駆動電圧)が保持されることになり、駆動トランジスタ $T_{r13}$ はオン状態を維持する。

【0061】

したがって、発光動作期間 $T_{em}$ に、図4(b)に示すように、供給電圧ライン $V_L$ から駆動トランジスタ $T_{r13}$ 、接点 $N_{12}$ を介して、有機EL素子OEL方向に発光駆動電流 $I_{em}$ が流れ、有機EL素子OELが該発光駆動電流 $I_{em}$ の電流値に応じた所定の輝度階調で発光する。ここで、発光動作期間 $T_{em}$ にコンデンサ $C_s$ に保持される電荷(充電電圧 $V_c$ )は、上述したように、駆動トランジスタ $T_{r13}$ において階調電流 $I_{data}$ に対応する書込電流 $I_a$ を流す場合の電位差に相当するので、有機EL素子OELに流れる発光駆動電流 $I_{em}$ は、上記書込電流 $I_a$ (階調電流 $I_{data}$ )と同等の電流値( $I_{em} = I_a = I_{data}$ )を有することになる。これにより、書込動作期間 $T_{wr}$ に書き込まれた(保持された)電圧成分 $V_\alpha$ に基づいて、所定の発光状態(輝度階調)に対応する発光駆動電流 $I_{em}$ が供給されることになり、有機EL素子OELは表示データ(階調電流 $I_{data}$ )に応じた所望の輝度階調で継続的に発光する。

【0062】

このように、本実施形態に係る発光駆動回路及びその駆動制御方法によれば、書込動作期間において、有機EL素子OELの発光状態(輝度階調)に応じた電流値を指定した階調電流 $I_{data}$ (書込電流 $I_a$ )を強制的に駆動トランジスタ $T_{r13}$ のドレインソース間に流して、その電流値に応じて保持される駆動トランジスタ $T_{r13}$ のゲートソース間の電圧成分に基づいて、有機EL素子(発光素子)OELに流す発光駆動電流 $I_{em}$ を制御することにより、所定の輝度階調で発光動作させる電流指定方式の駆動制御方法を適用し、また、単一の発光駆動用トランジスタ(駆動トランジスタ $T_{r13}$ )により、所望の表示データ(輝度階調)に応じた階調電流 $I_{data}$ の電流レベルを電圧レベルに変換する機能(電流/電圧変換機能)と、有機EL素子OELに所定の電流値を有する発光駆動電流 $I_{em}$ を供給する機能(発光駆動機能)の双方を実現しているので、発光駆動回路DCを構成する各トランジスタの動作特性のバラツキや経時変化の影響を受けることなく、長期間にわたり安定的に所望の発光特性を実現することができる。

【0063】

また、本実施形態に係る発光駆動回路及びその駆動制御方法によれば、表示画素EMへの表示データの書込動作、及び、有機EL素子OELの発光動作に先立って、プリチャージ動作を実行することにより、発光駆動回路DCに設けられた発光駆動用トランジスタ(駆動トランジスタ $T_{r13}$ )のゲートソース端子間に接続されたコンデンサ $C_s$ に、階調電流 $I_{data}$ のような微小な電流ではなくプリチャージ電圧 $V_{pre}$ で強制的に当該トランジスタのしきい値電圧 $V_{th13}$ を越える駆動トランジスタプリチャージ電圧 $V_{pre13}$ に相当

する電荷をいったん蓄積させてから、しきい値補正動作を実行することにより、駆動トランジスタTr13が個々のしきい値Vth13に収束するように選択トランジスタTr12をオフ状態にするので、しきい値補正動作終了後には、各発光駆動回路DCのコンデンサCsに当該発光駆動回路DCの駆動トランジスタTr13のしきい値Vth13相当の電荷を予め蓄積、保持した状態に設定することができる。

**【0064】**

このように、各駆動トランジスタTr13のしきい値Vth13にバラツキが生じていても、しきい値補正動作において、個々の各駆動トランジスタTr13のしきい値Vth13に応じた電荷が適切にチャージされている。そして、表示データの書込動作において、表示データに基づく階調電流IdataによりコンデンサCsをしきい値電圧Vth13相当に充電する必要がなく、当該表示データ（階調電流Idata）に応じた電圧成分Vdataのみを上乗せして蓄積（充電）すればよいので、表示データに基づく電荷をコンデンサCsに迅速に蓄積（充電）することができ、書込不足の発生を抑制することができる。したがって、表示データに応じた適正な輝度階調で有機EL素子OELを発光動作させることができる。

**【0065】**

具体的には、本実施形態に示したような電流指定方式を適用した発光駆動回路においては、書込動作時に発光駆動回路DCに供給される（本実施形態においては、引き込む）階調電流Idata（書込電流Ia）の電流値と有機EL素子OELに流れる発光駆動電流Iemが略同等であるので、低輝度階調で表示動作を行う場合（低輝度階調で有機EL素子OELを発光動作させる場合）にあつては、信号駆動回路SDRにより供給する階調電流Idataの電流値が非常に小さくなる。

**【0066】**

一方、表示画素（発光駆動回路）への書込動作に許容される時間は、後述する表示装置への適用例においても詳述するが、一般に、表示パネルの仕様（フレーム時間と走査線数）に基づいて予め規定されている。

そのため、本実施形態のプリチャージ動作及びしきい値補正動作を行わずに、書込動作期間に表示データに応じた階調電流Idataを供給して、発光駆動用のトランジスタ（駆動トランジスタTr13に相当する）のゲートソース間（コンデンサCsの両端に相当する）に一定の電位を形成する場合、まず、該トランジスタのしきい値電圧Vth13分の電荷を蓄積する必要があるため、低輝度の階調表示に対応した微少な階調電流Idataでは、該トランジスタのゲートソース間にしきい値電圧Vth13並びにその他の容量（例えば、データラインDLの寄生容量、選択トランジスタTr12のしきい値電圧Vth12）に対応する電荷を十分に蓄積することができず、当該階調電流Idataに応じた電流値を有する発光駆動電流Iemを発光素子（有機EL素子OEL）に供給することができなくなるという現象が生じる。

**【0067】**

これにより、発光駆動回路DCに供給される階調電流Idata（書込電流Ia；入力階調）に対する、有機EL素子OELに共有される発光駆動電流Iem（出力階調）の電流値が、例えば、図8中、円部に示すように、低輝度階調領域において非線形性を示し、表示データに応じた適切な輝度階調で発光動作を行うことができなくなる。

**【0068】**

これに対して、本実施形態に係る発光駆動回路及びその駆動制御方法によれば、表示データの書込動作に先立って、駆動トランジスタ（発光駆動用トランジスタ）Tr13のゲートソース間（コンデンサCsの両端）にしきい値電圧に相当する電荷を蓄積する、プリチャージ動作及びしきい値補正動作を実行するように駆動制御されるので、例えば、図9（a）、（b）に示すように、低輝度階調領域においても、入力階調（階調電流Idata；書込電流Ia）に対する出力階調（発光駆動電流Iem；発光輝度）が良好な線形性を示し、表示データに応じた適切な輝度階調で発光動作を行うことができる。

特に、本実施形態に係る発光駆動回路及びその駆動制御方法によれば、図9（a）、（b）に示すように、駆動トランジスタTr13のしきい値電圧Vth13が経時変化や発光履

歴等に起因して変化(シフト)した場合であっても、略線形性を示すことが確認された。

【0069】

なお、図8は、本実施形態に係る発光駆動回路の駆動制御方法との対比例における階調電流に対する発光駆動電流の変化傾向を示すグラフであり、図9は、本実施形態に係る発光駆動回路の駆動制御方法における入力階調に対する出力階調の変化傾向を示すグラフであり、横軸が階調電流  $I_{data}$  に基づく階調値であり、縦軸が階調電流  $I_{data}$  により生じる発光駆動電流  $I_{em}$  に基づく階調値であり、破線が理想値である。ここで、図9(a)は、駆動トランジスタ  $T_{r13}$  のしきい値電圧の変化が生じていない初期状態における、入力階調値に対する出力階調値の変化傾向を示すグラフであり、図9(b)は、駆動トランジスタ  $T_{r13}$  のしきい値電圧が経時変化により4Vシフトした状態における、入力階調に対する出力階調の変化傾向を示すグラフである。このように、図8のような低階調時の階調の潰れがなく、階調電流  $I_{data}$  に対して線形性の発光駆動電流  $I_{em}$  を得ることができる。

【0070】

＜発光駆動回路の駆動制御方法(階調表示:その2)＞

次いで、上述したような構成を有する発光駆動回路における駆動制御方法の第2の例(階調表示動作)について説明する。

図10は、本実施形態に係る発光駆動回路の駆動制御動作の第2の例におけるデータラインDLの電流値、選択信号  $S_{sel}$  の電位、ホールド信号  $S_{hld}$  の電位、供給電圧  $V_{sc}$  の電位、コンデンサ  $C_s$  の両端の電位差、有機EL素子OELに流れる発光駆動電流  $I_{em}$  の電流値を示すタイミングチャートである。図11は、本実施形態に係る発光駆動回路の動作例(プリチャージ動作/電圧補正動作)を示す概念図であり、図12は、本実施形態に係る発光駆動回路の動作例(書込動作/発光動作)を示す概念図である。ここでは、上述した実施形態に示した駆動制御回路(図1)を参照し、また、第1の例に示した駆動制御方法(図2～図4)と同等の制御動作については、その説明を簡略化する。

【0071】

上述した第1の例に示した駆動制御方法においては、発光駆動用トランジスタである駆動トランジスタ  $T_{r13}$  のゲートソース間に接続されたコンデンサ  $C_s$  に、駆動トランジスタプリチャージ電圧  $V_{pre13}$  を充電するプリチャージ動作期間  $T_{pre}$  後に、当該コンデンサ  $C_s$  の充電電圧を、駆動トランジスタプリチャージ電圧  $V_{pre13}$  から駆動トランジスタ  $T_{r13}$  のしきい値電圧  $V_{th13}$  に収束させるように補正するしきい値補正動作期間  $T_{th}$  を設けた駆動制御方法を示したが、本発明はこれに限定されるものではない。

【0072】

第1の例に示した駆動制御方法においては、書込動作に先立って、発光駆動用トランジスタ(駆動トランジスタ  $T_{r13}$ )のゲートソース間(コンデンサ  $C_s$ )にしきい値電圧  $V_{th13}$  相当の電荷を蓄積しておき、書込動作時に供給される階調電流  $I_{data}$  による電荷の全てを、発光駆動電流  $I_{em}$  の生成に寄与する電荷として、上記しきい値電圧  $V_{th13}$  相当の電荷量に上乗せして蓄積する手法を適用する場合について説明した。この場合、プリチャージ動作期間  $T_{pre}$  に駆動トランジスタ  $T_{r13}$  のゲートソース間にしきい値電圧  $V_{th13}$  を越える電圧を印加させて電荷を蓄積させてから、しきい値補正動作期間  $T_{th}$  でしきい値電圧  $V_{th13}$  に収束するまで電荷を放電させていたので、プリチャージ動作期間  $T_{pre}$  に駆動トランジスタ  $T_{r13}$  のゲートソース間に印加した電圧としきい値電圧  $V_{th13}$  との間の電位差が大きいとしきい値補正動作期間  $T_{th}$  が長くなってしまっていた。

【0073】

本実施形態においては、このような技術思想に基づいて、図10に示すように、1処理サイクル期間  $T_{cyc}$  内に、発光駆動回路DCのコンデンサ  $C_s$  に、駆動トランジスタプリチャージ電圧  $V_{pre13}$  に基づく電荷を蓄積するプリチャージ動作期間  $T_{pre}$  と、該コンデンサ  $C_s$  に蓄積された電荷の一部を放電して、有機EL素子OELを最低輝度階調(無発光を除く輝度が最も低い階調)で発光動作させる際の発光駆動電流  $I_{em}$  を生成する電圧相当(最低輝度電圧  $V_{lsb}$ )の電荷を駆動トランジスタ  $T_{r13}$  のゲートソース間のコンデ

ンサC sに残留させて保持する電圧補正動作期間 $T_{vt}$ と、表示データに応じた階調信号(階調電流 $I_{data}$ )に基づく電荷をコンデンサC sに書き込む書込動作期間 $T_{wr}$ と、該コンデンサC sに蓄積された電荷に基づいて、所定の輝度階調で有機EL素子OELを発光動作させる発光動作期間 $T_{em}$ と、を含むように設定することにより実行される( $T_{cyc} \geq T_{pre} + T_{vt} + T_{wr} + T_{em}$ )。

## 【0074】

ここで、1処理サイクル期間 $T_{cyc}$ とは、複数の表示画素EMを行方向及び列方向にマトリクスに配列して1フレームの画像を表示する場合に、1行分の表示画素EMが1フレームの画像のうちの1行分の画像を表示するのに要する期間である。ただし、プリチャージ動作期間 $T_{pre}$ 及び電圧補正動作期間 $T_{vt}$ は複数の行で同時にとり、各行ごとに書き込む書込動作期間 $T_{wr}$ をずらして、発光動作期間 $T_{em}$ を複数の行で同時にとってもよい。

## 【0075】

すなわち、信号駆動回路SDRのスイッチ手段SMがプリチャージ電圧 $V_{pre}$ をデータラインDLに出力するプリチャージ動作期間 $T_{pre}$ 後、信号駆動回路SDRのスイッチ手段SMが階調電流 $I_{data}$ をデータラインDLに流れるようにする書込動作期間 $T_{wr}$ に移行する前に、発光駆動用トランジスタ(駆動トランジスタ $T_{r13}$ )のゲートソース間(コンデンサC s)に蓄積する電荷量を、上述したしきい値電圧 $V_{th13}$ 相当ではなく、最低輝度階調で発光動作させる際の発光駆動電流を生成するための電圧相当(最低輝度電圧 $V_{1sb}$ )に設定するようにした駆動制御方法を適用している。

## 【0076】

具体的には、図10に示すように、プリチャージ動作期間後に実行される電圧補正動作期間 $T_{vt}$ は、図6に示した駆動トランジスタ $T_{r13}$ のゲートソース間電圧 $V_{gs}$ (コンデンサC sの両端電圧 $V_c$ )の変化傾向、及び、図7に示した駆動トランジスタ $T_{r13}$ のドレインソース間電流 $I_{ds}$ (発光駆動電流 $I_{em}$ )の変化傾向において、最低輝度階調で発光動作させる際の発光駆動電流 $I_{em}$ (= $I_{1sb}$ ; 4.68E-08A)を流すことができるゲートソース間電圧 $V_{gs}$ (=最低輝度電圧 $V_{1sb}$ ; 第2の電位差)に達した時点(概ね100~200 $\mu$ sec)で当該電圧補正動作を停止して後続の書込動作期間 $T_{wr}$ に移行するように設定する。

## 【0077】

このような発光駆動回路の駆動制御方法によれば、プリチャージ動作期間 $T_{pre}$ 後の電圧補正動作期間 $T_{vt}$ において、コンデンサC sにいったん充電された駆動トランジスタプリチャージ電圧 $V_{pre13}$ を、駆動トランジスタ $T_{r13}$ のしきい値電圧 $V_{th13}$ よりも高い電圧(絶対値の大きい電圧)である、有機EL素子OELを最低輝度階調で発光動作(表示動作)させるのに要する発光駆動電流 $I_{em}$ (= $I_{1sb}$ )に対応した最低輝度電圧 $V_{1sb}$ に収束すればよいので、駆動トランジスタプリチャージ電圧 $V_{pre13}$ としきい値電圧 $V_{th13}$ との電位差よりも、駆動トランジスタプリチャージ電圧 $V_{pre13}$ と最低輝度電圧 $V_{1sb}$ との電位差の方が小さいため、しきい値補正動作期間 $T_{th}$ よりも電圧補正動作期間 $T_{vt}$ が短い。例えば、図6及び図7に示したゲートソース間電圧 $V_{gs}$ (コンデンサC sの両端電圧 $V_c$ )の変化傾向の駆動トランジスタ $T_{r13}$ を採用した場合、しきい値電圧 $V_{th13}$ に収束するまでの時間(概ね3~4msec)に比較して、充電電圧の補正動作に要する時間を大幅に短縮(概ね100~200 $\mu$ sec)することができる。

## 【0078】

また、電圧補正動作期間 $T_{vt}$ においてはコンデンサC sに電荷が蓄積されるばかりでなく供給電圧ラインVLからデータラインDLまでに至る電流ルートのコンデンサC s以外のその他の容量にも、階調電流 $I_{data}$ が流れるような電荷の蓄積が行われているので、後続する書込動作期間 $T_{wr}$ において、表示データに基づいて微少な階調電流 $I_{data}$ が供給された場合であっても、当該電流 $I_{data}$ によって速やかに発光駆動電流 $I_{em}$ の生成に寄与する電荷を、上記コンデンサC sに蓄積された最低輝度電圧 $V_{1sb}$ 相当の電荷量に上乘せしめて、表示データに適切に対応した電圧成分 $V_{data}$ を迅速かつ十分に蓄積する(書き込む)ことができる。

## 【0079】

したがって、発光駆動回路の駆動制御動作（発光素子の発光動作）に係る1処理サイクル期間 $T_{cyc}$ において、書込動作期間 $T_{wr}$ 及び発光動作期間 $T_{em}$ に先立って実行される、コンデンサ $C_s$ （ゲートソース間電圧 $V_{gs}$ ）の充電電圧 $V_c$ の補正動作に要する時間を短縮することができるので、相対的に発光素子の発光動作期間 $T_{em}$ を長く設定することができ、発光輝度を向上させることができるとともに、図9に示した場合と同様に、低輝度階調領域における発光輝度の低下を抑制し、線形性を維持することができる。

## 【0080】

＜発光駆動回路の駆動制御方法（無発光表示）＞

次いで、上述したような構成を有する発光駆動回路における駆動制御方法の第3の例（無発光表示動作）について説明する。

図13は、本実施形態に係る発光駆動回路の駆動制御動作の第3の例におけるデータライン $D_L$ の電流値、選択信号 $S_{sel}$ の電位、ホールド信号 $Shld$ の電位、供給電圧 $V_{sc}$ の電位、コンデンサ $C_s$ の両端の電位差、有機EL素子OELに流れる発光駆動電流 $I_{em}$ の電流値を示すタイミングチャートである。なお、データライン $D_L$ において、プリチャージ電流 $I_{pre}$ の電流の向きと、後述する無発光表示電圧 $V_{zero}$ によってコンデンサ $C_s$ の両端電位 $V_c$ が0Vになるまで流れ続ける書込電流 $I_a$ の電流の向きは、互いに逆の向きとなる。図14は、本実施形態に係る発光駆動回路の動作例（書込動作／発光動作）を示す概念図である。ここで、第1及び第2の例に示した駆動制御方法（図2、図3、図10、図11）と同等の制御動作については、その説明を簡略化する。

## 【0081】

ここで、第1及び第2の例のいずれの場合においても、書込動作期間 $T_{wr}$ から発光動作期間 $T_{em}$ に移行する際に、供給電圧 $V_{sc}$ が低電位の選択電圧値 $V_s$ から高電位の発光電圧値 $V_e$ に変位する。このため、保持トランジスタ $T_{r11}$ の寄生容量等の電荷が変位してしまい、駆動トランジスタ $T_{r13}$ のゲート電位が上昇してしまう。第1及び第2の例では、前の1処理サイクル期間 $T_{cyc}$ の電圧補正動作期間 $T_{vt}$ の間にコンデンサ $C_s$ に書き込まれた充電電圧 $V_c$ がしきい値電圧 $V_{th13}$ 近傍であったとしても、このような僅かなゲート電位変動により発光駆動電流 $I_{em}$ が流れて、無発光表示動作が不安定になる可能性があるため、当該充電電圧 $V_c$ が完全に放電されて、駆動トランジスタ $T_{r13}$ のゲートソース間電圧 $V_{gs}$ が0V（接点 $N11$ と接点 $N12$ が等電位）に設定されていることが望ましい。このような書込動作を上述したような微小な電流値の階調電流 $I_{data}$ を用いて行った場合、書込電流 $I_a$ がなくなるまでコンデンサ $C_s$ の電荷を放出するまでに比較的長い時間を必要とする。特に前の1処理サイクル期間 $T_{cyc}$ の電圧補正動作期間 $T_{vt}$ の間にコンデンサ $C_s$ に書き込まれた充電電圧 $V_c$ が最高輝度階調電圧 $V_{msb}$ に近い程、コンデンサ $C_s$ に保持されている電荷量が多いため、より長い時間を要することとなる。

## 【0082】

上述した第1の例に示した駆動制御方法においては、書込動作に先立って、発光駆動用トランジスタである駆動トランジスタ $T_{r13}$ のゲートソース間に接続されたコンデンサ $C_s$ にしきい値電圧 $V_{th13}$ 相当の電荷を蓄積する手法を適用しているため、図6に示したように、ゲートソース間電圧 $V_{gs}$ （コンデンサ $C_s$ の両端電位 $V_c$ ）がしきい値電圧 $V_{th13}$ に収束するまでに概ね3msec程度の比較的長い時間を必要とするとともに、発光動作期間 $T_{em}$ において有機EL素子を無発光状態に保持する無発光表示動作を実現するためには、しきい値補正期間 $T_{th}$ 終了後（すなわち、3msec経過後）の書込動作期間 $T_{wr}$ において供給される階調電流 $I_{data}$ により上記コンデンサ $C_s$ に充電された電圧（両端電位 $V_c$ ）をしきい値電圧 $V_{th13}$ 未満に設定する必要がある。

## 【0083】

同様に、上述した第2の例に示した駆動制御方法においては、書込動作に先立って、駆動トランジスタ $T_{r13}$ のゲートソース間に接続されたコンデンサ $C_s$ に最低輝度電圧 $V_{lsb}$ 相当の電荷を蓄積する手法を適用しているため、図6に示したように、コンデンサ $C_s$ の充電電圧 $V_c$ を補正する動作を概ね100～200 $\mu$ sec程度に短縮することがで

きるものの、無発光表示動作を実現するためには、書込動作期間 $T_{wr}$ において供給される階調電流 $I_{data}$ により上記コンデンサ $C_s$ に充電された電圧（両端電位 $V_c$ ）をしきい値電圧 $V_{th13}$ 未満に設定する必要がある。

## 【0084】

そこで、本実施形態においては、図13に示すように、1処理サイクル期間 $T_{cyc}$ 内に、発光駆動回路DCのコンデンサ $C_s$ にプリチャージ電圧 $V_{pre}$ に基づく電荷を蓄積するプリチャージ動作期間 $T_{pre}$ と、該コンデンサ $C_s$ に蓄積された電荷の一部を放電して、最低輝度電圧 $V_{lsb}$ 相当の電荷又はしきい値電圧 $V_{th13}$ 相当の電荷を残留させて保持する電圧補正動作期間 $T_{vt}$ と、無発光表示データに応じた階調信号（無発光表示電圧 $V_{zero}$ ）を印加してコンデンサ $C_s$ に保持された電荷をほとんど放電する書込動作期間 $T_{wr}$ と、有機EL素子OELを発光動作させない（無発光動作させる）発光動作期間 $T_{em}$ と、を含むように設定することにより実行される（ $T_{cyc} \geq T_{pre} + T_{vt} + T_{wr} + T_{em}$ ）。

## 【0085】

すなわち、第1の例又は第2の例に示した実施形態と同様に、書込動作期間 $T_{wr}$ に先立つプリチャージ動作及び電圧補正動作において、発光駆動用トランジスタ（駆動トランジスタ $T_{r13}$ ）のゲートソース間（コンデンサ $C_s$ ）に蓄積する電荷量を、一旦、しきい値電圧 $V_{th13}$ 相当、或いは、最低輝度階調（LSB）で発光動作させる際の発光駆動電流を生成するための電圧相当（最低輝度電圧 $V_{lsb}$ ）に設定し、その後の書込動作において、図14（a）に示すように、信号駆動回路SDRから、供給電圧 $V_{sc}$ として選択電圧値 $V_s$ に等しい電位の無発光表示電圧 $V_{zero}$ をデータラインDLを介して発光駆動回路DC（接点N12）に直接印加して、上記ゲートソース電圧 $V_{gs}$ （コンデンサ $C_s$ の両端電位 $V_c$ ）を0Vに設定するようにした駆動制御方法を適用している。

## 【0086】

これにより、コンデンサ $C_s$ に蓄積された電荷のほぼ全てが放電され、駆動トランジスタ $T_{r13}$ のゲートソース電圧 $V_{gs}$ が、しきい値電圧 $V_{th13}$ よりも十分低い電圧値（略0V）に設定されるので、書込動作期間 $T_{wr}$ から発光動作期間 $T_{em}$ に移行する際に、供給電圧 $V_{sc}$ が低電位の選択電圧値 $V_s$ から高電位の発光電圧値 $V_e$ に変位して駆動トランジスタ $T_{r13}$ のゲート電位がわずかながら上昇したとしても、駆動トランジスタ $T_{r13}$ のゲートソース間電圧はしきい値電圧 $V_{th13}$ より十分低いので、図14（b）に示すように、駆動トランジスタ $T_{r13}$ はオン動作せず（オフ状態を保持して）、有機EL素子OELには発光駆動電流 $I_{em}$ が供給されないため、発光動作は行われず（無発光状態となる）。

## 【0087】

ここで、上記書込動作期間 $T_{wr}$ において、信号駆動回路SDRから発光駆動回路DCに無発光表示電圧 $V_{zero}$ を印加するタイミングは、上述した第1の例又は第2の例に示した実施形態と同様に、ゲートソース電圧 $V_{gs}$ がしきい値電圧 $V_{th13}$ 又は最低輝度電圧 $V_{lsb}$ に達した時点で設定されるので、プリチャージ動作後の電圧補正動作期間 $T_{vt}$ において、例えば、図6に示したグラフで補正動作開始後、概ね100～200 $\mu$ sec経過した時点で、電圧補正動作期間 $T_{vt}$ を終了して書込動作期間 $T_{wr}$ に移行し、無発光表示電圧 $V_{zero}$ を印加するように設定する。

## 【0088】

これにより、書込動作に先立って実行されるプリチャージ動作及び電圧補正動作に必要とされる時間を大幅に短縮することができるとともに、無発光表示動作（無発光動作）時に、データラインDLを介して無発光表示データに対応した階調電流を供給して、駆動トランジスタ $T_{r13}$ のゲートソース間に接続されたコンデンサ $C_s$ に蓄積された電荷のほぼ全てを放電する場合に比較して、無発光表示データの書込動作に要する時間を大幅に短縮しつつ、無発光表示動作を良好に実現することができる。したがって、上述した第1の例又は第2の例に示した実施形態における通常の階調表示動作に加え、第3の例に示した実施形態における無発光表示動作を、表示データに応じて切替制御することにより、所望の階調数（例えば、256階調）の発光動作を、比較的高輝度かつ鮮明に実現すること

ができる。

【0089】

具体的には、第1の例では、図1に示す信号駆動回路SDRのスイッチ手段SMが、プリチャージ動作期間T<sub>pre</sub>に、データラインDLにプリチャージ電圧V<sub>pre</sub>を出力する。そしてしきい値補正動作期間T<sub>th</sub>後の書込動作期間T<sub>wr</sub>では、スイッチ手段SMが、表示データが無発光表示の場合にデータラインDLに無発光表示電圧V<sub>zero</sub>を出力し、表示データが発光表示の場合にデータラインDLに階調電流I<sub>data</sub>が流れるようにスイッチングを行う。

【0090】

同様に、第2の例では、図1に示す信号駆動回路SDRのスイッチ手段SMが、プリチャージ動作期間T<sub>pre</sub>に、データラインDLにプリチャージ電圧V<sub>pre</sub>を出力する。そして電圧補正動作期間T<sub>vt</sub>後の書込動作期間T<sub>wr</sub>では、スイッチ手段SMが、表示データが無発光表示の場合にデータラインDLに無発光表示電圧V<sub>zero</sub>を出力し、表示データが発光表示の場合にデータラインDLに階調電流I<sub>data</sub>が流れるようにスイッチングを行う。

【0091】

また、上述した各例に示した実施形態（駆動制御方法）においては、図1に示したように、発光駆動回路DCとして3個のトランジスタTr11乃至Tr13を備えた回路構成を示して説明したが、本発明はこれに限定されるものではなく、電流指定方式に対応した発光駆動回路であって、単一の薄膜トランジスタを用いて、表示データに応じて供給された階調電流を電圧成分に変換して、ゲートソース間に接続されたコンデンサ又は寄生容量に蓄積する電流／電圧変換機能、及び、該蓄積された電圧成分に基づいて発光素子（有機EL素子）に供給する発光駆動電流を制御する発光駆動機能を実現するものであれば、他の回路構成を有するものであってもよいことはいうまでもない。

【0092】

<表示装置>

次に、上述した発光駆動回路を有する表示画素を複数個マトリクス状に配列してなる表示パネルを備えた表示装置及びその表示駆動方法について、図面を参照して説明する。

図15は、本発明に係る表示装置の全体構成の一例を示す概略ブロック図であり、図16は、本実施形態に係る表示装置に適用される表示パネル及びその周辺回路（選択ドライバ、保持ドライバ、供給電圧ドライバ）の一例を示す概略構成図である。ここでは、上述した第1の例又は第2の例に示した階調表示動作と第3の例に示した無発光表示動作を選択的に実行する機能を備えた表示装置について説明する。また、上述した表示画素（発光駆動回路；図1参照）と同等の構成については、同一又は同等の符号を付してその説明を簡略化する。

【0093】

図15、図16に示すように、本実施形態に係る表示装置100は、概略、行方向に配設された複数の選択ラインSLと列方向に配設された複数のデータラインDLとの各交点近傍に、上述した実施形態と同等の回路構成EMを有する発光駆動回路DC及び有機EL素子（発光素子）OELを備えた複数の表示画素がn行×m列（n、mは、任意の正の整数）からなるマトリクス状に配列された表示パネル110と、該表示パネル110の選択ラインSLに接続され、各選択ラインSLごとに順次所定のタイミングで選択信号（書込制御信号）Sselを印加する選択ドライバ120と、選択ラインSLの各々に並行して行方向に配設された保持ラインHLに接続され、各保持ラインHLごとに順次所定のタイミングでホールド信号（電圧制御信号）Vhidを印加する保持ドライバ130と、表示パネル110のデータラインDLに接続され、プリチャージ動作期間T<sub>pre</sub>に、各データラインDLを介して表示画素EMへプリチャージ電圧V<sub>pre</sub>を供給するとともに、書込動作期間T<sub>wr</sub>に、表示データに応じた階調信号（階調電流I<sub>data</sub>又は無発光表示電圧V<sub>zero</sub>）を、各データラインDLを介して表示画素EMへ供給するデータドライバ140と、表示パネル110に配列された全ての表示画素EMに共通に接続された供給電圧ラインVLに接続され、該供給電圧ラインVLに所定の供給電圧V<sub>sc</sub>を印加する供給電圧ドライバ150

と、後述する表示信号生成回路170から供給されるタイミング信号に基づいて、少なくとも上記選択ドライバ120及び保持ドライバ130、データドライバ140、供給電圧ドライバ150の動作状態を制御する選択制御信号及びホールド制御信号、データ制御信号、電源制御信号を生成して出力するシステムコントローラ160と、例えば、表示装置100の外部から供給される映像信号に基づいて、表示データ(輝度階調データ)を生成してデータドライバ140に供給するとともに、該表示データに基づいて表示パネル110に所定の画像情報を表示するためのタイミング信号(システムクロック等)を抽出、又は、生成してシステムコントローラ160に供給する表示信号生成回路170と、を備えて構成されている。

【0094】

以下、上記各構成について具体的に説明する。

(表示パネル)

図16に示した表示パネル110に配列された表示画素EMは、上述した実施形態(図1参照)と同様に、選択ドライバ120から選択ラインSLを介して印加される選択信号Ssel、及び、保持ドライバ130から保持ラインHLを介して印加されるホールド信号Shld、信号ドライバ140からデータラインDLを介して供給される階調信号(階調電流Idata又は無発光表示電圧Vzero)、供給電圧ドライバ150から供給電圧ラインVLを介して印加される供給電圧Vscに基づいて、上述した各例の駆動制御方法に示したプリチャージ動作及びしきい値補正動作(又は、電圧補正動作)、書込動作、発光動作を実行する発光駆動回路DCと、該発光駆動回路DCにより供給される発光駆動電流Iemの電流値に応じて所定の輝度階調で発光動作する有機EL素子(発光素子)OELと、を有して構成されている。なお、本実施形態においては、上述した実施形態(図1参照)と同様に、発光素子として有機EL素子OELを適用した場合について示すが、発光駆動電流の電流値に応じて所定の輝度階調で発光動作を行う電流制御型の発光素子であれば、他の発光素子であってもよい。

【0095】

(選択ドライバ)

選択ドライバ120は、システムコントローラ160から供給される選択制御信号に基づいて、各選択ラインSLにオンレベルの選択信号Sselを印加することにより、各行ごとの表示画素EMを選択状態に設定する。本実施形態に係る表示装置においては、後述する駆動制御方法(図20参照)において詳しく説明するが、プリチャージ動作期間において、上記選択信号Sselを少なくとも複数の行の選択ラインSL、好ましくは、全ての行の選択ラインSLに一斉に印加して、表示パネル110の複数の行、好ましくは、全ての表示画素EMを同時に選択状態に設定し、一方、パネル書込動作期間においては、上記選択信号Sselを各行の選択ラインSLに順次印加することにより、各行ごとの表示画素EMを順次選択状態に設定するように制御する。

【0096】

選択ドライバ120は、例えば、図16に示すように、後述するシステムコントローラ160から選択制御信号として供給される選択クロック信号SCK及び選択スタート信号SSTに基づいて、各行の選択ラインSLに対応するシフト信号を順次出力するシフトレジスタ121と、該シフトレジスタ121から出力されるシフト信号を所定の信号レベル(オンレベル)に変換して、システムコントローラ160から選択制御信号として供給される出力制御信号SOEに基づいて、各選択ラインSLに選択信号Sselとして出力する出力回路部122と、を備えた構成を有している。

【0097】

ここで、本実施形態に係る選択ドライバ120においては、特に、出力回路部122が、上述したシフトレジスタ121から順次出力されるシフト信号を、オンレベルの選択信号Sselとして各行の選択ラインSLに順次出力する機能(モード)と、シフトレジスタ121からのシフト信号に関わらず、少なくとも複数の行の選択ラインSL、好ましくは、全ての選択ラインSLにオンレベルの選択信号Sselを一斉に出力する機能(モード)



と、を有し、上記出力制御信号SOEに基づいて、これらの機能が切り替え可能に構成されている。

【0098】

すなわち、後述するように、表示パネル110に配列された各行の表示画素EMに、階調信号を供給して表示データを順次書き込む動作（パネル書込動作）においては、選択信号Sselを各選択ラインSLに順次出力するモードに設定され、該パネル書込動作に先立って、表示パネル110に配列された少なくとも複数の行の選択ラインSL、好ましくは、全ての表示画素EMに所定のプリチャージ電圧Vpreに対応する電荷を蓄積（充電）する動作においては、選択信号Sselを少なくとも複数の行の選択ラインSL、好ましくは、全ての選択ラインSLに一斉に出力するモードに設定される。

【0099】

（保持ドライバ）

保持ドライバ130は、システムコントローラ160から供給されるホールド制御信号に基づいて、各保持ラインHLにオンレベルのホールド信号Shldを印加することにより、各行ごとの表示画素EMに設けられた発光駆動用トランジスタ（上述した実施形態に示した発光駆動回路Tr13に相当する）のゲート端子への所定電圧の印加状態を保持する。

【0100】

本実施形態に係る表示装置においては、後述する駆動制御方法（図20参照）において詳しく説明するが、プリチャージ動作期間及びしきい値補正動作期間（又は、電圧補正期間）において、上記ホールド信号Shldを少なくとも複数の行の保持ラインHL、好ましくは、全ての行の保持ラインHLに一斉に印加して、表示パネル110の少なくとも複数の行、好ましくは、全ての表示画素EMを同時に選択状態に設定し、一方、パネル書込動作期間においては、上記ホールド信号Shldを各行の保持ラインHLに順次印加することにより、各行ごとの表示画素EMに設けられた発光駆動用トランジスタのゲート電圧を保持するように制御する。

【0101】

保持ドライバ130は、例えば、図16に示すように、上述した選択ドライバ120と同様に、システムコントローラ160からホールド制御信号として供給されるホールドクロック信号HCK及びホールドスタート信号HSTに基づいて、各行の保持ラインHLに対応するシフト信号を順次出力するシフトレジスタ131と、シフト信号を所定の信号レベル（オンレベル）に変換して、ホールド制御信号として供給される出力制御信号HOEに基づいて、各保持ラインHLにホールド信号Shldとして出力する出力回路部132と、を備えた構成を有している。

【0102】

ここで、本実施形態に係る保持ドライバ130においては、特に、出力回路部122が、上述したシフトレジスタ121から順次出力されるシフト信号を、オンレベルのホールド信号Shldとして各行の保持ラインHLに順次出力する機能（モード）と、シフトレジスタ121からのシフト信号に関わらず、少なくとも複数の行の保持ラインHL、好ましくは、全ての保持ラインHLにオンレベルのホールド信号Shldを一斉に出力する機能（モード）と、を有し、上記出力制御信号HOEに基づいて、これらの機能が切り替え可能に構成されている。

【0103】

すなわち、後述するように、表示パネル110に配列された各行の表示画素EMに、階調信号を供給して表示データを順次書き込む動作（パネル書込動作）においては、ホールド信号Shldを各保持ラインHLに順次出力するモードに設定され、該パネル書込動作に先立って、表示パネル110に配列された少なくとも複数の行の表示画素EM、好ましくは、全ての表示画素EMに所定のプリチャージ電圧Vpreに対応する電荷を蓄積（充電）する動作、及び、該蓄積された電荷の一部を放電して、しきい値電圧Vth13（又は、最低輝度電圧V1sb）に対応する電荷を残留させて保持する動作においては、ホールド信号Sh

1dを少なくとも複数の行の保持ラインHL、好ましくは、全ての保持ラインHLに一斉に出力するモードに設定される。

【0104】

(データドライバ)

図17は、本実施形態に係る表示装置に適用可能なデータドライバの一例を示す概略構成図であり、図18は、本実施形態に係るデータドライバに適用可能な階調信号生成部の一例を示す概略ブロック図であり、図19は、本実施形態に係るデータドライバに適用可能な階調信号生成部の要部構成を示す概略ブロック図である。なお、図17～図19に示すデータドライバの内部構成については、適用可能な一例を示したものに過ぎず、これに限定されるものではない。

【0105】

データドライバ140は、概略、図17に示すように、システムコントローラ160から供給されるデータ制御信号に基づいて、後述する表示信号生成回路170から供給される、デジタル信号からなる表示データ(輝度階調データ)を1行分ごとに所定のタイミングで順次取り込んで保持し、該表示データの階調値が0ビット(すなわち、無発光表示)以外の場合には、当該階調値に対応する電流値を有する階調電流I<sub>data</sub>を生成し、一方、上記階調値が0ビット(無発光表示)の場合には、無発光表示動作を行うための特定の電圧(無発光表示電圧)V<sub>zero</sub>を生成して、パネル書込動作期間に選択状態に設定された各行の表示画素EMに対して、各データラインDLを介して一斉に供給する階調信号生成部141と、システムコントローラ160から供給されるデータ制御信号(プリチャージ信号PCG)に基づいて、各データラインDLに一端側が接続されたトランジスタスイッチSW<sub>pr</sub>のオン、オフ動作を制御して、表示パネルに配列された少なくとも複数の行の表示画素EM、好ましくは、全ての表示画素EMに対して、所定のプリチャージ電圧V<sub>pre</sub>を当該各データラインDLを介して一斉に供給するプリチャージ電圧供給部142と、を備えた構成を有している。

【0106】

ここで、階調信号生成部141は、例えば、図18に示すように、システムコントローラ160から供給されるデータ制御信号(シフトクロック信号CLK、サンプリングスタート信号STR)に基づいて、順次シフト信号を出力するシフトレジスタ回路41と、該シフト信号の入力タイミングに基づいて、表示信号生成回路170から供給される1行分の表示データD<sub>0</sub>～D<sub>m</sub>を順次取り込むデータレジスタ回路42と、データ制御信号(データラッチ信号STB)に基づいて、データレジスタ回路42により取り込まれた1行分の表示データD<sub>0</sub>～D<sub>m</sub>を保持するデータラッチ回路43と、該データラッチ回路43に保持された表示データD<sub>0</sub>～D<sub>m</sub>から、無発光表示データ(0ビットの階調値)を検出し、当該表示データに対応する列のデータラインDLに、所定の無発光表示電圧V<sub>zero</sub>を印加するとともに、無発光表示データ以外の表示データD<sub>0</sub>～D<sub>m</sub>をそのまま通過させて次段のD/Aコンバータ45に出力する無発光表示電圧印加回路44と、図示を省略した電源供給手段から供給される階調基準電圧V<sub>0</sub>～V<sub>P</sub>に基づいて、上記無発光表示電圧印加回路44を通過して入力された(無発光表示データ以外の)表示データD<sub>0</sub>～D<sub>m</sub>を、所定のアナログ信号電圧(階調電圧V<sub>pix</sub>)に変換するD/Aコンバータ45と、アナログ信号電圧に変換された表示データに対応する階調電流I<sub>data</sub>を生成し、システムコントローラ160から供給されるデータ制御信号(出力イネーブル信号OE)に基づくタイミングで、当該表示データに対応する列のデータラインDLに出力する電圧電流変換・階調電流供給回路46と、を備えた構成を有している。

【0107】

ここで、無発光表示電圧印加回路44は、例えば、図19に示すように、特定の行の各列に対応してデータラッチ回路43に保持されたデジタルデータからなる表示データD<sub>0</sub>～D<sub>m</sub>のうち、無発光表示データである0ビットの階調値を有する表示データを検出する無発光表示データ判別部44aと、無発光表示データと判別された当該列のデータラインDLに対して、次段のD/Aコンバータ45及び電圧電流変換・階調電流供給回路46を

經由することなく、所定の無発光表示電圧 $V_{zero}$ を直接印加する無発光表示電圧生成部44bと、を備えた構成を適用することができる。

**【0108】**

なお、上記無発光表示電圧生成部44bにより、データラインDLに印加される無発光表示電圧 $V_{zero}$ は、上述した第3の例の駆動制御方法に示したように、プリチャージ動作及びしきい値補正動作（又は、電圧補正動作）により、表示画素EMを構成する発光駆動回路DCの発光駆動用トランジスタ（駆動トランジスタTr13）のゲートソース間に蓄積された電荷を放電して、ゲートソース間電圧 $V_{gs}$ を0Vにする（又は、0Vに近似させる）ために必要な任意の電圧値に設定されている。

**【0109】**

（供給電圧ドライバ）

供給電圧ドライバ150は、システムコントローラ160から供給される電源制御信号（供給電圧切換信号PWR）に基づいて、表示パネル110に配列された各表示画素EM（有機EL素子OEL）を発光動作させる期間（発光動作期間）のみ、ハイレベルの発光電圧値 $V_e$ の供給電圧 $V_{sc}$ を供給電圧ラインVLを介して少なくとも複数の行の表示画素EM、好ましくは、全ての表示画素EMに印加し、それ以外の期間においては、ローレベルの選択電圧値 $V_s$ の供給電圧 $V_{sc}$ を少なくとも複数の行の表示画素EM、好ましくは、全ての表示画素EMに印加する。

**【0110】**

具体的には後述するが、表示パネル110に配列された少なくとも複数の行の表示画素EM、好ましくは、全ての表示画素EMにプリチャージ電圧 $V_{pre}$ を一斉に供給して充電するプリチャージ動作期間、及び、該プリチャージ電圧 $V_{pre}$ の一部を放電して、少なくとも複数の行の表示画素EM、好ましくは、全ての表示画素EMにしきい値電圧 $V_{th13}$ （又は、最低輝度電圧 $V_{lsb}$ ）相当の電圧を保持させるしきい値補正動作期間（又は、電圧補正動作期間）、並びに、各行の表示画素EM群を順次選択状態に設定して、階調信号（階調電流I<sub>data</sub>、又は、無発光表示電圧 $V_{zero}$ ）を書き込むパネル書込動作期間においては、供給電圧ドライバ150から少なくとも複数の行の表示画素EM、好ましくは、全ての表示画素EMに対して、共通に接続された供給電圧ラインVLを介してローレベルの選択電圧値 $V_s$ の供給電圧 $V_{sc}$ が印加される。

**【0111】**

（システムコントローラ）

システムコントローラ160は、選択ドライバ120及び保持ドライバ130、データドライバ140、供給電圧ドライバ150の各々に対して、動作状態を制御する選択制御信号及びホールド制御信号、データ制御信号、電源制御信号を生成して出力することにより、各ドライバを所定のタイミングで動作させて、所定の電圧レベルを有する選択信号S<sub>sel</sub>及びホールド信号Sh<sub>ld</sub>、階調信号（階調電流I<sub>data</sub>、無発光表示電圧 $V_{zero}$ ）、供給電圧 $V_{sc}$ を生成して出力させ、各表示画素EM（発光駆動回路DC）における駆動制御動作（プリチャージ動作、しきい値補正動作（又は、電圧補正動作）、パネル書込動作、発光動作）を連続的に実行させて、映像信号に基づく所定の画像情報を表示パネル110に表示させる制御を行う。

**【0112】**

（表示信号生成回路）

表示信号生成回路170は、例えば、表示装置100の外部から供給される映像信号から輝度階調信号成分を抽出し、表示パネル110の1行分ごとに、該輝度階調信号成分をデジタル信号からなる表示データ（輝度階調データ）としてデータドライバ140のデータレジスタ回路42に供給する。ここで、上記映像信号が、テレビ放送信号（コンポジット映像信号）のように、画像情報の表示タイミングを規定するタイミング信号成分を含む場合には、表示信号生成回路170は、上記輝度階調信号成分を抽出する機能のほか、タイミング信号成分を抽出してシステムコントローラ160に供給する機能を有するものでもよい。この場合においては、上記システムコントローラ160は、表示信号生成

回路170から供給されるタイミング信号に基づいて、選択ドライバ120や保持ドライバ130、データドライバ140、供給電圧ドライバ150に対して個別に供給する各制御信号を生成する。

【0113】

〈表示装置の表示駆動方法〉

次いで、本実施形態に係る表示装置における表示駆動方法（画像情報の表示動作）について説明する。

図20は、本実施形態に係る表示装置の表示駆動方法の一例を示すタイミングチャートである。ここでは、上述した実施形態（図1参照）に示した表示画素EM（発光駆動回路DC）における第2の例及び第3の例に示した駆動制御方法を、本実施形態に係る表示装置に適用した場合の画像情報の表示動作について説明し、同等の駆動制御方法については、その説明を簡略化する。

【0114】

本実施形態に係る表示装置100の駆動制御動作は、図20に示すように、1フレーム期間 $T_{fr}$ （上述した1処理サイクル期間 $T_{cyc}$ に相当する）内に、表示パネル110に配列された少なくとも複数の行の表示画素EM、好ましくは、全ての表示画素EMを一斉に選択状態に設定して、データドライバ140に設けられたプリチャージ電圧供給部142から各データラインDLを介して、所定のプリチャージ電圧 $V_{pre}$ を印加することにより、各表示画素EM（発光駆動回路DC）に、当該プリチャージ電圧 $V_{pre}$ に対応する電荷を蓄積するプリチャージ動作期間 $T_{Apr}$ と、各表示画素EMに蓄積された電荷の一部を放電して、各表示画素EMに設けられた発光素子（有機EL素子OEL）を最低輝度階調で発光動作させる際に、発光駆動用トランジスタ（上述した駆動トランジスタ $T_{r13}$ に相当する）に設定される電圧（最低輝度電圧）相当の電荷を残留させて保持する電圧補正動作期間 $T_{Avt}$ と、表示パネル110に配列された表示画素EMを各行ごとに選択状態に設定して、表示データに応じてデータドライバ140に設けられた階調信号生成部141から各データラインDLを介して、階調信号（階調電流 $I_{data}$ 、又は、無発光表示電圧 $V_{ze}$ ）を印加することにより、各行の表示画素EMに、当該階調信号に対応する電荷を蓄積するパネル書込動作期間 $T_{Awr}$ と、各表示画素EMに蓄積された電荷に基づいて、表示データに応じた輝度階調で発光素子（有機EL素子OEL）を一斉に発光動作させる発光動作期間 $T_{Aem}$ と、を含むように設定することにより実行される（ $T_{fr} \geq T_{Apr} + T_{Avt} + T_{Awr} + T_{Aem}$ ）。ここで、プリチャージ動作期間 $T_{Apr}$ 、電圧補正動作期間 $T_{Avt}$ 、パネル書込動作期間 $T_{Awr}$ 、発光動作期間 $T_{Aem}$ は、相互に時間的な重なりが生じないように設定される。

【0115】

（プリチャージ動作期間）

まず、プリチャージ動作期間 $T_{Apr}$ においては、図20に示すように、選択ドライバ120から少なくとも複数の行の表示画素EM、好ましくは、全ての選択ラインSLに対して、オンレベルの選択信号 $S_{sel}$ を印加することにより、表示パネル110に配列された少なくとも複数の行の表示画素EM、好ましくは、全ての表示画素EMを一斉に選択状態に設定する。

【0116】

また、このタイミングに同期して、供給電圧ドライバ150から共通する供給電圧ラインVLを介して、少なくとも複数の行の表示画素EM、好ましくは、全ての表示画素EMにローレベルの供給電圧 $V_{sc}$ （ $=V_s$ ）を印加するとともに、保持ドライバ130から少なくとも複数の行の表示画素EM、好ましくは、全ての保持ラインHLに対して、オンレベルのホールド信号 $Shld$ を印加することにより、少なくとも複数の行の表示画素EM、好ましくは、全ての表示画素EMを保持状態（詳しくは、図1に示した発光駆動回路DCを構成する発光駆動用トランジスタ（駆動トランジスタ $T_{r13}$ ）のゲートに、上記ローレベルの供給電圧 $V_{sc}$ に基づく電圧を印加した状態）に設定する。

【0117】

そして、このタイミングに同期して、データドライバ140に設けられたプリチャージ電圧供給部142から少なくとも複数の列のデータラインDL、好ましくは、全てのデータラインDLに対して、所定のプリチャージ電圧Vpreを印加することにより、上記少なくとも複数の行の表示画素EM、好ましくは、全ての表示画素EM（詳しくは、図1に示した発光駆動回路DCを構成する発光駆動用トランジスタ（駆動トランジスタTr13）のゲートソース間；コンデンサCsの両端）に、当該プリチャージ電圧Vpreに対応する電荷を蓄積する（図20の各表示画素のコンデンサCsの両端電位Vc参照）。

## 【0118】

（電圧補正動作期間）

次いで、電圧補正動作期間TAvtにおいては、図20に示すように、供給電圧ドライバ150から各表示画素EMに印加する供給電圧Vscをローレベル（Vs）に保持するとともに、保持ドライバ130から各表示画素EMに印加するホールド信号Shldをオンレベルに保持した状態で、選択ドライバ120から少なくとも複数の行の選択ラインSL、好ましくは、全ての選択ラインSLに対して、オフレベルの選択信号Sselを印加することにより、少なくとも複数の行の表示画素EM、好ましくは、全ての表示画素EMを一斉に非選択状態に設定する。

## 【0119】

これにより、上述した第2の例に示した駆動制御方法のように、各表示画素EM（発光駆動回路DCを構成する発光駆動用トランジスタのゲートソース間；コンデンサCsの両端）に蓄積された電荷の一部が放電されて、該各表示画素EMに蓄積（保持）された電荷量に基づく電位（発光駆動用トランジスタのゲートソース間電圧Vgs；コンデンサCsの両端電位Vc）が、上記プリチャージ電圧Vpreから発光駆動用トランジスタ（駆動トランジスタTr13）のしきい値電圧Vth13に収束するように変化する。

## 【0120】

ここで、電圧補正動作期間TAvtは、各表示画素EMに蓄積（保持）された電荷量に基づく電位（コンデンサCsの両端電位Vc）が、各表示画素に設けられた発光素子（有機EL素子OEL）を最低輝度階調で発光動作させる際の電圧値（最低輝度電圧V1sb）にまで低下した時点で当該補正動作を終了し、後続するパネル書込動作に移行する。

すなわち、上述した一連のプリチャージ動作及び電圧補正動作により、表示パネル110に配列された少なくとも複数の行の表示画素EM、好ましくは、全ての表示画素EM（発光駆動用トランジスタのゲートソース間）に最低輝度電圧V1sbに対応した電荷が蓄積されることになる。

## 【0121】

（パネル書込動作期間）

次いで、パネル書込動作期間TAwrにおいては、図20に示すように、選択ドライバ120から各行の選択ラインSLに対して、時間的に重ならないようにオンレベルの選択信号Sselを順次印加し、残りの行の選択ラインSLに対してオフレベルの選択信号Sselを印加することにより、各行の表示画素EMを順次選択状態に設定する。

## 【0122】

また、このタイミングに同期して、保持ドライバ130から上記選択状態に設定される行の保持ラインHLに対してオンレベルのホールド信号Shldを順次印加し、選択されない行の保持ラインHLに対してオフレベルのホールド信号Shldを印加することにより、選択状態の各行の表示画素EMを順次保持状態（発光駆動用トランジスタ（駆動トランジスタTr13）のゲートに、ローレベルの供給電圧Vsc（=Vs）に基づく電圧を印加した状態）に設定する。なお、パネル書込動作期間TAwrにおいては、上述したプリチャージ動作期間TApr及び電圧補正動作期間TAvtに引き続き、供給電圧ドライバ150から少なくとも複数の行の表示画素EM、好ましくは、全ての表示画素EMにローレベルの供給電圧Vsc（=Vs）を印加した状態を継続する。

## 【0123】

そして、このタイミングに同期して、データドライバ140に設けられた階調信号生成

部141から少なくとも複数の列のデータラインDL、好ましくは、全てのデータラインDLに対して、表示信号生成回路170から供給された表示データ（デジタルデータ）に基づく階調信号（階調電流I data、又は、無発光表示電圧Vzero）を印加することにより、上記選択状態に設定された行の表示画素EM（発光駆動用トランジスタのゲートソース間；コンデンサCsの両端）に、当該階調信号に基づく電圧成分を充電する（書き込む）。

**【0124】**

ここで、上述した第2の例及び第3の例に示した駆動制御方法と同様に、表示信号生成回路170からデータドライバ140に供給される表示データが、無発光表示データ以外の輝度階調データ（0ビット以外の階調値）の場合には、データドライバ140により当該表示データに応じた階調電流I dataが生成されて、対応する列のデータラインDLに流れ、一方、表示信号生成回路170から供給される表示データが、無発光表示データ（0ビットの階調値）の場合には、データドライバ140により所定の無発光表示電圧Vzeroが生成されて、対応する列のデータラインDLに供給される。

**【0125】**

なお、図20においては、このような2種類の階調信号を供給した状態を説明するため、一例として、1行目及びn行目のj列目の表示画素EMに、無発光表示データ以外の輝度階調データ（0ビット以外の階調値）に基づく階調電流I dataを供給し、また、2行目のj列目の表示画素EMに、無発光表示データ（0ビットの階調値）に基づく無発光表示電圧Vzeroを供給した場合を示した。

**【0126】**

したがって、階調信号として階調電流I dataが供給された表示画素EMにおいては、図20に示すように、上述したプリチャージ動作及び電圧補正動作により、当該行の各表示画素EM（発光駆動用トランジスタのゲートソース間）に保持された最低輝度電圧V1sbに対応した電荷（電位）に上乗せして、上記階調信号に基づく電荷（電圧成分V data）が蓄積されて、結果的に表示データに応じた電圧V $\alpha$ が発光駆動用トランジスタのゲートソース間に充電されることになる。

**【0127】**

また、階調信号として無発光表示電圧Vzeroが供給された表示画素EMにおいては、図20に示すように、上述したプリチャージ動作及び電圧補正動作により、当該行の各表示画素EMに保持された最低輝度電圧V1sbに対応した電荷のほぼ全量が放電されて、結果的に表示データに応じた電圧（0V）が発光駆動用トランジスタのゲートソース間に設定されることになる。

**【0128】**

このような各行の表示画素EMに対する階調信号の書込動作を、各行の選択ラインSLに対して選択信号Sselが印加されるタイミングに基づいて、順次繰り返して実行することにより、表示パネル110に配列された少なくとも複数の行の表示画素EM、好ましくは、全ての表示画素EMに対して、表示データ（階調信号）が書き込まれることになる（図20の各表示画素のコンデンサCsの両端電位Vc参照）。

**【0129】**

（発光動作期間）

次いで、発光動作期間TAemにおいては、図20に示すように、選択ドライバ120から各選択ラインSLに印加される選択信号Ssel、及び、保持ドライバ130から各保持ラインHLに印加されるホールド信号Shldをオフレベルに設定することにより、各行の表示画素EMを非選択状態及び非保持状態に設定する。

**【0130】**

また、このタイミングに同期して、供給電圧ドライバ150から少なくとも複数の行の表示画素EM、好ましくは、全ての表示画素EMにハイレベルの供給電圧Vsc（=Ve）を印加することにより、少なくとも複数の行の表示画素EM、好ましくは、全ての表示画素EMを発光状態に設定する。

## 【0131】

これにより、各表示画素E Mに（発光駆動用トランジスタのゲートソース間）に保持された電圧成分に基づいて、表示データ（階調信号）に応じた発光駆動電流 I emが生成されて発光素子（有機E L素子O E L）に供給される。

すなわち、通常（無発光表示以外）の階調表示動作に応じた階調信号（階調電流 I data）が書き込まれた表示画素E Mにおいては、当該階調電流 I dataと略同等の電流値を有する発光駆動電流 I emが生成されて、発光素子（有機E L素子O E L）に供給され、表示データに応じた所定の輝度階調で発光動作が行われる（図20の1行j列目の表示画素E Mにおける発光駆動電流 I em参照）。

## 【0132】

一方、無発光表示動作に応じた階調信号（無発光表示電圧V zero）が書き込まれた表示画素E Mにおいては、発光駆動用トランジスタのゲートソース間電圧（コンデンサC sの両端電位V c）がしきい値電圧以下（0V）に設定されるので、発光駆動電流 I emが発光素子（有機E L素子O E L）に供給されず、発光動作が行われない無発光状態に保持される（図20の2行j列目の表示画素E Mにおける発光駆動電流 I em参照）。

このような発光動作（又は、無発光動作）が、表示パネル110に配列された少なくとも複数の行の表示画素E M、好ましくは、全ての表示画素E Mにおいて一斉に実行されることにより、映像信号に基づく所定の画像情報が表示パネル110に表示される。

## 【0133】

このように、本実施形態に係る表示装置及びその表示駆動方法によれば、無発光表示時以外は、表示データ（映像信号）に基づく階調電流 I dataを各表示画素に供給し、その電流値に応じて保持される電圧成分に基づいて、発光素子（有機E L素子）に供給する発光駆動電流を制御して、上記表示データに応じた所定の輝度階調で発光動作させる電流指定方式の駆動制御方法を適用することができ、また、各表示画素に設けられた単一の発光駆動用トランジスタ（駆動トランジスタT r 1 3）により、上記階調電流 I dataの電流レベルを電圧レベルに変換する機能（電流／電圧変換機能）と、該電圧レベルに基づいて所定の電流値を有する発光駆動電流 I emを発光素子に供給する機能（発光駆動機能）の双方を備えているので、各表示画素において発光駆動回路を構成する各薄膜トランジスタの動作特性のバラツキや経時変化の影響を受けることなく、長期間にわたり安定的に所望の発光特性を実現することができる。

## 【0134】

また、本実施形態に係る表示装置及びその表示駆動方法によれば、各表示画素への表示データの書込動作（パネル書込動作）、及び、発光素子の発光動作に先立って、プリチャージ動作及び電圧補正動作を実行することにより、各表示画素の発光駆動回路に設けられた発光駆動用トランジスタ（駆動トランジスタT r 1 3）のゲートソース間に、当該トランジスタのしきい値電圧の絶対値より大きい電圧値を有する最低輝度電圧相当の電荷を予め蓄積、保持した状態に設定することができるので、表示データの書込動作において、表示データに基づく階調電流 I dataにより発光駆動用トランジスタのゲートソース間（コンデンサC s）をしきい値電圧の絶対値より大きい電圧となる電荷を充電する必要がなく、当該表示データ（階調電流 I data）に応じた電圧成分V dataのみを上乗せして蓄積（充電）すればよく、表示データに基づく電圧成分を迅速かつ適切に書き込むことができる。

## 【0135】

したがって、表示データに応じた階調電流が非常に小さくなる低輝度階調表示時においても、当該表示データに応じた電圧成分を迅速かつ適切に書き込むことができるので、各表示画素における書込不足の発生を抑制することができ、映像信号に応じた適切な輝度階調で所望の画像情報を表示することができる。

## 【0136】

また、無発光表示時においては、表示データ（映像信号）に基づく所定の無発光表示電圧V zeroを各表示画素に供給することにより、発光駆動用トランジスタのゲートソース

間(コンデンサCs)に保持された電荷(電圧成分)のほとんど全てを迅速に放電することができるので、発光素子(有機EL素子)に発光駆動電流を供給しないように制御して、無発光状態に適切に設定することができ、無発光表示動作を良好に実現することができる。

**【0137】**

さらに、本実施形態に係る表示装置及びその表示駆動方法によれば、表示パネルに配列された各表示画素に表示データを書き込むパネル書込動作に先立って、少なくとも複数の行の表示画素、好ましくは、全ての表示画素に対して、一斉にプリチャージ動作及び電圧補正動作を実行することにより、極めて短い時間で、各表示画素(発光駆動回路)に設けられた発光駆動用トランジスタのゲートソース間にしきい値電圧の絶対値より大きい電圧成分を保持することができるので、予め規定された1フレーム期間(約16.7msec)におけるパネル書込動作期間及び発光動作期間を相対的に長く設定することができ、発光輝度の低下を抑制した表示画質の良好な画像表示を実現することができる。

**【0138】**

なお、上述した実施形態においては、表示装置の表示駆動方法として、第2の例に示した駆動制御方法を適用して、パネル書込動作に先立って、各表示画素(発光駆動用トランジスタのゲートソース間)に最低輝度電圧(しきい値電圧の絶対値より大きい)に相当する電荷を蓄積する電圧補正動作を実行する場合について説明したが、本発明はこれに限られるものではなく、例えば、第1の例に示した駆動制御方法のように、各表示画素(発光駆動回路)に設けられた発光駆動用トランジスタのしきい値電圧に相当する電荷を蓄積するしきい値補正動作を実行するものであってもよいことはいふまでもない。

**【0139】**

上述した実施形態においては、発光駆動回路DCの保持トランジスタTr11のドレインが供給電圧ラインVLに接続されていたが、これに限らず図21に示すように、保持ラインHLに接続していても同様に機能することができる。

また、上述した実施形態においては、無発光表示電圧Vzeroは選択電圧値Vsであったが、発光動作期間Temに供給電圧Vscの電位が選択電圧値Vsから発光電圧値Veに変調した際にのしきい値変動によっても発光駆動用トランジスタがドレインソース間に電流を流さなければ選択電圧値Vsと異なってもよい。

**【0140】**

なお、本実施形態に係る表示装置では、保持トランジスタTr11、選択トランジスタTr12及び駆動トランジスタTr13はいずれもnチャネルアモルファスシリコンの薄膜トランジスタであったが、ポリシリコン薄膜トランジスタであってもよく、全てnチャネル型でもよくまた全てpチャネル型でもよい。全てpチャネル型の場合、信号のオンレベル、オフレベルのハイ、ローが反転していればよい。

**【図面の簡単な説明】****【0141】**

【図1】本発明に係る発光駆動回路の一実施形態を示す回路構成図である。

【図2】本実施形態に係る発光駆動回路の駆動制御動作の第1の例を示すタイミングチャートである。

【図3】本実施形態に係る発光駆動回路の動作例(プリチャージ動作/しきい値補正動作)を示す概念図である。

【図4】本実施形態に係る発光駆動回路の動作例(書込動作/発光動作)を示す概念図である。

【図5】本実施形態に係る発光駆動回路の電流-電圧特性を示すグラフである。

【図6】本実施形態に係るしきい値補正動作期間における薄膜トランジスタのゲートソース間電圧の時間変化を示すグラフである。

【図7】本実施形態に係るしきい値補正動作期間における薄膜トランジスタのドレインソース間電流の時間変化を示すグラフである。

【図8】本実施形態に係る発光駆動回路の駆動制御方法との対比例における階調電流に対



する発光駆動電流の変化傾向を示すグラフである。

【図9】本実施形態に係る発光駆動回路の駆動制御方法における入力階調に対する出力階調の変化傾向を示すグラフである。

【図10】本実施形態に係る発光駆動回路の駆動制御動作の第2の例を示すタイミングチャートである。

【図11】本実施形態に係る発光駆動回路の動作例（プリチャージ動作／電圧補正動作）を示す概念図である。

【図12】本実施形態に係る発光駆動回路の動作例（書込動作／発光動作）を示す概念図である。

【図13】本実施形態に係る発光駆動回路の駆動制御動作の第3の例を示すタイミングチャートである。

【図14】本実施形態に係る発光駆動回路の動作例（書込動作／発光動作）を示す概念図である。

【図15】本発明に係る表示装置の全体構成の一例を示す概略ブロック図である。

【図16】本実施形態に係る表示装置に適用される表示パネル及びその周辺回路の一例を示す概略構成図である。

【図17】本実施形態に係る表示装置に適用可能なデータドライバの一例を示す概略構成図である。

【図18】本実施形態に係るデータドライバに適用可能な階調信号生成部の一例を示す概略ブロック図である。

【図19】本実施形態に係るデータドライバに適用可能な階調信号生成部の要部構成を示す概略ブロック図である。

【図20】本実施形態に係る表示装置の表示駆動方法の一例を示すタイミングチャートである。

【図21】本発明に係る他の発光駆動回路を示す回路構成図である。

【図22】従来技術における発光素子型ディスプレイの要部を示す概略構成図である。

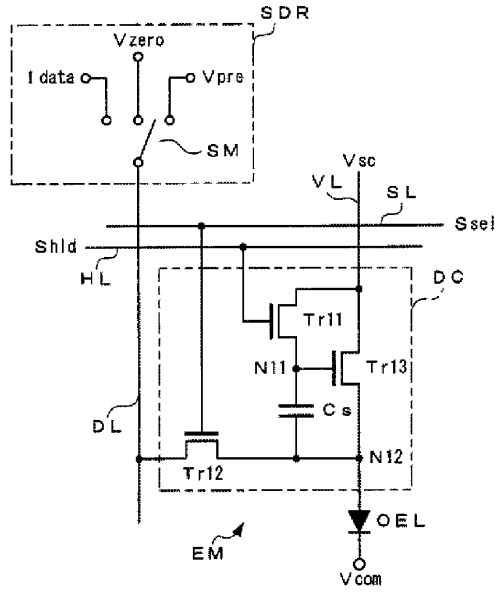
【図23】従来技術における発光素子型ディスプレイに適用可能な表示画素（発光駆動回路及び発光素子）の構成例を示す等価回路図である。

【符号の説明】

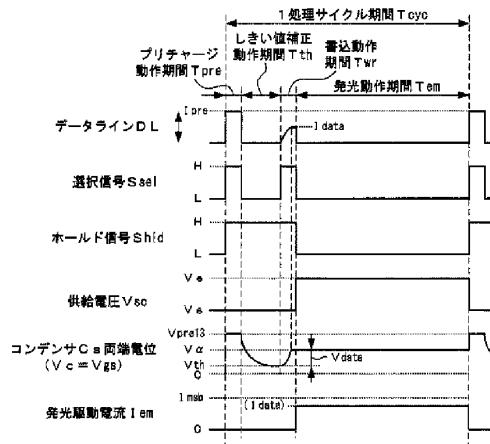
【0142】

EM	表示画素
DC	発光駆動回路
SDR	信号駆動回路
SL	選択ライン
HL	保持ライン
DL	データライン
VL	供給電圧ライン
Tr 11～Tr 13	トランジスタ
Cs	コンデンサ
OEL	有機EL素子
100	表示装置
110	表示パネル
120	選択ドライバ
130	保持ドライバ
140	データドライバ
150	供給電圧ドライバ

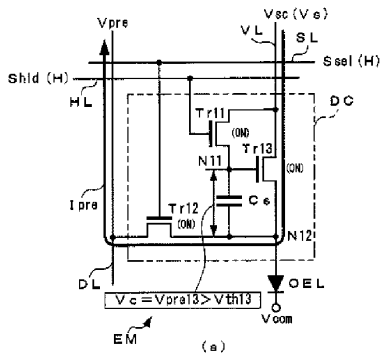
【図1】



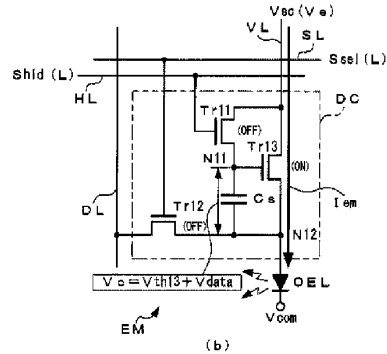
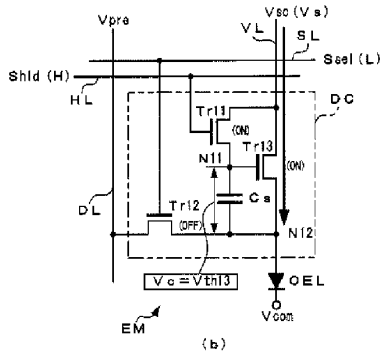
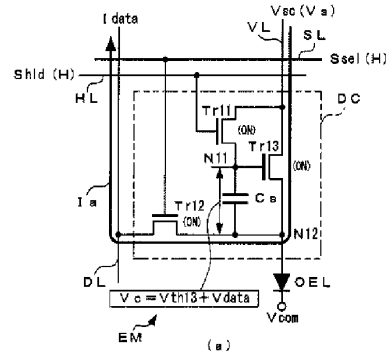
【図2】



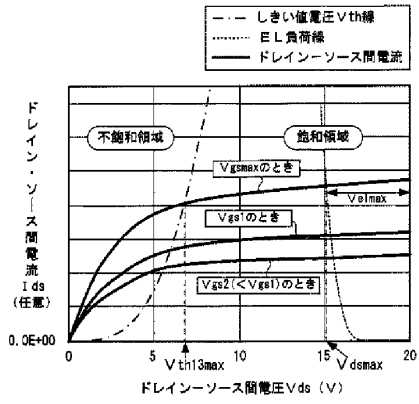
【図3】



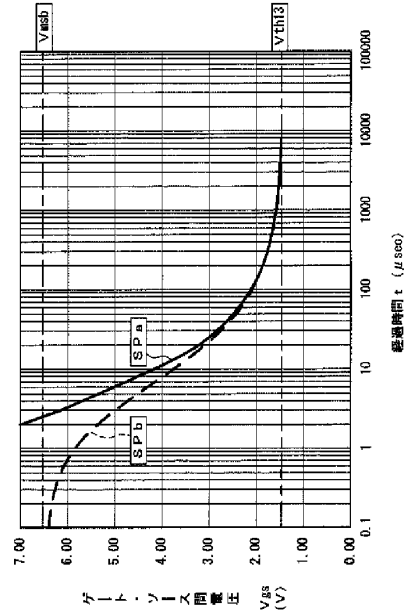
【図4】



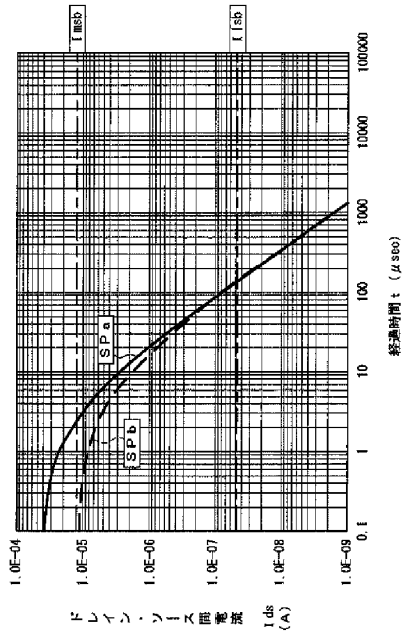
【図5】



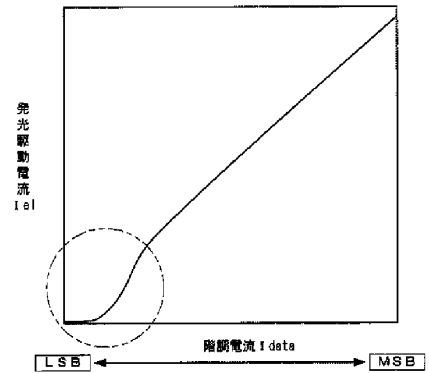
【図6】



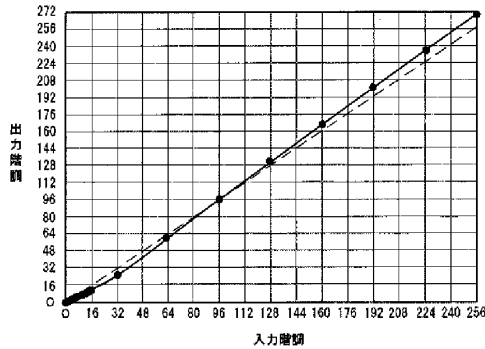
【図7】



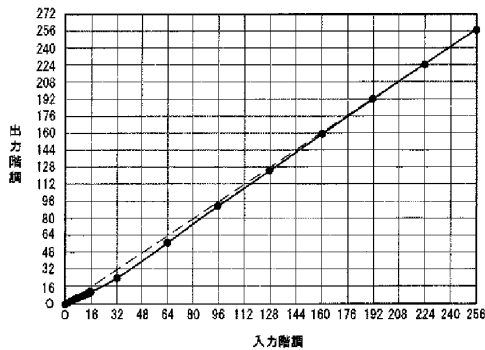
【図8】



【図9】

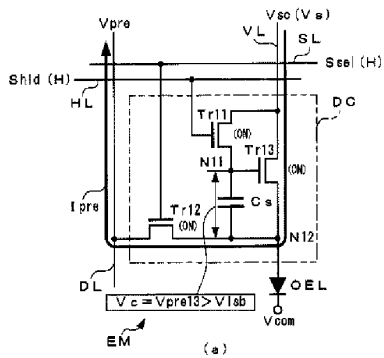


(a)

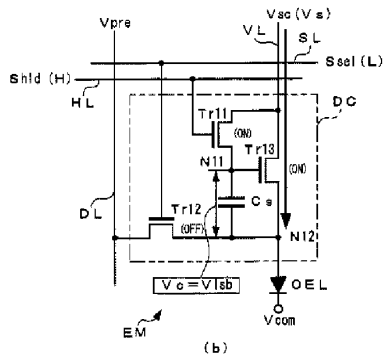


(b)

【図11】

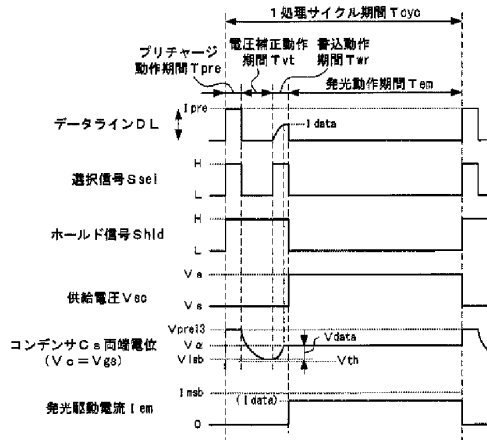


(a)

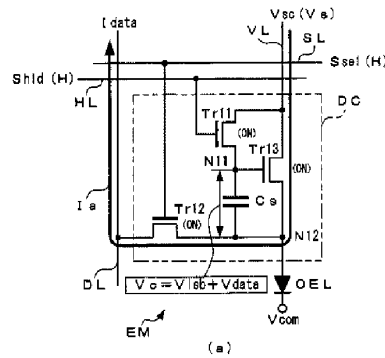


(b)

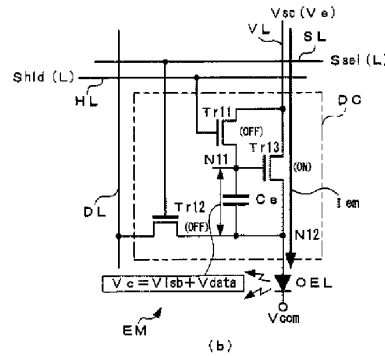
【図10】



【図12】

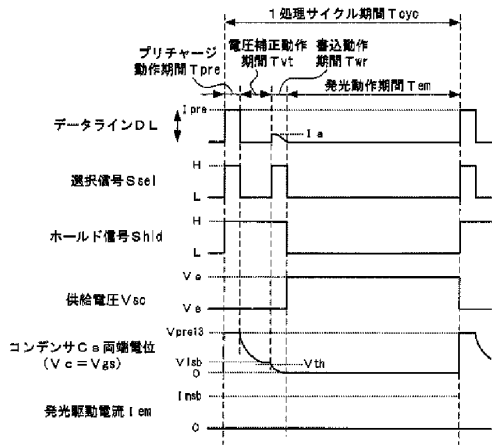


(a)

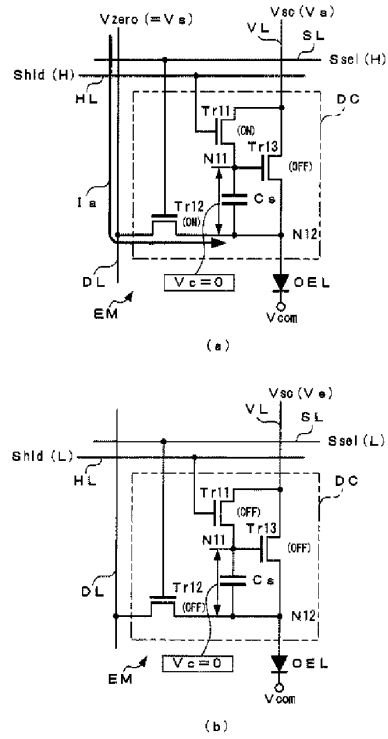


(b)

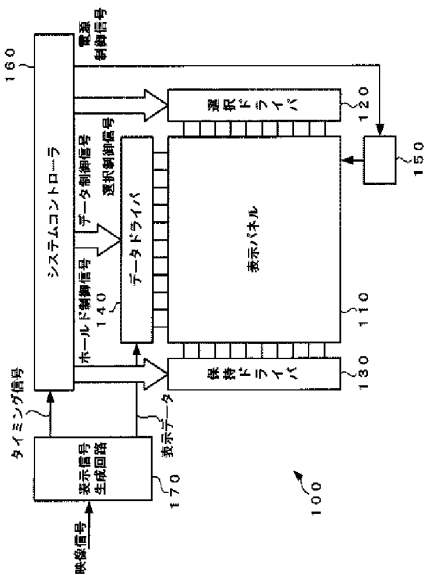
【図13】



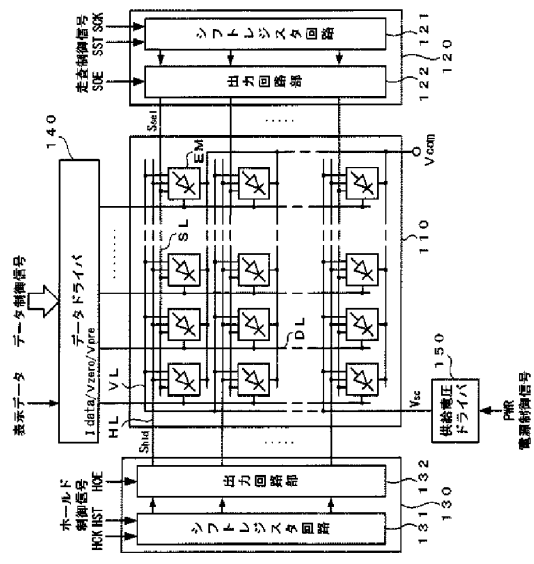
【図14】



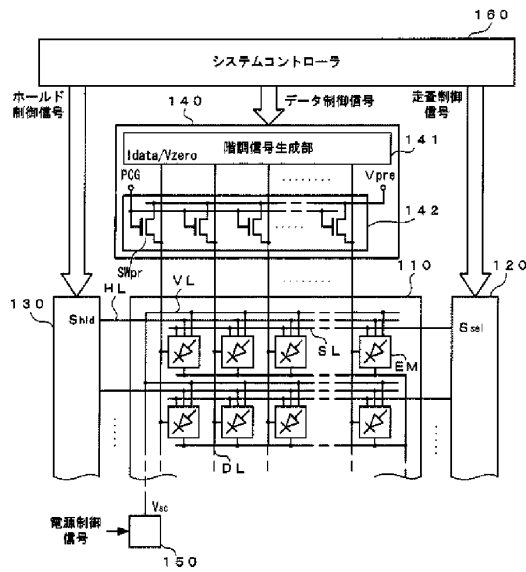
【図15】



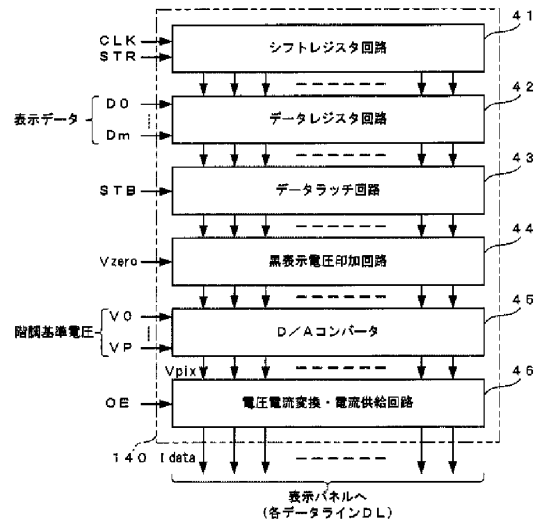
【図16】



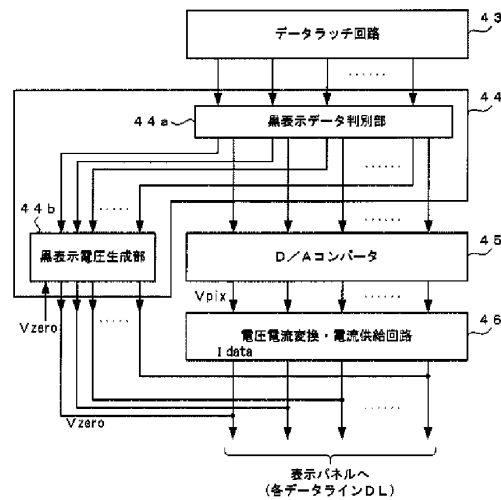
【図17】



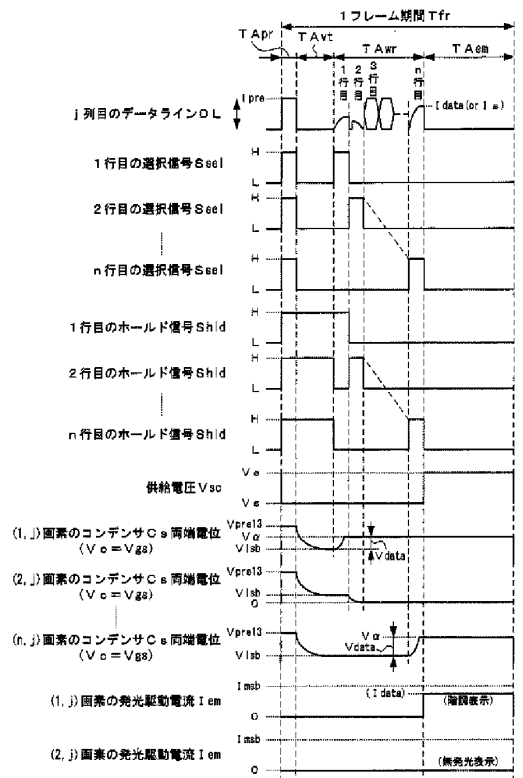
【図18】



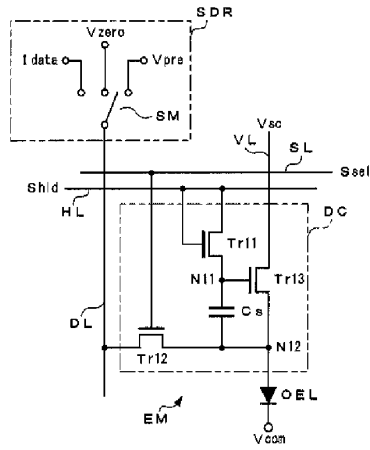
【図19】



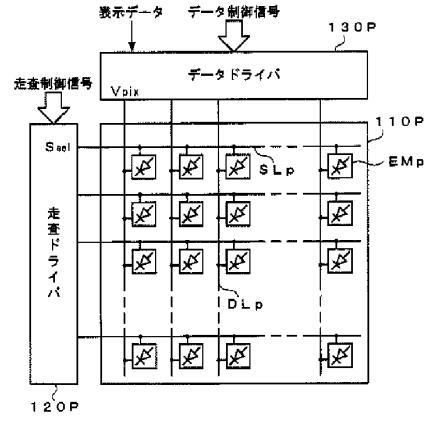
【図20】



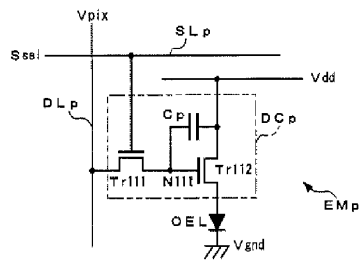
【図21】



【図22】



【図23】



(51)Int.Cl.

F I

テーマコード ( 参考 )

G 0 9 G 3/20 6 4 1 D  
H 0 5 B 33/14 A

Fターム(参考) 5C080 AA06 BB05 DD05 DD08 DD29 EE29 FF11 HH09 JJ02 JJ03  
JJ04 JJ05



(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-195477

(P2006-195477A)

(43) 公開日 平成18年7月27日(2006.7.27)

(51) Int. Cl.	F I	テーマコード(参考)
<b>G09G 3/30 (2006.01)</b>	G09G 3/30 J	3K007
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 624B	5C080
<b>H01L 51/50 (2006.01)</b>	G09G 3/20 641D	
	G09G 3/20 612E	
	G09G 3/30 K	
審査請求 未請求 請求項の数 51 O L (全 24 頁) 最終頁に続く		

(21) 出願番号 特願2006-6924(P2006-6924)	(71) 出願人 390019839 三星電子株式会社 Samsung Electronics Co., Ltd. 大韓民国443-742京畿道水原市靈通 区梅灘洞416
(22) 出願日 平成18年1月16日(2006.1.16)	
(31) 優先権主張番号 10-2005-0003679	
(32) 優先日 平成17年1月14日(2005.1.14)	
(33) 優先権主張国 韓国(KR)	
(31) 優先権主張番号 10-2005-0033125	
(32) 優先日 平成17年4月21日(2005.4.21)	
(33) 優先権主張国 韓国(KR)	
	(74) 代理人 100094145 弁理士 小野 由己男
	(74) 代理人 100106367 弁理士 稲積 朋子
	(72) 発明者 高 俊 哲 大韓民国ソウル市西大門区弘濟2洞漢陽ア パート102棟1003号
	Fターム(参考) 3K007 AB06 AB11 AB14 AB17 BA06 DB03 GA00 GA04
	最終頁に続く

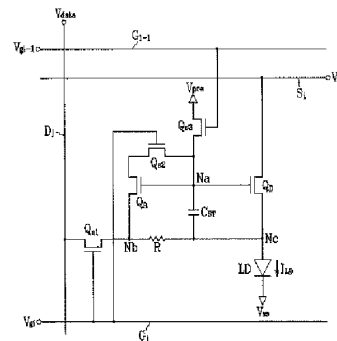
(54) 【発明の名称】 表示装置及びその駆動方法

(57) 【要約】

【課題】非晶質シリコン薄膜トランジスタを備える表示装置において、非晶質シリコン薄膜トランジスタ及び有機発光ダイオードのしきい電圧劣化を補償することができ、相対的に低い駆動電圧で映像を表示することができる表示装置及びその駆動方法を提供する。

【解決手段】表示装置は発光素子と；第1ノードに接続されている制御端子、第2ノードに接続されている出力端子および入力端子を有して発光素子が発光するように発光素子に駆動電流を供給する駆動トランジスタと；第1ノードに接続されている制御端子、第3ノードに接続されている出力端子および入力端子を有する基準トランジスタと；第1ノードと第2ノードとの間に接続されているキャパシタと；第2ノードと第3ノードとの間に接続されている抵抗性部材とを含んで成る。

【選択図】 図2



**【特許請求の範囲】****【請求項1】**

発光素子と、

第1ノードに接続されている制御端子、第2ノードに接続されている出力端子および入力端子を有し、前記発光素子が発光するための駆動電流を供給する駆動トランジスタと、

前記第1ノードに接続されている制御端子、第3ノードに接続されている出力端子および入力端子を有する基準トランジスタと、

前記第1ノードと前記第2ノードとの間に接続されているキャパシタと、

前記第2ノードと前記第3ノードとの間に接続されている抵抗性部材と、

を含む表示装置。

**【請求項2】**

走査信号によってデータ電圧を前記第3ノードに伝達するスイッチングトランジスタをさらに含む、請求項1に記載の表示装置。

**【請求項3】**

走査信号によって前記基準トランジスタの制御端子と入力端子を接続するスイッチングトランジスタをさらに含む、請求項1に記載の表示装置。

**【請求項4】**

前端走査信号によって先充電電圧を前記第1ノードに伝達するスイッチングトランジスタをさらに含む、請求項1に記載の表示装置。

**【請求項5】**

走査信号によってデータ電圧を前記第3ノードに伝達する第1スイッチングトランジスタと、

前記走査信号によって前記基準トランジスタの制御端子と入力端子を接続する第2スイッチングトランジスタと、

前端走査信号によって先充電電圧を前記第1ノードに伝達する第3スイッチングトランジスタと、

をさらに含む、請求項1に記載の表示装置。

**【請求項6】**

前記駆動トランジスタの入力端子には発光信号が印加され、前記発光信号は基準電圧と前記基準電圧より大きい駆動電圧を含む、請求項5に記載の表示装置。

**【請求項7】**

前記先充電電圧は前記データ電圧及び前記基準電圧より大きい値を有する、請求項6に記載の表示装置。

**【請求項8】**

前記発光信号が前記基準電圧である時、前記データ電圧を前記第3ノードに伝達する、請求項7に記載の表示装置。

**【請求項9】**

前記発光信号が前記駆動電圧である時、前記駆動電流を前記発光素子に供給する、請求項8に記載の表示装置。

**【請求項10】**

前記抵抗性部材は半導体または導体を含む、請求項6に記載の表示装置。

**【請求項11】**

前記抵抗性部材は非晶質シリコンまたは多結晶シリコンを含む、請求項10に記載の表示装置。

**【請求項12】**

前記抵抗性部材はn型不純物でドーピングされた非晶質シリコンまたは多結晶シリコンを含む、請求項10に記載の表示装置。

**【請求項13】**

前記抵抗性部材はダイオード接続されたトランジスタにからなる、請求項6に記載の表

示装置。

【請求項14】

前記前端走査信号及び前記走査信号を生成する走査駆動部と、  
前記データ電圧を生成するデータ駆動部と、  
前記発光信号を生成する発光駆動部と、  
をさらに含む、請求項6に記載の表示装置。

【請求項15】

前記走査駆動部、前記データ駆動部及び前記発光駆動部を制御する信号制御部をさらに含む、請求項14に記載の表示装置。

【請求項16】

前記走査信号は第1電圧及び前記第1電圧より低い第2電圧を含み、前記走査信号が第1電圧であれば、前記第1ノードに前記データ電圧と前記基準トランジスタのしきい電圧の合計が貯蔵される、請求項6に記載の表示装置。

【請求項17】

前記走査信号は第1電圧及び前記第1電圧より低い第2電圧を含み、前記走査信号が第2電圧である間に、前記第2ノードの電圧と前記第3ノードの電圧は実質的に同一である、請求項6に記載の表示装置。

【請求項18】

前記基準トランジスタと前記駆動トランジスタは実質的に同一の構造を有する、請求項6に記載の表示装置。

【請求項19】

前記基準トランジスタのチャンネル幅は前記駆動トランジスタのチャンネル幅より狭い、請求項6に記載の表示装置。

【請求項20】

前記駆動トランジスタ及び前記基準トランジスタは非晶質シリコンを含む、請求項1～19のいずれかに記載の表示装置。

【請求項21】

前記駆動トランジスタ及び前記基準トランジスタはn-チャンネル薄膜トランジスタである、請求項1～9のいずれかに記載の表示装置。

【請求項22】

前記発光素子は有機発光層を含む、請求項1～19のいずれかに記載の表示装置。

【請求項23】

第1ノードに接続されている制御端子、第2ノードに接続されている出力端子および入力端子を有する駆動トランジスタ、前記第1ノードに接続されている制御端子、第3ノードに接続されている出力端子および入力端子を有する基準トランジスタ、前記第2ノードに接続されている発光素子、前記第1ノードと前記第2ノードとの間に接続されているキャパシタ、前記第2ノードと前記第3ノードとの間に接続されている抵抗性部材を含む表示装置の駆動方法であって、

前記駆動トランジスタの入力端子に基準電圧を印加する段階と、

前記第1ノードに先充電電圧を供給する段階と、

前記第3ノードにデータ電圧を供給する段階と、

前記第1ノードに充電された電圧を前記基準トランジスタを通じて放電する段階と、

前記第3ノードに充電された電圧を前記抵抗性部材を通じて放電する段階と、

前記駆動トランジスタの入力端子に駆動電圧を印加する段階と、

を含む表示装置の駆動方法。

【請求項24】

前記第1ノードにおける放電段階は、前記基準トランジスタの入力端子及び制御端子を接続する段階を含む、請求項23に記載の表示装置の駆動方法。

【請求項25】

前記第2ノードにおける放電段階は前記基準トランジスタの入力端子を孤立させる段階

を含む、請求項23に記載の表示装置の駆動方法。

【請求項26】

発光素子と、

第1端子、第2端子及び前記発光素子に接続されている第3端子を有する第1トランジスタと、

前記第1トランジスタの第1端子に接続されている第1端子、前記第1端子と接続される第2端子およびデータ電圧に接続される第3端子を有する第2トランジスタと、

前記第1トランジスタの第1端子と前記第3端子との間に接続されているキャパシタとを含む表示装置。

【請求項27】

前記第2トランジスタの第3端子は前記第1トランジスタの第3端子と前記データ電圧に交互に接続される、請求項26に記載の表示装置。

【請求項28】

前記第1トランジスタの第3端子と前記第2トランジスタの第3端子の間に接続されている抵抗性部材をさらに含む、請求項26に記載の表示装置。

【請求項29】

前記第1トランジスタの第1端子に前記データ電圧より大きい所定の電圧が印加された後、前記第2トランジスタは自分の第2端子を第1端子と接続し、第3端子をデータ電圧と接続することによって前記第1トランジスタの第1端子電圧の放電経路を構成する、請求項26に記載の表示装置。

【請求項30】

前記第1トランジスタの第1端子の放電が終わった後、前記第2トランジスタは自分の第2端子を第1端子と分離し第3端子をデータ電圧と分離し、第3端子を前記第1トランジスタの第3端子と接続することによって前記第2トランジスタの第3端子が前記第1トランジスタの第3端子と電圧が同一になる、請求項29に記載の表示装置。

【請求項31】

前記発光素子は前記第2トランジスタの第3端子が前記第1トランジスタの第3端子と接続されている時に発光し、前記第2トランジスタの第3端子が前記データ電圧と接続されている時には発光しない、請求項30に記載の表示装置。

【請求項32】

発光素子、第1ノードに接続されている第1端子と第2ノード及び前記発光素子に接続されている第2端子と第3端子を有する第1トランジスタ、前記第1ノードに接続されている第1端子と第2及び第3端子を有する第2トランジスタ、前記第1ノードと前記第2ノードとの間に接続されているキャパシタを含む表示装置の駆動方法であって、

前記第1トランジスタの第3端子に前記発光素子の発光を抑制する第1電圧を印加する段階と、

前記第1ノードに前記第1電圧より高い第2電圧を接続する段階と、

前記第1ノードに前記第2電圧を接続した後、前記第1ノードを前記第2電圧から分離する段階と、

前記第1ノードを前記第2電圧から分離した後、前記第2トランジスタの第2端子に前記第2電圧より低いデータ電圧を接続する段階と、

前記第1ノードを前記第2電圧から分離した後、前記第2トランジスタの第1端子と第3端子を接続する段階と、

前記第2トランジスタの第2端子に前記データ電圧を接続し前記第2トランジスタの第1端子と第3端子を接続した後、前記第2トランジスタの第3端子を第1端子と分離する段階と、

前記第2トランジスタの第2端子に前記データ電圧を接続し前記第2トランジスタの第1端子と第3端子を接続した後、前記第2トランジスタの第2端子を前記データ電圧と分離する段階と、

前記第2トランジスタの第1端子と第3端子を分離し前記第2トランジスタの第2端子

を前記データ電圧と分離した後、前記第2トランジスタの第2端子を前記第2ノードと接続する段階と、

前記第1トランジスタの第3端子に第3電圧を印加して前記発光素子を発光させる段階と、  
を含む表示装置の駆動方法。

【請求項33】

発光素子、第1及び第2端子と前記発光素子に接続されている第3端子を有する第1トランジスタ、前記第1トランジスタの第1端子に接続されている第1端子と第2及び第3端子を有する第2トランジスタ、前記第1トランジスタの第1端子と前記第3端子との間に接続されているキャパシタを含む表示装置の駆動方法であって、

前記第1トランジスタの第2端子に第1電圧を印加して前記発光素子の発光を抑制する段階と、

前記第1トランジスタの第1端子に前記第1電圧より高い第2電圧を充電する段階と、

前記第1トランジスタの第1端子を前記第2電圧より低いデータ電圧側に前記第2トランジスタを通じて放電させて前記第1トランジスタの第1端子の電圧を下げる段階と、

前記第2トランジスタの第3端子を前記第1トランジスタの第3端子と接続する段階と、

前記第1トランジスタの第2端子に第3電圧を印加して前記発光素子を発光させる段階と、

を含んで成る表示装置の駆動方法。

【請求項34】

複数の画素行を含み、前記各画素は、

発光素子と、

第1及び第2端子と前記発光素子に接続されている第3端子を有する第1トランジスタと、

前記第1トランジスタの第1端子に接続されている第1端子、前記第1端子と接続される第2端子、そして前記第1トランジスタの第3端子とデータ電圧に交互に接続される第3端子を有する第2トランジスタと、

前記第1トランジスタの第1端子と前記第3端子との間に接続されているキャパシタと

を含み、少なくとも2つの画素行の画素は同時に発光を開始する表示装置。

【請求項35】

前記各画素は前記第1トランジスタの第3端子と前記第2トランジスタの第3端子との間に接続されている抵抗性部材をさらに含む、請求項34に記載の表示装置。

【請求項36】

前記第1トランジスタの第1端子に前記データ電圧より大きい所定の電圧が印加された後、前記第2トランジスタは自分の第2端子を第1端子と接続し第3端子をデータ電圧と接続することによって前記第1トランジスタの第1端子電圧の放電経路を構成する、請求項35に記載の表示装置。

【請求項37】

前記第1トランジスタの第1端子の放電が終わった後、前記第2トランジスタは自分の第2端子を第1端子と分離し第3端子をデータ電圧と分離し、第3端子を前記第1トランジスタの第3端子と接続することによって前記第2トランジスタの第3端子が前記第1トランジスタの第3端子と電圧が同一になる、請求項36に記載の表示装置。

【請求項38】

前記発光素子は前記第2トランジスタの第3端子が前記第1トランジスタの第3端子と接続されている時に発光し、前記第2トランジスタの第3端子が前記データ電圧と接続されている時には発光しない、請求項37に記載の表示装置。

【請求項39】

発光素子と；

駆動電圧及び前記駆動電圧より低い基準電圧のうちのいずれか1つに接続されている入力端子、制御端子、そして前記発光素子に接続されている出力端子を有する駆動トランジスタと、

前記駆動トランジスタの制御端子と出力端子との間に接続されており、前記駆動電圧と他の先充電電圧で充電した後、データ電圧に依存する制御電圧を貯蔵するキャパシタと、を含む表示装置。

【請求項40】

前記駆動トランジスタの制御端子に接続されている制御端子、前記制御端子に選択的に接続される入力端子、および前記データ電圧に選択的に接続される基準トランジスタをさらに含む、請求項39に記載の表示装置。

【請求項41】

前記駆動トランジスタの制御端子と前記先充電電圧との間に接続されているスイッチングトランジスタをさらに含む、請求項40に記載の表示装置。

【請求項42】

前記基準トランジスタの制御端子と入力端子との間に接続されているスイッチングトランジスタをさらに含む、請求項40に記載の表示装置。

【請求項43】

前記基準トランジスタの出力端子と前記データ電圧との間に接続されているスイッチングトランジスタをさらに含む、請求項40に記載の表示装置。

【請求項44】

前記先充電電圧は前記基準電圧及び前記データ電圧より高い、請求項40に記載の表示装置。

【請求項45】

前記先充電電圧は前記基準電圧が前記駆動トランジスタの入力端子に印加される時に前記駆動トランジスタの制御端子に印加される、請求項44に記載の表示装置。

【請求項46】

前記先充電電圧によってキャパシタに充電された電圧は前記基準トランジスタを通じて前記データ電圧側に放電される、請求項44に記載の表示装置。

【請求項47】

前記駆動トランジスタは前記駆動電圧が前記駆動トランジスタの入力端子に印加される時に前記制御電圧によって前記発光素子に駆動電流を出力する、請求項44に記載の表示装置。

【請求項48】

先充電電圧を伝達し、第1ノードに接続できる先充電電圧線と、  
駆動電圧及び前記駆動電圧より低い基準電圧を含む発光信号を伝達する発光信号線と、  
第2ノードに接続されている発光素子と、  
前記第1ノードに接続されている制御端子、前記発光信号線に接続されている入力端子および前記第2ノードに接続されている出力端子を有する駆動トランジスタと、  
前記第1ノードに接続されている制御端子、入力端子および第3ノードに接続されている出力端子を有する基準トランジスタと、  
前記第1ノードと前記第2ノードとの間に接続されているキャパシタと、  
を含んで成る表示装置。

【請求項49】

前記第2ノードと前記第3ノードとの間に接続されている抵抗性部材をさらに含む、請求項48に記載の表示装置。

【請求項50】

前記基準トランジスタの出力端子とデータ電圧との間に接続されている第1スイッチングトランジスタと、

前記基準トランジスタの入力端子と制御端子との間に接続されている第2スイッチングトランジスタと、

前記先充電電圧線と前記第1ノードとの間に接続されている第3スイッチングトランジスタと、  
をさらに含む、請求項49に記載の表示装置。

【請求項51】

入力端子、制御端子及び出力端子を有する駆動トランジスタ、前記駆動トランジスタの制御端子と出力端子との間に接続されているキャパシタ、前記駆動トランジスタの出力端子に接続されている発光素子とを含んで成る表示装置の駆動方法であって、

前記駆動トランジスタの入力端子に基準電圧を印加する段階と、

前記駆動トランジスタの制御端子に前記基準電圧より高い先充電電圧を印加して前記キャパシタに充電する段階と、

前記先充電電圧より低いデータ電圧を印加して前記充電段階で前記キャパシタに充電された電圧を放電させ前記データ電圧に依存する制御電圧を前記キャパシタに充電する段階と、

前記駆動トランジスタの入力端子に前記基準電圧より高い駆動電圧を印加する段階と、  
を含む表示装置の駆動方法。

【発明の詳細な説明】

【背景技術】

【0001】

本発明は表示装置及びその駆動方法に関し、特に有機発光表示装置及びその駆動方法に関するものである。

最近、パソコンやテレビなどの軽量化及び薄形化に伴って表示装置の軽量化及び薄形化も要求されており、このような要求によって陰極線管（CRT）の代替品として平板表示装置が普及している。

【0002】

このような平板表示装置には液晶表示装置（LCD）、電界放出表示装置（FED）、有機発光表示装置、プラズマ表示装置（PDP）などがある。

一般に能動型平板表示装置では複数の画素が行列形態に配列され、与えられた輝度情報によって各画素の光強度を制御することによって画像を表示する。このうち、有機発光表示装置は蛍光性有機物質を電気的に励起発光させて画像を表示する表示装置であって、自己発光型で消費電力が低く、視野角が広くて画素の応答速度が速いために高画質の動映像を表示することができる。

【0003】

有機発光表示装置は、有機発光ダイオード（OLED）とこれを駆動する薄膜トランジスタ（TFT）を備える。この薄膜トランジスタは活性層の種類に応じて多結晶シリコン薄膜トランジスタと非晶質シリコン薄膜トランジスタなどに区分される。多結晶シリコン薄膜トランジスタを採用した有機発光表示装置は、様々な長所があって一般に広く使用されているが、薄膜トランジスタの製造工程が複雑で、そのために費用も増加する。また、このような有機発光表示装置では大画面を得ることがむずかしい。

【0004】

非晶質シリコン薄膜トランジスタを採用した有機発光表示装置では大画面を得ることができ、多結晶シリコン薄膜トランジスタを採用した有機発光表示装置より製造工程数も相対的に少ない。しかし、非晶質シリコン薄膜トランジスタが有機発光ダイオードに持続的に電流を供給することによって、非晶質シリコン薄膜トランジスタ自体のしきい電圧が遷移して劣化することがある。このことによって同一データ電圧が印加されても有機発光ダイオードに流れる電流が不均一となり、このために有機発光表示装置の画質劣化が発生する。

【0005】

有機発光ダイオードも長時間電流を流すことによってそのしきい電圧が遷移する。n型薄膜トランジスタの場合、有機発光ダイオードは薄膜トランジスタのソース側に位置するために、有機発光ダイオードのしきい電圧が劣化すると薄膜トランジスタのソース側電圧が変動する。これによって薄膜トランジスタのゲートに同一データ電圧が印加されても、

薄膜トランジスタのゲートとソースとの間の電圧が変動するために、有機発光ダイオードに流れる電流が不均一になる。これもまた有機発光表示装置の画質劣化の一つの要因となる。

【0006】

一方、薄膜トランジスタを通じて有機発光ダイオードに電流を供給する駆動電圧が高ければ高いほど有機発光表示装置の発熱量が多くなるが、高い熱によって有機発光表示装置内の素子は容易に劣化する。

【発明の開示】

【発明が解決しようとする課題】

【0007】

そこで、本発明が目的とする技術的課題は、非晶質シリコン薄膜トランジスタを備える表示装置において、非晶質シリコン薄膜トランジスタ及び有機発光ダイオードのしきい電圧劣化を補償することができ、相対的に低い駆動電圧で映像を表示することができる表示装置及びその駆動方法を提供することにある。

【課題を解決するための手段】

【0008】

このような技術的課題を解決するための本発明の一実施例による表示装置は、発光素子と、第1ノードに接続されている制御端子、第2ノードに接続されている出力端子および入力端子を有し、前記発光素子が発光するための駆動電流を供給する駆動トランジスタと、前記第1ノードに接続されている制御端子、第3ノードに接続されている出力端子および入力端子を有する基準トランジスタと、前記第1ノードと前記第2ノードとの間に接続されているキャパシタと、前記第2ノードと前記第3ノードとの間に接続されている抵抗性部材とを含んで成る。

【0009】

走査信号によってデータ電圧を前記第3ノードに伝達する第1スイッチングトランジスタと、前記走査信号によって前記基準トランジスタの制御端子と入力端子を接続する第2スイッチングトランジスタと、前記走査信号によって先充電電圧を前記第1ノードに伝達する第3スイッチングトランジスタをさらに含む構成とすることができる。

前記駆動トランジスタの入力端子には発光信号を印加することができ、前記発光信号は基準電圧と前記基準電圧より大きい駆動電圧を含む構成とすることができる。

【0010】

前記先充電電圧は前記データ電圧及び前記基準電圧より大きい値を有するように構成できる。

前記発光信号が前記基準電圧である時、前記データ電圧を前記第3ノードに伝達するように構成できる。

前記発光信号が前記駆動電圧である時、前記駆動電流を前記発光素子に供給するように構成できる。

【0011】

前記抵抗性部材は半導体または導体を含む構成とすることができる。

前記抵抗性部材は非晶質シリコンまたは多結晶シリコンを含む構成とすることができる。

前記抵抗性部材はn型不純物でドーピングされた非晶質シリコンまたは多結晶シリコンを含む構成とすることができる。

【0012】

前記抵抗性部材はダイオード接続されたトランジスタで構成することができる。

前記前記走査信号及び前記走査信号を生成する走査駆動部、前記データ電圧を生成するデータ駆動部および前記発光信号を生成する発光駆動部をさらに含む構成とすることができる。

前記走査駆動部、前記データ駆動部及び前記発光駆動部を制御する信号制御部をさらに含む構成とすることができる。



## 【0013】

前記走査信号は第1電圧及び前記第1電圧より低い第2電圧を含み、前記走査信号が第1電圧であれば、前記第1ノードに前記データ電圧と前記基準トランジスタのしきい電圧の合計を貯蔵することができ、前記走査信号は第1電圧及び前記第1電圧より低い第2電圧を含み、前記走査信号が第2電圧である間に、前記第2ノードの電圧と前記第3ノードの電圧は実質的に同一であり得る。

## 【0014】

前記基準トランジスタと前記駆動トランジスタは実質的に同一の構造とすることができる。

前記基準トランジスタのチャンネルの幅は前記駆動トランジスタのチャンネルの幅より狭くてもよい。

前記駆動トランジスタ及び前記基準トランジスタは非晶質シリコンを含む構成とすることができる。

## 【0015】

前記駆動トランジスタ及び前記基準トランジスタはn-チャンネル薄膜トランジスタであってもよい。

前記発光素子は有機発光層を含む構成とすることができる。

本発明の他の実施例によれば、第1ノードに接続されている制御端子、第2ノードに接続されている出力端子および入力端子を有する駆動トランジスタと、前記第1ノードに接続されている制御端子、第3ノードに接続されている出力端子および入力端子を有する基準トランジスタと、前記第2ノードに接続されている発光素子、前記第1ノードと前記第2ノードとの間に接続されているキャパシタと、前記第2ノードと前記第3ノードとの間に接続されている抵抗性部材を含む表示装置の駆動方法は、前記駆動トランジスタの入力端子に基準電圧を印加する段階と、前記第1ノードに先充電電圧を供給する段階と、前記第3ノードにデータ電圧を供給する段階と、前記第1ノードに充電された電圧を前記基準トランジスタを通じて放電する段階と、前記第3ノードに充電された電圧を前記抵抗性部材を通じて放電する段階と、前記駆動トランジスタの入力端子に駆動電圧を印加する段階とを含んで成る。

## 【0016】

前記第1ノードにおける放電段階は、前記基準トランジスタの入力端子及び制御端子を接続する段階を含む構成とすることができる。

前記第2ノードにおける放電段階は、前記基準トランジスタの入力端子を孤立させる段階を含む構成とすることができる。

本発明の他の特徴による表示装置は、発光素子と、第1端子、第2端子及び前記発光素子に接続されている第3端子を有する第1トランジスタと、前記第1トランジスタの第1端子に接続されている第1端子、前記第1端子と接続される第2端子、データ電圧に接続される第3端子を有する第2トランジスタと、前記第1トランジスタの第1端子と前記第3端子との間に接続されているキャパシタとを含んで成る。

## 【0017】

前記第2トランジスタの第3端子は、前記第1トランジスタの第3端子と前記データ電圧に交互に接続できる。

前記第1トランジスタの第3端子と前記第2トランジスタの第3端子との間に接続されている抵抗性部材をさらに含む構成とすることができる。

前記第1トランジスタの第1端子に前記データ電圧より大きい所定の電圧が印加された後、前記第2トランジスタは自分の第2端子を第1端子と接続し第3端子をデータ電圧と接続することによって前記第1トランジスタの第1端子電圧の放電経路を構成することができる。

## 【0018】

前記第1トランジスタの第1端子の放電が終わった後、前記第2トランジスタは自分の第2端子を第1端子と分離し第3端子をデータ電圧と分離し、第3端子を前記第1トラン

ジスタの第3端子と接続することによって前記第2トランジスタの第3端子が前記第1トランジスタの第3端子と電圧が同一になるように構成できる。

前記発光素子は前記第2トランジスタの第3端子が前記第1トランジスタの第3端子と接続されている時に発光し、前記第2トランジスタの第3端子が前記データ電圧と接続されている時には発光しない構成とすることができる。

【0019】

本発明の他の特徴による表示装置の駆動方法は、発光素子と、第1ノードに接続されている第1端子や第2ノード及び前記発光素子に接続されている第2端子や第3端子を有する第1トランジスタと、前記第1ノードに接続されている第1端子や第2及び第3端子を有する第2トランジスタと、前記第1ノードと前記第2ノードとの間に接続されているキャパシタとを含んで成る表示装置の駆動方法であって、前記第1トランジスタの第3端子に前記発光素子の発光を抑制する第1電圧を印加する段階と、前記第1ノードに前記第1電圧より高い第2電圧を接続する段階と、前記第1ノードに前記第2電圧を接続した後、前記第1ノードを前記第2電圧から分離する段階と、前記第1ノードを前記第2電圧から分離した後、前記第2トランジスタの第2端子に前記第2電圧より低いデータ電圧を接続する段階と、前記第1ノードを前記第2電圧から分離した後、前記第2トランジスタの第1端子と第3端子を接続する段階と、前記第2トランジスタの第2端子に前記データ電圧を接続し、前記第2トランジスタの第1端子と第3端子を接続した後、前記第2トランジスタの第3端子を第1端子と分離する段階と、前記第2トランジスタの第2端子に前記データ電圧を接続し、前記第2トランジスタの第1端子と第3端子を接続した後、前記第2トランジスタの第2端子を前記データ電圧と分離する段階と、前記第2トランジスタの第1端子と第3端子を分離し、前記第2トランジスタの第2端子を前記データ電圧と分離した後、前記第2トランジスタの第2端子を前記第2ノードと接続する段階と、前記第1トランジスタの第3端子に第3電圧を印加して前記発光素子を発光させる段階とを含んで成る。

【0020】

本発明の他の特徴による表示装置の駆動方法は、発光素子と、第1及び第2端子と前記発光素子に接続されている第3端子を有する第1トランジスタと、前記第1トランジスタの第1端子に接続されている第1端子と第2及び第3端子を有する第2トランジスタと、前記第1トランジスタの第1端子と前記第3端子との間に接続されているキャパシタとを含んで成る表示装置の駆動方法であって、前記第1トランジスタの第2端子に第1電圧を印加して前記発光素子の発光を抑制する段階と、前記第1トランジスタの第1端子に前記第1電圧より高い第2電圧を充電する段階と、前記第1トランジスタの第1端子を前記第2電圧より低いデータ電圧側に前記第2トランジスタを通じて放電させ前記第1トランジスタの第1端子の電圧を下げる段階と、前記第2トランジスタの第3端子を前記第1トランジスタの第3端子と接続する段階と、前記第1トランジスタの第2端子に第3電圧を印加して前記発光素子を発光させる段階とを含んで成る。

【0021】

本発明の他の特徴による表示装置は、複数の画素行を含み、前記各画素は、発光素子と、第1及び第2端子と前記発光素子に接続されている第3端子を有する第1トランジスタと、前記第1トランジスタの第1端子に接続されている第1端子、前記第1端子と接続される第2端子、そして前記第1トランジスタの第3端子とデータ電圧に交互に接続される第3端子を有する第2トランジスタと、前記第1トランジスタの第1端子と前記第3端子との間に接続されているキャパシタとを含み、少なくとも2つの画素行の画素は同時に発光を開始する。

【0022】

前記各画素は、前記第1トランジスタの第3端子と前記第2トランジスタの第3端子との間に接続されている抵抗性部材をさらに含む構成とすることができる。

前記第1トランジスタの第1端子に前記データ電圧より大きい所定の電圧が印加された後、前記第2トランジスタは自分の第2端子を第1端子と接続し第3端子をデータ電圧と

接続することによって前記第1トランジスタの第1端子電圧の放電経路を構成することができる。

【0023】

前記第1トランジスタの第1端子の放電が終わった後、前記第2トランジスタは自分の第2端子を第1端子と分離し、第3端子をデータ電圧と分離し、第3端子を前記第1トランジスタの第3端子と接続することによって前記第2トランジスタの第3端子が前記第1トランジスタの第3端子と電圧が同一に構成することができる。

前記発光素子は前記第2トランジスタの第3端子が前記第1トランジスタの第3端子と接続されている時に発光し、前記第2トランジスタの第3端子が前記データ電圧と接続されている時には発光しない構成とすることができる。

【0024】

本発明の他の特徴による表示装置は、発光素子と、駆動電圧及び前記駆動電圧より低い基準電圧のうちのいずれか1つに接続されている入力端子、制御端子および前記発光素子に接続されている出力端子を有する駆動トランジスタと、前記駆動トランジスタの制御端子と出力端子との間に接続されており、前記駆動電圧と他の先充電電圧で充電した後、データ電圧に依存する制御電圧を貯蔵するキャパシタとを含んで成る。

【0025】

前記駆動トランジスタの制御端子に接続されている制御端子、前記制御端子に選択的に接続される入力端子、前記データ電圧に選択的に接続される基準トランジスタをさらに含む構成とすることができる。

前記駆動トランジスタの制御端子と前記先充電電圧との間に接続されているスイッチングトランジスタをさらに含む構成とすることができる。

【0026】

前記基準トランジスタの制御端子と入力端子との間に接続されているスイッチングトランジスタをさらに含む構成とすることができる。

前記基準トランジスタの出力端子と前記データ電圧との間に接続されているスイッチングトランジスタをさらに含む構成とすることができる。

前記先充電電圧は前記基準電圧及び前記データ電圧より高くてもよい。

前記先充電電圧は前記基準電圧が前記駆動トランジスタの入力端子に印加される時、前記駆動トランジスタの制御端子に印加できる。

【0027】

前記先充電電圧によってキャパシタに充電された電圧は前記基準トランジスタを通じて前記データ電圧側に放電できる。

前記駆動トランジスタは前記駆動電圧が前記駆動トランジスタの入力端子に印加される時、前記制御電圧によって前記発光素子に駆動電流を出力するように構成できる。

本発明の他の特徴による表示装置は、先充電電圧を伝達し、第1ノードに接続できる先充電電圧線、駆動電圧及び前記駆動電圧より低い基準電圧を含む発光信号を伝達する発光信号線、第2ノードに接続されている発光素子、前記第1ノードに接続されている制御端子、前記発光信号線に接続されている入力端子、そして前記第2ノードに接続されている出力端子を有する駆動トランジスタ、前記第1ノードに接続されている制御端子、入力端子、そして第3ノードに接続されている出力端子を有する基準トランジスタ、前記第1ノードと前記第2ノードとの間に接続されているキャパシタを含む。

【0028】

前記第2ノードと前記第3ノードとの間に接続されている抵抗性部材をさらに含む構成とすることができる。

前記基準トランジスタの出力端子とデータ電圧との間に接続されている第1スイッチングトランジスタ、前記基準トランジスタの入力端子と制御端子との間に接続されている第2スイッチングトランジスタ、そして前記先充電電圧線と前記第1ノードとの間に接続されている第3スイッチングトランジスタをさらに含む構成とすることができる。

【0029】

本発明の他の特徴による表示装置の駆動方法は、入力端子、制御端子及び出力端子を有する駆動トランジスタ、前記駆動トランジスタの制御端子と出力端子との間に接続されているキャパシタ、前記駆動トランジスタの出力端子に接続されている発光素子を含む表示装置の駆動方法であって、前記駆動トランジスタの入力端子に基準電圧を印加する段階と、前記駆動トランジスタの制御端子に前記基準電圧より高い先充電電圧を印加して前記キャパシタに充電する段階と、前記先充電電圧より低いデータ電圧を印加して前記充電段階で前記キャパシタに充電された電圧を放電させて前記データ電圧に依存する制御電圧を前記キャパシタに充電する段階と、前記駆動トランジスタの入力端子に前記基準電圧より高い駆動電圧を印加する段階とを含んで成る。

【発明の効果】

【0030】

3つのスイッチングトランジスタ、1つの駆動トランジスタ、1つの基準トランジスタ、有機発光ダイオード、抵抗及びキャパシタを備えて、このキャパシタに基準トランジスタのしきい電圧及びデータ電圧に依存する電圧を貯蔵することによって駆動トランジスタ及び有機発光ダイオードのしきい電圧が変動してもこれを補償して画質劣化を防止することができる。

【発明を実施するための最良の形態】

【0031】

添付した図面を参照して本発明の実施例について本発明の属する技術分野における通常の知識を有する者が容易に実施できるように詳細に説明する。

図面で複数の層及び領域を明確に表現するために厚さを拡大して示した。明細書全体にわたって類似な部分については同一図面符号を付けた。層、膜、領域、板などの部分が他の部分の“上”にあるとする時、これは他の部分の“直上”にある場合だけでなく、その中間に他の部分がある場合も含む。これに反し、ある部分が他の部分の“直上”にあるとする時には中間に他の部分がないことを意味する。また、ある部分が他の部分と接続されていてする時、これは他の部分と“直接”接続されている場合だけでなく、他の部分を“通じて”接続されている場合も含む。

【0032】

以下では本発明の実施例による表示装置及びその駆動方法について添付した図面を参照して詳細に説明する。

まず、図1～図5を参照して本発明の一実施例による有機発光表示装置について説明する。

図1は本発明の一実施例による有機発光表示装置のブロック図であり、図2は本発明の一実施例による有機発光表示装置の1つの画素に対する等価回路図である。

【0033】

図1に示したように、本発明の一実施例による有機発光表示装置は表示板300及びこれに接続された走査駆動部400とデータ駆動部500と発光駆動部700、およびこれらを制御する信号制御部600を含む。

表示板300は等価回路で見る時、複数の信号線 $G_0-G_n$ 、 $D_1-D_m$ 、 $S_1-S_n$ 、複数の電圧線（図示せず）、そしてこれらに接続されていてほぼ行列形態に配列された複数の画素PXを含む。

【0034】

信号線は走査信号 $V_{g0} \sim V_{gn}$ を伝達する複数の走査信号線 $G_0-G_n$ とデータ信号 $V_{da} \sim V_{da}$ を伝達するデータ線 $D_1-D_m$ 、そして発光信号 $V_{d1} \sim V_{dn}$ を伝達する複数の発光信号線 $S_1-S_n$ を含む。図1において左右方向を行方向とし、上下方向を列方向とする場合に、走査信号線 $G_0-G_n$ と発光信号線 $S_1-S_n$ はほぼ行方向に伸びていて互いにはほぼ平行であり、データ線 $D_1-D_m$ はほぼ列方向に伸びていて互いにはほぼ平行である。

【0035】

電圧線は先充電電圧 $V_{pre}$ を伝達する先充電電圧線（図示せず）を含む。

図2に示したように、各画素PX、例えば、走査信号線 $G_i$ とデータ線 $D_j$ に接続されて

いる画素は有機発光ダイオードLD、駆動トランジスタQd、基準トランジスタQr、キャパシタCst、抵抗R及び3つのスイッチングトランジスタQs1、Qs2、Qs3を含む。

【0036】

駆動トランジスタQdは制御端子、入力端子及び出力端子を有し、制御端子は基準トランジスタQr、スイッチングトランジスタQs2、Qs3及びキャパシタCstが接続されているノードNaに接続されており、入力端子は発光信号V<sub>si</sub>に接続されており、出力端子は有機発光ダイオードLDが接続されているノードNcに接続されている。

基準トランジスタQrも制御端子、入力端子及び出力端子を有し、制御端子はノードNaに接続されており、入力端子はスイッチングトランジスタQs2に接続されており、出力端子はスイッチングトランジスタQs1及び抵抗Rが接続されているノードNbに接続されている。

【0037】

キャパシタCstはノードNaとノードNcとの間に接続されている。

抵抗RはノードNbとノードNcとの間に接続されている。抵抗Rは半導体または導体で実現することができ、半導体の場合、非晶質または多結晶シリコンを使用したり、n+ドーピングされた非晶質または多結晶シリコンを使用することができる。

有機発光ダイオードLDのアノードとカソードは各々ノードNcと共通電圧V<sub>ss</sub>に接続されている。有機発光ダイオードLDは、駆動トランジスタQdが供給する電流I<sub>LD</sub>の大きさによって異なる強さで発光することによって画像を表示する。電流I<sub>LD</sub>の大きさは駆動トランジスタQdの制御端子と出力端子との間の電圧V<sub>gs</sub>の大きさに依存する。

【0038】

スイッチングトランジスタQs1は、走査信号線G<sub>i</sub>、データ電圧V<sub>data</sub>及びノードNbに接続されており、走査信号V<sub>gi</sub>に反応して動作する。

スイッチングトランジスタQs2は、走査信号線G<sub>i</sub>、基準トランジスタQrの入力端子及びノードNaに接続されており、走査信号V<sub>gi</sub>に反応して動作する。

スイッチングトランジスタQs3は、前端走査信号線G<sub>i-1</sub>、先充電電圧V<sub>pre</sub>及びノードNaに接続されており、前端走査信号V<sub>gi-1</sub>に反応して動作する。

【0039】

このようなトランジスタQd、Qr、Qs1～Qs3は、非晶質シリコンまたは多結晶シリコンからなるn-チャンネル電界効果トランジスタ(FET)で構成される。これらトランジスタQd、Qr、Qs1～Qs3は、p-チャンネル電界効果トランジスタFETで構成することもでき、この場合、p-チャンネル電界効果トランジスタFETとn-チャンネル電界効果トランジスタFETは互いに相補型であるので、p-チャンネル電界効果トランジスタFETの動作と電圧及び電流はn-チャンネル電界効果トランジスタFETのそれと反対になる。

【0040】

以下、図2に示した有機発光表示装置の駆動トランジスタQdと有機発光ダイオードLDの構造について図3及び図4を参照して詳細に説明する。

図3は図2に示した有機発光表示装置の1つの画素の駆動トランジスタと有機発光ダイオードの断面の一例を示した断面図であり、図4は本発明の一実施例による有機発光表示装置の有機発光ダイオードの概略図である。

【0041】

絶縁基板110上に制御端子電極124が形成されている。制御端子電極124はアルミニウムとアルミニウム合金等アルミニウム系の金属、銀と銀合金等銀系の金属、銅と銅合金等銅系の金属、モリブデンとモリブデン合金等モリブデン系の金属、クロム、チタニウム、タンタルなどからなるのが好ましい。この他にも、制御端子電極124は物理的性質の異なる2つの導電膜(図示せず)を含む多重膜構造を有することができる。このうち、1つの導電膜は、信号遅延や電圧降下を減らすことができるように低い比抵抗の金属、例えば、アルミニウム系金属、銀系金属、銅系金属などで構成できる。他の導電膜は他の

物質、特にITO（酸化インジウムスズ）及びIZO（酸化インジウム亜鉛）との物理的、化学的、電氣的接触特性に優れた物質、例えばモリブデン系金属、クロム、チタニウム、タンタルなどで構成できる。このような組み合わせの良い例としては、クロム下部膜とアルミニウム（合金）上部膜及びアルミニウム（合金）下部膜とモリブデン（合金）上部膜がある。これ以外にも制御端子電極124は多様な金属と導電体で作ることができる。制御端子電極124は基板110面に対し傾いており、その傾斜角は30～80度である。

**【0042】**

制御端子電極124上には窒化シリコンなどからなる絶縁膜140が形成されている。

絶縁膜140上には水素化非晶質シリコン（非晶質シリコンはa-Siとも言う）または多結晶シリコンなどからなる半導体154が形成されている。半導体154の上にはシリサイドまたはn型不純物が高濃度でドーピングされているn+水素化非晶質シリコンなどの物質で作られた一对の抵抗性接触部材163、165が形成されている。半導体154と抵抗性接触部材163、165の側面は基板110面に対して傾いており、傾斜角は30～80度である。

**【0043】**

抵抗性接触部材163、165及び絶縁膜140上には入力端子電極173と出力端子電極175が形成されている。入力端子電極173と出力端子電極175はクロム、モリブデン系の金属、タンタル及びチタニウム等、耐火性金属からなることが好ましく、耐火性金属などの下部膜（図示せず）とその上に位置した低抵抗物質上部膜（図示せず）からなる多層膜構造を有してもよい。多層膜構造の例としては、クロムまたはモリブデン（合金）下部膜とアルミニウム上部膜の二重膜、モリブデン（合金）下部膜-アルミニウム（合金）中間膜-モリブデン（合金）上部膜の三重膜がある。入力端子電極173及び出力端子電極175も入力電極124などと同様にその側面が約30～80度の角度で各々傾いている。

**【0044】**

入力端子電極173と出力端子電極175は互いに分離されており、制御端子電極124を基準に両側に位置する。制御端子電極124、入力端子電極173及び出力端子電極175は半導体154と共に駆動トランジスタQdを構成し、そのチャンネルは入力端子電極173と出力端子電極175との間の半導体154に形成される。

抵抗性接触部材163、165はその下部の半導体154とその上部の入力電極173及び出力電極175の間にのみ存在し、接触抵抗を下げる役割を果たす。半導体154には入力電極173と出力電極175で覆われない部分がある。

**【0045】**

入力端子電極173及び出力端子電極175と露出された半導体154部分及び絶縁膜140上には保護膜180が形成されている。保護膜180は窒化シリコンや酸化シリコンなどの無機絶縁物、有機絶縁物、低誘電率絶縁物などで作られる。低誘電率絶縁物の誘電定数は4.0以下であるのが好ましく、プラズマ化学気相蒸着（PECVD）で形成されるa-Si:C:O、a-Si:O:Fなどがその例である。有機絶縁物のうちの感光性を有するもので保護膜180を作ることができ、保護膜180の表面は平坦にすることが好ましい。また、保護膜180は半導体154の露出された部分を保護しながら、有機膜の長所を生かせるように、下部無機膜と上部有機膜の二重膜構造で構成することができる。保護膜180には出力端子電極175を露出する接触孔185が形成されている。

**【0046】**

保護膜180上には画素電極190が形成されている。画素電極190は接触孔185を通じて出力端子電極175と物理的・電氣的に接続されており、ITOまたはIZOなどの透明な導電物質やアルミニウムまたは銀合金の反射性に優れた金属で形成することができる。

保護膜180上には隔壁360が形成されている。隔壁360は画素電極190の周縁を堤防（bank）のように囲んで開口部を定義するものであり、有機絶縁物質または無

機絶縁物質で形成される。

【0047】

画素電極190上には有機発光部材370が形成されており、有機発光部材370は隔壁360で囲まれた開口部に閉じ込められている。

有機発光部材370は、図4に示したように、発光層(EML)の他に発光層の発光効率を向上させるための附帯層を含む多層構造を有する。附帯層には電子と正孔の均衡を合わせるための電子輸送層(ETL)及び正孔輸送層(HTL)と、電子と正孔の注入を強化するための電子注入層(EIL)と正孔注入層(HIL)がある。附帯層は省略することもできる。

【0048】

隔壁360上には金属のように低い比抵抗を有する導電物質からなる補助電極382が形成されている。

隔壁360、有機発光部材370及び補助電極382上には共通電圧 $V_{ss}$ が印加される共通電極270が形成されている。共通電極270はカルシウム、バリウム、アルミニウムなどを含む反射性金属或いはITOまたはIZOなどの透明な導電物質からなっている。

【0049】

補助電極382は共通電極270と接触して共通電極270の導電性を補完して共通電極270の電圧が歪曲されることを防止する。

不透明な画素電極190と透明な共通電極270は表示板300の上部方向に画像を表示する前面発光方式の有機発光表示装置に適用し、透明な画素電極190と不透明な共通電極270は表示板300の下方向に画像を表示する背面発光方式の有機発光表示装置に適用する。

【0050】

画素電極190、有機発光部材370及び共通電極270は図2に示した有機発光ダイオードLDを構成し、画素電極190はアノード、共通電極270はカソードまたは画素電極190はカソード、共通電極270はアノードとなる。有機発光ダイオードLDは有機発光部材370の材料によって基本色のうちの1つの色相の光を発する。基本色の例としては、赤色、緑色、青色の三原色があり、これら三原色の空間的合計で望む色相を表示する。

【0051】

図1に示すように、走査駆動部400は表示板300の走査信号線 $G_0-G_n$ に接続されており、スイッチングトランジスタ $Q_{s1} \sim Q_{s3}$ を導通する高電圧 $V_{on}$ と遮断する低電圧 $V_{off}$ の組み合わせからなる走査信号 $V_{g1}$ を走査信号線 $G_0-G_n$ に印加する。

データ駆動部500は表示板300のデータ線 $D_1-D_n$ に接続されて画像信号を示すデータ電圧 $V_{data}$ をデータ線 $D_1-D_n$ に印加する。

【0052】

発光駆動部700は表示板300の発光信号線 $S_1-S_n$ に接続されて駆動電圧 $V_{dd}$ と基準電圧 $V_{ref}$ の組み合わせからなる発光信号 $V_{s1}$ を発光信号線 $S_1-S_n$ に印加する。

走査駆動部400、データ駆動部500または発光駆動部700は複数の駆動集積回路チップの形態で液晶表示板組立体300上に直接装着することもでき、可撓性印刷回路膜(図示せず)上に装着されてTCPの形態で表示板300に付着することもできる。これとは異なって、走査駆動部400、データ駆動部500または発光駆動部700が信号線 $G_0-G_n$ 、 $D_1-D_n$ 、 $S_1-S_n$ 及びトランジスタ $Q_d$ 、 $Q_r$ 、 $Q_{s1} \sim Q_{s3}$ などと共に表示板300に集積することもできる。

【0053】

信号制御部600は走査駆動部400、データ駆動部500及び発光駆動部700などの動作を制御する。

次に、このような有機発光表示装置の動作について図5を参照して詳細に説明する。

図5は本発明の一実施例による有機発光表示装置の駆動信号を示したタイミング図の例

である。

【0054】

信号制御部600は外部のグラフィック制御機(図示せず)から入力映像信号R、G、B及びその表示を制御する入力制御信号、例えば、垂直同期信号Vsyncと水平同期信号Hsync、メインクロックMCLK、データイネーブル信号DEなどの提供を受ける。信号制御部600は入力映像信号R、G、Bと入力制御信号に基づいて映像信号R、G、Bを表示板300の動作条件に合わせて適切に処理し、走査制御信号CONT1、データ制御信号CONT2及び発光制御信号CONT3などを生成した後、走査制御信号CONT1を走査駆動部400に出力し、データ制御信号CONT2と処理した映像信号DATAはデータ駆動部500に出力し、発光制御信号CONT3は発光駆動部700に出力する。

【0055】

走査制御信号CONT1は、高電圧Vonの走査開始を指示する垂直同期開始信号STVと高電圧Vonの出力を制御する少なくとも1つのクロック信号などを含む。走査制御信号CONT1はまた、高電圧Vonの持続時間を限定する出力イネーブル信号OEを含むように構成できる。

データ制御信号CONT2は、1つの画素行のデータ伝送を知らせる水平同期開始信号STHとデータ線D<sub>1</sub>-D<sub>m</sub>に当該データ電圧を印加することを命令するロード信号LOAD及びデータクロック信号HCLKなどを含む。

【0056】

ここで、特定画素行、例えば、i番目行に焦点を合せて説明する。

まず、発光駆動部700が信号制御部600からの発光制御信号CONT3によって発光信号Vs<sub>i</sub>を基準電圧Vrefにし、データ線D<sub>1</sub>-D<sub>m</sub>が前端画素行、つまり、(i-1)番目画素行に対するデータ電圧Vdataを伝達する間に、走査駆動部400は走査制御信号CONT1によって前端走査信号線、つまり、(i-1)番目走査信号線G<sub>i-1</sub>に対する走査信号Vg<sub>i-1</sub>を高電圧Vonに変える。その結果、前端走査信号線G<sub>i-1</sub>に接続されているi番目画素行のスイッチングトランジスタQs3が導通する。この時、i番目走査信号線G<sub>i</sub>が伝達する走査信号Vg<sub>i</sub>は低電圧Voffであるので、i番目画素行の他の2つのスイッチングトランジスタQs1、Qs2は遮断の状態である。以下ではこの区間を先充電区間と言う。

【0057】

次に、ノードNaには先充電電圧Vpreが印加され、キャパシタCstによってこの電圧Vpreが維持される。先充電電圧Vpreは、データ電圧Vdata及び基準電圧Vrefより十分に大きい値に設定される。一方、基準電圧Vrefは共通電圧Vssに対して有機発光ダイオードLDのしきい電圧Vth<sub>0</sub>以下の値に設定される。そのために先充電区間で駆動トランジスタQdが導通して、基準電圧VrefがノードNcにかかっても有機発光ダイオードLDには電流が流れないために発光しない。その代わりに、2つのノードNa、Ncの間の電圧差はキャパシタCstに貯蔵される。

【0058】

また、データ駆動部500は、信号制御部600からのデータ制御信号CONT2によって、i番目行の画素PXに対する映像データDATの入力を受け、これをアナログデータ電圧Vdataに変換してデータ線D<sub>1</sub>-D<sub>m</sub>に印加する。

一方、走査駆動部400は、i番目画素行に対するデータ電圧Vdataが印加される前に前端走査信号Vg<sub>i-1</sub>を低電圧Voffに変えてスイッチングトランジスタQs3を遮断し、i番目画素行に対するデータ電圧Vdataが印加されると同時に或いは印加された後に、走査信号Vg<sub>i</sub>を高電圧Vonに変えてスイッチングトランジスタQs1、Qs2を導通することによりデータ入力区間を開始する。

【0059】

データ入力区間で発光信号Vs<sub>i</sub>は基準電圧Vrefを維持し、スイッチングトランジスタQs1はデータ電圧VdataをノードNbに印加する。



この時、抵抗Rの抵抗値は十分に大きく設定されていて、ノードNb、Ncの間に流れる電流は非常に小さい。例えば、抵抗Rの値が $10^9\Omega$ で、データ電圧Vdataが13V、基準電圧Vrefが3Vであれば、抵抗Rには10nAが流れる。抵抗Rに流れる電流が微小であるために、ノードNbにはデータ電圧Vdataが維持され、ノードNcには基準電圧Vrefが維持される。

## 【0060】

一方、先充電電圧Vpreがデータ電圧Vdataより大きいために、データ入力区間が始まる時、基準トランジスタQrが導通する。したがって、キャパシタCstに充電されている電荷がスイッチングトランジスタQs2、基準トランジスタQr及びスイッチングトランジスタQs1を通じて放電される。この放電は、基準トランジスタQrの制御端子と出力端子との間の電圧差が、基準トランジスタQrのしきい電圧Vthrになるまで持続し、その後止まる。この時ノードNaにおける電圧VAは次のような電圧値に収斂するが、先充電電圧Vpreが高ければ高いほどより安定的にこの値に収斂する。

$$VA = V_{thr} + V_{data} \cdots \text{(数式1)}$$

ここで、1つの画素上で基準トランジスタQrを駆動トランジスタQdに非常に近接した位置に配置し、互いに同じ構造を有するように構成すれば、基準トランジスタQrのしきい電圧Vthrと駆動トランジスタQdのしきい電圧Vthdが互いに同一になる。したがって、駆動トランジスタQdの制御端子と出力端子との間の電圧Vgsは次のようになり、この電圧VgsはキャパシタCstに貯蔵される。

$$V_{gs} = V_{thd} + V_{data} - V_{ref} \cdots \text{(数式2)}$$

その後、走査駆動部400は走査制御信号CONT1によって走査信号Vgiを低電圧Voffに変えてスイッチングトランジスタQs1、Qs2を遮断する。その結果、ノードNaは孤立状態になり、ノードNbはデータ電圧Vdataから分離される。その結果、ノードNbにかかった寄生キャパシタに充電されていた電荷が抵抗Rを通じてノードNcに放電され、ノードNbの電圧がノードNcの電圧と同一になる。この時、ノードNbの電圧がノードNcの電圧に至る時間は、ノードNbにかかっている寄生容量と抵抗Rの抵抗値の積である時定数 $\tau$ によって決定される。この時定数 $\tau$ は、ノードNb電圧がノードNc電圧の約63.2%になるのにかかる時間と同一である。もしノードNbの寄生容量が0.01pFで、前述のように抵抗値Rが $10^9\Omega$ であれば、時定数 $\tau$ は10 $\mu$ secとなる。したがって、この場合約30 $\mu$ secが経過すれば、ノードNb電圧はノードNc電圧の95%水準に至る。

## 【0061】

走査信号Vgiを低電圧Voffに変えた後、所定時間が経過すれば、発光駆動部700が信号制御部600からの発光制御信号CONT3によって発光信号Vsiを駆動電圧Vddに変えることにより発光区間が始まる。駆動電圧Vddは駆動トランジスタQdが飽和領域で駆動するように適切に高い値に設定される。これによって、駆動トランジスタQdは駆動トランジスタQdの制御端子と出力端子との間の電圧差Vgsによって制御される出力電流ILDを出力端子を通じて有機発光ダイオードLDに供給する。有機発光ダイオードLDは出力電流ILDの大きさによって異なる強さで発光し当該画像を表示する。

## 【0062】

電流が流れればノードNcの電圧が上昇するが、駆動トランジスタQdの制御端子がフローティングされているので、キャパシタCstに充電されている電圧は維持される。発光区間の間に駆動トランジスタQdによって有機発光ダイオードLDに流れる駆動電流ILDは、駆動トランジスタのしきい電圧Vthd及び有機発光ダイオードLDのしきい電圧Vthoと関係なく次のように決定される。

$$\begin{aligned} I_{LD} &= 1/2 \times K \times (V_{gs} - V_{thd})^2 \\ &= 1/2 \times K \times (V_{thd} + V_{data} - V_{ref} - V_{thd})^2 \\ &= 1/2 \times K \times (V_{data} - V_{ref})^2 \cdots \text{(数式3)} \end{aligned}$$

ここで、Kは薄膜トランジスタの特性による定数であって、 $K = \mu \cdot C_i \cdot W/L$ であり、 $\mu$ は電界効果移動度、 $C_i$ は絶縁層の容量、Wは駆動トランジスタQdのチャンネル

幅、Lは駆動トランジスタQdのチャンネル長さを示す。

【0063】

駆動トランジスタQdと基準トランジスタQrは動作中に加えられるストレスによってしきい電圧Vthd、Vthrが変動しやすいが、特に2つのトランジスタQd、Qrが非品質シリコンを含む場合、さらにも変動しやすい。2つのトランジスタQd、Qrが互いに異なる大きさのストレスを受けてしきい電圧Vthd、Vthrが互いに変われば、上述した内容が成立しなくなるので、この部分について説明する必要がある。

【0064】

駆動トランジスタQdと基準トランジスタQrが受ける主なストレスは、トランジスタQd、Qrに印加される制御端子と出力端子との間の電圧差Vgsである。駆動トランジスタQdと基準トランジスタQrの制御端子は互いに接続されているので、常に同一の電圧である。そして駆動トランジスタQdの出力端子電圧はノードNcの電圧で、基準トランジスタQrの出力端子電圧はノードNbの電圧である。ノードNbとノードNcの電圧はデータ入力区間でデータ電圧Vdataが入力される間のみ互いに異なり、残り区間では同一である。走査信号線G1-Gnの数が1000個であれば、データ入力区間は1つのフレームの約0.1%しかならない。したがって、全時間中ノードNbとノードNcの電圧が異なる時間は0.1%しかないので、ノードNbとノードNcの電圧は実質的に同一であると言える。したがって、基準トランジスタQrに印加される制御端子と出力端子との間の電圧差も、駆動トランジスタQdのそれと実質的に同一であり、これによって基準トランジスタQrのしきい電圧Vthrの変動幅は駆動トランジスタQdのしきい電圧Vthdの変動幅と実質的に同一であると言える。

【0065】

結局、基準トランジスタQrのしきい電圧Vthrは駆動トランジスタQdのしきい電圧Vthdと実質的に同一である。

一方、駆動トランジスタQdと基準トランジスタQrのW/Lを異ならせて設計することもできるが、これによって2つのトランジスタQd、Qrのしきい電圧Vthd、Vthrも異なることがある。その結果、(数式2)及び(数式3)は次のように変わる。

$$Vgs = Vthr + Vdata - Vref \dots \text{(数式4)}$$

$$I_{D0} = 1/2 \times K \times (Vgs - Vthd)^2$$

$$= 1/2 \times K \times (Vthr + Vdata - Vref - Vthd)^2$$

$$= 1/2 \times K \times (Vdata - Vref + (Vthr - Vthd))^2 \dots \text{(数式5)}$$

駆動トランジスタQdと基準トランジスタQrのしきい電圧差(Vthr-Vthd)が全ての画素に対して均一であるように、つまり、しきい電圧差(Vthr-Vthd)が定数になるように表示板300を設計すれば、与えられた1つのデータ電圧に対して全ての画素が同一な輝度を示すので、それによって映像を表示するのに何らの支障がない。また、上述したように駆動トランジスタQdと基準トランジスタQrのしきい電圧Vthr、Vthdの変動値はW/Lと関係なく同一であるので、しきい電圧Vthr、Vthdが変化するとしても駆動トランジスタQdと基準トランジスタQrのしきい電圧Vthr、Vthdの差(Vthr-Vthd)は一定である。

【0066】

したがって、トランジスタQd、Qrの各々の特性が表示板300全体にわたって均一であれば、しきい電圧変動を補償することができる。結局、工程を単純化して開口率を増やすために基準トランジスタQrの大きさを駆動トランジスタQdの大きさより小さくすることができる。

これとは異なって、上述したように、駆動トランジスタQdと基準トランジスタQrが同一のしきい電圧を有する場合には、画素別にトランジスタQd、Qrの特性が異なっても駆動トランジスタQdのしきい電圧Vthd変動を補償することができる。

【0067】

発光区間は次のフレームにおけるi番目行の画素PXに対する先充電区間が再び始まるまで持続され、その次の行の画素PXに対しても上述した各区間における動作を同一に繰

り返す。このような方式で、全ての走査信号線 $G_0-G_n$ 及び発光信号線 $S_1-S_n$ に対して順に区間制御を行って、全ての画素 $PX$ に当該画像を表示する。ここで、走査信号線 $G_0$ 及び走査信号 $Vg_0$ は第1行の画素 $PX$ に画像を表示するために使用される。

## 【0068】

各区間の長さは必要に応じて調整することができる。

このように本実施例によれば、駆動トランジスタ $Qd$ 及び有機発光ダイオード $LD$ のしきい電圧 $V_{thd}$ 、 $V_{tho}$ の遷移を補償して画質劣化を防止することができる。

一方、これらしきい電圧 $V_{thd}$ 、 $V_{tho}$ の遷移を補償するために先充電電圧として駆動電圧 $Vdd$ を使用することもできるが、この場合にも安定な補償のために駆動電圧 $Vdd$ は十分に高くなければならない。ところが、駆動電圧 $Vdd$ が高ければ上述したように有機発光表示装置の発熱量が多くなって有機発光表示装置内の素子が容易に劣化する。しかし、本発明の実施例のように駆動電圧 $Vdd$ と異なる別途の先充電電圧 $Vpre$ を使用することによって先充電電圧 $Vpre$ の電圧値は十分に大きくすることができ、駆動電圧 $Vdd$ の電圧値は相対的に小さくすることができる。その結果、有機発光表示装置の発熱量を減らすことができ、熱による有機発光表示装置の劣化を防止することができる。

## 【0069】

以下では本発明の他の実施例による有機発光表示装置について図6を参照して説明する。

図6は本発明の他の実施例による有機発光表示装置の1つの画素に対する等価回路図である。

図6に示したように、本発明の他の実施例による有機発光表示装置の各画素 $PX$ は有機発光ダイオード $LD$ 、駆動トランジスタ $Qd$ 、基準トランジスタ $Qr$ 、キャパシタ $Cst$ 、トランジスタ $Qt$ 及び3つのスイッチングトランジスタ $Qs1$ 、 $Qs2$ 、 $Qs3$ を含む。

## 【0070】

図6に示した画素 $PX$ は、図2に示した画素 $PX$ の抵抗 $R$ をトランジスタ $Qt$ で実現したもので、トランジスタ $Qt$ を除いた残りは2つの画素 $PX$ で実質的に同一であるので、これについての詳細な説明は省略する。

トランジスタ $Qt$ はノード $Nb$ とノード $Nc$ との間に接続されており、その制御端子ゲートはノード $Nc$ に接続されている。トランジスタ $Qt$ の制御端子はノード $Nb$ に接続することもできる。

## 【0071】

データ入力区間でノード $Nb$ の電圧はデータ電圧 $Vdata$ であり、ノード $Nc$ の電圧は基準電圧 $Vref$ である。

データ電圧 $Vdata$ が基準電圧 $Vref$ より大きい場合、ノード $Nb$ はトランジスタ $Qt$ のドレインとなり、ノード $Nc$ はソースとなる。したがって、ゲートとソースが接続されているので、ノード $Nb$ からノード $Nc$ に流れる電流は非常に小さくなる。

## 【0072】

反対に、基準電圧 $Vref$ がデータ電圧 $Vdata$ より大きい場合、ノード $Nb$ はトランジスタ $Qt$ のソースとなり、ノード $Nc$ はドレインとなる。この場合、基準電圧 $Vref$ とデータ電圧 $Vdata$ の差がトランジスタ $Qt$ のしきい電圧より小さくなるように基準電圧 $Vref$ 、データ電圧 $Vdata$ 及びトランジスタ $Qt$ の $W/L$ を設定すれば、ノード $Nc$ からノード $Nb$ に流れる電流は非常に小さくなる。結局、データ入力区間でノード $Nb$ とノード $Nc$ との間に電圧差が生じても両者に流れる電流は十分に小さくなる。

## 【0073】

また、スイッチングトランジスタ $Qs1$ 、 $Qs2$ が遮断した後に、ノード $Nb$ の電圧が放電される速度を考慮してトランジスタ $Qt$ の $W/L$ を適切に設定すれば、トランジスタ $Qt$ は図2の抵抗 $R$ と同一の動作を行う。

したがって、図6に示した画素回路もまた駆動トランジスタ $Qd$ のしきい電圧 $V_{thd}$ 及び有機発光ダイオード $LD$ のしきい電圧 $V_{tho}$ の変動を補償してデータ電圧 $Vdata$

aと基準電圧 $V_{ref}$ に依存する駆動電流 $I_{LD}$ を有機発光ダイオードLDに流すことができる。

【0074】

次に、本発明の他の実施例による有機発光表示装置について図7～図10を参照して詳細に説明する。

図7は本発明の他の実施例による有機発光表示装置の概略図であり、図8は図7に示した有機発光表示装置の駆動信号を示したタイミング図の例である。図9は本発明の他の実施例による有機発光表示装置の概略図であり、図10は図9に示した有機発光表示装置の駆動信号を示したタイミング図の例である。

【0075】

図7及び図9に示した表示板310、320は少なくとも1つのブロックに区別されている。各ブロック内の発光信号線 $S_1-S_n$ は電氣的に互いに接続されており、互いに異なるブロックの発光信号線 $S_1-S_n$ は電氣的に分離されている。

図7に示した表示板310のブロックの数は3つであり、図9に示した表示板320のブロックの数は1つであるので、全ての発光信号線 $S_1-S_n$ が互いに接続されている。一方、図1に示した表示板300はn個のブロックに分けたものである。

【0076】

表示板310、320の他の構造は図1に示したことと同一であり、表示板310、320の画素構造は図2または図6に示したことと実質的に同一である。

図7及び図8に示したように、第1乃至第3ブロックBL1-BL3の発光信号線 $S_1-S_k$ 、 $S_{k+1}-S_{2k}$ 、 $S_{2k+1}-S_{3k}$ は発光駆動部710から発光信号 $V_{s1}$ 、 $V_{s2}$ 、 $V_{s3}$ の印加を各々受ける。各ブロックBL1-BL3は発光信号 $V_{s1}$ 、 $V_{s2}$ 、 $V_{s3}$ によって区間を分けて動作する。この区間は発光信号 $V_{s1}$ 、 $V_{s2}$ 、 $V_{s3}$ が基準電圧 $V_{ref}$ であるデータ入力区間と発光信号 $V_{s1}$ 、 $V_{s2}$ 、 $V_{s3}$ が駆動電圧 $V_{dd}$ である発光区間に分けられる。

【0077】

データ入力区間では画素行が順次に先充電電圧 $V_{pre}$ を充電し、データ電圧 $V_{data}$ の入力を受ける。ブロック内の全ての画素行に対するデータ電圧 $V_{data}$ の入力が完了すれば発光区間が始まり、全ての画素行の有機発光ダイオードLDが同時に発光する。

発光信号 $V_{s1}$ は、0番目走査信号 $V_{g0}$ が高電圧 $V_{on}$ になる時或いはなる前に、基準電圧 $V_{ref}$ と同一になり、発光信号 $V_{s2}$ 、 $V_{s3}$ は直前ブロックBL1、BL2の最後の走査信号 $V_{g_k}$ 、 $V_{g_{2k}}$ が高電圧 $V_{on}$ になる時またはなる前に基準電圧 $V_{ref}$ と同一になる。

【0078】

したがって、各ブロックに対するデータ入力区間が1つのフレーム時間 $T_f$ のほぼ1/3を占めており、残り2/3が発光区間となる。

画素PXの具体的な動作は図2及び図6を参照して説明したことと同一であるので、これについての詳細な説明は省略する。

図9及び図10に示したように、発光信号線 $S_1-S_n$ は発光駆動部720から発光信号 $V_{s}$ の印加を受ける。

【0079】

発光信号 $V_{s}$ が基準電圧 $V_{ref}$ になれば、画素行は順に先充電電圧 $V_{pre}$ を充電し、データ電圧 $V_{data}$ を入力する。全画素行に対するデータ電圧 $V_{data}$ の入力が完了すれば、全ての画素行の有機発光ダイオードLDが同時に発光する。

図7～図10に示した有機発光表示装置では、相当な時間の間に発光が停止するので、インパルス(impulsive)駆動効果を得ることができる。発光区間のデューティ比は表示板の特性によって決めることができる。

【0080】

以上、本発明の好ましい実施例について詳細に説明したが、本発明の権利範囲はこれに限定されず、請求範囲で定義している本発明の基本概念を利用した当業者の多様な変形及

び改良形態もまた本発明の権利範囲に属する。

【図面の簡単な説明】

【0081】

【図1】本発明の一実施例による有機発光表示装置のブロック図である。

【図2】本発明の一実施例による有機発光表示装置の1つの画素に対する等価回路図である。

【図3】図2に示した有機発光表示装置の1つの画素の駆動トランジスタと有機発光ダイオードの断面を示した断面図である。

【図4】本発明の一実施例による有機発光表示装置の有機発光ダイオードの概略図である。

。

【図5】本発明の一実施例による有機発光表示装置の駆動信号を示したタイミング図の例である。

【図6】本発明の他の実施例による有機発光表示装置の1つの画素に対する等価回路図である。

【図7】本発明の他の実施例による有機発光表示装置の概略図である。

【図8】図7に示した有機発光表示装置の駆動信号を示したタイミング図の例である。

【図9】本発明の他の実施例による有機発光表示装置の概略図である。

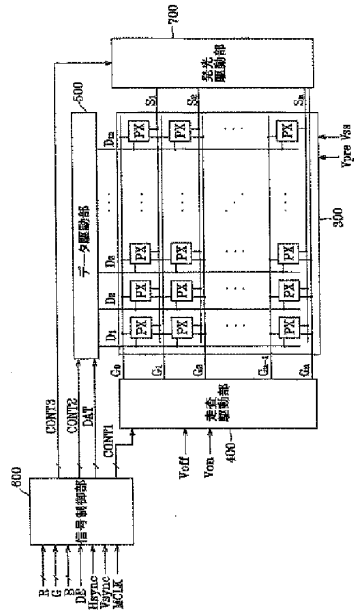
【図10】図9に示した有機発光表示装置の駆動信号を示したタイミング図の例である。

【符号の説明】

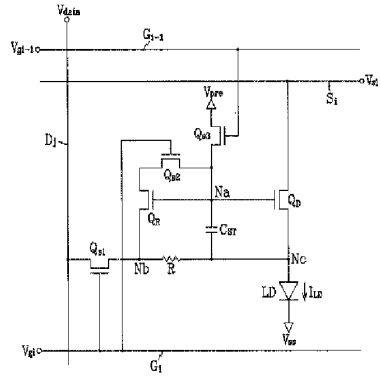
【0082】

110 基板  
124 制御端子電極  
140 絶縁膜  
154 半導体  
163、165 接触部材  
173 入力端子電極  
175 出力端子電極  
180 保護膜  
185 接触孔  
190 画素電極  
270 共通電極  
300、310、320 表示板  
360 隔壁  
370 有機発光部材  
382 補助電極  
400 走査駆動部  
500 データ駆動部  
600 信号制御部  
700、710、720 発光駆動部

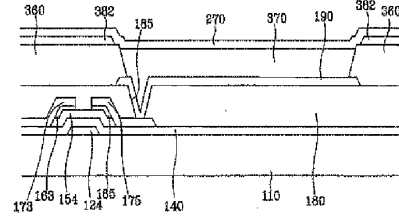
【図1】



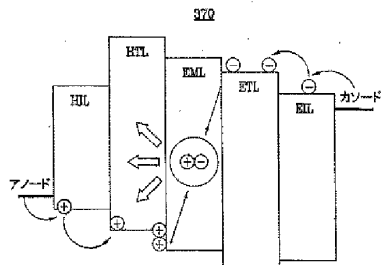
【図2】



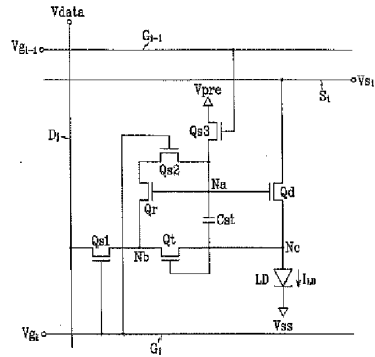
【図3】



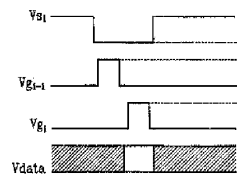
【図4】



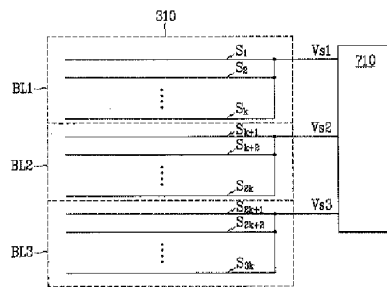
【図6】



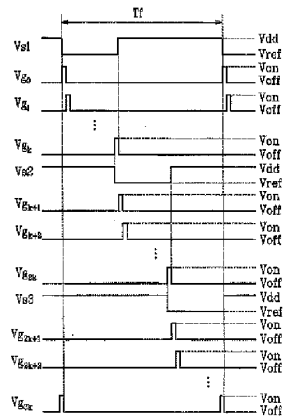
【図5】



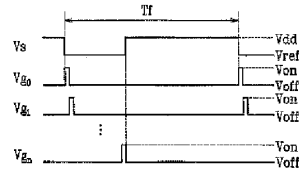
【図7】



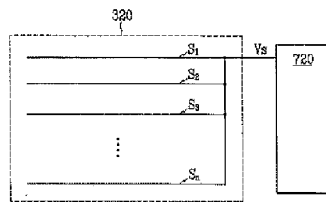
【図8】



【図10】



【図9】



(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 2 1 A
	G 0 9 G 3/20	6 7 0 K
	G 0 9 G 3/20	6 1 1 H
	H 0 5 B 33/14	A
Fターム(参考)	5C080 AA06 BB05 BB06 CC03 DD02 DD05 DD20 DD24 DD26 DD29	
	EE19 EE25 EE26 EE29 FF11 FF13 GG08 GG11 HH09 JJ02	
	JJ03 JJ04 JJ06 KK43	



## Electronic Patent Application Fee Transmittal

<b>Application Number:</b>	11391941
<b>Filing Date:</b>	29-Mar-2006
<b>Title of Invention:</b>	Display drive apparatus, display apparatus and drive control method thereof
<b>First Named Inventor/Applicant Name:</b>	Tomoyuki Shirasaki
<b>Filer:</b>	Douglas Holtz/Alexander Distell
<b>Attorney Docket Number:</b>	06229/LH

Filed as Large Entity

### Utility under 35 USC 111(a) Filing Fees

Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
<b>Basic Filing:</b>				
<b>Pages:</b>				
<b>Claims:</b>				
<b>Miscellaneous-Filing:</b>				
<b>Petition:</b>				
<b>Patent-Appeals-and-Interference:</b>				
<b>Post-Allowance-and-Post-Issuance:</b>				
<b>Extension-of-Time:</b>				

Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
<b>Miscellaneous:</b>				
Submission- Information Disclosure Stmt	1806	1	180	180
<b>Total in USD (\$)</b>				<b>180</b>

## Electronic Acknowledgement Receipt

<b>EFS ID:</b>	6336573
<b>Application Number:</b>	11391941
<b>International Application Number:</b>	
<b>Confirmation Number:</b>	6652
<b>Title of Invention:</b>	Display drive apparatus, display apparatus and drive control method thereof
<b>First Named Inventor/Applicant Name:</b>	Tomoyuki Shirasaki
<b>Customer Number:</b>	01933
<b>Filer:</b>	Douglas Holtz/Alexander Distell
<b>Filer Authorized By:</b>	Douglas Holtz
<b>Attorney Docket Number:</b>	06229/LH
<b>Receipt Date:</b>	27-OCT-2009
<b>Filing Date:</b>	29-MAR-2006
<b>Time Stamp:</b>	11:59:47
<b>Application Type:</b>	Utility under 35 USC 111(a)

### Payment information:

Submitted with Payment	yes
Payment Type	Credit Card
Payment was successfully received in RAM	\$180
RAM confirmation Number	8071
Deposit Account	
Authorized User	

### File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
-----------------	----------------------	-----------	-------------------------------------	------------------	------------------

1		06229_IDS4.pdf	126232	yes	3
			d3315b8981fb3dc0009ac403c50411c6f4f94b4		
<b>Multipart Description/PDF files in .zip description</b>					
		<b>Document Description</b>	<b>Start</b>	<b>End</b>	
		Transmittal Letter	1	2	
		Information Disclosure Statement (IDS) Filed (SB/08)	3	3	
<b>Warnings:</b>					
<b>Information:</b>					
2	NPL Documents	KR_OA.pdf	2453686	no	8
			1d8e715a30d76af9f3a7bc38ab0ff446f35ae75c		
<b>Warnings:</b>					
<b>Information:</b>					
3	NPL Documents	KR_OA_ENG.pdf	1923778	no	6
			0cc38c32a89490abd440e534dca61faa05f857b0		
<b>Warnings:</b>					
<b>Information:</b>					
4	Foreign Reference	KR20030032530.pdf	3109496	no	12
			7c5012877e3179477908f418ee97712516a95ce5		
<b>Warnings:</b>					
<b>Information:</b>					
5	Foreign Reference	KR20030078741.pdf	4213785	no	18
			4fbc40a36f0560304304015c9e41d4cd542df68		
<b>Warnings:</b>					
<b>Information:</b>					
6	Foreign Reference	KR1020040041620.pdf	9169564	no	34
			828a543ab0205b08fbc7c7d66cba97e8bfbd968a		
<b>Warnings:</b>					
<b>Information:</b>					
7	NPL Documents	JP_OA_61108.pdf	1206118	no	8
			c831c6cd868aaf7626f1a42fc0bd07ee3604ab6c		
<b>Warnings:</b>					
<b>Information:</b>					
8	NPL Documents	JP_OA_ENG_61108.pdf	1211488	no	9
			b0988ba7d9cf14f6b428b78a21a4a9c93afb11bd		

<b>Warnings:</b>					
<b>Information:</b>					
9	NPL Documents	JP_OA_61308.pdf	927287 0ad812cfded0a6e0454baea17e91eda68da0f73e4	no	6
<b>Warnings:</b>					
<b>Information:</b>					
10	NPL Documents	JP_OA_ENG_61308.pdf	929553 737a529edb6580e6ba671620e63fae8f9c2bec1f	no	7
<b>Warnings:</b>					
<b>Information:</b>					
11	Foreign Reference	JP8330600A.pdf	1352886 8ef51a1a71546e8aa81a67aaeada504f8fb1cff	no	11
<b>Warnings:</b>					
<b>Information:</b>					
12	Foreign Reference	JP2001147659A.pdf	1376431 46662314c0a617a1ab7dca2823a4af2b987de62f	no	12
<b>Warnings:</b>					
<b>Information:</b>					
13	Foreign Reference	JP2003195810A.pdf	2879293 eaa8fdee08fde21fae53fdb6f1b0bb5abb9d7814	no	23
<b>Warnings:</b>					
<b>Information:</b>					
14	Foreign Reference	JP2004004675A.pdf	1680553 9935131dbe858a6fd2bda789aa13ec92167c0a5	no	19
<b>Warnings:</b>					
<b>Information:</b>					
15	Foreign Reference	JP2004021219A.pdf	2875079 9a2664408a453e3bb5013d390810fbf10ea942d3	no	30
<b>Warnings:</b>					
<b>Information:</b>					
16	Foreign Reference	JP2005115144A.pdf	1612310 70d054f0396140ce37916ba932a8d03c1d8ec79c	no	18
<b>Warnings:</b>					
<b>Information:</b>					
17	Foreign Reference	JP2006119180A.pdf	1353623 af95151b3902c735f5353dbec13ff2054f2a0d40	no	17

<b>Warnings:</b>					
<b>Information:</b>					
18	Foreign Reference	JP2006178028A.pdf	3919822 f8141af04967bd29ad92bdfefcd219ec4cd61da	no	40
<b>Warnings:</b>					
<b>Information:</b>					
19	Foreign Reference	JP2006195477A.pdf	2141747 b03ebee0e9a83c64397564368070a1736cc70e31	no	24
<b>Warnings:</b>					
<b>Information:</b>					
20	Fee Worksheet (PTO-875)	fee-info.pdf	29950 b553f10a4a771bc707c4037b8440deb38420bf10	no	2
<b>Warnings:</b>					
<b>Information:</b>					
<b>Total Files Size (in bytes):</b>				44492681	
<p>This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.</p> <p><b><u>New Applications Under 35 U.S.C. 111</u></b>  If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.</p> <p><b><u>National Stage of an International Application under 35 U.S.C. 371</u></b>  If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.</p> <p><b><u>New International Application Filed with the USPTO as a Receiving Office</u></b>  If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.</p>					

Information Disclosure Statement  
Application Serial No. 11/391,941

Customer No. 01933

Attorney Docket No. 06229/LH

This paper is being  
submitted via EFS-Web on  
October 27, 2009

**IN THE UNITED STATES PATENT  
AND TRADEMARK OFFICE**

Applicant(s) : Tomoyuki SHIRASAKI, et al.  
Serial No. : 11/391,941  
Confirm. No. : 6652  
Filed : March 29, 2006  
For : DISPLAY DRIVE APPARATUS,  
DISPLAY APPARATUS AND DRIVE  
CONTROL METHOD THEREOF  
Art Unit : 2629  
Examiner : Vijay SHANKAR

In the event that this Paper is late filed, and the necessary petition for extension of time is not filed concurrently herewith, please consider this as a Petition for the requisite extension of time, and to the extent not already paid, authorization to charge the extension fee to Account No. 06-1378. In addition, authorization is hereby given to charge any fees for which payment has not been submitted, or to credit any overpayments, to Account No. 06-1378.

**INFORMATION DISCLOSURE STATEMENT WITH FEE**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

S I R:

Submitted herewith are the following:

- (1) Copies of the foreign documents cited in related U.S. application Serial No. 11/888,474;
- (2) Copy of a Korean Office Action (with English translation thereof) dated August 31, 2009 issued in a counterpart Korean application no. 10-2007-0077017 of related U.S. application Serial No. 11/888,474;
- (3) Copy of a Japanese Office Action (with English translation thereof) dated June 13, 2008 issued in a counterpart Japanese application no. 2006-209534 of related U.S. application Serial No. 11/888,474;
- (4) Copy of a Japanese Office Action (with English translation thereof) dated June 11, 2008 issued in a counterpart Japanese application no. 2006-218805 of U.S. Serial No. 11/88,474; and
- (5) An IDS Form listing the particulars of all the documents cited in related U.S. application Serial No. 11/888,474.

English translations of said Korean and Japanese Office Actions are provided, thereby satisfying the requirements for a concise explanation of relevance for any non-English language documents cited therein (MPEP 609 III A(3)).

Co-pending U.S. application Serial No. 11/888,474 was identified by the Examiner as being related to the present application in the Office Action mailed October 8, 2009.

This paper is not a response to said Office Action mailed October 8, 2009. A response to said Office Action will be timely filed in due course.

The USPTO fee of \$180.00 as set forth under 37 CFR 1.17(p) for filing an IDS at this stage of prosecution (after issuance of a first Office Action) is being paid by credit card herewith. If any further fees are required, authorization is given to charge same against Account No. 06-1378.

It is requested that an initialed copy of the IDS Form be returned to indicate that the documents listed therein have been considered and made of record.

Respectfully submitted,



Douglas Holtz  
Reg. No. 33,902

Frishauf, Holtz, Goodman & Chick, P.C.  
220 Fifth Avenue, 16<sup>th</sup> Floor  
New York, NY 10001-7708  
Tel. No. (212) 319-4900  
Fax. No. (212) 319-5101  
DH:ad  
encs.





UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE  
United States Patent and Trademark Office  
Address: COMMISSIONER FOR PATENTS  
P.O. Box 1450  
Alexandria, Virginia 22313-1450  
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
11/391,941	03/29/2006	Tomoyuki Shirasaki	06229/LH	6652
1933	7590	10/08/2009	EXAMINER	
FRISHAUF, HOLTZ, GOODMAN & CHICK, PC 220 Fifth Avenue 16TH Floor NEW YORK, NY 10001-7708			SHANKAR, VIJAY	
			ART UNIT	PAPER NUMBER
			2629	
			MAIL DATE	DELIVERY MODE
			10/08/2009	PAPER

**Please find below and/or attached an Office communication concerning this application or proceeding.**

The time period for reply, if any, is set in the attached communication.

<b>Office Action Summary</b>	<b>Application No.</b> 11/391,941	<b>Applicant(s)</b> SHIRASAKI ET AL.	
	<b>Examiner</b> VIJAY SHANKAR	<b>Art Unit</b> 2629	

**-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --**  
**Period for Reply**

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE 3 MONTH(S) OR THIRTY (30) DAYS, WHICHEVER IS LONGER, FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133). Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

**Status**

- 1)  Responsive to communication(s) filed on 29 March 2006.
- 2a)  This action is **FINAL**.                      2b)  This action is non-final.
- 3)  Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

**Disposition of Claims**

- 4)  Claim(s) 1-42 is/are pending in the application.
  - 4a) Of the above claim(s) \_\_\_\_\_ is/are withdrawn from consideration.
- 5)  Claim(s) \_\_\_\_\_ is/are allowed.
- 6)  Claim(s) 1-42 is/are rejected.
- 7)  Claim(s) \_\_\_\_\_ is/are objected to.
- 8)  Claim(s) \_\_\_\_\_ are subject to restriction and/or election requirement.

**Application Papers**

- 9)  The specification is objected to by the Examiner.
- 10)  The drawing(s) filed on \_\_\_\_\_ is/are: a)  accepted or b)  objected to by the Examiner.  
 Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).  
 Replacement drawing sheet(s) including the correction is required if the drawing(s) is objected to. See 37 CFR 1.121(d).
- 11)  The oath or declaration is objected to by the Examiner. Note the attached Office Action or form PTO-152.

**Priority under 35 U.S.C. § 119**

- 12)  Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).
    - a)  All    b)  Some \*    c)  None of:
      - 1.  Certified copies of the priority documents have been received.
      - 2.  Certified copies of the priority documents have been received in Application No. \_\_\_\_\_.
      - 3.  Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).
- \* See the attached detailed Office action for a list of the certified copies not received.

**Attachment(s)**

- 1)  Notice of References Cited (PTO-892)
- 2)  Notice of Draftsperson's Patent Drawing Review (PTO-948)
- 3)  Information Disclosure Statement(s) (PTO/SB/08)  
 Paper No(s)/Mail Date \_\_\_\_\_.
- 4)  Interview Summary (PTO-413)  
 Paper No(s)/Mail Date. \_\_\_\_\_.
- 5)  Notice of Informal Patent Application
- 6)  Other: \_\_\_\_\_.

## DETAILED ACTION

### *Priority*

1. Receipt is acknowledged of papers submitted under 35 U.S.C. 119(a)-(d), which papers have been placed of record in the file.

### *Double Patenting*

2. The nonstatutory double patenting rejection is based on a judicially created doctrine grounded in public policy (a policy reflected in the statute) so as to prevent the unjustified or improper timewise extension of the "right to exclude" granted by a patent and to prevent possible harassment by multiple assignees. A nonstatutory obviousness-type double patenting rejection is appropriate where the conflicting claims are not identical, but at least one examined application claim is not patentably distinct from the reference claim(s) because the examined application claim is either anticipated by, or would have been obvious over, the reference claim(s). See, e.g., *In re Berg*, 140 F.3d 1428, 46 USPQ2d 1226 (Fed. Cir. 1998); *In re Goodman*, 11 F.3d 1046, 29 USPQ2d 2010 (Fed. Cir. 1993); *In re Longi*, 759 F.2d 887, 225 USPQ 645 (Fed. Cir. 1985); *In re Van Ornum*, 686 F.2d 937, 214 USPQ 761 (CCPA 1982); *In re Vogel*, 422 F.2d 438, 164 USPQ 619 (CCPA 1970); and *In re Thorington*, 418 F.2d 528, 163 USPQ 644 (CCPA 1969).

A timely filed terminal disclaimer in compliance with 37 CFR 1.321(c) or 1.321(d) may be used to overcome an actual or provisional rejection based on a nonstatutory double patenting ground provided the conflicting application or patent either is shown to be commonly owned with this application, or claims an invention made as a result of activities undertaken within the scope of a joint research agreement.

Effective January 1, 1994, a registered attorney or agent of record may sign a terminal disclaimer. A terminal disclaimer signed by the assignee must fully comply with 37 CFR 3.73(b).

3. Claims 1-42 are provisionally rejected on the ground of nonstatutory obviousness-type double patenting as being unpatentable over claims 1-57 of copending Application No. 11/888,474. Although the conflicting claims are not identical, they are not patentably distinct from each other because Claim 1 of the instant application and Claim 1 of US Application 11/888,474 are claiming similar subject matters.

S/N 11/391,941

S/N 11/888,474

<p>1. A display drive apparatus which operates, in accordance with display data, a current control type optical element of each of display pixels provided with the optical element and a drive element which supplies a driving current to the optical element, the display drive apparatus comprising:</p>	<p>1. A display drive apparatus which drives a display pixel including a light-emitting element and a drive element connected to the light-emitting element, comprising: a specific value detection circuit which detects a specific value corresponding to an element characteristic of the drive element based on a value of current flowing in a current path of the drive element when a detection voltage based on a predetermined unit voltage is applied to the display pixel;</p>
<p>a gradation signal generation circuit which generates a gradation signal corresponding to a luminance gradation of the display data and supplies the gradation signal to the display pixel; a threshold voltage detection circuit which detects a threshold voltage peculiar to the drive element of the display pixel;</p>	<p>and a gradation voltage compensation circuit which generates a compensated gradation voltage by compensating a gradation voltage based on the compensated voltage, and applies the compensated gradation voltage to the display pixel, said gradation voltage corresponding to a luminance gradation of</p>

	the display pixel designated by display data,
and a compensation voltage application circuit which generates a compensation voltage for compensating for the threshold voltage of the drive element on the basis of the threshold voltage and applies the compensation voltage to the drive element.	and said compensated voltage being generated based on the specific value detected by the specific value detection circuit and the unit voltage.

This is a provisional obviousness-type double patenting rejection because the conflicting claims have not in fact been patented.

Claims 2-42 of the instant application are rejected for same reasons as Claims 2-57 of U.S. Application 11/888,474, since both Claims 2-42 of the instant application and 2-57 of U.S. Application 11/888,474, are claiming the same subject matters and all claims are very similar.

4. Any inquiry concerning this communication or earlier communications from the examiner should be directed to VIJAY SHANKAR whose telephone number is (571) 272-7682. The examiner can normally be reached on M-F 7:30 am - 5:30 pm.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Alexander Eisen can be reached on (571) 272-7687. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see <http://pair-direct.uspto.gov>. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/VIJAY SHANKAR/  
Primary Examiner, Art Unit 2629

VS

<b>Notice of References Cited</b>	Application/Control No. 11/391,941	Applicant(s)/Patent Under Reexamination SHIRASAKI ET AL.	
	Examiner VIJAY SHANKAR	Art Unit 2629	Page 1 of 1

**U.S. PATENT DOCUMENTS**

*	Document Number Country Code-Number-Kind Code	Date MM-YYYY	Name	Classification
*	A US-2009/0207160	08-2009	SHIRASAKI et al.	345/212
*	B US-2009/0189924	07-2009	OGURA, Jun	345/690
*	C US-2008/0225027	09-2008	Toyomura et al.	345/204
*	D US-7,583,261	09-2009	Shirasaki et al.	345/212
	E US-			
	F US-			
	G US-			
	H US-			
	I US-			
	J US-			
	K US-			
	L US-			
	M US-			


**FOREIGN PATENT DOCUMENTS**

*	Document Number Country Code-Number-Kind Code	Date MM-YYYY	Country	Name	Classification
	N				
	O				
	P				
	Q				
	R				
	S				
	T				

**NON-PATENT DOCUMENTS**

*	Document Number Country Code-Number-Kind Code	Date MM-YYYY	Country	Name	Classification
	Include as applicable: Author, Title Date, Publisher, Edition or Volume, Pertinent Pages)				
	U				
	V				
	W				
	X				

\*A copy of this reference is not being furnished with this Office action. (See MPEP § 707.05(a).)  
Dates in MM-YYYY format are publication dates. Classifications may be US or foreign.

<b>Index of Claims</b> 	<b>Application/Control No.</b> 11391941	<b>Applicant(s)/Patent Under Reexamination</b> SHIRASAKI ET AL.
	<b>Examiner</b> VIJAY SHANKAR	<b>Art Unit</b> 2629

✓	<b>Rejected</b>
=	<b>Allowed</b>

-	<b>Cancelled</b>
÷	<b>Restricted</b>


N	<b>Non-Elected</b>
I	<b>Interference</b>

A	<b>Appeal</b>
O	<b>Objected</b>

Claims renumbered in the same order as presented by applicant
  CPA
  T.D.
  R.1.47

CLAIM		DATE							
Final	Original	09/16/2009							
	1	✓							
	2	✓							
	3	✓							
	4	✓							
	5	✓							
	6	✓							
	7	✓							
	8	✓							
	9	✓							
	10	✓							
	11	✓							
	12	✓							
	13	✓							
	14	✓							
	15	✓							
	16	✓							
	17	✓							
	18	✓							
	19	✓							
	20	✓							
	21	✓							
	22	✓							
	23	✓							
	24	✓							
	25	✓							
	26	✓							
	27	✓							
	28	✓							
	29	✓							
	30	✓							
	31	✓							
	32	✓							
	33	✓							
	34	✓							
	35	✓							
	36	✓							



<b><i>Index of Claims</i></b> 	<b>Application/Control No.</b> 11391941	<b>Applicant(s)/Patent Under Reexamination</b> SHIRASAKI ET AL.
	<b>Examiner</b> VIJAY SHANKAR	<b>Art Unit</b> 2629


✓	<b>Rejected</b>
=	<b>Allowed</b>

-	<b>Cancelled</b>
÷	<b>Restricted</b>

N	<b>Non-Elected</b>
I	<b>Interference</b>

A	<b>Appeal</b>
O	<b>Objected</b>

<input type="checkbox"/> Claims renumbered in the same order as presented by applicant		<input type="checkbox"/> CPA	<input type="checkbox"/> T.D.	<input type="checkbox"/> R.1.47					
CLAIM		DATE							
Final	Original	09/16/2009							
	37	✓							
	38	✓							
	39	✓							
	40	✓							
	41	✓							
	42	✓							

<b>Search Notes</b>  	<b>Application/Control No.</b>  11391941	<b>Applicant(s)/Patent Under Reexamination</b>  SHIRASAKI ET AL.
	<b>Examiner</b>  VIJAY SHANKAR	<b>Art Unit</b>  2629

<b>SEARCHED</b>			
<b>Class</b>	<b>Subclass</b>	<b>Date</b>	<b>Examiner</b>
345	76-83, 87-100, 204-215, 690	9/15/09	VS

<b>SEARCH NOTES</b>		
<b>Search Notes</b>	<b>Date</b>	<b>Examiner</b>
EAST SEARCH	9/19/09	VS
INVENTORS NAME SEARCH	9/19/09	VS

<b>INTERFERENCE SEARCH</b>			
<b>Class</b>	<b>Subclass</b>	<b>Date</b>	<b>Examiner</b>

--	--

**EAST Search History**

**EAST Search History (Prior Art)**

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L1	3	"20040239596"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2009/09/16 12:46
L2	3	"20040246212"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2009/09/16 12:46
L3	2	"20050030264"	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2009/09/16 12:47
L4	1849	(gradation or (gray adj scal4) or (gray adj level \$4)) adj signal	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2009/09/16 13:46
L5	40767	display driv\$4	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2009/09/16 13:46
L6	161360	threshold voltage	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2009/09/16 13:46
L7	15504	compensat\$4 voltage	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2009/09/16 13:46

L8	0	1 and 4	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2009/09/16 13:48
L9	114552	(gradation or (gray adj scal4) or (gray adj level \$4))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2009/09/16 13:52
L10	0	1 and 9	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2009/09/16 14:05
L11	0	1 and 5	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2009/09/16 14:09
L12	3	1 and 6	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2009/09/16 14:10
L13	0	1 and 6 and 7	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2009/09/16 14:10
L14	0	1 and 7	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2009/09/16 14:11
L15	0	1 and 5 and 6 and 7 and 9	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2009/09/16 14:12

S1	108	gradation signal generat\$4	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2009/09/11 12:34
S2	448	gradation signal same generat\$4	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2009/09/11 12:34
S3	114484	gradation or (gray adj scal4) or (gray adj level \$4)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2009/09/11 12:37
S4	161232	threshold voltage	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2009/09/11 12:37
S5	15499	compensat\$4 voltage	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2009/09/11 12:37
S6	135	S3 and S4 and S5	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2009/09/11 13:24
S7	40739	display driv\$4	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2009/09/11 13:29
S8	42	S3 and S4 and S5 and S7	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2009/09/11 13:29

S9	40767	display driv\$4	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2009/09/16 07:49
S10	1849	(gradation or (gray adj scal4) or (gray adj level \$4)) adj signal	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2009/09/16 07:49
S11	161360	threshold voltage	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2009/09/16 07:49
S12	15504	compensat\$4 voltage	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2009/09/16 07:50
S13	13	S9 and S10 and S11 and S12	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2009/09/16 07:59

9/ 16/ 2009 2:24:33 PM

C:\ Documents and Settings\ vshankar\ My Documents\ EAST\ Workspaces\ 11391941.Display Drive, Gray scale, Threshold Voltage. Compensation Voltage.wsp

<b>INFORMATION DISCLOSURE STATEMENT BY APPLICANT</b>				Application Number	11/391,941			
				Filing Date	March 29, 2006			
				First Named Inventor	Tomoyuki SHIRASAKI			
				Group Art Unit	2629			
				Examiner Name	SHANKAR, VIJAY			
Sheet	1	of	1	Attorney Docket Number	06229/LH			
<b>U.S. PATENT DOCUMENTS</b>								
Examiner Initials*	Cite No.	Document Number	Kind Code	Patentee or Applicant	Publication Date (MM-DD-YYYY)			
		2005/0041002	A1	TAKAHARA et al	02-24-2005			
		2005/0057580	A1	YAMANO et al	03-17-2005			
		2007/0146251	A1	TSUGE et al	06-28-2007			
<b>FOREIGN PATENT DOCUMENTS</b>								
Examiner Initials*	Cite No.	Country Code	Document Number	Kind Code	Patentee or Applicant	Publication Date (MM-DD-YYYY)	Translation	
							Yes	Abstract Only
		CN	1552052	A	MATSUSHITA ELECTRIC IND. CO. LTD.	12-01-2004		x
<b>OTHER DOCUMENTS</b>								
Examiner Initials*	Cite No.	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.						
		Copy of Chinese Office Action (and English translation thereof) dated November 27, 2008, issued in a counterpart Chinese Applications.						
Examiner Signature	/Vijay Shankar/				Date Considered	09/16/2009		

\* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

DATE MAILED OR TRANSMITTED: **January 14, 2009**

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /V.S./

Attorney Docket No. 06229/LH

Express Mail Mailing Label  
No.: EV 842 303 171 US

**IN THE UNITED STATES PATENT  
AND TRADEMARK OFFICE**

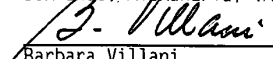
Date of Deposit: March 29, 2006

Applicant(s): T. SHIRASAKI et al

I hereby certify that this paper is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450

Serial No. : Not yet assigned

Filed : Herewith

  
Barbara Villani

For : DISPLAY DRIVE  
APPARATUS, DISPLAY  
APPARATUS AND DRIVE  
CONTROL METHOD  
THEREOF

In the event that this Paper is late filed, and the necessary petition for extension of time is not filed concurrently herewith, please consider this as a Petition for the requisite extension of time, and to the extent not tendered by credit card payment attached hereto, authorization to charge the extension fee, or any other fee required in connection with this Paper, to Account No. 06-1378.

Art Unit :  
Examiner :

CUSTOMER NO.: 01933

**INFORMATION DISCLOSURE STATEMENT**

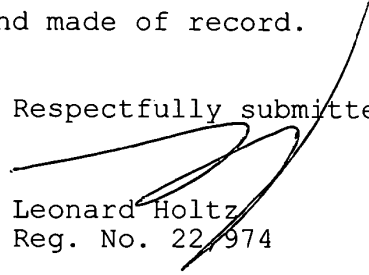
Commissioner for Patents  
P.O. Box 1450,  
Alexandria, VA 22313-1450

S I R :

Submitted herewith is a copy of the publication identified on the attached Patent Office form PTO/SB/08A.

It is respectfully requested that the publication submitted herewith be considered and made of record.

Respectfully submitted,

  
Leonard Holtz  
Reg. No. 22,974

Frishauf, Holtz, Goodman & Chick, P.C.  
220 Fifth Avenue - 16th Floor  
New York, New York 10001-7708  
Tel. No. (212) 319-4900  
Fax No. (212) 319-5101  
LH:bv



Please type a plus sign (+) inside this box →

+

PTO/SB/08A (08-00)

U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE

Substitute for Form 1449A/PTO  <b>INFORMATION DISCLOSURE STATEMENT BY APPLICANT</b>	Application Number				
	Filing Date		Herewith		
	First Named Inventor		SHIRASAKI		
	Group Art Unit				
	Examiner Name				
Sheet	1	of	1	Attorney Docket Number	06229/LH

**U.S. PATENT DOCUMENTS**

Exam. Initials	Cite No <sup>1</sup>	Document Number	Kind Code <sup>2</sup>	Name of Patentee or Applicant	Publication Date MM-DD-YYYY	Relevant Portion

**FOREIGN PATENT DOCUMENTS**

Exam. Initials	Cite No <sup>1</sup>	offc <sup>3</sup>	Document Number <sup>4</sup>	Kind Code <sup>5</sup>	Name of Patentee or Applicant	Publication Date MM-DD-YYYY	Relevant Portion	T <sup>6</sup>
N.S.		JP	8-330600	A		12-13-1996		

Examiner Signature	/Vijay Shankar/	Date Considered	09/16/2009
--------------------	-----------------	-----------------	------------

\* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

<sup>1</sup> Unique citation designation number. <sup>2</sup> See kinds of U.S. Patent Documents. <sup>3</sup> Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). <sup>4</sup> For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. <sup>5</sup> Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. <sup>6</sup> Place a check here if English translation is attached.

**DATE MAILED: March 29, 2006**

HW



Attorney Docket No. 06229/LH

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

Applicant(s): Tomoyuki SHIRASAKI et al  
Serial No. : 11/391,941  
Filed : March 29, 2006  
For : DISPLAY DRIVE APPARATUS, DISPLAY APPARATUS AND DRIVE CONTROL METHOD THEREOF  
Art Unit : 2624  
Examiner :  
Conf. No. : 6652  
Customer No.: 01933

**INFORMATION DISCLOSURE STATEMENT WITH STATEMENT UNDER 37 CFR 1.97(e) AND STATEMENT UNDER 37 CFR 1.704(d)**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

S I R :

Submitted herewith are the following:

- (1) Copy of an International Search Report and Written Opinion dated August 29, 2006, issued in a counterpart International application;
- (2) Copies of cited publications (except U.S. patents and publications); and
- (3) Forms PTO/SB/08A and PTO/SB/08B.

The International Search Report and Written Opinion are in English, thereby satisfying the requirements for a concise explanation of relevance for any non-English language publications cited therein (MPEP 609.04 (a) III).

US 2005/0030264, cited in the International Search Report, is a family member of EP 1,434,193, which is also cited in the attached International Search Report. See the Annex to the International Search Report.

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as First Class mail in an envelope addressed to: Commissioner for Patents, P. O. Box 1450, Alexandria, VA 22313-1450, on the date noted below.

S. Dianne Franklin

Dated: September 7, 2006

In the event that this Paper is late filed, and the necessary petition for extension of time is not filed concurrently herewith, please consider this as a Petition for the requisite extension of time, and to the extent not tendered by credit card (Form PTO-2038 attached hereto), authorization to charge the extension fee, or any other fee required in connection with this Paper, to Account No. 06-1378.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /V.S./

**STATEMENT UNDER 37 CFR 1.97(e) (1)**

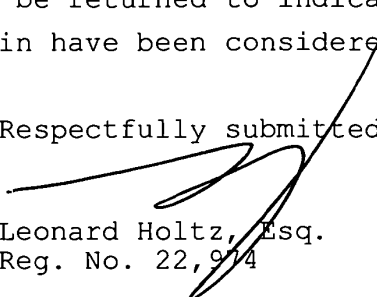
Each item of information contained in this Information Disclosure Statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the present Information Disclosure Statement. Said Communication bears a mailing date of August 29, 2006. Therefore, the filing of this Information Disclosure Statement is timely under the provisions of 37 CFR 1.97(e) and does not require a fee.

**STATEMENT UNDER 37 CFR 1.704(d)**

Each item of information contained in this Information Disclosure Statement was cited in said communication from a foreign patent office in a counterpart application, and this communication was not received by any individual designated in §1.56(c) more than thirty days prior to the filing of the present Information Disclosure Statement.

It is requested that initialed copies of the Forms PTO/SB/08A and PTO/SB/08B be returned to indicate that the publications listed therein have been considered and made of record.

Respectfully submitted,

  
Leonard Holtz, Esq.  
Reg. No. 22,974

Encs.

Dated: September 7, 2006

FRISHAUF HOLTZ GOODMAN & CHICK, P.C.  
220 FIFTH AVENUE  
NEW YORK, N.Y. 10001-7708  
Tel. No. (212) 319-4900  
Fax No. (212) 319-5101  
LH/sdf  
f:\users\dianna\06\06229.ids

-2-  
ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /V.S./



Please type a plus sign (+) inside this box →

+

PTO/SB/08A (08-00)

U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE

Substitute for Form 1449A/PTO  <b>INFORMATION DISCLOSURE STATEMENT BY APPLICANT</b>	Application Number	11/391,941
	Filing Date	March 29, 2006
	First Named Inventor	Tomoyuki SHIRASAKI et al
	Group Art Unit	2624
	Examiner Name	
Sheet 1 of 2	Attorney Docket Number	06229/LH

**U.S. PATENT DOCUMENTS**

Exam. Inits <sup>+</sup>	Cite No <sup>1</sup>	Document Number	Kind Code <sup>2</sup>	Name of Patentee or Applicant	Publication Date MM-DD-YYYY	Relevant Portion
		2004/0239596	A1	ONO et al	12-02-2004	
		2004/0246212	A1	KOBAYASHI et al	12-09-2004	
		2005/0030264	A1	TSUGE et al	02-10-2005	

**FOREIGN PATENT DOCUMENTS**

Exam. Inits <sup>+</sup>	Cite No <sup>1</sup>	Offc <sup>3</sup>	Document Number <sup>4</sup>	Kind Code <sup>5</sup>	Name of Patentee or Applicant	Publication Date MM-DD-YYYY	Relevant Portion	T <sup>6</sup>
		EP	1 434 193	A1	MATSUSHITA ELEC. IND. CO. LTD.	06-30-2004		

Examiner Signature	/Vijay Shankar/	Date Considered	09/16/2009
--------------------	-----------------	-----------------	------------

<sup>+</sup> EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

<sup>1</sup> Unique citation designation number. <sup>2</sup> See kinds of U.S. Patent Documents. <sup>3</sup> Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). <sup>4</sup> For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. <sup>5</sup> Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. <sup>6</sup> Place a check here if English translation is attached.

DATE MAILED: September 7, 2006

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /V.S./

Please type a plus sign (+) inside this box →

+

PTO/SB/08B (08-00)

U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE

<b>INFORMATION DISCLOSURE STATEMENT BY APPLICANT</b>				Application Number		11/391,941	
				Filing Date		March 29, 2006	
				First Named Inventor		Tomoyuki SHIRASAKI et al	
				Group Art Unit		2624	
				Examiner Name			
Sheet	2	of	2	Attorney Docket Number		06229/LH	
<b>OTHER PRIOR ART - NON-PATENT LITERATURE DOCUMENTS</b>							
Examiner Initials <sup>1</sup>	Cite NO. <sup>1</sup>	Include name of author (in CAPITAL LETTERS), title of article, title of item, date, page(s), volume-issue number(s), publisher, city and/or country where published				T <sup>2</sup>	
		International Preliminary Report on Patentability and Written Opinion dated August 29, 2006, issued in International Application No. PCT/JP2006/307283 filed March 30, 2006, 12 sheets.					
Examiner Signature		/Vijay Shankar/		Date Considered		09/16/2009	

\* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

<sup>1</sup> Unique citation designation number. <sup>2</sup> Place a check here if English translation is attached.

DATE MAILED: September 7, 2006

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /V.S./

## EAST Search History

## EAST Search History (Prior Art)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L1	40767	display driv\$4	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2009/09/16 07:49
L2	1849	(gradation or (gray adj scal4) or (gray adj level\$4)) adj signal	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2009/09/16 07:49
L3	161360	threshold voltage	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2009/09/16 07:49
L4	15504	compensat\$4 voltage	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2009/09/16 07:50
L5	13	1 and 2 and 3 and 4	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2009/09/16 07:59
S1	108	gradation signal generat \$4	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2009/09/11 12:34

S2	448	gradation signal same generat\$4	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2009/09/11 12:34
S3	114484	gradation or (gray adj scal4) or (gray adj level\$4)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2009/09/11 12:37
S4	161232	threshold voltage	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2009/09/11 12:37
S5	15499	compensat\$4 voltage	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2009/09/11 12:37
S6	135	S3 and S4 and S5	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2009/09/11 13:24
S7	40739	display driv\$4	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2009/09/11 13:29
S8	42	S3 and S4 and S5 and S7	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	ADJ	ON	2009/09/11 13:29

9/16/2009 8:18:29 AM

C:\Documents and Settings\vshankar\My Documents\EAST\Workspaces\11391941.  
Display Drive, Gray scale, Threshold Voltage. Compensation Voltage.wsp



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE  
 United States Patent and Trademark Office  
 Address: COMMISSIONER FOR PATENTS  
 P.O. Box 1450  
 Alexandria, Virginia 22313-1450  
 www.uspto.gov

BIB DATA SHEET

CONFIRMATION NO. 6652

<b>SERIAL NUMBER</b> 11/391,941	<b>FILING or 371(c) DATE</b> 03/29/2006	<b>CLASS</b> 345	<b>GROUP ART UNIT</b> 2629	<b>ATTORNEY DOCKET NO.</b> 06229/LH	
<b>APPLICANTS</b> Tomoyuki Shirasaki, Higashiyamoto-shi, JAPAN; Jun Ogura, Fussa-shi, JAPAN;					
<b>** CONTINUING DATA *****</b>					
<b>** FOREIGN APPLICATIONS *****</b> JAPAN 2005-101905 03/31/2005 JAPAN 2005-105373 03/31/2005					
<b>** IF REQUIRED, FOREIGN FILING LICENSE GRANTED **</b> 05/05/2006					
Foreign Priority claimed <input checked="" type="checkbox"/> Yes <input type="checkbox"/> No 35 USC 119(a-d) conditions met <input checked="" type="checkbox"/> Yes <input type="checkbox"/> No Verified and Acknowledged <u>/VIJAY SHANKAR/</u> Examiner's Signature	<input type="checkbox"/> Met after Allowance Initials	<b>STATE OR COUNTRY</b> JAPAN	<b>SHEETS DRAWINGS</b> 36	<b>TOTAL CLAIMS</b> 42	<b>INDEPENDENT CLAIMS</b> 4
<b>ADDRESS</b> FRISHAUF, HOLTZ, GOODMAN & CHICK, PC 220 Fifth Avenue 16TH Floor NEW YORK, NY 10001-7708 UNITED STATES					
<b>TITLE</b> Display drive apparatus, display apparatus and drive control method thereof					
<b>FILING FEE RECEIVED</b> 3050	FEES: Authority has been given in Paper No. _____ to charge/credit DEPOSIT ACCOUNT No. _____ for following:		<input type="checkbox"/> All Fees <input type="checkbox"/> 1.16 Fees (Filing) <input type="checkbox"/> 1.17 Fees (Processing Ext. of time) <input type="checkbox"/> 1.18 Fees (Issue) <input type="checkbox"/> Other _____ <input type="checkbox"/> Credit		



Information Disclosure Statement  
Application Serial No. 11/391,941

Customer No. 01933

Attorney Docket No. 06229/LH

This paper is being  
submitted via EFS-Web on  
January 14, 2009

**IN THE UNITED STATES PATENT  
AND TRADEMARK OFFICE**

Applicant(s) : Tomoyuki SHIRASAKI, et al.  
Serial No. : 11/391,941  
Confirm. No. : 6652  
Filed : March 29, 2006  
For : DISPLAY DRIVE APPARATUS, DISPLAY  
APPARATUS AND DRIVE CONTROL METHOD  
THEREOF  
Art Unit : 2629  
Examiner : SHANKAR, VIJAY

In the event that this Paper is late filed, and the necessary petition for extension of time is not filed concurrently herewith, please consider this as a Petition for the requisite extension of time, and to the extent not already paid, authorization to charge the extension fee to Account No. 06-1378. In addition, authorization is hereby given to charge any fees for which payment has not been submitted, or to credit any overpayments, to Account No. 06-1378.

**INFORMATION DISCLOSURE STATEMENT  
WITH STATEMENT UNDER 37 C.F.R. 1.97(e)(1)**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

S I R:

It is respectfully requested that the Examiner consider and make of record the document(s) listed on the attached Information Disclosure Statement form. Copy(ies) of the cited document(s), except for U.S. patent documents, is/are submitted herewith. English language abstracts and/or English translations or partial translations are provided for foreign language documents where indicated on the attached IDS form.

**CITED DOCUMENTS**

Documents listed on the attached IDS form were cited in an International Search Report (copy submitted herewith), or in a Search Report or Office Action (copy submitted herewith) issued in a counterpart foreign application.

Said Search Report or Office Action is in English or an English language translation of said Search Report or Office Action is submitted herewith, thereby satisfying the requirement for a concise explanation of relevance for any non-English language documents cited therein.

The following document(s) cited in said International Search Report, or in a Search Report or Office Action were previously cited by applicant(s) and are therefore not being cited again in the present IDS:

**US 2004/0239596 cited in the Chinese Office Action dated November 27, 2008 was cited by Applicants in an Information Disclosure Statement filed September 7, 2006.**

**US 2005/0030264, a patent family member of CN 1552052 cited in said Chinese Office Action, was previously cited by Applicants in an Information Disclosure Statement filed on September 7, 2006.**

- English language family members of cited foreign language documents are provided as follows:  
**US 2005/0041002, US 2005/0057580 and US 2007/0146251 are patent family members of CN 1552052 which is cited in said Chinese Office Action.**

**STATEMENT UNDER 37 CFR 1.97(e)(1)**

- Each item of information contained in this Information Disclosure Statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of this Information Disclosure Statement. (37 CFR 1.97(e)(1))

**FEES**

- No fee is believed to be required.
- Authorization is hereby given to charge any fee which is determined to be required and for which payment has not been submitted, and to credit any overpayment, to Account No. 06-1378.

Respectfully submitted,

  
Leonard Holtz  
Reg. No. 22,974

Frishauf, Holtz, Goodman & Chick, P.C.  
220 Fifth Avenue, 16<sup>th</sup> Floor  
New York, NY 10001-7708  
Tel. No. (212) 319-4900  
Fax. No. (212) 319-5101  
LH:djh  
encs.

<b>INFORMATION DISCLOSURE STATEMENT BY APPLICANT</b>				Application Number	11/391,941			
				Filing Date	March 29, 2006			
				First Named Inventor	Tomoyuki SHIRASAKI			
				Group Art Unit	2629			
				Examiner Name	SHANKAR, VIJAY			
Sheet	1	of	1	Attorney Docket Number	06229/LH			
<b>U.S. PATENT DOCUMENTS</b>								
Examiner Initials*	Cite No.	Document Number	Kind Code	Patentee or Applicant	Publication Date (MM-DD-YYYY)			
		2005/0041002	A1	TAKAHARA et al	02-24-2005			
		2005/0057580	A1	YAMANO et al	03-17-2005			
		2007/0146251	A1	TSUGE et al	06-28-2007			
<b>FOREIGN PATENT DOCUMENTS</b>								
Examiner Initials*	Cite No.	Country Code	Document Number	Kind Code	Patentee or Applicant	Publication Date (MM-DD-YYYY)	Translation	
							Yes	Abstract Only
		CN	1552052	A	MATSUSHITA ELECTRIC IND. CO. LTD.	12-01-2004		x
<b>OTHER DOCUMENTS</b>								
Examiner Initials*	Cite No.	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.						
		Copy of Chinese Office Action (and English translation thereof) dated November 27, 2008, issued in a counterpart Chinese Applications.						
Examiner Signature					Date Considered			






\* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

DATE MAILED OR TRANSMITTED: **January 14, 2009**

### EL display, EL display driving circuit and image display

**Publication number:** CN1552052 (A)  
**Publication date:** 2004-12-01  
**Inventor(s):** HITOSHI TSUGE [JP]; HIROSHI TAKAHARA [JP]  
**Applicant(s):** MATSUSHITA ELECTRIC IND CO LTD [JP]  
**Classification:**  
- **international:** **G09G3/32**; H01L27/32; **G09G3/32**; H01L27/28;  
(IPC1-7): G09G3/30  
- **European:** G09G3/32A8C2S; G09G3/32A8C; G09G3/32A12;  
G09G3/32A14C; G09G3/32A14V  
**Application number:** CN20028017491 20020906  
**Priority number(s):** JP20010271311 20010907; JP20010347014 20011113

**Also published as:**

 US2005030264 (A1)  
 US2007146251 (A1)  
 KR20070065415 (A)  
 KR20060130263 (A)  
 WO03023752 (A1)

more >>

Abstract not available for CN 1552052 (A)  
Abstract of corresponding document: **US 2005030264 (A1)**

The EL display apparatus according to this invention is provided with an EL light emitting element, a current driving device for driving the EL light emitting element by a current responsive to a source signal represented by a current, and a signal current source (634) for outputting the source signal in response to image signal to the current driving device via a source signal line, the EL display apparatus being further provided with a precharge voltage source (631) for outputting a predetermined voltage and a switching and connecting unit (636, 637) capable of selectively connecting either the signal current source or the precharge voltage source to the source signal line (638).

-----  
Data supplied from the **esp@cenet** database — Worldwide



# [12] 发明专利申请公开说明书

[21] 申请号 02817491.7

[43] 公开日 2004年12月1日

[11] 公开号 CN 1552052A

[22] 申请日 2002.9.6 [21] 申请号 02817491.7  
 [30] 优先权  
     [32] 2001. 9. 7 [33] JP [31] 271311/2001  
     [32] 2001. 11. 13 [33] JP [31] 347014/2001  
 [86] 国际申请 PCT/JP2002/009112 2002. 9. 6  
 [87] 国际公布 WO2003/023752 日 2003. 3. 20  
 [85] 进入国家阶段日期 2004. 3. 8  
 [71] 申请人 松下电器产业株式会社  
     地址 日本大阪府  
 [72] 发明人 柘植仁志 高原博司

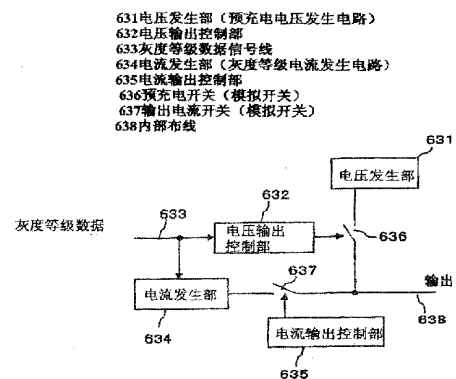
[74] 专利代理机构 北京纪凯知识产权代理有限公司  
 代理人 龙 淳

权利要求书 3 页 说明书 91 页 附图 76 页

[54] 发明名称 EL 显示装置和 EL 显示装置的驱动电路以及图像显示装置

[57] 摘要

本发明的 EL 显示装置包括 EL 发光元件、通过对应于电流表示的源极信号的电流来驱动 EL 发光元件的电流驱动器件、对应于图像信号通过源极信号线将上述源极信号输出到上述电流驱动器件的信号用电流源(634)，还包括输出规定电压的预充电用电压源(631)、切换信号用电流源(634)和预充电用电压源(631)并且可连接源极信号线(638)的切换连接部件(636、637)。



ISSN 1008-4274

编程使得各像素行的总和电流为  $N$  倍的电流。为第一期间以后的第二期间中选择  $B$  像素行 ( $B$  小于  $G$ , 大于 1), 进行编程使得选择的像素行的总和电流 (其中选择像素行是 1 时, 为 1 个像素行的电流) 为  $N$  倍的方式。例如图 30 (a1) 中, 同时选择 5 像素行, 在各像素的晶体管 11a 中流过 2 倍电流。因此, 在源极信号线 18 流过  $5 \times 2$  倍 = 10 倍的电流。接着的第二期间中, 在图 30 (b1) 中选择 1 像素行。在该 1 像素行的晶体管 11a 中流过 10 倍电流。

图 31 中, 同时选择多个像素行的期间为  $1/2H$ , 选择 1 像素行的期间为  $1/2H$ , 但不仅限于此。可以是同时选择多个像素行的期间为  $1/4H$ 、选择 1 像素行的期间为  $3/4H$ 。将同时选择多个像素行的期间和选择 1 像素行的期间相加所得的期间为  $1H$ , 但不仅限于此。例如可以是  $2H$  期间,  $1.5H$  期间。

图 30 中, 可以是同时选择 5 像素行的期间为  $1/2H$ , 接着的第二期间中同时选择 2 像素行。这种情况下在应用上可实现没有故障的图像显示。

图 30 中, 为同时选择 5 像素行的第一期间是  $1/2H$ 、选择 1 像素行的第二期间是  $1/2H$  的 2 个阶段, 但不仅限于此。例如, 可以是第一阶段同时选择 5 像素行, 第二期间选择上述 5 像素行中的 2 像素行, 最后选择 1 像素行的 3 个阶段。即, 多个阶段中向像素行写入图像数据。

以上本发明的  $N$  倍脉冲驱动方法中, 使各像素行中栅极信号线 17b 的波形相同, 并按  $1H$  的间隔使其移动来施加。通过这样扫描, EL 元件 15 点亮的时间规定为  $1F/N$ , 并且依次移动点亮的像素行。这样, 各像素行中栅极信号线 17b 的波形相同, 从而可容易实现移动。因为可控制作为图 6 的移位寄存器电路 61a, 61b 上施加的数据的  $ST1$ 、 $ST2$ 。例如, 输入  $ST2$  为 L 电平时, 向栅极信号线 17b 输出  $V_{gl}$ , 输入  $ST2$  为 H 电平时, 向栅极信号线 17b 输出  $V_{gh}$ , 则仅  $1F/N$  期间按 L 电平输入向移位寄存器 17b 施加的  $ST2$ , 其他期间为 H 电平。该输入的  $ST2$  仅按与  $1H$  同步的时钟  $CLK2$  移动。

接通断开 EL 元件 15 的周期需要在  $0.5\text{msec}$  以上。该周期短时, 由于人类眼睛的余像特性不能为完全的黑显示状态, 出现图像模糊, 或分辨率降低。而且, 成为数据保持型的显示屏的显示状态。但是,

接通断开周期为 100msec 以上时, 看到闪烁状态。因此, EL 元件的接通断开周期应为 0.5 微秒以上 100msec 以下。较优选是接通断开周期为 2msec 以上 30msec 以下。更优先是接通断开周期为 3msec 以上 20msec 以下。

- 5 虽然前面作了记载, 但黑画面 152 的分割数为 1 个时, 可实现良好的动画显示, 但是容易观察到画面的闪动。因此优选将黑插入部分分割为多个。但是, 分割数太多时, 产生动画模糊。分割数应在 1 以上 8 以下。更优选是在 1 以上 5 以下。

- 10 优先结构为使黑画面的分割数可按静止画面和动画变更。分割数在  $N=4$ , 则 75% 为黑画面, 25% 为图像显示。此时, 按 75% 的黑带状态向画面的上下方向上扫描 75% 的黑显示部即分割数为 1。用 25% 的黑画面和 25/3% 的显示画面的 3 块扫描即分割数为 3。静止画面可增多分割数。动画可减少分割数。切换根据输入图像可自动 (动画检测等) 进行, 也可由用户手动进行。可对应输入内容切换为显示装置的图像等。
- 15

例如, 便携电话等中, 壁纸显示、输入画面中, 分割数为 10 以上 (极端情况下, 按每 1H 进行接通断开)。显示 NTSC 的动画时, 分割数为 1 以上 5 以下。分割数优先可构成为按 3 以上的多阶段切换。例如有分割数为无、2、4、8 等。

- 20 此外, 黑画面对整个显示画面的比例在整个画面的面积为 1 时设为 0.2 以上 0.9 以下 (用  $N$  表示, 则为 1.2 以上 9 以下)。特别优先为 0.25 以上 0.6 以下 (用  $N$  表示, 则为 1.25 以上 6 以下)。在 0.20 以下时, 动画显示的改善效果低。0.9 以上时, 显示部分的亮度增高, 显示部分的上下移动容易在视觉上觉察到。

- 25 每 1 秒的帧数优选是在 10 以上 100 以下 (10Hz 以上 100Hz 以下)。更优选是在 12 以上 65 以下 (12Hz 以上 65Hz 以下)。帧数少时, 画面的闪动醒目, 帧数过多时, 来自驱动器 14 等的写入困难, 分辨率恶化。

- 30 这样, 本发明中, 通过栅极信号线 17 的控制可改变图像的明亮度。但是, 图像的明亮度可通过改变施加在源极信号线 18 上的电流 (电压) 进行。可组合前面说明的 (使用图 33、35 等) 栅极信号线 17 的控制和施加在源极信号线 18 上的电流 (电压) 进行。

## Electronic Acknowledgement Receipt

<b>EFS ID:</b>	4613678
<b>Application Number:</b>	11391941
<b>International Application Number:</b>	
<b>Confirmation Number:</b>	6652
<b>Title of Invention:</b>	Display drive apparatus, display apparatus and drive control method thereof
<b>First Named Inventor/Applicant Name:</b>	Tomoyuki Shirasaki
<b>Customer Number:</b>	01933
<b>Filer:</b>	Leonard Holtz/Diane Hegstrom
<b>Filer Authorized By:</b>	Leonard Holtz
<b>Attorney Docket Number:</b>	06229/LH
<b>Receipt Date:</b>	14-JAN-2009
<b>Filing Date:</b>	29-MAR-2006
<b>Time Stamp:</b>	16:51:16
<b>Application Type:</b>	Utility under 35 USC 111(a)

### Payment information:

Submitted with Payment	no
------------------------	----

### File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		06229_ids3.pdf	470595 <small>d960ab00c825022679826a2e8ecd550e5b1e031</small>	yes	3



Multipart Description/PDF files in .zip description					
Document Description			Start	End	
Information Disclosure Statement Letter			1	2	
Information Disclosure Statement (IDS) Filed (SB/08)			3	3	
<b>Warnings:</b>					
<b>Information:</b>					
2	NPL Documents	ChineseOA.pdf	5187703	no	22
			a5356143a9efde1d2f83a1348bc269552a3120ae		
<b>Warnings:</b>					
<b>Information:</b>					
3	NPL Documents	ChineseOA_English.pdf	5293336	no	29
			44b164f62d553ab1e8f1172749df36c65ec734cc		
<b>Warnings:</b>					
<b>Information:</b>					
4	Foreign Reference	CN1552052.pdf	559310	no	4
			7dca919e43abcc706f9d9e9ed21fac14221793		
<b>Warnings:</b>					
<b>Information:</b>					
<b>Total Files Size (in bytes):</b>			11510944		
<p>This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.</p> <p><b><u>New Applications Under 35 U.S.C. 111</u></b>  If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.</p> <p><b><u>National Stage of an International Application under 35 U.S.C. 371</u></b>  If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.</p> <p><b><u>New International Application Filed with the USPTO as a Receiving Office</u></b>  If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.</p>					

HW



Attorney Docket No. 06229/LH

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

Applicant(s): Tomoyuki SHIRASAKI et al  
Serial No. : 11/391,941  
Filed : March 29, 2006  
For : DISPLAY DRIVE APPARATUS, DISPLAY APPARATUS AND DRIVE CONTROL METHOD THEREOF  
Art Unit : 2624  
Examiner :  
Conf. No. : 6652  
Customer No.: 01933

**INFORMATION DISCLOSURE STATEMENT WITH STATEMENT UNDER 37 CFR 1.97(e) AND STATEMENT UNDER 37 CFR 1.704(d)**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

S I R :

Submitted herewith are the following:

- (1) Copy of an International Search Report and Written Opinion dated August 29, 2006, issued in a counterpart International application;
- (2) Copies of cited publications (except U.S. patents and publications); and
- (3) Forms PTO/SB/08A and PTO/SB/08B.

The International Search Report and Written Opinion are in English, thereby satisfying the requirements for a concise explanation of relevance for any non-English language publications cited therein (MPEP 609.04 (a) III).

US 2005/0030264, cited in the International Search Report, is a family member of EP 1,434,193, which is also cited in the attached International Search Report. See the Annex to the International Search Report.

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as First Class mail in an envelope addressed to: Commissioner for Patents, P. O. Box 1450, Alexandria, VA 22313-1450, on the date noted below.

S. Dianne Franklin

Dated: September 7, 2006

In the event that this Paper is late filed, and the necessary petition for extension of time is not filed concurrently herewith, please consider this as a Petition for the requisite extension of time, and to the extent not tendered by credit card (Form PTO-2038 attached hereto), authorization to charge the extension fee, or any other fee required in connection with this Paper, to Account No. 06-1378.

**STATEMENT UNDER 37 CFR 1.97(e) (1)**

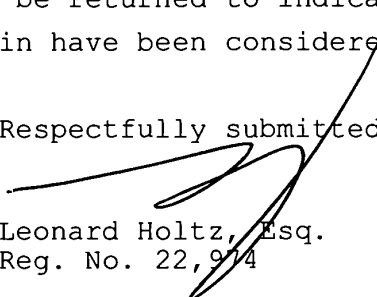
Each item of information contained in this Information Disclosure Statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the present Information Disclosure Statement. Said Communication bears a mailing date of August 29, 2006. Therefore, the filing of this Information Disclosure Statement is timely under the provisions of 37 CFR 1.97(e) and does not require a fee.

**STATEMENT UNDER 37 CFR 1.704(d)**

Each item of information contained in this Information Disclosure Statement was cited in said communication from a foreign patent office in a counterpart application, and this communication was not received by any individual designated in §1.56(c) more than thirty days prior to the filing of the present Information Disclosure Statement.

It is requested that initialed copies of the Forms PTO/SB/08A and PTO/SB/08B be returned to indicate that the publications listed therein have been considered and made of record.

Respectfully submitted,

  
Leonard Holtz, Esq.  
Reg. No. 22,974

Encs.

Dated: September 7, 2006

FRISHAUF HOLTZ GOODMAN & CHICK, P.C.  
220 FIFTH AVENUE  
NEW YORK, N.Y. 10001-7708  
Tel. No. (212) 319-4900  
Fax No. (212) 319-5101  
LH/sdf  
f:\users\dianna\06\06229.ids



Please type a plus sign (+) inside this box →

+

PTO/SB/08A (08-00)

U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE

Substitute for Form 1449A/PTO  <b>INFORMATION DISCLOSURE STATEMENT BY APPLICANT</b>	Application Number	11/391,941
	Filing Date	March 29, 2006
	First Named Inventor	Tomoyuki SHIRASAKI et al
	Group Art Unit	2624
	Examiner Name	
Sheet 1 of 2	Attorney Docket Number	06229/LH

**U.S. PATENT DOCUMENTS**

Exam. Inits <sup>+</sup>	Cite No <sup>1</sup>	Document Number	Kind Code <sup>2</sup>	Name of Patentee or Applicant	Publication Date MM-DD-YYYY	Relevant Portion
		2004/0239596	A1	ONO et al	12-02-2004	
		2004/0246212	A1	KOBAYASHI et al	12-09-2004	
		2005/0030264	A1	TSUGE et al	02-10-2005	

**FOREIGN PATENT DOCUMENTS**

Exam Inits <sup>+</sup>	Cite No <sup>1</sup>	Offc <sup>3</sup>	Document Number <sup>4</sup>	Kind Code <sup>5</sup>	Name of Patentee or Applicant	Publication Date MM-DD-YYYY	Relevant Portion	T <sup>6</sup>
		EP	1 434 193	A1	MATSUSHITA ELEC. IND. CO. LTD.	06-30-2004		

Examiner Signature		Date Considered	
--------------------	--	-----------------	--

<sup>+</sup> EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

<sup>1</sup> Unique citation designation number. <sup>2</sup> See kinds of U.S. Patent Documents. <sup>3</sup> Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). <sup>4</sup> For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. <sup>5</sup> Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. <sup>6</sup> Place a check here if English translation is attached.

DATE MAILED: September 7, 2006

Please type a plus sign (+) inside this box →

+

PTO/SB/08B (08-00)

U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE

<b>INFORMATION DISCLOSURE STATEMENT BY APPLICANT</b>				Application Number		11/391,941	
				Filing Date		March 29, 2006	
				First Named Inventor		Tomoyuki SHIRASAKI et al	
				Group Art Unit		2624	
				Examiner Name			
Sheet	2	of	2	Attorney Docket Number		06229/LH	
<b>OTHER PRIOR ART - NON-PATENT LITERATURE DOCUMENTS</b>							
Examiner Initials <sup>1</sup>	Cite No. <sup>1</sup>	Include name of author (in CAPITAL LETTERS), title of article, title of item, date, page(s), volume-issue number(s), publisher, city and/or country where published					T <sup>2</sup>
		International Preliminary Report on Patentability and Written Opinion dated August 29, 2006, issued in International Application No. PCT/JP2006/307283 filed March 30, 2006, 12 sheets.					
Examiner Signature					Date Considered		

\* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

<sup>1</sup> Unique citation designation number. <sup>2</sup> Place a check here if English translation is attached.

DATE MAILED: September 7, 2006



Europäisches Patentamt  
European Patent Office  
Office européen des brevets



(11) EP 1 434 193 A1

(12) EUROPEAN PATENT APPLICATION  
published in accordance with Art. 158(3) EPC

(43) Date of publication:  
30.06.2004 Bulletin 2004/27

(51) Int Cl.7: G09G 3/30

(21) Application number: 02798041.6

(86) International application number:  
PCT/JP2002/009112

(22) Date of filing: 06.09.2002

(87) International publication number:  
WO 2003/023752 (20.03.2003 Gazette 2003/12)

(84) Designated Contracting States:  
AT BE BG CH CY CZ DE DK EE ES FI FR GB GR  
IE IT LI LU MC NL PT SE SK TR  
Designated Extension States:  
AL LT LV MK RO SI

(72) Inventors:  
• TSUGE, Hitoshi  
Kadoma-shi, Osaka 571-0074 (JP)  
• TAKAHARA, Hiroshi  
Neyagawa-shi, Osaka 572-0807 (JP)

(30) Priority: 07.09.2001 JP 2001271311  
13.11.2001 JP 2001347014

(74) Representative:  
Dempster, Benjamin John Naffel et al  
Withers & Rogers,  
Goldings House,  
2 Hays Lane  
London SE1 2HW (GB)

(71) Applicant: MATSUSHITA ELECTRIC INDUSTRIAL  
CO., LTD.  
Kadoma-shi, Osaka 571-8501 (JP)

(54) EL DISPLAY; EL DISPLAY DRIVING CIRCUIT AND IMAGE DISPLAY

(57) The EL display apparatus according to this invention is provided with an EL light emitting element, a current driving device for driving the EL light emitting element by a current responsive to a source signal represented by a current, and a signal current source (634) for outputting the source signal in response to image sig-

nal to the current driving device via a source signal line, the EL display apparatus being further provided with a precharge voltage source (631) for outputting a predetermined voltage and a switching and connecting unit (636, 637) capable of selectively connecting either the signal current source or the precharge voltage source to the source signal line (638).

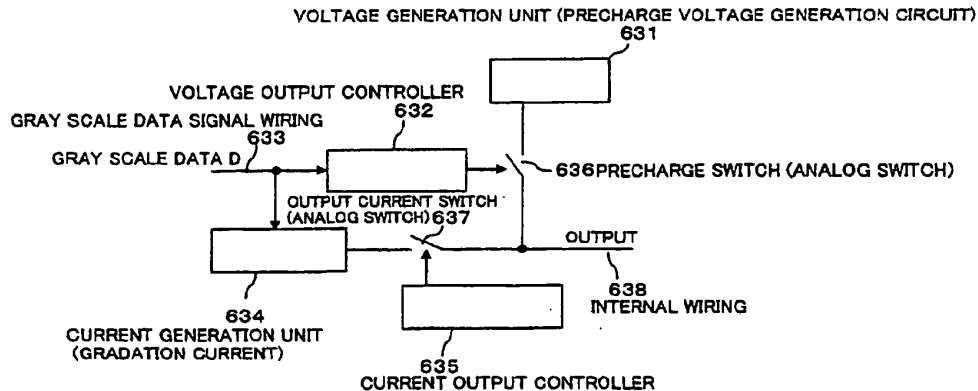


FIG. 63

EP 1 434 193 A1

## Description

### Technical Field

**[0001]** The present invention relates to a light emitting display panel such as an EL display panel which uses an organic or inorganic electroluminescence (EL) element. Further, the invention relates to an EL display panel driving method, an EL display panel driving circuit, and an electronic display appliance using the method and the circuit.

### Background Art

**[0002]** In general, an active-matrix display apparatus has a multiplicity of pixels arranged in matrix and displays an image by controlling the intensity of light pixel by pixel in accordance with image signals given. When, for example, liquid crystal is used as an electro-optic substance, the transmittance of each pixel varies in accordance with the voltage applied to the pixel. The basic operation of an active-matrix image display apparatus employing an organic electroluminescence (EL) material as an electro-optic converting substance is the same as in the case where liquid crystal is used.

**[0003]** A liquid crystal display panel has pixels each functioning as a shutter and displays an image by turning on/off light from a back light with such a shutter, or a pixel. An organic EL display panel is a display panel of the self-luminescence type having a light-emitting device in each pixel. Such a self-luminescence type display panel has advantages over liquid crystal display panels, including higher image visibility, no need for a back light, and higher response speed.

**[0004]** The organic EL display panel controls the luminance of each light-emitting device (pixel) based on the amount of current. Thus, the organic EL display panel is largely different from the liquid crystal display panel in that its luminescent devices are of the current-driven type or the current-controlled type.

**[0005]** Like the liquid crystal display panel, the organic EL display panel can have any one of a simple-matrix configuration and an active-matrix configuration. Though the former configuration is simple in structure, it has a difficulty in realizing a large-scale and high-definition display panel. However, it is inexpensive. The latter configuration can realize a large-scale and high-definition display panel. However, it has problems of a technical difficulty in control and of a relatively high price. Presently, organic EL display panels of the active-matrix configuration are being developed intensively. Such an active-matrix EL panel controls electric current passing through the light-emitting device provided in each pixel by means of a thin film transistor (TFT) located inside the pixel.

**[0006]** This active matrix type organic display panel is disclosed in Japanese Unexamined Patent Publication No. 8-234683. An equivalent circuit for one pixel of the

display panel is shown in FIG. 62. A pixel 16 is provided with an EL element 15 serving as a light emitting element, a first transistor 11a, a second transistor 11b, and capacitance 19. The light emitting element 15 is an organic electroluminescence (EL) element. In this invention, the transistor 11a which supplies (controls) a current to the EL element 15 is referred to as a driving transistor 11. Also, a transistor which operates as a switch, such as the transistor 11b of FIG. 62, is referred to as a switching transistor 11.

**[0007]** Since the organic EL element 15, in general, has rectification property, it is called OLED (organic light emitting diode) in some cases. In FIG. 62, the EL element is denoted by OLED 15 of which D indicates diode.

**[0008]** Note that the light emitting element 15 of this invention is not limited to the OLED, and other light emitting diodes are usable so far as a luminance thereof is controlled by adjusting an amount of a current supplied thereto. For example, an inorganic EL element is also usable. Another example may be a white light emitting diode made from a semiconductor. Yet another example may be general light emitting diodes. A light emitting transistor may also be usable. The light emitting diode 15 does not necessarily show the rectification property. A bidirectional diode may be used as the light emitting diode 15.

**[0009]** In the example shown in FIG. 62, the source terminal (S) of p-channel transistor 11a is connected to Vdd (power source potential), while the cathode (negative electrode) of the EL device 15 connected to ground potential (Vk). On the other hand, the anode (positive electrode) is connected to the drain terminal (D) of the transistor 11b. The gate terminal of the p-channel transistor 11b is connected to a gate signal line 17a, the source terminal connected to a source signal line 18, and the drain terminal connected to the storage capacitor 19 and the gate terminal (G) of the transistor 21a.

**[0010]** In order to operate the pixel 16, first, the source signal line 18 is applied with an image signal indicative of luminance information with the gate signal line 17a turned into a selected state. Then, the transistor 11b becomes conducting and the storage capacitor 19 is charged or discharged, so that the gate potential of the transistor 11a becomes equal to the potential of the image signal. When the gate signal line 17a is turned into an unselected state, the transistor 11a is turned off, so that the transistor 11a is electrically disconnected from the source signal line 18. However, the gate potential of the transistor 11a is stably maintained by means of the storage capacitor 19. The current passing through the EL device 15 via the transistor 11a comes to assume a value corresponding to voltage Vgs across the gate and the source terminals of the transistor 11a, with the result that the EL device 15 keeps on emitting light at a luminance corresponding to the amount of current fed thereto through the transistor 11a.

**[0011]** As described above, according to the prior art configuration shown in FIG. 62, one pixel comprises one

selecting transistor (switching device) and one driving transistor. Another prior art configuration is disclosed in Japanese Patent Laid-Open Publication No. HEI 11-327637 for example. This publication describes an embodiment in which a pixel comprises a current mirror circuit.

[0012] With the method shown in FIG. 62 of outputting an image signal as a voltage from a source driver 14, an output stage impedance of the source driver 14 is low. Therefore, it is easy to program the image signal to the source signal line 18.

[0013] With the method of outputting an image signal as a current, such as a current mirror structure shown in FIG. 1 or disclosed in Japanese Patent Application No. 11-327637, an output stage impedance of a source driver 14 is high. Therefore, it is undesirably difficult to program the image signal to the source signal line 18 in a black display region. FIG. 2 is an illustration of a reason for the difficulty.

[0014] In order to cause the light emitting element 15 of each of the pixels 16 of FIG. 2 to display, the transistors 11b and 11c are brought into the conductive state by the gate signal line 17a in one horizontal scan period, so that a current  $I_w$  is drawn from the power source Vdd to the source driver 14 via the driving transistor 11a and the source signal line 18. Gradation display is performed in accordance with an amount of the current drawn to the source driver 14. A charge responsive to the gate voltage corresponding to the drain current of the transistor 11a is accumulated in the capacitance 19.

[0015] Then, the transistor 11d is brought into the conductive state by the gate signal line 17b, and the transistors 11b and 11c are brought into the non-conductive state by the gate signal line 17a, whereby a current responsive to the charge in the capacitance 19 flows from the Vdd to the light emitting element 15 via the transistor 11a.

[0016] The current flowing to the source signal line 18 changes gradually depending on a product of stray capacity (stray capacity) 641 of the source signal line 18 and source-drain (S-D) resistance of the transistor 12. Therefore, when the capacitance 641 and the resistance are increased too much, the current sometimes fails to reach a predetermined value in one horizontal scan period.

[0017] With a reduction in the current flowing to the source signal line 18 (in the case of low gray scale), the source-drain resistance of the transistor 11a is increased; therefore, time required for the current to change is increased with the reduction in the current. Though it depends on diode characteristics of the transistor 11a and a value of the stray capacity 641, it takes 50  $\mu$  seconds for the current flowing to the source signal line 18 to change to 1  $\mu$ A, and it takes 250  $\mu$  seconds for the current to change to 10 nA, for example.

[0018] The current flowing to the source signal line 18 supplies a charge to the source signal line 18 from the Vdd via the transistor 12a to change the charge of the

stray capacity 641, so that a voltage of the source signal line 18 is changed to change the current flowing through the transistor 12a (the current flowing to the source signal line 18). Since a quantity of the supplied charge is small in a region where the current is small, the voltage change on the source signal line 18 is slowed down to delay the change in the current.

[0019] Thus, it has been impossible to reduce the horizontal scan period, and, depending on the number of display columns, flickering occurs due to the reduction in frame frequency.

#### Disclosure of the Invention

[0020] The present invention has been accomplished in view of the above problems, and an object thereof is to prevent occurrence of flickering which is otherwise caused by a reduction in frame frequency.

[0021] In order to achieve the above object, an EL display apparatus according to this invention comprises an EL light emitting element, a current driving device for driving the EL light emitting element by a current responsive to a source signal represented by a current, and a signal current source for outputting the source signal to the current driving device through a source signal line in response to an image signal, characterized in that the EL display apparatus further comprises a precharge voltage source for outputting a predetermined voltage and a switching and connecting unit capable of selectively connecting either the signal current source or the precharge voltage source to the source signal line.

[0022] With such constitution, not only a source signal current is output to the source signal line but also a precharge voltage is applied to the source signal line when a current for low gray scale for which programming is the most difficult is flowing to the source signal line. As a result, it is possible to charge stray capacity of the source signal line rapidly by the use of a power source having low output impedance, thereby increasing a speed of change in current of the current driving device. Thus, a horizontal scan period is reduced and flickering otherwise caused by a reduction in frame frequency is prevented.

[0023] The switching and connecting unit may connect the precharge voltage source and the signal voltage source to the source signal such that the source signal is output to the source signal line after the predetermined voltage is applied to the source signal line in one horizontal scan period. With such constitution, the stray capacity of the source signal line is rapidly charged to increase the speed of the change in current of the current driving device.

[0024] A duration of applying the predetermined voltage may preferably be 0.2  $\mu$  seconds or more and 3  $\mu$  seconds or less. With such constitution, the speed of the change in current of the current driving device is favorably increased.

[0025] The current driving device may drive the EL



light emitting element by a current responsive to a voltage of a control terminal connected to the source signal line, and the predetermined voltage may be set to a value by which the current driving device so drives the EL light emitting element as to achieve black display. With such constitution, the speed of the change in current of the current driving device at the time of the low gray scale is effectively increased.

**[0026]** Alternatively, the current driving device may drive the EL light emitting element by a current responsive to a voltage of a control terminal connected to the source signal line, and the predetermined voltage may be set to a value responsive to gray scale data of the image signal. With such constitution, an amount of a gray scale to be adjusted by the source signal is reduced to more rapidly change the current of the current driving device.

**[0027]** The switching and connecting unit may connect the precharge voltage source to the source signal line when the gray scale data of the image signal is a predetermined one. With such constitution, a reduction in luminance is prevented by refraining from applying the precharge voltage at the time of high gray scale where the change in current of the current driving device is rapid and when identical gray scale is repeated.

**[0028]** A plurality of EL light emitting elements for emitting light of plural colors may be connected respectively to the source signal lines for the colors of light, and the precharge voltage source may output the predetermined signal which is set for each of the colors of light to each of the source signal lines. Transition time voltages of the EL light emitting elements are varied depending on the colors of light, but, with such constitution, the precharge voltage optimum for the color of light is applied so as to favorably perform color display.

**[0029]** Alternatively, the current driving device may comprise a transistor. With such constitution, it is possible to drive the EL light emitting element by a programming current method.

**[0030]** Alternatively, the current driving device may comprise a current mirror circuit.

**[0031]** Alternatively, a plurality of pixels may be disposed in matrix; each of the pixels may be provided with the EL light emitting element and the current driving device; each of columns or rows of the pixels may be provided with the source signal line; the current driving devices of the columns or the rows may be connected selectively to the source signal lines; each of the source signal lines may be provided with the signal current source, the precharge voltage source, and the switching and connecting unit; a plurality of gate lines for transmitting a gate signal to select the current driving devices per row or column may be provided; and a gate driver for outputting the gate signal to the gate lines may be provided.

**[0032]** An electronic display appliance according to the invention comprises: an image display device including the EL display apparatus according to claim 1,

wherein a plurality of pixels are disposed in matrix, each of the pixels is provided with the EL light emitting element and the current driving device, each of columns or rows of the pixels is provided with the source signal line, the current driving devices of the columns or the rows are connected selectively to the source signal lines, each of the source signal lines is provided with the signal current source, the precharge voltage source, and the switching and connecting unit, a plurality of gate lines for transmitting a gate signal to select the current driving devices per row or column are provided, and a gate driver for outputting the gate signal to the gate lines is provided; a receiver; and a speaker. With such constitution, it is possible to realize an electronic display appliance of the EL display method, which prevents the occurrence of flickering otherwise caused by the reduction in frame frequency.

**[0033]** A driving circuit of the EL display apparatus according to the invention comprises: a plurality of unit current sources; a reference current generation circuit for defining currents output from the unit current sources; a plurality of current switching circuits disposed on output ends of the unit current sources; a current wiring of which one end is connected to the current switching circuits via a first change over switch and the other end is connected to source signal lines; and a precharge voltage source which outputs a predetermined voltage and is connected to the current wiring via a second change over switch, wherein the current switching circuits are turned on and off depending on gray scale data of an image signal, and the first and the second change over switches selectively connect either the current switching circuits or the precharge voltage source to the source signal lines.

**[0034]** With such constitution, it is possible to realize a driving circuit of the EL display apparatus capable of preventing the occurrence of flickering due to the reduction in frame frequency.

**[0035]** The unit current sources may be connected to the current switches in such a fashion that the number of the unit current sources to be aligned parallel and connected to each of the current switches is a multiple of 2. With such constitution, it is possible to output source signals in accordance with digital gray scale data.

**[0036]** The reference current generation circuit may have an operation amplifier so that the operation amplifier defines the currents output from the unit current sources.

**[0037]** These and other objects, characteristics, and advantages of the invention will become apparent from the description of preferred embodiments which will hereinafter be described with reference to accompanying drawings.

Brief Description of Drawings

[0038]

FIG. 1 is a diagram illustrating a pixel configuration of an EL display panel according to the present invention. 5

FIG. 2 is a diagram illustrating a pixel configuration of an EL display panel according to the present invention.

FIG. 3 is an explanatory diagram illustrating an operation of an EL display panel according to the present invention. 10

FIG. 4 is an explanatory chart illustrating an operation of an EL display panel according to the present invention. 15

FIG. 5 is an explanatory view illustrating a method of driving an EL display apparatus according to the present invention.

FIG. 6 is a diagram illustrating a configuration of an EL display apparatus according to the present invention. 20

FIG. 7 is an explanatory view illustrating a method of manufacturing an EL display panel according to the present invention. 25

FIG. 8 is a diagram illustrating a configuration of an EL display apparatus according to the present invention.

FIG. 9 is a diagram illustrating a configuration of an EL display apparatus according to the present invention. 30

FIG. 10 is a sectional view of an EL display panel according to the present invention.

FIG. 11 is a sectional view of an EL display panel according to the present invention. 35

FIG. 12 is an explanatory chart illustrating an EL display panel according to the present invention.

FIG. 13 is an explanatory view illustrating a method of driving an EL display apparatus according to the present invention. 40

FIG. 14 is an explanatory chart illustrating a method of driving an EL display apparatus according to the present invention.

FIG. 15 is an explanatory chart illustrating a method of driving an EL display apparatus according to the present invention. 45

FIG. 16 is an explanatory view illustrating a method of driving an EL display apparatus according to the present invention.

FIG. 17 is an explanatory chart illustrating a method of driving an EL display apparatus according to the present invention. 50

FIG. 18 is an explanatory chart illustrating a method of driving an EL display apparatus according to the present invention.

FIG. 19 is an explanatory view illustrating a method of driving an EL display apparatus according to the present invention. 55

FIG. 20 is an explanatory view illustrating a method of driving an EL display apparatus according to the present invention.

FIG. 21 is an explanatory chart illustrating a method of driving an EL display apparatus according to the present invention.

FIG. 22 is an explanatory view illustrating a method of driving an EL display apparatus according to the present invention.

FIG. 23 is an explanatory chart illustrating a method of driving an EL display apparatus according to the present invention.

FIG. 24 is an explanatory view illustrating a method of driving an EL display apparatus according to the present invention.

FIG. 25 is an explanatory chart illustrating a method of driving an EL display apparatus according to the present invention.

FIG. 26 is an explanatory diagram illustrating a method of driving an EL display apparatus according to the present invention.

FIG. 27 is an explanatory view illustrating a method of driving an EL display apparatus according to the present invention.

FIG. 28 is an explanatory diagram illustrating a method of driving an EL display apparatus according to the present invention.

FIG. 29 is an explanatory view illustrating a method of driving an EL display apparatus according to the present invention.

FIG. 30 is an explanatory view illustrating a method of driving an EL display apparatus according to the present invention.

FIG. 31 is an explanatory chart illustrating a method of driving an EL display apparatus according to the present invention.

FIG. 32 is an explanatory diagram illustrating a method of driving an EL display apparatus according to the present invention.

FIG. 33 is an explanatory diagram illustrating a method of driving an EL display apparatus according to the present invention.

FIG. 34 is a diagram illustrating a configuration of an EL display apparatus according to the present invention.

FIG. 35 is an explanatory chart illustrating a method of driving an EL display apparatus according to the present invention.

FIG. 36 is an explanatory chart illustrating a method of driving an EL display apparatus according to the present invention.

FIG. 37 is a diagram illustrating a configuration of an EL display apparatus according to the present invention.

FIG. 38 is a diagram illustrating a configuration of an EL display apparatus according to the present invention.

FIG. 39 is an explanatory diagram illustrating a

method of driving an EL display apparatus according to the present invention.

FIG. 40 is a diagram illustrating a configuration of an EL display apparatus according to the present invention.

FIG. 41 is a diagram illustrating a configuration of an EL display apparatus according to the present invention.

FIG. 42 is a diagram illustrating a pixel configuration of an EL display panel according to the present invention.

FIG. 43 is a diagram illustrating a pixel configuration of an EL display panel according to the present invention.

FIG. 44 is an explanatory diagram illustrating a method of driving an EL display apparatus according to the present invention.

FIG. 45 is an explanatory chart illustrating a method of driving an EL display apparatus according to the present invention.

FIG. 46 is an explanatory chart illustrating a method of driving an EL display apparatus according to the present invention.

FIG. 47 is a diagram illustrating a pixel configuration of an EL display panel according to the present invention.

FIG. 48 is a diagram illustrating a configuration of an EL display apparatus according to the present invention.

FIG. 49 is an explanatory chart illustrating a method of driving an EL display apparatus according to the present invention.

FIG. 50 is a diagram illustrating a pixel configuration of an EL display panel according to the present invention.

FIG. 51 is a diagram illustrating a pixel of an EL display panel according to the present invention.

FIG. 52 is an explanatory chart illustrating a method of driving an EL display apparatus according to the present invention.

FIG. 53 is an explanatory diagram illustrating a method of driving an EL display apparatus according to the present invention.

FIG. 54 is a diagram illustrating a pixel configuration of an EL display panel according to the present invention.

FIG. 55 is an explanatory diagram illustrating a method of driving an EL display apparatus according to the present invention.

FIG. 56 is an explanatory diagram illustrating a method of driving an EL display apparatus according to the present invention.

FIG. 57 is an explanatory view illustrating a mobile phone according to the present invention.

FIG. 58 is an explanatory view illustrating a view finder according to the present invention.

FIG. 59 is an explanatory view illustrating a digital video camera according to the present invention.

FIG. 60 is an explanatory view illustrating a digital still camera according to the present invention.

FIG. 61 is an explanatory view illustrating a television set (monitor) according to the present invention.

FIG. 62 is a diagram illustrating a pixel configuration of a conventional EL display panel.

FIG. 63 is a block diagram showing a driving circuit of the invention.

FIG. 64 is an illustration of the driving circuit of the invention.

FIG. 65 is an illustration of the driving circuit of the invention.

FIG. 66 is an illustration of the driving circuit of the invention.

FIG. 67 is an illustration of the driving circuit of the invention.

FIG. 68 is an illustration of the driving circuit of the invention.

FIG. 69 is an illustration of the driving circuit of the invention.

FIG. 70 is an illustration of the driving circuit of the invention.

FIG. 71 is a block diagram showing another driving circuit of the invention.

FIG. 72 is an illustration of the driving circuit of the invention.

FIG. 73 is an illustration of the driving circuit of the invention.

FIG. 74 is an illustration of the driving circuit of the invention.

FIG. 75 is an illustration of the driving circuit of the invention.

FIG. 76 is an illustration of the driving circuit of the invention.

#### Best Mode for Carrying Out the Invention

**[0039]** Hereinafter, embodiments of the present invention will be described with reference to the drawings.

**[0040]** For easy understanding and/or illustration, each of the drawings in this description may have portions omitted and/or enlarged/reduced. For example, an encapsulating film 111 and the like are shown to be quite thick in the sectional view of a display panel at FIG. 11. On the other hand, an encapsulating cover 85 is shown to be thin in FIG. 10. There are omitted portions. For example, a display panel or the like according to the present invention needs to have a phase film such as a circularly polarizing plate for antireflection. However, such a phase film is omitted from the drawings used in this description. This holds true for other drawings. Like numerals, characters or the like designate parts having identical or similar forms, materials, functions or operations.

**[0041]** It is to be noted that the details to be described with reference to the drawings may be combined with other embodiments and the like. For example, a touch

panel or the like may be added to a display panel shown in FIG. 8 to form an information display apparatus illustrated in any one of Figs. 19 and 59 to 61. Alternatively, a magnifying lens 582 may be attached to the display panel to form a view finder (see FIG. 58) for use in a video camera (see FIG. 59 and the like). Any one of the driving methods to be described with reference to Figs. 4, 15, 18, 21 and 23 and like figures is applicable to any one of display apparatus or display panels according to the present invention.

**[0042]** While driving transistors 11 and switching transistors 11 will be described to be thin film transistors in this description, they are not limited to thin film transistors. Each of the transistors 11 may comprise a thin film diode (TFD), ring diode, or the like. Further, each transistor 11 is not limited to such a thin film device but may comprise a device formed on a silicon wafer. Of course, any one of FET, MOS-FET, MOS transistors and a bipolar transistor can serve the purpose. These are basically thin film transistors. It is needless to say that other devices such as a varistor, thyristor, ring diode, photodiode, phototransistor, and PLZT device can serve the purpose. That is, each of the switching devices 11 and driving devices 11 may comprise any one of the devices mentioned above.

**[0043]** As shown in FIG. 10, an organic EL display panel includes at least one organic functional layer (EL layer) 15 (15R, 15G and 15B) comprising an electron transport layer, a luminescent layer, hole transport layer and the like, and a metal electrode (reflective film) (cathode) 106, which are stacked on a glass plate 71 (array substrate) formed with a transparent electrode 105 as a pixel electrode. The organic functional layer (EL layer) 15 is caused to emit light by applying the anode consisting of the transparent electrode (pixel electrode) 105 and the cathode consisting of the metal electrode (reflective electrode) 106 with a positive voltage and a negative voltage, respectively; stated otherwise, by applying direct current across the transparent electrode 105 and the metal electrode 106.

**[0044]** A high current passes through wiring for feeding current to the anode or the cathode (cathode wiring 86 or anode wiring 87 in FIG. 8). When the screen size of an EL display apparatus is 40 inches for example, a current of about 100 A passes therethrough. Therefore, such wiring needs to have a sufficiently low value of resistance. To solve this problem, the present invention firstly forms thin film wiring to the anode or the like (wiring for feeding EL devices with a luminescence-causing current). The thin film wiring is then thickened with an electrolytic plating technique or an electroless plating technique.

**[0045]** Examples of metals for use in plating include chromium, nickel, gold, copper, and aluminum, or alloys, amalgams or laminated structures thereof. As the need arises, the wiring is added with identical wiring or metal wiring comprising wiring and copper foil. Alternatively, the wiring is thickened to have decreased wiring resist-

ance by screen printing over the wiring with copper paste or the like to stack the paste or the like thereon. The wiring may be reinforced by superposition of additional wiring thereon using a bonding technique. As needs dictate, a grand pattern may be formed over the wiring to form a capacitor therebetween.

**[0046]** To feed the anode or cathode wiring with a high current, a power wire for supply of a power having a low current and a high voltage is routed from current feeding means to a location in the vicinity of the anode wiring or the like and the power is converted into a power having a low voltage and a high current with a DCDC converter or the like before being fed to the anode wiring or the like. That is, a high-voltage and low-current wire is routed from the power source to a power-consuming target and the power fed therethrough is converted into a high-current and low-voltage power at a location short of reaching the power-consuming target. Examples of such converter means include a DCDC converter, and a transformer.

**[0047]** Preferable materials for the metal electrode 106 include lithium, silver, aluminum, magnesium, indium and copper, or their respective alloys or like materials having low work functions. Particularly preferable is an Al-Li alloy for example. On the other hand, the transparent electrode 105 may comprise a conductor material having a high work function, such as ITO, or gold or the like. If gold is used as the electrode material, the resulting electrode is translucent. ITO may be substituted with another material such as IZO. This holds true for other pixel electrodes 105.

**[0048]** In the vapor deposition of a thin film over the pixel electrode 105 or the like, it is convenient to form organic EL film 15 in an argon atmosphere. By forming a carbon film having a thickness not less than 20 nm and not more than 50 nm over ITO as the pixel electrode 105, an organic EL film can be formed which exhibits improved interface stability and satisfactory luminance and efficiency of luminescence. The process for forming the EL film 15 is not limited to vapor deposition. It is needless to say that the EL film 15 may be formed using an ink jet process.

**[0049]** A desiccant 107 is placed in the space defined between the encapsulating cover 85 and the array substrate 71. This is because the organic EL film 15 is easily affected by humidity. The desiccant 107 absorbs moisture permeating through sealant thereby preventing the organic EL film 15 from deteriorating.

**[0050]** FIG. 10 shows an arrangement of encapsulation with cover 85 of glass. Encapsulation may be achieved using a film (which may be a thin film, i.e., encapsulating thin film) 111 as shown in FIG. 11. An example of such an encapsulating film (encapsulating thin film) 111 is a film formed by vapor deposition of DLC (diamond-like carbon) on a film for use in electrolytic capacitors. This film has very poor water permeability (i.e. high moistureproofness) and hence is used as the encapsulating film 111. It is needless to say that an ar-

rangement in which a DLC film or the like is vapor-deposited directly over the electrode 106 can serve the purpose. Alternatively, the encapsulating thin film may comprise a multi-layered film formed by stacking a resin thin film and a metal thin film on the other.

[0051] The thickness of the thin film is preferably established so that  $n \cdot d$  is not more than the dominant wavelength  $\lambda$  of light emitted from the EL device 15, wherein  $n$  represents the refractive index of the thin film (if plural thin films are stacked on each other, calculation is made with their respective refractive indexes totalized ( $n \cdot d$  is calculated for each thin film), and  $d$  represents the thickness of the thin film (if plural thin films are stacked on each other, calculation is made with their respective refractive indexes totalized.) With this condition being satisfied, the efficiency in taking light out of EL device 15 is twice or more as high as that of the case where encapsulation is made with a glass substrate. An alloy, mixture or stack of aluminum and silver may be formed as the encapsulating thin film.

[0052] Such encapsulation with encapsulating film 111 and without cover 85 as described above is referred to as thin film encapsulation. In the thin film encapsulation to be applied to the case where light is taken out from the substrate 71 side, which is referred to as downward takeout (see FIG. 10 in which the arrow indicates the light takeout direction), an aluminum film to be used as the cathode is formed over the EL film formed in advance. Subsequently, a resin layer to serve as a buffer layer is formed over the aluminum film. Examples of materials for the buffer layer include organic materials such as acrylic resin and epoxy resin. The thickness of the buffer layer is suitably not less than  $1 \mu\text{m}$  and not more than  $10 \mu\text{m}$ , more preferably not less than  $2 \mu\text{m}$  and not more than  $6 \mu\text{m}$ . Further, encapsulating film 74 is formed over the buffer film. Without the buffer layer, the structure of the EL film would collapse, causing streak-like defects to occur. As described above, the encapsulating film 111 comprises, for example, DLC (diamond-like carbon) or a layered structure for electrolytic capacitors (a multi-layered structure in which a dielectric thin film and an aluminum thin film are formed alternately by vapor deposition.)

[0053] In the thin film encapsulation to be applied to the case where light is taken out from the EL layer 15 side, which is referred to as upward takeout (see FIG. 10 in which the arrow indicates the light takeout direction), an Ag-Mg film to be used as the cathode (or the anode) is formed to a thickness not less than 20 angstroms and not more than 300 angstroms over the EL film formed in advance. Subsequently, a transparent electrode comprising ITO or the like is formed over the Ag-Mg film to lower the resistance, followed by the formation of a resin film as a buffer layer over the electrode film. Further, encapsulating film 111 is formed over the buffer film.

[0054] A half of the amount of light emitted from the organic EL layer 15 is reflected by reflective film 106,

passes through the array substrate 71, and is then emitted from the panel. However, undesired reflection occurs due to the reflective film 106 reflecting extraneous light, causing the display contrast to lower. As the measures to avoid this inconvenience, a  $\lambda/4$  plate 108 and a sheet polarizer (polarizing film) 109 are disposed at the array substrate 71. These are generally called a circularly polarizing plate (circularly polarizing sheet).

[0055] If the pixels comprise a reflective electrode, light generated from the EL layer 15 is emitted upward. It is therefore needless to say that the phase plate 108 and the sheet polarizer 109 are disposed on the light-emitting side in this case. Such reflective-type pixels can be obtained by forming pixel electrode 105 of aluminum, chromium, silver or the like. If the surface of the pixel electrode 105 is provided with projections (or projections and depressions), the interface with the organic EL layer 15 is enlarged, which increases the light-emitting area and improves the luminescence efficiency. It should be noted that when it is possible to form a reflective film to serve as cathode 106 (or anode 105) on a transparent electrode or reduce the reflectance to 30% or lower, the circularly polarizing plate is unnecessary. This is because undesired reflection of extraneous light is reduced to a large extent. Further, such an arrangement reduces interference of light and hence is desirable.

[0056] Preferably, each transistor 11 employs a LDD (lightly doped drain) structure. Though the organic EL device (which is variously abbreviated as OEL, PEL, PLED, OLED or the like) 15 is exemplified as the EL device in this description, it is needless to say that an inorganic EL device is applicable to the present invention without limitation to the organic EL device.

[0057] The active-matrix configuration used for the organic EL display panel has to satisfy the following two conditions:

- (1) the active-matrix configuration is capable of selecting a specified pixel and giving the pixel required information; and
- (2) the active-matrix configuration is capable of passing a current through each EL device throughout a one-frame period.

[0058] To satisfy these two conditions, the pixel configuration of the conventional organic EL device shown in FIG. 62 uses first transistor 211b as a switching transistor for pixel selection and second transistor 211a as a driving transistor for feeding EL device (EL film) 215 with current.

[0059] In causing this configuration to realize gray-scale display, the driving transistor 211a needs to be applied a voltage corresponding to a level of gray as a gate voltage. Accordingly, fluctuations of on-current in the driving transistor 211a are directly reflected in image display.

[0060] The on-current in a transistor formed of single

crystal is extremely invariant, whereas a low-temperature polycrystalline transistor, which is formed by the low temperature polysilicon technology which enables the formation of a transistor on an inexpensive glass substrate at 450°C or lower, has a threshold voltage varying in the range from  $\pm 0.2$  V to  $\pm 0.5$  V. For this reason, the on-current passing through the driving transistor 211a fluctuates with variations in threshold voltage, resulting in display irregularities. Such irregularities occur due not only to variations in threshold voltage but also to variations in the mobility, gate insulator thickness or the like of the transistor. Also, the characteristics of the transistor 211 vary as the transistor 211 deteriorates.

**[0061]** This phenomenon is possible to occur not only with the low temperature polysilicon technology but also with other technology including the high temperature polysilicon technology using a processing temperature of 450°C or higher and the technology of forming a transistor using a semiconductor film resulting from solid phase (CGS) growth. As well, the phenomenon occurs with organic transistors and amorphous silicon transistors. Therefore, the present invention to be described below is directed to configurations or methods capable of taking measures depending on those technologies. In this description, however, transistors of the type formed by the low temperature polysilicon technology are described mainly.

**[0062]** With the method of gray scale display by writing with voltage as shown in FIG. 62, device characteristics need to be controlled precisely for providing an invariant display. With the low temperature polysilicon transistor or the like presently available, however, the requirement of controlling variations in device characteristics to within predetermined ranges cannot be satisfied.

**[0063]** In the pixel structure of the EL display apparatus according to the present invention, a unit pixel comprises four transistors 11 and an EL device, as specifically shown in FIG. 1. The pixel electrode is formed as overlapping the source signal lines. More specifically, source signal lines 18 are insulated by the formation of an insulating film or a planarizing film comprising an acrylic material over the source signal lines 18, and then pixel electrode 105 is formed on the insulating film. Such a structure that a pixel electrode overlaps at least a part of source signal lines is called a high aperture (HA) structure. This structure can be expected to reduce useless interference light and ensure favorable luminescence.

**[0064]** When gate signal line (first scanning line) 17a is rendered active (applied with on-voltage) by outputting of a gate signal thereto, the source driver 14 feeds EL device 15 with a current having a value required by EL device 15 through driving transistor 11a and switching transistor 11c associated with the EL device 15. By rendering gate signal line 17a active (applying the gate signal line with on-voltage) in a manner to shortcircuit the gate and the drain of the transistor 11a, the transistor

11b is opened and, at the same time, the gate voltage (or the drain voltage) of the transistor 11a is stored in capacitor (storage capacitor or additional capacitor) 19 connected between the gate and the source of the transistor 11a (see FIG. 3(a).)

**[0065]** The capacitor 19 intermediate the source (S) and the gate (G) of the transistor 11a preferably has a capacitance of 0.2 pF or more. A structure having capacitor 19 formed separately is exemplified as another structure. That is, the structure has a storage capacitor comprising a capacitor electrode layer, a gate insulator and gate metal. Such a separately-formed capacitor is preferable from the viewpoints of preventing a decrease in luminance due to leakage from the transistor 11c and stabilizing the display operation.

**[0066]** The capacitor (storage capacitor) 19 preferably has a capacitance not less than 0.2 pF and not more than 2 pF, particularly preferably not less than 0.4 pF and not more than 1.2 pF. The capacitance of the capacitor 19 is determined in view of a pixel size. Assuming that  $C_s$  (pF) is the capacitance required for one pixel and  $S_p$  (square  $\mu\text{m}$ ) is the area occupied by one pixel (not the effective aperture ratio),  $C_s$  and  $S_p$  preferably satisfy  $500/S_p \leq C_s \leq 20000/S_p$ , more preferably  $1000/S_p \leq C_s \leq 10000/S_p$ . Since the capacitance of the gate of the transistor is small enough,  $Q$  used here is the capacitance of the storage capacitor (capacitor) 19 alone.

**[0067]** Preferably, the capacitor 19 is formed substantially in a non-display region located intermediate adjacent pixels. Generally, in the formation of full color organic EL devices 15, misalignment of a mask causes misregistration of organic EL layers to occur since the EL layers are formed using a vapor deposition process with a metal mask. Such misregistration might cause organic EL layers 15 (15R, 15G and 15B) for respective colors to overlap each other. For this reason, adjacent pixels for respective colors have to be spaced 10  $\mu\text{m}$  or more by the non-display region. This region does not contribute to luminescence. Therefore, the formation of storage capacitor 19 in this region is also effective means for improving the effective aperture ratio.

**[0068]** Subsequently, gate signal line 17a is rendered inactive (applied with off-current) and gate signal line 17b rendered active, so that the current path is switched to the path including EL device 15 and transistor 11d connected to the first transistor 11a and the EL device 15, thereby causing the current stored in the aforementioned manner to pass through the EL device 15 (see FIG. 3(b).)

**[0069]** This circuit has four transistors 11 in one pixel, the transistor 11a having its gate connected to the source of the transistor 11b. The gates of the respective transistors 11b and 11c are connected to gate signal line 17a. The drain of the transistor 11b is connected to the drain of the transistor 11c as well as the source of the transistor 11d. The source of the transistor 11c is connected to source signal line 18. The gate of the transistor

11d is connected to gate signal line 17b, while the drain of the transistor 11d connected to the anode of the EL device 15.

**[0070]** All the transistors shown in FIG. 1 are p-channel transistors. The p-channel transistor is preferable because it has a high breakdown voltage and is hard to deteriorate, though the p-channel transistor exhibits slightly lower mobility than the n-channel transistor. However, the present invention does not limit the transistors used in the EL device configuration to p-channel transistors. It is possible to form the EL device configuration using the n-channel transistor exclusively. The EL device configuration may be formed using the n-channel transistor and the p-channel transistor both.

**[0071]** In FIG. 1, it is preferable that the transistors 11c and 11b have the same polarity and are of the p-channel type while the transistors 11a and 11d are of the n-channel type. Generally, the p-channel transistor is characterized in the features including higher reliability and less occurrence of kink current than the n-channel transistor. Therefore, use is very effective of the p-channel transistor as the transistor 11a associated with EL device 15 which is designed to obtain a desired intensity of luminescence by current control.

**[0072]** Most preferably, all the transistors forming a pixel as well as incorporated gate driver 12 are of the p-channel type. By thus forming the array with exclusive use of p-channel transistors, the number of masks to be used is reduced to five, which can make the cost lower and the yield higher.

**[0073]** For easy understanding of the present invention, description will be made of the EL device configuration according to the present invention with reference to FIG. 3. The EL device configuration of the present invention is controlled with two timings. The first timing is timing for storing a required current value. When transistors 11b and 11c are turned on at this timing, the equivalent circuit of the EL device configuration assumes the state shown in FIG. 3(a). Here, a predetermined current  $I_w$  is written through a signal line. By so doing, transistor 11a is turned into a state where the gate and the drain are connected to each other and current  $I_w$  passes through the transistor 11a and transistor 11c. Accordingly, the voltage across the gate-source of transistor 11a assumes a value such as to cause current  $I_w$  to pass.

**[0074]** The second timing is timing for closing transistors 11b and 11c and opening transistor 11d. At this time, the equivalent circuit of the EL device configuration assumes the state shown in FIG. 3(b). The voltage across the source-gate of transistor 11a is held as it is. In this case transistor 11a operates within a saturation region at all times and, hence, the value of current assumes  $I_w$  constantly.

**[0075]** These operations cause the display apparatus to be driven as shown in FIG. 5. Reference character 51a in FIG. 5(a) designates a pixel (row) of display screen 50 programmed with current at a certain time

point (written pixel (row).) This pixel (row) 51a is a non-lighting (non-display) pixel row as shown in FIG. 5(b). Other pixels (rows) are display pixels (rows) 53. (That is, current is passing through EL devices 15 of the display pixels (rows) 53 and the EL devices 15 are emitting light.)

**[0076]** In the case of the pixel configuration shown in FIG. 1, programming current  $I_w$  passes through source signal line 18 at the time of current-based programming. The current  $I_w$  passes through transistor 11a to make voltage setting (programming) of the capacitor 19 so that a voltage such as to cause the current  $I_w$  to pass is held. At this time transistor 11d is open (in off-state).

**[0077]** In a period for allowing current to pass through EL device 15, transistors 11c and 11b are turned off while transistor 11d turned on, as shown in FIG. 3(b). Specifically, off-voltage ( $V_{gh}$ ) is applied to gate signal line 17a to turn transistors 11b and 11c off. On the other hand, on-voltage ( $V_{gl}$ ) is applied to gate signal line 17d to turn transistor 11d on.

**[0078]** The chart of such timing is shown in FIG. 4. In FIG. 4 and the like, a parenthesized additional numeral (for example, (1)) indicates a row number given to a pixel row. Specifically, gate signal line 17a(1) indicates the gate signal line 17a of pixel row (1). \*H (\*\*\*\* represents any character or numeral indicative of the number of a horizontal scanning line), which appears in the uppermost section of FIG. 4, represents a horizontal scanning period. Specifically, 1H represents the first horizontal scanning period. These matters are for easy description and do not limit the number and the period of a one-H period, the sequence of pixel rows, and the like.

**[0079]** As seen from FIG. 4, in each pixel row selected (the period for which the pixel row is in the selected state is 1H), gate signal line 17b is applied with off-voltage, while gate signal line 17a applied with on-voltage. In this period current does not pass through EL devices 15; that is, the EL devices 15 are in the non-lighting state. In each pixel row unselected, on the other hand, gate signal line 17a is applied with off-voltage, while gate signal line 17b applied with on-voltage. In this period current passes through EL devices 15; that is, the EL devices 15 are in the lighting state.

**[0080]** The gate of transistor 11b and that of transistor 11c are connected to the same gate signal line 17a. However, they may be connected to different gate signal lines (the gate signal lines 17a and 17c in FIG. 32). In this case, the number of gate signal lines associated with one pixel is three. (The configuration shown in FIG. 1 has two gate signal lines for one pixel.) By individually controlling the on-off timing for the gate of transistor 11b and that for the gate of transistor 11c, fluctuations in the value of current passing through EL devices 15 due to variations in the characteristics of transistor 11a can further be reduced.

**[0081]** If gate signal lines 17a and 17b formed into a common line and transistors 11c and 11d are rendered different from each other in conductivity type (i.e., n-

channel type and p-channel type), it is possible to simplify the driving circuit and improve the effective aperture ratio of pixels.

**[0082]** With such a configuration, the writing path from a relevant signal line becomes off at the operation timing according to present invention. If the path allowing current to pass therethrough is branched when a predetermined value of current is to be written, the value of current is not exactly stored in the capacitor located intermediate the source (S) and the gate (G) of transistor 11a. Where transistors 11c and 11d are rendered different in conductivity type from each other, an operation becomes possible such that transistor 11d is necessarily turned on after transistor 11c has been turned off at timing at which a scanning line is switched to another if each other's threshold value is controlled.

**[0083]** Since the transistors require that each other's threshold value be controlled accurately in this case, sufficient care is necessary in the manufacturing process. Though the above-described circuit is feasible with at least four transistors, a configuration having more than four transistors in which transistor 11e is provided as cascade-connected as shown in FIG. 2 operates based on the same operating principle described above. Such a configuration with additional transistor 11e can cause a current as exact as programmed through transistor 11c to pass through EL device 15.

**[0084]** Variations in the characteristics of transistor 11a are correlated with the size of the transistor 11a. For reduction of such variations in characteristics, the channel length of the first transistor 11a is preferably not less than 5  $\mu\text{m}$  and not more than 100  $\mu\text{m}$ , more preferably not less than 10  $\mu\text{m}$  and not more than 50  $\mu\text{m}$ . This is because when the channel length L is made longer, the grain boundary contained in the channel increases, which is presumed to relax the electric field and hence lower the kink effect.

**[0085]** It is preferable that each of the transistors 11 forming a pixel comprises a polysilicon transistor formed through the laser recrystallization method (laser annealing) and the channels of all the transistors extend in the same direction with respect to the laser irradiation direction. Further, it is preferable that the laser scans the same portion twice or more to form a semiconductor film.

**[0086]** An object of the present invention is to propose a circuit configuration which prevents variations in transistor characteristics from affecting image display. To attain this object, four or more transistors are necessary. In determining a circuit constant from the characteristics of these transistors, it is difficult to determine a suitable circuit constant unless the four transistors are made uniform in characteristics. A transistor having a channel formed to extend in a horizontal direction with respect to the longitudinal axis of laser irradiation is different in such transistor characteristics as threshold value and mobility from a transistor having a channel formed to extend in a vertical direction with respect to the longitudinal

axis of laser irradiation. The extent of variations in one case is the same as that in the other. The transistor having the channel extending in the horizontal direction and the transistor having the channel extending in the vertical direction are different from each other in a mean value of mobility and a mean value of threshold. Thus, it is desirable that the channel directions of all the transistors forming a pixel be the same.

**[0087]** Assuming that the capacitance of storage capacitor 19 is  $C_s$  and the value of off-current applied to the second transistor 11b is  $I_{off}$ ,  $C_s$  and  $I_{off}$  preferably satisfy the formula:  $3 < C_s / I_{off} < 24$ .

**[0088]** More preferably, they satisfy the formula:  $6 < C_s / I_{off} < 18$ .

**[0089]** The variation in the value of current passing through EL devices can be reduced to 2% or less by adjusting off-current of transistor 11b to 5 pA or lower. This is because charge stored between the gate and the source (opposite ends of the capacitor) cannot be maintained for a one-field period when voltage is not written. Therefore, with increasing storage capacitance of the capacitor 19, allowable off-current increases. The variation in the value of current passing through adjacent pixels can be reduced to 2% or less by satisfying the aforementioned formula.

**[0090]** It is preferable that each of the transistors forming the active-matrix configuration comprises a p-channel polysilicon thin film transistor and transistor 11b has a multi-gated structure having at least dual gate. Since transistor 11b acts as a switch intermediate the source and the drain of transistor 11a, the highest possible on/off ratio is required of transistor 11b. By employing such a multi-gated structure having at least dual gate for the gate structure of transistor 11b, a high on/off ratio characteristic can be realized.

**[0091]** It is a general practice to form a semiconductor film constituting transistors 11 of pixels 16 through low temperature polysilicon technology with laser annealing. Variations in laser annealing conditions result in variations in the characteristics of transistors 11. However, if there is uniformity in the characteristics of respective transistors 11 in one pixel, a configuration adapted for current-based programming as shown in FIG. 1 or the like is capable of operating so that a predetermined current may pass through EL device 15. This feature is an advantage which a voltage-based programming configuration does not have. The laser for use here is preferably an excimer laser.

**[0092]** In the present invention, the process used to form the semiconductor film is not limited to the laser annealing process but may be a thermal annealing process or a process based on solid phase (CGS) growth. It is needless to say that the present invention can use not only the low temperature polysilicon technology but also the high temperature polysilicon technology.

**[0093]** In order to solve the problem described above, annealing is performed in a manner that a laser irradiation spot (laser irradiation range) 72 extending parallel



with source signal line 18 is irradiated with laser light. Further, the laser irradiation spot 72 is moved so as to coincide with one pixel column. Of course, there is no limitation to one pixel column. One pixel unit 16 comprising R,G and B may be irradiated with laser light (in this case three pixel columns are irradiated). It is possible to irradiate plural pixels at a time. It is needless to say that the laser irradiation range may be moved in an overlapping fashion. (Usually, moving laser irradiation range overlaps the preceding laser irradiation spot.)

[0094] Three pixels for R, G and B are formed to constitute a square shape. Accordingly, each of the pixels for R, G and B is vertically elongated. Thus, annealing with vertically elongated laser irradiation spot 72 makes it possible to avoid the occurrence of variations in the characteristics of transistors 11 in one pixel. Further, the transistors 11 connected to one source signal line 18 can be rendered uniform in characteristics (mobility,  $V_t$ , S value and the like.) (That is, the transistors 11 connected to one source line 18 can be made substantially to agree to each other in characteristics, though there may be a case where the transistors 11 connected to one source signal line 18 are different in characteristics from those connected to an adjacent signal line 18.)

[0095] Generally, the length of laser irradiation spot 72 is a fixed value, for example 10 inches. Since laser irradiation spot 72 moves, the panel needs to be positioned so that one laser irradiation spot 72 can move within a range allowing laser irradiation spot 72 to move therein. (That is, the panel needs to be positioned so as to prevent laser irradiation spots 72 from overlapping each other in a central portion of display region 50 of the panel.)

[0096] In the arrangement shown in FIG. 7, three panels are formed as arranged vertically within a range corresponding to the length of laser irradiation spot 72. An annealing apparatus for irradiation of laser irradiation spot 72 recognizes positioning markers 73a and 73b provided on glass substrate 74 (automatic positioning based on pattern recognition) and moves laser irradiation spot 72. The positioning markers 73 are recognized by means of a pattern recognition device. The annealing apparatus recognizes the positioning markers 73 to find the position of a pixel column. (That is, the apparatus makes laser irradiation range 72 parallel with source signal line 18.) Sequential annealing is performed through irradiation of laser irradiation spot 72 positioned coinciding with the position of each pixel column.

[0097] Use of the laser annealing method (of the type adapted for irradiation of a linear laser spot extending parallel with source signal line 18) described with reference to FIG. 7 is preferable particularly in manufacturing an organic EL display panel of the current-based programming type. This is because transistors 11 arranged parallel with a source signal line are uniform in characteristics. (That is, the characteristics of one pixel transistor are approximate to those of a vertically adjacent pixel transistor.) For this reason fluctuations in the volt-

age level of a source signal line which occur in current-based driving are small and, hence, insufficient writing with current is not likely to occur.

[0098] In the case of white raster display for example, a current to be passed through transistor 11a of one pixel is substantially equal to a current to be passed through transistor 11a of an adjacent pixel and, therefore, the amplitude of a current outputted from source driver 14 varies little. If transistors 11a in FIG. 1 are uniform in characteristics and the values of currents for programming pixels of a pixel column are equal to each other, fluctuations in the potential of source signal line 18 do not occur. Accordingly, if the transistors 11a connected to one source signal line 18 are substantially uniform in characteristics, fluctuations in the potential of the source signal line 18 are small. This also holds true for other pixel configurations of the current-based programming type as shown in FIG. 38 and the like. (This means that use of the manufacturing method illustrated in FIG. 7 is preferable.)

[0099] Uniform image display can also be realized by a configuration of the type adapted for writing to plural pixel rows at a time to be described with reference to FIG. 27 or 30 or the like. This is mainly because display irregularities due to variations in transistor characteristics are not likely to occur. Since the configuration shown in FIG. 27 or the like selects plural pixel rows at a time, driver circuit 14 can accommodate variations in the characteristics of transistors arranged vertically if the transistors of adjacent pixel rows are uniform.

[0100] Though the source driver 14 is formed as comprising an IC chip as shown in FIG. 7, the formation of source driver 14 is not limited thereto. It is needless to say that source driver 14 may be formed together with pixels 16 in the same process.

[0101] In the present invention, particularly, the threshold voltage  $V_{th2}$  of transistor 11b is established so as not to be lower than the threshold voltage  $V_{th1}$  of transistor 11a associated with transistor 11b in one pixel. For example, the gate length  $L_2$  of transistor 11b is made longer than the gate length  $L_1$  of transistor 11a so that  $V_{th2}$  may not become lower than  $V_{th1}$  even when the process parameters of these thin film transistors vary. By so doing, faint leakage current can be inhibited to occur.

[0102] The above-described features are also applicable to the current mirror pixel configuration shown in FIG. 38. The configuration shown in FIG. 38 comprises driving transistor 11a allowing signal current to pass therethrough, driving transistor 11b for controlling driving current to be passed through a light-emitting device comprising EL device 15 or the like, take-in transistor 11c for connecting or disconnecting the pixel circuit to or from a data line (data) by control over gate signal line 17a1, switching transistor 11d for shortcircuiting the gate and the drain of transistor 11a during a writing period by control over gate signal line 17a2, storage capacitor 19 for holding a voltage across the gate and the

source of transistor 11a even after completion of writing of the voltage, and EL device 15 as a light-emitting device.

**[0103]** Though transistors 11c and 11d are n-channel transistors while other transistors are p-channel transistors in FIG. 38, this feature is a mere example and the configuration need not necessarily have this feature. Though the storage capacitor 19 has one terminal connected to the gate of transistor 11a and the other terminal connected to Vdd (power supply potential), the storage capacitor 19 may be connected to any fixed potential instead of Vdd. The cathode (negative electrode) of EL device 15 is connected to the ground potential.

**[0104]** Description will be made of an EL display panel and an EL display apparatus according to the present invention. FIG. 6 is an explanatory diagram mainly illustrating the circuit of the EL display apparatus. Pixels 16 are arranged or formed in a matrix pattern. Each pixel 16 is connected to source driver 14 adapted to output a current for current-based programming of each pixel 16. The source driver 14 has an outputting section formed with current mirror circuits corresponding to the number of bits of an image signal as gray scale data, as will be described later. For example, if there are 64 gray-levels, each source signal line is formed with 63 current mirror circuits. The source driver 14 is configured to be capable of applying a desired current to source signal line 18 by selecting a current mirror circuits count.

**[0105]** The minimum output current of one current mirror circuit is set to be not more than 10 nA and not less than 50 nA. It is particularly preferable to set the minimum output current of one current mirror circuit to be not more than 15 nA and not less than 35 nA. This is because such setting can ensure correct functioning of the transistors forming the current mirror circuits in the source driver 14.

**[0106]** The source driver 14 incorporates a precharge or discharge circuit for forcibly charging or discharging source signal line 18. The precharge or discharge circuit for forcibly charging or discharging source signal line 18 is preferably configured to be capable of setting output voltage (current) values for respective of R, G and B independently. This is because EL devices 15 for R, G and B have different threshold values.

**[0107]** Organic EL devices are known to have high temperature dependence. In order to control variations in luminance intensity due to such temperature dependence, the current mirror circuits are provided with a non-linear device, such as thermistor or posister, for varying the output current. A reference current is generated in an analog fashion by adjusting variations due to the temperature dependence by means of the thermistor or the like.

**[0108]** In the present invention, source driver 14 comprises a semiconductor chip and is connected to terminals of source signal lines 18 on substrate 71 by the Chip On Glass (COG) technology. Metal wires of chromium, aluminum, silver or the like are used for wiring of signal

lines including source signal lines 18. This is because such a wire offers a low resistance with a small wiring width. In the case where the pixels are of the reflection type, it is preferable that such wiring is made of the same material as the reflective film of the pixels and formed at the same time with the formation of the reflective film. By so doing, the process can be simplified.

**[0109]** The technology for use in mounting source driver 14 is not limited to the COG technology. It is possible that the source driver 14 is mounted by the Chip On Film (COF) technology and connected to signal lines of the display panel. A drive IC may comprise three chips, with a power supply IC 82 being formed separately.

**[0110]** On the other hand, the gate driver 12 is formed by the low temperature polysilicon technology. This means that the gate driver 12 is formed along with the transistors of the pixels by the same process. This is because the gate driver 12 has a simple internal structure and a low working frequency as compared to the source driver 14. Therefore, the gate driver 12 can be formed easily even by the low temperature polysilicon technology, which leads to the frame made narrower. Of course, it is needless to say that the gate driver 12 may comprise a silicon chip and may be mounted on the substrate 71 by utilizing the COG technology. The gate driver, switching devices including a pixel transistor, and like components may be formed by the high temperature polysilicon technology, or they may be formed using an organic material (organic transistor).

**[0111]** The gate driver 12 incorporates a shift register circuit 61a for gate signal line 17a, and a shift register circuit 61b for gate signal line 17b. Each shift register 61 is controlled using clock signals of positive and negative phases (CLKxP and CLKxN) and start pulse (STx). Preferably, there are additionally used an enable signal (ENABL) for controlling outputting/non-outputting from gate signal lines and an up-down (UPDOWN) signal for reversing the shifting direction up and down. It is also preferable to provide an output terminal or the like for checking whether the start pulse has been shifted by the shift register and outputted therefrom. The timing for shifting by the shift register is controlled using a control signal from control IC 81. The gate driver 12 further incorporates a level shifting circuit for shifting an extraneous data level, and an inspection circuit.

**[0112]** Since the shift register circuit 61 has a low buffer capacity, the shift register circuit 61 cannot directly drive gate signal lines 17. For this reason, at least two inverter circuits 62 are formed between the output of the shift register 61 and an associated output gate 63 adapted to drive gate signal line 17.

**[0113]** Similarly, in the case where the source driver 14 is formed directly on the substrate 71 by such polysilicon technology as the low temperature polysilicon technology, plural inverter circuits are formed between an analog switch gate such as a transfer gate for driving source signal line 18 and a shift register of the source

driver 14. The source driver and the gate driver share the following feature (i.e., the feature related to an inverter circuit provided between the output of a shift register and an outputting section (including an output gate or a transfer gate)) adapted to drive signal lines.

[0114] Though an output of the source driver 14 is shown to connect directly to source signal line 18 in FIG. 6 for example, actually the output of the shift register of the source driver is connected to multiple inverter circuits, the outputs of which are connected to analog switch gates such as transfer gates.

[0115] Each inverter circuit 62 comprises a p-channel MOS transistor and an n-channel MOS transistor. As described above, an output terminal of shift register 61 of the gate driver 12 is connected to multiple inverter circuits 62 and the output of the final inverter circuit is connected to associated output gate circuit 63. Each inverter circuit 62 may comprise transistors of p-channel type only. In this case, inverter circuit 62 may serve as a mere gate circuit but not as an inverter.

[0116] FIG. 8 is a diagram illustrating an arrangement for supply of signals and voltage in the display apparatus or the configuration of the display apparatus according to the present invention. Signals from control IC 81 are fed to source driver 14a (power supply wiring, data wiring or the like) through flexible board 84.

[0117] In FIG. 8, control signals for gate driver 12 are generated at control IC 81, level-shifted at source driver 14 and then applied to gate driver 12. Since the driving voltage of source driver 14 ranges from 4 to 8 (V), a control signal having an amplitude of 3.3 (V) can be converted into a signal having an amplitude of 5 (V), which can be received by gate driver 12.

[0118] Source driver 14 is preferably provided therein with image memory. The image memory may store image data previously subjected to an error diffusion process or a dither process. Such an error diffusion process or dither process can convert 260,000-color display data into, for example, 4096-color display data, thereby contributing to a reduction in the capacity of the image memory. The error diffusion process or the like can be achieved with error diffusion controller 81. Image data may be subjected to the dither process and then further subjected to the error diffusion process. The matter described above holds true for a reverse error diffusion process.

[0119] Though the component 14 in FIG. 8 or the like is referred to as the source driver, the component 14 may incorporate not only a mere driver circuit but also a power supply circuit, buffer circuit (including such a circuit as a shift register), data converter circuit, latch circuit, command decoder, shift circuit, address translator circuit, image memory or the like. It is needless to say that a three-side-free arrangement (structure) and a driving method, which will be described with reference to FIG. 9 and the like, are applicable to the configuration described with reference to FIG. 8.

[0120] For the display panel to be used in an informa-

tion display apparatus such as a mobile phone, it is preferable that source driver (circuit) 14 and gate driver (circuit) 12 are mounted (formed) on one side of the display panel. (It should be noted that an arrangement such that driver ICs (circuits) are mounted (formed) on one side of a panel is referred to as a three-side-free arrangement (structure). It has been a conventional practice to mount gate driver 12 and source driver 14 on X-side and Y-side, respectively, of a display region.) The three-side-free arrangement allows the center line of screen 50 to coincide with the center line of the display apparatus easily and makes the mounting of driver ICs easy. The gate driver may be formed in a three-side-free arrangement by the high temperature or low temperature polysilicon technology. (That is, at least one of source driver 14 and gate driver 12 shown in FIG. 9 is formed directly on substrate 71 by the polysilicon technology.)

[0121] The term "three-side-free arrangement" is meant to include not only an arrangement having ICs mounted or formed directly on substrate 71 but also an arrangement in which a film attached with source driver (circuit) 14, gate driver (circuit) 12 and the like (by TCP or TAB technology) is bonded to one side (or essentially one side) of substrate 71. That is, the term "three-side-free arrangement" is meant to include any arrangement or disposition having two sides on which any IC is not mounted or fitted as well as all arrangements similar thereto.

[0122] When gate driver 12 is disposed beside source driver 14 as shown in FIG. 9, gate signal lines 17 need to be arranged along side C.

[0123] The portion indicated by thick solid line in FIG. 9 and the like is a portion in which gate signal lines are formed side by side. Accordingly, the portion designated by reference character b (lower portion in the figure) is formed with parallel gate signal lines 17 in the number shown, while the portion designated by reference character a (an upper portion in the figure) is formed with one gate signal line 17.

[0124] The pitch at which gate signal lines 17 are formed on C side is not less than 5  $\mu\text{m}$  and not more than 12  $\mu\text{m}$ . If the pitch is less than 5  $\mu\text{m}$ , noise occurs at an adjacent gate signal line by the influence of parasitic capacity. According to an experiment, the influence of parasitic capacity becomes significant when the pitch is 7  $\mu\text{m}$  or less. When the pitch further decreases to a value less than 5  $\mu\text{m}$ , image noise such as beat noise occurs vigorously on the display screen. Particularly, noise occurs differently between the right-hand side and the left-hand side of the screen and it is difficult to reduce such image noise as beat noise. On the other hand, if the pitch exceeds 12  $\mu\text{m}$ , the frame width D of the display panel becomes so large that the display panel cannot be put to practical use.

[0125] The aforementioned image noise can be reduced by providing a ground pattern (which is a conductive pattern set to have a fixed voltage or a stabilized potential as a whole) as a layer underlying or overlying

the portion formed with gate signal lines 17. Alternatively, a separately-formed shielding plate or foil (which is a conductive pattern set to have a fixed voltage or a stabilized potential as a whole) should be placed over gate signal lines 17.

**[0126]** Though the gate signal lines 17 formed on side C in FIG. 9 may comprise an ITO electrode each, each of them preferably comprise a stack of ITO film and metal thin film so as to have decreased resistance. Alternatively, each gate signal line preferably comprises a metal film. In stacking metal thin film on ITO, a titanium film is formed over ITO and then a thin film of aluminum or of alloy comprising aluminum and molybdenum is formed over the titanium film. Alternatively, a chromium film is formed over ITO. In the case where each gate signal line comprises metal film, the metal film comprises an aluminum thin film or a chromium thin film. The matters described above hold true for other embodiments of the present invention.

**[0127]** There is no limitation to the arrangement shown in FIG. 9 or the like in which gate signal lines 19 are disposed (or formed) on one side of display region 50. Gate signal lines 19 may be disposed (or formed) on opposite sides of display region 50. For example, it is possible that gate signal lines 17a are disposed (or formed) on the right-hand side of display region 50 while gate signal lines 17b disposed (or formed) on the left-hand side of display region 50. The matter thus described hold true for other embodiments.

**[0128]** Source driver 14 and gate driver 12 may be formed into a single chip. With such a single chip, it is sufficient to mount a single IC chip on the display panel. Accordingly, the mounting cost can be reduced. In addition, different voltages to be used in the single chip driver IC can be generated at a time.

**[0129]** There is no limitation to the above-described feature that source driver 14 and gate driver 12 are each formed from a semiconductor wafer such as silicon and then mounted on the display panel. It is needless to say that they may be formed directly on display panel 82 by the low temperature polysilicon technology or the high temperature polysilicon technology.

**[0130]** In the configuration shown in FIG. 1 or the like, EL device 15 is connected to Vdd potential through transistor 11a. Such a configuration, however, involves a problem of different driving voltages to be applied to organic EL devices for developing respective colors. For example, when a current of 0.01 (A) is allowed to pass per unit cm<sup>2</sup>, the terminal voltage of EL device for blue (B) assumes 5 (V) while that of each of EL devices green (G) and red (R) assumes 9 (V). That is, G and R are different from B in terminal voltage. Therefore, B is different from G and R in the source-drain voltage (SD voltage) of transistor 11a to be held. For this reason, the transistors associated with respective color EL devices have different off-leak currents due to different source-drain voltages (SD voltages). When such off-leak currents occur with a difference in off-leak characteristic be-

tween EL devices for respective colors, a complicated display state results where flicker occurs with the colors being out of balance and the gamma characteristic deviates in accordance with the correlation with the color of emitted light.

**[0131]** To deal with this problem, an arrangement is employed such that the potential at the cathode of at least one of R, G and B devices is made different from that at the cathode of each of the other devices. Alternatively, another arrangement may be employed such that the Vdd potential of at least one of R, G and B devices is made different from that of each of the other devices.

**[0132]** It is needless to say that terminal voltages of EL devices for R, G and B are preferably made as equal to each other as possible. Materials and structures needs to be selected so that the terminal voltages of R, G and B devices assume respective values not higher than 10 (V) on condition that the devices each exhibits a white peak luminance and the color temperatures of the respective devices are in the range not lower than 7000 K and not higher than 12,000 K. Further, the difference between the maximum terminal voltage and the minimum terminal voltage of the EL devices for R, G and B need be not more than 2.5 (V), preferably not more than 1.5 (V). While the foregoing embodiment uses the colors of R, G and B, there is no limitation to these colors. This will be described later.

**[0133]** While the pixels are adapted to develop the three primary colors, namely R, G and B, they may be adapted to develop three colors, namely cyan, yellow and magenta. It is possible to use two colors, namely B and yellow. Of course, it is possible to use a monochromatic color. It is possible to use six colors, namely R, G, B, cyan, yellow and magenta. It is also possible to use five colors, namely R, G and B, cyan and magenta. These colors offer widened color reproducible ranges of natural colors and hence are capable of realizing favorable display. Another possible combination of colors includes four colors, namely R, G, B and white. Yet another possible combination of colors includes seven colors, namely R, G, B, cyan, yellow, magenta, black and white. It is possible that white light emitting pixels are formed (or made) throughout display region 50 and R, G and B color filters are provided on the pixels to realize a three-primary-color display. In this case it is sufficient to stack light-emitting materials for respective colors on EL layers. Alternatively, each pixel is dividedly painted with B and yellow for example. As described above, the EL display apparatus according to the present invention is not limited to color display based on the R, G and B three primary colors.

**[0134]** Three major methods can be used in causing an organic EL display panel to realize color display, and the color conversion method is one of them. According to this method, it is sufficient to form a single luminescent layer for blue and the other colors, namely green and red, required for full color display are produced by

color conversion from blue light. Accordingly, there is no need to provide layers painted into R, G and B separately. This method has an advantage that there is no need to provide a set of organic EL materials for respective of R, G and B. The color conversion method is free of a decrease in production yield, which is essential to the separately painting method. Either method is applicable to the EL display panel and the like according to the present invention.

**[0135]** In addition to the pixels for the three primary colors, white-light-emitting pixels may be formed. Such a white-light-emitting pixel can be realized by stacking light-emitting structures for R, G and B on each other. A set of pixels comprises pixels for the R, G and B three primary colors and a white-light-emitting pixel 16W. The formation of such a white-light-emitting pixel makes it easy to develop a white light peak luminance. Thus, brilliant image display can be realized.

**[0136]** In forming a set of pixels for the R, G and B three primary colors or like colors, the pixels for the respective colors are preferably made to have respective pixel electrodes having different areas. Of course, the pixel electrodes may have equal areas if the emission efficiencies of the respective colors are well-balanced and the color purities of the respective colors are also well-balanced. If one or plural colors are ill-balanced, it is preferable to adjust the light-emitting surface areas of the respective pixel electrodes. The light-emitting surface areas of the pixel electrodes for the respective colors should be determined based on their current densities. Specifically, on condition that white balance is adjusted in a state where the color temperatures are within the range not lower than 7000 K (Kelvin) and not higher than 12,000 K, the difference in current density between the pixel electrodes for the respective colors is adjusted to within  $\pm 30\%$ , preferably  $\pm 15\%$ . If the current density of the pixel electrode for one color is  $100 \text{ A/m}^2$  for example, the current density of the pixel electrode for any one of the three primary colors is made to assume a value not less than  $70 \text{ A/m}^2$  and not more than  $130 \text{ A/m}^2$ , more preferably not less than  $85 \text{ A/m}^2$  and not more than  $115 \text{ A/m}^2$ .

**[0137]** Organic EL device 15 is a self-luminescent device. When light of luminescence becomes incident on a transistor serving as a switching device, a photoconductor phenomenon occurs. The photoconductor phenomenon is a phenomenon that leakage at a switching device, such as a transistor, in an off-state (off-leak) increases due to optical excitation.

**[0138]** To deal with this problem, the present invention forms a light-shielding film underlying gate driver 12 (source driver 14 in some cases) and pixel transistors 11. The light-shielding film comprises a metal thin film such as chromium and has a thickness not less than 50 nm and not more than 150 nm. If the film thickness is too small, the film has a poor light-shielding effect. On the other hand, if the film thickness is too large, unevenness occurs, which makes the patterning of overlying

transistors 11 a difficult.

**[0139]** A planarization film having a thickness not less than 20 nm and not more than 100 nm, which comprises an inorganic material, is formed over the light-shielding film. One electrode of storage capacitor 19 may be formed using the layer of this light-shielding film. In this case the planarization film is preferably made as thin as possible so that the storage capacitor has a larger capacitance. Alternatively, it is possible that the light-shielding film is formed from aluminum and a silicon oxide film is formed over the surface of the light-shielding film by utilizing the anodic oxidation technique for use as a dielectric film of storage capacitor 19. On the planarization film are formed pixel electrodes of a high aperture (HA) structure.

**[0140]** The driver circuit 12 and the like should inhibit penetration of light not only from the reverse side but also from the obverse side. This is because malfunction of such a circuit is caused by the influence of the photoconductor phenomenon. For this reason, in the present invention, when the cathode comprises a metal film, the drivers 12 and the like are formed with such a cathode electrode covering the surface thereof to serve as the light-shielding film.

**[0141]** However, the formation of such a cathode over the drivers 12 possibly causes a malfunction of the drivers due to an electric field produced from the cathode or an electric contact between the cathode and the driver circuit. To deal with this problem, the present invention forms at least one organic EL film layer, preferably a plurality of organic EL film layers over the driver circuits 12 and the like at the same time with the formation of the organic EL film over pixel electrodes.

**[0142]** Since such an organic EL film is basically an insulator, the formation of the organic EL film over the drivers isolates the drivers from the cathode, thus overcoming the aforementioned problem.

**[0143]** When shortcircuiting occurs between terminals of one or more transistors 11 or between a signal line and a transistor 11, EL device 15 associated therewith lights constantly and such a pixel may become a luminescent spot. Since this luminescent spot is visually prominent, the luminescent spot needs to be turned into a black spot (or turned into the non-lighting state.) The pixel 16 constituting such a luminescent spot is detected and then the capacitor 19 of the pixel 16 is irradiated with laser light so that the terminals thereof are short-circuited. By so doing, the capacitor 19 becomes incapable of holding charge and, hence, the transistor 11a cannot allow current to pass therethrough any more.

**[0144]** It is desirable that the cathode film situated in a region to be irradiated with laser light be removed in advance in order to prevent a terminal electrode of the capacitor 19 from shortcircuiting with the cathode film.

**[0145]** A defect of transistor 11 of pixel 16 affects the driver circuit 14 or the like. For example, when a source-drain (SD) shortcircuit 562 occurs at driving transistor 11a as shown in FIG. 56, the source driver 14 is applied

with Vdd voltage of the panel. For this reason, the supply voltage of the source driver 14 is preferably set equal to or higher than the supply voltage Vdd of the panel. It is preferable to employ an arrangement capable of controlling the reference current to be used in the source driver 14 by means of an electron volume 561.

**[0146]** When SD shorrcircuit 562 occurs at transistor 11a, an excessive current passes through EL device 15. This causes the EL device 15 to light constantly (to become a luminescent spot). Such a luminescent spot is visually prominent as a defect. In FIG. 56 for example, when a source-drain (SD) shortcircuit occurs at transistor 11a, current from the Vdd voltage keeps on passing through the EL device 15 (while the transistor 11d is on.) Accordingly, the EL device 15 becomes a luminescent spot.

**[0147]** Further, such a SD shorrcircuit at the transistor 11a causes the Vdd voltage to be applied to source signal line 14, hence, to the source driver 14 while the transistor 11c is on. If the supply voltage of the source driver 14 is lower than Vdd, the source driver 14 might be broken down due to a voltage exceeding the withstand voltage. For this reason, the supply voltage of the source driver 14 is preferably set equal to or higher than the Vdd voltage (which is the higher voltage applied to the panel.)

**[0148]** The SD shortcircuit or a like defect at transistor 11a may result in the breakdown of the source driver of the panel as well as a spot defect. A luminescent spot, which is visually prominent, makes the panel faulty. For this reason, it is necessary to turn such a luminescent spot into a black defect by cutting off the wiring interconnecting transistor 11a and EL device 15. Optical means such as laser light may be used to cut off the wiring.

**[0149]** Though wiring is cut off in the above embodiment, the means for changing a luminescent spot into a black display spot is not limited thereto. As can be understood from FIG. 1 for example, a modification may be made so that the supply voltage Vdd for transistor 11a is constantly applied to the gate (G) terminal of the transistor 11a. For example, if the opposite terminals of the capacitor 19 are shortcircuited, the Vdd voltage is applied to the gate (G) terminal of transistor 11a. Accordingly, the transistor 11a is kept in complete off-state and hence does not allow current to pass through the EL device 15 any more. This can be easily realized through laser irradiation of capacitor 19, which can shortcircuit the capacitor electrodes.

**[0150]** Further, since the Vdd wiring actually underlies the pixel electrode, the display condition of the pixel can be controlled (or modified) through irradiation of the Vdd wiring and the pixel electrode with laser light.

**[0151]** Additionally, turning a luminescent spot into a black defect can also be realized by making open the channel between the source and the drain of the transistor 11a. Briefly, the transistor 11a is irradiated with laser light to make the channel thereof open. Similarly, the channel of the transistor 11d may be opened. When

the channel of the transistor 11b is opened, the associated pixel 16 cannot be selected and hence becomes a black display.

**[0152]** In order to turn pixel 16 into a black display, the EL device 15 may be deteriorated. For example, laser light is applied to the EL layer 15 to deteriorate the EL layer physically or chemically, thereby making the EL layer 15 incapable of luminescence (constant black display.) Irradiation with laser light can heat the EL layer 15 thereby deteriorating it easily. Use of an excimer laser can cause a chemical change of the EL layer 15 to take place easily.

**[0153]** While the pixel configuration shown in FIG. 1 is exemplified in the above-described embodiment, the present invention is not limited thereto. It is needless to say that the art of making wiring or electrodes open or shortcircuited by the use of laser light is applicable to other current-driven pixel configurations such as a current mirror circuit configuration and voltage-driven pixel configurations as shown in FIG. 62 or 51 or the like.

**[0154]** A method of driving the pixel configuration shown in FIG. 1 will be described below. As shown in FIG. 1, gate signal line 17a assumes a conducting state during a row selecting period, while gate signal line 17b assumes a conducting state during an unselecting period. (Here, application of a low-level voltage causes gate signal line 17 to assume the conducting state since the transistors 11 in FIG. 1 are p-channel transistors.)

**[0155]** Parasitic capacitance (not shown) is present in source signal line 18. Such parasitic capacity is produced due to a capacitance at each of the intersections of source signal line 18 and gate signal lines 17, a channel capacitance at each of transistors 11b and 11c, or the like.

**[0156]** Time  $t$  required for the value of current at source signal line 18 to vary is found from the equation:  $t = C \cdot V / I$ , where  $C$  represents the value of parasitic capacity,  $V$  represents a voltage applied to source signal line 18 and  $I$  represents a current passing through source signal line 18. Accordingly, the time  $t$  required for the value of current to vary can be shortened to nearly 1/10 by increasing current to a 10-fold value. The equation also indicates that even when the parasitic capacity in source signal line 18 increases to a 10-fold value, the value of current can be varied to a predetermined value. Therefore, increasing the value of current is effective in writing a predetermined current value within a short horizontal scanning period.

**[0157]** In order to charge/discharge the parasitic capacity of source signal line 18, a current having value  $I$  satisfying the formula:  $I > (C \cdot V) / t$  should be passed through source signal line 18.

**[0158]** If the input current is increased 10 times, the output current is also increased 10 times. In this case the luminance of the EL device is also raised 10 times, which means that a predetermined luminance cannot be obtained. In this respect, the present invention realizes the predetermined luminance by providing settings such

that the conducting period of transistor 17d in FIG. 1 is set to 1/10 of the conventional conducting period and the light-emitting period of EL device 15 set to 1/10 of the conventional light-emitting period.

**[0159]** That is, in order to program transistor 11a of pixel 16 with a predetermined current value after sufficient charge/discharge of the parasitic capacity of source signal line 18, source driver 14 needs to output a relatively high current. However, when such a high current is passed through source signal line 18, the pixel is programmed with the value of this current undesirably, with the result that the EL device 15 is fed with a higher current than the predetermined current. For example, if programming is made with a 10-fold current, naturally a 10-fold current passes through EL device 15, thus causing the EL device 15 to emit light at a 10-fold luminance. To obtain the predetermined luminance of emission, the time period for which the EL device 15 is fed with the current should be shortened to 1/10. Such a driving method is capable of sufficiently charging/discharging the parasitic capacity of source signal line 18 and obtaining the predetermined luminance of emission.

**[0160]** The above-described feature that a 10-fold current value is written to transistor 11a of a pixel (more exactly, the terminal voltage of capacitor 19 is set to a predetermined value) and the on-time of EL device 15 is shortened to 1/10, is an mere example. In some cases it is possible that a 10-fold current value is written to transistor 11a of a pixel and the on-time of EL device 15 is shortened to 1/5. Alternatively, as the case may be, it is possible that a 10-fold current value is written to transistor 11a of a pixel and the on-time of EL device 15 is shortened to 1/2.

**[0161]** The present invention is characterized by a driving method in which a current to be written to a pixel is set to have a value different from the predetermined value while EL device 15 is fed with a current intermittently. For easy explanation, the driving method is herein described as having a feature that a current N times as high as the predetermined current is written to transistor 11 of a pixel while the on-time of EL device 15 is set 1/N times the predetermined time period. However, the present invention is not limited to this feature. It is needless to say that it is possible that an N1-fold current is written to transistor 11 of a pixel while the on-time of EL device 15 is 1/N2 times as large as the predetermined time period, (where N1 and N2 are different from each other.)

**[0162]** The "predetermined current", as used herein, means a current required to realize a gray scale display corresponding to an image signal. The predetermined current has a current value varying depending on the specifications of the EL display apparatus. For example, the current value ranges from about 0.25  $\mu\text{A}$  to about 0.75  $\mu\text{A}$  when a luminance of 150 nt is to be realized. Therefore, if  $N = 4$ , a current value of from about 1  $\mu\text{A}$  to about 3  $\mu\text{A}$  is to be written to transistor 11. Similarly, if  $N = 8$ , the current value to be written ranges from about

2  $\mu\text{A}$  to about 6  $\mu\text{A}$ . If  $N = 2$ , the current value to be written ranges from about 0.5  $\mu\text{A}$  to about 1.5  $\mu\text{A}$ .

**[0163]** The intervals at which the intermittent passage of current is performed are not limited to equal intervals.

5 For example, random intervals are possible (provided the display period or the non-display period, as a whole, has a predetermined value (fixed ratio).) The intervals may differ depending on R, G and B. That is, each of R, G and B display periods or non-display periods should be adjusted to a predetermined value (fixed ratio) so as to optimize the white balance.

10 **[0164]** For easy explanation, the on-time is described to be 1/N of 1F (one field or one frame period), 1F being used as a reference. However, a time period required for selection of one pixel row and programming with a current value (which is usually one horizontal scanning period) should be taken into account. In addition, errors may occur depending on the scanning conditions. Thus, the above description is merely provided for convenience in making the explanation easy and there is no limitation thereto.

15 **[0165]** For example, it is possible that pixel 16 is programmed with a 10-fold current ( $N = 10$ ) and EL device is caused to light for a 1/5 period. In this case EL device 15 lights at a two-fold luminance ( $10/5 = 2$ ). Alternatively, it is possible that pixel 16 is programmed with a two-fold current ( $N = 2$ ) and EL device 15 is caused to light for a 1/4 period. In this case EL device 15 lights at a 0.5-fold luminance ( $2/4 = 0.5$ ). That is, according to the present invention, a pixel is programmed with an N-fold current ( $N$  is not equal to 1) and a display which is not in a constant lighting state (i.e. 1/1, which does not mean intermittent driving) is realized. In a wider sense, the present invention provides a driving method which includes cutting off feeding of current to EL device 15 at least once in a one-frame (or one-field) period. The present invention also provides a driving method which includes programming pixel 16 with a current higher than the predetermined value while performing intermittent display necessarily.

20 **[0166]** Organic (or inorganic) EL display apparatus involve a problem essential to their display method which is basically different from the display method applied to such display apparatus as a CRT adapted to display an image as an aggregate of line displays provided by means of an electron gun. Since such an EL display apparatus is configured to hold a current (or a voltage) written to a pixel for a one-F (one-field or one-frame) period. This configuration gives rise to a problem of a blurred outline of an image if it is displayed in a motion picture display state.

25 **[0167]** According to the present invention, EL device 15 is fed with a current for only a 1F/N period of a one-frame period and is not fed with a current for the rest of the frame period ( $(1F(N-1)/N)$ ). Consideration is given to the case where one spot of the screen driven according to this driving method is observed. In this display state, a display based on image data and a black display (non-

lighting state) alternate with each other on a 1F basis. That is, such a display based on image data appears at time intervals (intermittent display). When a display based on motion picture data is realized by such intermittent display driving, the image has no blurred outline, which means that a display of high quality is realized. Thus, the intermittent display method can realize a motion picture display close to that realized by a CRT. Further, since the main clock used in the circuit is a conventional one in spite of intermittent display, no increase occurs in the power consumption of the circuit.

**[0168]** In the case of a liquid crystal display panel, image data (voltage) based on which light modulation is performed is held in the liquid crystal layer. Therefore, data applied to the liquid crystal layer needs to be rewritten in order to insert a black display. For this reason, it is required that the value of the clock for operating source driver 14 be made higher while source signal line 18 applied with image data and black display data alternately. Accordingly, the value of the main clock of the circuit needs to be raised in order to realize insertion of black (intermittent display of a black display or the like.) In addition, image memory for extending the time axis is also needed.

**[0169]** In a pixel configuration of the EL display panel of the present invention as shown in FIG. 1, 2 or 3B or the like, image data is held in the capacitor 19. A current corresponding to the terminal voltage of this capacitor 19 is passed through EL device 15. Thus, image data is not held in a light modulation layer as in the liquid crystal display panel.

**[0170]** According to the present invention, the current to be passed through EL device 15 is controlled by merely turning on/off switching transistor 11d or 11e or the like. That is, even when the current  $I_w$  passing through EL device 15 is cut off, image data is held as it is in the capacitor 19. Therefore, when the switching device 11d or the like is turned off at the next timing to feed EL device 15 with a current, this current has a current value equal to that of the current passed just before. The present invention does not need to raise the main clock of the circuit even when insertion of black (intermittent display of a black display or the like) is to be made. Nor does the present invention need to extend the time axis and, hence, image memory therefor is not needed either. Organic EL device 15 requires a shortened time for the device 15 to emit light from the time when it is fed with current and hence is responsive at a high speed. For this reason, the present invention is suitable for motion picture display and is capable of solving the motion picture display problem which is essential to display panels of the conventional data holding type (liquid crystal display panel, EL display panel, and the like) by intermittent display.

**[0171]** In the case of a large-sized display apparatus having an increased source capacitance, the source current should be increased 10 times or more. Generally, when the source current value is increased N times,

it is sufficient to set the conducting period for gate signal line 17b (transistor 11d) to  $1F/N$ . By so doing, the present invention is applicable to television sets, monitoring display apparatus, and the like.

**[0172]** The driving method according to the present invention will be described more specifically with reference to the drawings. The parasitic capacity of source signal line 18 is produced due to the coupling capacitance between adjacent source signal lines 18, the capacitance of the buffer output of source driver IC (circuit), the capacitance at a crossing point between gate signal line 17 and source signal line 18, and the like. Such a parasitic capacity is usually 10 pF or more. In the case of voltage-based driving, driver IC 14 applies a voltage to source signal line 18 with a low impedance and, hence, some increase in the parasitic capacity does not raise any driving problem.

**[0173]** However, in the case of current-based driving, image display of a black level, in particular, requires programming of capacitor 19 of a pixel with a faint current of 20 nA or lower. For this reason, when the parasitic capacity takes place as having a value more than a predetermined value, the parasitic capacity cannot be charged/discharged within the time required for one pixel row to be programmed. (The time required is usually a 1H period or shorter but is not limited thereto since two pixel rows may be programmed at a time.) If charge/discharge is impossible within a 1H period, writing to a pixel is insufficient and, hence, display with a desired resolution cannot be realized.

**[0174]** In the case of the pixel configuration shown in FIG. 1, a programming current  $I_w$  passes through source signal line 18 during current-based programming as shown in FIG. 3(a). The current  $I_w$  is passed through transistor 11a to set (program) a voltage of capacitor 19 so that the voltage for causing the current  $I_w$  to pass is held. At this time transistor 11d is in an open state (off-state).

**[0175]** In turn, transistors 11c and 11b are turned off and transistor 11d operates in the period for feeding EL device 15 with a current as shown in FIG. 3(b). Specifically, off-voltage ( $V_{gh}$ ) is applied to gate signal line 17a to turn transistors 11b and 11c off. On the other hand, on-voltage ( $V_{gl}$ ) is applied to gate signal line 17b to turn transistor 11d off.

**[0176]** Now, assuming that the current  $I_w$  is 10 times as high as a current (of a predetermined value) to be passed conventionally, a current passing through EL device 15 in FIG. 3(b) is also 10 times as high as the predetermined value. Accordingly, EL device 15 emits light at a luminance 10 times as high as a predetermined value. That is, the display luminance B of the display panel becomes higher with increasing magnification N, as shown in FIG. 12. Therefore, the luminance and the magnification are proportional to each other. With  $1/N$  driving, on the other hand, the luminance and the magnification are inverse proportion to each other.

**[0177]** If transistor 11d is caused to assume on-state



for only  $1/N$  of the time period for which transistor 11 assumes on-state conventionally and to assume off-state for the rest  $((N-1)/N)$  of the time period, the mean luminance throughout 1F becomes a predetermined luminance. This display state is close to a display state of a screen scanned with an electron gun in a CRT. The difference therebetween resides in that the region displaying an image or the lighting region is  $1/N$  of the whole screen (which is equal to 1.) (The lighting region in the CRT corresponds to one pixel row (one pixel in a strict sense).)

**[0178]** In the present invention,  $1F/N$  image display region 53 shifts from the upper side to the lower side of screen 50, as shown in FIG. 13(b). EL device 15 is fed with current for only a  $1F/N$  period and is not fed with current for the rest  $(1F-(N-1)/N)$  of the period. Therefore, each pixel displays intermittently. However, the image is seen to be retained at human eyes through afterimage and, hence, the whole screen is seen to display uniformly.

**[0179]** It should be noted that written pixel row 51a forms a non-lighting display 52a, as shown in FIG. 13. However, this occurs in the pixel configurations shown in Figs. 1 and 2. Such a written pixel row 51a may assume a lighting state in the current mirror pixel configuration shown in FIG. 38 or the like. In the present description, however, the pixel configuration shown in FIG. 1 is mainly exemplified for easy explanation. The method illustrated in FIG. 13 or 16 or the like, which includes programming with a current higher than the predetermined driving current  $I_w$  and intermittent driving, will be referred to as an N-fold pulse driving method.

**[0180]** In this display state, a display based on image data and a black display (non-lighting state) alternate with each on a 1F basis. That is, such a display based on image data appears at time intervals (intermittent display). Since liquid crystal display panels (and EL display panels other than the EL display panels of the present invention) are configured to hold data at pixels for a 1F period, an image on a motion picture display cannot keep up with image data changing, resulting in blurred motion picture (blurred image outline). According to the present invention, however, an image is displayed intermittently and, hence, satisfactory display state with no blurred outline can be realized. Thus, the intermittent display method can realize a motion picture display close to that realized by a CRT.

**[0181]** The timing chart of such intermittent display is shown in FIG. 14. The pixel configuration shown in FIG. 1 is exemplified in the present invention unless otherwise particularly specified. As seen from FIG. 14, in each selected pixel row (selecting period is 1H), gate signal line 17b is under application of off-voltage (Vgh) (see FIG. 14(b)) while gate signal line 17a is being applied with on-voltage (Vgl) (see FIG. 14(a).) During this period, EL device 15 is not fed with current (in a non-lighting state). In an unselected pixel row, on the other hand, gate signal line 17a is under application of off-volt-

age (Vgh) and gate signal line 17b is under application of on-voltage (Vgl). During this period, EL device 15 is fed with current (in a lighting state). In the lighting state, EL device lights at a luminance N times as high as a predetermined value  $(N \cdot B)$  for a time period of  $1F/N$ . Thus, a means display luminance of the display panel throughout a 1F period can be found from the equation:  $(N \cdot B) \times (1/N) = B$  (predetermined luminance).

**[0182]** FIG. 15 illustrates an embodiment in which the operation illustrated in FIG. 14 is applied to pixel rows. Specifically, voltage waveforms to be applied to respective gate signal lines 17 are shown. Each voltage waveform comprises off-voltage Vgh (H level) and on-voltage Vgl (L level). Additional numerals such as (1) and (2) indicate the row numbers of selected pixel rows.

**[0183]** In FIG. 15, when gate signal line 17a(1) is selected (at voltage Vgl), a programming current is passed through source signal line 18 from transistor 11a of the selected pixel row toward source driver 14. This programming current is N times as high as a predetermined value. (Description is made with  $N = 10$  for easy explanation. Since the predetermined value is the value of a data current causing an image to be displayed, the predetermined value is not a fixed value unless white raster display is given.) Accordingly, capacitor 19 is programmed so that a 10-fold current will pass through transistor 11a. When pixel row (1) is in the selected state, gate signal line 17b(1) of the pixel configuration of FIG. 1 is under application of off-voltage (Vgl), thus preventing current from passing through EL device 15.

**[0184]** After lapse of 1H, gate signal line 17a(2) is selected (at voltage Vgl) and a programming current is passed through source signal line 18 from transistor 11a of the selected pixel row toward source driver 14. This programming current is N times as high as a predetermined value. (Description is made with  $N = 10$  for easy explanation.) Accordingly, capacitor 19 is programmed so that a 10-fold current will pass through transistor 11a. When pixel row (2) is in the selected state, gate signal line 17b(2) of the pixel configuration of FIG. 1 is under application of off-voltage (Vgl), thus preventing current from passing through EL device 15. On the other hand, the preceding pixel row (1) assumes a lighting state because gate signal line 17a(1) and gate signal line 17b(1) of pixel row (1) are applied with off-voltage (Vgh) and on-voltage (Vgl), respectively.

**[0185]** After lapse of another 1H, gate signal line 17a(3) is selected and gate signal line 17b(3) is applied with off-voltage (Vgh) to prevent current from passing through EL device 15 of pixel row (3). On the other hand, the preceding pixel rows (1) and (2) assume the lighting state because gate signal lines 17a(1) and 17a(2) thereof are applied with off-voltage (Vgl) and gate signal lines 17b(1) and 17b(2) thereof are applied with on-voltage (Vgl).

**[0186]** The above-described operation is synchronized with a 1H synchronizing signal. With the driving method of FIG. 15, however, a 10-fold current passes

through EL device 15 and, accordingly, display screen 50 displays an image at a luminance having about a 10-fold value. Of course, it is needless to say that the programming current should be decreased to 1/10 in order to realize a display at the predetermined luminance. With such a 1/10 current, however, insufficient writing occurs due to parasitic capacity and the like. The basic concept of the present invention is that programming is made with a high current to avoid such insufficient writing while black display 52 is inserted to obtain the predetermined luminance.

**[0187]** An important feature of the driving method of the present invention resides in that a current higher than the predetermined current is caused to pass through EL device 15 thereby sufficiently charging/discharging the parasitic capacity of source signal line 18. Therefore, EL device 15 need not necessarily be fed with a current N times as high as the predetermined current. For example, a configuration may be employed such that a current path is formed in parallel with EL device 15 (specifically, a dummy EL device is formed which has been subjected to such processing as to prevent the dummy EL device from emitting light, for example, formation of a light-shielding film thereover) and a current is dividedly fed to the dummy EL device and EL device 15. When the signal current is 0.2  $\mu\text{A}$  for example, the programming current adjusted to 2.2  $\mu\text{A}$  is passed through transistor 11a. Of this current, the signal current of 0.2  $\mu\text{A}$  is fed to EL device 15 while the remaining current of 2.0  $\mu\text{A}$  fed to the dummy EL device. Such a driving method is exemplified. That is, dummy pixel row 281 shown in FIG. 27 is made constantly selected. The dummy pixel row is made to fail to emit light or formed with a light-shielding film to prevent emission of light from being recognized visually.

**[0188]** With such an arrangement, programming can be made so that a current N times as high as the predetermined current will pass through driving transistor 11a by increasing the current to pass through source signal line 18 N times, while at the same time a current sufficiently lower than the N-fold current can be passed through EL device 15. The above-described method does not need to provide non-lighting region 52 shown in FIG. 5 and hence can allow the whole display region 50 to be used as image display region 53.

**[0189]** FIG. 13(a) illustrates a written state of display screen 50. Reference character 51a used in FIG. 13(a) designates a written pixel row. Source driver 14 feeds the programming current to each source signal line 18. In FIG. 3 or the like, writing is made to a single pixel row in a 1H period. However, there is no particular limitation to 1H but it is possible to employ a 0.5H period or a 2H period. Though the programming current is written to source signal line 18 according to the above description, the present invention is not limited to such a current-based programming method but may employ a voltage-based programming method (illustrated in FIG. 62 or the like) in which source signal line 18 is written with a volt-

age.

**[0190]** In FIG. 13(a), when gate signal line 17a is selected, transistor 11a is programmed with a current passing through source signal line 18. At that time, gate signal line 17b is applied with off-voltage and, as a result, EL device 15 is not fed with a current. This is because when transistor 11d is in on-state, a capacitance component of EL device 15 is seen from source signal line 18 and capacitor 19 cannot sufficiently accurately be programmed with current because of the influence of the capacitance. Accordingly, in the configuration of FIG. 1 for example, a pixel row written with current forms non-lighting region 52, as shown in 13(b).

**[0191]** If programming is made with an N-fold current (here,  $N = 10$  as described earlier), the luminance of the screen is increased 10 times. Therefore, non-lighting region 52 should cover 90% of display region 50. Specifically, if an image display region has 220 horizontal scanning lines ( $S = 220$ ) in Quarter Common Intermediate Format (QCIF), 22 lines should form display region 53, with the rest ( $220 - 22 = 198$ ) forming non-display region 52. Generally speaking, if the number of horizontal scanning lines (the number of pixel rows) is S, an S/N region is used as display region 53 which is caused to emit light at an N-fold luminance. This display region 53 is scanned vertically of the screen. Thus, the remaining  $S(N-1)/N$  region is used as non-lighting region 52. This non-lighting region forms a black display (luminescenceless region.) Such a luminescenceless region 52 is realized by turning transistor 11d off. Though the display region 53 has been described to light at an N-fold luminance, it is needless to say that the value of N can be controlled by brightness adjustment or gamma adjustment, as a matter of course.

**[0192]** In the above-described embodiment, non-lighting region 52 should cover 90% of display region 50 because if programming is made with an N-fold current, the luminance of the screen is increased 10 times. However, this feature is not limited to an arrangement where R, G and B pixels form non-lighting regions 52 in the same manner. For example, the proportion of non-display region 52 may be varied depending on R, G and B; for example, R pixel provides non-lighting region 52 covering 1/8 of display region 50, G pixel provides non-lighting region 52 covering 1/6 of display region 50, and B pixel provides non-lighting region 52 covering 1/10 of display region 50. Alternatively, it is possible to employ an arrangement such as to adjust non-lighting region 52 (or lighting region 53) in individual R, G and B pixels. To realize these arrangements, gate signal lines 17b for respective of R, G and B need to be provided. By making individual adjustment of R, G and B possible, it becomes possible to control white balance as well as to ease color balance adjustment at each gray level (see FIG. 41.)

**[0193]** As shown in FIG. 13(b), pixel rows including written pixel row 51a form non-lighting region 52, while an S/N region (which is 1 F/N in terms of time) in a screen portion above written pixel row 51a forms lighting region

53. (In the case of scanning upwardly from the lower side of the screen, lighting region 53 is situated on the opposite side.) In this image display state, band-like display region 53 shifts downwardly from the upper side of the screen.

**[0194]** In the display shown in FIG. 13, one display region 53 shifts downwardly from the upper side of the screen. If the frame rate is low, shifting of display region 53 is visually recognized. This is likely particularly when the viewer blinks his or her eyes or moves his or her face up and down.

**[0195]** To solve this problem, display region 53 should be split into plural sections as shown in FIG. 16. If the total sum of the areas of the sections is equal to the area of an  $S(N-1)/N$  region, the brightness of this display is equal to that of the display shown in FIG. 13. Display region 53 need not necessarily be split equally. Similarly, sections of non-display region 52 split need not necessarily be uniform.

**[0196]** By thus splitting display region 53 into plural sections, the screen provides a display with reduced flicker. Thus, favorable image display free of flicker can be realized. Display region 53 may be split into smaller sections. However, with finer splitting, the motion picture display performance lowers.

**[0197]** FIG. 17 shows a voltage waveform applied to each gate signal line 17 and the luminance of the EL device emitting light. As can be clearly seen from FIG. 17, the  $(1F/N)$  period for which gate signal line 17b is applied with  $V_{gl}$  is divided into plural subperiods (the number of subperiods is  $K$ .) That is, gate signal line 17b is applied with  $V_{gl}$  for a  $1F/(K/N)$  period  $K$  times. Such a control can inhibit the occurrence of flicker and realize image display with a low frame rate. It is also preferable to employ such an arrangement as to allow the number of such image divisions to be varied. For example, an arrangement is possible such as to detect a change resulting from depressing of a brightness adjuster switch or turning of a brightness adjuster volume and then vary the value of  $K$ . Another possible arrangement allows the user to adjust the luminance. Yet another possible arrangement allows the user to vary the number of  $K$  depending on the details of or data on an image to be displayed manually or is capable of varying the number of  $K$  automatically.

**[0198]** While description has been made of the feature that the  $(1F/N)$  period for which gate signal line 17b is applied with  $V_{gl}$  is divided into plural subperiods (the number of subperiods is  $K$ ) and gate signal line 17b is applied with  $V_{gl}$  for a  $1F/(K/N)$  period  $K$  times, there is no limitation to this feature. Gate signal line 17b may be applied with  $V_{gl}$  for the  $1F/(K/N)$  period  $L$  times ( $L \neq K$ ). Thus, the present invention has the feature that an image is displayed by controlling the period (time) for which EL device 15 is fed with current. Therefore, the art of repeating the  $1F/(K/N)$  period  $L$  times ( $L \neq K$ ) is included in the technical concept of the present invention. The luminance of image 50 can be varied digitally

by varying the value of  $L$ . For example, the difference between  $L = 2$  and  $L = 3$  corresponds to a 50 % change in luminance (contrast). In splitting display region 53, the period for which gate signal line 17b is applied with  $V_{gl}$  is not necessarily constant.

**[0199]** The above-described embodiment is an embodiment in which display screen 50 is turned on/off (into lighting state/non-lighting state) by cutting of the current to be passed through EL device or passing the current through EL device. That is, the embodiment is configured to pass generally equal current through transistor 11a plural times by the charge held in capacitor 19. However, the present invention is not limited thereto. The present invention may employ such a configuration as to turn display screen 50 on/off (into lighting state/non-lighting state) by charging/discharging capacitor 19.

**[0200]** FIG. 18 shows a voltage waveform applied to each gate signal line 17 for realizing the image display state shown in FIG. 16. The difference between FIG. 18 and FIG. 15 resides in the operation of gate signal line 17b. Gate signal line 17b is turned on/off (with  $V_{gl}$  or  $V_{gh}$ ) plural times, the number of times corresponding to the number of split sections of the screen. Since other features are the same as the corresponding features of FIG. 15, description thereof will be omitted.

**[0201]** Since the EL display apparatus assumes a completely non-lighting state to provide a black display, a drop in contrast, which is essential to intermittent display performed by a liquid crystal display panel, does not occur. With the configuration shown in FIG. 1, intermittent display can be realized by merely on-off controlling transistor 11d. With each of the configurations shown in Figs. 38 and 51, intermittent display can be realized by merely on-off controlling transistor 11e. This is because capacitor 19 stores image data. (The number of gray levels is infinite since such stored image data is an analog value.) Specifically, each pixel 16 stores image data for a  $1F$  period. Whether or not EL device 15 is to be fed with a current corresponding to image data stored in each pixel 16 is controlled by control over transistors 11d and 11e. Thus, the above-described driving method is applicable not only to the current-driven configuration but also to the voltage-driven configuration. Stated otherwise, the driving method can realize intermittent driving of a configuration where each pixel is adapted to store a current to be passed through EL device 15 by turning on/off the driving transistor 11 on the current path between EL devices 15.

**[0202]** It is critical to maintain the terminal voltage of capacitor 19. This is because when the terminal voltage of capacitor 19 varies (i.e., capacitor 19 is charged/discharged) during a one-field (frame) period, the luminance of the screen varies, which results in flitter (flicker or the like) when the frame rate is lowered. It is required that the current to be passed through EL device 15 during a one-frame (field) period should not lower to 65% or less. The value of 65% means that assuming the first

current written to pixel 16 and passed through EL device 15 is 100%, the current to be passed through EL device 15 just before writing to the pixel 16 in the next frame (or field) is set to 65% or more.

[0203] In the configuration shown in FIG. 1, the number of transistors 11 forming one pixel is not varied irrespective of whether or not intermittent display is realized. That is, satisfactory current-based programming is realized by eliminating the influence of the parasitic capacity of source signal line 18 without changing the pixel configuration. In addition, picture motion display close to that provided by a CRT can be realized.

[0204] Since the clock for operating gate driver 12 is sufficiently slow as compared to the clock for operating source driver 14, the main clock of the circuit does not rise. Further, the value of N can be varied easily.

[0205] It is possible that the image displaying direction (image writing direction) at the first field (frame) is the direction from the upper side to the lower side of the screen while the image displaying direction at the second field (frame) is the direction from the lower side to the upper side of the screen. That is, the downwardly displaying direction and the upwardly displaying direction may alternate with each other repeatedly.

[0206] It is also possible that the image displaying direction at the first field (frame) is the direction from the upper side to the lower side of the screen and after the whole screen has been temporarily turned into a black display (into a non-display state), the image displaying direction is switched to the direction from the lower side to the upper side of the screen at the subsequent second field (frame). The whole screen may present a black display once.

[0207] Though the aforementioned driving method has been described to perform the writing to the screen in the direction from the upper side to the lower side of the screen or from the lower side to the upper side of the screen, there is no limitation to this feature. It is possible that the direction of writing to the screen from the upper side to the lower side or from the lower side to the upper side is fixed whereas non-display region 52 shifts in the direction from the upper side to the lower side of the screen at a first field (frame) while shifting in the direction from the lower side to the upper side of the screen at a subsequent second field. It is also possible that one frame is divided into three fields, the first, second and third ones of which are allocated to R, B and G, respectively, and, hence, three fields constitute one frame. It is also possible that R, G and B are switched one to another on a one horizontal scanning period (1H) basis. The above-described matters hold true for other embodiments of the present invention.

[0208] Non-display region 52 need not necessarily assume a completely non-lighting state. There arises no practical problem even when faint luminescence or faint image display occurs. Such faint luminescence or faint image display should be construed as a region having a lower display luminance than image display region 53.

The "non-display region 52" is meant to include even the case where one or two of R,G and B image display pixels are in the non-display state.

[0209] Basically speaking, with the luminance (brightness) of display region 53 being maintained to a predetermined value, the luminance of screen 50 rises with increasing area of display region 53. For example, with display region 53 having a luminance of 100 (nt), an increase in the proportion of display region 53 relative to the whole screen 50 from 10% to 20% raises the screen luminance twice. Thus, the display luminance of the screen can vary with varying area of display region 53 in the whole screen 50.

[0210] The area of display region 53 can be set as desired by controlling data pulse (ST2) to be fed to shift register 61. Further, the display state shown in FIG. 16 and the display state shown in FIG. 13 can be switched to each other by varying the data pulse input timing and the data pulse input cycle. An increase in the number of data pulses per 1F period causes screen 50 to become brighter, whereas a decrease in the number of data pulses causes screen 50 to become darker. Continuous application of data pulses results in the display state shown in FIG. 13, while intermittent inputting of data pulses results in the display state shown in FIG. 16.

[0211] FIG. 19(a) illustrates a method of brightness adjustment applicable to the case where display region 53 is continuous as shown in FIG. 13. The screen 50 at FIG. 19(a1) has the highest display luminance. The display luminance of the screen 50 at FIG. (a2) is next to the highest, whereas that of the screen 50 at FIG. (a3) is the lowest. The change in state from FIG. 19(a1) to FIG. 19(a3) and vice versa can be easily realized by control over the shifter register 61 of gate driver 12 and the like as described above. At that time, the voltage V<sub>dd</sub> in FIG. 1 need not be varied. That is, the luminance of display screen 50 can be varied without varying the supply voltage. The gamma characteristic of the screen does not vary at all with the change in state from FIG. 19(a1) to FIG. 19(a3). Thus, the contrast and the gray scale characteristic of a displayed image are maintained irrespective of the luminance of screen 50. This is an effect characteristic of the present invention. With the conventional screen luminance adjustment, the gray scale performance is low when the luminance of screen 50 is low. Specifically, though a 64-level gray scale display can be realized at a high luminance display, the number of displayable gray levels is decreased to a half or less at a low luminance display in most cases. In contrast, the driving method of the present invention is capable of realizing the maximum 64-level gray scale display without dependence on the display luminance of the screen.

[0212] FIG. 19(b) illustrates a method of brightness adjustment applicable to the case where display region 53 is dispersed as shown in FIG. 16. The screen 50 at FIG. 19(b1) has the highest display luminance. The display luminance of the screen 50 at FIG. (b2) is next to

the highest, whereas that of the screen 50 at FIG. (b3) is the lowest. The change in state from FIG. 19(b1) to FIG. 19(b3) and vice versa can be easily realized by control over the shifter register 61 of gate driver 12 and the like as described above. If display region 53 is dispersed as shown in FIG. 19(b), flicker does not occur even at a low frame rate.

**[0213]** In order to further lessen the occurrence of flicker at a low frame rate, display region 53 should be dispersed more finely as shown in FIG. 19(c). In this case, however, the motion picture display performance lowers. Therefore, the driving method illustrated in FIG. 19(a) is suitable for motion picture display. The driving method illustrated in FIG. 19(c) is suitable for the case where a stationary image is displayed with low power consumption demanded. Switching from the FIG. 19(a) method to the FIG. 19(c) method can be easily realized by control over shift register 61.

**[0214]** FIG. 20 is an explanatory view illustrating another embodiment for increasing the current to be fed to source signal line 18. This embodiment is a method of significantly improving insufficient writing with current, which basically comprises selecting plural pixel rows at a time and charging/discharging the parasitic capacity of source signal line 18 and the like with a current which is the sum of currents required by the plural pixel rows. Since plural pixel rows are selected at a time, the current for driving one pixel can be decreased. Hence, the current to be fed to EL device 15 can be decreased. Here, for easy explanation, the case of  $N = 10$  (in which a 10-fold current is passed through source signal line 18) will be described as an example.

**[0215]** As shown in FIG. 20,  $K$  pixel rows are selected according to the present invention. Source signal line 18 is applied with a current  $N$  times as high as a predetermined current from source driver 14. Each pixel is programmed with a current  $N/K$  times as high as the current to be passed through the EL device 15. The time period for which the EL device 15 is fed with the current is set to  $K/N$  of a one-frame (field) period. Such a driving method makes it possible to charge/discharge the parasitic capacity of source signal line 18 sufficiently as well as to obtain satisfactory resolution and a predetermined luminance of emission.

**[0216]** Specifically, EL device 15 is fed with current for  $K/N$  of a one-frame (field) period and is not fed with current for the rest  $(1F(N-1)K/N)$  of the one-frame period. In this display state, a display based on image data and a black display (non-lighting state) alternate with each other repeatedly  $1F$  by  $1F$ . That is, such a display based on image data appears at time intervals (intermittent display). Thus, a motion picture display of high quality with no blurred outline can be realized. Further, since source signal line 18 is driven with an  $N$ -fold current, the parasitic capacity does not affect the display and, hence, the driving method of the present invention is applicable to high-resolution display panels.

**[0217]** FIG. 21 is an explanatory diagram of driving

voltage waveforms used for realizing the driving method illustrated in FIG. 20. In this figure, a signal waveform comprises off-voltage  $V_{gh}$  (H level) and on-voltage  $V_{gl}$  (L level). The numeral added to each signal line, such as (1), (2) or (3), indicates the row number of each pixel row. It should be noted that a QCIF display panel has 220 rows while a VGA panel has 480 rows.

**[0218]** In FIG. 21, when gate signal line 17a(1) is selected (at voltage  $V_{gl}$ ), a programming current is passed through source signal line 18 from transistor 11a of the selected pixel row toward source driver 14. For easy explanation, description will be made of the case where pixel row 51a to be written is the first pixel row.

**[0219]** The programming current to be passed through source signal line 18 is  $N$  times as high as a predetermined value. (Description is made with  $N = 10$  for easy explanation. Since the predetermined value is the value of a data current causing an image to be displayed, the predetermined value is not a fixed value unless a white raster display is provided.) Further, description will be made of the case where five pixel rows are to be selected at a time ( $K = 5$ ). Accordingly, the capacitor 19 of one pixel is programmed so that, ideally, a 2-fold current ( $N/K = 10/5 = 2$ ) will pass through transistor 11a.

**[0220]** When the written pixel row is the first pixel row (1), gate signal lines 17a(1) to 17a(5) are in the selected state. That is, the switching transistors 11b and 11c of each of pixels rows (1) to (5) are in on-state. Also, gate signal line 17b is in reversed phase with gate signal line 17a. Accordingly, the switching transistor 11d of each of the pixel rows (1) to (5) is in off-state, thus preventing current from passing through EL devices 15 of the associated pixel row. That is, these EL devices are in the non-lighting state 52.

**[0221]** Ideally, the transistors 11a of five pixels each pass a current of  $I_w \times 2$  through source signal line 18. (That is, a current of  $I_w \times 2 \times N = I_w \times 2 \times 5 = I_w \times 10$  is passed through source signal line 18. Therefore, assuming that the current to be passed through source signal line 18 in the case where the  $N$ -fold pulse driving method of the present invention is not employed is the predetermined current  $I_w$ , a current 10 times as high as  $I_w$  is to be passed through source signal line 18.)

**[0222]** The operation (driving method) described above causes the capacitor 19 of each pixel 16 to be programmed with a 2-fold current. Here, description is made on the assumption that transistors 11a are uniform in characteristics ( $V_t$  and  $S$  value) for easy understanding.

**[0223]** Since the number of pixel rows selected at a time is five ( $K = 5$ ), five driving transistors 11a operate. That is, a 2-fold ( $10/5 = 2$ ) current passes through transistor 11a per pixel. Source signal line 18 is fed with a current as the sum of programming currents for the five transistors 11a. For example, assuming that the current to be conventionally passed through pixel row 51a to be written is  $I_w$ , a current of  $I_w \times 10$  is to be passed through

source signal line 18 according to the present invention. Pixel rows 51b to be written with image data after writing to pixel row (1) are now used as auxiliary pixel rows for increasing the amount of current to be fed to source signal line 18. However, there arises no problem because the pixel rows 51b will be written with correct image data thereafter.

[0224] Therefore, the four pixel rows 51b provide the same display as the pixel row 51a during a 1H period. For this reason, at least the written pixel row 51a and the pixel rows 51b selected for increasing the current are made to assume the non-lighting state 52. However, such pixel rows in a current mirror pixel configuration as shown in FIG. 38 or other pixel configurations adapted for voltage-based programming may be made to assume the lighting state.

[0225] After lapse of 1H, gate signal line 17a(1) assumes the unselected state while gate signal line 17b is applied with on-voltage (Vgl). At the same time, gate signal line 17a(6) is selected (applied with Vgl voltage) and transistor 11a of the selected pixel row (6) passes the programming current through source signal line 18 toward source driver 14. Such an operation allows pixel row (1) to hold regular image data.

[0226] After lapse of another 1H, gate signal line 17a (2) assumes the unselected state while gate signal line 17b is applied with on-voltage (Vgl). At the same time, gate signal line 17a(7) is selected (applied with Vgl voltage) and transistor 11a of the selected pixel row (7) passes the programming current through source signal line 18 toward source driver 14. Such an operation allows pixel row (2) to hold regular image data. By performing the above-described operation with scanning shifting pixel row by pixel row, one screen is wholly rewritten.

[0227] With the driving method of FIG. 20, each pixel is programmed with a 2-fold current (voltage) and, hence, ideally the EL device 15 of each pixel emits light at a 2-fold luminance. Therefore, the luminance of the display screen is twice as high as the predetermined value. In order for the display screen to display at the predetermined luminance, a region including written pixel row 51 and occupying 1/2 of display region 50 should be used as non-display region 52.

[0228] As in the case of FIG. 13, when one display region 53 shifts downwardly from the upper side of the screen as shown in FIG. 20, the shifting of display region 53 is visually recognized if the frame rate is low. This is likely particularly when the viewer blinks his or her eyes or moves his or her face up and down.

[0229] To solve this problem, display region 53 should be split into plural sections as shown in FIG. 22. If the total sum of the areas of these sections is equal to the area of an S(N-1)/N region, the brightness of this display is equal to that of the display provided without splitting of display region 53.

[0230] FIG. 23 shows a voltage waveform applied to each gate signal line 17. The difference between FIG.

21 and FIG. 23 resides in the operation of gate signal line 17b. Gate signal line 17b is turned on/off (with Vgl and Vgh) plural times, the number of times corresponding to the number of split sections of the screen. Since other features are substantially the same as or analogous to the corresponding features of FIG. 21, description thereof will be omitted.

[0231] By thus splitting display region 53 into plural sections, the screen provides a display with reduced flicker. Thus, satisfactory image display free of flicker can be realized. Display region 53 may be split into smaller sections. With finer splitting, flicker can be more reduced. Since the responsiveness of EL device 15 is particularly high, the display luminance will not lower even if EL device 15 is turned on/off at a time interval shorter than 5  $\mu$ sec.

[0232] In the driving method of the present invention, EL device 15 can be on-off controlled by turning on/off the signal to be applied to gate signal line 17b. For this reason, such control can be achieved with a clock having a low frequency on the KHz order. Further, image memory or the like is not needed for inserting a black display (i.e., non-display region 52). Therefore, the driving circuit or method of the present invention can be implemented with reduced cost.

[0233] FIG. 24 illustrates the case where the number of pixel rows to be selected at a time is two. According to the results of study made by the inventors et al., the method including selection of two pixel rows at a time realized practical display uniformity when applied to display panels formed by the low temperature polysilicon technology. Presumably, this is because driving transistors 11a of adjacent pixels were very uniform in their characteristics. Good results were obtained by performing striped laser irradiation parallel with source signal line 18 in laser annealing.

[0234] This is because portions of a semiconductor film in a region annealed at the same time are uniform in characteristics. Stated otherwise, this is because a semiconductor film is formed uniformly in a striped region irradiated with laser light and transistors formed using this semiconductor film are substantially uniform in  $V_t$  and mobility. Thus, pixels arranged along source signal line 18 (i.e., a pixel column extending vertically of the screen) are made substantially uniform in characteristics by irradiation with striped laser shot in parallel with the source signal line 18 forming direction and shifting the irradiating position. Therefore, when plural pixel rows are turned on at a time so as to be programmed with current, the plural pixel rows selected at a time are programmed with a substantially equal current having a value which is the quotient obtained by dividing the programming current by the number of the selected pixel rows. Thus, it is possible to realize current-based programming with a current value close to a target value, hence, realize a uniform display. For this reason, the laser shot direction and the driving method illustrated in FIG. 24 or the like provide a synergetic effect.

[0235] As described above, transistors 11a of vertically arranged pixels are made substantially uniform in characteristics by making the direction of laser shot substantially coincident with the direction in which source signal line 18 is formed, thus resulting in satisfactory current-based programming. (In this case, transistors 11a of horizontally arranged pixels need not necessarily be uniform in characteristics.) The operation thus described is performed, while the position of pixel rows to be selected is shifted one pixel row by one pixel row or plural pixel rows by plural pixel rows in synchronism with 1H (one-horizontal period). Though the laser shot direction described is made parallel with source signal line 18 according to the above description, the present invention is not limited to the laser shot direction parallel with source signal line 18. This is because irradiation with laser shot in an oblique direction with respect to source signal line 18 allows transistors 11a of vertically arranged pixels along one source signal line 18 to be made substantially uniform in characteristics. Therefore, the "irradiation with laser shot parallel with source signal line" is meant to form any adjacent pixels to be arranged along the wiring direction of source signal line 18 (in the vertical direction) in a manner to locate them within one laser irradiation region. The "source signal line 18" generally means wiring for transmission of programming currents or voltages serving as image signals.

[0236] According to the above-described embodiment of the present invention, the position of pixel rows to be written is shifted 1H by 1H. However, the present invention is not limited to this feature. It is possible to shift the position 2H by 2H or on the basis of more pixel rows. Alternatively, shifting may be performed based on any unit time. The shifting time interval may be varied with varying position on the screen. For example, it is possible that the shifting time interval is shortened at a central portion of the screen and prolonged at upper and lower portions of the screen. Also, the shifting time interval may be varied frame by frame. The present invention is not limited to selection of plural pixel rows arranged adjacent to each other. For example, it is possible to select pixel rows located across one intervening pixel row. Specifically, a driving method may be employed such that the first and third pixel rows are selected in the first horizontal scanning period, the second and fourth pixel rows selected in the second horizontal scanning period, the third and fifth pixel rows selected in the third horizontal scanning period, and the fourth and sixth pixel rows selected in the fourth horizontal scanning period. Of course, the technical scope of the present invention includes a driving method such as to select the first, third and fifth pixel rows in the first horizontal scanning period. It is, of course, possible to select pixel row positions across plural intervening pixel rows.

[0237] It is needless to say that the combination of the feature of the laser shot direction setting and the feature of the simultaneous selection of plural pixel rows is ap-

plicable not only to the pixel configurations shown in Figs. 1, 2 and 32 but also to other current-driven pixel configurations as shown in Figs. 38, 42 and 50 including the current mirror pixel configuration shown in FIG. 38.

5 The combination is also applicable to voltage-driven pixel configurations as shown in Figs. 43, 51, 54 and 62. This is because if the transistors of pixels arranged adjacent to each other vertically are uniform in characteristics, satisfactory voltage-based programming can be realized with a voltage applied to a common source signal line 18.

10 [0238] When the first pixel row is written in the configuration shown FIG. 24, gate signal lines 17a(1) and 17a(2) are selected (see FIG. 25.) That is, the switching transistors 11b and transistors 11c of pixel rows (1) and (2) are in on-state. Each gate signal line 17b is in reversed phase with each gate signal line 17a. Accordingly, the switching transistors 11d of at least the pixel rows (1) and (2) are in off-state, thus preventing current from passing through EL devices 15 of the associated pixel rows. That is, these pixel rows are in the non-lighting state 52. It should be noted that in the arrangement shown in FIG. 24, display region 53 is split into five sections in order to reduce the occurrence of flicker.

15 [0239] Ideally, the transistors 11a of two pixels (pixel rows) each pass a current of  $lw \times 5$  ( $N = 10$ ) through source signal line 18. (That is, since  $K = 2$ , a current of  $lw \times K \times 5 = lw \times 10$  is passed through source signal line 18.) Therefore, the capacitor 19 of each pixel 16 is programmed with a 5-fold current.

20 [0240] Since the number of pixel rows selected at a time is two ( $K = 2$ ), two driving transistors 11a operate. That is, a 5-fold ( $10/2 = 5$ ) current passes through each transistor 11a. Source signal line 18 is fed with a current as the sum of programming currents for the two transistors 11a.

25 [0241] For example, pixel row 51a to be written is fed with current  $I_d$ , which is to be conventionally fed to pixel row 51a, while source signal line 18 is fed with a current of  $lw \times 10$ . However, there arises no problem because the pixel row 51b will be written with regular image data thereafter. The pixel row 51b provides the same display as the pixel row 51a during a 1H period. For this reason, at least the written pixel row 51a and the pixel row 51b selected for increasing the current are made to assume the non-lighting state 52.

30 [0242] After lapse of 1H, gate signal line 17a(1) assumes the unselected state while gate signal line 17b is applied with on-voltage ( $V_{gl}$ ). At the same time, gate signal line 17a(3) is selected (applied with  $V_{gl}$  voltage) and the transistor 11a of the selected pixel row (3) passes the programming current through source signal line 18 toward source driver 14. Such an operation allows pixel row (1) to hold regular image data.

35 [0243] After lapse of another 1H, gate signal line 17a(2) assumes the unselected state while gate signal line 17b is applied with on-voltage ( $V_{gl}$ ). At the same time, gate signal line 17a(4) is selected (applied with  $V_{gl}$  volt-

age) and the transistor 11a of the selected pixel row (4) passes the programming current through source signal line 18 toward source driver 14. Such an operation allows pixel row (2) to hold regular image data. By performing the above-described operation with scanning shifting pixel row by pixel row, one screen is wholly rewritten. (Of course, scanning may be shifted plural pixel rows by plural pixel rows. For example, a pseudo-interlaced driving method will shift scanning two rows by two rows. In terms of image display, there will be some cases where the same image is written to plural pixel rows.)

[0244] Similarly to the case of FIG. 16, the driving method illustrated in FIG. 24 programs each pixel with a 5-fold current (voltage) and, hence, ideally the EL device 15 of each pixel emits light at a 5-fold luminance. Therefore, the luminance of display region 53 is 5 times as high as the predetermined value. In order for the display region 53 to display at the predetermined luminance, a region including written pixel rows 51 and occupying 1/5 of display screen 50 should be used as non-display region 52.

[0245] As shown in FIG. 27, two pixel rows to be written 51 (51a and 51b) are selected and such selection is made sequentially from the upper side to the lower side of screen 50. (See FIG. 26 also. In FIG. 26, pixel rows 16a and 16b are selected.) When selection is made down to the lower side of the screen, pixel row 51b to be written disappears, though pixel row 51a to be written is present. That is, only one pixel row is left for selection. For this reason, the current applied to source signal line 18 is wholly written to pixel row 51a. Accordingly, pixel row 51 to be written now is undesirably programmed with a current twice as high as the current with which the preceding pixel rows 51a have been priorly programmed.

[0246] In order to solve this problem, the present invention uses a dummy pixel row 281 formed (located) on the lower side of screen 50, as shown in FIG. 27(b). Therefore, when selection of pixel rows to be written reaches the lower side of screen 50, the final pixel row on screen 50 and the dummy pixel row 281 are selected. For this reason, the final pixel row shown in FIG. 27(b) is written with the regular current. Though the dummy pixel row 281 is shown to locate adjacent to the upper or lower edge of display region 50, there is no limitation to this arrangement. The dummy pixel row 281 may be formed at a location spaced apart from display region 50. The dummy pixel row 281 need not be formed with switching transistor 11d, EL device 15 and the like shown in FIG. 1. The absence of these components enables the dummy pixel row 281 to be reduced in size.

[0247] FIG. 28 illustrates the state shown in FIG. 27 (b). As apparent from FIG. 28, when selection of pixel rows reaches pixel 16c on the lower side of screen 50, the final pixel row 281 on screen 50 is selected. The dummy pixel row 281 is located outside display region 50. That is, the dummy pixel row 281 is configured to fail to light or not to be allowed to light, or not to be seen

as a display even when it lights. This can be made by, for example, elimination of the contact hole between the pixel electrode and transistor 11 or failure to form EL film at the dummy pixel row.

[0248] Though the dummy pixel (row) 281 is provided (formed or located) on the lower side of screen 50 in the arrangement shown in FIG. 27, there is no limitation to this arrangement. For example, in the case where scanning is performed from the lower side to the upper side of screen 50 (reverse scanning) as shown in FIG. 29(a), dummy pixel row 281 should be formed also on the upper side of screen 50, as shown in FIG. 29(b). That is, the upper side and the lower side of screen 50 are formed (provided) with respective dummy pixel rows 281. Such an arrangement can accommodate to vertical reversal of scanning over the screen.

[0249] The above-described embodiment is configured to select two pixel rows at a time. However, the present invention is not limited to this configuration but may employ a configuration for selection of, for example, five pixel rows at a time (see FIG. 23.) That is, where five pixel rows are driven at a time, four dummy pixel rows 281 should be formed. The dummy pixel row configuration or the dummy pixel row driving method according to the present invention is of the type using at least one dummy pixel row. Of course, it is preferable to combine the dummy pixel row driving method with the N-fold pulse driving method.

[0250] With the driving method in which plural pixel rows are selected at a time, it becomes more difficult to accommodate variations in the characteristics of transistors 11a as the number of pixel rows to be selected at a time increases. However, with increasing number of pixel rows to be selected, the programming current for each pixel becomes higher and, hence, a higher current is to be passed through EL device 15. If the current passing through EL device 15 is high, EL device 15 is easy to deteriorate.

[0251] The method illustrated in FIG. 30 is capable of solving this problem. The basic concept of the method illustrated in FIG. 30 according to the present invention is a combination of a method such as to select plural pixel rows at a time in a 1/2H period (1/2 of a horizontal scanning period), similarly to the methods described in relation to Figs. 22 and 29, and a method such as to select one pixel row in the subsequent 1/2H period (1/2 of a horizontal scanning period), similarly to the methods described in relation to Figs. 5 and 13. Such a combination accommodates variations in the characteristics of transistors 11a and hence is capable of making the responsiveness high and the in-plane uniformity satisfactory.

[0252] For easy explanation, description will be made of such a combined method including selecting five pixel rows at a time in a first period and then selecting one pixel row in a second period. In the first period (the first 1/2H), five pixel rows are selected at a time as shown in FIG. 30(a1). Since this operation has already been



described with reference to FIG. 22, description thereof will be omitted. The current to be passed through source signal line 18 is, for example, 25 times as high as the predetermined value. Accordingly, the transistor 11a of each pixel (in the case of the pixel configuration shown in FIG. 1) is to be programmed with a 5-fold current (25/5 pixel rows = 5.) Since source signal line 18 is to be fed with a 25-fold current, the parasitic capacity occurring in source signal line 18 and the like can be charged/discharged in a very short time. Therefore, the potential of source signal line 18 becomes a target potential in a short time and the capacitor 19 of each pixel 16 is programmed to have such a terminal voltage as to pass the five-fold current. The period for which the 25-fold current is applied is the first 1/2H (1/2 of one horizontal scanning period.)

[0253] As a matter of course, since five pixel rows are to be written with the same image data, the transistors 11d of these five pixel rows are made to assume off-state so that the five pixel rows do not display. Thus, the resulting display state is as shown in FIG. 30(a2).

[0254] In the latter 1/2H period, one pixel row is selected and current-based (voltage-based) programming is performed. This state is illustrated in FIG. 30(b1). The pixel row 51a written is programmed with a current (voltage) so that a 5-fold current will pass as in the first period. The current to be passed through each pixel in the case of FIG. 30(a1) and that in the case of FIG. 30(b1) are equalized to each other because a variation in the terminal voltage of capacitor 19 is reduced to allow a current of a target value to pass more promptly.

[0255] Specifically, in the operation illustrated in FIG. 30(a1), plural pixels are fed with a current so that the terminal voltage of each capacitor 19 can rapidly reach a value causing an approximate current to pass. At this first step, programming is made at plural transistors 11a and, hence, errors in regard to a target value occur due to variations in the characteristics of the transistors. At the subsequent second step, only the pixel row to be written with data and hold the data is selected so that programming is completed with a current having the predetermined target value varied from the approximate target value.

[0256] Since the operation of scanning non-lighting region 52 as well as pixel row 51a to be written downwardly of the screen is the same as in the case of FIG. 13 or the like, description thereof will be omitted.

[0257] FIG. 31 shows driving waveforms for realizing the driving method illustrated in FIG. 30. As can be seen from FIG. 31, a 1H period (one horizontal scanning period) comprises two phases. Switching between these two phases is made using ISEL signal, which is shown in FIG. 31.

[0258] Reference is first made to such ISEL signal. The driver circuit 14 for carrying out the method illustrated in FIG. 30 has first and second current output circuits. These first and second current output circuits each comprise a DA circuit for DA conversion of 8-bit gray scale

data, an operational amplifier, and the like. In the embodiment of FIG. 30, the first current output circuit is configured to output a 25-fold current, while the second current output circuit configured to output a 5-fold current.

5 Outputs of the respective first and second current output circuits are applied to source signal line 18 by control over a switching circuit formed (located) in a current output section with the ISEL signal. Each source signal line is provided with the first and second current output circuits.

10 [0259] When the ISEL signal assumes an L level, the first current output circuit adapted to output a 25-fold current is selected so that source driver 14 absorbs the current from source signal line 18 (more exactly, the first current output circuit formed in source driver 14 absorbs the current.) The magnitude of the current to be outputted from each of the first and second current output circuits can be adjusted to a 25-fold value, 5-fold value or the like easily, because each current output circuit can be formed using plural resistors and an analog switch.

15 [0260] When the pixel row to be written is the first pixel row (see the column of 1H in FIG. 30) as shown in FIG. 30, gate signal lines 17a(1) to 17a(5) are in the selected state (in the case of the pixel configuration shown in FIG. 1.) That is, the switching transistors 11b and transistors 11c of pixels rows (1) to (5) are in on-state. Since the ISEL is assuming the L level, the first current output circuit for outputting a 25-fold current is selected and connected to source signal line 18. Further, gate signal line 17b is under application of off-voltage (Vgh). Accordingly, the switching transistors 11d of the pixel rows (1) to (5) are in off-state, thus preventing current from passing through the EL devices 15 of the respective pixel rows. That is, these EL devices are in the non-lighting state 52.

20 [0261] Ideally, the transistors 11a of five pixels each pass a current of  $I_w \times 2$  through source signal line 18. Then, the capacitor 19 of each pixel 16 is programmed with a 5-fold current. Here, description is made on the assumption that transistors 11a are uniform in characteristics (Vt and S value) for easy understanding.

25 [0262] Since the number of pixel rows selected at a time is five (K = 5), five driving transistors 11a operate. That is, a 5-fold ( $25/5 = 5$ ) current passes through transistor 11a per pixel. Source signal line 18 is fed with a current as the sum of programming currents for the five transistors 11a. For example, assuming that the current to be passed through pixel row 51a to be written is  $I_w$  according to the conventional driving method, a current of  $I_w \times 25$  is passed through source signal line 18. Pixel rows 51b to be written with image data after writing to pixel row (1) are now used as auxiliary pixel rows for increasing the amount of current to be fed to source signal line 18. However, there arises no problem because the pixel rows 51b will be written with regular image data thereafter.

30 [0263] Therefore, the pixel rows 51b each provide the same display as the pixel row 51a during a 1H period.

For this reason, at least the written pixel row 51a and the pixel rows 51b selected for increasing the current are made to assume the non-lighting state 52.

**[0264]** In the subsequent 1/2H period (1/2 of the horizontal scanning period), only pixel row 51a to be written is selected. That is, only the first pixel row is selected. As apparent from FIG. 31, only gate signal line 17a(1) is applied with on-voltage (Vgl) while gate signal lines 17a(2) to 17a(5) applied with off-voltage (Vgh). Therefore, the transistor 11a of pixel row (1) is in an operating state (the state feeding current to source signal line 18), while the switching transistors 11b and transistors 11c of the pixel rows (2) to (5) are in off-state, or in the unselected state. Since the ISEL signal is assuming an H level, the current output circuit B for outputting a 5-fold current is selected and connected to source signal line 18. The state of gate signal line 17b is not changed from the state assumed in the first 1/2H period and hence is under application of off-voltage (Vgh). Accordingly, the switching transistors 11d of the pixel rows (1) to (5) are in off-state, thus preventing current from passing through the EL devices 15 of the respective pixel rows. That is, these pixel rows are in the non-lighting state 52.

**[0265]** The above-described operation causes the transistor 11a of the pixel row (1) to pass a current of  $I_w \times 5$  through source signal line 18. Then, the capacitor 19 of each pixel row (1) is programmed with the 5-fold current.

**[0266]** In the next horizontal scanning period, the pixel row to be written is shifted by one pixel row. That is, the pixel row to be written is changed to pixel row (2). In the first 1/2H period, when the pixel row to be written is the second pixel row as shown in FIG. 31, gate signal lines 17a(2) to 17a(6) are in the selected state. That is, the switching transistors 11b and transistors 11c of pixels rows (2) to (6) are in on-state. Since the ISEL is assuming the L level, the first current output circuit for outputting a 25-fold current is selected and connected to source signal line 18. Further, gate signal line 17b is under application of off-voltage (Vgh). Accordingly, the switching transistors 11d of the pixel rows (2) to (6) are in off-state, thus preventing current from passing through the EL devices 15 of the respective pixel rows. That is, these pixel rows are in the non-lighting state 52. On the other hand, since the gate signal line 17b(1) of the pixel row (1) is under application of voltage Vgl, the transistor 11d of the pixel row (1) is in on-state and the EL device 15 of the pixel row (1) is in the lighting state.

**[0267]** Since the number of pixel rows selected at a time is five ( $K = 5$ ), five driving transistors 11a operate. That is, a 5-fold ( $25/5 = 5$ ) current passes through transistor 11a per pixel. Source signal line 18 is fed with a current as the sum of programming currents for the five transistors 11a.

**[0268]** In the subsequent 1/2H period (1/2 of the horizontal scanning period), only pixel row 51a to be written is selected. That is, only the second pixel row is selected. As apparent from FIG. 31, only gate signal line 17a

(2) is applied with on-voltage (Vgl) while gate signal lines 17a(3) to 17a(6) applied with off-voltage (Vgh). Therefore, the transistors 11a of the pixel rows (1) and (2) is in the operating state (the state where the pixel row (1) passes current through EL device 15 while the pixel row (2) feeds current to source signal line 18), while the switching transistors 11b and transistors 11c of the pixel rows (3) to (6) are in off-state, or in the unselected state. Since the ISEL signal is assuming the H level, the second current output circuit for outputting the 5-fold current is selected. The state of gate signal line 17b is not changed from the state assumed in the first 1/2H period and hence is under application of off-voltage (Vgh). Accordingly, the switching transistors 11d of the pixel rows (2) to (6) are in off-state, thus preventing current from passing through the EL devices 15 of the respective pixel rows. That is, these pixel rows are in the non-lighting state 52.

**[0269]** The above-described operation causes the transistor 11a of the pixel row (2) to pass a current of  $I_w \times 5$  through source signal line 18. Then, the capacitor 19 of the pixel row (2) is programmed with the 5-fold current. Display over one whole screen can be made by sequentially performing the above-described operations.

**[0270]** According to the driving method described in relation to FIG. 30, G pixel rows (G is 2 or more) are selected in the first period and each of the pixel rows is programmed so that an N-fold current will pass therethrough. In the second period subsequent to the first period, B pixel rows (B is not less than 1 and less than G) are selected and each of the pixel rows is programmed so that the N-fold current will pass therethrough.

**[0271]** However, another way is possible. G pixel rows (G is 2 or more) are selected in the first period and programming is made so that the total sum of currents to pass through the respective pixel rows assumes the N-fold value. In the second period subsequent to the first period, B pixel rows (B is not less than 1 and less than G) are selected and programming is made so that the total sum of currents to pass through the respective pixel rows assumes the N-fold value. (When one pixel row is selected, programming is made so that the current to pass therethrough assumes the N-fold value.) For example, five pixel rows are selected at a time in FIG. 30(a1) and a 2-fold current is passed through the transistor 11a of each pixel. By so doing, source signal line 18 is fed with a 10-fold ( $5 \times 2$ ) current. In the subsequent second period, one pixel row is selected in FIG. 30(b1). The 10-fold current is passed through transistor 11a of this pixel row.

**[0272]** In the foregoing description related to FIG. 31, the period for selecting plural pixel rows at a time is set to 1/2H and the period for selecting one pixel row set to 1/2H. However, the present invention is not limited thereto. It is possible that the period for selecting plural pixel rows at a time is set to 1/4H and the period for selecting one pixel row set to 3/4H. Further, the sum of

the period for selecting plural pixel rows at a time and the period for selecting one pixel row is set to 1H. However, the present invention is not limited thereto. For example, the sum of these periods may be set to a 2H period or a 1.5H period.

**[0273]** In the method of FIG. 30, it is possible that the period for selecting five pixel rows at a time is set to 1/2H and two pixel rows are selected at a time in the subsequent second period. In this case also, image display without no practical trouble can be realized.

**[0274]** In the foregoing description related to FIG. 30, two stages are provided consisting of the first period for selecting five pixel rows at a time, which is set to 1/2H, and the second period for selecting one pixel row, which is set to 1/2H. However, the present invention is not limited thereto. For example, three stages may be provided consisting of the first period for selecting five pixel rows at a time, the second period for selecting two of the five pixel rows, and the third period for selecting one pixel row. That is, it is possible to write image data to a pixel row at plural stages.

**[0275]** The above-described N-fold pulse driving method according to the present invention applies the same waveform to gate signal lines 17b of respective pixel rows while shifting the scanning at 1H intervals. Such a manner of scanning makes it possible to shift a pixel row to light to another sequentially with the lighting duration of each EL device 15 set to 1F/N. Such application of the same waveform to gate signal lines 17b of respective pixel rows and shifting of the scanning, can be easily realized. This is because it is sufficient to control data ST1 and data ST2 to be applied to shift register circuits 61a and 61b, respectively, shown in FIG. 6. Assuming that Vgl is outputted to gate signal line 17b when inputted ST2 assumes L level while Vgh is outputted to gate signal line 17b when inputted ST2 assumes H level, ST2 to be applied to shift register 17b is inputted at L level for a 1F/N period and at H level for the rest of the period. ST2 thus inputted should be shifted with clock CLK2 synchronizing to 1H.

**[0276]** The on-off cycle of EL device 15 needs to be set to 0.5 msec or longer. If this cycle is too short, complete black display is not realized due to human eyes having the afterimage property and, hence, the image displayed is seen to blur as if the resolution is lowered. Such a display state is the same as the display state of a display panel of the data holding type. On the other hand, if the on-off cycle is set to 100 msec or longer, the resulting display is seen to blink. For this reason, the on-off cycle of EL device 15 has to be not less than 0.5  $\mu$ sec and not more than 100 msec, more preferably not less than 2 msec and not more than 30 msec, much more preferably not less than 3 msec and not more than 20 msec.

**[0277]** As described earlier, satisfactory motion picture display can be realized when the number by which black display screen 152 is divided (split) is one. However, flutter is likely seen on the screen. Therefore, it is

preferable to split an inserted black display portion into plural blocks. However, too much increase in the number of such blocks results in a blurred motion picture. The number of blocks resulting from splitting has to be not less than 1 and not more than 8, preferably not less than 1 and not more than 5.

**[0278]** It is preferable to employ an arrangement capable of varying the number of split blocks of a black display depending on whether a stationary image or a motion picture image is to be displayed. When  $N = 4$ , a black display occupies 75% of the screen and an image display occupies 25% of the screen. In this case, when the number of split blocks is one, the black display portion occupying 75% is scanned vertically of the screen so as to be viewed as a black band occupying 75%. When the number of split blocks is 3, scanning is made so that a black display occupying 25% of the screen is split into three black display blocks each occupying 25/3% of the screen. The number of split blocks is increased for stationary image display, whereas it is decreased for motion picture display. Switching may be made either automatically in accordance with images inputted (through detection of a motion picture image or the like) or by a manual operation by the user. Alternatively, it is possible to employ an arrangement capable of switching in accordance with input receptacles corresponding to types of video images to be displayed by the display apparatus.

**[0279]** In a mobile phone for example, the number of split blocks is 10 or more when the screen is in a wall-paper display state or in an input screen state. (In an extreme case, on/off may be made 1H by 1H. In NTSC motion picture display, the number of split blocks is not less than 1 and not more than 5. It is preferable to employ an arrangement capable of changing the number of split blocks in multiple stages, the number of which is 3 or more. For example, the number of blocks is changed stepwise like 0, 2, 4, 8.

**[0280]** The proportion of a black display relative to the whole display screen which is assumed to be 1 is preferably not less than 0.2 and not more than 0.9 (i.e., not less than 1.2 and not more than 9 in the units of N), particularly preferably not less than 0.25 and not more than 0.6 (i.e., not less than 1.25 and not more than 6 in the units of N.) If it is less than 0.20, the effect of improving motion picture display is low. If it is more than 0.9, the display portion exhibits an increased luminance and, hence, the vertical shifting of the display portion is easy to recognize visually.

**[0281]** The number of frames per second is preferably not less than 10 and not more than 100 (i.e., not less than 10 Hz and not more than 100 Hz), more preferably not less than 12 and not more than 65 (i.e., not less than 12 Hz and not more than 65 Hz.) If the number of frames is too small, screen flutter becomes conspicuous, while if it is too large, writing from the driver circuit 14 or the like becomes difficult, which results in a degraded resolution.

[0282] Anyway, the present invention is capable of varying the brightness of an image by control over gate signal line 17. It is needless to say that the brightness of an image may be varied with varying current (voltage) to be applied to source signal line 18. Also, it is needless to say that the control over gate signal line 17 described earlier (with reference to FIG. 33 or 35 or the like) may be combined with the art of varying the current (voltage) to be applied to source signal line 18.

[0283] It is needless to say that the above-described matters are applicable to the current-based programming pixel configurations shown in FIG. 38 and the like and the voltage-based programming pixel configurations shown in Figs. 43, 51 and 54 and the like. It is sufficient for the transistor 11d in each of Figs. 38, 43 and 51 to be on-off controlled. By thus turning on/off the wiring for feeding EL device 15 with current, the N-fold pulse driving method according to the present invention can be realized easily.

[0284] Application of Vgl to gate signal line 17b for a  $1F/N$  period may start at any time point in a  $1F$  period (which is not limited and may be any unit period.) This is because the purpose of such application is to obtain a predetermined mean luminance by making EL device 15 assume on-state for a predetermined period of a unit time. However, EL device 15 had better be caused to emit light by application of Vgl to gate signal line 17b immediately after lapse of a current-based programming period ( $1H$ ). This is because EL device 15 becomes less susceptible to the influence from the current holding characteristic of capacitor 19 in FIG. 1.

[0285] It is also preferable to employ an arrangement capable of varying the number by which an image is to be split. For example, when the user depresses a brightness adjustor switch or turns a brightness adjustor volume, the value of  $K$  is varied depending on this change detected. Alternatively, it is possible to employ an arrangement such as to vary the number either manually or automatically in accordance with the particulars of or data on an image to be displayed.

[0286] Such an arrangement for varying the value of  $K$  (i.e., the number by which image display portion 53 is to be split) can be realized easily. This is because it is sufficient to provide an arrangement capable of controlling or varying the timing at which data is applied to ST in FIG. 6 (i.e., the timing at which ST is made to assume  $L$  level in a  $1F$  period.)

[0287] While description in relation to FIG. 16 and the like has been made of the feature that a  $(1F/N)$  period for which gate signal line 17b is applied with Vgl is divided into plural subperiods (the number of subperiods is  $K$ ) and gate signal line 17b is applied with Vgl for a  $1F/(K/N)$  period  $K$  times, there is no limitation to this feature. Gate signal line 17b may be applied with Vgl for a  $1F/(K/N)$  period  $L$  times ( $L \neq K$ ). That is, the present invention has the feature that image 50 is displayed by controlling the period (time) for which EL device 15 is fed with current. Therefore, the art of repeating the  $1F/$

$(K/N)$  period  $L$  times ( $L \neq K$ ) is included in the technical concept of the present invention. The luminance of image 50 can be varied digitally with a variation in the value of  $L$ . For example, the difference between the case of  $L = 2$  and the case of  $L = 3$  corresponds to a 50 % change in luminance (contrast). It is needless to say that these controls are applicable to other embodiments of the present invention. (Of course, they are applicable to embodiments of the present invention to be described hereinafter.) Such controls are included in the scope of the N-fold pulse driving method according to the present invention.

[0288] The foregoing embodiments are each configured to cause the display of screen 50 to be turned on/off by controlling transistor 11d serving as a switching device located (or formed) between EL device 15 and driving transistor 11a. This driving method solves the problem of insufficient writing with current in a black display state of a current-based programming configuration, thereby realizing a satisfactory resolution or black display. That is, the current-based programming is highly advantageous in that a satisfactory black display can be realized. The driving method to be described next is a method capable of realizing a satisfactory black display by resetting driving transistor 11a. Hereinafter, this embodiment will be described with reference to FIG. 32.

[0289] The pixel configuration shown in FIG. 32 is basically the same as that shown in FIG. 1. In the pixel configuration shown in FIG. 32, current  $I_w$  as programmed is passed through EL device 15 to cause EL device 15 to emit light. That is, driving transistor 11a becomes capable of holding the ability to pass the current when programmed. The driving method applied to the FIG. 32 configuration is a method which utilizes the ability to pass current to reset (or turn off) transistor 11a. Hereinafter, this type of driving will be referred to as "reset driving".

[0290] In order to realize the reset driving with the pixel configuration of FIG. 1, an arrangement capable of on-off controlling transistors 11b and 11c independently of each other is needed. Specifically, such an arrangement is capable of controlling gate signal line 17a (gate signal line WR) for on-off controlling transistor 11b and signal line 17c (gate signal line EL) for on-off controlling transistor 11c, independently of each other. Controls over gate signal lines 17a and 17c can be achieved using two independent shift registers 61 as shown in FIG. 6.

[0291] The driving voltage for gate signal line WR and that for gate signal line EL preferably are made different from each other. The amplitude of the driving voltage for gate signal line WR (the difference between on-voltage and off-voltage) is made smaller than that of the driving voltage for gate signal line EL. Basically, if the amplitude of the driving voltage for a gate signal line is large, a punch-through voltage across the gate signal line and the pixel becomes high, which causes unclear black to occur. The amplitude of the driving voltage for a gate

signal line WR can be adjusted by controlling the potential of source signal line 18 not to be applied (or to be applied in the selected state) to pixel 16. Since fluctuations in the potential of source signal line 18 are small, the amplitude of the driving voltage for gate signal line WR can be decreased. On the other hand, gate signal line EL is required to on-off control the EL device. Therefore, the amplitude of the driving voltage for gate signal line EL is large. As a measure to deal with this inconvenience, the output voltages of the respective shift registers 61a and 61b are made different from each other. In the case where each pixel comprises p-channel transistors, the off-voltages V<sub>gh</sub> of the respective shift registers 61a and 61b are substantially equalized to each other, while the on-voltage V<sub>gl</sub> of shift register 61a is made lower than that of shift register 61b.

**[0292]** Hereinafter, the reset driving method will be described with reference to FIG. 33. FIG. 33 is an explanatory diagram illustrating the principle of the reset driving method. First, as shown in FIG. 33(a), transistors 11c and 11d are turned off, while transistor 11b turned on. Then, the drain terminal (D) and the gate terminal (G) of driving transistor 11a are shortcircuited, thus allowing current I<sub>b</sub> to pass therethrough. Generally, transistor 11a has been programmed with current in the immediately preceding field (frame) and hence has the ability to pass current. When transistors 11d and 11b assume off-state and on-state, respectively, with transistor 11a in that condition, driving current I<sub>b</sub> is passed to the gate terminal (G) of transistor 11a, so that the potential at the gate terminal (G) and that at the drain terminal (D) are equalized to each other, thus resetting transistor 11a (to a state not allowing current to pass therethrough).

**[0293]** The reset state (the state not allowing current to pass) of transistor 11a is equivalent to an offset voltage holding state of a voltage offset canceller configuration, which will be described later with reference to FIG. 51 and the like. That is, in the state shown in FIG. 33(a), an offset voltage is held across the terminals of capacitor 19. This offset voltage has a voltage value which varies with variations in the characteristics of transistor 11a. Therefore, when the operation illustrated in FIG. 33(a) is performed, transistor 11a does not pass current to capacitor 19 of each pixel 19. (That is, a black display current (substantially equal to zero) is held.)

**[0294]** It is preferable to perform an operation of turning transistors 11b and 11c off and transistor 11d on to pass the driving current through driving transistor 11a prior to the operation illustrated in FIG. 33(a). Preferably, this operation is completed in a very short time. This is because current might pass through EL device 15 to cause it to light thereby causing the display contrast to lower. The time period for this operation is preferably not less than 0.1% and not more than 10% of a 1H period (one horizontal scanning period), more preferably not less than 0.2% and not more than 2% of a 1H period. Stated otherwise, the time period is preferably not less than 0.2 μsec and not more than 5 μsec. The aforementioned

operation (the operation to be performed before the operation of FIG. 33(a)) may be performed on all the pixels 16 present in the whole screen collectively. The operations described above can cause the drain terminal (D) voltage of driving transistor 11a to lower thereby allowing current I<sub>b</sub> to pass smoothly in the state shown in FIG. 33(a). The above-described matters are applicable to other reset driving methods of the present invention.

**[0295]** As the state shown in FIG. 33(a) continues for a longer time, the terminal voltage of capacitor 19 tends to become lower due to passage of current I<sub>b</sub>. Therefore, the time period for which the state shown in FIG. 33(a) continues needs to be fixed. According to the experiment and study conducted by the inventors et al, the time period for which the state shown in FIG. 33(a) continues is preferably not less than 1H and not more than 5H. Preferably, this period is varied depending on R, G and B pixels. This is because these different color pixels employ different EL materials, which are different in threshold voltage and the like from each other. The optimum periods for the respective R, G and B pixels are established depending on the respective EL materials. Though this period is set not less than 1H and not more than 5H in this embodiment, it is needless to say that the period may be set to 5H or more in a driving method based mainly on insertion of a black display (writing of a black display to the screen.) It should be noted that the black display state of each pixel becomes better as this period becomes longer.

**[0296]** After the state shown in FIG. 33(a) continued for the time period not less than 1H and not more than 5H, the pixel configuration is turned into the state shown in FIG. 33(b). In the state shown in FIG. 33(b), transistors 11c and 11b are in on-state, while transistor 11d in off-state. As described earlier, the state shown in FIG. 33(b) is a state where current-based programming is being performed. That is, source driver 14 outputs (or absorbs) programming current I<sub>w</sub> to driving transistor 11a. Driving transistor 11a is programmed to have such a gate terminal (G) potential as to cause current I<sub>w</sub> to pass. (The potential thus set is held in capacitor 19.)

**[0297]** If the programming current I<sub>w</sub> is 0 (A), transistor 11a is kept in the state shown in FIG. 33(a) which does not allow current to pass, thus realizing a satisfactory black display. In the case of current-based programming for a white display by the state shown in FIG. 33(b), perfect current-based programming can be achieved from the offset voltage providing a black display even when there are variations in the characteristics of driving transistors of pixels. Therefore, the times required for respective driving transistors to be programmed with a target value are equalized to each other for each gray level. For this reason, there occurs no gray scale error due to variations in the characteristics of transistors 11a and, hence, satisfactory image display can be realized.

**[0298]** After the current-based programming in the

state shown in FIG. 33(b), transistors 11b and 11c are turned off and transistor 11d turned on to cause driving transistor 11a to pass programming current  $I_w (= I_e)$  through EL device 15, thereby causing EL device 15 to emit light. Description of the details of the state shown in FIG. 33(c) will be omitted since similar description has been made earlier with reference to FIG. 1 and the like.

[0299] The driving method (reset driving) illustrated in FIG. 33 comprises: a first operation in which driving transistor 11a and EL device 15 are disconnected from each other (or turned into a state preventing current from passing therebetween), while the drain terminal (D) and the gate terminal (G) of driving transistor 11a (alternatively, the source terminal (S) and the gate terminal (G) of driving transistor 11a; in more general term, two terminals of driving transistor 11a including the gate terminal (G)) are shortcircuited; and a second operation in which driving transistor 11a is programmed with current (voltage) after the first operation. It is at least required that the second operation be performed after the first operation. For the reset driving to be effected, it is necessary to provide an arrangement capable of controlling transistors 11b and 11c independently of each other as shown in FIG. 32.

[0300] The image display state changes as follows (provided instantaneous changes can be observed.) First, a pixel row to be programmed with current is turned into a reset state (i.e., black display state). After lapse of 1H, current-based programming is performed. (At this time, image display is still in the black display state because transistor 11d is in off-state.) Subsequently, each EL device 15 is fed with current, so that the pixel row emits light at a predetermined luminance (with a current as programmed). Specifically, it should be seen that the pixel row displaying black moves downwardly of the screen and the image displayed is rewritten at a position that the pixel row has just passed. Though the current-based programming is performed 1H after the resetting according to the above description, the period between the programming and the resetting may be about 5H or less. This is because a relatively long time is required for the resetting operation shown in FIG. 33(a) to be completed. If this period is set to 5H, five pixel rows will display black. (If the pixel row programmed with current is taken into account, six pixel rows will display black.)

[0301] There is no limitation to the feature that resetting is made pixel row by pixel row, but a set of plural pixel rows may be reset at a time; that is, resetting may be made plural pixel rows by plural pixel rows. Alternatively, it is possible to perform resetting plural pixel rows by plural pixel rows while performing overlapped scanning. For example, if four pixel rows are to be reset at a time, an exemplary manner of driving is as follows: pixel rows (1) to (4) are reset in the first horizontal scanning period (one unit); subsequently, pixel rows (3) to (6) reset in the second horizontal scanning period; subsequently, pixel rows (5) to (8) reset in the third horizontal scanning pe-

riod; and then, pixel rows (7) to (10) reset in the fourth horizontal scanning period. Of course, the driving operations shown in Figs. 33(b) and 33(c) are performed in synchronism with the driving operation shown in FIG. 33(a).

[0302] It is needless to say that the driving operations shown in Figs. 33(b) and 33(c) may be performed after all of the pixels present in one screen have been reset either at a time or in a scanned fashion. It is also needless to say that interlaced driving (scanning every other pixel row or every other set of plural pixel rows) may be effected to reset every other pixel row or every other set of plural pixel rows. Random resetting is also possible. The reset driving according to the present invention described above is a method adapted to operate pixel rows. (That is, control is made vertically of the screen.) The concept of the reset driving is not limited to the control in the direction in which pixel rows are arranged. It is needless to say that the reset driving may be performed in the direction in which pixel columns are arranged for example.

[0303] The reset driving method illustrated in FIG. 33 can realize better image display if combined with the N-fold pulse driving method or a like method according to the present invention or with the interlaced driving method. The method illustrated in FIG. 22, in particular, can easily realize an intermittent N/K-fold pulse driving method. (This is a driving method including providing plural lighting regions on one screen. This driving method can be easily practiced if gate signal line 17b is controlled so as to turn transistor 11d on/off. This feature has been described earlier.) Therefore, satisfactory image display free of flicker can be realized. This is an excellent characteristic of the method illustrated in FIG. 22 or its variations. It is also needless to say that the reset driving method can realize much better image display if combined with other driving methods including, for example, the reverse bias driving method, precharge driving method and punch-through voltage driving method to be described later. Thus, it is needless to say that the reset driving method can be implemented in combination with other embodiments herein described.

[0304] FIG. 34 is a diagram showing the configuration of a display apparatus for realizing the reset driving. Gate driver 12a controls gate signal lines 17a and 17b of FIG. 32. Application of on-voltage and off-voltage to gate signal line 17a allows transistor 11b to be on-off controlled. Application of on-voltage and off-voltage to gate signal line 17b allows transistor 11d to be on-off controlled. Gate driver 12b controls gate signal line 17c of FIG. 32. Application of on-voltage and off-voltage to gate signal line 17c allows transistor 11c to be on-off controlled.

[0305] Thus, gate signal lines 17a and 17c are operated by gate drivers 12a and 12b, respectively. For this reason, it is possible to freely control the timing at which transistor 11b is turned on to reset driving transistor 11a and the timing at which transistor 11c is turned on to

program driving transistor 11a with current. Reference character 341a in FIG. 34 designates the circuit of an output section. Since other features and the like are identical with or similar to the features described earlier, description thereof will be omitted.

**[0306]** FIG. 35 is a timing chart of the reset driving. When transistor 11a is reset by applying on-voltage to gate signal line 17a to turn transistor 11b on, transistor 11d is turned off by application of off-voltage to gate signal line 17b. Thus, the configuration assumes the state shown in FIG. 32(a). During this period, current Ib is passed.

**[0307]** According to the timing chart of FIG. 35, reset time is set to 2H (during which gate signal line is under application of on-voltage and hence transistor 11b is in on-state.) However, there is no limitation to this feature, but the reset time may be 2H or more. In the case where resetting can be made very rapidly, the reset time may be less than 1H. The reset time can be varied to any desired H period easily by varying the pulse period of DATA (ST) to be inputted to gate driver 12. For example, if DATA to be inputted to ST terminal assumes H level for a 2H period, the reset time outputted from each gate signal line 17a is a 2H period. Similarly, if DATA to be inputted to ST terminal assumes H level for a 5H period, the reset time outputted from each gate signal line 17a is a 5H period.

**[0308]** After the reset state for a 1H period, gate signal line 17c(1) of pixel row (1) is applied with on-voltage. When transistor 11c is turned on, driving transistor 11a is written with the programming current applied to source signal line 18 via transistor 11c.

**[0309]** After the current-based programming, gate signal line 17c of pixel row (1) is applied with off-voltage to turn transistor 11c off, thereby disconnecting each pixel from source signal line 18. At the same time, gate signal line 17a is also applied with off-voltage to release driving transistor 11a from the reset state. (In this period, the expression "current-based programmed state" is more proper than the expression "reset state".) Further, gate signal line 17b is applied with on-voltage to turn transistor 11d on, thereby causing the current programmed at driving transistor 11a to be passed through EL device 15. Since the operation on pixel row (2) and the succeeding pixel rows is the same as that on pixel row (1) and since that operation is obvious from FIG. 35, description thereof will be omitted.

**[0310]** In FIG. 35, the reset period is a 1H period. FIG. 36 illustrates an embodiment having a reset period of 5H. The reset period can be varied to any desired H period easily by varying the pulse period of DATA (ST) to be inputted to gate driver 12. FIG. 36 is directed to the embodiment having settings such that DATA to be inputted to ST1 terminal of gate driver 12a assumes H level for a 5H period and the reset period outputted from each gate signal line 17a is a 5H period. As the reset period becomes longer, more perfect resetting is achieved, thus realizing better black display. However,

the display luminance is lowered by a degree corresponding to the proportion of the reset period.

**[0311]** In the embodiment of FIG. 36, the reset period is set to 5H and the reset state is continuous. However, there is no limitation to such a continuous reset state. For example, it is possible to turn on/off the signal outputted from each gate signal line 17a on a 1H basis. Such an on-off operation can be easily realized by operating an enabling circuit (not shown) formed in the output section of the shift register or controlling the DATA (ST) pulse to be inputted to gate driver 12.

**[0312]** The circuit configuration shown in FIG. 34 requires at least two shift register circuits (one for controlling gate signal line 17a and the other for controlling gate signal line 17b.) For this reason, there arises a problem of gate driver 12a having an increased circuit scale. FIG. 37 shows an embodiment wherein gate driver 12a has a single shift register. The timing chart of output signals in the operation of the circuit of FIG. 37 is as shown in FIG. 35. Attention should be given to Figs. 35 and 37 which use different signs to designate each of gate signal lines 17 extending from gate drivers 12a and 12b.

**[0313]** As can be clearly understood from the configuration of FIG. 37 which additionally includes OR circuit 371, OR is taken from the output of the current stage and the output of the preceding stage of shift register circuit 61a and outputted to each gate signal 17a. That is, gate signal line 17a outputs on-voltage for a 2H period. On the other hand, the output of shift register 61a, as it is, is outputted to gate signal line 17c. Therefore, gate signal line 17c is under application of on-voltage for a 1H period.

**[0314]** For example, when an H level signal is outputted to the second stage of shift register circuit 61a, on-voltage is outputted to gate signal line 17c of pixel 16(1), thus making pixel 16(1) programmed with current (or voltage). At the same time, on-voltage is also outputted to gate signal line 17a of pixel 16(2) to turn on transistor 11b of pixel 16(2), thus resetting driving transistor 11a of pixel 16(2).

**[0315]** Similarly, when an H level signal is outputted to the third stage of shift register circuit 61a, on-voltage is outputted to gate signal line 17c of pixel 16(2), thus making pixel 16(2) programmed with current (or voltage). At the same time, on-voltage is also outputted to gate signal line 17a of pixel 16(3) to turn on transistor 11b of pixel 16(3), thus resetting driving transistor 11a of pixel 16(3). That is, gate signal line 17a continues to output on-voltage for a 2H period, while gate signal line 17c continues to be applied with on-voltage for a 1H period.

**[0316]** Transistors 11b and 11c assume on-state (see FIG. 33(b)) at the same time when each pixel is programmed (see FIG. 33(b)). For this reason, if transistor 11c is turned into off-state prior to transistor 11b in switching the pixel to an unprogrammed state, transistor 11a assumes the reset state shown in FIG. 33(b) undesirably. To avoid this inconvenience, transistor 11c

needs to be turned off after the turning-off of transistor 11b. Accordingly, it is required that control be performed so that gate signal line 17a can be applied with on-voltage prior to the application of on-voltage to gate signal line 17c.

**[0317]** The foregoing embodiment is applied to the pixel configuration shown in FIG. 32 (basically FIG. 1). However, the present invention is not limited thereto. For example, this embodiment is applicable to a current mirror pixel configuration as shown in FIG. 38. With the pixel configuration of FIG. 38, the N-fold pulse driving method as illustrated in FIG. 13 or 15 or the like can be practiced by on-off control over transistor 11e. FIG. 39 is an explanatory diagram illustrating an embodiment based on the current mirror pixel configuration shown in FIG. 38. Hereinafter, a reset driving method applied to the current mirror pixel configuration will be described with reference to FIG. 39.

**[0318]** As shown in FIG. 39(a), transistors 11c and 11e are turned off, while transistor 11d turned on. Then, the drain terminal (D) and the gate terminal (G) of current-based programming transistor 11b are short-circuited, thus allowing current  $I_b$  to pass therethrough. Generally, transistor 11b has been programmed with current in an immediately preceding field (frame) and hence has the ability to pass current. (This is natural because the gate potential is held by capacitor 19 for a 1F period to perform image display. However, current is not passed in the case of perfect black display.) When transistors 11e and 11d assume off-state and on-state, respectively, with transistor 11b in that condition, driving current  $I_b$  is passed toward the gate terminal (G) of transistor 11a. (That is, gate terminal (G) and drain terminal (D) become shortcircuited.) Accordingly, the potential at the gate terminal (G) and that at the drain terminal (D) are equalized to each other, thus resetting transistor 11a (to a state not allowing current to pass). Since the gate terminal (G) of driving transistor 11b and that of current-based programming transistor 11a are common, driving transistor 11b is also reset.

**[0319]** Each of the reset states (the state not allowing current to pass) of respective transistors 11a and 11b is equivalent to an offset voltage holding state of the voltage offset canceller configuration, which will be described later with reference to FIG. 51 and the like. That is, in the state shown in FIG. 39(a), an offset voltage is held across the terminals of capacitor 19. (The offset voltage is an initiating voltage causing current to start passing. Application of a voltage having an absolute value equal to or larger than the absolute value of the offset voltage causes current to pass through transistor 11.) This offset voltage has a voltage value which is variable in accordance with the characteristics of transistors 11a and 11b. Therefore, when the operation illustrated in FIG. 39(a) is performed, transistors 11a and 11b do not pass current to capacitor 19 of each pixel. (That is, a black display current (substantially equal to zero) state is kept; stated otherwise, resetting to the initiating volt-

age causing current to start passing is made.)

**[0320]** As in the case of FIG. 33(a), as the reset state shown in FIG. 39(a) continues for a longer time, the terminal voltage of capacitor 19 tends to become lower due to passage of current  $I_b$ . Therefore, the time period for which the state shown in FIG. 39(a) continues needs to be fixed. According to the experiment and study conducted by the inventors et al., the time period for which the state shown in FIG. 33(a) continues is preferably not less than 1H and not more than 10H (10 horizontal scanning periods), more preferably not less than 1H and not more than 5H. Specifically, the time period is preferably not less than 20  $\mu$ sec and not more than 2 msec. This holds true for the driving method illustrated in FIG. 33.

**[0321]** As in the case of FIG. 33(a), when the operation is performed so that the reset state shown in FIG. 39(a) synchronizes to the current-based programmed state shown in FIG. 39(a), the time period required for the current-based programmed state shown in FIG. 39(b) to be reached from the reset state shown in FIG. 39(a) has a fixed value (constant value) and, therefore, there arises no problem. That is, the time period from the reset state shown in FIG. 33(a) or 39(a) to the current-based programmed state shown in FIG. 33(b) or 39(b) is preferably not less than 1H and not more than 10H (10 horizontal scanning periods), more preferably not less than 1H and not more than 5H. Specifically, the time period is preferably not less than 20  $\mu$ sec and not more than 2 msec. If this time period is too short, driving transistor 11 is not completely reset, while if it is too long, driving transistor 11 assumes complete off-state, which in turn results in the current-based programming taking a longer time. In addition, the luminance of screen 50 is lowered.

**[0322]** Subsequently to the state shown in FIG. 39(a), the pixel configuration is turned into the state shown in FIG. 39(b) where transistors 11c and 11b are in on-state, while transistor 11d in off-state. The state shown in FIG. 39(b) is a state where current-based programming is being performed. That is, source driver 14 outputs (or absorbs) programming current  $I_w$  and passes the programming current  $I_w$  to driving transistor 11a. Capacitor 19 is programmed with the gate terminal (G) potential of driving transistor 11b so that current  $I_w$  will pass through driving transistor 11a.

**[0323]** If the programming current  $I_w$  is 0 (A) (black display), transistor 11b is kept in the state shown in FIG. 33(a) which does not allow current to pass, thus realizing a favorable black display. In the case of current-based programming for white display by the state shown in FIG. 39(b), perfect current-based programming can be achieved from the offset voltage providing a black display (the initiating voltage causing the current set in accordance with the characteristics of driving transistors to start passing) even when there are variations in the characteristics of driving transistors of respective pixels. Therefore, the times required for respective driving transistors to be programmed with a current of a target value



are equalized to each other for each gray level. For this reason, there occurs no gray scale error due to variations in the characteristics of transistors 11a or 11b and, hence, satisfactory image display can be realized.

**[0324]** After the current-based programming in the state shown in FIG. 39(b), transistors 11b and 11c are turned off and transistor 11e turned on to cause driving transistor 11b to pass programming current  $I_w (= I_e)$  through EL device 15, thereby causing EL device 15 to emit light. Description of the details of the state shown in FIG. 39(c) will be omitted since similar description has been made earlier.

**[0325]** The driving method (reset driving) illustrated in FIG. 33 or 39 comprises: a first operation in which driving transistor 11a or 11b and EL device 15 are disconnected from each other (or turned into a state preventing current from passing therebetween by transistor 11e or 11d), while the drain terminal (D) and the gate terminal (G) of the driving transistor (alternatively, the source terminal (S) and the gate terminal (G) of the driving transistor, more generally, two terminals of the driving transistor including gate terminal (G)) are shortcircuited; and a second operation in which the driving transistor is programmed with current (or voltage) after the first operation. It is at least required that the second operation be performed after the first operation. The operation of disconnecting driving transistor 11a or 11b and EL device 15 from each other is not necessarily indispensable. Even if the first operation of shortcircuiting the drain terminal (D) and the gate terminal (G) of the driving transistor is performed without disconnecting driving transistor 11a or 11b and EL device 15 from each other, it is possible that variations in the reset state are not so serious in some cases. Whether driving transistor 11a or 11b is to be disconnected from EL device 15 or not is decided based on examination of the transistor characteristics of the array manufactured.

**[0326]** The current mirror pixel configuration shown in FIG. 39 is a driving method including resetting the current-based programming transistor 11a, which results in the resetting of the driving transistor 11b.

**[0327]** With the current mirror pixel configuration of FIG. 39, the operation of disconnecting driving transistor 11b and EL device 15 from each other need not necessarily be performed in the reset state. Thus, the driving method comprises: a first operation in which the drain terminal (D) and the gate terminal (G) of the current-based programming transistor (alternatively, the source terminal (S) and the gate terminal (G) of the current-based programming transistor, more generally, two terminals of the current-based programming transistor or the driving transistor including gate terminal (G)) are shortcircuited; and a second operation in which the current-based programming transistor is programmed with current (or voltage) after the first operation. It is at least required that the second operation be performed after the first operation.

**[0328]** The image display state changes as follows

(provided instantaneous changes can be observed.) First, a pixel row to be programmed with current is turned into a reset state (i.e., black display state). After lapse of 1H, current-based programming is performed. Specifically, it should be seen that the pixel row displaying black moves downwardly of the screen and the image displayed is rewritten at a position that the pixel row has just passed.

**[0329]** Though the foregoing description of the embodiment is directed mainly to the current-based programming pixel configuration, the reset driving according to the present invention is applicable to voltage-based programming pixel configurations. FIG. 43 is an explanatory diagram illustrating a pixel configuration (panel configuration) according to the present invention for practicing a reset driving method with a voltage-based programming pixel configuration.

**[0330]** In the pixel configuration shown in FIG. 43, there is formed transistor 11e for causing driving transistor 11a to be reset. When gate signal line 17e is applied with on-voltage to turn transistor 11e on, which causes the gate terminal (G) and the drain terminal (D) of driving transistor 11a to become shortcircuited. The pixel configuration is also formed with transistor 11d for cutting off the current path between EL device 15 and driving transistor 11d. Hereinafter, the reset driving method applied to the voltage-based programming pixel configuration will be described with reference to FIG. 44.

**[0331]** As shown in FIG. 44(a), transistors 11b and 11c are turned off, while transistor 11e turned on. Then, the drain terminal (D) and the gate terminal (G) of driving transistor 11a become shortcircuited, thus allowing current  $I_b$  to pass as shown. Accordingly, the potential at the gate terminal (G) and that at the drain terminal (D) of driving transistor 11a are equalized to each other, thus resetting transistor 11a (to a state not allowing current to pass therethrough.) Before the resetting of transistor 11a, current has been made passing through transistor 11a by initially turning transistors 11d and 11e on and off, respectively, in synchronism with an HD synchronizing signal, as described with reference to FIG. 33 or 39. Thereafter, the operation illustrated in FIG. 44 is performed.

**[0332]** Each of the reset states (the state not allowing current to pass) of respective transistors 11a and 11b is equivalent to the offset voltage holding state of the voltage offset canceller configuration described in relation to FIG. 41 or the like. That is, in the state shown in FIG. 44(a), an offset voltage (reset voltage) is held across the terminals of capacitor 19. This offset voltage has a voltage value which is variable in accordance with the characteristics of transistor 11a. Therefore, when the operation illustrated in FIG. 44(a) is performed, transistor 11a does not pass current to capacitor 19 of each pixel. (That is, a black display current (substantially equal to zero) state is kept; stated otherwise, resetting to the initiating voltage causing current to start passing is made.)

**[0333]** As in the current-based programming pixel

configuration, as the reset state shown in FIG. 44(a) of the voltage-based programming pixel configuration continues for a longer time, the terminal voltage of capacitor 19 tends to become lower due to passage of current  $I_b$ . Therefore, the time period for which the state shown in FIG. 44(a) continues needs to be fixed. This time period is preferably not less than  $0.2H$  and not more than  $5H$  (five horizontal scanning periods), more preferably not less than  $0.5H$  and not more than  $4H$ . Specifically, the time period is preferably not less than  $2 \mu\text{sec}$  and not more than  $400 \mu\text{sec}$ .

**[0334]** It is preferable that gate signal line 17e and the gate signal line 17a of an antecedent pixel row form a common line. That is, gate signal line 17e is formed as shortcircuited to gate signal line 17a of the antecedent pixel row. This configuration is referred to as "antecedent gate control method". The antecedent gate control method uses a waveform applied to the gate signal line of a pixel row having been selected at least  $1H$  before the selection of a pixel row concerned. Therefore, the antecedent pixel row is not limited to the immediately preceding pixel row. For example, transistor 11a of a pixel row concerned may be reset by using the signal waveform applied to the gate signal of the pixel row next to the immediately preceding pixel row.

**[0335]** More specifically, the antecedent gate control method is as follows. It is assumed that: a pixel row concerned is the  $(N)$ th pixel row having gate signal lines 17e(N) and 17a(N); a pixel row selected  $1H$  before is the  $(N-1)$ th pixel row having gate signal lines 17e(N-1) and 17a(N-1); and a pixel row to be selected  $1H$  after the selection of the pixel row concerned is the  $(N+1)$ th pixel row having gate signal lines 17e(N+1) and 17a(N+1).

**[0336]** In the  $(N-1)$ th H period, when gate signal line 17a(N-1) of the  $(N-1)$ th pixel row is applied with on-voltage, gate signal line 17e(N) of the  $(N)$ th pixel row is also applied with on-voltage. This is because gate signal line 17e(N) is formed as shortcircuited to gate signal line 17a(N-1) of the antecedent pixel row. Accordingly, transistor 11b(N-1) of each pixel of the  $(N-1)$ th pixel row is turned on to write the voltage of source signal line 18 to the gate terminal (G) of driving transistor 11a(N-1). At the same time, transistor 11e(N) of the  $(N)$ th pixel row is turned on to shortcircuit the gate terminal (G) and the drain terminal (D) of driving transistor 11a(N), thereby resetting driving transistor 11a(N).

**[0337]** In the  $(N)$ th period following the  $(N-1)$ th H period, when gate signal line 17a(N) of the  $(N)$ th pixel row is applied with on-voltage, gate signal line 17e(N+1) of the  $(N+1)$ th pixel row is also applied with on-voltage. Accordingly, transistor 11b(N) of each pixel of the  $(N)$ th pixel row is turned on to write the voltage applied to source signal line 18 to the gate terminal (G) of driving transistor 11a(N). At the same time, transistor 11e(N+1) of each pixel of the  $(N+1)$ th pixel row is turned on to shortcircuit the gate terminal (G) and the drain terminal (D) of driving transistor 11a(N+1), thereby resetting driving transistor 11a(N+1).

**[0338]** A similar operation proceeds for the following pixel rows. In the  $(N+1)$ th H period following the  $(N)$ th H period, when gate signal line 17a(N+1) of the  $(N+1)$ th pixel row is applied with on-voltage, gate signal line 17e(N+2) of the  $(N+2)$ th pixel row is also applied with on-voltage. Accordingly, transistor 11b(N+1) of each pixel of the  $(N+1)$ th pixel row is turned on to write the voltage applied to source signal line 18 to the gate terminal (G) of driving transistor 11a(N+1). At the same time, transistor 11e(N+2) of each pixel of the  $(N+2)$ th pixel row is turned on to shortcircuit the gate terminal (G) and the drain terminal (D) of driving transistor 11a(N+2), thereby resetting driving transistor 11a(N+2).

**[0339]** With the antecedent gate control method according to the present invention, driving transistor 11a is reset for a  $1H$  period, followed by voltage-based programming.

**[0340]** As in the case of FIG. 33(a), when the operation is performed so that the reset state shown in FIG. 44(a) synchronizes to the current-based programmed state shown in FIG. 44(a), the time period required for the current-based programming state shown in FIG. 44(b) to be reached has a fixed value (constant value) and, therefore, there arises no problem. If this time period is too short, driving transistor 11a is not completely reset, while if it is too long, driving transistor 11a assumes complete off-state, which in turn results in the current-based programming taking a longer time. Further, the luminance of screen 12 is lowered.

**[0341]** Subsequently to the state shown in FIG. 44(a), the pixel configuration is turned into the state shown in FIG. 44(b) where transistors 11b is in on-state, while transistors 11e and 11d in off-state. The state shown in FIG. 44(b) is a state where current-based programming is being performed. That is, source driver 14 outputs the programming current, which is then written to the gate terminal (G) of driving transistor 11a (i.e., capacitor 19 is programmed with the potential of the gate terminal (G) of driving transistor 11a.) In the case of voltage-based programming, transistor 11d need not necessarily be turned off at the time of voltage-based programming. Transistor 11e will not be needed if the combination with the N-fold pulse driving method as shown in Figs. 13 or 15 or the like is unnecessary or if the intermittent N/K pulse driving method does not need to be practiced. (The intermittent NK-fold pulse driving method is a driving method including providing plural lighting regions on one screen. This driving method can be easily practiced if transistor 11e is caused to turn on/off.) Since this feature has been described earlier, description thereof will be omitted.

**[0342]** In the case where a white display is provided by voltage-based programming using the configuration shown in FIG. 43 or the driving method illustrated in FIG. 44, perfect voltage-based programming can be achieved from the offset voltage providing a black display (the initiating voltage causing the current set in accordance with the characteristics of driving transistors

to pass) even when there are variations in the characteristics of driving transistors of respective pixels. Therefore, the times required for respective driving transistors to be programmed with a target value are equalized to each other for each gray level. For this reason, there occurs no gray scale error due to variations in the characteristics of transistors 11a and, hence, satisfactory image display can be realized.

**[0343]** After the voltage-based programming illustrated in FIG. 44(b), transistors 11b is turned off and transistor 11d turned on to cause driving transistor 11a to pass the programming current through EL device 15, thereby causing EL device 15 to emit light.

**[0344]** Thus, the reset driving method based on the voltage-based programming illustrated in FIG. 43 comprises: a first operation in which transistor 11d is turned on and transistor 11e turned off in synchronism with an HD synchronizing signal to pass current to transistor 11a; a second operation in which driving transistor 11a and EL device 15 are disconnected from each other, while the drain terminal (D) and the gate terminal (G) of the driving transistor 11a (alternatively, the source terminal (S) and the gate terminal (G) of the driving transistor 11a, more generally, two terminals of the driving transistor including gate terminal (G)) are shortcircuited; and a third operation in which the driving transistor 11a is programmed with voltage after the second operation.

**[0345]** In the embodiment described above, transistor 11d is on-off controlled to control the current to be passed from driving transistor 11a (in the case of the pixel configuration shown in FIG. 1) to EL device 15. In order for transistor 11d to be on-off controlled, gate signal lines 17b need to be scanned. Such scanning requires shift register 61 (gate circuit 12). Since shift register 61 is large in size, use of shift register 61 for control over gate signal lines 17b will prevent the frame from being narrowed. The method to be described with reference to FIG. 40 solves this problem.

**[0346]** Though the present invention is described by reference mainly to examples of current-based programming pixel configuration as shown in FIG. 1 and the like, the present invention is not limited to these examples. It is needless to say that the present invention is applicable even to other current-based programming pixel configurations (including a current mirror pixel configuration) as described with reference to FIG. 38 and the like. It is also needless to say that the technical concept of on-off control on a block-by-block basis is applicable to voltage-based programming pixel configurations as shown in FIG. 41 and the like. Since the present invention is directed to a method of intermittently passing current through EL device 15, it is needless to say that the present invention can be combined with a method of application of reverse bias voltage to be described with reference to FIG. 50 or the like. Thus, the present invention can be practiced in combination with other embodiments.

**[0347]** FIG. 40 illustrates an embodiment of a block

driving method. For easy explanation, it is assumed that gate driver 12 is formed directly on substrate 71 or gate driver 12 in a silicon chip form is mounted on substrate 71. Further, source driver 14 and source signal lines are omitted from the figure to avoid complicated drawing.

**[0348]** In FIG. 40, gate signal line 17a is connected to gate driver 12. On the other hand, gate signal line 17b associated with each pixel is connected to lighting control line 401. In FIG. 40, four gate signal lines 17b are connected to one lighting control line 401.

**[0349]** Though four gate signal lines 17b form one block in the configuration, there is no limitation thereto but it is needless to say that one block may consist of more than four gate signal lines 17b. Generally, display region 50 is preferably divided into 5 or more, more preferably 10 or more, much more preferably 20 or more. If the number by which display region 50 is divided is too small, flicker is likely to become conspicuous. On the other hand, if the number is too large, the number of lighting control lines 401 becomes large, which makes it difficult to layout such control lines 401.

**[0350]** Since a QCIF display panel has 220 vertical scanning lines, these lines need to be divided into blocks by at least 5 (i.e.,  $220/5 = 44$ ), preferably 10 or more ( $220/10 = 11$ ). There are some cases where two blocks are sufficient because less flicker occurs in display region 50 which is divided into two blocks, one consisting of odd number rows, the other consisting of even number rows.

**[0351]** In the embodiment shown in FIG. 40, lighting control lines 401a, 401b, 401c, 401d, ..., 401n are sequentially applied with on-voltage (Vgl) or off-voltage (Vgh) to turn EL devices 15 on/off block by block.

**[0352]** In the embodiment shown in FIG. 40, gate signal line 17b and lighting control line 401 do not cross each other. Therefore, the embodiment is free from such a failure that gate signal line 17b and lighting control line 401 become shortcircuited. Further, since there is no capacitive coupling between gate signal line 17b and lighting control line 401, a very small capacitance is added when the gate signal line 17d side is viewed from lighting control line 401. Therefore, lighting control line 401 can be driven easily.

**[0353]** Gate driver 12 is connected to gate signal line 17a. When gate signal line 17a is applied with on-voltage, the pixel row associated therewith is selected and transistors 11b and 11c of each of the selected pixels are turned on to program capacitor 19 of each pixel with the current (voltage) applied to source signal line 18. On the other hand, gate signal line 17b is connected to the gate terminal (G) of transistor 11d of each pixel. Accordingly, when lighting control line 401 is applied with on-voltage (Vgl), a current path is formed between driving transistor 11a and EL device 15, whereas when it is applied with off-voltage (Vgh), the anode terminal of EL device 15 is opened.

**[0354]** It is preferable that the control timing at which on-voltage and off-voltage are applied to lighting control

line 401 and the timing at which gate driver 12 outputs pixel row selecting voltage (Vgl) to gate signal line 17a synchronize to one horizontal scanning clock (1H). However, there is not limitation thereto.

[0355] The signal to be applied to lighting control line 401 merely on-off controls the current to be passed to EL device 15. That signal need not synchronize to image data to be outputted from source driver 14. This is because the signal to be applied to lighting control line 401 functions to control the current programmed at capacitor 19 of each pixel 16. Therefore, this signal need not necessarily synchronize to the pixel row selecting signal. Even if they synchronize to each other, the clock is not limited to 1H but may be 1/2H or 1/4H.

[0356] In the case of the current mirror pixel configuration shown in FIG. 38, transistor 11e can be on-off controlled if gate signal line 17b is connected to lighting control line 401. Thus, the block driving can be realized.

[0357] The pixel configuration shown in FIG. 32 can realize the block driving if gate signal line 17a is connected to lighting control signal 401 and the reset driving is performed. In this case, the block driving method according to the present invention is a driving method in which plural pixel rows are turned into the non-lighting state (or the black display state) at a time using one control line.

[0358] The embodiment described above has an arrangement where one pixel row selecting gate signal line is provided (formed) for each pixel row. The present invention is not limited to this arrangement but may have such an arrangement that one selecting gate signal line is provided (formed) for each set of plural pixel rows.

[0359] FIG. 41 illustrates an embodiment of that arrangement. For easy explanation, the pixel configuration shown in FIG.1 will be mainly exemplified. In FIG. 41, gate signal line 17a is designed to select three pixels (16R, 16G and 16B) at a time. The signs "R", "G" and "B" are meant to relate to red pixel, green pixel and blue pixel, respectively.

[0360] Accordingly, selection of gate signal line 17a causes pixels 16R, 16G and 16B to be selected and written with data at a time. Pixel 16R writes data from source signal line 18R to capacitor 19R, pixel 16G writes data from source signal line 18G to capacitor 19G, and pixel 16B writes data from source signal line 18B to capacitor 19B.

[0361] Transistor 11d of pixel 16R is connected to gate signal line 17bR. Similarly, transistor 11d of pixel 16G is connected to gate signal line 17bG, while transistor 11d of pixel 16B is connected to gate signal line 17bB. Accordingly, EL device 15R of pixel 16R, EL device 15G of pixel 16G and EL device 15B of pixel 16B can be on-off controlled independently of each other. That is, EL device 15R, EL device 15G and EL device 15B can be individually controlled as to their lighting time and lighting cycle by individual control over gate signal lines 17bR, 17bG and 17bB.

[0362] In realizing this operation, it is suitable that the

configuration shown in FIG. 6 is formed (provided) with the four shift register circuits: shift register circuit 61 for scanning gate signal line 17a, shift register circuit 61 for scanning gate signal line 17bR, shift register circuit 61 for scanning gate signal line 17bG, and shift register circuit 61 for scanning gate signal line 17bB.

[0363] In spite of the foregoing description of the feature that a current N times as high as the predetermined current is passed through source signal line 18 to feed EL device 15 with the current N times as high as the predetermined current for a 1/N period, this feature cannot be realized practically. This is because actually the signal pulse applied to gate signal line 17 punches through capacitor 19 thereby making it impossible to set a desired voltage value (or current value) at capacitor 19. Generally, a voltage value (or current value) lower than a desired voltage value (or current value) is set at capacitor 19. For example, even when driving is performed so as to set a 10-fold current value, a current having about 5-fold value at most can be set at capacitor 19. Even when N = 10, EL device 15 is actually fed with a current equal to the current that is fed thereto when N = 5. Thus, the present invention is directed to a driving method including setting an N-fold current value so that EL device can be fed with a current that is proportional to or corresponding to the N-fold value, or a driving method including application of a current in a pulse form having a value higher than a desired value to EL device 15.

[0364] The present invention is also directed to the driving method including: programming driving transistor 11a (in the case of FIG. 1) with a current (or a voltage) having a value higher than a desired value (i.e., a current such as to cause EL device 15 to exhibit a luminance higher than a desired luminance when the current, as it is, is continuously passed through EL device 15); and intermittently feeding the current to EL device 15 to cause EL device to emit light at the desired luminance.

[0365] It should be noted that a circuit compensating for the punch-through voltage reaching capacitor 19 is incorporated in source driver 14. This feature will be described later.

[0366] It is preferable that switching transistors 11b and 11c of FIG. 1 each comprise an n-channel transistor. This is because the punch-through voltage reaching capacitor 19 can be lowered by such an arrangement. Further, since off-leakage at capacitor 19 is reduced, this arrangement is applicable to a low frame rate not higher than 10 Hz.

[0367] In some pixel configurations, the punch-through voltage may act to increase the current to be fed to EL device 15. In such cases, white peak current increases thereby to make the contrast of image display higher. Thus, it is possible to realize satisfactory image display.

[0368] Conversely, such a method is effective as to improve black display by using a p-channel transistor for each of switching transistors 11b and 11c to allow

punch through to occur. In this case, voltage  $V_{gh}$  is used to turn p-channel transistor 11b off. For this reason, the terminal voltage of capacitor 19 slightly shifts toward the  $V_{dd}$  side. Thus, the gate terminal (G) voltage of transistor 11a rises, thus leading to a more satisfactory black display. Further, since the value of current for realizing a first-level gray scale display can be increased (i.e., a given base current can be passed until gray level 1 is reached), the occurrence of insufficient writing with current in current-based programming can be reduced.

[0369] Other effective arrangements include an arrangement in which capacitor 19b is intentionally formed between gate signal line 17a and the gate terminal (G) of transistor 11a to increase punch-through voltage (see FIG. 42(a).) This capacitor 19b preferably has a capacitance not less than 1/50 and not more than 1/10 as large as the capacitance of the regularly-provided capacitor 19a. More preferably, this value is set not less than 1/40 and not more than 1/15 as large as the capacitance of the regularly-provided capacitor 19a or not less than 1 and not more than 10 times as large as the capacitance of the source-gate (SG) (or source-drain (SD) or gate-drain (GD)) of transistor 11b. Much more preferably, the value of the capacitance is set not less than 2 and not more than 6 times as high as the capacitance of SG. The capacitor 19b may be formed or located between one terminal of capacitor 19a (or gate terminal (G) of transistor 11a) and the source terminal (S) of transistor 11d. The aforementioned value of capacitance holds true for this case.

[0370] The capacitance ( $C_b$  (pF)) of capacitor 19b for generating punch-through voltage has a relationship with the capacitance ( $C_a$  (pF)) of capacitor 19a for storing charge, gate terminal (G) voltage  $V_w$  of transistor 11a at which white peak current is passed (or at which a white raster display having the highest luminance of image display is provided), and gate terminal (G) voltage  $V_b$  at which a current for providing a black display (which current assumes a value of substantially 0 for a black display in image display) is passed. Preferably, the relationship satisfies the condition:

$$C_a/(200C_b) \leq |V_w - V_b| \leq C_a/(8C_b)$$

wherein  $|V_w - V_b|$  is the absolute value of the difference between a terminal voltage of the driving transistor providing a white display and a terminal voltage of the driving transistor providing a black display (that is, a varying amplitude of voltage.)

[0371] More preferably, the relationship satisfies the condition:

$$C_a/(100C_b) \leq |V_w - V_b| \leq C_a/(10C_b).$$

[0372] Transistor 11b should comprise a p-channel transistor which is at least double-gated, more preferably

triple-gated or more, much more preferably quadruple-gated or more. It is preferable to form or locate capacitors in parallel, each of the capacitors having a capacitance not less than 1 and not more than 10 times as large as the capacitance of the source-gate SG (or gate-drain (GD)) of transistor 11b (in on-state.)

[0373] The feature described above is effective for not only the pixel configuration shown in FIG. 1 but also other pixel configurations. For example, in the case of a current mirror pixel configuration as shown in FIG. 42 (b), a capacitor for causing punch through is located or formed between gate signal line 17a or 17b and the gate terminal (G) of transistor 11a. In this case, the n-channel of switching transistor 11c is double-gated or more. Alternatively, switching transistors 11c and 11d each comprise a p-channel transistor which is triple-gated or more.

[0374] In the case of the voltage-based programming configuration shown in FIG. 41, a capacitor 19c for causing punch through is formed or located between gate signal line 17c and the gate terminal (G) of driving transistor 11a. Further, switching transistor 11c is triple-gated or more. The capacitor 19c for causing punch through may be located between the drain terminal (D) of transistor 11c (on the capacitor 19b side) and gate signal line 17a. Alternatively, the capacitor 19c for causing punch through may be located between the gate terminal (G) of transistor 11a and gate signal line 17a. Yet alternatively, the capacitor 19c for causing punch through may be located between the drain terminal (D) of transistor 11c (on the capacitor 19b side) and gate signal line 17c.

[0375] A satisfactory black display can be realized by an arrangement which satisfies the condition:

$$0.05 (V) \leq (V_{gh} - V_{gl}) \times (C_c / C_a) \leq 0.8 (V)$$

wherein  $C_a$  is the capacitance of capacitor 19a for storing charge,  $C_c$  is the source-gate capacitance of switching transistor 11c or 11d ( $C_c$  is the sum of the source-gate capacitance and the capacitance of a capacitor for causing punch through if the capacitor is present),  $V_{gh}$  is the high-voltage signal to be applied to a gate signal line, and  $V_{gl}$  is the low-voltage signal to be applied to the gate signal line.

[0376] Preferably, the condition:  $0.1 (V) \leq (V_{gh} - V_{gl}) \times (C_c / C_a) \leq 0.5 (V)$  is satisfied.

[0377] The feature described above is also effective for the pixel configurations shown in FIG. 43 and the like. In the case of the voltage-based programming pixel configuration shown in FIG. 43, a capacitor 19b for causing punch through is formed or located between the gate terminal (G) of transistor 11a and gate signal line 17a.

[0378] The capacitor 19b for causing punch through is formed of source wiring and gate wiring. However, since the capacitor 19b is formed by superposition of gate signal line 17 and widened source signal line of

transistor 11 on each other, the capacitor cannot be separated distinctively from the transistor in some practical cases.

**[0379]** An arrangement in which switching transistors 11b and 11c (in the case of the configuration shown in FIG. 1) are each formed to have a larger size than necessary as if capacitor 19b for causing punch through is apparently formed thereby, is also included in the scope of the present invention. In many cases, switching transistors 11b and 11c are each formed to have a channel width  $W$ /channel length ratio of  $6/6 \mu\text{m}$ . The capacitor 19b for causing punch through can also be formed by increasing the ratio of  $W$  to  $L$ . For example, the  $W:L$  ratio is set not less than 2:1 and not more than 20:1, more preferably not less than 3:1 and not more than 10:1.

**[0380]** Preferably, the capacitor 19b for causing punch through has a magnitude (capacitance) varying depending on R, G and B modulated by pixels. This is because EL devices 15 for R, G and B are different from each other in driving current and in cut-off voltage. For this reason, the gate terminals (G) of respective driving transistors 11a associated with these EL devices 15 are programmed with different voltages (currents). For example, when the capacitor 11bR of R pixel has a capacitance of 0.02 pF, the capacitors 11bG and 11bB of pixels for other colors (G pixel and B pixel) are each set to have a capacitance of 0.025 pF. When the capacitor 11bR of R pixel has a capacitance of 0.02 pF, the capacitor 11bG of G pixel and the capacitor 11bB of B pixel are set to have a capacitance of 0.03 pF and a capacitance of 0.025 pF, respectively. In this way, the offset driving current can be adjusted for each of R, G and B by varying the capacitance of capacitor 11b depending on R, G and B pixels. Thus, it is possible to optimize the black display level of each of R, G and B pixels.

**[0381]** While it has been described that the capacitance of the capacitor 19b for generating punch-through voltage is varied, the punch-through voltage is generated due to the relativity between the capacitance of capacitor 19a for storing charge and that of capacitor 19b for generating punch-through voltage. Therefore, there is no limitation to the feature that the capacitance of capacitor 19b is varied depending on R, G and B pixels. The capacitance of storage capacitor 19a may be varied. For example, when the capacitor 11aR of R pixel has a capacitance of 1.0 pF, the capacitor 11aG of G pixel and the capacitor 11aB of B pixel are set to have a capacitance of 1.2 pF and a capacitance of 0.9 pF, respectively. In this case, the capacitors 19b of the respective R, G and B pixels are set to have capacitances of equal value. Thus, according to the present invention, at least one of R, G and B pixels is made different from the others in the capacitance ratio between storage capacitor 19a and capacitor 19b for generating punch-through voltage. It is to be noted that both the capacitance of storage capacitor 19a and that of capacitor 19b for generating punch-through voltage may be varied depending on R, G and B pixels.

**[0382]** It is also possible to vary the capacitance of capacitor 19b for generating punch-through voltage as the screen extends laterally. Since the gate signal rises rapidly at each pixel 16 located close to gate driver 12 (because the through rate is high), the punch-through voltage becomes high. At the pixel located (formed) at the end of each gate signal line 17, on the other hand, the signal waveform becomes dulled (due to the capacitance of gate signal line 17.) This is because the punch-through voltage becomes low due to the gate signal rising slow (because of a low through rate.) For this reason, the capacitance of capacitor 19b for generating punch-through voltage is made low at each pixel close to the connection side of gate driver 12. On the other hand, the capacitance of capacitor 19b is made high at the end of each gate signal line 17. For example, a variation of about 10% in the capacitance of capacitor is provided between the right-hand extremity and the left-hand extremity of the screen.

**[0383]** The punch-through voltage to be generated is determined from the capacitance ratio between storage capacitor 19a and capacitor 19b for generating punch-through voltage. Therefore, there is no limitation to the aforementioned feature that the capacitance of capacitor 19b for generating punch-through voltage is varied as the screen extends laterally. It is possible that the capacitance of storage capacitor 19a is varied depending on the lateral position of capacitor 19a on the screen with the capacitance of capacitor 19b for generating punch-through voltage being fixed in the lateral direction of the screen. It is needless to say that both the capacitance of capacitor 19b for generating punch-through voltage and that of storage capacitor 19a may be varied as the screen extends laterally.

**[0384]** The N-fold pulse driving method according to the present invention has a problem that the current to be applied to EL device 15 becomes N times as high as in the prior art though this phenomenon is instantaneous. In some cases, such a high current shortens the lifetime of EL device 15. Application of reverse bias voltage  $V_m$  to EL device 15 is effective in solving the problem.

**[0385]** In EL device 15, electrons are injected into the electron transport layer through the cathode, while at the same time positive holes injected into the positive hole transport layer through the anode. The electrons and positive holes thus injected travel to the opposite poles. At that time, they are trapped in the organic layer and carriers are accumulated due to an energy level difference at the interface with the luminescent layer.

**[0386]** It is known that when space-charge is accumulated in the organic layer, molecules are oxidized or reduced to produce unstable radical anionic molecules and radical cationic molecules, which deteriorate the film quality thereby lowering the luminance and causing a rise in driving voltage during constant-current driving. An example of means to prevent this phenomenon is a modification of the device structure for reverse voltage

to be applied.

**[0387]** When reverse bias voltage is applied, reverse current is applied, which causes the electrons and positive holes injected to be withdrawn toward the cathode and the anode, respectively. Thus, the generation of space-charge in the organic layer is cancelled, whereby electrochemical deterioration of molecules can be inhibited, which ensures the EL device having a prolonged lifetime.

**[0388]** FIG. 45 plots a variation in reverse bias voltage  $V_m$  with varying terminal voltage of EL device 15. The "terminal voltage", as used here, is a voltage generated when EL device 15 is fed with a rated current. The variation shown in FIG. 45, which resulted from the case where the current passed through EL device 15 had a current density of  $100 \text{ A/m}^2$ , had a tendency having little difference from that of the case where the current passed through EL device 15 had a current density of from 50 to  $100 \text{ A/m}^2$ . Therefore, the reverse bias voltage application method is estimated to be effective over a wide range of current density.

**[0389]** The ordinate represents the ratio of the terminal voltage of EL device 15 resulting 2,500 hours after the starting of application of current to the initial terminal voltage of EL device 15. Assuming, for example, that the terminal voltage resulting at the time 0 hour after the starting of application of a current having a current density of  $100 \text{ A/m}^2$  is 8 (V) while the terminal voltage resulting at the time 2,500 hours after the starting of application of the current having a current density of  $100 \text{ A/m}^2$  is 10 (V), the terminal voltage ratio is  $10/8 = 1.25$ .

**[0390]** The abscissa represents the ratio of rated terminal voltage  $V_0$  to the product of reverse bias voltage  $V_m$  by time  $t_1$  for which reverse bias voltage was applied in one cycle. For example, if the time for application of reverse bias voltage  $V_m$  of 60 Hz (60Hz has no particular meaning) is  $1/2$  (a half),  $t_1$  is equal to 0.5. Assuming that the terminal voltage resulting at the time 0 hour after the starting of application of a current having a current density of  $100 \text{ A/m}^2$  is 8 (V) while reverse bias voltage is 8 (V), it follows that  $(\text{reverse bias voltage} \times t_1) / (\text{rated terminal voltage} \times t_2) = 1 - 8(V) \times 0.5 / (8(V) \times 0.5) = 1.0$ .

**[0391]** According to FIG. 45, when  $(\text{reverse bias voltage} \times t_1) / (\text{rated terminal voltage} \times t_2)$  is 1.0 or more, the terminal voltage ratio does not vary (that is, the terminal voltage does not vary from the initial terminal voltage.) Application of reverse bias voltage works effectively. However, when  $(\text{reverse bias voltage} \times t_1) / (\text{rated terminal voltage} \times t_2)$  is 1.75 or more, the terminal voltage ratio tends to rise. Accordingly, the magnitude of reverse bias voltage  $V_m$  and the application time ratio  $t_1$  (or  $t_2$ , or the ratio between  $t_1$  and  $t_2$ ) should be determined so that  $(\text{reverse bias voltage} \times t_1) / (\text{rated terminal voltage} \times t_2)$  may assume 1.0 or more. Preferably, the magnitude of reverse bias voltage  $V_m$ , the application time ratio  $t_1$  and the like are determined so that  $(\text{reverse bias voltage} \times t_1) / (\text{rated terminal voltage} \times t_2)$  may assume 1.75 or less.

**[0392]** Such a bias driving method requires alternate application of reverse bias voltage and rated current. In the case of FIG. 46, in order to equalize the mean luminance of sample A and that of sample B per unit time, a current that instantaneously becomes higher than in the case where there is no application of reverse bias voltage  $V_m$ , has to be passed in the case where there is application of reverse bias voltage  $V_m$ . For this reason, the terminal voltage of EL device 15 also becomes higher in the case where there is application of reverse bias voltage  $V_m$  (sample A of FIG. 46.)

**[0393]** However, even in the driving method including application of reverse bias voltage, the rated terminal voltage  $V_0$  of FIG. 45 is such a terminal voltage as to satisfy the mean luminance (that is, such a terminal voltage as to cause EL device 15 to light.) (According to the specific example mentioned herein, the rated terminal voltage  $V_0$  is a terminal voltage resulting when a current having a current density of  $200 \text{ A/m}^2$  is applied. Since the duty ratio is  $1/2$ , the mean luminance throughout one cycle is a luminance at a current density of  $200 \text{ A/m}^2$ .)

**[0394]** The matter described above lies on the assumption that EL device 15 is caused to provide a white raster display (i.e., EL device 15 is fed with a maximum current.) When the EL display apparatus displays a picture image, it performs gray scale display since the picture image is a natural image. Therefore, a white peak current is not constantly passed through EL device 15. (The white peak current is a current passing at a maximum white display. In the case of the specific example mentioned herein, the white peak current is a current having a mean current density of  $100 \text{ A/m}^2$ .)

**[0395]** In the case of picture image display, in general, the current to be applied to (passed through) each EL device 15 is about 0.2 times as high as the white peak current. (The white peak current is a current passing under application of the rated terminal voltage. According to the specific example mentioned herein, the white peak current is a current having a current density of  $100 \text{ A/m}^2$ .)

**[0396]** Accordingly, when a picture image is displayed with the embodiment shown in FIG. 45, any value on the abscissa needs to be multiplied by 0.2. Thus, the magnitude of reverse bias voltage  $V_m$  and the application time ratio  $t_1$  (or  $t_2$ , or the ratio between  $t_1$  and  $t_2$ ) should be determined so that  $(\text{reverse bias voltage} \times t_1) / (\text{rated terminal voltage} \times t_2)$  may assume 0.2 or more. Preferably, the magnitude of reverse bias voltage  $V_m$ , the application time ratio  $t_1$  and the like are determined so that  $(\text{reverse bias voltage} \times t_1) / (\text{rated terminal voltage} \times t_2)$  may assume  $0.35 (= 1.75 \times 0.2)$  or less.

**[0397]** That is, a value of 1.0 on the abscissa ( $(\text{reverse bias voltage} \times t_1) / (\text{rated terminal voltage} \times t_2)$ ) in FIG. 45 needs to be changed to 0.2. Accordingly, when the display panel displays a picture image (this state of use seems to be usual because a white raster display seems not to be performed usually), reverse bias voltage  $V_m$  should be applied for predetermined time  $t_1$  so that  $(\text{re-$

verse bias voltage  $\times t1/(rated\ terminal\ voltage \times t2)$  may assume 0.2 or more. Even when the value of reverse bias voltage  $\times t1/(rated\ terminal\ voltage \times t2)$  increases, the increase in the terminal voltage ratio is not very large, as seen from FIG. 45. In view of the case where white raster display is performed, the upper limit value of reverse bias voltage  $\times t1/(rated\ terminal\ voltage \times t2)$  should be adjusted to 1.75 or less.

**[0398]** Hereinafter, the reverse bias method according to the present invention will be described with reference to the relevant drawings. The method of the present invention is based on application of reverse bias voltage  $V_m$  (or current) during a time period in which current is not passed through EL device 15. However, there is no limitation thereto. For example, it is possible to apply reverse bias voltage  $V_m$  forcibly while current is passing through EL device 15. This case will result in the current fed to EL device 15 stopped, hence, EL device 15 turned into the non-lighting state (black display state.) Though the method of the present invention will be described focusing mainly on the feature that a current-based programming pixel configuration is applied with reverse bias voltage, there is no limitation to this feature.

**[0399]** In a pixel configuration adapted for reverse bias driving, transistor 11g is an n-channel transistor as shown in FIG. 47. Of course, transistor 11g may be a p-channel transistor.

**[0400]** In FIG. 47, when gate potential control line 473 is applied with a voltage higher than the voltage applied to reverse bias line 471, transistor 11g(N) is turned on to apply reverse bias voltage  $V_m$  to the anode of EL device 15.

**[0401]** In the pixel configuration of FIG. 47 or the like, gate potential control line 473 may be operated with its potential always fixed. For example, when voltage  $V_k$  in FIG. 47 is 0 (V), the potential of gate potential control line 473 is fixed to 0 (V) or more (preferably 2 (V) or more). This potential is indicated at  $V_{sg}$ . With gate potential control line 473 in this state, when the potential of reverse bias line 471 is adjusted to reverse bias voltage  $V_m$  (0 (V) or lower, preferably a voltage lower than  $V_k$  by 5 (V) or more), transistor 11g(N) is turned on to apply reverse bias voltage  $V_m$  to the anode of EL device 15. When the voltage of reverse bias line 471 is made higher than the voltage of gate potential control line 473 (that is, the gate terminal (G) voltage of transistor 11g), transistor 11g is turned off to stop application of reverse bias voltage  $V_m$  to EL device 15. Of course, it is needless to say that reverse bias line 471 may assume a high-impedance state (open state or the like) at that time.

**[0402]** As shown in FIG. 48, gate driver 12c for controlling reverse bias line 471 may be formed or disposed separately. Like gate driver 12a, gate driver 12c operates shiftingly in sequence, so that the position to be applied with reverse bias voltage is shifted synchronously with this shifting operation.

**[0403]** The driving method described above is capable of applying reverse bias voltage  $V_m$  to EL device 15 by merely varying the potential of reverse bias line 471 with the gate terminal (G) voltage of transistor 11g fixed. Thus, application of reverse bias voltage  $V_m$  can be controlled easily. Further, the driving method can lower the voltage to be applied across the gate terminal (G) and the source terminal (S) of transistor 11g. This holds true for the case where transistor 11g is a p-channel transistor.

**[0404]** Application of reverse bias voltage  $V_m$  is performed when EL device 15 is not fed with current. Therefore, it is sufficient for transistor 11g to be turned on while transistor 11d is off. That is, gate potential control line 473 should be applied with voltage in a manner reverse of the on-off logic of transistor 11d. For example, it is sufficient for gate signal line 17b to be connected to the gate terminals (G) of respective transistors 11d and 11g. Since transistor 11d is of the p-channel type while transistor 11g is of the n-channel type, their respective on-off operations are opposite to each other.

**[0405]** FIG. 49 is a timing chart of the reverse bias driving method. In the chart, an additional number such as (1) or (2) indicates the number of a pixel row. For easy explanation, it is assumed that the first pixel row is indicated at (1) and the second pixel row indicated at (2). However, there is no limitation thereto but it may be considered that (1) indicates the Nth pixel row and (2) indicates the (N+1)th pixel row. This holds true for other embodiments unless otherwise specified. Though the embodiment illustrated in FIG. 49 and the like will be described by reference to the pixel configuration shown in FIG. 1 for example, there is no limitation thereto. For example, the driving method is applicable to the pixel configurations shown in Figs. 41, 38 and the like.

**[0406]** When gate signal line 17a(1) of the first pixel row is under application of on-voltage ( $V_{gl}$ ), gate signal line 17b(1) of the first pixel row is under application of off-voltage ( $V_{gh}$ ). That is, transistor 11d is off and EL device 15 is not fed with current.

**[0407]** Reverse bias line 471(1) is applied with voltage  $V_{sl}$  (which causes transistor 11g to turn on.) Accordingly, transistor 11g is turned on to apply reverse bias voltage to EL device 15. After lapse of a predetermined time period (a time period of 1/200 or more of 1H, or 0.5  $\mu$ sec) from application of off-voltage ( $V_{gh}$ ) to gate signal line 17b, reverse bias voltage is applied. The predetermined time period (a time period of 1/200 or more of 1H, or 0.5  $\mu$ sec) before application of on-voltage ( $V_{gl}$ ) to gate signal line 17b, application of reverse bias voltage is stopped. This operation is to avoid the transistors 11d and 11g turning on at the same time.

**[0408]** In the next horizontal scanning period (1H), off-voltage ( $V_{gh}$ ) is applied to gate signal line 17a to select the second pixel row. That is, on-voltage is applied to gate signal line 17b(2). On the other hand, on-voltage ( $V_{gl}$ ) is applied to gate signal line 17b to turn transistor 11d on. Accordingly, transistor 11a passes current



through EL device 15 to cause EL device 15 to emit light. At the same time, off-voltage ( $V_{sh}$ ) is applied to reverse bias line 471(1) so that EL device 15 of the first pixel row (1) will not be applied with reverse bias voltage. On the other hand, reverse bias line 471(2) of the second pixel row is applied with voltage  $V_{sl}$  (reverse bias voltage).

**[0409]** An image displayed over one screen is rewritten by repeating the sequential operations described above. The embodiment described above has the feature that application of reverse bias voltage is performed during the period in which each pixel is programmed. However, the present invention is not limited to the circuit configuration shown in FIG. 48. It is apparent that plural pixel rows can be consecutively applied with reverse bias voltage. It is also apparent that the reverse bias driving method can be combined with block driving (see FIG. 40), N-fold pulse driving, reset driving, dummy pixel driving, or a like driving method.

**[0410]** There is no limitation to the feature that application of reverse bias voltage is performed during image display. Such an arrangement is possible that reverse bias voltage is applied for a predetermined time period after the powering-off of the EL display apparatus.

**[0411]** Though the embodiment described above is applied to the pixel configuration shown in FIG. 1, it is needless to say that the embodiment is applicable to configurations adapted for application of reverse bias voltage as shown in Figs. 38 and 41. For example, the embodiment is applicable to the current-based programming pixel configuration shown in FIG. 50.

**[0412]** FIG. 50 illustrates a current mirror pixel configuration. Transistor 11c is a pixel selecting device. When on-voltage is applied to gate signal line 17a1, transistor 11c is turned on. Transistor 11d is a switching device having a resetting function and a function of short-circuiting the drain terminal (D)-gate terminal (G) of driving transistor 11a. Transistor 11d is turned on when gate signal line 17a2 is applied with on-voltage.

**[0413]** Transistor 11d is turned on 1H (one horizontal scanning period, i.e., one pixel row), preferably 3H, before the selection of the associated pixel. If it is 3H, transistor 11d is turned on 3H before to shortcircuit the gate terminal (G) and the drain terminal (D) of transistor 11a, thus turning transistor 11a off. Accordingly, transistor 11b is turned into a state not allowing current to pass therethrough, so that EL device 15 assumes the non-lighting state.

**[0414]** When EL device 15 is in the non-lighting state, transistor 11g is turned on to apply reverse bias voltage to EL device 15. Therefore, EL device 15 is under application of reverse bias voltage for a time period for which transistor 11d is on. For this reason, transistors 11d and 11g are turned on at the same time in terms of logic.

**[0415]** The gate terminal (G) voltage of transistor 11g is fixed by application of voltage  $V_{sg}$ . When reverse bias line 471 is applied with a reverse bias voltage that is

sufficiently lower than  $V_{sg}$ , transistor 11g is turned on.

**[0416]** Thereafter, when the horizontal scanning period in which an image signal is applied (written) to the pixel of concern comes, on-voltage is applied to gate signal line 17a1 to turn transistor 11c on. Accordingly, the image signal voltage outputted from source driver 14 to source signal line 18 is applied to capacitor 19 (with transistor 11d being kept in the on-state.)

**[0417]** When transistor 11d is turned on, a black display is provided. As the on-time of transistor 11d grows longer in a one-field (one frame) period, the proportion of the black display period becomes higher. Therefore, in order to adjust the means luminance throughout one field (on frame) to a desired value notwithstanding the black display period included, the display luminance during a display period needs to be raised. That is, it is required that EL device 15 be fed with a higher current in the display period. This operation is the N-fold pulse driving according to the present invention. Therefore, an operation characteristic of the present invention is to combine the N-fold pulse driving operation and the driving operation of turning transistor 11d on to provide a black display. Also, application of reverse bias voltage to EL device 15 in the non-lighting state is a feature characteristic of the present invention.

**[0418]** The embodiment described above is of the type which includes application of reverse bias voltage to a pixel assuming the non-lighting state in image display. The method of application of reverse bias voltage is not limited to this type. If application of reverse bias voltage is performed when an image is not displayed, it is not necessary to provide reverse bias transistor 11g for every pixel. The "non-lighting state", as used here, means a state where reverse bias voltage is applied before and after use of the display panel.

**[0419]** In the pixel configuration of FIG. 1, for example, pixel 16 is selected (by turning transistors 11b and 11c on), while source driver (circuit) 14 outputs voltage  $V_0$  (for example, voltage GND) as low as the source driver can output and applies voltage  $V_0$  to the drain terminal (D) of driving transistor 11a. With transistor 11a in this state, turning transistor 11d on causes the anode of EL device 15 to be applied with voltage  $V_0$ . At the same time, the cathode  $V_k$  of EL device 15 is applied with voltage  $V_m$  which is lower than voltage  $V_0$  by a value from 5 to 15 (V), whereby reverse bias voltage is applied to EL device 15. Transistor 11a is also turned into off-state when applied with a voltage lower than voltage  $V_0$  by a value from 0 to 5 (V) as voltage  $V_{dd}$ . By thus causing source driver 14 to output voltage and controlling gate signal line 17, it is possible to apply reverse bias voltage to EL device 15.

**[0420]** The N-fold pulse driving method is capable of passing a predetermined current (a current programmed by the voltage held at capacitor 19) through EL device 15 again even after a black display has been provided once within a one-field (one-frame) period. With the configuration of FIG. 50, however, once tran-

sistor 11d is turned on, capacitor 19 discharges (the meaning of which includes "reduce") electric charge held thereat and, hence, it is not possible to feed EL device 15 with the predetermined current (the current programmed.) Nevertheless, the circuit of FIG. 50 has a characteristic advantage that it can operate easily.

[0421] The embodiment described above is applied to the current-based programming pixel configuration. However, the present invention is not limited to this embodiment but may be applied to other current-based pixel configurations as shown in Figs. 38 and 50. The present invention is also applicable to voltage-based programming pixel configurations as shown in Figs. 51, 54 and 62.

[0422] FIG. 51 shows a voltage-based programming pixel configuration which is simplest in a general sense. Transistor 11b is a selective switching device, while transistor 11a is a driving transistor for feeding current to EL device 15. In this configuration, transistor (switching device) 11g for application of reverse bias voltage is located (formed) on the anode side of EL device 15.

[0423] In the pixel configuration of FIG. 51, the current to be passed through EL device 15 is fed to source signal line 18 and then fed to the gate terminal (G) of transistor 11a upon selection of transistor 11b.

[0424] The basic operation of the configuration shown in FIG. 51 will be described with reference to FIG. 52 for explanation of this configuration. The pixel shown in FIG. 51 is of the configuration called "voltage offset canceller" and performs a four-step operation comprising an initializing operation, a resetting operation, a programming operation, and light-emitting operation.

[0425] Following a horizontal synchronizing signal (HD), the initializing operation is performed. On-voltage is applied to gate signal line 17b to turn transistor 11g on. Also, on-voltage is applied to gate signal line 17a to turn transistor 11c on. At that time, source signal line 18 is applied with voltage Vdd. Accordingly, terminal a of capacitor 19b is applied with voltage Vdd. In this state, driving transistor 11a assumes on-state to pass a feeble current through EL device 15. This current causes the drain terminal (D) voltage of driving transistor 11a to have an absolute value larger than at least the operating point of transistor 11a.

[0426] Subsequently, the resetting operation is performed. Off-voltage is applied to gate signal line 17b to turn transistor 11e off. On the other hand, on-voltage is applied to gate signal line 17c for a time period T1 to turn transistor 11b on. This time period T1 is a resetting period. Also, gate signal line 17a is continuously applied with on-voltage for a 1H period. The time period T1 is preferably not less than 20% and not more than 90% of a 1H period. Stated otherwise, the time period T1 is preferably not less than 20  $\mu$ sec and not more than 160  $\mu$ sec. The ratio of the capacitance of capacitor 19b (Cb) to that of capacitor 19a (Ca), i.e., Cb:Ca, is preferably not less than 6:1 and not more than 1:2.

[0427] In the resetting period, transistor 11b is turned

on to shortcircuit the gate terminal (G) and the drain terminal (D) of driving transistor 11a. Accordingly, the gate terminal (G) voltage and the drain terminal (D) voltage of driving transistor 11a become equal to each other, thus rendering transistor 11a into an offset state (i.e., reset state: a state not allowing current to pass there-through). The reset state is a state where the gate terminal (G) voltage of transistor 11a assumes a value close to the initiating voltage at which current starts passing. This gate voltage for keeping the reset state is held at terminal b of capacitor 19b. Accordingly, capacitor 19 holds offset voltage (resetting voltage).

[0428] In the subsequent programming operation, off-voltage is applied to gate signal line 17c to turn transistor 11b off. On the other hand, source signal line 18 is applied with DATA voltage for a time period Td. Accordingly, the gate terminal (G) of driving transistor 11a is applied with a voltage as the sum of DATA voltage and offset voltage (resetting voltage.) For this reason, driving transistor 11a becomes able to pass the current programmed.

[0429] After the programming period, off-voltage is applied to gate signal line 17a to render transistor 11c into off-state thereby disconnecting driving transistor 11a from source signal line 18. Also, gate signal line 17c is applied with off-voltage to render transistor 11b into off-state which is kept for a 1F period. On the other hand, gate signal line 17b is applied with on-voltage and off-voltage periodically. When combined with the N-fold driving method as shown in FIG. 13 or 15 or the like or with the interlaced driving method, this driving method can realize better image display.

[0430] According to the driving method illustrated in FIG. 52, capacitor 19 in the reset state holds the initiating voltage for causing current to start passing through transistor 11a (offset voltage or resetting voltage). For this reason, when the gate terminal (G) of transistor 11a is under application of the resetting voltage, the pixel is in the darkest black display state. However, unclear black (a drop in contrast) occurs due to the coupling between source signal line 18 and pixel 16, punch-through voltage reaching to capacitor 19 or punch through at transistors. Therefore, the driving method illustrated in FIG. 52 cannot raise the display contrast.

[0431] Transistor 11a needs to be turned off in order to apply reverse bias voltage Vm to EL device 15. Short-circuiting the Vdd terminal and the gate terminal (G) of transistor 11a is sufficient to turn transistor 11a off. This feature will be described later with reference to FIG. 53.

[0432] Alternatively, voltage Vdd or a voltage for causing transistor 11a to turn off may be applied to source signal line 18 to turn transistor 11b on, thereby applying such a voltage to the gate terminal (G) of transistor 11a. This voltage turns transistor 11a off (or into a state allowing little current to pass therethrough (i.e., a substantially off-state in which transistor 11a has a high impedance).) Thereafter, transistor 11g is turned on to apply reverse bias voltage to EL device 15. The application of

reverse bias voltage  $V_m$  may be performed on all the pixels at a time. Specifically, source signal lines 18 are each applied with the voltage for causing transistor 11a to turn substantially off thereby turning on transistors 11b of all (plural) pixel rows. Accordingly, transistors 11a are turned off. Subsequently, transistors 11g are turned on to apply reverse bias voltage to EL devices 15. Thereafter, the pixel rows are sequentially applied with image signal, whereby the display apparatus displays an image.

**[0433]** The following description is directed to a reset driving method applied to the pixel configuration shown in FIG. 51. FIG. 53 illustrates an embodiment of the reset driving method. As shown in FIG. 53, gate signal line 17a connected to the gate terminal (G) of transistor 11c of pixel 16a is also connected to the gate terminal (G) of resetting transistor 11b of pixel 16b of the succeeding row. Similarly, gate signal line 17a connected to the gate terminal (G) of transistor 11c of pixel 16b is also connected to the gate terminal (G) of resetting transistor 11b of pixel 16c of the succeeding row.

**[0434]** Accordingly, when on-voltage is applied to gate signal line 17a connected to the gate terminal (G) of transistor 11c of pixel 16a, pixel 16a is programmed with voltage, while at the same time the resetting transistor 11b of pixel 16a of the succeeding row is turned on to reset driving transistor 11a of pixel 16b. Similarly, when on-voltage is applied to gate signal line 17a connected to the gate terminal (G) of transistor 11c of pixel 16b, pixel 16b is programmed with current, while at the same time the resetting transistor 11b of pixel 16c of the succeeding row is turned on to reset driving transistor 11a of pixel 16c. In this way, reset driving based on the antecedent gate control method can be realized easily. Further, the number of gate signal lines routed from each pixel can be decreased.

**[0435]** More specific description follows. It is assumed that gate signal lines 17 are applied with respective voltages as shown in FIG. 53(a); that is, gate signal line 17a of pixel 16a is applied with on-voltage, while gate signal lines 17a of other pixels 16 applied with off-voltage. It is also assumed that gate signal lines 17b of pixels 16a and 16b are applied with off-voltage, while gate signal lines 17b of pixels 16c and 16d applied with on-voltage.

**[0436]** Under these conditions, pixel 16a is in a state programmed with voltage and in the non-lighting state; pixel 16b is in a reset state and in the non-lighting state; pixel 16c is in a state holding the programming current and in the lighting state; and pixel 16d is in a state holding the programming current and in the lighting state.

**[0437]** After lapse of 1H, data in shift register circuit 61 of control gate driver 12 shifts by one bit, so that the state shown in FIG. 53(b) results. Specifically, the state shown in FIG. 53(b) is such that: pixel 16a is in a state holding the programming current and in the lighting state; pixel 16b is in a state programmed with current and in the non-lighting state; pixel 16c is in a reset state and in the non-lighting state; and pixel 16d is in a state

holding the programming current and in the lighting state.

**[0438]** As can be understood from the above description, the voltage applied to gate signal line 17a of each pixel of a row of concern resets driving transistor 11a of each pixel of the succeeding row thereby rendering the pixel of the succeeding row ready for voltage-based programming in the next horizontal period. Thus, voltage-based programming is performed on pixel rows sequentially.

**[0439]** The antecedent gate control method can be implemented even with the voltage-based programming pixel configuration shown in FIG. 43. FIG. 54 shows an embodiment in which the pixel configuration of FIG. 43 has connections adapted for the antecedent gate control method.

**[0440]** As shown in FIG. 54, gate signal line 17a connected to the gate terminal (G) of transistor 11b of pixel 16a is also connected to the gate terminal (G) of resetting transistor 11e of pixel 16b of the succeeding row. Similarly, gate signal line 17a connected to the gate terminal (G) of transistor 11b of pixel 16b is also connected to the gate terminal (G) of resetting transistor 11e of pixel 16c of the succeeding row.

**[0441]** Accordingly, when on-voltage is applied to gate signal line 17a connected to the gate terminal (G) of transistor 11b of pixel 16a, pixel 16a becomes programmed with voltage, while at the same time resetting transistor 11e of pixel 16b of the succeeding row is turned on to reset driving transistor 11a of pixel 16b. Similarly, when on-voltage is applied to gate signal line 17a connected to the gate terminal (G) of transistor 11b of pixel 16b, pixel 16b becomes programmed with current, while at the same time resetting transistor 11e of pixel 16c of the succeeding row is turned on to reset driving transistor 11a of pixel 16c. In this way, reset driving based on the antecedent gate control method can be realized easily.

**[0442]** More specific description follows. It is assumed that gate signal lines 17 are applied with respective voltages as shown in FIG. 55(a); that is, gate signal line 17a of pixel 16a is applied with on-voltage, while gate signal lines 17a of other pixels 16 applied with off-voltage. It is also assumed that all the reverse bias transistors 11g are off.

**[0443]** Under these conditions, pixel 16a is in a state programmed with voltage; pixel 16b is in a reset state; pixel 16c is in a state holding the programming current; and pixel 16d is in a state holding the programming current.

**[0444]** After lapse of 1H, data in shift register circuit 61 of control gate driver 12 shifts by one bit, so that the state shown in FIG. 55(b) results. Specifically, the state shown in FIG. 55(b) is such that: pixel 16a is in a state holding the programming current; pixel 16b is in a state programmed with current; pixel 16c is in a reset state; and pixel 16d is in a state holding the programming current.

[0445] As can be understood from the above description, the voltage applied to gate signal line 17a of each pixel of a row of concern resets driving transistor 11a of each pixel of the succeeding row thereby rendering the pixel of the succeeding row ready for voltage-based programming in the next horizontal period. Thus, voltage-based programming is performed on pixel rows sequentially.

[0446] When perfect black display is performed with a current-based driving method, the current programmed at the driving transistor 11 of each pixel is 0. That is, no current is passed from source driver 14. With no current, it is impossible to charge/discharge the parasitic capacity produced in source signal line 18 as well as to vary the potential of source signal line 18. Accordingly, the gate potential of the driving transistor does not vary and, hence, capacitor 19 keeps on holding the potential as built one frame (field) (1F) before. For example, if a white display is given one frame before, the white display is maintained in the next frame even when a perfect black display is desired in the next frame.

#### [Embodiment of Precharge Voltage Application]

[0447] Hereinafter, a problem in a current driving method will mainly be described, followed by a description of a constitution of the invention relating to a precharge voltage application which solves the problem. Note that the problem of insufficient programming can be caused not only in the current driving but also in the voltage driving. Therefore, the invention is applicable also to the voltage driving. As described with reference to FIG. 1, in order to cause the light emitting element 15 of each of the pixels 16 to display, the transistor 11b and 11c are brought into the conductive state by the gate signal line 17a in one horizontal scan period (1H). Then, a current  $I_w$  (programming current  $I_w$ ) is drawn to the source driver 14 from the anode voltage  $V_{dd}$  via the transistor 11a and the source signal line 18. Gradation display is performed in accordance with an amount of the current drawn to the source driver 14. A gate voltage responsive to the drain current of the transistor 11a is accumulated in the condenser 19.

[0448] In addition, it is preferable to employ this embodiment in combination with one of other embodiments described in this specification. For example, a combination of this embodiment with the backward bias voltage driving shown in FIG. 45 or 50 and a combination of this embodiment with the driving method shown in FIG. 14, 17, 19, 24, 37, or 53 are preferable. Also, it is needless to say that this embodiment can be combined with a panel structure. For example, this embodiment may be combined with the structure shown in FIG. 8, 9, 10, 11, 27, 40, 41, or 48.

[0449] Then, the transistor 11d is turned on by the gate signal line 17b, and the transistors 11b and 11c are turned off by the gate signal line 17a, so that a current responsive to the charge (which is the control voltage)

in the condenser 19 is supplied from the  $V_{dd}$  to the light emitting element 15 via the transistor 11a.

[0450] The current flowing to the source signal line 18 changes gradually depending on a product of a value of stray capacity 641 of the source signal line 18 and source-drain (S-D) resistance of the transistor 11a. Therefore, when the capacitance 641 and the resistance are increased too much, the current sometimes fails to reach a predetermined value in one horizontal scan period (1H).

[0451] With a reduction in the current flowing to the source signal line 18 (in the case of low gray scale), the source-drain (S-D) resistance of the transistor 11a is increased; therefore, time required for the current to change is increased with the reduction in the current. Though it depends on diode characteristics of the transistor 11a and the value of the stray capacity 641 of the source signal line 18, it takes 50  $\mu$  seconds for the current flowing to the source signal line 18 to change to 1  $\mu$ A, and it takes 250  $\mu$  seconds for the current to change to 10 nA, for example.

[0452] The current flowing to the source signal line 18 supplies the charge from the  $V_{dd}$  to the source signal line 18 via the transistor 11a and changes by changing the charge of the stray capacity 641. That is to say, the current flowing through the transistor 11a (the current flowing to the source signal line 18) changes with the change in voltage of the source signal line 18. A quantity of the supplied charge is small in a region where the current is small. The current is small in a low gray scale region (black display region). Accordingly, the change in voltage of the source signal line 18 is slowed down to slow down the change in current.

[0453] In order to speed up the change in current, it is necessary to apply a voltage responsive to a predetermined source current to the source signal line 18. This is because a gate potential of the transistor 11a is changed by using a time constant obtained by a product of the stray capacity and the wiring resistance of the source signal line 18. According to the above method, the transistor 11a so changes as to supply a predetermined current to the source signal line 18.

[0454] The wiring resistance is remarkably smaller than the source-drain (S-D) resistance of the transistor 11a. Therefore, the change due to the voltage applied to the source signal line 18 is remarkably rapid. For instance, the current perfectly changes to a desired value in about 1 to 3  $\mu$  seconds.

[0455] However, the source voltage used for supplying the predetermined current to the source signal line 18 changes depending on variation in current-voltage characteristics of the transistor 11a. Therefore, in order to compensate for a difference from the predetermined current, it is necessary to change the current flowing to the source signal line 18 to the predetermined value by connecting to the source signal line 18 a current source for supplying the predetermined current.

[0456] In order to realize the above arrangement,

each of output units of the source driver 14 has a constitution shown in FIG. 63.

[0457] gray scale data (gray scale information) are transmitted via a gray scale data wiring 633 in the source driver 14. A current responsive to the gray scale data is generated by a current generation unit (signal current source) 634, and the thus-generated current is output to the source signal line 18, so that a current responsive to the gray scale is supplied to the source signal line 18. A voltage generation unit 631 generates a precharge (or discharge, in a sense of discharging a charge of the source signal line 18) voltage. The precharge (discharge) voltage from the voltage generation unit 631 is so constituted as to perform output to the source signal line 18 via a precharge switch (second change over switch) 636.

[0458] Since a plurality of voltage sources and a plurality of current sources are required after the application of the voltage responsive to the gray scale with this method of flowing the current responsive to the gray scale, the size of the circuit is increased. In turn, since one or a few types of the precharge voltage is/are used in this invention, a circuit structure of the invention is simple and the size of the circuit is small.

[0459] The change in current is such that a speed of a change in waveform is increased with an increase in gray scale since apparent resistance of the transistor 11a is smaller in the case of high gray scale display as compared with that in the case of low gray scale display. Accordingly, a voltage adjusted for the black display which is difficult to be programmed is applied, and then the predetermined current is supplied to the source signal line 18, thereby displaying given gray scale. Alternatively, the precharge voltage is applied to the source signal line 18 only in the case of perfect black display (gray scale 0).

[0460] In addition, even in the case of applying the precharge voltage for the gray scale 0, it is preferred to vary the precharge voltage depending on R, G, and B. This is because a dark voltage of EL element 15 varies depending on R, G, and B. Of course, the dark voltages of the EL elements 15 of R, G, and B can be set to an identical value when the dark voltages are substantially the same. Also, it is preferred to change the precharge voltage depending on R, G, and B in the case where a W/L ratio and a transistor size of the driving transistor 11a vary depending on R, G, and B.

[0461] Referring to FIG. 63, the voltage corresponding to the lowest gray scale (hereinafter referred to as black voltage) is generated in the voltage generation unit 631, so that a current responsive to the gray scale data of the gray scale data signal wiring 633 is output from the current generation unit 634. During one horizontal scan period (1H), the voltage application is performed for initial 0.2 to 3  $\mu$  seconds, and then a controller (gate driver: see FIG. 1) 12 detects a duration of the horizontal scan period so as to perform a current output, followed by setting a conduction period of the precharge

switch 636 by a clock, a counter, and the like. An output current switch (first change over switch) 637 may continuously be in the conductive state, but it is desirable that the output current switch 637 is in the non-conductive state during the conduction period of the precharge switch in order to prevent the output current switch 637 from influencing on the unit current sources 654 and the like. Shown in FIG. 73 is operation of the switches 636 and 637 in one horizontal scan period.

[0462] The given black display in the low gray scale (black display region) is more easily performed by applying the black voltage at the beginning of the horizontal scan period (1H). Since the high gray scale display is performed after once performing the black display, one horizontal scan period might pass before the change into the high gray scale level. In the case of performing the high gray scale display during 2 or more horizontal scan periods (for instance, gray scale A and gray scale B of white display), the state of the source signal line changes in the order of black, the gray scale A, black, and the gray scale B when the black voltage of the precharge voltage is applied in the first 1H. When the precharge voltage is not applied to the source signal line 18, the state of the source signal line changes from the gray scale A to the gray scale B. The variation in state of the source signal line 18 is smaller in the case of the change from the gray scale A to the gray scale B as compared with the variation in the case of the change from the black to the gray scale B, and the change from the gray scale A to the gray scale B is performed more rapidly.

[0463] Accordingly, the control on the precharge switch 636 as to whether or not the voltage generation unit 631 is applied to the source signal line 18 is adapted to change depending on the gray scale to be displayed. More specifically, no voltage is applied in the high gray scale display (this control is referred to as "selected precharge" since the control enables to apply the precharge (discharge) voltage selectively depending on the gray scale data; in the case of performing the precharge in all gray scales, such control is referred to as "total precharge").

[0464] Therefore, gray scale data 13 is input to the voltage output controller 632 for performing the control on the precharge switch 636, so that the output from the voltage output controller 632 can be changed depending on the value of the gray scale data 13.

[0465] The selected precharge in the case of performing 64 gray scale display (gray scale 0 is black and gray scale 63 is white) will be described by way of example. For instance, in a first selected precharge mode, a precharge voltage is applied to the source signal line 18 only in the case of the gray scale 0. Accordingly, the control method of the voltage output controller 632 is so decided as to output the precharge voltage of the voltage generation unit 631 to the source signal line 18 for 1 to 3  $\mu$  seconds during one horizontal period only in the case of the gray scale 0. In a second selected precharge

mode, the precharge voltage is applied to the source signal line 18 only in the case of the gray scales 0 to 3. Accordingly, the control method of the voltage output controller 632 is so decided as to output the precharge voltage of the voltage generation unit 631 to the source signal line 18 for 1 to 3  $\mu$  seconds during one horizontal period only in the case of the gray scales 0 to 3. It is preferred to use predetermined commands in order to change among the selected precharge modes and the total precharge. Also, the precharge application period and the precharge voltage may preferably be changed by the use of commands. Such command settings can be realized easily by using a command decoder circuit, an electronic volume, and the like.

[0466] Examples of the constitution of the current generation unit are shown in Figs. 65 to 69. Though the case of 4 bit gray scale data and 16 gray scale display is described in the following, the current generation unit can be realized with an arbitrary number of bits. For example, the number of bits may be 6 (64 gray scales (260,000 colors)). Examples of Figs. 65 to 67 and 69 can be realized by changing the number of transistors and the number of switches depending on a weight of the bits, and the example of FIG. 68 can be realized by changing the number of input bits in a digital/analog converter 681.

[0467] The reference numeral 654 in FIG. 65 denotes the transistor serving as the unit current source. Switching circuits 651a to 651d are connected between the output 18 and the transistor (unit current source 654). A current responsive to the gray scale data is output to an internal wiring 638 of the source driver 14 by changing the number of transistors to be connected to each of the switching circuits 651a to 651d in accordance with the weight of the bits of the data. The source signal line 18 is connected to the internal wiring 638. Shown in FIG. 65 is a part of the source driver for outputting current. The number of the transistors 654 connected to the lowest bit is one; the number of the transistors 654 connected to the upper bit next to the lowest bit is two; the number of the transistors 654 connected to the upper bit next to the formerly mentioned upper bit is four; and the number of the transistors 654 connected to the uppermost bit is eight. The number of the transistors 654 to be connected to the output (source signal line 18) changes depending on the gray scale data by turning on and off the switch 653 in response to the gray scale data, and the current flowing to the source signal line 18 changes due to the change in the number of the transistors 654, thereby achieving the gray scale display.

[0468] Adjustment of gray scale width per gray scale is achieved by changing variable resistance 656. The transistor 655 and the transistor 654 form a current mirror structure, so that a current corresponding to a mirror ratio of a current flowing through the transistor 655 flows through the transistor 654. Because the current flowing through the transistor 655 changes with the change in value of the variable resistance 656, it is possible to

change an increment in current per gray scale. The variable resistance 656 is means for changing the current, and the means for changing the current is not limited to the variable resistance. For example, an electronic volume of a current output may be used as the means for changing the current, and it is needless to say that this modification is applicable to the variable resistance 692 of FIG. 69.

[0469] Gradation display in FIG. 66 is performed by changing the number of the transistors 654 to be connected to the output (source signal line 18), too. However, the gray scale display shown in FIG. 66 is different from that shown in FIG. 65 in that a voltage of the transistor 654 for deciding a gray scale width for one gray scale is directly controlled by a variable voltage source 661. The variable voltage source 661 is means for changing (adjusting) the voltage, and the means for changing the voltage is not limited to the variable voltage source. For example, an electronic volume of a voltage output may be used as the means for changing the voltage.

[0470] Shown in FIG. 67 is a constitution wherein a constant current circuit having an operation amplifier 674 and so forth is connected in place of the variable resistance 656 of FIG. 65. A current flowing through the transistor 655 is decided depending on a voltage from a voltage source 671 and resistance 672. A method of changing the current depending on the gray scale is the same as that of Figs. 65 and 66. It is preferable to use the resistance 672 as external resistance of the source driver 14 because such external resistance enables to set the current flowing to each of the unit current sources 654 at will.

[0471] Shown in FIG. 68 is a constitution wherein gray scale display is performed by changing a current flowing to the internal wiring 638 in accordance with a gate voltage of the transistor 683. The gate voltage changes depending on the gray scale data. The gray scale data are changed into analog signals by the digital/analog converter 681, and the signals are input to the gate voltage of the transistor 683 via an operation amplifier 682, whereby the current is changed.

[0472] The driving circuit of the EL display apparatus of the invention is realized by using the current output circuit 635 shown in Figs. 65 to 68 generated corresponding to gray scale, the voltage generation unit 631 for generating the black voltage (precharge voltage), the controller 632 for controlling the precharge switch 636 and the like depending on the duration of one horizontal scan period (1H), and so forth.

[0473] The case of one output has been described in conjunction with Figs. 65 to 68 in order to simplify the description or to simplify the drawings. In the case of plural outputs, it is necessary for the currents flowing to the transistors (unit current sources) 654 of all rows to be identical with one another in order to output an identical current for an identical gray scale in all rows.

[0474] Shown in FIG. 69 is a constitution wherein the

current generation unit 634 is so modified as to output an identical current in plural rows in the constitution of FIG. 65. Referring to FIG. 69, at least one current mirror unit is provided for a current flowing through variable resistance 692 in order to distribute the current among plural streams using the current mirror unit.

[0475] If necessary, another current mirror unit may be used for distributing the current among the plural streams. An identical current is output by connecting the gates of the transistors 654 of each row to a gate of one of the distributed transistors 695. It is possible to distribute the current with less variation in mirror ratio by disposing the transistors forming one current mirror unit, which uses the common gate, close to each other. A constitution downstream of the gate signal line of the transistors 695b and 696c is the same as that of the transistor 695a.

[0476] In the constitution of FIG. 66, an output from the voltage 661 is supplied to each of gates of transistors 654 in each row. The constitution of FIG. 66 is different from that of FIG. 65 in that an output current per gray scale is controlled by changing a gate voltage of each of transistors 654 through the application of the voltage from the voltage source 661.

[0477] Shown in FIG. 75 is a constitution in which an identical current is output to plural rows. With the constitution, an identical voltage is applied to all gate signal lines of the transistors (unit current sources) 654 of all the rows, and the voltage is supplied from the variable voltage source 661. For example, the transistor 654a is provided for a first row; the transistor 654b is provided for a second row, and the transistor 654c is provided for a third row. In the case where threshold voltages of the transistors (unit current sources) 654 vary from one another, this method may cause difference among the output currents even when the outputs are for identical gray scale to cause irregularity in the form of stripes along the signal lines.

[0478] However, when the transistors are formed from a crystalline silicon, the difference between the threshold voltages of the adjacent outputs (source signal lines 18) is small and the threshold voltage in one chip changes gradually toward one direction; therefore, the irregularity is not in the form of stripes during display and luminance gradually changes from one end to the other. Thus, the constitution is free from deterioration in display characteristics, and the current generation unit 634 is realized by such simple constitution.

[0479] Shown in FIG. 67 is a constitution wherein a constant current source is formed by using an operation amplifier 674, a transistor 672, and resistance 673, and a current from the constant current source is adjusted in response to a mirror ratio using a transistor 655 and a current mirror unit to be supplied to the transistors (unit current sources) 654. The current flowing to the unit current sources 654 is decided depending on values of a voltage source 671, resistance 673, and a V<sub>cc</sub> power source connected to the resistance 673.

[0480] Light emission efficiency which is one of current characteristics relating to luminance of an organic light emitting element varies depending on R, G, and B in the R-G-B apposition, and, therefore, a current for one luminance varies as shown in FIG. 72, for example. Also, in the method using a color filter, a current for one luminance varies depending on R, G, and B when transmittivity differs among the colors. Also, in the case of using CCM, because a color conversion efficiency of from blue to red differs from that of from blue to green, a current for one luminance basically varies depending on the colors. Therefore, a dark current also varies depending on the colors. In the example of FIG. 72, the dark currents for red, green, and blue are IR, IG, and IB.

[0481] Since the voltage generated by the voltage generation unit 631 is the source signal line voltage in the case of flowing a current required for the lowest gray scale to the source signal line 18, the voltage varies depending on the colors.

[0482] Accordingly, as shown in FIG. 71, voltages 711R, 711G, and 711B varying from one another depending on the display colors are supplied from the voltage generation unit 631, and a voltage corresponding to a source potential at the time when a dark current of red (R) light emitting element is flowing is supplied to 711R. Voltages corresponding to green (G) and blue (B) are supplied in the same manner to 711G and 711B.

[0483] The dark currents (I<sub>dark</sub>) are calculated from current-luminance characteristics of the organic light emitting element shown in FIG. 72 to obtain voltages to be supplied. When one pixel has the constitution of FIG. 1, a gate voltage of the transistor 11a at the time when a current of I<sub>dark</sub> flows to the source signal line 18 is calculated from the current-voltage characteristics of the transistor 11a which controls the current flowing to the light emitting element 15, and then the thus-obtained gate voltage is generated in the voltage generation unit 631. Though the case of calculating the gate voltage of the transistor 11a when the current of I<sub>dark</sub> flows is described above, the invention is not limited to the case. A current close to I<sub>dark</sub> may also be used for the calculation. The spirit of the invention is to generate a satisfactory precharge voltage for the black gray scale display in each of R, G, and B circuits. Therefore, currents other than the I<sub>dark</sub> may be used so far as they are sufficient for practical use, and this is applicable to the following embodiments.

[0484] Also, the pixel structure is not limited to that shown in FIG. 1, and the invention is realized by the use of the current mirror structure shown in FIG. 70. In the current mirror structure, a gate voltage when a current of I<sub>dark</sub> flows through the transistor 11b is to be generated in the voltage generation unit 631. In short, to realize the invention, the gate voltage obtained when the transistor for controlling the current flowing to the organic light emitting element supplies the current I<sub>dark</sub> is generated by the voltage generation unit 631 irrelevant from the pixel circuit structure.

[0485] Further, in addition to the constitution for varying the voltage depending on the display colors shown in FIG. 71, the output from the voltage output controller 632 may be varied depending on the display colors. For example, the conduction time of the precharge switch 636 may be varied depending on the display colors, or the gray scale for which the precharge switch 636 is brought into the conductive state may be varied depending on the display colors. More specifically, the selected precharge may be performed only for the gray scale 0 of R without setting the precharge for G and B. Alternatively, the selected precharge may be performed for the gray scales 0 to 3 of R and the gray scale 0 of each of G and B. Yet alternatively, the precharge may be performed for all the gray scales of R, while performing the selected precharge for the gray scale 0 of each of G and B.

[0486] The above output variations are proposed in view of the fact that: the time required for a current to change to a predetermined current varies depending on a current of each of R, G, and B; the time required for the change is reduced with the increase in current; low gray scale display of a display color requiring a small dark current is more easily achieved through the application of the voltage from the voltage generation unit as compared with a display color requiring a large dark current; and the range of the low gray scale display levels of the display color requiring the small dark current is larger (closer to the high gray scale level) than that of the display color requiring the large dark current.

[0487] Particularly in the pixel structure of FIG. 64, it has been found that the voltage of the voltage generation unit applied for about 0.5 to 3  $\mu$  seconds is sufficient when the gray scale level is 0 in the case of manufacturing a multi-color display apparatus according to the R-G-B apposition. Also, it has been found that the voltage application is not always required for low gray scale display depending on the display characteristics of the color of light.

[0488] For example, in the case of a multi-color display apparatus constituted of a red light emitting element (R), a green light emitting element (G), and a blue light emitting element (B) having the luminance-current characteristics shown in FIG. 72, a current for displaying black varies depending on the colors of light, and the current for displaying black of the green light emitting element must be smaller than that of the red light emitting element.

[0489] In a display apparatus performing gray scale display by changing a current to be supplied to the pixels shown in Figs. 64 and 70 and the organic light emitting element owing to the change in gate potential caused by a current from a transistor, time required for the current flowing through the transistor which controls the current to be supplied to the organic light emitting element to change to a predetermined current is increased with a reduction in current. Particularly, it takes the longest time to change to the lowest current. As a result, it

is difficult to achieve the black display since the current does not change from that of a preceding horizontal scan period to that of the black display in one horizontal scan period and a current indicating gray scale between the preceding gray scale and the black display is supplied.

[0490] However, when the dark current is large, it is possible to achieve the black display even when the current flowing through the transistor is not 0. For instance, the red light emitting element requires a current of IR or less. It is in some cases possible to change the current to be larger than IG and equal to or smaller than IB depending on the duration of one horizontal scan period though it is impossible to change the current to be equal to or smaller than IG. In this case, the red and blue pixels achieve the black display without application of voltage generated by the voltage generation unit 631, and only the green pixel fails to achieve the black display without the application of the voltage.

[0491] Accordingly, as shown in FIG. 74, enable signal lines 741 for the respective display colors are input to the voltage output controller 632, so that the application of the voltage of the voltage generation unit 631 is selected depending on the display colors. In the display apparatus of the above example, an enable signal is input to 741R and 741B to bring the precharge switches 636 into the non-conductive state in all horizontal scan periods irrelevant from the gray scale level, while the precharge switch 636 of 741G is closed during a partial period in one horizontal scan period when the gray scale data 13 indicate gray scale 0. Thus, it is possible to select as to whether or not the black voltage is applied for each of the display colors.

[0492] Further, this method enables to reduce types of voltages to be generated by the voltage generation unit 631 in the case of applying the voltage for the required display color(s) as compared with the constitution of FIG. 71. It is possible to reduce the number of voltage applications from three to one when the black voltage is applied for one color and from three to two when the black voltage is applied for two colors, thereby contributing to a reduction in size of the circuit of the power source unit.

[0493] It is needless to say that the switch 636 shown in FIG. 63 can be formed directly on the substrate 70 by the low temperature polysilicon technology. The same applies to the voltage generation unit 631.

[0494] It is necessary to keep the duration of the application of the precharge voltage to be 0.5  $\mu$  seconds or more. Alternatively, the precharge time may preferably be 1% or more and 10% or less of one horizontal scan period. More preferably, the precharge time may be 2% or more and 8% or less of 1H.

[0495] It is preferable to change the precharge voltage depending on contents (brightness, definition, etc.) of the display image 21. For example, a user detects the change through pressing an adjustment switch or turning volume adjustment screw to change the precharge



voltage (current). Alternatively, the voltage may be automatically changed depending on contents and data of a display image. For example, intensity of external light is detected by a photo sensor, and the precharge (discharge) voltage (current) is adjusted by using the detected intensity. Alternatively, the voltage may be adjusted depending on types of images (an image created by using a personal computer, an image of noontime, an image of starlit sky, etc.). A degree of the adjustment is decided in view of average brightness, maximum luminance, minimum luminance, dynamic image, stationary image, and luminance distribution of the image.

**[0496]** The precharge voltage may be subdivided. For example, precharge voltages PV1, PV2, PV3, and PV4 may be generated so that: the voltage PV1 is applied to the source signal line 18 for gray scale 0; the voltage PV2 is applied to the source signal line 18 for gray scales 1 to 7; the voltage PV3 is applied to the source signal line 18 for gray scales 8 to 16; and the voltage PV4 is applied to the source signal line 18 for gray scales 17 to 63.

**[0497]** The precharge voltage application is not limited to the black display region, and, as described in the foregoing embodiments, the precharge voltage may be applied as a white voltage to the source signal line 18 to the white display region.

**[0498]** The precharge voltage may preferably be set to a value which is different from the anode voltage Vdd (source or drain terminal voltage of the driving transistor 11a) shown in FIG. 64 by 0.2 (V) or more and 2.0 (V) or less. More preferably, the precharge voltage may be set to a value which is different from the anode voltage Vdd by 0.4 (V) or more and 1.2 (V) or less. For example, when the driving transistor has P channels and the Vdd voltage is 5.5 (V) as shown in FIG. 64, the precharge voltage may be set to a value in the range of 5.3 (V) to 3.5 (V). More preferably, the precharge voltage may be set to a value in the range of 5.1 (V) to 4.2 (V).

**[0499]** In addition, the current sources in general can substantially output a predetermined voltage even with a change in load impedance, and the voltage sources in general can substantially output a predetermined voltage even with a change in load impedance. In turn, in this invention, it is necessary that at least the output impedance of the voltage generation unit 631 for precharge voltage application is smaller than that of the current generation unit 635 for source signal output. Of course, it is desirable that the output impedance of the current generation unit 635 is sufficiently larger than the load impedance and that the output impedance of the voltage generation unit 631 is sufficiently smaller than the load impedance.

[Embodiment of an electronic display appliance]

**[0500]** Next, description will be made of an embodiment of a display appliance using the driving method of the present invention. FIG. 57 is a plan view of a mobile

phone as an example of a personal digital assistant. The mobile phone shown includes a receiver and a speaker. Casing 573 is provided with an antenna 571, a numeric key pad 572 and the like. Keys 572a to 572e include a display color switching key, a power on-off key and a frame rate changing key.

**[0501]** A sequence may be formed such that depressing the display color switching key once will turn the display into a 8-color mode, depressing the same key again subsequently will turn the display into a 256-color mode, and further depressing the same key will turn the display into a 4096-color mode. The key is a toggle switch operative to change the display color mode upon every depression. Change keys corresponding to display colors may be provided separately. In this case, there are three (or more) display color switching keys.

**[0502]** The display color switching key may be another mechanical switch, such as a slide switch, instead of a push switch. Alternatively, it is possible to employ an arrangement for switching the display color based on voice recognition. Such an arrangement is possible that the display color on the display screen 50 of a display panel is changed in response to a voice inputting of, for example, "4096-color display", "high-definition display", "256-color mode" or "low display color mode" to the receiver. This arrangement can be realized easily by utilizing the current voice recognition technology.

**[0503]** The switching of display color may be made using an electrical switch or a touch panel for the user to select a desired item from a menu displayed in the display section 21 of the display panel by touching. Alternatively, it is possible to employ such an arrangement that the display color is changed as the number of depressions on the switch varies or as the rotation and the direction vary like a click ball.

**[0504]** Instead of the aforementioned display color switching key, a key for changing the frame rate or the like may be used. A key for switching between motion picture display and stationary image display may be used. It is possible to employ such an arrangement as to change plural conditions such as the frame rates of motion picture display and stationary image display. Also, it is possible to employ such an arrangement as to gradually vary the frame rate by being continuously depressed. This arrangement can be realized by using a variable resistor or an electronic volume for resistor R of an oscillator comprising capacitor C and the resistor R, or by using a trimmer capacitor for the capacitor C. Such an arrangement may be realized using a circuit in which one or more capacitors selected from plural capacitors formed on a semiconductor chip are connected in parallel.

**[0505]** The technical concept of varying the frame rate based on the display color is applicable not only to mobile phones but also to various apparatus of the type having a display screen such as palm-top computers, notebook PCs, desk-top PCs and portable clocks. This concept is applicable not only to organic EL display pan-

els but also to liquid crystal display panels, transistor panels, PLZT panels, CRTs and the like.

[0506] Though not shown in FIG. 57, the mobile phone according to the present invention has a CCD camera on the rear side of the casing 573. An image taken by this CCD camera can be immediately displayed on display screen 50 of the display panel. The data on the image taken by the CCD camera can be displayed on display screen 50. The image data taken by the CCD camera can be displayed in different display color modes such as 24-bit mode (16,700,000 colors), 18-bit mode (260,000 colors), 16-bit mode (65,000 colors), 12-bit mode (4,096 colors), and 8-bit mode (256 colors), which can be switched one from another by inputting through the key 572.

[0507] When the display data is data of 12 bits or more, the error diffusion process is performed before it is display. That is, when image data from the CCD camera exceeds the capacity of internal memory, image processing including the error diffusion process and the like is performed so that the number of colors to be displayed will correspond to a capacity lower than the capacity of the internal image memory.

[0508] Now, reference is made to the case where source driver 14 is provided with internal RAM adapted for 4,096 colors (4 bits for each of R, G and B) per screen. In the case where image data fed from outside of the module is 4,096-color data, the data is stored directly into the internal image RAM and then read out of the internal image RAM for the image to be displayed on display screen 50.

[0509] In the case where image data is 260,000-color data (16-bit data comprising 6 bits for G and 5 bits for each of R and B), the image data is temporarily stored into the operational memory of an error diffusion controller while, at the same time, being subjected to the error diffusion process or dither process performed by an operational circuit. Such an error diffusion process or the like converts the 16-bit image data into 12-bit data, the number of bits of which is equal to that of the internal image RAM. The data thus converted is transferred to source driver 14, which in turn outputs image data having 4 bits for each of R, G and B (4,096 colors) to display the image on display screen 50.

[0510] An embodiment employing the EL display panel or EL display apparatus or the driving method according to the present invention will be described with reference to the drawings.

[0511] FIG. 58 is a sectional view of a view finder according to the embodiment of the present invention. FIG. 58 illustrates the view finder schematically for easy explanation. In this figure there are portions enlarged or reduced in scale, or omitted. For example, an eyepiece cover is omitted from FIG. 58. This holds true for other figures.

[0512] Body 573 has a reverse surface in a dark or black color. This is for preventing stray light emitted from EL display panel (display apparatus) 574 from diffuse

reflection at an internal surface of body 573. On the light-emitting side of the display panel are located phase plate ( $\lambda/4$  plate or the like) 108, sheet polarizer 109 and the like. These components have been described with reference to Figs. 10 and 11.

[0513] Magnifying lens 582 is fitted to eyepiece ring 581. The observer adjusts the position of the eyepiece ring 581 inserted in the body 573 so that image 50 displayed by the display panel 574 may be brought into focus.

[0514] If convex lens 583 is disposed on the light-emitting side of the display panel 574 when need arises, a principal ray incident on the magnifying lens 582 can be converged. Therefore, it is possible to reduce the diameter of the magnifying lens 582, hence, downsize the view finder.

[0515] FIG. 59 is a perspective view of a digital video camera. The video camera includes shooting (image pickup) lens section 592 and a digital video camera body 573, the shooting lens section 592 and the view finder section 573 being positioned back to back. The view finder 573 (see FIG. 58 also) is fitted with an eyepiece cover. The observer (user) observes display section 50 of the display panel 574 from the eyepiece cover section.

[0516] The display section 50, which is the EL display panel of the present invention, is also used as a display monitor. The angle of the display section 50 can be adjusted about a fulcrum 591 as desired. When not in use, the display section 50 is put in a storage section 593.

[0517] A switch 594 is a change-over switch or a control switch for implementing the following functions. The switch 594 is a display mode change-over switch. It is preferable to provide a mobile phone or the like with switch 594. Description will be made of this display mode change-over switch 594.

[0518] One of the driving methods according to the present invention includes feeding EL device 15 with an N-fold current for  $1/M$  of a  $1/F$  period thereby causing EL device 15 to light for a  $1/M$  period. The brightness of EL device 15 can be varied digitally by varying this lighting period. If  $N = 4$  for example, EL device 15 is fed with a 4-fold current. If the  $1/M$  lighting period is varied by varying the value of  $M$  from 1 up to 4, the brightness can be varied from 1-fold brightness up to 4-fold brightness. It is possible to employ an arrangement capable of varying the value of  $M$  in such a manner as  $M = 1, 1.5, 2, 3, 4, 5, 6$ .

[0519] The above-described change-over operation is utilized for an arrangement such as to make display screen 50 very bright when the mobile phone is powered on and, after lapse of a fixed time, lower the display luminance to save the power. The change-over operation may also be utilized as a function which allows the user to set his or her desired brightness. For example, when in use outdoors, the screen is made very bright, otherwise the screen is difficult to view due to the surrounding which is bright outdoors. However, if such a high-lumi-

nance display is continued, EL device will deteriorate rapidly. For this reason, if such a very bright display is provided, an arrangement is employed such as to resume the normal luminance in a short time. Further, if a high-luminance display is needed, an arrangement is employed which allows the user to raise the display luminance by his or her depressing a button.

[0520] Thus, it is preferable to employ an arrangement which allows the user to vary the brightness of the screen by button 594, an arrangement which is capable of automatically varying the brightness of the screen according to preset modes, or an arrangement which is capable of detecting the brightness of extraneous light and automatically varying the brightness of the screen depending on the result of detection. Also, it is preferable to employ an arrangement which allows the user or the like to set the display luminance to any value, for example, 50%, 60% or 80%.

[0521] Preferably, display screen 50 provides a Gaussian distribution display. The Gaussian distribution display is a display having a central portion made to exhibit a higher luminance and a peripheral portion made relatively dark. Visually, a display having a bright central portion appears to be wholly bright even when the peripheral portion is dark. According to subjective evaluation, the peripheral portion appears not to be visually inferior to the central portion as far as the peripheral portion maintains 70% of the luminance of the central portion. Not so serious a problem arises even when the luminance of the peripheral portion is further lowered to 50% of the luminance of the central portion. In the display panel of the self-luminescence type according to the present invention, a Gaussian distribution is provided vertically of the screen from the upper side to the lower side thereof by utilizing the N-fold pulse driving method (which includes feeding EL device 15 with an N-fold current for 1/M of a 1F period.)

[0522] Specifically, the value of M is increased for the upper and lower portions of the screen and decreased for the central portion. This can be realized by modulating the operation speed of the shift register of gate driver 12. The modulation of the brightness of the screen in the lateral direction is made based on multiplication of table data and image data by each other. When the peripheral luminance is lowered to 50% (with an angle of view of 0.9), the operation described above makes it possible to attain about 20% reduction in power consumption as compared to the case of 100% display luminance. When the peripheral luminance is lowered to 70% (with an angle of view of 0.9), the above-described operation makes it possible to attain about 15% reduction in power consumption as compared to the case of 100% display luminance.

[0523] It is preferable to provide a change-over switch or the like for turning on/off such a Gaussian distribution display. This is because the peripheral portion of the screen giving the Gaussian distribution display becomes invisible when the apparatus is used outdoors

for example. For this reason, it is preferable to employ an arrangement which allows the user to turn on/off the Gaussian distribution display by a button, an arrangement which is capable of automatically switching between on and off according to preset modes, or an arrangement which is capable of detecting the brightness of extraneous light and automatically switching between on and off depending on the result of detection. It is also preferable to employ an arrangement which allows the user to set the luminance of the peripheral portion to any value, for example, 50%, 60% or 80%.

[0524] Liquid crystal display panels, in general, use a back light to cause a fixed Gaussian distribution to occur. Therefore, such a Gaussian distribution cannot be turned on/off. The ability to turn on/off a Gaussian distribution is the advantage characteristic of self-luminescence type display devices.

[0525] In the case where the frame rate is predetermined, it is possible that flicker occurs due to interference between the panel and a lighting state of a fluorescent lamp located indoors or the like. When EL display device 15 operates at a frame rate of 60 Hz while a fluorescent lamp is lighting with an alternating current of 60 Hz, there occurs slight interference, which might make the viewer feel the screen blinking slowly. To avoid this inconvenience, varying the frame rate is sufficient. According to the present invention, the function of varying the frame rate is additionally provided. Further, the N-fold pulse driving method (which includes feeding EL device 15 with an N-fold current for 1/M of a 1F period) according to the present invention is capable of varying the value of N or M.

[0526] The above-described functions can be implemented by switch 594. When depressed plural times, switch 594 realizes switching between the above-described functions according to a menu provided on display screen 50.

[0527] It is needless to say that the feature described above is applicable not only to mobile phones but also to television sets, monitors and the like. It is preferable that the display screen is provided with icons for the user to be capable of immediately recognizing what display state the current display state is. The matters described above hold true for the matters to be described below.

[0528] The EL display apparatus and the like according to this embodiment are applicable not only to a digital video camera but also to a digital still camera as shown in FIG. 60. The display apparatus is used as a monitor 50 attached to a camera body 601. The camera body 601 is fitted with a shutter 603 as well as switch 594.

[0529] Though the foregoing description is directed to cases where the display region of a display panel is relatively small, display screen 50 as large as 30 inches or more is likely to warp. To deal with this inconvenience, the present invention provides the display panel with an outer frame 611 fitted therearound and a fixing member 614 for hanging the outer frame 611, as shown in FIG. 61. The display panel is fitted on wall or the like by

means of this fixing member 614.

**[0530]** However, the weight of the display panel increases with increasing screen size. For this reason, a leg-mounting portion 613 is provided under the display panel so that plural legs mounted thereon can support the weight of the display panel.

**[0531]** The legs 612 are movable laterally as indicated by arrow A and are expandable/contractible in directions indicated by arrow B. For this reason, the display apparatus can be easily installed even in a narrow place.

**[0532]** A television set shown in FIG. 61 has a screen covered with a protective film (which may be a protective plate.) One object of such coverage is to prevent damage to the surface of the display panel due to a body hitting the surface. The protective film has an obverse surface formed with an AIR coat and embossed to inhibit unwanted reflection of external scene (extraneous light) by the display panel.

**[0533]** A fixed space is provided between the protective film and the display panel by dispersing beads or the like therebetween. Further, the protective film has a reverse surface formed with fine projections for retaining the space between the display panel and the protective film. By thus retaining the space, an impact is inhibited to transfer from the protective film to the display panel.

**[0534]** It is also effective to dispose or inject a light coupling agent such as alcohol or ethylene glycol in a liquid state, an acrylic resin in a gel state, or an epoxy resin which is a solid resin between the protective film and the display panel. This is because interfacial reflection can be prevented and because the light coupling agent functions also as a shock absorber.

**[0535]** Examples of such protective films include polycarbonate film (plate), polypropylene film (plate), acrylic film (plate), polyester film (plate), and PVA film (plate). It is needless to say that besides these films, engineering resin films (such as ABS) can be used. The protective film may be formed from an inorganic material such as strengthened glass. A similar effect will be produced if the surface of the display panel is coated with epoxy resin, phenolic resin, acrylic resin or the like to a thickness of not less than 0.5 mm and not more than 2.0 mm instead of the provision of the protective film. Embossing the surface of such a resin coat or a like process is also effective.

**[0536]** It is also effective that the surface of the protective film or coating layer is coated with fluorine. This is because such a fluorine coat allows stain thereon to be removed easily with a detergent. The protective film may be formed thicker so that a front light may share the protective film.

**[0537]** It is needless to say that combining the display panel according to the embodiment of the present invention with the three-side-free arrangement. The three-side-free arrangement is effective particularly when the pixels are manufactured utilizing the amorphous silicon technology. With the panel formed utilizing the amorphous silicon technology, process control for

controlling variations in the characteristics of transistors is impossible. Hence, it is preferable to apply the N-fold pulse driving method, reset driving method, dummy pixel driving method or the like according to the present invention to such a panel. Thus, the transistors used in the present invention may be formed by the amorphous silicon technology without limitation to those formed by the polysilicon technology.

**[0538]** The N-fold pulse driving methods (see Figs. 13, 16, 19, 20, 22, 24 and 30 and the like) and like methods according to the present invention are effective for display panels of the type having transistors 11 formed by the amorphous silicon technology as well as for display panels of the type having transistors 11 formed by the low temperature polysilicon technology. This is because adjacent transistors 11 formed using amorphous silicon substantially agree to each other in characteristics. Accordingly, driving currents for individual transistors are each substantially equalized to the target value even when the panel is driven with the sum of currents. (The N-fold pulse driving methods illustrated in Figs. 22, 24 and 30 are particularly effective for pixel configurations of the type having transistors formed utilizing amorphous silicon.)

**[0539]** The technical concept described by way of the embodiments of the present invention is applicable to digital video cameras, projectors, stereoscopic television, projection television, and the like. The concept is also applicable to view finders, mobile phone monitors, PHSs, personal digital assistants and their monitors, and digital still cameras and their monitors.

**[0540]** Also, the technical concept is applicable to electrophotographic systems, head-mounted displays, direct viewing monitors, notebook PCs and desktop PCs. Further, the concept is applicable to monitors for cash dispensers, and public telephones, video phones and watches and their displays.

**[0541]** It is needless to say that the technical concept of the present invention can be utilized in or applied to development of display monitors for household appliances, pocket-size game machines and their monitors, back lights for display panels, lighting instruments for home use or industrial use, and the like. A lighting instrument is preferably configured to be capable of varying the color temperature. The color temperature can be varied by adjustment of currents to be fed to R, G and B pixels if these pixels are arranged in a striped pattern or a dot-matrix pattern. The technical concept is also applicable to display apparatus for displaying advertisements or posters, RGB signals, warning display lights, and the like.

**[0542]** The organic EL display panel is effective as a light source of a scanner. In this case, a dot matrix comprising R, G and B pixels is used as the light source to illuminate a subject with light in reading the image of the subject. Of course, it is needless to say that such a light source may be designed to emit monochromatic light. Such a light source may be of a simple matrix configura-

ration without limitation to an active matrix configuration. The image reading precision will improve if the color temperature can be controlled.

[0543] Also, the organic EL display apparatus is effective as the back light of a liquid crystal display device. The color temperature can be varied by adjustment of currents to be fed to R, G and B pixels of the EL display apparatus (back light) if these pixels are arranged in a striped pattern or a dot-matrix pattern. In this case, the brightness can also be controlled easily. Moreover, since the EL display apparatus is a surface-emitting light source, it can easily realize a Gaussian distribution in which a central portion of the screen is made relatively bright whereas a peripheral portion of the screen made relatively dark. The EL display apparatus is also effective as the back light of a liquid crystal display panel of the field sequential type which performs scanning with R, G and B rays alternately. The EL display apparatus can also be used as the back light of a liquid crystal display panel or the like adapted for motion picture display if black is inserted even when the back light blinks.

[0544] It should be noted that EL device 15 is regarded as an OLED in the present invention and represented using the symbol of diode in the drawings such as FIG. 1. However, EL device 15 according to the present invention is not limited to the OLED but may be of any type which controls its luminance based on the amount of current passing through EL device 15. An example of such a device is an inorganic EL device. Other examples include a white light emitting diode comprising a semiconductor, and a common light-emitting diode. A light-emitting transistor can serve the purpose. Device 15 does not necessarily call for rectification. Therefore, device 15 may be a bidirectional diode.

[0545] It will be apparent from the foregoing description that many improvements and other embodiments of the present invention occur to those skilled in the art. Therefore, the foregoing description should be construed as an illustration only and is provided for the purpose of teaching the best mode for carrying out the present invention to those skilled in the art. The details of the structure and/or the function of the present invention can be modified substantially without departing from the spirit of the present invention.

#### Industrial Applicability

[0546] The EL display apparatus of the present invention is usable as an image display unit or the like of a mobile phone.

[0547] The driving circuit of the EL display apparatus of the invention is usable as a driving circuit or the like of an image display unit of a mobile phone.

[0548] The electronic display appliance of the invention is usable as a mobile phone, a television, a display of a personal computer, and so forth.

#### Claims

1. An EL display apparatus comprising:
  - an EL light emitting element;
  - a current driving device for driving the EL light emitting element by a current responsive to a source signal represented by a current; and
  - a signal current source for outputting the source signal in response to an image signal to the current driving device via a source signal line, **characterized in that** the EL display apparatus further comprises a precharge voltage source for outputting a predetermined voltage and a switching and connecting unit capable of selectively connecting either the signal current source or the precharge voltage source to the source signal line.
2. The EL display apparatus according to claim 1, wherein
  - the switching and connecting unit connects the precharge voltage source and the signal current source to the source signal line such that the source signal is output to the source signal line after the predetermined voltage is applied to the source signal line in one horizontal scan period.
3. The EL display apparatus according to claim 2, wherein
  - a duration of applying the predetermined voltage is 0.2  $\mu$ s or more and 3  $\mu$ s or less.
4. The EL display apparatus according to claim 2, wherein
  - the current driving device drives the EL light emitting element by a current responsive to a voltage of a control terminal connected to the source signal line; and
  - the predetermined voltage is a voltage by which the current driving device so drives the EL light emitting element as to achieve black display.
5. The EL display apparatus according to claim 2, wherein
  - the current driving device drives the EL light emitting element by a current responsive to a voltage of a control terminal connected to the source signal line; and
  - the predetermined voltage is responsive to gray scale data of the image signal.
6. The EL display apparatus according to claim 1, wherein
  - the switching and connecting unit connects the precharge voltage source to the source signal line when the gray scale data of the image signal is a predetermined one.

7. The EL display apparatus according to claim 1, wherein  
 a plurality of the EL light emitting elements emitting a plurality of types of colors are connected to a plurality of the source signal lines, respectively, and  
 the precharge voltage source outputs the predetermined voltages for the colors respectively to the source signal lines.
8. The EL display apparatus according to claim 1, wherein  
 the current driving device comprises a transistor.
9. The EL display apparatus according to claim 1, wherein  
 the current driving device comprises a current mirror circuit.
10. The EL display apparatus according to claim 1, wherein  
 a plurality of pixels are disposed in matrix; each of the pixels is provided with the EL light emitting element and the current driving device; each of columns or rows of the pixels is provided with the source signal line;  
 the current driving devices of the rows or the columns are connected selectably to the source signal lines;  
 each of the source signal lines is provided with the signal current source, the precharge voltage source, and the switching and connecting unit;  
 a plurality of gate lines for transmitting a gate signal to select the current driving devices per column or row are provided; and  
 a gate driver for outputting the gate signal to the gate lines is provided.
11. An electronic display appliance comprising:  
 an image display unit comprising the EL display apparatus according to claim 1, wherein a plurality of pixels are disposed in matrix; each of the pixels is provided with the EL light emitting element and the current driving device, each of columns or rows of the pixels is provided with the source signal line, the current driving devices of the columns or the rows are connected selectably to the source signal lines, each of the source signal lines is provided with the signal current source, the precharge voltage source, and the switching and connecting unit, a plurality of gate lines for transmitting a gate signal to select the current driving devices per row or column are provided, and a gate driver for outputting the gate signal to the gate lines is provided; a receiver; and
- a speaker.
12. A driving circuit of EL display apparatus, comprising:  
 a plurality of unit current sources;  
 a reference current generation circuit for defining a current to be output from the unit current sources;  
 a plurality of current switching circuits disposed on output ends of the unit current sources;  
 a current wiring having one end connected to the current switching circuits via a first change over switch and the other end connected to source signal lines; and  
 a precharge voltage source which outputs a predetermined voltage and is connected to the current wiring via a second change over switch, wherein  
 the current switching circuits are turned on and off depending on gray scale data of an image signal, and  
 the first and the second change over switches selectively connect either the current switching circuits or the precharge voltage source to the source signal line.
13. The driving circuit of EL display apparatus according to claim 12, wherein  
 the unit current sources are connected to the current switches in such a fashion that the number of the unit current sources to be aligned parallel and connected to each of the current switches is a multiple of 2.
14. The driving circuit of EL display apparatus according to claim 12, wherein  
 the reference current generation circuit has an operation amplifier, the operation amplifier defining a current output from the unit current sources.

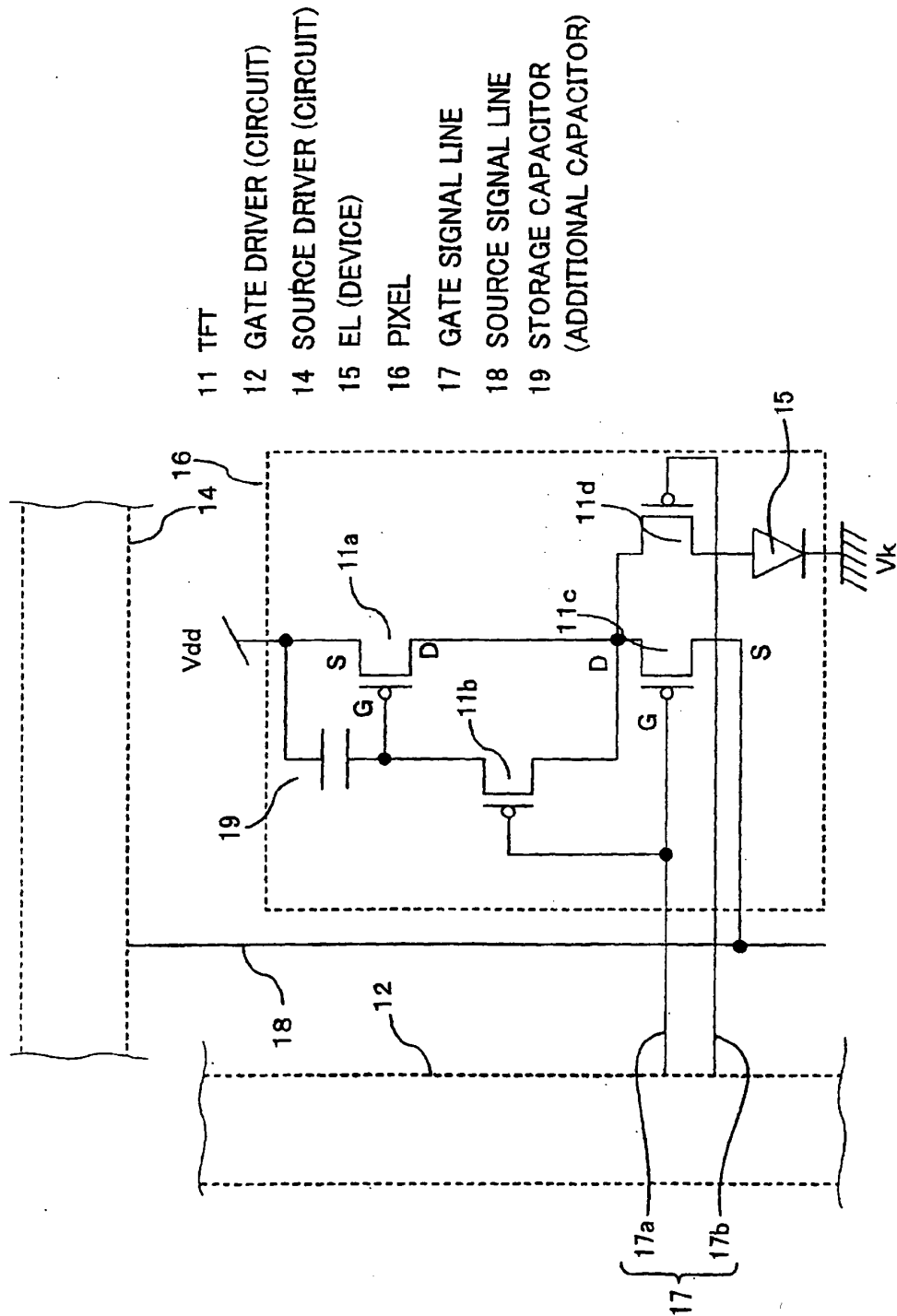


FIG. 1

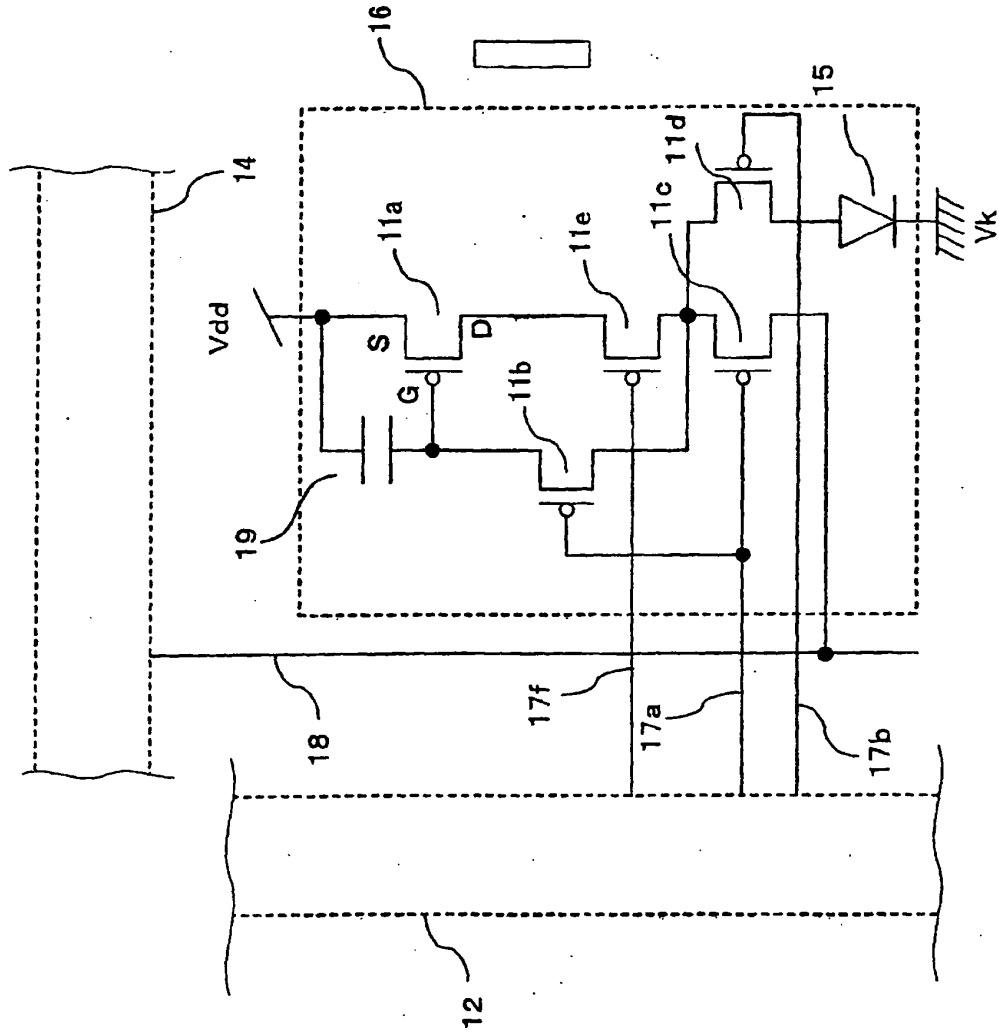


FIG. 2



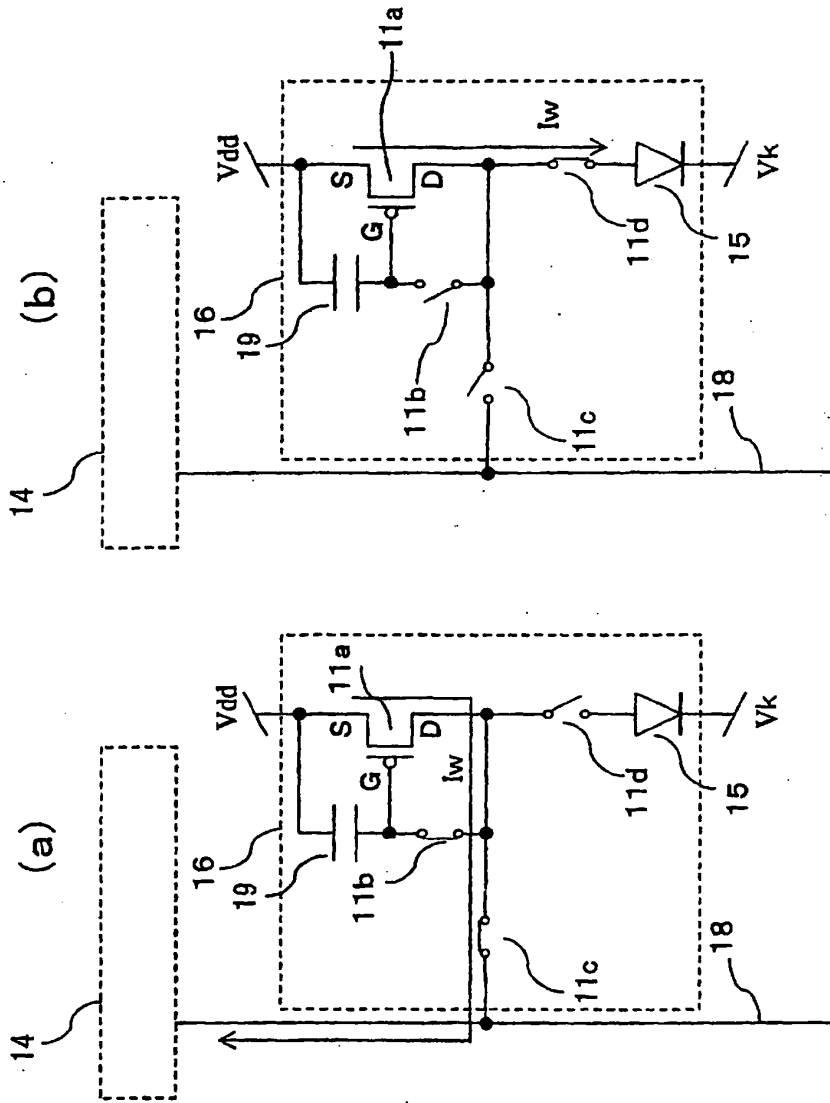


FIG. 3

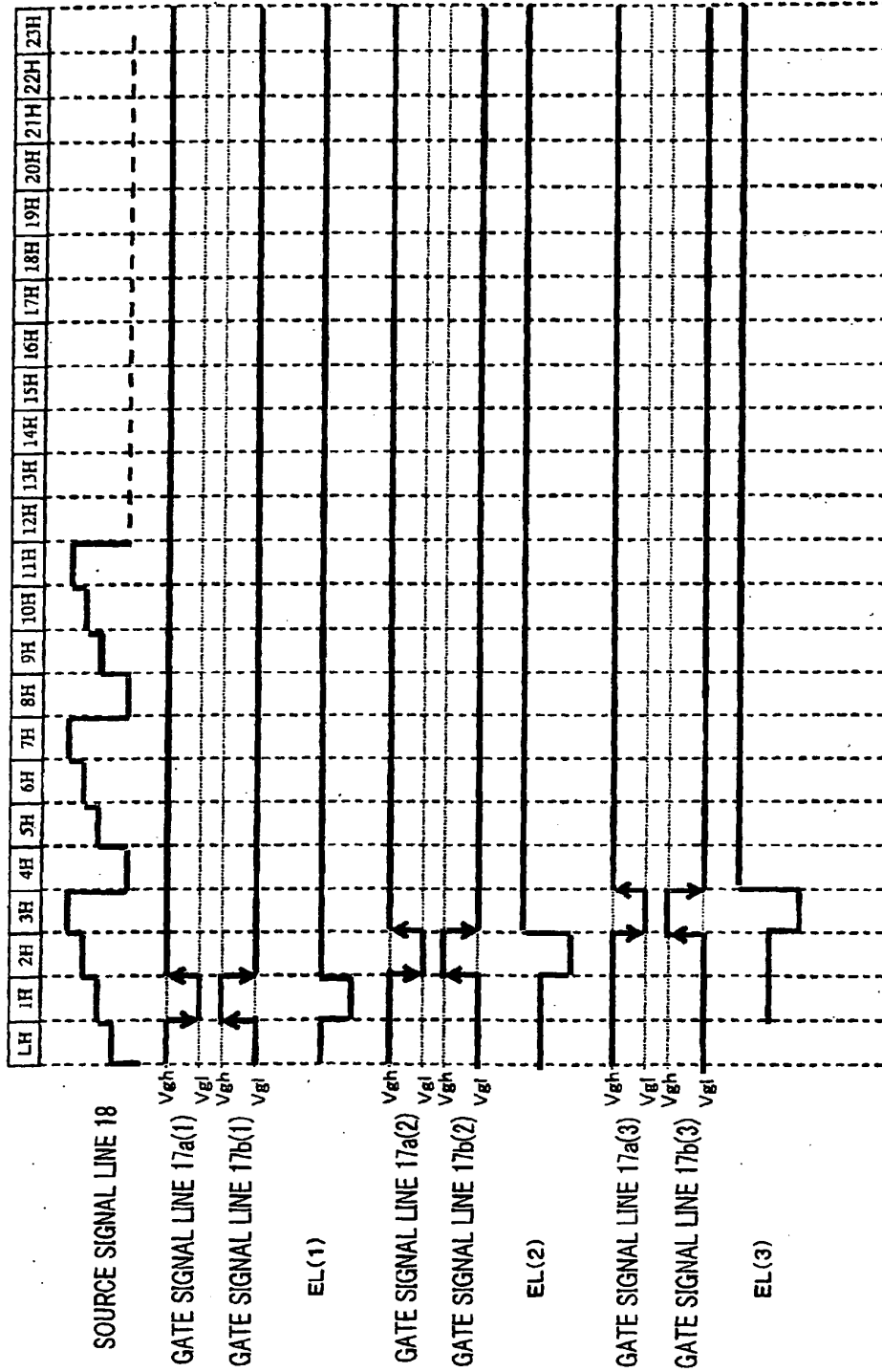


FIG. 4

- 50 DISPLAY SCREEN
- 51 WRITTEN PIXEL (ROW)
- 52 NON-DISPLAY PIXEL (NON-DISPLAY REGION, NON-LIGHTING REGION)
- 53 DISPLAY PIXEL (DISPLAY REGION, LIGHTING REGION)

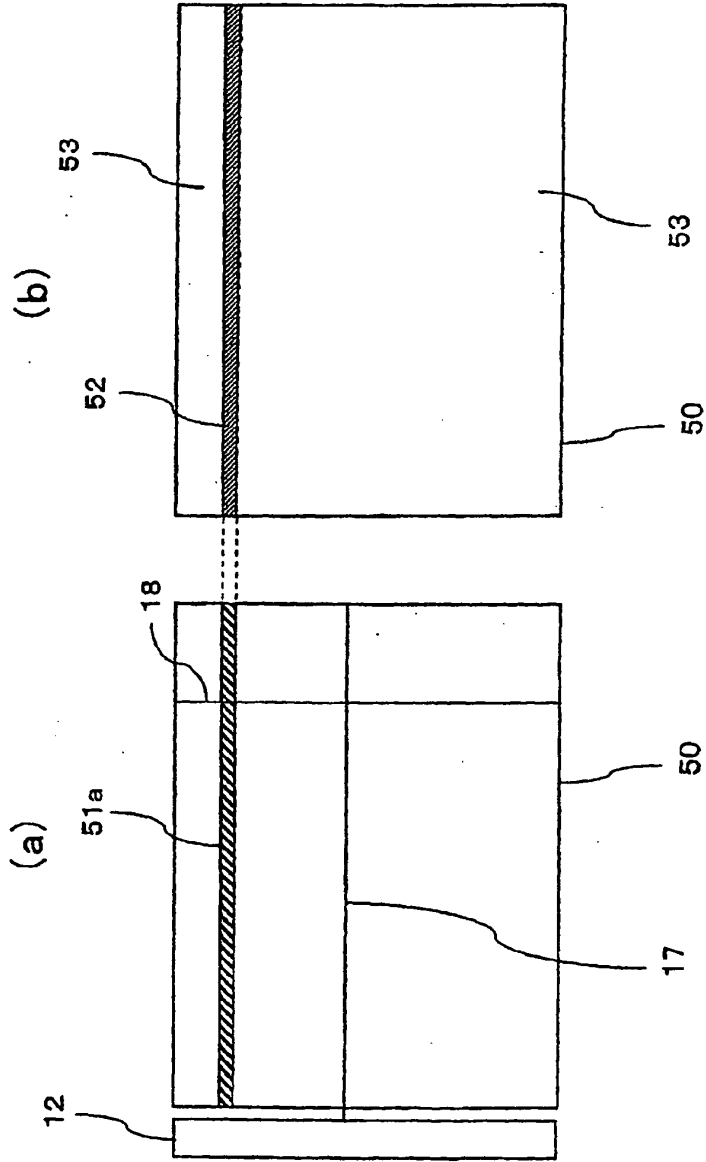


FIG. 5

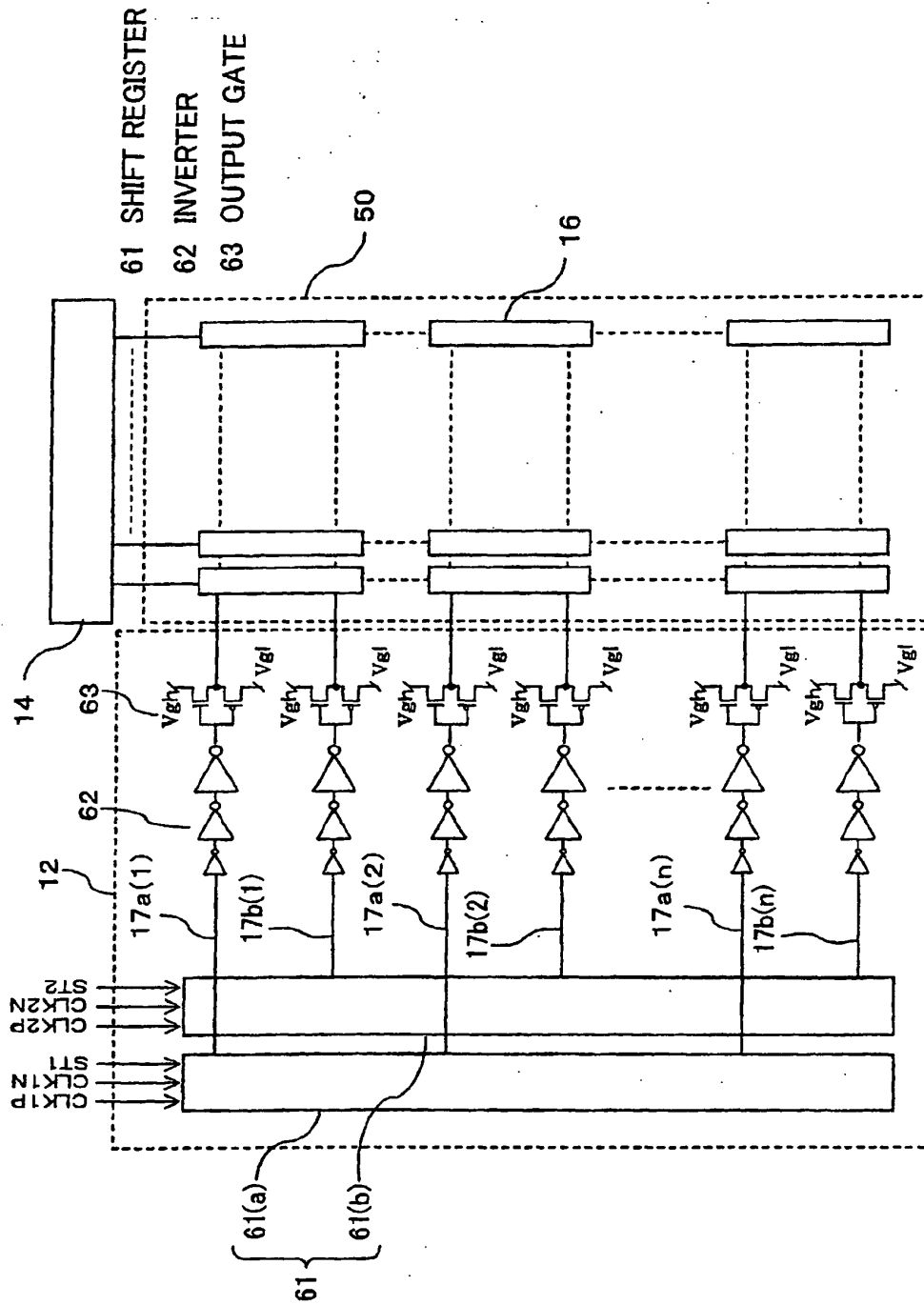


FIG. 6

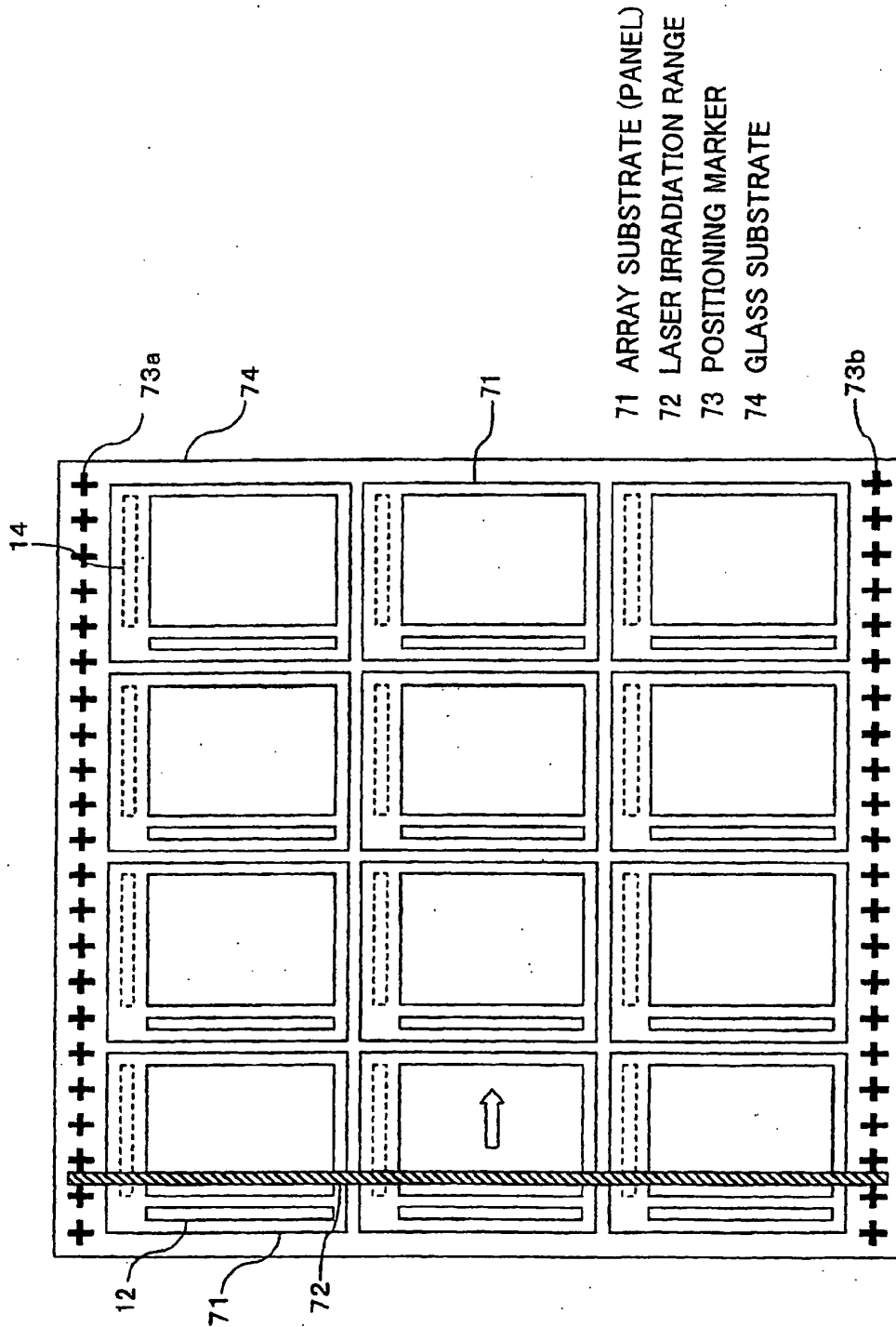


FIG. 7

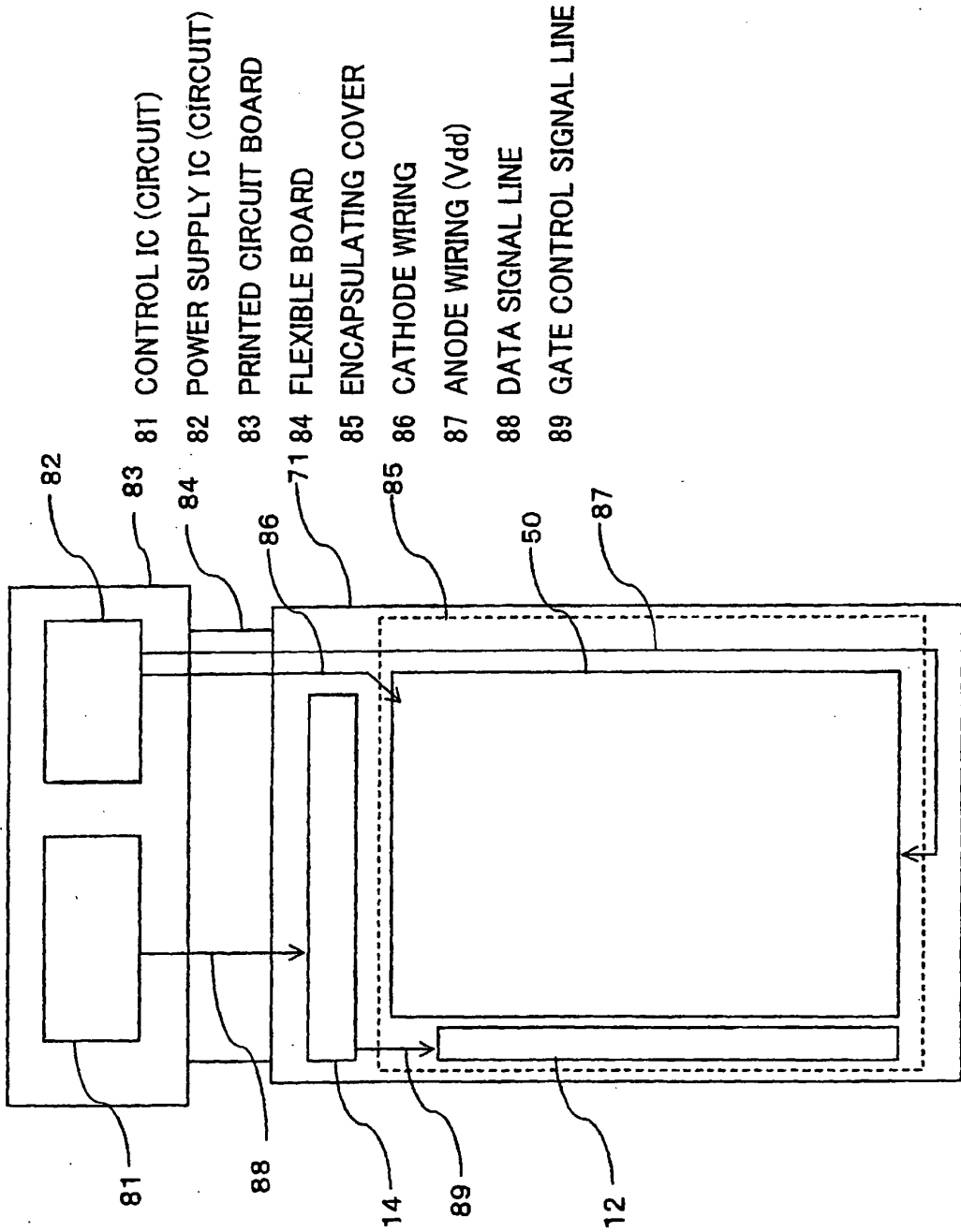


FIG. 8

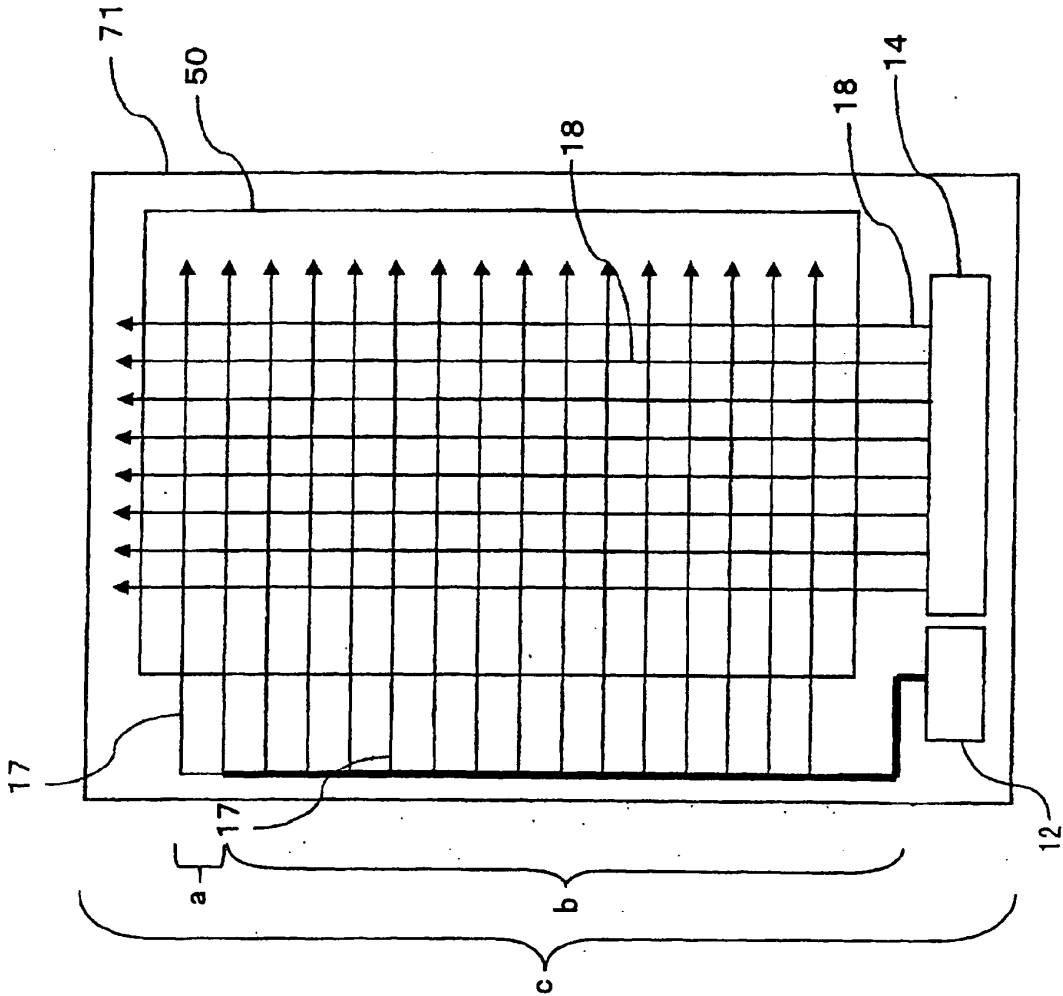


FIG. 9

- 101 RIB
- 102 INTERLAYER INSULATOR
- 104 CONTACT PORTION
- 105 PIXEL ELECTRODE
- 106 CATHODE ELECTRODE
- 107 DESICANT
- 108  $\lambda/4$  PLATE
- 109 SHEET POLARIZER

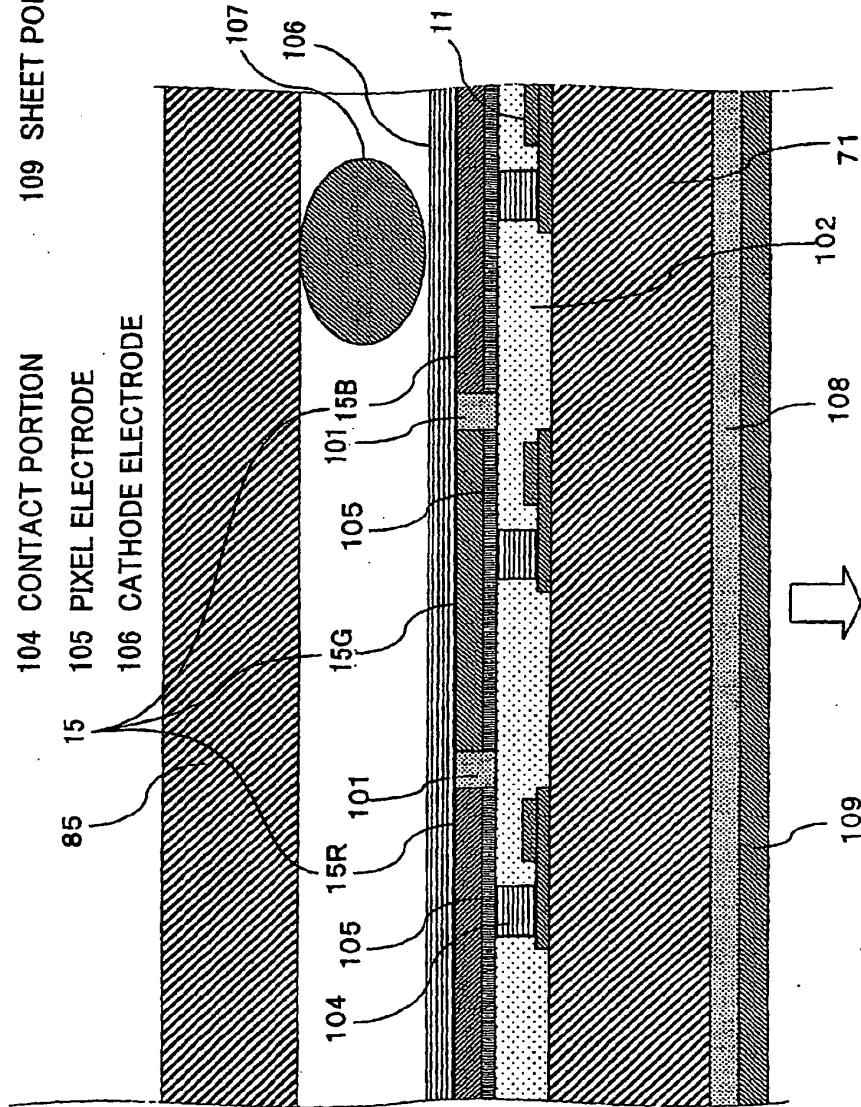


FIG.10



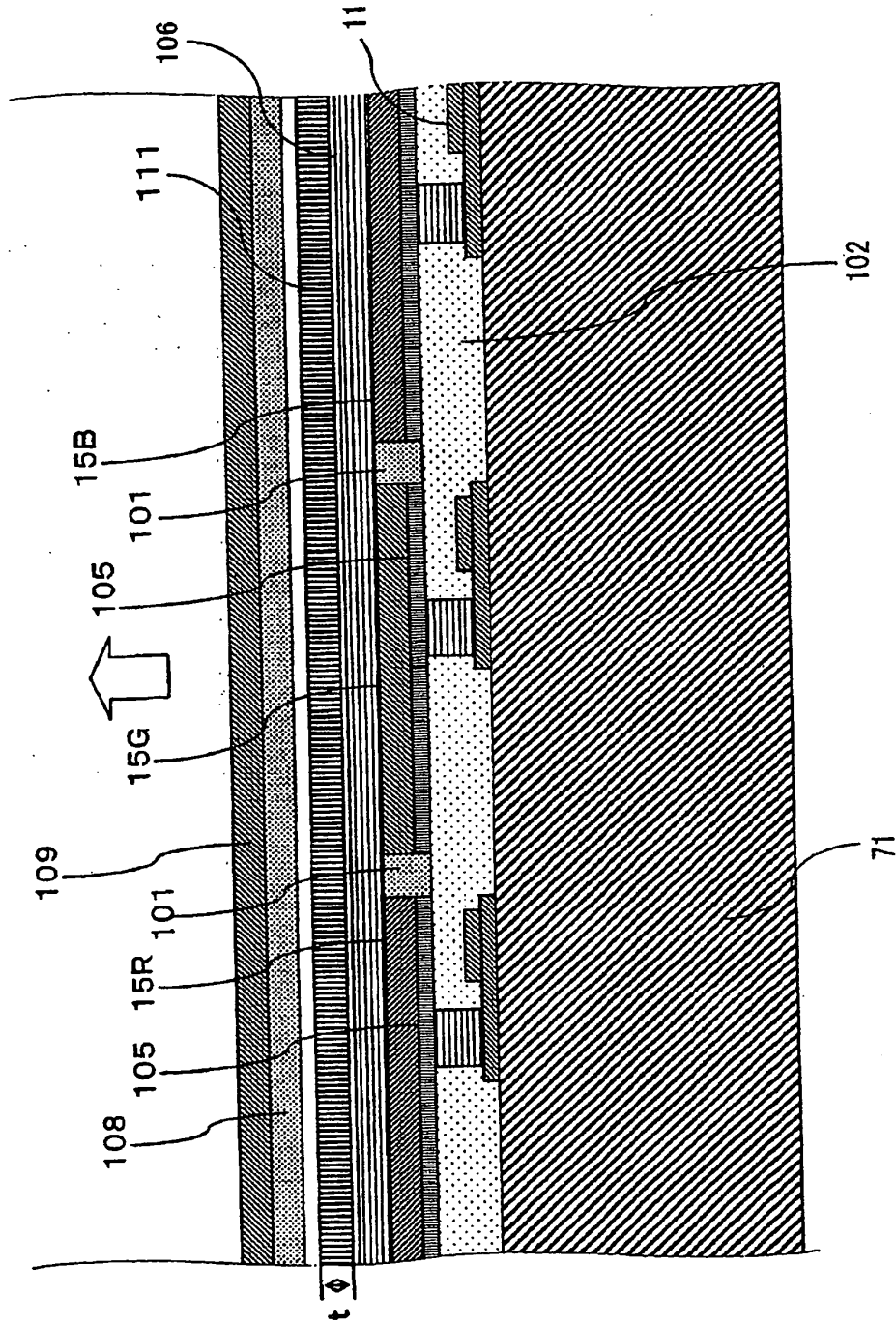


FIG.11

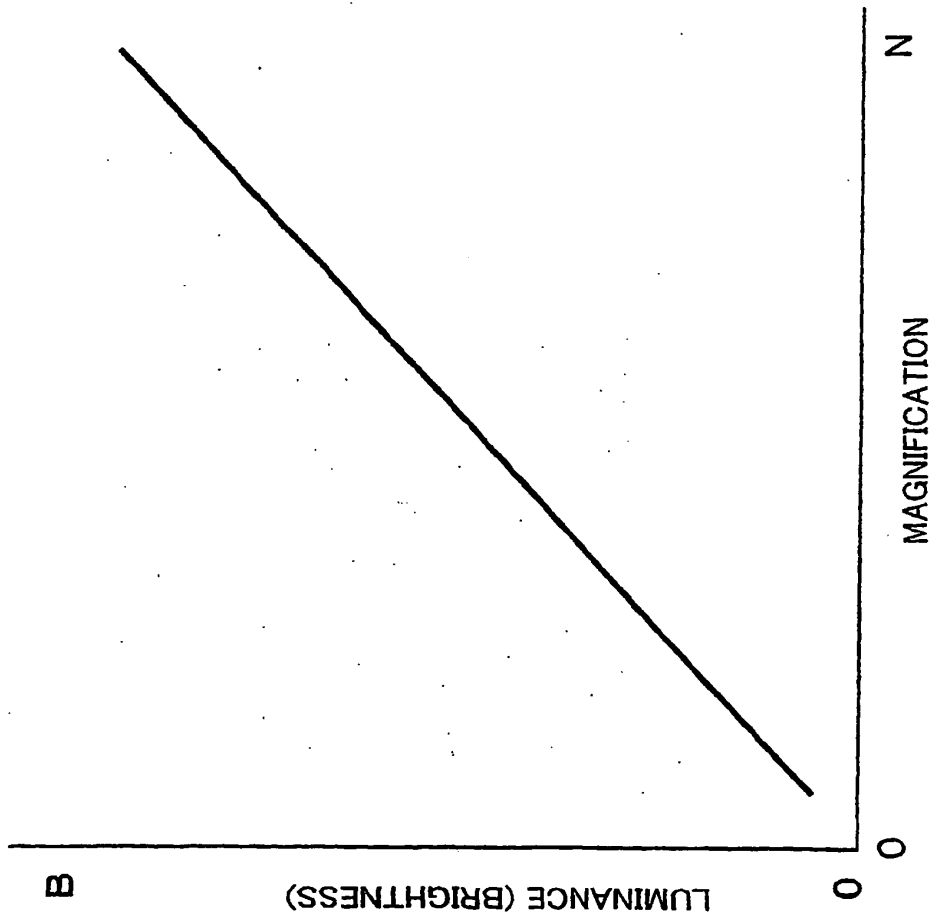


FIG.12

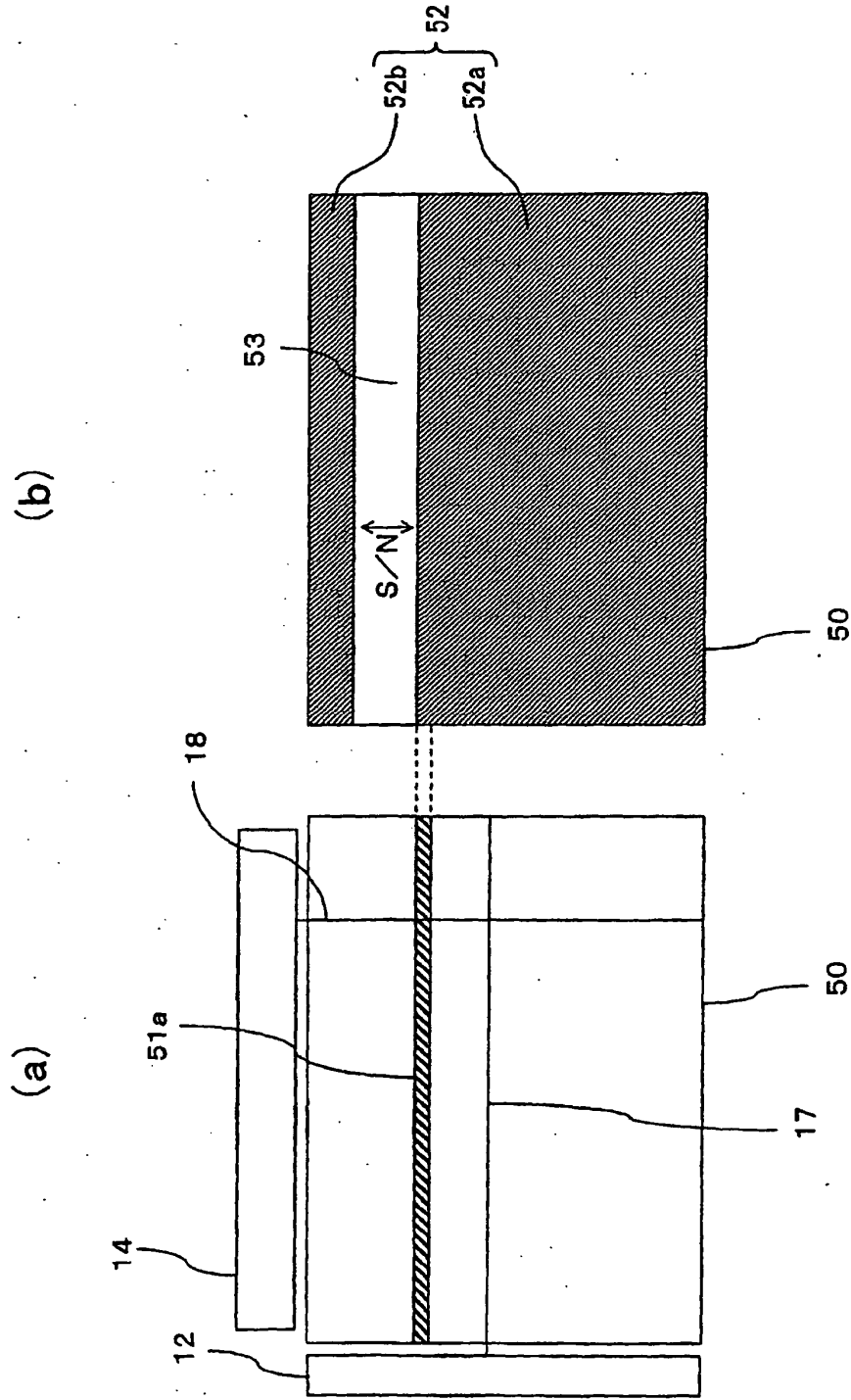


FIG.13

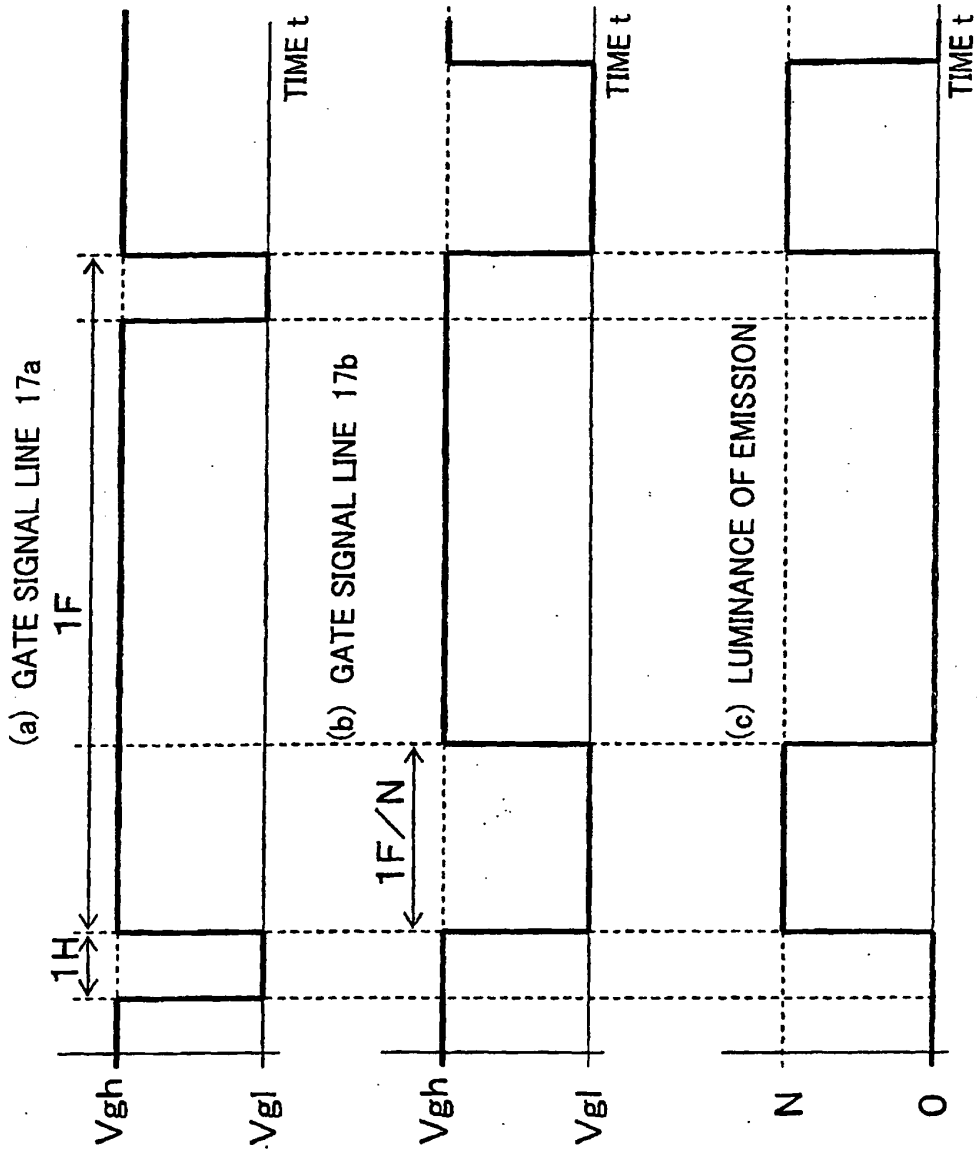


FIG.14

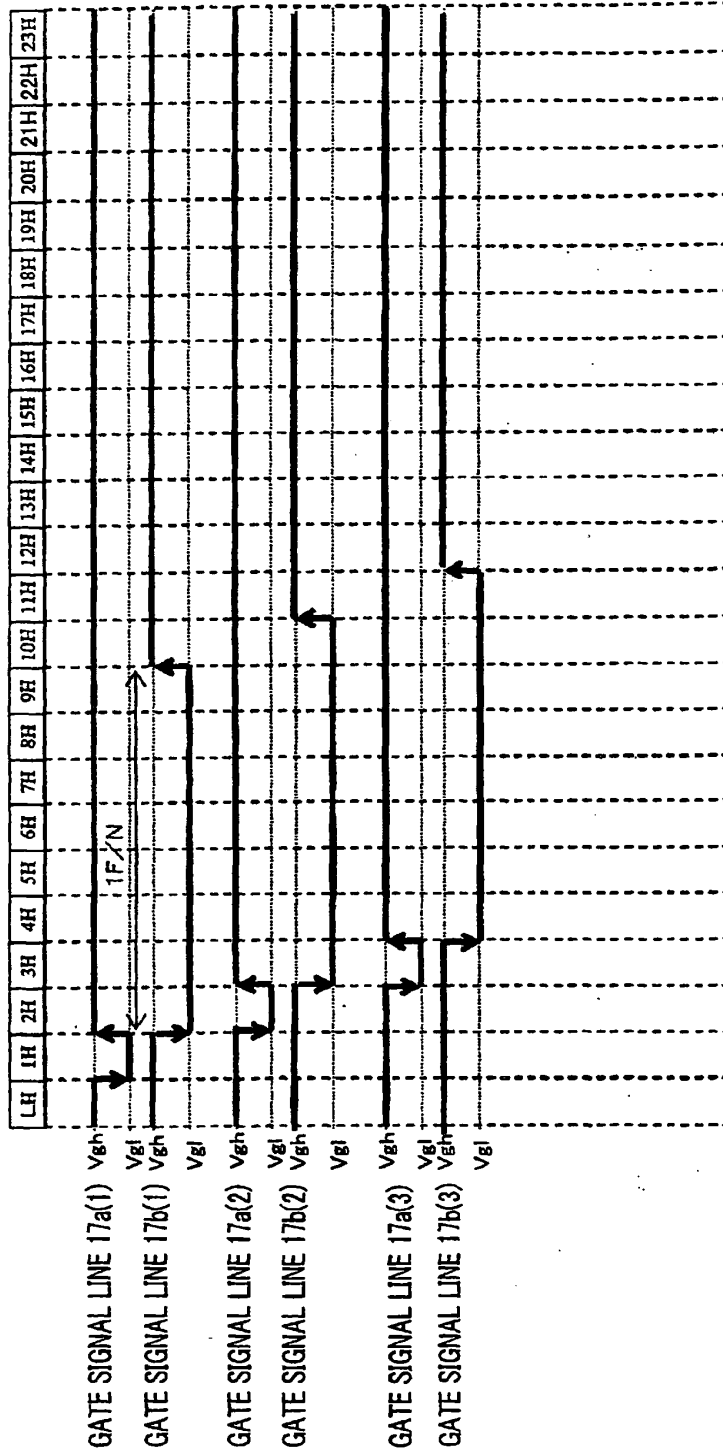


FIG.15

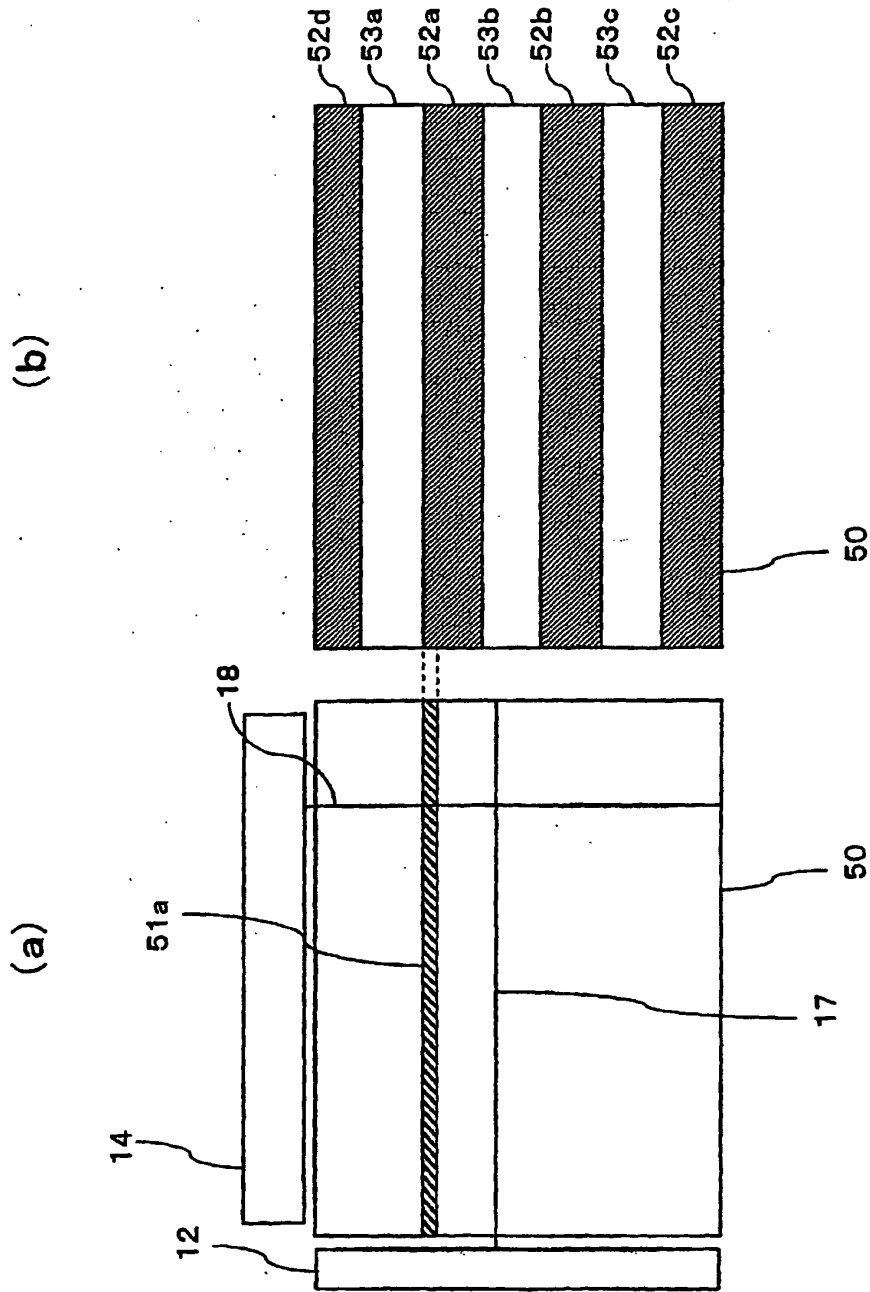


FIG.16

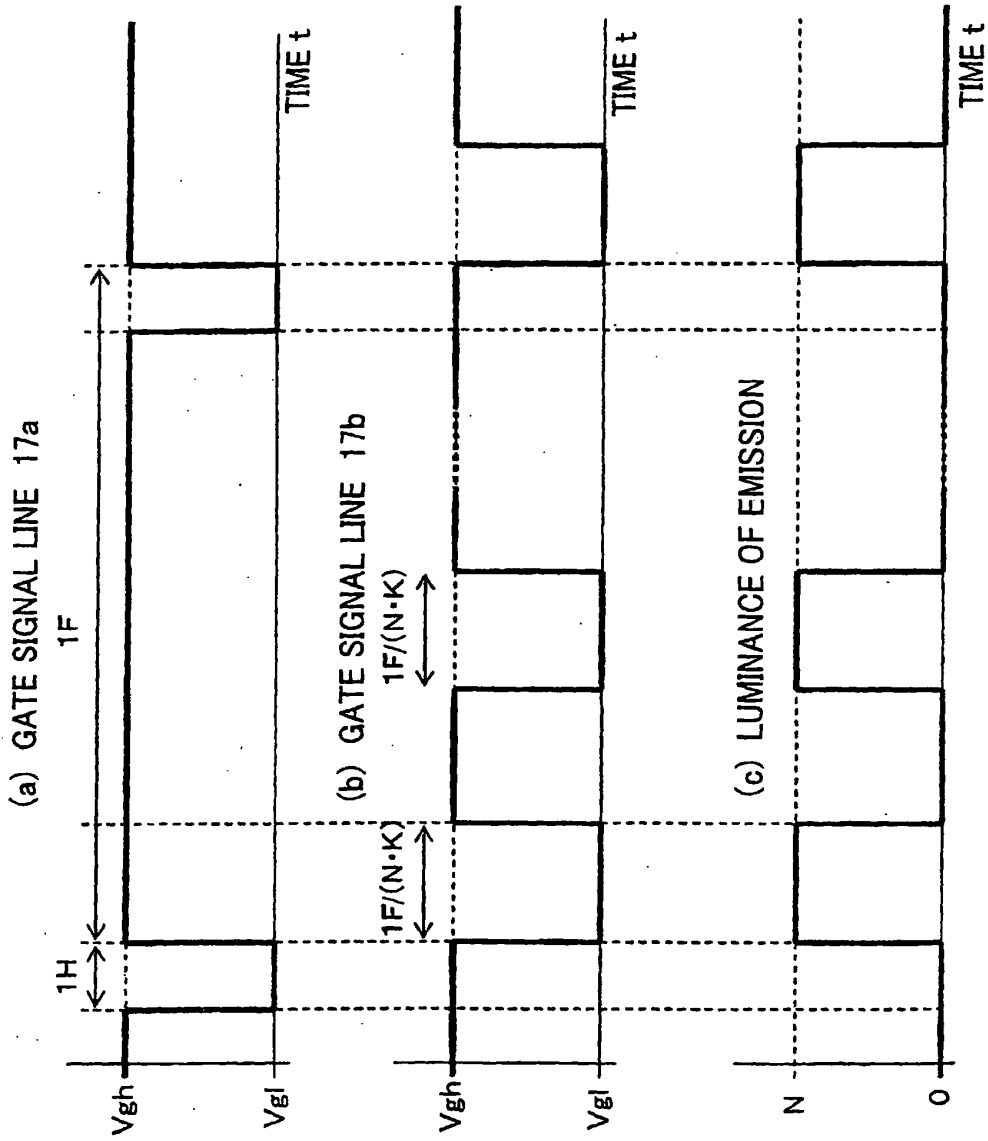


FIG.17

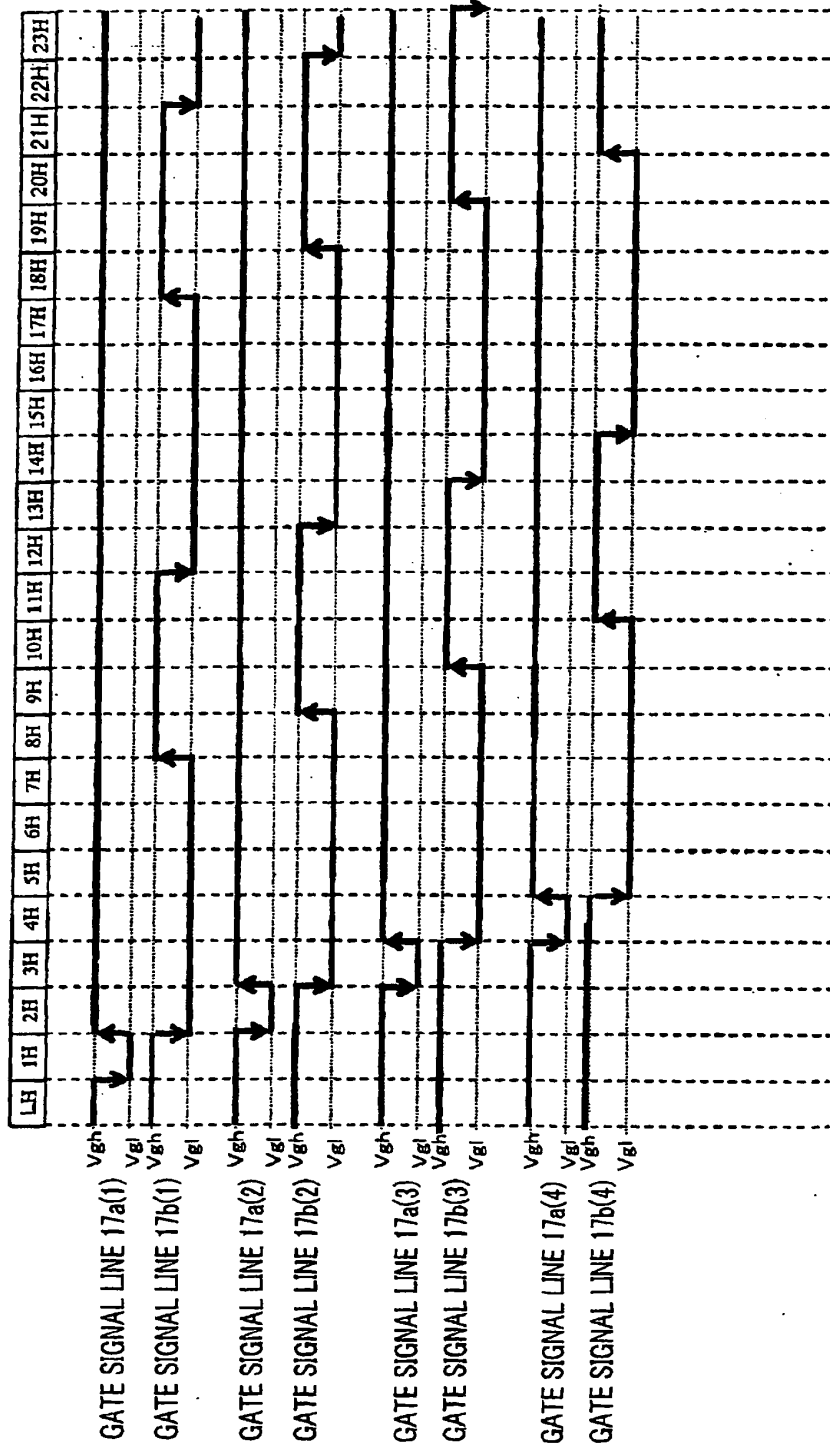


FIG.18



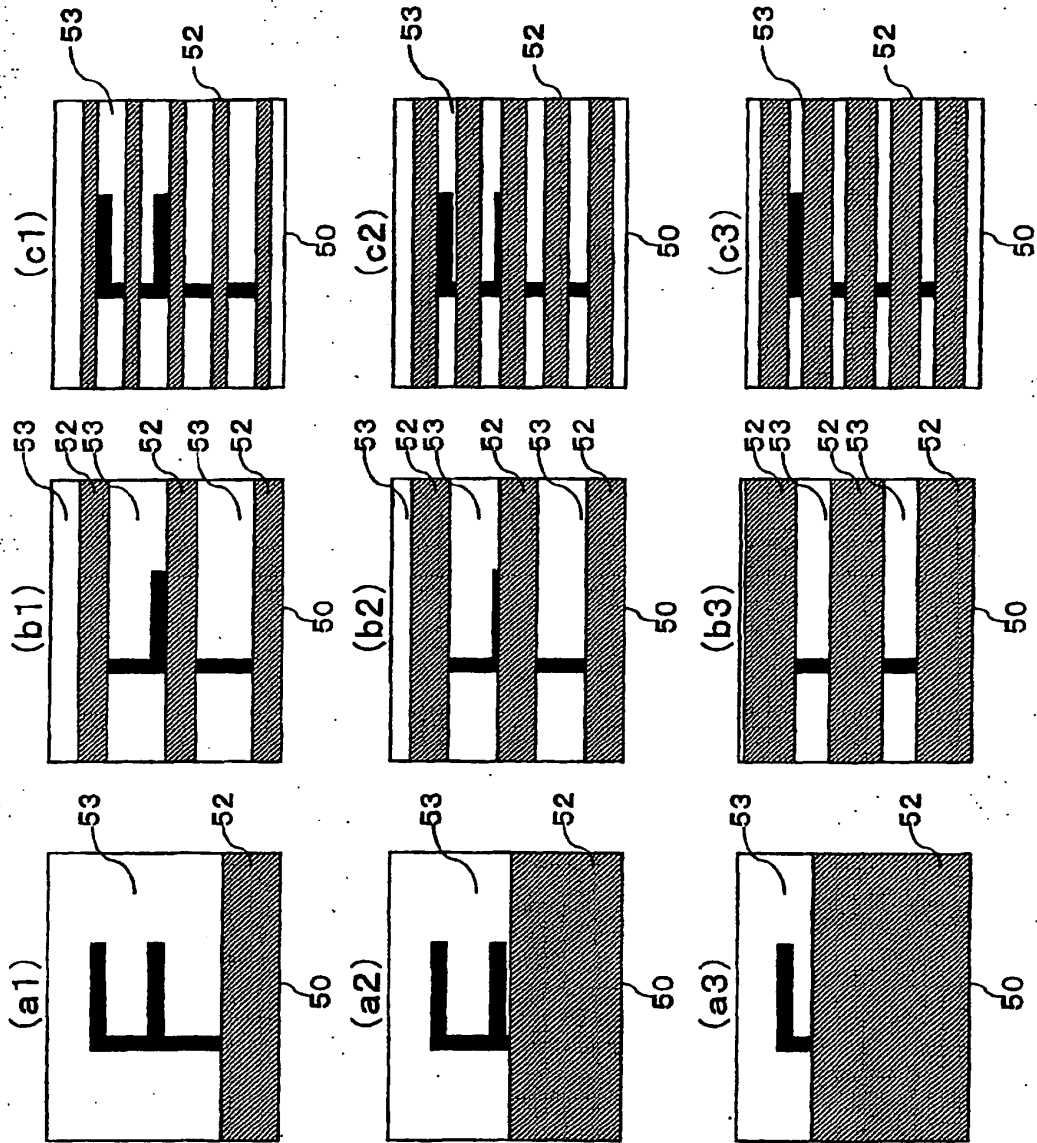


FIG.19

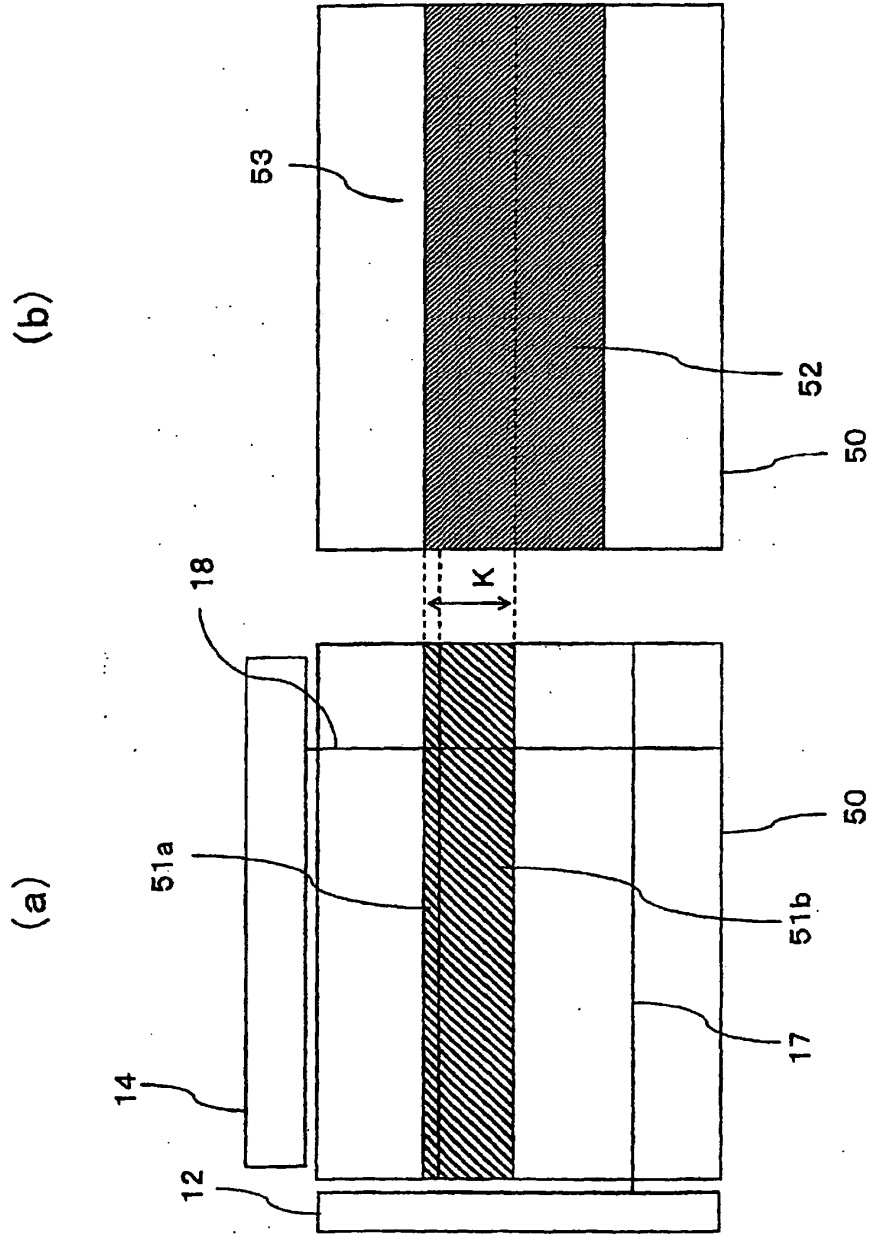


FIG.20

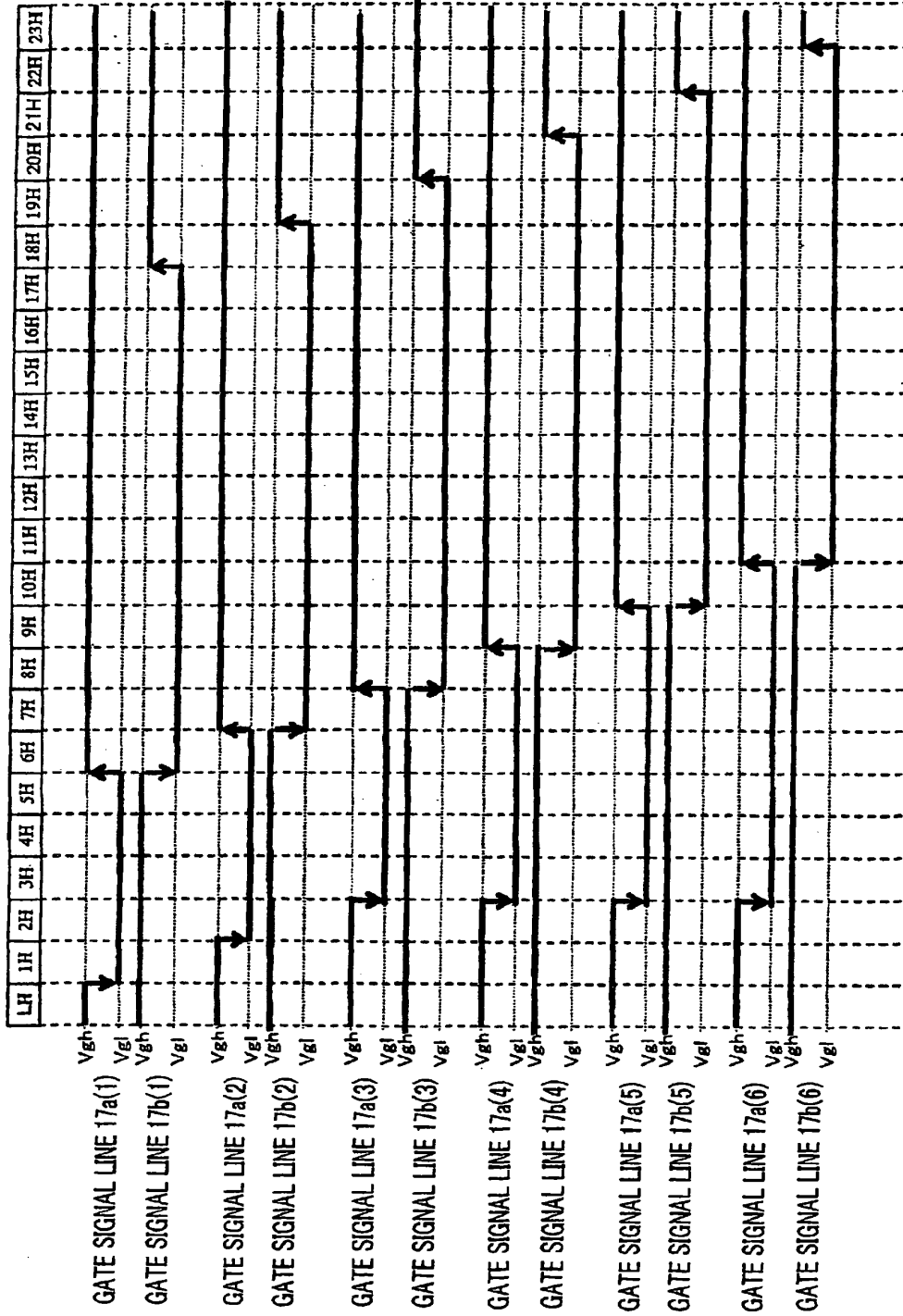


FIG.21

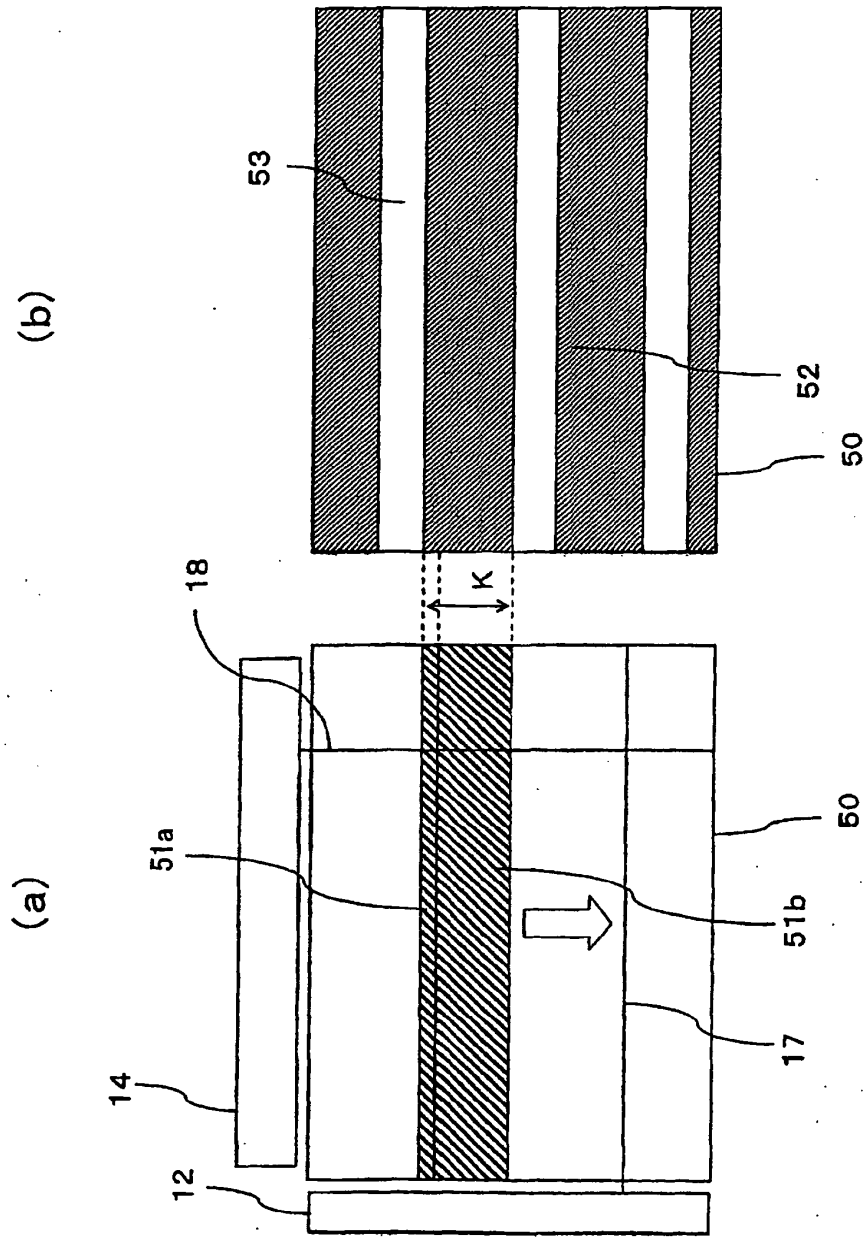


FIG.22

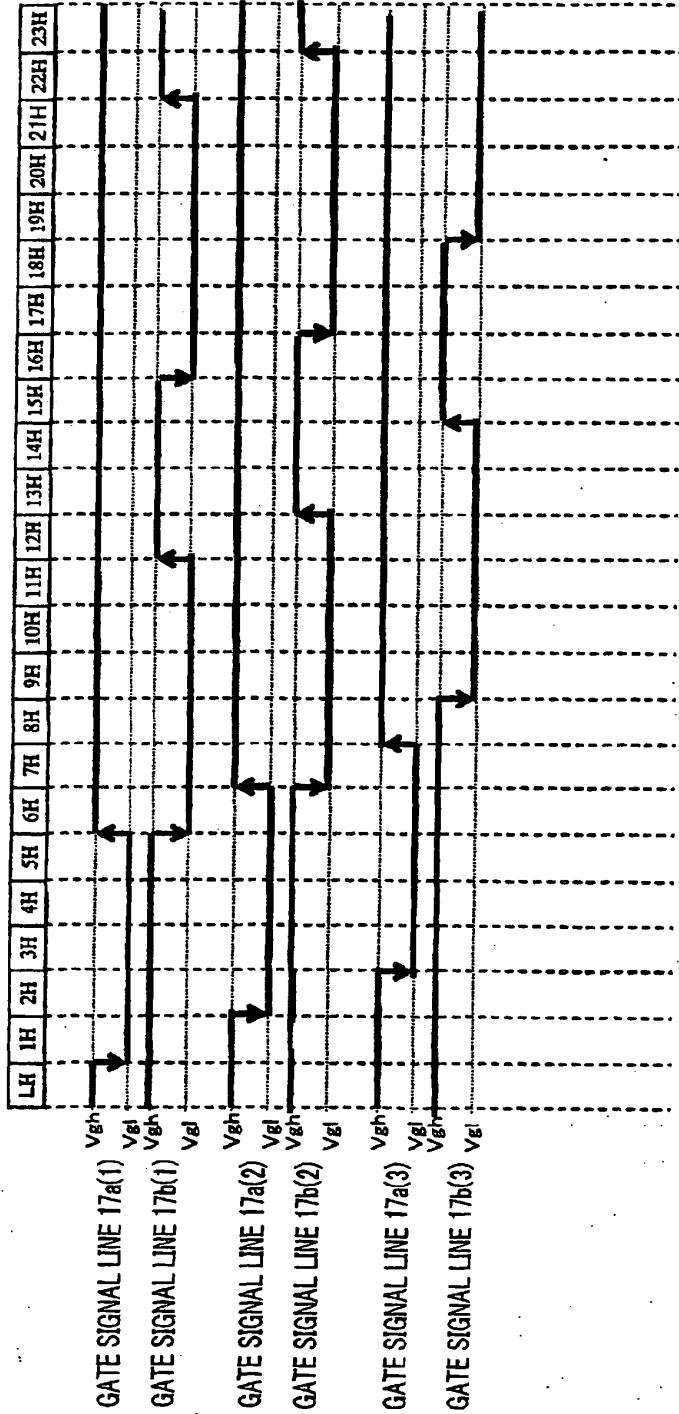


FIG.23

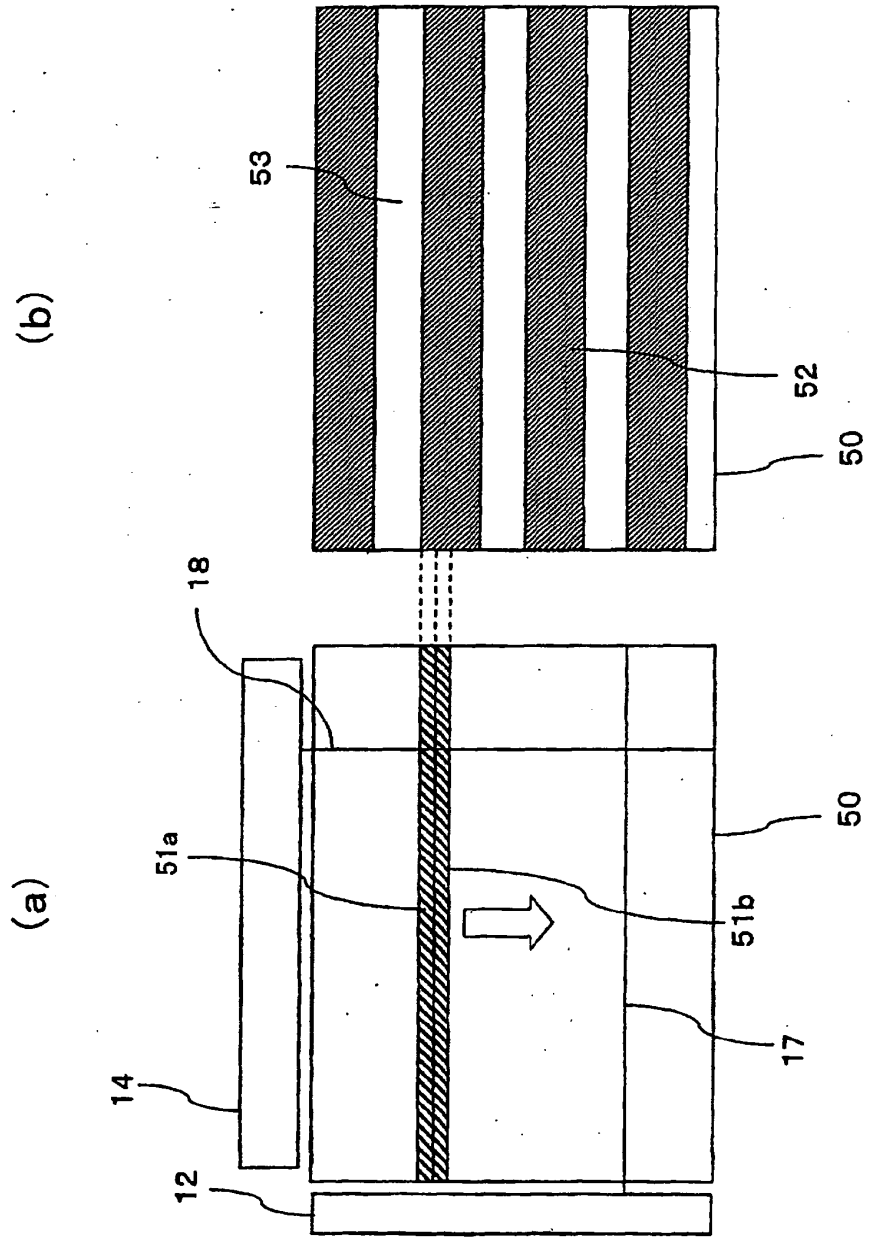


FIG. 24

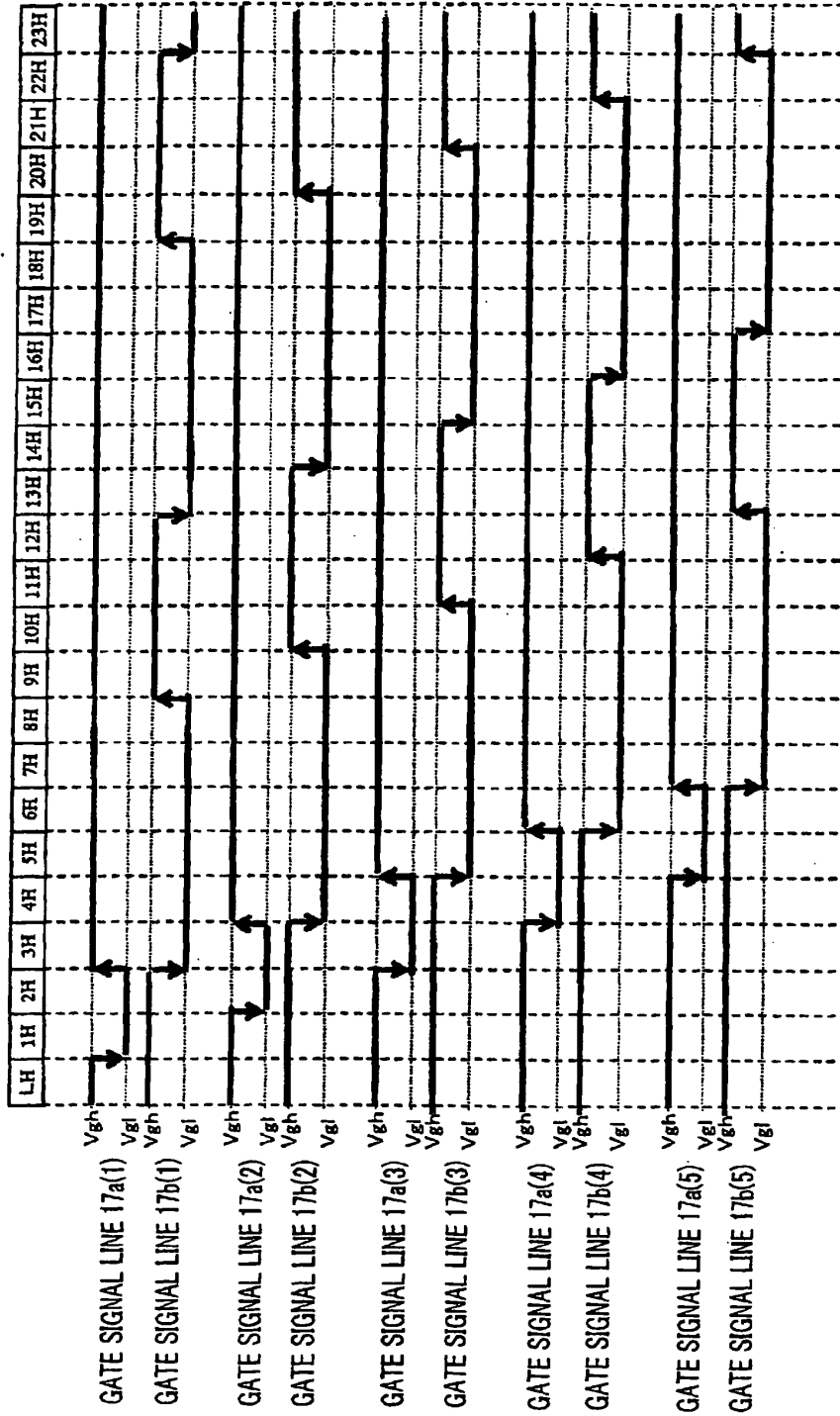


FIG.25

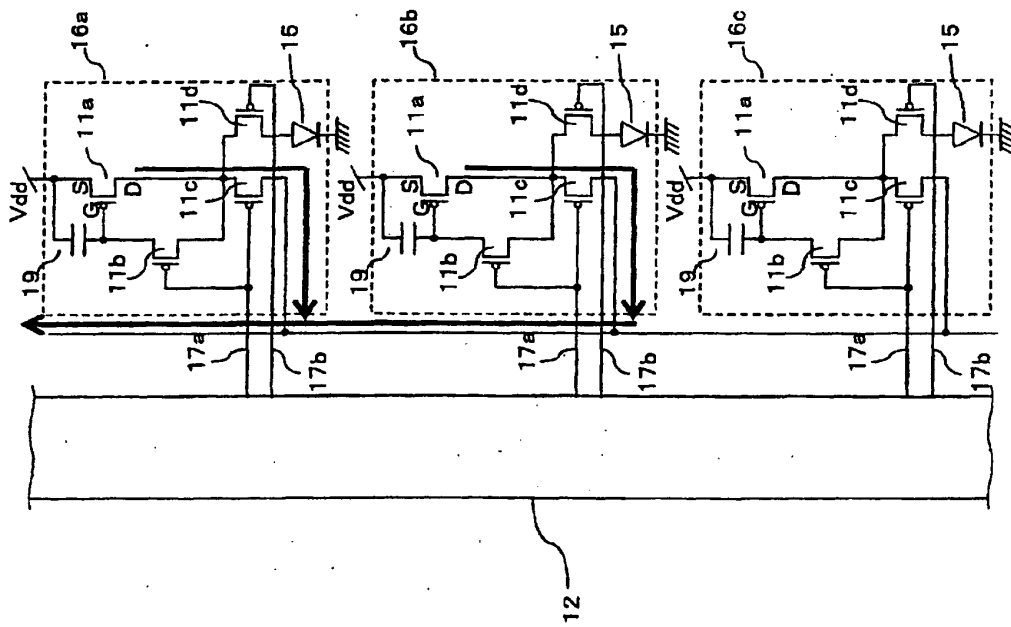


FIG.26



281 DUMMY PIXEL (ROW)

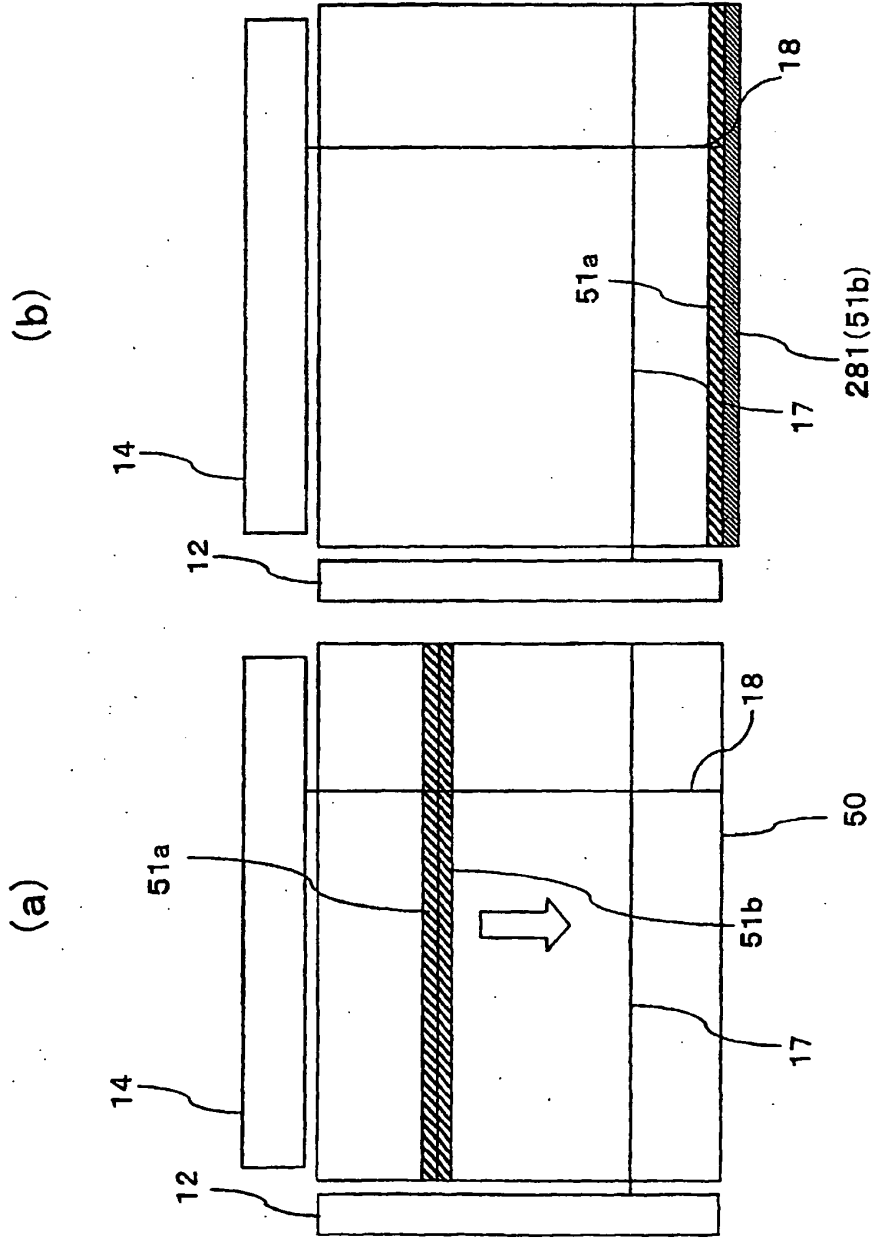


FIG.27

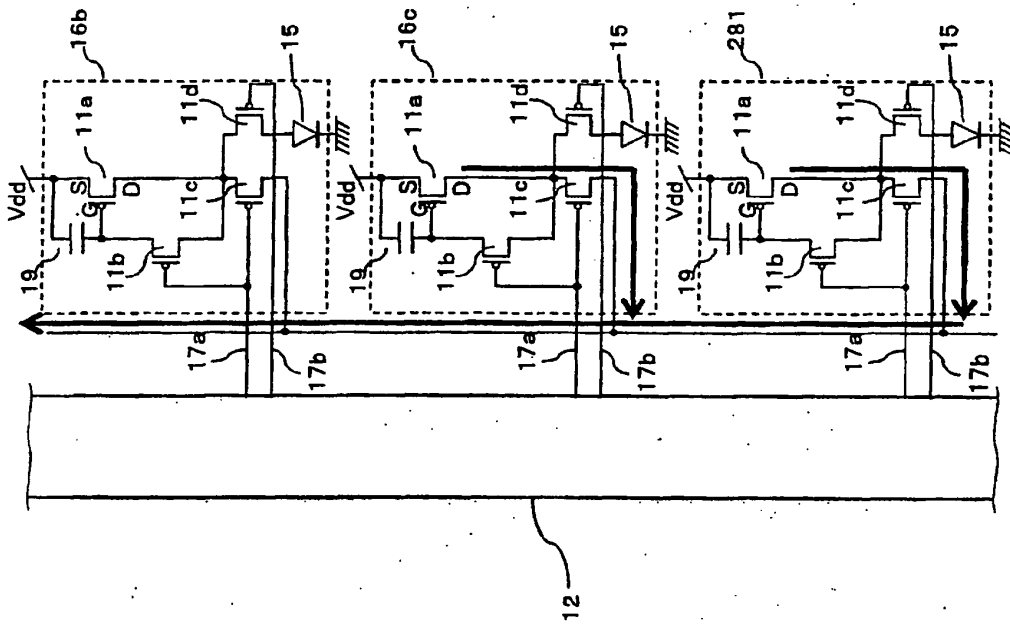


FIG.28

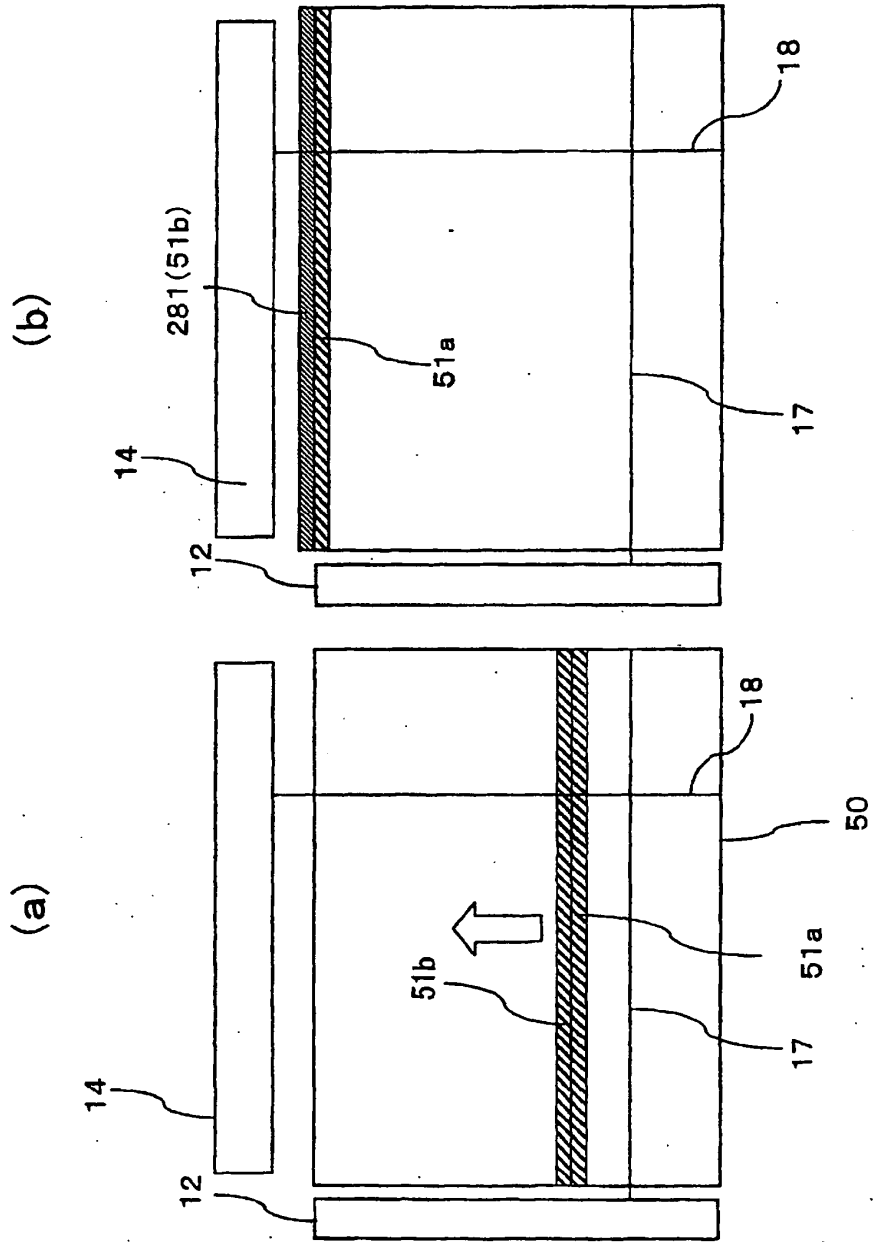


FIG.29

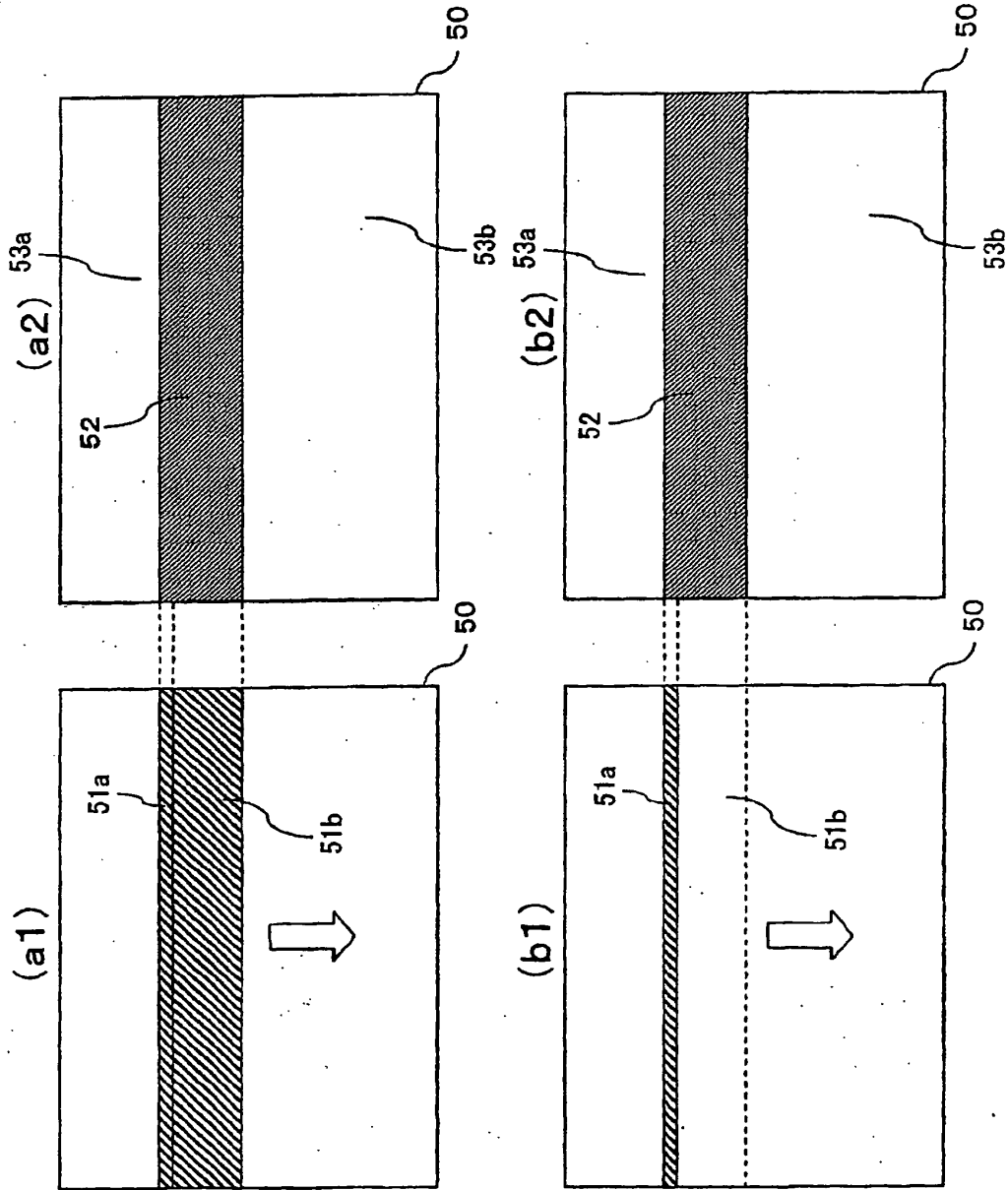


FIG. 30

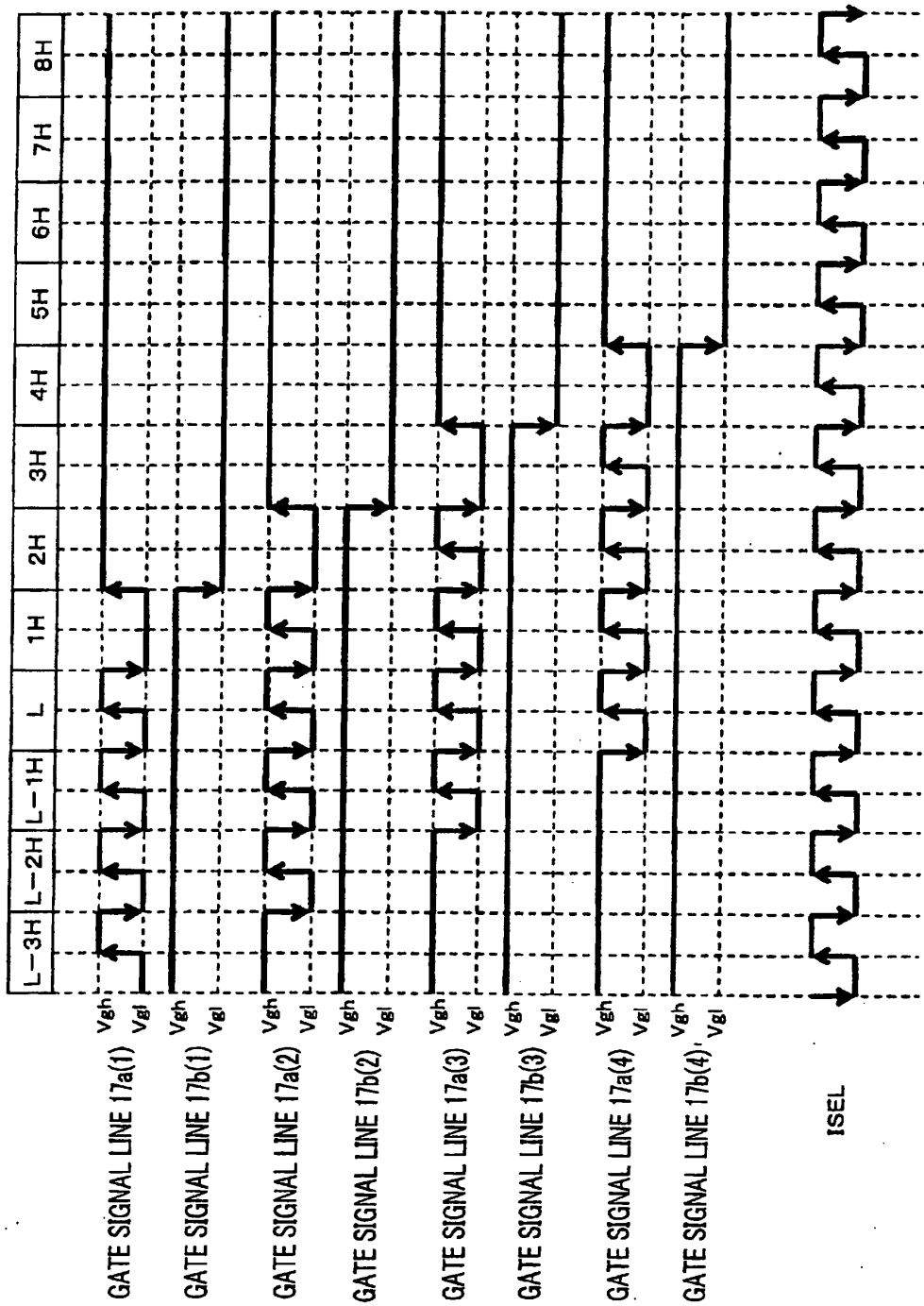


FIG.31

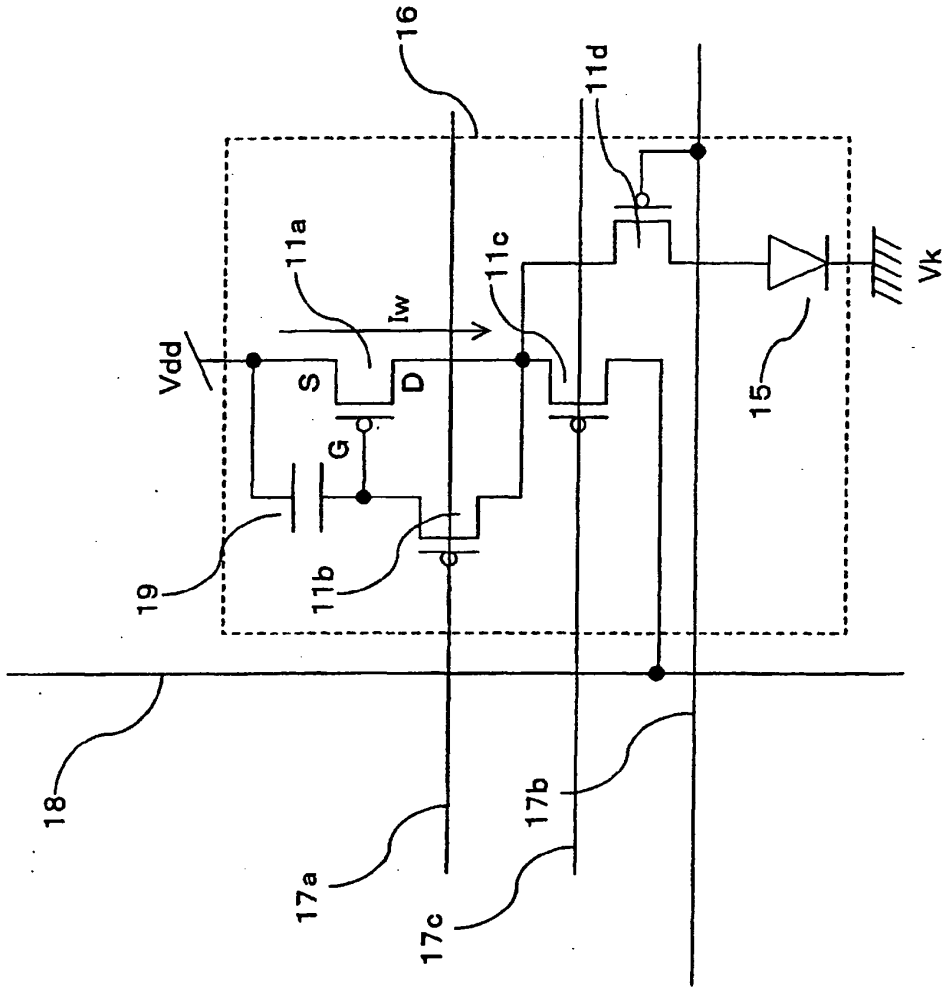


FIG. 32

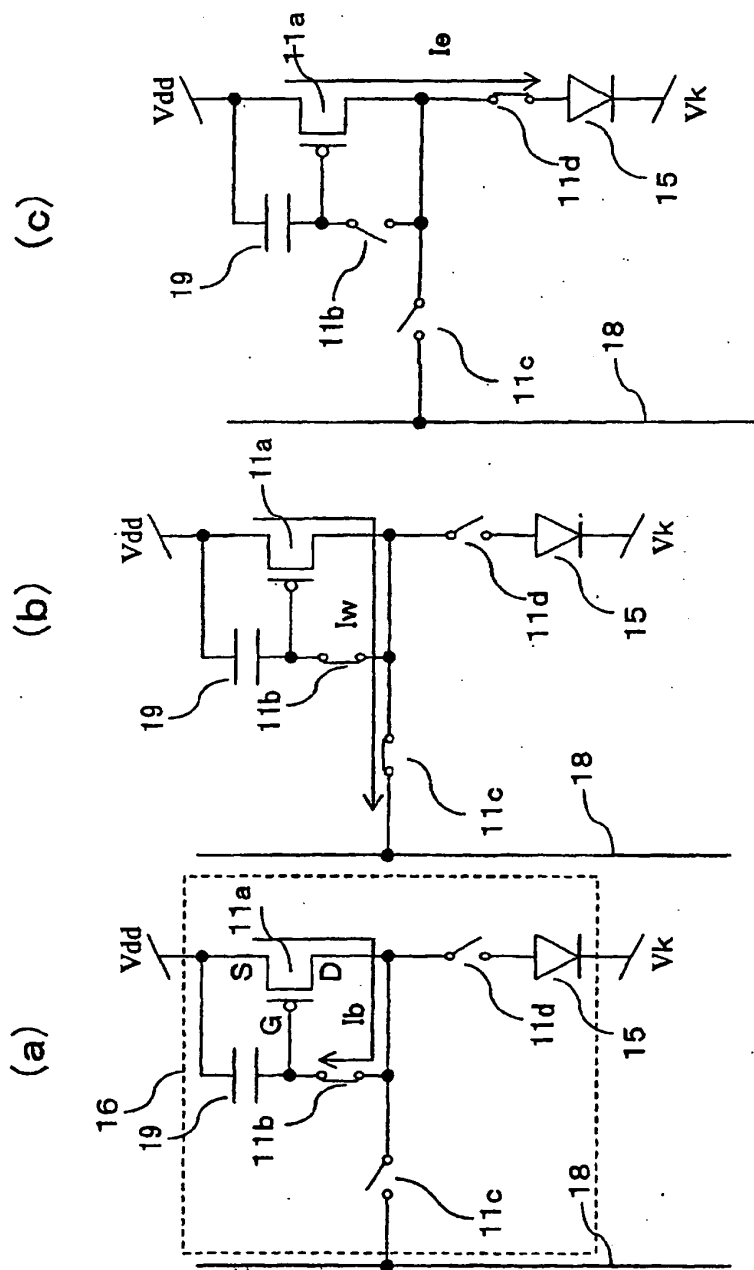


FIG.33

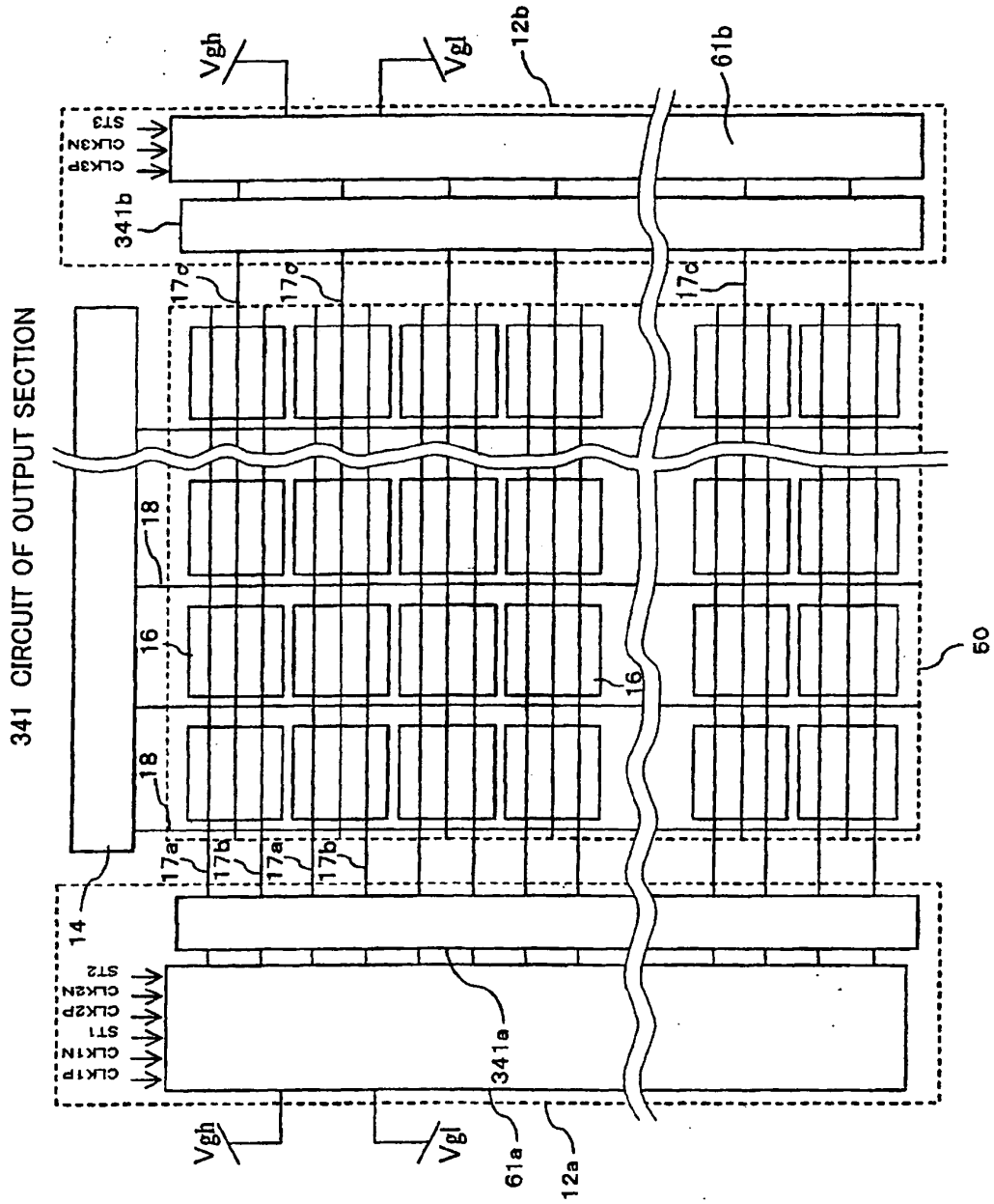


FIG.34



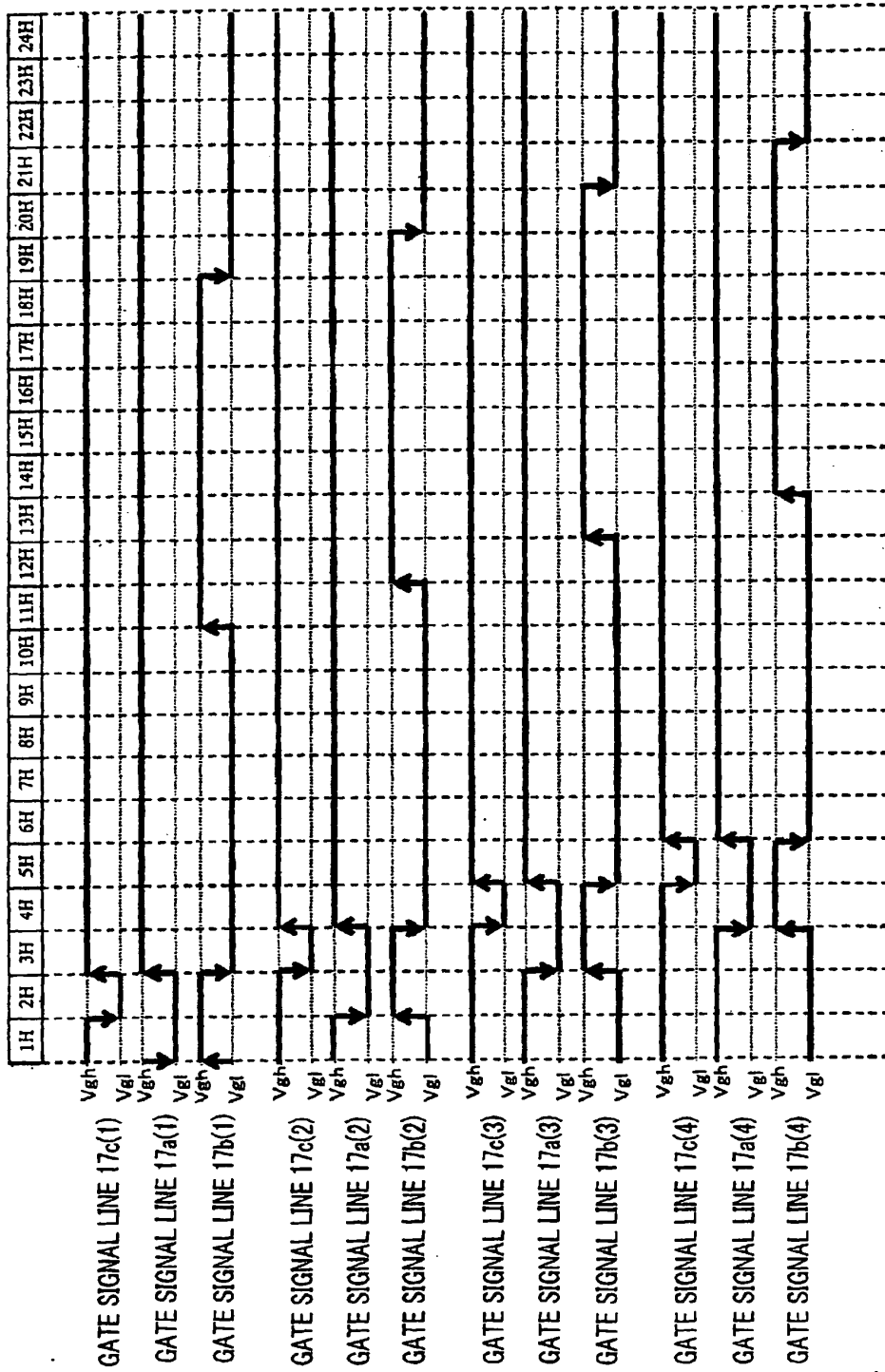


FIG. 35

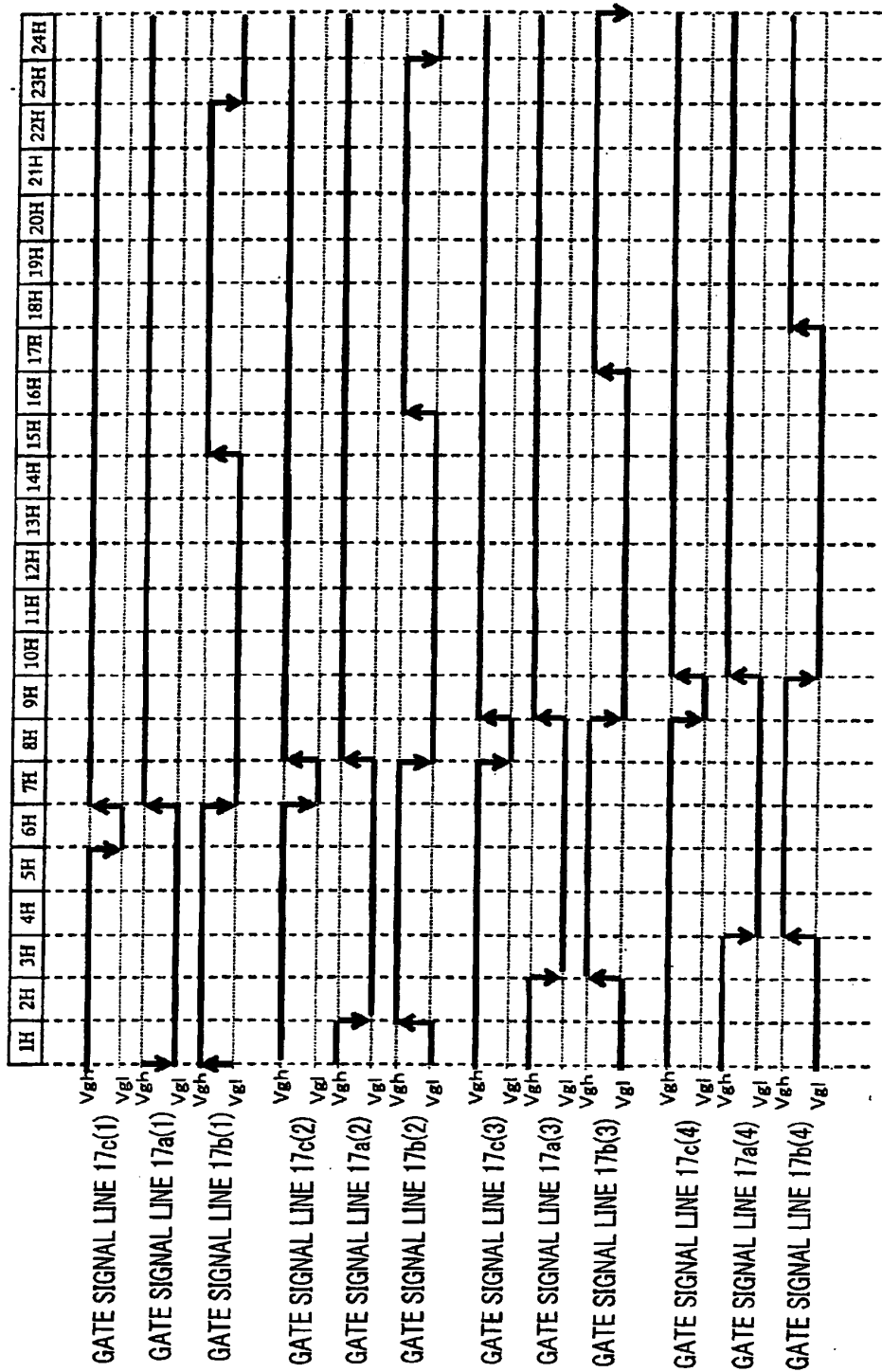


FIG.36

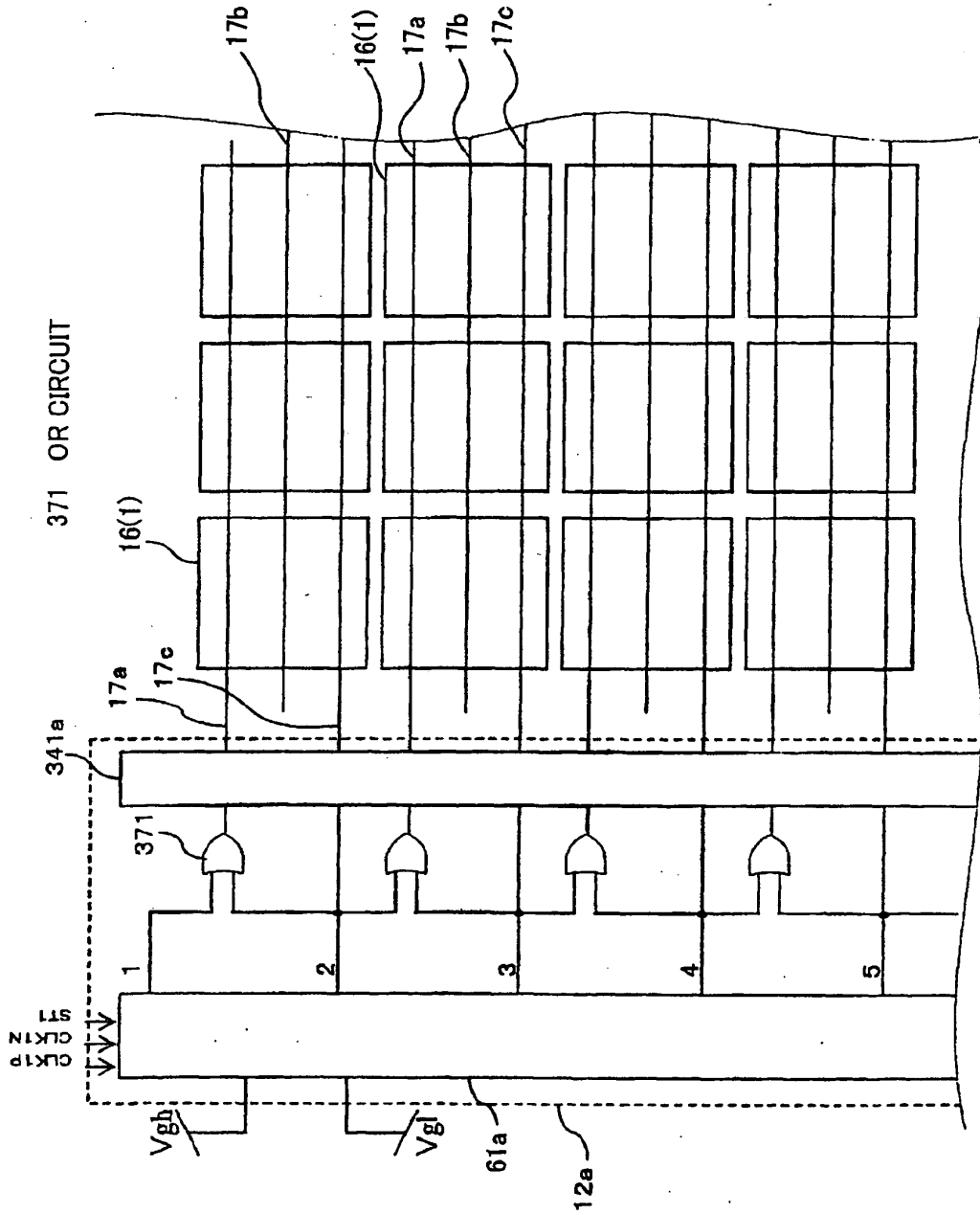


FIG.37

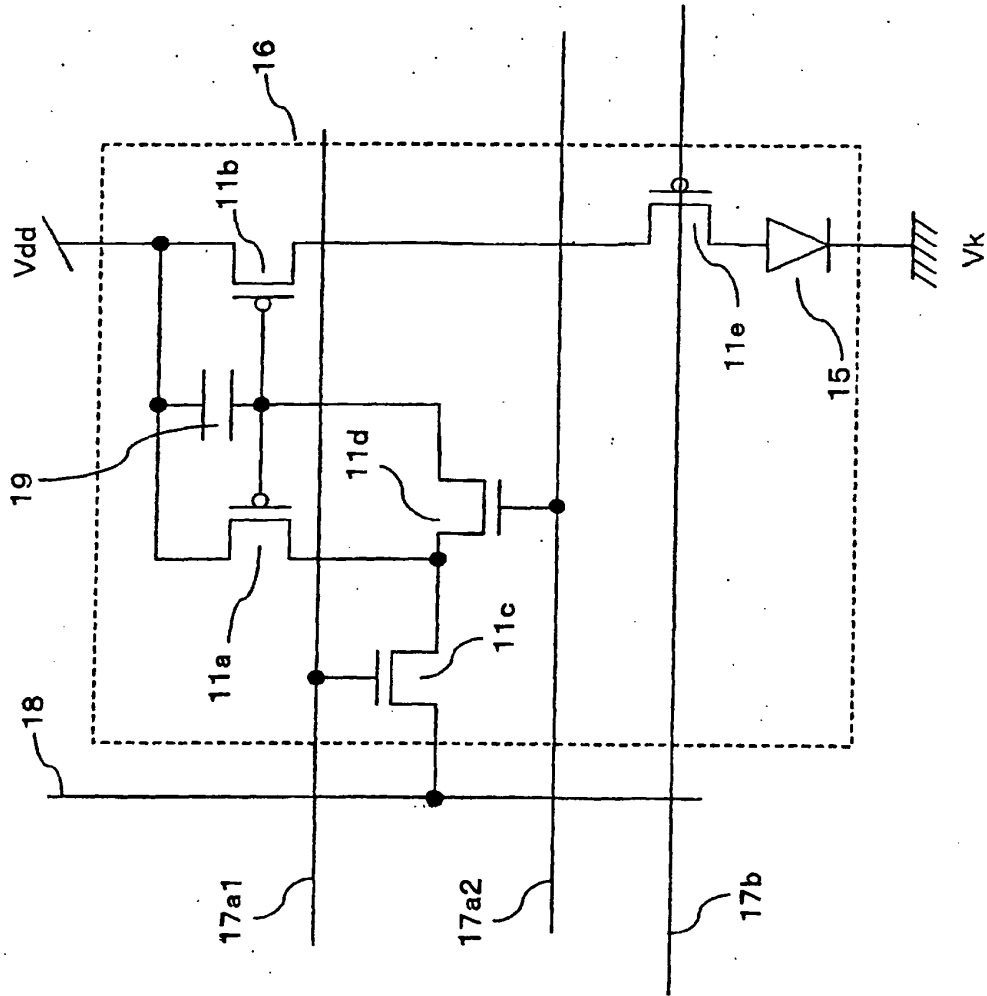


FIG. 38

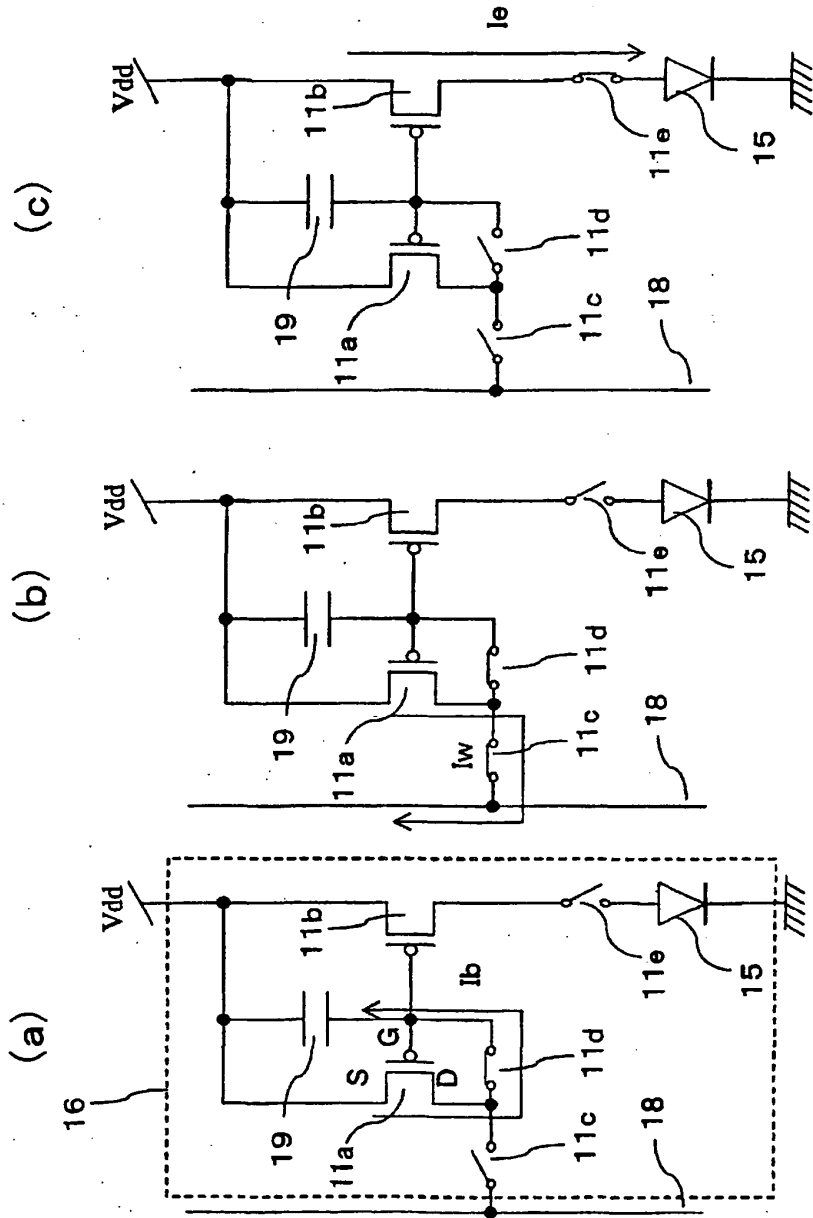


FIG.39

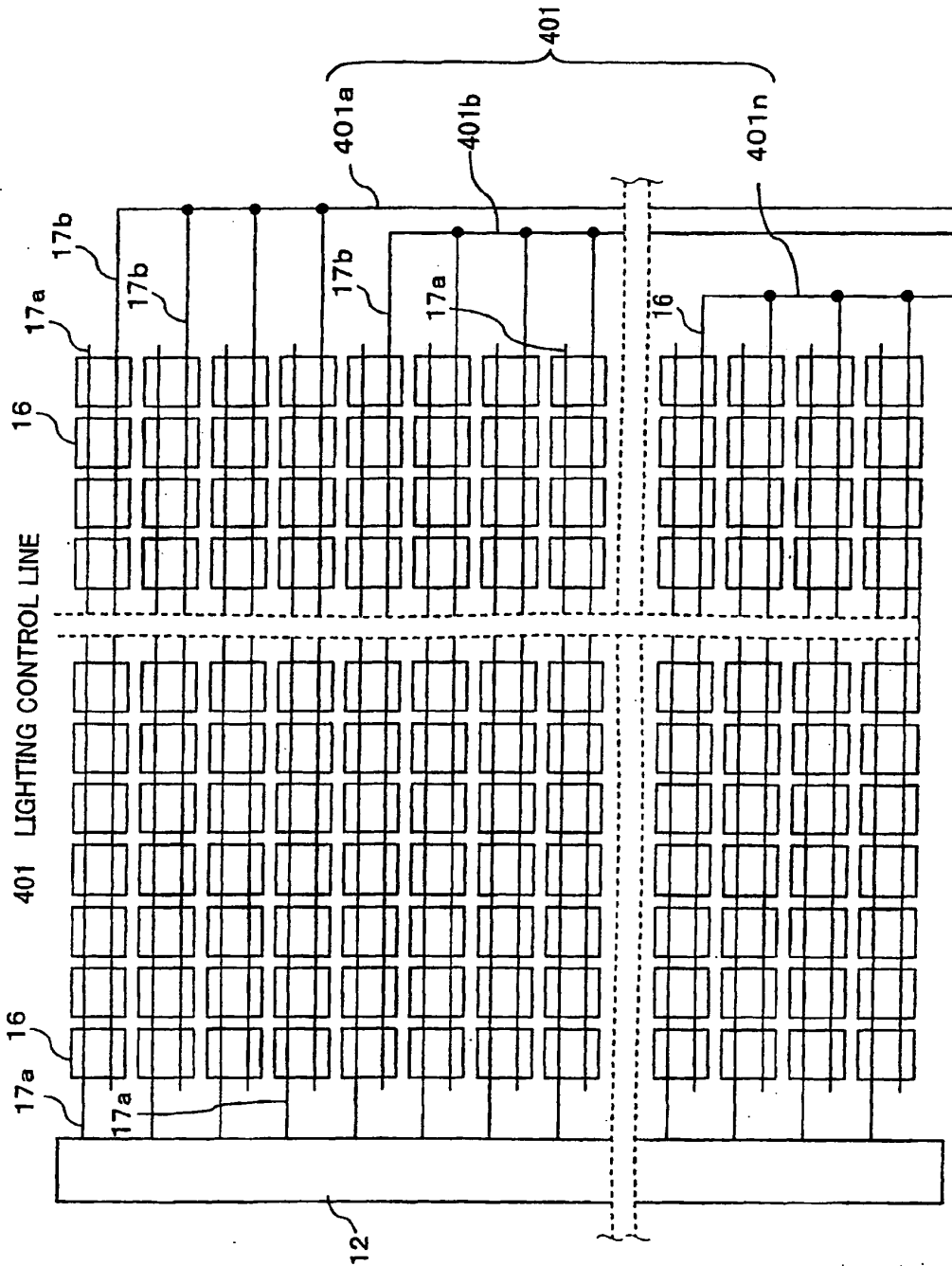


FIG. 40

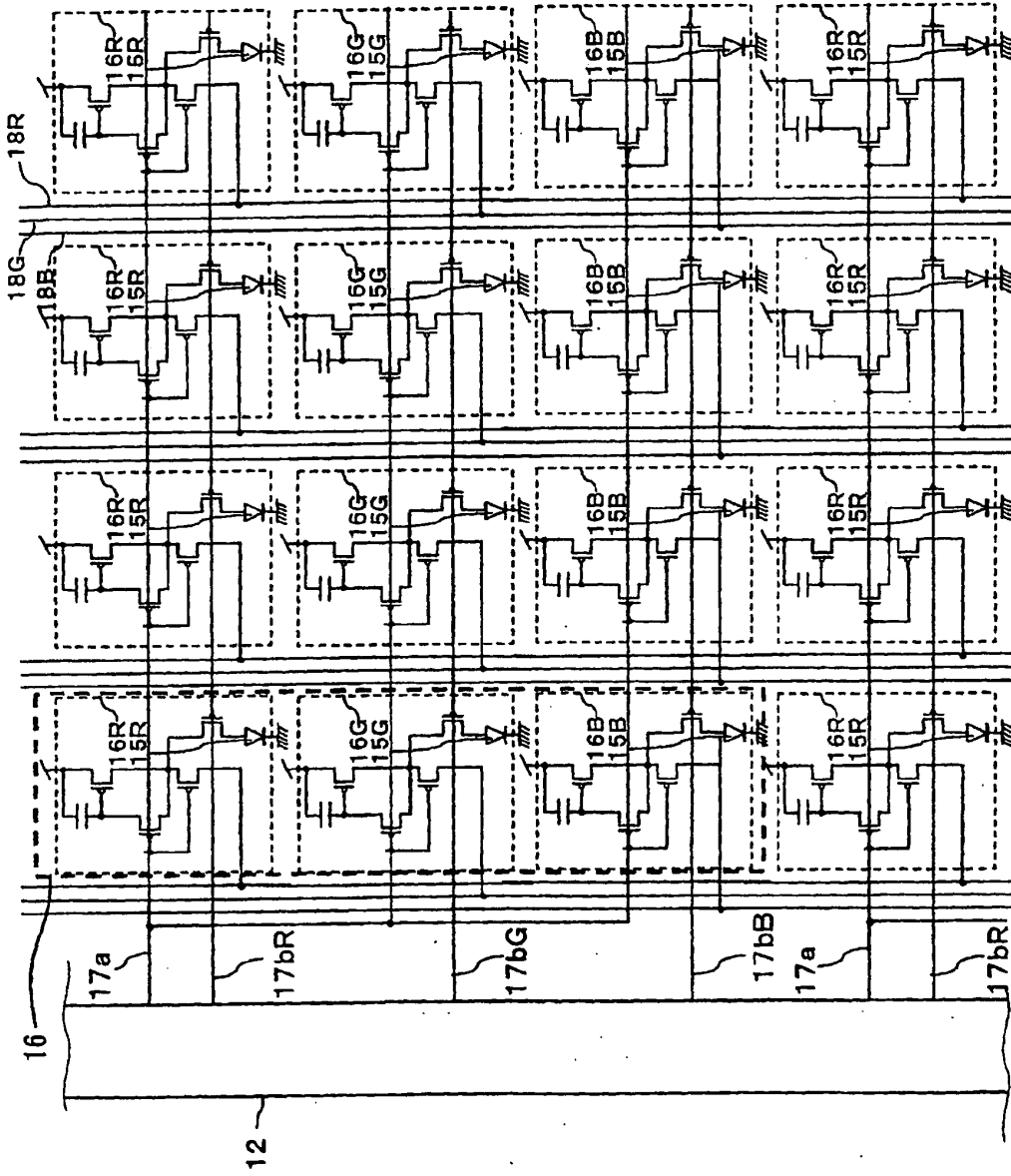


FIG.41

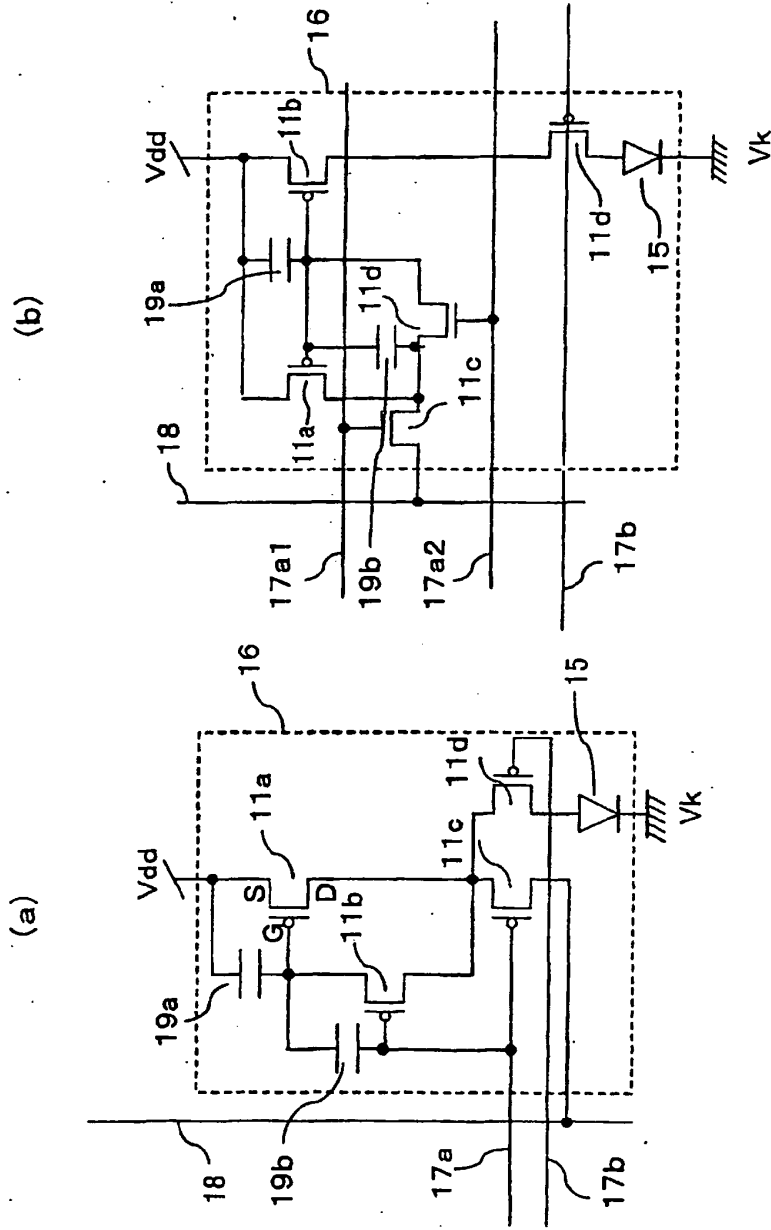


FIG. 42



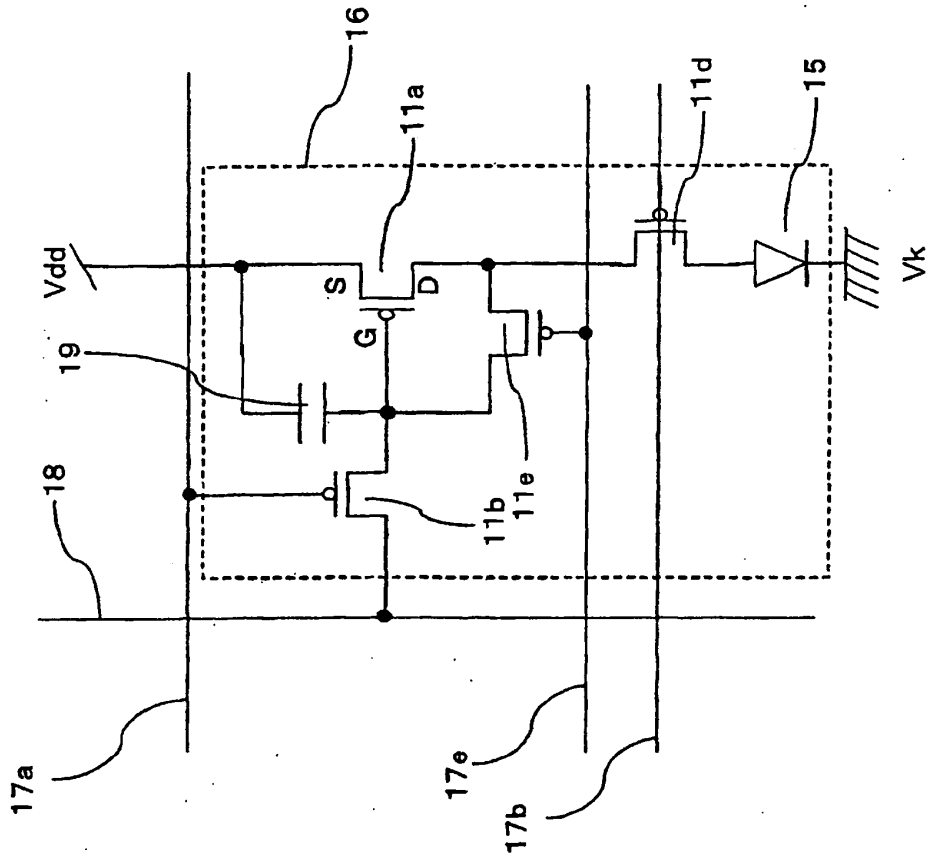


FIG. 43

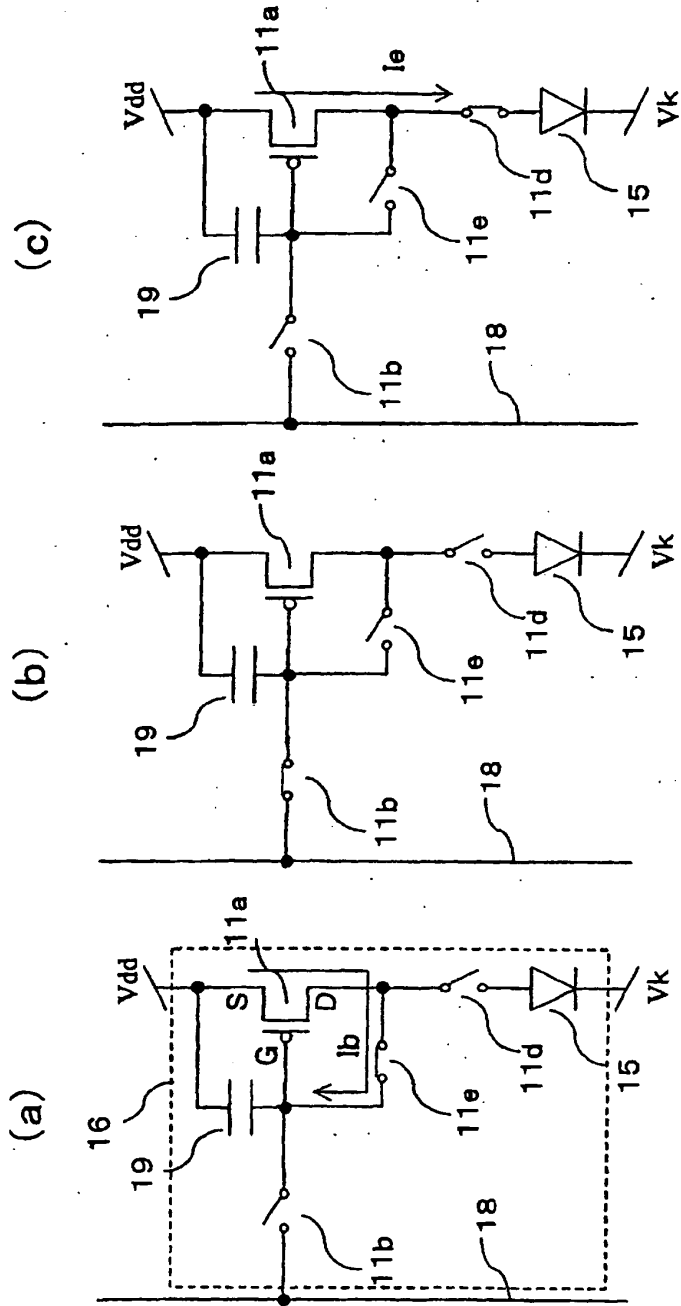


FIG.44

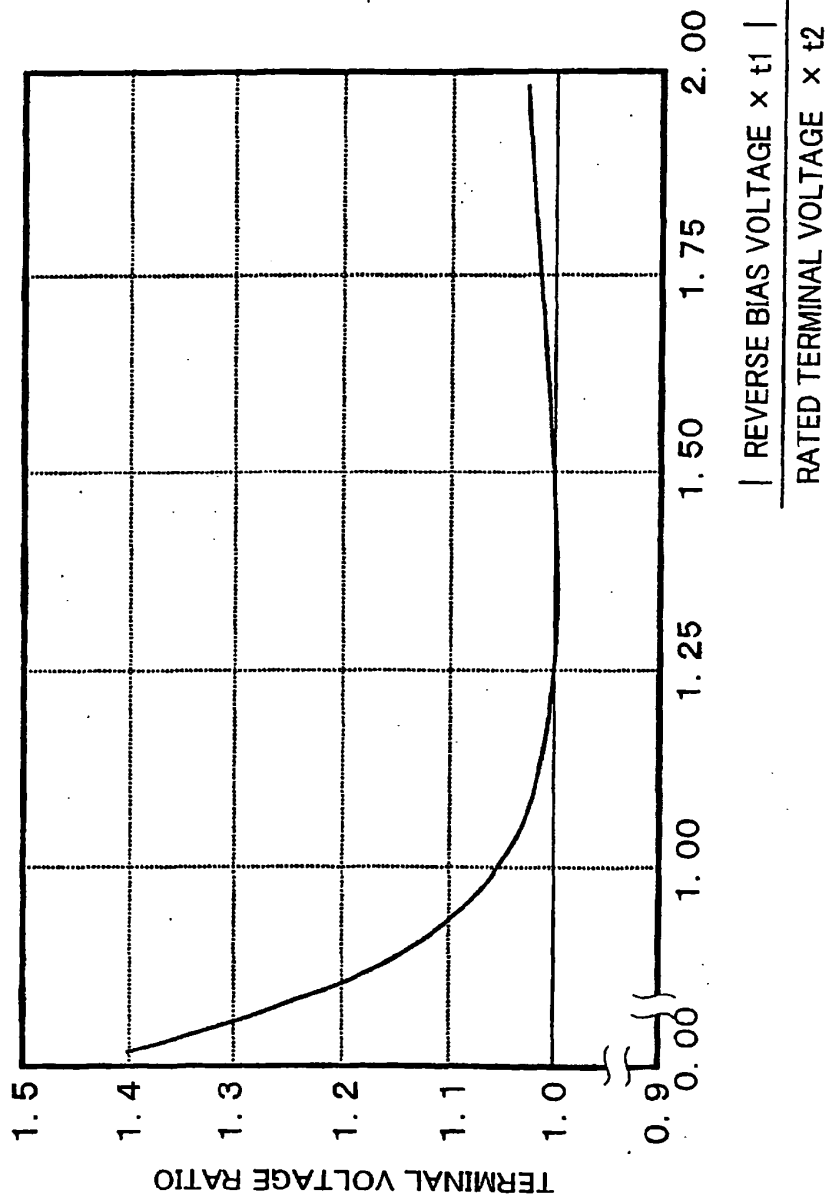


FIG.45

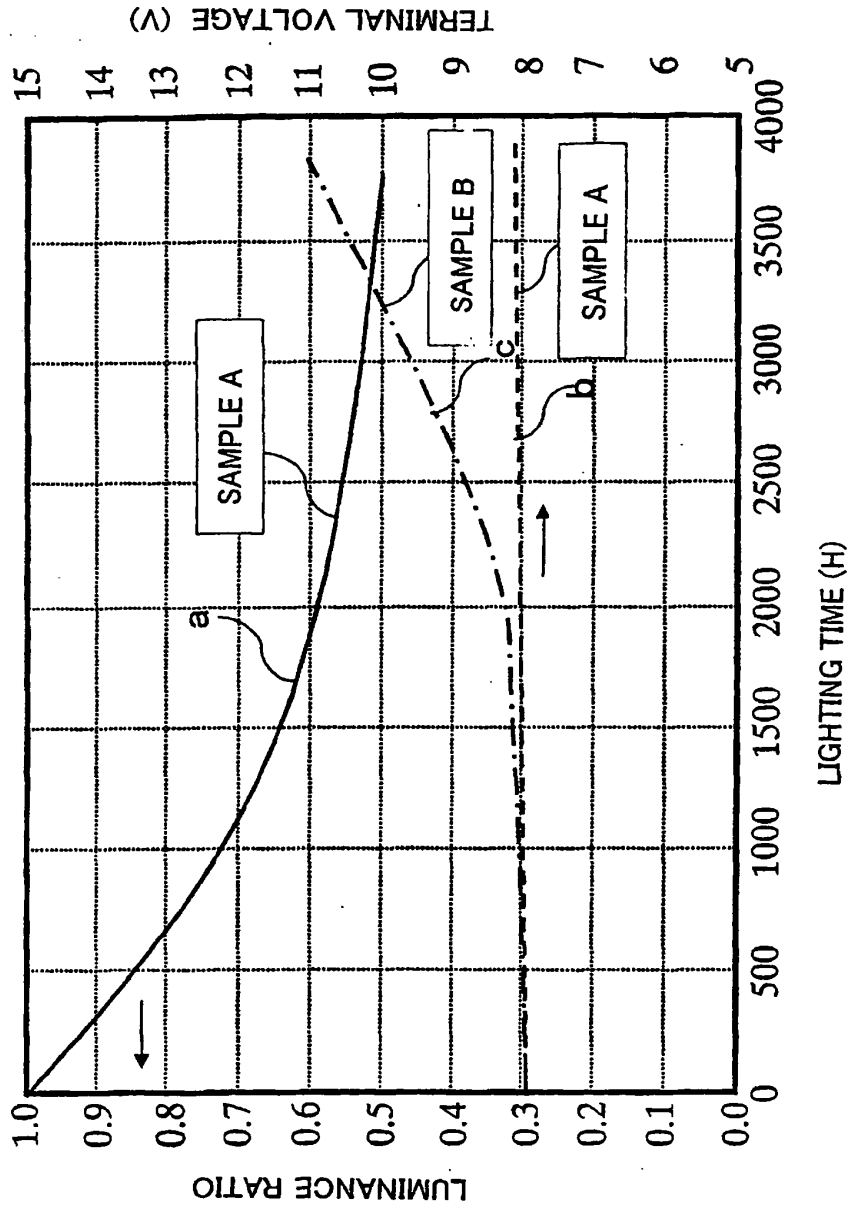


FIG. 46

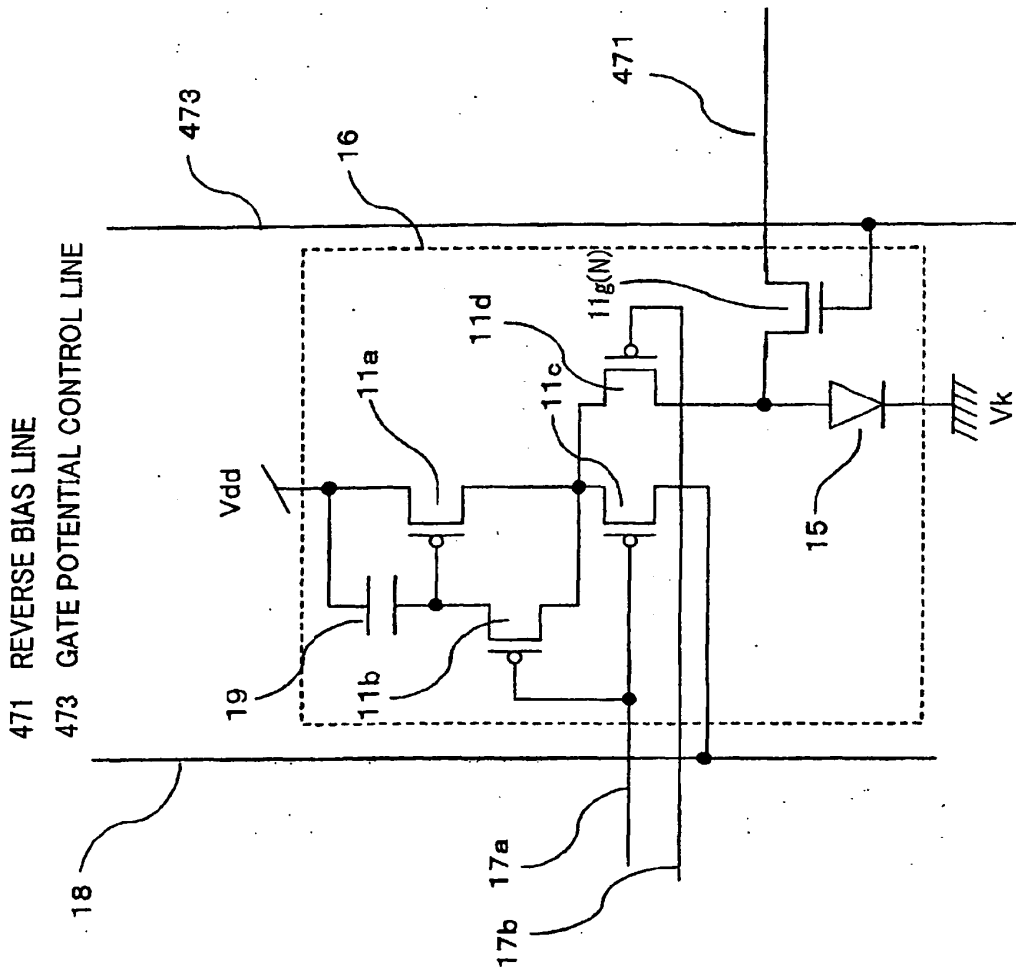


FIG.47

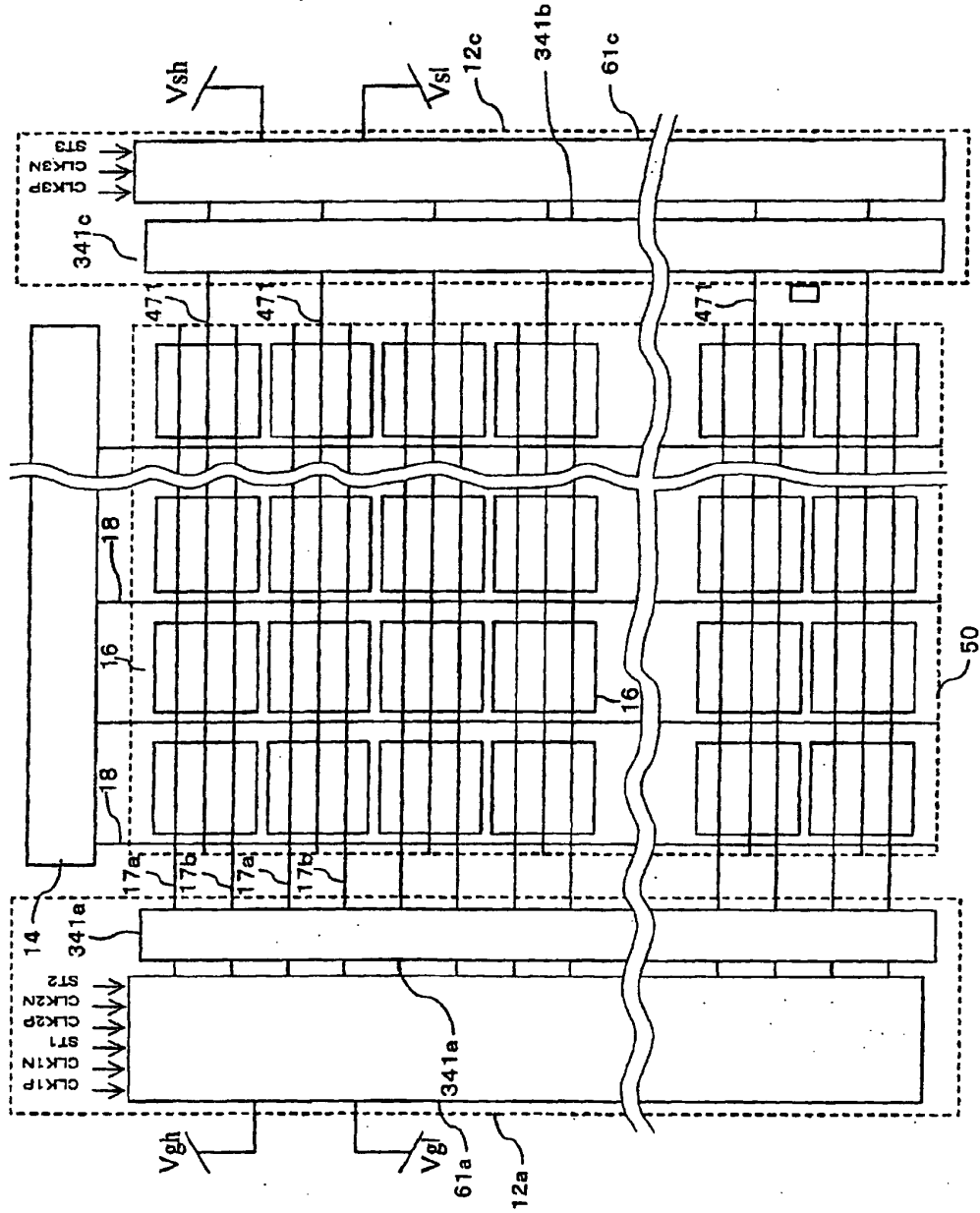


FIG. 48

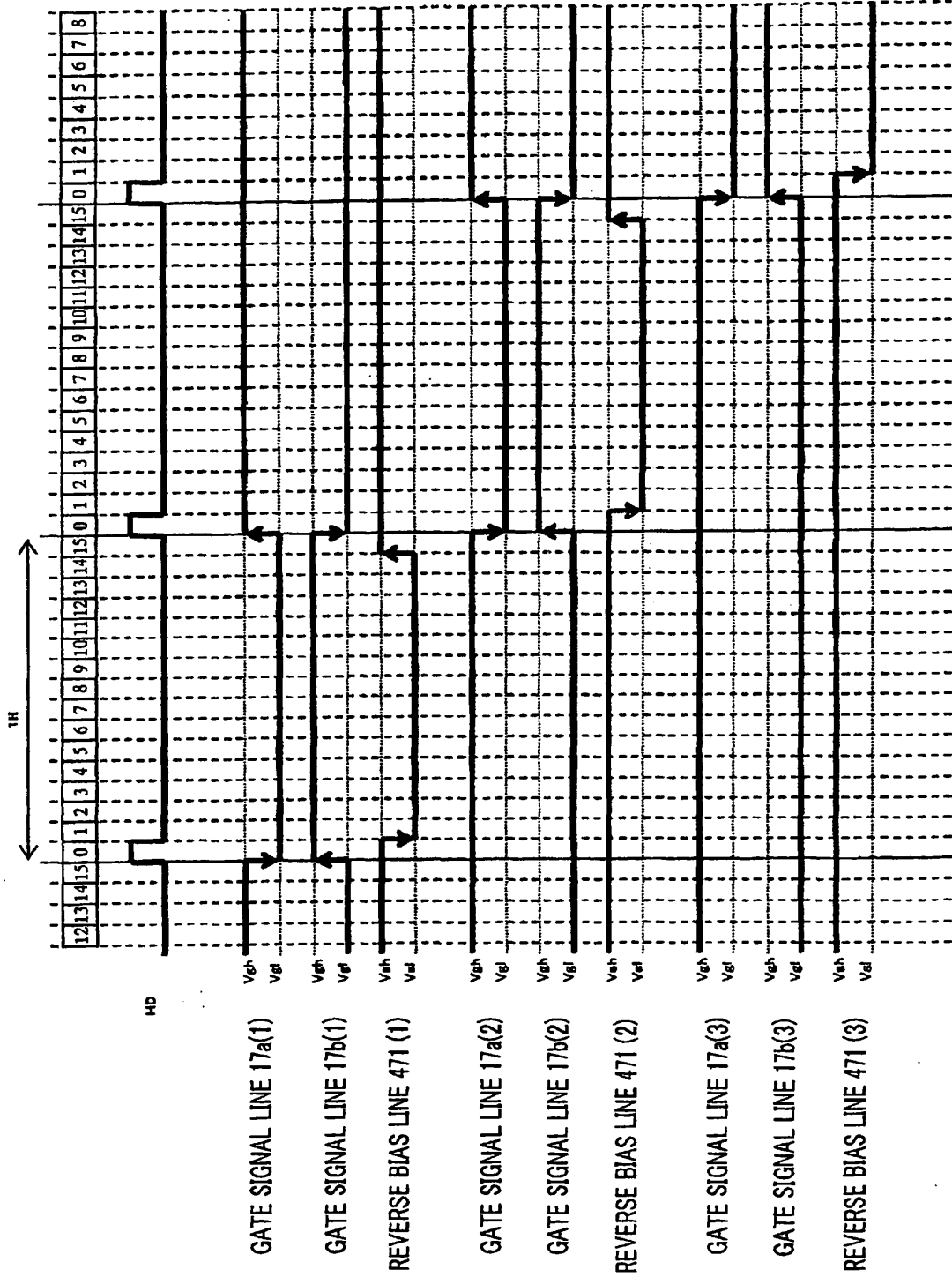


FIG.49

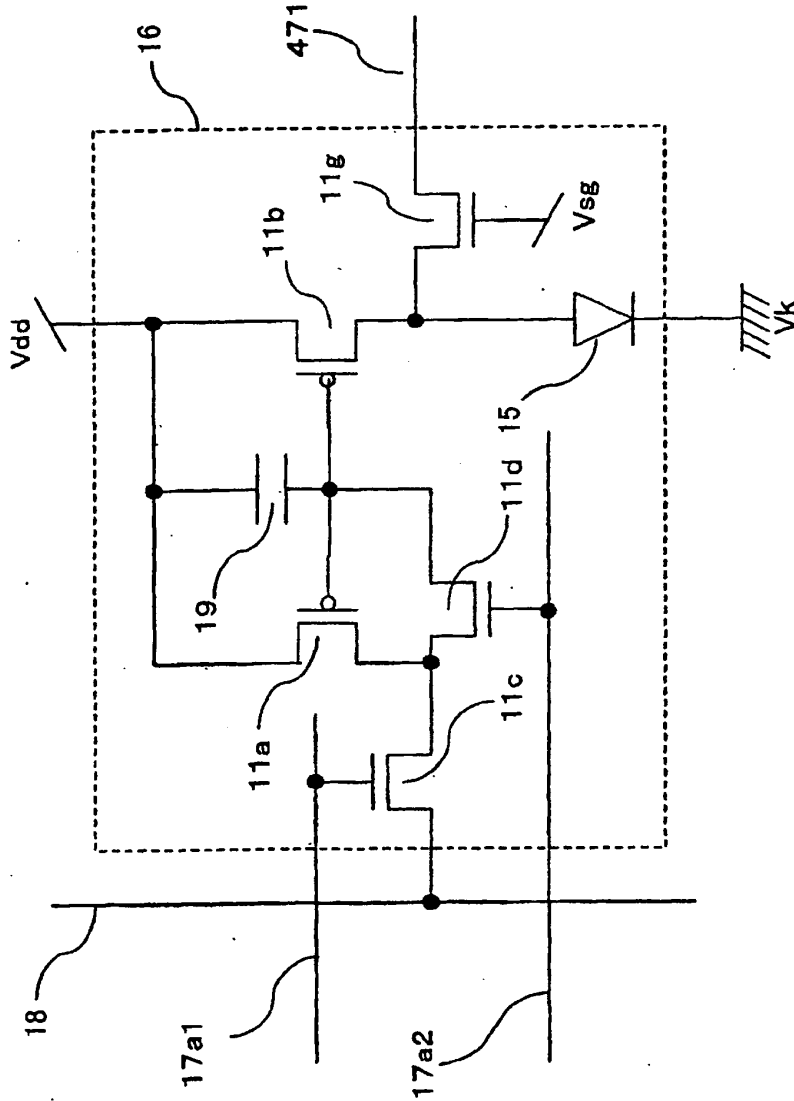


FIG. 50



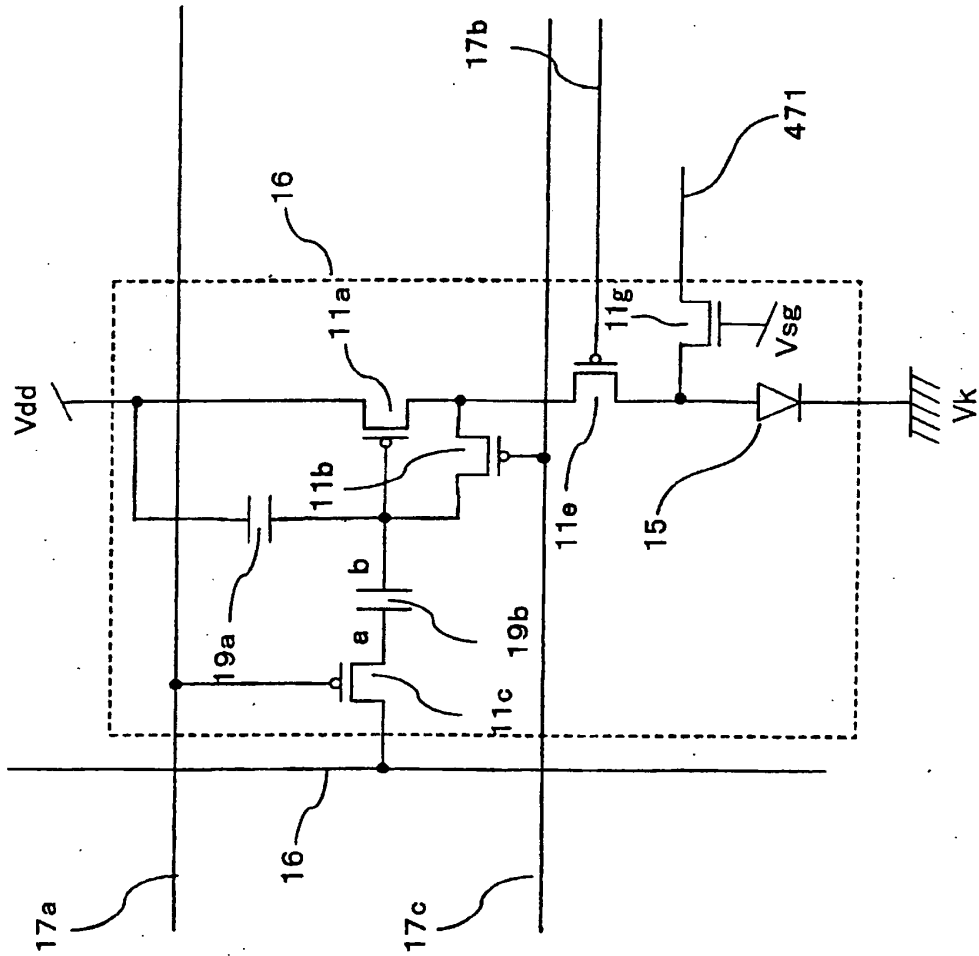


FIG. 51

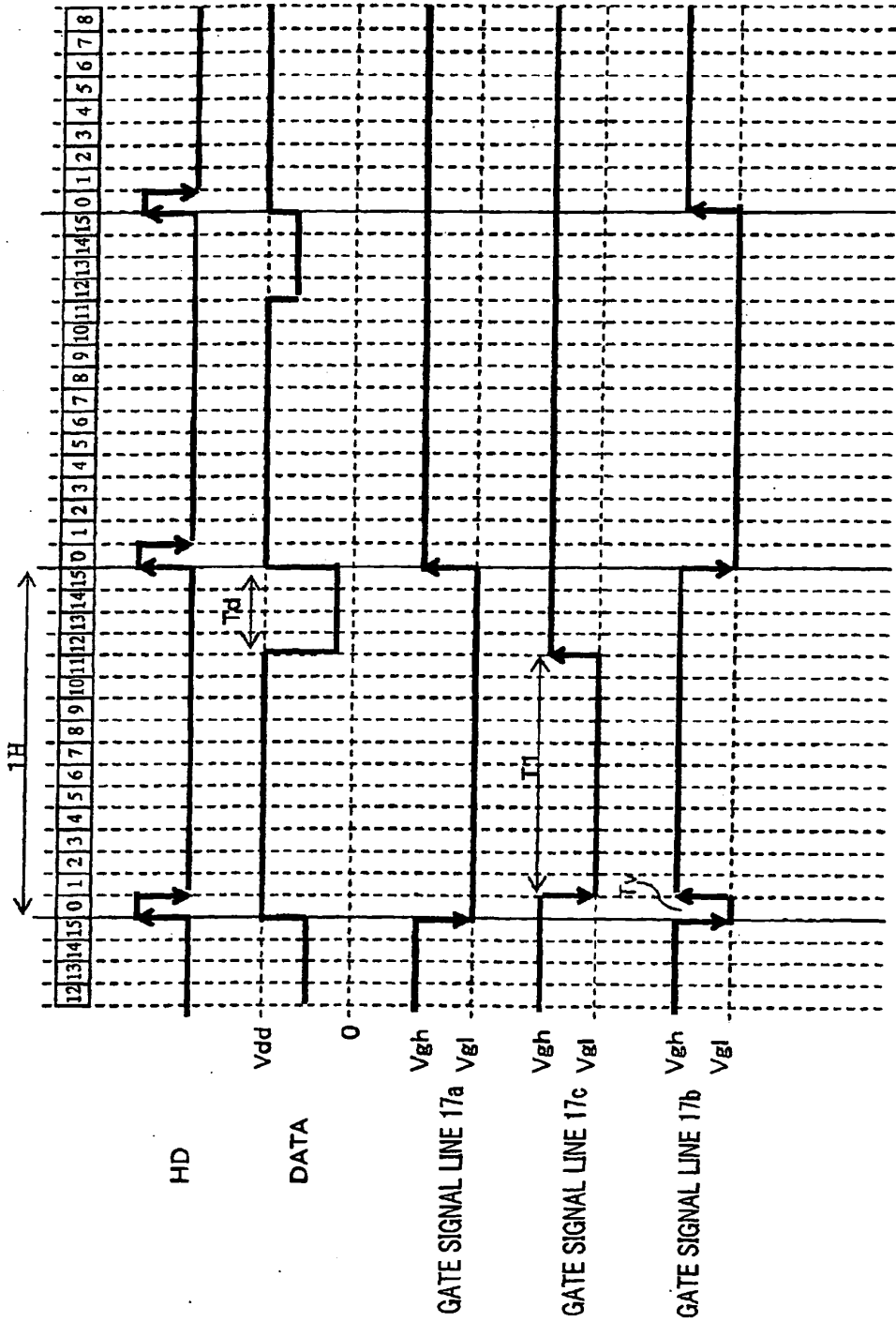


FIG.52

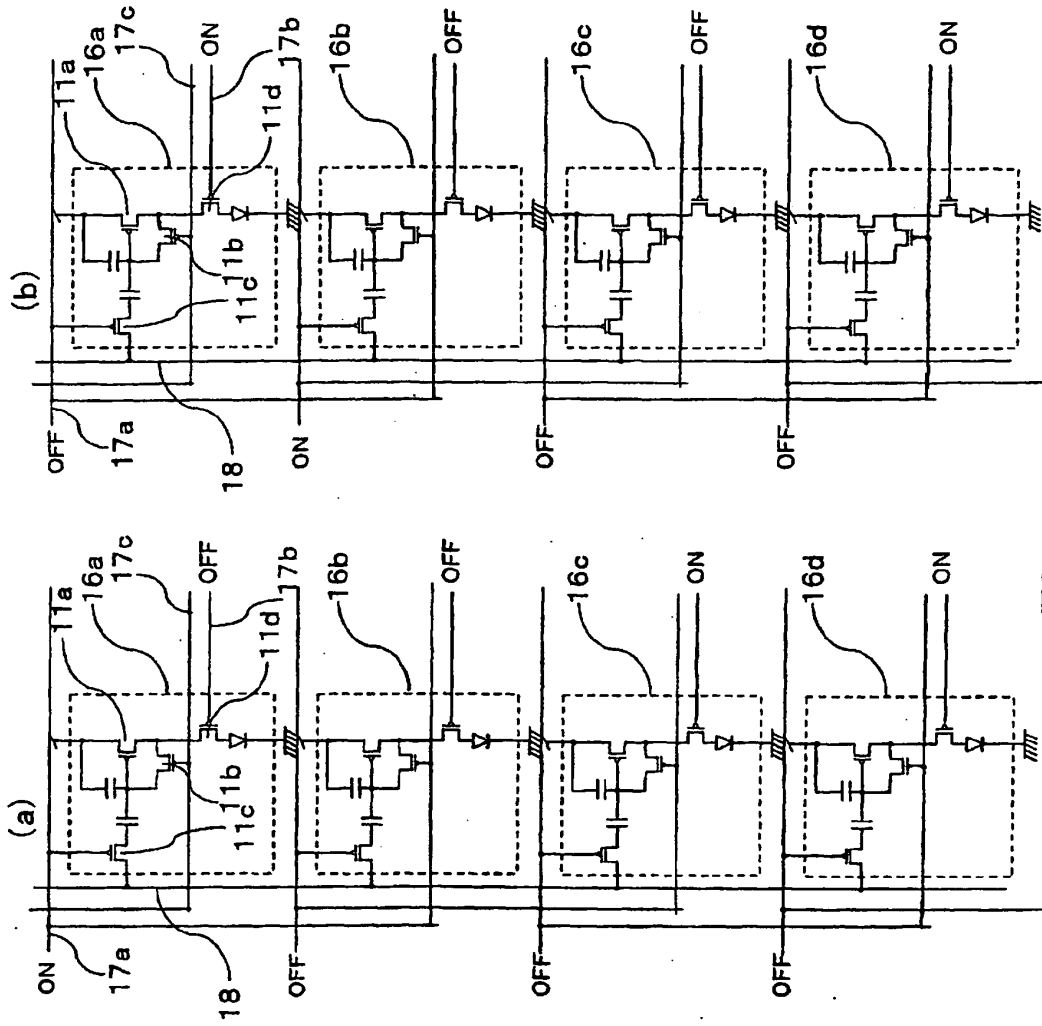


FIG. 53

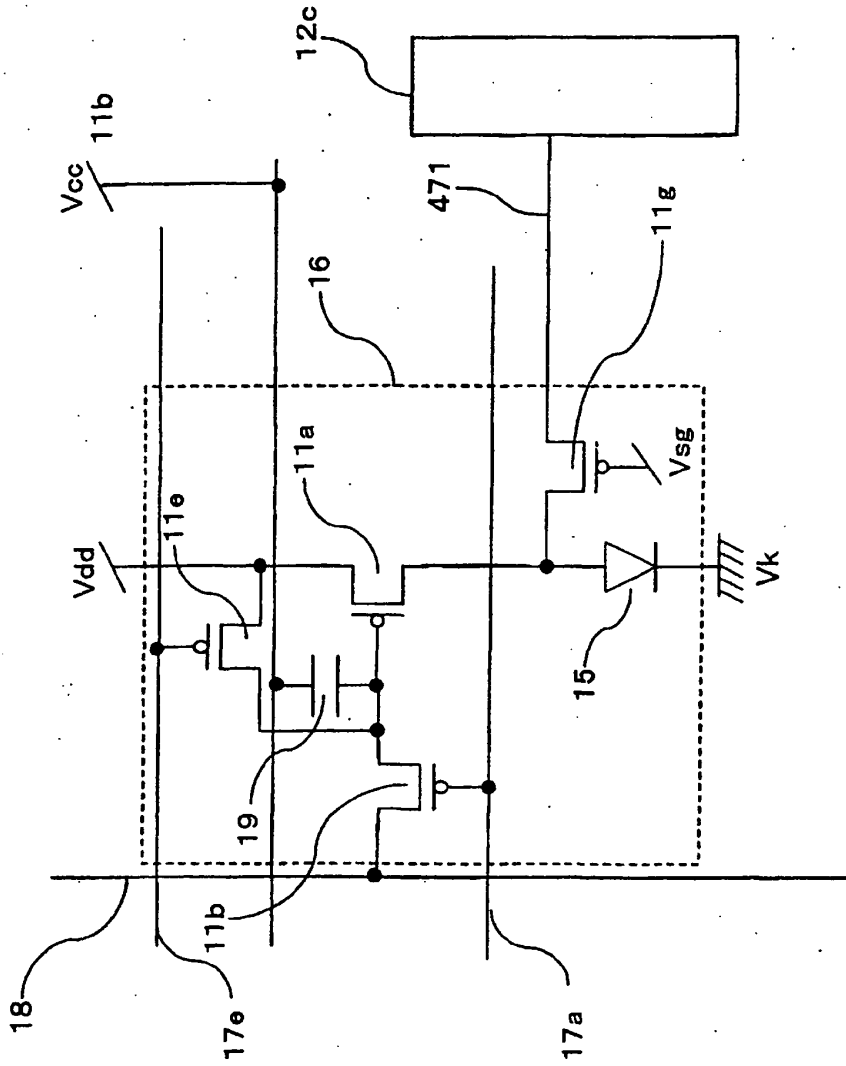


FIG. 54

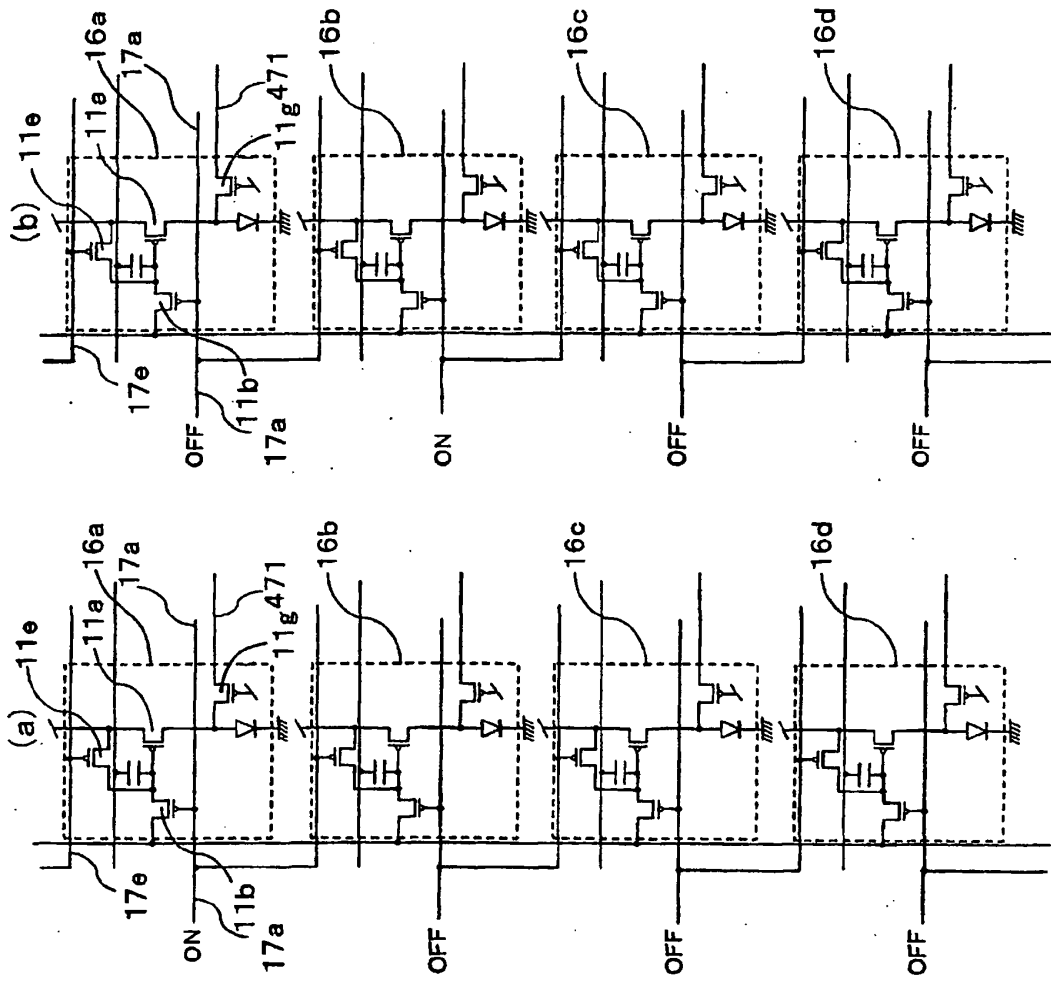


FIG. 55

561 ELECTRONIC VOLUME CIRCUIT  
 562 SD (SOURCE-DRAIN) OF TFT SHORTCIRCUITED

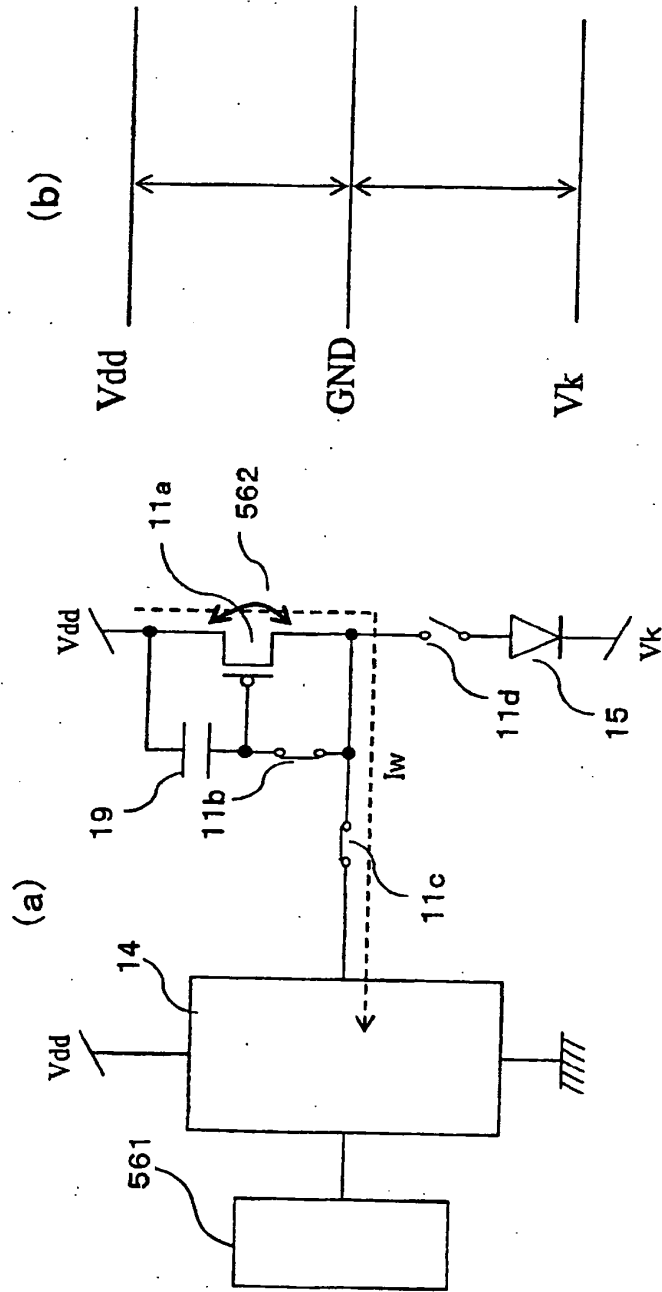
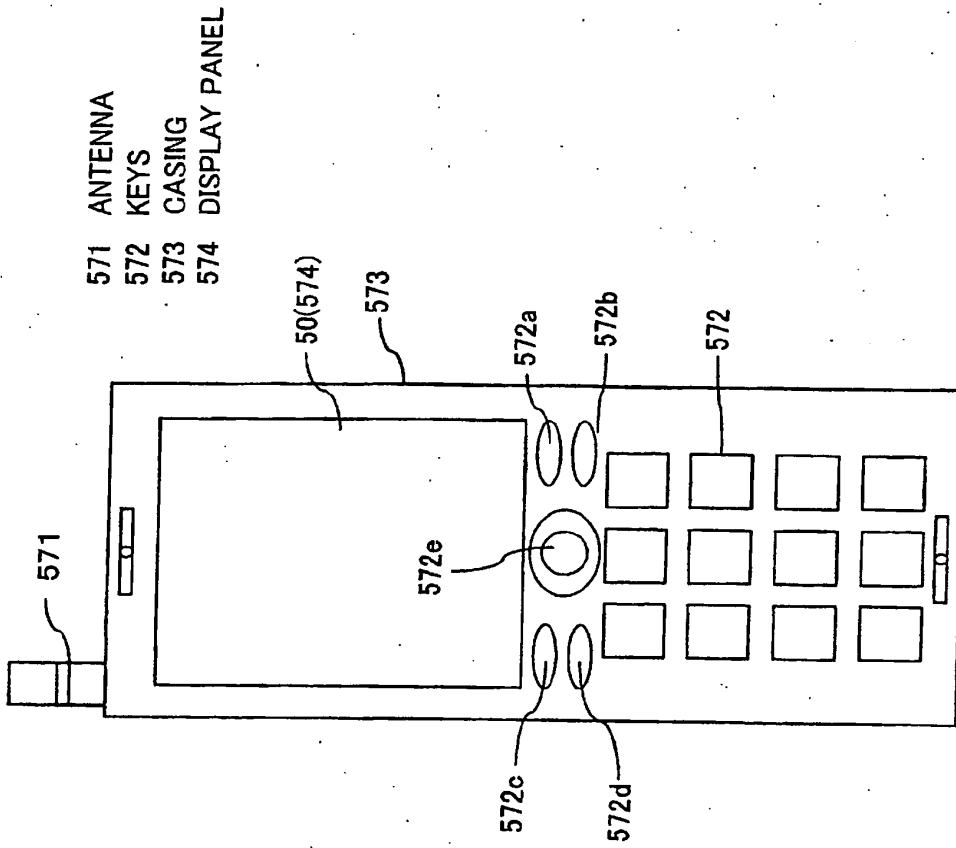


FIG.56



571 ANTENNA  
572 KEYS  
573 CASING  
574 DISPLAY PANEL

FIG. 57

- 581 EYEPIECE RING
- 582 MAGNIFYING LENS
- 583 CONVEX LENS

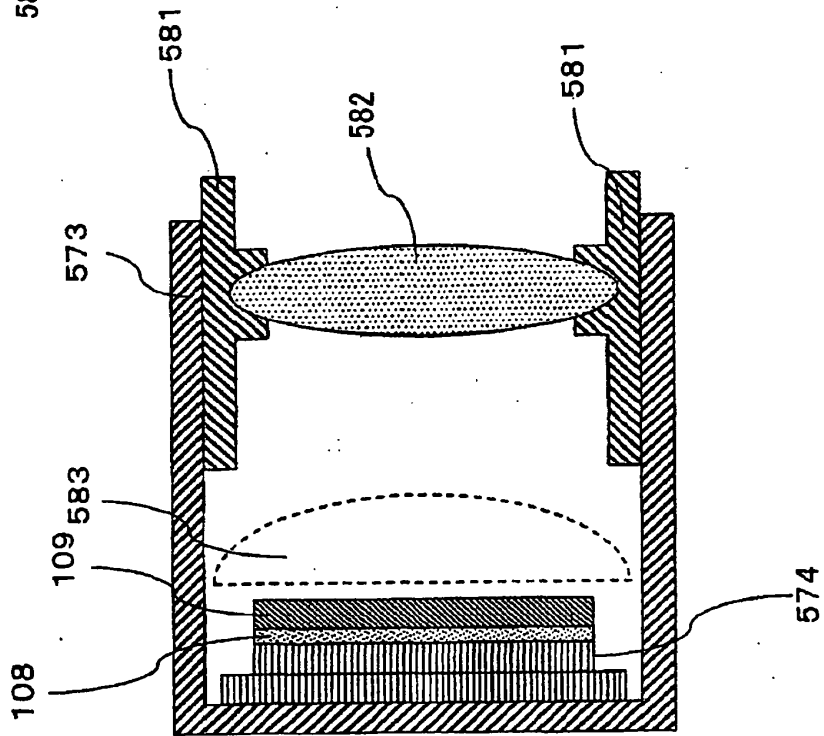


FIG.58



- 591 FULCRUM
- 592 SHOOTING LENS
- 593 STORAGE SECTION
- 594 SWITCH

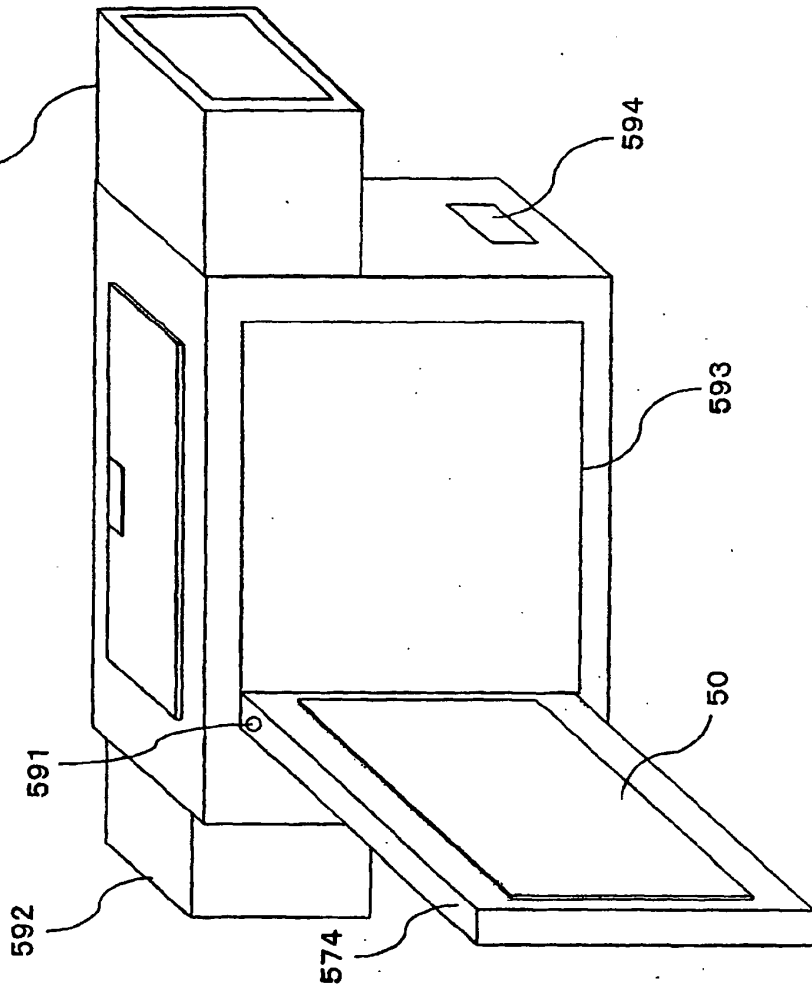


FIG.59

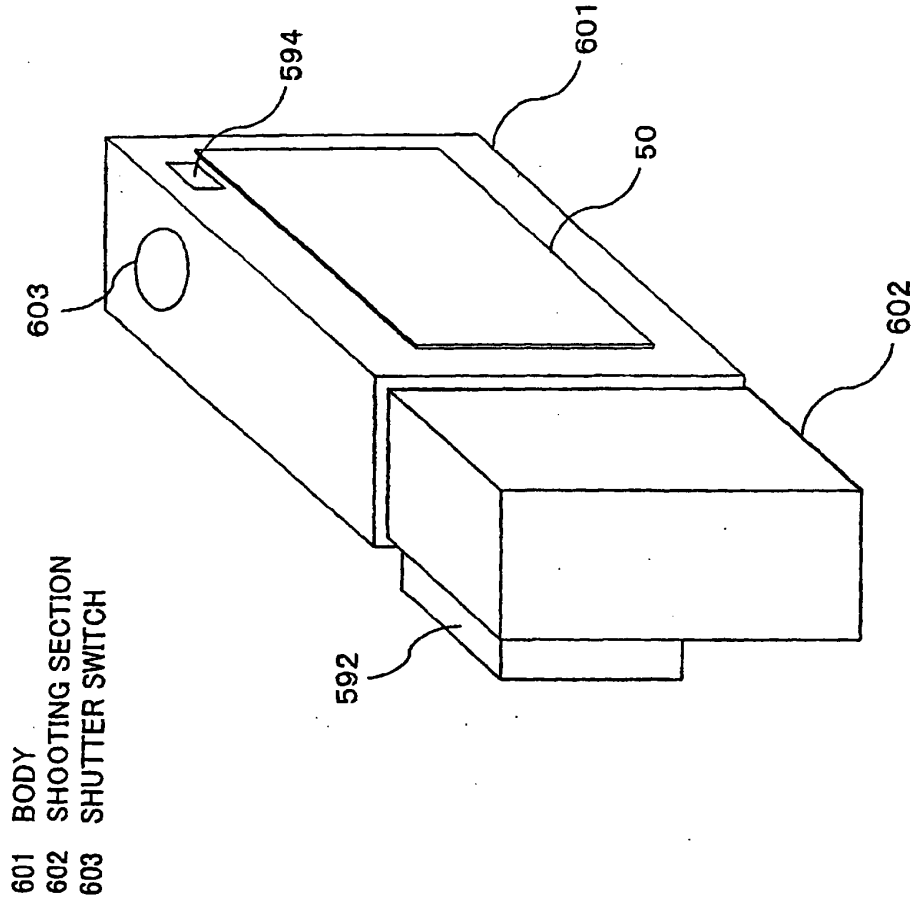


FIG.60

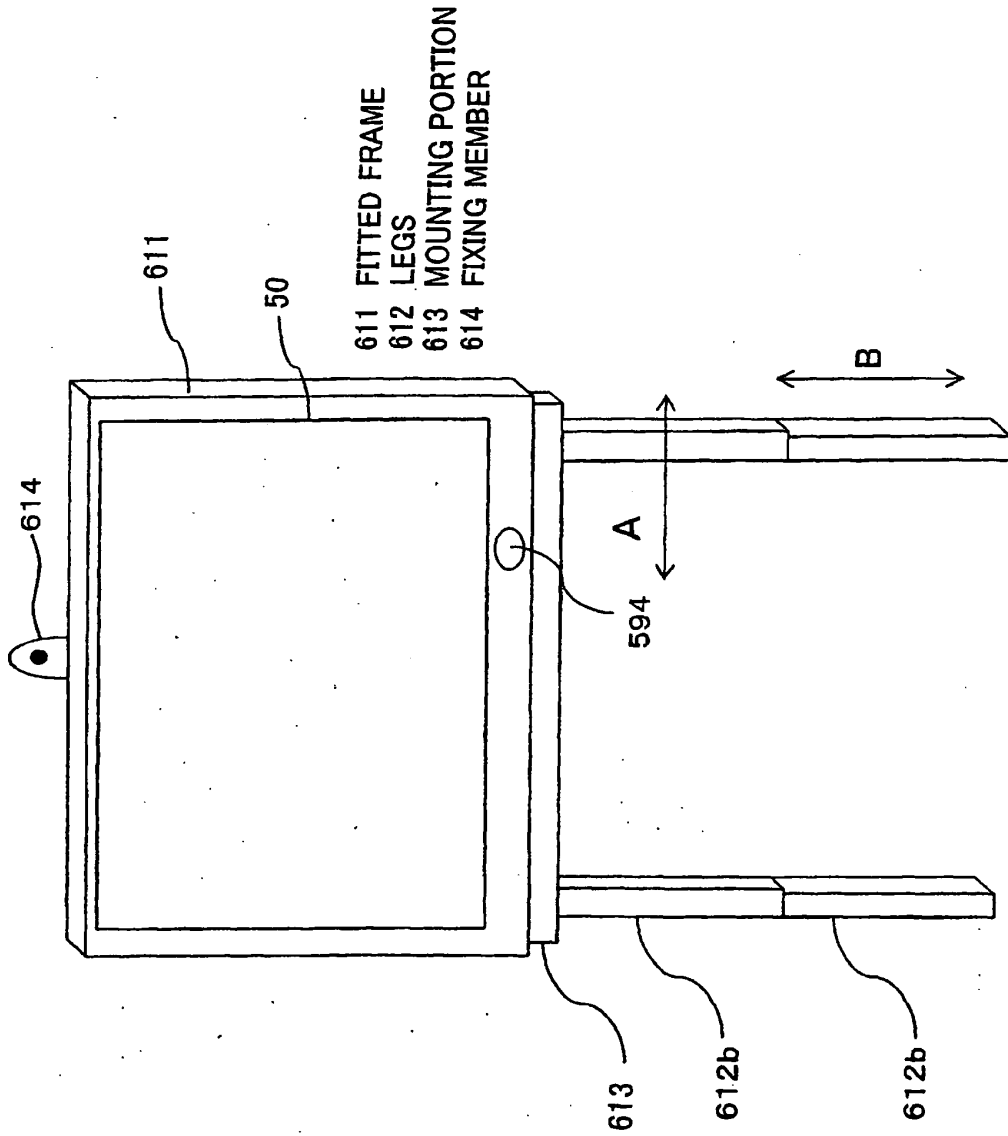


FIG. 61

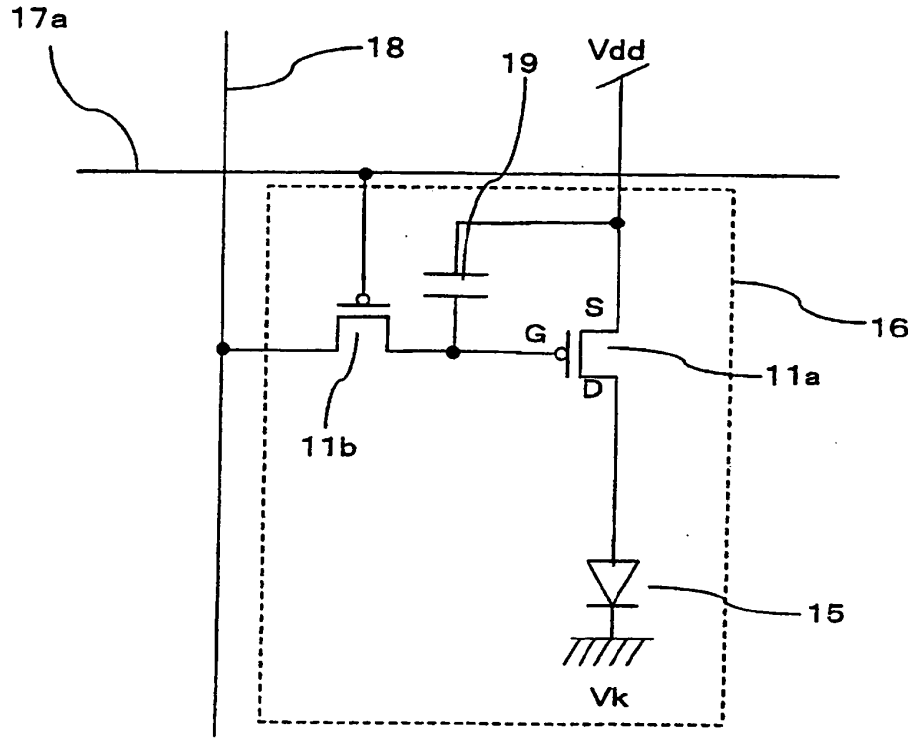


FIG. 62

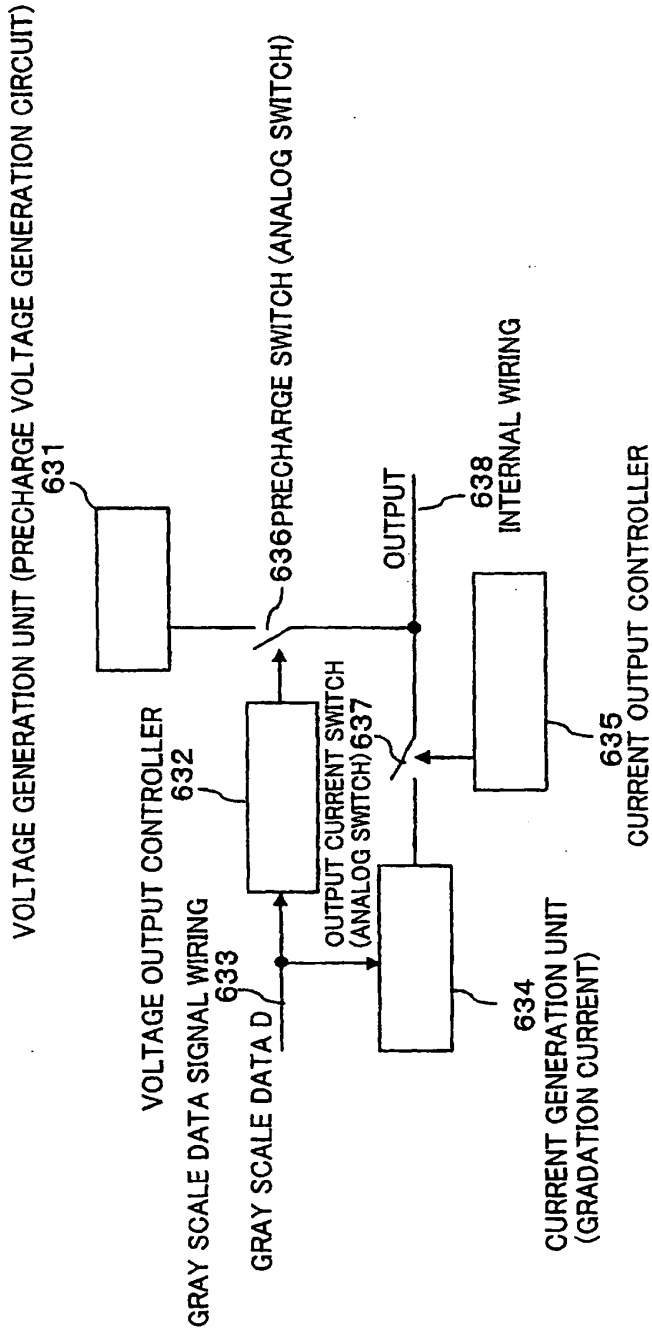


FIG. 63

641: STRAY CAPACITY

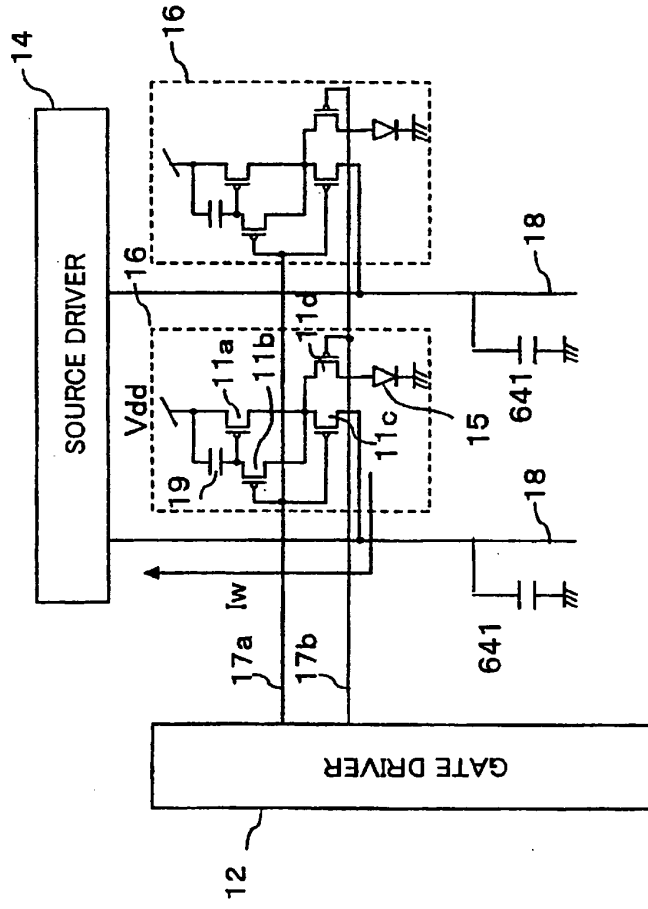


FIG. 64

- 651: SWITCHING CIRCUIT
- 652: INVERTER
- 653: ANALOG SWITCH
- 654: UNIT CURRENT SOURCE
- 655: TRANSISTOR
- 656: VARIABLE RESISTANCE

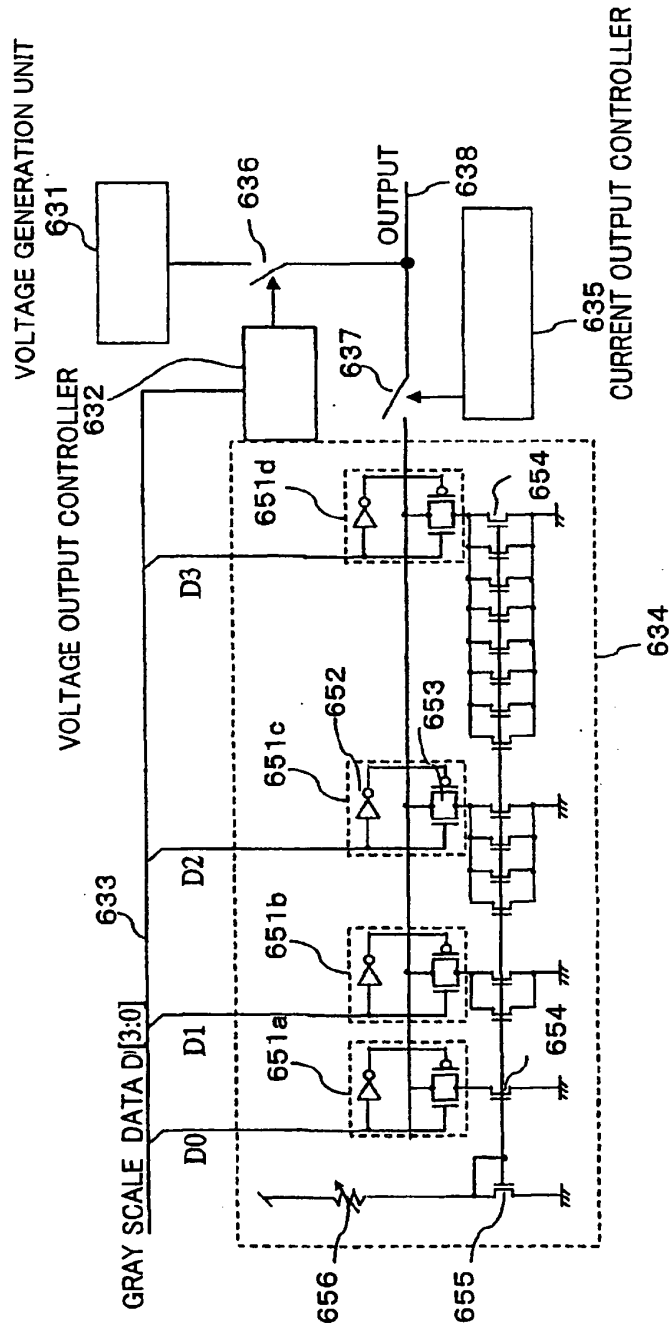


FIG. 65

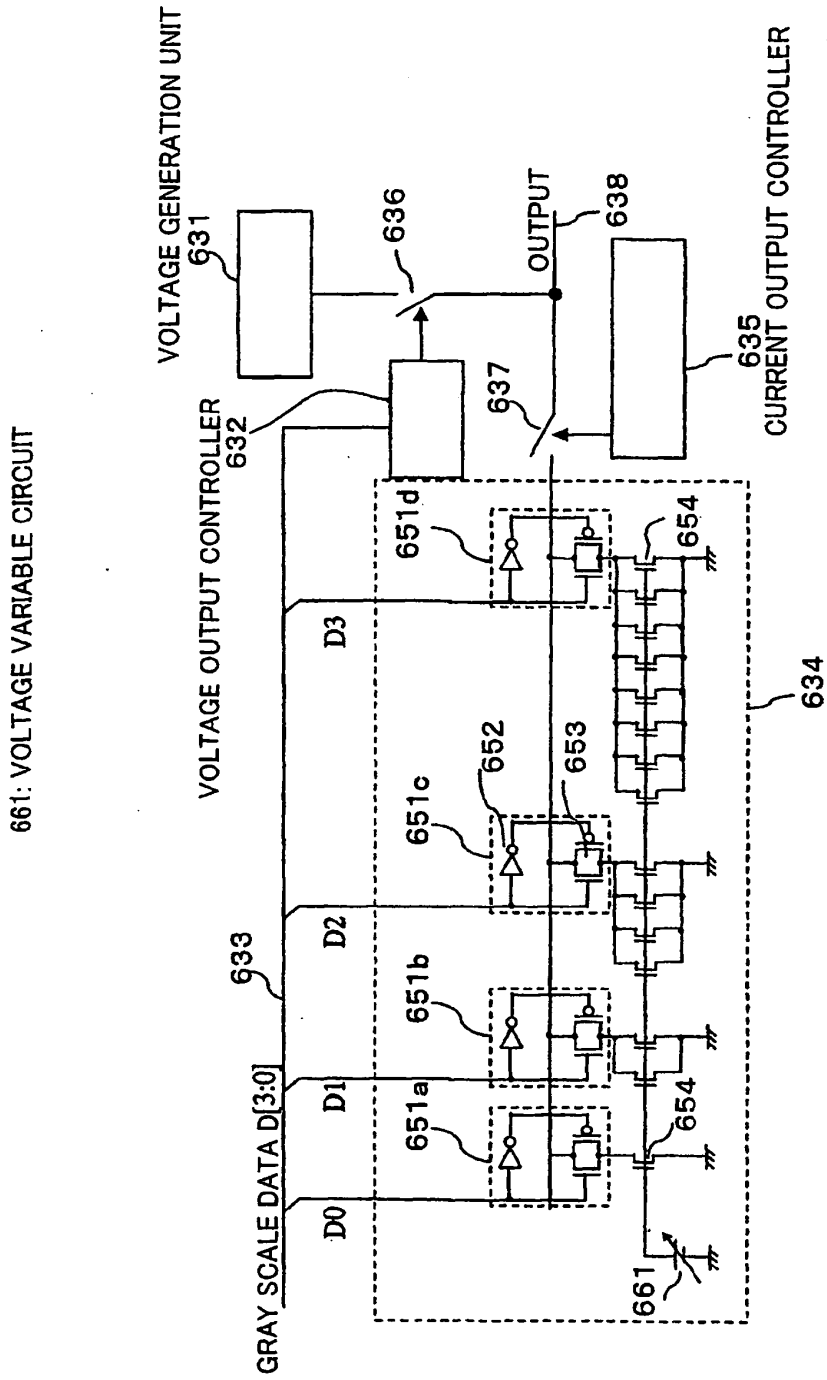


FIG. 66



- 671: VOLTAGE VARIABLE CIRCUIT (VOLUME)
- 672: TRANSISTOR
- 673: EXTERNAL RESISTANCE
- 674: OPERATION AMPLIFIER

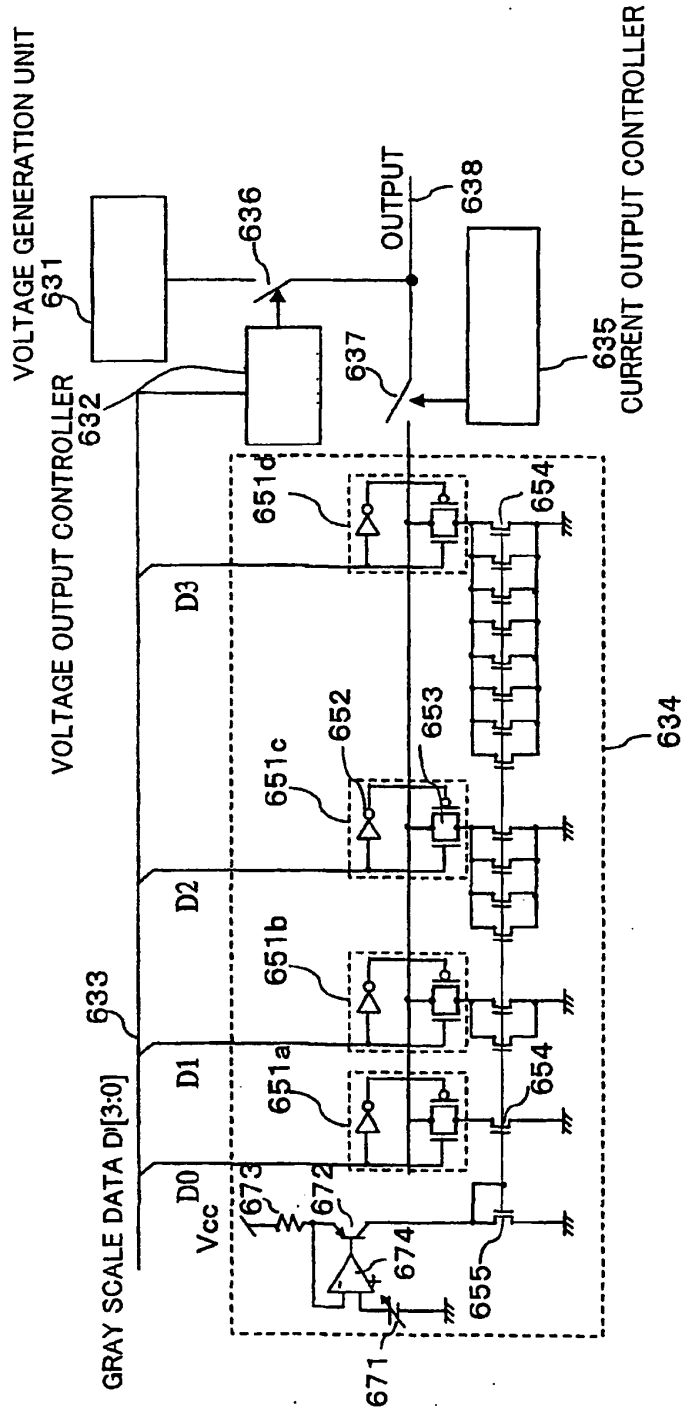


FIG. 67

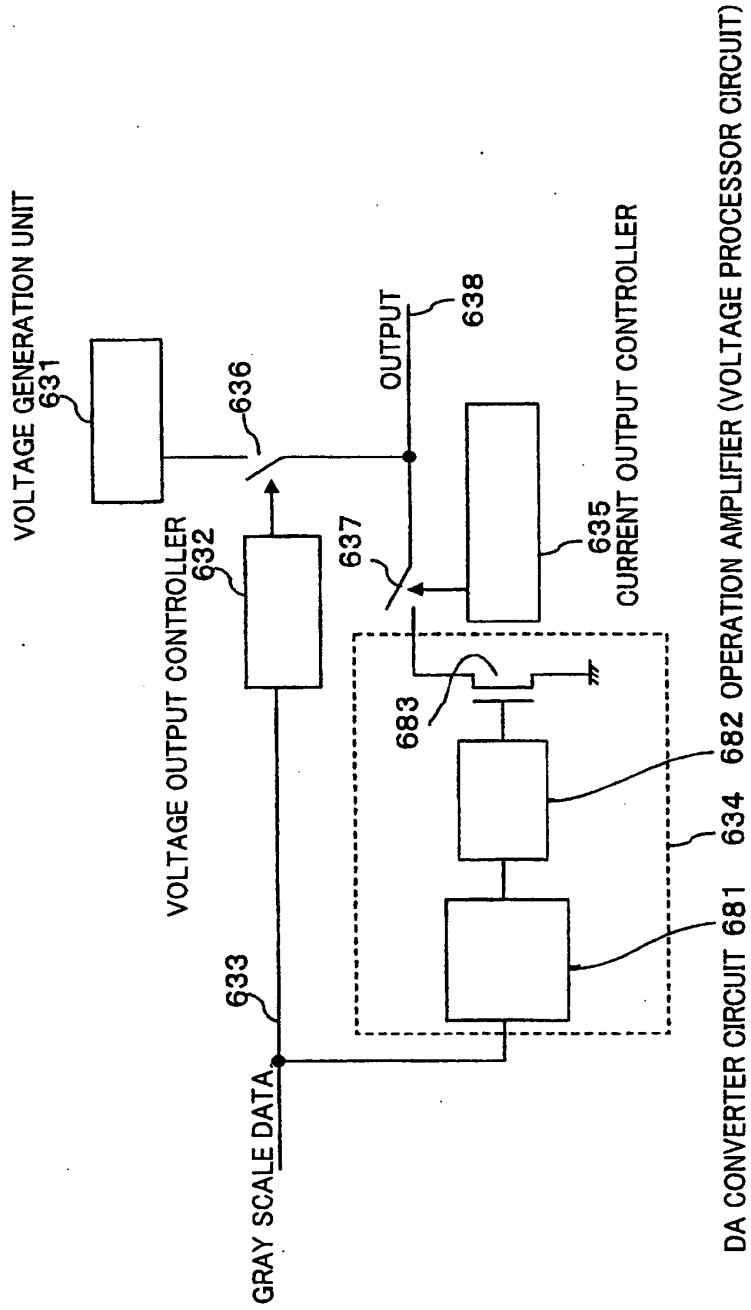


FIG. 68

- 691: TRANSISTOR
- 692: VARIABLE RESISTANCE
- 693: TRANSISTOR
- 694: TRANSISTOR
- 695: TRANSISTOR
- 696: TRANSISTORE

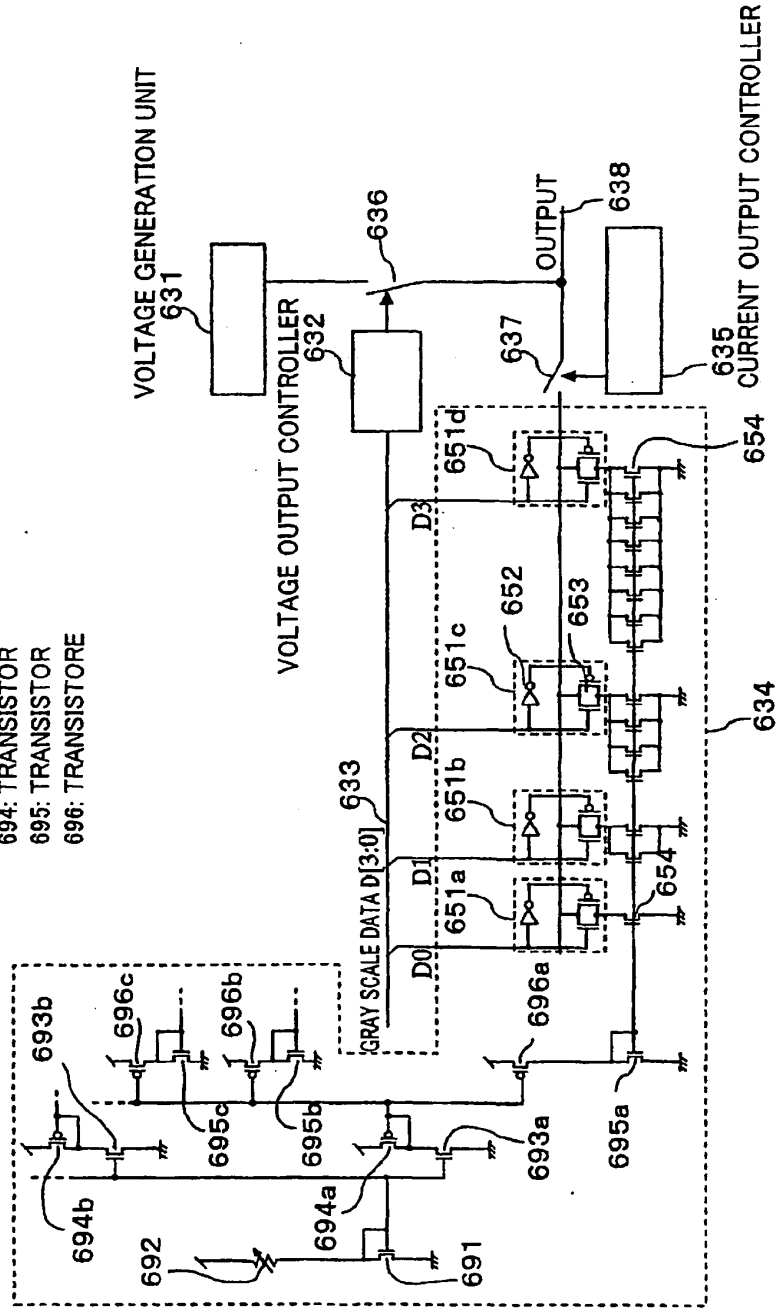


FIG. 69

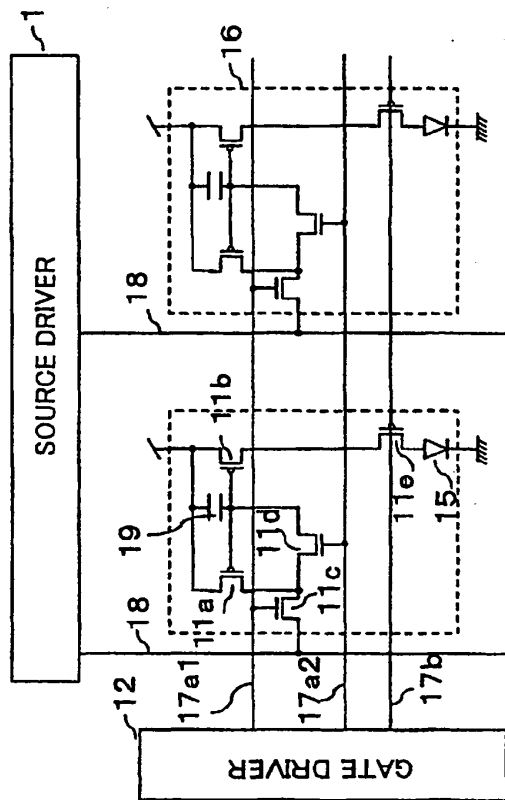


FIG. 70

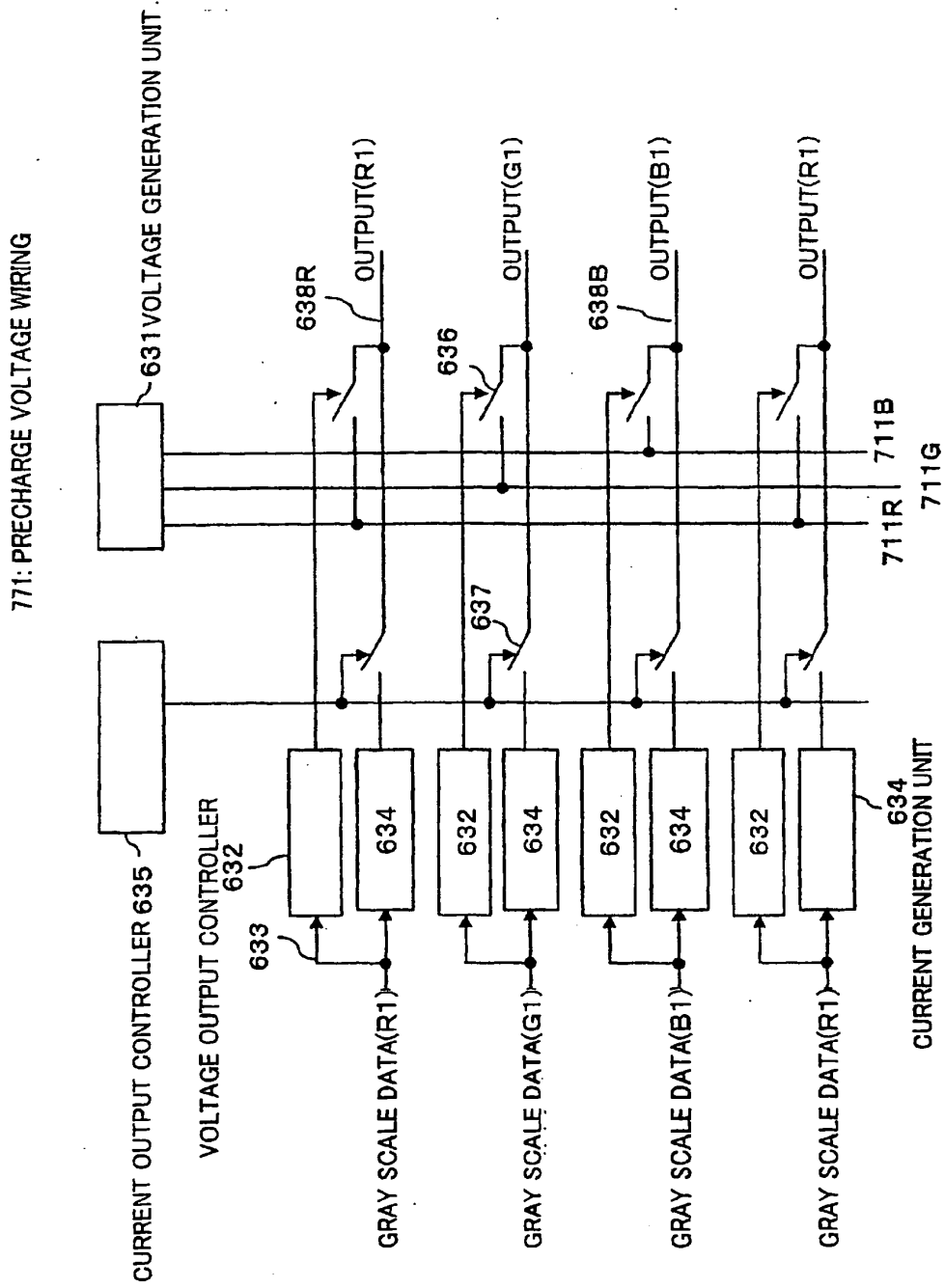


FIG. 71

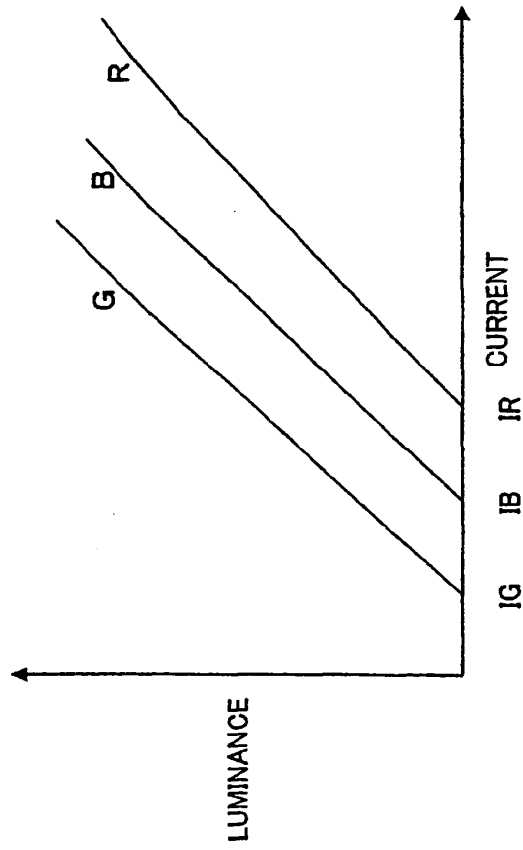


FIG. 72

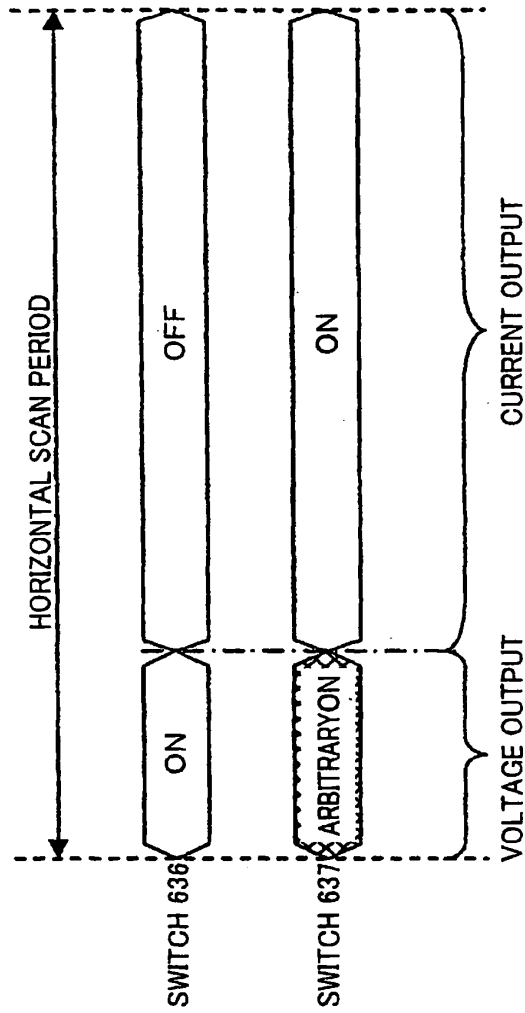


FIG. 73

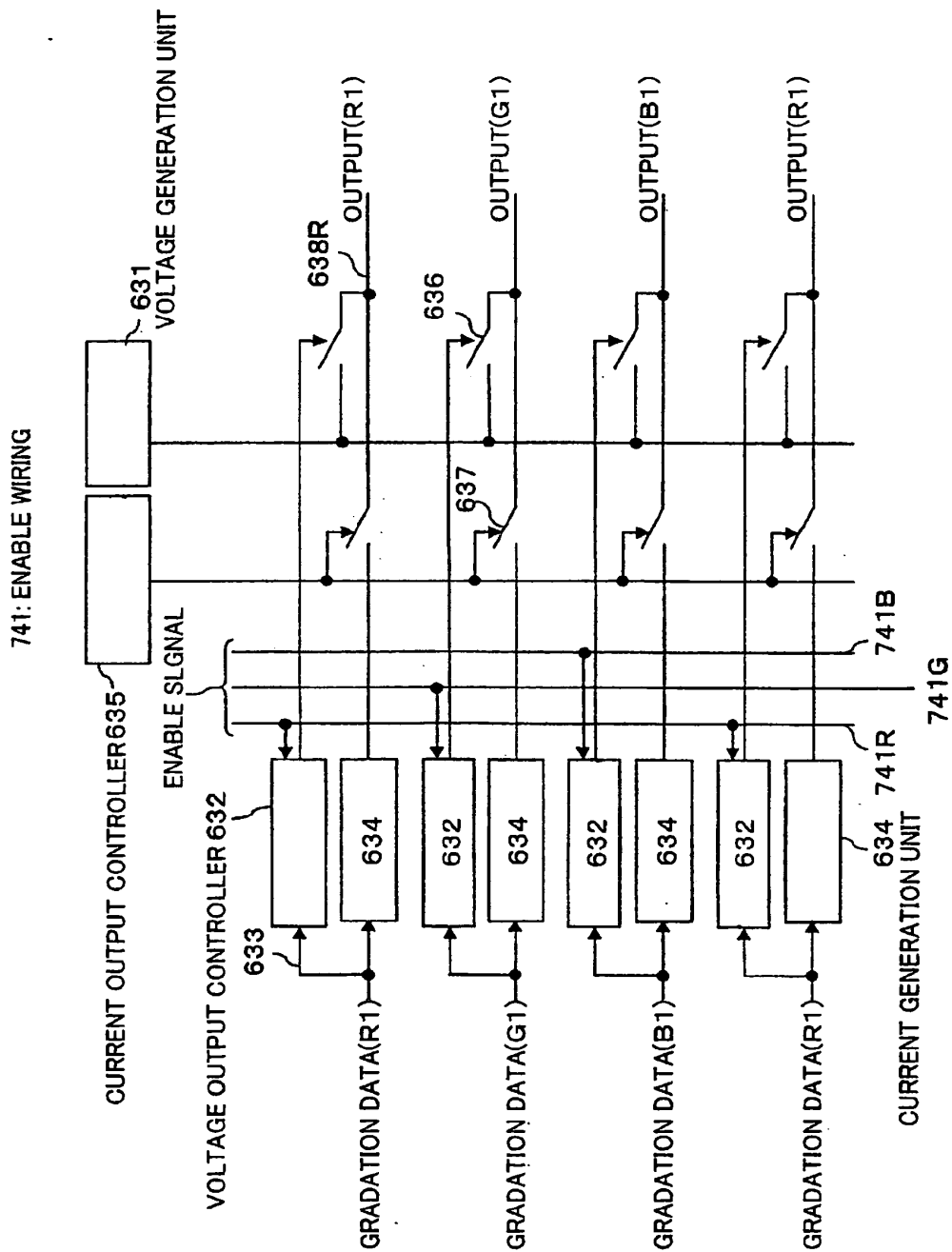


FIG. 74



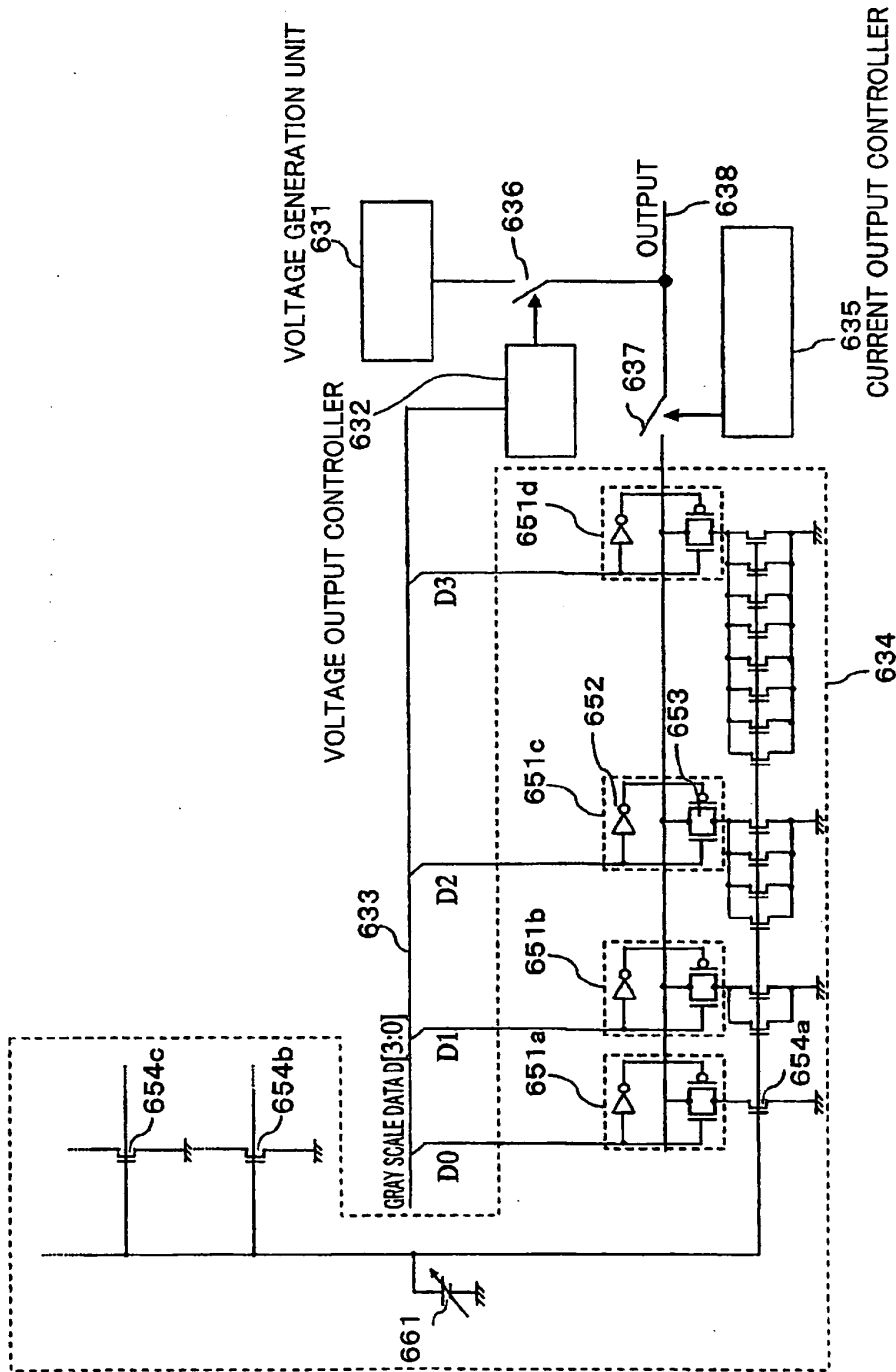


FIG. 75

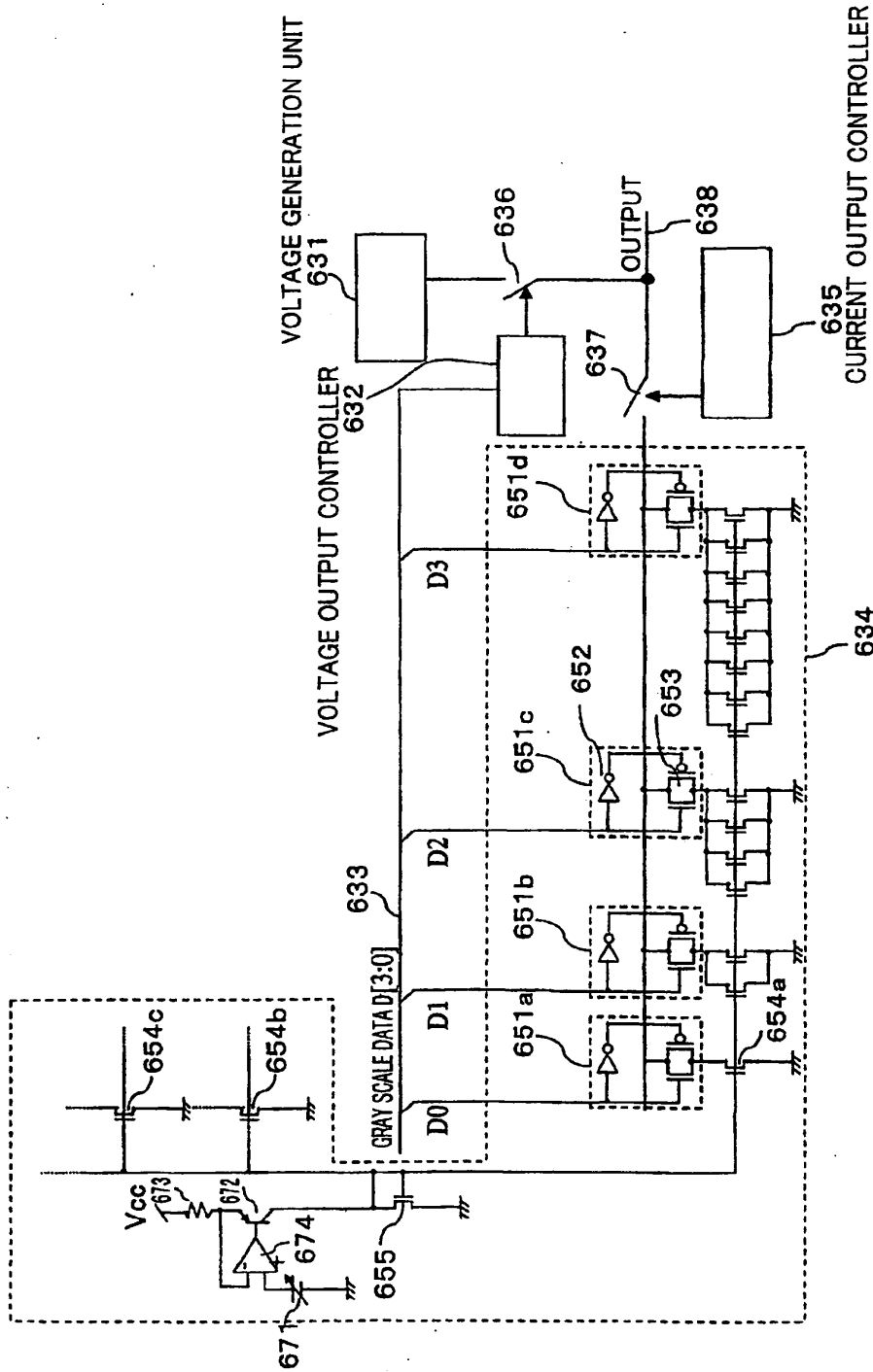


FIG. 76

INTERNATIONAL SEARCH REPORT

International application No.  
PCT/JP02/09112

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> Int.Cl <sup>7</sup> G09G3/30, 3/20, 3/36  According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) Int.Cl <sup>7</sup> G09G3/30, 3/20, 3/36  Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2002 Kokai Jitsuyo Shinan Koho 1971-2002 Jitsuyo Shinan Toroku Koho 1996-2002  Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 99/65011 A2 (Koninklijke Philips Electronics N.V.), 16 December, 1999 (16.12.99), Full text; all drawings & JP 2002-517806 A	1-6, 8-14
Y	WO 99/65012 A2 (Koninklijke Philips Electronics N.V.), 16 December, 1999 (16.12.99), Full text; all drawings & JP 2002-518691 A	1-6, 8-14
Y	JP 11-265162 A (Seiko Epson Corp.), 28 September, 1999 (28.09.99), Column 3, lines 34 to 48; column 34, lines 39 to 45 (Family: none)	1-6, 8-14
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
Date of the actual completion of the international search 09 October, 2002 (09.10.02)		Date of mailing of the international search report 29 October, 2002 (29.10.02)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

Form PCT/ISA/Z10 (second sheet) (July 1998)

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/09112

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	EP 821490 A1 (Seiko Epson Corp.), 28 January, 1998 (28.01.98), Page 29, line 17 to page 31, line 22; Figs. 46 to 49 & JP 10-11032 A & WO 97/29548 A1 & US 5903234 A1	1-4, 6, 8-14
Y	EP 737957 A1 (Sony Corp.), 16 October, 1996 (16.10.96), Full text; all drawings & JP 8-286639 A & US 5959600 A	1-3, 5, 6, 8-14
Y	JP 63-290413 A (Matsushita Electric Industrial Co., Ltd.), 28 November, 1988 (28.11.88), Page 2, upper right column, line 15 to lower right column, line 18 (Family: none)	13
A	WO 98/48403 A1 (Sarnoff Corp.), 29 October, 1998 (29.10.98), Full text; all drawings & JP 2002-514320 A	1-14

Form PCT/ISA/210 (continuation of second sheet) (July 1998)

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT OR DRAWING
- BLURRED OR ILLEGIBLE TEXT OR DRAWING
- SKEWED/SLANTED IMAGES
- COLOR OR BLACK AND WHITE PHOTOGRAPHS
- GRAY SCALE DOCUMENTS
- LINES OR MARKS ON ORIGINAL DOCUMENT
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

FRISHAUF, HOLTZ, GOODMAN & CHICK, P.C.  
ATTORNEYS AT LAW

220 FIFTH AVENUE, NEW YORK, N.Y. 10001-7708

032906  
15886

LEONARD HOLTZ  
ROBERT GOODMAN  
MARSHALL J. CHICK  
LEONARD S. BARTH  
DOUGLAS HOLTZ  
ROBERT P. MICHAL  
TELEPHONE: (212) 319-4900  
FACSIMILE: (212) 319-5101

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Express Mail Mailing Label  
No.: EV 842 303 171 US

Date of Deposit: March 29, 2006

I hereby certify that this paper is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450

*Barbara Villani*  
Barbara Villani

Attorney Docket No. 06229/LH  
CUSTOMER NO. 01933

113219 U.S. PTO  
11/391941  
032906

Pursuant to 37 CFR 1.53(b), transmitted herewith for filing is the patent application of

Inventor(s): Tomoyuki SHIRASAKI of Higashiyamato-shi, Japan  
Jun OGURA of Fussa-shi, Japan

Title: "DISPLAY DRIVE APPARATUS, DISPLAY APPARATUS AND DRIVE CONTROL METHOD THEREOF"

Priority Claim (35 U.S.C. 119) is made, based upon:  
Japan No. 2005-101905 filed March 31, 2005  
Japan No. 2005-105373 filed March 31, 2005

ASSIGNMENT INFORMATION FOR PUBLICATION:  
Casio Computer Co., Ltd.  
Tokyo, Japan

Enclosed herewith are:

- Specification (Description, Claims, Abstract): Pages 1 - 176 ; Number of claims 1 - 42
- Declaration and Power of Attorney
- 36 Sheets of drawings, Figures 1 - 36  Formal  Informal
- Assignment and Recordation Form Cover Sheet (PTO-1595) AND \$40. RECORDATION FEE.
- Certified copies of priority documents identified above
- Information Disclosure Statement;  Form PTO/SB/08A
- Preliminary Amendment
- Change of Correspondence Address (Form PTO/SB/122)
- PTO Form 2038 (Payment by Credit Card)
- TO THE EXTENT NOT TENDERED BY CREDIT CARD PAYMENT ATTACHED HERETO, AUTHORIZATION IS GIVEN TO CHARGE ANY FEES UNDER 37 CFR 1.16 AND 1.17 DURING PENDENCY OF THE APPLICATION, OR TO CREDIT ANY OVERPAYMENT, TO DEPOSIT ACCOUNT NO. 06-1378. DUPLICATE COPY OF THIS LETTER IS ENCLOSED.
- Receipt Postcard

	Number Filed	Number Extra	Rate	Calculations
Total Claims	<u>42</u> -20 =	<u>22</u>	x \$ 50.00 =	\$ <u>1100.00</u>
Independent Claims	<u>4</u> - 3 =	<u>1</u>	x \$200.00 =	\$ <u>200.00</u>
Application Size Fee				\$ <u>750.00</u>
MULTIPLE DEPENDENT CLAIMS			+ \$360.00 =	\$ <u>1000.00</u>
			BASIC FEE (Including Filing, Search and Examination Fees)	
			Total of above Calculations	\$ <u>3050.00</u>

FRISHAUF, HOLTZ, GOODMAN & CHICK, P.C.

By: *Leonard Holtz*  
LEONARD HOLTZ  
Reg. No. 22,974

LH:bv

10/04

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

<b>CHANGE OF CORRESPONDENCE ADDRESS Application</b>	Application Number	Not yet assigned
	Filing Date	Herewith
	First Named Inventor	SHIRASAKI
	Group Art Unit	
	Examiner Name	
	Attorney Docket Number	06229/LH
<b>Address to: Commissioner for Patents P.O. Box 1450 Alexandria, VA. 22313-1450</b>		

Please change the Correspondence Address for the above-identified application to:

Customer Number [ 01933 ] →

*OR*

<input type="checkbox"/> Firm or Individual Name				
Address				
Address				
City	State		ZIP	
Country				
Telephone		Fax		

This form cannot be used to change the data associated with a Customer Number. To change the data associated with an existing Customer Number use "Request for Customer Number Data Change" (PTO/SB/124).

I am the:


Applicant/Inventor.

Assignee of record of the entire interest. Statement under 37 CFR 3.73(b) is enclosed. (Form PTO/SB/96).

Attorney or Agent of record. **Registration No. 33,902**

Registered practitioner named in the application transmittal letter in an application without an executed oath or declaration. See 37 CFR 1.33(a)(1). Registration Number \_\_\_\_\_.

Typed or Printed Name **Leonard Holtz, Reg. No. 22,974**

Signature 

Date **March 29, 2006** Telephone: **(212) 319-4900**

**NOTE: Signatures of all the inventors or assignees of record of the entire interest or their representative(s) are required. Submit multiple forms if more than one signature is required. See below.**

Total of \_\_\_\_\_ forms are submitted.

This collection of information is required by 37 CFR 1.33. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 USC 122 and 37 CFR 1.14. This collection is estimated to take 3 minutes to complete, including gathering, preparing and submitting the completed application to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

FRISHAUF, HOLTZ, GOODMAN & CHICK, P.C.  
ATTORNEYS AT LAW

220 FIFTH AVENUE, NEW YORK, N.Y. 10001-7708

032906  
15886

LEONARD HOLTZ  
ROBERT GOODMAN  
MARSHALL J. CHICK  
LEONARD S. BARTH  
DOUGLAS HOLTZ  
ROBERT P. MICHAL  
TELEPHONE: (212) 319-4900  
FACSIMILE: (212) 319-5101

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Express Mail Mailing Label  
No.: EV 842 303 171 US

Date of Deposit: March 29, 2006

I hereby certify that this paper is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450

*Barbara Villani*  
Barbara Villani

Attorney Docket No. 06229/LH  
CUSTOMER NO. 01933

113219 U.S. PTO  
11/391941  
032906

Pursuant to 37 CFR 1.53(b), transmitted herewith for filing is the patent application of

Inventor(s): Tomoyuki SHIRASAKI of Higashiyamato-shi, Japan  
Jun OGURA of Fussa-shi, Japan

Title: "DISPLAY DRIVE APPARATUS, DISPLAY APPARATUS AND DRIVE CONTROL METHOD THEREOF"

Priority Claim (35 U.S.C. 119) is made, based upon:  
Japan No. 2005-101905 filed March 31, 2005  
Japan No. 2005-105373 filed March 31, 2005

ASSIGNMENT INFORMATION FOR PUBLICATION:  
Casio Computer Co., Ltd.  
Tokyo, Japan

Enclosed herewith are:

- Specification (Description, Claims, Abstract): Pages 1 - 176 ; Number of claims 1 - 42
- Declaration and Power of Attorney
- 36 Sheets of drawings, Figures 1 - 36  Formal  Informal
- Assignment and Recordation Form Cover Sheet (PTO-1595) AND \$40. RECORDATION FEE.
- Certified copies of priority documents identified above
- Information Disclosure Statement;  Form PTO/SB/08A
- Preliminary Amendment
- Change of Correspondence Address (Form PTO/SB/122)
- PTO Form 2038 (Payment by Credit Card)
- TO THE EXTENT NOT TENDERED BY CREDIT CARD PAYMENT ATTACHED HERETO, AUTHORIZATION IS GIVEN TO CHARGE ANY FEES UNDER 37 CFR 1.16 AND 1.17 DURING PENDENCY OF THE APPLICATION, OR TO CREDIT ANY OVERPAYMENT, TO DEPOSIT ACCOUNT NO. 06-1378. DUPLICATE COPY OF THIS LETTER IS ENCLOSED.
- Receipt Postcard

	Number Filed	Number Extra	Rate	Calculations
Total Claims	<u>42</u> -20 =	<u>22</u>	x \$ 50.00 =	\$ <u>1100.00</u>
Independent Claims	<u>4</u> - 3 =	<u>1</u>	x \$200.00 =	\$ <u>200.00</u>
Application Size Fee				\$ <u>750.00</u>
MULTIPLE DEPENDENT CLAIMS			+ \$360.00 =	\$ <u>1000.00</u>
			BASIC FEE (Including Filing, Search and Examination Fees)	
			Total of above Calculations	\$ <u>3050.00</u>

FRISHAUF, HOLTZ, GOODMAN & CHICK, P.C.

By: *Leonard Holtz*  
LEONARD HOLTZ  
Reg. No. 22,974

LH:bv

10/04



Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

<b>CHANGE OF CORRESPONDENCE ADDRESS Application</b>	Application Number	Not yet assigned
	Filing Date	Herewith
	First Named Inventor	SHIRASAKI
	Group Art Unit	
	Examiner Name	
	Attorney Docket Number	06229/LH
<b>Address to:</b> <b>Commissioner for Patents</b> <b>P.O. Box 1450</b> <b>Alexandria, VA. 22313-1450</b>		

Please change the Correspondence Address for the above-identified application to:

Customer Number [ 01933 ] →

OR

<input type="checkbox"/> Firm or Individual Name				
Address				
Address				
City	State		ZIP	
Country				
Telephone		Fax		

This form cannot be used to change the data associated with a Customer Number. To change the data associated with an existing Customer Number use "Request for Customer Number Data Change" (PTO/SB/124).

I am the:

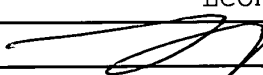
Applicant/Inventor.

Assignee of record of the entire interest. Statement under 37 CFR 3.73(b) is enclosed. (Form PTO/SB/96).

Attorney or Agent of record. **Registration No. 33,902**

Registered practitioner named in the application transmittal letter in an application without an executed oath or declaration. See 37 CFR 1.33(a)(1). Registration Number \_\_\_\_\_.

Typed or Printed Name **Leonard Holtz, Reg. No. 22,974**

Signature 

Date **March 29, 2006** Telephone: **(212) 319-4900**

**NOTE: Signatures of all the inventors or assignees of record of the entire interest or their representative(s) are required. Submit multiple forms if more than one signature is required. See below.**

Total of \_\_\_\_\_ forms are submitted.

This collection of information is required by 37 CFR 1.33. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 USC 122 and 37 CFR 1.14. This collection is estimated to take 3 minutes to complete, including gathering, preparing and submitting the completed application to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

FRISHAUF, HOLTZ, GOODMAN & CHICK, P.C.  
ATTORNEYS AT LAW

220 FIFTH AVENUE, NEW YORK, N.Y. 10001-7708

032906  
15886

LEONARD HOLTZ  
ROBERT GOODMAN  
MARSHALL J. CHICK  
LEONARD S. BARTH  
DOUGLAS HOLTZ  
ROBERT P. MICHAL  
TELEPHONE: (212) 319-4900  
FACSIMILE: (212) 319-5101

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Express Mail Mailing Label  
No.: EV 842 303 171 US

Date of Deposit: March 29, 2006

I hereby certify that this paper is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450

*Barbara Villani*  
Barbara Villani

Attorney Docket No. 06229/LH  
CUSTOMER NO. 01933

113219 U.S. PTO  
11/391941  
032906

Pursuant to 37 CFR 1.53(b), transmitted herewith for filing is the patent application of

Inventor(s): Tomoyuki SHIRASAKI of Higashiyamato-shi, Japan  
Jun OGURA of Fussa-shi, Japan

Title: "DISPLAY DRIVE APPARATUS, DISPLAY APPARATUS AND DRIVE CONTROL METHOD THEREOF"

Priority Claim (35 U.S.C. 119) is made, based upon:  
Japan No. 2005-101905 filed March 31, 2005  
Japan No. 2005-105373 filed March 31, 2005

ASSIGNMENT INFORMATION FOR PUBLICATION:  
Casio Computer Co., Ltd.  
Tokyo, Japan

Enclosed herewith are:

- Specification (Description, Claims, Abstract): Pages 1 - 176 ; Number of claims 1 - 42
- Declaration and Power of Attorney
- 36 Sheets of drawings, Figures 1 - 36  Formal  Informal
- Assignment and Recordation Form Cover Sheet (PTO-1595) AND \$40. RECORDATION FEE.
- Certified copies of priority documents identified above
- Information Disclosure Statement;  Form PTO/SB/08A
- Preliminary Amendment
- Change of Correspondence Address (Form PTO/SB/122)
- PTO Form 2038 (Payment by Credit Card)
- TO THE EXTENT NOT TENDERED BY CREDIT CARD PAYMENT ATTACHED HERETO, AUTHORIZATION IS GIVEN TO CHARGE ANY FEES UNDER 37 CFR 1.16 AND 1.17 DURING PENDENCY OF THE APPLICATION, OR TO CREDIT ANY OVERPAYMENT, TO DEPOSIT ACCOUNT NO. 06-1378. DUPLICATE COPY OF THIS LETTER IS ENCLOSED.
- Receipt Postcard

	Number Filed	Number Extra	Rate	Calculations
Total Claims	<u>42</u> -20 =	<u>22</u>	x \$ 50.00 =	\$ <u>1100.00</u>
Independent Claims	<u>4</u> - 3 =	<u>1</u>	x \$200.00 =	\$ <u>200.00</u>
Application Size Fee				\$ <u>750.00</u>
MULTIPLE DEPENDENT CLAIMS			+ \$360.00 =	\$ <u>1000.00</u>
			BASIC FEE (Including Filing, Search and Examination Fees)	
			Total of above Calculations	\$ <u>3050.00</u>

FRISHAUF, HOLTZ, GOODMAN & CHICK, P.C.

By: *Leonard Holtz*  
LEONARD HOLTZ  
Reg. No. 22,974

LH:bv

10/04

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

<b>CHANGE OF CORRESPONDENCE ADDRESS Application</b>	Application Number	Not yet assigned
	Filing Date	Herewith
	First Named Inventor	SHIRASAKI
	Group Art Unit	
	Examiner Name	
	Attorney Docket Number	06229/LH
<b>Address to:</b> <b>Commissioner for Patents</b> <b>P.O. Box 1450</b> <b>Alexandria, VA. 22313-1450</b>		

Please change the Correspondence Address for the above-identified application to:

Customer Number [ 01933 ] →

*OR*

<input type="checkbox"/> Firm or Individual Name				
Address				
Address				
City	State		ZIP	
Country				
Telephone		Fax		

This form cannot be used to change the data associated with a Customer Number. To change the data associated with an existing Customer Number use "Request for Customer Number Data Change" (PTO/SB/124).

I am the:


Applicant/Inventor.

Assignee of record of the entire interest. Statement under 37 CFR 3.73(b) is enclosed. (Form PTO/SB/96).

Attorney or Agent of record. **Registration No. 33,902**

Registered practitioner named in the application transmittal letter in an application without an executed oath or declaration. See 37 CFR 1.33(a)(1). Registration Number \_\_\_\_\_.

Typed or Printed Name **Leonard Holtz, Reg. No. 22,974**

Signature 

Date **March 29, 2006** Telephone: **(212) 319-4900**

**NOTE: Signatures of all the inventors or assignees of record of the entire interest or their representative(s) are required. Submit multiple forms if more than one signature is required. See below.**

Total of \_\_\_\_\_ forms are submitted.

This collection of information is required by 37 CFR 1.33. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 USC 122 and 37 CFR 1.14. This collection is estimated to take 3 minutes to complete, including gathering, preparing and submitting the completed application to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

## TITLE OF THE INVENTION

DISPLAY DRIVE APPARATUS, DISPLAY APPARATUS AND DRIVE  
CONTROL METHOD THEREOF

## CROSS-REFERENCE TO RELATED APPLICATIONS

5           This application is based upon and claims the  
benefit of priority from prior Japanese Patent  
Applications No. 2005-101905, filed March 31, 2005; and  
No. 2005-105373, filed March 31, 2005, the entire  
contents of both of which are incorporated herein by  
10           reference.

## BACKGROUND OF THE INVENTION

## 1. Field of the Invention

          The present invention relates to a display drive  
apparatus, a display apparatus provided with the  
15           display drive apparatus, and a drive control method  
thereof, and more particularly, to a display drive  
apparatus which is applicable to a display panel formed  
by arranging a plurality of current control type  
optical elements which are driven by being supplied  
20           with a current corresponding to display data, a display  
apparatus provided with the display drive apparatus,  
and a drive control method thereof.

## 2. Description of the Related Art

          In recent years, light weight and thin type  
25           display devices which consume a lower amount of  
electric power are conspicuously prevalent as monitors  
and displays of personal computers and video equipment.

In particular, liquid crystal display (LCD) apparatuses are widely applied as display devices for mobile phones, digital cameras, personal data assistances (PDA's), and portable devices (mobile handsets) such as electronic dictionaries.

As a next-generation display device which follows such an LCD apparatus, research and development have been briskly made toward a full-scale popularization of a self-luminous type display device (a self-luminous type display) provided with a display panel in which organic electroluminescent elements (organic EL elements), inorganic electroluminescent elements (inorganic EL elements) or optical elements such as light emitting diodes (LEDs) are arranged in a matrix.

In particular, a self-luminous type display to which an active matrix drive mode is applied has a higher display response speed than that of the above-described liquid crystal display. Further, the self-luminous type display does not have viewing angle dependency, and can achieve an increase in luminance/contrast and in fineness of a display image quality. Furthermore, the self-luminous type display does not require a backlight as different from the liquid crystal display, and hence the self-luminous type display has very advantageous characteristics in the application to portable devices that a further reduction in a thickness and a weight and/or a further

decrease in power consumption is possible.

Then, in such a self-luminous type display, various driving control mechanisms and/or control methods for controlling an operation of the optical elements have been proposed.

FIG. 35 is a schematic structural diagram showing a primary part of a conventional self-luminous display which is of a voltage control active matrix type.

FIG. 36 is an equivalent circuit diagram showing a structural example of a display pixel which is applicable to the conventional self-luminous type display.

Here, FIG. 35 shows a circuit configuration of a display pixel comprising a light emitting element formed of an organic EL element OEL as the optical element.

As shown in FIG. 35, a conventional organic EL display apparatus which is of an active matrix type generally has a configuration comprising: a display panel 110P in which a plurality of display pixels EMP are arranged in a matrix in the vicinity of intersections of a plurality of scanning lines (selection lines) SLp and a plurality of data lines (signal lines) DLp arranged to respectively extend in a row direction and a column direction; and a scanning driver 120P which is connected with the scanning lines SLp; and a data driver 130P which is connected with the

data lines DL.

As shown in FIG. 36, each of the display pixels EMp comprises a pixel drive circuit DCp. The circuit DCp includes a thin film transistor (TFT) Tr111 having a gate terminal connected with the scanning line SLp and source and drain terminals respectively connected with the data line DL and a contact point N111, and a thin film transistor Tr112 having a gate terminal connected with the contact point N111 and a source terminal receiving a predetermined power source voltage Vdd. An organic EL element OEL has an anode terminal connected with a drain terminal D of the thin film transistor Tr112 of the pixel drive circuit DCp and a cathode terminal receiving a ground potential Vgnd lower than the power supply voltage Vdd. In FIG. 36, reference numeral Cp denotes a capacitor formed between the gate and the source terminals of the thin film transistor Tr112.

In the display apparatus comprising the display panel 110P constituted by the display pixels EMp having such a configuration, first, an ON-level scanning signal voltage Ssel is sequentially applied to the scanning line SLp in each row from the scanning driver 120P to turn on the thin film transistor Tr111 of the display pixel EMp (the drive circuit DCp) in each row, thereby setting the display pixel EMp in a selection state.

In synchronization with this selection timing, a gradation voltage  $V_{pix}$  having a voltage value corresponding to display data is generated by the data driver 130P and applied to the data line  $DL_p$  in each column, and the gradation voltage  $V_{pix}$  is thereby applied to the contact point  $N_{111}$  (that is, the gate terminal of the thin film transistor  $Tr_{112}$ ) through the thin film transistor  $Tr_{111}$  of each display pixel  $EM_p$  (the drive circuit  $DC_p$ ).

As a result, the thin film transistor  $Tr_{112}$  is turned on in a conductive state (i.e., a conductive state corresponding to the gradation voltage  $V_{pix}$ ) corresponding to the potential (in a precise sense, a potential difference between the gate and the source) of the contact point  $N_{111}$ . Thus, a predetermined driving current flows to the ground voltage  $V_{gnd}$  from the power source voltage  $V_{dd}$  through the thin film transistor  $Tr_{112}$  and the organic EL element OEL. Consequently, the organic EL element OEL operates to emit light with a luminance gradation corresponding to display data (the gradation voltage  $V_{pix}$ ).

Subsequently, an off-level scanning signal voltage  $S_{sel}$  is applied to the scanning line  $SL_p$  from the scanning driver 120P. Thus, the thin film transistor  $Tr_{111}$  of the display pixel  $EM_p$  in each row is turned off, the display pixel  $EM_p$  is set to a non-selective state, and the data line  $DL_p$  and the drive circuit  $DC_p$



are electrically disconnected. At this time, the thin film transistor Tr112 maintains an ON state in such a manner that a predetermined voltage is applied between the gate and the source terminals of the thin film transistor Tr112 based on a potential which has been applied to the gate terminal (the contact point N111) and held in the capacitor Cp.

Therefore, in the same manner as the light emitting operation in the selective state, a predetermined driving current flows to the organic EL element OEL through the thin film transistor Tr112 from the power supply voltage Vdd, thereby maintaining the light emitting operation. This light emitting operation is controlled to continue for, e.g., one frame period until the gradation voltage Vpix corresponding to the next display data is applied to (written in) the display pixel EMP in each row.

Such a drive control method is referred to as a voltage gradation specification mode (or a voltage gradation specification drive) since a current value of a driving current which flows to the organic EL element OEL is controlled to perform a light emitting operation with a predetermined luminance gradation by adjusting a voltage value of the gradation voltage Vpix applied to each display pixel EMP (specifically, the gate terminal of the thin film transistor Tr112 of the drive circuit DCp).

In the drive circuit DCp as shown in FIG. 36, the current path is connected in series to the organic EL element OEL, so that the element characteristics (particularly, the threshold voltage characteristics) of the thin film transistor Tr112 for drive which allows the flow of a driving current corresponding to the display data (gradation voltage) may change (shift) depending on the usage time, the drive history and the like. In such a case, a relation between a gate voltage (a potential of the contact point 111) and a driving current (a current between the source and the drain terminals) which flows between the source and the drain terminals changes, and thereby a current value of a driving current which flows at a predetermined gate voltage fluctuates (for example, decreases). As a result, it becomes difficult to stably realize a light emitting operation for a long period with an appropriate luminance gradation corresponding to the display data.

Furthermore, in the case where variation occurs in element characteristics (the threshold voltage) of the thin film transistors Tr111 and Tr112 in the display panel 110P for each display pixel EMP (the drive circuit DCp), or in the case where variation occurs in the element characteristics of the transistors Tr111 and Tr112 for each display panel 110P depending on the manufacture lots, the current value of the driving

current largely varies for each display pixel or each display panel in the drive circuit which is of a voltage gradation specification mode, so that an appropriate gradation control becomes unable to be performed.

BRIEF SUMMARY OF THE INVENTION

The present invention has advantages of compensating for change and variation in the element characteristics of the drive element and providing a favorable and uniform display image quality in a display drive apparatus and a display apparatus provided with the display drive apparatus, the display drive apparatus operating, in accordance with display data, an optical element of a display pixel provided with an optical element and a drive element for supplying a driving current to the optical element.

In order to attain the above advantages, a display drive apparatus according to the present invention comprises: a gradation signal generation circuit which generates a gradation signal corresponding to a luminance gradation of the display data and supplies the gradation signal to a display pixel; a threshold voltage detection circuit which detects a threshold voltage peculiar to a drive element of the display pixel; and a compensation voltage application circuit which generates a compensation voltage for compensating for the threshold voltage of the drive element on the

basis of the threshold voltage and applies the compensation voltage to the drive element.

5 The display drive apparatus may further comprise: a memory circuit which stores threshold data corresponding to the threshold voltage detected by the threshold voltage detection circuit. The compensation voltage application circuit generates the compensation voltage on the basis of the threshold data store in the memory circuit.

10 The display drive apparatus may further comprise: a detecting voltage application circuit which applies to the drive element a voltage for threshold detection which has a higher potential than the threshold voltage. The drive element preferably comprises a  
15 current path which allows the driving current to flow to the optical element, and a control terminal which controls a supply state of the driving current. The detecting voltage application circuit applies the voltage for threshold detection to between the control  
20 terminal of the drive element and one end side of the current path. The threshold voltage detection circuit detects, as the threshold voltage, a potential difference between the control terminal of the drive element and the one end side of the current path at the  
25 time of the absence of current flow in the current path. The compensation voltage application circuit applies the compensation voltage based on the threshold

data stored in the memory circuit to between the control terminal of the drive element and the one end side of the current path.

5 The optical element may comprise a light emitting element which performs a light emitting operation at a luminance corresponding to a current value of a current applied. The gradation signal generation circuit may comprise: a circuit which generates, as the gradation  
10 signal, a gradation current having a current value for allowing the light emitting element to perform a light emitting operation at a luminance corresponding to the luminance gradation of the display data; and a circuit which generates, as the gradation signal, a non-light  
15 emitting display voltage having a predetermined voltage value for allowing the light emitting element to perform a non-light emitting operation.

The display drive apparatus may comprise at least a signal path switching circuit which selectively  
20 switches and controls a connection between a single data line provided in correspondence to the display pixel and each of a signal path which detects the threshold voltage with the threshold voltage detection circuit, a signal path which applies the compensation  
25 voltage with the compensation voltage application circuit, and a signal path which supplies the gradation signal with the gradation signal generation circuit, and between the single data line and a signal path

which applies the voltage for threshold detection with the detecting voltage application circuit.

In order to obtain the above advantages, a display apparatus according to the present invention comprises:

5 a display panel having a plurality of display pixels arranged therein, each of the pixels comprising a current control type optical element and a drive element which supplies a driving current to the optical element at respective intersections of a plurality of

10 selection lines and a plurality of data lines arranged to respectively extend in a row direction and in a column direction; a selection drive unit which sequentially applies a selection signal to each of the plurality of selection lines of the display panel,

15 thereby setting the display pixel in each row sequentially in a selection state; and a data drive unit comprising: a gradation signal generation circuit which generates a gradation signal corresponding to a luminance gradation of the display data and supplies

20 the gradation signal to said each display pixel via said each data line; a threshold voltage detection circuit which detects a threshold voltage peculiar to the drive element of said each display pixel via said each data line; and a compensation voltage application

25 circuit which generates a compensation voltage for compensating for the threshold voltage of said each display pixel on the basis of said each threshold

voltage and applies the compensation voltage to said each display pixel via said each data line.

5 The data drive unit may further comprise a memory circuit which stores threshold data corresponding to the threshold voltage detected by the threshold voltage detection circuit. The compensation voltage application circuit generates the compensation voltage on the basis of the threshold data stored in the memory circuit.

10 Preferably, the data drive unit further comprises a detecting voltage application circuit which applies a voltage for threshold detection which has a higher potential than the threshold voltage to the drive element of said each display pixel via said each data  
15 line. The drive element may comprise a current path which allows the driving current to flow to the optical element, and a control terminal which controls a supply state of the driving current. The detecting voltage application circuit applies a voltage for threshold  
20 detection to between the control terminal of the drive element and one end side of the current path. The threshold voltage detection circuit detects a potential difference between the control terminal of the drive element and the one end side of the current path at the  
25 time of the absence of current flow in the current path as the threshold voltage via said each data line. The compensation voltage application circuit applies the

compensation voltage based on the threshold data stored in the memory circuit to between the control terminal of the drive element and the one end side of the current path via said each data line.

5           The optical element preferably comprises a light emitting element which performs a light emitting operation at a luminance corresponding to a current value of a current applied, and the optical element is, for example, an organic electroluminescent element.

10           The gradation signal generation circuit may comprise: a circuit which generates, as the gradation signal, a gradation current having a current value for allowing the light emitting element to perform a light emitting operation at a luminance corresponding to the  
15           luminance gradation of the display data; and a circuit which generates, as the gradation signal, a non-light emitting display voltage having a predetermined voltage value for allowing the light emitting element to perform a non-light emitting operation.

20           Preferably, the data drive unit further comprise: a threshold acquiring circuit which individually fetches said each threshold data corresponding to said each threshold voltage detected from each of said plurality of display pixels via said each data line and  
25           sequentially transfers said each threshold data; and a data acquiring circuit which sequentially and individually fetches and holds luminance gradation data



for generating the gradation signal with respect to each of the display pixels. The memory circuit individually stores said each threshold data transferred from the threshold acquiring circuit in  
5 correspondence to each of said plurality of display pixels. The gradation signal generation circuit generates the gradation signal corresponding to the luminance gradation data held in the data acquiring circuit and supplies the gradation signal to said each  
10 display pixel via said each data line. A configuration of sequentially and individually fetching the luminance gradation data in the data acquiring circuit and a configuration of fetching the threshold data and sequentially transferring the threshold data in the  
15 threshold acquiring circuit are shared.

The data drive unit may comprise at least a signal path switching circuit which selectively switches and controls a connection between a single data line provided in correspondence to the display pixel and  
20 each of a signal path which detects the threshold voltage with the threshold voltage detection circuit, a signal path which applies the compensation voltage with the compensation voltage application circuit, and a signal path which supplies the gradation signal with  
25 the gradation signal generation circuit, and between the single data line and a signal path which applies the voltage for threshold detection with the detecting

voltage application circuit.

Preferably, the display apparatus further comprises a power source drive unit which applies a predetermined power supply voltage to each of said plurality of display pixels. The power source drive unit sequentially applies the power supply voltage to the display pixel in each row of the display panel at a predetermined timing, thereby setting the display pixel in each row in an operation state. Alternatively, the power source drive unit may sequentially apply the power supply voltage at a predetermined timing to the display pixel for each group which is obtained by dividing said plurality of display pixels arranged on the display panel into sets for each of a plurality of rows, thereby setting the display pixel in each group in an operation state.

Preferably, the display apparatus further comprises a drive control unit which generates a timing control signal for controlling a timing of the operation of detecting the threshold voltage by the threshold voltage detection circuit. The drive control unit makes a control with the timing control signal so as to cause the threshold voltage detection circuit to detect the threshold voltage of the drive elements of the display pixels in different rows of the display panel for each of operation periods in which the gradation signal is supplied to all of said plurality

of display pixels arranged on the display panel by means of the selection drive unit and the data drive unit. Alternatively, the drive control unit may make a control with the timing control signal so as to cause  
5 the threshold voltage detection circuit to detect the threshold voltage of the drive elements of the display pixels in adjacent rows of the display panel for each of operation periods in which the gradation signal is supplied to all of said plurality of display pixels  
10 arranged on the display panel by means of the selection drive unit and the data drive unit.

In order to attain the above advantages, a drive control method of a display apparatus according to the present invention comprises: detecting a threshold  
15 voltage peculiar to the drive element of said each display pixel on the display panel; generating a compensation voltage for compensating for the threshold voltage of the drive element on the basis of the threshold voltage, applying the compensation voltage to  
20 the drive element of said each display pixel, and holding the compensation voltage as a voltage component; supplying a gradation signal to said each display pixel, adding a voltage component based on the gradation signal to the voltage component based on the  
25 compensation voltage, and allowing the drive element of said each display pixel to hold the voltage component; and supplying the driving current created on the basis

of the voltage component held in the drive element of said each display pixel to the optical element, and allowing the optical element to be operated in accordance with the gradation signal.

5           The operation of detecting the threshold voltage may include: an operation of applying a voltage for threshold detection which has a higher potential than the threshold voltage to the drive element of said each display pixel; and detecting, as the threshold voltage, 10 a voltage after part of electric charges corresponding to the voltage for threshold detection is discharged and converged.

          The operation of detecting the threshold voltage may include: an operation of storing threshold data 15 corresponding to the threshold voltage. The operation of storing the threshold data by detecting the threshold voltage is performed with respect to all of said plurality of display pixels arranged on the display panel at a timing prior to the application of 20 the compensation voltage to the drive element and the holding of the voltage component based on the gradation signal. Alternatively, the operation of storing the threshold data by detecting the threshold voltage is performed with respect to the drive elements of the 25 display pixels in different rows of the display panel for each of operation periods in which the gradation signal is supplied to all of said plurality of display

pixels arranged on the display panel. Alternatively,  
the operation of storing the threshold voltage by  
detecting the threshold voltage is performed with  
respect to the drive elements of the display pixels in  
5 adjacent rows of the display panel for each of  
operation periods in which the gradation signal is  
supplied to all of said plurality of display pixels  
arranged on the display panel.

The operation of adding a voltage component based  
10 on the gradation signal to the voltage component based  
on the compensation voltage and allowing the drive  
element of said each display pixel to hold the voltage  
component may be sequentially performed with respect to  
said plurality of display pixels for each row which are  
15 arranged on the display panel. The operation of  
allowing the optical element to perform a light  
emitting operation with a luminance gradation  
corresponding to the gradation signal is preferably  
sequentially performed from a row at which the  
20 operation of adding a voltage component based on the  
gradation signal to the voltage component based on the  
compensation voltage to be held is completed.  
Alternatively, the operation of adding a voltage  
component based on the gradation signal to the voltage  
25 component based on the gradation signal and allowing  
the drive element of said each display pixel to hold  
the voltage component may be sequentially performed for

each group which is obtained by grouping said plurality  
of display pixels arranged on the display panel for  
each of the rows. The operation of allowing the  
optical element to perform a light emitting operation  
5 with a luminance gradation corresponding to the  
gradation signal may be sequentially performed from the  
group in which the operation of adding a voltage  
component based on the gradation signal to the voltage  
component based on the gradation signal to be held is  
10 completed.

The optical element preferably comprises a light  
emitting element which performs a light emitting  
operation at a luminance corresponding to a current  
value of a current applied. The operation of holding  
15 the voltage component based on the gradation signal  
includes: in the case where the light emitting element  
of said each display element is allowed to perform a  
light emitting operation at a luminance corresponding  
to a gradation luminance of display data, generating,  
20 as the gradation current, a gradation current having a  
current value for allowing the optical element to  
perform a light emitting operation at a luminance  
corresponding to the gradation luminance of the display  
data, and supplying the gradation current to the  
25 display pixel; and in the case where the light emitting  
element of said each display pixel is allowed to  
perform a non-light emitting operation, generating, as

the gradation signal, a non-light emitting display  
voltage having a predetermined voltage for allowing the  
optical element to perform a non-light emitting  
operation, and supply the non-light emitting display  
5 voltage to the display pixel.

BRIEF DESCRIPTION OF THE SEVERAL VIEWS OF THE DRAWING

FIG. 1 is a structural diagram of a part showing  
one embodiment of a display drive apparatus according  
to the present invention, and a display pixel driven  
10 and controlled by the display drive apparatus.

FIG. 2 is a timing chart showing a threshold  
voltage detection operation in the display drive  
apparatus according to the embodiment.

FIG. 3 is a conceptual diagram showing a voltage  
15 application operation in the display drive apparatus  
according to the embodiment.

FIG. 4 is a conceptual diagram showing a voltage  
convergence operation in the display drive apparatus  
according to the embodiment.

20 FIG. 5 is a conceptual diagram showing a voltage  
reading operation in the display drive apparatus  
according to the embodiment.

FIG. 6 is a view showing one example of current  
characteristics between a drain and a source at the  
25 time when a voltage between a gate and the source is  
set to a predetermined condition and a voltage between  
the drain and the source is modulated in an n-channel

type thin film transistor.

FIG. 7 is a timing chart showing a drive control method in the display drive apparatus according to the embodiment.

5           FIG. 8 is a conceptual diagram showing a pre-charge operation in the display drive apparatus according to the embodiment.

10           FIG. 9 is a conceptual diagram showing a data writing operation in the display drive apparatus according to the embodiment.

FIG. 10 is a conceptual diagram showing a light emitting operation in the display drive apparatus according to the embodiment.

15           FIG. 11 is a structural diagram of a primary part showing another structural example of the display drive apparatus according to the embodiment.

FIG. 12 is a timing chart showing a drive control method (a non-light emitting operation) in the display drive apparatus according to the embodiment.

20           FIG. 13 is a conceptual diagram showing another example of the data writing operation in the display drive apparatus according to the embodiment.

25           FIG. 14 is a conceptual diagram showing a non-light emitting operation in the display drive apparatus according to the embodiment.

FIG. 15 is a schematic block diagram showing one example of an entire configuration of a display



apparatus according to the present invention.

FIG. 16 is a schematic structural diagram showing one example of a display panel which is applied to the display apparatus according to the embodiment and a  
5 peripheral circuit (a selection driver, a power source driver) thereof.

FIG. 17 is a timing chart illustratively showing a first example of the drive control method of the display apparatus according to the embodiment.

10 FIG. 18 is a timing chart illustratively showing a second example of the drive control method of the display apparatus according to the embodiment.

FIG. 19 is a structural diagram of a primary part showing one example of a display apparatus for  
15 realizing the second example of the drive control method of the display apparatus according to the embodiment.

FIG. 20 is a timing chart illustratively showing a third example of the drive control method of the  
20 display apparatus according to the embodiment.

FIG. 21 is a timing chart illustratively showing a first modified example of the second example of the drive control method of the display apparatus according to the embodiment.

25 FIG. 22 is a timing chart illustratively showing a first modified example of the third example of the drive control method of the display apparatus according

to the embodiment.

FIG. 23 is a timing chart illustratively showing a second modified example of the second example of the drive control method of the display apparatus according to the embodiment.

FIG. 24 is a timing chart illustratively showing a second modified example of the third example of the drive control method of the display apparatus according to the embodiment.

FIG. 25 is a timing chart illustratively showing a fourth example of the drive control method of the display apparatus according to the embodiment.

FIG. 26 is a structural diagram of a primary part showing one example of a display apparatus for realizing the fourth example of the drive control method of the display apparatus according to the embodiment.

FIG. 27 is a timing chart illustratively showing a fifth example of the drive control method of the display apparatus according to the embodiment.

FIG. 28 is a timing chart illustratively showing a sixth example of the drive control method of the display apparatus according to the embodiment.

FIG. 29 is a timing chart illustratively showing a seventh example of the drive control method of the display apparatus according to the embodiment.

FIG. 30 is a timing chart illustratively showing a

first modified example of the sixth example of the drive control method of the display apparatus according to the embodiment.

5 FIG. 31 is a timing chart illustratively showing a first modified example of the seventh example of the drive control method of the display apparatus according to the embodiment.

10 FIG. 32 is a timing chart illustratively showing a second modified example of the sixth example of the drive control method of the display apparatus according to the embodiment.

15 FIG. 33 is a timing chart illustratively showing a second modified example of the seventh example of the drive control method of the display apparatus according to the embodiment.

FIG. 34 is a timing chart illustratively showing an eighth example of the drive control method of the display apparatus according to the embodiment.

20 FIG. 35 is a schematic structural diagram showing a primary part of a conventional self-luminous type display which is of a voltage control active matrix type.

25 FIG. 36 is an equivalent circuit diagram showing a structural example of a display pixel which is applicable to the conventional self-luminous type display.

DETAILED DESCRIPTION OF THE INVENTION

Embodiments of a display drive apparatus, a display apparatus and a drive control method according to the present invention will be described in detail hereinafter with reference to the accompanying drawings.

First, the display drive apparatus which is applied to the display apparatus according to the present invention and a drive control method thereof will be explained with reference to the drawings.

FIG. 1 is a structural diagram of a part showing one embodiment of a display drive apparatus according to the invention and one of a plurality of display pixels which are driven and controlled by the display drive apparatus.

Here, there will be explained a relation between the display pixel arranged on a display panel of the display apparatus and a display drive apparatus for driving and controlling the display pixel.

<Display Drive Apparatus>

As shown in FIG. 1, a display drive apparatus 100 according to the embodiment generally comprises: a shift register/data register unit 110, a display data latch unit 120, a gradation signal generation unit (a gradation signal generation circuit) 130, a threshold detection voltage analog to digital converter (hereinafter abbreviated as "detection voltage ADC" and

denoted as "VthADC" in the drawings) 140, a threshold compensation voltage digital to analog converter (hereinafter referred to as "compensation voltage DAC" and denoted as "VthDAC" in the drawings) 150, a  
5 threshold data latch unit (denoted as "Vth data latch unit" in the drawings) 160, a frame memory 170, and a data line input/output switching unit 180.

The shift register/data register unit (a data acquiring circuit and a threshold acquiring circuit)  
10 110 includes a shift register for sequentially outputting shift signals, and a data register for sequentially fetching luminance gradation data composed of digital signals which are supplied at least from the outside, which are not shown in this figure.

15 More specifically, either of the following three operations is sequentially performed. The first is an operation of sequentially fetching display data (luminance gradation data) of display pixels PX in one row of the display panel and transferring the data to  
20 the display data latch unit 120. The second is an operation of sequentially fetching a threshold voltage (threshold detection data) of display pixels PX in one row held in the threshold data latch unit 160 and transferring the data to the frame memory 170. The  
25 third is an operation of sequentially fetching threshold compensation data of display pixels (PX) in specific one row from the frame memory 170 and

transferring the data to the threshold data latch unit 160. Incidentally, each of the first to third operations will be described in detail later.

5 The display latch unit 120 holds the display data (luminance gradation data) of the display pixels PX in one row which has been fetched from the outside by the data register/data register unit 110 and transferred.

10 The gradation signal generation unit (the gradation signal generation circuit) 130 has a function of selectively supplying, as a gradation signal for allowing an organic EL element (a current control type optical element) OEL to perform a light emitting operation with a gradation luminance corresponding to display data or a non-light emitting operation, either 15 of a gradation current  $I_{data}$  and a non-light emitting display voltage  $V_{zero}$ . The current  $I_{data}$  has a predetermined current value for allowing the organic EL element OEL to perform a light emitting operation with a predetermined luminance gradation. The display 20 voltage  $V_{zero}$  has a predetermined voltage value for setting the organic EL element OEL in a state of non-light emitting operation, namely, a black display (a minimum luminance gradation) without being allowed to perform a light emitting operation.

25 Here, as a configuration of supplying a gradation current having a current value corresponding to display data as a gradation signal, for example, a

configuration is applicable which is provided with: a digital to analog converter (a D/A converter) for converting a digital signal voltage of each display data held in the display data latch unit 120 into an analog signal voltage on the basis of a gradation reference voltage supplied from a power supply circuit (not shown); and a voltage-current converter for generating a gradation current  $I_{data}$  having a current value corresponding to the analog signal voltage.

In the following explanation, there will be explained a case in which a gradation display is made by supplying a gradation current having a predetermined current value to each display pixel as a gradation signal. However, the present invention is not limited thereto. Any signal is applicable as long as the signal allows the application of a gradation voltage having a voltage value corresponding to the display data as the gradation signal. In this case, for example, a configuration including only the digital to analog converter may be applied.

The detection voltage ADC (a threshold voltage detection circuit) 140 detects and fetches, as an analog signal voltage, a threshold voltage (or a voltage component corresponding to the threshold voltage) of a switching element (a thin film transistor Tr13) for supplying a driving current to a light emitting element (for example, an organic EL element

OEL) provided on each display pixel PX which will be described later, and converts the threshold voltage into threshold detection data including a digital signal voltage.

5           The compensation voltage DAC (a compensation voltage application circuit, a detecting voltage application circuit) 150 converts threshold compensation data including a digital signal voltage for compensating for the threshold voltage of the  
10       switching element provided on each display pixel PX into a pre-charge voltage (a threshold compensation voltage) including an analog signal voltage.  
      Furthermore, as shown in a drive control method which will be described later, an operation (a threshold  
15       voltage detection operation) of measuring a threshold voltage of a switching element by the detection voltage ADC 140 is configured as follows. A predetermined detecting voltage can be output such that a high potential difference is set (the voltage component is  
20       held), the difference being higher than the threshold voltage of the switching element, between a gate and a source (both ends of the capacitor Cs) of a thin film transistor constituting the switching element.

      Further, the threshold data latch unit 160  
25       selectively performs either of the following two operations. One is an operation of fetching and holding threshold detection data converted and



generated by the detection voltage ADC 140 for each of  
the display pixels PX in one row and sequentially  
transferring the threshold detection data to the frame  
memory 170 which will be described later via the shift  
5 register/data register unit 110. The other is an  
operation of sequentially fetching and holding  
threshold compensation data for each of the display  
pixels PX in one row corresponding to the threshold  
detection data from the frame memory 170 and  
10 transferring the threshold compensation data to the  
compensation voltage DAC 150.

Furthermore, prior to an operation of writing  
display data (luminance gradation data) to each of  
display pixels PX, the frame memory (a memory circuit)  
15 170 sequentially fetches via the shift register/data  
register unit 110 threshold detection data based on the  
threshold voltage detected for each of the display  
pixels PX in one row by the detection voltage ADC 140  
and the threshold data latch unit 160 and individually  
20 stores the data for each of the display pixels PX in  
one screen (one frame) of the display panel while the  
frame memory sequentially outputs the threshold  
detection data as the threshold compensation data or  
the threshold compensation data corresponding to the  
25 threshold detection data via the shift register/data  
register unit 110 and transfers the data to the  
threshold data latch unit 160 (the compensation voltage

ADC 150).

In addition, the data line input/output switching unit (a signal path switching circuit) 180 comprises: a voltage detection side switch 181 for fetching into the detection voltage ADC 140 the threshold voltage of the switching element (thin film transistor) provided on each display pixel PX via each of data lines DL provided in a column direction of the display panel and measuring the threshold voltage; an input selection switch 182 for selecting a mode of supplying to the data line DL at least either a pre-charge voltage for compensating for the threshold voltage of the switching element provided on each display pixel PX, or a gradation signal (a gradation current or a non-light emitting display voltage) for allowing each display pixel PX to perform a light emitting operation with a luminance gradation corresponding to the display data; and a writing side switch 183 for supplying to each display pixel PX the pre-charge voltage or gradation signal selected by the input signal selection switch 182 via the data line DL.

Here, the voltage detection side switch 181 and the writing side switch 183 can be constituted of, for example, thin film transistors (field effect transistors) having different channel polarities. As shown in FIG. 1, a p-channel type thin film transistor can be applied as the voltage detection side switch 181

while an n-channel type thin film transistor can be applied as the writing side switch 183. Gate terminals (control terminals) of these thin film transistors are connected with a same signal line, so that the ON and OFF states are controlled on the basis of a signal level of a switching control signal AZ which is applied to the signal line.

<Display Pixel>

As shown in FIG. 1, the display pixel PX according to the embodiment comprises: an organic EL element OEL which is a current control type optical element; and a driving circuit DC for supplying to the organic EL element OEL a driving current having a current value corresponding to display data. The optical element and driving circuit are arranged in the vicinity of each intersection of selection lines SL arranged in a row direction (a horizontal direction in the figure) of the display panel and data lines arranged in a column direction (a vertical direction in the drawing).

The drive circuit DC includes the thin film transistors Tr11, Tr12, Tr13 and a capacitor C5. The transistor (a second switch circuit) Tr11 has a gate terminal (a control terminal) connected with a selection line SL, and drain and source terminals (one end and the other end of a current path) respectively connected with a power supply voltage line VL receiving a predetermined voltage Vsc and a contact point N11.

The transistor (a third switch circuit) Tr12 has a gate terminal (a control terminal) connected with the selection line SL, and source and drain terminals (one end and the other end of a current path) respectively connected with a data line DL and a contact point N12. The transistor (a drive element, a first switch circuit) Tr13 has a gate terminal (a control terminal) connected with the contact point N11, and drain and source terminals (one end and the other end of a current path) respectively connected with the power supply voltage line VL and the contact point (a connection contact point) N12. The capacitor Cs is connected between the contact point N11 and the contact point N12 (between the gate and source terminals of the thin film transistor Tr13). Here, the thin film transistor Tr13 corresponds to a switching element for drive in which a threshold voltage becomes an object to be measured by the detection voltage ADC 140 and the threshold data latch unit 160 in the above-described display drive apparatus 100.

The organic EL element OEL has an anode terminal connected with the contact point N12 of the drive circuit DC, and a cathode terminal to which a common voltage Vcom is applied. Here, the common voltage Vcom has a potential equal to or higher than a power supply voltage Vsc set to a low potential (Vs) in a writing operation period in which a gradation signal (a

gradation current or non-light emitting display voltage) corresponding to display data is supplied to the drive circuit DC in a display drive operation which will be described later. Moreover, the common voltage Vcom is set to an arbitrary potential (for example, a ground potential GND) which is lower than the power supply voltage Vsc set to a high potential (Ve) in a light emitting operation period in which a light emitting operation is performed with a predetermined luminance gradation with the supply of a driving current to the organic EL element (optical element) OEL ( $V_s \leq V_{com} < V_e$ ).

Here, the capacitor Cs may be a parasitic capacitance formed between the gate terminal and the source terminal of the thin film transistor Tr13 or may be a capacitance in which capacitance elements are further connected in parallel between the contact point N11 and the contact point N12 in addition to the parasitic capacitance.

The thin film transistor Tr11 to Tr13 are not particularly limited to any specific type. For example, n-channel type amorphous silicon thin film transistors can be favorably applied by constituting the thin film transistors Tr11 to Tr13. In this case, the already established amorphous silicon manufacturing technology can be applied to relatively inexpensively manufacture a drive circuit including amorphous silicon

thin film transistors having stable element characteristics (electron movement degree or the like).

In the following explanation, there will be explained a case in which the thin film transistors  
5 Tr11 to Tr13 are all formed of n-channel type thin film transistors. Further, the optical element which is driven by the drive circuit DC is not limited to the organic EL element OEL, but may be other optical  
10 elements such as a light emitting diode as long as they are current control type optical elements.

<Display Drive Apparatus and Drive Control Method of Display Pixel>

Next, with respect to the display drive apparatus having the above configuration, there will explained  
15 with reference to the drawings a drive control method (a drive control operation) in the case where a gradation display is made by allowing an optical element of a display pixel to perform a light emitting operation.

20 The drive control operation in the display drive apparatus 100 according to the embodiment roughly comprises: a threshold voltage detection operation (a threshold voltage detection period; a first step) of measuring and storing a threshold voltage of the  
25 driving thin film transistor Tr13 (a switching element; a drive element) provided on each of the display pixels PX (the drive circuit DC) arranged on the display panel

at an arbitrary timing prior to a display drive operation (a pre-charge operation, a writing operation and a light emitting operation) which will be described later; and a display drive operation (a display drive period) of allowing the driving thin film transistor Tr13 provided on each of the display pixels PX to hold a voltage component (compensate for a threshold voltage) corresponding to a threshold voltage after the termination of the threshold voltage detection operation, further writing a gradation signal (a gradation current having a predetermined current value) corresponding to display data, and allowing the organic EL element OEL to perform a light emitting operation with a desired luminance gradation corresponding to the gradation signal.

Now, the respective control operations will be explained.

(Threshold Voltage Detection Operation)

FIG. 2 is a timing chart showing a threshold voltage detection operation in the display drive apparatus according to the embodiment.

FIG. 3 is a conceptual diagram showing a voltage application operation in the display drive apparatus according to the embodiment.

FIG. 4 is a conceptual diagram showing a voltage convergence operation in the display drive apparatus according to the embodiment.

FIG. 5 is a conceptual diagram showing a voltage reading operation in the display drive apparatus according to the embodiment.

5 FIG. 6 is a view showing one example of current characteristics between a drain and a source at the time when a voltage between a gate and the source is set to a predetermined condition and a voltage between the drain and the source is modulated in an n-channel type thin film transistor.

10 The threshold voltage detection operation in the display drive apparatus according to the embodiment is set, as shown in FIG. 2, to include: a voltage application period (a detecting voltage application step)  $T_{pv}$  of applying a voltage for threshold voltage detection (a detecting voltage  $V_{pv}$ ) to the display pixel PX via the data line DL from the display drive apparatus 100 within a predetermined threshold voltage detection period  $T_{dec}$ , and holding a voltage component corresponding to the detecting voltage  $V_{pv}$  in between  
20 the gate and the source of the driving thin film transistor  $Tr_{13}$  provided on the drive circuit DC of the display pixel PX (accumulating electric charges corresponding to the detecting voltage  $V_{pv}$  in the capacitor  $C_s$ ); a voltage convergence period  $T_{cv}$  of  
25 discharging part of the voltage component (electric charges accumulated in the capacitor  $C_s$ ) held in between the gate and the source of the thin film



transistor Tr13 in the voltage application period Tpv,  
and holding only the voltage component (electric  
charges) corresponding to a threshold voltage of a  
current Ids between the drain and the source of the  
5 thin film transistor Tr13 (allowing the voltage  
component (electric charges) to remain in the capacitor  
Cs); and a voltage reading period (a threshold voltage  
detection step) Trv of measuring the voltage component  
(a voltage value based on the electric charges which  
10 remain in the capacitor Cs; a threshold voltage Vth13)  
held in between the gate and the source of the thin  
film transistor Tr13 after a lapse of the voltage  
convergence period Tcv, and converting the measurement  
value into digital data to store the data in a  
15 predetermined memory area of the frame memory 170 ( $T_{dec} \geq T_{pv} + T_{cv} + T_{rv}$ ).

Here, the threshold voltage Vth13 of the current  
Ids between the source and the drain of the thin film  
transistor Tr13 refers to a voltage Vgs between the  
20 gate and the source of the thin film transistor Tr13  
which forms an operation boundary where the current Ids  
between the drain and the source of the thin film  
transistor Tr13 begins to flow by further applying a  
little voltage between the drain and the source. In  
25 particular, the threshold voltage Vth13 measured in the  
voltage reading period Trv according to the embodiment  
shows a threshold voltage at the time of executing the

threshold voltage detection operation after a change  
(Vth shift) occurs in a threshold voltage in the  
initial manufactured state of the thin film transistor  
Tr13 owing to a drive history (luminance history),  
5 usage time or the like.

Hereinafter, the respective operation periods  
associated with the threshold voltage detection  
operation will be further explained in detail.

(Voltage Application Period)

10 First, in the voltage application period Tpv, as  
shown in FIGS. 2 and 3, an ON-level (a high-level)  
selection signal Ssel is applied to the selection line  
SL of the drive circuit DC while a low-potential power  
supply voltage Vsc (= Vs) is applied to the power  
15 supply voltage line VL. Here, the low-potential power  
supply voltage Vsc (= Vs) may be a voltage equal to or  
lower than the common voltage Vcom, and may be, for  
example, a ground potential GND.

In synchronization with this timing, on the other  
20 hand, the switching control signal AZ is set to a high  
level, so that the writing side switch 183 is set to an  
ON state and the voltage detection side switch 181 is  
set to an OFF state while the input selection switch  
182 is switched to the side of the compensation voltage  
25 DAC (circuit) 150. As a result, the detecting voltage  
Vpv of the threshold voltage output from the  
compensation voltage DAC 150 is applied to the data

line DL via the data line input/output switching unit 180 (the input selection switch 182 and the writing side switch 183).

As a consequence, the thin film transistors Tr11 and Tr12 provided on the drive circuit DC constituting the display pixel PX are turned on. Thus, the power supply voltage Vsc is applied to the gate terminal of the thin film transistor Tr13 and one end side (the contact point N11) of the capacitor Cs via the thin film transistor Tr11, and the detecting voltage Vpv applied to the data line DL is applied to the source terminal of the thin film transistor Tr13 and the other end side (the contact point N12) of the capacitor Cs via the thin film transistor Tr12.

Here, when the change characteristics of the current between the drain and the source are verified in the case where the voltage Vds between the drain and the source is modulated at the time of a predetermined voltage Ids between the source and the drain with respect to the n-channel type thin film transistor Tr13 for supplying a driving current to the organic EL element OEL in the display pixel PX (the drive circuit DC), the change characteristics can be represented in the characteristics view shown in FIG. 6.

In FIG. 6, a horizontal axis shows a divided voltage of the thin film transistor Tr13 and a divided voltage of the organic EL element OEL connected in

series therewith whereas a vertical axis shows a current value of the current  $I_{ds}$  between the drain and the source of the thin film transistor Tr13. A chain line in FIG. 6 show a boundary line of the threshold voltage between the gate and the source of the thin film transistor Tr13, the left side of the boundary line showing an unsaturated region and the right side of the boundary line showing a saturated region. Solid lines show the change characteristics of the current  $I_{ds}$  between the drain and the source at the time of the modulation of the voltage  $V_{ds}$  between the drain and the source of the thin film transistor Tr13 when the voltage  $V_{gs}$  between the gate and the source of the thin film transistor Tr13 is fixed respectively to a voltage  $V_{gsmax}$  at the time of the light emitting operation with the maximum luminance gradation and voltages  $V_{gs1}$  ( $< V_{gsmax}$ ) and  $V_{gs}$  ( $< V_{gs1}$ ) at the time of the light emitting operation with arbitrary (different) luminance gradations which are the maximum luminance gradation or less. A broken line shows a load characteristics line (EL load line) in the case where the organic EL element OEL is allowed to perform a light emitting operation. The voltage on the right side of the EL load line becomes a divided voltage of the organic EL element OEL in the voltage between the power supply voltage  $V_{sc}$  and the common voltage  $V_{com}$  (as one example, 20 V in FIG. 6). The voltage on the left side of the organic

EL element OEL corresponds to the voltage  $V_{ds}$  between the drain and the source of the thin film transistor Tr13. The divided voltage of the organic EL element OEL gradually increases with an increase in the gradation luminance, that is, an increase in the current value of the current  $I_{ds}$  (the driving current  $\approx$  gradation current) between the drain and the source of the thin film transistor Tr13.

In FIG. 6, even in the case where the voltage  $V_{gs}$  between the gate and the source of the thin film transistor Tr13 is set to a definite level, a current value of the current  $I_{ds}$  between the drain and the source becomes conspicuously high (changes) with an increase in the voltage  $V_{ds}$  between the drain and the source of the thin film transistor Tr13, in the unsaturated region. On the other hand, in the case where the voltage  $V_{gs}$  between the gate and the source of the thin film transistor Tr13 is set to a definite level, the current  $I_{ds}$  between the drain and the source of the thin film transistor Tr13 does not increase so much but is settled on a definite level even with an increase in the voltage  $V_{ds}$  between the drain and the source, in the saturated region.

Here, in the voltage application period  $T_{pv}$ , the detecting voltage  $V_{pv}$  which is applied from the compensation voltage DAC (circuit) 150 to the data line DL (and further to the source terminal of the thin film

transistor Tr13 of the display pixel PX (the drive circuit DC)) is sufficiently lower than the power supply voltage Vsc (= Vs) which is set to a low potential while in the characteristic view shown in FIG. 6, the voltage Vgs between the gate and the source of the thin film transistor Tr13 is set to a voltage value at which the voltage Vds between the drain and the source of the area showing a saturated characteristics can be obtained. In the present embodiment, as the detecting voltage Vpv, for example, the maximum voltage may be set which can be applied to the data line DL from the compensation voltage DAC 150.

The detecting voltage Vpv is set so as to satisfy the following mathematical expression (1).

$$|Vs - Vpv| > Vth12 + Vth13 \quad \dots (1)$$

In the mathematical expression (1), reference symbol Vth12 denotes a threshold voltage between the drain and the source of the thin film transistor Tr12 at the time when an ON-level selection signal Ssel is applied to the gate terminal of the transistor Tr12. Furthermore, a low-potential power supply voltage Vsc is applied to both the gate and drain terminals of the thin film transistor Tr13 so that the both potentials become equal to each other. Accordingly, the Vth13 is a threshold voltage of the voltage between the drain and the source of the transistor Tr13 and is also a threshold voltage between the gate and the source of

the thin film transistor Tr13. Here, although  $V_{th12} + V_{th13}$  becomes gradually higher with the lapse of time, the potential difference of  $(V_s - V_{pv})$  is set to a high level so as to always satisfy the mathematical  
5 expression (1).

In this manner, a potential difference  $V_{cp}$  (potential  $V_c$  between both ends) which is larger than the threshold voltage  $V_{th13}$  of the thin film transistor Tr13 is applied between the gate and the source of the  
10 transistor Tr13 (that is, both ends of the capacitor  $C_s$ ), whereby a detecting current  $I_{pv}$  having a large current corresponding to the voltage  $V_{cp}$  forcedly flows toward the compensation voltage (circuit) DAC 150 via the drain and the source of the thin film transistor  
15 Tr13 from the power supply voltage line VL. Therefore, electric charges which correspond to a potential difference based on the detecting current  $I_{pv}$  are quickly accumulated in the both ends of the capacitor  $C_s$  (that is, the voltage  $V_{cp}$  is accumulated in the  
20 capacitor  $C_s$ ). Incidentally, in the voltage application period  $V_{pv}$ , not only electric charges are accumulated in the capacitor  $C_s$ , but also electric charges are accumulated for the flow of the detecting current  $I_{pv}$  in other capacitance components in a  
25 current route which leads to the data line DL from the power supply voltage line VL.

At this time, since the common voltage  $V_{com}$

(= GND) equal to or larger than the low-potential power supply voltage  $V_{sc}$  (=  $V_s$ ) which is applied to the power supply voltage line VL is applied to the cathode terminal of the organic EL element OEL, a location  
5 between the anode and the cathode of the organic EL element OEL is set to a non-electric field state or a reverse bias state, so that a driving current does not flow in the organic EL element OEL and no light emitting operation is performed.

10 (Voltage Convergence Period)

Next, in the voltage convergence period  $T_{cv}$  after the termination of the voltage application period  $T_{pv}$ , as shown in FIGS. 2 and 3, an ON-level selection signal  $S_{sel}$  is applied to the selection line SL. Further, the  
15 switching control signal AZ is set to a low level in a state in which the low-potential power supply voltage  $V_{sc}$  (=  $V_s$ ) is applied to the power supply voltage line VL, and consequently, the voltage detection side switch 181 is set to an ON state while the writing side switch  
20 183 is set to an OFF state. Furthermore, an output of the detecting voltage  $V_{pv}$  from the compensation voltage DAC 150 is suspended. As a consequence, the thin film transistors  $Tr_{11}$  and  $Tr_{12}$  are kept in an ON state, and thus, the display pixel PX (the drive circuit DC) is  
25 kept in an electric connection state with the data line DL. However, the other end side (the contact point N12) of the capacitor  $C_s$  is set to a high impedance



state since the application of the voltage to the data line DL is blocked.

At this time, the gate voltage of the thin film transistor Tr13 is kept with the electric charges (both ends potential  $V_c = V_{cp} > V_{th13}$ ) accumulated in the capacitor Cs in the voltage application period Tpv. Thus, that the thin film transistor Tr13 is kept in an ON state and the current continues to flow between the drain and the source thereof. Consequently, the potential on the side of the source terminal (the contact point N12; the other end side of the capacitor Cs) of the thin film transistor Tr13 gradually rises as the potential approaches the potential of the side of the drain terminal (the side of the power supply voltage line VL).

In this manner, part of the electric charges accumulated in the capacitor Cs is discharged, so that the voltage Vgs between the gate and the source of the thin film transistor Tr13 decreases. Finally, the voltage Vgs changes so as to be converged to the threshold voltage Vth13 of the thin film transistor Tr13. Along with this, the current Ids between the drain and the source of the thin film transistor Tr13 decreases, and finally, the flow of the current is suspended.

In this voltage convergence period Tcv as well, a potential at the anode terminal (the contact point N12)

of the organic EL element OEL has a potential equal to or lower than the common voltage Vcom on the side of the cathode terminal. For this reason, no voltage is applied to the organic EL element OEL, or a reverse bias voltage is applied to the organic EL element OEL. Therefore, the organic EL element OEL performs no light emitting operation.

(Voltage Reading Period)

Next, in the voltage reading period Trv after the lapse of the voltage convergence period Tcv, as shown in FIGS. 2 and 5, an ON-level selection signal Ssel is applied to the selection line SL, a low-potential power supply voltage Vsc (= Vs) is applied to the power supply voltage line VL, the switching control signal AZ is set to a low level, as in the voltage convergence period Tcv in this state, and the potential (detection voltage Vdec) of the data line DL is measured by the detection voltage ADC 140 and the threshold data latch unit 160 electrically connected with the data line DL.

Here, the data line DL after the lapse of the voltage convergence period Tcv is set to a state of being connected with the side of the source terminal (the contact point N12) of the thin film transistor Tr13 via the thin film transistor Tr12 which is set to the ON state. Further, as described above, the potential on the side of the source terminal (the contact point N12) of the thin film transistor Tr13

corresponds to the potential on the other end side of the capacitor Cs in which the electric charges corresponding to the threshold voltage Vth13 of the thin film transistor Vth13 have been accumulated.

5           The potential on the side of the gate terminal (the contact point N11) of the thin film transistor Tr13 is a potential on one end side of the capacitor Cs in which the electric charges corresponding to the threshold voltage Vth13 of the thin film transistor  
10 Tr13 have been accumulated. At this time, the potential is set to a state of being connected with the low-potential power supply voltage Vsc via the thin film transistor Tr11 which is set to an ON state.

          As a consequence, the potential of the data line  
15 DL which is measured by the detection voltage ADC 140 corresponds to the potential on the side of the source terminal of the thin film transistor Tr13, or the potential corresponding thereto. Accordingly, it is possible to detect the voltage Vgs between the gate and  
20 the source of the thin film transistor Tr13 (the both-ends potential Vc of the capacitor Cs), namely, the threshold voltage Vth13 of film transistor Tr13, or the voltage corresponding to the threshold voltage Vth13, on the basis of a difference (a potential difference)  
25 between the detection voltage Vdec and the low-potential power supply voltage Vsc (for example, ground potential GND) with which the set voltage is previously

made clear.

The threshold voltage  $V_{th13}$  (the analog signal voltage) of the thin film transistor  $Tr13$  which is detected in this manner is converted into threshold detection data comprising the digital signal voltage by the detection voltage ADC 140, and is temporarily held in the threshold data latch unit 160 followed by sequentially reading the threshold detection data of each of the display pixels  $PX$  in one row to be stored (memorized) in a predetermined memory area of the frame memory 170. Here, since the threshold voltage  $V_{th13}$  of the thin film transistor  $Tr13$  provided on the drive circuit DC of each display pixel  $PX$  has a different degree of change ( $V_{th}$  shift) owing to the drive history (luminance history) or the like, the threshold detection data peculiar to each display pixel  $PX$  is stored in the frame memory 170.

(Display Drive Operation: Gradation Display Operation)

FIG. 7 is a timing chart showing a drive control method in the display drive apparatus according to the embodiment.

FIG. 8 is a conceptual diagram showing a pre-charge operation in the display drive apparatus according to the embodiment.

FIG. 9 is a conceptual diagram showing a data writing operation in the display drive apparatus

according to the embodiment.

FIG. 10 is a conceptual diagram showing a light emitting operation in the display drive apparatus according to the embodiment.

5           The display drive operation in the display drive apparatus according to the embodiment is set, as shown in FIG. 7, to include: a pre-charge period (a second step; a compensation voltage application step)  $T_{th}$  of applying a predetermined pre-charge voltage  $V_{pre}$  to a display pixel PX via a data line DL from the display drive apparatus 100 within the display drive period (one treatment cycle period), holding the voltage component (accumulating and discharging electric charges in the capacitor  $C_s$ ) corresponding to the threshold voltage  $V_{th13}$  of the current  $I_{ds}$  between the drain and the source of the thin film transistor  $Tr_{13}$  in between the gate and the source of the driving thin film transistor  $Tr_{13}$  provided on the drive circuit DC of the display pixel PX, and compensating for a  
10  
15  
20  
25  
threshold voltage; a writing operation period (a third step; a data writing step)  $T_{wrt}$  of applying a gradation signal (a gradation current) corresponding to display data, adding the voltage component corresponding to the gradation signal to the voltage component corresponding to the threshold voltage  $V_{th13}$  held in the pre-charge period  $T_{th}$  to the voltage component corresponding to the gradation signal, and writing the gradation signal

in between the gate and the source of the thin film transistor Tr13; and a light emitting operation period (gradation luminous step)  $T_{em}$  of performing a light emitting operation with a predetermined luminance gradation by allowing a driving current having a current value corresponding to the display data to flow in the organic EL element OEL on the basis of all the voltage components (total electric charges accumulated in the capacitor Cs) held in between the gate and the source of the thin film transistor Tr13 ( $T_{cyc} \geq T_{th} + T_{wrt} + T_{em}$ ).

Here, one treatment cycle period which is applied to the display drive period  $T_{cyc}$  according to the embodiment is set to a period which is required for the display pixel PX to display image information of one pixel out of one frame image. That is, as explained in the drive control method of the display apparatus which will be described later, the one treatment cycle period is set to a period which is required for display pixels PX in one row to display an image of one row out of one frame image in the case where one frame image is displayed on a display panel wherein a plurality of display pixels PX are arranged in a matrix form in a row direction and in a column direction.

Hereinafter, the respective operation periods associated with the display drive operation will be further explained in detail.

(Pre-charge Period)

First, in the pre-charge period  $T_{th}$ , as shown in FIGS. 7 and 8, an ON-level (a high level) selection signal  $S_{sel}$  is applied to the selection line  $SL$  of the drive circuit  $DC$ , and a low-potential power supply voltage  $V_{sc}$  ( $= V_s$ ; for example, ground potential  $GND$ ) is applied to the power supply voltage line  $VL$ , in the same manner as the voltage application period  $T_{pv}$ .

As a consequence, the thin film transistors  $Tr_{11}$  and  $Tr_{12}$  provided on the drive circuit  $DC$  are turned on, so that the power supply voltage  $V_{sc}$  is applied to the gate terminal (the contact point  $N_{11}$ ; one end side of the capacitor  $C_s$ ) of the thin film transistor  $Tr_{13}$  via the thin film transistor  $Tr_{11}$  while the source terminal (the contact point  $N_{12}$ ) of the thin film transistor  $Tr_{13}$  is electrically connected with the data line  $DL$  via the thin film transistor  $Tr_{12}$ .

In synchronization with this timing, on the other hand, the switching control signal  $AZ$  is set to a high level, so that the writing switch 183 is set to an ON state, and the voltage detection switch 181 is set to an OFF state while the input selection switch 182 is switched and set to the side of the compensation voltage DAC 150.

In this manner, the pre-charge voltage  $V_{pre}$  which is output from the compensation voltage DAC 150 is applied to the data line  $DC$  via the data line

input/output switching unit 180 (the input selection switch 182 and writing side switch 183). Further, the pre-charge voltage  $V_{pre}$  is applied to the source terminal (the contact point N12) of the thin film transistor Tr13 via the thin film transistor Tr12 provided on the drive circuit DC.

Here, in the pre-charge period  $T_{th}$ , the pre-charge voltage  $V_{pre}$  which is applied to the source terminal (the contact point N12) of the thin film transistor Tr13 of the display pixel PX (the drive circuit DC) via the data line DL from the compensation voltage DAC 150 is detected for each of the display pixels PX in the threshold voltage detection operation by the detection voltage ADC 140 and the threshold data latch unit 160. On the basis of the threshold detection data which are individually stored for each display pixel PX in the frame memory 170, the pre-charge voltage has a current value for compensating for the threshold voltage  $V_{th13}$  peculiar to the thin film transistor Tr13 of each display pixel PX (the drive circuit DC). The application of the pre-charge voltage  $V_{pre}$  allows setting a voltage value which allows holding the voltage component corresponding to the threshold voltage  $V_{th13}$  in between the gate and the source of the thin film transistor Tr13 (on the both ends of the capacitor Cs).

When more specific explanation is made with



respect to the threshold voltage  $V_{th13}$  of the thin film transistor  $Tr13$ , there is provided an advantage in that in the case where the n-channel type amorphous thin film transistor is applied as the thin film transistors  $Tr11$  to  $Tr13$  constituting the drive circuit DC provided on the display pixel PX as described above, the already established amorphous silicon manufacturing technique is applied so that the thin film transistor having uniform element characteristics can be formed, and a drive circuit having stable operation characteristics can be manufactured in a relatively easy manufacturing process.

However, the amorphous silicon thin film transistor is known in that generally a change ( $V_{th}$  shift) in threshold voltage conspicuously occurs owing to a drive history. As a drive control method for suppressing an influence of the change in threshold voltage, there is known a drive control method of a current gradation specification mode (or, a current gradation specification drive) of directly flowing a current component (a gradation current) of a gradation signal corresponding to display data via a data line DL toward a drive circuit DC provided on a display pixel PX. In this drive control method, even a capacitance element formed (parasitic) on a channel which is supplied with the gradation current is charged by the gradation current to a predetermined voltage in

addition to a location between the gate and the source  
of the driving thin film transistor Tr13 (the both ends  
of the capacitor Cs). For this reason, there is a  
possibility that the light emitting operation is not  
5 performed with a desired luminance gradation because,  
in the case where a light emitting operation (low  
gradation display) is performed with a low luminance  
gradation, the gradation current becomes minute with  
the result that the charging operation takes a  
10 considerable time, the writing operation of the  
gradation signal is not completed in a predetermined  
time, and a writing insufficiency is generated in which  
the voltage component held in between the gate and the  
source of the thin film transistor Tr13 (the both ends  
15 of the capacitor Cs) becomes insufficient with respect  
to the display data.

More specifically, in the drive control method of  
the current control specification mode, many voltage  
components out of the voltage  $V_{gs}$  between the gate and  
20 the source of the thin film transistor Tr13 which is  
required for flowing between the drain and the source  
of the thin film transistor Tr13 the gradation current  
corresponding to the display data at the time of the  
writing operation which will be described later  
25 contribute toward the threshold voltage  $V_{th13}$  of the  
thin film transistor Tr13. Particularly, it has been  
clarified as a result of each kind of experiment made

by the inventors of the application that in the voltage  $V_{gs}$  (=  $V_{lsb}$ ) between the gate and the source of the thin film transistor Tr13 which voltage is required for allowing the organic EL element OEL to perform a light emitting operation with the minimum luminance gradation (LSB), a ratio of the voltage components which contribute toward the threshold voltage  $V_{th13}$  out of the held voltage components (all the electric charges) largely exceeds 50%.

10           There has been a possibility that a disadvantage is generated in that when an attempt is made to charge the voltage component (an electric charge capacitance) corresponding to this threshold voltage  $V_{th13}$  in between the source and the gate (in the capacitor  $C_s$ ) only in the writing operation of a gradation signal (a gradation current having a minute current value) without applying the pre-charge operation (application of the pre-charge voltage  $V_{pre}$ ) according to the embodiment, the writing operation period  $T_{wrt}$  which will be described later is largely prolonged with the result that the image information cannot be displayed in a favorable state in a predetermined treatment period (a frame period).

25           Therefore, in the present embodiment, prior to the writing operation of the gradation signal which will be described later, the pre-charge period  $T_{th}$  is provided to apply the pre-charge voltage  $V_{pre}$ . Consequently,

the voltage component corresponding to the threshold voltage  $V_{th13}$  at the current point of the thin film transistor  $Tr13$  (the threshold voltage at the time of the threshold voltage detection operation after the  $V_{th}$  shift by the drive history) is set to a state of being held in between the gate and the source of the thin film transistor  $Tr13$  (the both ends of the capacitor  $C_s$ ). In addition, only the voltage component (substantial voltage components for a gradation display corresponding to the display data except for a portion of the threshold voltage  $V_{th13}$ ; effective voltage  $V_{data}$ ) is added to the voltage component corresponding to the threshold voltage  $V_{th13}$  to enable being held in between the gate and the source of the thin film transistor  $Tr13$  without charging the voltage component corresponding to the threshold voltage  $V_{th13}$  in between the gate and the source of the thin film transistor  $Tr13$  with the gradation signal even with a minute gradation current at the time of the low gradation display.

In this pre-charge period  $T_{th}$ , the voltage component corresponding to the threshold voltage  $V_{th13}$  peculiar to the thin film transistor  $Tr13$  is controlled to be set in a state of being held in between the gate and the source of the thin film transistor  $Tr13$ . For this reason, a current scarcely flows between the drain and the source of the thin film transistor  $Tr13$ .

Furthermore, the potential on the side of the anode terminal (the contact point N12) of the organic EL element OEL is equal to or less than the common voltage Vcom on the side of the cathode terminal. Therefore,  
5 no voltage or a reverse bias voltage is applied to the organic EL element OEL, so that the organic EL element OEL does not perform a light emitting operation.

In this manner, in order to hold voltage component corresponding to the threshold voltage Vth13 in between  
10 the gate and the source of the thin film transistor Tr13, the pre-charge voltage Vpre having a voltage value corresponding to the threshold voltage Vth13 peculiar to each thin film transistors Tr13 is directly applied to the side of the source terminal (the contact  
15 point N12) without flowing a current based on the voltage component in the drive circuit DC and the data line DL. Accordingly, the voltage component corresponding to the threshold voltage Vth13 can be swiftly charged in the driving thin film transistor  
20 Tr13 (the capacitor Cs) of each display pixel PX (the drive circuit DC).

(Writing Operation Period)

Next, in the writing operation period Twrt after the completion of the pre-charge period Tth, as shown  
25 in FIGS. 7 and 9, an ON level selection signal Ssel is applied to the selection line SL and a low-potential power supply voltage Vsc (= Vs) is applied to the power

supply voltage line VL. Consequently, in a state in which the switching control signal AZ is set to a high level, the input selection switch 182 is switched and set to the side of the gradation signal generation unit 130, so that a gradation signal (a gradation current Idata having a negative polarity) output from the gradation signal generation unit 130 in accordance with the display data is supplied to the data line DL via the data line input/output switching unit 180 (the input selection switch 182 and writing side switch 183). Here, the gradation current Idata having a negative polarity is supplied as a negative signal, whereby the current flows from the side of the data line DL in the direction of the gradation signal generation unit 130 via the data line input/output switching unit 180 to be drawn in a direction of the gradation signal generation unit 130.

As a consequence, the thin film transistor Tr11 provided on the display pixel PX is turned on, so that the low-potential power supply voltage Vsc (= Vs) is applied to the gate of the thin film transistor Tr13 and one end side (the contact point N11) of the capacitor Cs via the thin film transistor Tr11. In addition, the thin film transistor Tr12 is turned on and the gradation current Idata is drawn via the data line DL, whereby a voltage having a potential lower than the power supply voltage Vsc is applied to the

side of the source terminal (the contact point N12; the other end side of the capacitor Cs) of the thin film transistor Tr13. As a consequence, the thin film transistor Tr13 is turned on in a predetermined  
5 conductive state, and as shown in FIG. 9, a writing current  $I_{wrt}$  which corresponds to the current value of the gradation current  $I_{data}$  swiftly flows from the power supply voltage line VL to the display drive apparatus 100 (the gradation signal generation unit  
10 130) via the thin film transistor Tr13, the contact point N12, the thin film transistor Tr12 and the data line DL.

Here, the capacitor Cs connected between the gate and the source of the thin film transistor Tr13 is set  
15 to a state in which voltage component corresponding to the threshold voltage  $V_{th13}$  peculiar to the thin film transistor Tr13 is held (electric charges are accumulated) in the pre-charge period  $T_{th}$ . Therefore, electric charges of the capacitance which is required  
20 for the writing current  $I_{wrt}$  based on the gradation current  $I_{data}$  to be set to a stationary state between the drain and the source of the thin film transistor Tr13 does not include the threshold voltage  $V_{th13}$ . The electric charges may be the gradation current  $I_{data}$   
25 (the writing current  $I_{wrt}$ ) having a current value for charging only the effective voltage  $V_{data}$  for providing a gradation display in accordance with the display

data, and the electric charges may be charged in between the gate and the source of the thin film transistor Tr13 in a relatively short time.

Accordingly, even in the case where the threshold  
5 voltage  $V_{th13}$  of the thin film transistor Tr13 is  $V_{th}$   
shifted with the light emission history (the drive  
history) or the like, the voltage component  $V_{data}$   
appropriately corresponding to the gradation signal  
(display data) can be swiftly and sufficiently written  
10 in the writing operation period  $T_{wrt}$ . Incidentally, in  
this writing operation period  $T_{wrt}$ , the voltage  $V_{gs}$   
between the gate and the source of the thin film  
transistor Tr13, namely a quantity of electric charges  
accumulated in the capacitor  $C_s$  is definitely set by  
15 the current (the writing current  $I_{wrt}$ ) between the  
source and the drain of the thin film transistor Tr13.  
As a result, the voltage  $V_c$  charged in the capacitor  $C_s$   
specifically becomes a sum total ( $V_{th13} + V_{data}$ ) of the  
voltage components (the effective voltage)  $V_{data}$   
20 corresponding to the threshold voltage  $V_{th13}$  peculiar  
to the thin film transistor Tr13 and the gradation  
current  $I_{data}$ .

At this time, since the low-potential power supply  
voltage  $V_{sc}$  (=  $V_s$ ) is applied to the power supply  
25 voltage line VL, and further the writing current  $I_{wrt}$   
is controlled in such a manner that the current  $I_{wrt}$   
flows in a direction of the data line DL via the drive



circuit DC from the power supply voltage line VL, the potential applied to the anode terminal (the contact point N12) of the organic EL element OEL is equal to or less than the potential Vcom (GND) of the cathode terminal. For this reason, a reverse bias voltage is applied to the organic EL element OEL, so that a driving current does not flow in the organic EL element OEL and no light emitting operation is performed.

(Light Emitting Operation Period)

Next, in the light emitting operation period  $T_{em}$  after the completion of the writing operation period  $T_{wrt}$ , as shown in FIGS. 7 and 10, an OFF level (a low level) selection signal Ssel is applied to the selection line SL and a high-potential power supply voltage  $V_{sc}$  ( $= V_s$ ) is applied to the power supply voltage line VL. Furthermore, in synchronization with this timing, an operation of drawing the gradation current  $I_{data}$  by the gradation signal generation unit 130 is suspended.

As a consequence, the thin film transistors Tr11 and Tr12 provided on the drive circuit DC are turned on, so that the application of the power supply voltage  $V_{sc}$  to the gate terminal (the contact point N11; one end side of the capacitor Cs) of the thin film transistor Tr13 and the drain terminal is blocked while an electric connection between the data line DL and the source terminal (the contact point N12; the other end

of the capacitor Cs) is disconnected. Therefore, the electric charges accumulated in the capacitor Cs in the writing operation period Twrt are held.

5 In the light emitting operation period Tem, the high-potential power supply voltage Vsc (= Ve) which is applied to the power supply voltage line VL is set in such a manner that the power supply voltage Vsc becomes a voltage value (a positive voltage which becomes a forward bias with respect to the voltage Vcom connected  
10 with the cathode side of the organic EL element OEL) not less than the anode voltage which value is required at the time of allowing the organic EL element OEL to perform the light emitting operation with the maximum luminance gradation (MSB).

15 Specifically, the high-potential power supply voltage Vsc (= Ve) is set to a voltage value which satisfies the following mathematical expression (2).

$$|Ve - Vcom| > Vdsmax + Velmax \quad \dots (2)$$

20 In the mathematical expression (2), reference symbol Vdsmax denotes a maximum voltage value between the drain and the source of the thin film transistor Tr13 such that the voltage between the drain and the source reaches a saturated region shown in FIG. 6 in the light emitting operation Tem in the case where the  
25 gradation current Idata is allowed to flow at the time of the light emitting operation with the maximum luminance gradation. In addition, reference symbol

Velmax denotes a divided voltage of the organic EL element OEL at the time of the maximum luminance gradation.

5 In this manner, a sum total of the voltage components ( $V_{th13} + V_{data}$ ) charged in the capacitor  $C_s$  at the time of the pre-charge operation and the writing operation is held as the both-end potential  $V_c$  of the capacitor  $C_s$ . Consequently, the voltage  $V_{gs}$  (that is, the potential of the contact point N11) between the  
10 gate and the source of the thin film transistor Tr13 is held with the result that the thin film transistor Tr13 maintains the ON state.

Accordingly, in the light emitting operation period  $T_{em}$ , as shown in FIG. 10, a driving current  $I_{em}$   
15 flows in a direction of the organic EL element OEL via the thin film transistor Tr13 and the contact point N12 from the power supply voltage line VL, and the organic EL element OEL emits light with a predetermined luminance gradation corresponding to the current value  
20 of the driving current  $I_{em}$ . Here, the electric charges (both-end potential  $V_c$ ) held in the capacitor  $C_s$  in the light emitting operation period correspond to the potential difference in the case where the writing current  $I_{wrt}$  which corresponds to the gradation current  
25  $I_{data}$  is allowed to flow in the thin film transistor Tr13 as described above. Thus, the driving current  $I_{em}$  which flows in the organic EL element OEL has a current

value ( $I_{em} \approx I_{wrt} = I_{data}$ ) which is equal to the writing current  $I_{wrt}$  (the gradation current  $I_{data}$ ). Consequently, the driving current  $I_{em}$  corresponding to a predetermined light emitting state (a luminance gradation) is supplied on the basis of the voltage component (the effective voltage  $V_{data}$ ) written in the writing operation period  $T_{wrt}$ , and the organic EL element OEL continuously emits light with a luminance gradation corresponding to the display data (the gradation signal).

In this manner, according to the display drive apparatus and the display pixel according to the embodiment, the voltage component corresponding to the threshold voltage  $V_{th13}$  is held in between the gate and the source of the thin film transistor  $Tr13$  in the pre-charge period. Furthermore, the gradation current  $I_{data}$  (the writing current  $I_{wrt}$ ) for which a current value corresponding to the light emitting state (the gradation luminance) of the organic EL element OEL is specified in the writing operation period is forcedly allowed to flow between the drain and the source of the thin film transistor  $Tr13$  to hold the voltage component  $V_{data}$  corresponding to the current value in between the gate and the source of the thin film transistor  $Tr13$ . Consequently, the drive control method of current gradation specification mode for performing a light emitting operation with a predetermined luminance

gradation is applied by controlling the driving current  $I_{em}$  which is allowed to flow in the organic EL element (the optical element) OEL on the basis of the voltage component (the effective voltage  $V_{data}$ ) substantially corresponding to the gradation current  $I_{data}$ .

5 Furthermore, there are realized a function (a current/voltage conversion function) of converting a current level of a gradation current  $I_{data}$  corresponding to desired display data (a luminance gradation) into a voltage level by a single switching  
10 element (thin film transistor  $Tr_{13}$ ) for drive, and a function (a drive function) of supplying a driving current  $I_{em}$  having a predetermined current value to the organic EL element OEL. This makes it possible to  
15 realize desired light emitting characteristics free from an influence of a variation in the respective element characteristics of the thin film transistors constituting a drive circuit DC and a change with the lapse of time.

20 In addition, in the display drive apparatus and the display pixel according to the embodiment, the pre-charge operation is performed prior to the writing operation of the display data (the gradation signal) to the display pixel PX and the light emitting operation  
25 of the organic EL element OEL. Consequently, it is possible to set to a state in which the pre-charge voltage  $V_{pre}$  is applied to the capacitor  $C_s$  connected

between the gate terminal and the source terminal of the driving thin film transistor Tr13 provided on the drive circuit DC to hold the voltage component corresponding to the threshold voltage Vth13 peculiar to the thin film transistor Tr13 (the electric charges are accumulated).

Therefore, even in the case where the threshold voltage Vth13 of the switching element (the thin film transistor Tr13) for drive provided on each display pixel PX (the drive circuit DC) is changed (shifted) owing to the change with the lapse of time, the drive history or the like, it is possible to set, in the pre-charge operation, to a state in which electric charges corresponding to the threshold voltage Vth13 peculiar to the individual thin film transistor TR13 can be appropriately accumulated. As a consequence, in the writing operation of the display data, it is not required to charge the capacitor Cs with the gradation current Idata based on the display data to a capacitance corresponding to the threshold voltage Vth13. The capacitor Cs may be charged by adding only the voltage component (the effective voltage) Vdata corresponding to the display data (the luminance gradation). Therefore, the electric charges based on the display data may be swiftly accumulated in the capacitor Cs and the generation of the writing insufficiency is suppressed, so that the organic EL

element OEL can be allowed to perform a light emitting operation with an appropriate luminance gradation corresponding to the display data.

5 In the present embodiment, there is shown the configuration of the display drive apparatus and the drive control method thereof wherein the detecting voltage  $V_{pv}$  which is applied to the drive circuit DC (the side of the source terminal of the thin film transistor  $Tr_{13}$ ) of each display pixel PX in the  
10 voltage application period  $T_{pv}$  is applied to the data line DL via the input selection switch 182 and the writing side switch 183 from the compensation voltage DAC 150 in the threshold voltage detection operation which is performed prior to the display drive  
15 operation. However, the present invention is not limited thereto. For example, as shown in the following description, a dedicated power source for applying the detecting voltage  $V_{pv}$  to the data line DL may be provided.

20 FIG. 11 is a structural diagram of a primary part showing another structural example of the display drive apparatus according to the embodiment. An explanation on the configuration same as that of the above-described embodiment will be omitted.

25 The display drive apparatus according to the present structural example is configured, as shown in FIG. 11, to have, independently of the compensation

voltage DAC 150, a detecting voltage power source 190  
for outputting a detecting voltage  $V_{pv}$  in addition to  
the configuration (refer to FIG. 11) of the display  
drive apparatus 100. In addition, the display drive  
5 apparatus is constituted in such a manner that the  
input selection switch 182 provided on the data line  
input/output switching unit 180 is capable of  
selectively connecting any of the compensation voltage  
DAC 150 (the pre-charge voltage  $V_{pre}$ ), the gradation  
10 signal generation unit 130 (the gradation current  
 $I_{data}$ ) and the detecting voltage power source 190 (the  
detecting voltage  $V_{pre}$ ) to the data line DL.

With this configuration, it is possible to apply a  
detecting voltage  $V_{pv}$  which has an arbitrary voltage  
15 value the data line DL only with the control of  
switching the input selection switch 182 and the  
writing side switch 183 of the data line input/output  
switching unit 180 to the side of the detecting voltage  
power source 190 in the voltage application period  $T_{pv}$   
20 described above, so that a treatment load for the  
operation of outputting the detecting voltage  $V_{pv}$  in  
the compensation voltage DAC 150 can be alleviated.

(Display Drive Operation: Non-light emitting  
Operation)

25 Next, by referring to the drawings, there will be  
explained a drive control method in the case where a  
non-light emitting operation (a black display) is



performed wherein the optical element is not allowed to perform a light emitting operation in the display drive apparatus and display pixel having the above-described configuration.

5           FIG. 12 is a timing chart showing a drive control method (a non-light emitting operation) in the display drive apparatus according to the embodiment. FIG. 13 is a conceptual diagram showing another example of the data writing operation in the display drive apparatus  
10           according to the embodiment. FIG. 14 is a conceptual diagram showing a non-light emitting operation in the display drive apparatus according to the embodiment. Here, an explanation on the drive control which is the same as that of the gradation luminance operation will  
15           be simplified or omitted.

          The drive control operation in the display drive apparatus according to the embodiment is configured, as shown in FIG. 12, to include a display drive operation (a display drive period) of allowing the driving thin  
20           film transistor Tr13 provided on each display pixel PX to hold a voltage component corresponding to the threshold voltage  $V_{th13}$  to compensate for the threshold voltage  $V_{th13}$  followed by writing a gradation signal (a non-light emitting display voltage  $V_{zero}$ ) corresponding  
25           to display data to set the organic EL element OEL to a non-light emitting state.

          That is, in the drive control operation at the

time of performing the gradation display operation described above, the power supply voltage  $V_{sc}$  is set so as to be shifted from the low potential ( $V_s$ ) to the high potential ( $V_e$ ) at the time of moving from the writing operation period  $T_{wrt}$  set at the time of the display drive operation (the display drive period) to the light emitting operation period  $T_{em}$ . For this reason, there appears a phenomenon in which a potential (a gate potential) which is applied to the gate terminal (the contact point  $N_{11}$ ) of the thin film transistor  $TR_{13}$  rises owing to a change of the electric charges held in the capacitance components or the like which are parasitic on the thin film transistor  $Tr_{11}$ .

Here, in the case where the luminance gradation based on the display data is set to the minimum gradation (a black display state), the current value of the gradation current  $I_{data}$  is set to a minute state or 0 (namely, the state in which the gradation current  $I_{data}$  does not flow). However, the voltage (the both-end potential  $V_c$ ) which is charged in the capacitor  $C_s$  in the pre-charge period  $T_{th}$  is set to a value in the vicinity of the threshold voltage  $V_{th13}$  peculiar to the thin film transistor  $Tr_{13}$ . Therefore, there is a possibility that in the case where a slight change in the gate potential occurs due to the movement from the writing operation period  $T_{wrt}$  to the light emitting operation period  $T_{em}$ , the thin film transistor  $Tr_{13}$  is

turned on and a driving current flows, so that the non-light emitting operation (a black display) according to the display data cannot be realized (becomes unstable).

5 In order to stabilize the non-light emitting display operation, it is preferable that the voltage component (the accumulated electric charges) applied in the capacitor Cs is discharged in the light emitting operation Tem, the voltage Vgs between the gate and the source of the thin film transistor Tr13 (the both-end  
10 potential Vc of the capacitor Cs) is set to a level sufficiently lower than the threshold voltage Vth13 of the transistor Tr13. It is more preferable that the voltage Vgs is set to 0 V (that is, both the contact point N11 and the contact point N12 have an equal  
15 potential).

A writing operation is performed by using the gradation current Idata having a minute current value as described above in order to realize such a voltage state. In this case, it takes a relatively long time  
20 to discharge the electric charges accumulated in the capacitor Cs to set the voltage Vgs between the gate and the source to a desired electric charge capacitance (a voltage value). In particular, the electric charge capacitance which is accumulated in the capacitor Cs  
25 becomes larger as the voltage component (the both-end potential Vc) applied in the capacitor Cs in the writing operation Twrt of the previous display drive

period (one treatment cycle period)  $T_{cyc}$  approaches the maximum luminance gradation voltage. Consequently, it takes longer time to discharge the electric charges so that the voltage is set to a desired voltage value.

5           Accordingly, the display drive apparatus according to the embodiment is configured, as shown in FIG. 1, in such a manner that the gradation signal generation unit 130 comprises means for generating and supplying a gradation current  $I_{data}$  for allowing the organic EL  
10           element (the optical element) OEL to perform a light emitting operation with a predetermined luminance gradation corresponding to the display data; and means for generating and supplying a non-light emitting display voltage  $V_{zero}$  for allowing the organic EL  
15           element OEL to perform a non-light emitting operation (a black display) without allowing the organic EL element OEL to perform the light emitting operation, wherein the non-light emitting display voltage  $V_{zero}$  is applied to the data line DL at the time of the lowest  
20           gradation luminance (black display state).

          Incidentally, in the present embodiment, there is shown a case in which the non-light emitting display voltage  $V_{zero}$  is applied to the drive circuit DC (the source terminal side of the thin film transistor  $Tr_{13}$ ;  
25           the contact point  $N_{12}$ ) via the data line DL by the gradation signal generation unit 130. However, the present invention is not limited thereto. For example,

a dedicated power source for applying the non-light emitting display voltage  $V_{zero}$  to the data line DL may be provided therein.

As shown in FIG. 12, the drive control method in the display drive apparatus having such a configuration is set, in the display drive operation after the completion of the threshold voltage detection operation described above, so as to include: a pre-charge period  $T_{th}$  of applying a predetermined pre-charge voltage  $V_{pre}$  to the display pixels PX within a predetermined display drive period (one treatment cycle period)  $T_{cyc}$ , and holding the voltage component corresponding to the threshold voltage  $V_{th13}$  peculiar to the drive thin film transistor Tr13 in between the gate and the source of the transistor Tr13 (the both ends of the capacitor Cs) provided on the drive circuit DC (allowing the capacitor Cs to accumulate or discharge the electric charge); a writing operation period  $T_{wrt}$  of applying a gradation signal (a non-light emitting voltage  $V_{zero}$ ) corresponding to the display data (non-light emitting data) to each display pixel PX (the drive circuit DC) via the data line DL and discharging substantially all the electric charges held in between the gate and the source of the thin film transistor Tr13 (in the capacitor Cs) to set the voltage  $V_{gs}$  between the gate and the source of the thin film transistor Tr13 to 0 V; and a light emitting operation  $T_{em}$  of allowing the

organic EL element OEL not to perform a light emitting operation (a non-light emitting operation) ( $T_{cyc} \geq T_{th} + T_{wrt} + T_{em}$ ).

That is, in the same manner as the drive control operation at the time of performing the gradation display operation described above, in the pre-charge operation prior to the writing operation period  $T_{wrt}$ , the voltage component corresponding to the threshold voltage  $V_{th13}$  peculiar to the drive thin film transistor  $Tr13$  is held (the electric charges are accumulated) in between the gate and the source (in the capacitor  $C_s$ ) of the transistor  $Tr13$  followed by, in the writing operation of the gradation signal, as shown in FIG. 13, directly applying, for example, a non-light emitting display voltage  $V_{zero}$  which has an equal potential to the low-potential power supply voltage  $V_{sc}$  ( $= V_s$ ) to the side of the source terminal (the contact point  $N12$ ) of the drive transistor  $Tr13$  provided on the display pixel  $PX$  (the drive circuit  $DC$ ) via the data line input/output switching unit 180 and the data line  $DL$  from the display drive apparatus 100 (the gradation signal generation unit 130), so that the voltage  $V_{gs}$  between the gate and the source (the both-end potential  $V_c$  of the capacitor  $C_s$ ) is set to 0 V.

In this manner, substantially all the electric charges accumulated in the capacitor  $C_s$  are discharged, so that the voltage  $V_{gs}$  between the gate and the source

of the thin film transistor Tr13 is set to a voltage value (approximately 0 V) which is sufficiently lower than the threshold voltage Vth13 peculiar to the thin film transistor Tr13. Consequently, even if the power supply voltage Vsc is changed from the low potential (Vs) to the high potential (Ve) at the time of moving from the writing operation period Twrt to the light emitting operation period Tem so that the gate potential (the potential of the contact point N11) of the thin film transistor Tr13 slightly rises, the transistor Tr13, as shown in FIG. 14, is not turned on (the off state is held), no driving current Iem is supplied to the organic EL element OEL, and no light emitting operation is performed (the non-light emitting state is provided).

As a consequence, compared with the case in which at the time of the non-light emitting operation, a gradation current corresponding to the non-light emitting display data is supplied via the data line DL to discharge substantially all the electric charges accumulated in the capacitor Cs connected between the gate and the source of the drive transistor Tr13, it is possible to favorably realize the non-light emitting state (the non-light emitting display operation) of the organic EL element OEL while shortening the time required for the writing operation of the non-light emitting display data. Accordingly, in addition to a

display drive operation of performing the normal gradation display, a display drive operation of performing non-light emitting display is switched and controlled in accordance with the display data (the  
5 luminance gradation data) with the result that a light emitting operation having a desired number of gradations (for example, 256 gradations) can be clearly realized at a relatively high luminance.

In the display pixel PX according to the  
10 embodiment, as shown in FIG. 1, there is shown a configuration in which an n-channel amorphous silicon thin film transistor is applied in any case as the thin film transistors Tr11 to Tr13 provided on the drive circuit DC. However, a poly-silicon thin film  
15 transistor may be applied therein. Furthermore, the p-channel amorphous silicon thin film transistors may be applied to all the thin film transistors Tr11 to Tr13. Here, in the case where the p-channel thin film transistors are applied thereto, the signal is set in  
20 such a manner that the high and low of the ON level and the OFF level thereof are reversed.

Furthermore, in the present embodiment, as shown in FIG. 1, an explanation is made by showing a circuit configuration provided with three thin film transistors  
25 Tr11 to Tr13 as the drive circuit DC provided on each of the display pixels PX. However, the present invention is not limited thereto. That is, it goes



without saying that a different circuit configuration may be provided on condition that the drive circuit realizes a current/voltage conversion function of converting into a voltage component a gradation current supplied in accordance with the display data by using a single thin film transistor to accumulate the voltage component in the capacitor connected between the gate and the source of the transistor or the parasitic capacitance, and a drive function of controlling a driving current which is supplied to the optical element (the organic EL element) on the basis of the accumulated voltage component.

Furthermore, in the display drive apparatus and the drive control method of the display pixel, there is explained a case in which a pre-charge voltage  $V_{pre}$  having a voltage value based on the threshold compensation data is applied to each of the display pixels PX via the data line DL from the compensation voltage DAC 150, as the pre-charge operation. However, the present invention is not limited thereto. In short, the apparatus and the method will do only if the apparatus and the method enable holding the voltage component (the voltage component corresponding to the threshold voltage  $V_{th13}$  peculiar to the drive transistor Tr13) for compensating for the threshold voltage of the current  $I_{ds}$  between the drain and the source of each drive transistor Tr13 provided on the

drive circuit DC of each of the display pixels PX. For example, there may be provided a configuration in which a pre-charge current having a current value based on the threshold compensation data is applied to each of the display pixels PX via the data line DL from the display drive apparatus 100.

<Display Apparatus>

Next, there will be explained a display apparatus and a drive control method thereof according to the present invention with reference to the drawings.

FIG. 15 is a schematic block diagram showing one example of an entire configuration of the display apparatus according to the present invention, and FIG. 16 is a schematic structural diagram showing one example of a display panel which is applied to the display apparatus according to the embodiment and a peripheral circuit (a selection driver, a power source driver) thereof. Here, the same components as those of the display drive apparatus and the display pixel (the drive circuit) described above in the present embodiment are denoted by the same or equivalent reference numerals, and explained with reference to the drawings.

As shown in FIGS. 15 and 16, a display apparatus 200 according to the embodiment generally comprises: a display panel 210 having a plurality of display pixels arranged in a matrix form of n rows x m columns (n and

m are arbitrary integer numbers), each of the plurality of display pixels comprising a driving current DC having the same circuit configuration EM as the above-described embodiment and an organic EL element (an optical element) OEL in the vicinity of each intersection of a plurality of selection lines SL arranged in a row direction and a plurality of data lines DL arranged in a column direction; a selection driver (a selection drive unit) 220 connected with the selection lines SL of the display panel 210, for sequentially applying a selection signal Ssel at a predetermined timing for each of the selection lines SL; a power source driver (a power source drive unit) 230 connected with power supply voltage lines VL arranged in a row direction in parallel with each of the selection lines SL, the power source driver sequentially applying a power supply voltage Vsc on a predetermined voltage level at a predetermined timing for each power supply voltage line VL; a data driver (a data drive unit) 240 connected with the data lines DL of the display panel 210, the data driver detecting a threshold voltage at the time concerned of a switching element (a thin film transistor) for drive provided on a display pixel PX (a drive circuit DC) in each column via each of the data lines DL in the above-described threshold voltage detection period Tdec while applying to a display pixel PX in each column a pre-charge

voltage  $V_{pre}$  corresponding to the threshold voltage peculiar to the switching element of the display pixel PX via each of the data lines DL in the display drive period  $T_{cyc}$  followed by supplying a gradation signal (a gradation current  $I_{data}$ , or a non-light emitting display voltage  $V_{zero}$ ) corresponding to each display data; a system controller 250 for generating and outputting a selection control signal, a power source control signal and a data control signal for controlling an operation state of at least the selection driver 220, the power source driver 230, and the data driver 240 on the basis of a timing signal which is supplied from a display signal generation circuit 260 which will be described later; and a display signal generation circuit 260 for generating display data (luminance gradation data) including digital signals on the basis of an image signal supplied from the outside of the display apparatus 200 to supply the data to the data driver 240 while extracting or generating a timing signal (a system clock or the like) for displaying predetermined image information on the display panel 210 on the basis of the display data to supply the timing signal to the system controller 250.

Hereinafter, there will be concretely explained each of the configurations.

(Display Panel)

In the same manner as in the display pixel shown in the above embodiment (refer to FIG. 1), each of the display pixels PX arranged on the display panel 210 shown in FIG. 6 comprises: a drive circuit DC for generating a driving current  $I_{em}$  corresponding to display data on the basis of the selection signal  $S_{sel}$  applied via the selection lines SL from the selection driver 220, the power supply voltage  $V_{sc}$  applied via the power supply voltage lines VL from the power source driver 230, and the gradation signal (the gradation current  $I_{data}$ , or the non-light emitting display voltage  $V_{zero}$ ) supplied via the data lines DL from the data driver 240; and an organic EL element (an optical element) OEL for performing a light emitting operation with a predetermined luminance gradation in accordance with a current value of the driving current  $I_{em}$  supplied from the drive circuit DC. In the present embodiment, there is shown a case in which the organic EL element OEL is applied as an optical element as in the above embodiment (refer to FIG. 1). Other optical elements may be applied as long as they are current control type optical elements for performing a light emitting operation with a predetermined luminance gradation in accordance with the current value of the driving current.

(Selection Driver)

The selection driver 220 sets the display pixels PX in each row in a selection state by applying an ON level (a high level in the display pixel described  
5 above) selection signal Ssel to each of the selection lines SL on the basis of the selection control signal supplied from the system controller 250. Specifically, the display pixels PX in each row are sequentially set in a selection state by sequentially performing for  
10 each row at a predetermined timing an operation of applying the selection signal Ssel to the selection line SL of the row in a period in which a threshold voltage detection operation, and a display drive operation (a pre-charge operation and a writing  
15 operation) except for a light emitting operation are performed with respect to the display pixels PX in each row.

Here, for example, as shown in FIG. 16, the selection driver 220 comprises: a known shift register  
20 221 for sequentially outputting a shift signal corresponding to the selection line SL of each row on the basis of a selection clock signal SCK and a selection start signal SST supplied as the selection control signal from the system controller 250 which  
25 will be described later; and an output circuit unit (an output buffer) 222 for converting the shift signal output from the shift register 221 into a predetermined

signal level and outputting the signal as the selection signal Ssel to each selection line SL on the basis of an output control signal SOE supplied as the selection control signal from the system controller 250.

5 (Power Source Driver)

The power source driver 230 applies, on the basis of the power source control signal supplied from the system controller 250, a high-potential power supply voltage Vsc (= Ve) to the power supply voltage line VL of the row only in the light emitting operation period with respect to the display pixels PX in each row, and applies a low-potential power supply voltage Vsc (= Vs) thereto in an operation period except for a light emitting operation period (a threshold voltage detection period Tdec, and a pre-charge period Tth and a writing operation period Twrt in the display drive period Tcyc).

Here, in the same manner as the selection driver 220, the power source driver 230 comprises, for example, as shown in FIG. 16: a known shift register 231 for sequentially outputting a shift signal corresponding to the power supply voltage line VL of each row on the basis of a clock signal VCK and a start signal VST supplied as the power source control signal from the system controller 250; and an output circuit unit 232 for converting the shift signal into a predetermined voltage level (voltage values Ve, Vs) and

outputting the shift signal to each power supply voltage line VL as the power supply voltage Vsc on the basis of an output control signal VOE supplied as the power source control signal.

5 (Data Driver)

The data driver 240 has, in the same manner as the display drive apparatus 100 shown in the above embodiment: the shift register data register portion 110, the display data latch unit 120, the gradation  
10 signal generation unit 130, the detection voltage ADC 140, the compensation voltage DAC 150, the frame memory 170 and the data line input/output switching unit 180 which are shown in FIG. 1.

In FIG. 1, there is shown a configuration  
15 corresponding to a single display pixel PX. In the data driver 240 according to the embodiment, the data line input/output switching unit 180 is provided for each of the data lines DL arranged in a column direction on the display panel 210. Consequently,  
20 either an operation of applying any one of a detecting voltage Vpv, a pre-charge voltage Vpre, and a gradation signal (a gradation current Idata, or a non-light emitting display voltage Vzero) simultaneously in parallel or sequentially for each row, or an operation  
25 of measuring the detection voltage Vdec is selectively performed with respect to the display pixels PX in each row by switching and controlling the voltage detection



side switch 181, the input selection switch 182, and the writing side switch 183 which constitute the data line input/output switching unit 180 on the basis of the drive control method described above.

5           That is, the shift register/data register unit 110 provided on the data driver (display drive apparatus) 240 according to the embodiment sequentially fetches one row portion of display data supplied from the display signal generation circuit 260 on the basis of  
10 the output timing of the shift signal generated in accordance with one row portion of display pixels PX in each column (or the data line DL of each column) on the basis of the data control signal (a shift clock signal, and a sampling start signal) supplied from the system  
15 controller 250.

          In the display data latch unit 120, one row portion of the display data fetched in the shift register/data register unit 110 is transferred on the basis of the data control signal (the data latch  
20 signal), and the display data are held for each the display pixels PX in each column.

          The gradation signal generation unit 130, on the basis of each of the display data held in the data latch unit 120, generates a gradation current  $I_{data}$   
25 having a current value corresponding to the display data or a non-light emitting display voltage  $V_{zero}$  having a predetermined voltage value, and applies the

current or the voltage either simultaneously in parallel (in a package) or sequentially as the gradation signal.

Specifically, in the case where the display data are gradation display data for performing a normal gradation display which is accompanied by the light emitting operation of the organic EL element OEL, for example, the voltage is converted (a digital to analog conversion) into an analog signal voltage having a predetermined voltage value on the basis of a gradation reference voltage. Furthermore, a gradation current  $I_{data}$  having a current value corresponding to the display data is generated (a voltage-current conversion process), and output to the data line DL of each column at a predetermined timing. On the other hand, in the case where the display data are non-light emitting display data which are not accompanied by the light emitting operation of the organic EL element (the optical element) OEL, a predetermined non-light emitting display voltage  $V_{zero}$  is output to the data line DL of the column at a predetermined timing.

The non-light emitting display voltage  $V_{zero}$  is set to an arbitrary voltage value which is required for setting (or approximating to 0 V) the voltage  $V_{gs}$  (both-end potential  $V_c$  of the capacitor  $C_s$ ) between the gate and the source to 0 V by discharging the electric charges accumulated in between the gate and the source

(in the capacitor Cs) of the switching element (the thin film transistor Tr13) for drive provided on the drive circuit DC constituting the display pixel PX by the pre-charge operation, as described in the drive control method (non-light emitting display operation). Here, the non-light emitting display voltage Vzero and the gradation reference voltage for generating the gradation current Idata are supplied, for example, from a power source supply circuit or the like (not shown).

10           The detection voltage ADC 140 outputs the threshold data to the threshold data latch unit 160 by measuring simultaneously in parallel with the detection voltage Vdec or sequentially as the detection voltage Vdec the threshold voltage (or the voltage component corresponding to the threshold voltage) at the time of the execution of the threshold voltage detection operation in the switching element (the thin film transistor Tr13) for drive provided on the display pixel PX of each column in a row set in a selection state via each of the data lines DL, and converting the threshold voltage into threshold voltage detection data including the digital signal voltage in the threshold voltage detection operation prior to the display operation (the display drive operation of the display pixel PX) of the image information in the display panel 210.

          The compensation voltage DAC 150 outputs a

predetermined detecting voltage  $V_{pv}$  simultaneously in parallel or sequentially via each of the data lines DL to the display pixel PX (the switching element for drive provided on the drive circuit DC) of each column in a row set in a selection state in the threshold voltage detection operation prior to the display operation (the display drive operation of the display pixels PX) of the image information in the display panel 210.

Further, the compensation voltage DAC 150 generates a pre-charge voltage  $V_{pre}$  on the basis of threshold compensation data for compensating for the threshold voltage peculiar to the switching element provided on the display pixel PX of each column in a row set in a selection state and outputs the pre-charge voltage simultaneously in parallel or sequentially to the display pixel PX of each column via each of the data lines DL in the display operation (the display drive operation of the display pixel PX) of the image information in the display panel 210.

The threshold data latch unit 160 fetches and holds the threshold detection data which are converted and generated by the detection voltage ADC 140 for each display pixel PX of each column in a row set in a selection state in the threshold voltage detection operation prior to the display operation of the image information (the display drive operation of the display

pixel PX) in the display panel 120 followed by allowing the shift register/data register unit 110 to fetch the one row portion of the threshold detection data which are sequentially transferred to the frame memory 170.

5           Moreover, the threshold data latch unit 160 fetches and holds the threshold compensation data corresponding to the threshold detection data for each display pixel PX of each column in a row set in a selection state and transfers the threshold  
10           compensation data to the compensation voltage DAC 150 for each column, the threshold compensation data being sequentially fetched from the frame memory 170 by the shift register/data register unit 110 in the display operation (the display drive operation of the display  
15           pixel PX) of the image information in the display panel 210.

(System Controller)

          The system controller 250 generates and outputs the selection control signal, the power control signal,  
20           and the data control signal for controlling the operation state with respect to the selection driver 220, the power source driver 230 and the data driver 240 to operate respective driver at a predetermined timing. Consequently, the selection signal Ssel having  
25           a predetermined voltage level, the power supply voltage Vsc, the gradation signal (the gradation current Idata or the non-light emitting voltage Vzero) are generated

and output to allow the threshold voltage detection operation (a voltage application operation, a voltage convergence operation and a voltage reading operation) and the display drive operation (a pre-charge operation, a writing operation, and a light emitting operation) in each of the display pixels (the drive circuit DC) to be performed, thereby performing a control for displaying predetermined image information based on the image signal on the display panel 210.

5

10

(Display Signal generation circuit)

15

20

25

The display signal generation circuit 260 extracts a luminance gradation signal component from an image signal supplied, for example, from the outside of the display apparatus 200, and supplies for each one row of the display panel 210 the luminance gradation signal component as display data (luminance gradation data) including digital signals to the shift register/data register unit of the data driver 240. Here, in the case where the image signal includes a timing signal component for regulating the display timing of the image information like a television broadcast signal (a composite image signal), the display signal generation circuit 260 may have a function of extracting a timing signal component and supplying the component to the system controller 250 in addition to a function of extracting the luminance gradation signal component. In this case, the system controller 250 generates

control signals which are respectively supplied to the selection driver 220, the power source driver 230 and the data driver 240 on the basis of the timing signal supplied from the display signal generation

5 circuit 260.

Incidentally, in the display apparatus according to the embodiment, there is shown a configuration in which the selection driver 220 connected with the selection lines SL and the power source driver 230  
10 connected with the power supply voltage lines VL are individually provided in the periphery of the display panel 210. However, as has been explained in the drive control method (refer to FIGS. 7 and 12) of the above-described display drive apparatus (corresponding to the  
15 data driver 240), the selection signal Ssel applied to the selection line SL (from the selection driver 220) and the power supply voltage Vsc applied to the power supply voltage line VL (from the power source driver 230) are set to a state in which signal levels have a  
20 reverse relation with each other with respect to the display pixel PX in a specific row. Consequently, in the case where each of the display pixels PX which are arranged on the display panel 210 is allowed to perform a display drive operation (particularly, a light  
25 emitting operation) independently in a row unit (specifically, in the case of a first example of the drive control method of the display apparatus which

will be described later), a configuration which is deprived of the power source driver 230 can be applied by providing a configuration in which the signal level of the selection signal Ssel generated by the selection driver 220 is reversed (a level reverse treatment), and furthermore the level of the signal is converted so as to have a predetermined voltage level to apply the level of the signal to the power supply voltage line VL in the specific row.

10           <Display Drive Control Method of Display Apparatus>

Next, there will be explained the drive control method (the display drive operation) in the display apparatus according to the embodiment.

15           The timing for performing the series of threshold voltage detection operation is controlled on the basis of the respective control signals output from the system controller 250.

20           First, there will be explained first to fourth examples and variations thereof of the display drive control method of the display apparatus in which the threshold voltage detection operation is controlled so that the operation is performed at an arbitrary timing prior to the display drive operation, for example, at the time of the start-up of the system (the display apparatus) and at the time of the recess thereof.



(First Example)

FIG. 17 is a timing chart illustratively showing a first example of the display drive method of the display apparatus according to the embodiment.

5 Here, an explanation will be omitted with respect to the drive control method (refer to FIGS. 2 and 7) which is the same as the case in the display drive apparatus and the display pixel (the drive circuit) shown in the above-described embodiment.

10 Incidentally, for the sake of explanation, the present embodiment has conveniently explained that a configuration is provided in which twelve rows (the first to twelfth rows) of display pixels are arranged. However, it goes without saying that the present  
15 invention is not limited thereto.

In the first example of the drive control operation of the display apparatus 200 according to the embodiment, generally, as shown in FIG. 17, a threshold voltage detection operation (a threshold voltage  
20 detection period  $T_{dec}$ ) is first performed for detecting a threshold voltage (or a voltage component corresponding to the threshold voltage) of the drive switching element (the thin film transistor) for controlling the light emitting state of the organic EL  
25 element (optical element) OEL in the drive circuit DC provided on each display pixel PX with respect to all the display pixels PX arranged on the display panel 210

prior to the display drive operation (the display drive period) of displaying the image information on the display panel 210. Thereafter, the voltage component corresponding to the threshold voltage of the switching element is held (the threshold voltage is compensated) in the display pixel PX for each row of the display panel 210 within one frame period  $T_{fr}$  (about 16.7 msec) followed by writing a gradation signal (a gradation current  $I_{data}$ , or a non-light emitting display voltage  $V_{zero}$ ) corresponding to display data and sequentially repeating with respect to all the rows the display drive operation (the display drive period  $T_{cyc}$ ) of allowing the display pixel PX (the organic EL element OEL) in each row to perform the light emitting operation with a luminance gradation corresponding to the display data (the gradation signal), thereby displaying one screen portion of image information of the display panel 210.

Here, with respect to the threshold voltage detection operation (the threshold voltage detection period  $T_{dec}$ ), in the same manner as the embodiment described above, a series of the drive control is sequentially performed with respect to the display pixels PX for each row of the display panel 210 at a predetermined timing for each row, the control comprising: a voltage application operation (a voltage application period  $T_{pv}$ ) of applying a predetermined

detecting voltage  $V_{pv}$ ; a voltage convergence operation  
(a voltage convergence period  $T_{cv}$ ) of converging a  
voltage component based on the detecting voltage  $V_{pv}$  to  
the threshold voltage at the detection time of each  
5 switching element (the thin film transistor  $Tr_{13}$ ); and  
a voltage reading operation (a voltage reading period)  
of measuring (reading) a threshold voltage  $V_{th13}$  after  
the voltage convergence in each display pixel  $PX$  and  
storing the threshold voltage as threshold detection  
10 data for each display pixel  $PX$ .

Here, in the timing chart shown in FIG. 17, a  
hatching portion of each row of the threshold voltage  
detection period  $T_{dec}$  shown by slant lines denotes the  
series of threshold voltage detection operation shown  
15 in the embodiment. Each operation includes the voltage  
application operation, the voltage convergence  
operation and the voltage reading operation. The  
threshold voltage detection operation is sequentially  
performed by shifting the timing in such a manner that  
20 the threshold voltage detection is not overlapped on  
each other for each row in terms of time.

Furthermore, with respect to the display drive  
operation (the display drive period  $T_{cyc}$ ) as well, in  
the same manner as the embodiment described above, a  
25 series of drive control is sequentially performed with  
respect to display pixels  $PX$  (the drive circuit  $DC$ ) for  
each row of the display panel 210 in one frame period

Tfr at a predetermined timing for each row. The drive control includes a pre-charge operation, a writing operation, and a light emitting operation. The pre-charge operation (a pre-charge period) writes a pre-charge voltage  $V_{pre}$  for compensating for a threshold voltage of each display pixel PX on the basis of the threshold detection data (threshold compensation data) detected and stored with respect to each display image PX (a switching element for drive) by the threshold voltage detection operation. The writing operation (a writing operation period  $T_{wrt}$ ) writes a gradation signal (a gradation current  $I_{data}$ , or a non-light emitting voltage charge period  $T_{th}$ ) corresponding to display data. The light emitting operation (a light emitting operation period  $T_{em}$ ) allows each display pixel PX (the organic EL element OEL) to emit light with a luminance gradation corresponding to the display data (the gradation signal) at a predetermined timing.

Here, in the timing chart shown in FIG. 17, a hatching portion (denoted as " $T_{th} + T_{wrt}$ ") of each row of the display drive period  $T_{cyc}$  shown by a cross mesh denotes the pre-charge operation and writing operation shown in the embodiment described above. In particular, in the embodiment, the pre-charge operation and the writing operation for each row are sequentially performed with a time shift so that the pre-charge operation and the writing operation for each are not

overlapped on each other, whereby the light emitting operation is performed in order from the display pixel PX in a row with which the writing operation is completed. That is, only the light emitting operation  
5 out of the display drive operation for each row is performed so that only the light emitting operation is overlapped on each other (partially in parallel) in terms of time among respective rows.

Hereinafter, the first example of the display  
10 drive operation according to the embodiment will be further explained in detail.

As shown in FIG. 17, in the pre-charge period  $T_{th}$  and the writing operation period  $T_{wrt}$  (shown by the cross mesh in the figure) of the display drive  
15 operation (the display drive period  $T_{cyc}$ ), an ON level (a high level) selection signal  $S_{sel}$  is applied to the selection line SL in a specific row (for example, the  $i$ -th row;  $1 \leq i \leq 12$ ) of the display panel 210 from the selection driver 220 as shown in FIGS. 7 and 12 with  
20 the result that the display pixel PX in the  $i$ -th row is selectively set in a selection state. Furthermore, in the pre-charge period  $T_{th}$  and the writing operation period  $T_{wrt}$ , a low-potential power supply voltage  $V_{sc}$  ( $= V_s$ ) is applied to the power supply voltage line VL  
25 of the  $i$ -th row from the power source driver 230.

Then, in synchronization with this timing (denoted conveniently as "selection timing"), an individual

pre-charge voltage  $V_{pre}$  for compensating for the threshold voltage of the switching element (the thin film transistor) provided on each display pixel PX (the drive circuit DC) is first applied to each of the data lines DL from the compensation voltage DAC 150 provided on the data driver 240 in the pre-charge period  $T_{th}$ . As a result, a voltage component corresponding to the threshold voltage peculiar to the switching element (the thin film transistor Tr13) is held (electric charges are accumulated) to the control terminal (specifically, between the gate and source terminals of the thin film transistor Tr13; the both ends of the capacitor  $S_c$ ) of the switching element of each display pixel PX in the  $i$ -th row.

Subsequently, in synchronization with the selection timing, a gradation signal (a gradation current  $I_{data}$ , or a non-light emitting display voltage  $V_{zero}$ ) corresponding to display data of each display pixel PX (the driving current DC) is individually applied to the data line DL of each column from the gradation signal generation unit 130 provided on the data driver 240 in the writing operation period  $T_{wrt}$ . Consequently, the voltage component corresponding to the gradation signal (the display data) is held (electric charges are accumulated or discharged) in the control terminal (specifically, between the gate and source terminals of the thin film transistor Tr13; the

both ends of the capacitor  $C_s$ ) of the switching element of the display pixel PX of each column in the  $i$ -th row.

Here, in the same manner as the drive control method described above, in the case where the display data supplied from the display signal generation circuit 260 to the data driver 240 are gradation display data (a gradation value except for 0 bit; the gradation display operation) which are accompanied by the light emitting operation of the organic EL element (the optical element) OEL, a gradation current  $I_{data}$  corresponding to the display data is generated by the data driver 240 (the gradation signal generation unit 130) to be supplied to the display pixel PX of the corresponding column. On the other hand, in the case where the display data are non-light emitting display data (a gradation value having 0 bit; the non-light emitting operation) which are not accompanied by the light emitting operation of the organic EL element (the optical element) OEL, a predetermined non-light emitting display voltage  $V_{zero}$  is generated by the data driver 240 to be supplied to the display pixel PX of the corresponding column.

Accordingly, with respect to the display pixel PX which is supplied with the gradation current  $I_{data}$  as the gradation current, a voltage component (an effective voltage  $V_{data}$ ) based on the gradation current  $I_{data}$  is charged by being added to the voltage

component corresponding to the threshold voltage  $V_{th13}$  which is charged in each display pixel PX in the row (between the gate and the source of the driving thin film transistor) by the pre-charge operation.

5           Furthermore, in the display pixel which is supplied with the non-light emitting display voltage  $V_{zero}$  as the gradation signal, the voltage component (the electric charges) corresponding to the threshold voltage  $V_{th13}$  charged in each display pixel PX in the  
10 row is substantially completely discharged with the result that the voltage (0 V) corresponding to the display data is set to the switching element for drive (between the gate and the source of the thin film transistor).

15           Next, as shown in FIG. 17, in the light emitting operation period  $T_{em}$  (denoted by a dot hatch in the figure) of the display drive operation (the display drive period  $T_{cyc}$ ), an OFF level (a low level) selection signal  $S_{sel}$  is applied to the selection line  
20 SL in the  $i$ -th row from the selection driver 220 as shown in FIGS. 7 and 12, whereby each of the display pixels PX in the  $i$ -th row is set to a no-selection state. Furthermore, the application of the gradation signal to each data line DL from the gradation signal  
25 generation unit 130 provided on the data driver 240 is blocked.

In synchronization with this timing, a



high-potential power supply voltage  $V_{sc}$  ( $= V_e$ ) is applied to the power supply voltage line VL of the  $i$ -th row from the power source driver 230. Consequently, a driving current  $I_{em}$  corresponding to display data (the gradation signal) is supplied to the organic EL element OEL on the basis of the voltage component charged in the display pixel PX in the  $i$ -th row, thereby performing a light emitting operation or non-light emitting operation with a predetermined luminance gradation.

Here, in the case where the gradation signal written in each of the display pixels PX is based on the gradation display data (the gradation value except for 0 bit) accompanied by the light emitting operation of the organic EL element OEL, a driving current  $I_{em}$  which is equal to the gradation current  $I_{data}$  is supplied to the organic EL element OEL, and the organic EL element OEL performs a light emitting operation (a gradation display operation) with a predetermined luminance gradation corresponding to the display data. On the other hand, in the case where the gradation signal is based on the non-light emitting display data (the 0 bit gradation value) which is not accompanied by the light emitting operation of the organic EL element OEL, the driving current  $I_{em}$  is not supplied to the organic EL element OEL and the light emitting operation is not performed (a non-light emitting display

operation; a black display operation).

Such a light emitting operation (or non-light emitting operation) is started in synchronization with the completion timing of the pre-charge operation and the writing operation (immediately after the timing thereof) with respect to the display pixel PX in the  $i$ -th row, and the light emitting operation is continuously performed with respect to the  $i$ -th row until the start timing (immediately before the start thereof) of the next pre-charge operation and writing operation, for example, in one frame period  $T_{fr}$ .

Furthermore, in synchronization with the completion timing of the pre-charge operation and the writing operation (immediately after the timing thereof) with respect to the display pixel PX in the  $i$ -th row, the same pre-charge operation and writing operation as those described above are started with respect to the display pixel PX in the adjacent  $(i+1)$ -th row, so that a light emitting operation with respect to the  $(i+1)$ -th row is started in synchronization with the completion timing of the pre-charge operation and the writing operation (immediately after the timing thereof).

As a result, as shown in FIG. 17, an operation of charging an appropriate voltage component corresponding to display data (the gradation signal) to each display pixel PX by the pre-charge operation and the writing

operation is sequentially performed with a shift of timing with respect to the display pixel PX (the drive circuit DC) for each row of the display panel 210 in one frame period Tfr so that the respective rows are not overlapped on each other. In the meantime, there is realized a drive control operation in which the light emitting operation (or non-light emitting operation) is performed so as to be overlapped partially in time on each other between respective rows with a predetermined luminance gradation in order from the display pixels PX in the row with which the pre-charge operation and the writing operation are completed.

In this manner, according to the display apparatus of the embodiment and the drive control method thereof, there is provided a configuration in which the display drive apparatus and the display pixel corresponding to the drive control method of the normal gradation specification mode are applied to each data driver and display panel. As a consequence, at the normal gradation display operation (except for the time of the non-light emitting operation), a driving current to be supplied to the optical element (the organic EL element) can be controlled on the basis of a current value of a gradation current corresponding to the display data. In addition, a current level of the gradation current is converted into a voltage level by

a single switching element (a driving thin film transistor) provided on each display pixel, and the current value of the driving current can be set on the basis of the voltage level. Consequently, it is possible to stably realize desired light emitting characteristics for a long time without being affected by a variation in element characteristics (the threshold voltage) of the switching element (the thin film transistor) for drive provided on each display pixel (the drive circuit) and change with the lapse of time.

Furthermore, with respect to the display apparatus according to the embodiment and the drive control method thereof, prior to the writing operation of the display data (the gradation signal) to each display pixel and the light emitting operation of the optical element (the organic EL element), a threshold voltage of a switching element (a driving thin film transistor) provided on a display pixel (a drive circuit) is first detected and stored with respect to all the display pixels arranged on the display panel (the threshold voltage detection operation) followed by applying a pre-charge voltage corresponding to the detected threshold voltage to the switching element provided on the display pixel (the drive circuit) provided on the display pixel immediately before the writing operation of the display data to each display pixel (the

pre-charge operation). Consequently, it is possible to provide a setting of a state in which the voltage component (the electric charges) corresponding to the threshold voltage peculiar to the switching element is held in the control terminal (between the gate and the source of the driving thin film transistor) of the switching element provided on each display pixel (a state in which the threshold voltage which is changed with the  $V_{th}$  shift is individually compensated). Thus, in the writing operation of the display data, the voltage component may be charged by adding only the voltage component corresponding to the display data thereto, so that the voltage component based on the display data can be swiftly and appropriately written.

Therefore, in the drive control method of the current gradation specification mode, the voltage component corresponding to the display data can be swiftly and appropriately written even at the time of the display operation with a low luminance gradation at which the gradation current corresponding to the display data becomes very small. Accordingly, the generation of the writing insufficiency in each display pixel can be suppressed, and an influence of the  $V_{th}$  shift of the switching element (the driving thin film transistor) provided on each display pixel can be eliminated. As a result, desired image information can be favorably displayed for a long period with an

appropriate luminance gradation corresponding to the image signal.

Furthermore, at the time of the non-light emitting display, a predetermined non-light emitting display voltage corresponding to the display data (a 0 bit gradation value) is supplied to each display pixel, whereby substantially all the voltage components held in the switching element for drive (between the gate and the source of the thin film transistor) can be swiftly charged. As a consequence, the supply of the driving current to the optical element (organic EL element) can be securely blocked, and the non-light emitting display operation can be stably realized.

Further, according to the display apparatus according to the embodiment and the drive control method thereof, the apparatus is driven and controlled so that the light emitting operation continues until the start timing of the next pre-charge period and writing operation period in a period except for the pre-charge period and the writing operation period out of one frame period in each row of the display panel. Consequently, the light emitting time of each display pixel (optical element) can be set to a long time, and the image information can be displayed at a high light emitting luminance. In other words, this means that even in the case where the light emitting luminance of each display pixel is decreased, the image information

can be displayed at a sufficient luminance.  
Accordingly, the consumed power associated with the  
display of the image information can be decreased.

(Second Example)

5           Next, by referring to the drawings, there will be  
explained a second example of the drive control method  
which is applicable to the display apparatus according  
to the embodiment.

10           FIG. 18 is a timing chart illustratively showing  
the second example of the drive control method of the  
display apparatus according to the embodiment.

15           Here, an explanation is simplified with respect to  
the drive control method which is the same as the first  
example (refer to FIG. 17) described above. In  
addition, the hatching portion in the figures shows the  
same operation state as the first example described  
above.

20           In addition, FIG. 19 is a structural diagram of a  
primary part showing one example of a display apparatus  
for realizing the second example of the drive control  
method of the display apparatus according to the  
embodiment.

25           Here, the same components as those of the display  
apparatus shown in the embodiment described above will  
be explained by attaching the same reference numerals  
and symbols.

In the second example of the drive control

operation of the display apparatus 200 according to the embodiment, in the same manner as the first example, the threshold voltage detection operation is sequentially performed on all the display pixels PX arranged on the display panel 210 at a predetermined timing for each row followed by compensating for the threshold voltage with respect to the display pixel PX (the drive circuit DC) for each row of the display panel 210 in one frame period  $T_{fr}$  (about 16.7 msec). Thereafter, an operation ("T<sub>th</sub> + T<sub>wrt</sub>" in the drawing) of writing the gradation signal (the gradation current  $I_{data}$  or the non-light emitting display voltage  $V_{zero}$ ) corresponding to display data is sequentially repeated with respect to all the rows, and the display drive operation (the display drive period  $T_{cyc}$ ) of allowing a plurality of rows of the display pixels PX (the organic EL elements OEL) which are previously divided into groups to perform a light emitting operation simultaneously with a luminance gradation corresponding to the display data (the gradation signal) is performed to display image information in one screen portion of the display panel 210.

Here, in the second example of the display drive operation according to the embodiment, specifically, all the display pixels PX arranged on the display panel 210 are first divided into groups for the plurality of rows in advance. For example, as shown in FIG. 18,



twelve rows of display pixels PX constituting the display panel 210 are divided into groups with setting four rows of display pixels PX to one group like the adjacent first to fourth rows, the adjacent fifth to eighth rows and the adjacent ninth to twelfth rows.

Then, in one frame period  $T_{fr}$ , the pre-charge operation and the writing operation are sequentially performed with respect to the display pixel PX (the drive circuit DC) for each row of the display panel 210 with the shift of timing. Next, in each of the groups, the light emitting operation is performed with respect to the group for which the writing operation to the display pixels PX in all the rows which are included in the group is completed.

For example, in the group in which the display pixels PX in the first to fourth rows are set to one set of group, the pre-charge operation and the writing operation are performed in order from the display pixels PX in the first row. At a timing at which the writing operation is completed with respect to the display pixels PX in the fourth row, the four rows of the display pixels PX in the group simultaneously perform the light emitting operation on the basis of the display data (gradation signal) written in each of the display pixels PX. This light emitting operation continues until the timing at which the next pre-charge operation and the writing operation continue.

Furthermore, at a timing at which the writing operation is completed with respect to the display pixels PX in the fourth row, the pre-charge operation and the writing operation are performed in order from the display pixels PX in the fifth row of a group in which the display pixels PX in the fifth to eighth rows are set to one set of group. Hereinafter, the same operations are repeatedly performed until the writing operation is completed with respect to the display pixels PX in the twelfth row of the next group.

In this manner, the display apparatus is driven and controlled in such a manner that the pre-charge operation and the writing operation are sequentially performed at a predetermined timing for each row, and the light emitting operation is simultaneously performed with respect to all the display pixels PX of the group at the time when the writing operation to the display pixels PX in all the rows included in the group is completed with respect to each of the preset group. Consequently, in the display drive operation according to the second example, the display apparatus is controlled in such a manner that all the display pixels in the group perform the non-light emitting operation to set all the display pixels to a non-light emitting state (a black display state) in a period in which the pre-charge operation and the writing operation are performed with respect to the display pixels PX in

another row of the same group.

In such a display drive operation can be realized, for example, as shown in FIGS. 7 and 12, by controlling the display apparatus in such a manner that a low-  
5 potential power supply voltage  $V_{sc}$  ( $= V_s$ ) applied to the power supply voltage line VL in the row by the power source driver 230 at the time of the pre-charge operation and the writing operation is continuously applied in a period in which the pre-charge operation  
10 and the writing operation are performed to the display pixels PX in all the rows included in the same group followed by applying a high-potential power supply voltage  $V_{sc}$  ( $= V_e$ ) to the power supply voltage lines VL in all the rows of the group after the completion of  
15 the pre-charge operation and the writing operation to all the rows included in the group.

Furthermore, the same drive control, for example, as shown in FIG. 19, can be realized by applying a configuration in which a single power supply voltage  
20 line VL is branched and commonly connected with the display pixels PX in the first to fourth rows (or the fifth to eighth rows, and the ninth to twelfth rows) so that the single power supply voltage  $V_{sc}$  is simultaneously applied for each of the groups, and  
25 applying the single power supply voltage  $V_{sc}$  applied from the power source driver 230 to the display pixels in all the rows included in the same group.

Incidentally, in the present embodiment as well, in the same manner as the case shown in FIG. 16, individual selection lines SL are arranged for each row of the display panel 210 with the result that the individual selection signals Ssel are applied from the selection driver 220 at different timings.

Therefore, according to the drive control method (the display drive operation) of the display apparatus, an operation and an advantage same as those of the drive control method according to the first example described above can be obtained. In addition, the light emitting operation of the display pixel (the optical element) is not performed and the non-light emitting operation (the black display operation) is performed in a period in which the pre-charge operation and the writing operation are performed to the display pixel in each row of the same group. Consequently, the flickering of moving images can be suppressed and the clarity thereof can be improved at the time of the display operation of the moving images by means of the continuous display of a plurality of image information items (static images)

Here, in the timing chart shown in FIG. 18, twelve rows of the display pixels PX constituting the display panel 210 are divided into three sets of groups, and the display apparatus is controlled in such a manner that the light emitting operation is simultaneously

performed at timings different from one group to another. As a result, the ratio of the black display period (the black insertion ratio) by the non-light emitting operation in one frame period  $T_{fr}$  becomes approximately 33%. Here, in human sense of vision, generally, the presence of approximately 30% or more of the black insertion ratio constitutes an indication for a visual recognition of moving images which is clear and free from flickering thereof. Consequently, according to the present drive control method, there can be realized a display apparatus having a favorable image quality.

(Third Example)

Next, there will be explained a third example of the drive control method which is applicable to the display apparatus according to the embodiment with reference to the drawings.

FIG. 20 is a timing chart illustratively showing the third example of the display control method of the display apparatus according to the embodiment.

Here, an explanation on the drive control method same as that of the second example (refer to FIG. 18) described above will be simplified.

As shown in FIG. 20, the third example of the drive control method of the display apparatus 200 according to the embodiment is configured in the same manner as the second example described above, such that

the threshold voltage detection operation is sequentially performed at a predetermined timing for each row with respect to all the display pixels PX arranged on the display panel 210 prior to the display drive operation followed by sequentially performing for each group for sequentially performing, within one frame period  $T_{fr}$  (about 16.7 msec), the pre-charge operation and the writing operation with a shift of time with respect to the display pixels PX for each row included in a specific group, in each group in which a plurality of rows of the display pixels PX which are not mutually adjacent are set to one set of group which pixels are arranged on the display panel 210.

Here, in the display drive operation according to the embodiment, for example as shown in FIG. 20, all the display pixels PX arranged on the display panel 210 are divided into three groups in which the display pixels PX in respective four rows are set to one set such as a set of the first, fourth, seventh and tenth rows, a set of the second, fifth, eighth and eleventh rows and a set of the third, sixth, ninth and twelfth rows.

For example, in the group in which the display pixels PX in the first, fourth, seventh and tenth rows are set to one set of group, the pre-charge operation and the writing operation are performed in order from the display pixels PX in the first row. At a timing at

which the writing operation is completed with respect to the display pixels PX in the tenth row, the four rows of the display pixels PX in the group perform simultaneously a light emitting operation on the basis of the display data (the gradation signal) written in each of the display pixels PX. This light emitting operation continues until the timing at which the next pre-charge operation and the next writing operation are started with respect to the display pixels PX in the first row.

Furthermore, at a timing at which the writing operation is completed with respect to the display pixels PX in the tenth row, the pre-charge operation and the writing operation are performed in order from the display pixels PX in the second row in the group in which the display pixels PX in the second, fifth, and eight and eleventh rows are set to one set of group. Hereinafter, the same operation is repeatedly performed until the pre-change operation and the writing operation are completed with respect to the display pixels PX in the twelfth row of the next group.

In this manner, for each row of each group, the pre-charge operation and the writing operation are sequentially performed at a predetermined timing. At the time when the writing operation to the display pixels PX in all the rows included in the group is completed, all the display pixels PX in the group are

driven and controlled so as to simultaneously perform a light emitting operation. Consequently, in the drive control operation according to the third example, in the same manner as the second example, the display apparatus is controlled in such a manner that all the display pixels in the group perform a non-light emitting operation (a black display operation) in a period in which the pre-charge operation and the writing operation are performed with respect to the display pixels PX in other rows of the same group.

Furthermore, in the same manner as the second example described above, such a display drive operation can be realized, for example, by controlling the display apparatus in such a manner that, in a period in which the pre-charge operation and the writing operation are performed with respect to the display pixels PX in other rows of the same group, the power supply voltage  $V_{sc}$  applied to each of the power supply voltage lines VL in the group from the power source driver 230 is held to a low potential state ( $V_{sc}$ ), and a high-potential power supply voltage  $V_{sc}$  ( $= V_e$ ) is applied to the power supply voltage lines VL in all the rows included in the group after the completion of the pre-charge operation and the writing operation to the display pixels PX in all the rows included in the group. Incidentally, in the same manner as the second example (refer to FIG. 19) described above, a



configuration may be applied in which the power supply voltage line VL is branched and arranged in such a manner that a single power supply voltage Vsc is applied to the display pixels PX in all the rows included in each group.

Therefore, according to the drive control method (the display drive operation) of the display apparatus, in the same manner as the drive control method according to the second example described above, the display apparatus is controlled in such a manner that twelve rows of the display pixels PX constituting the display panel 210 are divided into a plurality of groups of display pixels and the light emitting operation is performed simultaneously at timings different from one group to another. Consequently, a non-light emitting operation (a black display operation) is performed in a predetermined period in one frame period Tfr. In particular, since, in the present drive control method, the ratio of the black display period (the black insertion ratio) by the non-light emitting operation can be set approximately to 33%, a display apparatus having improved clearness can be realized by suppressing the flickering of the moving images.

Incidentally, in the drive control method according to the second and third examples, there has been explained a case in which the display pixels PX

constituting the display panel 210 are divided into three sets of groups. However, the present invention is not limited thereto. For example, it goes without saying that the number of the groups can be  
5 appropriately increased or decreased to be set.

(Modified Examples of Second and Third Examples)

Hereinafter, there will be described modified examples of the drive control method according to the second and third examples.

10 FIG. 21 is a timing chart illustratively showing a first modified example of the second example of the drive control method of the display apparatus according to the embodiment.

15 FIG. 22 is a timing chart illustratively showing a first modified example of the third example of the drive control method of the display apparatus according to the embodiment.

20 FIG. 23 is a timing chart illustratively showing a second modified example of the second example of the drive control method of the display apparatus according to the embodiment.

25 FIG. 24 is a timing chart illustratively showing a second modified example of the third example of the drive control method of the display apparatus according to the embodiment.

In the modified example (the first modified example) of the drive control method of the display

apparatus according to the second and third examples,  
as shown in FIGS. 21 and 22, the display pixels PX  
constituting the display panel 210 are divided into  
four sets of groups (four groups: a set of the first to  
5 third rows, a set of the fourth to sixth rows, a set of  
the seventh to ninth rows, and a set of the tenth to  
twelfth rows in FIG. 21; and four groups: a set of the  
first, fifth and ninth rows, a set of the second, sixth  
and tenth rows, a set of the third, seventh and  
10 eleventh rows, and a set of the fourth, eighth and  
twelfth rows in FIG. 22). The display apparatus is  
controlled in such a manner that the light emitting  
operation is performed simultaneously at timings  
different from one group to another. In this case, the  
15 ratio of the black display period (the black insertion  
ratio) owing to the non-light emitting operation in one  
frame period  $T_{fr}$  becomes 25%. As a result, the  
flickering of the moving images becomes a little less  
than 30% that is an indication at which no flickering  
20 of the moving images as described above can be  
observed, but a display apparatus having a relatively  
favorable image quality can be realized.

Furthermore, in the second modified example of the  
drive control method of the display apparatus according  
25 to the second and third examples, for example, as shown  
in FIGS. 23 and 24, the display pixels PX constituting  
the display panel 210 are divided into two sets of

groups (in FIG. 23, two groups of a set of the first to sixth rows and a set of the seventh to twelfth rows; in FIG. 24, two groups of a set of the odd number rows and a set of the even number rows). The display apparatus is controlled in such a manner that a light emitting operation is simultaneously performed at timings different from one group to the other. In this case, the ratio of the black display period (the black insertion ratio) by the non-light emitting operation in one frame period  $T_{fr}$  becomes 50% which exceeds 30% that is an indication at which no flickering of the moving images as described above can be observed, but the light emitting operation period becomes only a half of one frame period  $T_{fr}$ , which makes it impossible to display the image information at a sufficient luminance. Then, the image information can be provided at a sufficient luminance and with a favorable image quality.

(Fourth Example)

Next, there will be explained a fourth example of the drive control method which is applicable to the display apparatus according to the embodiment with reference to the drawings.

FIG. 25 is a timing chart illustratively showing the fourth example of the drive control method of the display apparatus according to the embodiment. Here, an explanation of the drive control method which is the

same as the first to third examples (refer to FIGS. 17 to 24) described above will be simplified. In addition, FIG. 26 is a structural diagram of a primary part showing one example of a display apparatus for realizing the fourth example of the drive control method of the display drive apparatus according to the embodiment. Here, the same components as those of the display apparatus according to the embodiment described above will be explained by attaching the same reference numerals and symbols.

In the fourth example of the drive control operation of the display apparatus 210 according to the embodiment, as shown in FIG. 25, in the same manner as the first to third examples described above, the display drive operation is performed in which the threshold voltage detection is sequentially performed at a predetermined timing with respect to all the display pixels PX arranged on the display panel 210 prior to the display drive operation followed by sequentially performing with a shift of time the pre-charge operation and the writing operation with respect to the display pixels PX for each row arranged on the display panel 210 in a first half ( $1/2$  period of the one frame period  $T_{fr}$ ) of one frame period  $T_{fr}$  (about 16.7 msec), and allowing the display pixels PX in all the rows arranged on the display panel 210 to simultaneously perform a light emitting operation with

a luminance gradation corresponding to the display data in a second half (1/2 period of one frame period  $T_{fr}$ ) of one frame period  $T_{fr}$ .

In this manner, the display apparatus is  
5 controlled in such a manner that the light emitting operation is not performed with respect to the display pixels PX in any row and all the display pixels PX perform the non-light emitting operation (the black display operation) in a period in which the pre-charge  
10 operation and the writing operation are performed by drive-controlling the display apparatus so as to allow all the display pixels PX to simultaneously perform the light emitting operation at the time when the writing operation to the display pixels PX in all the rows is  
15 performed.

Such a display drive operation can be realized, for example, by controlling the display apparatus in such a manner that the power supply voltage  $V_{sc}$  (=  $V_e$ ) applied to the power supply voltage lines VL of all the  
20 rows from the power source driver 230 is held to a low potential ( $V_s$ ) in a period in which the pre-charge operation and the writing operation are performed with respect to the display pixels PX in each row and a high-potential power supply voltage  $V_{sc}$  (=  $V_e$ ) is  
25 applied to the power supply voltage lines VL of all the rows after the completion of the pre-charge operation and the writing operation with respect to the display

pixels PX in all the rows.

The same drive control operation can also be realized by applying a configuration in which a single power supply voltage line VL is branched in  
5 correspondence to all the rows, for example, as shown in FIG. 26, and is commonly connected with all the display pixels PX arranged on the display panel 210 in order to simultaneously apply the single power supply voltage Vsc to all the display pixels PX, and applying  
10 the single power supply voltage Vsc applied from the power source driver 230 to the display pixels PX in all the rows. The configuration of the power source driver 230 in such a case may have a function of selectively outputting a high-potential power supply voltage Vsc (= 15 V<sub>e</sub>) and a low-potential power supply voltage Vsc (= V<sub>s</sub>), for example, at a predetermined timing based on the power source control signal supplied from the system controller 250. For this reason, at least the shift register circuit as shown in FIG. 16 may not be  
20 provided. Incidentally, in the present embodiment as well, individual selection lines SL are arranged for each row of the display panel 210, so that the individual selection signals Ssel are applied from the selection driver 220 at different timings, in the same  
25 manner as the case shown in FIG. 16.

Consequently, according to the drive control method (the drive control operation) of the display

apparatus, the display drive period (one frame period  $T_{fr}$ ) is divided into two periods, the first half period and the second half period, thereby making a control such that the pre-charge operation and the writing operation are sequentially performed to the display pixels in each row in the first half period and all the display pixels simultaneously perform the light emitting operation in the second half period. Consequently, the ratio of the black display period (the black insertion ratio) with the light emitting operation in one frame period  $T_{fr}$  becomes 50%, which exceeds 30% that is an indication at which no flickering of the moving images can be visually recognized. However, since the light emitting operation is only a half of one frame period  $T_{fr}$ , the image information cannot be displayed at a sufficient luminance. Furthermore, since the pre-charge period and the writing operation period (particularly, the writing operation period) in each row are shortened, there arises a possibility that the time for sufficiently writing the display data (the gradation signal) cannot to be secured. However, image information can be displayed at a sufficient luminance and with a favorable image quality by appropriately increasing the light emitting luminance of each display pixel and further increasing the current value of the gradation current.



Next, there will be explained fifth to eighth examples and modified examples thereof of the drive control method of the display apparatus, in which the threshold voltage detection operation is controlled so as to be performed with respect to a specific row for each period of the frame period in the display drive operation.

(Fifth Example)

FIG. 27 is a timing chart illustratively showing the fifth example of the drive control method of the display apparatus according to the embodiment.

Here, an explanation on the drive control method (refer to FIGS. 2 and 7) which is the same as the case in which the display drive apparatus 100 and the display pixels PX (the light emitting drive circuit DC) described above will be simplified.

In the fifth example of the drive control operation of the display apparatus 200 according to the embodiment, generally, as shown in FIG. 27, the following two operations are sequentially repeated over all the rows to display the image information in one screen portion of the display panel 210: a threshold voltage detection operation (a threshold voltage detection period  $T_{dec}$ ) of detecting a threshold voltage (or a voltage component corresponding to the threshold voltage) of a switching element (a thin film transistor; a light emitting drive element) for light

emitting drive for controlling a light emission state  
of an organic EL element (a light emitting element) OEL  
in a light emitting drive circuit DC provided on each  
display pixel PX with respect to the display pixels in  
5 a specific row out of the display images PX arranged on  
the display panel 210 in one frame period (about  
16.7 msec; a definite operation period); and an display  
drive operation (a display drive period Tcyc) of  
compensating for the threshold voltage of the switching  
10 element (holding the voltage component corresponding to  
the threshold voltage) with respect to the display  
pixel PX (the light emitting drive circuit DC) for each  
row of the display panel 210 followed by writing a  
gradation signal (a gradation signal Idata, or a non-  
15 light emitting display voltage Vzero) corresponding to  
display data to allow the display pixels PX (the  
organic EL elements OEL) in each row to perform a light  
emitting operation with a luminance gradation  
corresponding to the display data (the gradation  
20 signal).

Here, in the threshold voltage detection operation  
(the threshold voltage detection period Tdec), a series  
of drive control is performed which comprises: a  
voltage application period (a voltage application  
25 period Tpv) for applying a predetermined detecting  
voltage Vpv to a display pixel PX (a light emitting  
circuit DC) in a specific row of the display panel 210;

a voltage convergence operation (a voltage convergence period  $T_{cv}$ ) of converging a voltage component based on the detecting voltage  $V_{pv}$  to a threshold voltage at the detection time of each switching element (thin film transistor  $Tr_{13}$ ); and a voltage reading operation (a voltage reading period) of measuring (reading) a threshold voltage  $V_{th13}$  after the voltage convergence for each display pixel  $PX$  and storing the threshold voltage as threshold voltage data for each display pixel  $PX$ .

In particular, in the display drive operation of the display apparatus according to the fifth example, a threshold voltage detection operation is sequentially performed which comprises the series of drive control described above with respect to the display pixels  $PX$  in specific one row for each frame period in a continuous frame period.

Specifically, as shown in FIG. 27, in the display panel 210 having twelve rows of display pixels  $PX$  arranged thereon, the threshold voltage detection operation is performed with respect to the display pixels  $PX$  in the first row in the first frame, and the threshold voltage detection data are stored in the corresponding memory area of the frame memory. In the first frame, after the completion of the threshold voltage detection operation with respect to the display pixels  $PX$  in the first row, the display drive operation

described later for each row from the first row to the twelfth row is sequentially performed with respect to all the display pixels PX arranged on the display panel 210.

5           Next, in the second frame, the threshold voltage detection operation is performed with respect to the display pixels PX in the second row after the display drive operation is performed with respect to the display pixels PX in the first row, and the threshold  
10 detection data are stored in the corresponding memory area of the frame memory. Thereafter, the display drive operation is sequentially performed for each row with respect to the display pixels from the second row to the twelfth row of the display panel 210.

15           Next, in the third frame, the threshold voltage detection operation is performed with respect to the display pixels PX in the third row after the display drive operation is performed with respect to the display pixels PX in the first and second rows, and the  
20 threshold detection data are stored in the corresponding memory area of the frame memory. Thereafter, the display drive operation is performed for each row with respect to the display pixels PX from the third row to the twelfth row of the display  
25 panel 210.

Hereinafter, in the same manner, the threshold voltage detection operation is sequentially repeatedly

performed with respect to the display pixels PX in the corresponding row up to the twelfth frame, whereby the threshold data (the threshold voltage) is stored in the frame memory with respect to the whole display pixels PX arranged in one screen portion of the display panel 210.

That is, in the drive control method (the threshold voltage detection operation) of the display apparatus according to the embodiment, the threshold voltage detection operation is performed with respect to the display pixels PX in any row of the display panel 210 in each frame period, and the latest threshold voltage is detected (monitored) by setting the frame period in the number of rows of the display panel to one cycle.

In the drive control method of the display apparatus according to the embodiment, a threshold voltage of a switching element (a thin film transistor) for light emitting drive which is provided on the display pixel (the light emitting drive circuit) is detected and stored with respect to the display pixels in the specific row for each frame period (a threshold voltage detection operation) prior to the writing operation of the display data (the gradation signal) to the display pixels in each row arranged on the display panel and the light emitting operation of the light emitting element (the organic EL element) followed by

applying a pre-charge voltage corresponding to the detected threshold voltage to the switching element (the thin film transistor) for the light emitting drive immediately before the writing operation of the display data to each display pixel (a pre-charge operation).  
5 Accordingly, the threshold voltage (in the  $V_{th}$  shift) of the switching element for the light emitting drive at the time of the execution of the threshold voltage detection operation can be always monitored with  
10 respect to the display pixels in any row arranged on the display panel. In addition, it is possible to provide a setting of a state in which a voltage component (electric charges) corresponding to the threshold voltage (the threshold voltage changed due to  
15 the  $V_{th}$  shift) peculiar to the switching element is held in the control terminal (between the gate and the source of the thin film transistor) of the switching element for the light emitting drive of each display pixel (a state in which the threshold voltage is  
20 individually compensated). Consequently, only the voltage component corresponding to the display data may be added to charge the display pixels in the writing operation of the display data, and the voltage component based on the display data can be swiftly and  
25 appropriately written.

(Sixth Example)

Next, there will be explained a sixth example of

the drive control method of the display apparatus according to the embodiment with reference to the drawings.

5 FIG. 28 is a timing chart illustratively showing the sixth example of the drive control method of the display device according to the embodiment.

Here, an explanation on the drive control method same as the fifth example (refer to FIG. 27) described above will be simplified. Furthermore, the hatching 10 portion in FIG. 27 shows the operation state which is the same as the fifth example described above. Here, as a configuration of a display apparatus for realizing the sixth example of the drive control method of the display apparatus according to the embodiment, for 15 example, a configuration shown in FIG. 19 described above can be applied.

In the sixth example of the drive control operation of the display apparatus according to the present embodiment, as shown in FIG. 28, the following 20 two operations are performed to display image information in one screen portion of the display panel 210: a threshold voltage detection operation (a threshold voltage detection period Tdec) of first dividing in advance the display pixels PX arranged on 25 the display panel 210 into groups of a plurality of mutually adjacent rows of display pixels, and detecting a threshold voltage with respect to a switching element

(a thin film transistor) for light emitting drive of the display pixels PX in a specific row of a specific group in one frame period; and a display drive operation of sequentially repeating over all the rows an operation (a pre-charge period  $T_{th}$ , a writing operation period  $T_{wrt}$ ) of writing a gradation signal (a gradation current  $I_{data}$ , or a no-light emitting display voltage  $V_{zero}$ ) corresponding to display data after compensating for the threshold voltage to the display pixels PX for each row of the display panel 210 to allow a plurality of rows of the display pixels PX for each row to simultaneously perform a light emitting operation with a luminance gradation corresponding to the display data (the gradation signal).

Here, in the drive control operation according to the sixth example, specifically, all the display pixels PX arranged on the display panel 210 are first divided into groups of a plurality of rows in advance. For example, as shown in FIG. 28, twelve rows of the display pixels PX constituting the display panel 210 are divided into groups by setting four rows of display pixels PX to one set like mutually adjacent rows such as the first to fourth rows, the fifth to eighth rows, and the ninth to twelfth rows.

Then, in the first frame, the threshold voltage detection operation (the threshold voltage detection period  $T_{dec}$ ) is performed with respect to the display



pixels PX in the first row of the group in which the display pixels PX in the first to fourth rows are set to one set, and the threshold detection data are stored in the corresponding memory area of the frame memory.

5 In the first frame, the display drive operation (the pre-charge operation and the writing operation;  $T_{th} + T_{wrt}$ ) is sequentially performed for each row from the first row to the twelfth row with respect to all the display pixels PX arranged on the display panel 210  
10 after the completion of the threshold voltage detection operation with respect to the display pixels PX in the first row.

In the display drive operation for each row, the light emitting operation is performed with respect to  
15 the group with which the writing operation with respect to the display pixels PX in all the rows included in each group is completed. For example, in the group in which the display pixels PX in the first to fourth rows are set to one set of group, the pre-charge operation  
20 and the writing operation are performed in order from the display pixels PX in the first row. At a timing at which the writing operation is completed with respect to the display pixels PX in the fourth row, the four rows of the display pixels PX in the group  
25 simultaneously perform a light-emitting operation on the basis of the display data (the gradation signal) written in each of the display pixels PX. This light

emitting operation continues until the timing at which the next pre-charge operation and the writing operation are started with respect to the display pixels PX in the first row or until the timing at which the  
5 threshold voltage detection operation is started with respect to any of the first to the fourth rows.

Furthermore, at a timing at which the writing operation is completed with respect to the display pixels PX in the fourth row, the pre-charge operation and the writing operation are performed in order from  
10 the display pixels PX in the fifth row in the group in which the display pixels in the fifth to eighth rows are set to one set of group. At a timing at which the writing operation is performed with respect to the  
15 display pixels PX in the eighth row, the four rows of the display pixels PX in the group simultaneously perform a light emitting operation. Hereinafter, the same operation is repeatedly performed with respect to the display pixels PX in each row of the next group.

20 Next, in the second frame, the pre-charge operation and the writing operation are sequentially performed in the group in which the display pixels PX in the first to fourth rows are set to one set of group. At a timing at which the four rows of the  
25 display pixels PX in the group perform simultaneously perform a light emitting operation, the threshold voltage detection operation (the threshold voltage

detection period Tdec) is performed with respect to the display pixels PX in the fourth row (corresponding to the first row in the group) in the group in which the display pixels PX in the fifth to eighth rows are set to one set of group. Consequently, the pre-charge operation and the writing operation are sequentially performed in the group after the completion of the threshold voltage detection operation.

Next, the pre-charge operation and the writing operation are completed in the group in which the display pixels PX in the fifth to eighth rows are set to one set of group. At a timing at which the four rows of the display pixels PX in the group simultaneously perform a light emitting operation, the pre-charge operation and the writing operation are sequentially performed in the group in which the display pixels PX in the ninth to twelfth rows are set to one set of group. Thereafter, the four rows of the display pixels PX in the group simultaneously perform a light emitting operation.

Hereinafter, in the same manner, with respect to each group previously set for each frame period, the threshold detection operation is performed with respect to the display pixels PX in a specific row included in the group. Furthermore, at the time when the writing operation is completed with respect to the display pixels PX in all the rows included in each group, the

display drive operation is repeatedly performed for allowing all the display pixels PX included in the group to simultaneously perform a light emitting operation.

5           In this manner, the threshold voltage detection operation is repeatedly performed with respect to the display pixels PX in a specific row for each frame period, whereby the threshold voltage detection operation is performed with respect to the display  
10 pixels PX in any row of the display panel 210. Consequently, the latest threshold voltage is always detected (monitored) by setting the frame period in the number of rows of the display panel to one cycle.

          Furthermore, in the display drive operation  
15 according to the sixth example, in a period in which the threshold voltage detection operation, the pre-charge operation and the writing operation are performed with respect to the display pixels PX in other rows in the same group, the display apparatus is  
20 controlled in such a manner that all the display pixels in the group perform a non-light emitting operation to be set in a non-light emitting display state (a black display state).

          Such a display drive operation can be realized,  
25 for example, as shown in FIGS. 7 and 12, by controlling the display apparatus in such a manner that, at the time of the threshold voltage detection operation, the

pre-charge operation and the writing operation, a low-potential power supply voltage  $V_{sc}$  ( $= V_s$ ) applied to the power supply voltage line VL in the row from the power source driver 230 is continuously applied in a period in which the threshold voltage detection, the pre-charge operation and the writing operation are sequentially performed with respect to the display pixel in a row included in the same group followed by applying a high-potential power supply voltage  $V_{sc}$  ( $= V_e$ ) to the power supply voltage lines VL of all the rows in the group after the completion of the threshold voltage detection operation, the pre-charge operation, and the writing operation with respect to all the rows included in the same group.

Furthermore, the same drive control can be also realized, for example, as shown in the FIG. 19, by applying a configuration in which a single power supply voltage line VL is branched and is commonly connected with the display pixels PX in the first to fourth rows (or the fifth to eighth rows, and the ninth to twelfth rows) in order to simultaneously apply the single power supply voltage  $V_{sc}$  for each group. Thus, the single power supply voltage  $V_{sc}$  applied from the power source driver 230 is applied to the display pixels PX in all the rows included in the same group. Incidentally, also in the present drive control method, the individual selection lines SL are arranged for each

row, and the individual selection signals Ssel are applied from the selection driver 220 at different timings, in the same manner as the case shown in FIG. 16.

5           Therefore, according to the drive control method (the display drive operation) of the display apparatus, there can be obtained an operation and an advantage which are the same as those of the drive control method according to the fifth example described above. In  
10           addition, in a period in which the threshold voltage detection operation, the pre-charge operation and the writing operation are performed with respect to the display pixels in each row in the same group, the light emitting operation of the display pixel (the light  
15           emitting element) is not performed, but the non-light emitting operation (the black display operation) is performed. As a consequence, at the time of the display operation of the moving images by means of the continuous display of a plurality of image information  
20           (static images), the flickering of the moving images can be suppressed, and the clarity thereof can be improved.

          Here, in the timing chart shown in FIG. 28, the display apparatus is controlled in such a manner that  
25           twelve rows of the display pixels PX constituting the display panel 210 are divided into three sets of groups, and the light emitting operation is

simultaneously performed at timings different from one group to another. For this reason, the ratio of the black display period (the black insertion ratio) by the non-light emitting operation becomes approximately 33%  
5 in one frame period. Here, in order to allow the moving images to be clearly observed in human sense of vision without the flickering of the moving images, generally, the presence of the black insertion ratio of 30% or more constitutes an indication which enables  
10 visual recognition of moving images. Thus, in the drive control method according to the present invention, a display apparatus having a favorable display image quality can be realized.

(Seventh Example)

15 Next, there will be explained a seventh example of the drive control method of the display apparatus according to the embodiment with reference to the drawings.

FIG. 29 is a timing chart illustratively showing  
20 the seventh example of the drive control method of the display apparatus according to the embodiment.

Here, an explanation on the drive control method which is the same as the sixth example (refer to FIG. 28) will be simplified.

25 In the seventh example of the drive control operation of the display apparatus 210 according to the embodiment, as shown in FIG. 20, the following two

operations are sequentially performed to display image information of one screen portion of the display panel 210: a threshold voltage detection operation (a threshold voltage detection period  $T_{dec}$ ) of first  
5 dividing in advance the display pixels PX in rows which are not mutually adjacent into groups, and detecting a threshold voltage with respect to a switching element (a thin film transistor) for light emitting drive of a display pixel PX in a specific row of a specific group  
10 within one frame period; and a display drive operation of sequentially performing an operation (a pre-charge period  $T_{th}$ , a writing operation period  $T_{wrt}$ ) of writing a gradation signal (a gradation current  $I_{data}$ , or a non-light emitting display voltage  $V_{zero}$ ) corresponding  
15 to display data after compensating for the threshold voltage with respect to the display pixels PX in a row included in the group for each group to allow a plurality of rows of the display pixels PX (the organic EL elements) for each group to simultaneously perform a  
20 light emitting operation with a luminance gradation corresponding to the display data (the gradation signal) at a predetermined timing.

Here, in the drive control operation according to the seventh example, specifically, all the display  
25 pixels PX arranged on the display panel 210, for example, as shown in FIG. 29, twelve rows of the display pixels PX constituting the display panel 210



are first divided into three sets of groups by setting  
to one set respectively four rows of the display pixels  
PX such as a set of the first, fourth, seventh and  
tenth rows, a set of the second, fifth, eighth and  
5 eleventh rows, and a set of the third, sixth, ninth and  
twelfth rows.

Then, in the first frame, the threshold voltage  
detection operation (the threshold voltage detection  
period Tdec) is performed with respect to the display  
10 pixels PX in the first row in the group in which the  
display pixels PX in the first, fourth, seventh and  
tenth rows are set to one set of group. Thereafter,  
the display drive operation (the pre-charge operation  
and the writing operation;  $T_{th} + T_{wrt}$ ) is performed in  
15 an order starting from a smaller row number for each  
group with respect to all the display pixels PX  
arranged on the display panel 210.

In the display drive operation for each row, a  
light emitting operation is performed with respect to  
20 the group with which the writing operation is completed  
to the display pixels PX in all the rows included in  
each group. For example, in a group in which the  
display pixels PX in the first, fourth, seventh and  
tenth rows are set to one set of group, the pre-charge  
25 operation and the writing operation are performed in  
order from the display pixels PX in the first row. At  
a timing at which the writing operation is completed

with respect to the display pixels PX in the tenth row,  
the four rows of the display pixels PX simultaneously  
perform a light emitting operation on the basis of the  
display data (the gradation signal) written in each of  
5 the display pixels PX. This light emitting operation  
continues until the next pre-charge operation and the  
writing operation are started with respect to the  
display pixels PX in first row, or until the timing at  
which the threshold voltage detection operation is  
10 started with respect to any row out of the first,  
fourth, seventh and tenth rows.

Furthermore, at a timing at which the writing  
operation is completed with respect to the display  
pixels PX in the tenth row, the pre-charge operation  
15 and the writing operation are performed in order from  
the display pixels PX in the second row in the group in  
which the display pixels in the second, fifth, eighth  
and eleventh rows are set to one set of group. Then,  
at a timing at which the writing operation is completed  
20 with respect to the display pixels PX in the eleventh  
row, the four rows of the display pixels PX in the  
group simultaneously performs a light emitting  
operation. Hereinafter, the same operation is  
repeatedly performed with respect to the display pixels  
25 PX in each row in the next group.

Next, in the second frame, the pre-charge  
operation and the writing operation are sequentially

performed in the group in which the display pixels PX  
in the first, fourth, seventh and tenth rows are set to  
one set of group. At a timing at which the four rows  
of the display pixels PX in this group simultaneously  
5 perform a light emitting operation, the threshold  
voltage detection operation (the threshold voltage  
detection period Tdec) is performed with respect to the  
display pixels PX in the second row (corresponding to  
the first row in this group) in the group in which the  
10 display pixels in the second, fifth, eighth and  
eleventh rows are set to one set of group.  
Consequently, the pre-charge operation and the writing  
operation are performed in the group after the  
completion of the threshold voltage detection  
15 operation.

Next, the pre-charge operation and the writing  
operation are completed in the group in which the  
display pixels PX in the second, fifth, eighth and  
eleventh rows are set to one set of group. Then, at  
20 the timing at which the four rows of the display pixels  
PX in the group simultaneously perform the light  
emitting operation, the pre-charge operation and the  
writing operation are sequentially performed, which is  
followed by the simultaneous a light emitting operation  
25 of the four rows of the display pixels PX in the group.

Hereinafter, in the same manner, the threshold  
detection operation is performed with respect to the

display pixels PX in a specific row included in the group, with respect to each preset group for each of the frame periods. Furthermore, at the time when the writing operation is completed with respect to the display pixels PX in all the rows included in each group, the display drive operation is repeatedly performed for allowing all the display pixels PX in the group to simultaneously perform a light emitting operation.

10           In this manner, the threshold voltage detection operation is performed with respect to the display pixels PX in any row of the display panel 210 in each frame period by sequentially and repeatedly performing the threshold voltage detection operation with respect to the display pixels PX in a specific row for each frame period. Consequently, the latest threshold voltage is always detected (monitored) by setting the frame period in the number of rows of the display panel to one cycle.

20           Furthermore, in the same manner as the display drive operation according to the sixth example, in a period in which the threshold voltage detection operation, the pre-charge operation and the writing operation are performed with respect to the display pixels PX in other rows in the same group, the display apparatus is controlled in such a manner that all the display pixels in the group perform a non-light

emitting operation to be set in a non-light emitting display state (a black display state).

Furthermore, in the same manner as the display drive according to the sixth example, for example, such a drive operation can be realized by controlling the display apparatus in such a manner that the power supply voltage  $V_{sc}$  applied to the power supply voltage line VL of each row of the group from the power source driver 230 is held to a low potential ( $V_s$ ) in a period in which the threshold voltage detection operation, the pre-charge operation, and the writing operation are performed with respect to the display pixels PX in other rows in the same group, and a high-potential power supply voltage  $V_{sc}$  ( $= V_e$ ) is applied to the power supply voltage lines VL of all the rows included in the group after the completion of the threshold voltage detection operation, the pre-charge operation, and the writing operation with respect to the display pixels PX in all the rows in the same group. Incidentally, in the same manner as the second example (refer to FIG. 19), a configuration may be applied in which the power supply voltage line VL is branched and arranged such that a single power supply voltage  $V_{sc}$  is applied to the display pixels PX in all the rows included in each group.

Consequently, according to the display drive control method (the display drive operation) of the

display apparatus, an operation and an advantage which are the same as those of the drive control method according to the fifth example can be obtained. In the meantime, in the same manner as the drive control method according to the sixth example, the display apparatus is controlled in such a manner that the twelve rows of the display pixels PX constituting the display panel 210 are divided into a plurality of sets of groups and the light emitting operation is simultaneously performed at timings different from one group to another. Therefore, the non-light emitting operation (the black display operation) is performed in a predetermined period in one frame period. In particular, in the present drive control method as well, the ratio of the black display period (the black insertion ratio) by the non-light emitting operation can be set to approximately 33%, and as a result, a display apparatus can be realized in which the flickering of the moving images is suppressed, and the clarity thereof is improved.

Incidentally, in the drive control method according to the sixth and seventh examples, there is explained a case in which the display pixels PX constituting the display panel 210 are divided into three sets of groups. However, the present invention is not limited thereto. For example, it goes without saying that the number of the groups is appropriately

increased and decreased.

(Modified Examples of Sixth and Seventh Examples)

Hereinafter, there are shown modified examples of  
the drive control method according to the second and  
5 third examples.

FIG. 30 is a timing chart illustratively showing a  
first modified example of the sixth example of the  
drive control method of the display apparatus according  
to the embodiment.

10 FIG. 31 is a timing chart illustratively showing a  
first modified example of the seventh example of the  
drive control method of the display apparatus according  
to the embodiment.

FIG. 32 is a timing chart illustratively showing a  
15 second modified example of the sixth example of the  
drive control method of the display apparatus according  
to the embodiment.

FIG. 33 is a timing chart illustratively showing a  
second modified example of the seventh example of the  
20 drive control method of the display apparatus according  
to the embodiment.

In the first modified example of the drive control  
method of the display apparatus according to the sixth  
and seventh examples, as shown in, for example,  
25 FIGS. 30 and 31, the display apparatus is controlled in  
such a manner that the display pixels PX constituting  
the display panel 210 are divided into four sets of

groups (four sets of groups of the first to third rows, the fourth to sixth rows, the seventh to ninth rows, and the tenth to twelfth rows in FIG. 30; and four sets of groups of the first, fifth and ninth rows, the  
5 second, sixth and tenth rows, the third, seventh and eleventh rows, and the fourth, eighth and twelfth rows in FIG. 31), and the threshold voltage detection operation is performed with respect to the display pixels PX in a specific row for each frame period while  
10 the pre-charge operation and the writing operation are performed with respect to the display pixels PX in each row at timings different from one group to another followed by simultaneously performing a light emitting operation. In this case, the ratio of the black  
15 display period (the black insertion ratio) by the non-light emitting operation in one frame period becomes approximately 25%. Although the ratio becomes a little less than 30% which is an indication at which the flickering cannot be visually observed, a display  
20 apparatus having a relatively favorable display quality can be realized.

Furthermore, in the second modified example of the drive control method of the display apparatus according to the sixth and seventy examples, as shown in, for  
25 example, FIGS. 32 and 33, the display apparatus is controlled in such a manner that the display pixels PX constituting the display panel 210 are divided into two



sets of groups (two sets of groups: the first to sixth rows, and the seventh to twelfth rows in FIG. 32; and two sets of groups; odd number rows and even number rows in FIG. 33), so that the threshold voltage  
5 detection operation is performed with respect to the display pixels PX in a specific row for each frame period while the pre-charge operation and the writing operation are performed with respect to the display pixels PX in each row at timings different from one  
10 group to another followed by simultaneously performing a light emitting operation.

In this case, the ratio of the black display period (the black insertion ratio) by the non-light emitting operation in one frame period becomes  
15 approximately 50%. The ratio exceeds 30% which is an indication at which the flickering of moving images are not visually observed. However, since the light emitting operation period becomes only half of one frame period, the image information cannot be displayed  
20 at a sufficient luminance gradation. Then, image information can be displayed at a sufficient light emitting luminance and with a favorable display quality by appropriately increasing the light emitting luminance of each display pixel.

25 (Eighth Example)

Next, there will be explained an eighth example of the drive control method of the display apparatus

according to the embodiment with reference to the drawings.

FIG. 34 is a timing chart illustratively showing the fourth example of the drive control method of the display apparatus according to the embodiment.

Here, an explanation on the drive control method same as the fifth to seventh examples (refer to FIGS. 27 to 33) will be simplified. Here, as a configuration of a display apparatus for realizing the eighth example of the drive control method of the display apparatus according to the embodiment, a configuration shown in the FIG. 26 can be applied, for example.

In the eighth example of the drive control method of the display apparatus 200 according to the embodiment, as shown in FIG. 34, a threshold voltage detection (a threshold voltage detection period  $T_{dec}$ ) for detecting a threshold voltage with respect to a switching element (a thin film transistor) for light emitting drive of a display pixel PX in a specific row arranged on the display panel 210 is first performed in the first half of one frame period ( $1/2$  period of one frame period). Thereafter, the pre-charge operation and the writing operation are sequentially performed with respect to the display pixels PX in all the rows arranged on the display panel 210 for each row with a shift of time to perform the display drive operation

for allowing the display pixels PX in all the rows arranged on the display panel 210 to simultaneously perform a light emitting operation with a luminance gradation corresponding to the display data in the second half of one frame period (1/2 period of one frame period). Consequently, image information in one screen portion of the display panel 210 is displayed.

In this manner, the threshold voltage detection operation is performed with respect to the display pixels PX in a specific row for each frame period while the drive control of the display apparatus is performed such that all the display pixels PX are allowed to simultaneously perform a light emitting operation in the second half of each frame period. As a consequence, the display apparatus is controlled so that, in the first half of each frame period in which the threshold voltage detection operation, the pre-charge operation and the writing operation are performed, the light emitting operation is not performed with respect to the display pixels PX in any row, but all the display pixels PX perform the non-light emitting operation (the black display operation).

Such a display drive operation can be realized by controlling the display apparatus in such a manner that a high-potential power supply voltage  $V_{sc}$  ( $= V_e$ ) is applied to the power supply voltage lines VL of all the rows after the completion of the threshold voltage

detection operation, the pre-charge operation and the writing operation with respect to the display pixels PX in all the rows while holding the power supply voltage Vsc applied to the supply power source lines VL of all the rows from the power source driver 230 in a period in which the threshold voltage detection operation, the pre-charge operation and the writing operation are performed with respect to the display pixels PX in each row.

10           The same drive control can be realized, for example, as shown in FIG. 26, by applying a configuration in which a single power supply voltage line VL is branched in correspondence to all the rows and is commonly connected with all the display pixels PX arranged on the display panel 210 in order to apply the single power supply voltage Vsc simultaneously to all the display pixels PX, thereby applying a single power supply voltage applied from the power source driver 230 to the display pixels PX in all the rows.

20           The configuration of the power source driver 230 in this case may be a function of selectively outputting a high-potential power supply voltage Vsc (= Ve) and a low power supply voltage Vsc (= Vs) for example, at a predetermined timing based on the power source control signal supplied from the system controller 250. For this reason, at least the shift register circuit as shown in FIG. 16 may not be

provided. Incidentally, in the present drive control method, in the same manner as shown in FIG. 16, individual selection lines SL are arranged for each row of the display panel 210, and individual selection signals Ssel are applied from the selection driver 220 at different timings.

Consequently, according to the drive control method (the display drive operation) of the display apparatus, the display apparatus is controlled in such a manner that each frame period is divided into two; a first half period and a second half period, and a threshold voltage detection operation is performed with respect to the display pixels in a specific row followed by sequentially performing the pre-charge operation and the writing operation in a first half period while allowing all the pixels to simultaneously perform a light emitting operation in the second half period. Consequently, the ratio of the black display period (the black insertion ratio) by the light emitting operation in one frame period becomes approximately 50%. Thus, the ratio exceeds an indication of 30% at which no flickering of the moving images can be visually observed. The image information cannot be displayed at a sufficient light emitting luminance, and the pre-charge operation and the writing operation (in particular, the writing operation) in each row are shortened. For this reason, there is a

possibility that the time for writing the display data cannot be secured. Furthermore, the image information can be displayed at a sufficient light emitting luminance and with a favorable image quality by  
5 appropriately increasing the light emitting luminance of each display pixel and further increasing a current value of the gradation current.

WHAT IS CLAIMED IS:

1. A display drive apparatus which operates, in accordance with display data, a current control type optical element of each of display pixels provided with the optical element and a drive element which supplies a driving current to the optical element, the display drive apparatus comprising:

a gradation signal generation circuit which generates a gradation signal corresponding to a luminance gradation of the display data and supplies the gradation signal to the display pixel;

a threshold voltage detection circuit which detects a threshold voltage peculiar to the drive element of the display pixel; and

a compensation voltage application circuit which generates a compensation voltage for compensating for the threshold voltage of the drive element on the basis of the threshold voltage and applies the compensation voltage to the drive element.

2. The display drive apparatus according to claim 1, further comprising a memory circuit which stores threshold data corresponding to the threshold voltage detected by the threshold voltage detection circuit,

wherein the compensation voltage application circuit generates the compensation voltage on the basis of the threshold data stored in the memory circuit.

3. The display drive apparatus according to claim 1, further comprising a detecting voltage application circuit which applies to the drive element a voltage for threshold detection which has a higher  
5 potential than the threshold voltage,

wherein the threshold voltage detection circuit which detects, as the threshold voltage, a voltage after the voltage for threshold voltage detection is applied to the drive element by the detecting voltage application circuit and part of electric charges  
10 corresponding to the voltage for threshold voltage detection is discharged and converged.

4. The display drive apparatus according to claim 3, wherein the drive element includes a current  
15 path which allows the driving current to flow to the optical element, and a control terminal which controls a supply state of the driving current,

the detecting voltage application circuit applies the voltage for threshold detection to between the  
20 control terminal of the drive element and one end side of the current path, and

the threshold voltage detection circuit detects, as the threshold voltage, a potential difference between the control terminal of the drive element and  
25 the one end side of the current path at the time of the absence of current flow in the current path.

5. The display drive apparatus according to



claim 4, wherein the compensation voltage application circuit applies the compensation voltage based on the threshold data stored in the memory circuit to between the control terminal of the drive element and the one  
5 end side of the current path.

6. The display drive apparatus according to claim 1, wherein each of the optical elements has a light emitting element which performs a light emitting operation at a luminance corresponding to a current  
10 value of a current applied, and

the gradation signal generation circuit includes a circuit which generates, as the gradation signal, a gradation current having a current value for allowing the light emitting element to perform a light emitting  
15 operation at a luminance corresponding to the luminance gradation of the display data.

7. The display drive apparatus according to claim 1, wherein each of the optical elements includes a light emitting element which performs a light  
20 emitting operation at a luminance corresponding to a current value of a current applied, and

the gradation signal generation circuit includes a circuit which generates, as the gradation signal, a non-light emitting display voltage having a  
25 predetermined voltage value for allowing the light emitting element to perform a non-light emitting operation.

8. The display drive apparatus according to claim 1, further comprising a signal path switching circuit which selectively switches and controls a connection between a single data line provided in  
5 correspondence to the display pixel and each of a signal path which detects the threshold voltage with the threshold voltage detection circuit, a signal path which applies the compensation voltage with the compensation voltage application circuit, and a signal  
10 path which supplies the gradation signal with the gradation signal generation circuit.

9. The display drive apparatus according to claim 8, wherein the signal path switching circuit further selectively switches and controls a connection  
15 between a signal path which applies the voltage for threshold detection with the detecting voltage application circuits and the single data line.

10. A display apparatus which displays image information corresponding to display data, the  
20 apparatus comprising:

a display panel having a plurality of display pixels arranged therein, each of the pixels including a current control type optical element and a drive element which supplies a driving current to the optical  
25 element at each of respective intersections of a plurality of selection lines and a plurality of data lines arranged to respectively extend in a row

direction and in a column direction;

a selection drive unit which sequentially supplies a selection signal to each of the plurality of selection lines of the display panel, thereby setting the display pixels in each row sequentially in a selection state; and

a data drive unit comprising:

a gradation signal generation circuit which generates a gradation signal corresponding to a luminance gradation of the display data and supplies the gradation signal to said each display pixel via said each data line;

a threshold voltage detection circuit which detects a threshold voltage peculiar to the drive element of said each display pixel via said each data line; and

a compensation voltage application circuit which generates a compensation voltage for compensating for the threshold voltage of said each display pixel on the basis of said each threshold voltage and applies the compensation voltage to said each display pixel via said each data line.

11. The display apparatus according to claim 10, wherein the data drive unit further comprises a memory circuit which stores threshold data corresponding to the threshold voltage detected by the threshold voltage detection circuit and

the compensation voltage application circuit generates the compensation voltage on the basis of the threshold data stored in the memory circuit

5           12. The display apparatus according to claim 10,  
wherein the data drive unit further comprises a  
detecting voltage application circuit which supplies a  
voltage for threshold detection which has a higher  
potential than the threshold voltage to the drive  
element of said each display pixel via said each data  
10       line, and

the threshold voltage detection circuit detects as  
the threshold voltage via said each data line a voltage  
after the voltage for threshold voltage detection is  
applied to the drive element via said each data line  
15       and part of electric charges corresponding to the  
voltage for threshold voltage detection is discharged  
and converged.

13. The display apparatus according to claim 12,  
wherein the drive element comprises a current path  
20       which allows the driving current to flow to the optical  
element, and a control terminal which controls a supply  
state of the driving current,

the detecting voltage application circuit applies  
a voltage for threshold detection to between the  
25       control terminal of the drive element and one end side  
of the current path, and

the threshold voltage detection circuit detects a

potential difference between the control terminal of the drive element and the one end side of the current path at the time of the absence of current flow in the current path as the threshold voltage via said each data line.

5  
14. The display apparatus according to claim 13, wherein the compensation voltage application circuit applies the compensation voltage based on the threshold data stored in the memory circuit to between the control terminal of the drive element and the one end side of the current path via said each data line.

10  
15. The display apparatus according to claim 10, wherein each of the optical elements has a light emitting element which performs a light emitting operation at a luminance corresponding to a current value of a current applied.

16. The display apparatus according to claim 15, wherein the light emitting element includes an organic electroluminescent element.

20  
17. The display apparatus according to claim 15, wherein the gradation signal generation circuit comprises a circuit which generates, as the gradation signal, a gradation current having a current value for allowing the light emitting element to perform a light emitting operation at a luminance corresponding to the luminance gradation of the display data.

25  
18. The display apparatus according to claim 15,

wherein the gradation signal generation circuit comprises a circuit which generates, as the gradation signal, a non-light emitting display voltage having a predetermined voltage value for allowing the light emitting element to perform a non-light emitting operation.

19. The display apparatus according to claim 11, wherein the data drive unit further comprises:

a threshold acquiring circuit which individually fetches said each of the threshold data corresponding to said each threshold voltage detected from each of said plurality of display pixels via said each data line and sequentially transfers said each threshold data; and

a data acquiring circuit which sequentially and individually fetches and holds luminance gradation data for generating the gradation signal with respect to each of the display pixels,

the memory circuit individually stores each of the threshold data transferred from the threshold acquiring circuit in correspondence to each of said plurality of display pixels, and

the gradation signal generation circuit generates the gradation signal corresponding to the luminance gradation data held in the data acquiring circuit and supplies the gradation signal to said each display pixel via said each data line.

20. The display apparatus according to claim 19,  
wherein a configuration of sequentially and  
individually fetching the luminance gradation data in  
the data acquiring circuit and a configuration of  
5 fetching the threshold data and sequentially  
transferring the threshold data in the threshold  
acquiring circuit are shared.

21. The display apparatus according to claim 10,  
wherein the data drive unit comprises a signal path  
10 switching circuit which selectively switches and  
controls a connection between a single data line  
provided in correspondence to the display pixel and  
each of a signal path which detects the threshold  
voltage with the threshold voltage detection circuit, a  
15 signal path which applies the compensation voltage with  
the compensation voltage application circuit, and a  
signal path which supplies the gradation signal with  
the gradation signal generation circuit.

22. The display apparatus according to claim 21,  
20 wherein the signal path switching circuit further  
selectively switches and controls a connection between  
a signal path which applies the voltage for threshold  
with the detecting voltage application circuit and the  
single data line.

23. The display apparatus according to claim 10,  
25 further comprising a power source drive unit which  
applies a predetermined power supply voltage to each of

said plurality of display pixels,

wherein the power source drive unit sequentially applies the power supply voltage to the display pixel in each row of the display panel at a predetermined timing, thereby setting the display pixel in each row in an operation state.

24. The display apparatus according to claim 10, further comprising a power source drive unit which applies a predetermined power supply voltage to each of said plurality of display pixels,

wherein the power source drive unit sequentially applies the power supply voltage at a predetermined timing to the display pixel for each group which is obtained by dividing said plurality of display pixels arranged on the display panel into sets for each of a plurality of rows, thereby setting the display pixel in each group in an operation state.

25. The display apparatus according to claim 10, further comprising a drive control unit which generates a timing control signal for controlling a timing of the operation of detecting the threshold voltage by the threshold voltage detection circuit.

26. The display apparatus according to claim 25, wherein the drive control unit makes a control with the timing control signal so as to cause the threshold voltage detection circuit to detect the threshold voltage of the drive elements of the display pixels in



different rows of the display panel for each of operation periods in which the gradation signal is supplied to all of said plurality of display pixels arranged on the display panel by means of the selection drive unit and the data drive unit.

5

27. The display apparatus according to claim 25, wherein the drive control unit makes a control with the timing control signal so as to cause the threshold voltage detection circuit to detect the threshold voltage of the drive elements of the display pixels in adjacent rows of the display panel for each of operation periods in which the gradation signal is supplied to all of said plurality of display pixels arranged on the display panel by means of the selection drive unit and the data drive unit.

10

15

28. The display apparatus according to claim 10, wherein each of the drive pixels comprises a drive circuit which controls an operation of the optical element,

20

the drive circuit comprises:

a first switch circuit in which one end of a current path thereof is applied with the power supply voltage and the other end of the current path is connected with a connection point with the optical element;

25

a second switch circuit in which a control terminal thereof is connected with the selection line,

one end of a current path thereof is applied with the power supply voltage, and the other end of the current path is connected with the control terminal of the first switch circuit; and

5                   a third switch circuit in which a control terminal thereof is connected with the selection line, one end of a current path thereof is connected with the data line, and the other end of the current path is connected with the connection contact point,

10                   said drive element is the first switch circuit, the detecting voltage application circuit applies the voltage for threshold detection to between the control terminal of the first switch circuit and the connection contact point,

15                   the threshold voltage detection circuit detects, as the threshold voltage, a potential between the control terminal of the first switch circuit and the connection contact point, and

20                   the compensation voltage application circuit applies the compensation voltage to between the control terminal of the first switch circuit and the connection contact point.

25                   29. The display apparatus according to claim 28, wherein each of the first to third switch circuits includes a field effect transistor provided with a semiconductor layer comprising amorphous silicon.

30. A drive control method of a display drive

apparatus which operates a current control type optical element of a display pixel provided with the optical element and a drive element which supplies a driving current to the optical element, the method comprising:

5           detecting a threshold voltage peculiar to the drive element;

          generating a compensation voltage for compensating for the threshold voltage of the drive element on the basis of the threshold voltage and applying the  
10        compensation voltage to hold the voltage as a voltage component; and

          supplying a gradation signal to the display pixel, adding a voltage component based on the gradation signal to the voltage component based on the  
15        compensation voltage, and allowing the drive element to hold the voltage component.

31. The drive control method of the display drive apparatus, according to claim 30, where the detecting the threshold voltage includes an operation of storing  
20        threshold data corresponding to the threshold voltage, and

          the operation of storing the threshold data by detecting the threshold voltage is performed at a timing prior to the application of the compensation  
25        voltage to the drive element and holding of the voltage component based on the gradation signal.

32. The drive control method of the display drive

apparatus, according to claim 30, wherein the detecting the threshold voltage includes:

applying a voltage for threshold detection which has a higher potential than the threshold voltage; and

5 detecting, as the threshold voltage, a voltage after part of electric charges corresponding to the voltage for threshold voltage detection is discharged and converged.

33. The drive control method of the display drive apparatus, according to claim 30, wherein each of the optical elements has a light emitting element which performs a light emitting operation at a luminance corresponding to a current value of a current applied,

10 the adding a voltage component based on the gradation signal to the voltage component based on the compensation voltage and allowing the drive element to hold the voltage component, includes:

15 in the case where the light emitting element is allowed to perform a light emitting operation at a luminance corresponding to a luminance gradation of display data, generating, as the gradation current, a gradation current having a current value for allowing the optical element to perform a light emitting operation at a luminance corresponding to the luminance gradation of the display data, and supplying the gradation current to the display pixel; and

25 in the case where the light emitting element is

allowed to perform a non-light emitting operation, generating, as the gradation signal, a non-light emitting display voltage having a predetermined voltage value for allowing the optical element to perform a non-light emitting operation, and supplying the non-light emitting display voltage to the display pixel.

34. A drive control method of a display apparatus which displays image information corresponding to display data, the apparatus comprising a display panel having a plurality of display pixels arranged therein, each of the pixels comprising a current control type optical element and a drive element which supplies a driving current to the optical element at respective intersections of a plurality of selection lines and a plurality of data lines arranged to respectively extend in a row direction and in a column direction, the method comprising:

- detecting a threshold voltage peculiar to the drive element of said each display pixel;
- generating a compensation voltage for compensating for the threshold voltage of the drive element on the basis of the threshold voltage, applying the compensation voltage to the drive element of said each display pixel, and holding the compensation voltage as a voltage component;
- supplying a gradation signal to said each display pixel, adding a voltage component based on the

gradation signal to the voltage component based on the compensation voltage, and allowing the drive element of said each display pixel to hold the voltage component; and

5 supplying the driving current created on the basis of the voltage component held in the drive element of said each display pixel to the optical element, and allowing the optical element to be operated in accordance with the gradation signal.

10 35. The drive control method of the display apparatus, according to claim 34, wherein the detecting the threshold voltage includes:

15 applying a voltage for threshold detection which has a higher potential than the threshold voltage to the drive element of said each display pixel; and

detecting, as the threshold voltage, a voltage after part of electric charges corresponding to the voltage for threshold detection is discharged and converged.

20 36. The drive control method of the display apparatus, according to claim 34, wherein the detecting the threshold voltage includes:

storing threshold data corresponding to the threshold voltage, and

25 the storing the threshold data by detecting the threshold voltage is performed with respect to all of said plurality of display pixels arranged on the

display panel at a timing prior to the application of the compensation voltage to the drive element and the holding of the voltage component based on the gradation signal.

5           37. The drive control method of the display apparatus, according to claim 36, wherein the storing the threshold data by detecting the threshold voltage is sequentially performed with respect to said plurality of display pixels for each row which are  
10 arranged on the display panel.

          38. The drive control method of the display apparatus, according to claim 34, wherein the detecting the threshold voltage including:

          storing threshold data corresponding to the  
15 threshold voltage; and

          the storing the threshold data by detecting the threshold voltage is performed with respect to the drive elements of the display pixels in different rows of the display panel for each of operation periods in  
20 which the gradation signal is supplied to all of said plurality of display pixels arranged on the display panel.

          39. The drive control method of the display apparatus, according to claim 34, wherein the detecting  
25 the threshold voltage includes:

          storing threshold data corresponding to the threshold voltage, and

the storing the threshold voltage by detecting the threshold voltage is performed with respect to the drive elements of the display pixels in adjacent rows of the display panel for each of operation periods in which the gradation signal is supplied to all of said plurality of display pixels arranged on the display panel.

5  
10  
15  
40. The drive control method of the display apparatus, according to claim 34, wherein the adding a voltage component based on the gradation signal to the voltage component based on the compensation voltage and allowing the drive element of said each display pixel to hold the voltage component is sequentially performed with respect to said plurality of display pixels for each row which are arranged on the display panel, and

the allowing the optical element to be performed in accordance with the gradation signal is sequentially performed from a row at which the adding a voltage component based on the gradation signal to the voltage component based on the compensation voltage to be held is completed.

20  
25  
41. The drive control method of the display apparatus, according to claim 34, wherein the adding a voltage component based on the gradation signal to the voltage component based on the gradation signal and allowing the drive element of said each display pixel to hold the voltage component is sequentially performed



for each group which is obtained by grouping said plurality of display pixels arranged on the display panel for each of the rows, and

5 the operation of allowing the optical element to perform a light emitting operation with a luminance gradation corresponding to the gradation signal is sequentially performed from the group in which the adding a voltage component based on the gradation signal to the voltage component based on the gradation  
10 signal to be held is completed.

42. The drive control method of the display apparatus, according to claim 34, wherein each of the optical elements has a light emitting element which performs a light emitting operation at a luminance  
15 corresponding to a current value of a current applied, and

the adding a voltage component based on the gradation signal to the voltage component on the compensation voltage and allowing the drive element to  
20 hold the voltage component includes:

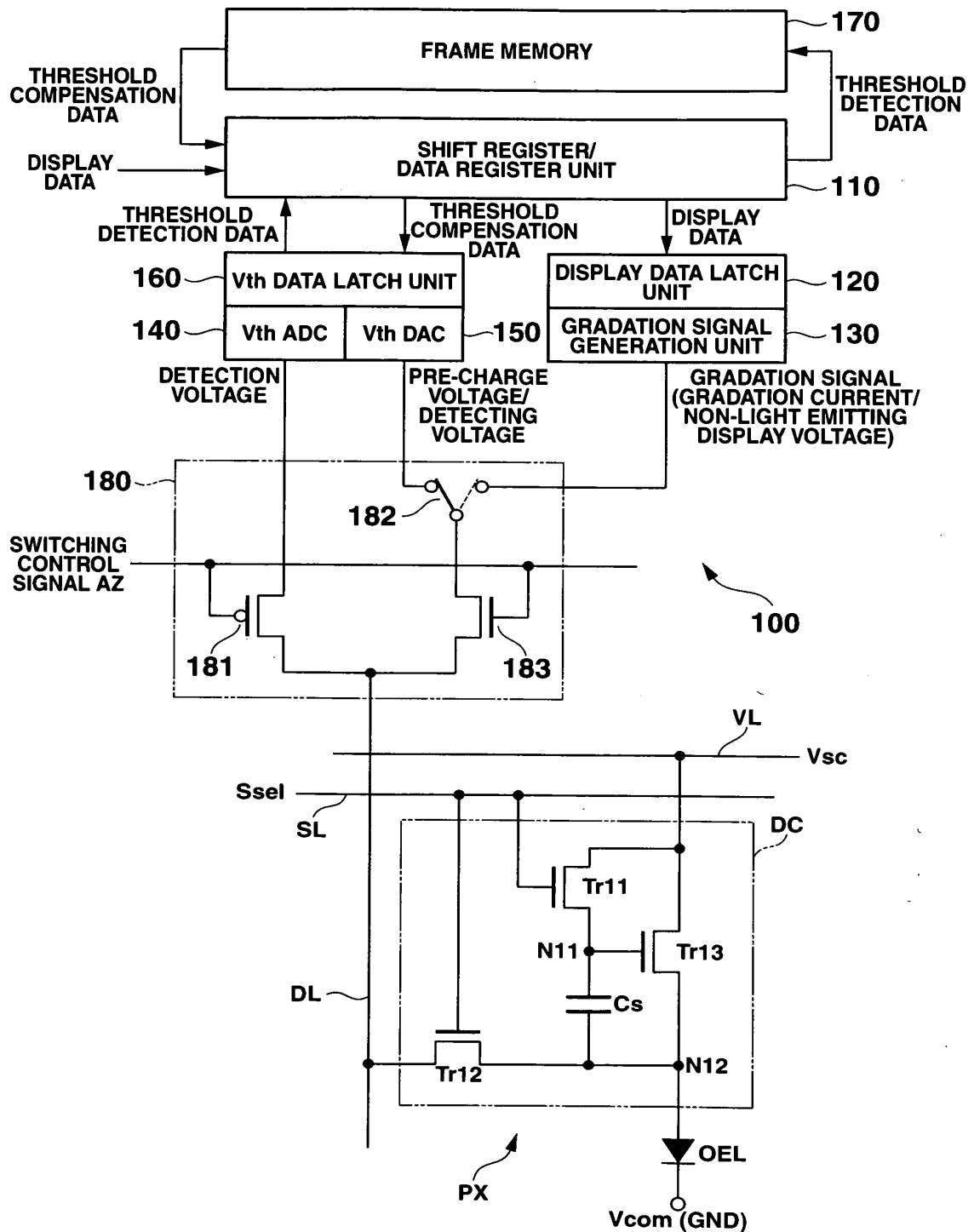
in the case where the light emitting element of said each display element is allowed to perform a light emitting operation at a luminance corresponding to a gradation luminance of display data, generating, as the  
25 gradation current, a gradation current having a current value for allowing the optical element to perform a light emitting operation at a luminance corresponding

to the gradation luminance of the display data, and  
supplying the gradation current to the display pixel;  
and

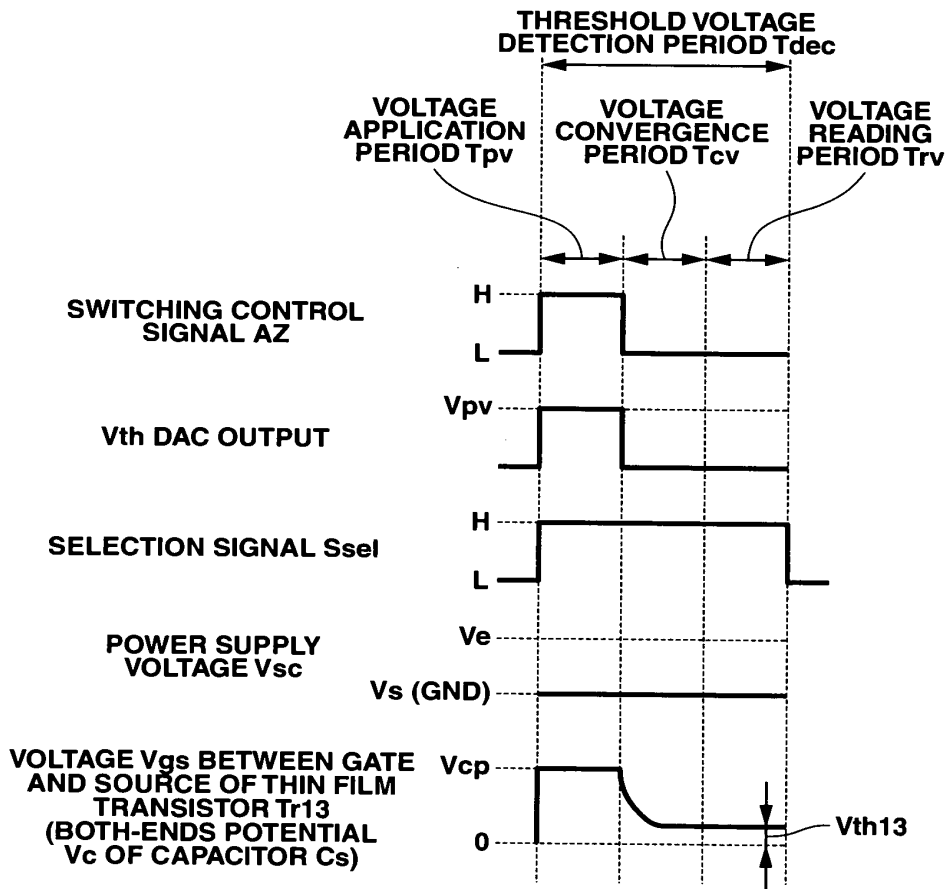
5           in the case where the light emitting element of  
said each display pixel is allowed to perform a non-  
light emitting operation, generating, as the gradation  
signal, a non-light emitting display voltage having a  
predetermined voltage for allowing the optical element  
to perform a non-light emitting operation, and supply  
10          the non-light emitting display voltage to the display  
pixel.

ABSTRACT OF THE DISCLOSURE

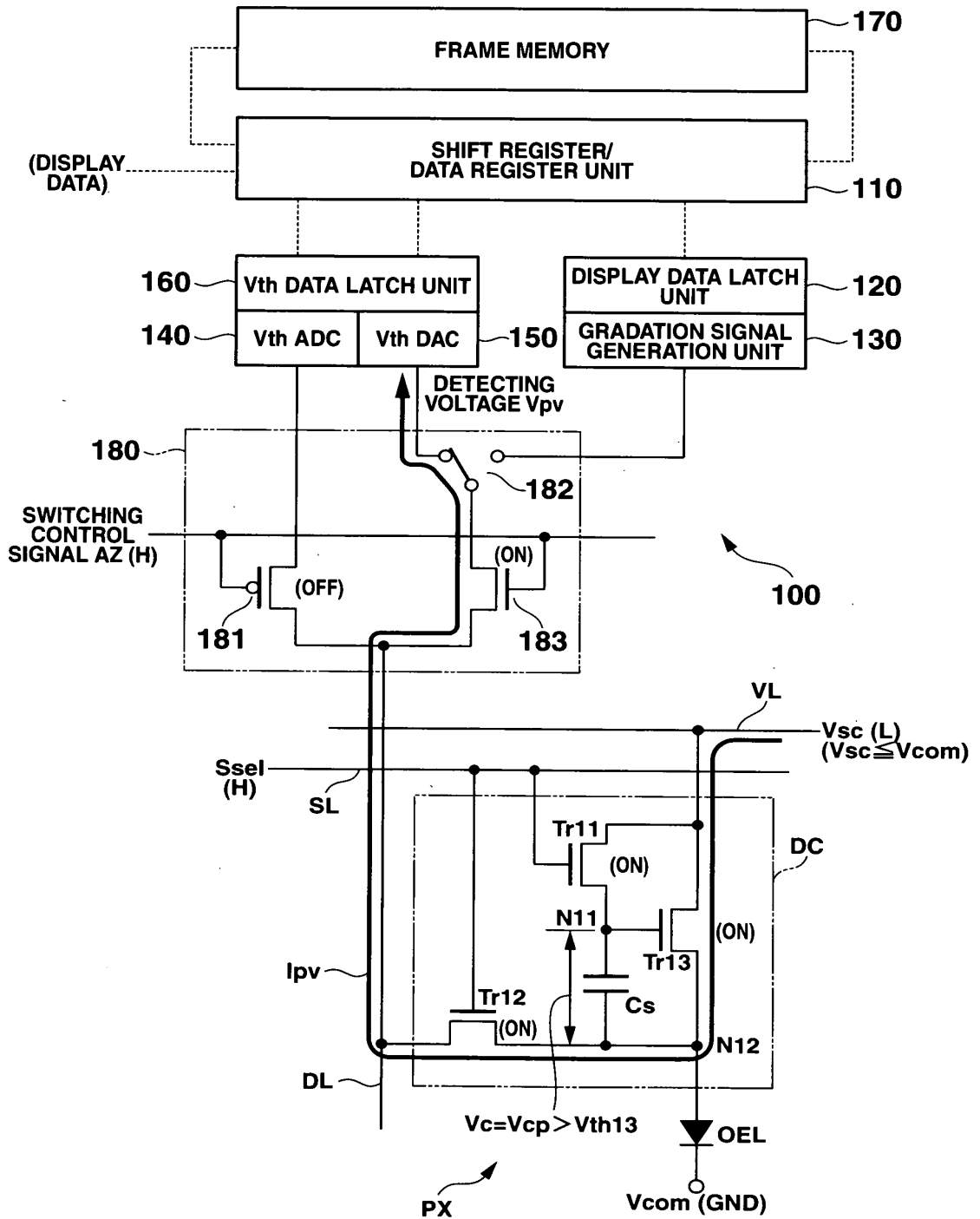
There is provided a display drive apparatus for operating, in accordance with display data, a current control type optical elements each having a display pixel provided with the optical element and a drive element which supplies a driving current to the optical element. The display drive apparatus includes a gradation signal creating circuit which generates a gradation signal corresponding to a luminance gradation of the display data and supplies the gradation signal to the display pixel, a threshold voltage detection circuit which detects a threshold voltage peculiar to the drive element of the display pixel, and a compensation voltage application circuit which generates a compensation voltage for compensating for the threshold voltage of the drive element on the basis of the threshold voltage and applies the compensation voltage to the drive element.



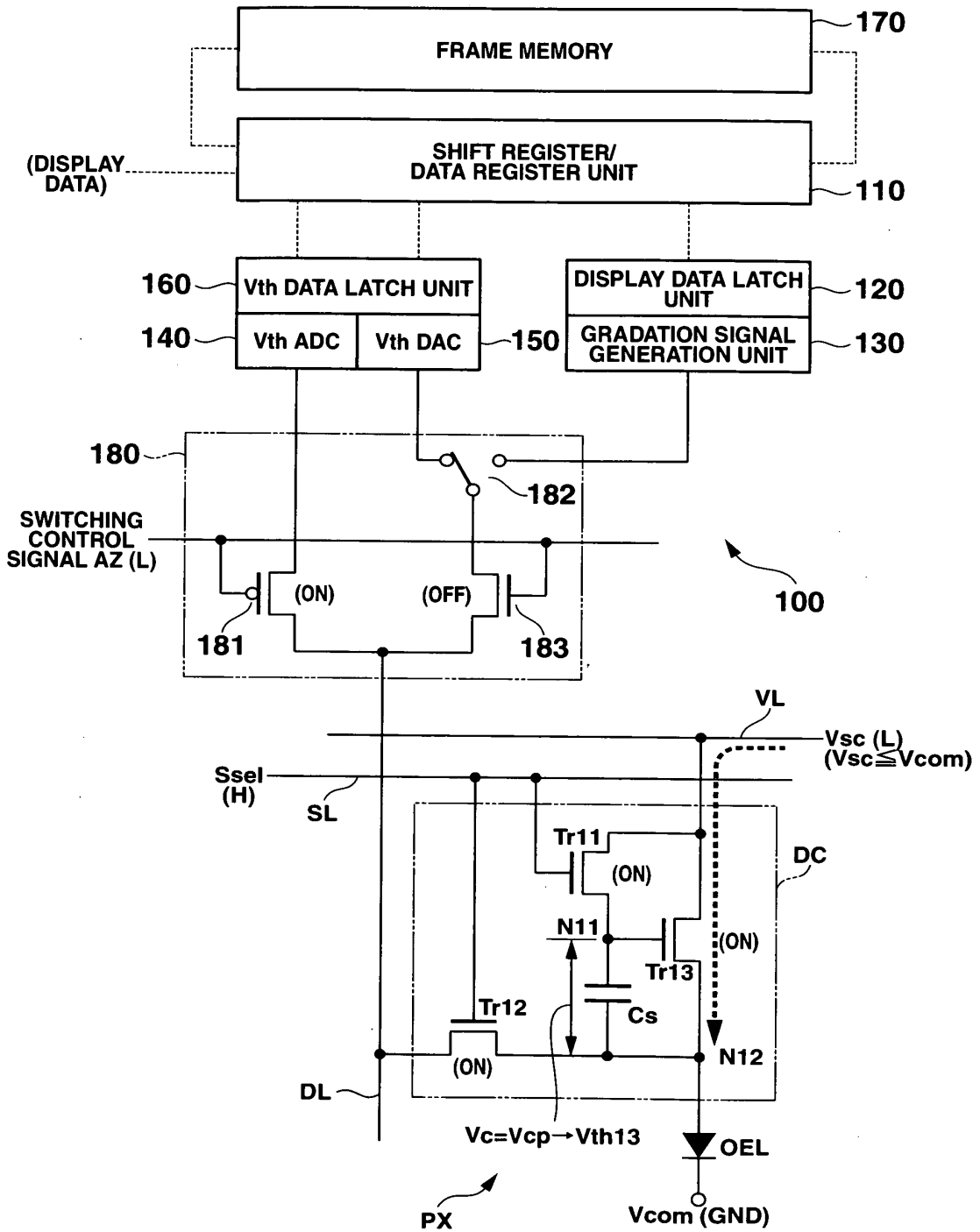
**FIG.1**



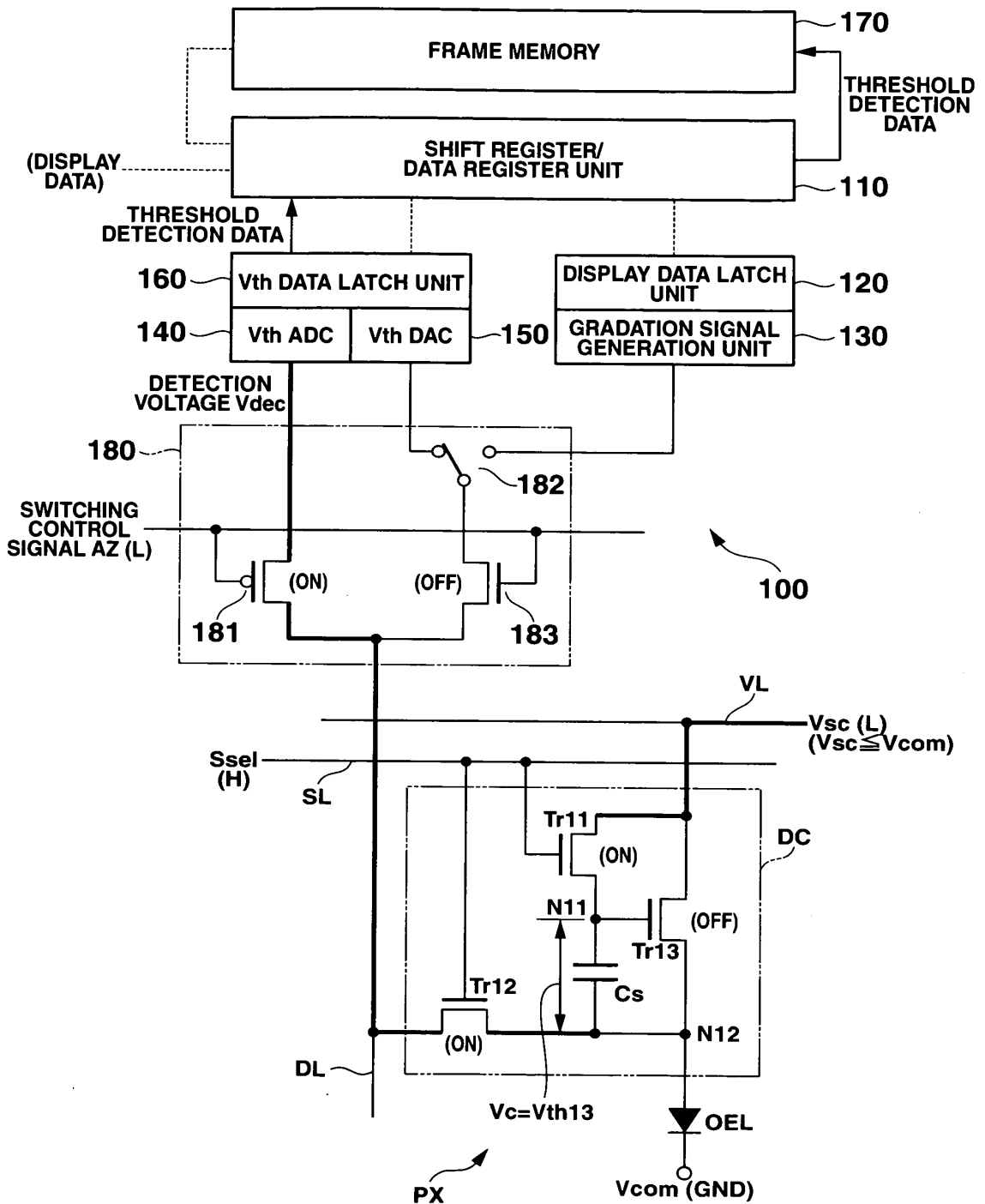
**FIG.2**



**FIG.3**

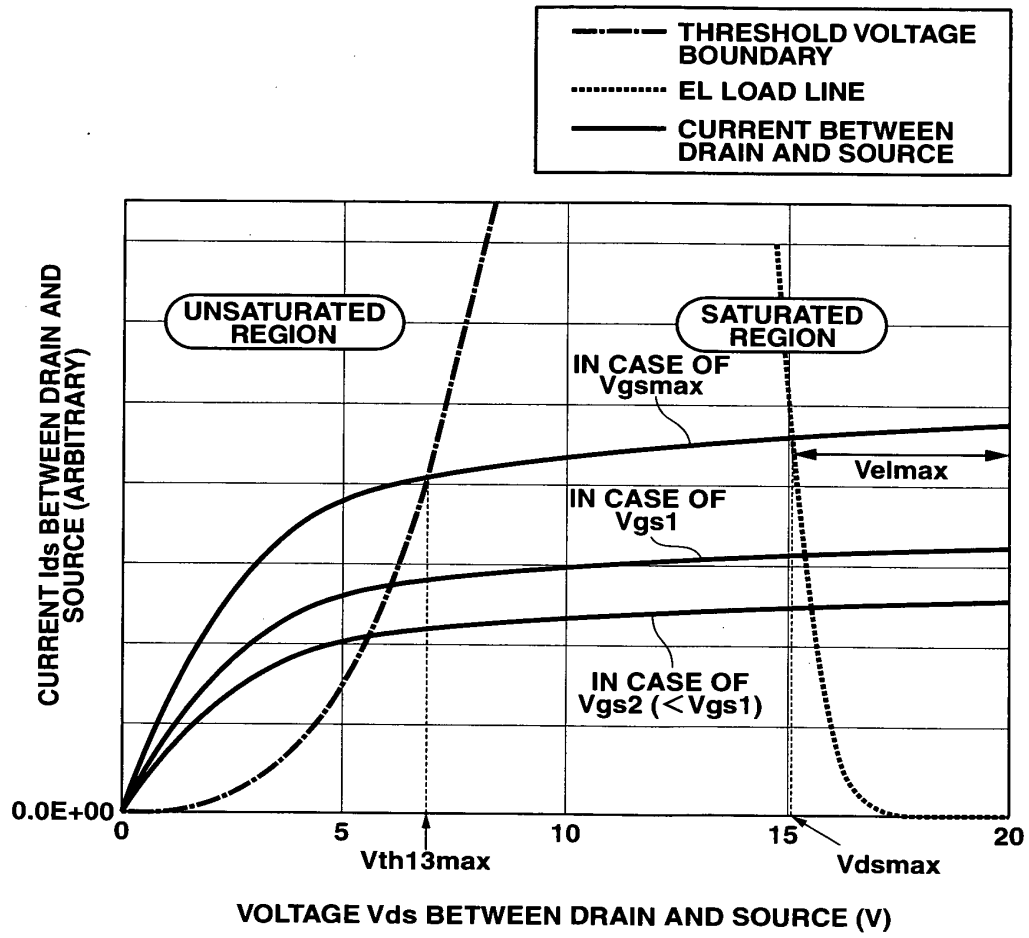


**FIG.4**

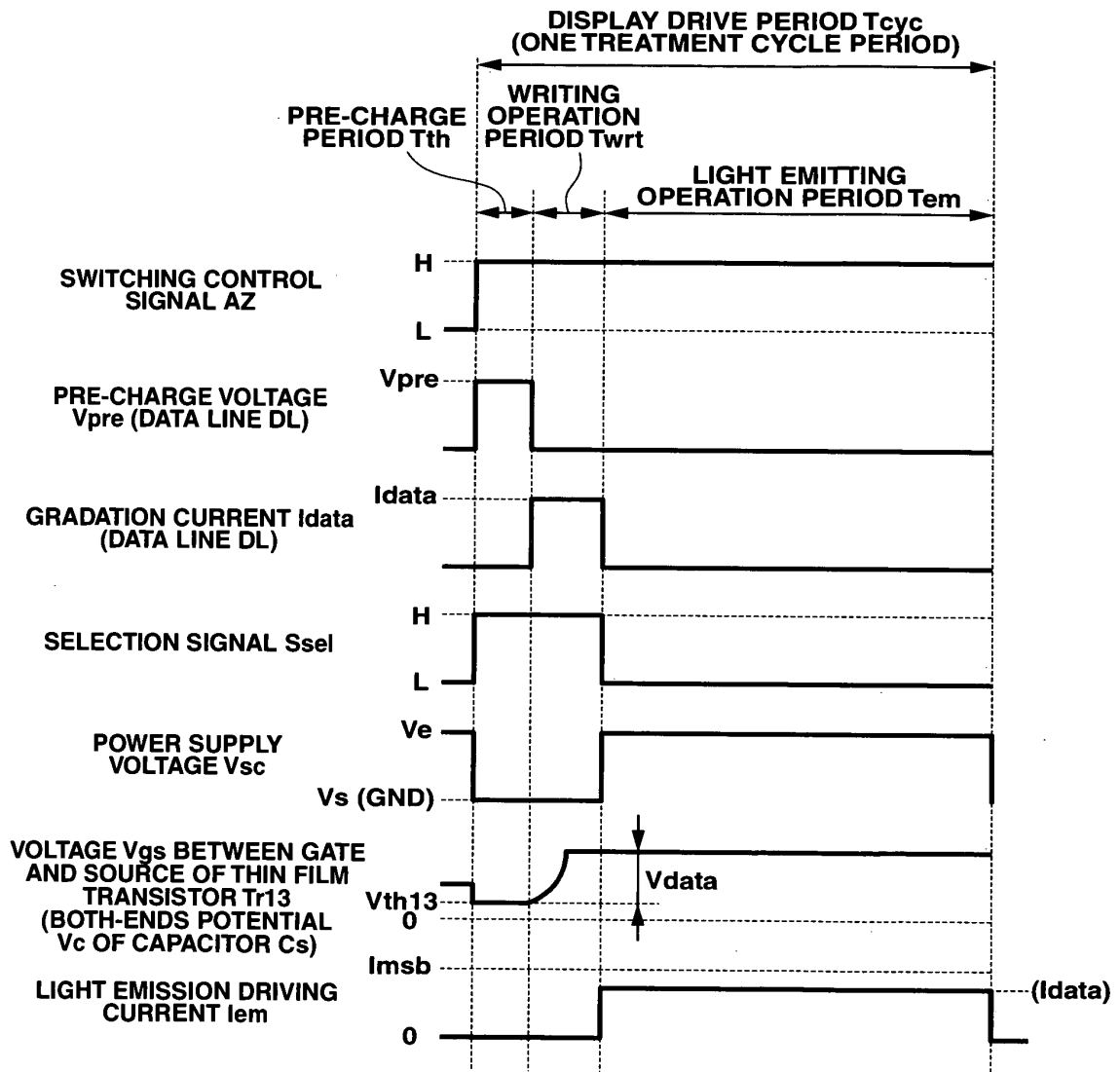


**FIG.5**

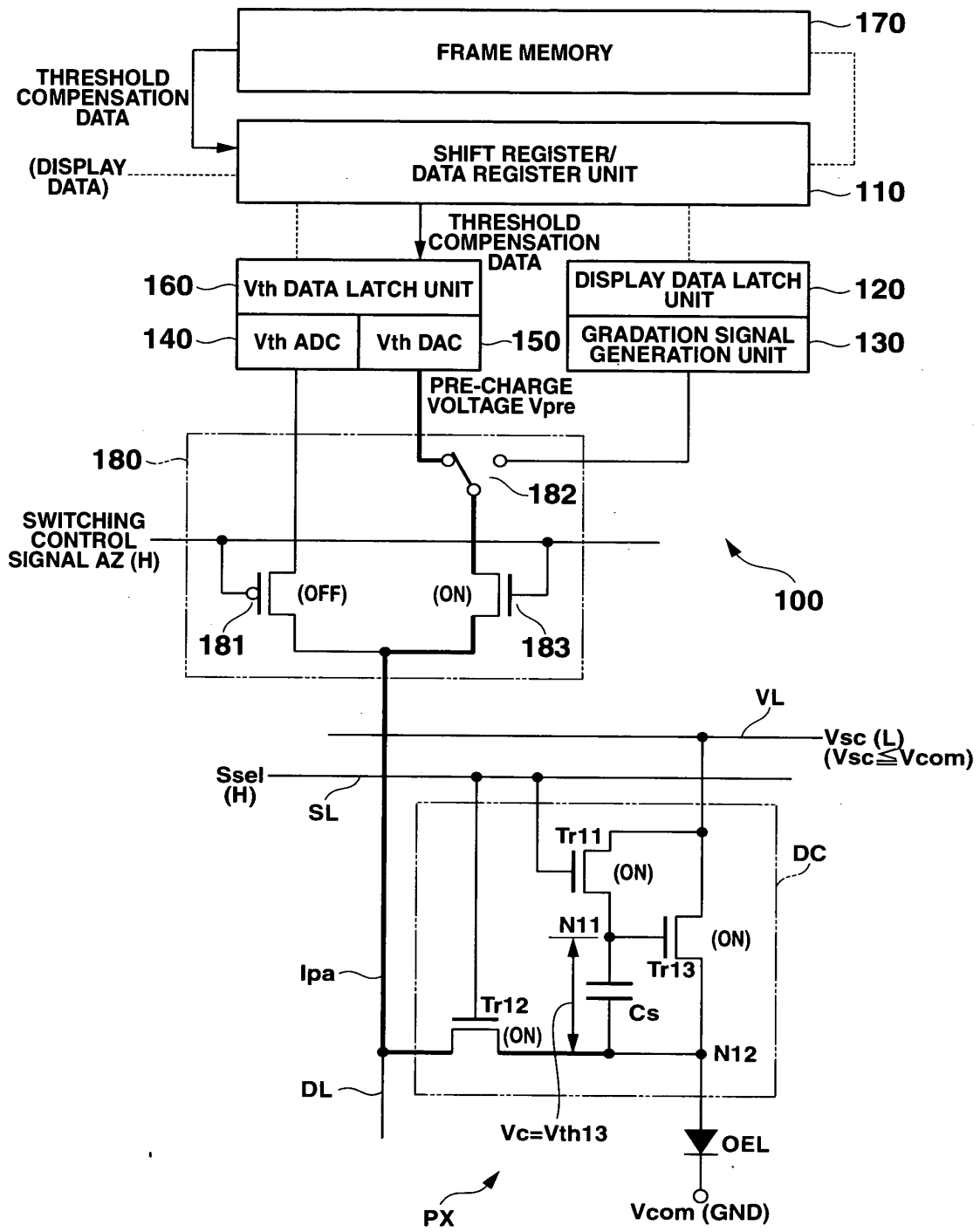




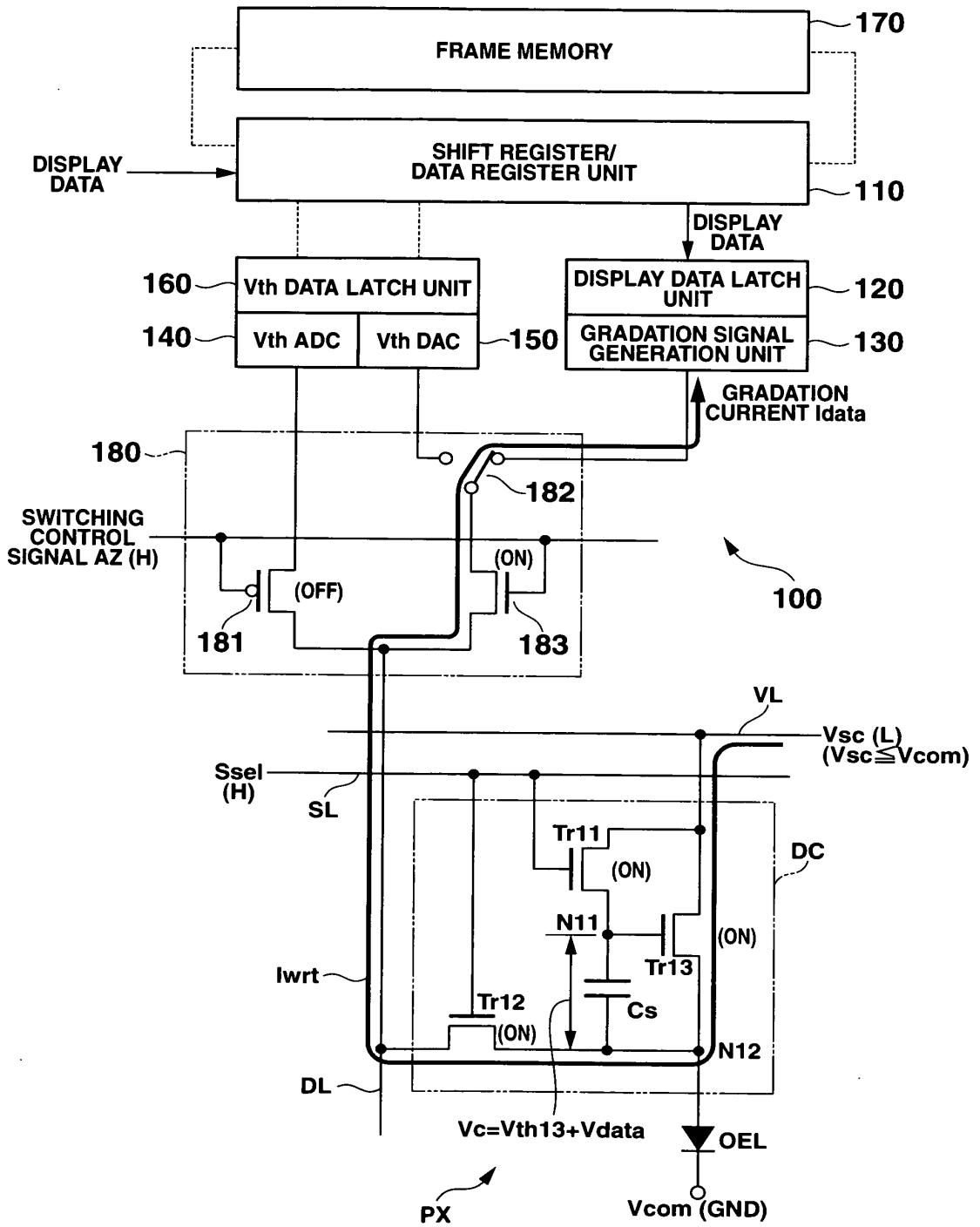
**FIG.6**



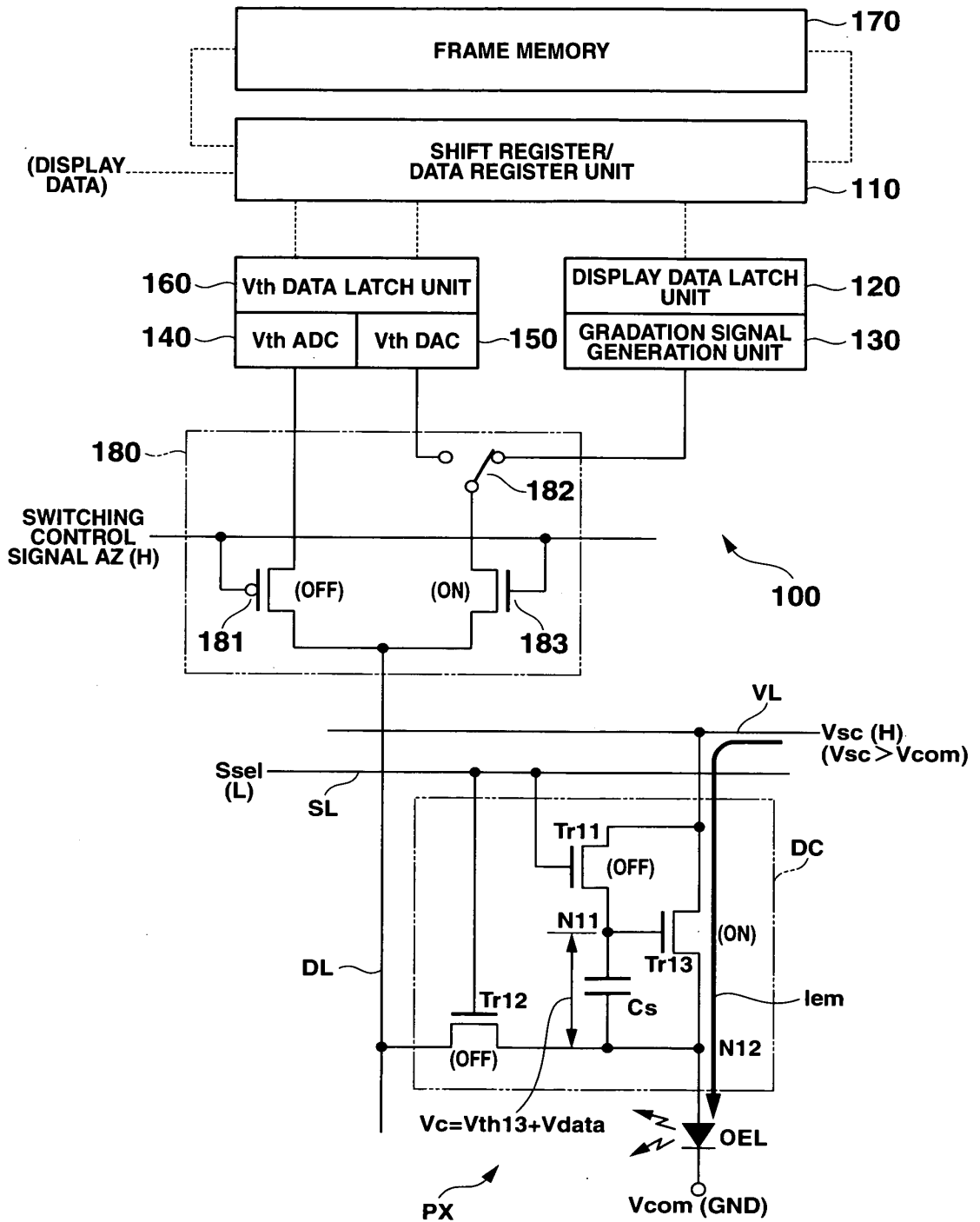
**FIG.7**



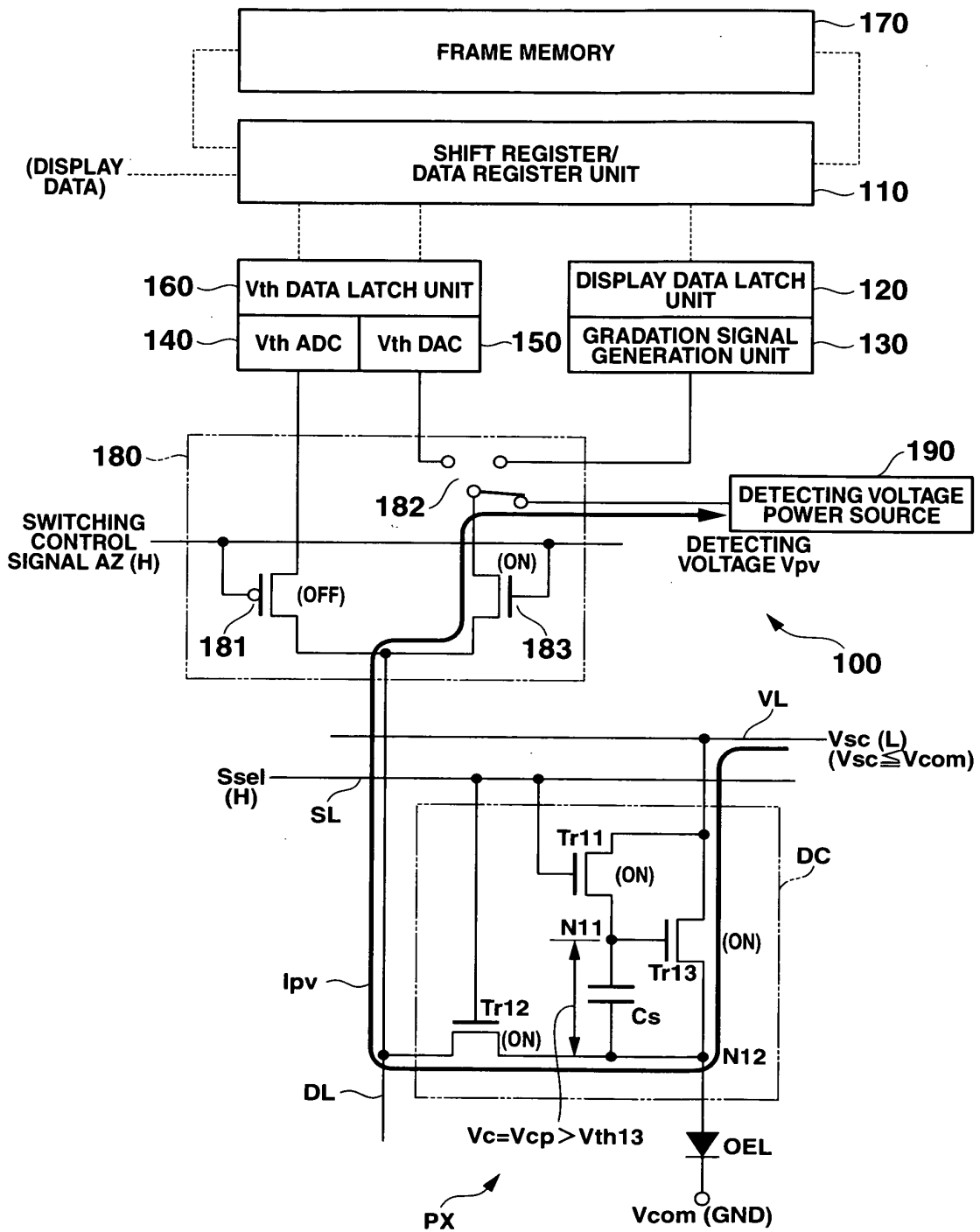
**FIG.8**



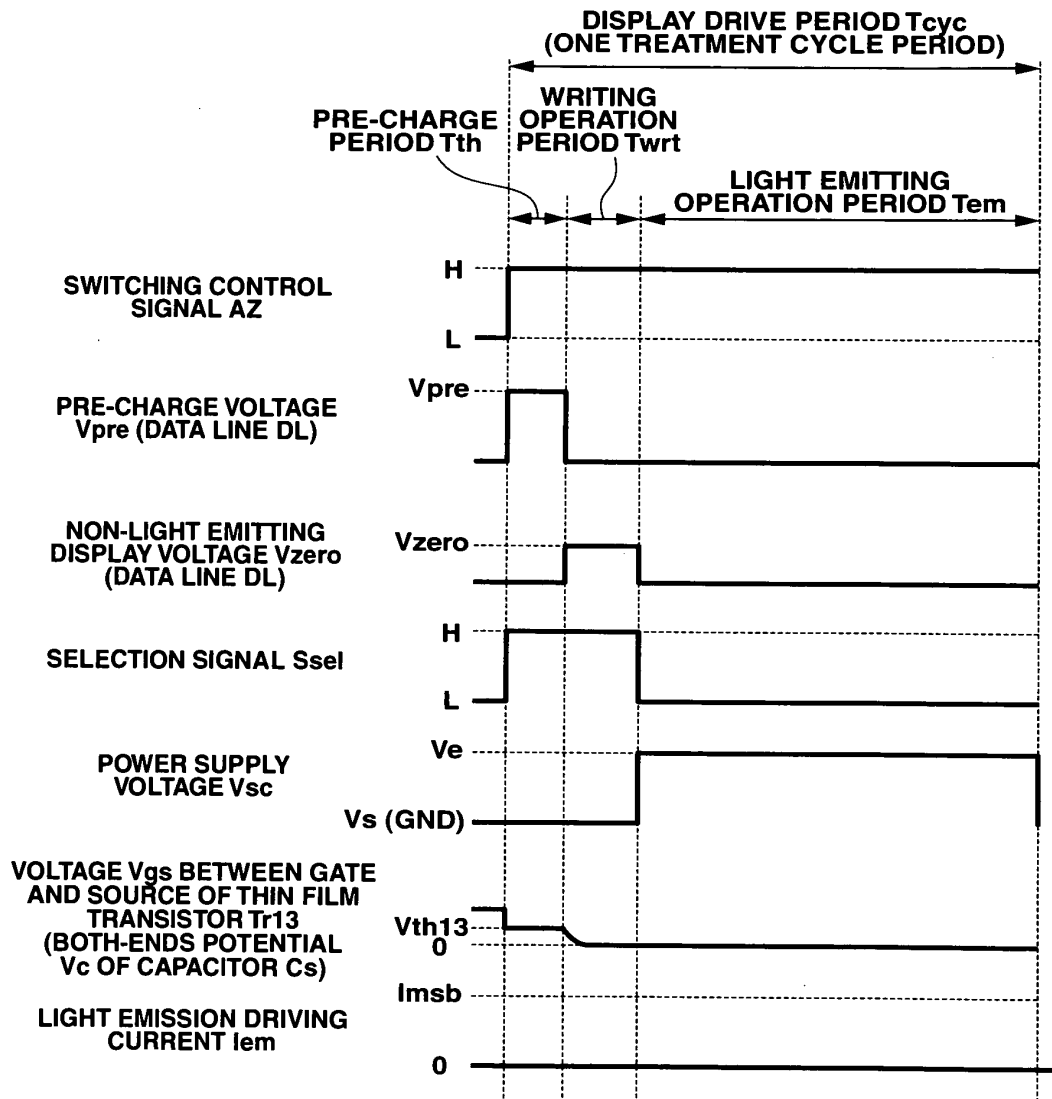
**FIG.9**



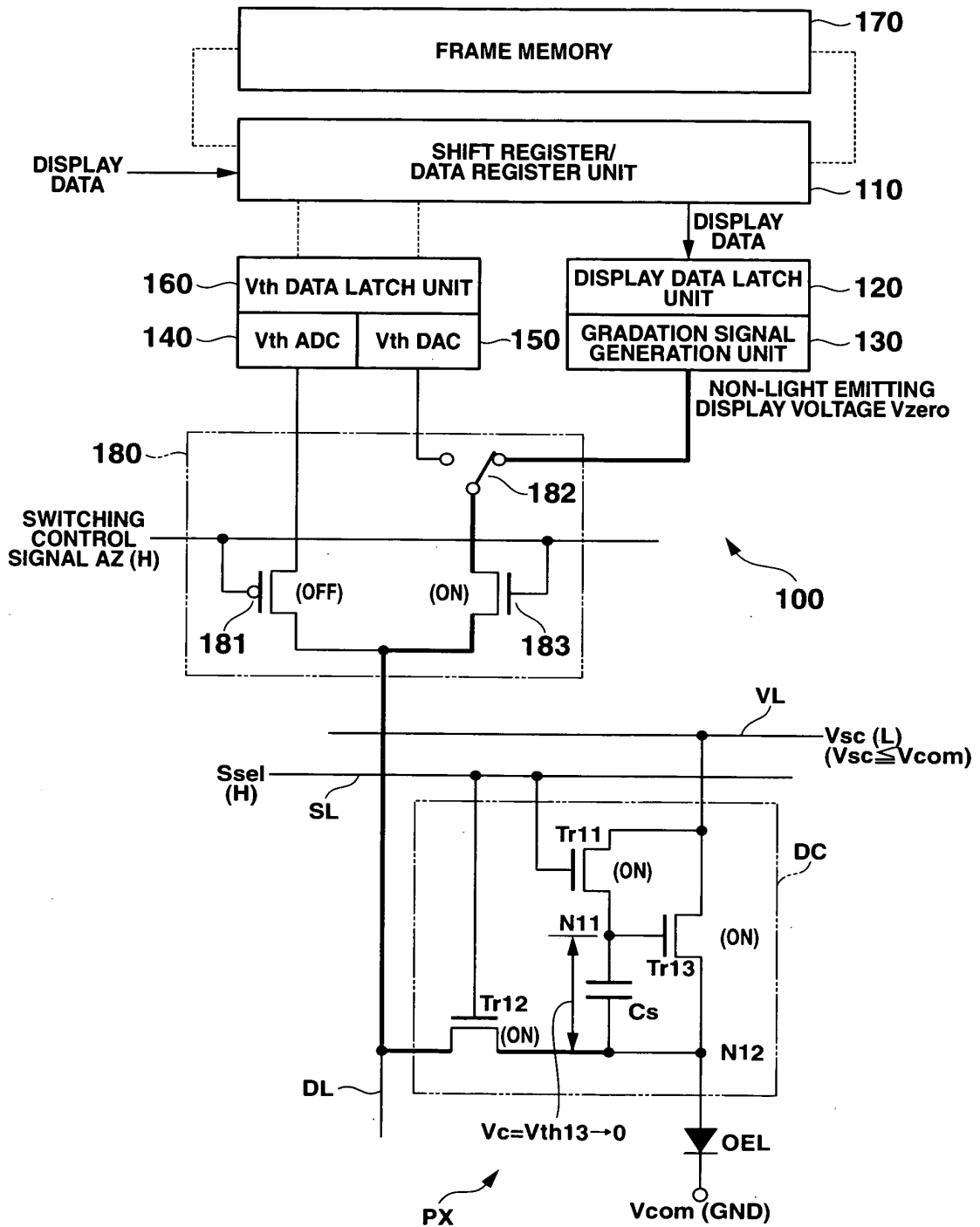
**FIG.10**



**FIG.11**

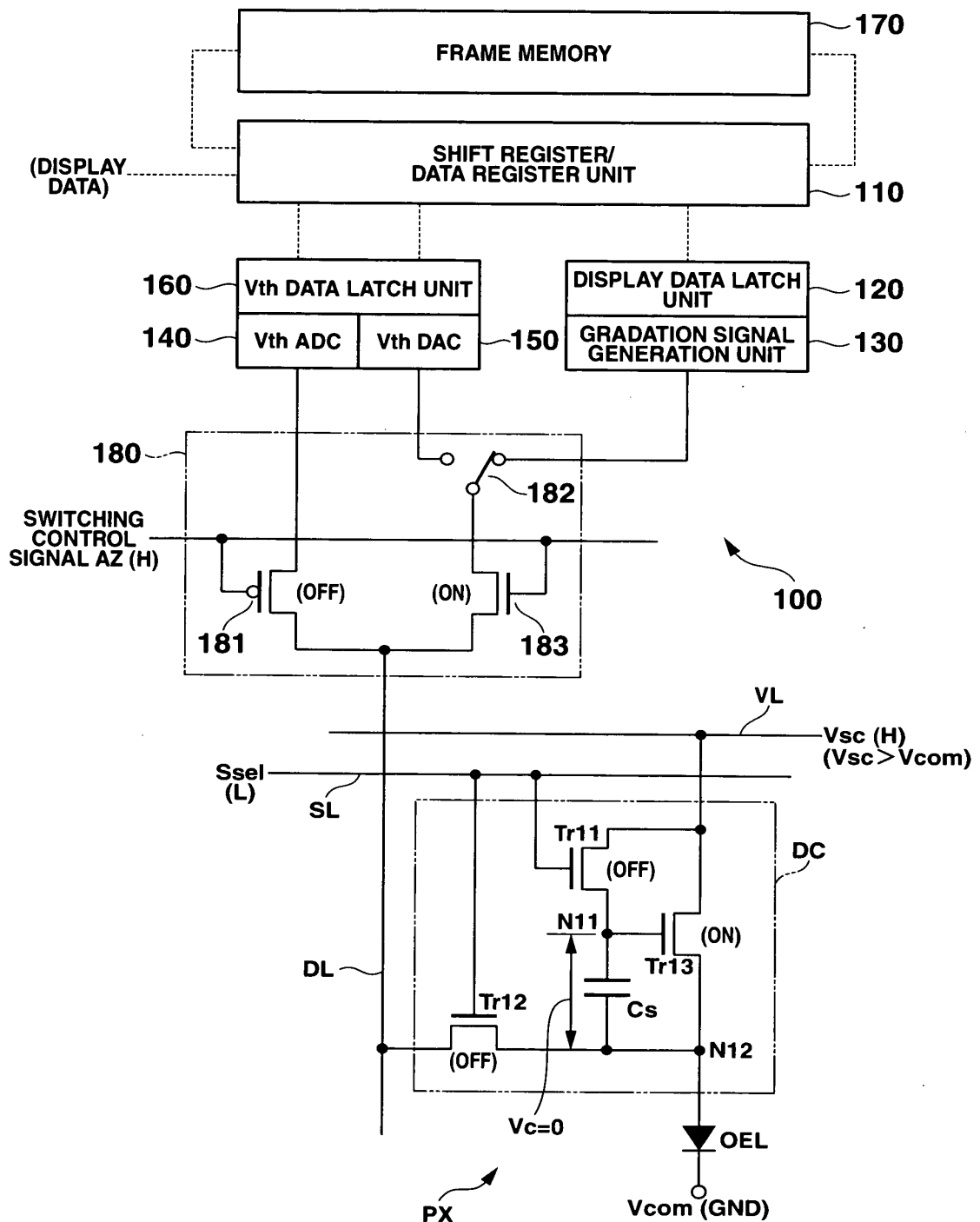


**FIG.12**

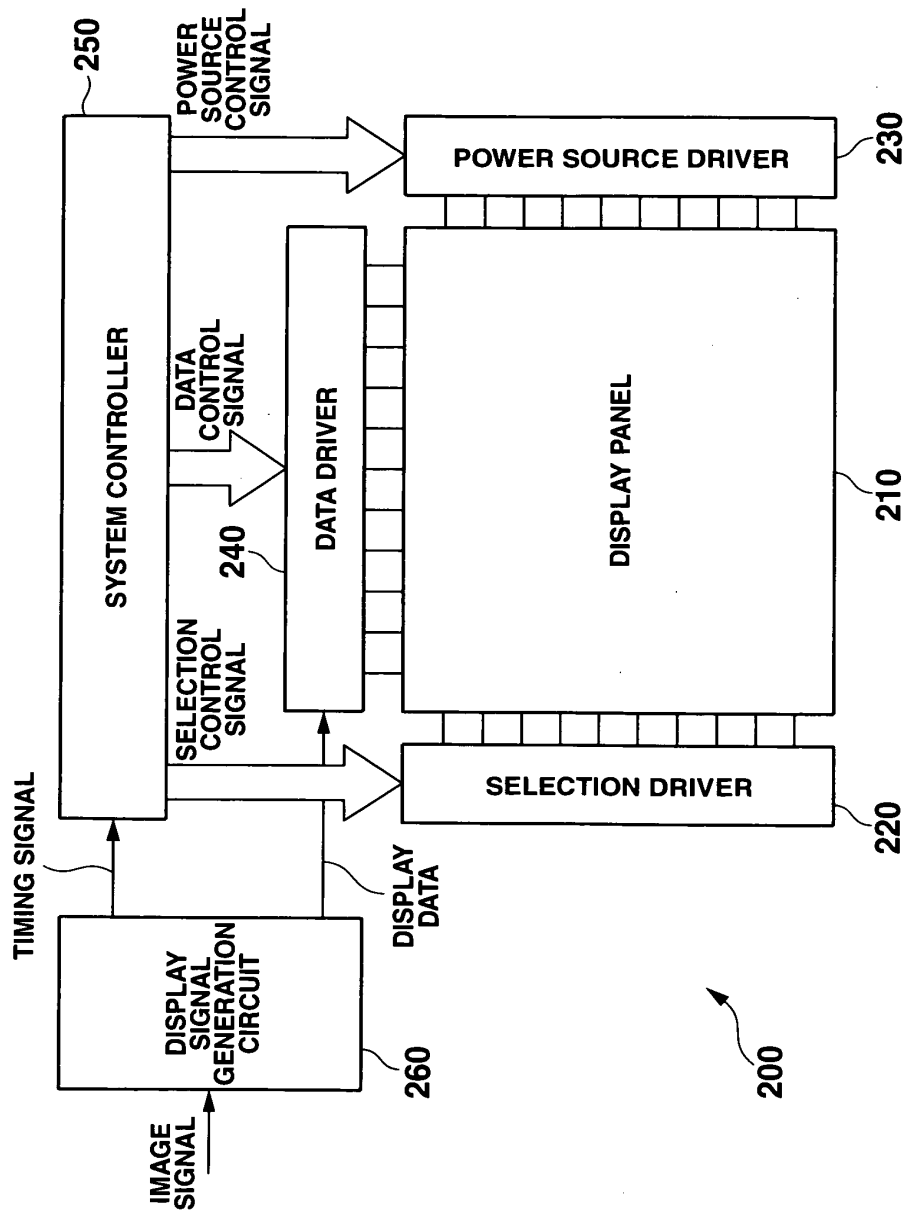


**FIG.13**

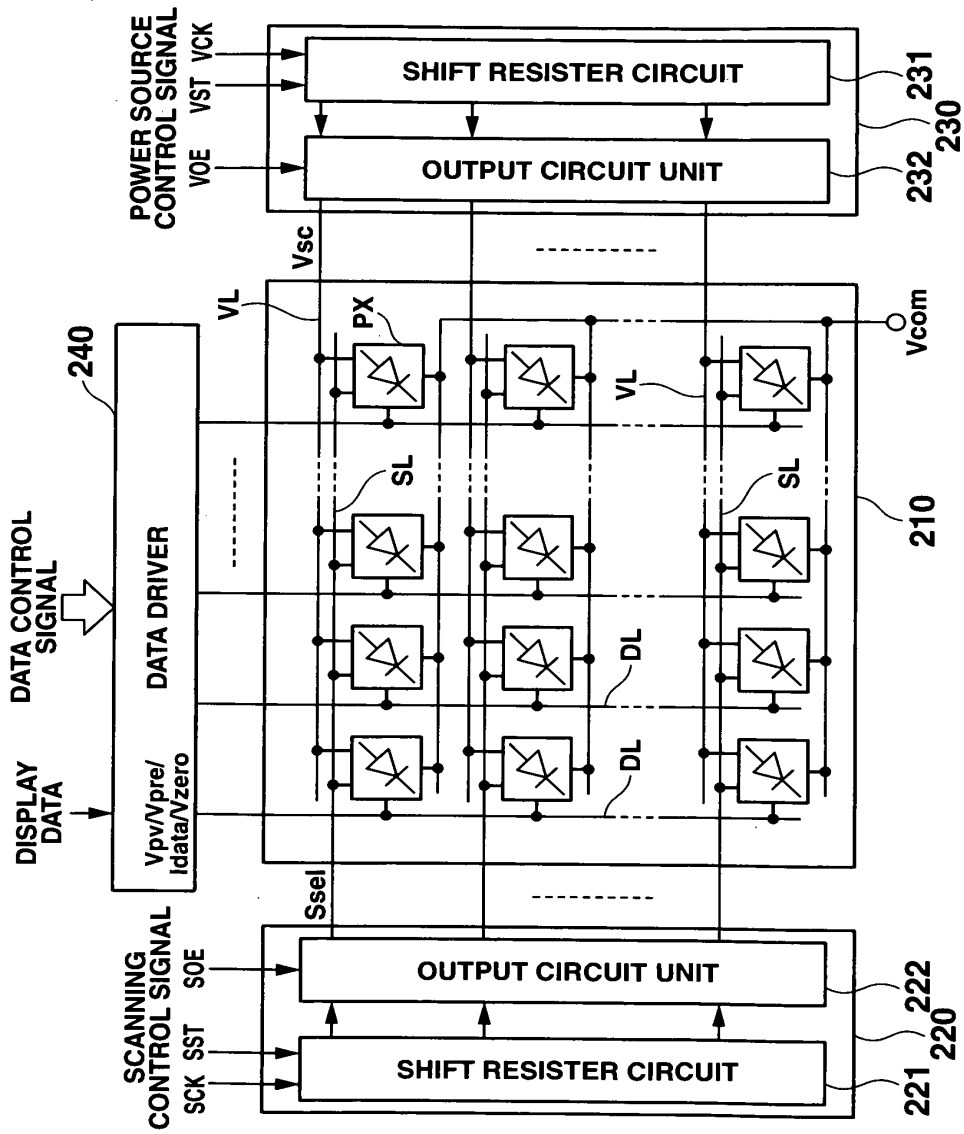




**FIG.14**

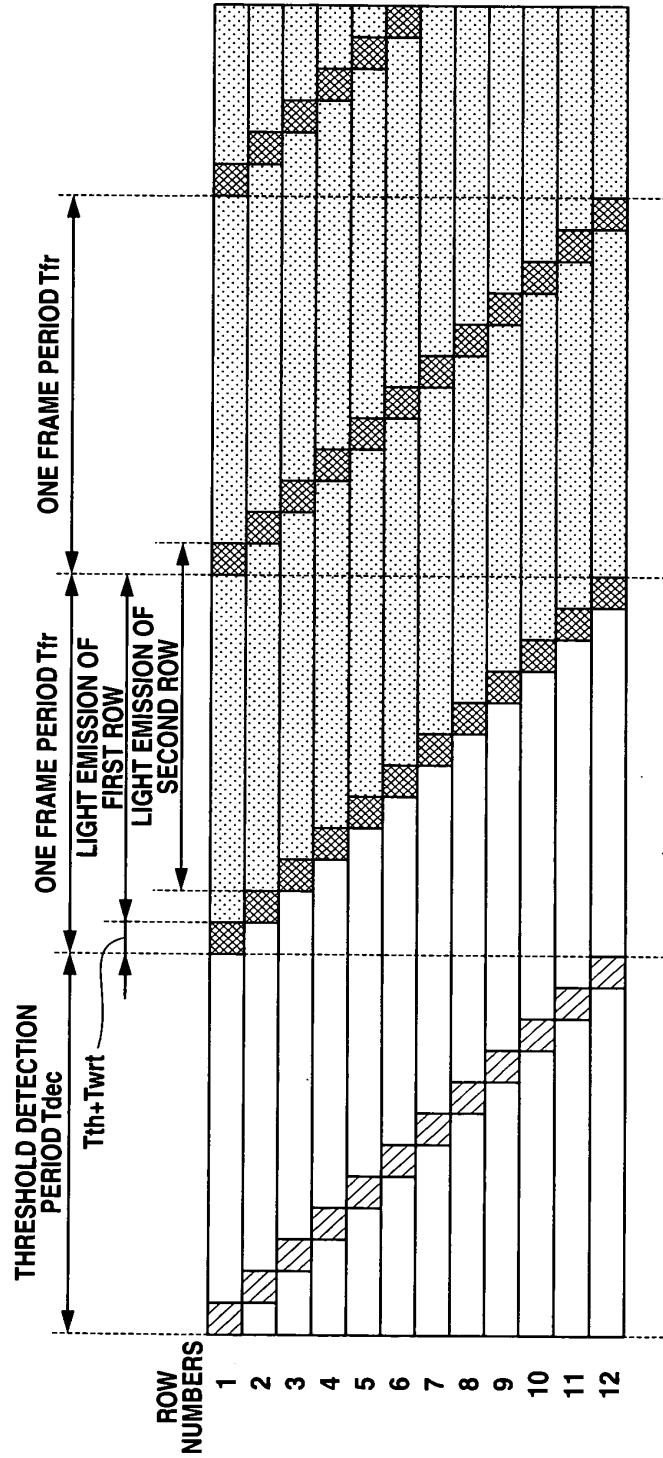


**FIG.15**



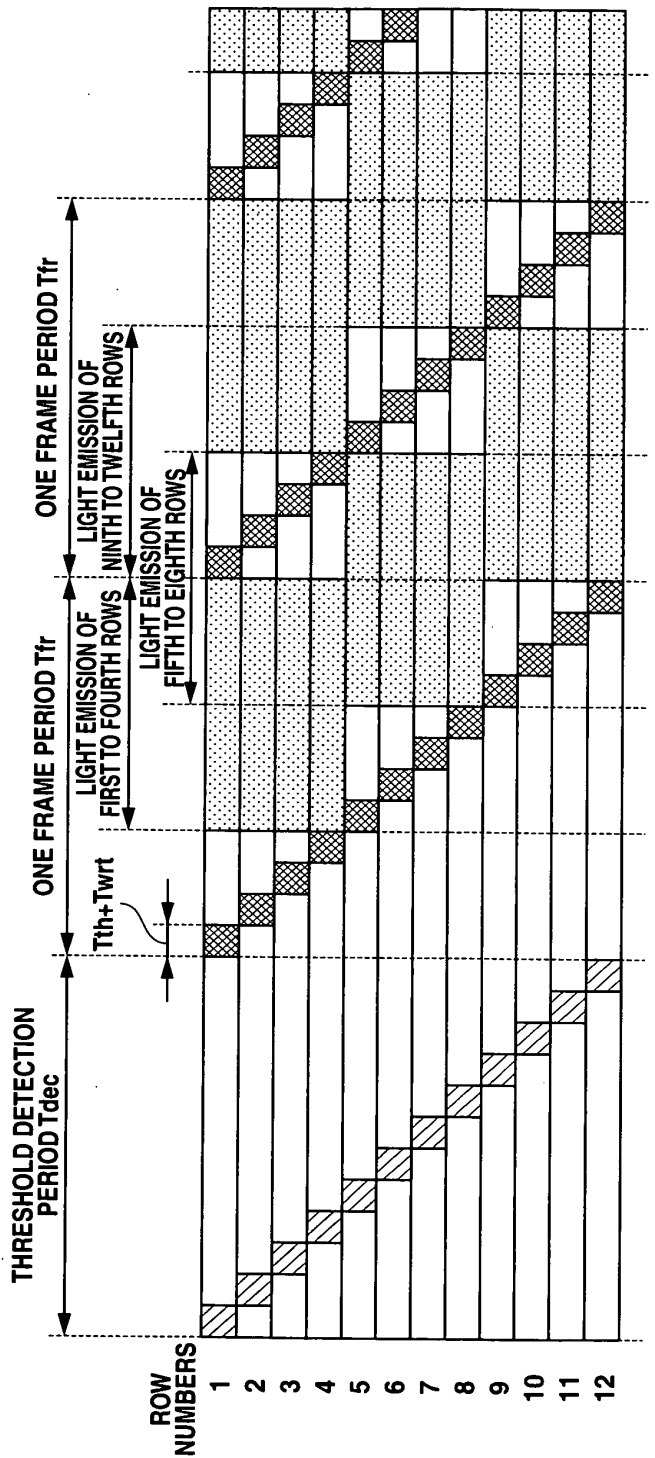
**FIG.16**

- NON-LIGHT EMITTING OPERATION
- ▨ THRESHOLD DETECTION OPERATION
- ▩ THRESHOLD CORRECTION + WRITING OPERATION
- ▤ LIGHT EMITTING OPERATION

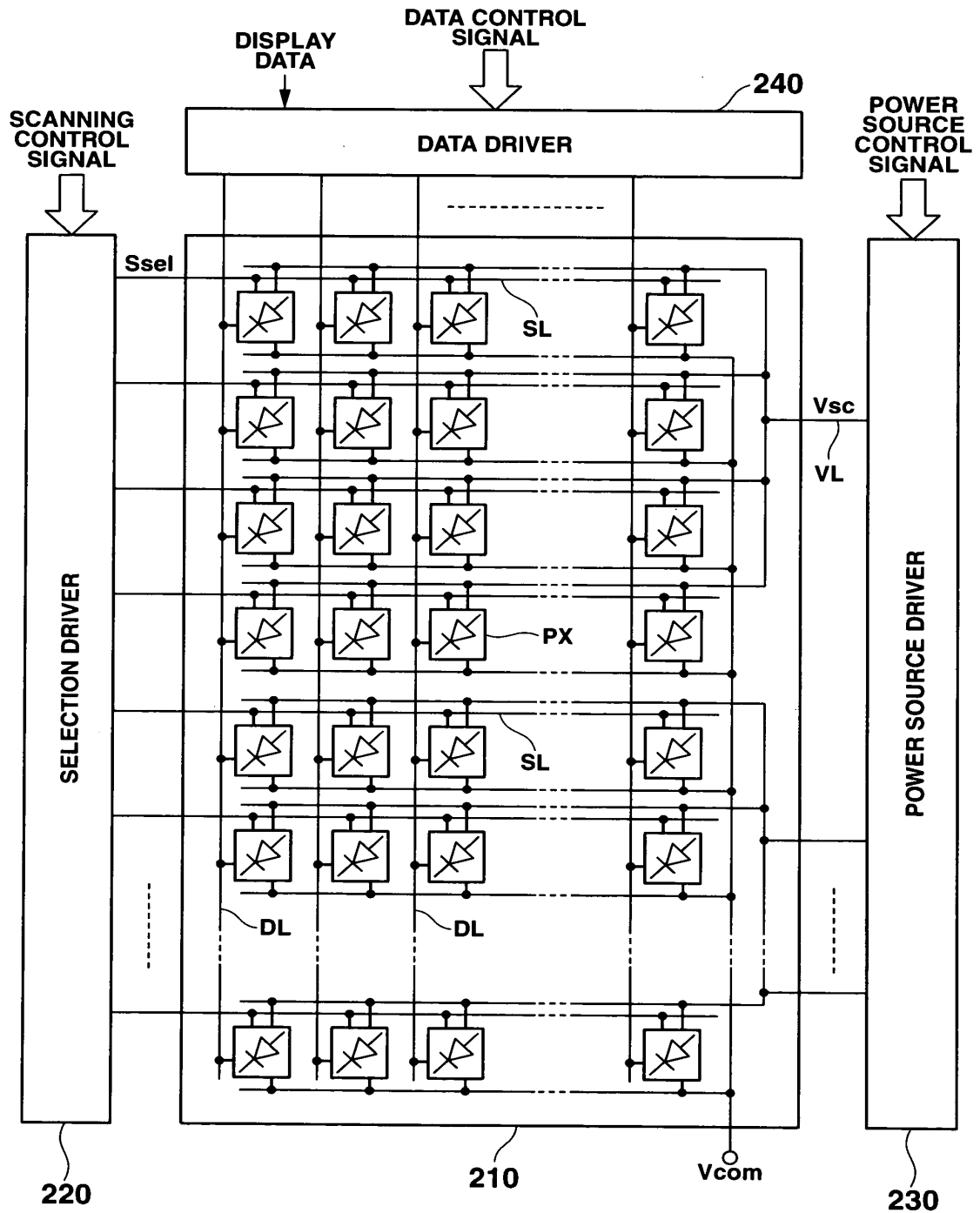


**FIG.17**

- NON-LIGHT EMITTING OPERATION
- ▨ THRESHOLD DETECTION OPERATION
- ▩ THRESHOLD CORRECTION + WRITING OPERATION
- ▧ LIGHT EMITTING OPERATION

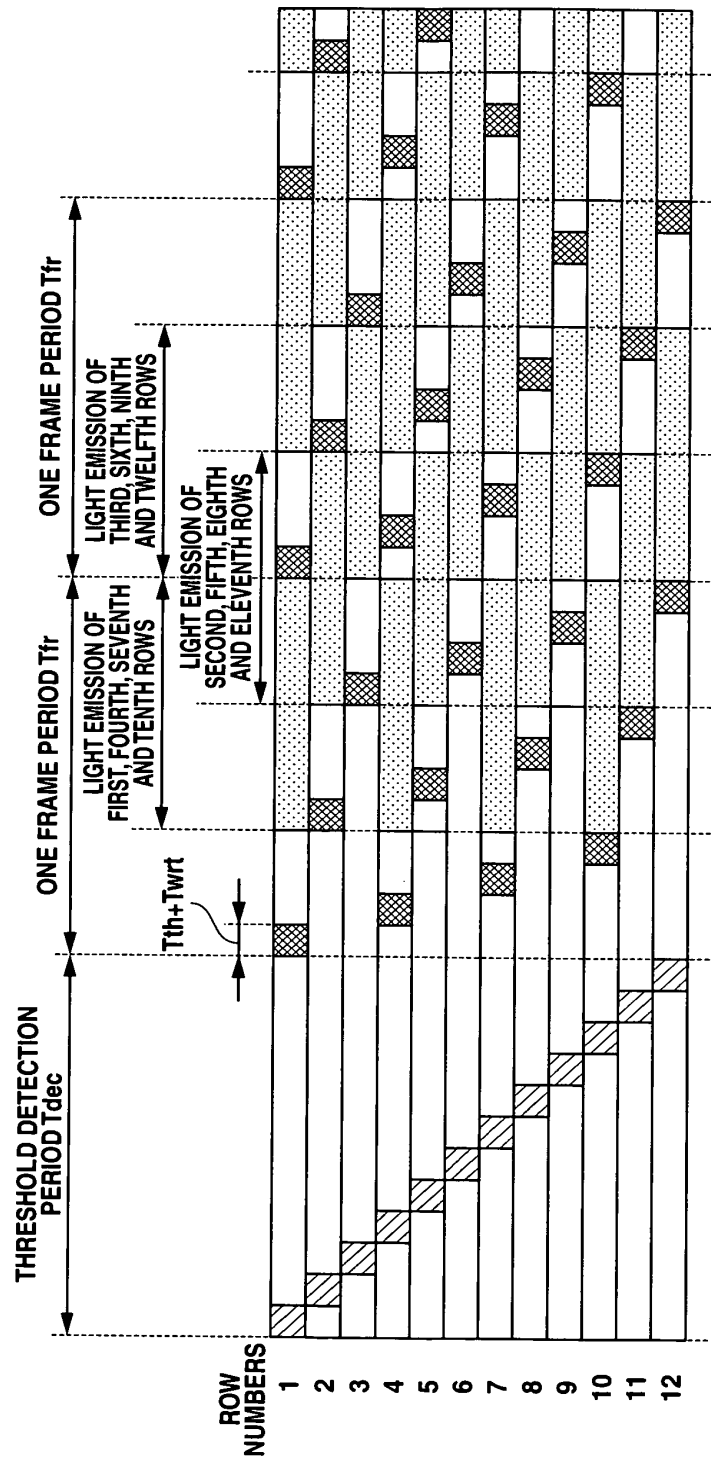


**FIG.18**



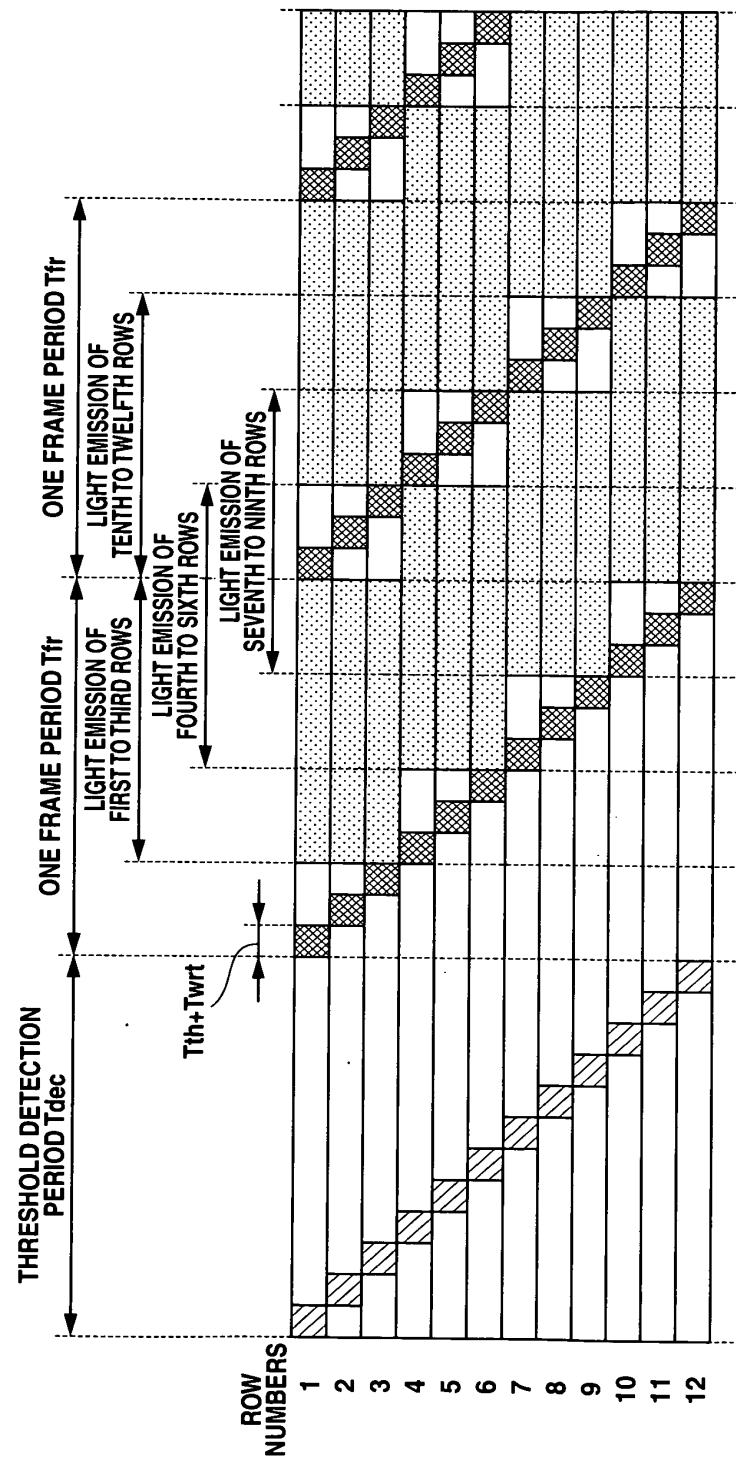
**FIG.19**

- NON-LIGHT EMITTING OPERATION
- ▨ THRESHOLD DETECTION OPERATION
- ▩ THRESHOLD CORRECTION + WRITING OPERATION
- ▤ LIGHT EMITTING OPERATION



**FIG.20**

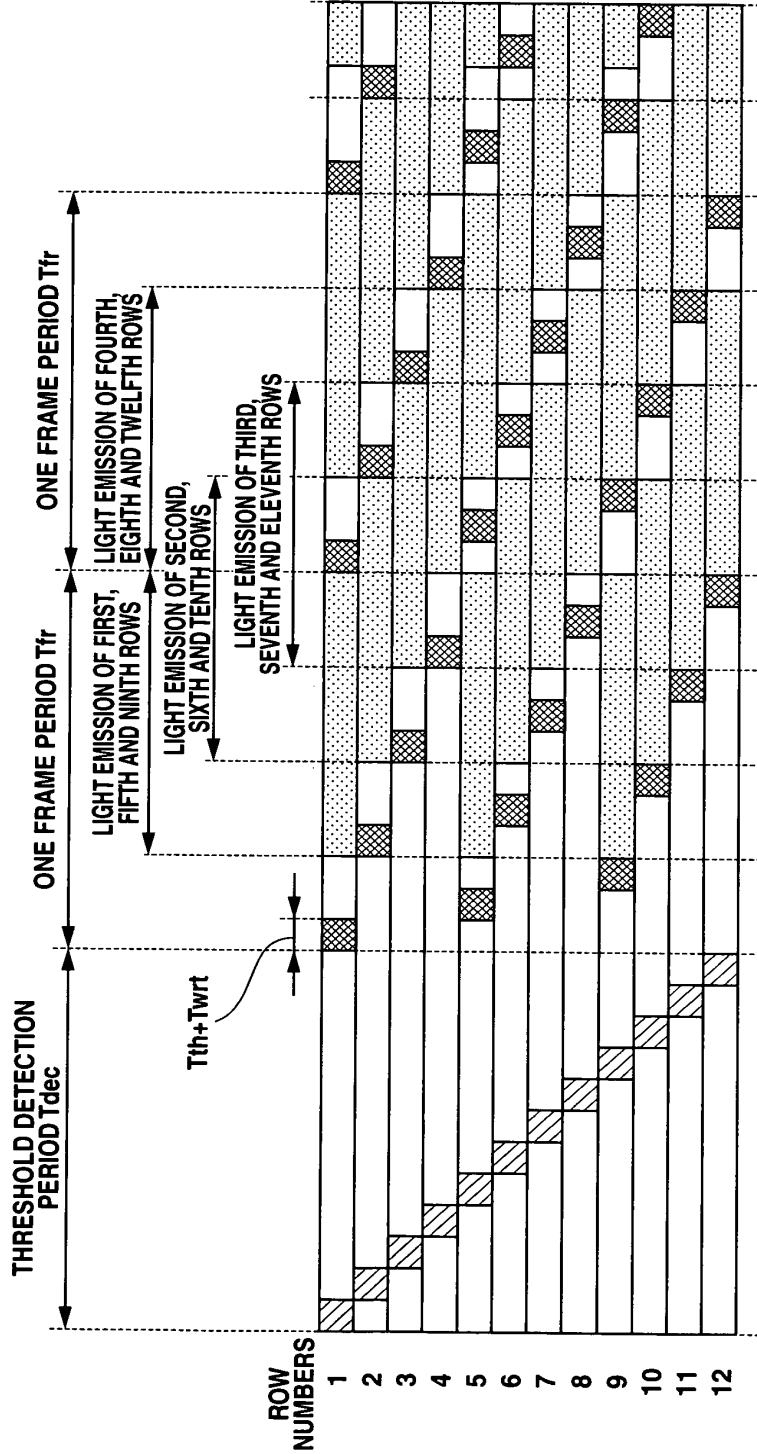
- NON-LIGHT EMITTING OPERATION
- ▨ THRESHOLD DETECTION OPERATION
- ▩ THRESHOLD CORRECTION + WRITING OPERATION
- ▤ LIGHT EMITTING OPERATION



**FIG.21**



- NON-LIGHT EMITTING OPERATION
- ▨ THRESHOLD DETECTION OPERATION
- ▩ THRESHOLD CORRECTION + WRITING OPERATION
- ▤ LIGHT EMITTING OPERATION



**FIG.22**

- NON-LIGHT EMITTING OPERATION
- ▨ THRESHOLD DETECTION OPERATION
- ▩ THRESHOLD CORRECTION + WRITING OPERATION
- ▤ LIGHT EMITTING OPERATION

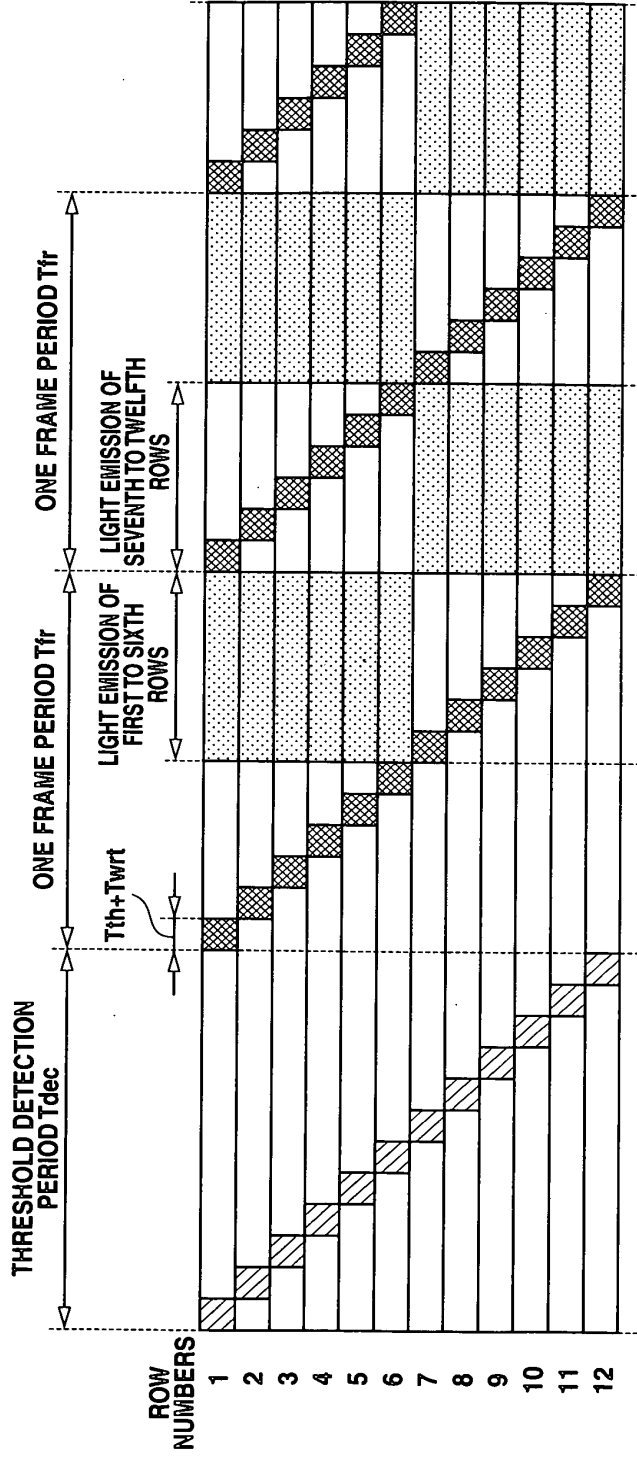


FIG.23

- NON-LIGHT EMITTING OPERATION
- ▨ THRESHOLD DETECTION OPERATION
- ▩ THRESHOLD CORRECTION + WRITING OPERATION
- ▤ LIGHT EMITTING OPERATION

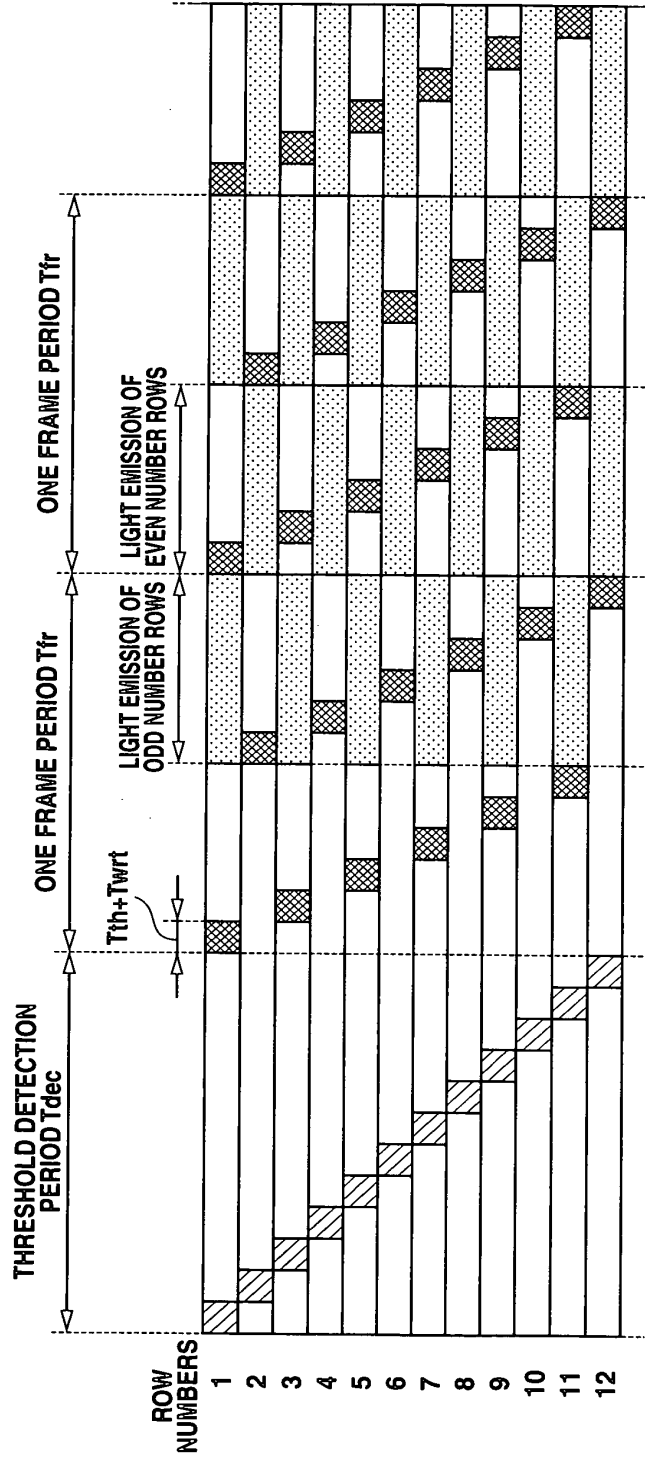


FIG.24

- NON-LIGHT EMITTING OPERATION
- ▨ THRESHOLD DETECTION OPERATION
- ▩ THRESHOLD CORRECTION + WRITING OPERATION
- ▤ LIGHT EMITTING OPERATION

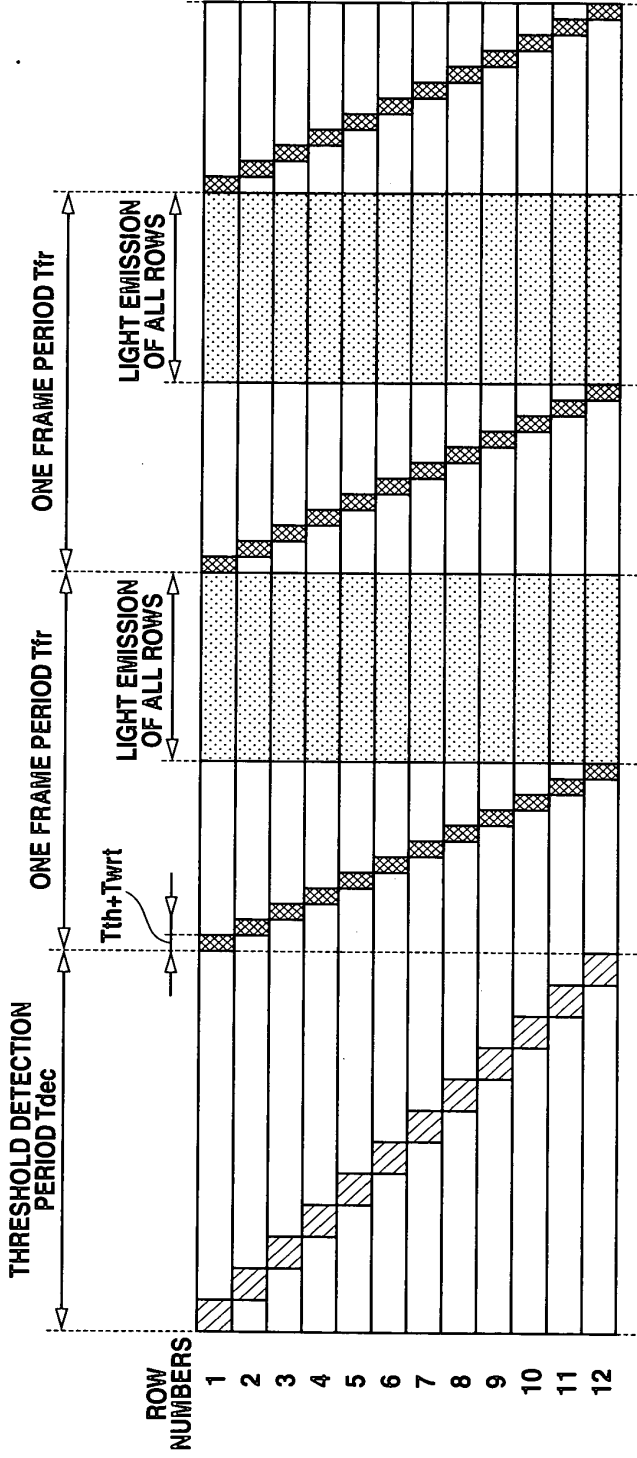


FIG.25

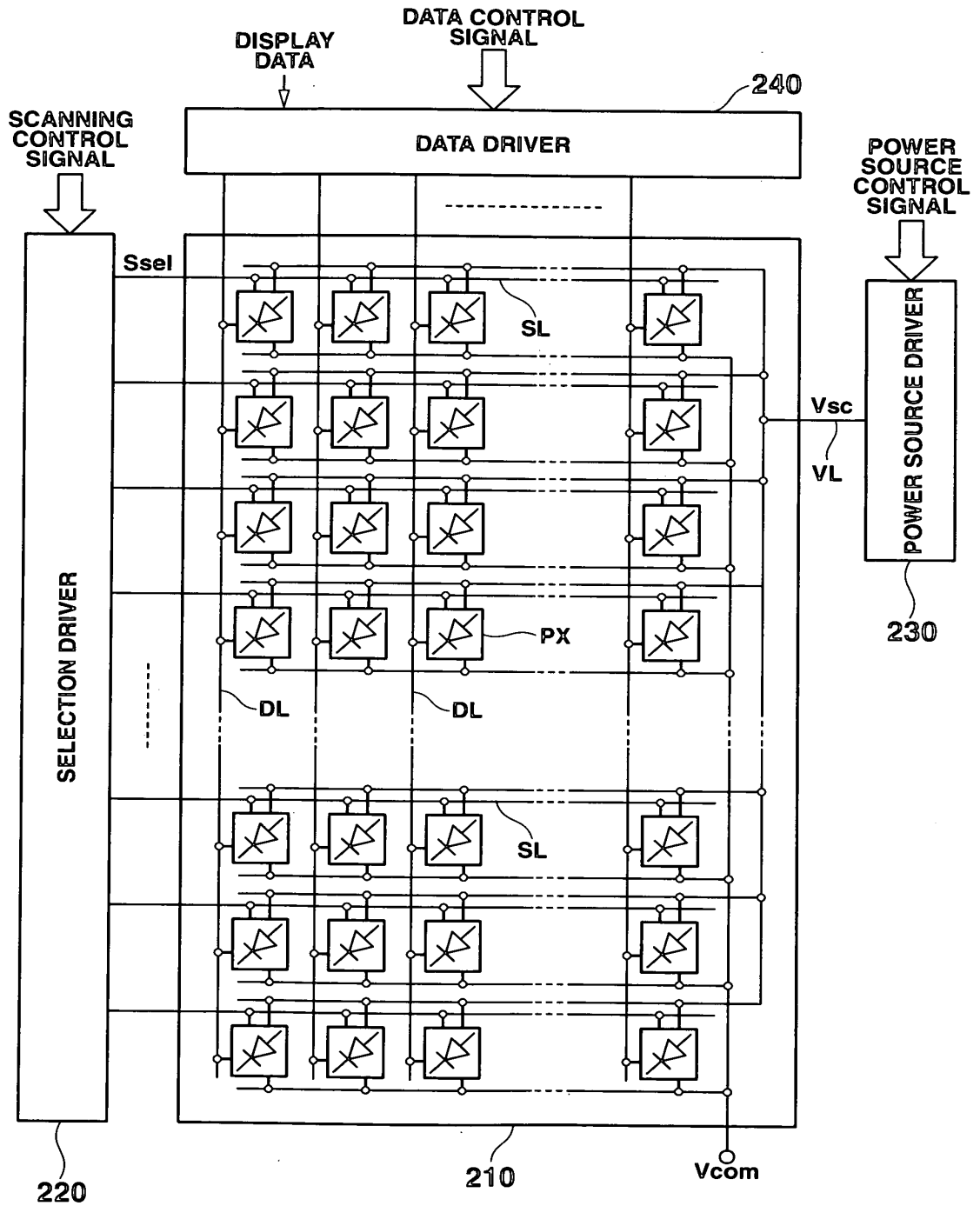
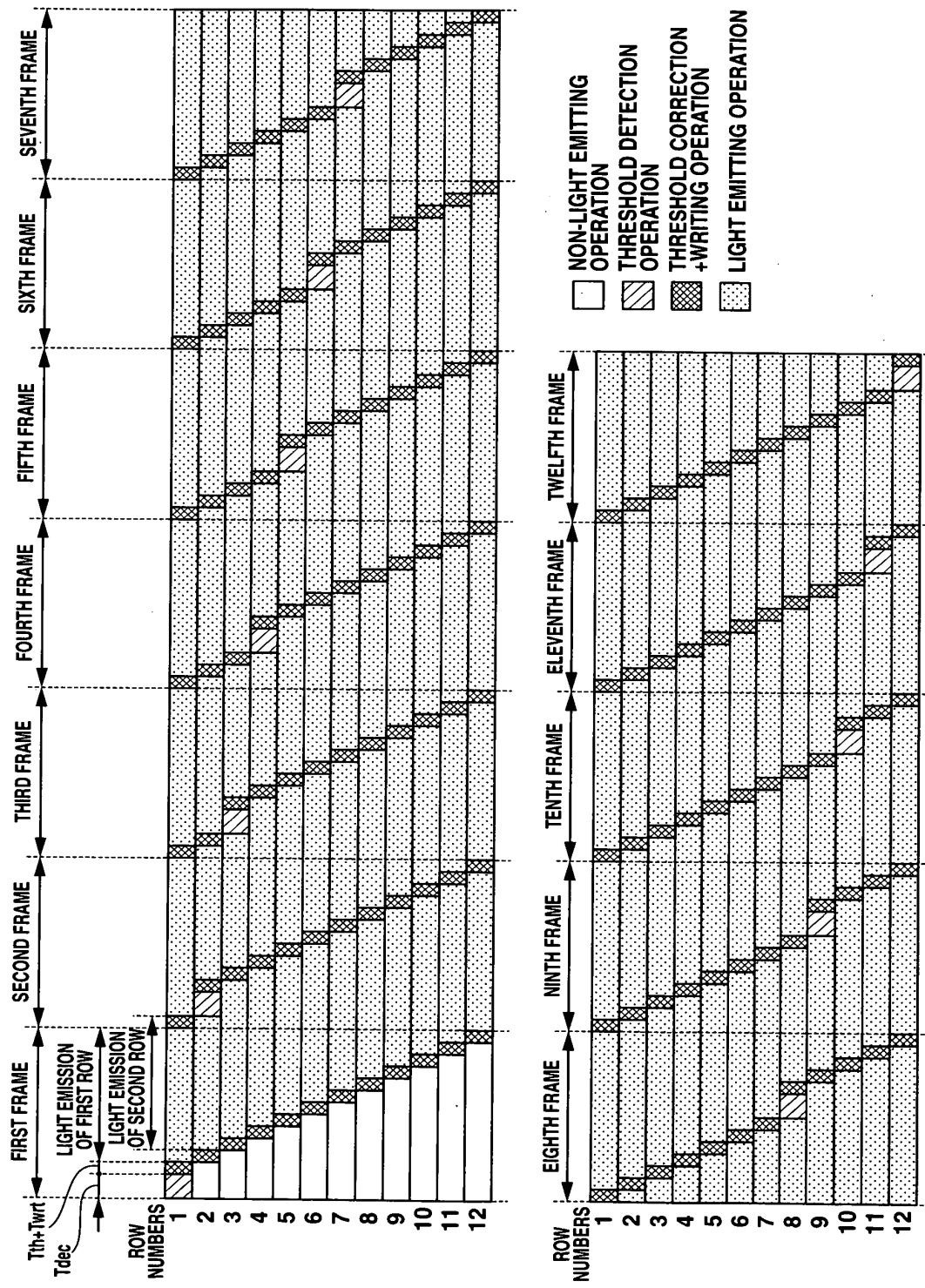
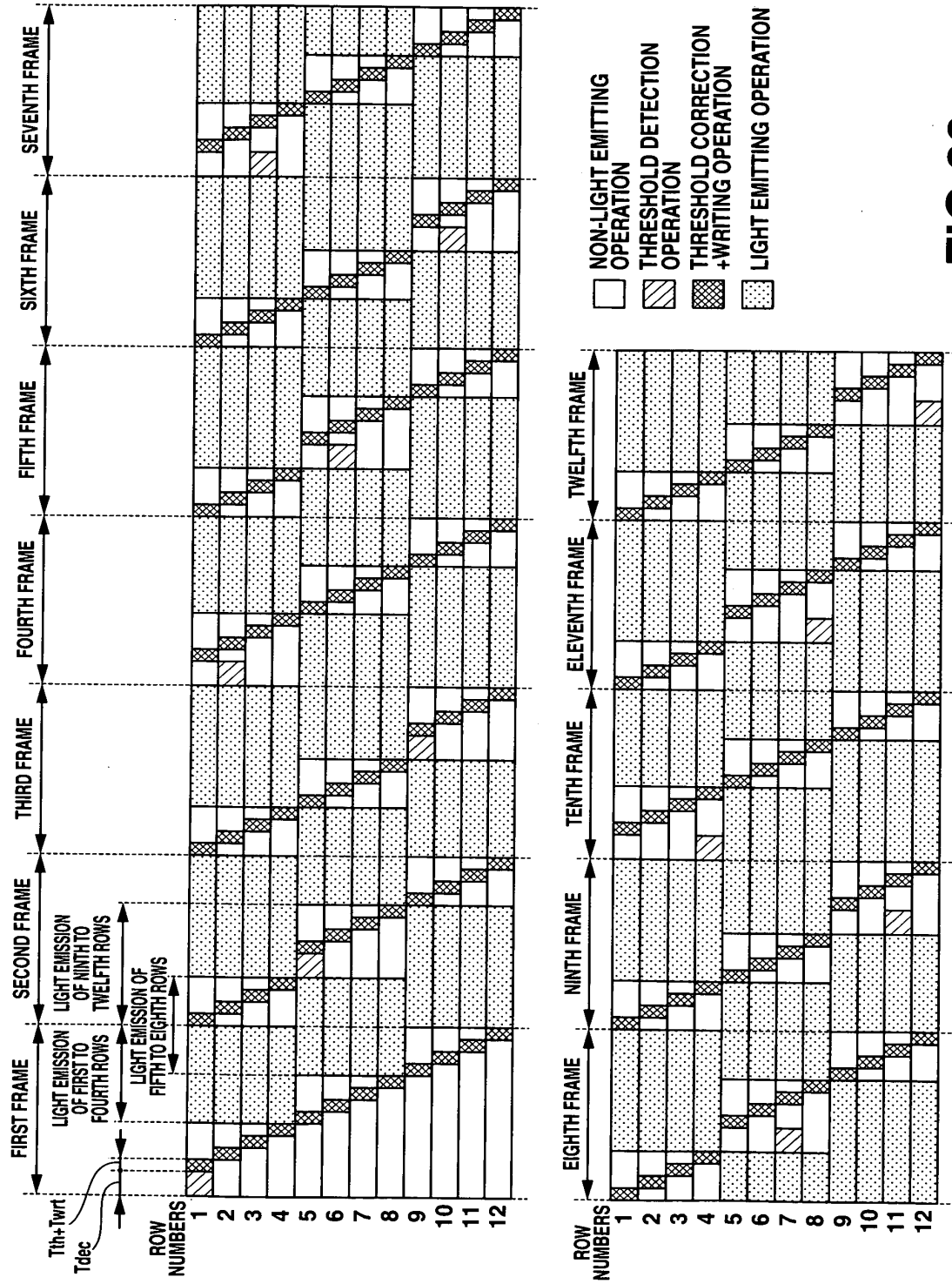


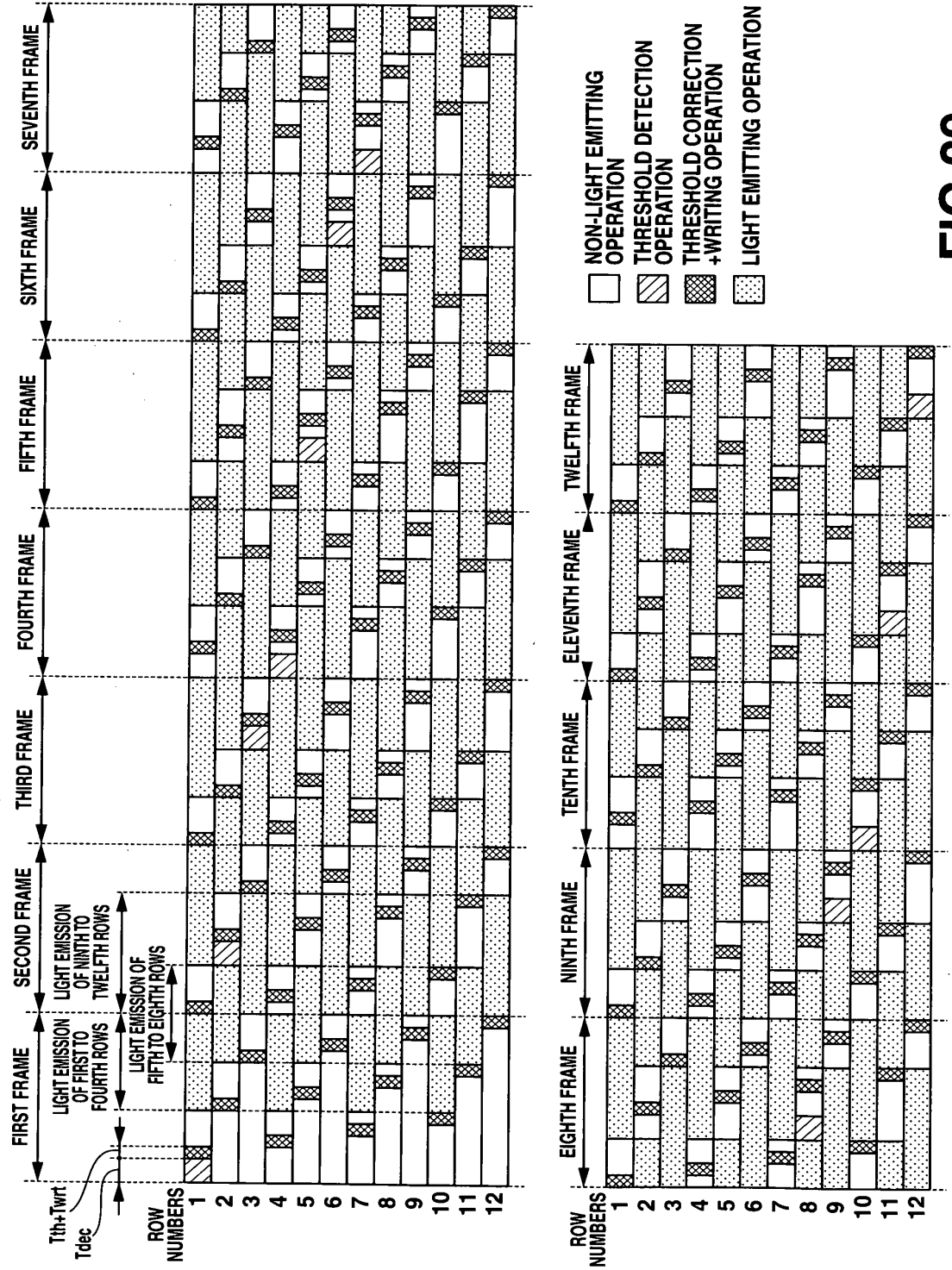
FIG.26



**FIG.27**

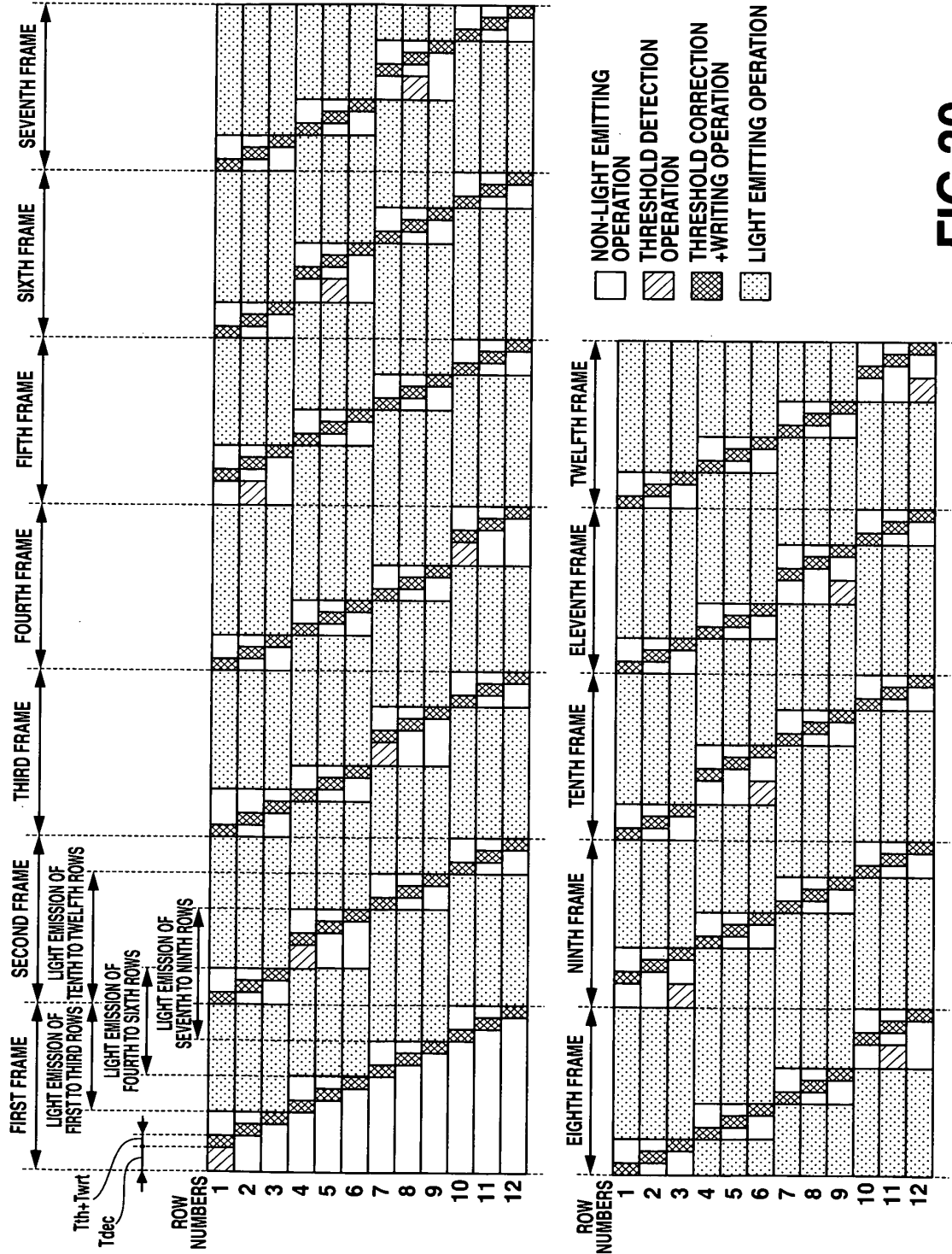


**FIG.28**

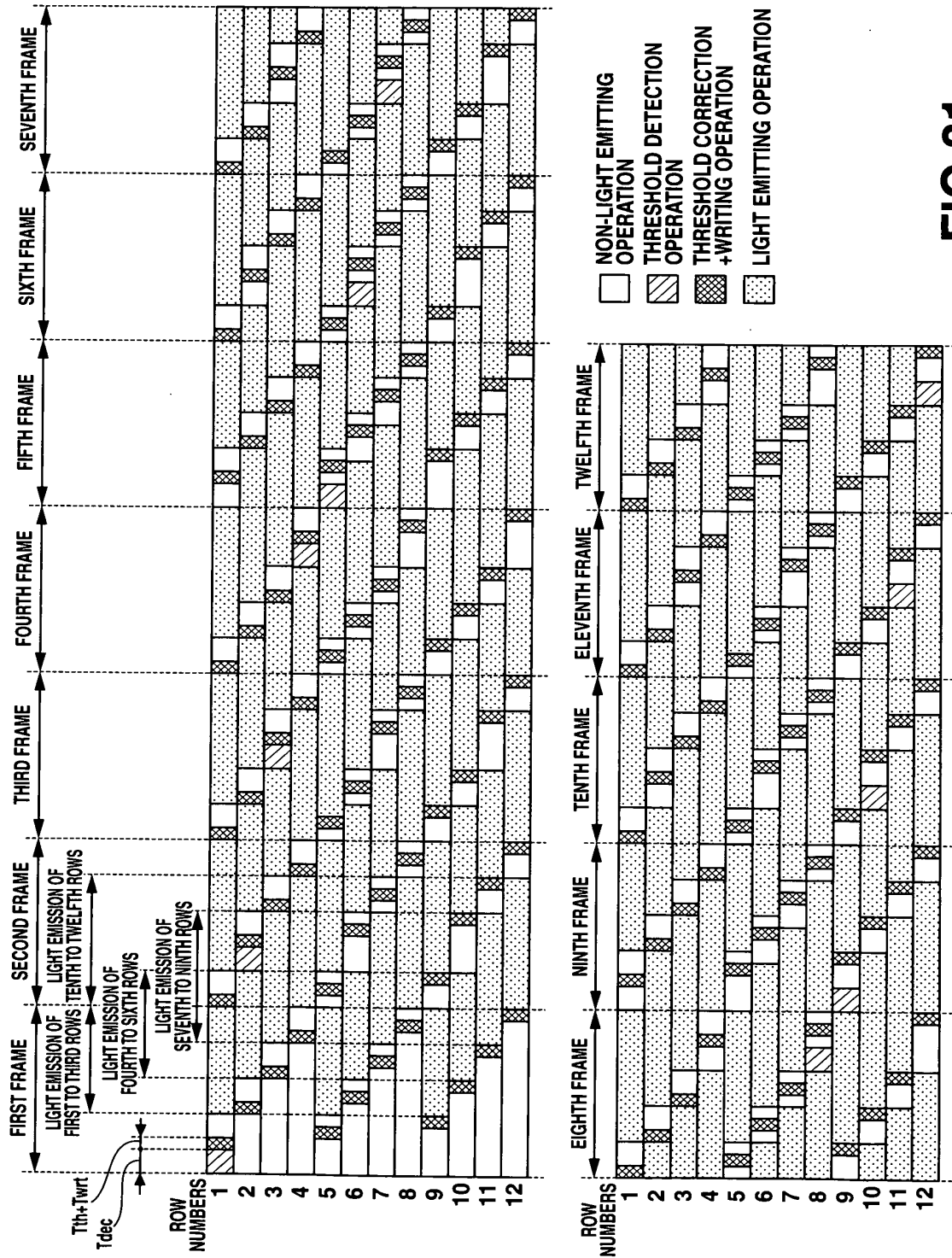


**FIG.29**





**FIG.30**



**FIG.31**

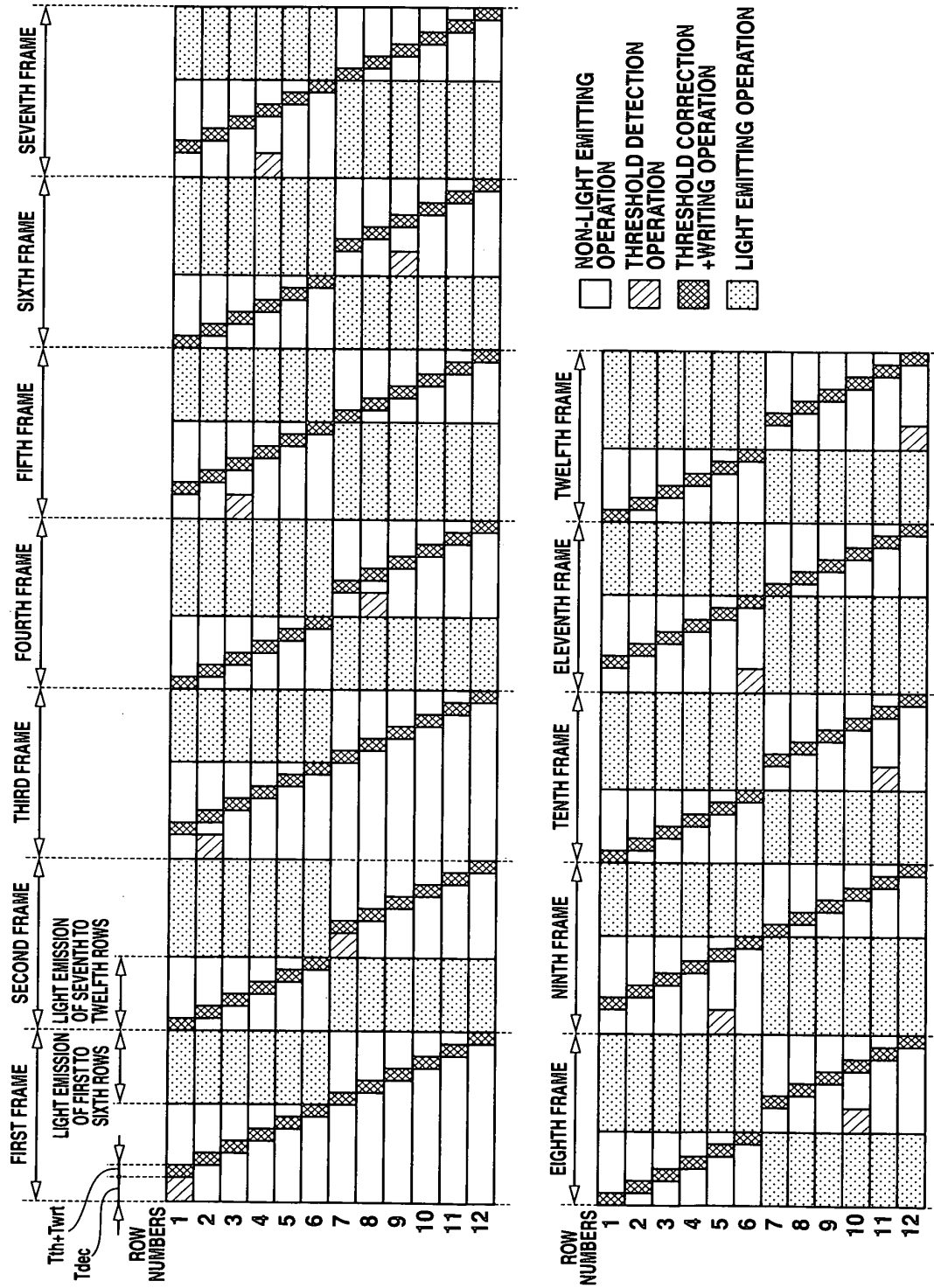


FIG.32

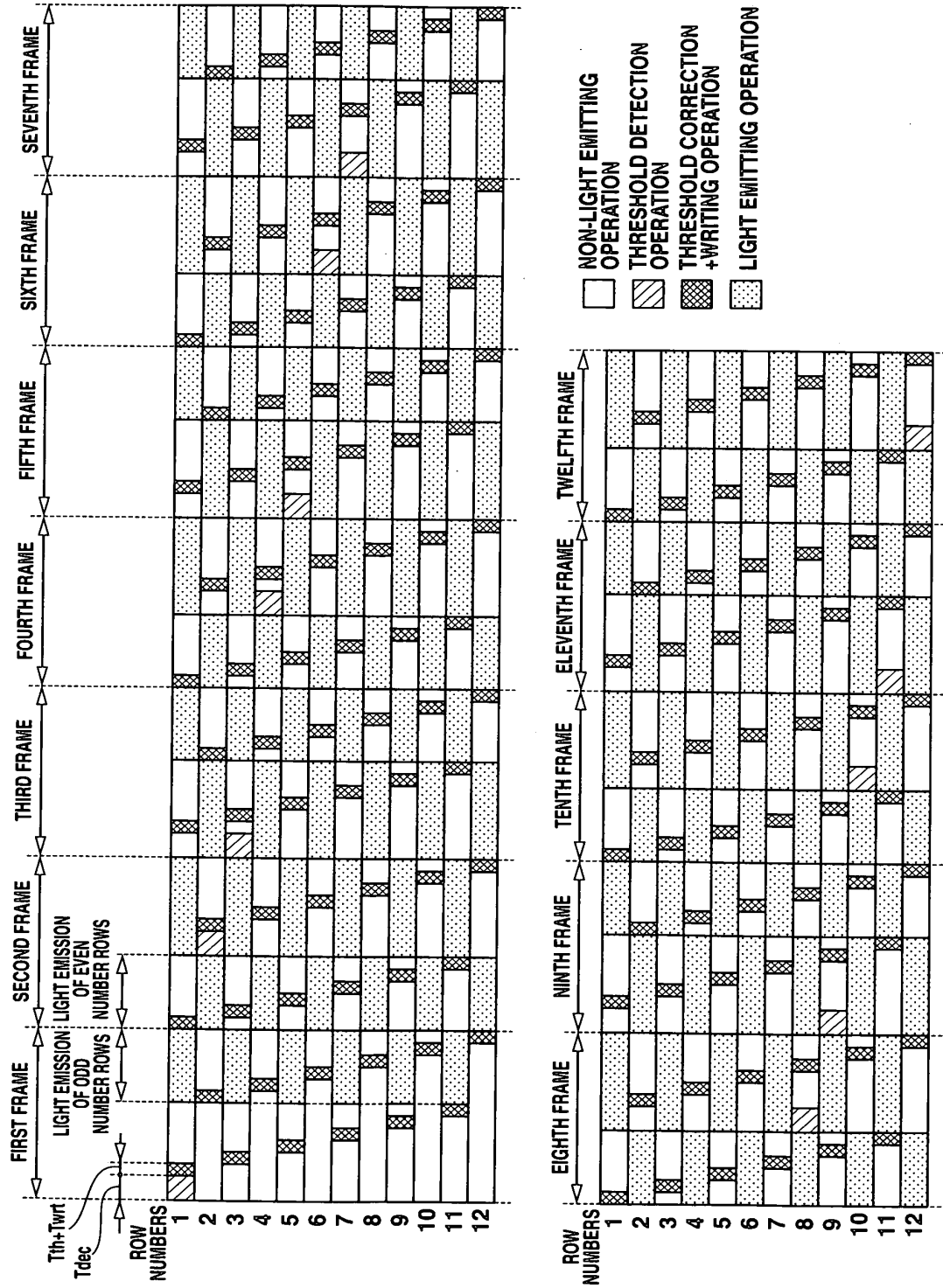


FIG. 33

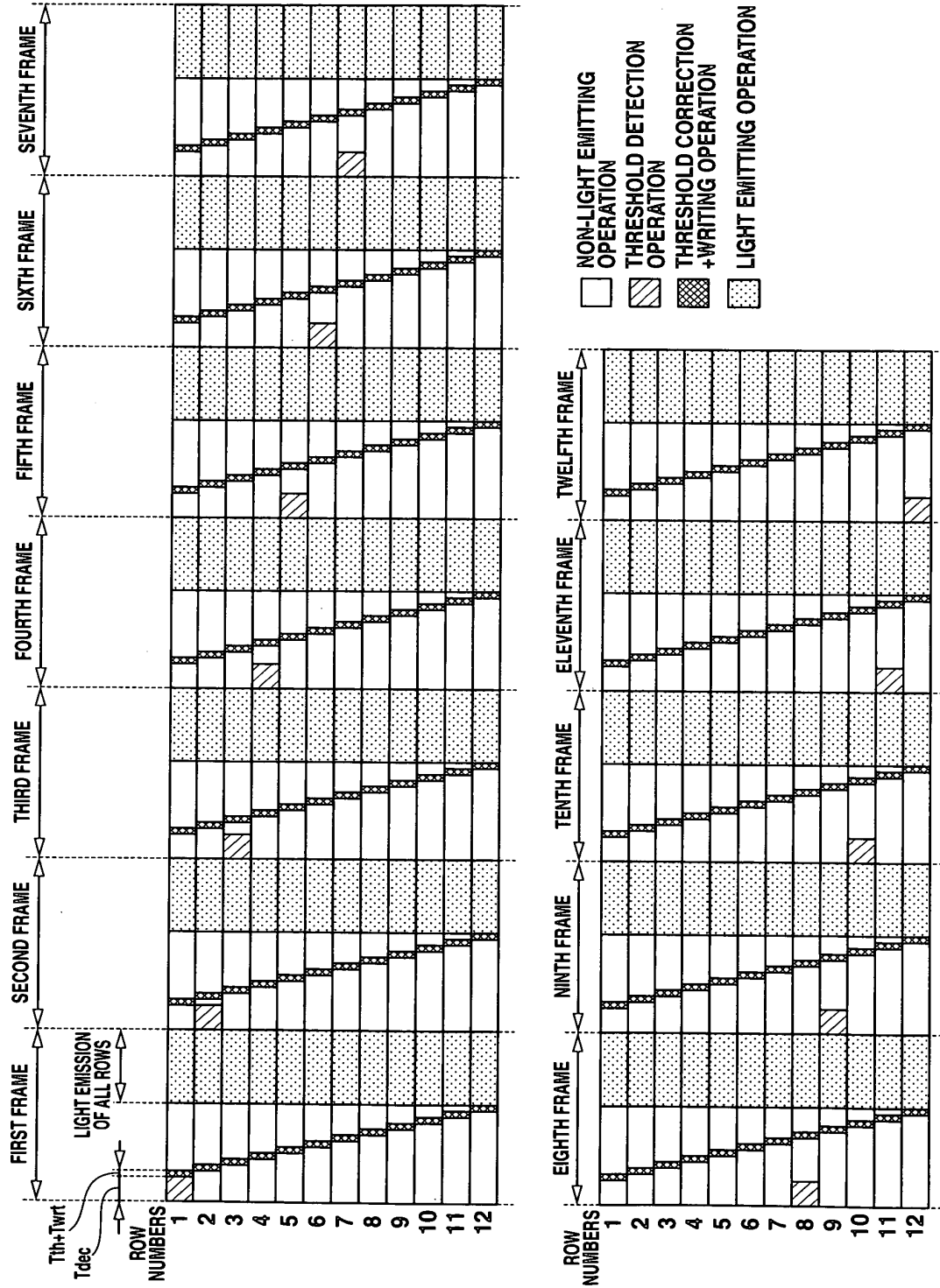
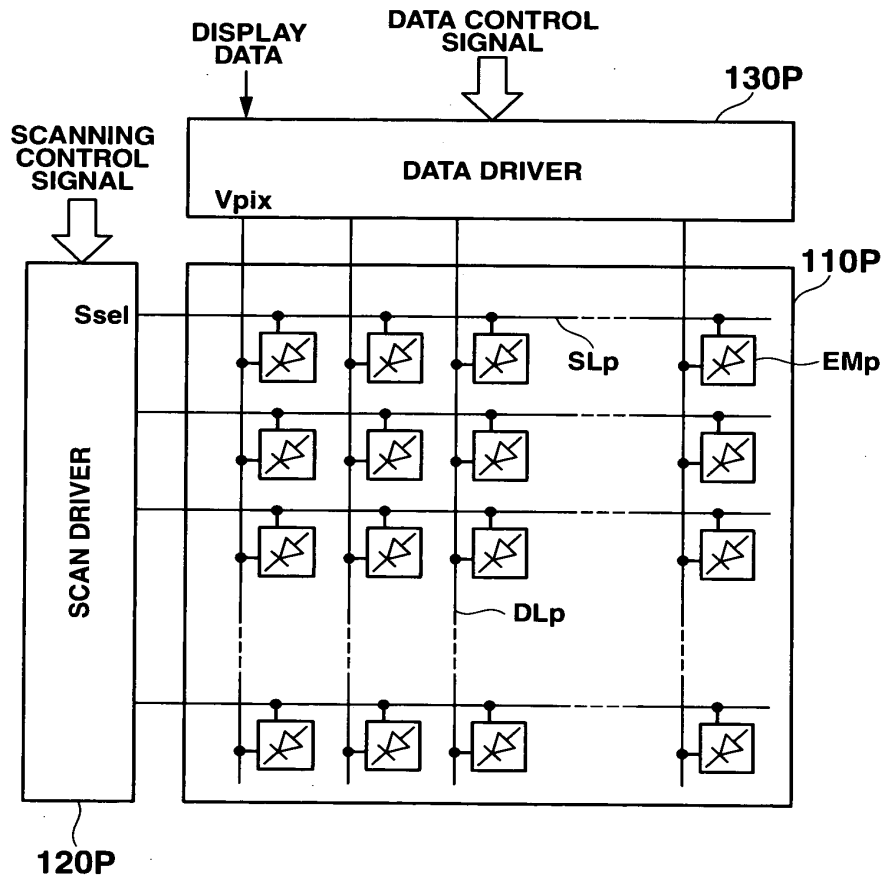
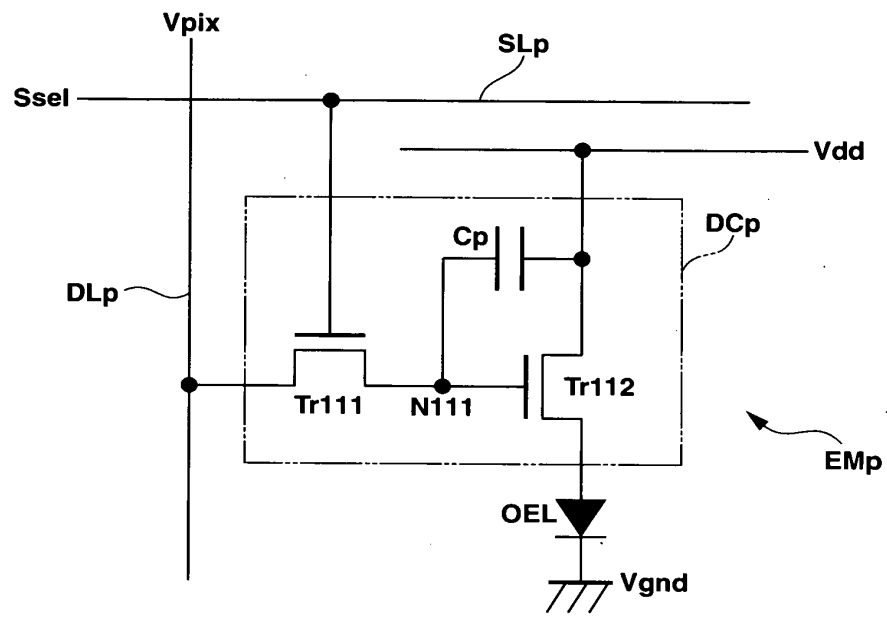


FIG.34



**FIG.35**  
**PRIOR ART**



**FIG.36**  
**PRIOR ART**

## DECLARATION FOR PATENT APPLICATION

C2173P0501  
(05S1928-1)

As a below named inventor, I declare that my residence, mailing address and citizenship are as stated above my name; I believe that I am the original, first and sole inventor (if only one name is listed below) or an original, first and joint inventor (if plural names are listed below) of the subject matter which is claimed and for which a patent is sought on the invention entitled:

## DISPLAY DRIVE APPARATUS, DISPLAY APPARATUS AND DRIVE CONTROL METHOD THEREOF

the specification of which is attached hereto unless the following box is checked.

was filed on \_\_\_\_\_ as United States Application No.

\_\_\_\_\_ or PCT International Application No.

and was amended on \_\_\_\_\_

I hereby state that I have reviewed and understand the contents of the above-identified specification, including the claims, as amended by any amendment referred to above.

I acknowledge the duty to disclose information which is material to patentability as defined in 37 CFR 1.56.

I hereby claim foreign priority benefits under 35 U.S.C. 119(a)-(d) or 365(b) of any foreign application(s) for patent or inventor's certificate, or 35 U.S.C. 365(a) of any PCT International application which designated at least one country other than the United States, listed below and have also identified below any foreign application for patent or inventor's certificate, or PCT International application having a filing date before that of the application on which priority is claimed:

Country	Category	Application Number	Filing Date	Priority Claim
Japan	Patent	2005-101905	March 31, 2005	Yes
Japan	Patent	2005-105373	March 31, 2005	Yes

I hereby appoint as my attorneys, with full power of substitution and revocation, to prosecute this application and transact all business in the Patent and Trademark Office connected therewith the practitioners at

Customer Number : 01933

of Frishauf, Holtz, Goodman & Chick, P.C.. Please address all correspondence and telephone communications to the address and telephone number for this Customer Number.

I hereby declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code and that such willful false statements may jeopardize the validity of the application or any patent issued thereon.



DECLARATION FOR PATENT APPLICATION

C2173P0501  
(05S1928-1)

[1st Inventor]

Residence Address: Higashiyamato-shi, Japan

Mailing Address: c/o Intellectual Property Department, Casio Computer Co., Ltd., Hamura R&D Center,  
2-1, Sakae-cho 3-chome, Hamura-shi, Tokyo 205-8555 Japan

Citizenship: Japan

*Tomoyuki Shirasaki*

Tomoyuki Shirasaki

MAR. 2 2. 2006

Date:

[2nd Inventor]

Residence Address: Fussa-shi, Japan

Mailing Address: c/o Intellectual Property Department, Casio Computer Co., Ltd., Hamura R&D Center,  
2-1, Sakae-cho 3-chome, Hamura-shi, Tokyo 205-8555 Japan

Citizenship: Japan

*Jun Ogura*

Jun Ogura

MAR. 2 2. 2006

Date:

[3rd Inventor]

Residence Address:

Mailing Address:

Citizenship:

Date:

[4th Inventor]

Residence Address:

Mailing Address:

Citizenship:

Date:

[5th Inventor]

Residence Address:

Mailing Address:

Citizenship:

Date:

**BEST AVAILABLE COPY**

PATENT APPLICATION SERIAL NO. \_\_\_\_\_

U.S. DEPARTMENT OF COMMERCE  
PATENT AND TRADEMARK OFFICE  
FEE RECORD SHEET

03/31/2006 HVUONG1 00000025 11391941

01 FC:1011	300.00	OP
02 FC:1111	500.00	OP
03 FC:1311	200.00	OP
04 FC:1202	1100.00	OP
05 FC:1201	200.00	OP
06 FC:1081	750.00	OP

PTO-1556  
(5/87)

\*U.S. Government Printing Office: 2002 — 489-267/69033

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

**PATENT APPLICATION FEE DETERMINATION RECORD**  
 Substitute for Form PTO-875 Effective December 8, 2004

Application or Docket Number  
11391941

**APPLICATION AS FILED - PART I**

FOR	(Column 1) NUMBER FILED	(Column 2) NUMBER EXTRA
BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A
SEARCH FEE (37 CFR 1.16(d), (l), or (m))	N/A	N/A
EXAMINATION FEE (37 CFR 1.16(e), (p), or (q))	N/A	N/A
TOTAL CLAIMS (37 CFR 1.16(i))	42	minus 20 = 22
INDEPENDENT CLAIMS (37 CFR 1.16(h))	15	minus 3 = 12
APPLICATION SIZE FEE (37 CFR 1.16(e))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is \$250 (\$125 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).	
MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))		

SMALL ENTITY

RATE (\$)	FEE (\$)
N/A	150.00
N/A	\$250
N/A	\$100
X\$ 25 =	
X100 =	
+180=	
TOTAL	

OTHER THAN SMALL ENTITY

RATE (\$)	FEE (\$)
N/A	300.00
N/A	\$500
N/A	\$200
X\$50 =	1100
X200 =	200
+360=	
TOTAL	3050

\* If the difference in column 1 is less than zero, enter "0" in column 2.

**APPLICATION AS AMENDED - PART II**

1-10-30-32 (Column 1) (Column 2) (Column 3)

AMENDMENT A	CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA
	Total (37 CFR 1.16(j))		Minus	**
Independent (37 CFR 1.16(k))		Minus	***	=
Application Size Fee (37 CFR 1.16(s))				
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(l))				

SMALL ENTITY

RATE (\$)	ADDITIONAL FEE (\$)
X\$ 25 =	
X100 =	
+180=	
TOTAL ADD'L FEE	

OTHER THAN SMALL ENTITY

RATE (\$)	ADDITIONAL FEE (\$)
X\$50 =	
X200 =	
+360=	
TOTAL ADD'L FEE	

(Column 1) (Column 2) (Column 3)

AMENDMENT B	CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA
	Total (37 CFR 1.16(j))		Minus	**
Independent (37 CFR 1.16(k))		Minus	***	=
Application Size Fee (37 CFR 1.16(s))				
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(l))				

SMALL ENTITY

RATE (\$)	ADDITIONAL FEE (\$)
X\$ 25 =	
X100 =	
+180=	
TOTAL ADD'L FEE	

OTHER THAN SMALL ENTITY

RATE (\$)	ADDITIONAL FEE (\$)
X\$50 =	
X200 =	
+360=	
TOTAL ADD'L FEE	

\* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.  
 \*\* If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".  
 \*\*\* If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".

The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1460, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

Attorney Docket No. 06229/LH

Express Mail Mailing Label  
No.: EV 842 303 171 US

**IN THE UNITED STATES PATENT  
AND TRADEMARK OFFICE**

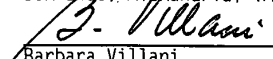
Date of Deposit: March 29, 2006

Applicant(s): T. SHIRASAKI et al

I hereby certify that this paper is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450

Serial No. : Not yet assigned

Filed : Herewith

  
Barbara Villani

For : DISPLAY DRIVE  
APPARATUS, DISPLAY  
APPARATUS AND DRIVE  
CONTROL METHOD  
THEREOF

In the event that this Paper is late filed, and the necessary petition for extension of time is not filed concurrently herewith, please consider this as a Petition for the requisite extension of time, and to the extent not tendered by credit card payment attached hereto, authorization to charge the extension fee, or any other fee required in connection with this Paper, to Account No. 06-1378.

Art Unit :  
Examiner :

CUSTOMER NO.: 01933

**INFORMATION DISCLOSURE STATEMENT**

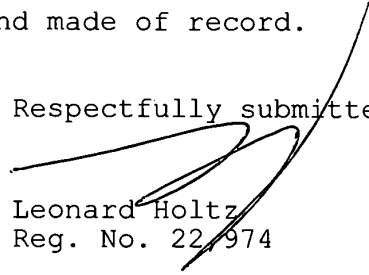
Commissioner for Patents  
P.O. Box 1450,  
Alexandria, VA 22313-1450

S I R :

Submitted herewith is a copy of the publication identified on the attached Patent Office form PTO/SB/08A.

It is respectfully requested that the publication submitted herewith be considered and made of record.

Respectfully submitted,

  
Leonard Holtz  
Reg. No. 22,974

Frishauf, Holtz, Goodman & Chick, P.C.  
220 Fifth Avenue - 16th Floor  
New York, New York 10001-7708  
Tel. No. (212) 319-4900  
Fax No. (212) 319-5101  
LH:bv

Please type a plus sign (+) inside this box →

+

PTO/SB/08A (08-00)

U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE

Substitute for Form 1449A/PTO  <b>INFORMATION DISCLOSURE STATEMENT BY APPLICANT</b>	Application Number				
	Filing Date		Herewith		
	First Named Inventor		SHIRASAKI		
	Group Art Unit				
	Examiner Name				
Sheet	1	of	1	Attorney Docket Number	06229/LH

**U.S. PATENT DOCUMENTS**

Exam. Initials	Cite No <sup>1</sup>	Document Number	Kind Code <sup>2</sup>	Name of Patentee or Applicant	Publication Date MM-DD-YYYY	Relevant Portion

**FOREIGN PATENT DOCUMENTS**

Exam. Initials	Cite No <sup>1</sup>	offc <sup>3</sup>	Document Number <sup>4</sup>	Kind Code <sup>5</sup>	Name of Patentee or Applicant	Publication Date MM-DD-YYYY	Relevant Portion	T <sup>6</sup>
		JP	8-330600	A		12-13-1996		

Examiner Signature		Date Considered	
--------------------	--	-----------------	--

\* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

<sup>1</sup> Unique citation designation number. <sup>2</sup> See kinds of U.S. Patent Documents. <sup>3</sup> Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). <sup>4</sup> For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. <sup>5</sup> Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. <sup>6</sup> Place a check here if English translation is attached.

**DATE MAILED: March 29, 2006**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-330600

(43) 公開日 平成8年(1996)12月13日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786			H 0 1 L 29/78	6 1 6 V
H 0 5 B 33/26			H 0 5 B 33/26	

審査請求 未請求 請求項の数14 OL (全 11 頁)

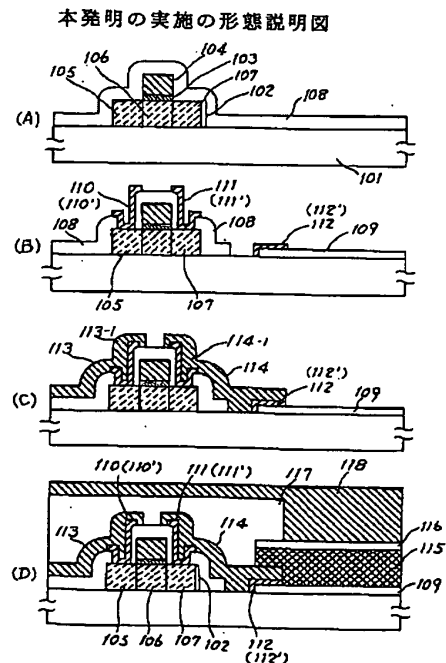
(21) 出願番号	特願平8-65774	(71) 出願人	000003067 ティーディーケイ株式会社 東京都中央区日本橋1丁目13番1号
(22) 出願日	平成8年(1996)3月22日	(71) 出願人	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(31) 優先権主張番号	特願平7-65943	(72) 発明者	山内 幸夫 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(32) 優先日	平7(1995)3月24日	(72) 発明者	荒井 三千男 東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内
(33) 優先権主張国	日本 (J P)	(74) 代理人	弁理士 山谷 皓榮 (外 2 名)

(54) 【発明の名称】 薄膜トランジスタ、有機ELディスプレイ装置及び有機ELディスプレイ装置の製造方法

(57) 【要約】

【課題】 有機ELディスプレイ装置の薄膜トランジスタにおいて、バリア金属の溶出にもとづく短絡や断線を防止すること。

【解決手段】 薄膜トランジスタのソース領域105またはドレイン領域107を構成するシリコン活性層102と、該シリコン活性層102に接続されるアルミニウム配線113、114との間に、チタンまたは窒素含有量が50atm%以下の窒化チタンよりなるバリア金属110、111を設ける。



## 【特許請求の範囲】

【請求項1】ソースまたはドレインを構成するシリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、チタンよりなるバリアメタルを設けたことを特徴とする薄膜トランジスタ。

【請求項2】ソースまたはドレインを構成するシリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなるバリアメタルを設けたことを特徴とする薄膜トランジスタ。

【請求項3】有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリックス駆動型の有機ELディスプレイ装置であって、

前記電流制御用薄膜トランジスタは、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、チタンよりなるバリアメタルが設けられていることを特徴とする有機ELディスプレイ装置。

【請求項4】有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリックス駆動型の有機ELディスプレイ装置であって、

前記電流制御用薄膜トランジスタは、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなるバリアメタルを設けたことを特徴とする有機ELディスプレイ装置。

【請求項5】有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタと、前記電流制御用薄膜トランジスタのスイッチングを行うスイッチ用薄膜トランジスタを有するアクティブマトリックス駆動型の有機ELディスプレイ装置であって、

前記電流制御用薄膜トランジスタと、前記スイッチ用薄膜トランジスタのそれぞれにおいて、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、チタンよりなるバリアメタルを設けたことを特徴とする有機ELディスプレイ装置。

【請求項6】有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタと、前記電流制御用薄膜トランジスタのスイッチングを行うスイッチ用薄膜トランジスタを有するアクティブマトリックス駆動型の有機ELディスプレイ装置であって、

前記電流制御用薄膜トランジスタと、前記スイッチ用薄膜トランジスタのそれぞれにおいて、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなるバリアメタルを設けたことを特徴とする有機ELディスプレイ装置。

【請求項7】有機EL素子がマトリックス状に設けられた、アクティブマトリックス駆動型の有機ELディス

レイ装置であって、

前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、チタンよりなるバリアメタルを設けたことを特徴とする有機ELディスプレイ装置。

【請求項8】有機EL素子がマトリックス状に設けられた、アクティブマトリックス駆動型の有機ELディスプレイ装置であって、

前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなるバリアメタルを設けたことを特徴とする有機ELディスプレイ装置。

【請求項9】有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリックス駆動型の有機ELディスプレイ装置であって、

前記電流制御用薄膜トランジスタは、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、チタンよりなるバリアメタルが設けられており、

前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、チタンよりなる密着用金属が設けられていることを特徴とする有機ELディスプレイ装置。

【請求項10】有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリックス駆動型の有機ELディスプレイ装置であって、

前記電流制御用薄膜トランジスタは、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなるバリアメタルが設けられており、

前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなる密着用金属が設けられていることを特徴とする有機ELディスプレイ装置。

【請求項11】有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタと、前記電流制御用薄膜トランジスタのスイッチングを行うスイッチ用薄膜トランジスタを有するアクティブマトリックス駆動型の有機ELディスプレイ装置であって、

前記電流制御用薄膜トランジスタと、前記スイッチ用薄膜トランジスタのそれぞれにおいて、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、チタンよりなるバリアメタルが設けられており、

前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、チタンよりなる密着用金属が設けられていることを特徴とする有機E

Lディスプレイ装置。

【請求項12】有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタと、前記電流制御用薄膜トランジスタのスイッチングを行うスイッチ用薄膜トランジスタを有するアクティブマトリクス駆動型の有機ELディスプレイ装置であって、

前記電流制御用薄膜トランジスタと、前記スイッチ用薄膜トランジスタのそれぞれにおいて、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなるバリアメタルが設けられており、

前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなる密着用金属が設けられていることを特徴とする有機ELディスプレイ装置。

【請求項13】有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリクス駆動型の有機ELディスプレイ装置を製造するに際し、

前記電流制御用薄膜トランジスタのシリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に設けられたバリアメタルと、

前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に設けられる密着用金属とがチタンにより同時に形成されることを特徴とする有機ELディスプレイ装置の製造方法。

【請求項14】有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリクス駆動型の有機ELディスプレイ装置を製造するに際し、

前記電流制御用薄膜トランジスタのシリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に設けられたバリアメタルと、

前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に設けられる密着用金属とが窒素を50atm%以下含有する窒化チタンにより同時に形成されることを特徴とする有機ELディスプレイ装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、有機エレクトロルミネセンス（EL）ディスプレイ装置に使用される薄膜トランジスタ、有機ELディスプレイ装置及びその製造方法に係り、有機ELディスプレイの信頼性を向上するものに関する。

【0002】

【従来の技術】近年において、有機EL素子を用いた、ディスプレイ装置が開発されている。有機EL素子を多数使用した有機ELディスプレイをアクティブマトリッ

クス回路により駆動する場合、各ELのピクセル（画素）には、このピクセルに対して供給する電流を制御するための薄膜トランジスタが一組ずつ接続される。

【0003】従来のアクティブマトリクス型の有機ELディスプレイ装置の回路図の一例を図4に示す。この有機ELディスプレイ装置は、X方向信号線301-1、301-2・・・、Y方向信号線302-1、302-2・・・、電源（Vdd）線303-1、303-2・・・、スイッチ用薄膜トランジスタ304-1、304-2・・・、電流制御用薄膜トランジスタ305-1、305-2・・・、有機EL素子306-1、306-2・・・、コンデンサ307-1、307-2・・・、X方向周辺駆動回路308、Y方向周辺駆動回路309等により構成される。

【0004】X方向信号線301、Y方向信号線302により画素が特定され、その画素においてスイッチ用薄膜トランジスタ304がオンにされる。これにより電流制御用薄膜トランジスタ305がオンにされ、電源線303より供給される電流により有機EL素子306に電流が流れ、これが発光される。

【0005】例えばX方向信号線301-1に画像データに応じた信号が出力され、Y方向信号線302-1にY方向走査信号が出力されると、これにより特定された画素のスイッチ用薄膜トランジスタ304-1がオンになり、画像データに応じた信号により電流制御用薄膜トランジスタ305-1が導通されて有機EL素子306-1にこの画像データに応じた電流が流れ、発光される。

【0006】図3に従来の有機ELディスプレイ装置の画素部の構成の部分的断面図を示す。この図3では、電流制御用薄膜トランジスタと、有機EL素子を示す。図3において、ガラス等の基板201上に、活性シリコン層202、ゲート絶縁膜203、ゲート電極204が形成される。そして活性シリコン層202には、ソース領域205、チャネル形成領域206、ドレイン領域207が設けられ、薄膜トランジスタが構成される。

【0007】さらに層間絶縁膜208に設けられたコンタクトホールに、バリアメタル210、211を介して、ソース領域205、ドレイン領域207にそれぞれアルミニウム製のソース電極213-1、ドレイン電極214-1が設けられている。

【0008】またガラス等の基板201に設けられたITO（酸化インジウム・スズ）の透明電極209上に、有機EL層215、上部電極216が設けられてEL素子部を構成している。このITOの透明電極209には密着用金属212を介して、その一端が前記ドレイン電極214-1となるアルミニウム配線214が接続されている。

【0009】そして有機EL素子の上部電極216の上面以外の部分に、薄膜トランジスタ部分を覆うように、



保護膜217が設けられ、有機EL素子の上部電極216の上面には、アルミニウム等により共通電極218が設けられている。

【0010】図3に示すように、一般に薄膜トランジスタでは、シリコン活性層のソース領域205、ドレイン領域207と、これらにそれぞれ接続されるアルミニウム製のソース電極213-1、ドレイン電極214-1との間には、バリアメタル210と211が介在されている。これらのバリアメタル210、211は、活性シリコン層202におけるシリコン原子がアルミニウム製のソース電極213-1、ドレイン電極214-1側への拡散、消失することを防止するために設けられている。なおこのバリアメタル210、211は、従来では主にクロムが使用されていた。

【0011】一方、有機EL素子部において、ITOよりなる透明電極209とアルミニウム配線214を直接接触させると、電食や密着性低下等の不良が発生し易い。このような不良の発生を 방지、アルミニウム配線214と透明電極209との良好な密着性を保つため、透明電極209とアルミニウム配線214との間に密着用金属212を挟むことが必要であった。そして従来ではこの密着用金属212として、前記薄膜トランジスタのバリアメタル210、211と同じく、主にクロムが使用されていた。なお図3において213はアルミニウム配線である。

【0012】

【発明が解決しようとする課題】このような有機ELディスプレイ装置において、薄膜トランジスタのバリアメタル210、211として用いられたクロムが、EL素子を構成する上部電極216や透明電極209の方に溶出し、即ち電食によりこれらと薄膜トランジスタとの間に、溶出したクロムによる導線が形成され、短絡状態となってしまうことがあった。

【0013】さらに動作を続けると、薄膜トランジスタのバリアメタル210、211を構成していたクロムが全て溶出してしまい、ソース領域205やドレイン領域207と、アルミニウム電極213-1、214-1との間が抜けて空隙が生じ、断線状態に至ることがあった。

【0014】その結果、薄膜トランジスタとしての機能を果たすことができなくなり、有機ELディスプレイ装置としての信頼性を大幅に低下させることになる。本発明者等はこの原因を検討した結果、下記の理由に基づくものと解明することができた。

【0015】まず有機EL層215を構成する有機EL材料は、吸湿性が強く、大気中の水分を吸収し易い性質を有するので、有機EL層215から水分が発生する。また有機EL層215を発光させて、ピクセルを表示するために、有機EL層215に接続された電流制御用薄膜トランジスタ及びそれを動作させるスイッチ用薄膜ト

ランジスタには、比較的大きな直流電流（バイアス電流）が連続的に流れる。

【0016】このように、有機EL層215中から発生する水分と、バイアス電流により、薄膜トランジスタのバリアメタル210、211を構成するクロムがイオン化して有機EL素子側に移動し、短絡や断線の原因となることが解明された。

【0017】この現象は、電流制御用薄膜トランジスタのみではなく、スイッチ用薄膜トランジスタにおいてもみられることがあった。従って、本発明の目的は、有機ELディスプレイにおいて、このような薄膜トランジスタの動作における短絡や断線という不良の発生を防止し、有機ELディスプレイの信頼性を高めることである。

【0018】

【課題を解決するための手段】このような本発明の目的は、下記(1)～(14)の如く構成あるいは製造方法により達成することができる。

(1) ソースまたはドレインを構成するシリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、チタンよりなるバリアメタルを設けたことを特徴とする薄膜トランジスタ。

【0019】(2) ソースまたはドレインを構成するシリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなるバリアメタルを設けたことを特徴とする薄膜トランジスタ。

【0020】(3) 有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリクス駆動型の有機ELディスプレイ装置であって、前記電流制御用薄膜トランジスタは、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、チタンよりなるバリアメタルが設けられていることを特徴とする有機ELディスプレイ装置。

【0021】(4) 有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリクス駆動型の有機ELディスプレイ装置であって、前記電流制御用薄膜トランジスタは、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなるバリアメタルを設けたことを特徴とする有機ELディスプレイ装置。

【0022】(5) 有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタと、前記電流制御用薄膜トランジスタのスイッチングを行うスイッチ用薄膜トランジスタを有するアクティブマトリクス駆動型の有機ELディスプレイ装置であって、前記電流制御用薄膜トランジスタと、前記スイッチ用薄膜トランジスタのそれぞれにおいて、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、チタン

よりなるバリアメタルを設けたことを特徴とする有機ELディスプレイ装置。

【0023】(6)有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタと、前記電流制御用薄膜トランジスタのスイッチングを行うスイッチ用薄膜トランジスタを有するアクティブマトリクス駆動型の有機ELディスプレイ装置であって、前記電流制御用薄膜トランジスタと、前記スイッチ用薄膜トランジスタのそれぞれにおいて、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなるバリアメタルを設けたことを特徴とする有機ELディスプレイ装置。

【0024】(7)有機EL素子がマトリクス状に設けられた、アクティブマトリクス駆動型の有機ELディスプレイ装置であって、前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、チタンよりなるバリアメタルを設けたことを特徴とする有機ELディスプレイ装置。

【0025】(8)有機EL素子がマトリクス状に設けられた、アクティブマトリクス駆動型の有機ELディスプレイ装置であって、前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなるバリアメタルを設けたことを特徴とする有機ELディスプレイ装置。

【0026】(9)有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリクス駆動型の有機ELディスプレイ装置であって、前記電流制御用薄膜トランジスタは、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、チタンよりなるバリアメタルが設けられており、前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、チタンよりなる密着用金属が設けられていることを特徴とする有機ELディスプレイ装置。

【0027】(10)有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリクス駆動型の有機ELディスプレイ装置であって、前記電流制御用薄膜トランジスタは、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなるバリアメタルが設けられており、前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなる密着用金属が設けられていることを特徴とする有機ELディスプレイ装置。

【0028】(11)有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタと、前記電流制御用薄膜トランジスタのスイッチングを行うスイッチ

用薄膜トランジスタを有するアクティブマトリクス駆動型の有機ELディスプレイ装置であって、前記電流制御用薄膜トランジスタと、前記スイッチ用薄膜トランジスタのそれぞれにおいて、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、チタンよりなるバリアメタルが設けられており、前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、チタンよりなる密着用金属が設けられていることを特徴とする有機ELディスプレイ装置。

【0029】(12)有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタと、前記電流制御用薄膜トランジスタのスイッチングを行うスイッチ用薄膜トランジスタを有するアクティブマトリクス駆動型の有機ELディスプレイ装置であって、前記電流制御用薄膜トランジスタと、前記スイッチ用薄膜トランジスタのそれぞれにおいて、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなるバリアメタルが設けられており、前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなる密着用金属が設けられていることを特徴とする有機ELディスプレイ装置。

【0030】(13)有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリクス駆動型の有機ELディスプレイ装置を製造するに際し、前記電流制御用薄膜トランジスタのシリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に設けられたバリアメタルと、前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に設けられる密着用金属とがチタンにより同時に形成されることを特徴とする有機ELディスプレイ装置の製造方法。

【0031】(14)有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリクス駆動型の有機ELディスプレイ装置を製造するに際し、前記電流制御用薄膜トランジスタのシリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に設けられたバリアメタルと、前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に設けられる密着用金属とが窒素を50atm%以下含有する窒化チタンにより同時に形成されることを特徴とする有機ELディスプレイ装置の製造方法。

【0032】このように、有機EL素子に接続された薄膜トランジスタにおいて、薄膜トランジスタのソース又はドレインである活性シリコン層と、有機EL素子に接続されたアルミニウム配線との接触部において、バリアメタルとしてチタンまたは窒素の含有量が50atm%

以下含有される窒化チタンを用いることにより、発明者は有機EL素子と共に使用されていても、バリアメタルの流出がないということを見出した。そしてこれによりバリアメタルの溶出による短絡や断線を防ぎ、有機ELディスプレイ装置の信頼性を向上させることができた。

【0033】また有機EL素子を構成するITOの透明電極と、このITOの透明電極に接続されるアルミニウム配線との間に設けられる密着金属として、チタン又は窒素の含有量が50atm%以下の窒化チタンの層を設けることにより、ITOの透明電極とアルミニウム配線との密着性を向上することができ、この点からも有機ELディスプレイ装置の信頼性を向上することができた。

【0034】

【発明の実施の形態】本発明の第1の実施の形態を図1に基づき説明する。第1の実施の形態ではバリアメタルとして窒化チタンを用いた薄膜トランジスタを有する有機ELディスプレイ装置を構成した例を示し、図3における電流制御用薄膜トランジスタ305と、有機EL素子306に対する部分を示す。

【0035】図1(A)に示す如く、先ず基板101上に通常の固相成長法により多結晶シリコン薄膜を形成し、この多結晶シリコン薄膜を島状に加工して、シリコン活性層102を得る。この基板101としては、例えば石英基板を使用することができる。

【0036】次に、このシリコン活性層102の上にSiO<sub>2</sub>よりなるゲート絶縁膜103、アルミニウムよりなるゲート電極104を形成する。その後シリコン活性層102に不純物をドーピングして、ソース領域105、チャネル形成領域106及びドレイン領域107が形成される。そしてこれらの上全面に、SiO<sub>2</sub>よりなる層間絶縁膜108が形成される。

【0037】次に、図1(B)に示す如く、層間絶縁膜108にエッチング処理を施し、ソース領域105、ドレイン領域107及びEL素子形成領域に開孔を設ける。そしてITO(酸化インジウム・スズ)膜がスパッタ法により形成され、加工されてEL素子形成領域に透明電極109が形成される。この場合、層間絶縁膜108のEL素子形成領域には開孔を設けず、層間絶縁膜108上に透明電極109を設けてもよい。

【0038】次に窒化チタン膜を形成する。この場合、窒素を10atm%含有する窒化チタン膜を、膜厚100Å~1000Å、例えば500Åの厚さで、基板全面に形成した。

【0039】その後これをエッチング処理して、ソース領域105とドレイン領域107と、透明電極109の上部であってアルミニウム配線が接続される部分に、いずれも窒化チタン膜よりなるバリアメタル110、111及び密着用金属112が同時に形成される。

【0040】勿論スイッチ用薄膜トランジスタや、周辺駆動回路を構成する薄膜トランジスタの窒化チタンより

なるバリアメタルを、この工程において同時に形成してもよい。このようにして、窒化チタンよりなるバリアメタル及び密着用金属を同時に形成することができる。

【0041】それから、図1(C)に示す如く、全面にアルミニウム膜が6000Å形成され、これがエッチング処理されて、ソース電極113-1が形成されるアルミニウム配線113と、ドレイン電極114-1と密着用金属112とを接続するアルミニウム配線114が設けられる。

【0042】そして、図1(D)に示す如く、有機EL層115とEL素子の上部電極116が有機EL素子形成領域に設けられた。これらは、それぞれメタルマスクが設けられた状態で、真空蒸着法を行うことにより形成された。この上部電極116は、例えば銀を含むマグネシウム膜により構成される。

【0043】次に、有機EL素子の上部電極116上に開孔が設けられてSiO<sub>2</sub>膜の保護膜117が形成され、更に共通電極118が、マトリクス部全面にアルミニウムを設けることで形成され、有機ELディスプレイ装置が完成された。

【0044】本発明の第2の実施の形態について説明する。本発明の第2の実施の形態ではバリアメタル110、111や密着用金属112等にチタンを使用したものである。その製造工程図は図1と全く同じであるので、図1に従って簡単に説明する。

【0045】図1(A)に示す如く、基板101上に多結晶シリコン薄膜を形成し、これを島状に加工して、シリコン活性層102を得る。このシリコン活性層102の上にSiO<sub>2</sub>よりなるゲート絶縁膜103、アルミニウムよりなるゲート電極104を形成し、不純物をドーピングしてソース領域105、チャネル形成領域106及びドレイン領域107を形成し、これらにSiO<sub>2</sub>よりなる層間絶縁膜108を形成する。

【0046】次に、図1(B)に示す如く、層間絶縁膜108をエッチングして、ソース領域105、ドレイン領域107、EL素子形成領域に開孔を設ける。そしてITO膜がスパッタ法により形成され、加工されてEL素子形成領域に透明電極109を形成する。この場合、EL素子形成領域には開孔を設けず、層間絶縁膜108上に透明電極109を設けてもよい。

【0047】それからチタン膜を、100Å~1000Å、例えば500Åの厚さで基板全面に形成し、これをエッチング処理して、ソース領域105と、ドレイン領域107と、透明電極109との上部のアルミニウム配線が接続される部分に、チタン膜よりなるバリアメタル110'、111'及び密着用金属112'を同時に形成する。勿論スイッチ用薄膜トランジスタや周辺駆動回路を構成する薄膜トランジスタのチタンよりなるバリアメタル及び密着用金属を同時に形成できる。

【0048】それから図1(C)に示す如く、全面にア

ルミニウム膜が6000Å形成され、これがエッチング処理されて、ソース電極113-1が形成されるアルミニウム配線113と、ドレイン電極114-1と密着用金属112とを接続するアルミニウム配線114が設けられる。

【0049】そして、図1(D)に示す如く、有機EL層115とEL素子の上部電極116が設けられる。これらは、それぞれメタルマスクが設けられた状態で、真空蒸着法で形成された。この上部電極116は、例えば銀を含むマグネシウム膜により構成される。

【0050】次に上部電極116上に開孔が設けられてSiO<sub>2</sub>膜の保護膜117が形成され、アルミニウムの共通電極118が形成され、有機ELディスプレイ装置が完成される。

【0051】本発明の第3の実施の形態について説明する。本発明の第3の実施の形態ではバリアメタル110、111や密着用金属112等にチタンを使用したものである。その製造工程図は図1と全く同じであるので、図1に従って簡単に説明する。

【0052】図1(A)に示す如く、基板101上に多結晶シリコン薄膜を形成し、これを島状に加工して、シリコン活性層102を得る。このシリコン活性層102の上にSiO<sub>2</sub>よりなるゲート絶縁膜103、アルミニウムよりなるゲート電極104を形成し、不純物をドーピングしてソース領域105、チャネル形成領域106及びドレイン領域107を形成し、これらにSiO<sub>2</sub>よりなる層間絶縁膜108を形成する。

【0053】次に、図1(B)に示す如く、層間絶縁膜108をエッチングして、ソース領域105、ドレイン領域107、EL素子形成領域に開孔を設ける。そしてITO膜がスパッタ法により形成され、加工されてEL素子形成領域に透明電極109を形成する。この場合、EL素子形成領域には開孔を設けず、層間絶縁膜108上に透明電極109を設けてもよい。

【0054】それから窒素を45atm含有する窒化チタン膜を、100Å~1000Å、例えば500Åの厚さで基板全面に形成し、これをエッチング処理して、ソース領域105と、ドレイン領域107と、透明電極109との上部のアルミニウム配線が接続される部分に、窒素を45atm含有する窒化チタン膜よりなるバリアメタル110'、111'及び密着用金属112'を同時に形成する。勿論スイッチ用薄膜トランジスタや周辺駆動回路を構成する薄膜トランジスタのチタンよりなるバリアメタル及び密着用金属を同時に形成できる。

【0055】それから図1(C)に示す如く、全面にアルミニウム膜が6000Å形成され、これがエッチング処理されて、ソース電極113-1が形成されるアルミニウム配線113と、ドレイン電極114-1と密着用金属112とを接続するアルミニウム配線114が設けられる。

【0056】そして、図1(D)に示す如く、有機EL層115とEL素子の上部電極116が設けられる。これらは、それぞれメタルマスクが設けられた状態で、真空蒸着法で形成された。この上部電極116は、例えば銀を含むマグネシウム膜により構成される。

【0057】次に上部電極116上に開孔が設けられてSiO<sub>2</sub>膜の保護膜117が形成され、アルミニウムの共通電極118が形成され、有機ELディスプレイ装置が完成される。

10 【0058】ここで図2により窒化チタンTiNの窒素含有量とその比抵抗の関係を説明する。図2においてNは窒素含有量(N<sub>2</sub>量)特性曲線を示し、Rは比抵抗特性曲線を示し、Tは成膜速度特性曲線を示す。なお横軸は成膜時N<sub>2</sub>分圧であり、窒素ガスとArガスの混合比を示し、0.2はN<sub>2</sub>ガス20%Arガス80%;また0.6はN<sub>2</sub>ガス60%Arガス40%のときを示す。

20 【0059】この図2は、成膜時N<sub>2</sub>分圧が0.1のとき窒化チタンの窒素含有量はN曲線により約37.5atm%、比抵抗はR曲線により約225マイクロオーム・センチメートル、成膜速度は約92Å/分であることを示している。

【0060】本発明者等は、窒素含有量を30atm%より増加したところ、図2に示す如く、約37.5atm%を超えたとき窒化チタンの比抵抗が低下する領域のあることを発見し、これにより窒素含有量が30atm%を超えた領域でもバリアメタルや密着用金属として使用可能であることを見出した。

30 【0061】当然のことながらバリアメタルや密着用金属としては、比抵抗は低い程よい。またチタンに窒素を含有すればする程化学的に安定するため、逆に加工性(エッチング性)は低下することになる。

【0062】本発明によればチタン又は窒素を50atm%以下含有する窒化チタンを薄膜トランジスタのバリアメタルとして使用することにより、バリアメタルとしての機能、即ちシリコンのアルミニウム配線への拡散を防ぐ機能を有するとともに、有機EL素子が使用されてもバリアメタルの流出を抑制することができる。

40 【0063】即ち、従来のようにバリアメタルとしてクロムを使用した有機ELディスプレイ装置では、10分~20分位でクロムの流出が生じ、不良となったものが、チタン又は窒素を50atm%以下含有する窒化チタンを使用することにより数日以上長時間使用しても薄膜トランジスタのバリアメタルや有機EL素子側の密着用金属として安定な状態を保持することができる。

50 【0064】また有機EL素子を構成する透明電極と、この透明電極に接続されるアルミニウム配線との間に設けられる密着用金属として、チタン又は窒素を50atm%以下含有する窒化チタンの層を形成することにより、透明電極とアルミニウム配線との密着性を向上させることができる。

【0065】従って、従来バリアメタルとして、またITO透明電極とアルミニウム配線との密着性向上のための密着用金属として、いずれもクロムが用いられたが、本発明ではこれらとともにチタン又は窒化チタンに置き換えることができるため、製造工程自体は、材料の変更以外は従来と同様とすることができる。

【0066】また窒化チタンにおける窒素の含有量は、窒素が多くなると密着性が高くなるものの導電率が低下し、また加工性も低下するため、30atm%以下の含有量が好ましい。特に窒素の含有量が5~15atm%程度が導電率と加工性と安定性とがともに良好に得られるので極めて好ましい。

【0067】なお本発明においては、窒素を30atm%以下含有する窒化チタンをバリアメタルあるいは密着用金属として使用することにより、比抵抗が小さく加工性がよく、しかも耐電食性の安定性の良好なものを提供することができる。また安価なウエットエッチング加工することが可能となるバリアメタルあるいは密着用金属として使用することができる。

【0068】本発明において窒素を30atm%を超え50atm%以下含有する窒化チタンをバリアメタルあるいは密着用金属として使用することにより、比抵抗が小さく、耐電食性の安定性の非常に高いものを提供することができる。この場合、ドライエッチングにより加工することができる。安定性が非常に高いので、窒化チタンの成膜後の熱が薬品に対する制約がなくなり、プロセスの汎用性が向上し、成膜にどんな工程がきても問題が発生しにくいものを提供することができる。

【0069】本発明においてチタンをバリアメタルあるいは密着用金属として使用することにより、耐電食性の安定性のある、しかも窒化チタンに比較して比抵抗が小さく加工性の非常にすぐれたものを提供することができる。そしてこれまた安価なウエットエッチング加工することが可能なものを提供することができる。

【0070】前記各実施の形態では、基板として石英基板を用いた例について説明したが、本発明はこれに限定されるものではなく、ガラス基板、セラミック基板等を使用することができる。

【0071】前記各実施の形態では透明電極としてITOを使用した例について説明したが、本発明はこれに限定されるものではなく、ZnO、SnO等を使用することができる。

【0072】前記各実施の形態では窒化チタン又はチタンよりなるバリアメタルは、画素部分の電流制御用薄膜トランジスタに設けられた例について示したが、本発明はこれに限定されることなく、これら窒化チタン又はチタンよりなるバリアメタルを、スイッチング用薄膜トランジスタや、X方向、Y方向の周辺駆動回路を構成する薄膜トランジスタに設けてもよい。

【0073】特に、同一基板上において、画素部分と、

周辺駆動回路を同時に形成する場合、画素部分を構成する電流制御用薄膜トランジスタとスイッチ用薄膜トランジスタと、各周辺駆動回路を構成する薄膜トランジスタとにおいて、全てチタン又は窒化チタンよりなるバリアメタルを設けることで、また更には透明電極とアルミニウム配線との間にチタン又は窒化チタンの密着用金属を設けることにより、従来に比較して特に製造工程を増加することなく、信頼性の高い有機ELディスプレイ装置を得ることができる。

10 【0074】

【発明の効果】請求項1に記載された本発明によれば薄膜トランジスタの活性層と、これと接続するアルミニウム配線との間に、加工し易くかつ水分の存在による溶出しにくいチタンよりなるバリアメタルを設けたので、有機EL素子とともに使用してもバリアメタルの溶出による短絡や断線の発生を防止するとともに、バリアメタルを加工し易く構成することができる。

【0075】請求項2に記載された本発明によれば、薄膜トランジスタの活性層と、これと接するアルミニウム配線との間に窒素を50atm%以下含有する、密着性が高く水分の存在による溶出されない安定な窒化チタンよりなるバリアメタルを設けたので、有機EL素子とともに使用してもバリアメタルの溶出による短絡や断線の発生を防止する薄膜トランジスタを提供することができる。

【0076】請求項3に記載された本発明によれば、有機EL素子に接続された電流制御用薄膜トランジスタのシリコン活性層と、これと接続するアルミニウム配線との間にチタンよりなるバリアメタルを設けたので、もっとも有機EL素子に近い電流制御用の薄膜トランジスタをバリアメタルの溶出による短絡や断線の発生を防止した構成の有機ELディスプレイ装置を提供することができる。

【0077】請求項4に記載された本発明によれば、有機EL素子に接続された電流制御用薄膜トランジスタのシリコン活性層と、これと接続するアルミニウム配線との間に窒素を50atm%以下含有する安定な窒化チタンよりなるバリアメタルを設けたので、もっとも有機EL素子に近い電流制御用の薄膜トランジスタをバリアメタルの溶出による短絡や断線の発生を防止した構成の有機ELディスプレイ装置を提供することができる。

【0078】請求項5に記載された本発明によれば、有機EL素子に接続された電流制御用薄膜トランジスタのみならず、この電流制御用薄膜トランジスタのスイッチングを行うスイッチ用薄膜トランジスタに対してもそれぞれチタンよりなるバリアメタルを設けたので、電流制御用薄膜トランジスタだけではなくスイッチ用薄膜トランジスタにおいてもバリアメタルの溶出による短絡や断線の発生を防止した安定性の一層高い有機ELディスプレイ装置を提供することができる。

【0079】請求項6に記載された本発明によれば、有機EL素子に接続された電流制御用薄膜トランジスタのみならず、この電流制御用薄膜トランジスタのスイッチングを行うスイッチ用薄膜トランジスタに対してもそれぞれ窒素を50atm%以下含有する安定な窒化チタンよりなるバリアメタルを設けたので、電流制御用薄膜トランジスタだけでなくスイッチ用薄膜トランジスタにおいてもバリアメタルの溶出による短絡や断線の発生を防止した、安定性の高い有機ELディスプレイ装置を提供することができる。

【0080】請求項7に記載された本発明によれば、有機EL素子を構成する透明電極と、前記透明電極に接続されたアルミニウム配線との間に、チタンよりなるバリアメタルを設けたので密着性のよい接続を得ることができ、信頼性の高い有機ELディスプレイ装置を提供することができる。

【0081】請求項8に記載された本発明によれば、有機EL素子を構成する透明電極と、前記透明電極に接続されたアルミニウム配線との間に、窒素を50atm%以下含有する、密着性のよい安定な窒化チタンを設けたので、密着性のよい安定した接続を得ることができ、信頼性の高い有機ELディスプレイ装置を提供することができる。

【0082】請求項9に記載された本発明によれば、電流制御用薄膜トランジスタは、その活性層とこれに接続されるアルミニウム配線との間にチタンよりなるバリアメタルが設けられ、また、有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間にチタンよりなる密着金属が設けられるので、バリアメタルと密着金属を同時に形成することができ、製造コストを低下するとともに安定に動作する有機ELディスプレイ装置を提供することができる。

【0083】請求項10に記載された本発明によれば、電流制御用薄膜トランジスタは、その活性層とこれに接続されるアルミニウム配線との間に窒素を50atm%以下含有する窒化チタンよりなるバリアメタルが設けられ、また有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に窒素を50atm%以下含有する窒化チタンよりなる密着金属が設けられているので、電流制御用薄膜トランジスタのバリアメタルと密着金属を同時に形成することができ、製造コストを低下するとともに、密着性の良好なバリアメタルや密着金属を構成することができるので、信頼性の高い安定に動作する有機ELディスプレイ装置を提供することができる。

【0084】請求項11に記載された本発明によれば、電流制御用薄膜トランジスタと、スイッチ用薄膜トランジスタのそれぞれにおいて活性層とこれに接続されるアルミニウム配線との間にそれぞれチタンよりなるバリアメタルが設けられ、また有機EL素子を構成する透明電

極と、前記透明電極に接続されるアルミニウム配線との間にチタンよりなる密着金属が設けられているので、電流制御用薄膜トランジスタのバリアメタルと、スイッチ用薄膜トランジスタのバリアメタルと、密着金属を同時に形成することができ、製造コストを更に低下するとともに安定に動作する有機ELディスプレイ装置を提供することができる。

【0085】請求項12に記載された本発明によれば、電流制御用薄膜トランジスタと、スイッチ用薄膜トランジスタのそれぞれにおいて活性層とこれに接続されるアルミニウム配線との間にそれぞれ窒素を50atm%以下含有する窒化チタンよりなるバリアメタルが設けられ、また有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に窒素を50atm%以下含有する窒化チタンよりなる密着金属が設けられているので、電流制御用薄膜トランジスタのバリアメタルと、スイッチ用薄膜トランジスタのバリアメタルと、密着金属を同時に形成することができ、製造コストを低下するとともに密着性のすぐれたバリアメタルや密着金属を形成することができ、信頼性の高い安定に動作する有機ELディスプレイ装置を提供することができる。

【0086】請求項13に記載された本発明によれば、電流制御用薄膜トランジスタの活性層と、この活性層に接続されるアルミニウム配線との間に形成されたバリアメタルと、有機EL素子を構成する透明電極と、この透明電極に接続されるアルミニウム配線との間に形成された密着金属とを、チタンにより同時に形成することができるので、有機ELディスプレイ装置の製造コストを低下するとともに安定に動作するアクティブマトリクス型の有機ELディスプレイ装置の製造方法を提供することができる。

【0087】請求項14に記載された本発明によれば、電流制御用薄膜トランジスタの活性層と、この活性層に接続されるアルミニウム配線との間に形成されたバリアメタルと、有機EL素子を構成する透明電極と、この透明電極に接続されるアルミニウム配線との間に形成された密着金属とを、窒素を50atm%以下含有する窒化チタンにより同時に形成することができ、有機ELディスプレイ装置の製造コストを低下するとともに、密着性の良好なバリアメタルや密着金属を有し、信頼性の高い安定に動作するアクティブマトリクス型の有機ELディスプレイ装置の製造方法を提供することができる。

#### 【図面の簡単な説明】

【図1】本発明の実施の形態説明図である。

【図2】本発明で使用される窒化チタン特性説明図である。

【図3】従来例説明図である。

【図4】有機ELディスプレイ装置の回路構成図であ

る。

【符号の説明】

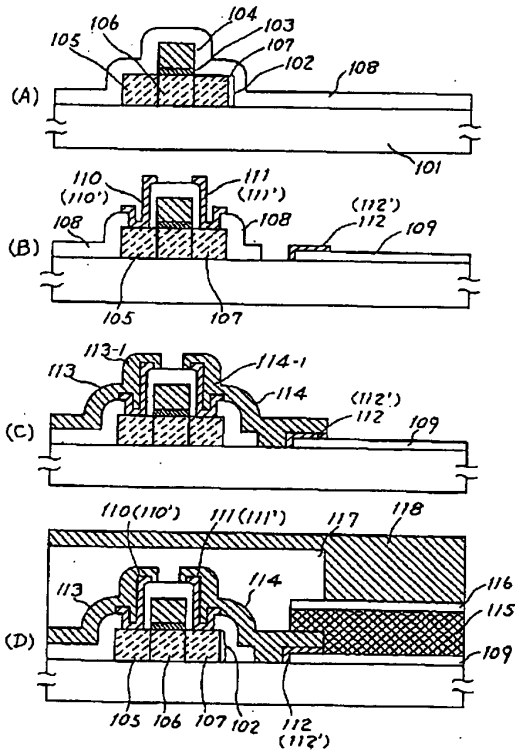
- 101 基板
- 102 シリコン活性層
- 103 ゲート絶縁膜
- 104 ゲート電極
- 105 ソース領域
- 106 チャネル形成領域
- 107 ドレイン領域
- 108 層間絶縁膜

- 109 透明電極
- 110、110' バリアメタル
- 111、111' バリアメタル
- 112、112' 密着用金属
- 113 ソース電極
- 114 ドレイン電極
- 115 有機EL層
- 116 上部電極
- 117 保護膜
- 10 118 共通電極

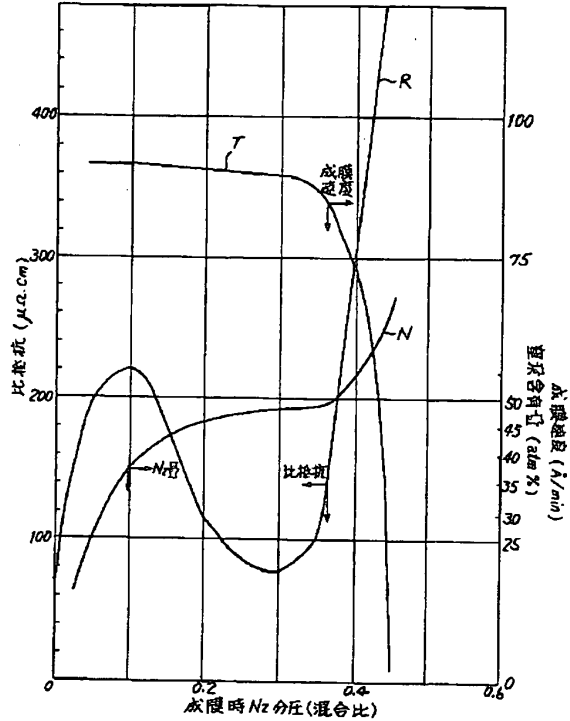
【図1】

【図2】

本発明の実施の形態説明図



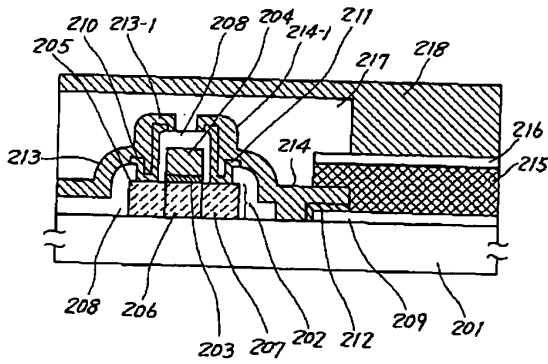
TiN特性図



N: 窒素含有量特性曲線  
 R: 比抵抗特性曲線  
 T: 成膜速度特性曲線

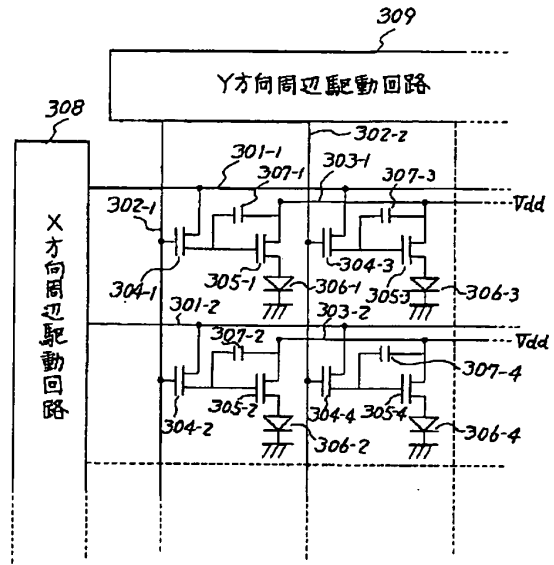
【図3】

従来例説明図



【図4】

有機ELディスプレイ装置の回路構成図





日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出願年月日  
Date of Application: 2005年 3月31日

出願番号  
Application Number: 特願2005-101905

パリ条約による外国への出願  
に用いる優先権の主張の基礎  
となる出願の国コードと出願  
番号

country code and number  
of your priority application,  
as used for filing abroad  
under the Paris Convention, is

JP2005-101905

願人  
Applicant(s): カシオ計算機株式会社

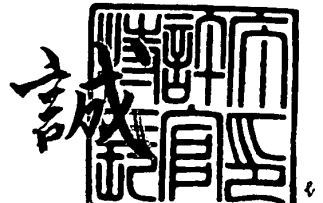
CERTIFIED COPY OF  
PRIORITY DOCUMENT

BEST AVAILABLE COPY

2005年12月 8日

特許庁長官  
Commissioner,  
Japan Patent Office

中 嶋



【書類名】 特許願  
【整理番号】 05-0085-00  
【あて先】 特許庁長官 殿  
【国際特許分類】 G09G 03/20 624  
G09G 03/20 621  
G09G 03/30

【発明者】  
【住所又は居所】 東京都八王子市石川町 2 9 5 1 番地の 5  
カシオ計算機株式会社 八王子技術センター内  
【氏名】 白寄 友之

【発明者】  
【住所又は居所】 東京都八王子市石川町 2 9 5 1 番地の 5  
カシオ計算機株式会社 八王子技術センター内  
【氏名】 小倉 潤

【特許出願人】  
【識別番号】 000001443  
【氏名又は名称】 カシオ計算機株式会社  
【代表者】 檜尾 和雄

【代理人】  
【識別番号】 100096699  
【弁理士】  
【氏名又は名称】 鹿嶋 英實

【手数料の表示】  
【予納台帳番号】 021267  
【納付金額】 16,000円

【提出物件の目録】  
【物件名】 特許請求の範囲 1  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 9600683

**【書類名】特許請求の範囲****【請求項 1】**

電流制御型の発光素子と該発光素子に発光駆動電流を供給する発光駆動素子とを備えた表示画素に、階調信号を供給することにより、前記発光素子を所定の輝度階調で発光動作させる表示駆動装置において、

少なくとも、

前記階調信号を生成して、前記表示画素に供給する階調信号生成手段と、

前記表示画素に設けられた前記発光駆動素子に固有のしきい値電圧を検出するしきい値電圧検出手段と、

前記しきい値電圧検出手段により検出された前記しきい値電圧に関連付けられたしきい値データを記憶する記憶手段と、

前記記憶手段に記憶された前記しきい値データに基づいて、前記発光駆動素子の前記しきい値電圧を補償する補償電圧を前記発光駆動素子に印加する補償電圧印加手段と、を備えることを特徴とする表示駆動装置。

**【請求項 2】**

前記表示駆動装置は、前記発光駆動素子に前記しきい値電圧よりも高電位のしきい値検出用の電圧を印加する検出用電圧印加手段を、さらに備え、

前記しきい値電圧検出手段は、前記しきい値電圧検出用の電圧が前記発光駆動素子に印加され、該しきい値電圧検出用の電圧に対応する電荷の一部が放電されて収束した後の電圧を、前記発光駆動素子の前記しきい値電圧として検出することを特徴とする請求項 1 記載の表示駆動装置。

**【請求項 3】**

前記補償電圧印加手段は、前記記憶手段に記憶された前記しきい値データに基づいて、前記発光駆動素子に前記しきい値電圧相当の電圧成分を保持させるための前記補償電圧を生成して、前記発光駆動素子に印加することを特徴とする請求項 1 又は 2 記載の表示駆動装置。

**【請求項 4】**

前記表示画素に設けられる前記発光駆動素子は、前記発光素子に前記発光駆動電流を流す電流路と、前記発光駆動電流の供給状態を制御する制御端子を備え、

前記検出用電圧印加手段は、前記発光駆動素子の前記制御端子と前記電流路の一端側との間に、前記しきい値検出用の電圧を印加し、前記しきい値電圧検出手段は、前記発光駆動素子の前記制御端子と前記電流路の一端側との間の電位差を、前記しきい値電圧として検出することを特徴とする請求項 2 又は 3 記載の表示駆動装置。

**【請求項 5】**

前記補償電圧印加手段は、前記発光駆動素子の前記制御端子と前記電流路の一端側との間に、前記記憶手段に記憶された前記しきい値データに基づく前記補償電圧を印加することを特徴とする請求項 4 記載の表示駆動装置。

**【請求項 6】**

前記しきい値電圧検出手段は、アナログ信号として検出した前記発光駆動素子の前記しきい値電圧を、デジタル信号に変換する手段を備え、

前記記憶手段は、前記デジタル信号に変換された前記しきい値電圧を、前記しきい値データとして記憶することを特徴とする請求項 1 乃至 5 のいずれかに記載の表示駆動装置。

**【請求項 7】**

前記補償電圧印加手段は、前記記憶手段にデジタル信号として記憶された前記しきい値データに基づいて、前記発光駆動素子の前記しきい値電圧を補償するアナログ信号からなる前記補償電圧を生成する手段を備えていることを特徴とする請求項 6 記載の表示駆動装置。

**【請求項 8】**

前記階調信号生成手段は、前記階調信号として、前記発光素子を所定の輝度階調で発光動作させるための所定の電流値を有する階調電流を生成する手段を備えていることを特徴と

する請求項 1 乃至 7 のいずれかに記載の表示駆動装置。

【請求項 9】

前記階調信号生成手段は、前記階調信号として、前記発光素子を無発光動作させるための所定の電圧値を有する無発光表示電圧を生成する手段を備えていることを特徴とする請求項 1 乃至 8 のいずれかに記載の表示駆動装置。

【請求項 10】

前記表示駆動装置は、所定の配列で複数個設けられた前記表示画素に対して、前記階調信号を生成するための輝度階調データを、順次個別に取り込み、保持するデータ取得手段を、さらに備え、

前記階調信号生成手段は、前記データ取得手段に保持された前記複数の表示画素ごとの前記輝度階調データに応じた前記階調信号を生成し、前記複数の表示画素の各々に対して前記階調信号を供給することを特徴とする請求項 1 乃至 9 のいずれかに記載の表示駆動装置。

【請求項 11】

前記表示駆動装置は、所定の配列で複数個設けられた前記表示画素から検出された前記しきい値電圧に関連付けられた前記しきい値データを、個別に取り込み、順次転送するしきい値取得手段を、さらに備え、

前記記憶手段は、前記しきい値取得手段から転送された前記複数の表示画素ごとの前記しきい値電圧に関連付けられた前記しきい値データを、前記複数の表示画素の各々に対応させて個別に記憶することを特徴とする請求項 1 乃至 10 のいずれかに記載の表示駆動装置。

【請求項 12】

前記データ取得手段と前記しきい値取得手段は、前記輝度階調データを順次個別に取り込む構成と、前記しきい値データを個別に取り込み、順次転送する構成とが、共用化されていることを特徴とする請求項 11 記載の表示駆動装置。

【請求項 13】

前記表示駆動装置は、少なくとも、前記しきい値電圧検出手段により前記表示画素の前記しきい値電圧を検出する信号経路、前記補償電圧印加手段により当該表示画素に前記補償電圧を印加する信号経路、及び、前記階調信号生成手段により当該表示画素に前記階調信号を供給する信号経路と、当該表示画素に対応して設けられた単一のデータ線との接続を、選択的に切り換え制御する信号経路切換手段を備えることを特徴とする請求項 1 乃至 12 のいずれかに記載の表示駆動装置。

【請求項 14】

前記表示駆動装置は、さらに、前記検出用電圧印加手段により前記表示画素に前記しきい値検出用の電圧を印加する信号経路が、前記単一のデータ線に、選択的に接続されるように構成されていることを特徴とする請求項 13 記載の表示駆動装置。

【請求項 15】

電流制御型の発光素子と該発光素子に発光駆動電流を供給する発光駆動素子とを備えた表示画素に、階調信号を供給することにより、前記発光素子を所定の輝度階調で発光動作させる表示駆動装置の駆動制御方法において、

少なくとも、

前記発光駆動素子に固有のしきい値電圧を検出し、当該しきい値電圧に関連付けられたしきい値データとして記憶手段に記憶する第 1 のステップと、

前記記憶手段に記憶された前記しきい値データに基づいて、前記発光駆動素子の前記しきい値電圧を補償する補償電圧を前記発光駆動素子に印加する第 2 のステップと、

前記階調信号を前記表示画素に供給して、当該階調信号に基づく電圧成分を、前記発光駆動素子に印加された前記補償電圧に基づく電圧成分に上乘せして保持させる第 3 のステップと、

を含むことを特徴とする表示駆動装置の駆動制御方法。

【請求項 16】

前記第1のステップは、前記第2のステップ及び第3のステップに先立つ任意のタイミングで実行されることを特徴とする請求項15記載の表示駆動装置の駆動制御方法。

【請求項17】

前記第1のステップは、前記発光駆動素子に前記しきい値電圧よりも高電位のしきい値検出用の電圧を印加するステップと、当該しきい値電圧検出用の電圧に対応する電荷の一部が放電されて収束した後の電圧を、前記発光駆動素子の前記しきい値電圧として検出するステップと、を含むことを特徴とする請求項15又は16記載の表示駆動装置の駆動制御方法。

【請求項18】

前記第1のステップは、アナログ信号として検出した前記発光駆動素子の前記しきい値電圧をデジタル信号に変換して生成される前記しきい値データを前記記憶手段に記憶するステップをさらに含むことを特徴とする請求項17記載の表示駆動装置の駆動制御方法。

【請求項19】

前記第2のステップは、前記記憶手段に記憶された前記しきい値データに基づいて、前記発光駆動素子の前記しきい値電圧を補償する電圧を生成して、前記補償電圧として前記発光駆動素子に印加することを特徴とする請求項15乃至18のいずれかに記載の表示駆動装置の駆動制御方法。

【請求項20】

前記第2のステップは、前記記憶手段にデジタル信号として記憶された前記しきい値データに基づいて、前記発光駆動素子の前記しきい値電圧を補償するアナログ信号からなる前記補償電圧を生成することを特徴とする請求項18又は19記載の表示駆動装置の駆動制御方法。

【請求項21】

前記第3のステップは、前記発光素子を所定の輝度階調で発光動作させる場合には、前記階調電流として所定の電流値を有する階調電流を生成し、前記発光素子を無発光動作させる場合には、前記階調信号として所定の電圧値を有する無発光表示電圧を生成して、前記表示画素に供給することを特徴とする請求項15乃至20のいずれかに記載の表示駆動装置の駆動制御方法。

【請求項22】

少なくとも、前記第1のステップにおいて前記表示画素に前記しきい値検出用の電圧を印加する動作と、前記第1のステップにおいて前記表示画素の前記しきい値電圧を検出する動作と、前記第2のステップにおいて当該表示画素に前記補償電圧を印加する動作と、前記第3のステップにおいて当該表示画素に前記階調信号を供給する動作と、を当該表示画素に対応して設けられた単一のデータ線を介して選択的に実行することを特徴とする請求項15乃至21のいずれかに記載の表示駆動装置の駆動制御方法。

【請求項23】

行方向及び列方向に配設された複数の選択線及びデータ線の各交点に、電流制御型の発光素子と該発光素子に発光駆動電流を供給する発光駆動素子とを備えた複数の表示画素が配列された表示パネルを備えた表示装置において、

所定のタイミングで前記表示パネルの各行ごとの前記表示画素に選択信号を順次印加して、選択状態に設定する選択駆動部と、

所望の画像情報を表示するための表示データに応じた階調信号を生成し、前記選択状態に設定された行の前記表示画素に供給するデータ駆動部と、  
を備え、

前記データ駆動部は、少なくとも、

前記データ線を介して、前記階調信号を前記表示画素の各々に個別に供給する階調信号生成手段と、

前記各表示画素の前記発光駆動素子に固有のしきい値電圧を個別に検出するしきい値電圧検出手段と、

前記しきい値電圧検出手段により検出された前記しきい値電圧に関連付けられたしきい

値データを、前記表示画素ごとに記憶する記憶手段と、

前記記憶手段に記憶された前記しきい値データに基づいて、前記表示画素ごとの前記しきい値電圧を補償する補償電圧を、前記表示画素の前記発光駆動素子に個別に印加する補償電圧印加手段と、  
を有することを特徴とする表示装置。

【請求項 24】

前記データ駆動部は、前記表示画素の前記発光駆動素子に前記しきい値電圧よりも高電位のしきい値検出用の電圧を個別に印加する検出用電圧印加手段を、さらに備え、

前記しきい値電圧検出手段は、前記しきい値電圧検出用の電圧が収束した後の、前記発光駆動素子のしきい値電圧を個別に検出することを特徴とする請求項 23 記載の表示装置。

【請求項 25】

前記補償電圧印加手段は、前記記憶手段に記憶された前記しきい値データに基づいて、前記発光駆動素子に前記しきい値電圧相当の電圧成分を保持させるための前記補償電圧を生成して、前記表示画素の前記発光駆動素子に個別に印加することを特徴とする請求項 23 又は 24 記載の表示装置。

【請求項 26】

前記表示画素の各々に設けられる前記発光駆動素子は、前記発光素子に前記発光駆動電流を流す電流路と、前記発光駆動電流の供給状態を制御する制御端子を備え、

前記検出用電圧印加手段は、前記発光駆動素子の前記制御端子と前記電流路の一端側との間に、前記しきい値検出用の電圧を印加し、前記しきい値電圧検出手段は、前記電流路に電流が流れなくなったときの前記発光駆動素子の前記制御端子と前記電流路の一端側との間の電位差を、前記しきい値電圧として検出することを特徴とする請求項 24 又は 25 記載の表示装置。

【請求項 27】

前記補償電圧印加手段は、前記発光駆動素子の前記制御端子と前記電流路の一端側との間に、前記記憶手段に記憶された前記しきい値データに基づく前記補償電圧を印加することを特徴とする請求項 26 記載の表示装置。

【請求項 28】

前記しきい値電圧検出手段は、アナログ信号として検出した前記発光駆動素子のしきい値電圧を、デジタル信号に変換して、前記しきい値データを生成する手段を備え、

前記補償電圧印加手段は、前記記憶手段にデジタル信号として記憶された前記しきい値データに基づいて、前記発光駆動素子の前記しきい値電圧を補償するアナログ信号からなる前記補償電圧を生成する手段を備えていることを特徴とする請求項 23 乃至 27 のいずれかに記載の表示装置。

【請求項 29】

前記階調信号生成手段は、前記階調信号として、前記発光素子を所定の輝度階調で発光動作させるための所定の電流値を有する階調電流を生成する手段と、前記発光素子を無発光動作させるための所定の電圧値を有する無発光表示電圧を生成する手段と、を備えていることを特徴とする請求項 23 乃至 28 のいずれかに記載の表示装置。

【請求項 30】

前記データ駆動部は、

前記表示画素の各々から検出された前記しきい値電圧に関連付けられた前記しきい値データを、個別に取り込み、順次転送するしきい値取得手段と、

前記表示画素の各々に対して、前記階調信号を生成するための輝度階調データを、順次個別に取り込み、保持するデータ取得手段と、  
を、さらに備え、

前記記憶手段は、前記しきい値取得手段から転送された前記複数の表示画素ごとの前記しきい値電圧に関連付けられた前記しきい値データを、前記複数の表示画素の各々に対応させて個別に記憶し、

前記階調信号生成手段は、前記データ取得手段に保持された前記複数の表示画素ごとの前記輝度階調データに応じた前記階調信号を生成し、前記複数の表示画素の各々に対して、前記階調信号を供給することを特徴とする請求項 23 乃至 29 のいずれかに記載の表示装置。

【請求項 31】

前記データ取得手段と前記しきい値取得手段は、前記輝度階調データを順次個別に取り込む構成と、前記しきい値データを個別に取り込み、順次転送する構成とが、共用化されていることを特徴とする請求項 30 記載の表示装置。

【請求項 32】

前記データ駆動部は、少なくとも、前記しきい値電圧検出手段により前記表示画素の前記しきい値電圧を検出する信号経路、前記補償電圧印加手段により当該表示画素に前記補償電圧を印加する信号経路、及び、前記階調信号生成手段により当該表示画素に前記階調信号を供給する信号経路と、当該表示画素に対応して設けられた単一のデータ線との接続を、選択的に切り換え制御する信号経路切換手段を備えることを特徴とする請求項 23 乃至 31 のいずれかに記載の表示装置。

【請求項 33】

前記データ駆動部は、さらに、前記検出用電圧印加手段により前記表示画素に前記しきい値検出用の電圧を印加する信号経路が、前記単一のデータ線に、選択的に接続されるように構成されていることを特徴とする請求項 32 記載の表示装置。

【請求項 34】

前記表示装置は、前記表示画素の各々に所定の供給電圧を印加する電源駆動部を、さらに備え、

前記電源駆動部は、所定のタイミングで前記表示パネルの各行ごとの前記表示画素に、前記供給電圧を順次印加して、各行ごとに前記表示画素を発光動作状態に設定することを特徴とする請求項 23 乃至 33 のいずれかに記載の表示装置。

【請求項 35】

前記表示装置は、前記表示画素の各々に所定の供給電圧を印加する電源駆動部を、さらに備え、

前記電源駆動部は、前記表示パネルに配列された前記複数の表示画素を、複数行ごとにグループ分けした各グループごとの前記表示画素に、所定のタイミングで前記供給電圧を順次印加して、各グループごとに前記表示画素を発光動作状態に設定することを特徴とする請求項 23 乃至 33 のいずれかに記載の表示装置。

【請求項 36】

前記表示画素の各々は、前記発光素子の発光動作を制御する発光駆動回路を備え、

前記発光駆動回路は、少なくとも、電流路の一端に前記供給電圧が印加され、該電流路の他端に前記発光素子との接続接点が接続された第 1 のスイッチ手段と、制御端子が前記選択線に接続され、電流路の一端に前記供給電圧が印加され、該電流路の他端に前記第 1 のスイッチ手段の制御端子が接続された第 2 のスイッチ手段と、制御端子が前記選択線に接続され、電流路の一端に前記データ線が接続され、該電流路の他端に前記接続接点が接続された第 3 のスイッチ手段と、を備え、

前記発光駆動素子は、前記第 1 のスイッチ手段であり、

前記検出用電圧印加手段は、前記第 1 のスイッチ手段の前記制御端子と前記接続接点との間に、前記しきい値検出用の電圧を印加し、

前記しきい値電圧検出手段は、前記第 1 のスイッチ手段の前記制御端子と前記接続接点との間の電位を、前記しきい値電圧として検出し、

前記補償電圧印加手段は、前記第 1 のスイッチ手段の前記制御端子と前記接続接点との間に、前記記憶手段に記憶された前記しきい値データに基づく前記補償電圧を印加することを特徴とする請求項 23 乃至 35 のいずれかに記載の表示装置。

【請求項 37】

前記第 1 乃至第 3 のスイッチ手段は、アモルファスシリコンからなる半導体層を備えた電

界効果型トランジスタであることを特徴とする請求項 36 記載の表示装置。

【請求項 38】

前記発光素子は、有機エレクトロルミネッセンス素子であることを特徴とする請求項 23 乃至 37 のいずれかに記載の表示装置。

【請求項 39】

行方向及び列方向に配設された複数の選択線及びデータ線の各交点に、電流制御型の発光素子を備えた複数の表示画素が配列された表示パネルと、所定のタイミングで前記表示パネルの各行ごとの前記表示画素に選択信号を順次印加して、選択状態に設定する選択駆動部と、所望の画像情報を表示するための表示データに応じた階調信号を生成し、前記選択状態に設定された行の前記表示画素に供給するデータ駆動部と、を備え、前記データ駆動部により前記表示画素の各々に前記階調信号を供給することにより、前記表示画素を所定の輝度階調で発光動作させて、前記表示パネルに前記所望の画像情報を表示する表示装置の駆動制御方法において、

少なくとも、

前記表示画素の各々に設けられ、前記階調信号に基づいて所定の電流値を有する発光駆動電流を前記発光素子に供給する発光駆動素子に、当該発光駆動素子に固有のしきい値電圧よりも高電位のしきい値検出用の電圧を個別に印加する検出用電圧印加ステップと、

前記しきい値電圧検出用の電圧が収束した後の、前記発光駆動素子の前記しきい値電圧を個別に検出し、当該しきい値電圧に関連付けられたしきい値データとして、前記表示画素ごとに記憶手段に記憶するしきい値電圧検出ステップと、

前記記憶手段に記憶された前記しきい値データに基づいて、前記各表示画素ごとに前記発光駆動素子の前記しきい値電圧を補償する補償電圧を生成して、前記発光駆動素子に個別に印加し、電圧成分として保持させる補償電圧印加ステップと、

前記表示データに応じた前記階調信号を前記表示画素の各々に供給して、当該階調信号に基づく電圧成分を、前記発光駆動素子に印加された前記補償電圧に基づく電圧成分に上乗せして保持させるデータ書込ステップと、

前記各表示画素の発光駆動素子に保持された前記電圧成分に基づいて生成された前記発光駆動電流を前記発光素子の各々に供給して、当該発光素子を所定の輝度階調で発光動作させる階調発光ステップと、

を含むことを特徴とする表示装置の駆動制御方法。

【請求項 40】

前記検出用電圧印加ステップ及び前記しきい値電圧検出ステップは、前記補償電圧印加ステップ及び前記データ書込ステップ、前記階調発光ステップに先立つ任意のタイミングで、前記表示パネルに配列された全ての前記表示画素について実行されることを特徴とする請求項 39 記載の表示装置の駆動制御方法。

【請求項 41】

前記検出用電圧印加ステップ及び前記しきい値電圧検出ステップは、前記表示パネルに配列された前記表示画素に対して、各行ごとに順次実行されることを特徴とする請求項 40 記載の表示装置の駆動制御方法。

【請求項 42】

前記補償電圧印加ステップ及び前記データ書込ステップは、前記表示パネルに配列された前記複数の表示画素に対して、各行ごとに順次実行され、前記前記階調発光ステップは、前記補償電圧印加ステップ及び前記データ書込ステップが終了した行から順次実行されることを特徴とする請求項 39 記載の表示装置の駆動制御方法。

【請求項 43】

前記補償電圧印加ステップ及び前記データ書込ステップは、前記表示パネルに配列された前記複数の表示画素を、複数行ごとにグループ分けした各グループごとに順次実行され、前記前記階調発光ステップは、前記補償電圧印加ステップ及び前記データ書込ステップが終了した前記グループから順次実行されることを特徴とする請求項 39 記載の表示装置の駆動制御方法。



**【請求項 4 4】**

前記データ書込ステップは、前記発光素子を所定の輝度階調で発光動作させる場合には、前記階調信号として所定の電流値を有する階調電流を当該表示画素に供給し、前記発光素子を無発光動作させる場合には、前記階調信号として所定の電圧値を有する無発光表示電圧を当該表示画素に供給することを特徴とする請求項 3 9 乃至 4 3 のいずれかに記載の表示装置の駆動制御方法。

**【請求項 4 5】**

少なくとも、前記検出用電圧印加ステップと、前記しきい値電圧検出ステップと、前記補償電圧印加ステップと、前記データ書込ステップと、を前記表示画素の各々に対応して設けられた単一のデータ線を介して選択的に実行することを特徴とする請求項 3 9 乃至 4 4 のいずれかに記載の表示装置の駆動制御方法。

**【書類名】明細書**

**【発明の名称】**表示駆動装置及びその駆動制御方法、並びに、表示装置及びその駆動制御方法

**【技術分野】****【0001】**

本発明は、表示駆動装置及びその駆動制御方法、並びに、表示装置及びその駆動制御方法に関し、特に、表示データに応じた電流を供給することにより所定の輝度階調で発光する電流駆動型（又は、電流制御型）の発光素子を、複数配列してなる表示パネル（表示画素アレイ）に適用可能な表示駆動装置及びその駆動制御方法、並びに、該表示駆動装置を備えた表示装置及びその表示装置の駆動制御方法に関する。

**【背景技術】****【0002】**

近年、パーソナルコンピュータや映像機器のモニタやディスプレイとして、軽量薄型で低消費電力の表示デバイスの普及が著しい。特に、液晶表示装置（LCD）は、近年普及が著しい携帯電話やデジタルカメラ、携帯情報端末（PDA）、電子辞書等の携帯機器（モバイル機器）の表示デバイスとして広く適用されている。

**【0003】**

このような液晶表示装置に続く次世代の表示デバイスとして、有機エレクトロルミネッセンス素子（有機EL素子）や無機エレクトロルミネッセンス素子（無機EL素子）、あるいは、発光ダイオード（LED）等のような発光素子（自己発光型の光学要素）を、マトリクス状に配列した表示パネルを備えた発光素子型の表示デバイス（発光素子型ディスプレイ）の本格的な普及に向けた研究開発が盛んに行われている。

**【0004】**

特に、アクティブマトリクス駆動方式を適用した発光素子型ディスプレイは、上述した液晶表示装置に比較して、表示応答速度が速く、また、視野角依存性もなく、高輝度・高コントラスト化、表示画質の高精細化等が可能であるとともに、液晶表示装置のようにバックライトを必要としないので、一層の薄型軽量化や低消費電力化が可能である、という携帯機器への適用に極めて優位な特徴を有している。

**【0005】**

そして、このような発光素子型ディスプレイにおいては、発光素子の動作（発光状態）を制御するための駆動制御機構や制御方法が種々提案されている。例えば、特許文献1等には、表示パネルを構成する各表示画素ごとに、上記発光素子に加えて、該発光素子を発光駆動制御するための複数のスイッチング素子からなる駆動回路（発光駆動回路）を備えた構成が記載されている。

**【0006】**

図27は、従来技術における電圧制御アクティブマトリクス発光素子型ディスプレイの要部を示す概略構成図であり、図28は、従来技術における発光素子型ディスプレイに適用可能な表示画素（発光駆動回路及び発光素子）の構成例を示す等価回路図である。ここで、図28においては、発光素子として、有機EL素子を備えた表示画素の回路構成を示す。

**【0007】**

特許文献1等に記載されたアクティブマトリクス型有機EL表示装置は、概略、図27に示すように、行、列方向に配設された複数の走査ライン（選択ライン；Y方向信号線）SL<sub>p</sub>及びデータライン（信号ライン；X方向信号線）DL<sub>p</sub>の各交点近傍に、複数の表示画素EM<sub>p</sub>がマトリクス状に配置された表示パネル110Pと、各走査ラインSL<sub>p</sub>に接続された走査ドライバ（Y方向周辺駆動回路）120Pと、各データラインDL<sub>p</sub>に接続されたデータドライバ（X方向周辺駆動回路）130Pと、を備えた構成を有している。

**【0008】**

また、各表示画素EM<sub>p</sub>は、図28に示すように、ゲート端子が走査ラインSL<sub>p</sub>に、ソース端子及びドレイン端子がデータラインDL<sub>p</sub>及び接点N111に各々接続された薄膜

トランジスタ (TFT)  $T r 1 1 1$ と、ゲート端子が接点 $N 1 1 1$ に接続され、ソース端子に所定の電源電圧 $V d d$ が印加された薄膜トランジスタ $T r 1 1 2$ と、を備えた発光駆動回路 $D C p$ 、及び、該発光駆動回路 $D C p$ の薄膜トランジスタ $T r 1 1 2$ のドレイン端子にアノード端子が接続され、カソード端子に電源電圧 $V d d$ よりも低電位となる接地電位 $V g n d$ が印加された有機 $E L$ 素子 (電流制御型の発光素子)  $O E L$ を有して構成されている。ここで、図28において、 $C p$ は、薄膜トランジスタ $T r 1 1 2$ のゲート-ソース間に形成されるコンデンサである。

**【0009】**

そして、このような構成を有する表示画素 $E M p$ からなる表示パネル $1 1 0 P$ を備えた表示装置においては、まず、走査ドライバ $1 2 0 P$ から各行の走査ライン $S L p$ にオンレベルの走査信号電圧 $S s e l$ を順次印加することにより、行ごとの表示画素 $E M p$  (発光駆動回路 $D C p$ ) の薄膜トランジスタ $T r 1 1 1$ がオン動作して、当該表示画素 $E M p$ が選択状態に設定される。

**【0010】**

この選択タイミングに同期して、データドライバ $1 3 0 P$ により表示データに応じた階調電圧 $V p i x$ を各列のデータライン $D L p$ に印加することにより、各表示画素 $E M p$  (発光駆動回路 $D C p$ ) の薄膜トランジスタ $T r 1 1 1$ を介して、階調電圧 $V p i x$ に応じた電位が接点 $N 1 1 1$  (すなわち、薄膜トランジスタ $T r 1 1 2$ のゲート端子) に印加される。

**【0011】**

これにより、薄膜トランジスタ $T r 1 1 2$ が接点 $N 1 1 1$ の電位 (厳密には、ゲート-ソース間の電位差) に応じた導通状態 (すなわち、階調電圧 $V p i x$ に応じた導通状態) でオン動作して、電源電圧 $V d d$ から薄膜トランジスタ $T r 1 1 2$ 及び有機 $E L$ 素子 $O E L$ を介して接地電位 $V g n d$ に、所定の発光駆動電流が流れ、有機 $E L$ 素子 $O E L$ が表示データ (階調電圧 $V p i x$ ) に応じた輝度階調で発光動作する。

**【0012】**

次いで、走査ドライバ $1 2 0 P$ から走査ライン $S L p$ にオフレベルの走査信号電圧 $S s e l$ を印加することにより、行ごとの表示画素 $E M p$ の薄膜トランジスタ $T r 1 1 1$ がオフ動作して、当該表示画素 $E M p$ が非選択状態に設定され、データライン $D L p$ と発光駆動回路 $D C p$ とが電氣的に遮断される。このとき、薄膜トランジスタ $T r 1 1 2$ のゲート端子 (接点 $N 1 1 1$ ) に印加された電位がコンデンサ $C p$ に保持されることにより、当該薄膜トランジスタ $T r 1 1 2$ のゲート-ソース間に所定の電圧が印加されて、薄膜トランジスタ $T r 1 1 2$ はオン状態を持続する。

**【0013】**

したがって、上記選択状態における発光動作と同様に、電源電圧 $V d d$ から薄膜トランジスタ $T r 1 1 2$ を介して、有機 $E L$ 素子 $O E L$ に所定の発光駆動電流が流れて、発光動作が継続される。この発光動作は、次の表示データに応じた階調電圧 $V p i x$ が各行の表示画素 $E M p$ に印加される (書き込まれる) まで、例えば、1フレーム期間継続するように制御される。

**【0014】**

このような駆動制御方法は、各表示画素 $E M p$  (具体的には、発光駆動回路 $D C p$ の薄膜トランジスタ $T r 1 1 2$ のゲート端子) に印加する階調電圧 $V p i x$ の電圧値を調整することにより、有機 $E L$ 素子 $O E L$ に流す発光駆動電流の電流値を制御して、所定の輝度階調で発光動作させていることから、電圧階調指定方式 (又は、電圧階調指定駆動) と呼ばれている。

**【0015】**

【特許文献1】特開平8-330600号公報 (第3頁、図4)

**【発明の開示】**

【発明が解決しようとする課題】

**【0016】**

しかしながら、上述したような電圧階調指定方式に対応した発光駆動回路を、各表示画素に備えた表示装置においては、以下に示すような問題を有していた。

すなわち、図 28 に示したような発光駆動回路 DCp においては、有機 EL 素子 OEL に電流路が直列に接続され、表示データ（階調電圧）に応じた発光駆動電流を流す、発光駆動用の薄膜トランジスタ Tr112 の素子特性（特に、しきい値電圧特性）が、使用時間や駆動履歴等に依存して変化（シフト）した場合には、ゲート電圧（接点 111 の電位）とソースドレイン間に流れる発光駆動電流（ソースドレイン間電流）との関係が変化して、所定のゲート電圧で流れる発光駆動電流の電流値が変動（例えば、低減）することになるため、表示データに応じた適切な輝度階調での発光動作を、長期にわたり安定的に実現することが困難になるという問題を有していた。

#### 【0017】

また、表示パネル 110P 内の薄膜トランジスタ Tr111 及び Tr112 の素子特性（しきい値電圧）が表示画素 EMp（発光駆動回路 DCp）ごとにバラツキが生じてしまった場合や、製造ロットによって表示パネル 110P ごとにトランジスタ Tr111 及び Tr112 の素子特性にバラツキが生じてしまった場合には、上述したような電圧階調指定方式の発光駆動回路では、各表示画素ごと、あるいは、各表示パネルごとに発光駆動電流の電流値のバラツキが大きくなって、適正な階調制御が行えなくなり、均質な表示画質を有する表示装置を提供することができなくなるという問題を有していた。

#### 【0018】

そこで、本発明は、上述した問題点を鑑み、表示データに対応した適切な電流値を有する発光駆動電流を供給することにより、表示データに応じた適切な輝度階調で発光素子を発光駆動させることができる表示駆動装置及びその駆動制御方法を提供し、以て、表示画質が良好かつ均質な表示装置及びその駆動制御方法を提供することを目的とする。

【課題を解決するための手段】

#### 【0019】

請求項 1 記載の発明は、電流制御型の発光素子と該発光素子に発光駆動電流を供給する発光駆動素子とを備えた表示画素に、階調信号を供給することにより、前記発光素子を所定の輝度階調で発光動作させる表示駆動装置において、少なくとも、前記階調信号を生成して、前記表示画素に供給する階調信号生成手段と、前記表示画素に設けられた前記発光駆動素子に固有のしきい値電圧を検出するしきい値電圧検出手段と、前記しきい値電圧検出手段により検出された前記しきい値電圧に関連付けられたしきい値データを記憶する記憶手段と、前記記憶手段に記憶された前記しきい値データに基づいて、前記発光駆動素子の前記しきい値電圧を補償する補償電圧を前記発光駆動素子に印加する補償電圧印加手段と、を備えることを特徴とする。

#### 【0020】

請求項 2 記載の発明は、請求項 1 記載の表示駆動装置において、前記表示駆動装置は、前記発光駆動素子に前記しきい値電圧よりも高電位のしきい値検出用の電圧を印加する検出用電圧印加手段を、さらに備え、前記しきい値電圧検出手段は、前記しきい値電圧検出用の電圧が前記発光駆動素子に印加され、該しきい値電圧検出用の電圧に対応する電荷の一部が放電されて収束した後の電圧を、前記発光駆動素子の前記しきい値電圧として検出することを特徴とする。

#### 【0021】

請求項 3 記載の発明は、請求項 1 又は 2 記載の表示駆動装置において、前記補償電圧印加手段は、前記記憶手段に記憶された前記しきい値データに基づいて、前記発光駆動素子に前記しきい値電圧相当の電圧成分を保持させるための前記補償電圧を生成して、前記発光駆動素子に印加することを特徴とする。

#### 【0022】

請求項 4 記載の発明は、請求項 2 又は 3 記載の表示駆動装置において、前記表示画素に設けられる前記発光駆動素子は、前記発光素子に前記発光駆動電流を流す電流路と、前記発光駆動電流の供給状態を制御する制御端子を備え、前記検出用電圧印加手段は、前記発

光駆動素子の前記制御端子と前記電流路の一端側との間に、前記しきい値検出用の電圧を印加し、前記しきい値電圧検出手段は、前記発光駆動素子の前記制御端子と前記電流路の一端側との間の電位差を、前記しきい値電圧として検出することを特徴とする。

**【0023】**

請求項5記載の発明は、請求項4記載の表示駆動装置において、前記補償電圧印加手段は、前記発光駆動素子の前記制御端子と前記電流路の一端側との間に、前記記憶手段に記憶された前記しきい値データに基づく前記補償電圧を印加することを特徴とする。

**【0024】**

請求項6記載の発明は、請求項1乃至5のいずれかに記載の表示駆動装置において、前記しきい値電圧検出手段は、アナログ信号として検出した前記発光駆動素子のしきい値電圧を、デジタル信号に変換する手段を備え、前記記憶手段は、前記デジタル信号に変換された前記しきい値電圧を、前記しきい値データとして記憶することを特徴とする。

**【0025】**

請求項7記載の発明は、請求項6記載の表示駆動装置において、前記補償電圧印加手段は、前記記憶手段にデジタル信号として記憶された前記しきい値データに基づいて、前記発光駆動素子の前記しきい値電圧を補償するアナログ信号からなる前記補償電圧を生成する手段を備えていることを特徴とする。

**【0026】**

請求項8記載の発明は、請求項1乃至7のいずれかに記載の表示駆動装置において、前記階調信号生成手段は、前記階調信号として、前記発光素子を所定の輝度階調で発光動作させるための所定の電流値を有する階調電流を生成する手段を備えていることを特徴とする。

**【0027】**

請求項9記載の発明は、請求項1乃至8のいずれかに記載の表示駆動装置において、前記階調信号生成手段は、前記階調信号として、前記発光素子を無発光動作させるための所定の電圧値を有する無発光表示電圧を生成する手段を備えていることを特徴とする。

請求項10記載の発明は、請求項1乃至9のいずれかに記載の表示駆動装置において、前記表示駆動装置は、所定の配列で複数個設けられた前記表示画素に対して、前記階調信号を生成するための輝度階調データを、順次個別に取り込み、保持するデータ取得手段を、さらに備え、前記階調信号生成手段は、前記データ取得手段に保持された前記複数の表示画素ごとの前記輝度階調データに応じた前記階調信号を生成し、前記複数の表示画素の各々に対して、前記階調信号を供給することを特徴とする。

**【0028】**

請求項11記載の発明は、請求項1乃至10のいずれかに記載の表示駆動装置において、前記表示駆動装置は、所定の配列で複数個設けられた前記表示画素から検出された前記しきい値電圧に関連付けられた前記しきい値データを、個別に取り込み、順次転送するしきい値取得手段を、さらに備え、前記記憶手段は、前記しきい値取得手段から転送された前記複数の表示画素ごとの前記しきい値電圧に関連付けられた前記しきい値データを、前記複数の表示画素の各々に対応させて個別に記憶することを特徴とする。

**【0029】**

請求項12記載の発明は、請求項11記載の表示駆動装置において、前記データ取得手段と前記しきい値取得手段は、前記輝度階調データを順次個別に取り込む構成と、前記しきい値データを個別に取り込み、順次転送する構成とが、共用化されていることを特徴とする。

**【0030】**

請求項13記載の発明は、請求項1乃至12のいずれかに記載の表示駆動装置において、前記表示駆動装置は、少なくとも、前記しきい値電圧検出手段により前記表示画素の前記しきい値電圧を検出する信号経路、前記補償電圧印加手段により当該表示画素に前記補償電圧を印加する信号経路、及び、前記階調信号生成手段により当該表示画素に前記階調信号を供給する信号経路と、当該表示画素に対応して設けられた単一のデータ線との接続

を、選択的に切り換え制御する信号経路切換手段を備えることを特徴とする。

**【0031】**

請求項14記載の発明は、請求項13記載の表示駆動装置において、前記表示駆動装置は、さらに、前記検出用電圧印加手段により前記表示画素に前記しきい値検出用の電圧を印加する信号経路が、前記単一のデータ線に、選択的に接続されるように構成されていることを特徴とする。

**【0032】**

請求項15記載の発明は、電流制御型の発光素子と該発光素子に発光駆動電流を供給する発光駆動素子とを備えた表示画素に、階調信号を供給することにより、前記発光素子を所定の輝度階調で発光動作させる表示駆動装置の駆動制御方法において、少なくとも、前記発光駆動素子に固有のしきい値電圧を検出し、当該しきい値電圧に関連付けられたしきい値データとして記憶手段に記憶する第1のステップと、前記記憶手段に記憶された前記しきい値データに基づいて、前記発光駆動素子の前記しきい値電圧を補償する補償電圧を前記発光駆動素子に印加する第2のステップと、前記階調信号を前記表示画素に供給して、当該階調信号に基づく電圧成分を、前記発光駆動素子に印加された前記補償電圧に基づく電圧成分に上乗せして保持させる第3のステップと、を含むことを特徴とする。

**【0033】**

請求項16記載の発明は、請求項15記載の表示駆動装置の駆動制御方法において、前記第1のステップは、前記第2のステップ及び第3のステップに先立つ任意のタイミングで実行されることを特徴とする。

**【0034】**

請求項17記載の発明は、請求項15又は16記載の表示駆動装置の駆動制御方法において、前記第1のステップは、前記発光駆動素子に前記しきい値電圧よりも高電位のしきい値検出用の電圧を印加するステップと、当該しきい値電圧検出用の電圧に対応する電荷の一部が放電されて収束した後の電圧を、前記発光駆動素子の前記しきい値電圧として検出するステップと、を含むことを特徴とする。

**【0035】**

請求項18記載の発明は、請求項17記載の表示駆動装置の駆動制御方法において、前記第1のステップは、アナログ信号として検出した前記発光駆動素子の前記しきい値電圧をデジタル信号に変換して前記しきい値データを前記記憶手段に記憶するステップをさらに含むことを特徴とする。

請求項19記載の発明は、請求項15乃至18のいずれかに記載の表示駆動装置の駆動制御方法において、前記第2のステップは、前記記憶手段に記憶された前記しきい値データに基づいて、前記発光駆動素子の前記しきい値電圧を補償する電圧を生成して、前記補償電圧として前記発光駆動素子に印加することを特徴とする。

**【0036】**

請求項20記載の発明は、請求項18又は19記載の表示駆動装置の駆動制御方法において、前記第2のステップは、前記記憶手段にデジタル信号として記憶された前記しきい値データに基づいて、前記発光駆動素子の前記しきい値電圧を補償するアナログ信号からなる前記補償電圧を生成することを特徴とする。

**【0037】**

請求項21記載の発明は、請求項15乃至20のいずれかに記載の表示駆動装置の駆動制御方法において、前記第3のステップは、前記発光素子を所定の輝度階調で発光動作させる場合には、前記階調電流として所定の電流値を有する階調電流を生成し、前記発光素子が無発光動作させる場合には、前記階調信号として所定の電圧値を有する無発光表示電圧を生成して、前記表示画素に供給することを特徴とする。

**【0038】**

請求項22記載の発明は、請求項15乃至21のいずれかに記載の表示駆動装置の駆動制御方法において、少なくとも、前記第1のステップにおいて前記表示画素に前記しきい値検出用の電圧を印加する動作と、前記第1のステップにおいて前記表示画素の前記しき

い値電圧を検出する動作と、前記第2のステップにおいて当該表示画素に前記補償電圧を印加する動作と、前記第3のステップにおいて当該表示画素に前記階調信号を供給する動作と、を当該表示画素に対応して設けられた単一のデータ線を介して選択的に実行することを特徴とする。

**【0039】**

請求項23記載の発明は、行方向及び列方向に配設された複数の選択線及びデータ線の各交点に、電流制御型の発光素子と該発光素子に発光駆動電流を供給する発光駆動素子とを備えた複数の表示画素が配列された表示パネルを備えた表示装置において、所定のタイミングで前記表示パネルの各行ごとの前記表示画素に選択信号を順次印加して、選択状態に設定する選択駆動部と、所望の画像情報を表示するための表示データに応じた階調信号を生成し、前記選択状態に設定された行の前記表示画素に供給するデータ駆動部と、を備え、前記データ駆動部は、少なくとも、前記データ線を介して、前記階調信号を前記表示画素の各々に個別に供給する階調信号生成手段と、前記各表示画素の前記発光駆動素子に固有のしきい値電圧を個別に検出するしきい値電圧検出手段と、前記しきい値電圧検出手段により検出された前記しきい値電圧に関連付けられたしきい値データを、前記表示画素ごとに記憶する記憶手段と、前記記憶手段に記憶された前記しきい値データに基づいて、前記表示画素ごとの前記しきい値電圧を補償する補償電圧を、前記表示画素の前記発光駆動素子に個別に印加する補償電圧印加手段と、を有することを特徴とする。

**【0040】**

請求項24記載の発明は、請求項23記載の表示装置において、前記データ駆動部は、前記表示画素の前記発光駆動素子に前記しきい値電圧よりも高電位のしきい値検出用の電圧を個別に印加する検出用電圧印加手段を、さらに備え、前記しきい値電圧検出手段は、前記しきい値電圧検出用の電圧が収束した後の、前記発光駆動素子のしきい値電圧を個別に検出することを特徴とする。

**【0041】**

請求項25記載の発明は、請求項23又は24記載の表示装置において、前記補償電圧印加手段は、前記記憶手段に記憶された前記しきい値データに基づいて、前記発光駆動素子に前記しきい値電圧相当の電圧成分を保持させるための前記補償電圧を生成して、前記表示画素の前記発光駆動素子に個別に印加することを特徴とする。

**【0042】**

請求項26記載の発明は、請求項24又は25記載の表示装置において、前記表示画素の各々に設けられる前記発光駆動素子は、前記発光素子に前記発光駆動電流を流す電流路と、前記発光駆動電流の供給状態を制御する制御端子を備え、前記検出用電圧印加手段は、前記発光駆動素子の前記制御端子と前記電流路の一端側との間に、前記しきい値検出用の電圧を印加し、前記しきい値電圧検出手段は、前記電流路に電流が流れなくなったときの前記発光駆動素子の前記制御端子と前記電流路の一端側との間の電位差を、前記しきい値電圧として検出することを特徴とする。

**【0043】**

請求項27記載の発明は、請求項26記載の表示装置において、前記補償電圧印加手段は、前記発光駆動素子の前記制御端子と前記電流路の一端側との間に、前記記憶手段に記憶された前記しきい値データに基づく前記補償電圧を印加することを特徴とする。

**【0044】**

請求項28記載の発明は、請求項23乃至27のいずれかに記載の表示装置において、前記しきい値電圧検出手段は、アナログ信号として検出した前記発光駆動素子のしきい値電圧を、デジタル信号に変換して、前記しきい値データを生成する手段を備え、前記補償電圧印加手段は、前記記憶手段にデジタル信号として記憶された前記しきい値データに基づいて、前記発光駆動素子の前記しきい値電圧を補償するアナログ信号からなる前記補償電圧を生成する手段を備えていることを特徴とする。

**【0045】**

請求項29記載の発明は、請求項23乃至28のいずれかに記載の表示装置において、

出証特 2005-3101382

前記階調信号生成手段は、前記階調信号として、前記発光素子を所定の輝度階調で発光動作させるための所定の電流値を有する階調電流を生成する手段と、前記発光素子が無発光動作させるための所定の電圧値を有する無発光表示電圧を生成する手段と、を備えていることを特徴とする。

**【0046】**

請求項30記載の発明は、請求項23乃至29のいずれかに記載の表示装置において、前記データ駆動部は、前記表示画素の各々から検出された前記しきい値電圧に関連付けられた前記しきい値データを、個別に取り込み、順次転送するしきい値取得手段と、前記表示画素の各々に対して、前記階調信号を生成するための輝度階調データを、順次個別に取り込み、保持するデータ取得手段と、を、さらに備え、前記記憶手段は、前記しきい値取得手段から転送された前記複数の表示画素ごとの前記しきい値電圧に関連付けられた前記しきい値データを、前記複数の表示画素の各々に対応させて個別に記憶し、前記階調信号生成手段は、前記データ取得手段に保持された前記複数の表示画素ごとの前記輝度階調データに応じた前記階調信号を生成し、前記複数の表示画素の各々に対して、前記階調信号を供給することを特徴とする。

**【0047】**

請求項31記載の発明は、請求項30記載の表示装置において、前記データ取得手段と前記しきい値取得手段は、前記輝度階調データを順次個別に取り込む構成と、前記しきい値データを個別に取り込み、順次転送する構成とが、共用化されていることを特徴とする。

**【0048】**

請求項32記載の発明は、請求項23乃至31のいずれかに記載の表示装置において、前記データ駆動部は、少なくとも、前記しきい値電圧検出手段により前記表示画素の前記しきい値電圧を検出する信号経路、前記補償電圧印加手段により当該表示画素に前記補償電圧を印加する信号経路、及び、前記階調信号生成手段により当該表示画素に前記階調信号を供給する信号経路と、当該表示画素に対応して設けられた単一のデータ線との接続を、選択的に切り換え制御する信号経路切換手段を備えることを特徴とする。

**【0049】**

請求項33記載の発明は、請求項32記載の表示装置において、前記データ駆動部は、さらに、前記検出用電圧印加手段により前記表示画素に前記しきい値検出用の電圧を印加する信号経路が、前記単一のデータ線に、選択的に接続されるように構成されていることを特徴とする。

**【0050】**

請求項34記載の発明は、請求項23乃至33のいずれかに記載の表示装置において、前記表示装置は、前記表示画素の各々に所定の供給電圧を印加する電源駆動部を、さらに備え、前記電源駆動部は、所定のタイミングで前記表示パネルの各行ごとの前記表示画素に、前記供給電圧を順次印加して、各行ごとに前記表示画素を発光動作状態に設定することを特徴とする。

**【0051】**

請求項35記載の発明は、請求項23乃至33のいずれかに記載の表示装置において、前記表示装置は、前記表示画素の各々に所定の供給電圧を印加する電源駆動部を、さらに備え、前記電源駆動部は、前記表示パネルに配列された前記複数の表示画素を、複数行ごとにグループ分けした各グループごとの前記表示画素に、所定のタイミングで前記供給電圧を順次印加して、各グループごとに前記表示画素を発光動作状態に設定することを特徴とする。

**【0052】**

請求項36記載の発明は、請求項23乃至35のいずれかに記載の表示装置において、前記表示画素の各々は、前記発光素子の発光動作を制御する発光駆動回路を備え、前記発光駆動回路は、少なくとも、電流路の一端に前記供給電圧が印加され、該電流路の他端に前記発光素子との接続接点が接続された第1のスイッチ手段と、制御端子が前記選択線に



接続され、電流路の一端に前記供給電圧が印加され、該電流路の他端に前記第1のスイッチ手段の制御端子が接続された第2のスイッチ手段と、制御端子が前記選択線に接続され、電流路の一端に前記データ線が接続され、該電流路の他端に前記接続接点が接続された第3のスイッチ手段と、を備え、前記発光駆動素子は、前記第1のスイッチ手段であり、前記検出用電圧印加手段は、前記第1のスイッチ手段の前記制御端子と前記接続接点との間に、前記しきい値検出用の電圧を印加し、前記しきい値電圧検出手段は、前記第1のスイッチ手段の前記制御端子と前記接続接点との間の電位を、前記しきい値電圧として検出し、前記補償電圧印加手段は、前記第1のスイッチ手段の前記制御端子と前記接続接点との間に、前記記憶手段に記憶された前記しきい値データに基づく前記補償電圧を印加することを特徴とする。

**【0053】**

請求項37記載の発明は、請求項36記載の表示装置において、前記第1乃至第3のスイッチ手段は、アモルファスシリコンからなる半導体層を備えた電界効果型トランジスタであることを特徴とする。

請求項38記載の発明は、請求項23乃至37のいずれかに記載の表示装置において、前記発光素子は、有機エレクトロルミネッセンス素子であることを特徴とする。

**【0054】**

請求項39記載の発明は、行方向及び列方向に配設された複数の選択線及びデータ線の各交点に、電流制御型の発光素子を備えた複数の表示画素が配列された表示パネルと、所定のタイミングで前記表示パネルの各行ごとの前記表示画素に選択信号を順次印加して、選択状態に設定する選択駆動部と、所望の画像情報を表示するための表示データに応じた階調信号を生成し、前記選択状態に設定された行の前記表示画素に供給するデータ駆動部と、を備え、前記データ駆動部により前記表示画素の各々に前記階調信号を供給することにより、前記表示画素を所定の輝度階調で発光動作させて、前記表示パネルに前記所望の画像情報を表示する表示装置の駆動制御方法において、少なくとも、前記表示画素の各々に設けられ、前記階調信号に基づいて所定の電流値を有する発光駆動電流を前記発光素子に供給する発光駆動素子に、当該発光駆動素子に固有のしきい値電圧よりも高電位のしきい値検出用の電圧を個別に印加する検出用電圧印加ステップと、前記しきい値電圧検出用の電圧が収束した後の、前記発光駆動素子の前記しきい値電圧を個別に検出し、当該しきい値電圧に関連付けられたしきい値データとして、前記表示画素ごとに記憶手段に記憶するしきい値電圧検出ステップと、前記記憶手段に記憶された前記しきい値データに基づいて、前記各表示画素ごとに前記発光駆動素子の前記しきい値電圧を補償する補償電圧を生成して、前記発光駆動素子に個別に印加し、電圧成分として保持させる補償電圧印加ステップと、前記表示データに応じた前記階調信号を前記表示画素の各々に供給して、当該階調信号に基づく電圧成分を、前記発光駆動素子に印加された前記補償電圧に基づく電圧成分に上乗せして保持させるデータ書込ステップと、前記各表示画素の発光駆動素子に保持された前記電圧成分に基づいて生成された前記発光駆動電流を前記発光素子の各々に供給して、当該発光素子を所定の輝度階調で発光動作させる階調発光ステップと、を含むことを特徴とする。

**【0055】**

請求項40記載の発明は、請求項39記載の表示装置の駆動制御方法において、前記検出用電圧印加ステップ及び前記しきい値電圧検出ステップは、前記補償電圧印加ステップ及び前記データ書込ステップ、前記階調発光ステップに先立つ任意のタイミングで、前記表示パネルに配列された全ての前記表示画素について実行されることを特徴とする。

**【0056】**

請求項41記載の発明は、請求項40記載の表示装置の駆動制御方法において、前記検出用電圧印加ステップ及び前記しきい値電圧検出ステップは、前記表示パネルに配列された前記表示画素に対して、各行ごとに順次実行されることを特徴とする。

請求項42記載の発明は、請求項39記載の表示装置の駆動制御方法において、前記補償電圧印加ステップ及び前記データ書込ステップは、前記表示パネルに配列された前記複

数の表示画素に対して、各行ごとに順次実行され、前記前記階調発光ステップは、前記補償電圧印加ステップ及び前記データ書込ステップが終了した行から順次実行されることを特徴とする。

**【0057】**

請求項43記載の発明は、請求項39記載の表示装置の駆動制御方法において、前記補償電圧印加ステップ及び前記データ書込ステップは、前記表示パネルに配列された前記複数の表示画素を、複数行ごとにグループ分けした各グループごとに順次実行され、前記前記階調発光ステップは、前記補償電圧印加ステップ及び前記データ書込ステップが終了した前記グループから順次実行されることを特徴とする。

**【0058】**

請求項44記載の発明は、請求項39乃至43のいずれかに記載の表示装置の駆動制御方法において、前記データ書込ステップは、前記発光素子を所定の輝度階調で発光動作させる場合には、前記階調信号として所定の電流値を有する階調電流を当該表示画素に供給し、前記発光素子を無発光動作させる場合には、前記階調信号として所定の電圧値を有する無発光表示電圧を当該表示画素に供給することを特徴とする。

**【0059】**

請求項45記載の発明は、請求項39乃至44のいずれかに記載の表示装置の駆動制御方法において、少なくとも、前記検出用電圧印加ステップと、前記しきい値電圧検出ステップと、前記補償電圧印加ステップと、前記データ書込ステップと、を前記表示画素の各々に対応して設けられた単一のデータ線を介して選択的に実行することを特徴とする。

**【発明の効果】****【0060】**

本発明に係る表示駆動装置及びその駆動制御方法によれば、表示画素への階調信号の書込動作、及び、当該表示画素（発光素子）の発光動作に先立って、まず、当該表示画素の発光駆動回路に設けられた発光駆動用のスイッチング素子（薄膜トランジスタ）に固有のしきい値電圧を検出し、当該しきい値検出データに基づいて、上記スイッチング素子にしきい値電圧に相当する電圧成分を保持（電荷を蓄積）させるプリチャージ動作を実行することにより、当該スイッチング素子（薄膜トランジスタ）のしきい値電圧が、経時変化や駆動履歴等に起因して変化（ $V_{th}$ シフト）した場合であっても、当該スイッチング素子に階調信号に応じた適切な電圧成分を保持させることができるので、発光素子（有機EL素子）を適正な輝度階調で発光動作させることができる。

**【0061】**

また、この場合、階調信号の書込動作に先立って、当該スイッチング素子に固有のしきい値電圧に相当する電圧成分を保持させて、オン、オフ動作の境界領域に設定することができるので、低階調の輝度で発光素子を発光動作させる場合に、当該輝度階調に応じた微小な電流値を有する階調信号（階調電流）が供給された場合であっても、上記しきい値電圧相当の電圧成分に、上記階調電流に応じた電圧成分のみを上乗せして保持（充電）するだけで階調信号に応じた電圧成分（実効電圧）を迅速に保持させることができ、書込不足の発生を抑制することができる。

**【0062】**

また、上記発光素子の発光動作を伴わない無発光表示時においては、階調信号として所定の電圧値を有する無発光表示電圧を印加することにより、上述したプリチャージ動作により発光駆動用のスイッチング素子に保持させた電圧成分（電荷）を放電して、しきい値電圧よりも十分低い電圧に設定することができるので、当該スイッチング素子が僅かな電圧変動の影響を受けてオン動作することがなく、発光素子を良好に無発光状態（黒表示状態）に保持することができる。

**【0063】**

そして、本発明に係る表示装置及びその駆動制御方法によれば、上述した表示駆動装置をデータドライバに適用した構成を有していることにより、各表示画素への階調信号の書込動作、及び、発光素子の発光動作に先立つ任意のタイミングで、まず、表示パネルに配

列された全ての表示画素について、当該表示画素（発光駆動回路）に設けられた発光駆動用のスイッチング素子（薄膜トランジスタ）に固有のしきい値電圧が個別に検出され、その後、各表示画素への表示データの書込動作の直前に、予め各表示画素について検出されたスイッチング素子のしきい値電圧（しきい値データ）に基づいて、各表示画素ごとのスイッチング素子に固有のしきい値電圧相当の電圧成分を保持させて、各しきい値電圧を補償した状態に設定することができるので、スイッチング素子（薄膜トランジスタ）のしきい値電圧が、経時変化や駆動履歴等に起因して変化（ $V_{th}$ シフト）した場合であっても、その影響を抑制して、当該スイッチング素子に階調信号に応じた適切な電圧成分を保持させることができ、発光素子を適正な輝度階調で発光動作させることができる。

#### 【0064】

また、階調信号の書込動作において、各表示画素に設けられた上記スイッチング素子に固有のしきい値電圧に相当する電圧成分（電荷）がすでに保持されているので、階調信号に応じた電圧成分のみを上乗せして充電すればよく、当該階調信号に基づく電圧成分を迅速に書き込むことができ、書込不足の発生を抑制することができる。

【発明を実施するための最良の形態】

#### 【0065】

以下、本発明に係る表示駆動装置及びその駆動制御方法、並びに、表示装置及びその駆動制御方法について、実施の形態を示して詳しく説明する。

まず、本発明に係る表示装置に適用される表示駆動装置及びその駆動制御方法について、図面を参照して説明する。

#### 【0066】

図1は、本発明に係る表示駆動装置、及び、該表示駆動装置により駆動制御される表示画素の一実施形態を示す要部構成図である。ここでは、表示装置の表示パネルに配置される特定の表示画素と、当該表示画素を発光駆動制御する表示駆動装置との関係について説明する。

#### 【0067】

<表示駆動装置>

図1に示すように、本実施形態に係る表示駆動装置100は、概略、シフトレジスタ・データレジスタ部110と、表示データラッチ部120と、階調信号生成部130と、しきい値検出電圧アナログデジタル変換器（以下、「検出電圧ADC」と略記し、図中では、「 $V_{th}ADC$ 」と表記する）140と、しきい値補償電圧デジタルアナログ変換器（以下、「補償電圧DAC」と略記し、図中では、「 $V_{th}DAC$ 」と表記する）150と、しきい値データラッチ部（図中では、「 $V_{th}$ データラッチ部」と表記する）160と、フレームメモリ170と、データライン入出力切換部180と、を備えた構成を有している。

#### 【0068】

シフトレジスタ・データレジスタ部（データ取得手段、しきい値取得手段）110は、図示を省略した、シフト信号を順次出力するシフトレジスタと、該シフト信号に基づいて、少なくとも外部から供給されるデジタル信号からなる輝度階調データを順次取り込むデータレジスタと、を備えた構成を有している。より具体的には、外部から順次供給される、表示パネルの1行分の表示画素PXの表示データ（輝度階調データ）を順次取り込み、後述する表示データラッチ部120に転送する動作、又は、検出電圧ADC140によりデジタル信号に変換され、しきい値データラッチ部160に保持された1行分の表示画素PXのしきい値電圧（しきい値検出データ）を順次取り込み、後述するフレームメモリ170に転送する動作、もしくは、フレームメモリ170から特定の1行分の表示画素PXのしきい値補償データを順次取り込み、しきい値データラッチ部160に転送する動作のいずれかを選択的に実行する。なお、これらの各動作については、詳しく後述する。

#### 【0069】

表示データラッチ部120は、上記シフトレジスタ・データレジスタ部110により外部から取り込まれ、転送された1行分の表示画素PXの表示データ（輝度階調データ）を

出証特2005-3101382

保持する。

階調信号生成部(階調信号生成手段)130は、有機EL素子(電流制御型の発光素子)OELを表示データに対応した輝度階調で発光動作、又は、無発光動作させるための階調信号として、有機EL素子OELを所定の輝度階調で発光動作させるための、所定の電流値を有する階調電流I<sub>data</sub>、又は、有機EL素子OELを発光動作させずに黒表示(最低輝度階調)状態に設定するための、所定の電圧値を有する無発光表示電圧V<sub>zero</sub>のいずれかを選択的に供給する機能を備えている。

#### 【0070】

ここで、階調信号として表示データに応じた電流値を有する階調電流を供給する構成としては、例えば、図示を省略した電源供給手段から供給される階調基準電圧に基づいて、上記表示データラッチ部120に保持された各表示データのデジタル信号電圧を、アナログ信号電圧に変換するデジタル-アナログ変換器(D/Aコンバータ)と、当該アナログ信号電圧に対応する電流値を有する階調電流I<sub>data</sub>を生成する電圧-電流変換器と、を備えた構成を適用することができる。

#### 【0071】

なお、以下の説明においては、階調信号として、所定の電流値を有する階調電流を各表示画素に供給して階調表示を行う場合について説明するが、本発明はこれに限定されるものではなく、階調信号として、上記表示データに応じた電圧値を有する階調電圧を印加するものであってもよく、この場合には、例えば、上記デジタル-アナログ変換器のみを備えた構成を適用することができる。

#### 【0072】

検出電圧ADC(しきい値電圧検出手段)140は、後述する各表示画素PXに設けられた発光素子(例えば、有機EL素子OEL)に発光駆動電流を供給するスイッチング素子(薄膜トランジスタTr13)のしきい値電圧(又は、当該しきい値電圧に対応する電圧成分)をアナログ信号電圧として取り込み(測定し)、デジタル信号電圧からなるしきい値検出データに変換する。

#### 【0073】

補償電圧DAC(補償電圧印加手段、検出用電圧印加手段)150は、各表示画素PXに設けられた上記スイッチング素子のしきい値電圧を補償するためのデジタル信号電圧からなるしきい値補償データを、アナログ信号電圧からなるプリチャージ電圧(しきい値補償電圧)に変換する。また、後述する駆動制御方法に示すように、上記検出電圧ADC140によりスイッチング素子のしきい値電圧を測定する動作(しきい値電圧検出動作)において、スイッチング素子を構成する薄膜トランジスタのゲートソース間(コンデンサCsの両端)に、当該スイッチング素子のしきい値電圧よりも高い電位差が設定(電圧成分が保持)されるように、所定の検出用電圧を出力することができるように構成されている。

#### 【0074】

また、しきい値データラッチ部160は、1行分の各表示画素PXごとに、上記検出電圧ADC140により変換、生成されたしきい値検出データを取り込んで保持し、当該しきい値検出データをシフトレジスタ・データレジスタ部110を介して、後述するフレームメモリ170に順次転送する動作、又は、フレームメモリ170から上記しきい値検出データに応じた1行分の各表示画素PXごとのしきい値補償データを順次取り込んで保持し、当該しきい値補償データを補償電圧DAC150に転送する動作のいずれかを選択的に実行する。

#### 【0075】

また、フレームメモリ(記憶手段)170は、表示パネルに配列された各表示画素PXへの表示データ(輝度階調データ)の書込動作に先立って、上記検出電圧ADC140及びしきい値データラッチ部160により1行分の各表示画素PXごとに検出されたしきい値電圧に基づくしきい値検出データを、シフトレジスタ・データレジスタ部110を介して順次取り込み、表示パネル1画面(1フレーム)分の各表示画素PXごとに個別に記憶

するとともに、当該しきい値検出データをしきい値補償データとして、もしくは、当該しきい値検出データに応じたしきい値補償データを、シフトレジスタ・データレジスタ部 110 を介して順次出力し、しきい値データラッチ部 160 (補償電圧 DAC 150) へ転送する。

**【0076】**

また、データライン入出力切換部 (信号経路切換手段) 180 は、表示パネルの列方向に配設されるデータライン DL を介して各表示画素 PX に設けられた上記スイッチング素子 (薄膜トランジスタ) のしきい値電圧を、検出電圧 ADC 140 に取り込み、測定するための電圧検出側スイッチ 181 と、少なくとも、各表示画素 PX に設けられた上記スイッチング素子のしきい値電圧を補償するためのプリチャージ電圧、又は、各表示画素 PX を表示データに応じた輝度階調で発光動作させるための階調信号 (階調電流、又は、無発光表示電圧) のいずれかをデータライン DL に供給するモードを選択するための入力選択スイッチ 182 と、当該入力信号選択スイッチ 182 により選択されたプリチャージ電圧、又は、階調信号をデータライン DL を介して各表示画素 PX に供給するための書込側スイッチ 183 と、を備えた構成を有している。

**【0077】**

ここで、電圧検出側スイッチ 181 及び書込側スイッチ 183 は、例えばチャネル極性が異なる薄膜トランジスタ (電界効果型トランジスタ) により構成することができ、図 1 に示すように、電圧検出側スイッチ 181 として p チャネル型の薄膜トランジスタを適用し、また、書込側スイッチ 183 として n チャネル型の薄膜トランジスタを適用することができる。これらの薄膜トランジスタのゲート端子 (制御端子) は同一の信号線に接続され、当該信号線に印加される切換制御信号 AZ の信号レベルに基づいて、各々オン、オフ状態が制御される。

**【0078】****<表示画素>**

また、本実施形態に係る表示画素 PX は、図 1 に示すように、表示パネルの行方向 (図面左右方向) に配設された選択ライン SL と列方向 (図面上下方向) に配設されたデータライン DL との各交点近傍に配置され、各々、電流制御型の発光素子である有機 EL 素子 OEL と、当該有機 EL 素子 OEL に表示データに応じた電流値を有する発光駆動電流を供給するための発光駆動回路 DC と、を備えた構成を有している。

**【0079】**

発光駆動回路 DC は、例えば、ゲート端子 (制御端子) が選択ライン SL に、ドレイン端子及びソース端子 (電流路の一端、他端) が所定の供給電圧  $V_{sc}$  が印加される供給電圧ライン VL 及び接点 N11 に各々接続された薄膜トランジスタ (第 2 のスイッチ手段)  $T_{r11}$  と、ゲート端子 (制御端子) が選択ライン SL に、ソース端子及びドレイン端子 (電流路の一端、他端) がデータライン DL 及び接点 N12 に各々接続された薄膜トランジスタ (第 3 のスイッチ手段)  $T_{r12}$  と、ゲート端子 (制御端子) が接点 N11 に、ドレイン端子及びソース端子 (電流路の一端、他端) が供給電圧ライン VL 及び接点 (接続接点) N12 に各々接続された薄膜トランジスタ (発光駆動素子、第 1 のスイッチ手段)  $T_{r13}$  と、接点 N11 及び接点 N12 間 (薄膜トランジスタ  $T_{r13}$  のゲート-ソース端子間) に接続されたコンデンサ Cs と、を備えた構成を有している。ここで、薄膜トランジスタ  $T_{r13}$  は、上述した表示駆動装置 100 において、上記検出電圧 ADC 140 及びしきい値データラッチ部 160 によりしきい値電圧が測定される対象となる発光駆動用のスイッチング素子に相当する。

**【0080】**

また、有機 EL 素子 OEL は、アノード端子が上記発光駆動回路 DC の接点 N12 に接続され、カソード端子には共通電圧  $V_{com}$  が印加されている。ここで、共通電圧  $V_{com}$  は、後述する表示駆動動作において、表示データに応じた階調信号 (階調電流、又は、無発光表示電圧) が発光駆動回路 DC に供給される書込動作期間においては、低電位 ( $V_s$ ) に設定される供給電圧  $V_{sc}$  と等電位であるか、あるいは、当該供給電圧  $V_{sc}$  よりも高い電位

であって、かつ、有機EL素子（発光素子）OELに発光駆動電流が供給されて所定の輝度階調で発光動作する発光動作期間においては、高電位（ $V_e$ ）に設定される供給電圧 $V_{sc}$ よりも低電位となる、任意の電位（例えば、接地電位GND）に設定されている（ $V_s \leq V_{com} < V_e$ ）。

#### 【0081】

ここで、コンデンサ $C_s$ は、薄膜トランジスタ $Tr_{13}$ のゲートソース間に形成される寄生容量であってもよいし、該寄生容量に加えて接点 $N_{11}$ 及び接点 $N_{12}$ 間にさらに容量素子を並列に接続したものであってもよい。また、薄膜トランジスタ $Tr_{11} \sim Tr_{13}$ については、特に限定するものではないが、薄膜トランジスタ $Tr_{11} \sim Tr_{13}$ を全てnチャネル型の薄膜トランジスタにより構成することにより、nチャネル型のアモルファスシリコン薄膜トランジスタを良好に適用することができる。この場合、すでに確立されたアモルファスシリコン製造技術を適用して、素子特性（電子移動度等）の安定したアモルファスシリコン薄膜トランジスタからなる発光駆動回路を比較的簡易な製造プロセスで製造することができる。以下の説明においては、薄膜トランジスタ $Tr_{11} \sim Tr_{13}$ を全てnチャネル型の薄膜トランジスタにより構成した場合について説明する。また、発光駆動回路DCにより発光駆動される発光素子は、有機EL素子OELに限定されるものではなく、電流制御型の発光素子であれば、発光ダイオード等の他の発光素子であってもよい。

#### 【0082】

＜表示駆動装置・表示画素の駆動制御方法＞

次いで、上述したような構成を有する表示駆動装置において、表示画素の発光素子を発光動作させて階調表示を行う場合の駆動制御方法（駆動制御動作）について、図面を参照して説明する。

#### 【0083】

本実施形態に係る表示駆動装置100における駆動制御動作は、大別して、後述する表示駆動動作（プリチャージ動作、書込動作、発光動作）に先立つ任意のタイミングで、表示パネルに配列された各表示画素PX（発光駆動回路DC）に設けられた発光駆動用の薄膜トランジスタ $Tr_{13}$ （スイッチング素子；発光駆動素子）のしきい値電圧を測定して記憶するしきい値電圧検出動作（しきい値電圧検出期間；第1のステップ）と、当該しきい値電圧検出動作の終了後、各表示画素PXに設けられた発光駆動用の薄膜トランジスタ $Tr_{13}$ にしきい値電圧相当の電圧成分を保持させ（しきい値電圧を補償し）、さらに、表示データに応じた階調信号（所定の電流値を有する階調電流）を書き込んで、当該階調信号に応じた所望の輝度階調で有機EL素子OELを発光動作させる表示駆動動作（表示駆動期間）と、を含んで構成されている。

#### 【0084】

以下、各制御動作について説明する。

（しきい値電圧検出動作）

図2は、本実施形態に係る表示駆動装置におけるしきい値電圧検出動作を示すタイミングチャートである。また、図3は、本実施形態に係る表示駆動装置における電圧印加動作を示す概念図であり、図4は、本実施形態に係る表示駆動装置における電圧収束動作を示す概念図であり、図5は、本実施形態に係る表示駆動装置における電圧読取動作を示す概念図である。また、図6は、nチャネル型の薄膜トランジスタにおいて、ゲートソース間電圧を所定の条件に設定し、ドレインソース間電圧を変調した際のドレインソース間電流特性の一例を表した図である。

#### 【0085】

本実施形態に係る表示駆動装置におけるしきい値電圧検出動作は、図2に示すように、所定のしきい値電圧検出期間 $T_{dec}$ 内に、表示駆動装置100からデータラインDLを介して、表示画素PXにしきい値電圧検出用の電圧（検出用電圧 $V_{pv}$ ）を印加して、表示画素PXの発光駆動回路DCに設けられた発光駆動用の薄膜トランジスタ $Tr_{13}$ のゲートソース間に上記検出用電圧 $V_{pv}$ に対応する電圧成分を保持させる（すなわち、コンデン

出証特2005-3101382

サCsに検出用電圧V<sub>pv</sub>に応じた電荷を蓄積する)電圧印加期間(検出用電圧印加ステップ)T<sub>pv</sub>と、当該電圧印加期間T<sub>pv</sub>に薄膜トランジスタTr13のゲートソース間に保持した電圧成分(コンデンサCsに蓄積された電荷)の一部を放電して、薄膜トランジスタTr13のドレインソース間電流I<sub>ds</sub>のしきい値電圧に相当する電圧成分(電荷)のみを薄膜トランジスタTr13のゲートソース間に保持させる(コンデンサCsに残留させる)電圧収束期間T<sub>cv</sub>と、当該電圧収束期間T<sub>cv</sub>の経過後に、薄膜トランジスタTr13のゲートソース間に保持された電圧成分(コンデンサCsに残留する電荷に基づく電圧値;しきい値電圧V<sub>th13</sub>)を測定して、デジタルデータに変換してフレームメモリ170の所定の記憶領域に格納(記憶)する電圧読取期間(しきい値電圧検出ステップ)T<sub>rv</sub>と、を含むように設定されている(T<sub>dec</sub>≥T<sub>pv</sub>+T<sub>cv</sub>+T<sub>rv</sub>)。

**【0086】**

ここで、上記薄膜トランジスタTr13のドレインソース間電流I<sub>ds</sub>のしきい値電圧V<sub>th13</sub>とは、当該ドレインソース間に僅かな電圧をさらに加えることによって薄膜トランジスタTr13のドレインソース間電流I<sub>ds</sub>が流れ始める動作境界となる薄膜トランジスタTr13のゲートソース間電圧V<sub>gs</sub>のことである。特に、本実施形態に係る電圧読取期間T<sub>rv</sub>において測定されるしきい値電圧V<sub>th13</sub>は、薄膜トランジスタTr13の製造初期状態のしきい値電圧に対して、駆動履歴(発光履歴)や使用時間等により変動(V<sub>th</sub>シフト)が生じた後の、当該しきい値電圧検出動作の実行時点におけるしきい値電圧を示す。

**【0087】**

以下、しきい値電圧検出動作に係る各動作期間についてさらに詳しく説明する。

**(電圧印加期間)**

まず、電圧印加期間T<sub>pv</sub>においては、図2、図3に示すように、発光駆動回路DCの選択ラインSLにオンレベル(ハイレベル)の選択信号S<sub>sel</sub>が印加され、また、供給電圧ラインVLには、低電位の供給電圧V<sub>sc</sub>(=V<sub>s</sub>)が印加される。ここで、低電位の供給電圧V<sub>sc</sub>(=V<sub>s</sub>)は、共通電圧V<sub>com</sub>以下の電圧であればよく、例えば、接地電位GNDでもよい。

**【0088】**

一方、このタイミングに同期して、切換制御信号AZがハイレベルに設定されて書込側スイッチ183がオン状態、電圧検出側スイッチ181がオフ状態に設定されるとともに、入力選択スイッチ182が補償電圧DAC150側に切換設定されることにより、補償電圧DAC150から出力されるしきい値電圧の検出用電圧V<sub>pv</sub>が、データライン入出力切換部180(入力選択スイッチ182及び書込側スイッチ183)を介して、データラインDLに印加される。

**【0089】**

これにより、表示画素PXを構成する発光駆動回路DCに設けられた薄膜トランジスタTr11及びTr12がオン動作して、供給電圧V<sub>sc</sub>が薄膜トランジスタTr11を介して薄膜トランジスタTr13のゲート端子及びコンデンサCsの一端側(接点N11)に印加されるとともに、データラインDLに印加された上記検出用電圧V<sub>pv</sub>が、薄膜トランジスタTr12を介して薄膜トランジスタTr13のソース端子及びコンデンサCsの他端側(接点N12)に印加される。

**【0090】**

ここで、表示画素PX(発光駆動回路DC)において、有機EL素子OELに発光駆動電流を供給するnチャネル型の薄膜トランジスタTr13について、所定のゲートソース間電圧V<sub>gs</sub>のときに、ドレインソース間電圧V<sub>ds</sub>を変調した場合のドレインソース間電流I<sub>ds</sub>の変化特性を検証すると、図6に示すような特性図で表すことができる。

**【0091】**

図6において、横軸は薄膜トランジスタTr13の分圧とそれに直列に接続された有機EL素子OELの分圧を表し、縦軸は薄膜トランジスタTr13のドレインソース間の電流I<sub>ds</sub>の電流値を表している。図中の一点鎖線は、薄膜トランジスタTr13のゲート

ソース間のしきい値電圧の境界線であり、当該境界線の左側が不飽和領域であり、右側が飽和領域となっている。実線は、薄膜トランジスタ  $T_{r13}$  のゲートソース間電圧  $V_{gs}$  を最高輝度階調での発光動作時の電圧  $V_{gsmax}$ 、及び、最高輝度階調以下の任意の（異なる）輝度階調での発光動作時の電圧  $V_{gs1}$  ( $< V_{gsmax}$ )、 $V_{gs2}$  ( $< V_{gs1}$ ) にそれぞれ固定したときに、薄膜トランジスタ  $T_{r13}$  のドレインソース間電圧  $V_{ds}$  を変調したときのドレインソース間電流  $I_{ds}$  の変化特性を示している。破線は、有機 EL 素子 OEL を発光動作させる場合の負荷特性線（EL 負荷線）であり、当該 EL 負荷線の右側の電圧は、供給電圧  $V_{sc}$  - 共通電圧  $V_{com}$  間電圧（一例として、図中では 20V）における有機 EL 素子 OEL の分圧となり、EL 負荷線の左側が薄膜トランジスタ  $T_{r13}$  のドレインソース間の電圧  $V_{ds}$  に相当する。この有機 EL 素子 OEL の分圧は、輝度階調が高くなる程、つまり薄膜トランジスタ  $T_{r13}$  のドレインソース間電流  $I_{ds}$ （発光駆動電流 ≡ 階調電流）の電流値が増大する程、漸次増大する。

#### 【0092】

図6において、不飽和領域では、薄膜トランジスタ  $T_{r13}$  のゲートソース間電圧  $V_{gs}$  を一定に設定した場合であっても、薄膜トランジスタ  $T_{r13}$  のドレインソース間電圧  $V_{ds}$  が高くなるにつれてドレインソース間電流  $I_{ds}$  の電流値が顕著に大きくなる（変化する）。一方、飽和領域では、薄膜トランジスタ  $T_{r13}$  のゲートソース間電圧  $V_{gs}$  を一定に設定した場合、ドレインソース間電圧  $V_{ds}$  が高くなっても薄膜トランジスタ  $T_{r13}$  のドレインソース間電流  $I_{ds}$  はあまり増加せず、ほぼ一定となる。

#### 【0093】

ここで、電圧印加期間  $T_{pv}$  において、補償電圧 DAC150 からデータライン DL（さらには、表示画素 PX（発光駆動回路 DC）の薄膜トランジスタ  $T_{r13}$  のソース端子）に印加される上記検出用電圧  $V_{pv}$  は、低電位に設定された供給電圧  $V_{sc}$  ( $= V_s$ ) よりも十分低く、かつ、図6に示した特性図において、薄膜トランジスタ  $T_{r13}$  のゲートソース間電圧  $V_{gs}$  が飽和特性を示す領域のドレインソース間電圧  $V_{ds}$  が得られるような電圧値に設定されている。本実施形態においては、上記検出用電圧  $V_{pv}$  として、例えば、補償電圧 DAC150 からデータライン DL に印加可能な最大電圧に設定するものであってもよい。

#### 【0094】

さらに、検出用電圧  $V_{pv}$  は、次の(1)式を満たすように設定されている。

$$|V_s - V_{pv}| > V_{th12} + V_{th13} \quad \dots (1)$$

上記(1)式において、 $V_{th12}$  は、薄膜トランジスタ  $T_{r12}$  のゲート端子にオンレベルの選択信号  $S_{sel}$  が印加されたときの薄膜トランジスタ  $T_{r12}$  のドレインソース間のしきい値電圧である。また、薄膜トランジスタ  $T_{r13}$  のゲート端子及びドレイン端子にはともに低電位の供給電圧  $V_{sc}$  ( $= V_s$ ) が印加され、互いにほぼ等電位となっているので、 $V_{th13}$  は、薄膜トランジスタ  $T_{r13}$  のドレインソース間電圧のしきい値電圧であり、当該薄膜トランジスタ  $T_{r13}$  のゲートソース間のしきい値電圧でもある。なお、 $V_{th12} + V_{th13}$  は経時的に徐々に高くなっていくが、常に(1)式を満たすように ( $V_s - V_{pv}$ ) の電位差が大きく設定されている。

#### 【0095】

このように、薄膜トランジスタ  $T_{r13}$  のゲートソース間（すなわち、コンデンサ  $C_s$  の両端）に、薄膜トランジスタ  $T_{r13}$  のしきい値電圧  $V_{th13}$  よりも大きな電位差  $V_{cp}$ （両端電位  $V_c$ ）が印加されることにより、この電圧  $V_{cp}$  に応じた大電流の検出用電流  $I_{pv}$  が、供給電圧ライン  $V_L$  から薄膜トランジスタ  $T_{r13}$  のドレインソース間を介して、補償電圧 DAC150 に向けて強制的に流れる。したがって、速やかにコンデンサ  $C_s$  の両端に該検出用電流  $I_{pv}$  に基づく電位差に対応する電荷が蓄積される（すなわち、コンデンサ  $C_s$  に電圧  $V_{cp}$  が充電される）。なお、電圧印加期間  $T_{pv}$  においては、コンデンサ  $C_s$  に電荷が蓄積されるばかりでなく、供給電圧ライン  $V_L$  からデータライン DL に至る電流ルートのその他の容量成分にも、検出用電流  $I_{pv}$  が流れるため電荷の蓄積が行われる。



## 【0096】

このとき、有機EL素子OELのカソード端子には、上記供給電圧ラインVLに印加される低電位の供給電圧Vsc (= Vs) 以上の共通電圧Vcom (= GND) が印加されているので、有機EL素子OELのアノード-カソード間は、無電界状態又は逆バイアス状態に設定されることになり、有機EL素子OELには発光駆動電流が流れず発光動作は行われない。

## 【0097】

(電圧収束期間)

次いで、上記電圧印加期間Tpv終了後の電圧収束期間Tcvにおいては、図2、図4に示すように、選択ラインSLにオンレベルの選択信号Sselが印加され、また、供給電圧ラインVLに低電位の供給電圧Vsc (= Vs) が印加された状態で、切換制御信号AZがローレベルに切換設定されることにより、電圧検出側スイッチ181がオン状態に設定されるとともに、書込側スイッチ183がオフ状態に設定される。また、補償電圧DAC150からの検出用電圧Vpvの出力が停止される。これにより、薄膜トランジスタTr11、Tr12はオン状態を保持するため、表示画素PX (発光駆動回路DC) は、データラインDLとの電気的な接続状態は保持されるものの、当該データラインDLへの電圧印加が遮断されるので、コンデンサCsの他端側 (接点N12) はハイインピーダンス状態に設定される。

## 【0098】

このとき、上述した電圧印加期間TpvにおいてコンデンサCsに蓄積された電荷 (両端電位Vc = Vcp > Vth13) により薄膜トランジスタTr13のゲート電圧が保持されることになり、薄膜トランジスタTr13はオン状態を保持して当該ドレイン-ソース間に電流が流れ続けるので、薄膜トランジスタTr13のソース端子側 (接点N12; コンデンサCsの他端側) の電位がドレイン端子側 (供給電圧ラインVL側) の電位に近づくように徐々に上昇していく。

## 【0099】

これにより、コンデンサCsに蓄積された電荷の一部が放電されて、薄膜トランジスタTr13のゲート-ソース間電圧Vgsが低下することになり、最終的に薄膜トランジスタTr13のしきい値電圧Vth13に収束するように変化する。また、これに伴って、薄膜トランジスタTr13のドレイン-ソース間電流Idsが減少して、最終的に当該電流の流れが停止する。

## 【0100】

なお、この電圧収束期間Tcvにおいても、有機EL素子OELのアノード端子 (接点N12) の電位は、カソード端子側の共通電圧Vcomと同等であるか、又は、それ未満の電位を有しているため、有機EL素子OELには依然として無電圧又は逆バイアス電圧が印加されることになり、有機EL素子OELは発光動作しない。

## 【0101】

(電圧読取期間)

次いで、上記電圧収束期間Tcv経過後の電圧読取期間Trvにおいては、図2、図5に示すように、電圧収束期間Tcvと同様に、選択ラインSLにオンレベルの選択信号Sselが印加され、また、供給電圧ラインVLに低電位の供給電圧Vsc (= Vs) が印加され、切換制御信号AZがローレベルに設定された状態で、データラインDLに電気的に接続された検出電圧ADC140及びしきい値データラッチ部160により、当該データラインDLの電位 (検出電圧Vdec) を測定する。

## 【0102】

ここで、上記電圧収束期間Tcv経過後のデータラインDLは、オン状態に設定された薄膜トランジスタTr12を介して、薄膜トランジスタTr13のソース端子 (接点N12) 側に接続された状態にあり、また、上述したように、当該薄膜トランジスタTr13のソース端子 (接点N12) 側の電位は、薄膜トランジスタTr13のしきい値電圧Vth13相当の電荷が蓄積されたコンデンサCsの他端側の電位に相当する。

## 【0103】

一方、当該薄膜トランジスタ  $T_{r13}$  のゲート端子（接点  $N11$ ）側の電位は、薄膜トランジスタ  $T_{r13}$  のしきい値電圧  $V_{th13}$  相当の電荷が蓄積されたコンデンサ  $C_s$  の一端側の電位であって、このとき、オン状態に設定された薄膜トランジスタ  $T_{r11}$  を介して、低電位の供給電圧  $V_{sc}$  に接続された状態にある。

## 【0104】

これにより、検出電圧  $ADC140$  により測定されるデータライン  $DL$  の電位は、薄膜トランジスタ  $T_{r13}$  のソース端子側の電位、又は、当該電位に対応する電位に相当することになるので、当該検出電圧  $V_{dec}$  と予め設定電圧が判明している低電位の供給電圧  $V_{sc}$ （例えば、接地電位  $GND$ ）との差分（電位差）に基づいて、薄膜トランジスタ  $T_{r13}$  のゲート-ソース間電圧  $V_{gs}$ （コンデンサ  $C_s$  の両端電位  $V_c$ ）、すなわち、薄膜トランジスタ  $T_{r13}$  のしきい値電圧  $V_{th13}$ 、又は、当該しきい値電圧  $V_{th13}$  に対応する電圧を検出することができる。

## 【0105】

そして、このようにして検出された薄膜トランジスタ  $T_{r13}$  のしきい値電圧  $V_{th13}$ （アナログ信号電圧）は、検出電圧  $ADC140$  によりデジタル信号電圧からなるしきい値検出データに変換されて、しきい値データラッチ部  $160$  に一旦保持された後、1行分の各表示画素  $PX$  のしきい値検出データを、シフトレジスタ・データレジスタ部  $110$  により順次読み出して、フレームメモリ  $170$  の所定の記憶領域に格納（記憶）する。ここで、各表示画素  $PX$  の発光駆動回路  $DC$  に設けられた薄膜トランジスタ  $T_{r13}$  のしきい値電圧  $V_{th13}$  は、各表示画素  $PX$  における駆動履歴（発光履歴）等により変動（ $V_{th}$  シフト）の度合いが異なるため、フレームメモリ  $170$  には、各表示画素  $PX$  固有のしきい値検出データが記憶されることになる。

## 【0106】

このような一連のしきい値電圧検出動作は、後述する表示駆動動作に先立つ任意のタイミング、例えば、システム（表示装置）の起動時や休止状態からの復起時等に行われ、後述する表示装置の駆動制御方法においても説明するように、表示パネルに配列された全ての表示画素について所定のしきい値電圧検出期間内に実行される。

## 【0107】

（表示駆動動作：階調表示動作）

図7は、本実施形態に係る表示駆動装置における駆動制御方法（階調表示動作）を示すタイミングチャートである。また、図8は、本実施形態に係る表示駆動装置におけるプリチャージ動作を示す概念図であり、図9は、本実施形態に係る表示駆動装置におけるデータ書込動作を示す概念図であり、図10は、本実施形態に係る表示駆動装置における発光動作を示す概念図である。

## 【0108】

本実施形態に係る表示駆動装置における表示駆動動作は、図7に示すように、所定の表示駆動期間（1処理サイクル期間） $T_{cyc}$ 内に、表示駆動装置  $100$  からデータライン  $DL$  を介して、表示画素  $PX$  に所定のプリチャージ電圧  $V_{pre}$  を印加して、表示画素  $PX$  の発光駆動回路  $DC$  に設けられた発光駆動用の薄膜トランジスタ  $T_{r13}$  のゲート-ソース間に、当該薄膜トランジスタ  $T_{r13}$  のドレイン-ソース間電流  $I_{ds}$  のしきい値電圧  $V_{th13}$  相当の電圧成分を保持させて（コンデンサ  $C_s$  に電荷を蓄積又は放電させて）、しきい値電圧を補償するプリチャージ期間（第2のステップ、補償電圧印加ステップ） $T_{th}$ と、表示データに応じた階調信号（階調電流）をデータライン  $DL$  を介して表示画素  $PX$ （発光駆動回路  $DC$ ）に印加し、薄膜トランジスタ  $T_{r13}$  のゲート-ソース間に、上記プリチャージ期間  $T_{th}$  に保持されたしきい値電圧  $V_{th13}$  相当の電圧成分に、階調信号に応じた電圧成分を上乗せして、階調信号を書き込む書込動作期間（第3のステップ、データ書込ステップ） $T_{wrt}$ と、上記薄膜トランジスタ  $T_{r13}$  のゲート-ソース間に保持された全電圧成分（コンデンサ  $C_s$  に蓄積された総電荷量）に基づいて、表示データに応じた電流値を有する発光駆動電流を有機  $EL$  素子  $OEL$  に流して、所定の輝度階調で発光動作させ

出証特 2005-3101382

る発光動作期間（階調発光ステップ） $T_{em}$ と、を含むように設定されている（ $T_{cyc} \geq T_{th} + T_{wrt} + T_{em}$ ）。

#### 【0109】

ここで、本実施形態に係る表示駆動期間 $T_{cyc}$ に適用される1処理サイクル期間は、例えば、表示画素 $PX$ が1フレームの画像のうちの1画素分の画像情報を表示するのに要する期間に設定される。すなわち、後述する表示装置の駆動制御方法において説明するように、複数の表示画素 $PX$ を行方向及び列方向にマトリクスに配列した表示パネルに、1フレームの画像を表示する場合、上記1処理サイクル期間 $T_{cyc}$ は、1行分の表示画素 $PX$ が1フレームの画像のうちの1行分の画像を表示するのに要する期間に設定される。

#### 【0110】

以下、表示駆動動作に係る各動作期間についてさらに詳しく説明する。

##### （プリチャージ期間）

まず、プリチャージ期間 $T_{th}$ においては、上述した電圧印加期間 $T_{pv}$ と同様に、図7、図8に示すように、発光駆動回路 $DC$ の選択ライン $SL$ にオンレベル（ハイレベル）の選択信号 $S_{sel}$ が印加され、また、供給電圧ライン $VL$ には、低電位の供給電圧 $V_{sc}$ （= $V_s$ ；例えば、接地電位 $GND$ ）が印加される。

#### 【0111】

これにより、発光駆動回路 $DC$ に設けられた薄膜トランジスタ $Tr11$ 及び $Tr12$ がオン動作して、供給電圧 $V_{sc}$ が薄膜トランジスタ $Tr11$ を介して薄膜トランジスタ $Tr13$ のゲート端子（接点 $N11$ ；コンデンサ $C_s$ の一端側）に印加されるとともに、薄膜トランジスタ $Tr13$ のソース端子（接点 $N12$ ）が薄膜トランジスタ $Tr12$ を介して、データライン $DL$ に電氣的に接続される。

#### 【0112】

一方、このタイミングに同期して、切換制御信号 $AZ$ がハイレベルに設定されて書込側スイッチ $183$ がオン状態、電圧検出側スイッチ $181$ がオフ状態に設定されるとともに、入力選択スイッチ $182$ が補償電圧 $DAC150$ 側に切換設定される。

これにより、補償電圧 $DAC150$ から出力されるプリチャージ電圧 $V_{pre}$ が、データライン入出力切換部 $180$ （入力選択スイッチ $182$ 及び書込側スイッチ $183$ ）を介して、データライン $DL$ に印加され、さらに、上記発光駆動回路 $DC$ に設けられた薄膜トランジスタ $Tr12$ を介して、当該プリチャージ電圧 $V_{pre}$ が薄膜トランジスタ $Tr13$ のソース端子（接点 $N12$ ）に印加される。

#### 【0113】

ここで、プリチャージ期間 $T_{th}$ において、補償電圧 $DAC150$ からデータライン $DL$ を介して、表示画素 $PX$ （発光駆動回路 $DC$ ）の薄膜トランジスタ $Tr13$ のソース端子（接点 $N12$ ）に印加される上記プリチャージ電圧 $V_{pre}$ は、上述したしきい値電圧検出動作において、検出電圧 $ADC140$ 及びしきい値データラッチ部 $160$ により各表示画素 $PX$ ごとに検出され、フレームメモリ $170$ に各表示画素 $PX$ ごとに個別に記憶されたしきい値検出データに基づいて、各表示画素 $PX$ （発光駆動回路 $DC$ ）の薄膜トランジスタ $Tr13$ に固有のしきい値電圧 $V_{th13}$ を補償する電圧値を有するものであって、上記プリチャージ電圧 $V_{pre}$ の印加により、当該薄膜トランジスタ $Tr13$ のゲート-ソース間（コンデンサ $C_s$ の両端）にしきい値電圧 $V_{th13}$ 相当の電圧成分を保持させることができる電圧値に設定されている。

#### 【0114】

薄膜トランジスタ $Tr13$ のしきい値電圧 $V_{th13}$ について、より具体的に説明すると、上述したように、表示画素 $PX$ に設けられる発光駆動回路 $DC$ を構成する薄膜トランジスタ $Tr11 \sim Tr13$ として、 $n$ チャネル型のアモルファスシリコン薄膜トランジスタを適用した場合、すでに確立されたアモルファスシリコン製造技術を適用して、素子特性の均一な薄膜トランジスタを形成することができ、動作特性の安定した発光駆動回路を比較的簡易な製造プロセスで製造することができるという利点を有している。

#### 【0115】

しかしながら、アモルファスシリコン薄膜トランジスタは、一般に駆動履歴によるしきい値電圧の変動 ( $V_{th}$ シフト) が顕著に生じることが知られている。このようなしきい値電圧の変動の影響を抑制する駆動制御方法として、後述するように、表示画素 PX に設けられた発光駆動回路 DC に対して、データライン DL を介して表示データに応じた階調信号の電流成分 (階調電流) を直接流す電流階調指定方式 (又は、電流階調指定駆動) の駆動制御方法が知られているが、この駆動制御方法によれば、発光駆動用の薄膜トランジスタ Tr13 のゲートソース間 (コンデンサ Cs の両端) に加え、当該階調電流が供給される経路に形成された (寄生する) 容量成分をも、階調電流により所定電圧まで充電することになるため、特に、低い輝度階調で発光動作 (低階調表示) を行う場合には、階調電流が微小になることにより上記充電動作に時間を要し、所定の時間内に階調信号の書込動作が終了せず、薄膜トランジスタ Tr13 のゲートソース間 (コンデンサ Cs の両端) に保持される電圧成分が表示データに対して不足する書込不足が発生して、所望の輝度階調での発光動作が行われなくなる可能性がある。

#### 【0116】

より具体的には、電流階調指定方式の駆動制御方法において、薄膜トランジスタ Tr13 のドレインソース間に、後述する書込動作の際に表示データに応じた階調電流を流すために必要とする薄膜トランジスタ Tr13 のゲートソース間電圧  $V_{gs}$  のうち、多くの電圧成分は、当該薄膜トランジスタ Tr13 のしきい値電圧  $V_{th13}$  に寄与するものであり、特に、有機 EL 素子 OEL を最低輝度階調 (LSB) で発光動作させる場合に必要とする薄膜トランジスタ Tr13 のゲートソース間電圧  $V_{gs}$  ( $=V_{lsb}$ ) では、保持された電圧成分 (全電荷) のうちのしきい値電圧  $V_{th13}$  に寄与する電圧成分の割合は 5 割を大きく越えていることが本願発明者等の各種実験の結果、判明した。

#### 【0117】

このしきい値電圧  $V_{th13}$  に相当する電圧成分 (電荷量) を、本実施形態に係るプリチャージ動作 (プリチャージ電圧  $V_{pre}$  の印加) を適用することなく、階調信号 (微小な電流値の階調電流) の書込動作だけでゲートソース間 (コンデンサ Cs) に充電しようとする、後述する書込動作期間  $T_{wrt}$  が大幅に長くなってしまい、結果的に、画像情報が所定の処理期間 (フレーム期間) に良好に表示されなくなる不具合が発生する可能性がある。

#### 【0118】

そこで、本実施形態においては、後述する階調信号の書込動作に先立って、プリチャージ期間  $T_{th}$  を設け、プリチャージ電圧  $V_{pre}$  を印加することにより、薄膜トランジスタ Tr13 のゲートソース間 (コンデンサ Cs の両端) に、当該薄膜トランジスタ Tr13 の現時点のしきい値電圧 (駆動履歴による  $V_{th}$ シフトした後の、しきい値電圧検出動作時点のしきい値電圧)  $V_{th13}$  相当の電圧成分を保持させた状態に設定し、低階調表示時の微小な階調電流であっても、階調信号により薄膜トランジスタ Tr13 のゲートソース間 (コンデンサ Cs の両端) にしきい値電圧  $V_{th13}$  相当の電圧成分を充電することなく、表示データに応じた電圧成分 (しきい値電圧  $V_{th13}$  相当分を除く、表示データに応じた階調表示のための実質的な電圧成分; 実効電圧  $V_{data}$ ) のみを、上記しきい値電圧  $V_{th13}$  相当の電圧成分に上乗せして薄膜トランジスタ Tr13 のゲートソース間に保持させることができる。

#### 【0119】

なお、このプリチャージ期間  $T_{th}$  においては、薄膜トランジスタ Tr13 のゲートソース間に、当該薄膜トランジスタ Tr13 に固有のしきい値電圧  $V_{th13}$  相当の電圧成分が保持された状態に制御されるので、当該薄膜トランジスタ Tr13 のドレインソース間には電流がほとんど流れず、また、有機 EL 素子 OEL のアノード端子 (接点 N12) 側の電位は、カソード端子側の共通電圧  $V_{com}$  と同等であるか、又は、それ未満の電位を有しているため、有機 EL 素子 OEL には無電圧又は逆バイアス電圧が印加されて、有機 EL 素子 OEL は発光動作しない。

#### 【0120】

このように、薄膜トランジスタ  $T_{r13}$  のゲートソース間にしきい値電圧  $V_{th13}$  相当の電圧成分を保持させるために、発光駆動回路 DC 及びデータライン DL に当該電圧成分に基づく電流を流すことなく、各薄膜トランジスタ  $T_{r13}$  に固有のしきい値電圧  $V_{th13}$  に応じた電圧値を有するプリチャージ電圧  $V_{pre}$  を、薄膜トランジスタ  $T_{r13}$  のソース端子（接点 N12）側に直接印加するようにしているため、各表示画素 PX（発光駆動回路 DC）の発光駆動用の薄膜トランジスタ  $T_{r13}$ （コンデンサ Cs）に当該しきい値電圧  $V_{th13}$  に相当する電圧成分を迅速に充電することができる。

#### 【0121】

（書込動作期間）

次いで、プリチャージ期間  $T_{th}$  終了後の書込動作期間  $T_{wrt}$  においては、図 7、図 9 に示すように、選択ライン SL にオンレベルの選択信号  $S_{sel}$  が印加され、また、供給電圧ライン VL に低電位の供給電圧  $V_{sc}$ （ $=V_s$ ）が印加され、切換制御信号 AZ がハイレベルに設定された状態で、入力選択スイッチ 182 が階調信号生成部 130 側に切換設定されることにより、表示データに応じて階調信号生成部 130 から出力される階調信号（負極性の階調電流  $I_{data}$ ）が、データライン入出力切換部 180（入力選択スイッチ 182 及び書込側スイッチ 183）を介して、データライン DL に供給される。ここで、階調信号として、負極性の階調電流  $I_{data}$  が供給されることにより、当該電流がデータライン DL 側から、データライン入出力切換部 180 を介して階調信号生成部 130 方向に引き込まれるように流れる。

#### 【0122】

これにより、表示画素 PX（発光駆動回路 DC）に設けられた薄膜トランジスタ  $T_{r11}$  がオン動作して、低電位の供給電圧  $V_{sc}$ （ $=V_s$ ）が薄膜トランジスタ  $T_{r11}$  を介して薄膜トランジスタ  $T_{r13}$  のゲート及びコンデンサ Cs の一端側（接点 N11）に印加されるとともに、薄膜トランジスタ  $T_{r12}$  がオン動作して、データライン DL を介して階調電流  $I_{data}$  が引き込まれることにより、上記供給電圧  $V_{sc}$  よりもさらに低電位の電圧が薄膜トランジスタ  $T_{r13}$  のソース端子側（接点 N12；コンデンサ Cs の他端側）に印加されるため、薄膜トランジスタ  $T_{r13}$  が所定の導通状態でオン動作して、図 9 に示すように、供給電圧ライン VL から薄膜トランジスタ  $T_{r13}$ 、接点 N12、薄膜トランジスタ  $T_{r12}$ 、データライン DL を介して、表示駆動装置 100（階調信号生成部 130）に、階調電流  $I_{data}$  の電流値に対応した書込電流  $I_{wrt}$  が速やかに流れる。

#### 【0123】

ここで、薄膜トランジスタ  $T_{r13}$  のゲートソース間に接続されたコンデンサ Cs には、上述したプリチャージ期間  $T_{th}$  において、薄膜トランジスタ  $T_{r13}$  に固有のしきい値電圧  $V_{th13}$  相当の電圧成分が保持された（電荷が蓄積された）状態にあるため、階調電流  $I_{data}$  に基づく書込電流  $I_{wrt}$  が薄膜トランジスタ  $T_{r13}$  のドレインソース間で定常化するのに必要とする容量の電荷は、しきい値電圧  $V_{th13}$  を含まず、表示データに応じた階調表示のための実効電圧  $V_{data}$  のみを充電するための電流値を有する階調電流  $I_{data}$ （書込電流  $I_{wrt}$ ）であればよく、比較的短い時間で薄膜トランジスタ  $T_{r13}$  のゲートソース間（コンデンサ Cs の両端）に当該電荷を充電することができる。

#### 【0124】

したがって、薄膜トランジスタ  $T_{r13}$  のしきい値電圧  $V_{th13}$  が発光履歴（駆動履歴）等により  $V_{th}$  シフトした場合であっても、階調信号（表示データ）に適切に対応した電圧成分  $V_{data}$  を書込動作期間  $T_{wrt}$  に迅速かつ十分に書き込むことができる。なお、この書込動作期間  $T_{wrt}$  においては、薄膜トランジスタ  $T_{r13}$  のドレインソース間電流（書込電流  $I_{wrt}$ ）により、薄膜トランジスタ  $T_{r13}$  のゲートソース間電圧  $V_{gs}$ 、つまりコンデンサ Cs に蓄積される電荷量が一義的に設定されるため、コンデンサ Cs に充電される電圧  $V_c$  は、具体的には、薄膜トランジスタ  $T_{r13}$  に固有のしきい値電圧  $V_{th13}$  と階調電流  $I_{data}$  に応じた電圧成分（実効電圧）  $V_{data}$  の総和（ $V_{th13} + V_{data}$ ）となる。

#### 【0125】

また、このとき、供給電圧ライン VL には、低電位の供給電圧  $V_{sc}$ （ $=V_s$ ）が印加さ

れ、さらに、書込電流  $I_{wrt}$  が供給電圧ライン  $V_L$  から発光駆動回路  $DC$  を介してデータライン  $DL$  方向に流れるように制御されていることから、有機  $EL$  素子  $OEL$  のアノード端子（接点  $N12$ ）に印加される電位はカソード端子の電位  $V_{com}$  ( $GND$ ) 以下になるので、有機  $EL$  素子  $OEL$  に逆バイアス電圧が印加されることになり、有機  $EL$  素子  $OEL$  には発光駆動電流が流れず、発光動作は行われぬ。

**【0126】**

（発光動作期間）

次いで、書込動作期間  $T_{wrt}$  終了後の発光動作期間  $T_{em}$  においては、図 7、図 10 に示すように、選択ライン  $SL$  にオフレベル（ローレベル）の選択信号  $S_{sel}$  が印加され、供給電圧ライン  $V_L$  に高電位の供給電圧  $V_{sc}$  ( $=V_e$ ) が印加される。また、このタイミングに同期して、階調信号生成部 130 による上記階調電流  $I_{data}$  の引き込み動作が停止される。

**【0127】**

これにより、発光駆動回路  $DC$  に設けられた薄膜トランジスタ  $Tr11$  及び  $Tr12$  がオフ動作して、供給電圧  $V_{sc}$  の薄膜トランジスタ  $Tr13$  のゲート端子（接点  $N11$ ；コンデンサ  $C_s$  の一端側）及びドレイン端子への印加が遮断されるとともに、データライン  $DL$  と薄膜トランジスタ  $Tr13$  のソース端子（接点  $N12$ ；コンデンサ  $C_s$  の他端側）との電気的な接続が遮断されるので、上述した書込動作期間  $T_{wrt}$  においてコンデンサ  $C_s$  に蓄積された電荷が保持される。

**【0128】**

なお、発光動作期間  $T_{em}$  において、供給電圧ライン  $V_L$  に印加される高電位の供給電圧  $V_{sc}$  ( $=V_e$ ) は、有機  $EL$  素子  $OEL$  を最高輝度階調 ( $MSB$ ) で発光動作させる際に必要となるアノード電圧以上の電圧値（有機  $EL$  素子  $OEL$  のカソード側に接続された電圧  $V_{com}$  に対して、順バイアスとなる正の電圧）になるように設定されている。

**【0129】**

具体的には、高電位の供給電圧  $V_{sc}$  ( $=V_e$ ) は、下記の (2) 式を満たすような電圧値に設定される。

$$|V_e - V_{com}| > V_{dsmax} + V_{elmax} \quad \dots (2)$$

上記 (2) 式において、 $V_{dsmax}$  は、最高輝度階調で発光動作させる際の階調電流  $I_{data}$  を流す場合に、薄膜トランジスタ  $Tr13$  のドレイン-ソース間が発光動作期間  $T_{em}$  で図 6 に示した飽和領域に達するような薄膜トランジスタ  $Tr13$  のドレイン-ソース間の最高電圧値である。また、 $V_{elmax}$  は、最高輝度階調時の有機  $EL$  素子  $OEL$  の分圧である。

**【0130】**

このように、プリチャージ動作及び書込動作時にコンデンサ  $C_s$  に充電された電圧成分の総和 ( $V_{th13} + V_{data}$ ) がコンデンサ  $C_s$  の両端電位  $V_c$  として保持されることにより、薄膜トランジスタの  $Tr13$  のゲート-ソース間電圧  $V_{gs}$  (すなわち、接点  $N11$  の電位) が保持されることになり、薄膜トランジスタ  $Tr13$  はオン状態を維持する。

**【0131】**

したがって、発光動作期間  $T_{em}$  に、図 10 に示すように、供給電圧ライン  $V_L$  から薄膜トランジスタ  $Tr13$ 、接点  $N12$  を介して、有機  $EL$  素子  $OEL$  方向に発光駆動電流  $I_{em}$  が流れ、有機  $EL$  素子  $OEL$  が該発光駆動電流  $I_{em}$  の電流値に応じた所定の輝度階調で発光する。ここで、発光動作期間  $T_{em}$  にコンデンサ  $C_s$  に保持される電荷（両端電位  $V_c$ ）は、上述したように、薄膜トランジスタ  $Tr13$  において階調電流  $I_{data}$  に対応する書込電流  $I_{wrt}$  を流す場合の電位差に相当するので、有機  $EL$  素子  $OEL$  に流れる発光駆動電流  $I_{em}$  は、上記書込電流  $I_{wrt}$  (階調電流  $I_{data}$ ) と同等の電流値 ( $I_{em} \doteq I_{wrt} = I_{data}$ ) を有することになる。これにより、書込動作期間  $T_{wrt}$  に書き込まれた電圧成分（実効電圧  $V_{data}$ ）に基づいて、所定の発光状態（輝度階調）に対応する発光駆動電流  $I_{em}$  が供給されることになり、有機  $EL$  素子  $OEL$  は表示データ（階調信号）に応じた輝度階調で継続的に発光する。

## 【0132】

このように、本実施形態に係る表示駆動装置及び表示画素によれば、プリチャージ期間に薄膜トランジスタ  $T r 13$  のゲートソース間にしきい値電圧  $V_{th13}$  相当の電圧成分を保持させ、さらに、書込動作期間に有機 EL 素子 OEL の発光状態（輝度階調）に応じた電流値を指定した階調電流  $I_{data}$ （書込電流  $I_{wrt}$ ）を強制的に薄膜トランジスタ  $T r 13$  のドレインソース間に流して、薄膜トランジスタ  $T r 13$  のゲートソース間にその電流値に応じた電圧成分  $V_{data}$  を保持させることにより、実質的に階調電流  $I_{data}$  に応じた電圧成分（実効電圧  $V_{data}$ ）に基づいて、有機 EL 素子（発光素子）OEL に流す発光駆動電流  $I_{em}$  を制御することにより、所定の輝度階調で発光動作させる電流階調指定方式の駆動制御方法を適用し、また、単一の発光駆動用のスイッチング素子（薄膜トランジスタ  $T r 13$ ）により、所望の表示データ（輝度階調）に応じた階調電流  $I_{data}$  の電流レベルを電圧レベルに変換する機能（電流／電圧変換機能）と、有機 EL 素子 OEL に所定の電流値を有する発光駆動電流  $I_{em}$  を供給する機能（発光駆動機能）の双方を実現しているので、発光駆動回路 DC を構成する薄膜トランジスタ相互の素子特性のバラツキや経時変化の影響を受けることなく、長期間にわたり安定的に所望の発光特性を実現することができる。

## 【0133】

また、本実施形態に係る表示駆動装置及び表示画素によれば、表示画素 PX への表示データ（階調信号）の書込動作、及び、有機 EL 素子 OEL の発光動作に先立って、プリチャージ動作を実行することにより、各発光駆動回路 DC に設けられた発光駆動用の薄膜トランジスタ  $T r 13$  のゲートソース端子間に接続されたコンデンサ Cs に、プリチャージ電圧  $V_{pre}$  を印加して当該薄膜トランジスタ  $T r 13$  に固有のしきい値電圧  $V_{th13}$  に相当する電圧成分を保持（電荷を蓄積）した状態に設定することができる。

## 【0134】

したがって、各表示画素 PX（発光駆動回路 DC）に設けられた発光駆動用のスイッチング素子（薄膜トランジスタ  $T r 13$ ）のしきい値電圧  $V_{th13}$  が、経時変化や駆動履歴等に起因して変化（ $V_{th}$  シフト）した場合であっても、上述したプリチャージ動作において、個々の薄膜トランジスタ  $T r 13$  に固有のしきい値電圧  $V_{th13}$  に応じた電荷が適切に蓄積された状態に設定することができる。これにより、表示データの書込動作において、表示データに基づく階調電流  $I_{data}$  によりコンデンサ Cs をしきい値電圧  $V_{th13}$  相当に充電する必要がなく、当該表示データ（輝度階調）に応じた電圧成分（実効電圧） $V_{data}$  のみを上乘せして充電すればよいので、表示データに基づく電荷をコンデンサ Cs に迅速に蓄積することができ、書込不足の発生を抑制して、表示データに応じた適正な輝度階調で有機 EL 素子 OEL を発光動作させることができる。

## 【0135】

なお、本実施形態においては、表示駆動動作に先立って実行されるしきい値電圧検出動作において、電圧印加期間  $T_{pv}$  に各表示画素 PX の発光駆動回路 DC（薄膜トランジスタ  $T r 13$  のソース端子側）に印加する検出用電圧  $V_{pv}$  を、補償電圧 DAC150 から入力選択スイッチ 182 及び書込側スイッチ 183 を介して、データライン DL に印加する表示駆動装置の構成及び駆動制御方法を示したが、本発明はこれに限定されるものではなく、例えば、以下に示すように、検出用電圧  $V_{pv}$  をデータライン DL に印加するための専用電源を備えるものであってもよい。

## 【0136】

図 11 は、本実施形態に係る表示駆動装置の他の構成例を示す要部構成図である。ここで、上述した実施形態と同等の構成についてはその説明を省略する。

本構成例に係る表示駆動装置は、図 11 に示すように、上述した表示駆動装置 100 の構成（図 1 参照）に加え、補償電圧 DAC150 とは別個に、検出用電圧  $V_{pv}$  を出力する検出用電圧電源 190 を備えた構成を有するとともに、データライン入出力切換部 180 に設けられる入力選択スイッチ 182 が補償電圧 DAC150（プリチャージ電圧  $V_{pre}$ ）、及び、階調信号生成部 130（階調電流  $I_{data}$ ）に加え、上記検出用電圧電源 190

(検出用電圧  $V_{pre}$ ) を含む三者のうち、いずれかをデータライン DL に選択的に接続可能なように構成されている。

**【0137】**

これによれば、上述した電圧印加期間  $T_{pv}$  において、データライン入出力切換部 180 の入力選択スイッチ 182 及び書込側スイッチ 183 を検出用電圧電源 190 側に切り換える制御のみで、任意の電圧値を有する検出用電圧  $V_{pv}$  をデータライン DL に印加することができるので、補償電圧 DAC 150 における検出用電圧  $V_{pv}$  の出力動作のための処理負担を軽減することができる。

**【0138】**

(表示駆動動作：無発光表示動作)

次いで、上述したような構成を有する表示駆動装置及び表示画素において、発光素子を発光動作させない無発光表示(黒表示)を行う場合の駆動制御方法について、図面を参照して説明する。

**【0139】**

図 12 は、本実施形態に係る表示駆動装置における駆動制御方法(無発光表示動作)を示すタイミングチャートである。また、図 13 は、本実施形態に係る表示駆動装置におけるデータ書込動作の他の例を示す概念図であり、図 14 は、本実施形態に係る表示駆動装置における無発光動作を示す概念図である。ここで、上述した階調表示動作と同等の駆動制御についてはその説明を簡略化又は省略する。

**【0140】**

本実施形態に係る表示駆動装置における駆動制御動作は、図 12 に示すように、上述したしきい値電圧検出動作(しきい値電圧検出期間  $T_{dec}$ )の後に、各表示画素 PX に設けられた発光駆動用の薄膜トランジスタ  $T_{r13}$  にしきい値電圧  $V_{th13}$  相当の電圧成分を保持させて、当該しきい値電圧  $V_{th13}$  を補償した後、表示データに応じた階調信号(無発光表示電圧  $V_{zero}$ )を書き込んで、有機 EL 素子 OEL を無発光状態に設定する表示駆動動作(表示駆動期間)を含んで構成されている。

**【0141】**

すなわち、上述した階調表示動作を実行する際の駆動制御動作においては、当該表示駆動動作(表示駆動期間  $T_{cyc}$ )の際に設定される書込動作期間  $T_{wrt}$  から発光動作期間  $T_{em}$  に移行する際に、供給電圧  $V_{sc}$  が低電位 ( $V_s$ ) から高電位 ( $V_e$ ) に変位するように設定されている。このため、薄膜トランジスタ  $T_{r11}$  に寄生する容量成分等に保持される電荷の変位により、薄膜トランジスタ  $T_{r13}$  のゲート端子(接点 N11)に印加される電位(ゲート電位)が上昇してしまうという現象が生じる。

**【0142】**

ここで、表示データに基づく輝度階調が最低階調(黒表示状態)の場合、階調電流  $I_{data}$  の電流値は微小な状態又は 0 (すなわち、階調電流  $I_{data}$  が流れない状態)となるが、上述したプリチャージ期間  $T_{th}$  においてコンデンサ  $C_s$  に充電される電圧(両端電位  $V_c$ )は、薄膜トランジスタ  $T_{r13}$  に固有のしきい値電圧  $V_{th13}$  の近傍であるため、上記書込動作期間  $T_{wrt}$  から発光動作期間  $T_{em}$  への移行により、僅かなゲート電位の変動が生じた場合であっても、薄膜トランジスタ  $T_{r13}$  がオン動作して発光駆動電流  $I_{em}$  が流れてしまい、表示データに応じた無発光表示(黒表示)動作が実現されなくなる(不安定になる)可能性がある。

**【0143】**

このような無発光表示動作を安定化させるためには、発光動作期間  $T_{em}$  において、コンデンサ  $C_s$  に充電された電圧成分(蓄積された電荷)が放電されて、薄膜トランジスタ  $T_{r13}$  のゲート-ソース間電圧  $V_{gs}$  (コンデンサ  $C_s$  の両端電位  $V_c$ )が、当該薄膜トランジスタ  $T_{r13}$  のしきい値電圧  $V_{th13}$  よりも十分低く設定されていること、より望ましくは、0V (すなわち、接点 N11 と接点 N12 が等電位)に設定されていることが望ましい。

**【0144】**

出証特 2005-3101382



このような電圧状態を実現するために、上述したような微小な電流値の階調電流  $I_{data}$  を用いて書込動作を行った場合、コンデンサ  $C_s$  に蓄積された電荷を放電してゲートソース間電圧  $V_{gs}$  を所望の電荷量（電圧値）にするために比較的長い時間を必要とする。特に、1つ前の表示駆動期間（1処理サイクル期間） $T_{cyc}$  の書込動作期間  $T_{wrt}$  において、コンデンサ  $C_s$  に充電された電圧成分（両端電位  $V_c$ ）が最高輝度階調電圧に近い程、コンデンサ  $C_s$  に蓄積されている電荷量が多いため、所望の電圧値になるように電荷を放電するためにより長い時間を要することとなる。

#### 【0145】

そこで、本実施形態に係る表示駆動装置においては、図1に示すように、階調信号生成部130に、表示データに応じた所定の輝度階調で有機EL素子（発光素子）OELを発光動作させるための階調電流  $I_{data}$  を生成して供給する手段に加え、有機EL素子OELを発光動作させずに最も暗い表示（黒表示）動作をさせるための無発光表示電圧  $V_{zero}$  を生成して供給する手段を備え、最低輝度階調（黒表示状態）時に、無発光表示電圧  $V_{zero}$  をデータラインDLに印加するように構成されている。

#### 【0146】

なお、本実施形態においては、階調信号生成部130により無発光表示電圧  $V_{zero}$  をデータラインDLを介して発光駆動回路DC（薄膜トランジスタ  $T_{r13}$  のソース端子側；接点N12）に印加する場合について示すが、本発明はこれに限定されるものではなく、例えば、無発光表示電圧  $V_{zero}$  をデータラインDLに印加するための専用電源を備えるものであってもよい。

#### 【0147】

そして、このような構成を有する表示駆動装置における駆動制御方法は、上述したしきい値電圧検出動作の終了後の表示駆動動作において、図12に示すように、所定の表示駆動期間（1処理サイクル期間） $T_{cyc}$  内に、表示画素PXに所定のプリチャージ電圧  $V_{pre}$  を印加して、発光駆動回路DCに設けられた発光駆動用の薄膜トランジスタ  $T_{r13}$  のゲートソース間（コンデンサ  $C_s$  の両端）に、当該薄膜トランジスタ  $T_{r13}$  に固有のしきい値電圧  $V_{th13}$  に相当する電圧成分を保持させる（コンデンサ  $C_s$  に電荷を蓄積又は放電させる）プリチャージ期間  $T_{th}$  と、表示データ（無発光表示データ）に応じた階調信号（無発光表示電圧  $V_{zero}$ ）をデータラインDLを介して各表示画素PX（発光駆動回路DC）に印加し、薄膜トランジスタ  $T_{r13}$  のゲートソース間（コンデンサ  $C_s$ ）に保持された電荷のほぼ全てを放電して、薄膜トランジスタ  $T_{r13}$  のゲートソース間電圧  $V_{gs}$  を0Vに設定する書込動作期間  $T_{wrt}$  と、有機EL素子OELを発光動作させない（無発光動作させる）発光動作期間  $T_{em}$  と、を含むように設定されている（ $T_{cyc} \geq T_{th} + T_{wrt} + T_{em}$ ）。

#### 【0148】

すなわち、上述した階調表示動作を実行する際の駆動制御動作と同様に、書込動作期間  $T_{wrt}$  に先立つプリチャージ動作において、発光駆動用の薄膜トランジスタ  $T_{r13}$  のゲートソース間（コンデンサ  $C_s$ ）に、当該薄膜トランジスタ  $T_{r13}$  に固有のしきい値電圧  $V_{th13}$  相当の電圧成分を保持（電荷量を蓄積）させた後、階調信号の書込動作において、図13に示すように、表示駆動装置100（階調信号生成部130）から、例えば、低電位の供給電圧  $V_{sc}$ （= $V_s$ ）と等電位の無発光表示電圧  $V_{zero}$  をデータライン入出力切換部180及びデータラインDLを介して、表示画素PX（発光駆動回路DC）に設けられた薄膜トランジスタ  $T_{r13}$  のソース端子側（接点N12）に直接印加して、上記ゲートソース間電圧  $V_{gs}$ （コンデンサ  $C_s$  の両端電位  $V_c$ ）を0Vに設定する。

#### 【0149】

このように、コンデンサ  $C_s$  に蓄積された電荷のほぼ全てが放電され、薄膜トランジスタ  $T_{r13}$  のゲートソース電圧  $V_{gs}$  が、当該薄膜トランジスタ  $T_{r13}$  に固有のしきい値電圧  $V_{th13}$  よりも十分低い電圧値（略0V）に設定されるので、書込動作期間  $T_{wrt}$  から発光動作期間  $T_{em}$  に移行する際に、供給電圧  $V_{sc}$  が低電位（ $V_s$ ）から高電位（ $V_e$ ）に変位して薄膜トランジスタ  $T_{r13}$  のゲート電位（接点N11の電位）が僅かながら上昇

したとしても、図14に示すように、薄膜トランジスタTr13はオン動作せず（オフ状態を保持して）、有機EL素子OELには発光駆動電流I<sub>em</sub>が供給されず、発光動作は行われぬ（無発光状態となる）。

#### 【0150】

これにより、無発光表示動作時に、データラインDLを介して無発光表示データに対応した階調電流を供給して、薄膜トランジスタTr13のゲートソース間に接続されたコンデンサCsに蓄積された電荷のほぼ全てを放電する場合に比較して、無発光表示データの書込動作に要する時間を短縮しつつ、有機EL素子OELの無発光状態（無発光表示動作）を良好に実現することができる。したがって、上述した通常の階調表示を行うための表示駆動動作に加え、無発光表示を行うための表示駆動動作を、表示データ（輝度階調データ）に応じて切換制御することにより、所望の階調数（例えば、256階調）の発光動作を、比較的高輝度かつ鮮明に実現することができる。

#### 【0151】

なお、本実施形態に係る表示画素PXにおいては、図1に示したように、発光駆動回路DCに設けられる薄膜トランジスタTr11~Tr13として、いずれもnチャンネル型のアモルファスシリコン薄膜トランジスタを適用した構成を示したが、ポリシリコン薄膜トランジスタを適用するものであってもよく、さらに、全てpチャンネル型のアモルファスシリコン薄膜トランジスタを適用するものであってもよい。ここで、全てpチャンネル型を適用した場合、信号のオンレベル、オフレベルのハイ、ローが反転するように設定される。

#### 【0152】

また、本実施形態においては、図1に示したように、各表示画素PXに設けられる発光駆動回路DCとして、3個の薄膜トランジスタTr11~Tr13を備えた回路構成を示して説明したが、本発明はこれに限定されるものではない。すなわち、電流階調指定方式に対応した発光駆動回路であって、単一の薄膜トランジスタを用いて、表示データに応じて供給された階調電流を電圧成分に変換して、ゲートソース間に接続されたコンデンサ又は寄生容量に蓄積する電流/電圧変換機能、及び、該蓄積された電圧成分に基づいて発光素子（有機EL素子）に供給する発光駆動電流を制御する発光駆動機能を実現するものであれば、他の回路構成を有するものであってもよいことはいうまでもない。

#### 【0153】

さらに、上述した表示駆動装置及び表示画素の駆動制御方法において、プリチャージ動作として、補償電圧DAC150からデータラインDLを介して、各表示画素PXに上記しきい値補償データに基づく電圧値を有するプリチャージ電圧V<sub>pre</sub>を印加する場合について説明したが、本発明はこれに限定されるものではなく、要するに、プリチャージ動作により、各表示画素PXの発光駆動回路DCに設けられた発光駆動用の薄膜トランジスタTr13のゲートソース間に、各薄膜トランジスタTr13のドレインソース間電流I<sub>ds</sub>のしきい値電圧を補償する電圧成分（当該薄膜トランジスタTr13に固有のしきい値電圧V<sub>th13</sub>相当の電圧成分）を保持させることができるものであればよいので、例えば、表示駆動装置100から上記しきい値補償データに基づく電流値を有するプリチャージ電流を、データラインDLを介して各表示画素PXに印加する構成を有するものであってもよい。

#### 【0154】

##### <表示装置>

次に、本発明に係る表示装置及びその駆動制御方法について、図面を参照して説明する。

図15は、本発明に係る表示装置の全体構成の一例を示す概略ブロック図であり、図16は、本実施形態に係る表示装置に適用される表示パネル及びその周辺回路（選択ドライバ、電源ドライバ）の一例を示す概略構成図である。ここで、上述した実施形態に示した表示駆動装置及び表示画素（発光駆動回路）と同等の構成については、同一又は同等の符号を付して、上述した図面を参照しながら説明する。

#### 【0155】

図15、図16に示すように、本実施形態に係る表示装置200は、概略、行方向に配設された複数の選択ライン（選択線）SLと列方向に配設された複数のデータライン（データ線）DLとの各交点近傍に、上述した実施形態と同等の回路構成を有する発光駆動回路DC及び有機EL素子（発光素子）OELを備えた複数の表示画素PXがn行×m列（n、mは、任意の正の整数）からなるマトリクス状に配列された表示パネル210と、該表示パネル210の選択ラインSLに接続され、各選択ラインSLごとに順次所定のタイミングで選択信号Sselを印加する選択ドライバ（選択駆動部）220と、選択ラインSLの各々に並行して行方向に配設された供給電圧ラインVLに接続され、各供給電圧ラインVLごとに順次所定のタイミングで所定の電圧レベルの供給電圧Vscを印加する電源ドライバ（電源駆動部）230と、表示パネル210のデータラインDLに接続され、上述したしきい値電圧検出期間Tdecに、各データラインDLを介して各列の表示画素PX（発光駆動回路DC）に設けられた発光駆動用のスイッチング素子（薄膜トランジスタ）の当該時点のしきい値電圧を検出するとともに、表示駆動期間Tcycに、各データラインDLを介して各列の表示画素PXに、当該表示画素PXのスイッチング素子に固有のしきい値電圧に対応したプリチャージ電圧Vpreを印加した後、各表示データに応じた階調信号（階調電流Idata、又は、無発光表示電圧Vzero）を供給するデータドライバ（データ駆動部）240と、後述する表示信号生成回路260から供給されるタイミング信号に基づいて、少なくとも上記選択ドライバ220及び電源ドライバ230、データドライバ240の動作状態を制御する選択制御信号及び電源制御信号、データ制御信号を生成して出力するシステムコントローラ250と、例えば、表示装置200の外部から供給される映像信号に基づいて、デジタル信号からなる表示データ（輝度階調データ）を生成してデータドライバ240に供給するとともに、該表示データに基づいて表示パネル210に所定の画像情報を表示するためのタイミング信号（システムクロック等）を抽出、又は、生成して上記システムコントローラ250に供給する表示信号生成回路260と、を備えて構成されている。

#### 【0156】

以下、上記各構成について具体的に説明する。

（表示パネル）

図16に示した表示パネル210に配列された各表示画素PXは、上述した実施形態（図1参照）に示した表示画素と同様に、選択ドライバ220から選択ラインSLを介して印加される選択信号Ssel、及び、電源ドライバ230から供給電圧ラインVLを介して印加される供給電圧Vsc、データドライバ240からデータラインDLを介して供給される階調信号（階調電流Idata、又は、無発光表示電圧Vzero）に基づいて、表示データに応じた発光駆動電流Iemを生成する発光駆動回路DCと、該発光駆動回路DCから供給される発光駆動電流Iemの電流値に応じて所定の輝度階調で発光動作する有機EL素子（発光素子）OELと、を有して構成されている。なお、本実施形態においては、上述した実施形態（図1参照）と同様に、発光素子として有機EL素子OELを適用した場合について示すが、発光駆動電流の電流値に応じて所定の輝度階調で発光動作を行う電流制御型の発光素子であれば、他の発光素子であってもよい。

#### 【0157】

（選択ドライバ）

選択ドライバ220は、システムコントローラ250から供給される選択制御信号に基づいて、各選択ラインSLにオンレベル（上述した表示画素においては、ハイレベル）の選択信号Sselを印加することにより、各行ごとの表示画素PXを選択状態に設定する。具体的には、各行の表示画素PXについて、しきい値電圧検出動作、及び、発光動作を除く表示駆動動作（プリチャージ動作及び書込動作）を実行する期間中、選択信号Sselを当該行の選択ラインSLに印加する動作を、所定のタイミングで各行ごとに順次実行することにより、各行ごとの表示画素PXを順次選択状態に設定する。

#### 【0158】

ここで、選択ドライバ220は、例えば、図16に示すように、後述するシステムコン

出証特 2005-3101382

トローラ 250 から選択制御信号として供給される選択クロック信号 SCK 及び選択スタート信号 SST に基づいて、各行の選択ライン SL に対応するシフト信号を順次出力する周知のシフトレジスタ 221 と、該シフトレジスタ 221 から出力されるシフト信号を所定の信号レベル（オンレベル）に変換して、システムコントローラ 250 から選択制御信号として供給される出力制御信号 SOE に基づいて、各選択ライン SL に選択信号 Ssel として出力する出力回路部（出力バッファ） 222 と、を備えた構成を有している。

**【0159】**

（電源ドライバ）

電源ドライバ 230 は、システムコントローラ 250 から供給される電源制御信号に基づいて、各行の表示画素 PX について、発光動作期間中のみ高電位の供給電圧  $V_{sc}$  (=  $V_e$ ) を当該行の供給電圧ライン VL に印加し、発光動作期間以外の動作期間（しきい値電圧検出期間  $T_{dec}$ 、及び、表示駆動期間  $T_{cyc}$  におけるプリチャージ期間  $T_{th}$  及び書込動作期間  $T_{wrt}$ ) 中、低電位の供給電圧  $V_{sc}$  (=  $V_s$ ) を印加する。

**【0160】**

ここで、電源ドライバ 230 は、例えば、図 16 に示すように、上述した選択ドライバ 220 と同様に、システムコントローラ 250 から電源制御信号として供給されるクロック信号 VCK 及びスタート信号 VST に基づいて、各行の供給電圧ライン VL に対応するシフト信号を順次出力する周知のシフトレジスタ 231 と、シフト信号を所定の電圧レベル（電圧値  $V_e$ 、 $V_s$ ) に変換して、電源制御信号として供給される出力制御信号 VOE に基づいて、各供給電圧ライン VL に供給電圧  $V_{sc}$  として出力する出力回路部 232 と、を備えた構成を有している。

**【0161】**

（データドライバ）

データドライバ 240 は、上述した実施形態に示した表示駆動装置 100 と同様に、少なくとも、図 1 に示したシフトレジスタ・データレジスタ部 110 と、表示データラッチ部 120 と、階調信号生成部 130 と、検出電圧 ADC 140 と、補償電圧 DAC 150 と、しきい値データラッチ部 160 と、フレームメモリ 170 と、データライン入出力切換部 180 と、を備えた構成を有している。

**【0162】**

なお、図 1 においては、単一の表示画素 PX に対応する構成を示したが、本実施形態に係るデータドライバ 240 においては、表示パネル 210 の列方向に配列される各データライン DL ごとに、上記データライン入出力切換部 180 が設けられ、当該データライン入出力切換部 180 を構成する電圧検出側スイッチ 181、入力選択スイッチ 182 及び書込側スイッチ 183 を上述した駆動制御方法に基づいて切り換え制御することにより、各行の表示画素 PX に対して、同時並行して、もしくは、各列ごとに順次、検出用電圧  $V_{pv}$ 、プリチャージ電圧  $V_{pre}$ 、階調信号（階調電流  $I_{data}$ 、無発光表示電圧  $V_{zero}$ ) のいずれかを印加する動作、もしくは、検出電圧  $V_{dec}$  を測定する動作が選択的に実行される。

**【0163】**

すなわち、本実施形態に係るデータドライバ（表示駆動装置） 240 に設けられるシフトレジスタ・データレジスタ部 110 は、システムコントローラ 250 から供給されるデータ制御信号（シフトクロック信号、サンプリングスタート信号）に基づいて、1 行分の各列の表示画素 PX（又は、各列のデータライン DL）に対応して生成されるシフト信号の出力タイミングに基づいて、表示信号生成回路 260 から供給される 1 行分の表示データを順次取り込む。

表示データラッチ部 120 は、データ制御信号（データラッチ信号）に基づいて、上記シフトレジスタ・データレジスタ部 110 により取り込まれた 1 行分の表示データが転送されて、各列の表示画素 PX ごとに保持される。

**【0164】**

階調信号生成部 130 は、上記表示データラッチ部 120 に保持された各表示データに

基づいて、当該表示データに応じた電流値を有する階調電流 I data、又は、所定の電圧値を有する無発光表示電圧 V zero を生成して、階調信号として各データライン DL に同時並行（一括）して、又は、順次印加する。

**【0165】**

具体的には、上記表示データが有機 EL 素子（発光素子）OEL の発光動作を伴う通常の階調表示を行うための階調表示データの場合には、例えば、階調基準電圧に基づいて所定の電圧値を有するアナログ信号電圧に変換し（デジタル→アナログ変換処理）、さらに、当該表示データに対応する電流値を有する階調電流 I data を生成して（電圧→電流変換処理）、所定のタイミングで各列のデータライン DL に出力し、一方、上記表示データが有機 EL 素子（発光素子）OEL の発光動作を伴わない無発光表示データの場合には、所定の無発光表示電圧 V zero を所定のタイミングで当該列のデータライン DL に出力する。

**【0166】**

なお、無発光表示電圧 V zero は、上述した駆動制御方法（無発光表示動作）に示したように、プリチャージ動作により、表示画素 PX を構成する発光駆動回路 DC に設けられた発光駆動用のスイッチング素子（薄膜トランジスタ Tr 13）のゲートソース間（コンデンサ Cs）に蓄積された電荷を放電して、ゲートソース間電圧 Vgs（コンデンサ Cs の両端電位 Vc）を 0 V に設定する（又は、0 V に近似させる）ために必要な任意の電圧値に設定されている。ここで、無発光表示電圧 V zero、及び、階調電流 I data を生成するための階調基準電圧は、例えば、図示を省略した電源供給手段等から供給される。

**【0167】**

検出電圧 ADC 140 は、表示パネル 210 における画像情報の表示動作（表示画素 PX の表示駆動動作）に先立つしきい値電圧検出動作において、選択状態に設定された行の各列の表示画素 PX（発光駆動回路 DC）に設けられた発光駆動用のスイッチング素子（薄膜トランジスタ Tr 13）の、当該しきい値電圧検出動作の実行時点のしきい値電圧（又は、当該しきい値電圧に対応する電圧成分）を、各データライン DL を介して検出電圧 Vdec として同時並行して、もしくは、順次測定し、デジタル信号電圧からなるしきい値検出データに変換して、しきい値データラッチ部 160 に出力する。

**【0168】**

補償電圧 DAC 150 は、表示パネル 210 における画像情報の表示動作（表示画素 PX の表示駆動動作）に先立つしきい値電圧検出動作において、選択状態に設定された行の各列の表示画素 PX（発光駆動回路 DC に設けられた発光駆動用のスイッチング素子）に、所定の検出用電圧 Vpv を各データライン DL を介して同時並行して、もしくは、順次出力する。

**【0169】**

また、補償電圧 DAC 150 は、表示パネル 210 における画像情報の表示動作（表示画素 PX の表示駆動動作）において、選択状態に設定された行の各列の表示画素 PX に設けられた上記スイッチング素子に固有のしきい値電圧を補償するためのしきい値補償データに基づいてプリチャージ電圧 Vpre を生成し、各データライン DL を介して同時並行して、もしくは、順次各列の表示画素 PX に出力する。

**【0170】**

しきい値データラッチ部 160 は、表示パネル 210 における画像情報の表示動作（表示画素 PX の表示駆動動作）に先立つしきい値電圧検出動作において、選択状態に設定された行の各列の表示画素 PX ごとに、上記検出電圧 ADC 140 により変換、生成されたしきい値検出データを取り込んで保持した後、シフトレジスタ・データレジスタ部 110 により当該 1 行分のしきい値検出データが取り出されて、フレームメモリ 170 に順次転送される。

**【0171】**

また、しきい値データラッチ部 160 は、表示パネル 210 における画像情報の表示動作（表示画素 PX の表示駆動動作）において、シフトレジスタ・データレジスタ部 110 によりフレームメモリ 170 から順次取り出された、選択状態に設定された行の各列の表

示画素 P X ごとのしきい値検出データに応じたしきい値補償データを取り込んで保持し、各列ごとに補償電圧 DAC 150 に転送する。

#### 【0172】

(システムコントローラ)

システムコントローラ 250 は、選択ドライバ 220 及び電源ドライバ 230、データドライバ 240 の各々に対して、動作状態を制御する選択制御信号及び電源制御信号、データ制御信号を生成して出力することにより、各ドライバを所定のタイミングで動作させて、所定の電圧レベルを有する選択信号 Ssel 及び供給電圧 Vsc、階調信号 (階調電流 Id ata、無発光表示電圧 Vzero)、を生成して出力させ、各表示画素 P X (発光駆動回路 DC) におけるしきい値電圧検出動作 (電圧印加動作、電圧収束動作、電圧読取動作)、及び、表示駆動動作 (プリチャージ動作、書込動作、発光動作) を実行させて、映像信号に基づく所定の画像情報を表示パネル 210 に表示させる制御を行う。

#### 【0173】

(表示信号生成回路)

表示信号生成回路 260 は、例えば、表示装置 200 の外部から供給される映像信号から輝度階調信号成分を抽出し、表示パネル 210 の 1 行分ごとに、該輝度階調信号成分をデジタル信号からなる表示データ (輝度階調データ) としてデータドライバ 240 のシフトレジスタ・データレジスタ部に供給する。ここで、上記映像信号が、テレビ放送信号 (コンポジット映像信号) のように、画像情報の表示タイミングを規定するタイミング信号成分を含む場合には、表示信号生成回路 260 は、上記輝度階調信号成分を抽出する機能のほかに、タイミング信号成分を抽出してシステムコントローラ 250 に供給する機能を有するものであってもよい。この場合においては、上記システムコントローラ 250 は、表示信号生成回路 260 から供給されるタイミング信号に基づいて、選択ドライバ 220 や電源ドライバ 230、データドライバ 240 に対して個別に供給する各制御信号を生成する。

#### 【0174】

なお、本実施形態に係る表示装置においては、表示パネル 210 の周辺に、選択ライン SL に接続された選択ドライバ 220、及び、供給電圧ライン VL に接続された電源ドライバ 230 を個別に設けた構成を示したが、上述した表示駆動装置 (データドライバ 240 に相当する) の駆動制御方法 (図 7、図 12 参照) において説明したように、特定の行の表示画素 P X について、(選択ドライバ 220 から) 選択ライン SL に印加される選択信号 Ssel と、(電源ドライバ 230 から) 供給電圧ライン VL に印加される供給電圧 Vsc とは、相互に信号レベルが反転関係になるように設定されるので、表示パネル 210 に配列された各表示画素 P X を行単位で独立して表示駆動動作 (特に、発光動作) を行う場合 (具体的には、後述する表示装置 200 の駆動制御方法の第 1 の例の場合) には、選択ドライバ 220 により生成される選択信号 Ssel の信号レベルを反転し (レベル反転処理)、さらに、所定の電圧レベルを有するようにレベル変換して (レベル変換処理)、当該行の供給電圧ライン VL に印加するように構成することにより、電源ドライバ 230 をなくした構成を適用することができる。

#### 【0175】

<表示装置の駆動制御方法>

次いで、本実施形態に係る表示装置における駆動制御方法 (駆動制御動作) について説明する。

図 17 は、本実施形態に係る表示装置の駆動制御方法の第 1 の例を模式的に示したタイミングチャートである。ここで、上述した実施形態に示した表示駆動装置及び表示画素 (発光駆動回路) における場合と同等の駆動制御方法 (図 2、図 7 参照) については、その説明を簡略化する。なお、本実施形態においては、説明の都合上、便宜的に表示パネルに 12 行 (第 1 行~第 12 行) の表示画素が配列された構成を有しているものとして説明する。

#### 【0176】

出証特 2005-3101382

本実施形態に係る表示装置 200 の駆動制御動作の第 1 の例は、概略、図 17 に示すように、まず、表示パネル 210 に画像情報を表示するための表示駆動動作（表示駆動期間）に先立って、表示パネル 210 に配列された全ての表示画素 P X について、各表示画素 P X に設けられた発光駆動回路 D C において有機 E L 素子（発光素子）O E L の発光状態を制御する発光駆動用のスイッチング素子（薄膜トランジスタ）のしきい値電圧（又は、当該しきい値電圧に対応する電圧成分）を検出するしきい値電圧検出動作（しきい値電圧検出期間 T dec）を実行し、その後、1 フレーム期間 T fr（約 16.7 msec）内に、表示パネル 210 の各行ごとの表示画素 P X（発光駆動回路 D C）に、上記スイッチング素子のしきい値電圧相当の電圧成分を保持させた（しきい値電圧を補償した）後、表示データに応じた階調信号（階調電流 I data、無発光表示電圧 V zero）を書き込み、各行の表示画素 P X（有機 E L 素子 O E L）を上記表示データ（階調信号）に応じた輝度階調で発光動作させる表示駆動動作（表示駆動期間 T cyc）を、全行について順次繰り返し、表示パネル 210 一画面分の画像情報を表示する。

**【0177】**

ここで、しきい値電圧検出動作（しきい値電圧検出期間 T dec）は、上述した実施形態と同様に、表示パネル 210 の各行ごとの表示画素 P X（発光駆動回路 D C）に対して、所定の検出用電圧 V pv を印加する電圧印加動作（電圧印加期間 T pv）と、該検出用電圧 V pv に基づく電圧成分を各スイッチング素子（薄膜トランジスタ T r 1 3）の当該検出時点でのしきい値電圧に収束させる電圧収束動作（電圧収束期間 T cv）と、各表示画素 P X における電圧収束後のしきい値電圧 V th13 を測定して（読み取り）、各表示画素 P X ごとにしきい値検出データとして記憶する電圧読取動作（電圧読取期間）と、からなる一連の駆動制御を、各行ごとに所定のタイミングで順次実行する。

**【0178】**

ここで、図 17 に示したタイミングチャートにおいて、しきい値電圧検出期間 T dec の各行の斜線で示したハッチング部分は、各々、上述した実施形態に示した電圧印加動作及び電圧収束動作、電圧読取動作からなる一連のしきい値電圧検出動作を表しており、各行ごとのしきい値電圧検出動作が時間的に重ならないように、タイミングをずらして順次実行される。

**【0179】**

また、表示駆動動作（表示駆動期間 T cyc）についても、上述した実施形態と同様に、1 フレーム期間 T fr 内に、表示パネル 210 の各行ごとの表示画素 P X（発光駆動回路 D C）に対して、上記しきい値電圧検出動作により各表示画素 P X（発光駆動用のスイッチング素子）について検出され、記憶されたしきい値検出データ（しきい値補償データ）に基づいて、各表示画素 P X のしきい値電圧を補償するプリチャージ電圧 V pre を書き込むプリチャージ動作（プリチャージ期間 T th）と、表示データに応じた階調信号（階調電流 I data、無発光表示電圧 V zero）を書き込む書込動作（書込動作期間 T wrt）と、所定のタイミングで上記表示データ（階調信号）に応じた輝度階調で各表示画素 P X（有機 E L 素子 O E L）を発光させる発光動作（発光動作期間 T em）と、からなる一連の駆動制御を、各行ごとに所定のタイミングで順次実行する。

**【0180】**

ここで、図 17 に示したタイミングチャートにおいて、表示駆動期間 T cyc の各行のクロスメッシュで示したハッチング部分（「T th + T wrt」と表記）は、各々、上述した実施形態に示したプリチャージ動作及び書込動作を表しており、特に、本実施形態においては、各行ごとのプリチャージ動作及び書込動作が時間的に重ならないように、タイミングをずらして順次実行され、書込動作が終了した行の表示画素 P X から順に発光動作が実行される。すなわち、各行の表示駆動動作のうち、発光動作のみが各行間で相互に時間的に重なるように（部分的に並行して）実行される。

**【0181】**

以下、本実施形態に係る表示駆動動作の第 1 の例について、さらに詳しく説明する。  
図 17 に示すように、表示駆動動作（表示駆動期間 T cyc）のプリチャージ期間 T th 及

び書込動作期間  $T_{wrt}$  (図中、クロスメッシュで表示) においては、選択ドライバ 220 から表示パネル 210 に特定の行 (例えば、 $i$  行目;  $1 \leq i \leq 12$ ) の選択ライン  $S_L$  に対して、図 7、図 12 に示したように、オンレベル (ハイレベル) の選択信号  $S_{sel}$  を印加することにより、当該  $i$  行の表示画素  $P_X$  を選択状態に設定する。また、当該プリチャージ期間  $T_{th}$  及び書込動作期間  $T_{wrt}$  においては、電源ドライバ 230 から当該  $i$  行の供給電圧ライン  $V_L$  に対して、低電位の供給電圧  $V_{sc}$  ( $= V_s$ ) が印加される。

#### 【0182】

そして、このタイミング (以下、便宜的に「選択タイミング」と記す) に同期して、まず、プリチャージ期間  $T_{th}$  においては、データドライバ 240 に設けられた補償電圧  $DAC150$  から各データライン  $D_L$  に対して、各表示画素  $P_X$  (発光駆動回路  $DC$ ) に設けられたスイッチング素子 (薄膜トランジスタ) のしきい値電圧を補償するための個別のプリチャージ電圧  $V_{pre}$  を印加することにより、当該  $i$  行の各表示画素  $P_X$  のスイッチング素子の制御端子 (具体的には、薄膜トランジスタ  $Tr13$  のゲートソース端子間; コンデンサ  $C_s$  の両端) に、当該スイッチング素子 (薄膜トランジスタ  $Tr13$ ) に固有のしきい値電圧相当の電圧成分が保持 (電荷が蓄積) される。

#### 【0183】

次いで、上記選択タイミングに同期して、書込動作期間  $T_{wrt}$  においては、データドライバ 240 に設けられた階調信号生成部 130 から各列のデータライン  $D_L$  に対して、各表示画素  $P_X$  (発光駆動回路  $DC$ ) の表示データに応じた階調信号 (階調電流  $I_{data}$ 、もしくは、無発光表示電圧  $V_{zero}$ ) を個別に印加することにより、当該  $i$  行の各列の表示画素  $P_X$  のスイッチング素子の制御端子 (具体的には、薄膜トランジスタ  $Tr13$  のゲートソース端子間; コンデンサ  $C_s$  の両端) に、階調信号 (表示データ) に応じた電圧成分が保持 (電荷が蓄積、又は、放電) される。

#### 【0184】

ここで、上述した駆動制御方法と同様に、表示信号生成回路 260 からデータドライバ 240 に供給される表示データが、有機  $EL$  素子 (発光素子)  $OEL$  の発光動作を伴う階調表示データ (0 ビット以外の階調値; 階調表示動作) の場合には、データドライバ 240 (階調信号生成部 130) により当該表示データに応じた階調電流  $I_{data}$  が生成されて、対応する列の表示画素  $P_X$  に供給され、一方、上記表示データが、有機  $EL$  素子 (発光素子)  $OEL$  の発光動作を伴わない無発光表示データ (0 ビットの階調値; 無発光表示動作) の場合には、データドライバ 240 により所定の無発光表示電圧  $V_{zero}$  が生成されて、対応する列の表示画素  $P_X$  に供給される。

#### 【0185】

したがって、階調信号として階調電流  $I_{data}$  が供給された表示画素  $P_X$  においては、上述したプリチャージ動作により、当該行の各表示画素  $P_X$  (発光駆動用の薄膜トランジスタのゲートソース間) に充電されたしきい値電圧 ( $V_{th13}$ ) 相当の電圧成分に上乘せしめて、階調電流  $I_{data}$  に基づく電圧成分 (実効電圧  $V_{data}$ ) が充電されることになる。

#### 【0186】

また、階調信号として無発光表示電圧  $V_{zero}$  が供給された表示画素  $P_X$  においては、上述したプリチャージ動作により、当該行の各表示画素  $P_X$  に充電されたしきい値電圧 ( $V_{th13}$ ) 相当の電圧成分 (電荷) がほとんど全て放電されて、結果的に表示データに対応した電圧 (0 V) が発光駆動用のスイッチング素子 (薄膜トランジスタのゲートソース間) に設定されることになる。

#### 【0187】

次いで、図 17 に示すように、表示駆動動作 (表示駆動期間  $T_{cyc}$ ) の発光動作期間  $T_{em}$  (図中、ドットハッチングで表示) においては、図 7、図 12 に示したように、選択ドライバ 220 から当該  $i$  行の選択ライン  $S_L$  に対して、オフレベル (ローレベル) の選択信号  $S_{sel}$  を印加することにより、当該  $i$  行の各表示画素  $P_X$  を非選択状態に設定する。また、データドライバ 240 に設けられた階調信号生成部 130 から各データライン  $D_L$  への階調信号の印加が遮断される。



**【0188】**

そして、このタイミングに同期して、電源ドライバ230から当該i行の供給電圧ラインVLに対して、高電位の供給電圧 $V_{sc}$  ( $=V_e$ ) が印加されることにより、当該i行の各表示画素PX (発光駆動用の薄膜トランジスタのゲートソース間) に充電された電圧成分に基づいて、表示データ (階調信号) に応じた発光駆動電流 $I_{em}$ が有機EL素子OELに供給され、所定の輝度階調で発光動作、又は、無発光動作が行われる。

**【0189】**

ここで、各表示画素PXに書き込まれた階調信号が、有機EL素子OELの発光動作を伴う階調表示データ (0ビット以外の階調値) に基づく場合には、有機EL素子OELに当該階調電流 $I_{data}$ と同等の発光駆動電流 $I_{em}$ が供給されて、表示データに対応した所定の輝度階調で有機EL素子OELが発光動作 (階調表示動作) し、一方、上記階調信号が、有機EL素子OELの発光動作を伴わない無発光表示データ (0ビットの階調値) に基づく場合には、有機EL素子OELには発光駆動電流 $I_{em}$ が供給されず、発光動作が行われない (無発光表示動作; 黒表示動作)。

**【0190】**

このような発光動作 (又は、無発光動作) は、当該i行の表示画素PXにおいて、上記プリチャージ動作及び書込動作の終了タイミングに同期して (終了直後から) 開始され、当該i行について次のプリチャージ動作及び書込動作の開始タイミング (開始直前) まで、例えば、1フレーム期間 $T_{fr}$ 継続して実行される。

**【0191】**

また、当該i行の表示画素PXについての上記プリチャージ動作及び書込動作の終了タイミングに同期して (終了直後から)、隣接する ( $i+1$ ) 行目の表示画素PXについて、上記と同様のプリチャージ動作及び書込動作が開始され、当該プリチャージ動作及び書込動作の終了タイミングに同期して (終了直後から)、当該 ( $i+1$ ) 行についての発光動作が開始される。

**【0192】**

これにより、図17に示したように、1フレーム期間 $T_{fr}$ 内に、表示パネル210の各行ごとの表示画素PX (発光駆動回路DC) に対して、プリチャージ動作及び書込動作により各表示画素PXに表示データ (階調信号) に応じた適切な電圧成分を充電させる動作を、各行間で相互に時間的に重ならないように、タイミングをずらして順次実行し、かつ、プリチャージ動作及び書込動作が終了した行の表示画素PXから順に所定の輝度階調で発光動作 (又は、無発光動作) を、各行間で相互に一部時間的に重なるように実行する駆動制御動作が実現される。

**【0193】**

このように、本実施形態に係る表示装置及びその駆動制御方法によれば、上述した電流指定階調方式の駆動制御方法に対応した表示駆動装置及び表示画素を、各々データドライバ及び表示パネルに適用した構成を有していることにより、通常の階調表示動作時 (無発光表示動作時以外) においては、表示データに応じた階調電流の電流値に基づいて、発光素子 (有機EL素子) に供給する発光駆動電流を制御することができるとともに、各表示画素に設けられた単一のスイッチング素子 (発光駆動用の薄膜トランジスタ) により、上記階調電流の電流レベルを電圧レベルに変換し、該電圧レベルに基づいて発光駆動電流の電流値を設定することができるので、各表示画素 (発光駆動回路) に設けられた発光駆動用のスイッチング素子 (薄膜トランジスタ) の素子特性 (しきい値電圧) のバラツキや経時変化の影響を受けることなく、長期間にわたり安定的に所望の発光特性を実現することができる。

**【0194】**

また、本実施形態に係る表示装置及びその駆動制御方法によれば、各表示画素への表示データ (階調信号) の書込動作、及び、発光素子 (有機EL素子) の発光動作に先立って、まず、表示パネルに配列された全ての表示画素について、当該表示画素 (発光駆動回路) に設けられた発光駆動用のスイッチング素子 (薄膜トランジスタ) のしきい値電圧を検

出して記憶し（しきい値電圧検出動作）、その後、各表示画素への表示データの書込動作の直前に、当該表示画素に設けられた発光駆動用のスイッチング素子（薄膜トランジスタ）に上記検出されたしきい値電圧に応じたプリチャージ電圧を印加する（プリチャージ動作）ことにより、各表示画素の発光駆動用のスイッチング素子の制御端子（薄膜トランジスタのゲートソース間）に、当該スイッチング素子に固有のしきい値電圧に相当する電圧成分（電荷）を保持した状態（ $V_{th}$ シフトにより変動したしきい値電圧を個別に補償した状態）に設定することができるので、表示データの書込動作において、当該表示データに応じた電圧成分のみを上乗せして充電すればよく、表示データに基づく電圧成分を迅速かつ適切に書き込むことができる。

#### 【0195】

したがって、電流階調指定方式の駆動制御方法において、表示データに応じた階調電流が非常に小さくなる低輝度階調での表示動作の際においても、当該表示データに応じた電圧成分を迅速かつ適切に書き込むことができるので、各表示画素における書込不足の発生を抑制することができ、また、各表示画素に設けられた発光駆動用のスイッチング素子（薄膜トランジスタ）の $V_{th}$ シフトの影響を受けないので、映像信号に応じた適切な輝度階調で所望の画像情報を、長期間にわたり良好に表示することができる。

#### 【0196】

また、無発光表示時においては、表示データ（0ビットの階調値）に応じた所定の無発光表示電圧を各表示画素に供給することにより、発光駆動用のスイッチング素子（薄膜トランジスタのゲートソース間）に保持された電圧成分のほとんど全てを迅速に放電することができるので、発光素子（有機EL素子）への発光駆動電流の供給を確実に遮断することができ、無発光表示動作を安定的に実現することができる。

#### 【0197】

さらに、本実施形態に係る表示装置及びその駆動制御方法によれば、表示パネルの各行において、1フレーム期間のうち、プリチャージ期間及び書込動作期間以外の期間では、次のプリチャージ期間及び書込動作期間の開始タイミングまで、発光動作が継続するように駆動制御されるので、各表示画素（発光素子）の発光時間を十分長く設定することができ、画像情報を高い発光輝度で表示することができる。これは換言すると、各表示画素の発光輝度を低減した場合であっても十分な輝度で画像情報を表示できることを意味しており、したがって、画像情報の表示に係る消費電力を削減することができる。

#### 【0198】

次に、本実施形態に係る表示装置に適用可能な駆動制御方法の第2の例について、図面を参照して説明する。

図18は、本実施形態に係る表示装置の駆動制御方法の第2の例を模式的に示したタイミングチャートである。ここで、上述した第1の例（図17参照）と同等の駆動制御方法については、その説明を簡略化する。また、図中のハッチング部については上述した第1の例と同等の動作状態を示す。また、図19は、本実施形態に係る表示装置の駆動制御方法の第2の例を実現するための表示装置の一例を示す要部構成図である。ここで、上述した実施形態に示した表示装置と同等の構成については、同等の符号を付して説明する。

#### 【0199】

本実施形態に係る表示装置200の駆動制御動作の第2の例は、図18に示すように、まず、上述した第1の例と同様に、表示パネル210に配列された全ての表示画素PXについて、しきい値電圧検出動作を各行ごとに所定のタイミングで順次実行し、その後、1フレーム期間 $T_{fr}$ （約16.7msec）内に、表示パネル210の各行ごとの表示画素PX（発光駆動回路DC）に対して、上記しきい値電圧を補償した後、表示データに応じた階調信号（階調電流 $I_{data}$ 、無発光表示電圧 $V_{zero}$ ）を書き込む動作（図中、「 $T_{th} + T_{wr t}$ 」）を、全行について順次繰り返し、所定のタイミングで、予めグループ分けした複数行の表示画素PX（有機EL素子OEL）を上記表示データ（階調信号）に応じた輝度階調で一斉に発光動作させる表示駆動動作（表示駆動期間 $T_{cyc}$ ）を実行することにより、表示パネル210一画面分の画像情報が表示される。

**【0200】**

ここで、本実施形態に係る表示駆動動作の第2の例は、具体的には、まず、表示パネル210に配列された全ての表示画素PXを複数行ごとに予めグループ分けする。例えば、図18に示すように、表示パネル210を構成する12行の表示画素PXを、相互に隣接する1～4行目、5～8行目、9～12行目のように、4行分の表示画素PXを一組としてグループ分けする。

**【0201】**

そして、1フレーム期間 $T_{fr}$ 内に、表示パネル210の各行ごとの表示画素PX（発光駆動回路DC）に対して、上記プリチャージ動作及び書込動作をタイミングをずらして順次実行する。次いで、上記各グループにおいて、当該グループに含まれる全ての行の表示画素PXへの書込動作が終了したグループについて、発光動作が実行される。

**【0202】**

例えば、1～4行目の表示画素PXを一組とするグループにおいては、1行目の表示画素PXから順に、上記プリチャージ動作及び書込動作が実行され、4行目の表示画素PXについて書込動作が終了したタイミングで、各表示画素PXに書き込まれた表示データ（階調信号）に基づいて、当該グループの4行分の表示画素PXが一斉に発光動作する。この発光動作は、1行目の表示画素PXに対して、次のプリチャージ動作及び書込動作が開始されるタイミングまで継続される。

**【0203】**

また、上記4行目の表示画素PXについて書込動作が終了したタイミングで、5～8行目の表示画素PXを一組とするグループにおいて、5行目の表示画素PXから順に、上記プリチャージ動作及び書込動作が実行される。以下、同様の動作が次のグループの12行目の表示画素PXについて書込動作が終了するまで繰り返し実行される。

**【0204】**

このように、プリチャージ動作及び書込動作を各行ごとに所定のタイミングで順次実行し、予め設定された各グループについて、当該グループに含まれる全ての行の表示画素PXに書込動作が終了した時点で、当該グループの全ての表示画素PXを一斉に発光動作させるように駆動制御される。したがって、第2の例に係る表示駆動動作においては、同一グループの他の行の表示画素PXに対して、プリチャージ動作及び書込動作が実行されている期間中は、当該グループ内の全ての表示画素が無発光動作して無発光表示状態（黒表示状態）に設定されるように制御される。

**【0205】**

このような表示駆動動作は、例えば、図7、図12に示したように、プリチャージ動作及び書込動作の際に、電源ドライバ230により当該行の供給電圧ラインVLに対して印加されていた低電位の供給電圧 $V_{sc}$ （ $=V_s$ ）を、同一グループに含まれる行の表示画素PXに対するプリチャージ動作及び書込動作が実行されている期間中、継続して印加し、当該グループに含まれる全ての行に対するプリチャージ動作及び書込動作が終了した後に、当該グループの全ての行の供給電圧ラインVLに対して高電位の供給電圧 $V_{sc}$ （ $=V_e$ ）を印加するように制御することにより実現することができる。

**【0206】**

また、同様の駆動制御は、各グループごとに単一の供給電圧 $V_{sc}$ が同時に印加されるように、例えば、図19に示すように、単一の供給電圧ラインVLを分岐させて、1～4行目（又は、5～8行目、9～12行目）の表示画素PXに共有して接続された構成を適用し、電源ドライバ230から印加される単一の供給電圧 $V_{sc}$ が同一グループに含まれる全ての行の表示画素PXに印加されるようにすることによっても実現することができる。なお、本実施形態においても、図16に示した場合と同様に、表示パネル210の各行ごとに個別の選択ラインSLが配設され、選択ドライバ220から個別の選択信号Sselが異なるタイミングで印加される。

**【0207】**

したがって、このような表示装置の駆動制御方法（表示駆動動作）によれば、上述した

第1の例に係る駆動制御方法と同様の作用効果を得ることができるとともに、同一グループ内の各行の表示画素にプリチャージ動作及び書込動作を実行する期間中、表示画素（発光素子）の発光動作が行われず、無発光動作（黒表示動作）が行われるので、複数の画像情報（静止画像）の連続的な表示による動画の表示動作に際して、当該動画のちらつきを抑制し、鮮明さを向上させることができる。

**【0208】**

ここで、図18に示したタイミングチャートにおいては、表示パネル210を構成する12行の表示画素PXを、3組にグループ分けして、各グループごとに異なるタイミングで一斉に発光動作を実行するように制御されるので、1フレーム期間Tfrにおける上記無発光動作による黒表示期間の比率（黒挿入率）は概ね33%となる。ここで、人間の視覚において、動画をちらつきがなく鮮明に視認するためには、一般に、概ね30%以上の黒挿入率を有していることが目安になるので、本駆動制御方法によれば、良好な表示画質を有する表示装置を実現することができる。

**【0209】**

次に、本実施形態に係る表示装置に適用可能な駆動制御方法の第3の例について、図面を参照して説明する。

図20は、本実施形態に係る表示装置の駆動制御方法の第3の例を模式的に示したタイミングチャートである。ここで、上述した第2の例（図18参照）と同等の駆動制御方法については、その説明を簡略化する。

**【0210】**

本実施形態に係る表示装置200の駆動制御動作の第3の例は、図20に示すように、上述した第2の例と同様に、表示駆動動作に先立って、表示パネル210に配列された全ての表示画素PXについて、しきい値電圧検出動作を各行ごとに所定のタイミングで順次実行した後、1フレーム期間Tfr（約16.7msec）内に、表示パネル210に配列され、相互に隣接しない複数行の表示画素PXを一組とした各グループにおいて、特定のグループに含まれる各行ごとの表示画素PXに対して、上記プリチャージ動作及び書込動作をタイミングをずらして順次実行する表示駆動動作を、各グループについて順次実行する。

**【0211】**

ここで、本実施形態に係る表示駆動動作においては、具体的には、表示パネル210に配列された全ての表示画素PXを、例えば、図20に示すように、表示パネル210を構成する12行の表示画素PXを、1、4、7、10行目、2、5、8、11行目、3、6、9、12行目のように、各々4行分の表示画素PXを一組として3グループに分ける。

**【0212】**

例えば、1、4、7、10行目の表示画素PXを一組とするグループにおいて、1行目の表示画素PXから順に、上記プリチャージ動作及び書込動作が実行され、10行目の表示画素PXについて書込動作が終了したタイミングで、各表示画素PXに書き込まれた表示データ（階調信号）に基づいて、当該グループの4行分の表示画素PXが一斉に発光動作する。この発光動作は、1行目の表示画素PXに対して、次のプリチャージ動作及び書込動作が開始されるタイミングまで継続される。

**【0213】**

また、上記10行目の表示画素PXについて書込動作が終了したタイミングで、2、5、8、11行目の表示画素PXを一組とするグループにおいて、2行目の表示画素PXから順に、上記プリチャージ動作及び書込動作が実行される。以下、同様の動作が次のグループの12行目の表示画素PXについて書込動作が終了するまで繰り返し実行される。

**【0214】**

このように、各グループの各行ごとに、プリチャージ動作及び書込動作を所定のタイミングで順次実行し、当該グループに含まれる全ての行の表示画素PXに書込動作が終了した時点で、当該グループの全ての表示画素PXを一斉に発光動作させるように駆動制御される。したがって、第3の例に係る表示駆動動作においても、上述した第2の例と同様に、同一グループの他の行の表示画素PXに対して、プリチャージ動作及び書込動作が実行

されている期間中は、当該グループ内の全ての表示画素が無発光表示動作（黒表示動作）するように制御される。

#### 【0215】

また、このような表示駆動動作は、上述した第2の例と同様に、例えば、同一グループの他の行の表示画素PXに対して、プリチャージ動作及び書込動作が実行されている期間中、電源ドライバ230から当該グループの各行の供給電圧ラインVLに印加される供給電圧Vscを低電位(Vs)の状態に保持し、同一グループの全ての行の表示画素PXに対するプリチャージ動作及び書込動作が終了した後、当該グループに含まれる全ての行の供給電圧ラインVLに高電位の供給電圧Vsc(=Ve)を印加するように制御することにより実現することができる。なお、上述した第2の例(図19参照)と同様に、各グループに含まれる全ての行の表示画素PXに対して、単一の供給電圧Vscが印加されるように、供給電圧ラインVLを分岐して配設するようにした構成を適用するものであってもよい。

#### 【0216】

したがって、このような表示装置の駆動制御方法(表示駆動動作)によれば、上述した第2の例に係る駆動制御方法と同様に、表示パネル210を構成する12行の表示画素PXを、複数組にグループ分けして、各グループごとに異なるタイミングで一斉に発光動作を実行するように制御されるので、1フレーム期間Tfr中に所定の期間、無発光動作(黒表示動作)が実行される。特に、本駆動制御方法においては、当該無発光動作による黒表示期間の比率(黒挿入率)を概ね33%に設定することができるので、動画像のちらつきを抑制して鮮明さを向上させた表示装置を実現することができる。

#### 【0217】

なお、上述した第2、第3の例に係る駆動制御方法においては、表示パネル210を構成する表示画素PXを、3組にグループ分けした場合について説明したが、本発明はこれに限定されるものではなく、例えば、上記グループ数を適宜増減させて設定したものであってもよいことはいうまでもない。

#### 【0218】

以下に、上述した第2、第3の例に係る駆動制御方法の変形例を示す。

図21は、本実施形態に係る表示装置の駆動制御方法の第2の例の変形例(その1)を模式的に示したタイミングチャートであり、図22は、本実施形態に係る表示装置の駆動制御方法の第3の例の変形例(その1)を模式的に示したタイミングチャートである。また、図23は、本実施形態に係る表示装置の駆動制御方法の第2の例の変形例(その2)を模式的に示したタイミングチャートであり、図24は、本実施形態に係る表示装置の駆動制御方法の第3の例の変形例(その2)を模式的に示したタイミングチャートである。

#### 【0219】

上述した第2及び第3の例に係る表示装置の駆動制御方法の変形例(その1)においては、例えば、図21、図22に示すように、表示パネル210を構成する表示画素PXを、4組にグループ分けして(図21では1~3行目、4~6行目、7~9行目、10~12行目の4グループ、図22では1、5、9行目、2、6、10行目、3、7、11行目、4、8、12行目の4グループ)、各グループごとに異なるタイミングで一斉に発光動作を実行するように制御する。この場合、1フレーム期間Tfrにおける上記無発光動作による黒表示期間の比率(黒挿入率)は25%となり、上述したような動画像のちらつきが視認されない目安である30%をやや下回るものの、比較的良好な表示画質を有する表示装置を実現することができる。

#### 【0220】

また、上述した第2及び第3の例に係る表示装置の駆動制御方法の変形例(その2)においては、例えば、図23、図24に示すように、表示パネル210を構成する表示画素PXを、2組にグループ分けして(図23では1~6行目、7~12行目の2グループ、図24では奇数行目、偶数行目の2グループ)、各グループごとに異なるタイミングで一斉に発光動作を実行するように制御する。この場合、1フレーム期間Tfrにおける上記無発光動作による黒表示期間の比率(黒挿入率)は50%となり、上述したような動画像の

出証特 2005-3101382

ちらつきが視認されない目安である30%を上回るものの、発光動作期間が1フレーム期間Tfrの半分に過ぎなくなるため、画像情報を十分な発光輝度で表示することができなくなる。そこで、各表示画素の発光輝度を適宜増大させることにより、画像情報を十分な輝度で、かつ、良好な表示画質で表示することができる。

#### 【0221】

次に、本実施形態に係る表示装置に適用可能な駆動制御方法の第4の例について、図面を参照して説明する。

図25は、本実施形態に係る表示装置の駆動制御方法の第4の例を模式的に示したタイミングチャートである。ここで、上述した第1～第3の例（図17～図24参照）と同等の駆動制御方法については、その説明を簡略化する。また、図26は、本実施形態に係る表示装置の駆動制御方法の第4の例を実現するための表示装置の一例を示す要部構成図である。ここで、上述した実施形態に示した表示装置と同等の構成については、同等の符号を付して説明する。

#### 【0222】

本実施形態に係る表示装置200の駆動制御動作の第4の例は、図25に示すように、上述した第1～第3の例と同様に、表示駆動動作に先立って、表示パネル210に配列された全ての表示画素PXについて、しきい値電圧検出動作を各行ごとに所定のタイミングで順次実行した後、1フレーム期間Tfr（約16.7msec）の前半（1フレーム期間Tfrの1/2の期間）で、表示パネル210に配列された各行ごとの表示画素PXに対して、上記プリチャージ動作及び書込動作をタイミングをずらして順次実行し、1フレーム期間Tfrの後半（1フレーム期間Tfrの1/2の期間）で、表示パネル210に配列された全ての行の表示画素PXを、表示データに応じた輝度階調で一斉に発光動作させる表示駆動動作を実行する。

#### 【0223】

このように、全ての行の表示画素PXに書込動作が終了した時点で、全ての表示画素PXを一斉に発光動作させるように駆動制御することにより、プリチャージ動作及び書込動作が実行されている期間中は、いずれの行の表示画素PXにおいても発光動作が行われず、全ての表示画素PXが無発光表示動作（黒表示動作）するように制御される。

#### 【0224】

このような表示駆動動作は、例えば、各行の表示画素PXに対して、プリチャージ動作及び書込動作が実行されている期間中、電源ドライバ230から全ての行の供給電圧ラインVLに印加される供給電圧Vscを低電位（Vs）の状態に保持し、全ての行の表示画素PXに対するプリチャージ動作及び書込動作が終了した後、全ての行の供給電圧ラインVLに高電位の供給電圧Vsc（=Ve）を印加するように制御することにより実現することができる。

#### 【0225】

同様の駆動制御は、全ての表示画素PXに対して単一の供給電圧Vscが同時に印加されるように、例えば、図26に示すように、単一の供給電圧ラインVLを全ての行に対応させて分岐し、表示パネル210に配列された全ての表示画素PXに共有して接続された構成を適用し、電源ドライバ230から印加される単一の供給電圧Vscが全ての行の表示画素PXに印加されるようにすることによっても実現することができる。この場合の電源ドライバ230の構成は、高電位の供給電圧Vsc（=Ve）と低電位の供給電圧Vsc（=Vs）を、例えば、システムコントローラ250から供給される電源制御信号に基づく所定のタイミングで選択的に出力する機能を有していればよいので、少なくとも図16に示したようなシフトレジスタ回路を備えていなくてもよい。なお、本実施形態においても、図16に示した場合と同様に、表示パネル210の各行ごとに個別の選択ラインSLが配設され、選択ドライバ220から個別の選択信号Sselが異なるタイミングで印加される。

#### 【0226】

したがって、このような表示装置の駆動制御方法（表示駆動動作）によれば、表示駆動期間（1フレーム期間Tfr）を、前半と後半に2分割して、前半で各行の表示画素に順次

プリチャージ動作及び書込動作が実行され、後半で全ての表示画素が一斉に発光動作を実行するように制御されるので、1フレーム期間 $T_{fr}$ における上記無発光動作による黒表示期間の比率（黒挿入率）は50%となり、上述したような動画像のちらつきが視認されない目安である30%を上回るものの、発光動作期間が1フレーム期間 $T_{fr}$ の半分に過ぎないため、画像情報を十分な発光輝度で表示することができず、また、各行におけるプリチャージ期間及び書込動作期間（特に、書込動作期間）が短縮されるため、表示データ（階調信号）を十分書き込む時間が確保されなくなる可能性があるが、各表示画素の発光輝度を適宜増大させ、さらに、階調電流の電流値を増加させることにより、画像情報を十分な輝度で、かつ、良好な表示画質で表示することができる。

【図面の簡単な説明】

【0227】

【図1】本発明に係る表示駆動装置、及び、該表示駆動装置により駆動制御される表示画素の一実施形態を示す要部構成図である。

【図2】本実施形態に係る表示駆動装置におけるしきい値電圧検出動作を示すタイミングチャートである。

【図3】本実施形態に係る表示駆動装置における電圧印加動作を示す概念図である。

【図4】本実施形態に係る表示駆動装置における電圧収束動作を示す概念図である。

【図5】本実施形態に係る表示駆動装置における電圧読取動作を示す概念図である。

【図6】 $n$ チャンネル型の薄膜トランジスタにおいて、ゲートソース間電圧を所定の条件に設定し、ドレインソース間電圧を変調した際のドレインソース間電流特性の一例を表した図である。

【図7】本実施形態に係る表示駆動装置における駆動制御方法（階調表示動作）を示すタイミングチャートである。

【図8】本実施形態に係る表示駆動装置におけるプリチャージ動作を示す概念図である。

【図9】本実施形態に係る表示駆動装置におけるデータ書込動作を示す概念図である。

【図10】本実施形態に係る表示駆動装置における発光動作を示す概念図である。

【図11】本実施形態に係る表示駆動装置の他の構成例を示す要部構成図である。

【図12】本実施形態に係る表示駆動装置における駆動制御方法（無発光表示動作）を示すタイミングチャートである。

【図13】本実施形態に係る表示駆動装置におけるデータ書込動作の他の例を示す概念図である。

【図14】本実施形態に係る表示駆動装置における無発光動作を示す概念図である。

【図15】本発明に係る表示装置の全体構成の一例を示す概略ブロック図である。

【図16】本実施形態に係る表示装置に適用される表示パネル及びその周辺回路（選択ドライバ、電源ドライバ）の一例を示す概略構成図である。

【図17】本実施形態に係る表示装置の駆動制御方法の第1の例を模式的に示したタイミングチャートである。

【図18】本実施形態に係る表示装置の駆動制御方法の第2の例を模式的に示したタイミングチャートである。

【図19】本実施形態に係る表示装置の駆動制御方法の第2の例を実現するための表示装置の一例を示す要部構成図である。

【図20】本実施形態に係る表示装置の駆動制御方法の第3の例を模式的に示したタイミングチャートである。

【図21】本実施形態に係る表示装置の駆動制御方法の第2の例の変形例（その1）を模式的に示したタイミングチャートである。

【図22】本実施形態に係る表示装置の駆動制御方法の第3の例の変形例（その1）を模式的に示したタイミングチャートである。

【図23】本実施形態に係る表示装置の駆動制御方法の第2の例の変形例（その2）

出証特 2005-3101382

を模式的に示したタイミングチャートである。

【図 24】本実施形態に係る表示装置の駆動制御方法の第 3 の例の変形例（その 2）を模式的に示したタイミングチャートである。

【図 25】本実施形態に係る表示装置の駆動制御方法の第 4 の例を模式的に示したタイミングチャートである。

【図 26】本実施形態に係る表示装置の駆動制御方法の第 4 の例を実現するための表示装置の一例を示す要部構成図である。

【図 27】従来技術における電圧制御アクティブマトリクス発光素子型ディスプレイの要部を示す概略構成図である。

【図 28】従来技術における発光素子型ディスプレイに適用可能な表示画素（発光駆動回路及び発光素子）の構成例を示す等価回路図である。

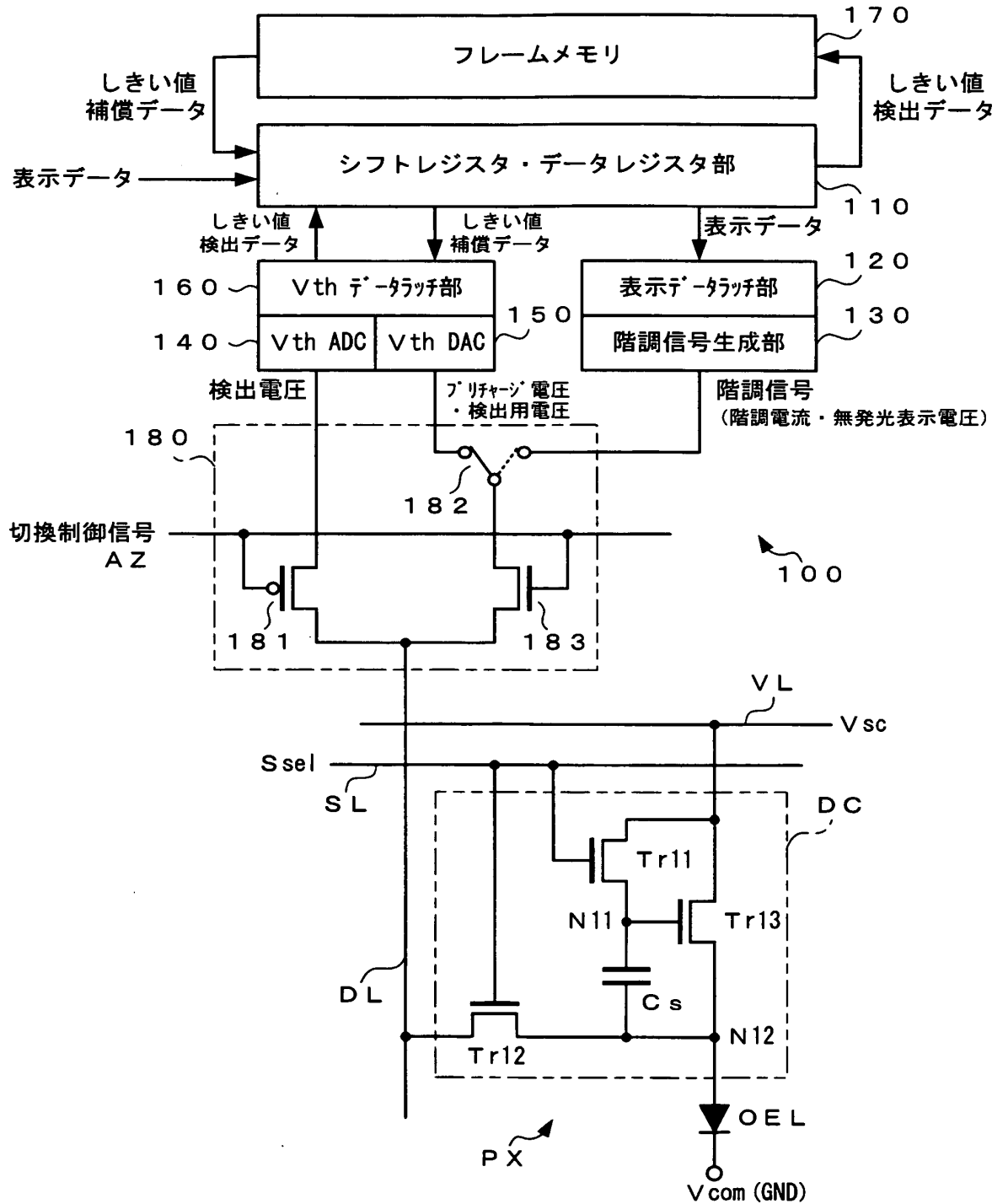
【符号の説明】

【0228】

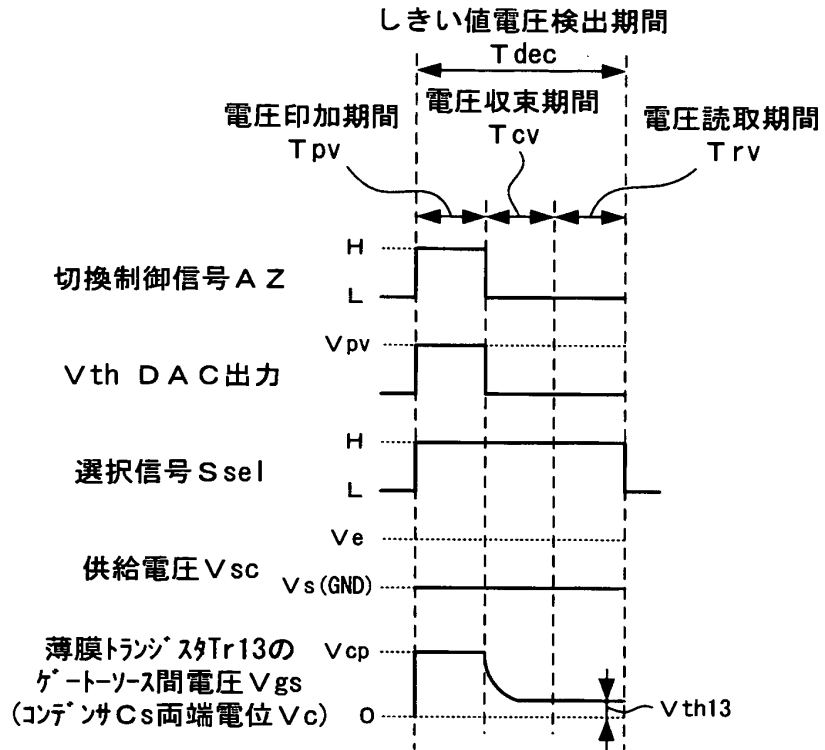
PX	表示画素
DC	発光駆動回路
SL	選択ライン
DL	データライン
VL	供給電圧ライン
Tr 11 ~ Tr 13	薄膜トランジスタ
Cs	コンデンサ
OEL	有機EL素子
100	表示駆動装置
110	シフトレジスタ・データレジスタ部
120	表示データラッチ部
130	階調信号生成部
140	検出電圧ADC
150	補償電圧DAC
160	しきい値データラッチ部
170	フレームメモリ
180	データライン入出力切換部
200	表示装置
210	表示パネル
220	選択ドライバ
230	電源ドライバ
240	データドライバ
250	システムコントローラ
260	表示信号生成回路



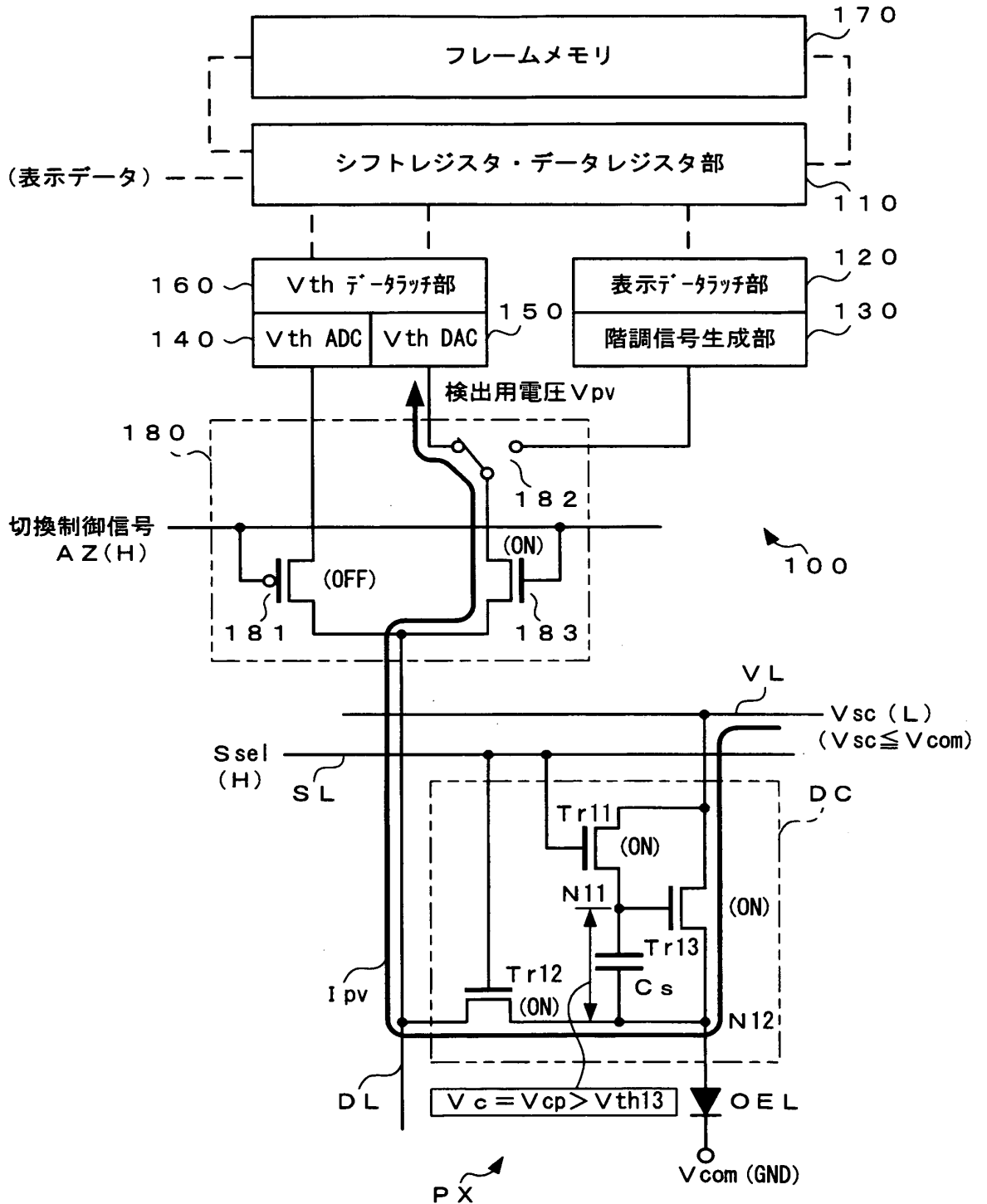
【書類名】 図面  
【図 1】



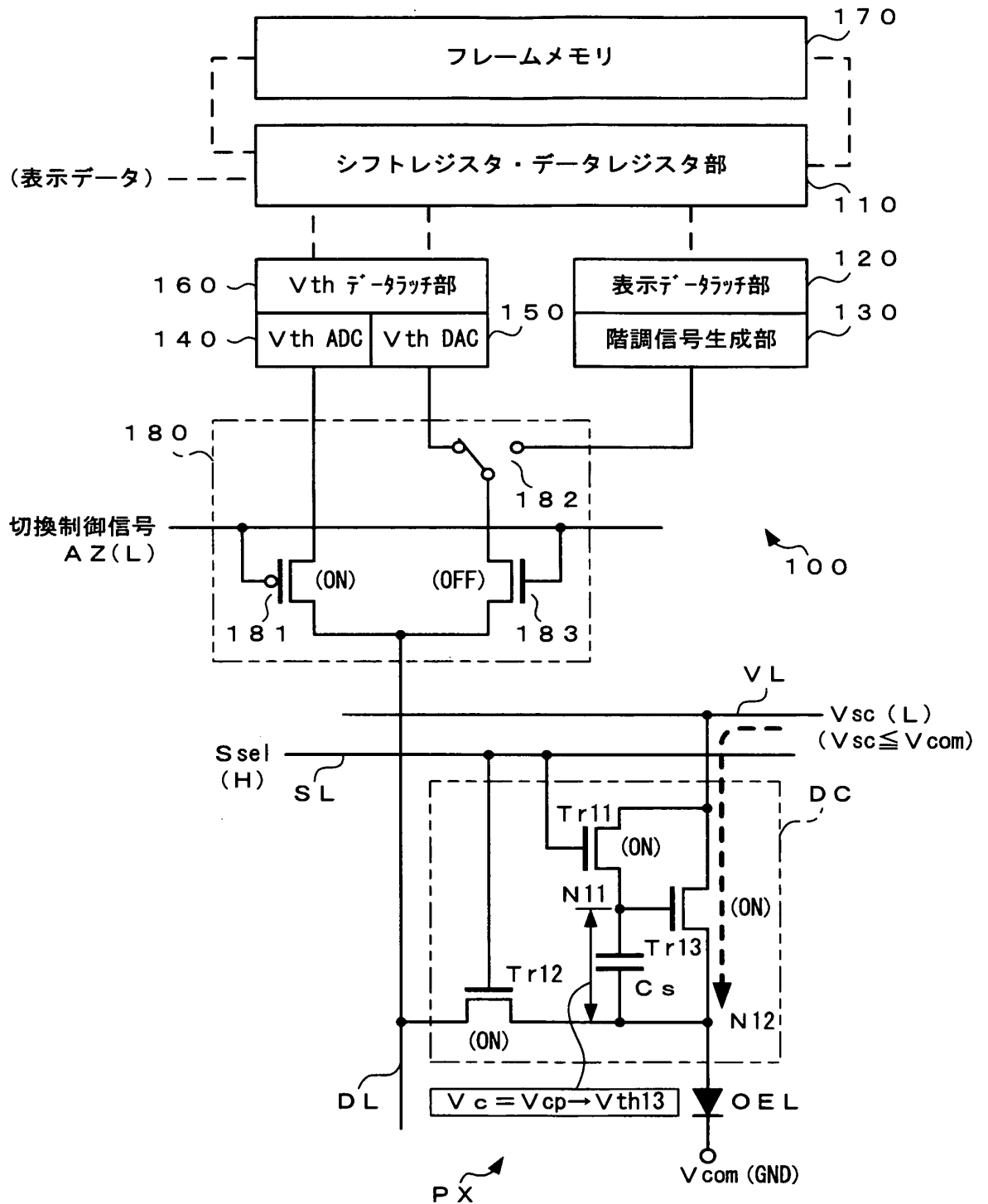
【図2】



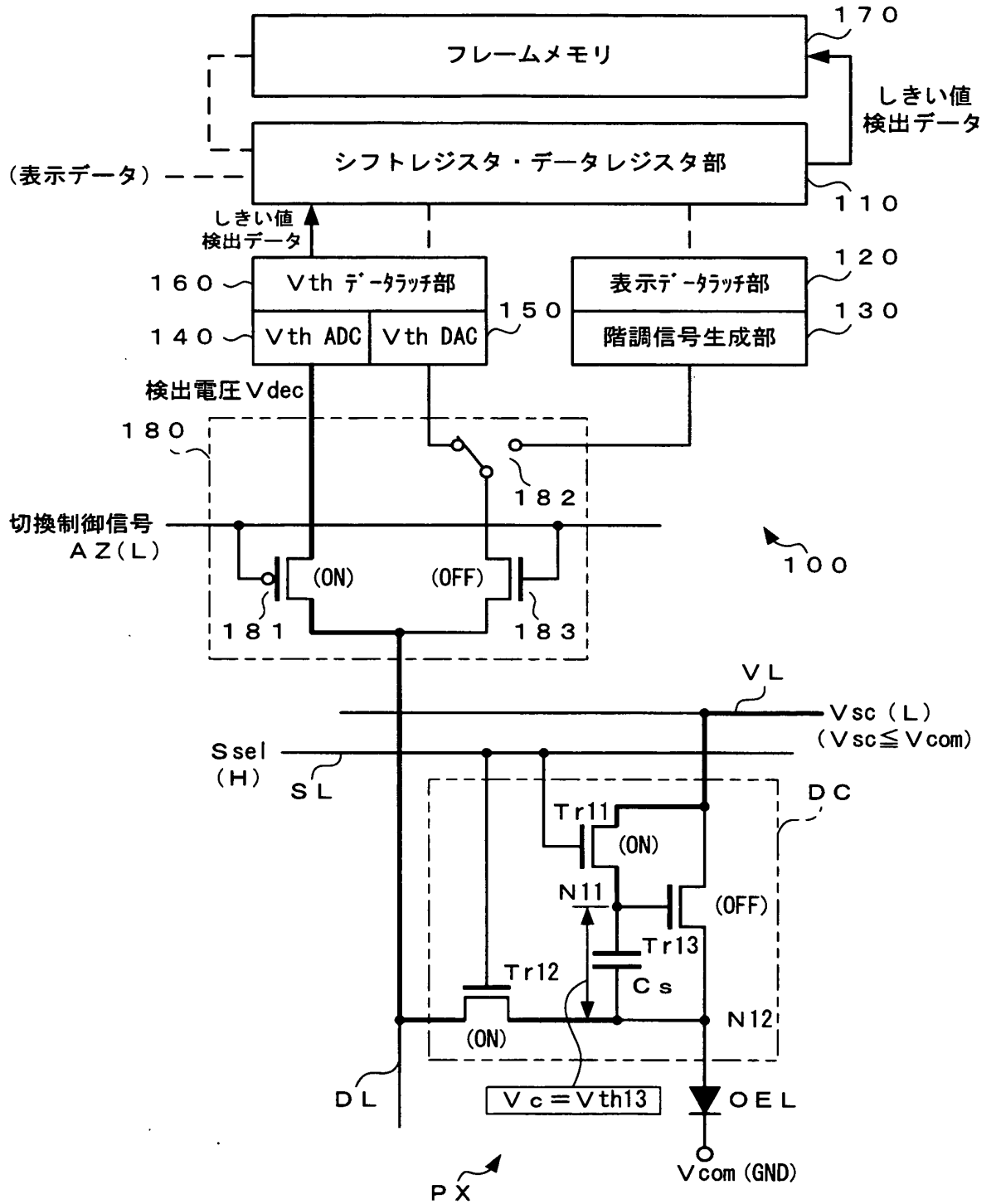
【図 3】



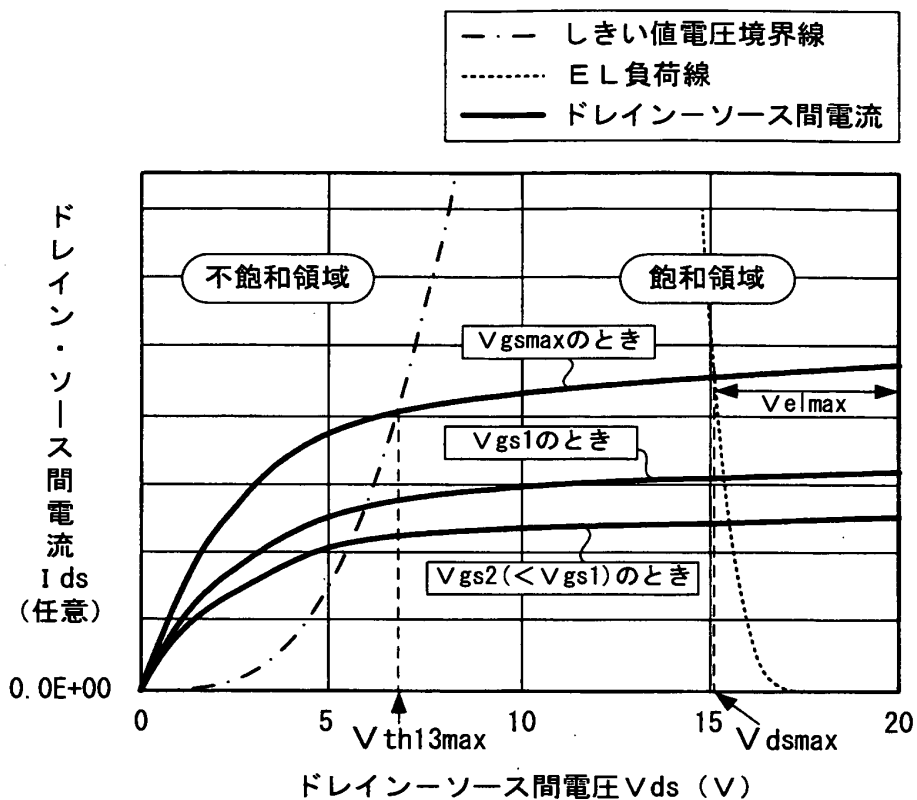
【図 4】



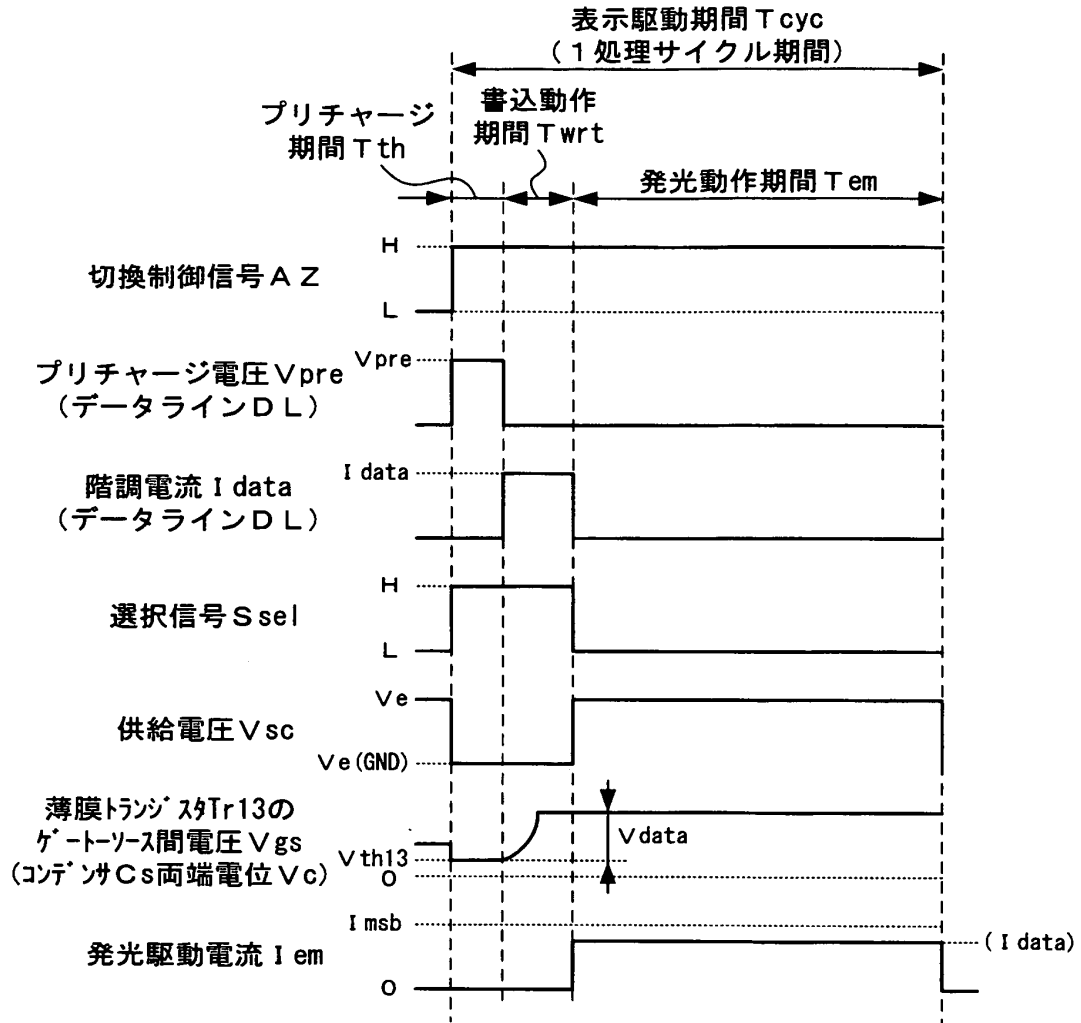
【図 5】



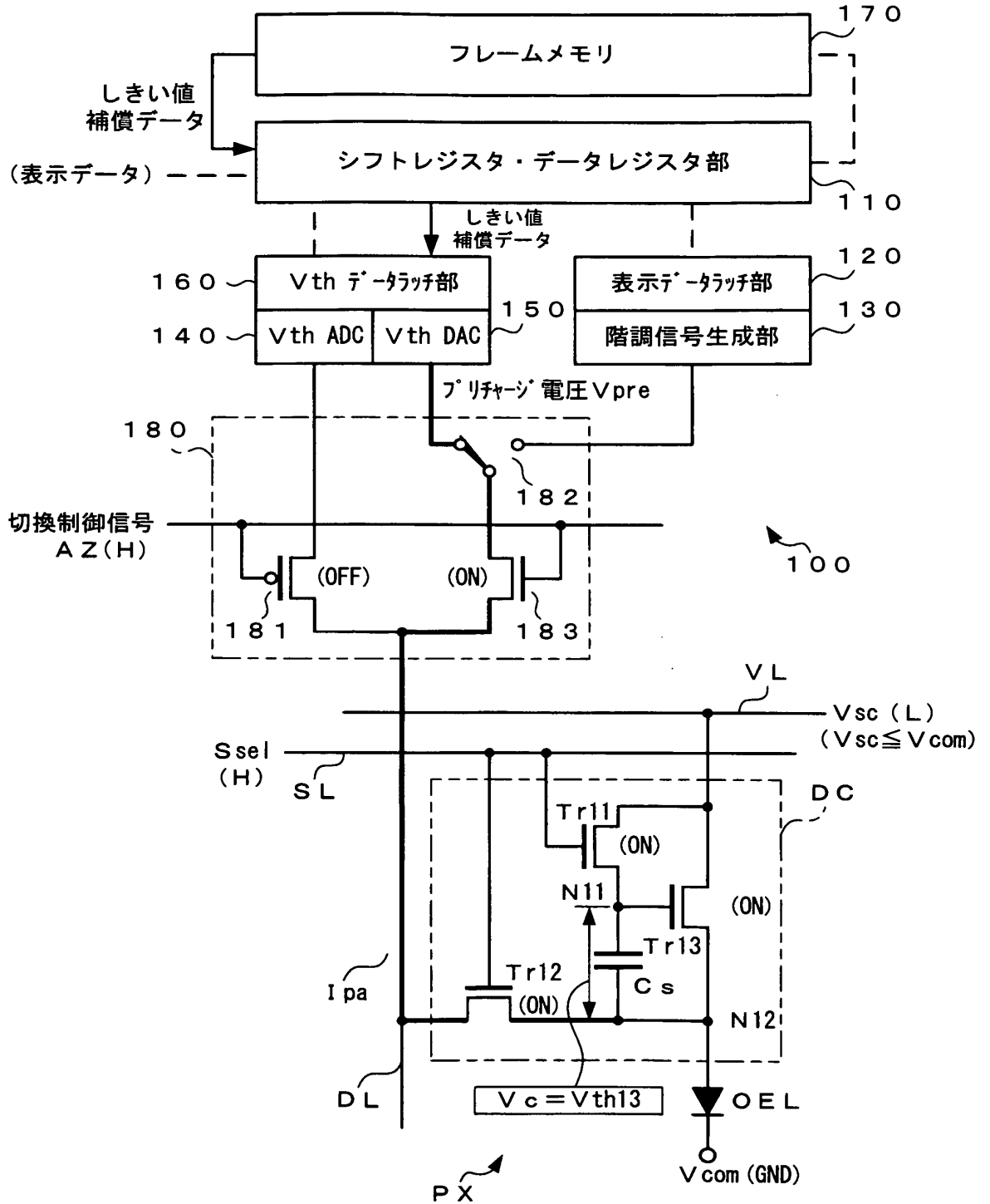
【図 6】



【図 7】

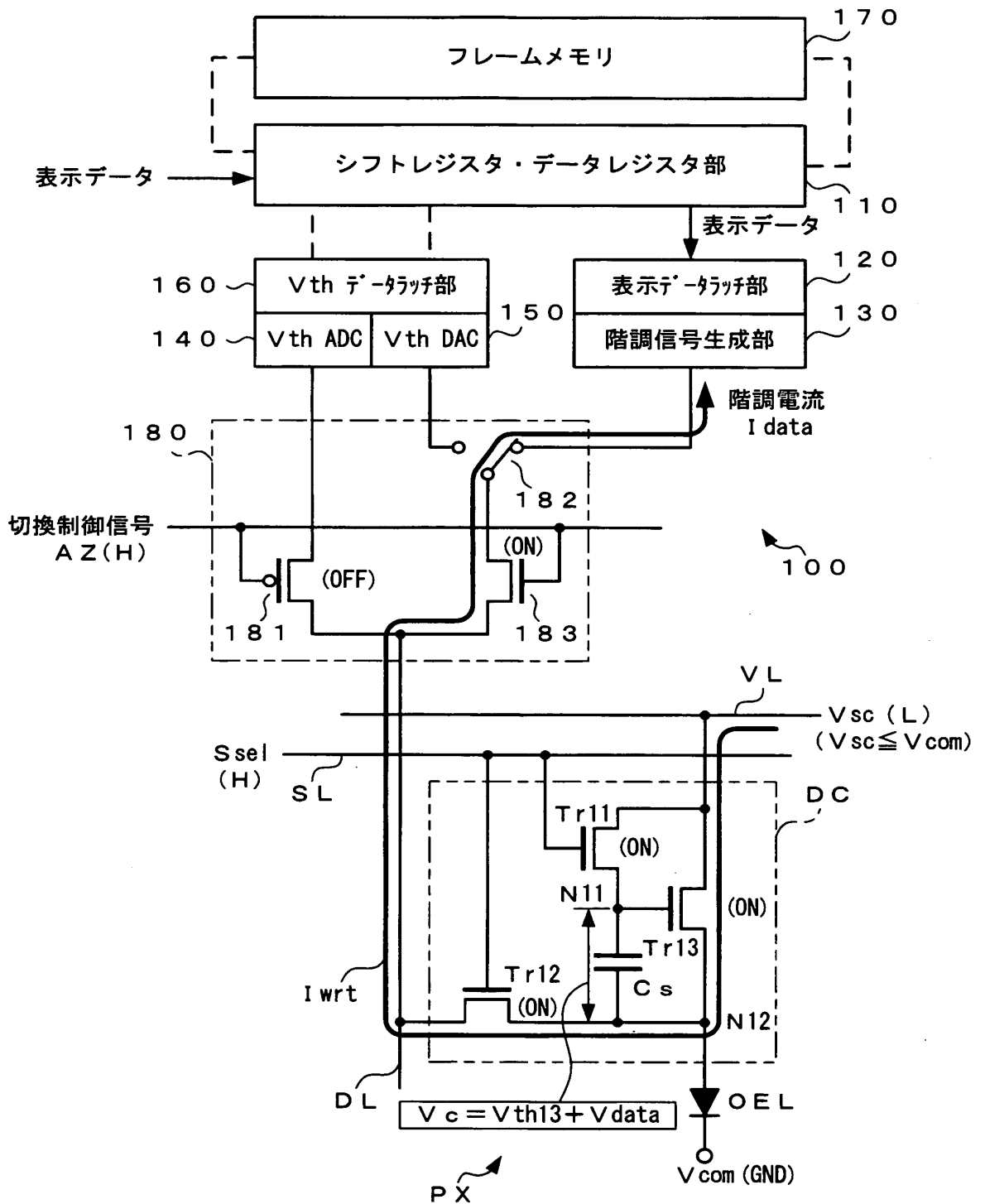


【図 8】

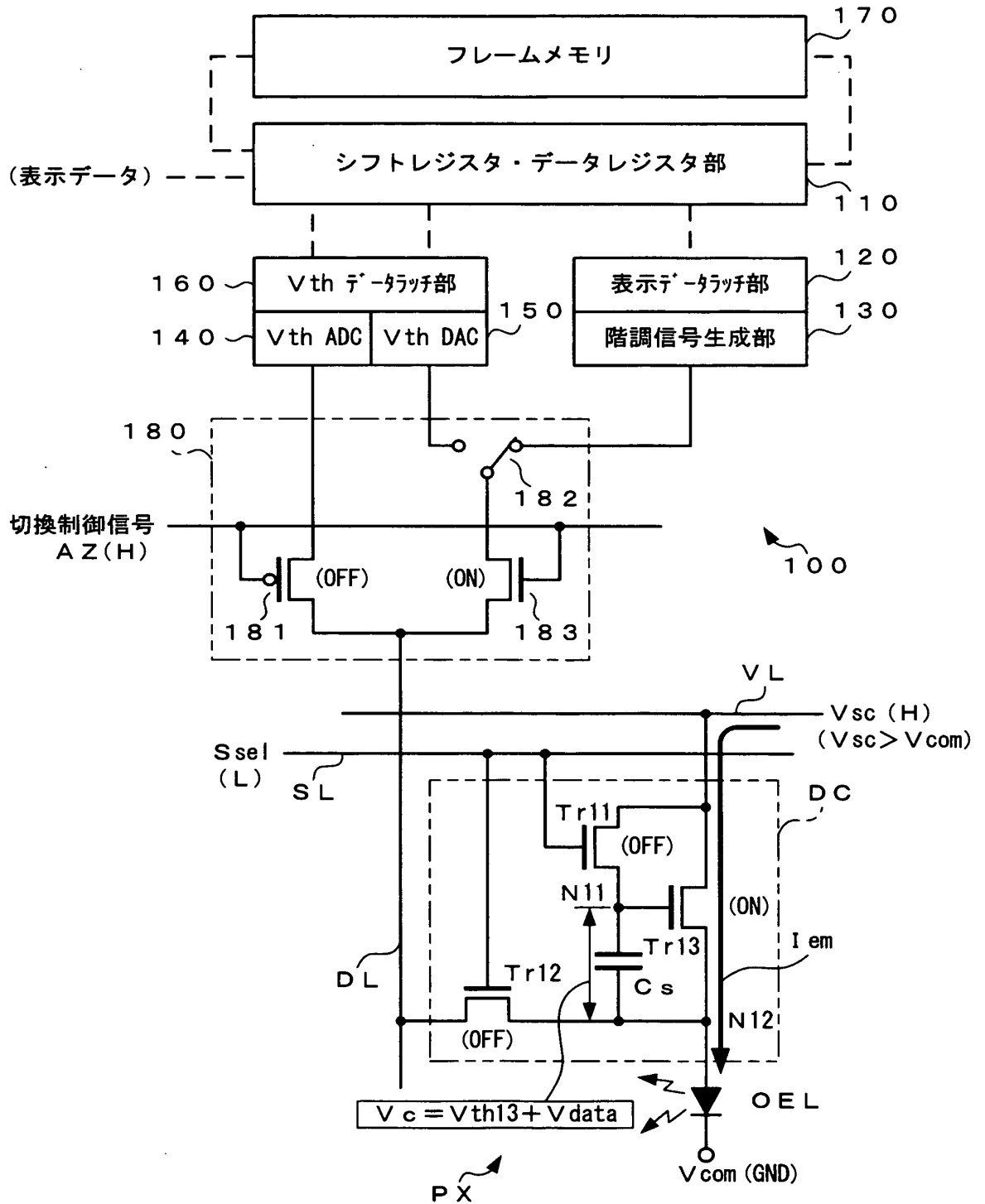




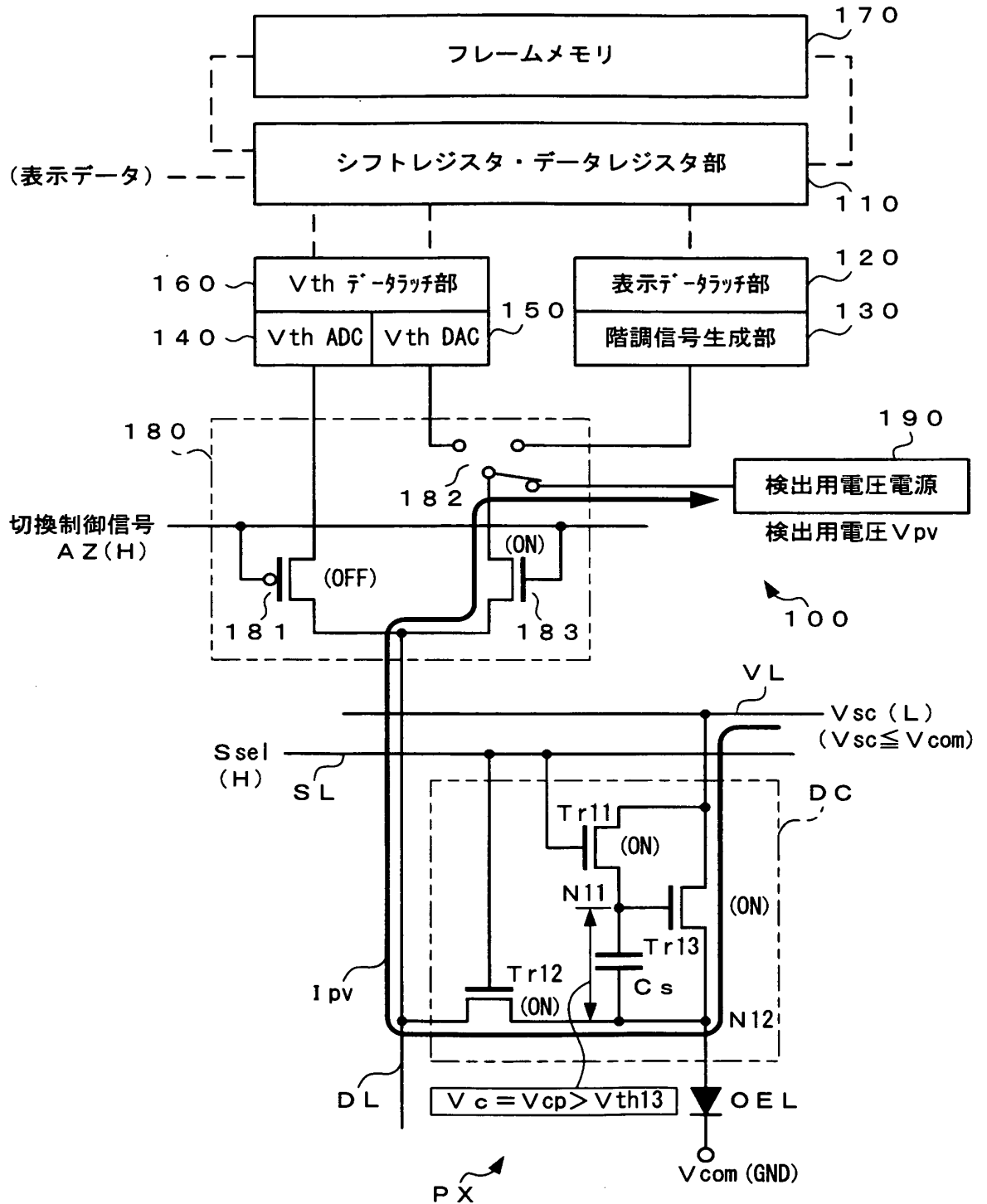
【図9】



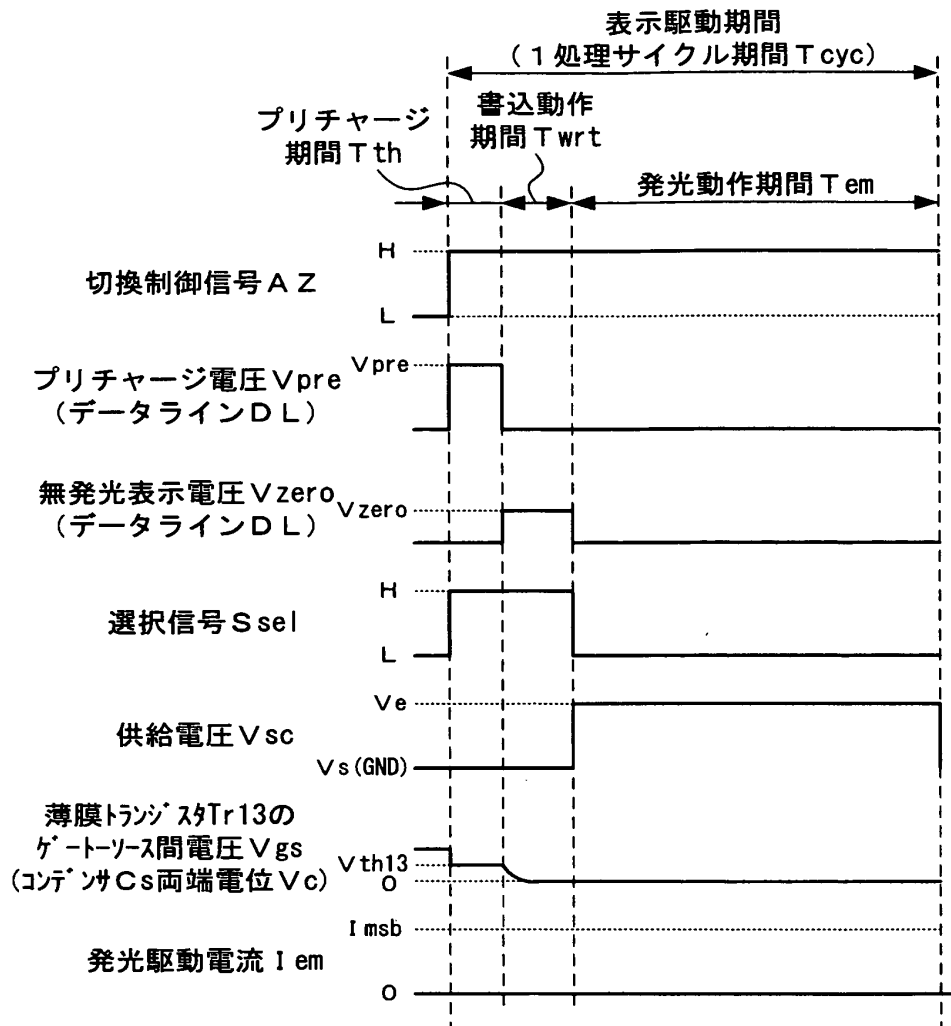
【図10】



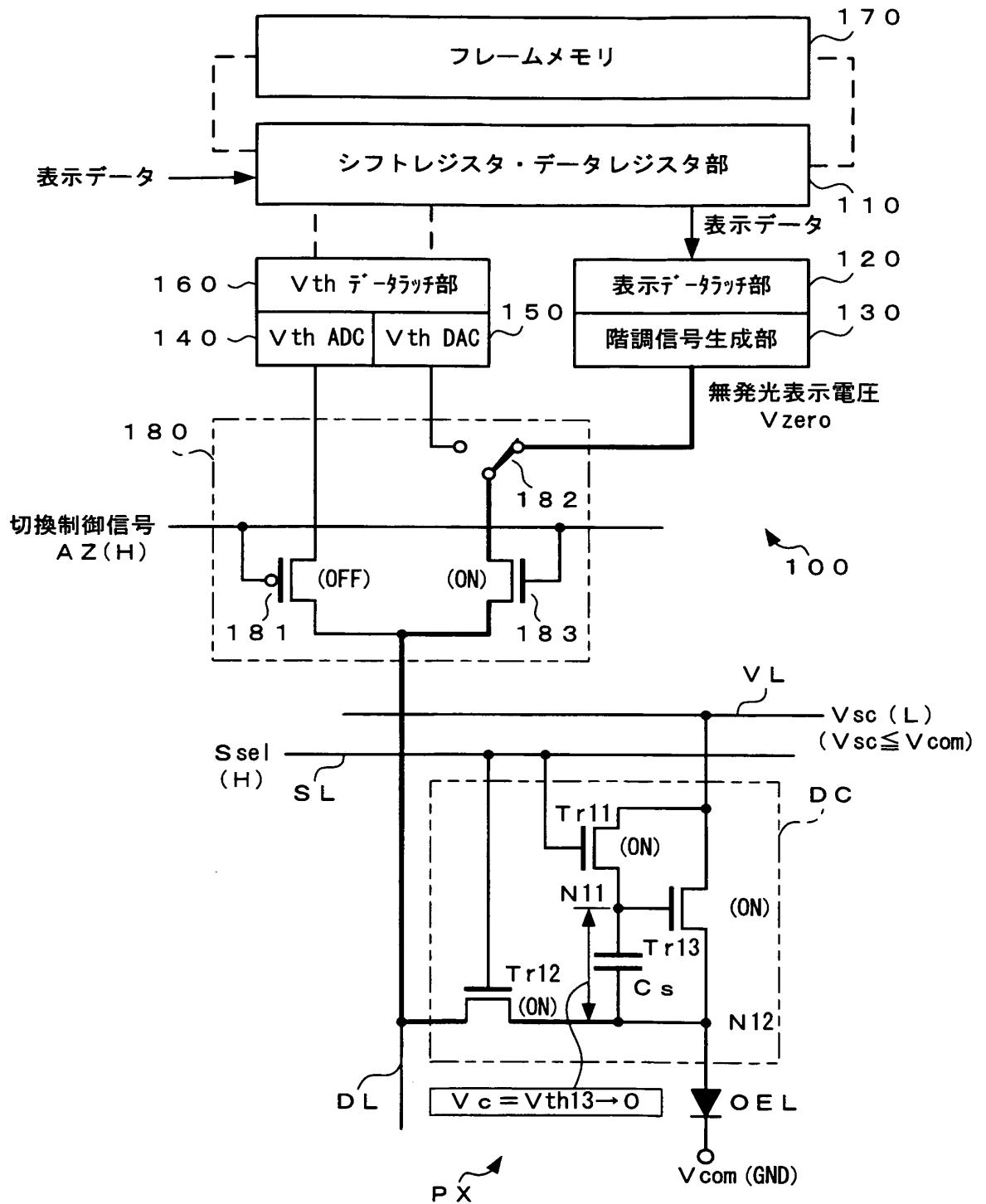
【図 11】



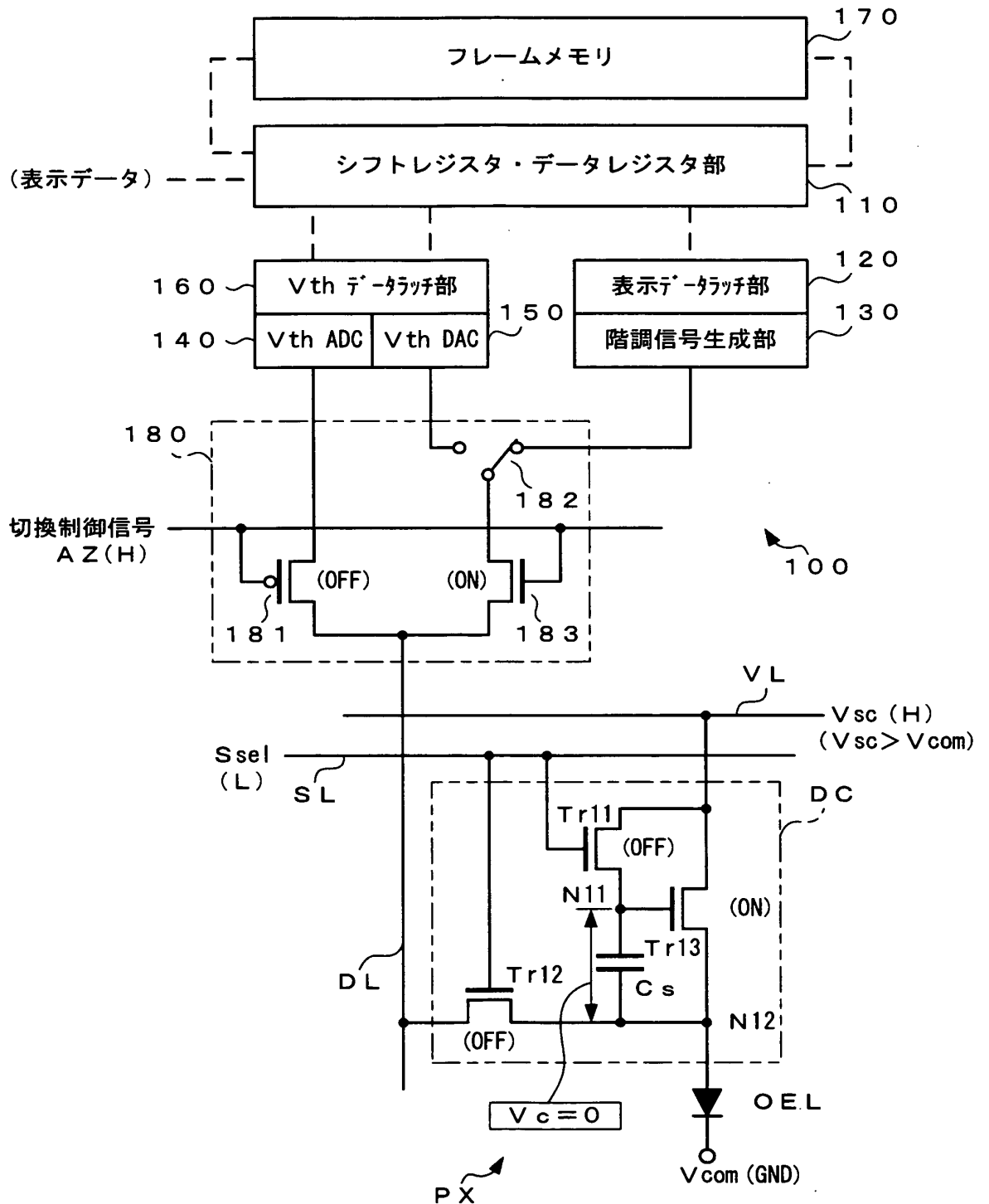
【図 12】



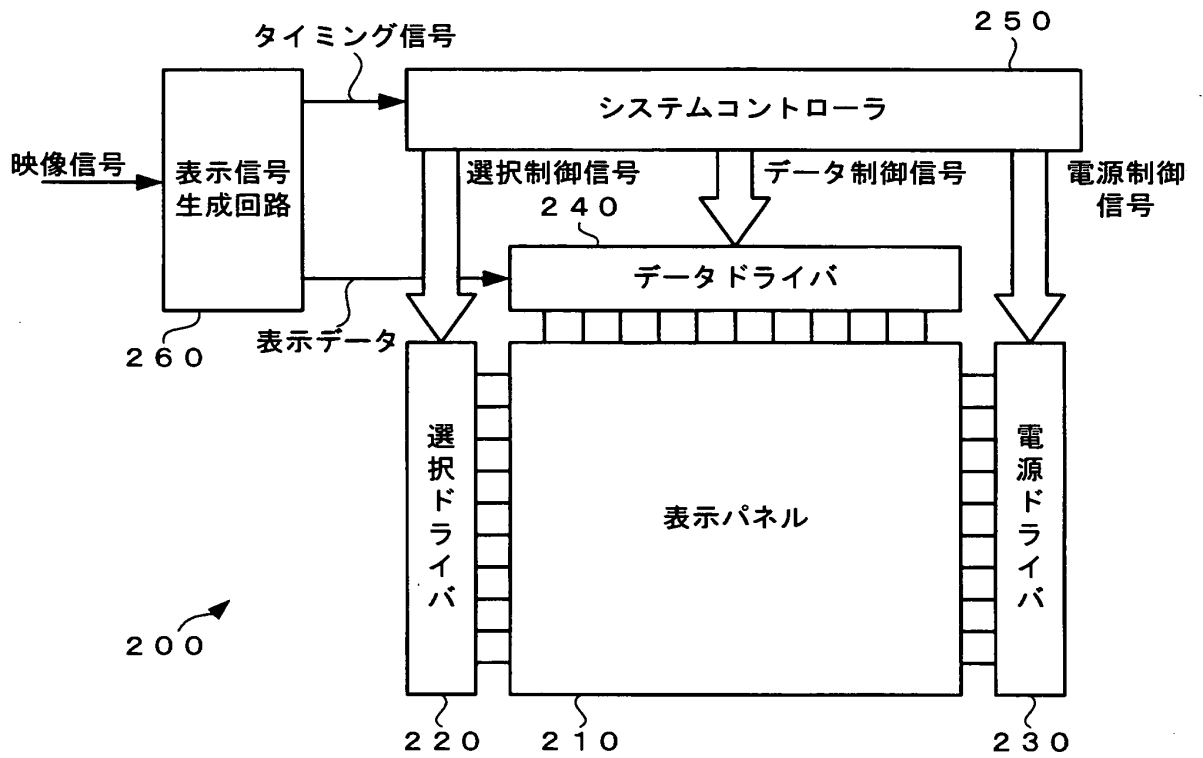
【図 13】



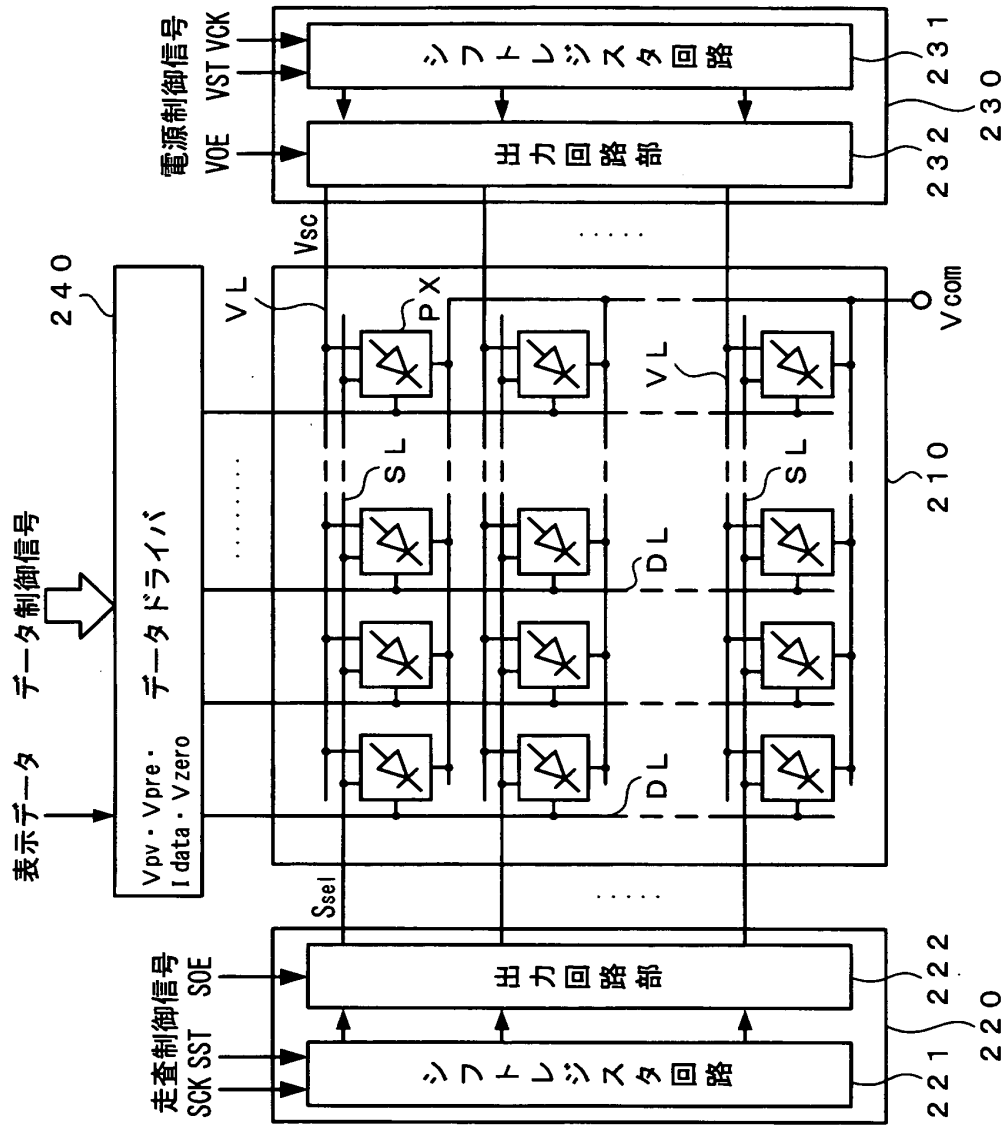
【図 14】



【図 15】

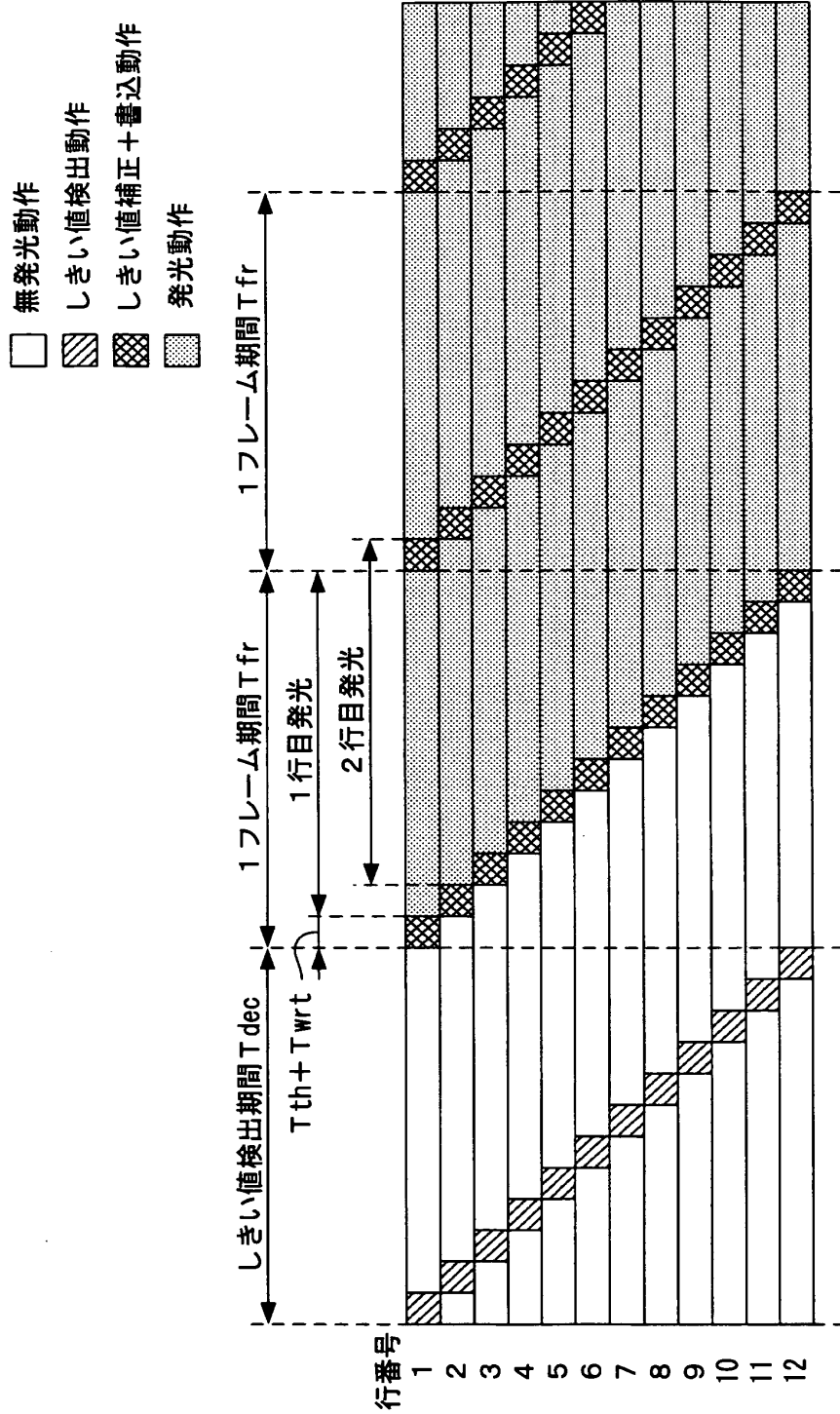


【図16】



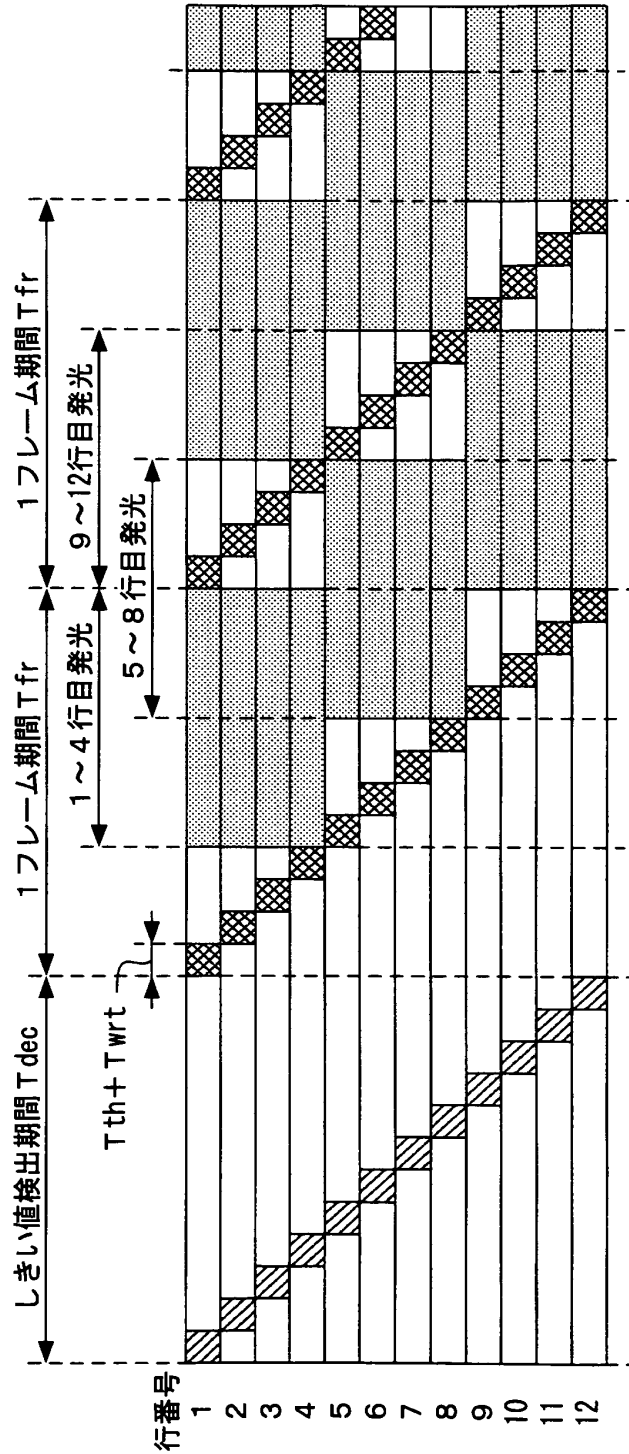


【図 17】

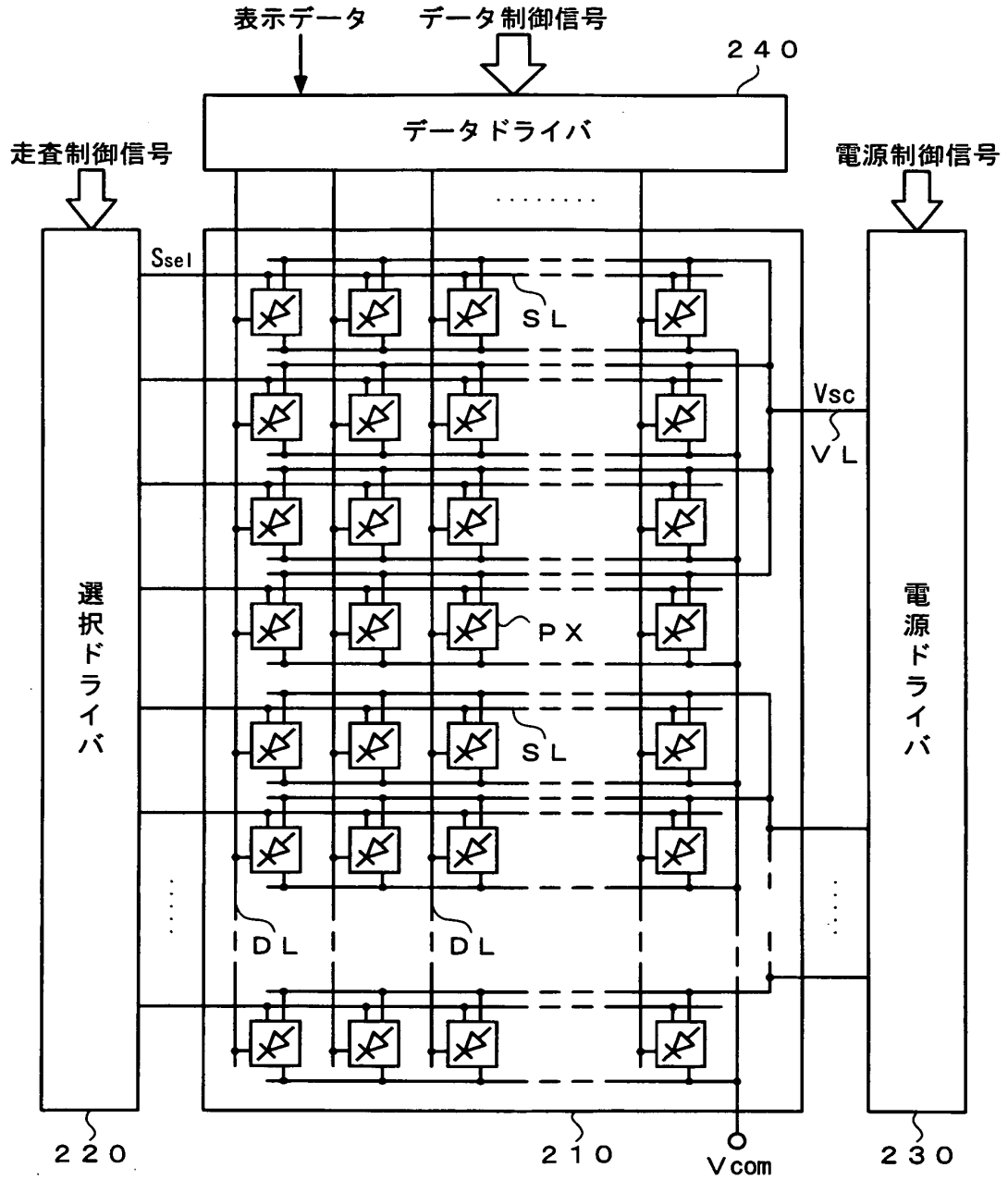


【図 18】

- 無発光動作
- ▨ しきい値検出動作
- ▩ しきい値補正+書込動作
- ▧ 発光動作

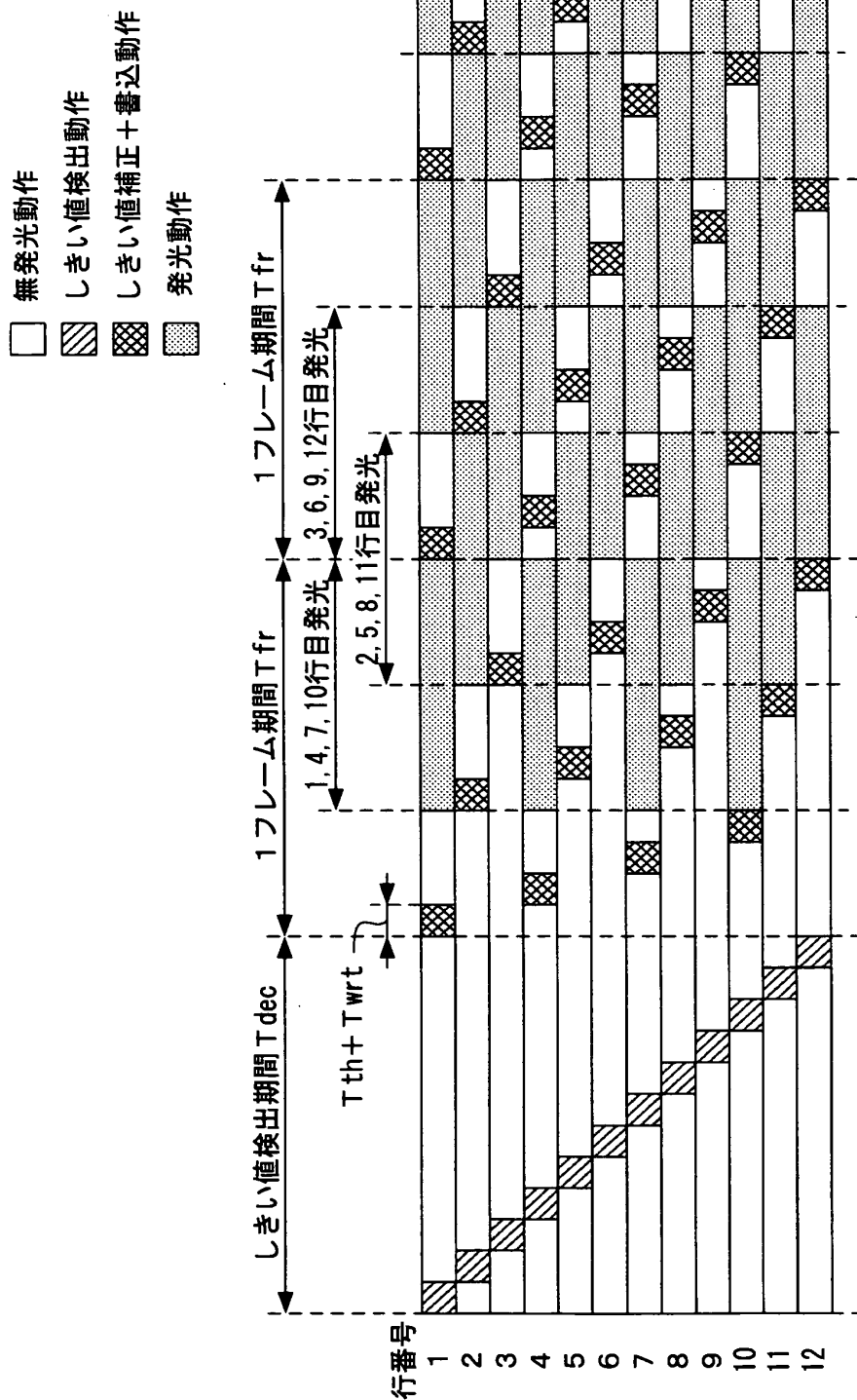


【図 19】

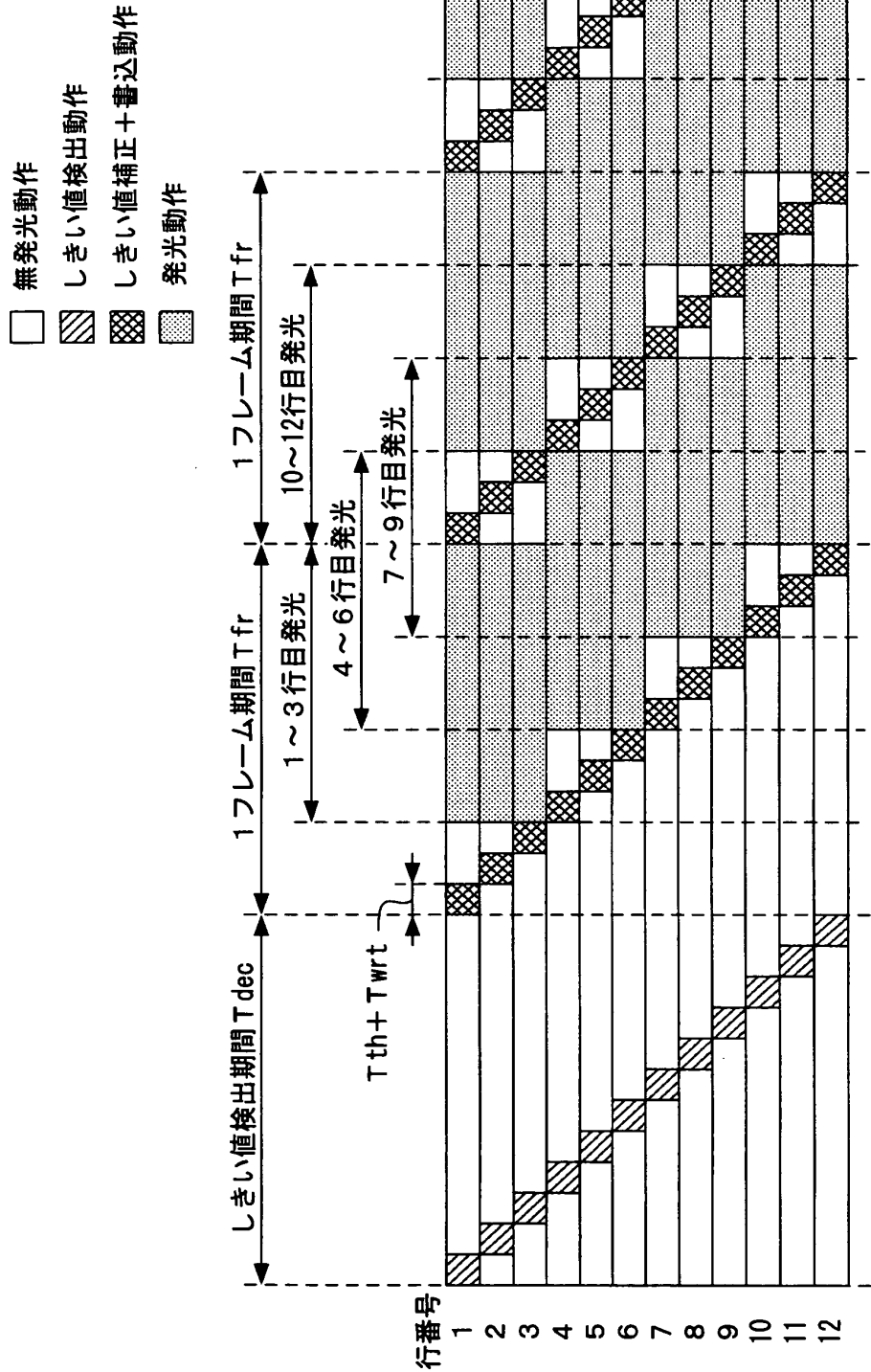


出証特 2005-3101382

【図 20】

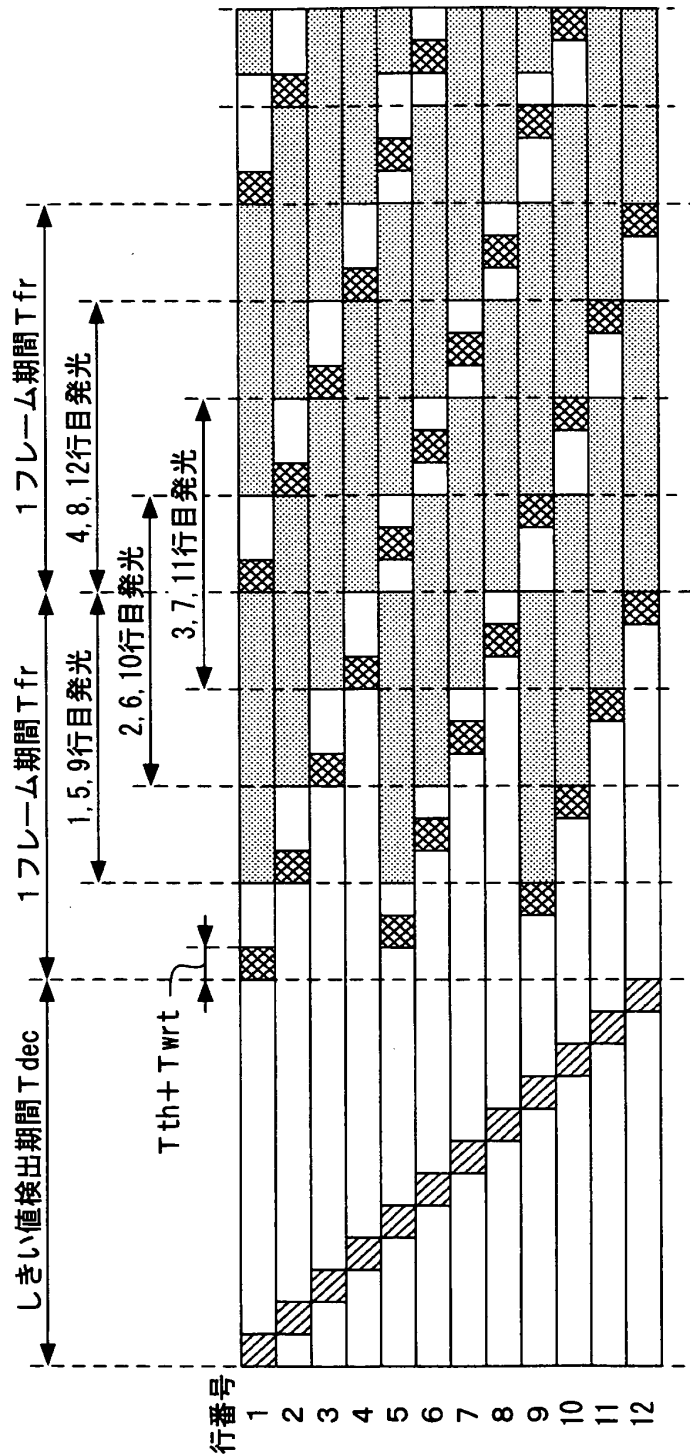


【図 21】

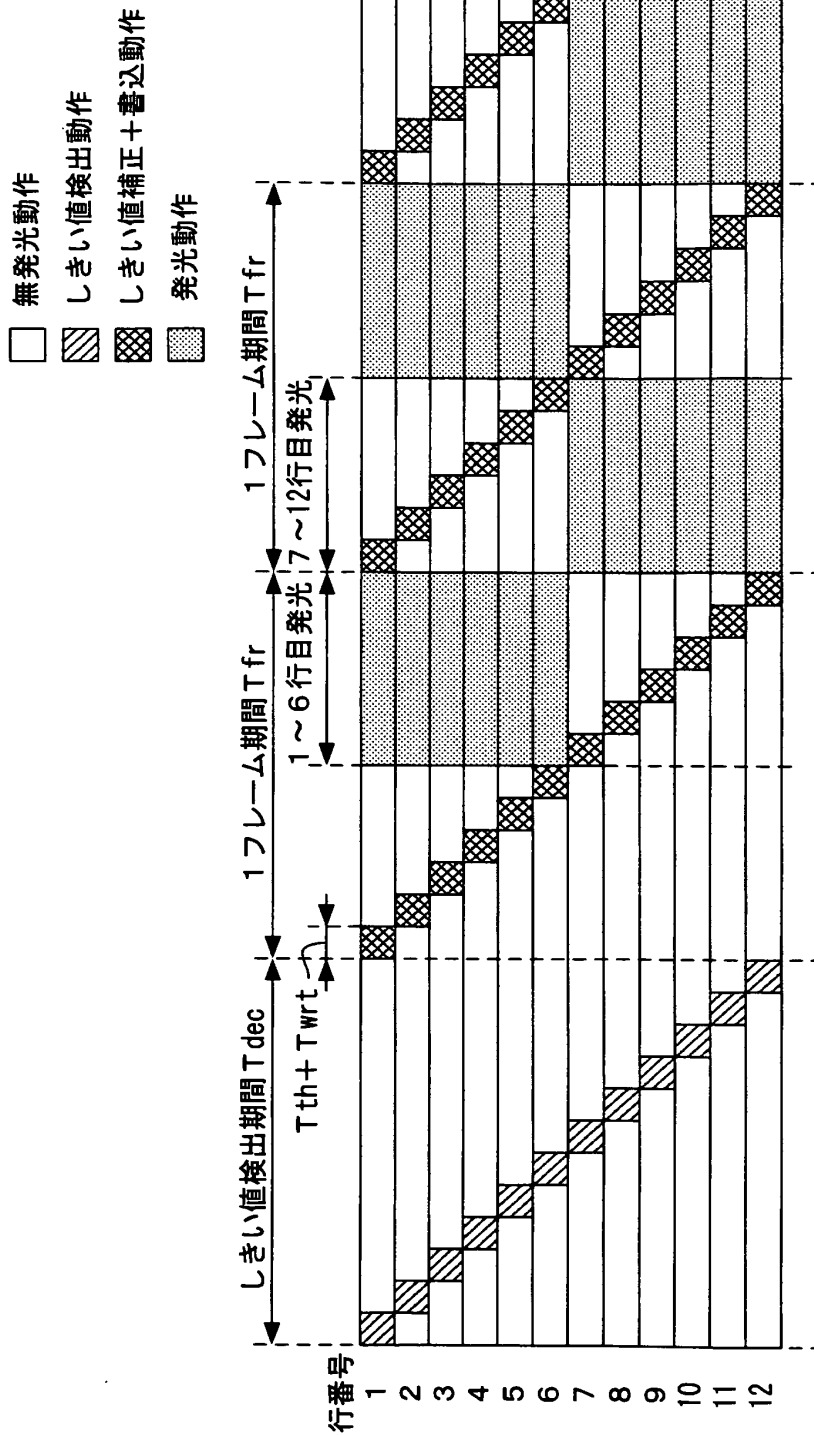


【図 22】

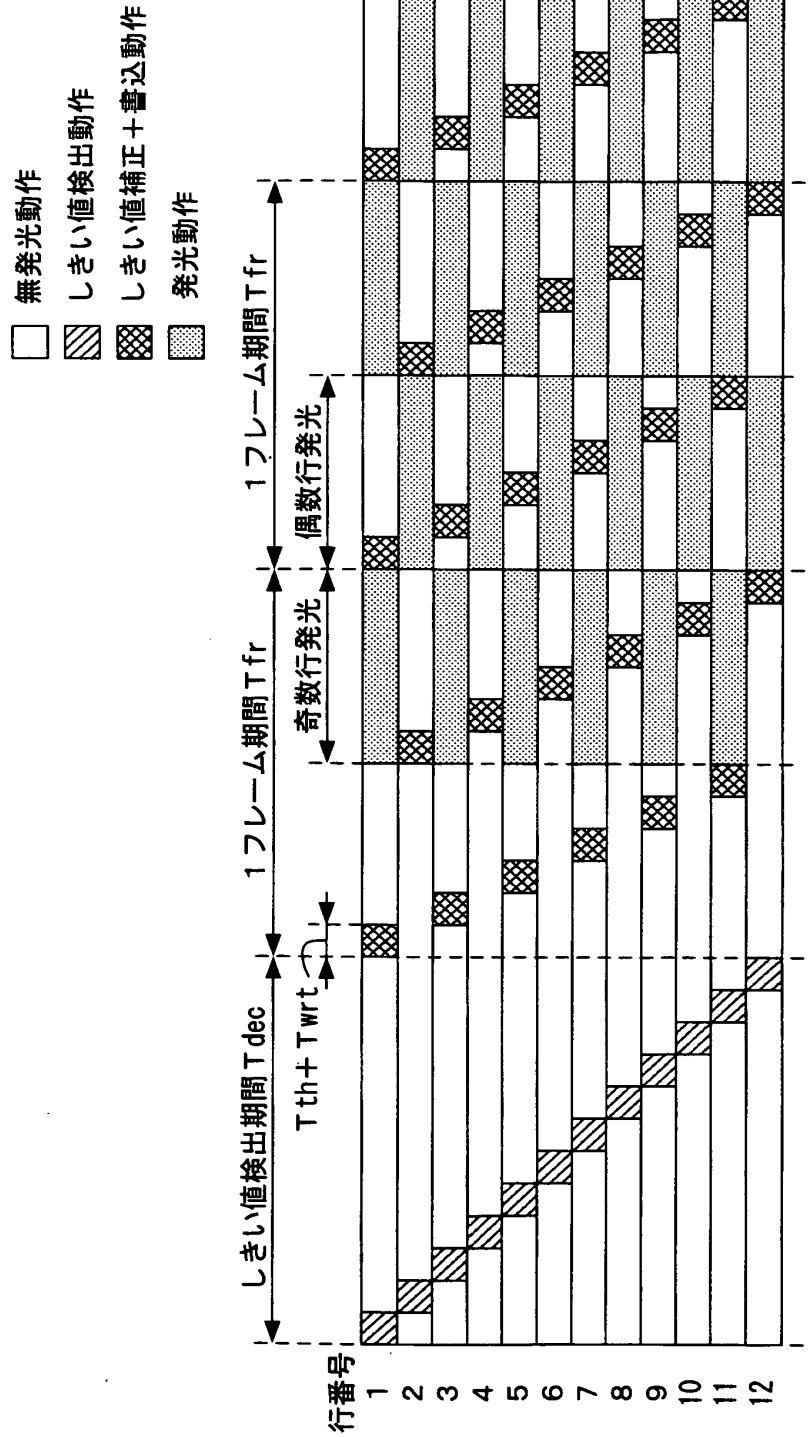
- 無発光動作
- ▨ しきい値検出動作
- ▩ しきい値補正 + 書込動作
- ▧ 発光動作



【図 23】

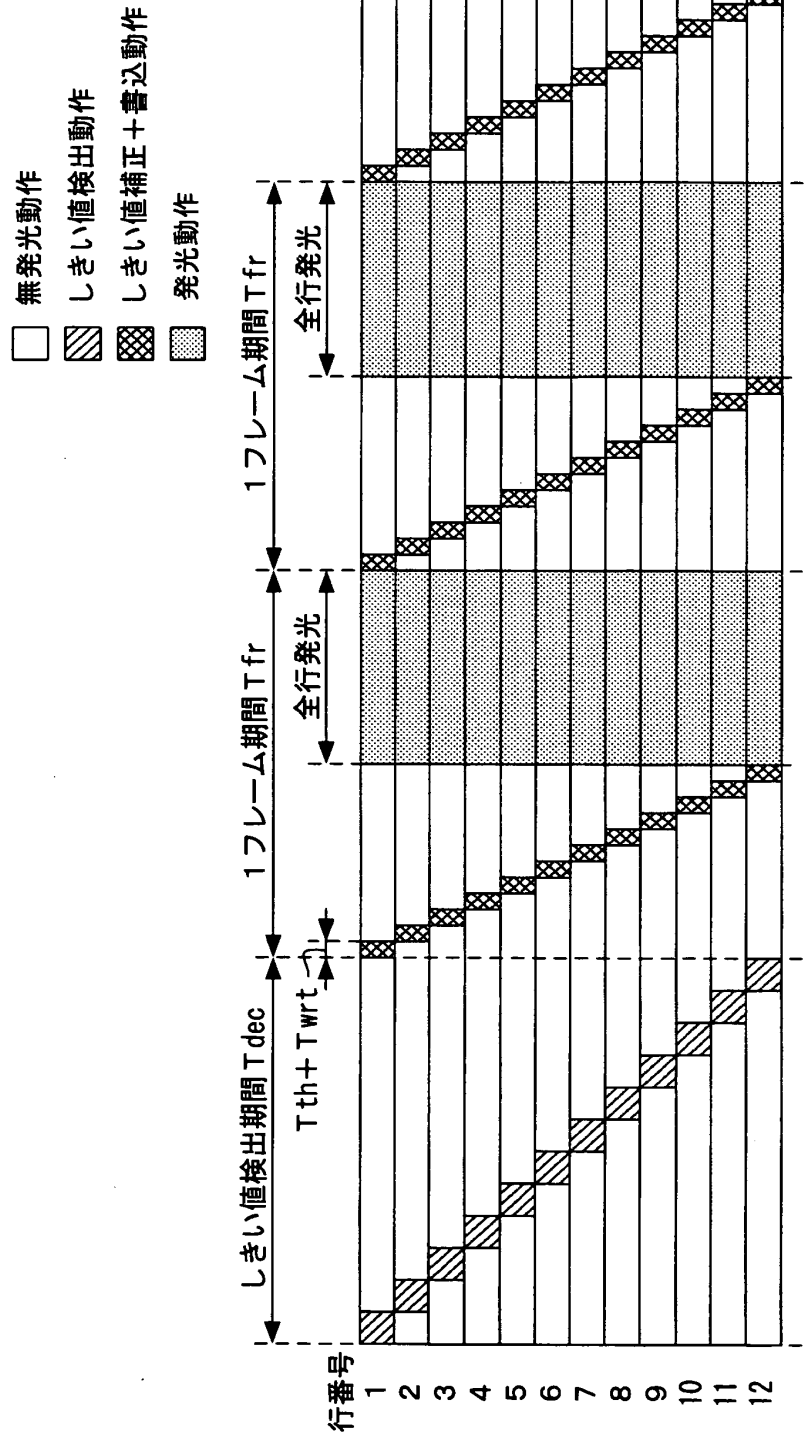


【図 24】

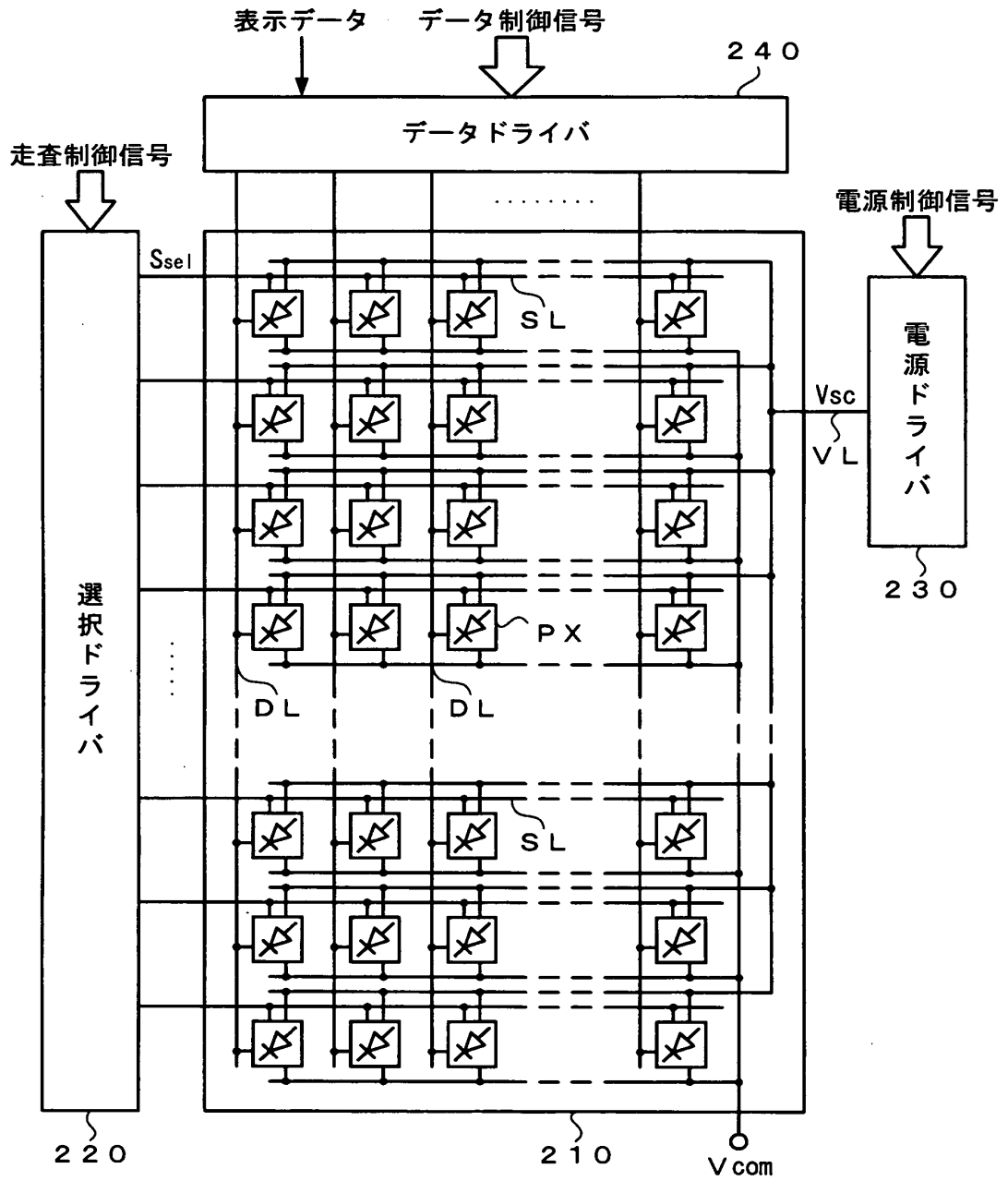




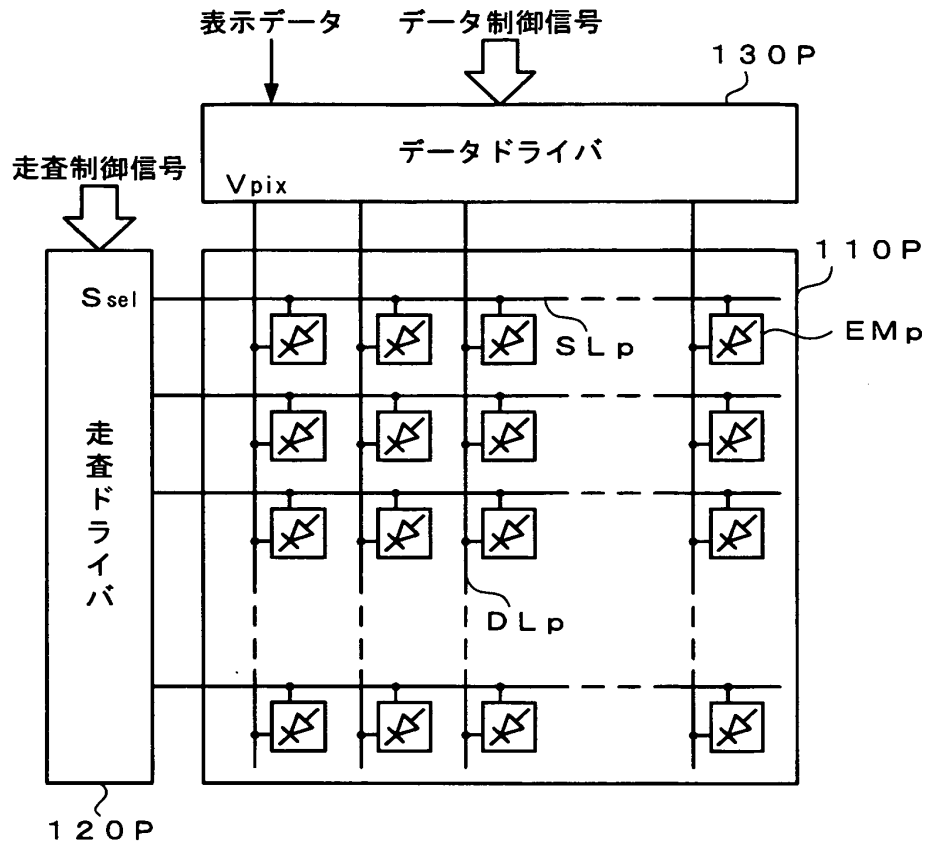
【図 25】



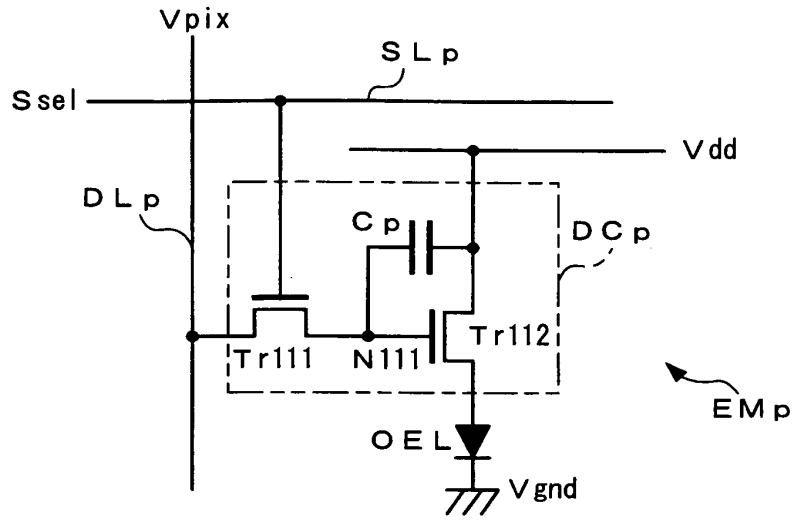
【図 26】



【図 27】



【図 28】



**【書類名】** 要約書**【要約】**

**【課題】** 表示データに対応した電流値を有する発光駆動電流を供給することにより、表示データに応じた適切な輝度階調で発光素子を発光駆動させることができる表示駆動装置及びその駆動制御方法を提供し、以て、表示画質が良好かつ均質な表示装置及びその駆動制御方法を提供する。

**【解決手段】** 表示駆動装置 100 は、少なくとも、しきい値電圧検出期間  $T_{dec}$  に、各表示画素  $PX$  (発光駆動回路  $DC$ ) に設けられた発光駆動用トランジスタのしきい値電圧を測定する検出電圧  $ADC140$  と、測定されたしきい値電圧を各表示画素  $PX$  ごとに記憶するフレームメモリ 170 と、表示駆動期間  $T_{cyc}$  に、測定されたしきい値電圧に基づくプリチャージ電圧を表示画素  $PX$  に印加する補償電圧  $DAC150$  と、表示データに応じた階調信号を生成して、表示画素  $PX$  に印加する階調信号生成部 130 と、を備えた構成を有している。

**【選択図】** 図 1

認定・付加情報

特許出願の番号	特願2005-101905
受付番号	50500590187
書類名	特許願
担当官	第一担当上席 0090
作成日	平成17年 4月 1日

<認定情報・付加情報>

【提出日】 平成17年 3月31日

特願 2005-101905

出願人履歴情報

識別番号 [000001443]

1. 変更年月日	1998年 1月 9日
[変更理由]	住所変更
住所	東京都渋谷区本町1丁目6番2号
氏名	カシオ計算機株式会社

出証番号 出証特 2005-3101382

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
th this Office.

出願年月日  
Date of Application: 2005年 3月31日

出願番号  
Application Number: 特願2005-105373

パリ条約による外国への出願  
用いる優先権の主張の基礎  
となる出願の国コードと出願  
番号

country code and number  
of our priority application,  
as used for filing abroad  
under the Paris Convention, is

J P 2 0 0 5 - 1 0 5 3 7 3

出願人  
Applicant(s): カシオ計算機株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2005年12月 8日

特許庁長官  
Commissioner,  
Japan Patent Office

中 嶋



BEST AVAILABLE COPY



【書類名】 特許願  
【整理番号】 05-0143-00  
【あて先】 特許庁長官 殿  
【国際特許分類】 G09G 03/20 624  
G09G 03/20 621  
G09G 03/30

【発明者】  
【住所又は居所】 東京都八王子市石川町 2 9 5 1 番地の 5  
カシオ計算機株式会社 八王子技術センター内  
【氏名】 小倉 潤

【発明者】  
【住所又は居所】 東京都八王子市石川町 2 9 5 1 番地の 5  
カシオ計算機株式会社 八王子技術センター内  
【氏名】 白崎 友之

【特許出願人】  
【識別番号】 000001443  
【氏名又は名称】 カシオ計算機株式会社  
【代表者】 檜尾 和雄

【代理人】  
【識別番号】 100096699  
【弁理士】  
【氏名又は名称】 鹿嶋 英實

【手数料の表示】  
【予納台帳番号】 021267  
【納付金額】 16,000円

【提出物件の目録】  
【物件名】 特許請求の範囲 1  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 9600683

**【書類名】特許請求の範囲****【請求項 1】**

行方向及び列方向に配設された複数の選択線及びデータ線の各交点に、電流制御型の発光素子と該発光素子に発光駆動電流を供給する発光駆動素子とを備えた複数の表示画素が配列された表示パネルを有する表示装置において、

所定のタイミングで前記表示パネルの各行ごとの前記表示画素に選択信号を順次印加して、選択状態に設定する選択駆動部と、

所望の画像情報を表示するための表示データに応じた階調信号を生成し、前記選択状態に設定された行の前記表示画素に供給するデータ駆動部と、

タイミング制御信号を供給することにより、前記選択駆動部及び前記データ駆動部の各々を所定のタイミングで動作させる駆動制御部と、  
を備え、

前記データ駆動部は、少なくとも、

前記データ線を介して、前記階調信号を前記表示画素の各々に個別に供給する階調信号生成手段と、

前記各表示画素の前記発光駆動素子に固有のしきい値電圧を個別に検出するしきい値電圧検出手段と、

前記しきい値電圧検出手段により検出された前記しきい値電圧に関連付けられたしきい値データを、前記表示画素ごとに記憶する記憶手段と、

前記記憶手段に記憶された前記しきい値データに基づいて、前記表示画素ごとの前記しきい値電圧を補償する補償電圧を、前記表示画素の前記発光駆動素子に個別に印加する補償電圧印加手段と、  
を有し、

前記駆動制御部は、前記選択駆動部及び前記データ駆動部により、前記表示パネルに配列された全ての前記表示画素に、前記表示データに応じた前記階調信号を個別に供給し、前記表示画素の各々に設けられた前記発光素子を当該表示データに応じた輝度階調で所定のタイミングで発光動作させる動作期間中に、前記表示パネルの特定の行の前記発光駆動素子に固有のしきい値電圧を検出するための前記タイミング制御信号を生成する手段を有していることを特徴とする表示装置。

**【請求項 2】**

前記駆動制御部は、前記選択駆動部及び前記データ駆動部により、前記動作期間ごとに異なる行の前記表示画素について、前記発光駆動素子に固有のしきい値電圧を検出するための前記タイミング制御信号を生成する手段を有していることを特徴とする請求項 1 記載の表示装置。

**【請求項 3】**

前記駆動制御部は、前記選択駆動部及び前記データ駆動部により、前記動作期間ごとに隣接する行の前記表示画素について、前記発光駆動素子に固有のしきい値電圧を検出する動作を順次繰り返すための前記タイミング制御信号を生成する手段を有していることを特徴とする請求項 2 記載の表示装置。

**【請求項 4】**

前記データ駆動部は、前記表示画素の前記発光駆動素子に前記しきい値電圧よりも高電位のしきい値検出用の電圧を個別に印加する検出用電圧印加手段を、さらに備え、

前記しきい値電圧検出手段は、前記しきい値電圧検出用の電圧が前記発光駆動素子に印加され、該しきい値電圧検出用の電圧に対応する電荷の一部が放電されて収束した後の電圧を、前記発光駆動素子のしきい値電圧として個別に検出することを特徴とする請求項 1 乃至 3 のいずれかに記載の表示装置。

**【請求項 5】**

前記補償電圧印加手段は、前記記憶手段に記憶された前記しきい値データに基づいて、前記発光駆動素子に前記しきい値電圧相当の電圧成分を保持させるための前記補償電圧を生成して、前記表示画素の前記発光駆動素子に個別に印加することを特徴とする請求項 1 乃至 4 記載の表示装置。

出証特 2005-3101386

至 4 のいずれかに記載の表示装置。

【請求項 6】

前記表示画素の各々に設けられる前記発光駆動素子は、前記発光素子に前記発光駆動電流を流す電流路と、前記発光駆動電流の供給状態を制御する制御端子を備え、

前記検出用電圧印加手段は、前記発光駆動素子の前記制御端子と前記電流路の一端側との間に、前記しきい値検出用の電圧を印加し、前記しきい値電圧検出手段は、前記発光駆動素子の前記制御端子と前記電流路の一端側との間の電位差を、前記しきい値電圧として検出することを特徴とする請求項 4 又は 5 記載の表示装置。

【請求項 7】

前記補償電圧印加手段は、前記発光駆動素子の前記制御端子と前記電流路の一端側との間に、前記記憶手段に記憶された前記しきい値データに基づく前記補償電圧を保持させることを特徴とする請求項 6 記載の表示装置。

【請求項 8】

前記しきい値電圧検出手段は、アナログ信号として検出した前記発光駆動素子のしきい値電圧を、デジタル信号に変換して、前記しきい値データを生成する手段を備え、

前記補償電圧印加手段は、前記記憶手段にデジタル信号として記憶された前記しきい値データに基づいて、前記発光駆動素子の前記しきい値電圧を補償するアナログ信号からなる前記補償電圧を生成する手段を備えていることを特徴とする請求項 1 乃至 7 のいずれかに記載の表示装置。

【請求項 9】

前記階調信号生成手段は、前記階調信号として、前記発光素子を所定の輝度階調で発光動作させるための所定の電流値を有する階調電流を生成する手段と、前記発光素子を無発光動作させるための所定の電圧値を有する無発光表示電圧を生成する手段と、を備えていることを特徴とする請求項 1 乃至 8 のいずれかに記載の表示装置。

【請求項 10】

前記データ駆動部は、

前記表示画素の各々から検出された前記しきい値電圧に関連付けられた前記しきい値データを、個別に取り込み、順次転送するしきい値取得手段と、

前記表示画素の各々に対して、前記階調信号を生成するための前記表示データを、順次個別に取り込み、保持するデータ取得手段と、

を、さらに備え、

前記記憶手段は、前記しきい値取得手段から転送された前記複数の表示画素ごとの前記しきい値電圧に関連付けられた前記しきい値データを、前記複数の表示画素の各々に対応させて個別に記憶し、

前記階調信号生成手段は、前記データ取得手段に保持された前記複数の表示画素ごとの前記表示データに応じた前記階調信号を生成し、前記複数の表示画素の各々に対して前記階調信号を供給することを特徴とする請求項 1 乃至 9 のいずれかに記載の表示装置。

【請求項 11】

前記データ取得手段と前記しきい値取得手段は、前記表示データを順次個別に取り込む構成と、前記しきい値データを個別に取り込み、順次転送する構成とが、共用化されていることを特徴とする請求項 10 記載の表示装置。

【請求項 12】

前記データ駆動部は、少なくとも、前記しきい値電圧検出手段により前記表示画素の前記しきい値電圧を検出する信号経路、前記補償電圧印加手段により当該表示画素に前記補償電圧を印加する信号経路、及び、前記階調信号生成手段により当該表示画素に前記階調信号を供給する信号経路のいずれかと、当該表示画素に対応して設けられた単一のデータ線との接続を、選択的に切り換え制御する信号経路切換手段を備えることを特徴とする請求項 1 乃至 11 のいずれかに記載の表示装置。

【請求項 13】

前記データ駆動部は、さらに、前記検出用電圧印加手段により前記表示画素に前記しきい

値検出用の電圧を印加する信号経路が、前記単一のデータ線に、選択的に接続されるように構成されていることを特徴とする請求項 1 2 記載の表示装置。

【請求項 1 4】

前記表示装置は、前記表示画素の各々に所定の供給電圧を印加する電源駆動部を、さらに備え、

前記駆動制御部は、前記電源駆動部により、所定のタイミングで前記表示パネルの各行ごとの前記表示画素に、前記供給電圧を順次印加して、各行ごとに前記表示画素を発光動作状態に設定するための前記タイミング制御信号を生成する手段を有していることを特徴とする請求項 1 乃至 1 3 のいずれかに記載の表示装置。

【請求項 1 5】

前記表示装置は、前記表示画素の各々に所定の供給電圧を印加する電源駆動部を、さらに備え、

前記駆動制御部は、前記電源駆動部により、前記表示パネルに配列された前記複数の表示画素を、複数行ごとにグループ分けした各グループごとの前記表示画素に、所定のタイミングで前記供給電圧を順次印加して、各グループごとに前記表示画素を発光動作状態に設定するための前記タイミング制御信号を生成する手段を有していることを特徴とする請求項 1 乃至 1 3 のいずれかに記載の表示装置。

【請求項 1 6】

前記表示画素の各々は、前記発光素子の発光動作を制御する発光駆動回路を備え、

前記発光駆動回路は、少なくとも、電流路の一端に前記供給電圧が印加され、該電流路の他端に前記発光素子との接続接点が接続された第 1 のスイッチ手段と、制御端子が前記選択線に接続され、電流路の一端に前記供給電圧が印加され、該電流路の他端に前記第 1 のスイッチ手段の制御端子が接続された第 2 のスイッチ手段と、制御端子が前記選択線に接続され、電流路の一端に前記データ線が接続され、該電流路の他端に前記接続接点が接続された第 3 のスイッチ手段と、を備え、

前記発光駆動素子は、前記第 1 のスイッチ手段であり、

前記検出用電圧印加手段は、前記第 1 のスイッチ手段の前記制御端子と前記接続接点との間に、前記しきい値検出用の電圧を印加し、

前記しきい値電圧検出手段は、前記第 1 のスイッチ手段の前記制御端子と前記接続接点との間の電位を、前記しきい値電圧として検出し、

前記補償電圧印加手段は、前記第 1 のスイッチ手段の前記制御端子と前記接続接点との間に、前記記憶手段に記憶された前記しきい値データに基づく前記補償電圧を印加することを特徴とする請求項 1 乃至 1 5 のいずれかに記載の表示装置。

【請求項 1 7】

前記第 1 乃至第 3 のスイッチ手段は、アモルファスシリコンからなる半導体層を備えた電界効果型トランジスタであることを特徴とする請求項 1 6 記載の表示装置。

【請求項 1 8】

前記発光素子は、有機エレクトロルミネッセンス素子であることを特徴とする請求項 1 乃至 1 7 のいずれかに記載の表示装置。

【請求項 1 9】

行方向及び列方向に配設された複数の選択線及びデータ線の各交点に、電流制御型の発光素子と該発光素子に発光駆動電流を供給する発光駆動素子とを備えた複数の表示画素が配列された表示パネルを備え、所定のタイミングで前記表示パネルの各行ごとの前記表示画素に選択信号を順次印加して、選択状態に設定するタイミングに同期して、所望の画像情報を表示するための表示データに応じた階調信号を供給することにより、前記表示画素を所定の輝度階調で発光動作させて、前記表示パネルに前記所望の画像情報を表示する表示装置の駆動制御方法において、

少なくとも、前記表示パネルに配列された全ての前記表示画素に対して、前記階調信号を個別に供給し、所定のタイミングで前記表示画素を当該表示データに応じた輝度階調で発光動作させる一定の動作期間中に、前記表示パネルの特定の行の前記発光駆動素子に固

有のしきい値電圧を検出することを特徴とする表示装置の駆動制御方法。

【請求項 20】

前記特定の行の前記表示画素の各々に設けられた前記発光駆動素子に固有のしきい値電圧を検出する動作は、前記一定の動作期間中であって、当該特定の行の前記表示画素に対して前記表示データに応じた階調信号を供給することにより、前記表示画素を所定の輝度階調で発光動作させる動作に先立つタイミングで実行されることを特徴とする請求項 19 記載の表示装置の駆動制御方法。

【請求項 21】

前記特定の行の前記表示画素の各々に設けられた前記発光駆動素子に固有のしきい値電圧を検出する動作は、前記一定の動作期間ごとに異なる行の前記表示画素について実行されることを特徴とする請求項 19 又は 20 記載の表示装置。

【請求項 22】

前記特定の行の前記表示画素の各々に設けられた前記発光駆動素子に固有のしきい値電圧を検出する動作は、前記一定の動作期間ごとに隣接する行の前記表示画素について順次実行されることを特徴とする請求項 21 記載の表示装置。

【請求項 23】

前記特定の行の前記表示画素の各々に設けられた前記発光駆動素子に固有のしきい値電圧を検出する動作は、

少なくとも、

前記表示画素の各々に設けられ、前記階調信号に基づいて所定の電流値を有する発光駆動電流を前記発光素子に供給する発光駆動素子に、当該発光駆動素子に固有のしきい値電圧よりも高電位のしきい値検出用の電圧を個別に印加する検出用電圧印加ステップと、

前記しきい値電圧検出用の電圧に対応する電荷の一部が放電されて収束した後の電圧を、前記発光駆動素子の前記しきい値電圧として個別に検出し、当該しきい値電圧に関連付けられたしきい値データとして、前記表示画素ごとに記憶手段に記憶するしきい値電圧検出ステップと、

を含むことを特徴とする請求項 19 乃至 22 のいずれかに記載の表示装置の駆動制御方法。

【請求項 24】

前記表示画素に対して前記表示データに応じた階調信号を供給することにより、前記表示画素を所定の輝度階調で発光動作させる動作は、

少なくとも、

前記しきい値電圧検出ステップにより前記記憶手段に記憶された前記しきい値データに基づいて、前記各表示画素ごとに前記発光駆動素子の前記しきい値電圧を補償する補償電圧を生成して、前記発光駆動素子に個別に印加し、電圧成分として保持させる補償電圧印加ステップと、

前記表示データに応じた前記階調信号を前記表示画素の各々に供給して、当該階調信号に基づく電圧成分を、前記発光駆動素子に印加された前記補償電圧に基づく電圧成分に上乘せして保持させるデータ書込ステップと、

前記各表示画素の発光駆動素子に保持された前記電圧成分に基づいて生成された前記発光駆動電流を前記発光素子の各々に供給して、当該発光素子を所定の輝度階調で発光動作させる階調発光ステップと、

を含むことを特徴とする請求項 23 記載の表示装置の駆動制御方法。

【請求項 25】

前記補償電圧印加ステップ及び前記データ書込ステップは、前記表示パネルに配列された前記複数の表示画素に対して、各行ごとに順次実行され、前記前記階調発光ステップは、前記補償電圧印加ステップ及び前記データ書込ステップが終了した行から順次実行されることを特徴とする請求項 24 記載の表示装置の駆動制御方法。

【請求項 26】

前記補償電圧印加ステップ及び前記データ書込ステップは、前記表示パネルに配列された

前記複数の表示画素を、複数行ごとにグループ分けした各グループごとに順次実行され、前記前記階調発光ステップは、前記補償電圧印加ステップ及び前記データ書込ステップが終了した前記グループから順次実行されることを特徴とする請求項 24 記載の表示装置の駆動制御方法。

【請求項 27】

前記データ書込ステップは、前記発光素子を所定の輝度階調で発光動作させる場合には、前記階調信号として所定の電流値を有する階調電流を当該表示画素に供給し、前記発光素子を無発光動作させる場合には、前記階調信号として所定の電圧値を有する無発光表示電圧を当該表示画素に供給することを特徴とする請求項 24 乃至 26 のいずれかに記載の表示装置の駆動制御方法。

【請求項 28】

少なくとも、前記検出用電圧印加ステップと、前記しきい値電圧検出ステップと、前記補償電圧印加ステップと、前記データ書込ステップと、を前記表示画素の各々に対応して設けられた単一のデータ線を介して選択的に実行することを特徴とする請求項 24 乃至 27 のいずれかに記載の表示装置の駆動制御方法。

## 【書類名】明細書

【発明の名称】表示装置及びその駆動制御方法

## 【技術分野】

## 【0001】

本発明は、表示装置及びその駆動制御方法に関し、特に、表示データに応じた電流を供給することにより所定の輝度階調で発光する電流駆動型（又は、電流制御型）の発光素子を、複数配列してなる表示パネル（表示画素アレイ）を備えた表示装置及びその駆動制御方法に関する。

## 【背景技術】

## 【0002】

近年、パーソナルコンピュータや映像機器のモニタやディスプレイとして、軽量薄型で低消費電力の表示デバイスの普及が著しい。特に、液晶表示装置（LCD）は、近年普及が著しい携帯電話やデジタルカメラ、携帯情報端末（PDA）、電子辞書等の携帯機器（モバイル機器）の表示デバイスとして広く適用されている。

## 【0003】

このような液晶表示装置に続く次世代の表示デバイスとして、有機エレクトロルミネッセンス素子（有機EL素子）や無機エレクトロルミネッセンス素子（無機EL素子）、あるいは、発光ダイオード（LED）等のような発光素子（自己発光型の光学要素）を、マトリクス状に配列した表示パネルを備えた発光素子型の表示デバイス（発光素子型ディスプレイ）の本格的な普及に向けた研究開発が盛んに行われている。

## 【0004】

特に、アクティブマトリクス駆動方式を適用した発光素子型ディスプレイは、上述した液晶表示装置に比較して、表示応答速度が速く、また、視野角依存性もなく、高輝度・高コントラスト化、表示画質の高精細化等が可能であるとともに、液晶表示装置のようにバックライトを必要としないので、一層の薄型軽量化や低消費電力化が可能である、という携帯機器への適用に極めて優位な特徴を有している。

## 【0005】

そして、このような発光素子型ディスプレイにおいては、発光素子の動作（発光状態）を制御するための駆動制御機構や制御方法が種々提案されている。例えば、特許文献1等には、表示パネルを構成する各表示画素ごとに、上記発光素子に加えて、該発光素子を発光駆動制御するための複数のスイッチング素子からなる駆動回路（発光駆動回路）を備えた構成が記載されている。

## 【0006】

図27は、従来技術における電圧制御アクティブマトリクス発光素子型ディスプレイの要部を示す概略構成図であり、図28は、従来技術における発光素子型ディスプレイに適用可能な表示画素（発光駆動回路及び発光素子）の構成例を示す等価回路図である。ここで、図28においては、発光素子として、有機EL素子を備えた表示画素の回路構成を示す。

## 【0007】

特許文献1等に記載されたアクティブマトリクス型有機EL表示装置は、概略、図27に示すように、行、列方向に配設された複数の走査ライン（選択ライン；Y方向信号線）SLp及びデータライン（信号ライン；X方向信号線）DLpの各交点近傍に、複数の表示画素EMpがマトリクス状に配置された表示パネル110Pと、各走査ラインSLpに接続された走査ドライバ（Y方向周辺駆動回路）120Pと、各データラインDLに接続されたデータドライバ（X方向周辺駆動回路）130Pと、を備えた構成を有している。

## 【0008】

また、各表示画素EMpは、図28に示すように、ゲート端子が走査ラインSLpに、ソース端子及びドレイン端子がデータラインDL及び接点N111に各々接続された薄膜トランジスタ（TFT）Tr111と、ゲート端子が接点N111に接続され、ソース端子に所定の電源電圧Vddが印加された薄膜トランジスタTr112と、を備えた発光駆動

出証特 2005-3101386

回路DCp、及び、該発光駆動回路DCpの薄膜トランジスタTr112のドレイン端子にアノード端子が接続され、カソード端子に電源電圧Vddよりも低電位となる接地電位Vgndが印加された有機EL素子（電流制御型の発光素子）OELを有して構成されている。ここで、図28において、Cpは、薄膜トランジスタTr112のゲートソース間に形成されるコンデンサである。

**【0009】**

そして、このような構成を有する表示画素EMpからなる表示パネル110Pを備えた表示装置においては、まず、走査ドライバ120Pから各行の走査ラインSLpにオンレベルの走査信号電圧Sselを順次印加することにより、行ごとの表示画素EMp（発光駆動回路DCp）の薄膜トランジスタTr111がオン動作して、当該表示画素EMpが選択状態に設定される。

**【0010】**

この選択タイミングに同期して、データドライバ130Pにより表示データに応じた階調電圧Vpixを各列のデータラインDLpに印加することにより、各表示画素EMp（発光駆動回路DCp）の薄膜トランジスタTr111を介して、階調電圧Vpixに応じた電位が接点N111（すなわち、薄膜トランジスタTr112のゲート端子）に印加される。

**【0011】**

これにより、薄膜トランジスタTr112が接点N111の電位（厳密には、ゲートソース間の電位差）に応じた導通状態（すなわち、階調電圧Vpixに応じた導通状態）でオン動作して、電源電圧Vddから薄膜トランジスタTr112及び有機EL素子OELを介して接地電位Vgndに、所定の発光駆動電流が流れ、有機EL素子OELが表示データ（階調電圧Vpix）に応じた輝度階調で発光動作する。

**【0012】**

次いで、走査ドライバ120Pから走査ラインSLpにオフレベルの走査信号電圧Sselを印加することにより、行ごとの表示画素EMpの薄膜トランジスタTr111がオフ動作して、当該表示画素EMpが非選択状態に設定され、データラインDLpと発光駆動回路DCpとが電氣的に遮断される。このとき、薄膜トランジスタTr112のゲート端子（接点N111）に印加された電位がコンデンサCpに保持されることにより、当該薄膜トランジスタTr112のゲートソース間に所定の電圧が印加されて、薄膜トランジスタTr112はオン状態を持続する。

**【0013】**

したがって、上記選択状態における発光動作と同様に、電源電圧Vddから薄膜トランジスタTr112を介して、有機EL素子OELに所定の発光駆動電流が流れて、発光動作が継続される。この発光動作は、次の表示データに応じた階調電圧Vpixが各行の表示画素EMpに印加される（書き込まれる）まで、例えば、1フレーム期間継続するように制御される。

**【0014】**

このような駆動制御方法は、各表示画素EMp（具体的には、発光駆動回路DCpの薄膜トランジスタTr112のゲート端子）に印加する階調電圧Vpixの電圧値を調整することにより、有機EL素子OELに流す発光駆動電流の電流値を制御して、所定の輝度階調で発光動作させていることから、電圧階調指定方式（又は、電圧階調指定駆動）と呼ばれている。

**【0015】**

【特許文献1】特開平8-330600号公報（第3頁、図4）

**【発明の開示】****【発明が解決しようとする課題】****【0016】**

しかしながら、上述したような電圧階調指定方式に対応した発光駆動回路を、各表示画素に備えた表示装置においては、以下に示すような問題を有していた。

出証特2005-3101386



すなわち、図 28 に示したような発光駆動回路 DCp においては、有機 EL 素子 OEL に電流路が直列に接続され、表示データ（階調電圧）に応じた発光駆動電流を流す、発光駆動用の薄膜トランジスタ Tr112 の素子特性（特に、しきい値電圧特性）が、使用時間や駆動履歴等に依存して変化（シフト）した場合には、ゲート電圧（接点 111 の電位）とソースドレイン間に流れる発光駆動電流（ソースドレイン間電流）との関係が変化して、所定のゲート電圧で流れる発光駆動電流の電流値が変動（例えば、低減）することになるため、表示データに応じた適切な輝度階調での発光動作を、長期にわたり安定的に実現することが困難になるという問題を有していた。

**【0017】**

また、表示パネル 110P 内の薄膜トランジスタ Tr111 及び Tr112 の素子特性（しきい値電圧）が表示画素 EMp（発光駆動回路 DCp）ごとにバラツキが生じてしまった場合や、製造ロットによって表示パネル 110P ごとにトランジスタ Tr111 及び Tr112 の素子特性にバラツキが生じてしまった場合には、上述したような電圧階調指定方式の発光駆動回路では、各表示画素ごと、あるいは、各表示パネルごとに発光駆動電流の電流値のバラツキが大きくなって、適正な階調制御が行えなくなり、均質な表示画質を有する表示装置を提供することができなくなるという問題を有していた。

**【0018】**

そこで、本発明は、上述した問題点に鑑み、表示データに対応した適切な電流値を有する発光駆動電流を供給することにより、表示データに応じた適切な輝度階調で表示パネルに配列された表示画素（発光素子）を発光駆動させることができ、表示画質が良好かつ均質な表示装置及びその駆動制御方法を提供することを目的とする。

**【課題を解決するための手段】****【0019】**

請求項 1 記載の発明は、行方向及び列方向に配設された複数の選択線及びデータ線の各交点に、電流制御型の発光素子と該発光素子に発光駆動電流を供給する発光駆動素子とを備えた複数の表示画素が配列された表示パネルを有する表示装置において、所定のタイミングで前記表示パネルの各行ごとの前記表示画素に選択信号を順次印加して、選択状態に設定する選択駆動部と、所望の画像情報を表示するための表示データに応じた階調信号を生成し、前記選択状態に設定された行の前記表示画素に供給するデータ駆動部と、タイミング制御信号を供給することにより、前記選択駆動部及び前記データ駆動部の各々を所定のタイミングで動作させる駆動制御部と、を備え、前記データ駆動部は、少なくとも、前記データ線を介して、前記階調信号を前記表示画素の各々に個別に供給する階調信号生成手段と、前記各表示画素の前記発光駆動素子に固有のしきい値電圧を個別に検出するしきい値電圧検出手段と、前記しきい値電圧検出手段により検出された前記しきい値電圧に関連付けられたしきい値データを、前記表示画素ごとに記憶する記憶手段と、前記記憶手段に記憶された前記しきい値データに基づいて、前記表示画素ごとの前記しきい値電圧を補償する補償電圧を、前記表示画素の前記発光駆動素子に個別に印加する補償電圧印加手段と、を有し、前記駆動制御部は、前記選択駆動部及び前記データ駆動部により、前記表示パネルに配列された全ての前記表示画素に、前記表示データに応じた前記階調信号を個別に供給し、前記表示画素の各々に設けられた前記発光素子を当該表示データに応じた輝度階調で所定のタイミングで発光動作させる動作期間中に、前記表示パネルの特定の行の前記発光駆動素子に固有のしきい値電圧を検出するための前記タイミング制御信号を生成する手段を有していることを特徴とする。

**【0020】**

請求項 2 記載の発明は、請求項 1 記載の表示装置において、前記駆動制御部は、前記選択駆動部及び前記データ駆動部により、前記動作期間ごとに異なる行の前記表示画素について、前記発光駆動素子に固有のしきい値電圧を検出するための前記タイミング制御信号を生成する手段を有していることを特徴とする。

**【0021】**

請求項 3 記載の発明は、請求項 2 記載の表示装置において、前記駆動制御部は、前記選

択駆動部及び前記データ駆動部により、前記動作期間ごとに隣接する行の前記表示画素について、前記発光駆動素子に固有のしきい値電圧を検出する動作を順次繰り返すための前記タイミング制御信号を生成する手段を有していることを特徴とする。

**【0022】**

請求項4記載の発明は、請求項1乃至3のいずれかに記載の表示装置において、前記データ駆動部は、前記表示画素の前記発光駆動素子に前記しきい値電圧よりも高電位のしきい値検出用の電圧を個別に印加する検出用電圧印加手段を、さらに備え、前記しきい値電圧検出手段は、前記しきい値電圧検出用の電圧が前記発光駆動素子に印加され、該しきい値電圧検出用の電圧に対応する電荷の一部が放電されて収束した後の電圧を、前記発光駆動素子のしきい値電圧として個別に検出することを特徴とする。

**【0023】**

請求項5記載の発明は、請求項1乃至4のいずれかに記載の表示装置において、前記補償電圧印加手段は、前記記憶手段に記憶された前記しきい値データに基づいて、前記発光駆動素子に前記しきい値電圧相当の電圧成分を保持させるための前記補償電圧を生成して、前記表示画素の前記発光駆動素子に個別に印加することを特徴とする。

**【0024】**

請求項6記載の発明は、請求項4又は5記載の表示装置において、前記表示画素の各々に設けられる前記発光駆動素子は、前記発光素子に前記発光駆動電流を流す電流路と、前記発光駆動電流の供給状態を制御する制御端子を備え、前記検出用電圧印加手段は、前記発光駆動素子の前記制御端子と前記電流路の一端側との間に、前記しきい値検出用の電圧を印加し、前記しきい値電圧検出手段は、前記発光駆動素子の前記制御端子と前記電流路の一端側との間の電位差を、前記しきい値電圧として検出することを特徴とする。

**【0025】**

請求項7記載の発明は、請求項6記載の表示装置において、前記補償電圧印加手段は、前記発光駆動素子の前記制御端子と前記電流路の一端側との間に、前記記憶手段に記憶された前記しきい値データに基づく前記補償電圧を保持させることを特徴とする。

請求項8記載の発明は、請求項1乃至7のいずれかに記載の表示装置において、前記しきい値電圧検出手段は、アナログ信号として検出した前記発光駆動素子のしきい値電圧を、デジタル信号に変換して、前記しきい値データを生成する手段を備え、前記補償電圧印加手段は、前記記憶手段にデジタル信号として記憶された前記しきい値データに基づいて、前記発光駆動素子の前記しきい値電圧を補償するアナログ信号からなる前記補償電圧を生成する手段を備えていることを特徴とする。

**【0026】**

請求項9記載の発明は、請求項1乃至8のいずれかに記載の表示装置において、前記階調信号生成手段は、前記階調信号として、前記発光素子を所定の輝度階調で発光動作させるための所定の電流値を有する階調電流を生成する手段と、前記発光素子を無発光動作させるための所定の電圧値を有する無発光表示電圧を生成する手段と、を備えていることを特徴とする。

**【0027】**

請求項10記載の発明は、請求項1乃至9のいずれかに記載の表示装置において、前記データ駆動部は、前記表示画素の各々から検出された前記しきい値電圧に関連付けられた前記しきい値データを、個別に取り込み、順次転送するしきい値取得手段と、前記表示画素の各々に対して、前記階調信号を生成するための前記表示データを、順次個別に取り込み、保持するデータ取得手段と、を、さらに備え、前記記憶手段は、前記しきい値取得手段から転送された前記複数の表示画素ごとの前記しきい値電圧に関連付けられた前記しきい値データを、前記複数の表示画素の各々に対応させて個別に記憶し、前記階調信号生成手段は、前記データ取得手段に保持された前記複数の表示画素ごとの前記表示データに応じた前記階調信号を生成し、前記複数の表示画素の各々に対して前記階調信号を供給することを特徴とする。

**【0028】**

請求項 11 記載の発明は、請求項 10 記載の表示装置において、前記データ取得手段と前記しきい値取得手段は、前記表示データを順次個別に取り込む構成と、前記しきい値データを個別に取り込み、順次転送する構成とが、共用化されていることを特徴とする。

請求項 12 記載の発明は、請求項 1 乃至 11 のいずれかに記載の表示装置において、前記データ駆動部は、少なくとも、前記しきい値電圧検出手段により前記表示画素の前記しきい値電圧を検出する信号経路、前記補償電圧印加手段により当該表示画素に前記補償電圧を印加する信号経路、及び、前記階調信号生成手段により当該表示画素に前記階調信号を供給する信号経路のいずれかと、当該表示画素に対応して設けられた単一のデータ線との接続を、選択的に切り換え制御する信号経路切換手段を備えることを特徴とする。

#### 【0029】

請求項 13 記載の発明は、請求項 12 記載の表示装置において、前記データ駆動部は、さらに、前記検出用電圧印加手段により前記表示画素に前記しきい値検出用の電圧を印加する信号経路が、前記単一のデータ線に、選択的に接続されるように構成されていることを特徴とする。

#### 【0030】

請求項 14 記載の発明は、請求項 1 乃至 13 のいずれかに記載の表示装置において、前記表示装置は、前記表示画素の各々に所定の供給電圧を印加する電源駆動部を、さらに備え、

前記駆動制御部は、前記電源駆動部により、所定のタイミングで前記表示パネルの各行ごとの前記表示画素に、前記供給電圧を順次印加して、各行ごとに前記表示画素を発光動作状態に設定するための前記タイミング制御信号を生成する手段を有していることを特徴とする。

#### 【0031】

請求項 15 記載の発明は、請求項 1 乃至 13 のいずれかに記載の表示装置において、前記表示装置は、前記表示画素の各々に所定の供給電圧を印加する電源駆動部を、さらに備え、前記駆動制御部は、前記電源駆動部により、前記表示パネルに配列された前記複数の表示画素を、複数行ごとにグループ分けした各グループごとの前記表示画素に、所定のタイミングで前記供給電圧を順次印加して、各グループごとに前記表示画素を発光動作状態に設定するための前記タイミング制御信号を生成する手段を有していることを特徴とする。

#### 【0032】

請求項 16 記載の発明は、請求項 1 乃至 15 のいずれかに記載の表示装置において、前記表示画素の各々は、前記発光素子の発光動作を制御する発光駆動回路を備え、前記発光駆動回路は、少なくとも、電流路の一端に前記供給電圧が印加され、該電流路の他端に前記発光素子との接続接点が接続された第 1 のスイッチ手段と、制御端子が前記選択線に接続され、電流路の一端に前記供給電圧が印加され、該電流路の他端に前記第 1 のスイッチ手段の制御端子が接続された第 2 のスイッチ手段と、制御端子が前記選択線に接続され、電流路の一端に前記データ線が接続され、該電流路の他端に前記接続接点が接続された第 3 のスイッチ手段と、を備え、前記発光駆動素子は、前記第 1 のスイッチ手段であり、前記検出用電圧印加手段は、前記第 1 のスイッチ手段の前記制御端子と前記接続接点との間に、前記しきい値検出用の電圧を印加し、前記しきい値電圧検出手段は、前記第 1 のスイッチ手段の前記制御端子と前記接続接点との間の電位を、前記しきい値電圧として検出し、前記補償電圧印加手段は、前記第 1 のスイッチ手段の前記制御端子と前記接続接点との間に、前記記憶手段に記憶された前記しきい値データに基づく前記補償電圧を印加することを特徴とする。

#### 【0033】

請求項 17 記載の発明は、請求項 16 記載の表示装置において、前記第 1 乃至第 3 のスイッチ手段は、アモルファスシリコンからなる半導体層を備えた電界効果型トランジスタであることを特徴とする。

請求項 18 記載の発明は、請求項 1 乃至 17 のいずれかに記載の表示装置において、前

記発光素子は、有機エレクトロルミネッセンス素子であることを特徴とする。

【0034】

請求項 19 記載の発明は、行方向及び列方向に配設された複数の選択線及びデータ線の各交点に、電流制御型の発光素子と該発光素子に発光駆動電流を供給する発光駆動素子とを備えた複数の表示画素が配列された表示パネルを備え、所定のタイミングで前記表示パネルの各行ごとの前記表示画素に選択信号を順次印加して、選択状態に設定するタイミングに同期して、所望の画像情報を表示するための表示データに応じた階調信号を供給することにより、前記表示画素を所定の輝度階調で発光動作させて、前記表示パネルに前記所望の画像情報を表示する表示装置の駆動制御方法において、少なくとも、前記表示パネルに配列された全ての前記表示画素に対して、前記階調信号を個別に供給し、所定のタイミングで前記表示画素を当該表示データに応じた輝度階調で発光動作させる一定の動作期間中に、前記表示パネルの特定の行の前記発光駆動素子に固有のしきい値電圧を検出することを特徴とする。

【0035】

請求項 20 記載の発明は、請求項 19 記載の表示装置の駆動制御方法において、前記特定の行の前記表示画素の各々に設けられた前記発光駆動素子に固有のしきい値電圧を検出する動作は、前記一定の動作期間中であって、当該特定の行の前記表示画素に対して前記表示データに応じた階調信号を供給することにより、前記表示画素を所定の輝度階調で発光動作させる動作に先立つタイミングで実行されることを特徴とする。

【0036】

請求項 21 記載の発明は、請求項 19 又は 20 記載の表示装置において、前記特定の行の前記表示画素の各々に設けられた前記発光駆動素子に固有のしきい値電圧を検出する動作は、前記一定の動作期間ごとに異なる行の前記表示画素について実行されることを特徴とする。

【0037】

請求項 22 記載の発明は、請求項 21 記載の表示装置において、前記特定の行の前記表示画素の各々に設けられた前記発光駆動素子に固有のしきい値電圧を検出する動作は、前記一定の動作期間ごとに隣接する行の前記表示画素について順次実行されることを特徴とする。

【0038】

請求項 23 記載の発明は、請求項 19 乃至 22 のいずれかに記載の表示装置の駆動制御方法において、前記特定の行の前記表示画素の各々に設けられた前記発光駆動素子に固有のしきい値電圧を検出する動作は、少なくとも、前記表示画素の各々に設けられ、前記階調信号に基づいて所定の電流値を有する発光駆動電流を前記発光素子に供給する発光駆動素子に、当該発光駆動素子に固有のしきい値電圧よりも高電位のしきい値検出用の電圧を個別に印加する検出用電圧印加ステップと、前記しきい値電圧検出用の電圧に対応する電荷の一部が放電されて収束した後の電圧を、前記発光駆動素子の前記しきい値電圧として個別に検出し、当該しきい値電圧に関連付けられたしきい値データとして、前記表示画素ごとに記憶手段に記憶するしきい値電圧検出ステップと、を含むことを特徴とする。

【0039】

請求項 24 記載の発明は、請求項 23 記載の表示装置の駆動制御方法において、前記表示画素に対して前記表示データに応じた階調信号を供給することにより、前記表示画素を所定の輝度階調で発光動作させる動作は、少なくとも、前記しきい値電圧検出ステップにより前記記憶手段に記憶された前記しきい値データに基づいて、前記各表示画素ごとに前記発光駆動素子の前記しきい値電圧を補償する補償電圧を生成して、前記発光駆動素子に個別に印加し、電圧成分として保持させる補償電圧印加ステップと、前記表示データに応じた前記階調信号を前記表示画素の各々に供給して、当該階調信号に基づく電圧成分を、前記発光駆動素子に印加された前記補償電圧に基づく電圧成分に上乗せして保持させるデータ書込ステップと、前記各表示画素の発光駆動素子に保持された前記電圧成分に基づいて生成された前記発光駆動電流を前記発光素子の各々に供給して、当該発光素子を所定の

出証特 2005-3101386

輝度階調で発光動作させる階調発光ステップと、を含むことを特徴とする。

**【0040】**

請求項 25 記載の発明は、請求項 24 記載の表示装置の駆動制御方法において、前記補償電圧印加ステップ及び前記データ書込ステップは、前記表示パネルに配列された前記複数の表示画素に対して、各行ごとに順次実行され、前記前記階調発光ステップは、前記補償電圧印加ステップ及び前記データ書込ステップが終了した行から順次実行されることを特徴とする。

**【0041】**

請求項 26 記載の発明は、請求項 24 記載の表示装置の駆動制御方法において、前記補償電圧印加ステップ及び前記データ書込ステップは、前記表示パネルに配列された前記複数の表示画素を、複数行ごとにグループ分けした各グループごとに順次実行され、前記前記階調発光ステップは、前記補償電圧印加ステップ及び前記データ書込ステップが終了した前記グループから順次実行されることを特徴とする。

**【0042】**

請求項 27 記載の発明は、請求項 24 乃至 26 のいずれかに記載の表示装置の駆動制御方法において、前記データ書込ステップは、前記発光素子を所定の輝度階調で発光動作させる場合には、前記階調信号として所定の電流値を有する階調電流を当該表示画素に供給し、前記発光素子を無発光動作させる場合には、前記階調信号として所定の電圧値を有する無発光表示電圧を当該表示画素に供給することを特徴とする。

**【0043】**

請求項 28 記載の発明は、請求項 24 乃至 27 のいずれかに記載の表示装置の駆動制御方法において、少なくとも、前記検出用電圧印加ステップと、前記しきい値電圧検出ステップと、前記補償電圧印加ステップと、前記データ書込ステップと、を前記表示画素の各々に対応して設けられた単一のデータ線を介して選択的に実行することを特徴とする。

**【発明の効果】****【0044】**

本発明に係る表示装置及びその駆動制御方法によれば、データドライバ（表示駆動装置）が、表示パネルに配列された各行の表示画素の発光駆動回路に設けられた発光駆動用のスイッチング素子（薄膜トランジスタ）に固有のしきい値電圧を検出する機能を備え、各行の表示画素への表示データ（階調信号）の書込動作の直前に、上記各表示画素について検出されたスイッチング素子のしきい値電圧（しきい値データ）に基づいて、各表示画素ごとのスイッチング素子に固有のしきい値電圧相当の電圧成分を保持させて、各しきい値電圧を補償した状態に設定することができるので、各表示画素のスイッチング素子（薄膜トランジスタ）のしきい値電圧が、経時変化や駆動履歴等に起因して変化（V<sub>th</sub>シフト）した場合であっても、その影響を抑制して、当該スイッチング素子に階調信号に応じた適切な電圧成分を保持させることができ、表示画素（発光素子）を適正な輝度階調で発光動作させることができる。

**【0045】**

特に、本発明に係る表示装置及びその駆動制御方法においては、各フレーム期間ごとに、特定の行の表示画素について上記しきい値電圧検出動作が実行されることにより、表示パネルに配列されたいずれかの行の表示画素について、しきい値電圧検出動作実行時点のしきい値電圧（V<sub>th</sub>シフトの状態）を常時モニタすることができるので、表示データの書込動作に先立って実行されるプリチャージ動作において、各表示画素の発光駆動用のスイッチング素子に固有のしきい値電圧に相当する電圧成分（電荷）を保持した状態（しきい値電圧を個別に補償した状態）に設定することができ、書込動作において、表示データに応じた電圧成分のみを上乗せして充電すればよく、表示データに基づく電圧成分を迅速かつ適切に書き込むことができる。

**【0046】**

また、本発明に係る表示装置及びその駆動制御方法においては、各フレーム期間ごとに、予め設定された各グループについて、当該グループに含まれる特定の行のしきい値検出

動作を実行し、また、各グループに含まれる全ての行の表示画素に書込動作が終了した時点で、当該グループの全ての表示画素を一斉に発光動作させる表示駆動動作を繰り返し実行することにより、同一グループの他の行の表示画素に対して、しきい値電圧検出動作、プリチャージ動作及び書込動作が実行されている期間中は、当該グループ内の全ての表示画素を無発光動作させて無発光表示状態（黒表示状態）に設定することができるので、複数の画像情報（静止画像）を連続的に表示することにより実現される動画像の表示動作に際して、所定の黒挿入率を設定することができ、当該動画像のちらつきを抑制しつつ、鮮明な表示画質を有する表示装置を実現することができる。

【発明を実施するための最良の形態】

【0047】

以下、本発明に係る表示装置及びその駆動制御方法について、実施の形態を示して詳しく説明する。

まず、本発明に係る表示装置に適用可能な表示駆動装置及びその駆動制御方法について、図面を参照して説明する。

【0048】

図1は、本発明に係る表示装置に適用可能な表示駆動装置、及び、該表示駆動装置により駆動制御される表示画素の一例を示す要部構成図である。ここでは、表示装置の表示パネルに配置される特定の表示画素と、当該表示画素を発光駆動制御する表示駆動装置との関係について説明する。

【0049】

<表示駆動装置>

図1に示すように、本発明に係る表示装置に適用可能な表示駆動装置100は、概略、シフトレジスタ・データレジスタ部110と、表示データラッチ部120と、階調信号生成部130と、しきい値検出電圧アナログデジタル変換器（以下、「検出電圧ADC」と略記し、図中では、「V<sub>th</sub>ADC」と表記する）140と、しきい値補償電圧デジタルアナログ変換器（以下、「補償電圧DAC」と略記し、図中では、「V<sub>th</sub>DAC」と表記する）150と、しきい値データラッチ部（図中では、「V<sub>th</sub>データラッチ部」と表記する）160と、フレームメモリ170と、データライン入出力切換部180と、を備えた構成を有している。

【0050】

シフトレジスタ・データレジスタ部（データ取得手段、しきい値取得手段）110は、図示を省略した、シフト信号を順次出力するシフトレジスタと、該シフト信号に基づいて、少なくとも外部から供給されるデジタル信号からなる輝度階調データを順次取り込むデータレジスタと、を備えた構成を有している。より具体的には、外部から順次供給される、表示パネルの1行分の表示画素の表示データ（輝度階調データ）を順次取り込み、後述する表示データラッチ部120に転送する動作、又は、検出電圧ADC140によりデジタル信号に変換され、しきい値データラッチ部160に保持された1行分の表示画素のしきい値電圧（しきい値検出データ）を順次取り込み、後述するフレームメモリ170に転送する動作、もしくは、フレームメモリ170から特定の1行分の表示画素のしきい値補償データを順次取り込み、しきい値データラッチ部160に転送する動作のいずれかを選択的に実行する。なお、これらの各動作については、詳しく後述する。

【0051】

表示データラッチ部120は、上記シフトレジスタ・データレジスタ部110により外部から取り込まれ、転送された1行分の表示画素の表示データ（輝度階調データ）を保持する。

階調信号生成部（階調信号生成手段）130は、後述する表示画素PXに設けられた有機EL素子（電流制御型の発光素子）OELを表示データに応じた輝度階調で発光動作させるための階調信号として、所定の電流値を有する階調電流I<sub>data</sub>、又は、有機EL素子OELを無発光動作させる（発光動作させずに黒表示（最低輝度階調）状態に設定する）ための階調信号として、所定の電圧値を有する無発光表示電圧V<sub>zero</sub>のいずれかを選択的

に供給する機能を備えている。

**【0052】**

ここで、階調信号として表示データに応じた電流値を有する階調電流を供給する構成としては、例えば、図示を省略した電源供給手段から供給される階調基準電圧に基づいて、上記表示データラッチ部120に保持された各表示データのデジタル信号電圧を、アナログ信号電圧に変換するデジタル-アナログ変換器(D/Aコンバータ)と、当該アナログ信号電圧に対応する電流値を有する階調電流 I dataを生成する電圧-電流変換器と、を備えた構成を適用することができる。

**【0053】**

なお、以下の説明においては、階調信号として、所定の電流値を有する階調電流を各表示画素に供給して所定の輝度階調で発光動作(階調表示)させる場合について説明するが、本発明はこれに限定されるものではなく、階調信号として、上記表示データに応じた電圧値を有する階調電圧を印加して所定の輝度階調で発光動作させるものであってもよく、この場合には、例えば、上記デジタル-アナログ変換器のみを備えた構成を適用することができる。

**【0054】**

検出電圧ADC(しきい値電圧検出手段)140は、後述する各表示画素PXに設けられた発光素子(例えば、有機EL素子OEL)に発光駆動電流を供給するスイッチング素子(薄膜トランジスタTr13)のしきい値電圧(又は、当該しきい値電圧に対応する電圧成分)をアナログ信号電圧として取り込み(測定し)、デジタル信号電圧からなるしきい値検出データに変換する。

**【0055】**

補償電圧DAC(補償電圧印加手段、検出用電圧印加手段)150は、各表示画素PXに設けられた上記スイッチング素子のしきい値電圧を補償するためのデジタル信号電圧からなるしきい値補償データを、アナログ信号電圧からなるプリチャージ電圧(補償電圧)に変換する。また、後述する駆動制御方法に示すように、上記検出電圧ADC140によりスイッチング素子のしきい値電圧を測定する動作(しきい値電圧検出動作)において、スイッチング素子を構成する薄膜トランジスタのゲートソース間(コンデンサCsの両端)に、当該スイッチング素子のしきい値電圧よりも高い電位差が設定(電圧成分が保持)されるように、所定の検出用電圧を出力することができるように構成されている。

**【0056】**

また、しきい値データラッチ部160は、1行分の各表示画素PXごとに、上記検出電圧ADC140により変換、生成されたしきい値検出データを取り込んで保持し、当該しきい値検出データをシフトレジスタ・データレジスタ部110を介して、後述するフレームメモリ170に順次転送する動作、又は、フレームメモリ170から上記しきい値検出データに応じた1行分の各表示画素PXごとのしきい値補償データを順次取り込んで保持し、当該しきい値補償データを補償電圧DAC150に転送する動作のいずれかを選択的に実行する。

**【0057】**

また、フレームメモリ(記憶手段)170は、表示パネルに配列された各表示画素PXへの表示データ(輝度階調データ)の書込動作に先立って、上記検出電圧ADC140及びしきい値データラッチ部160により1行分の各表示画素PXごとに検出されたしきい値電圧に基づくしきい値検出データを、シフトレジスタ・データレジスタ部110を介して順次取り込み、表示パネル1画面(1フレーム)分の各表示画素PXごとに個別に記憶するとともに、当該しきい値検出データをしきい値補償データとして、もしくは、当該しきい値検出データに対応するしきい値補償データを、シフトレジスタ・データレジスタ部110を介して順次出力し、しきい値データラッチ部160(補償電圧DAC150)へ転送する。

**【0058】**

また、データライン入出力切換部(信号経路切換手段)180は、表示パネルの列方向

に配設されるデータラインDLを介して各表示画素PXに設けられた上記スイッチング素子（薄膜トランジスタ）のしきい値電圧を、検出電圧ADC140に取り込み、測定するための電圧検出側スイッチ181と、少なくとも、各表示画素PXに設けられた上記スイッチング素子のしきい値電圧を補償するためのプリチャージ電圧、又は、各表示画素PXを表示データに応じた輝度階調で発光動作させるための階調信号（階調電流、又は、無発光表示電圧）のいずれかをデータラインDLに供給するモードを選択するための入力選択スイッチ182と、当該入力信号選択スイッチ182により選択されたプリチャージ電圧、又は、階調信号をデータラインDLを介して各表示画素PXに供給するための書込側スイッチ183と、を備えた構成を有している。

#### 【0059】

ここで、電圧検出側スイッチ181及び書込側スイッチ183は、例えば、チャネル極性が異なる薄膜トランジスタ（電界効果型トランジスタ）により構成することができ、図1に示すように、電圧検出側スイッチ181としてpチャネル型の薄膜トランジスタを適用し、また、書込側スイッチ183としてnチャネル型の薄膜トランジスタを適用することができる。これらの薄膜トランジスタのゲート端子（制御端子）は同一の信号線に接続され、当該信号線に印加される切換制御信号AZの信号レベルに基づいて、各々オン、オフ状態が制御される。

#### 【0060】

##### <表示画素>

また、本発明に係る表示装置に適用可能な表示画素PXは、図1に示すように、表示パネルの行方向（図面左右方向）に配設された選択ラインSLと列方向（図面上下方向）に配設されたデータラインDLとの各交点近傍に配置され、各々、電流制御型の発光素子である有機EL素子OELと、当該有機EL素子OELに表示データに応じた電流値を有する発光駆動電流を供給するための発光駆動回路DCと、を備えた構成を有している。

#### 【0061】

発光駆動回路DCは、例えば、ゲート端子（制御端子）が選択ラインSLに、ドレイン端子及びソース端子（電流路の一端、他端）が所定の供給電圧Vscが印加される供給電圧ラインVL及び接点N11に各々接続された薄膜トランジスタ（第2のスイッチ手段）Tr11と、ゲート端子（制御端子）が選択ラインSLに、ソース端子及びドレイン端子（電流路の一端、他端）がデータラインDL及び接点N12に各々接続された薄膜トランジスタ（第3のスイッチ手段）Tr12と、ゲート端子（制御端子）が接点N11に、ドレイン端子及びソース端子（電流路の一端、他端）が供給電圧ラインVL及び接点（接続接点）N12に各々接続された薄膜トランジスタ（発光駆動素子、第1のスイッチ手段）Tr13と、接点N11及び接点N12間（薄膜トランジスタTr13のゲート-ソース端子間）に接続されたコンデンサCsと、を備えた構成を有している。ここで、薄膜トランジスタTr13は、上述した表示駆動装置100において、上記検出電圧ADC140及びしきい値データラッチ部160によりしきい値電圧が測定される対象となる発光駆動用のスイッチング素子に相当する。

#### 【0062】

また、有機EL素子OELは、アノード端子が上記発光駆動回路DCの接点N12に接続され、カソード端子には共通電圧Vcomが印加されている。ここで、共通電圧Vcomは、後述する表示駆動動作において、表示データに応じた階調信号（階調電流、又は、無発光表示電圧）が発光駆動回路DCに供給される書込動作期間においては、低電位（Vs）に設定される供給電圧Vscと等電位であるか、あるいは、当該供給電圧Vscよりも高い電位であって、かつ、有機EL素子（発光素子）OELに発光駆動電流が供給されて所定の輝度階調で発光動作する発光動作期間においては、高電位（Ve）に設定される供給電圧Vscよりも低電位となる、任意の電位（例えば、接地電位GND）に設定されている（ $Vs \leq Vcom < Ve$ ）。

#### 【0063】

ここで、コンデンサCsは、薄膜トランジスタTr13のゲート-ソース間に形成され



る寄生容量であってもよいし、該寄生容量に加えて接点N11及び接点N12間にさらに容量素子を並列に接続したものであってもよい。また、薄膜トランジスタTr11~Tr13については、特に限定するものではないが、薄膜トランジスタTr11~Tr13を全てnチャネル型の薄膜トランジスタにより構成することにより、nチャネル型のアモルファスシリコン薄膜トランジスタを良好に適用することができる。この場合、すでに確立されたアモルファスシリコン製造技術を適用して、素子特性（電子移動度等）の安定したアモルファスシリコン薄膜トランジスタからなる発光駆動回路を比較的簡易な製造プロセスで製造することができる。以下の説明においては、薄膜トランジスタTr11~Tr13を全てnチャネル型の薄膜トランジスタにより構成した場合について説明する。また、発光駆動回路DCにより発光駆動される発光素子は、有機EL素子OELに限定されるものではなく、電流制御型の発光素子であれば、発光ダイオード等の他の発光素子であってもよい。

#### 【0064】

＜表示駆動装置・表示画素の駆動制御方法＞

次いで、上述したような構成を有する表示駆動装置において、表示画素の発光素子を発光動作させて階調表示を行う場合の駆動制御方法（駆動制御動作）について、図面を参照して説明する。

#### 【0065】

上述した表示駆動装置100における駆動制御動作は、大別して、表示パネルに配列された各表示画素PX（発光駆動回路DC）に設けられた発光駆動用の薄膜トランジスタTr13（スイッチング素子；発光駆動素子）のしきい値電圧を測定して記憶するしきい値電圧検出動作（しきい値電圧検出期間）と、当該しきい値電圧検出動作の終了後、各表示画素PXに設けられた発光駆動用の薄膜トランジスタTr13にしきい値電圧相当の電圧成分を保持させ（しきい値電圧を補償し）、さらに、表示データに応じた階調信号（所定の電流値を有する階調電流）を書き込んで、当該階調信号に応じた所望の輝度階調で有機EL素子OELを発光動作させる表示駆動動作（表示駆動期間）と、を含んで構成されている。ここで、しきい値電圧検出動作は、表示駆動動作に先立つ任意のタイミングで実行される。

#### 【0066】

以下、各制御動作について説明する。

（しきい値電圧検出動作）

図2は、本発明に係る表示装置に適用可能な表示駆動装置におけるしきい値電圧検出動作を示すタイミングチャートである。また、図3は、本発明に係る表示装置に適用可能な表示駆動装置における電圧印加動作を示す概念図であり、図4は、本発明に係る表示装置に適用可能な表示駆動装置における電圧収束動作を示す概念図であり、図5は、本発明に係る表示装置に適用可能な表示駆動装置における電圧読取動作を示す概念図である。また、図6は、nチャネル型の薄膜トランジスタにおいて、ゲートソース間電圧を所定の条件に設定し、ドレインソース間電圧を変調した際のドレインソース間電流特性の一例を表した図である。

#### 【0067】

表示駆動装置100におけるしきい値電圧検出動作は、図2に示すように、所定のしきい値電圧検出期間Tdec内に、表示駆動装置100からデータラインDLを介して、表示画素PXにしきい値電圧検出用の電圧（検出用電圧Vpv）を印加して、表示画素PXの発光駆動回路DCに設けられた発光駆動用の薄膜トランジスタTr13のゲートソース間に上記検出用電圧Vpvに対応する電圧成分を保持させる（すなわち、コンデンサCsに検出用電圧Vpvに応じた電荷を蓄積する）電圧印加期間（検出用電圧印加ステップ）Tpvと、当該電圧印加期間Tpvに薄膜トランジスタTr13のゲートソース間に保持した電圧成分（コンデンサCsに蓄積された電荷）の一部を放電して、薄膜トランジスタTr13のドレインソース間電流Idsのしきい値電圧に相当する電圧成分（電荷）のみを薄膜トランジスタTr13のゲートソース間に保持させる（コンデンサCsに残留させる）電

出証特2005-3101386

圧収束期間  $T_{cv}$  と、当該電圧収束期間  $T_{cv}$  の経過後に、薄膜トランジスタ  $T_{r13}$  のゲートソース間に保持された電圧成分（コンデンサ  $C_s$  に残留する電荷に基づく電圧値；しきい値電圧  $V_{th13}$ ）を測定して、デジタルデータに変換してフレームメモリ 170 の所定の記憶領域に格納（記憶）する電圧読取期間（しきい値電圧検出ステップ）  $T_{rv}$  と、を含むように設定されている（ $T_{dec} \geq T_{pv} + T_{cv} + T_{rv}$ ）。

**【0068】**

ここで、上記薄膜トランジスタ  $T_{r13}$  のドレインソース間電流  $I_{ds}$  のしきい値電圧  $V_{th13}$  とは、当該ドレインソース間に僅かな電圧をさらに加えることによって薄膜トランジスタ  $T_{r13}$  のドレインソース間電流  $I_{ds}$  が流れ始める動作境界となる薄膜トランジスタ  $T_{r13}$  のゲートソース間電圧  $V_{gs}$  のことである。特に、本発明に係る電圧読取期間  $T_{rv}$  において測定されるしきい値電圧  $V_{th13}$  は、薄膜トランジスタ  $T_{r13}$  の製造初期状態のしきい値電圧に対して、駆動履歴（発光履歴）や使用時間（経時変化）等により変動（ $V_{th}$  シフト）が生じた後の、当該しきい値電圧検出動作の実行時点におけるしきい値電圧を示す。

**【0069】**

以下、しきい値電圧検出動作に係る各動作期間についてさらに詳しく説明する。  
（電圧印加期間）

まず、電圧印加期間  $T_{pv}$  においては、図 2、図 3 に示すように、発光駆動回路 DC の選択ライン SL にオンレベル（ハイレベル）の選択信号  $S_{sel}$  が印加され、また、供給電圧ライン VL には、低電位の供給電圧  $V_{sc}$ （ $= V_s$ ）が印加される。ここで、低電位の供給電圧  $V_{sc}$ （ $= V_s$ ）は、共通電圧  $V_{com}$  以下の電圧であればよく、例えば、接地電位 GND でもよい。

**【0070】**

一方、このタイミングで同期して、切換制御信号 AZ がハイレベルに設定されて書込側スイッチ 183 がオン状態、電圧検出側スイッチ 181 がオフ状態に設定されるとともに、入力選択スイッチ 182 が補償電圧 DAC150 側に切換設定されることにより、補償電圧 DAC150 から出力されるしきい値電圧の検出用電圧  $V_{pv}$  が、データライン入出力切換部 180（入力選択スイッチ 182 及び書込側スイッチ 183）を介して、データライン DL に印加される。

**【0071】**

これにより、表示画素 PX を構成する発光駆動回路 DC に設けられた薄膜トランジスタ  $T_{r11}$  及び  $T_{r12}$  がオン動作して、供給電圧  $V_{sc}$  が薄膜トランジスタ  $T_{r11}$  を介して薄膜トランジスタ  $T_{r13}$  のゲート端子及びコンデンサ  $C_s$  の一端側（接点 N11）に印加されるとともに、データライン DL に印加された上記検出用電圧  $V_{pv}$  が、薄膜トランジスタ  $T_{r12}$  を介して薄膜トランジスタ  $T_{r13}$  のソース端子及びコンデンサ  $C_s$  の他端側（接点 N12）に印加される。

**【0072】**

ここで、表示画素 PX（発光駆動回路 DC）において、有機 EL 素子 OEL に発光駆動電流を供給する n チャネル型の薄膜トランジスタ  $T_{r13}$  について、所定のゲートソース間電圧  $V_{gs}$  のときに、ドレインソース間電圧  $V_{ds}$  を変調した場合のドレインソース間電流  $I_{ds}$  の変化特性を検証すると、図 6 に示すような特性図で表すことができる。

**【0073】**

図 6 において、横軸は薄膜トランジスタ  $T_{r13}$  の分圧とそれに直列に接続された有機 EL 素子 OEL の分圧を表し、縦軸は薄膜トランジスタ  $T_{r13}$  のドレインソース間の電流  $I_{ds}$  の電流値を表している。図中の一点鎖線は、薄膜トランジスタ  $T_{r13}$  のゲートソース間のしきい値電圧の境界線であり、当該境界線の左側が不飽和領域であり、右側が飽和領域となっている。実線は、薄膜トランジスタ  $T_{r13}$  のゲートソース間電圧  $V_{gs}$  を最高輝度階調での発光動作時の電圧  $V_{gsmax}$ 、及び、最高輝度階調以下の任意の（異なる）輝度階調での発光動作時の電圧  $V_{gs1}$ （ $< V_{gsmax}$ ）、 $V_{gs2}$ （ $< V_{gs1}$ ）にそれぞれ固定したときに、薄膜トランジスタ  $T_{r13}$  のドレインソース間電圧  $V_{ds}$  を変調したと

きのドレインソース間電流  $I_{ds}$  の変化特性を示している。破線は、有機 EL 素子 OEL を発光動作させる場合の負荷特性線（EL 負荷線）であり、当該 EL 負荷線の右側の電圧は、供給電圧  $V_{sc}$  - 共通電圧  $V_{com}$  間電圧（一例として、図中では 20V）における有機 EL 素子 OEL の分圧となり、EL 負荷線の左側が薄膜トランジスタ  $T_{r13}$  のドレインソース間の電圧  $V_{ds}$  に相当する。この有機 EL 素子 OEL の分圧は、輝度階調が高くなる程、つまり薄膜トランジスタ  $T_{r13}$  のドレインソース間電流  $I_{ds}$ （発光駆動電流 = 階調電流）の電流値が増大する程、漸次増大する。

**【0074】**

図6において、不飽和領域では、薄膜トランジスタ  $T_{r13}$  のゲートソース間電圧  $V_{gs}$  を一定に設定した場合であっても、薄膜トランジスタ  $T_{r13}$  のドレインソース間電圧  $V_{ds}$  が高くなるにつれてドレインソース間電流  $I_{ds}$  の電流値が顕著に大きくなる（変化する）。一方、飽和領域では、薄膜トランジスタ  $T_{r13}$  のゲートソース間電圧  $V_{gs}$  を一定に設定した場合、ドレインソース間電圧  $V_{ds}$  が高くなっても薄膜トランジスタ  $T_{r13}$  のドレインソース間電流  $I_{ds}$  はあまり増加せず、ほぼ一定となる。

**【0075】**

ここで、電圧印加期間  $T_{pv}$  において、補償電圧 DAC150 からデータライン DL（さらには、表示画素 PX（発光駆動回路 DC）の薄膜トランジスタ  $T_{r13}$  のソース端子）に印加される上記検出用電圧  $V_{pv}$  は、低電位に設定された供給電圧  $V_{sc}$ （= $V_s$ ）よりも十分低く、かつ、図6に示した特性図において、薄膜トランジスタ  $T_{r13}$  のゲートソース間電圧  $V_{gs}$  が飽和特性を示す領域のドレインソース間電圧  $V_{ds}$  が得られるような電圧値に設定されている。例えば、上記検出用電圧  $V_{pv}$  として、補償電圧 DAC150 からデータライン DL に印加可能な最大電圧に設定するものであってもよい。

**【0076】**

さらに、検出用電圧  $V_{pv}$  は、次の（1）式を満たすように設定されている。

$$|V_s - V_{pv}| > V_{th12} + V_{th13} \quad \dots (1)$$

上記（1）式において、 $V_{th12}$  は、薄膜トランジスタ  $T_{r12}$  のゲート端子にオンレベルの選択信号  $S_{sel}$  が印加されたときの薄膜トランジスタ  $T_{r12}$  のドレインソース間のしきい値電圧である。また、薄膜トランジスタ  $T_{r13}$  のゲート端子及びドレイン端子にはともに低電位の供給電圧  $V_{sc}$ （= $V_s$ ）が印加され、互いにほぼ等電位となっているので、 $V_{th13}$  は、薄膜トランジスタ  $T_{r13}$  のドレインソース間電圧のしきい値電圧であり、当該薄膜トランジスタ  $T_{r13}$  のゲートソース間のしきい値電圧でもある。なお、 $V_{th12} + V_{th13}$  は経時的に徐々に高くなっていくが、常に（1）式を満たすように（ $V_s - V_{pv}$ ）の電位差が大きく設定されている。

**【0077】**

このように、薄膜トランジスタ  $T_{r13}$  のゲートソース間（すなわち、コンデンサ  $C_s$  の両端）に、薄膜トランジスタ  $T_{r13}$  のしきい値電圧  $V_{th13}$  よりも大きな電位差  $V_{cp}$ （両端電位  $V_c$ ）が印加されることにより、この電圧  $V_{cp}$  に応じた大電流の検出用電流  $I_{pv}$  が、供給電圧ライン VL から薄膜トランジスタ  $T_{r13}$  のドレインソース間を介して、補償電圧 DAC150 に向けて強制的に流れる。したがって、速やかにコンデンサ  $C_s$  の両端に該検出用電流  $I_{pv}$  に基づく電位差に対応する電荷が蓄積される（すなわち、コンデンサ  $C_s$  に電圧  $V_{cp}$  が充電される）。なお、電圧印加期間  $T_{pv}$  においては、コンデンサ  $C_s$  に電荷が蓄積されるばかりでなく、供給電圧ライン VL からデータライン DL に至る電流ルートのその他の容量成分にも、検出用電流  $I_{pv}$  が流れるため電荷の蓄積が行われる。

**【0078】**

このとき、有機 EL 素子 OEL のカソード端子には、上記供給電圧ライン VL に印加される低電位の供給電圧  $V_{sc}$ （= $V_s$ ）以上の共通電圧  $V_{com}$ （= $GND$ ）が印加されているので、有機 EL 素子 OEL のアノードカソード間は、無電界状態又は逆バイアス状態に設定されることになり、有機 EL 素子 OEL には発光駆動電流が流れず発光動作は行われない。

**【0079】**

(電圧収束期間)

次いで、上記電圧印加期間 $T_{pv}$ 終了後の電圧収束期間 $T_{cv}$ においては、図2、図4に示すように、選択ライン $SL$ にオンレベルの選択信号 $S_{sel}$ が印加され、また、供給電圧ライン $VL$ に低電位の供給電圧 $V_{sc} (= V_s)$ が印加された状態で、切換制御信号 $AZ$ がローレベルに切換設定されることにより、電圧検出側スイッチ181がオン状態に設定されるとともに、書込側スイッチ183がオフ状態に設定される。また、補償電圧 $DAC150$ からの検出用電圧 $V_{pv}$ の出力が停止される。これにより、薄膜トランジスタ $Tr11$ 、 $Tr12$ はオン状態を保持するため、表示画素 $PX$  (発光駆動回路 $DC$ )は、データライン $DL$ との電気的な接続状態は保持されるものの、当該データライン $DL$ への電圧印加が遮断されるので、コンデンサ $C_s$ の他端側 (接点 $N12$ )はハイインピーダンス状態に設定される。

**【0080】**

このとき、上述した電圧印加期間 $T_{pv}$ においてコンデンサ $C_s$ に蓄積された電荷 (両端電位 $V_c = V_{cp} > V_{th13}$ )により薄膜トランジスタ $Tr13$ のゲート電圧が保持されることになり、薄膜トランジスタ $Tr13$ はオン状態を保持して当該ドレイン-ソース間に電流が流れ続けるので、薄膜トランジスタ $Tr13$ のソース端子側 (接点 $N12$ ; コンデンサ $C_s$ の他端側)の電位がドレイン端子側 (供給電圧ライン $VL$ 側)の電位に近づくように徐々に上昇していく。

**【0081】**

これにより、コンデンサ $C_s$ に蓄積された電荷の一部が放電されて、薄膜トランジスタ $Tr13$ のゲート-ソース間電圧 $V_{gs}$ が低下することになり、最終的に薄膜トランジスタ $Tr13$ のしきい値電圧 $V_{th13}$ に収束するように変化する。また、これに伴って、薄膜トランジスタ $Tr13$ のドレイン-ソース間電流 $I_{ds}$ が減少して、最終的に当該電流の流れが停止する。

**【0082】**

なお、この電圧収束期間 $T_{cv}$ においても、有機 $EL$ 素子 $OEL$ のアノード端子 (接点 $N12$ )の電位は、カソード端子側の共通電圧 $V_{com}$ と同等であるか、又は、それ未満の電位を有しているので、有機 $EL$ 素子 $OEL$ には依然として無電圧又は逆バイアス電圧が印加されることになり、有機 $EL$ 素子 $OEL$ は発光動作しない。

**【0083】**

(電圧読取期間)

次いで、上記電圧収束期間 $T_{cv}$ 経過後の電圧読取期間 $T_{rv}$ においては、図2、図5に示すように、電圧収束期間 $T_{cv}$ と同様に、選択ライン $SL$ にオンレベルの選択信号 $S_{sel}$ が印加され、また、供給電圧ライン $VL$ に低電位の供給電圧 $V_{sc} (= V_s)$ が印加され、切換制御信号 $AZ$ がローレベルに設定された状態で、データライン $DL$ に電気的に接続された検出電圧 $ADC140$ 及びしきい値データラッチ部160により、当該データライン $DL$ の電位 (検出電圧 $V_{dec}$ )を測定する。

**【0084】**

ここで、上記電圧収束期間 $T_{cv}$ 経過後のデータライン $DL$ は、オン状態に設定された薄膜トランジスタ $Tr12$ を介して、薄膜トランジスタ $Tr13$ のソース端子 (接点 $N12$ )側に接続された状態にあり、また、上述したように、当該薄膜トランジスタ $Tr13$ のソース端子 (接点 $N12$ )側の電位は、薄膜トランジスタ $Tr13$ のしきい値電圧 $V_{th13}$ 相当の電荷が蓄積されたコンデンサ $C_s$ の他端側の電位に相当する。

**【0085】**

一方、当該薄膜トランジスタ $Tr13$ のゲート端子 (接点 $N11$ )側の電位は、薄膜トランジスタ $Tr13$ のしきい値電圧 $V_{th13}$ 相当の電荷が蓄積されたコンデンサ $C_s$ の一端側の電位であって、このとき、オン状態に設定された薄膜トランジスタ $Tr11$ を介して、低電位の供給電圧 $V_{sc}$ に接続された状態にある。

**【0086】**

出証特 2005-3101386

これにより、検出電圧ADC140により測定されるデータラインDLの電位は、薄膜トランジスタTr13のソース端子側の電位、又は、当該電位に対応する電位に相当することになるので、当該検出電圧Vdecと予め設定電圧が判明している低電位の供給電圧Vsc（例えば、接地電位GND）との差分（電位差）に基づいて、薄膜トランジスタTr13のゲートソース間電圧Vgs（コンデンサCsの両端電位Vc）、すなわち、薄膜トランジスタTr13のしきい値電圧Vth13、又は、当該しきい値電圧Vth13に対応する電圧を検出することができる。

【0087】

そして、このようにして検出された薄膜トランジスタTr13のしきい値電圧Vth13（アナログ信号電圧）は、検出電圧ADC140によりデジタル信号電圧からなるしきい値検出データに変換されて、しきい値データラッチ部160に一旦保持された後、1行分の各表示画素PXのしきい値検出データを、シフトレジスタ・データレジスタ部110により順次読み出して、フレームメモリ170の所定の記憶領域に格納（記憶）する。ここで、各表示画素PXの発光駆動回路DCに設けられた薄膜トランジスタTr13のしきい値電圧Vth13は、各表示画素PXにおける駆動履歴（発光履歴）等により変動（Vthシフト）の度合いが異なるため、フレームメモリ170には、各表示画素PX固有のしきい値検出データが記憶されることになる。

【0088】

このような一連のしきい値電圧検出動作は、後述する表示駆動動作に先立つ任意のタイミングで実行され、具体的には、後述する表示装置の駆動制御方法においても説明するように、表示パネルに配列された全ての表示画素について表示駆動動作を実行する1フレーム期間内に、特定の行の表示画素についてしきい値電圧検出動作を実行し、しきい値電圧検出動作の対象となる当該特定の行を、フレーム期間ごとにずらすことにより、常時いずれかの行の表示画素のしきい値電圧を検出して、後述する表示駆動動作における各表示画素のしきい値電圧を補償するためのプリチャージ動作に用いるように制御される。

なお、後述する表示装置の駆動制御方法の各実施形態においては、説明を簡単にするため、特定の行を1行のみとしたが、本発明はこれに限るものではなく、表示パネルの全行の一部からなる、2行以上の複数行であってもよい。

【0089】

（表示駆動動作：階調表示動作）

図7は、本発明に係る表示装置に適用可能な表示駆動装置における駆動制御方法（階調表示動作）を示すタイミングチャートである。また、図8は、本発明に係る表示装置に適用可能な表示駆動装置におけるプリチャージ動作を示す概念図であり、図9は、本発明に係る表示装置に適用可能な表示駆動装置におけるデータ書込動作を示す概念図であり、図10は、本発明に係る表示装置に適用可能な表示駆動装置における発光動作を示す概念図である。

【0090】

上述した表示駆動装置100における表示駆動動作（階調表示動作）は、図7に示すように、所定の表示駆動期間（1処理サイクル期間）Tcyc内に、表示駆動装置100からデータラインDLを介して、表示画素PXに所定のプリチャージ電圧Vpreを印加して、表示画素PXの発光駆動回路DCに設けられた発光駆動用の薄膜トランジスタTr13のゲートソース間に、当該薄膜トランジスタTr13のドレインソース間電流Idsのしきい値電圧Vth13相当の電圧成分を保持させて（コンデンサCsに電荷を蓄積又は放電させて）、しきい値電圧を補償するプリチャージ期間（補償電圧印加ステップ）Tthと、表示データに応じた階調信号（階調電流）をデータラインDLを介して表示画素PX（発光駆動回路DC）に印加し、薄膜トランジスタTr13のゲートソース間に、上記プリチャージ期間Tthに保持されたしきい値電圧Vth13相当の電圧成分に、階調信号に応じた電圧成分を上乗せして、階調信号を書き込む書込動作期間（データ書込ステップ）Twrと、上記薄膜トランジスタTr13のゲートソース間に保持された全電圧成分（コンデンサCsに蓄積された総電荷量）に基づいて、表示データに応じた電流値を有する発光駆動

出証特 2005-3101386

電流を有機EL素子OELに流して、所定の輝度階調で発光動作させる発光動作期間（階調発光ステップ） $T_{em}$ と、を含むように設定されている（ $T_{cyc} \geq T_{th} + T_{wrt} + T_{em}$ ）。

#### 【0091】

ここで、表示駆動期間 $T_{cyc}$ に適用される1処理サイクル期間は、例えば、表示画素PXが1フレームの画像のうちの1画素分の画像情報を表示するのに要する期間に設定される。すなわち、後述する表示装置の駆動制御方法において説明するように、複数の表示画素PXを行方向及び列方向にマトリクスに配列した表示パネルに、1フレームの画像を表示する場合、上記1処理サイクル期間 $T_{cyc}$ は、1行分の表示画素PXが1フレームの画像のうちの1行分の画像を表示するのに要する期間に設定される。

#### 【0092】

以下、表示駆動動作に係る各動作期間についてさらに詳しく説明する。

##### （プリチャージ期間）

まず、プリチャージ期間 $T_{th}$ においては、上述した電圧印加期間 $T_{pv}$ と同様に、図7、図8に示すように、発光駆動回路DCの選択ラインSLにオンレベル（ハイレベル）の選択信号Sselが印加され、また、供給電圧ラインVLには、低電位の供給電圧 $V_{sc}$ （= $V_s$ ；例えば、接地電位GND）が印加される。

#### 【0093】

これにより、発光駆動回路DCに設けられた薄膜トランジスタ $T_{r11}$ 及び $T_{r12}$ がオン動作して、供給電圧 $V_{sc}$ が薄膜トランジスタ $T_{r11}$ を介して薄膜トランジスタ $T_{r13}$ のゲート端子（接点N11；コンデンサCsの一端側）に印加されるとともに、薄膜トランジスタ $T_{r13}$ のソース端子（接点N12）が薄膜トランジスタ $T_{r12}$ を介して、データラインDLに電氣的に接続される。

#### 【0094】

一方、このタイミングに同期して、切換制御信号AZがハイレベルに設定されて書込側スイッチ183がオン状態、電圧検出側スイッチ181がオフ状態に設定されるとともに、入力選択スイッチ182が補償電圧DAC150側に切換設定される。

これにより、補償電圧DAC150から出力されるプリチャージ電圧 $V_{pre}$ が、データライン入出力切換部180（入力選択スイッチ182及び書込側スイッチ183）を介して、データラインDLに印加され、さらに、上記発光駆動回路DCに設けられた薄膜トランジスタ $T_{r12}$ を介して、当該プリチャージ電圧 $V_{pre}$ が薄膜トランジスタ $T_{r13}$ のソース端子（接点N12）に印加される。

#### 【0095】

ここで、プリチャージ期間 $T_{th}$ において、補償電圧DAC150からデータラインDLを介して、表示画素PX（発光駆動回路DC）の薄膜トランジスタ $T_{r13}$ のソース端子（接点N12）に印加される上記プリチャージ電圧 $V_{pre}$ は、上述したしきい値電圧検出動作において、検出電圧ADC140及びしきい値データラッチ部160により各表示画素PXごとに検出され、フレームメモリ170に各表示画素PXごとに個別に記憶されたしきい値検出データに基づいて、各表示画素PX（発光駆動回路DC）の薄膜トランジスタ $T_{r13}$ に固有のしきい値電圧 $V_{th13}$ を補償する電圧値を有するものであって、上記プリチャージ電圧 $V_{pre}$ の印加により、当該薄膜トランジスタ $T_{r13}$ のゲート-ソース間（コンデンサCsの両端）にしきい値電圧 $V_{th13}$ 相当の電圧成分を保持させることができる電圧値に設定されている。

#### 【0096】

薄膜トランジスタ $T_{r13}$ のしきい値電圧 $V_{th13}$ について、より具体的に説明すると、上述したように、表示画素PXに設けられる発光駆動回路DCを構成する薄膜トランジスタ $T_{r11} \sim T_{r13}$ として、nチャンネル型のアモルファスシリコン薄膜トランジスタを適用した場合、すでに確立されたアモルファスシリコン製造技術を適用して、素子特性の均一な薄膜トランジスタを形成することができ、動作特性の安定した発光駆動回路を比較的簡易な製造プロセスで製造することができるという利点を有している。

#### 【0097】

しかしながら、アモルファスシリコン薄膜トランジスタは、一般に駆動履歴によるしきい値電圧の変動（ $V_{th}$ シフト）が顕著に生じることが知られている。このようなしきい値電圧の変動の影響を抑制する駆動制御方法として、後述するように、表示画素PXに設けられた発光駆動回路DCに対して、データラインDLを介して表示データに応じた階調信号の電流成分（階調電流）を直接流す電流階調指定方式（又は、電流階調指定駆動）の駆動制御方法が知られているが、この駆動制御方法によれば、発光駆動用の薄膜トランジスタTr13のゲートソース間（コンデンサCsの両端）に加え、当該階調電流が供給される経路に形成された（寄生する）容量成分をも、階調電流により所定電圧まで充電することになるため、特に、低い輝度階調で発光動作（低階調表示）を行う場合には、階調電流が微小になることにより上記充電動作に時間を要し、所定の時間内に階調信号の書込動作が終了せず、薄膜トランジスタTr13のゲートソース間（コンデンサCsの両端）に保持される電圧成分が表示データに対して不足する書込不足が発生して、所望の輝度階調での発光動作が行われなくなる可能性がある。

**【0098】**

より具体的には、電流階調指定方式の駆動制御方法において、薄膜トランジスタTr13のドレインソース間に、後述する書込動作の際に表示データに応じた階調電流を流すために必要とする薄膜トランジスタTr13のゲートソース間電圧 $V_{gs}$ のうち、多くの電圧成分は、当該薄膜トランジスタTr13のしきい値電圧 $V_{th13}$ に寄与するものであり、特に、有機EL素子OELを最低輝度階調（LSB）で発光動作させる場合に必要とする薄膜トランジスタTr13のゲートソース間電圧 $V_{gs}$ （= $V_{lsb}$ ）では、保持された電圧成分（全電荷）のうちのしきい値電圧 $V_{th13}$ に寄与する電圧成分の割合は5割を大きく越えていることが本願発明者等の各種実験の結果、判明した。

**【0099】**

このしきい値電圧 $V_{th13}$ に相当する電圧成分（電荷量）を、上記プリチャージ動作（プリチャージ電圧 $V_{pre}$ の印加）を適用することなく、階調信号（微小な電流値の階調電流）の書込動作だけでゲートソース間（コンデンサCs）に充電しようとする、後述する書込動作期間 $T_{wrt}$ が大幅に長くなってしまい、結果的に、画像情報が所定の処理期間（フレーム期間）に良好に表示されなくなる不具合が発生する可能性があった。

**【0100】**

そこで、本発明に係る表示装置に適用可能な表示駆動装置においては、後述する階調信号の書込動作に先立って、プリチャージ期間 $T_{th}$ を設け、プリチャージ電圧 $V_{pre}$ を印加することにより、薄膜トランジスタTr13のゲートソース間（コンデンサCsの両端）に、当該薄膜トランジスタTr13の現時点のしきい値電圧（駆動履歴による $V_{th}$ シフトした後の、しきい値電圧検出動作時点のしきい値電圧） $V_{th13}$ 相当の電圧成分を保持させた状態に設定し、低階調表示時の微小な階調電流であっても、階調信号により薄膜トランジスタTr13のゲートソース間（コンデンサCsの両端）にしきい値電圧 $V_{th13}$ 相当の電圧成分を充電することなく、表示データに応じた電圧成分（しきい値電圧 $V_{th13}$ 相当分を除く、表示データに応じた階調表示のための実質的な電圧成分；実効電圧 $V_{data}$ ）のみを、上記しきい値電圧 $V_{th13}$ 相当の電圧成分に上乗せして薄膜トランジスタTr13のゲートソース間に保持させることができる。

**【0101】**

なお、このプリチャージ期間 $T_{th}$ においては、薄膜トランジスタTr13のゲートソース間に、当該薄膜トランジスタTr13に固有のしきい値電圧 $V_{th13}$ 相当の電圧成分が保持された状態に制御されるので、当該薄膜トランジスタTr13のドレインソース間には電流がほとんど流れず、また、有機EL素子OELのアノード端子（接点N12）側の電位は、カソード端子側の共通電圧 $V_{com}$ と同等であるか、又は、それ未満の電位を有しているので、有機EL素子OELには無電圧又は逆バイアス電圧が印加されて、有機EL素子OELは発光動作しない。

**【0102】**

このように、薄膜トランジスタTr13のゲートソース間にしきい値電圧 $V_{th13}$ 相当

の電圧成分を保持させるために、発光駆動回路DC及びデータラインDLに当該電圧成分に基づく電流を流すことなく、各薄膜トランジスタTr13に固有のしきい値電圧Vth13に応じた電圧値を有するプリチャージ電圧Vpreを、薄膜トランジスタTr13のソース端子（接点N12）側に直接印加するようにしているため、各表示画素PX（発光駆動回路DC）の発光駆動用の薄膜トランジスタTr13（コンデンサCs）に当該しきい値電圧Vth13に相当する電圧成分を迅速に充電することができる。

#### 【0103】

（書込動作期間）

次いで、プリチャージ期間Th終了後の書込動作期間Twrにおいて、図7、図9に示すように、選択ラインSLにオンレベルの選択信号Sselが印加され、また、供給電圧ラインVLに低電位の供給電圧Vsc（=Vs）が印加され、切換制御信号AZがハイレベルに設定された状態で、入力選択スイッチ182が階調信号生成部130側に切換設定されることにより、表示データに応じて階調信号生成部130から出力される階調信号（負極性の階調電流Idata）が、データライン入出力切換部180（入力選択スイッチ182及び書込側スイッチ183）を介して、データラインDLに供給される。ここで、階調信号として、負極性の階調電流Idataが供給されることにより、当該電流がデータラインDL側から、データライン入出力切換部180を介して階調信号生成部130方向に引き込まれるように流れる。

#### 【0104】

これにより、表示画素PX（発光駆動回路DC）に設けられた薄膜トランジスタTr11がオン動作して、低電位の供給電圧Vsc（=Vs）が薄膜トランジスタTr11を介して薄膜トランジスタTr13のゲート及びコンデンサCsの一端側（接点N11）に印加されるとともに、薄膜トランジスタTr12がオン動作して、データラインDLを介して階調電流Idataが引き込まれることにより、上記供給電圧Vscよりもさらに低電位の電圧が薄膜トランジスタTr13のソース端子側（接点N12；コンデンサCsの他端側）に印加されるため、薄膜トランジスタTr13が所定の導通状態でオン動作して、図9に示すように、供給電圧ラインVLから薄膜トランジスタTr13、接点N12、薄膜トランジスタTr12、データラインDLを介して、表示駆動装置100（階調信号生成部130）に、階調電流Idataの電流値に対応した書込電流Iwrtが速やかに流れる。

#### 【0105】

ここで、薄膜トランジスタTr13のゲートソース間に接続されたコンデンサCsには、上述したプリチャージ期間Thにおいて、薄膜トランジスタTr13に固有のしきい値電圧Vth13相当の電圧成分が保持された（電荷が蓄積された）状態にあるため、階調電流Idataに基づく書込電流Iwrtが薄膜トランジスタTr13のドレインソース間で定常化するのに必要とする容量の電荷は、しきい値電圧Vth13分を含まず、表示データに応じた階調表示のための実効電圧Vdataのみを充電するための電流値を有する階調電流Idata（書込電流Iwrt）であればよく、比較的短い時間で薄膜トランジスタTr13のゲートソース間（コンデンサCsの両端）に当該電荷を充電することができる。

#### 【0106】

したがって、薄膜トランジスタTr13のしきい値電圧Vth13が経時変化や発光履歴（駆動履歴）等によりVthシフトした場合であっても、階調信号（表示データ）に適切に対応した電圧成分Vdataを書込動作期間Twrに迅速かつ十分に書き込むことができる。なお、この書込動作期間Twrにおいては、薄膜トランジスタTr13のドレインソース間電流（書込電流Iwrt）により、薄膜トランジスタTr13のゲートソース間電圧Vgs、つまりコンデンサCsに蓄積される電荷量が一義的に設定されるため、コンデンサCsに充電される電圧Vcは、具体的には、薄膜トランジスタTr13に固有のしきい値電圧Vth13と階調電流Idataに応じた電圧成分（実効電圧）Vdataの総和（Vth13+Vdata）となる。

#### 【0107】

また、このとき、供給電圧ラインVLには、低電位の供給電圧Vsc（=Vs）が印加さ



れ、さらに、書込電流  $I_{wrt}$  が供給電圧ライン  $V_L$  から発光駆動回路  $DC$  を介してデータライン  $DL$  方向に流れるように制御されていることから、有機  $EL$  素子  $OEL$  のアノード端子（接点  $N12$ ）に印加される電位はカソード端子の電位  $V_{com}$  ( $GND$ ) 以下になるので、有機  $EL$  素子  $OEL$  に逆バイアス電圧が印加されることになり、有機  $EL$  素子  $OEL$  には発光駆動電流が流れず、発光動作は行われぬ。

**【0108】**

（発光動作期間）

次いで、書込動作期間  $T_{wrt}$  終了後の発光動作期間  $T_{em}$  においては、図7、図10に示すように、選択ライン  $SL$  にオフレベル（ローレベル）の選択信号  $S_{sel}$  が印加され、供給電圧ライン  $V_L$  に高電位の供給電圧  $V_{sc}$  ( $=V_e$ ) が印加される。また、このタイミングに同期して、階調信号生成部 130 による上記階調電流  $I_{data}$  の引き込み動作が停止される。

**【0109】**

これにより、発光駆動回路  $DC$  に設けられた薄膜トランジスタ  $Tr11$  及び  $Tr12$  がオフ動作して、供給電圧  $V_{sc}$  の薄膜トランジスタ  $Tr13$  のゲート端子（接点  $N11$ ；コンデンサ  $C_s$  の一端側）及びドレイン端子への印加が遮断されるとともに、データライン  $DL$  と薄膜トランジスタ  $Tr13$  のソース端子（接点  $N12$ ；コンデンサ  $C_s$  の他端側）との電気的な接続が遮断されるので、上述した書込動作期間  $T_{wrt}$  においてコンデンサ  $C_s$  に蓄積された電荷が保持される。

**【0110】**

なお、発光動作期間  $T_{em}$  において、供給電圧ライン  $V_L$  に印加される高電位の供給電圧  $V_{sc}$  ( $=V_e$ ) は、有機  $EL$  素子  $OEL$  を最高輝度階調 ( $MSB$ ) で発光動作させる際に必要となるアノード電圧以上の電圧値（有機  $EL$  素子  $OEL$  のカソード側に接続された電圧  $V_{com}$  に対して、順バイアスとなる正の電圧）になるように設定されている。

**【0111】**

具体的には、高電位の供給電圧  $V_{sc}$  ( $=V_e$ ) は、下記の (2) 式を満たすような電圧値に設定される。

$$|V_e - V_{com}| > V_{dsmax} + V_{elmax} \quad \dots (2)$$

上記 (2) 式において、 $V_{dsmax}$  は、最高輝度階調で発光動作させる際の階調電流  $I_{data}$  を流す場合に、薄膜トランジスタ  $Tr13$  のドレイン-ソース間が発光動作期間  $T_{em}$  で図6に示した飽和領域に達するような薄膜トランジスタ  $Tr13$  のドレイン-ソース間の最高電圧値である。また、 $V_{elmax}$  は、最高輝度階調時の有機  $EL$  素子  $OEL$  の分圧である。

**【0112】**

このように、プリチャージ動作及び書込動作時にコンデンサ  $C_s$  に充電された電圧成分の総和 ( $V_{th13} + V_{data}$ ) がコンデンサ  $C_s$  の両端電位  $V_c$  として保持されることにより、薄膜トランジスタ  $Tr13$  のゲート-ソース間電圧  $V_{gs}$  (すなわち、接点  $N11$  の電位) が保持されることになり、薄膜トランジスタ  $Tr13$  はオン状態を維持する。

**【0113】**

したがって、発光動作期間  $T_{em}$  に、図10に示すように、供給電圧ライン  $V_L$  から薄膜トランジスタ  $Tr13$ 、接点  $N12$  を介して、有機  $EL$  素子  $OEL$  方向に発光駆動電流  $I_{em}$  が流れ、有機  $EL$  素子  $OEL$  が該発光駆動電流  $I_{em}$  の電流値に応じた所定の輝度階調で発光する。ここで、発光動作期間  $T_{em}$  にコンデンサ  $C_s$  に保持される電荷（両端電位  $V_c$ ）は、上述したように、薄膜トランジスタ  $Tr13$  において階調電流  $I_{data}$  に対応する書込電流  $I_{wrt}$  を流す場合の電位差に相当するので、有機  $EL$  素子  $OEL$  に流れる発光駆動電流  $I_{em}$  は、上記書込電流  $I_{wrt}$  (階調電流  $I_{data}$ ) と同等の電流値 ( $I_{em} = I_{wrt} = I_{data}$ ) を有することになる。これにより、書込動作期間  $T_{wrt}$  に書き込まれた電圧成分（実効電圧  $V_{data}$ ）に基づいて、所定の発光状態（輝度階調）に対応する発光駆動電流  $I_{em}$  が供給されることになり、有機  $EL$  素子  $OEL$  は表示データ（階調信号）に応じた輝度階調で継続的に発光する。

## 【0114】

このように、本発明に係る表示装置に適用可能な表示駆動装置及び表示画素によれば、プリチャージ期間に薄膜トランジスタ  $T r 1 3$  のゲートソース間にしきい値電圧  $V_{th13}$  相当の電圧成分を保持させ、さらに、書込動作期間に有機 E L 素子 O E L の発光状態（輝度階調）に応じた電流値を指定した階調電流  $I_{data}$ （書込電流  $I_{wrt}$ ）を強制的に薄膜トランジスタ  $T r 1 3$  のドレインソース間に流して、薄膜トランジスタ  $T r 1 3$  のゲートソース間にその電流値に応じた電圧成分  $V_{data}$  を保持させることにより、実質的に階調電流  $I_{data}$  に応じた電圧成分（実効電圧  $V_{data}$ ）に基づいて、有機 E L 素子（発光素子）O E L に流す発光駆動電流  $I_{em}$  を制御して、所定の輝度階調で発光動作させる電流階調指定方式の駆動制御方法を適用し、また、単一の発光駆動用のスイッチング素子（薄膜トランジスタ  $T r 1 3$ ）により、所望の表示データ（輝度階調）に応じた階調電流  $I_{data}$  の電流レベルを電圧レベルに変換する機能（電流／電圧変換機能）と、有機 E L 素子 O E L に所定の電流値を有する発光駆動電流  $I_{em}$  を供給する機能（発光駆動機能）の双方を実現しているため、発光駆動回路 D C を構成する薄膜トランジスタ相互の素子特性のバラツキや経時変化の影響を受けることなく、長期間にわたり安定的に所望の発光特性を実現することができる。

## 【0115】

また、本発明に係る表示装置に適用可能な表示駆動装置及び表示画素によれば、表示画素 P X への表示データ（階調信号）の書込動作、及び、有機 E L 素子 O E L の発光動作に先立って、プリチャージ動作を実行することにより、各発光駆動回路 D C に設けられた発光駆動用の薄膜トランジスタ  $T r 1 3$  のゲートソース端子間に接続されたコンデンサ C s に、プリチャージ電圧  $V_{pre}$  を印加して当該薄膜トランジスタ  $T r 1 3$  に固有のしきい値電圧  $V_{th13}$  に相当する電圧成分を保持（電荷を蓄積）した状態に設定することができる。

## 【0116】

したがって、各表示画素 P X（発光駆動回路 D C）に設けられた発光駆動用のスイッチング素子（薄膜トランジスタ  $T r 1 3$ ）のしきい値電圧  $V_{th13}$  が、経時変化や駆動履歴等に起因して変化（ $V_{th}$  シフト）した場合であっても、上述したプリチャージ動作において、個々の薄膜トランジスタ  $T r 1 3$  に固有のしきい値電圧  $V_{th13}$  に応じた電荷が適切に蓄積された状態に設定することができる。これにより、表示データの書込動作において、表示データに基づく階調電流  $I_{data}$  によりコンデンサ C s をしきい値電圧  $V_{th13}$  相当に充電する必要がなく、当該表示データ（輝度階調）に応じた電圧成分（実効電圧） $V_{data}$  のみを上乘せして充電すればよいので、表示データに基づく電荷をコンデンサ C s に迅速に蓄積することができ、書込不足の発生を抑制して、表示データに応じた適正な輝度階調で有機 E L 素子 O E L を発光動作させることができる。

## 【0117】

なお、上述した表示駆動装置においては、表示駆動動作に先立って実行されるしきい値電圧検出動作において、電圧印加期間  $T_{pv}$  に各表示画素 P X の発光駆動回路 D C（薄膜トランジスタ  $T r 1 3$  のソース端子側）に印加する検出用電圧  $V_{pv}$  を、補償電圧 D A C 1 5 0 から入力選択スイッチ 1 8 2 及び書込側スイッチ 1 8 3 を介して、データライン D L に印加する表示駆動装置の構成及び駆動制御方法を示したが、本発明はこれに限定されるものではなく、例えば、以下に示すように、検出用電圧  $V_{pv}$  をデータライン D L に印加するための専用電源を備えるものであってもよい。

## 【0118】

図 1 1 は、本発明に係る表示装置に適用可能な表示駆動装置の他の構成例を示す要部構成図である。ここで、上述した表示駆動装置と同等の構成についてはその説明を省略する。

本構成例に係る表示駆動装置は、図 1 1 に示すように、上述した表示駆動装置 1 0 0 の構成（図 1 参照）に加え、補償電圧 D A C 1 5 0 とは別個に、検出用電圧  $V_{pv}$  を出力する検出用電圧電源 1 9 0 を備えた構成を有するとともに、データライン入出力切換部 1 8 0

に設けられる入力選択スイッチ182が補償電圧DAC150（プリチャージ電圧 $V_{pre}$ ）、及び、階調信号生成部130（階調電流 $I_{data}$ ）に加え、上記検出用電圧電源190（検出用電圧 $V_{pv}$ ）を含む三者のうち、いずれかをデータラインDLに選択的に接続可能なように構成されている。

**【0119】**

これによれば、上述した電圧印加期間 $T_{pv}$ において、データライン入出力切換部180の入力選択スイッチ182及び書込側スイッチ183を検出用電圧電源190側に切り換える制御のみで、任意の電圧値を有する検出用電圧 $V_{pv}$ をデータラインDLに印加することができるので、補償電圧DAC150における検出用電圧 $V_{pv}$ の出力動作のための処理負担を軽減することができる。

**【0120】**

（表示駆動動作：無発光表示動作）

次いで、上述したような構成を有する表示駆動装置及び表示画素において、発光素子を発光動作させない無発光表示（黒表示）を行う場合の駆動制御方法について、図面を参照して説明する。

**【0121】**

図12は、本発明に係る表示装置に適用可能な表示駆動装置における駆動制御方法（無発光表示動作）を示すタイミングチャートである。また、図13は、本発明に係る表示装置に適用可能な表示駆動装置におけるデータ書込動作の他の例を示す概念図であり、図14は、本発明に係る表示装置に適用可能な表示駆動装置における無発光動作を示す概念図である。ここで、上述した階調表示動作と同等の駆動制御についてはその説明を簡略化又は省略する。

**【0122】**

上述した表示駆動装置100における駆動制御動作（無発光表示動作）は、図12に示すように、上述したしきい値電圧検出動作（しきい値電圧検出期間 $T_{dec}$ ）の後に、各表示画素PXに設けられた発光駆動用の薄膜トランジスタ $T_{r13}$ にしきい値電圧 $V_{th13}$ 相当の電圧成分を保持させて、当該しきい値電圧 $V_{th13}$ を補償した後、表示データに応じた階調信号（無発光表示電圧 $V_{zero}$ ）を書き込んで、有機EL素子OELを無発光状態に設定する表示駆動動作（表示駆動期間）を含んで構成されている。

**【0123】**

すなわち、上述した階調表示動作を実行する際の駆動制御動作においては、当該表示駆動動作（表示駆動期間 $T_{cyc}$ ）の際に設定される書込動作期間 $T_{wrt}$ から発光動作期間 $T_{em}$ に移行する際に、供給電圧 $V_{sc}$ が低電位（ $V_s$ ）から高電位（ $V_e$ ）に変位するように設定されている。このため、薄膜トランジスタ $T_{r11}$ に寄生する容量成分等に保持される電荷の変位により、薄膜トランジスタ $T_{r13}$ のゲート端子（接点N11）に印加される電位（ゲート電位）が上昇してしまうという現象が生じる。

**【0124】**

ここで、表示データに基づく輝度階調が最低階調（黒表示状態）の場合、階調電流 $I_{data}$ の電流値は微小な状態又は0（すなわち、階調電流 $I_{data}$ が流れない状態）となるが、上述したプリチャージ期間 $T_{th}$ においてコンデンサ $C_s$ に充電される電圧（両端電位 $V_c$ ）は、薄膜トランジスタ $T_{r13}$ に固有のしきい値電圧 $V_{th13}$ の近傍であるため、上記書込動作期間 $T_{wrt}$ から発光動作期間 $T_{em}$ への移行により、僅かなゲート電位の変動が生じた場合であっても、薄膜トランジスタ $T_{r13}$ がオン動作して発光駆動電流 $I_{em}$ が流れてしまい、表示データに応じた無発光表示（黒表示）動作が実現されなくなる（不安定になる）可能性がある。

**【0125】**

このような無発光表示動作を安定化させるためには、発光動作期間 $T_{em}$ において、コンデンサ $C_s$ に充電された電圧成分（蓄積された電荷）が放電されて、薄膜トランジスタ $T_{r13}$ のゲートソース間電圧 $V_{gs}$ （コンデンサ $C_s$ の両端電位 $V_c$ ）が、当該薄膜トランジスタ $T_{r13}$ のしきい値電圧 $V_{th13}$ よりも十分低く設定されていること、より望まし

くは、0 V（すなわち、接点 N 1 1 と接点 N 1 2 が等電位）に設定されていることが望ましい。

#### 【0126】

このような電圧状態を実現するために、上述したような微小な電流値の階調電流  $I_{data}$  を用いて書込動作を行った場合、コンデンサ  $C_s$  に蓄積された電荷を放電してゲートソース間電圧  $V_{gs}$  を所望の電荷量（電圧値）にするために比較的長い時間を必要とする。特に、1つ前の表示駆動期間（1処理サイクル期間） $T_{cyc}$  の書込動作期間  $T_{wrt}$  において、コンデンサ  $C_s$  に充電された電圧成分（両端電位  $V_c$ ）が最高輝度階調電圧に近い程、コンデンサ  $C_s$  に蓄積されている電荷量が多いため、所望の電圧値になるように電荷を放電するためにより長い時間を要することとなる。

#### 【0127】

そこで、本発明に係る表示装置に適用可能な表示駆動装置においては、図 1 に示すように、階調信号生成部 130 に、表示データに応じた所定の輝度階調で有機 EL 素子（発光素子）OEL を発光動作させるための階調電流  $I_{data}$  を生成して供給する手段に加え、有機 EL 素子 OEL を発光動作させずに最も暗い表示（黒表示）動作をさせるための無発光表示電圧  $V_{zero}$  を生成して供給する手段を備え、最低輝度階調（黒表示状態）時に、無発光表示電圧  $V_{zero}$  をデータライン DL に印加するように構成されている。

#### 【0128】

なお、ここでは、階調信号生成部 130 により無発光表示電圧  $V_{zero}$  をデータライン DL を介して発光駆動回路 DC（薄膜トランジスタ  $T_{r13}$  のソース端子側；接点 N 1 2）に印加する場合について示すが、本発明はこれに限定されるものではなく、例えば、無発光表示電圧  $V_{zero}$  をデータライン DL に印加するための専用電源を備えるものであってもよい。

#### 【0129】

そして、このような構成を有する表示駆動装置における駆動制御方法は、上述したしきい値電圧検出動作の終了後の表示駆動動作において、図 1 2 に示すように、所定の表示駆動期間（1処理サイクル期間） $T_{cyc}$  内に、表示画素  $P_X$  に所定のプリチャージ電圧  $V_{pre}$  を印加して、発光駆動回路 DC に設けられた発光駆動用の薄膜トランジスタ  $T_{r13}$  のゲートソース間（コンデンサ  $C_s$  の両端）に、当該薄膜トランジスタ  $T_{r13}$  に固有のしきい値電圧  $V_{th13}$  に相当する電圧成分を保持させる（コンデンサ  $C_s$  に電荷を蓄積又は放電させる）プリチャージ期間（補償電圧印加ステップ） $T_{th}$  と、表示データ（無発光表示データ）に応じた階調信号（無発光表示電圧  $V_{zero}$ ）をデータライン DL を介して各表示画素  $P_X$ （発光駆動回路 DC）に印加し、薄膜トランジスタ  $T_{r13}$  のゲートソース間（コンデンサ  $C_s$ ）に保持された電荷のほぼ全てを放電して、薄膜トランジスタ  $T_{r13}$  のゲートソース間電圧  $V_{gs}$  を 0 V に設定する書込動作期間（データ書込ステップ） $T_{wrt}$  と、有機 EL 素子 OEL を発光動作させない（無発光動作させる）発光動作期間  $T_{em}$  と、を含むように設定されている（ $T_{cyc} \geq T_{th} + T_{wrt} + T_{em}$ ）。

#### 【0130】

すなわち、上述した階調表示動作を実行する際の駆動制御動作と同様に、書込動作期間  $T_{wrt}$  に先立つプリチャージ動作において、発光駆動用の薄膜トランジスタ  $T_{r13}$  のゲートソース間（コンデンサ  $C_s$ ）に、当該薄膜トランジスタ  $T_{r13}$  に固有のしきい値電圧  $V_{th13}$  相当の電圧成分を保持（電荷量を蓄積）させた後、階調信号の書込動作において、図 1 3 に示すように、表示駆動装置 100（階調信号生成部 130）から、例えば、低電位の供給電圧  $V_{sc}$ （ $=V_s$ ）と等電位の無発光表示電圧  $V_{zero}$  をデータライン入出力切換部 180 及びデータライン DL を介して、表示画素  $P_X$ （発光駆動回路 DC）に設けられた薄膜トランジスタ  $T_{r13}$  のソース端子側（接点 N 1 2）に直接印加して、上記ゲートソース間電圧  $V_{gs}$ （コンデンサ  $C_s$  の両端電位  $V_c$ ）を 0 V に設定する。

#### 【0131】

このように、コンデンサ  $C_s$  に蓄積された電荷のほぼ全てが放電され、薄膜トランジスタ  $T_{r13}$  のゲートソース電圧  $V_{gs}$  が、当該薄膜トランジスタ  $T_{r13}$  に固有のしきい

値電圧 $V_{th13}$ よりも十分低い電圧値(略0V)に設定されるので、書込動作期間 $T_{wr}$ から発光動作期間 $T_{em}$ に移行する際に、供給電圧 $V_{sc}$ が低電位( $V_s$ )から高電位( $V_e$ )に変位して薄膜トランジスタ $T_{r13}$ のゲート電位(接点 $N11$ の電位)が僅かながら上昇したとしても、図14に示すように、薄膜トランジスタ $T_{r13}$ はオン動作せず(オフ状態を保持して)、有機EL素子OELには発光駆動電流 $I_{em}$ が供給されず、発光動作は行われない(無発光状態となる)。

#### 【0132】

これにより、無発光表示動作時に、データラインDLを介して無発光表示データに対応した階調電流を供給して、薄膜トランジスタ $T_{r13}$ のゲートソース間に接続されたコンデンサ $C_s$ に蓄積された電荷のほぼ全てを放電する場合に比較して、無発光表示データの書込動作に要する時間を短縮しつつ、有機EL素子OELの無発光状態(無発光表示動作)を良好に実現することができる。したがって、上述した通常の階調表示を行うための表示駆動動作に加え、無発光表示を行うための表示駆動動作を、表示データ(輝度階調データ)に応じて切換制御することにより、所望の階調数(例えば、256階調)の発光動作を、比較的高輝度かつ鮮明に実現することができる。

#### 【0133】

なお、上述した表示画素PXにおいては、図1に示したように、発光駆動回路DCに設けられる薄膜トランジスタ $T_{r11} \sim T_{r13}$ として、いずれもnチャネル型のアモルファスシリコン薄膜トランジスタを適用した構成を示したが、ポリシリコン薄膜トランジスタを適用するものであってもよく、さらに、全てpチャネル型のアモルファスシリコン薄膜トランジスタを適用するものであってもよい。ここで、全てpチャネル型を適用した場合、信号のオンレベル(ハイレベル)、オフレベル(ローレベル)が反転するように設定される。

#### 【0134】

また、上述した表示画素PXにおいては、図1に示したように、各表示画素PXに設けられる発光駆動回路DCとして、3個の薄膜トランジスタ $T_{r11} \sim T_{r13}$ を備えた回路構成を示して説明したが、本発明はこれに限定されるものではない。すなわち、電流階調指定方式に対応した発光駆動回路であって、単一の薄膜トランジスタを用いて、表示データに応じて供給された階調電流を電圧成分に変換して、ゲートソース間に接続されたコンデンサ又は寄生容量に蓄積する電流/電圧変換機能、及び、該蓄積された電圧成分に基づいて発光素子(有機EL素子)に供給する発光駆動電流を制御する発光駆動機能を実現するものであれば、他の回路構成を有するものであってもよいことはいうまでもない。

#### 【0135】

さらに、上述した表示駆動装置の駆動制御方法において、プリチャージ動作として、補償電圧DAC150からデータラインDLを介して、各表示画素PXに上記しきい値補償データに基づく電圧値を有するプリチャージ電圧 $V_{pre}$ を印加する場合について説明したが、本発明はこれに限定されるものではなく、要するに、プリチャージ動作により、各表示画素PXの発光駆動回路DCに設けられた発光駆動用の薄膜トランジスタ $T_{r13}$ のゲートソース間に、各薄膜トランジスタ $T_{r13}$ のドレインソース間電流 $I_{ds}$ のしきい値電圧を補償する電圧成分(当該薄膜トランジスタ $T_{r13}$ に固有のしきい値電圧 $V_{th13}$ 相当の電圧成分)を保持させることができるものであればよいので、例えば、表示駆動装置100から上記しきい値補償データに基づく電流値を有するプリチャージ電流を、データラインDLを介して各表示画素PXに印加する構成を有するものであってもよい。

#### 【0136】

##### <表示装置>

次に、本発明に係る表示装置及びその駆動制御方法について、図面を参照して説明する。

図15は、本発明に係る表示装置の全体構成の一例を示す概略ブロック図であり、図16は、本発明に係る表示装置に適用される表示パネル及びその周辺回路(選択ドライバ、電源ドライバ)の一例を示す概略構成図である。ここで、上述した表示駆動装置及び表示

画素（発光駆動回路）と同等の構成については、同一又は同等の符号を付して、上述した図面を参照しながら説明する。

#### 【0137】

図15、図16に示すように、本発明に係る表示装置200は、概略、行方向に配設された複数の選択ライン（選択線）SLと列方向に配設された複数のデータライン（データ線）DLとの各交点近傍に、上述した表示画素と同等の回路構成を有する発光駆動回路DC及び有機EL素子（発光素子）OELを備えた複数の表示画素PXがn行×m列（n、mは、任意の正の整数）からなるマトリクス状に配列された表示パネル210と、該表示パネル210の選択ラインSLに接続され、各選択ラインSLごとに順次所定のタイミングで選択信号Sselを印加する選択ドライバ（選択駆動部）220と、選択ラインSLの各々に並行して行方向に配設された供給電圧ラインVLに接続され、各供給電圧ラインVLごとに順次所定のタイミングで所定の電圧レベルの供給電圧Vscを印加する電源ドライバ（電源駆動部）230と、表示パネル210のデータラインDLに接続され、上述したしきい値電圧検出期間Tdecに、各データラインDLを介して各列の表示画素PX（発光駆動回路DC）に設けられた発光駆動用のスイッチング素子（薄膜トランジスタ）の当該時点のしきい値電圧を検出するとともに、表示駆動期間Tcycに、各データラインDLを介して各列の表示画素PXに、当該表示画素PXのスイッチング素子に固有のしきい値電圧に対応したプリチャージ電圧Vpreを印加した後、各表示データに応じた階調信号（階調電流Idata、又は、無発光表示電圧Vzero）を供給するデータドライバ（データ駆動部）240と、後述する表示信号生成回路260から供給されるタイミング信号に基づいて、少なくとも上記選択ドライバ220及び電源ドライバ230、データドライバ240の動作状態を制御する選択制御信号及び電源制御信号、データ制御信号（タイミング制御信号）を生成して出力するシステムコントローラ（駆動制御部）250と、例えば、表示装置200の外部から供給される映像信号に基づいて、デジタル信号からなる表示データ（輝度階調データ）を生成してデータドライバ240に供給するとともに、該表示データに基づいて表示パネル210に所定の画像情報を表示するためのタイミング信号（システムクロック等）を抽出、又は、生成して上記システムコントローラ250に供給する表示信号生成回路260と、を備えて構成されている。

#### 【0138】

以下、上記各構成について具体的に説明する。

##### （表示パネル）

図16に示した表示パネル210に配列された各表示画素PXは、上述した表示画素（図1参照）と同様に、選択ドライバ220から選択ライン（選択線）SLを介して印加される選択信号Ssel、及び、電源ドライバ230から供給電圧ラインVLを介して印加される供給電圧Vsc、データドライバ240からデータライン（データ線）DLを介して供給される階調信号（階調電流Idata、又は、無発光表示電圧Vzero）に基づいて、表示データに応じた発光駆動電流Iemを生成する発光駆動回路DCと、該発光駆動回路DCから供給される発光駆動電流Iemの電流値に応じて所定の輝度階調で発光動作する有機EL素子（発光素子）OELと、を有して構成されている。ここで、上述した表示画素と同様に、発光素子は、発光駆動電流の電流値に応じて所定の輝度階調で発光動作を行う電流制御型の発光素子であれば、他の発光素子であってもよい。

#### 【0139】

##### （選択ドライバ）

選択ドライバ220は、システムコントローラ250から供給される選択制御信号に基づいて、各選択ラインSLにオンレベル（上述した表示画素においては、ハイレベル）の選択信号Sselを印加することにより、各行ごとの表示画素PXを選択状態に設定する。具体的には、各行の表示画素PXについて、しきい値電圧検出動作、及び、発光動作を除く表示駆動動作（プリチャージ動作及び書込動作）を実行する期間中、選択信号Sselを当該行の選択ラインSLに印加する動作を、所定のタイミングで各行ごとに順次実行することにより、各行ごとの表示画素PXを順次選択状態に設定する。

**【0140】**

ここで、選択ドライバ220は、例えば、図16に示すように、後述するシステムコントローラ250から選択制御信号として供給される選択クロック信号SCK及び選択スタート信号SSTに基づいて、各行の選択ラインSLに対応するシフト信号を順次出力する周知のシフトレジスタ221と、該シフトレジスタ221から出力されるシフト信号を所定の信号レベル（オンレベル）に変換して、システムコントローラ250から選択制御信号として供給される出力制御信号SOEに基づいて、各選択ラインSLに選択信号Sselとして出力する出力回路部（出力バッファ）222と、を備えた構成を有している。

**【0141】**

（電源ドライバ）

電源ドライバ230は、システムコントローラ250から供給される電源制御信号に基づいて、各行の表示画素PXについて、発光動作期間中のみ高電位の供給電圧Vsc（=V<sub>e</sub>）を当該行の供給電圧ラインVLに印加し、発光動作期間以外の動作期間（しきい値電圧検出期間T<sub>dec</sub>、及び、表示駆動期間T<sub>cyc</sub>におけるプリチャージ期間T<sub>th</sub>及び書込動作期間T<sub>wrt</sub>）中、低電位の供給電圧Vsc（=V<sub>s</sub>）を印加する。

**【0142】**

ここで、電源ドライバ230は、例えば、図16に示すように、上述した選択ドライバ220と同様に、システムコントローラ250から電源制御信号として供給されるクロック信号VCK及びスタート信号VSTに基づいて、各行の供給電圧ラインVLに対応するシフト信号を順次出力する周知のシフトレジスタ231と、シフト信号を所定の電圧レベル（電圧値V<sub>e</sub>、V<sub>s</sub>）に変換して、電源制御信号として供給される出力制御信号VOEに基づいて、各供給電圧ラインVLに供給電圧Vscとして出力する出力回路部232と、を備えた構成を有している。

**【0143】**

（データドライバ）

データドライバ240は、上述した表示駆動装置100と同様に、少なくとも、図1に示したシフトレジスタ・データレジスタ部110と、表示データラッチ部120と、階調信号生成部130と、検出電圧ADC140と、補償電圧DAC150と、しきい値データラッチ部160と、フレームメモリ170と、データライン入出力切換部180と、を備えた構成を有している。

**【0144】**

なお、図1においては、単一の表示画素PXに対応する構成を示したが、本発明に係る表示装置200に適用されるデータドライバ240においては、表示パネル210の列方向に配列される各データラインDLごとに、上記データライン入出力切換部180が設けられ、当該データライン入出力切換部180を構成する電圧検出側スイッチ181、入力選択スイッチ182及び書込側スイッチ183を上述した駆動制御方法に基づいて切り換え制御することにより、各行の表示画素PXに対して、同時並行して、もしくは、各列ごとに順次、検出用電圧V<sub>pv</sub>、プリチャージ電圧V<sub>pre</sub>、階調信号（階調電流I<sub>data</sub>、無発光表示電圧V<sub>zero</sub>）のいずれかを印加する動作、もしくは、検出電圧V<sub>dec</sub>を測定する動作が選択的に実行される。

**【0145】**

すなわち、データドライバ（表示駆動装置）240に設けられるシフトレジスタ・データレジスタ部110は、システムコントローラ250から供給されるデータ制御信号（シフトクロック信号、サンプリングスタート信号）に基づいて、1行分の各列の表示画素PX（又は、各列のデータラインDL）に対応して生成されるシフト信号の出力タイミングに基づいて、表示信号生成回路260から供給される1行分の表示データを順次取り込む。

表示データラッチ部120は、データ制御信号（データラッチ信号）に基づいて、上記シフトレジスタ・データレジスタ部110により取り込まれた1行分の表示データが転送されて、各列の表示画素PXごとに保持される。

## 【0146】

階調信号生成部130は、上記表示データラッチ部120に保持された各表示データに基づいて、当該表示データに応じた電流値を有する階調電流 I data、又は、所定の電圧値を有する無発光表示電圧 V zero を生成して、階調信号として各データライン DL に同時並行（一括）して、又は、順次印加する。

## 【0147】

具体的には、上記表示データが有機 EL 素子（発光素子）OEL の発光動作を伴う通常の階調表示を行うための階調表示データの場合には、例えば、階調基準電圧に基づいて所定の電圧値を有するアナログ信号電圧に変換し（デジタル→アナログ変換処理）、さらに、当該表示データに対応する電流値を有する階調電流 I data を生成して（電圧→電流変換処理）、所定のタイミングで各列のデータライン DL に出力し、一方、上記表示データが有機 EL 素子（発光素子）OEL の発光動作を伴わない無発光表示データの場合には、所定の無発光表示電圧 V zero を所定のタイミングで当該列のデータライン DL に出力する。

## 【0148】

なお、無発光表示電圧 V zero は、上述した駆動制御方法（無発光表示動作）に示したように、プリチャージ動作により、表示画素 PX を構成する発光駆動回路 DC に設けられた発光駆動用のスイッチング素子（薄膜トランジスタ Tr 13）のゲートソース間（コンデンサ Cs）に蓄積された電荷を放電して、ゲートソース間電圧 Vgs（コンデンサ Cs の両端電位 Vc）を 0 V に設定する（又は、0 V に近似させる）ために必要な任意の電圧値に設定されている。ここで、無発光表示電圧 V zero、及び、階調電流 I data を生成するための階調基準電圧は、例えば、図示を省略した電源供給手段等から供給される。

## 【0149】

検出電圧 ADC 140 は、表示パネル 210 における画像情報の表示動作（表示画素 PX の表示駆動動作）に先立つしきい値電圧検出動作において、選択状態に設定された行の各列の表示画素 PX（発光駆動回路 DC）に設けられた発光駆動用のスイッチング素子（薄膜トランジスタ Tr 13）の、当該しきい値電圧検出動作の実行時点のしきい値電圧（又は、当該しきい値電圧に対応する電圧成分）を、各データライン DL を介して検出電圧 Vdec として同時並行して、もしくは、順次測定し、デジタル信号電圧からなるしきい値検出データに変換して、しきい値データラッチ部 160 に出力する。

## 【0150】

補償電圧 DAC 150 は、表示パネル 210 における画像情報の表示動作（表示画素 PX の表示駆動動作）に先立つしきい値電圧検出動作において、選択状態に設定された行の各列の表示画素 PX（発光駆動回路 DC に設けられた発光駆動用のスイッチング素子）に、所定の検出用電圧 Vpv を各データライン DL を介して同時並行して、もしくは、順次出力する。

## 【0151】

また、補償電圧 DAC 150 は、表示パネル 210 における画像情報の表示動作（表示画素 PX の表示駆動動作）において、選択状態に設定された行の各列の表示画素 PX に設けられた上記スイッチング素子に固有のしきい値電圧を補償するためのしきい値補償データに基づいてプリチャージ電圧 Vpre を生成し、各データライン DL を介して同時並行して、もしくは、順次各列の表示画素 PX に出力する。

## 【0152】

しきい値データラッチ部 160 は、表示パネル 210 における画像情報の表示動作（表示画素 PX の表示駆動動作）に先立つしきい値電圧検出動作において、選択状態に設定された行の各列の表示画素 PX ごとに、上記検出電圧 ADC 140 により変換、生成されたしきい値検出データを取り込んで保持した後、シフトレジスタ・データレジスタ部 110 により当該 1 行分のしきい値検出データが取り出されて、フレームメモリ 170 に順次転送される。

## 【0153】

また、しきい値データラッチ部 160 は、表示パネル 210 における画像情報の表示動



作（表示画素PXの表示駆動動作）において、シフトレジスタ・データレジスタ部110によりフレームメモリ170から順次取り出された、選択状態に設定された行の各列の表示画素PXごとのしきい値検出データに応じたしきい値補償データを取り込んで保持し、各列ごとに補償電圧DAC150に転送する。

#### 【0154】

（システムコントローラ）

システムコントローラ250は、選択ドライバ220及び電源ドライバ230、データドライバ240の各々に対して、動作状態を制御する選択制御信号及び電源制御信号、データ制御信号を生成して出力することにより、各ドライバを所定のタイミングで動作させて、所定の電圧レベルを有する選択信号Ssel及び供給電圧Vsc、階調信号（階調電流Idata、無発光表示電圧Vzero）、を生成して出力させ、各表示画素PX（発光駆動回路DC）におけるしきい値電圧検出動作（電圧印加動作、電圧収束動作、電圧読取動作）、及び、表示駆動動作（プリチャージ動作、書込動作、発光動作）を実行させて、映像信号に基づく所定の画像情報を表示パネル210に表示させる制御を行う。具体的な制御動作については、後述する駆動制御方法において詳しく説明する。

#### 【0155】

（表示信号生成回路）

表示信号生成回路260は、例えば、表示装置200の外部から供給される映像信号から輝度階調信号成分を抽出し、表示パネル210の1行分ごとに、該輝度階調信号成分をデジタル信号からなる表示データ（輝度階調データ）としてデータドライバ240のシフトレジスタ・データレジスタ部に供給する。ここで、上記映像信号が、テレビ放送信号（コンポジット映像信号）のように、画像情報の表示タイミングを規定するタイミング信号成分を含む場合には、表示信号生成回路260は、上記輝度階調信号成分を抽出する機能のほかに、タイミング信号成分を抽出してシステムコントローラ250に供給する機能を有するものであってもよい。この場合においては、上記システムコントローラ250は、表示信号生成回路260から供給されるタイミング信号に基づいて、選択ドライバ220や電源ドライバ230、データドライバ240に対して個別に供給する各制御信号を生成する。

#### 【0156】

なお、図15及び図16に示した表示装置200においては、表示パネル210の周辺に、選択ラインSLに接続された選択ドライバ220、及び、供給電圧ラインVLに接続された電源ドライバ230を個別に設けた構成を示したが、上述した表示駆動装置（データドライバ240に相当する）の駆動制御方法（図7、図12参照）において説明したように、特定の行の表示画素PXについて、（選択ドライバ220から）選択ラインSLに印加される選択信号Sselと、（電源ドライバ230から）供給電圧ラインVLに印加される供給電圧Vscとは、相互に信号レベルが反転関係になるように設定されるので、表示パネル210に配列された各表示画素PXを行単位で独立して表示駆動動作（特に、発光動作）を行う場合（具体的には、後述する表示装置200の駆動制御方法の第1の例の場合）には、選択ドライバ220により生成される選択信号Sselの信号レベルを反転し（レベル反転処理）、さらに、所定の電圧レベルを有するようにレベル変換して（レベル変換処理）、当該行の供給電圧ラインVLに印加するように構成することにより、電源ドライバ230をなくした構成を適用することができる。

#### 【0157】

<表示装置の駆動制御方法>

次いで、本発明に係る表示装置における駆動制御方法（駆動制御動作）について説明する。

図17は、本発明に係る表示装置の駆動制御方法の第1の例を模式的に示したタイミングチャートである。ここで、上述した表示駆動装置100及び表示画素PX（発光駆動回路DC）における場合と同等の駆動制御方法（図2、図7参照）については、その説明を簡略化する。なお、ここでは、説明の都合上、便宜的に表示パネルに12行（第1行～第

12行)の表示画素が配列された構成を有しているものとして説明する。

【0158】

本発明に係る表示装置200の駆動制御動作の第1の例は、概略、図17に示すように、1フレーム期間(約16.7msec;一定の動作期間)内に、表示パネル210に配列された表示画素PXのうち特定の行の表示画素について、各表示画素PXに設けられた発光駆動回路DCにおいて有機EL素子(発光素子)OELの発光状態を制御する発光駆動用のスイッチング素子(薄膜トランジスタ;発光駆動素子)のしきい値電圧(又は、当該しきい値電圧に対応する電圧成分)を検出するしきい値電圧検出動作(しきい値電圧検出期間Tdec)と、表示パネル210の各行ごとの表示画素PX(発光駆動回路DC)について、上記スイッチング素子のしきい値電圧を補償した(しきい値電圧相当の電圧成分を保持させた)後、表示データに応じた階調信号(階調電流Idata、無発光表示電圧Vzero)を書き込み、各行の表示画素PX(有機EL素子OEL)を上記表示データ(階調信号)に応じた輝度階調で発光動作させる表示駆動動作(表示駆動期間Tcyc)とを、全行について順次繰り返し、表示パネル210一画面分の画像情報を表示する。

【0159】

ここで、しきい値電圧検出動作(しきい値電圧検出期間Tdec)は、上述した表示駆動装置における駆動制御方法と同様に、表示パネル210の特定の行の表示画素PX(発光駆動回路DC)に対して、所定の検出用電圧Vpvを印加する電圧印加動作(電圧印加期間Tpv)と、該検出用電圧Vpvに基づく電圧成分を各スイッチング素子(薄膜トランジスタTr13)の当該検出時点でのしきい値電圧に収束させる電圧収束動作(電圧収束期間Tcv)と、各表示画素PXにおける電圧収束後のしきい値電圧Vth13を測定して(読み取り)、各表示画素PXごとにしきい値検出データとして記憶する電圧読取動作(電圧読取期間)と、からなる一連の駆動制御を実行する。

特に、第1の例に係る表示装置の駆動制御動作においては、連続するフレーム期間において、各フレーム期間ごとに特定の1行分の表示画素PXについて、上記一連の駆動制御からなるしきい値電圧検出動作を順次実行する。

【0160】

具体的には、図17に示すように、表示画素PXが12行配列された表示パネル210においては、第1フレームにおいて、1行目の表示画素PXについてしきい値電圧検出動作が実行されて、当該しきい値検出データがフレームメモリの対応する記憶領域に格納される。第1フレームにおいては、この1行目の表示画素PXに対するしきい値電圧検出動作が終了後に、表示パネル210に配列された全ての表示画素PXについて、1行目から12行目まで各行ごとに後述する表示駆動動作が順次実行される。

【0161】

次いで、第2フレームにおいて、1行目の表示画素PXについて、表示駆動動作が実行された後、2行目の表示画素PXについてしきい値電圧検出動作が実行されて、当該しきい値検出データがフレームメモリの対応する記憶領域に格納される。その後、表示パネル210の2行目から12行目までの表示画素PXについて各行ごとに表示駆動動作が順次実行される。

【0162】

次いで、第3フレームにおいて、1行目及び2行目の表示画素PXについて、表示駆動動作が実行された後、3行目の表示画素PXについてしきい値電圧検出動作が実行されて、当該しきい値検出データがフレームメモリの対応する記憶領域に格納される。その後、表示パネル210の3行目から12行目までの表示画素PXについて各行ごとに表示駆動動作が順次実行される。

【0163】

以下同様に、第12フレームまで、対応する行の表示画素PXについてしきい値電圧検出動作を順次繰り返し実行することにより、フレームメモリに表示パネル210一画面分に配列された全表示画素PXについてのしきい値データ(しきい値電圧)が記憶される。

すなわち、本発明に係る表示装置の駆動制御方法(しきい値電圧検出動作)においては

出証特2005-3101386

、各フレーム期間において、表示パネル 210 のいずれかの行の表示画素 P X についてしきい値電圧検出動作が実行され、表示パネルの行数分のフレーム期間を 1 サイクルとして、常時最新のしきい値電圧が検出（モニタ）される。

**【0164】**

なお、図 17 に示したタイミングチャートにおいて、しきい値電圧検出期間 T<sub>dec</sub> の各行の斜線で示したハッチング部分は、各々、上述した電圧印加動作及び電圧収束動作、電圧読取動作からなる一連のしきい値電圧検出動作を表しており、各行ごとのしきい値電圧検出動作が時間的に重ならないように、タイミングをずらして順次実行される。

**【0165】**

また、表示駆動動作（表示駆動期間 T<sub>cyc</sub>）についても、上述した表示駆動装置における駆動制御方法と同様に、1 フレーム期間内に、表示パネル 210 の各行ごとの表示画素 P X（発光駆動回路 DC）に対して、上記しきい値電圧検出動作により各フレーム期間ごとに各行の表示画素 P X（発光駆動用のスイッチング素子）について検出され、フレームメモリに記憶されたしきい値検出データ（しきい値補償データ）に基づいて、各表示画素 P X のしきい値電圧を補償するプリチャージ電圧 V<sub>pre</sub> を書き込むプリチャージ動作（プリチャージ期間 T<sub>th</sub>）と、表示データに応じた階調信号（階調電流 I<sub>data</sub>、無発光表示電圧 V<sub>zero</sub>）を書き込む書込動作（書込動作期間 T<sub>wrt</sub>）と、所定のタイミングで上記表示データ（階調信号）に応じた輝度階調で各表示画素 P X（有機 E L 素子 O E L）を発光させる発光動作（発光動作期間 T<sub>em</sub>）と、からなる一連の駆動制御を、各行ごとに所定のタイミングで順次実行する。

**【0166】**

特に、第 1 の例に係る表示装置の駆動制御動作においては、各行ごとのプリチャージ動作及び書込動作が時間的に重ならないように、タイミングをずらして順次実行され、書込動作が終了した行の表示画素 P X から順に発光動作が実行される。すなわち、各行の表示駆動動作のうち、発光動作のみが各行間で相互に時間的に重なるように（部分的に並行して）実行される。

**【0167】**

ここで、図 17 に示したタイミングチャートにおいて、表示駆動期間 T<sub>cyc</sub> の各行のクロスメッシュで示したハッチング部分（「T<sub>th</sub>+T<sub>wrt</sub>」と表記）は、各々、上述した表示駆動動作の駆動制御方法に示したプリチャージ動作及び書込動作を表しており、また、各行のドットハッチング部分は、各々、発光動作を表している。

**【0168】**

具体的には、図 17 に示すように、表示駆動動作（表示駆動期間 T<sub>cyc</sub>）のプリチャージ期間 T<sub>th</sub> 及び書込動作期間 T<sub>wrt</sub> においては、選択ドライバ 220 から表示パネル 210 の各行の選択ライン S L に対して、図 7、図 12 に示したように、オンレベル（ハイレベル）の選択信号 S<sub>sel</sub> を個別に印加することにより、各行の表示画素 P X を順次選択状態に設定する。また、当該プリチャージ期間 T<sub>th</sub> 及び書込動作期間 T<sub>wrt</sub> においては、電源ドライバ 230 から各行の供給電圧ライン V L に対して、低電位の供給電圧 V<sub>sc</sub>（= V<sub>s</sub>）が印加される。

**【0169】**

そして、このタイミング（以下、便宜的に「選択タイミング」と記す）に同期して、選択状態に設定された行の表示画素 P X に対して、まず、プリチャージ期間 T<sub>th</sub> において、データドライバ 240 に設けられた補償電圧 D A C 150 から各データライン D L に対して、各表示画素 P X（発光駆動回路 DC）に設けられたスイッチング素子（薄膜トランジスタ）のしきい値電圧を補償するための個別のプリチャージ電圧 V<sub>pre</sub> を印加することにより、当該行の各表示画素 P X のスイッチング素子の制御端子（具体的には、薄膜トランジスタ T<sub>r13</sub> のゲートソース端子間；コンデンサ C<sub>s</sub> の両端）に、当該スイッチング素子（薄膜トランジスタ T<sub>r13</sub>）に固有のしきい値電圧相当の電圧成分が保持（電荷が蓄積）される。

**【0170】**

ここで、上述したしきい値電圧検出動作において説明したように、表示パネル 210 に配列された表示画素 P X のスイッチング素子のしきい値電圧は、各フレーム期間ごとに特定の 1 行分の表示画素 P X について検出されるように駆動制御されるので、システム起動直後や休止状態からの復起直後等においては、前回検出された表示画素 P X について検出され、フレームメモリに記憶されたしきい値電圧に基づいて、上記プリチャージ動作が実行される（プリチャージ電圧  $V_{pre}$  が生成される）。

**【0171】**

次いで、書込動作期間  $T_{wrt}$  において、データドライバ 240 に設けられた階調信号生成部 130 から各列のデータライン DL に、上記選択状態に設定された行の各表示画素 P X（発光駆動回路 DC）の表示データに応じた階調信号（階調電流  $I_{data}$ 、もしくは、無発光表示電圧  $V_{zero}$ ）を個別に印加することにより、当該行の各列の表示画素 P X のスイッチング素子の制御端子（具体的には、薄膜トランジスタ  $T_{r13}$  のゲートソース端子間；コンデンサ  $C_s$  の両端）に、階調信号（表示データ）に応じた電圧成分が保持（電荷が蓄積、又は、放電）される。

**【0172】**

ここで、上述した駆動制御方法と同様に、表示信号生成回路 260 からデータドライバ 240 に供給される表示データが、有機 EL 素子（発光素子）OEL の発光動作を伴う階調表示データ（0 ビット以外の階調値；階調表示動作）の場合には、データドライバ 240（階調信号生成部 130）により当該表示データに応じた階調電流  $I_{data}$  が生成されて、対応する列の表示画素 P X に供給され、一方、上記表示データが、有機 EL 素子（発光素子）OEL の発光動作を伴わない無発光表示データ（0 ビットの階調値；無発光表示動作）の場合には、データドライバ 240 により所定の無発光表示電圧  $V_{zero}$  が生成されて、対応する列の表示画素 P X に供給される。

**【0173】**

したがって、階調信号として階調電流  $I_{data}$  が供給された表示画素 P X においては、上述したプリチャージ動作により、当該行の各表示画素 P X（発光駆動用の薄膜トランジスタのゲートソース間）に充電されたしきい値電圧（ $V_{th13}$ ）相当の電圧成分に上乗せして、階調電流  $I_{data}$  に基づく電圧成分（実効電圧  $V_{data}$ ）が充電されることになる。

**【0174】**

また、階調信号として無発光表示電圧  $V_{zero}$  が供給された表示画素 P X においては、上述したプリチャージ動作により、当該行の各表示画素 P X に充電されたしきい値電圧（ $V_{th13}$ ）相当の電圧成分（電荷）がほとんど全て放電されて、結果的に表示データに対応した電圧（0 V）が発光駆動用のスイッチング素子（薄膜トランジスタのゲートソース間）に設定されることになる。

**【0175】**

次いで、図 17 に示すように、表示駆動動作（表示駆動期間  $T_{cyc}$ ）の発光動作期間  $T_{em}$  においては、図 7、図 12 に示したように、選択ドライバ 220 から各行の選択ライン SL に対して、オフレベル（ローレベル）の選択信号  $S_{sel}$  を印加することにより、各行の各表示画素 P X を非選択状態に設定する。また、データドライバ 240 に設けられた階調信号生成部 130 から各データライン DL への階調信号の印加が遮断される。

**【0176】**

そして、このタイミングに同期して、電源ドライバ 230 から非選択状態に設定された行の供給電圧ライン VL に対して、高電位の供給電圧  $V_{sc}$ （ $=V_e$ ）が印加されることにより、当該行の各表示画素 P X（発光駆動用の薄膜トランジスタのゲートソース間）に充電された電圧成分に基づいて、表示データ（階調信号）に応じた発光駆動電流  $I_{em}$  が有機 EL 素子 OEL に供給され、所定の輝度階調で発光動作、又は、無発光動作が行われる。

**【0177】**

ここで、各表示画素 P X に書き込まれた階調信号が、有機 EL 素子 OEL の発光動作を伴う階調表示データ（0 ビット以外の階調値）に基づく場合には、有機 EL 素子 OEL に

当該階調電流  $I_{data}$  と同等の発光駆動電流  $I_{em}$  が供給されて、表示データに対応した所定の輝度階調で有機 EL 素子 OEL が発光動作（階調表示動作）し、一方、上記階調信号が、有機 EL 素子 OEL の発光動作を伴わない無発光表示データ（0 ビットの階調値）に基づく場合には、有機 EL 素子 OEL には発光駆動電流  $I_{em}$  が供給されず、発光動作が行われない（無発光表示動作；黒表示動作）。

**【0178】**

このような発光動作（又は、無発光動作）は、各行の表示画素 PX において、上記プリチャージ動作及び書込動作の終了タイミングに同期して（終了直後から）開始され、当該行について次のプリチャージ動作及び書込動作の開始タイミング（開始直前）まで、例えば、1 フレーム期間継続して実行される。

**【0179】**

また、各行（例えば、 $i$  行目； $1 \leq i \leq 12$ ）の表示画素 PX についての上記プリチャージ動作及び書込動作の終了タイミングに同期して（終了直後から）、隣接する行（ $i+1$  行目）の表示画素 PX について、上記と同様のプリチャージ動作及び書込動作が開始される。なお、上述したように、しきい値電圧検出動作（しきい値検出期間  $T_{dec}$ ）が実行される行（例えば、 $i$  行目）においては、当該行の 1 つ前の行（ $i-1$  行目）についてのプリチャージ動作及び書込動作の終了後、当該行について上記しきい値電圧検出動作を実行した後、プリチャージ動作及び書込動作を実行する。

**【0180】**

これにより、図 17 に示したように、1 フレーム期間内に、表示パネル 210 の各行ごとの表示画素 PX（発光駆動回路 DC）に対して、プリチャージ動作及び書込動作により各表示画素 PX に表示データ（階調信号）に応じた適切な電圧成分を充電させる動作を、各行間で相互に時間的に重ならないように、タイミングをずらして順次実行し、かつ、プリチャージ動作及び書込動作が終了した行の表示画素 PX から順に所定の輝度階調で発光動作（又は、無発光動作）を、各行間で相互に一部時間的に重なるように実行する駆動制御動作が実現される。

**【0181】**

このように、本発明に係る表示装置及びその駆動制御方法の第 1 の例によれば、上述した電流指定階調方式の駆動制御方法に対応した表示駆動装置及び表示画素を、各々データドライバ及び表示パネルに適用した構成を有していることにより、通常の階調表示動作時（無発光表示動作時以外）においては、表示データに応じた階調電流の電流値に基づいて、発光素子（有機 EL 素子）に供給する発光駆動電流を制御することができるとともに、各表示画素に設けられた単一のスイッチング素子（発光駆動用の薄膜トランジスタ）により、上記階調電流の電流レベルを電圧レベルに変換し、該電圧レベルに基づいて発光駆動電流の電流値を設定することができるので、各表示画素（発光駆動回路）に設けられた発光駆動用のスイッチング素子（薄膜トランジスタ）の素子特性（しきい値電圧）のバラツキや経時変化の影響を受けることなく、長期間にわたり安定的に所望の発光特性を実現することができる。

**【0182】**

また、本発明に係る表示装置及びその駆動制御方法によれば、表示パネルに配列された各行の表示画素への表示データ（階調信号）の書込動作、及び、発光素子（有機 EL 素子）の発光動作に先立って、各フレーム期間ごとに特定の行の表示画素について、当該表示画素（発光駆動回路）に設けられた発光駆動用のスイッチング素子（薄膜トランジスタ）のしきい値電圧を検出して記憶し（しきい値電圧検出動作）、その後、各表示画素への表示データの書込動作の直前に、当該表示画素に設けられた発光駆動用のスイッチング素子（薄膜トランジスタ）に上記検出されたしきい値電圧に応じたプリチャージ電圧を印加する（プリチャージ動作）ことにより、表示パネルに配列されたいずれかの行の表示画素について、しきい値電圧検出動作実行時点の発光駆動用のスイッチング素子のしきい値電圧（ $V_{th}$ シフトの状態）を常時モニタすることができ、各表示画素の発光駆動用のスイッチング素子の制御端子（薄膜トランジスタのゲートソース間）に、当該スイッチング素子

出証特 2005-3101386

に固有のしきい値電圧 ( $V_{th}$ シフトにより変動したしきい値電圧) に相当する電圧成分 (電荷) を保持した状態 (しきい値電圧を個別に補償した状態) に設定することができるので、表示データの書込動作において、当該表示データに応じた電圧成分のみを上乗せして充電すればよく、表示データに基づく電圧成分を迅速かつ適切に書き込むことができる。

**【0183】**

したがって、電流階調指定方式の駆動制御方法において、表示データに応じた階調電流が非常に小さくなる低輝度階調での表示動作の際においても、当該表示データに応じた電圧成分を迅速かつ適切に書き込むことができるので、各表示画素における書込不足の発生を抑制することができ、また、各表示画素に設けられた発光駆動用のスイッチング素子 (薄膜トランジスタ) の  $V_{th}$ シフトの影響を受けることがないので、映像信号に応じた適切な輝度階調で所望の画像情報を、長期間にわたり良好に表示することができる。

**【0184】**

また、無発光表示時においては、表示データ (0ビットの階調値) に応じた所定の無発光表示電圧を各表示画素に供給することにより、発光駆動用のスイッチング素子 (薄膜トランジスタのゲートソース間) に保持された電圧成分のほとんど全てを迅速に放電することができるので、発光素子 (有機EL素子) への発光駆動電流の供給を確実に遮断することができ、無発光表示動作を安定的に実現することができる。

**【0185】**

さらに、第1の例に係る駆動制御方法によれば、表示パネルの各行において、1フレーム期間のうち、プリチャージ期間及び書込動作期間以外の期間では、次のプリチャージ期間及び書込動作期間の開始タイミング、又は、しきい値電圧検出動作の開始タイミングまで、発光動作が継続するように駆動制御されるので、各表示画素 (発光素子) の発光時間を十分長く設定することができ、画像情報を高い発光輝度で表示することができる。これは換言すると、各表示画素の発光輝度を低減した場合であっても十分な輝度で画像情報を表示できることを意味しており、したがって、画像情報の表示に係る消費電力を削減することができる。

**【0186】**

次に、本発明に係る表示装置における駆動制御方法の第2の例について、図面を参照して説明する。

図18は、本発明に係る表示装置の駆動制御方法の第2の例を模式的に示したタイミングチャートである。ここで、上述した第1の例 (図17参照) と同等の駆動制御方法については、その説明を簡略化する。また、図中のハッチング部については上述した第1の例と同等の動作状態を示す。また、図19は、本発明に係る表示装置の駆動制御方法の第2の例を実現するための表示装置の一例を示す要部構成図である。ここで、上述した表示装置と同等の構成については、同等の符号を付して説明する。

**【0187】**

本発明に係る表示装置200の駆動制御動作の第2の例は、図18に示すように、まず、表示パネル210に配列された表示画素PXについて、相互に隣接する複数行ごとに予めグループ分けし、1フレーム期間内に、特定のグループの特定の行の表示画素PXの発光駆動用のスイッチング素子 (薄膜トランジスタ) についてしきい値電圧を検出するしきい値電圧検出動作 (しきい値電圧検出期間  $T_{dec}$ ) と、表示パネル210の各行ごとの表示画素PXに対して、上記しきい値電圧を補償した後、表示データに応じた階調信号 (階調電流  $I_{data}$ 、無発光表示電圧  $V_{zero}$ ) を書き込む動作 (プリチャージ期間  $T_{th}$ 、書込動作期間  $T_{wrt}$ ) を、全行について順次繰り返し、所定のタイミングで各グループごとの複数行の表示画素PX (有機EL素子OEL) を上記表示データ (階調信号) に応じた輝度階調で一斉に発光動作させる表示駆動動作と、を実行することにより、表示パネル210一面分の画像情報が表示される。

**【0188】**

ここで、第2の例に係る駆動制御動作は、具体的には、まず、表示パネル210に配列された全ての表示画素PXを複数行ごとに予めグループ分けする。例えば、図18に示す

ように、表示パネル 210 を構成する 12 行の表示画素 P X を、相互に隣接する 1～4 行目、5～8 行目、9～12 行目のように、4 行分の表示画素 P X を一組としてグループ分けする。

**【0189】**

そして、第 1 フレームにおいて、1～4 行目の表示画素 P X を一組とするグループにおいて 1 行目の表示画素 P X についてしきい値電圧検出動作（しきい値電圧検出期間 T<sub>dec</sub>）が実行されて、当該しきい値検出データがフレームメモリの対応する記憶領域に格納される。第 1 フレームにおいては、この 1 行目の表示画素 P X に対するしきい値電圧検出動作が終了後に、表示パネル 210 に配列された全ての表示画素 P X について、1 行目から 12 行目まで各行ごとに表示駆動動作（プリチャージ動作及び書込動作；T<sub>th</sub>+T<sub>wrt</sub>）が順次実行される。

**【0190】**

この各行ごとの表示駆動動作において、各グループに含まれる全ての行の表示画素 P X への書込動作が終了したグループについて、発光動作が実行される。例えば、1～4 行目の表示画素 P X を一組とするグループにおいては、1 行目の表示画素 P X から順に、上記プリチャージ動作及び書込動作が実行され、4 行目の表示画素 P X について書込動作が終了したタイミングで、各表示画素 P X に書き込まれた表示データ（階調信号）に基づいて、当該グループの 4 行分の表示画素 P X が一斉に発光動作する。この発光動作は、1 行目の表示画素 P X に対して、次のプリチャージ動作及び書込動作が開始されるタイミング、又は、1～4 行のいずれかの行についてしきい値電圧検出動作が開始されるタイミングまで継続される。

**【0191】**

また、上記 4 行目の表示画素 P X について書込動作が終了したタイミングで、5～8 行目の表示画素 P X を一組とするグループにおいて、5 行目の表示画素 P X から順に、上記プリチャージ動作及び書込動作が実行され、8 行目の表示画素 P X について書込動作が終了したタイミングで、当該グループの 4 行分の表示画素 P X が一斉に発光動作する。以下、同様の動作が次のグループの各行の表示画素 P X について繰り返し実行される。

**【0192】**

次いで、第 2 フレームにおいて、1～4 行目の表示画素 P X を一組とするグループにおいて上記プリチャージ動作及び書込動作が順次実行され、当該グループの 4 行分の表示画素 P X が一斉に発光動作するタイミングで、5～8 行目の表示画素 P X を一組とするグループにおいて 4 行目（当該グループにおいては 1 行目に相当する）の表示画素 P X についてしきい値電圧検出動作（しきい値電圧検出期間 T<sub>dec</sub>）が実行されて、当該しきい値電圧検出動作が終了後に、当該グループにおいてプリチャージ動作及び書込動作が順次実行される。

**【0193】**

次いで、5～8 行目の表示画素 P X を一組とするグループにおいてプリチャージ動作及び書込動作が終了し、当該グループの 4 行分の表示画素 P X が一斉に発光動作するタイミングで、9～12 行目の表示画素 P X を一組とするグループにおいてプリチャージ動作及び書込動作が順次実行され、その後、当該グループの 4 行分の表示画素 P X が一斉に発光動作する。

**【0194】**

以下同様に、各フレーム期間ごとに、予め設定された各グループについて、当該グループに含まれる特定の行の表示画素 P X についてしきい値検出動作が実行され、また、各グループに含まれる全ての行の表示画素 P X に書込動作が終了した時点で、当該グループの全ての表示画素 P X を一斉に発光動作させる表示駆動動作が繰り返し実行される。

**【0195】**

このように、各フレーム期間ごとに特定の行の表示画素 P X についてしきい値電圧検出動作を順次繰り返し実行することにより、各フレーム期間において、表示パネル 210 のいずれかの行の表示画素 P X についてしきい値電圧検出動作が実行され、表示パネルの行

数分のフレーム期間を1サイクルとして、常時最新のしきい値電圧が検出（モニタ）される。

**【0196】**

また、第2の例に係る表示駆動動作においては、同一グループの他の行の表示画素PXに対して、しきい値電圧検出動作、プリチャージ動作及び書込動作が実行されている期間中は、当該グループ内の全ての表示画素が無発光動作して無発光表示状態（黒表示状態）に設定されるように制御される。

**【0197】**

このような表示駆動動作は、例えば、図7、図12に示したように、しきい値電圧検出動作、プリチャージ動作及び書込動作の際に、電源ドライバ230により当該行の供給電圧ラインVLに対して印加されていた低電位の供給電圧Vsc(=Vs)を、同一グループに含まれる行の表示画素PXに対するしきい値電圧検出動作、プリチャージ動作及び書込動作が実行されている期間中、継続して印加し、当該グループに含まれる全ての行に対するしきい値電圧検出動作、プリチャージ動作及び書込動作が終了した後に、当該グループの全ての行の供給電圧ラインVLに対して高電位の供給電圧Vsc(=Ve)を印加するように制御することにより実現することができる。

**【0198】**

また、同様の駆動制御は、各グループごとに単一の供給電圧Vscが同時に印加されるように、例えば、図19に示すように、単一の供給電圧ラインVLを分岐させて、1～4行目（又は、5～8行目、9～12行目）の表示画素PXに共有して接続された構成を適用し、電源ドライバ230から印加される単一の供給電圧Vscが同一グループに含まれる全ての行の表示画素PXに印加されるようにすることによっても実現することができる。なお、本駆動制御方法においても、図16に示した場合と同様に、表示パネル210の各行ごとに個別の選択ラインSLが配設され、選択ドライバ220から個別の選択信号Sselが異なるタイミングで印加される。

**【0199】**

したがって、このような表示装置の駆動制御方法（表示駆動動作）によれば、上述した第1の例に係る駆動制御方法と同様の作用効果を得ることができるとともに、同一グループ内の各行の表示画素にしきい値電圧検出動作、プリチャージ動作及び書込動作を実行する期間中、表示画素（発光素子）の発光動作が行われず、無発光動作（黒表示動作）が行われるので、複数の画像情報（静止画像）の連続的な表示による動画像の表示動作に際して、当該動画像のちらつきを抑制し、鮮明さを向上させることができる。

**【0200】**

ここで、図18に示したタイミングチャートにおいては、表示パネル210を構成する12行の表示画素PXを、3組にグループ分けして、各グループごとに異なるタイミングで一斉に発光動作を実行するように制御されるので、1フレーム期間における上記無発光動作による黒表示期間の比率（黒挿入率）は概ね33%となる。ここで、人間の視覚において、動画像をちらつきがなく鮮明に視認するためには、一般に、概ね30%以上の黒挿入率を有していることが目安になるので、本駆動制御方法によれば、良好な表示画質を有する表示装置を実現することができる。

**【0201】**

次に、本発明に係る表示装置における駆動制御方法の第3の例について、図面を参照して説明する。

図20は、本発明に係る表示装置の駆動制御方法の第3の例を模式的に示したタイミングチャートである。ここで、上述した第2の例（図18参照）と同等の駆動制御方法については、その説明を簡略化する。

**【0202】**

本発明に係る表示装置200の駆動制御動作の第3の例は、図20に示すように、まず、表示パネル210に配列された表示画素PXについて、相互に隣接しない複数行ごとに予めグループ分けし、1フレーム期間内に、特定のグループの特定の行の表示画素P



Xの発光駆動用のスイッチング素子（薄膜トランジスタ）についてしきい値電圧を検出するしきい値電圧検出動作（しきい値電圧検出期間Tdec）と、上記各グループごとに、当該グループに含まれる行の表示画素PXに対して、上記しきい値電圧を補償した後、表示データに応じた階調信号（階調電流Idata、無発光表示電圧Vzero）を書き込む動作（プリチャージ期間Th、書込動作期間Twr）を順次実行し、所定のタイミングで各グループごとの複数行の表示画素PX（有機EL素子OEL）を上記表示データ（階調信号）に応じた輝度階調で一斉に発光動作させる表示駆動動作と、を実行することにより、表示パネル210一画面分の画像情報が表示される。

**【0203】**

ここで、第2の例に係る駆動制御動作は、具体的には、まず、表示パネル210に配列された全ての表示画素PXを、例えば、図20に示すように、表示パネル210を構成する12行の表示画素PXを、1、4、7、10行目、2、5、8、11行目、3、6、9、12行目のように、各々4行分の表示画素PXを一組として3グループに分ける。

**【0204】**

そして、第1フレームにおいて、1、4、7、10行目の表示画素PXを一組とするグループにおいて1行目の表示画素PXについてしきい値電圧検出動作（しきい値電圧検出期間Tdec）が実行され、その後、表示パネル210に配列された全ての表示画素PXについて、各グループごとに行番号の小さい順に表示駆動動作（プリチャージ動作及び書込動作；Th+Twr）が実行される。

**【0205】**

この各行ごとの表示駆動動作において、各グループに含まれる全ての行の表示画素PXへの書込動作が終了したグループについて、発光動作が実行される。例えば、1、4、7、10行目の表示画素PXを一組とするグループにおいては、1行目の表示画素PXから順に、上記プリチャージ動作及び書込動作が実行され、10行目の表示画素PXについて書込動作が終了したタイミングで、各表示画素PXに書き込まれた表示データ（階調信号）に基づいて、当該グループの4行分の表示画素PXが一斉に発光動作する。この発光動作は、1行目の表示画素PXに対して、次のプリチャージ動作及び書込動作が開始されるタイミング、又は、1、4、7、10行のいずれかの行についてしきい値電圧検出動作が開始されるタイミングまで継続される。

**【0206】**

また、上記10行目の表示画素PXについて書込動作が終了したタイミングで、2、5、8、11行目の表示画素PXを一組とするグループにおいて、2行目の表示画素PXから順に、上記プリチャージ動作及び書込動作が実行され、11行目の表示画素PXについて書込動作が終了したタイミングで、当該グループの4行分の表示画素PXが一斉に発光動作する。以下、同様の動作が次のグループの各行の表示画素PXについて繰り返し実行される。

**【0207】**

次いで、第2フレームにおいて、1、4、7、10行目の表示画素PXを一組とするグループにおいて上記プリチャージ動作及び書込動作が順次実行され、当該グループの4行分の表示画素PXが一斉に発光動作するタイミングで、2、5、8、11行目の表示画素PXを一組とするグループにおいて2行目（当該グループにおいては1行目に相当する）の表示画素PXについてしきい値電圧検出動作（しきい値電圧検出期間Tdec）が実行されて、当該しきい値電圧検出動作が終了後に、当該グループにおいてプリチャージ動作及び書込動作が順次実行される。

**【0208】**

次いで、2、5、8、11行目の表示画素PXを一組とするグループにおいてプリチャージ動作及び書込動作が終了し、当該グループの4行分の表示画素PXが一斉に発光動作するタイミングで、3、6、9、12行目の表示画素PXを一組とするグループにおいてプリチャージ動作及び書込動作が順次実行され、その後、当該グループの4行分の表示画素PXが一斉に発光動作する。

## 【0209】

以下同様に、各フレーム期間ごとに、予め設定された各グループについて、当該グループに含まれる特定の行の表示画素PXについてしきい値検出動作が実行され、また、各グループに含まれる全ての行の表示画素PXに書込動作が終了した時点で、当該グループの全ての表示画素PXを一斉に発光動作させる表示駆動動作が繰り返し実行される。

## 【0210】

このように、各フレーム期間ごとに特定の行の表示画素PXについてしきい値電圧検出動作を順次繰り返し実行することにより、各フレーム期間において、表示パネル210のいずれかの行の表示画素PXについてしきい値電圧検出動作が実行され、表示パネルの行数分のフレーム期間を1サイクルとして、常時最新のしきい値電圧が検出（モニタ）される。

## 【0211】

また、第2の例に係る表示駆動動作と同様に、同一グループの他の行の表示画素PXに対して、しきい値電圧検出動作、プリチャージ動作及び書込動作が実行されている期間中は、当該グループ内の全ての表示画素が無発光動作して無発光表示状態（黒表示状態）に設定されるように制御される。

## 【0212】

また、このような表示駆動動作は、上述した第2の例と同様に、例えば、同一グループの他の行の表示画素PXに対して、しきい値電圧検出動作、プリチャージ動作及び書込動作が実行されている期間中、電源ドライバ230から当該グループの各行の供給電圧ラインVLに印加される供給電圧Vscを低電位（Vs）の状態に保持し、同一グループの全ての行の表示画素PXに対するしきい値電圧検出動作、プリチャージ動作及び書込動作が終了した後、当該グループに含まれる全ての行の供給電圧ラインVLに高電位の供給電圧Vsc（=Ve）を印加するように制御することにより実現することができる。なお、上述した第2の例（図19参照）と同様に、各グループに含まれる全ての行の表示画素PXに対して、単一の供給電圧Vscが印加されるように、供給電圧ラインVLを分岐して配設するようにした構成を適用するものであってもよい。

## 【0213】

したがって、このような表示装置の駆動制御方法（表示駆動動作）によれば、上述した第1の例に係る駆動制御方法と同様の作用効果を得ることができるとともに、第2の例に係る駆動制御方法と同様に、表示パネル210を構成する12行の表示画素PXを、複数組にグループ分けして、各グループごとに異なるタイミングで一斉に発光動作を実行するように制御されるので、1フレーム期間中に所定の期間、無発光動作（黒表示動作）が実行される。特に、本駆動制御方法においても、当該無発光動作による黒表示期間の比率（黒挿入率）を概ね33%に設定することができるので、動画像のちらつきを抑制して鮮明さを向上させた表示装置を実現することができる。

## 【0214】

なお、上述した第2、第3の例に係る駆動制御方法においては、表示パネル210を構成する表示画素PXを、3組にグループ分けした場合について説明したが、本発明はこれに限定されるものではなく、例えば、上記グループ数を適宜増減させて設定したものであってもよいことはいうまでもない。

## 【0215】

以下に、上述した第2、第3の例に係る駆動制御方法の変形例を示す。

図21は、本発明に係る表示装置の駆動制御方法の第2の例の変形例（その1）を模式的に示したタイミングチャートであり、図22は、本発明に係る表示装置の駆動制御方法の第3の例の変形例（その1）を模式的に示したタイミングチャートである。また、図23は、本発明に係る表示装置の駆動制御方法の第2の例の変形例（その2）を模式的に示したタイミングチャートであり、図24は、本発明に係る表示装置の駆動制御方法の第3の例の変形例（その2）を模式的に示したタイミングチャートである。

## 【0216】

上述した第2及び第3の例に係る表示装置の駆動制御方法の変形例（その1）においては、例えば、図21、図22に示すように、表示パネル210を構成する表示画素PXを、4組にグループ分けして（図21では1～3行目、4～6行目、7～9行目、10～12行目の4グループ、図22では1、5、9行目、2、6、10行目、3、7、11行目、4、8、12行目の4グループ）、各フレーム期間ごとに特定の行の表示画素PXについてしきい値電圧検出動作を実行するとともに、各グループごとに異なるタイミングで各行の表示画素PXについてプリチャージ動作及び書込動作を実行した後、一斉に発光動作を実行するように制御する。この場合、1フレーム期間における上記無発光動作による黒表示期間の比率（黒挿入率）は概ね25%となり、上述したような動画像のちらつきが視認されない目安である30%をやや下回るものの、比較的良好な表示画質を有する表示装置を実現することができる。

#### 【0217】

また、上述した第2及び第3の例に係る表示装置の駆動制御方法の変形例（その2）においては、例えば、図23、図24に示すように、表示パネル210を構成する表示画素PXを、2組にグループ分けして（図23では1～6行目、7～12行目の2グループ、図24では奇数行目、偶数行目の2グループ）、各フレーム期間ごとに特定の行の表示画素PXについてしきい値電圧検出動作を実行するとともに、各グループごとに異なるタイミングで各行の表示画素PXについてプリチャージ動作及び書込動作を実行した後、一斉に発光動作を実行するように制御する。

#### 【0218】

この場合、1フレーム期間における上記無発光動作による黒表示期間の比率（黒挿入率）は概ね50%となり、上述したような動画像のちらつきが視認されない目安である30%を上回るものの、発光動作期間が1フレーム期間の半分に過ぎなくなるため、画像情報を十分な発光輝度で表示することができなくなる。そこで、各表示画素の発光輝度を適宜増大させることにより、画像情報を十分な輝度で、かつ、良好な表示画質で表示することができる。

#### 【0219】

次に、本発明に係る表示装置における駆動制御方法の第4の例について、図面を参照して説明する。

図25は、本発明に係る表示装置の駆動制御方法の第4の例を模式的に示したタイミングチャートである。ここで、上述した第1～第3の例（図17～図24参照）と同等の駆動制御方法については、その説明を簡略化する。また、図26は、本発明に係る表示装置の駆動制御方法の第4の例を実現するための表示装置の一例を示す要部構成図である。ここで、上述した表示装置と同等の構成については、同等の符号を付して説明する。

#### 【0220】

本発明に係る表示装置200の駆動制御動作の第4の例は、図25に示すように、1フレーム期間の前半（1フレーム期間の1/2の期間）で、まず、表示パネル210に配列された特定の行の表示画素PXの発光駆動用のスイッチング素子（薄膜トランジスタ）についてしきい値電圧を検出するしきい値電圧検出動作（しきい値電圧検出期間Tdec）を実行した後、表示パネル210に配列された全ての行の表示画素PXに対して、上記プリチャージ動作及び書込動作を各行ごとにタイミングをずらして順次実行し、1フレーム期間の後半（1フレーム期間の1/2の期間）で、表示パネル210に配列された全ての行の表示画素PXを、表示データに応じた輝度階調で一斉に発光動作させる表示駆動動作を実行することにより、表示パネル210一画面分の画像情報が表示される。

#### 【0221】

このように、各フレーム期間ごとに特定の行の表示画素PXについてしきい値電圧検出動作を実行するとともに、各フレーム期間の後半で、全ての表示画素PXを一斉に発光動作させるように駆動制御することにより、しきい値電圧検出動作、プリチャージ動作及び書込動作が実行されている各フレーム期間の前半は、いずれの行の表示画素PXにおいても発光動作が行われず、全ての表示画素PXが無発光表示動作（黒表示動作）するように

制御される。

【0222】

このような表示駆動動作は、例えば、各行の表示画素PXに対して、しきい値電圧検出動作、プリチャージ動作及び書込動作が実行されている期間中、電源ドライバ230から全ての行の供給電圧ラインVLに印加される供給電圧Vscを低電位(Vs)の状態に保持し、全ての行の表示画素PXに対するしきい値電圧検出動作、プリチャージ動作及び書込動作が終了した後、全ての行の供給電圧ラインVLに高電位の供給電圧Vsc(=Ve)を印加するように制御することにより実現することができる。

【0223】

同様の駆動制御は、全ての表示画素PXに対して単一の供給電圧Vscが同時に印加されるように、例えば、図26に示すように、単一の供給電圧ラインVLを全ての行に対応させて分岐し、表示パネル210に配列された全ての表示画素PXに共有して接続された構成を適用し、電源ドライバ230から印加される単一の供給電圧Vscが全ての行の表示画素PXに印加されるようにすることによっても実現することができる。

【0224】

この場合の電源ドライバ230の構成は、高電位の供給電圧Vsc(=Ve)と低電位の供給電圧Vsc(=Vs)を、例えば、システムコントローラ250から供給される電源制御信号に基づく所定のタイミングで選択的に出力する機能を有していればよいので、少なくとも図16に示したようなシフトレジスタ回路を備えていなくてもよい。なお、本駆動制御方法においても、図16に示した場合と同様に、表示パネル210の各行ごとに個別の選択ラインSLが配設され、選択ドライバ220から個別の選択信号Sselが異なるタイミングで印加される。

【0225】

したがって、このような表示装置の駆動制御方法(表示駆動動作)によれば、各フレーム期間を、前半と後半に2分割して、前半で特定の行の表示画素に対してしきい値電圧検出動作を実行した後、各行の表示画素に順次プリチャージ動作及び書込動作が実行され、後半で全ての表示画素が一斉に発光動作を実行するように制御されるので、1フレーム期間における上記無発光動作による黒表示期間の比率(黒挿入率)は概ね50%となり、上述したような動画のちらつきが視認されない目安である30%を上回るものの、発光動作期間が1フレーム期間の半分に過ぎないため、画像情報を十分な発光輝度で表示することができず、また、各行におけるプリチャージ期間及び書込動作期間(特に、書込動作期間)が短縮されるため、表示データ(階調信号)を十分書き込む時間が確保されなくなる可能性があるが、各表示画素の発光輝度を適宜増大させ、さらに、階調電流の電流値を増加させることにより、画像情報を十分な輝度で、かつ、良好な表示画質で表示することができる。

【図面の簡単な説明】

【0226】

【図1】本発明に係る表示装置に適用可能な表示駆動装置、及び、該表示駆動装置により駆動制御される表示画素の一例を示す要部構成図である。

【図2】本発明に係る表示装置に適用可能な表示駆動装置におけるしきい値電圧検出動作を示すタイミングチャートである。

【図3】本発明に係る表示装置に適用可能な表示駆動装置における電圧印加動作を示す概念図である。

【図4】本発明に係る表示装置に適用可能な表示駆動装置における電圧収束動作を示す概念図である。

【図5】本発明に係る表示装置に適用可能な表示駆動装置における電圧読取動作を示す概念図である。

【図6】nチャンネル型の薄膜トランジスタにおいて、ゲートソース間電圧を所定の条件に設定し、ドレインソース間電圧を変調した際のドレインソース間電流特性の一例を表した図である。

【図 7】本発明に係る表示装置に適用可能な表示駆動装置における駆動制御方法（階調表示動作）を示すタイミングチャートである。

【図 8】本発明に係る表示装置に適用可能な表示駆動装置におけるプリチャージ動作を示す概念図である。

【図 9】本発明に係る表示装置に適用可能な表示駆動装置におけるデータ書込動作を示す概念図である。

【図 10】本発明に係る表示装置に適用可能な表示駆動装置における発光動作を示す概念図である。

【図 11】本発明に係る表示装置に適用可能な表示駆動装置の他の構成例を示す要部構成図である。

【図 12】本発明に係る表示装置に適用可能な表示駆動装置における駆動制御方法（無発光表示動作）を示すタイミングチャートである。

【図 13】本発明に係る表示装置に適用可能な表示駆動装置におけるデータ書込動作の他の例を示す概念図である。

【図 14】本発明に係る表示装置に適用可能な表示駆動装置における無発光動作を示す概念図である。

【図 15】本発明に係る表示装置の全体構成の一例を示す概略ブロック図である。

【図 16】本発明に係る表示装置に適用される表示パネル及びその周辺回路（選択ドライバ、電源ドライバ）の一例を示す概略構成図である。

【図 17】本発明に係る表示装置の駆動制御方法の第 1 の例を模式的に示したタイミングチャートである。

【図 18】本発明に係る表示装置の駆動制御方法の第 2 の例を模式的に示したタイミングチャートである。

【図 19】本発明に係る表示装置の駆動制御方法の第 2 の例を実現するための表示装置の一例を示す要部構成図である。

【図 20】本発明に係る表示装置の駆動制御方法の第 3 の例を模式的に示したタイミングチャートである。

【図 21】本発明に係る表示装置の駆動制御方法の第 2 の例の変形例（その 1）を模式的に示したタイミングチャートである。

【図 22】本発明に係る表示装置の駆動制御方法の第 3 の例の変形例（その 1）を模式的に示したタイミングチャートである。

【図 23】本発明に係る表示装置の駆動制御方法の第 2 の例の変形例（その 2）を模式的に示したタイミングチャートである。

【図 24】本発明に係る表示装置の駆動制御方法の第 3 の例の変形例（その 2）を模式的に示したタイミングチャートである。

【図 25】本発明に係る表示装置の駆動制御方法の第 4 の例を模式的に示したタイミングチャートである。

【図 26】本発明に係る表示装置の駆動制御方法の第 4 の例を実現するための表示装置の一例を示す要部構成図である。

【図 27】従来技術における電圧制御アクティブマトリクス発光素子型ディスプレイの要部を示す概略構成図である。

【図 28】従来技術における発光素子型ディスプレイに適用可能な表示画素（発光駆動回路及び発光素子）の構成例を示す等価回路図である。

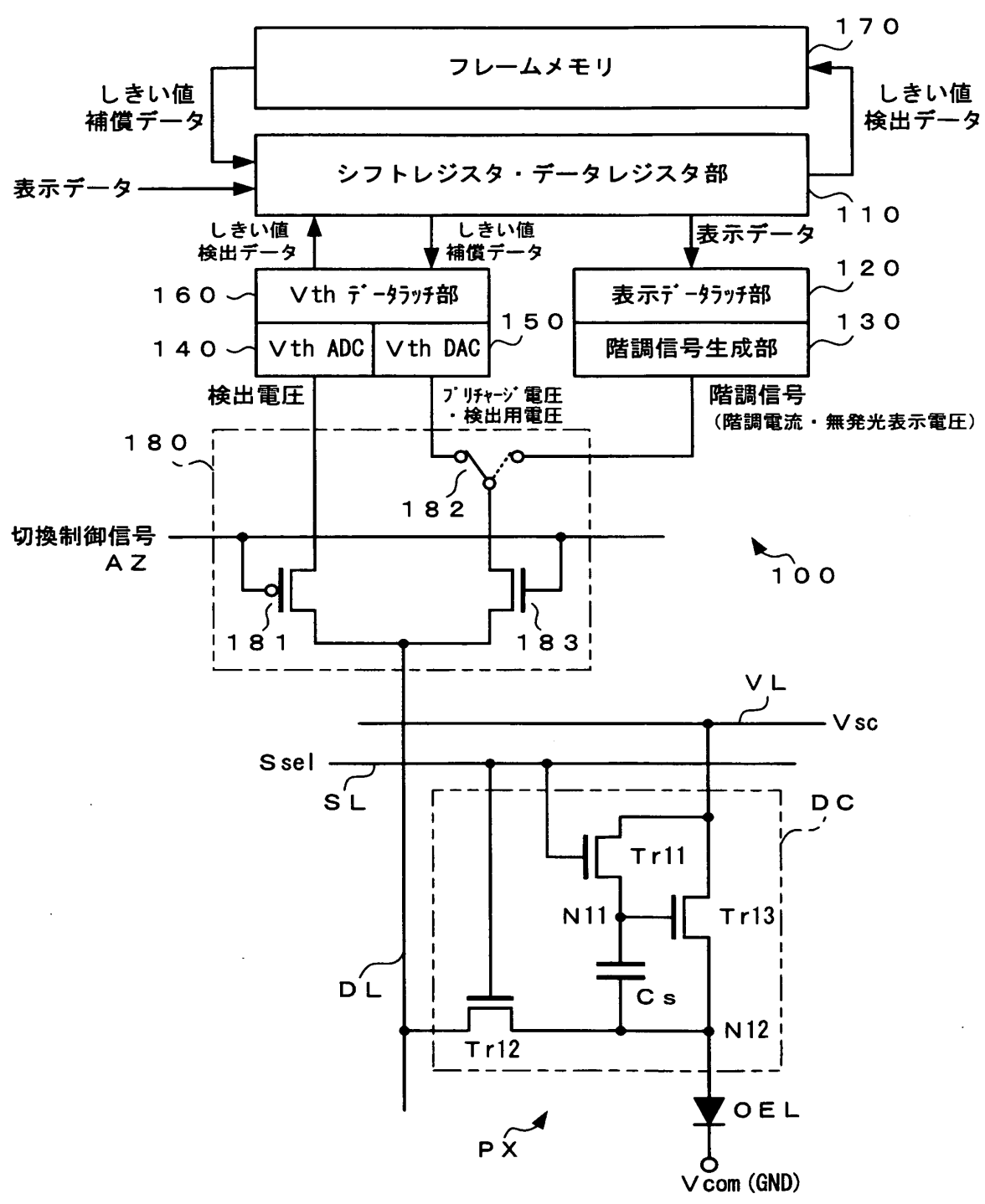
【符号の説明】

【0227】

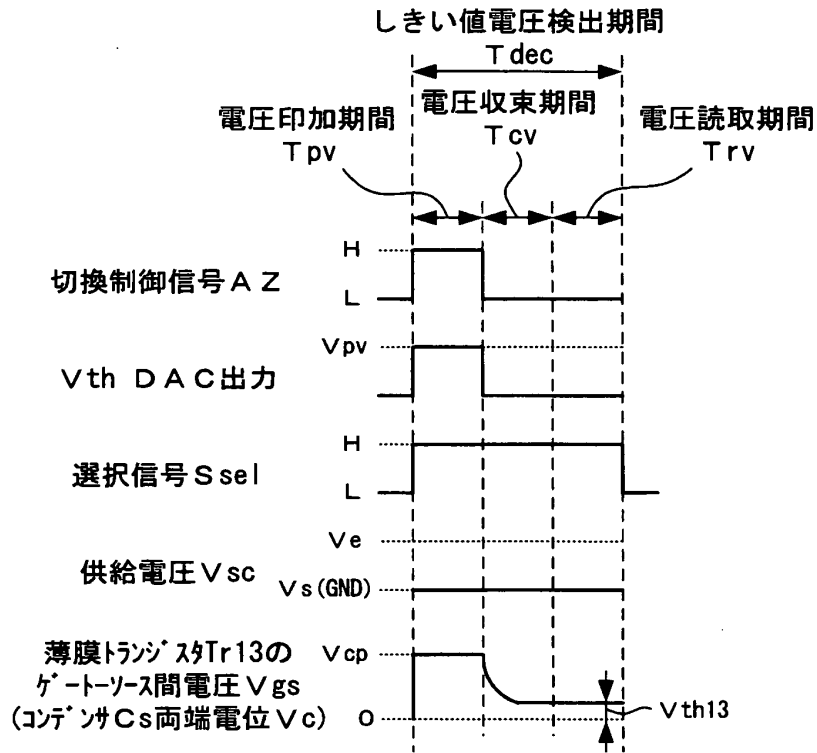
PX	表示画素
DC	発光駆動回路
SL	選択ライン
DL	データライン
VL	供給電圧ライン

Tr 11 ~ Tr 13	薄膜トランジスタ
Cs	コンデンサ
OEL	有機EL素子
100	表示駆動装置
110	シフトレジスタ・データレジスタ部
120	表示データラッチ部
130	階調信号生成部
140	検出電圧ADC
150	補償電圧DAC
160	しきい値データラッチ部
170	フレームメモリ
180	データライン入出力切換部
200	表示装置
210	表示パネル
220	選択ドライバ
230	電源ドライバ
240	データドライバ
250	システムコントローラ
260	表示信号生成回路

【書類名】 図面  
【図 1】

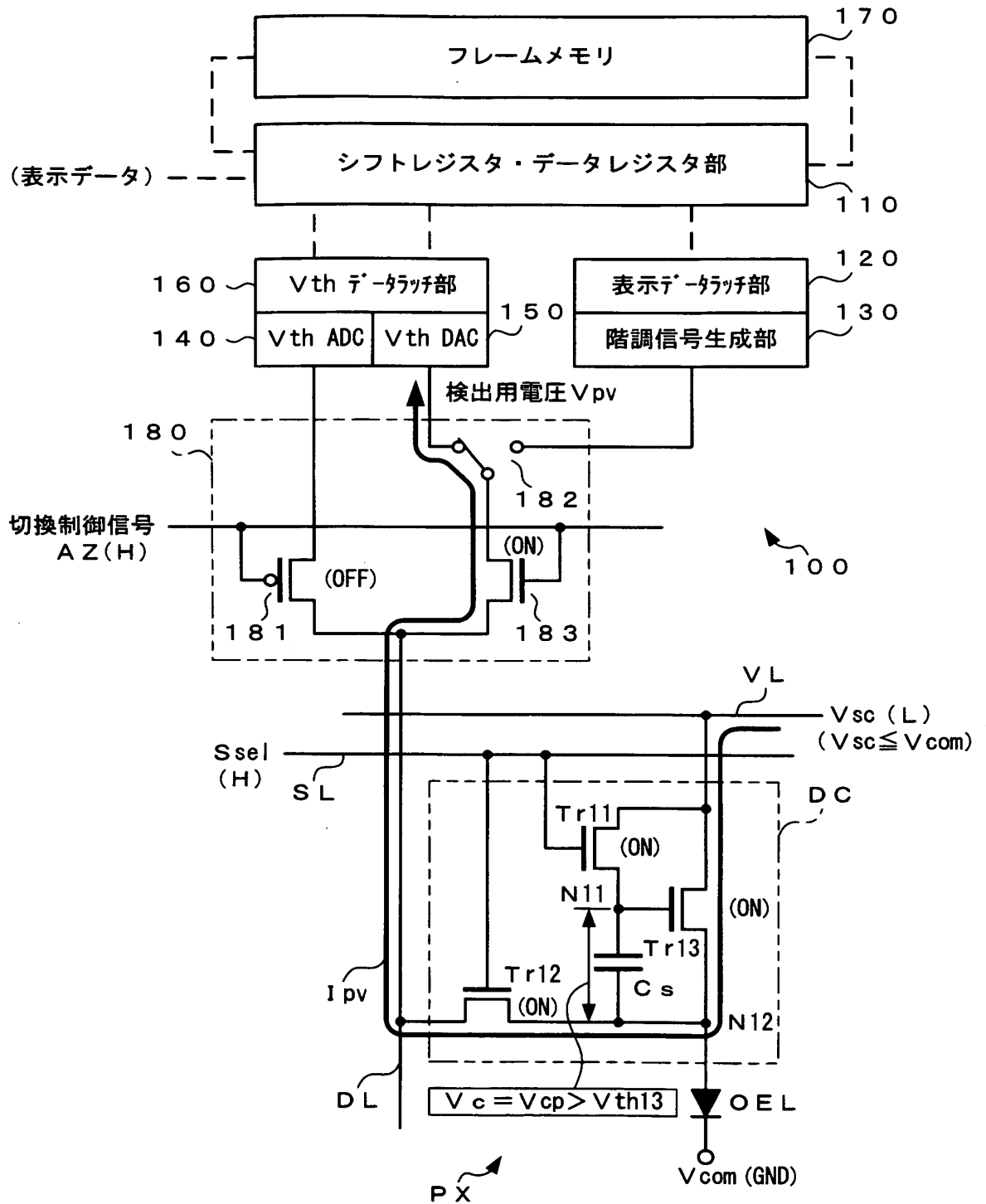


【図 2】

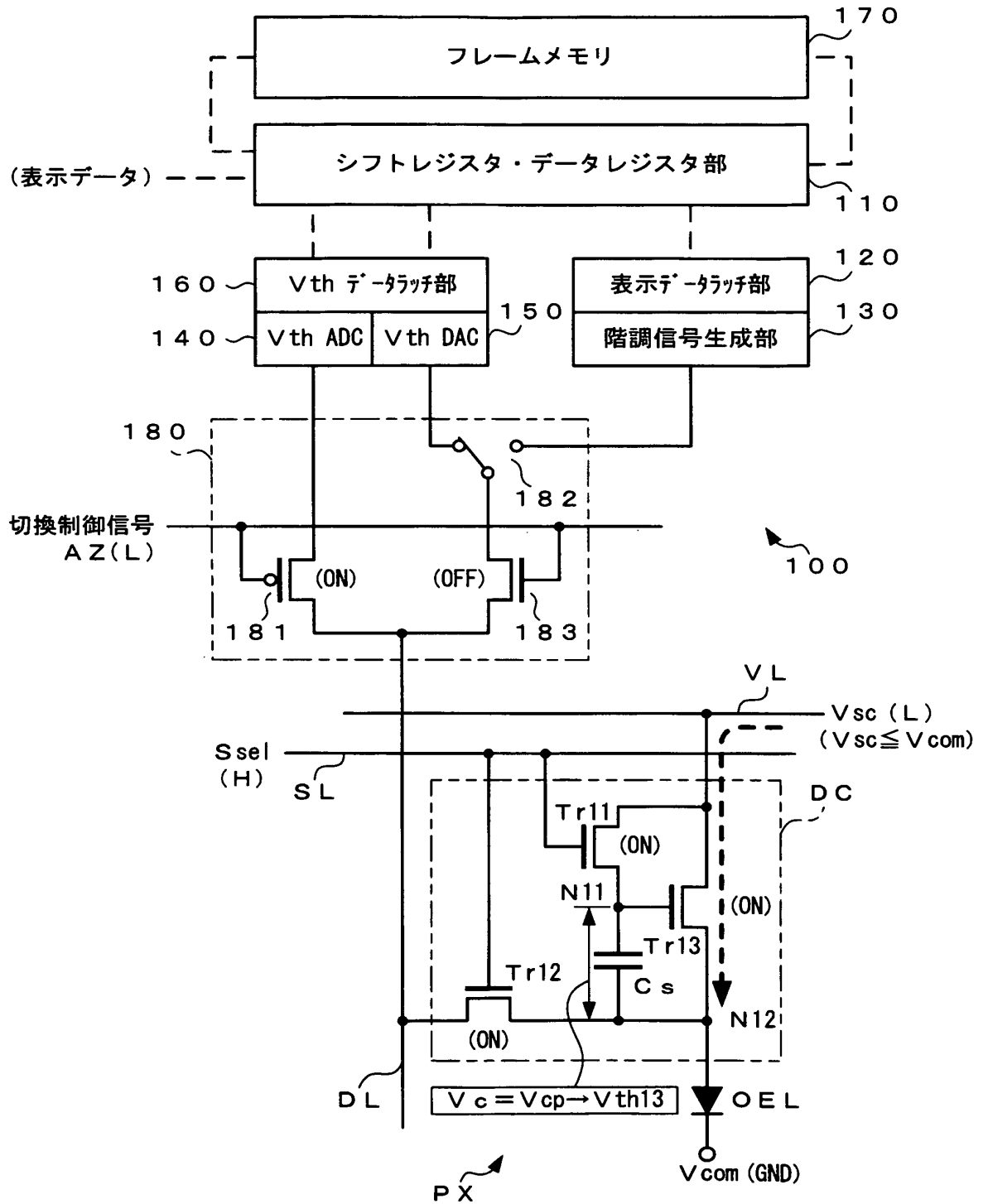




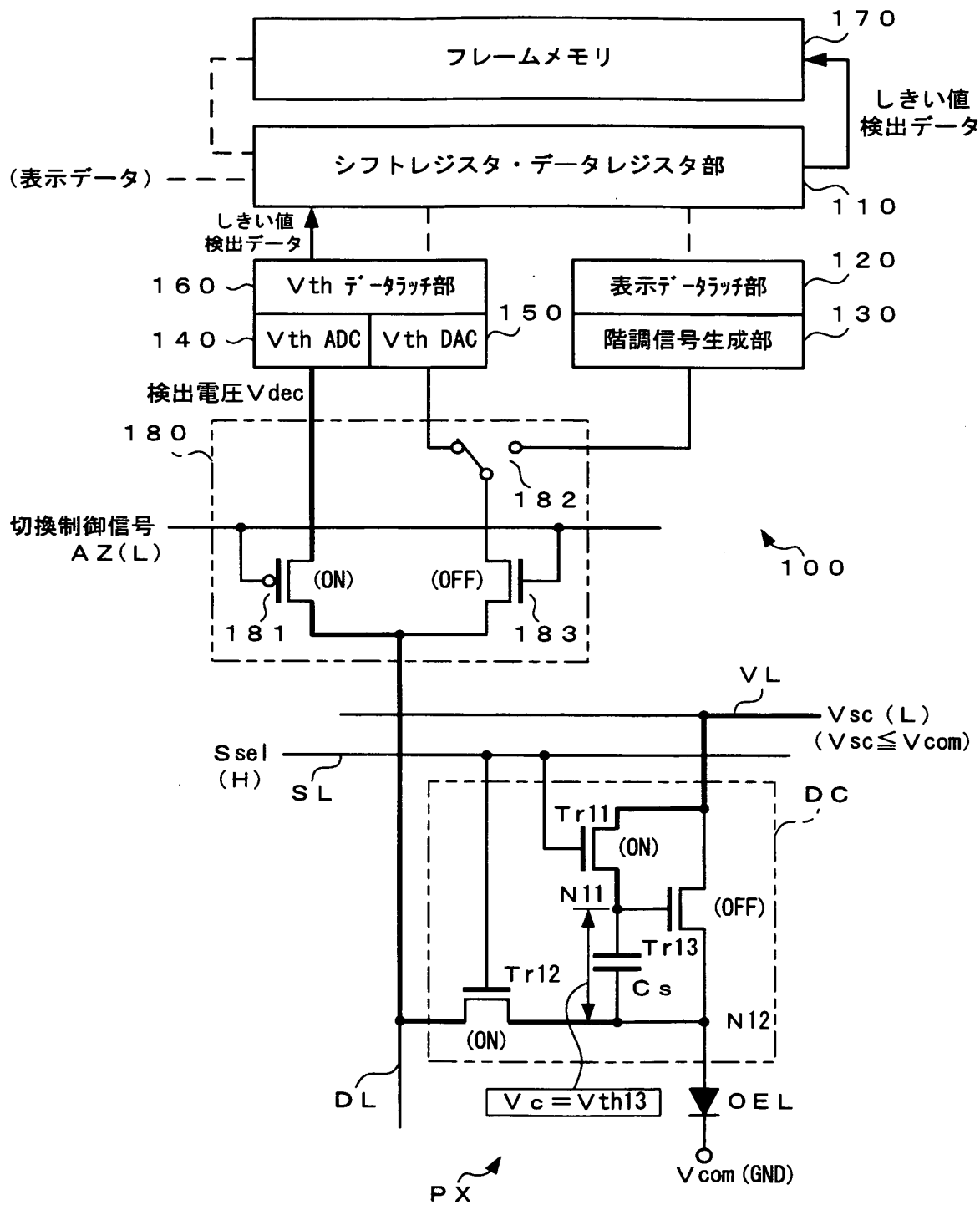
【図 3】



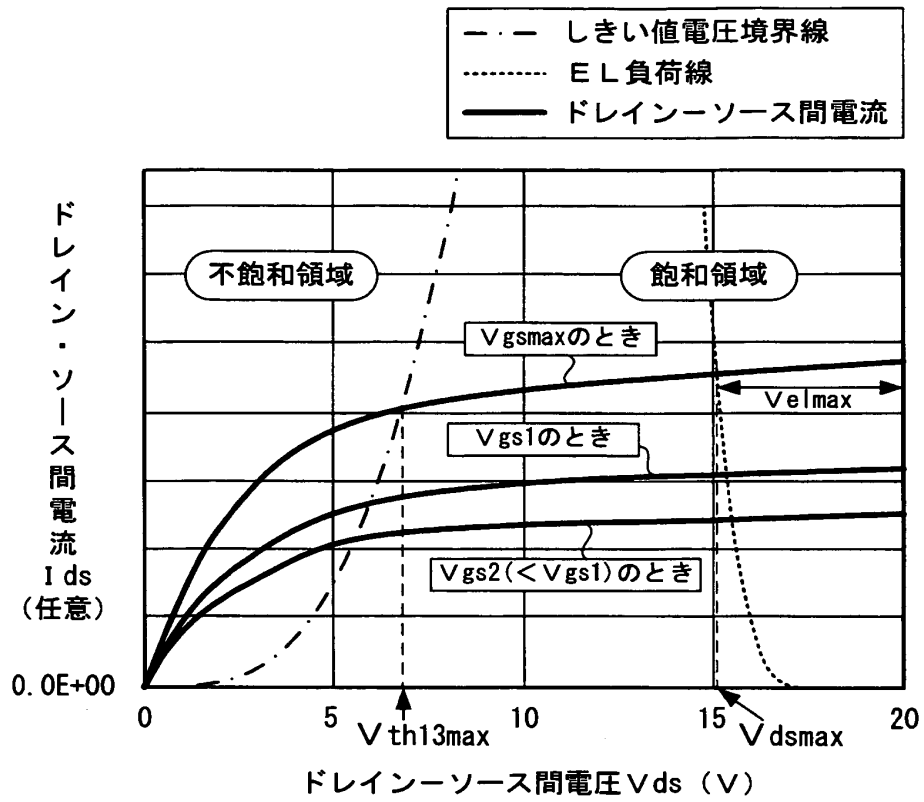
【図 4】



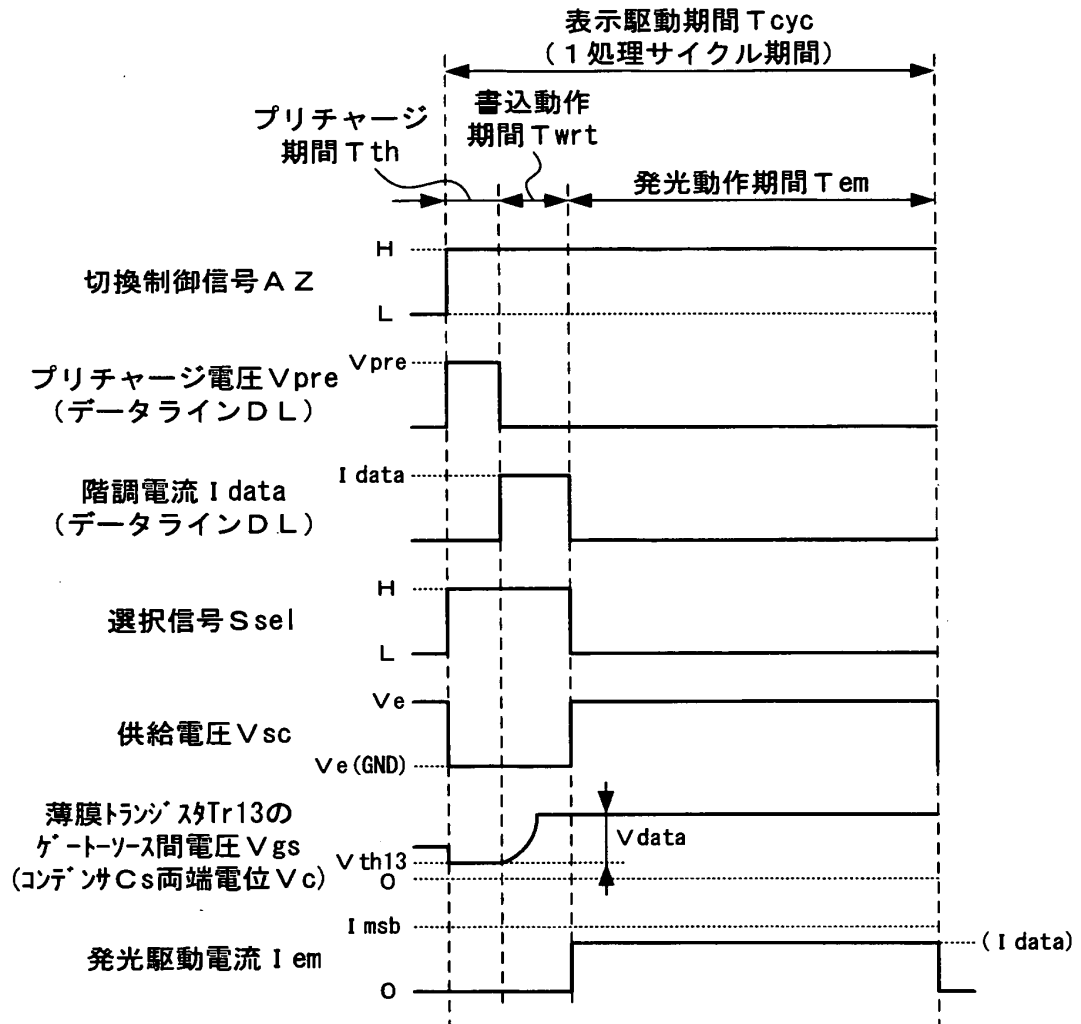
【図 5】



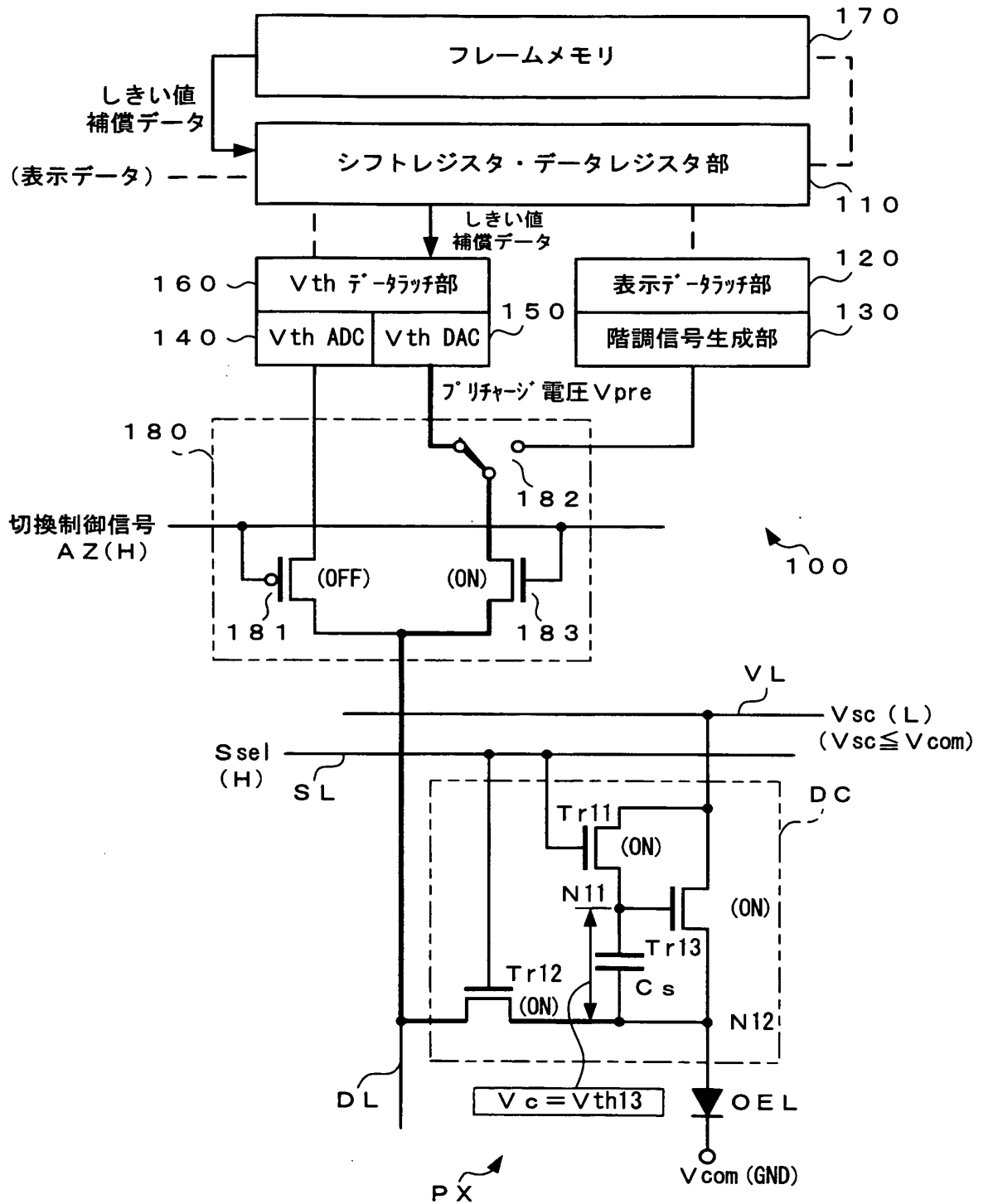
【図6】



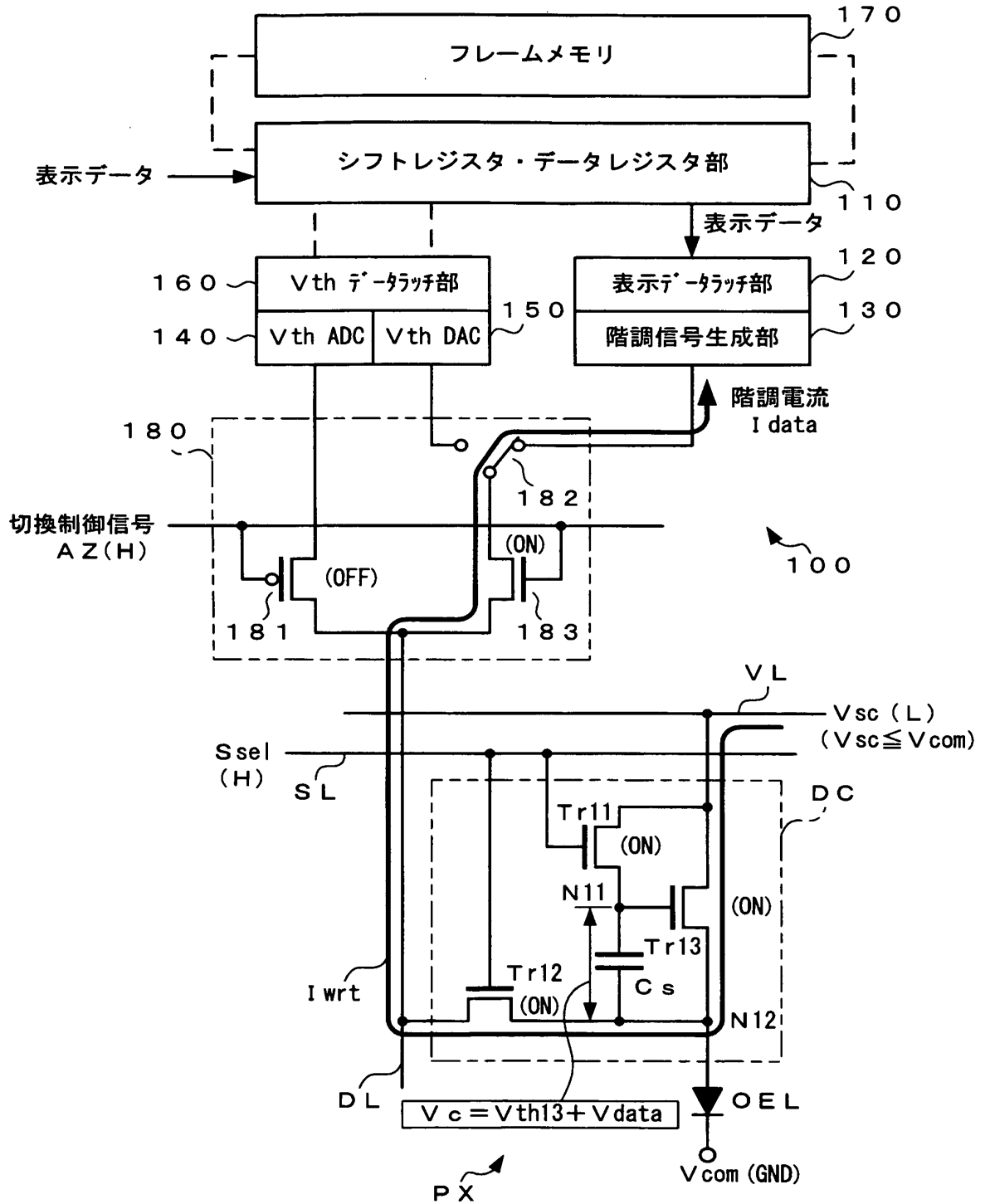
【図 7】



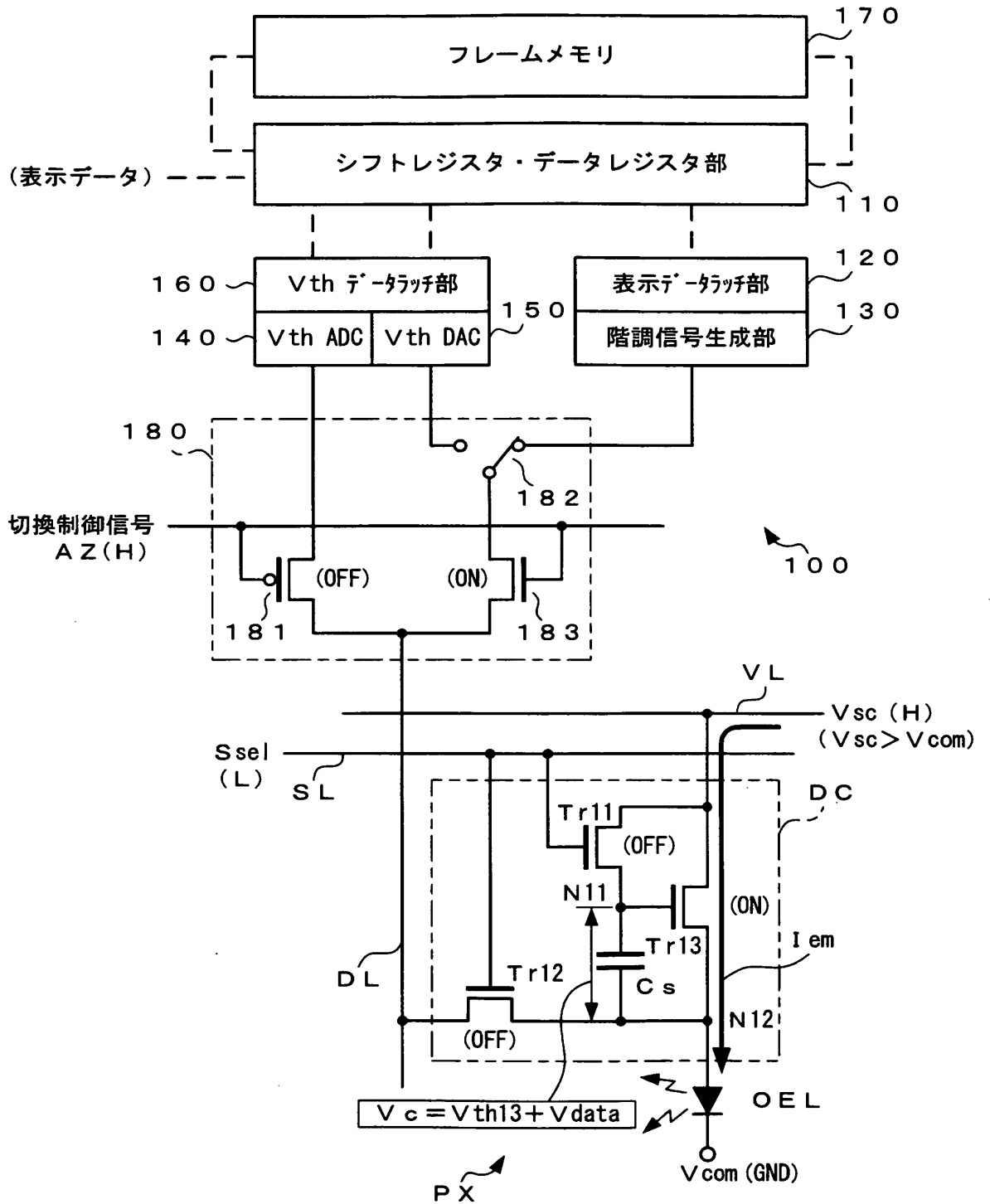
【図 8】



【図 9】

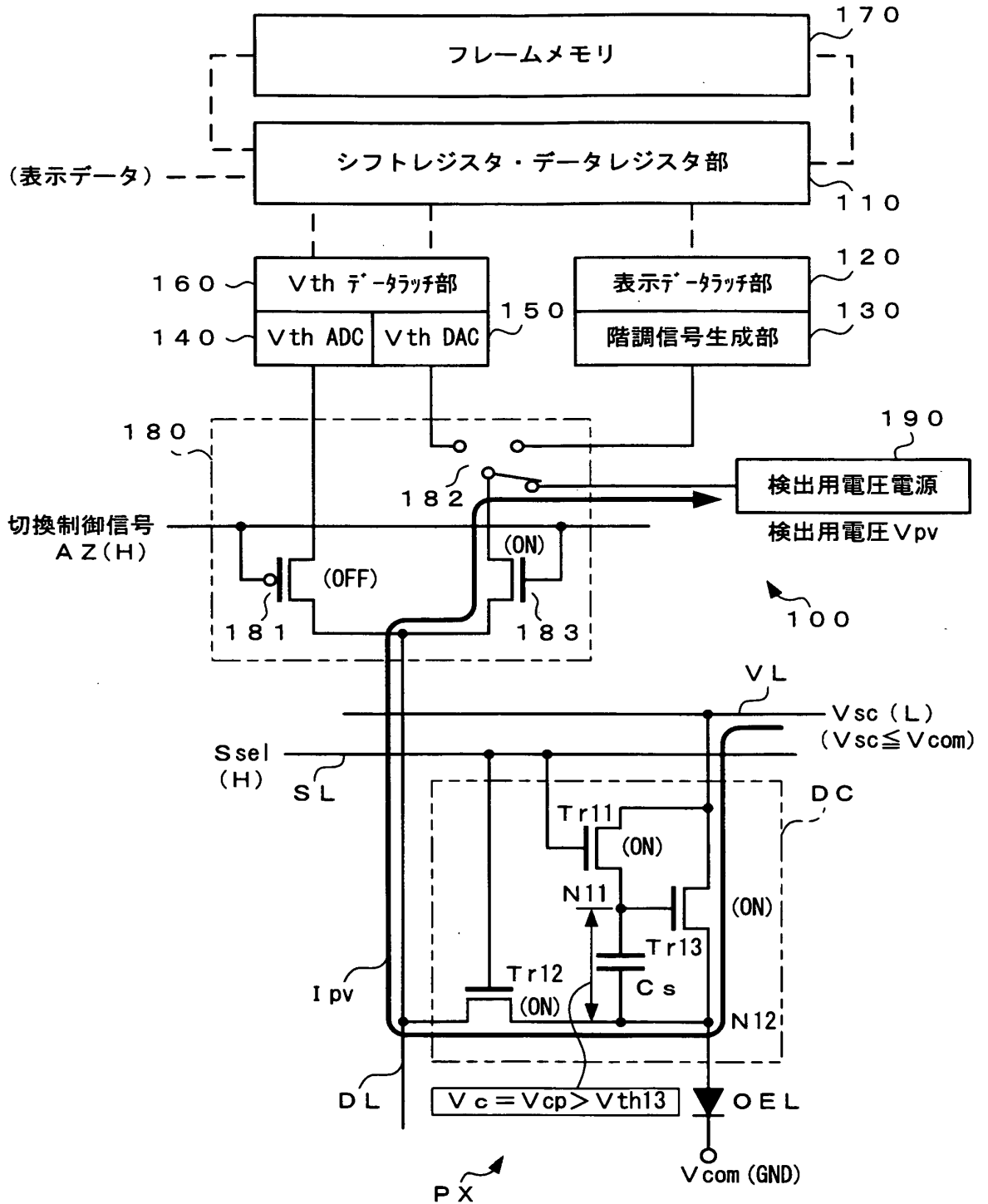


【図 10】

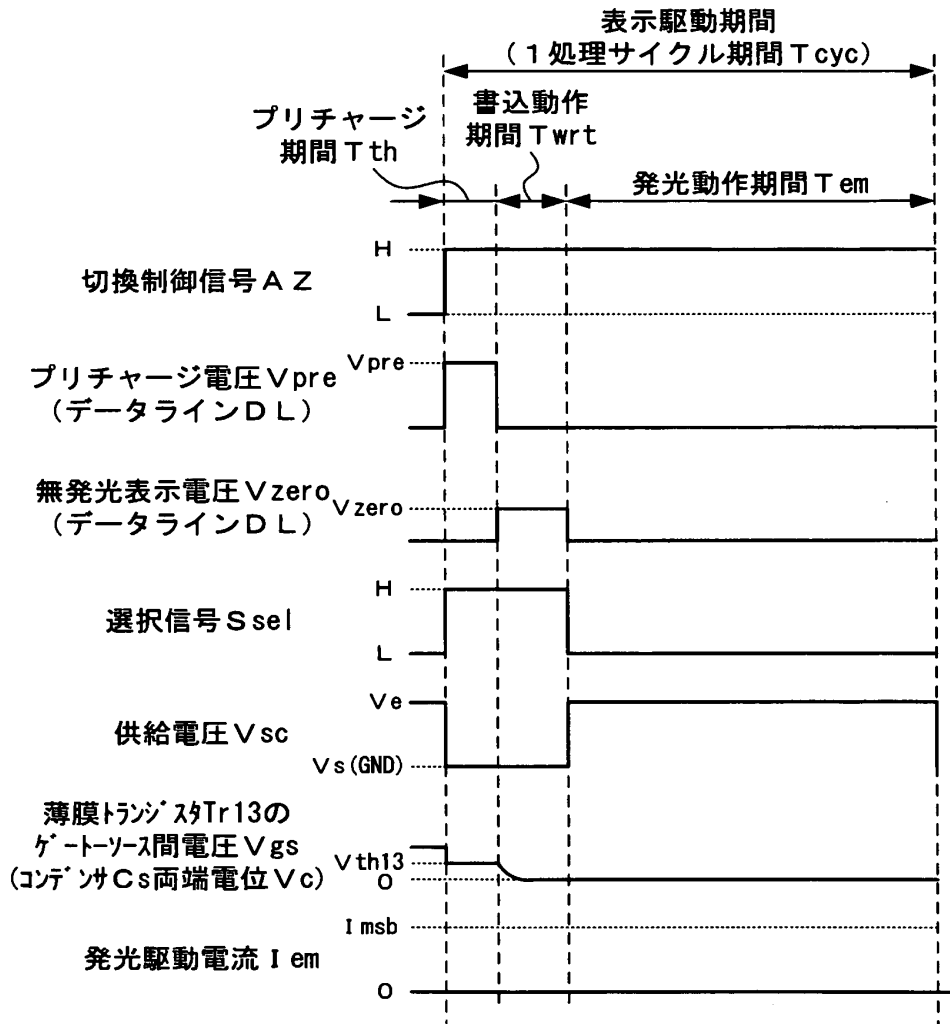




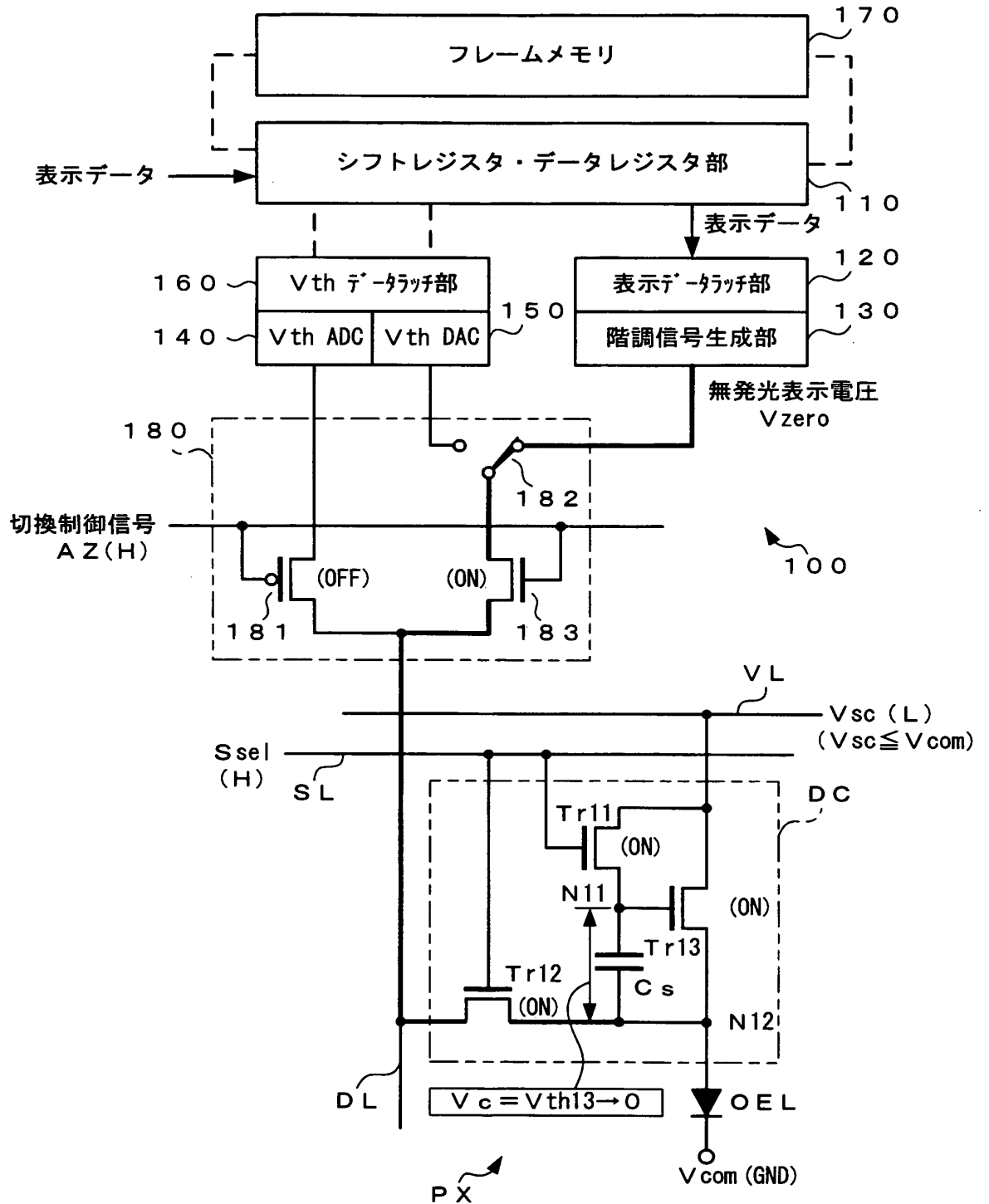
【図 11】



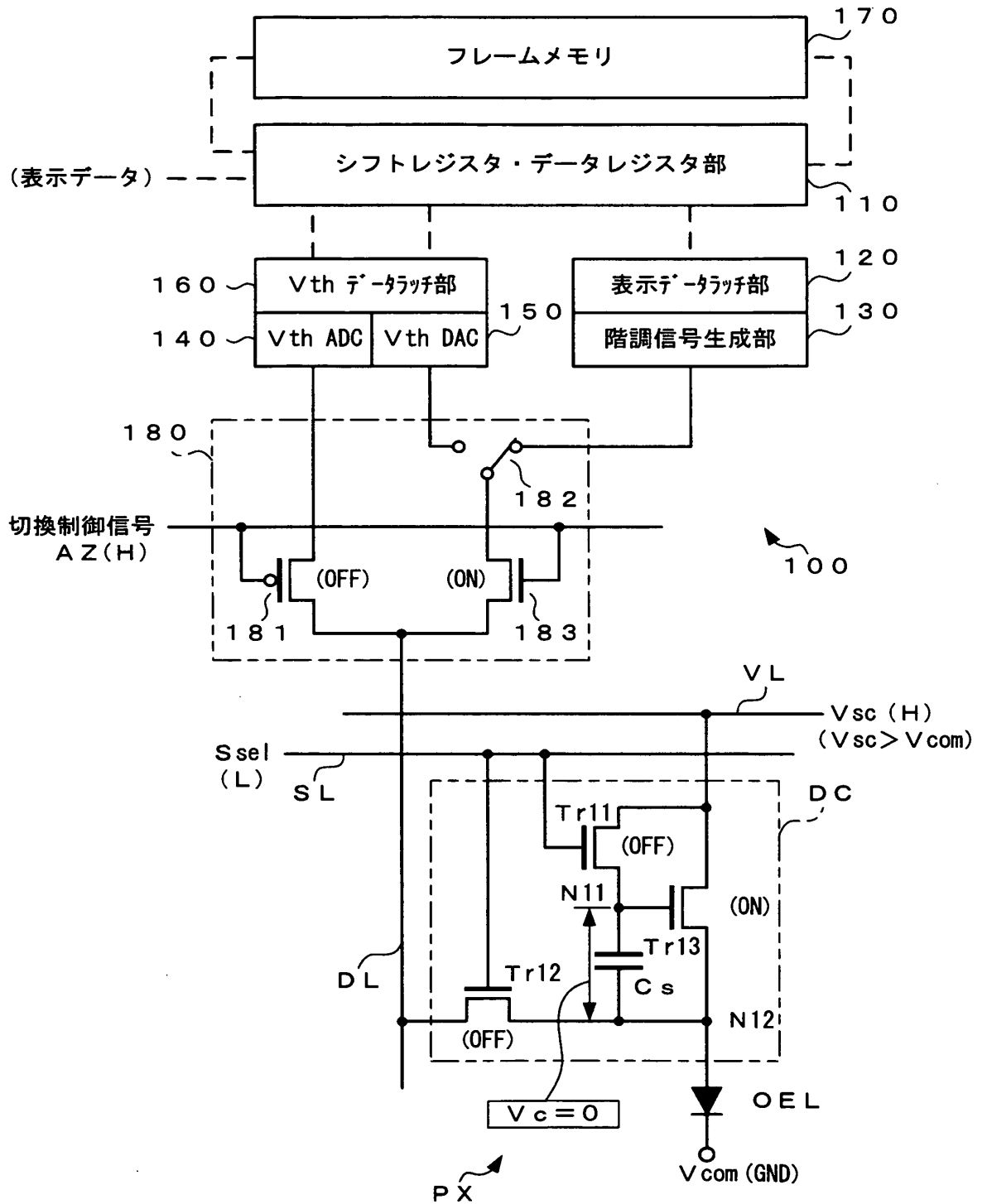
【図 12】



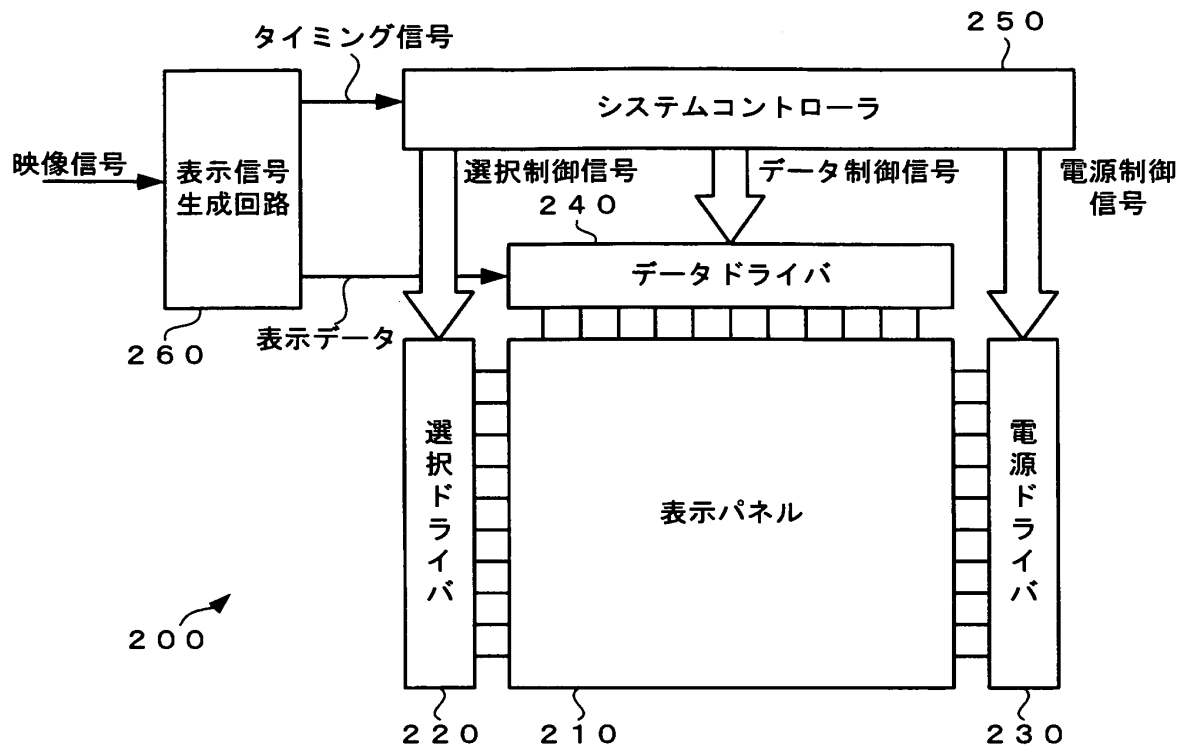
【図 13】



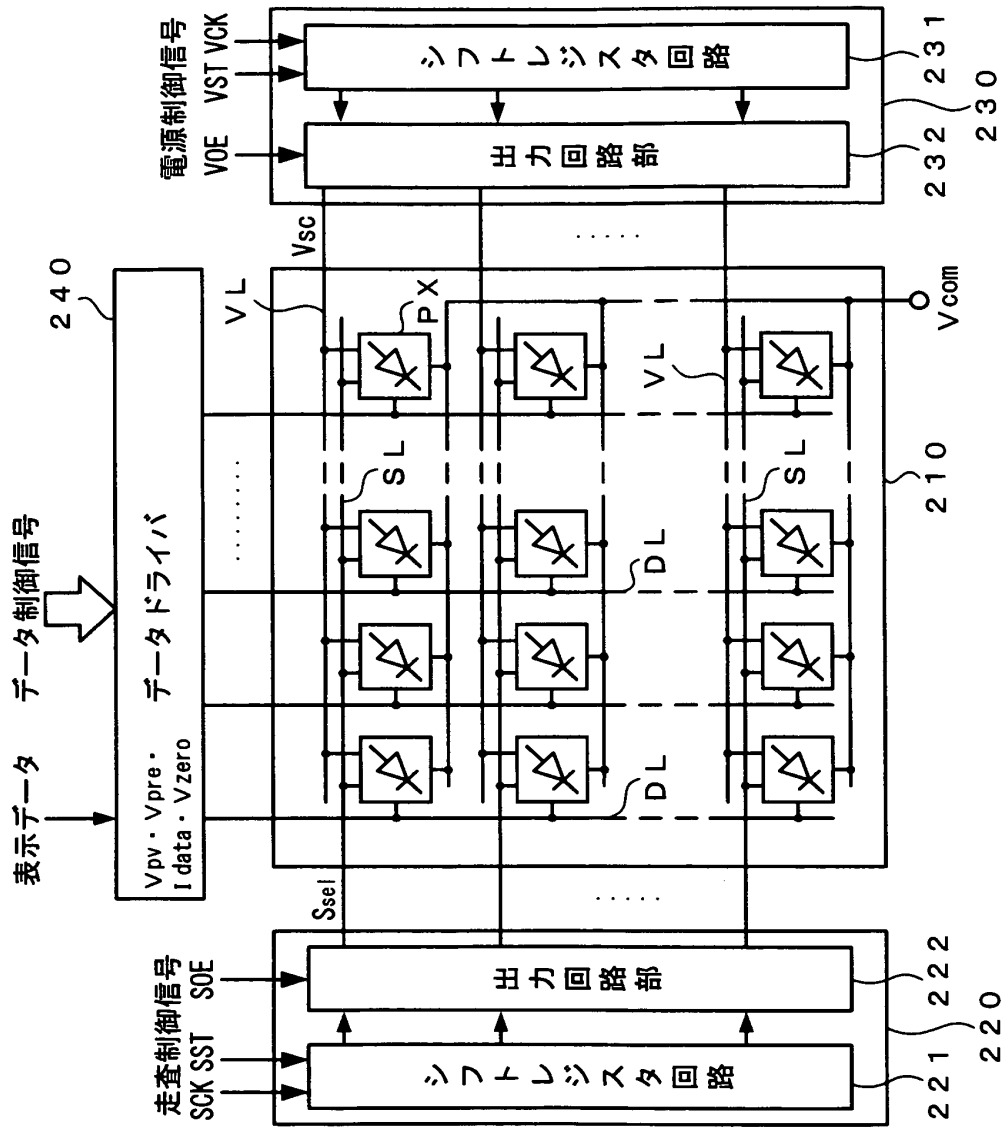
【図 14】



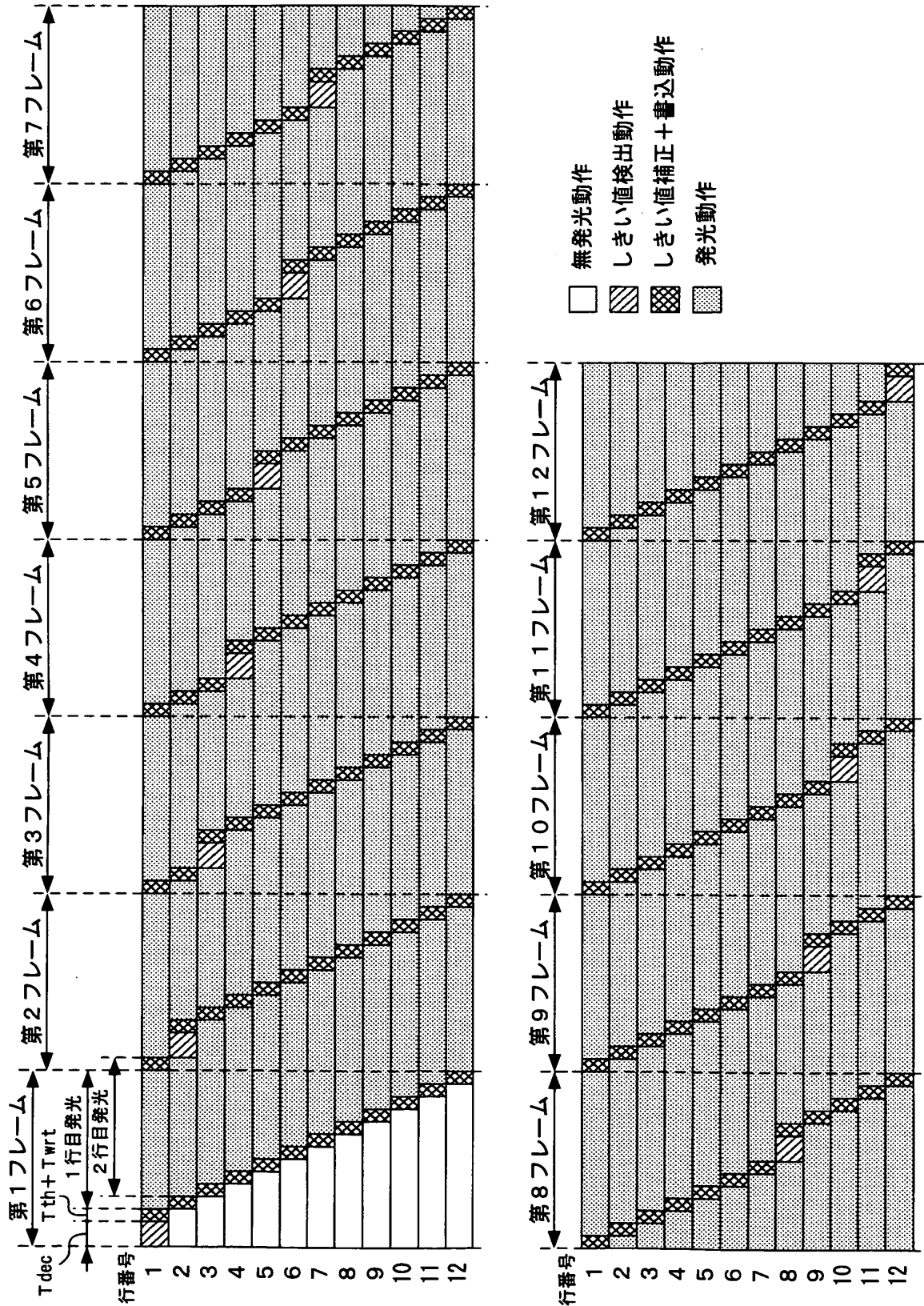
【図15】



【図16】

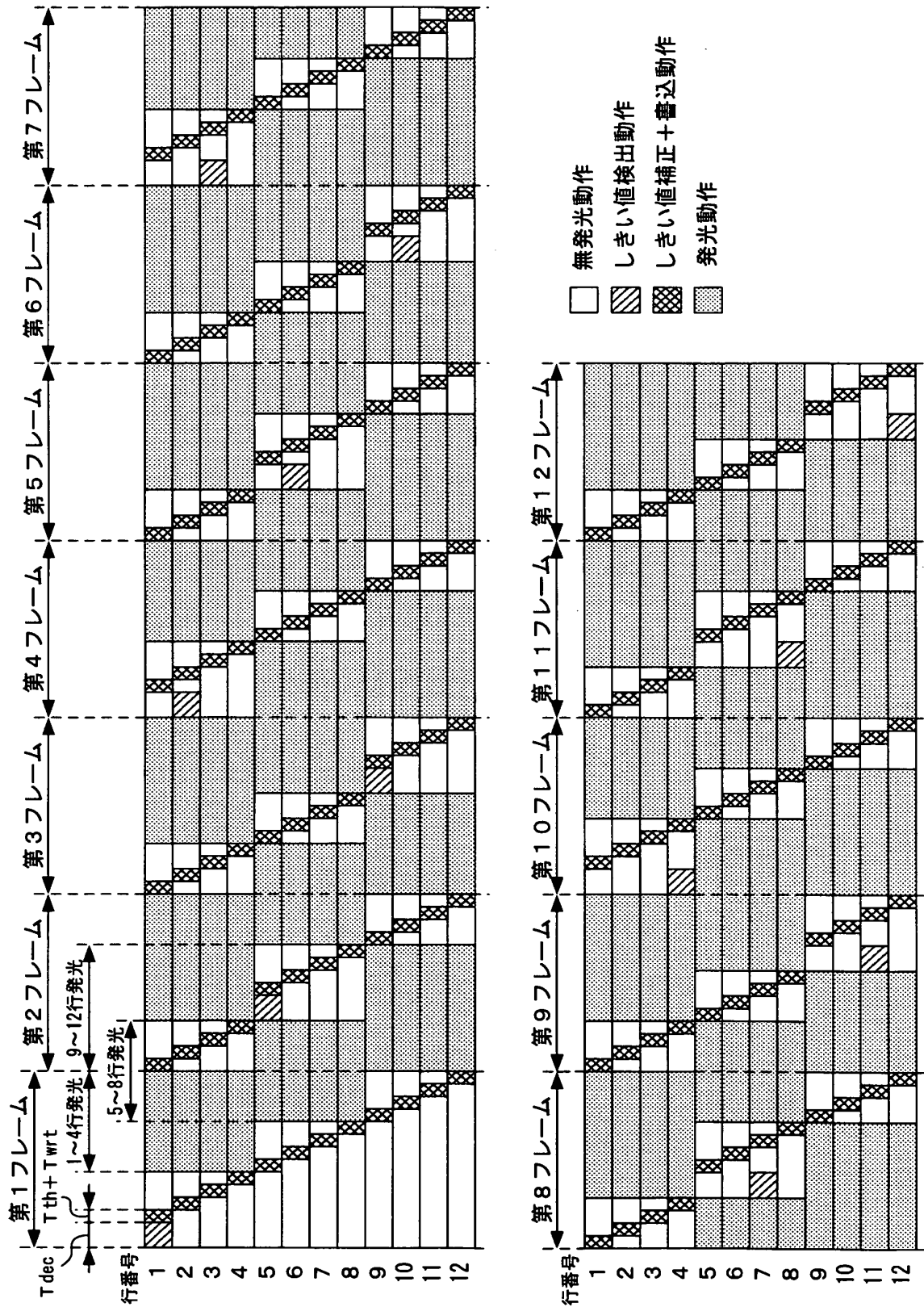


【図17】



出証特2005-3101386

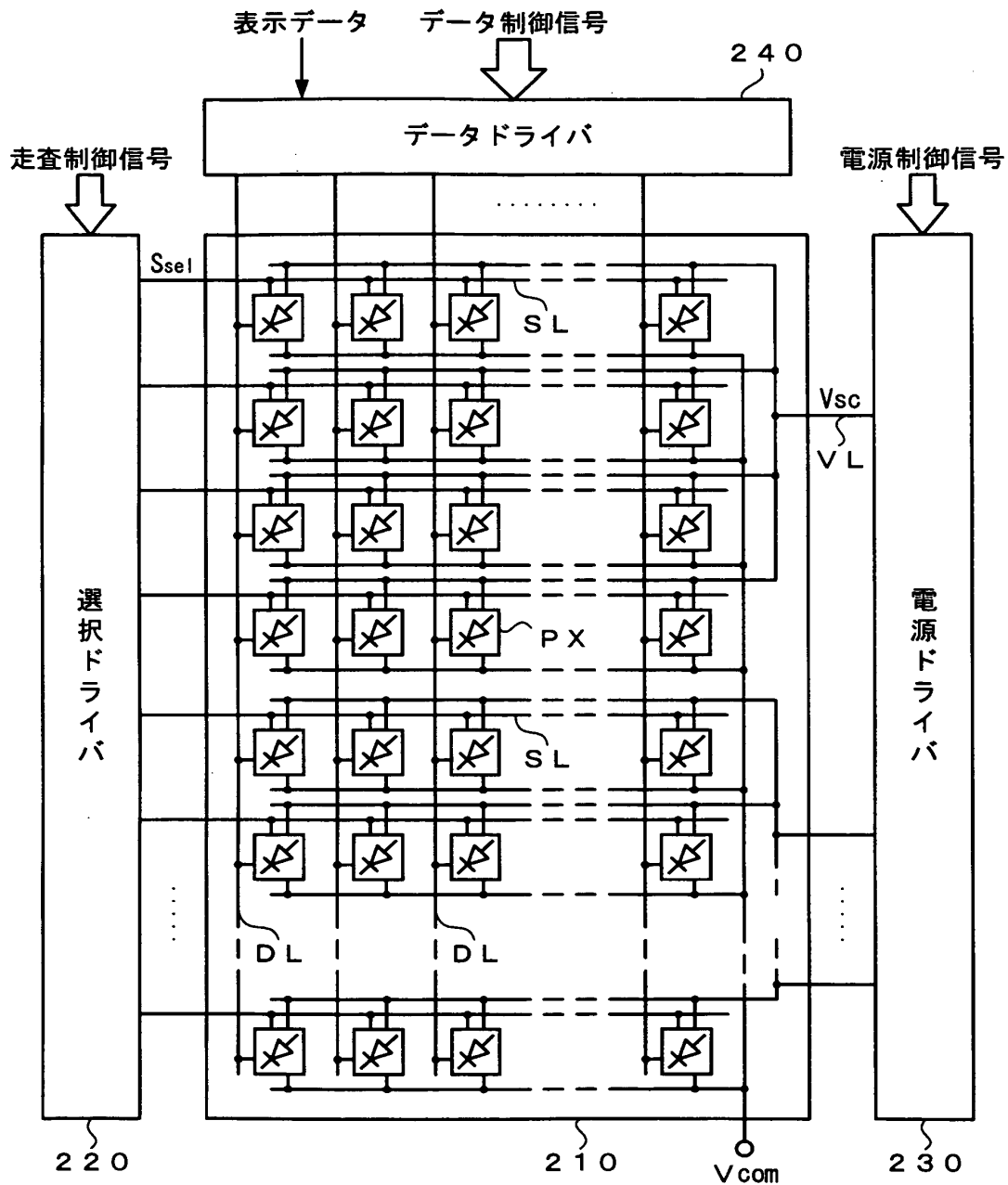
【図 18】



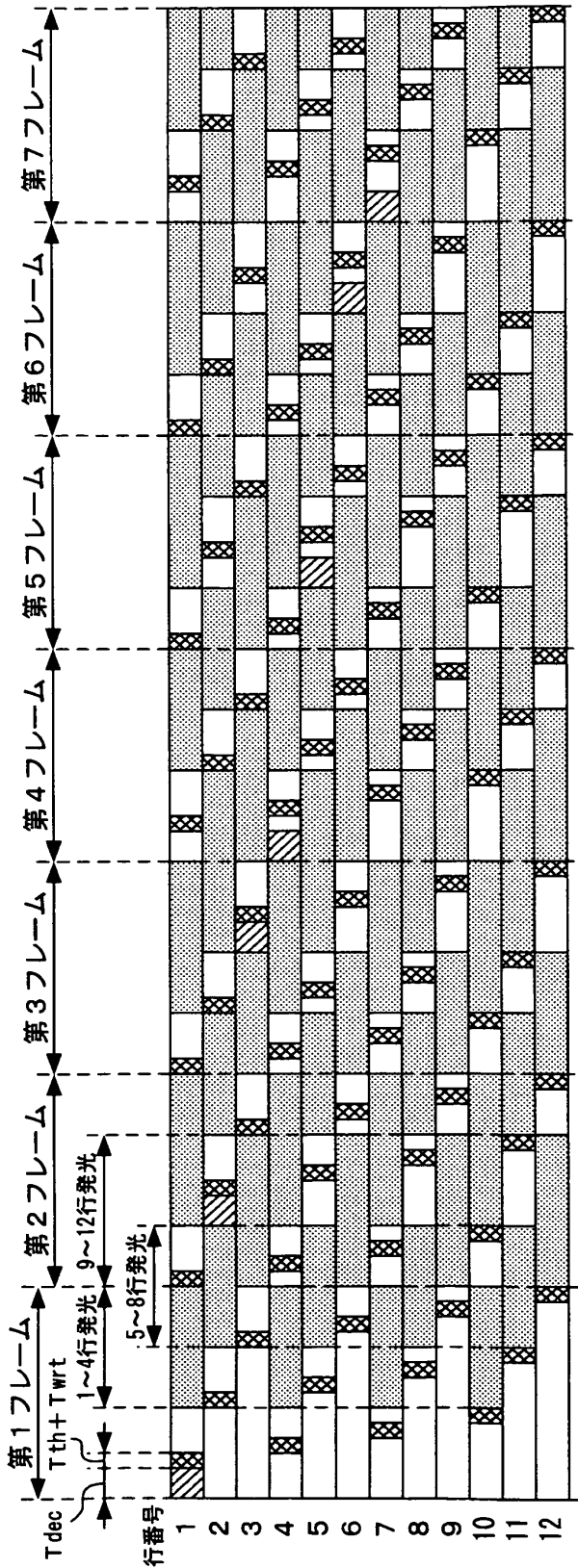
出証特 2005-3101386



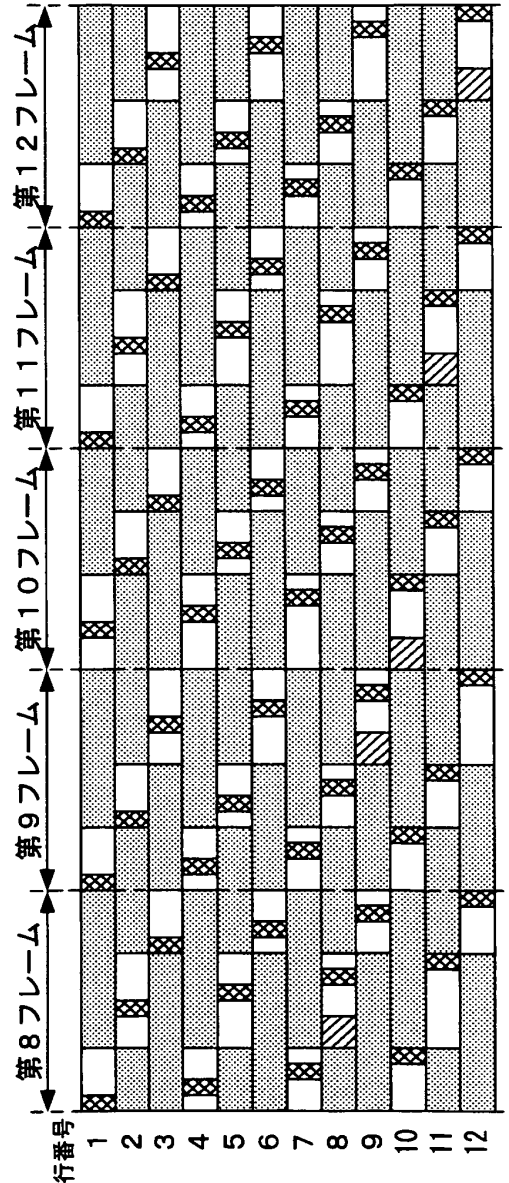
【図 19】



【図20】

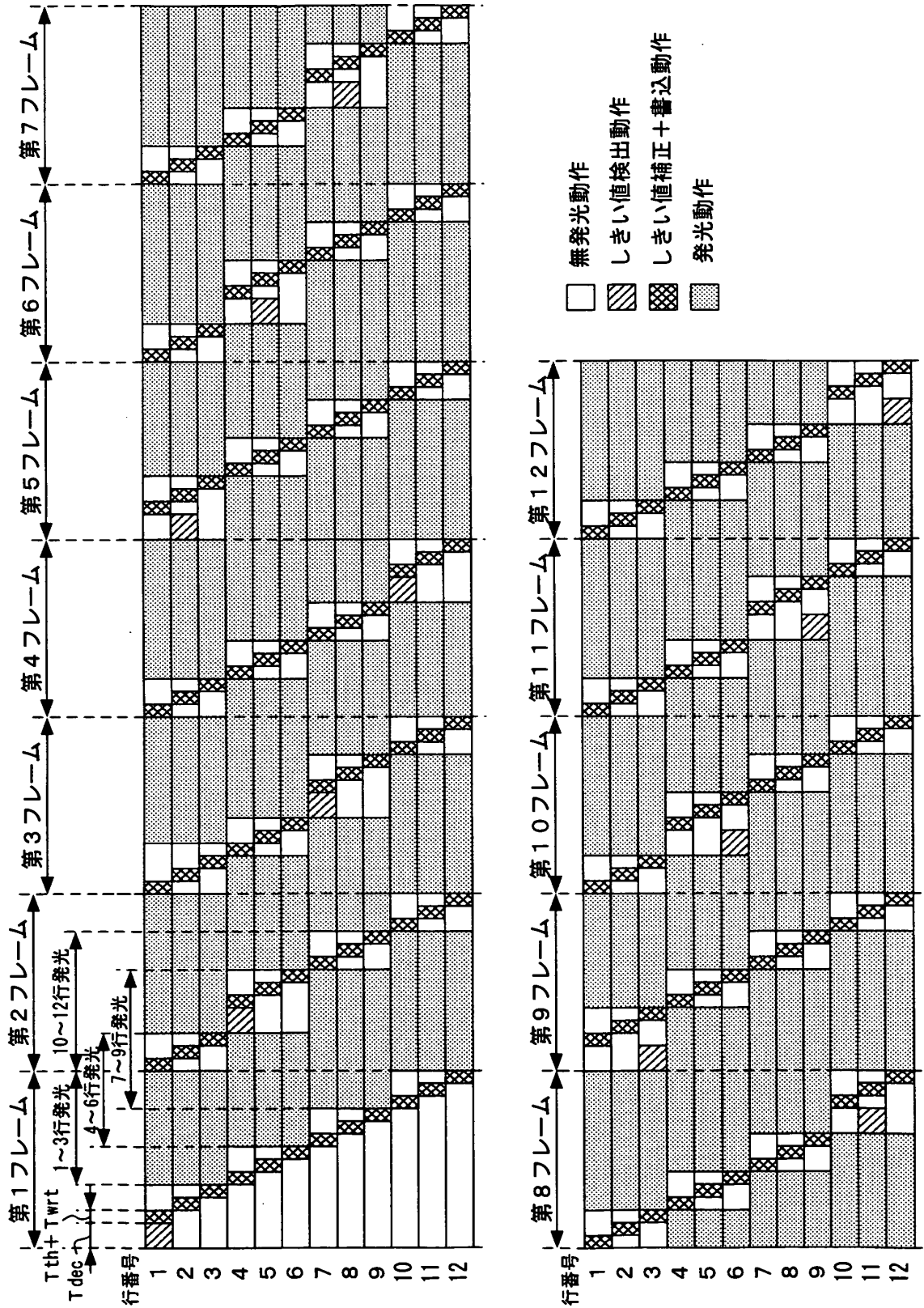


- 無発光動作
- ▨ しきい値検出動作
- ▩ しきい値補正+書込動作
- 発光動作



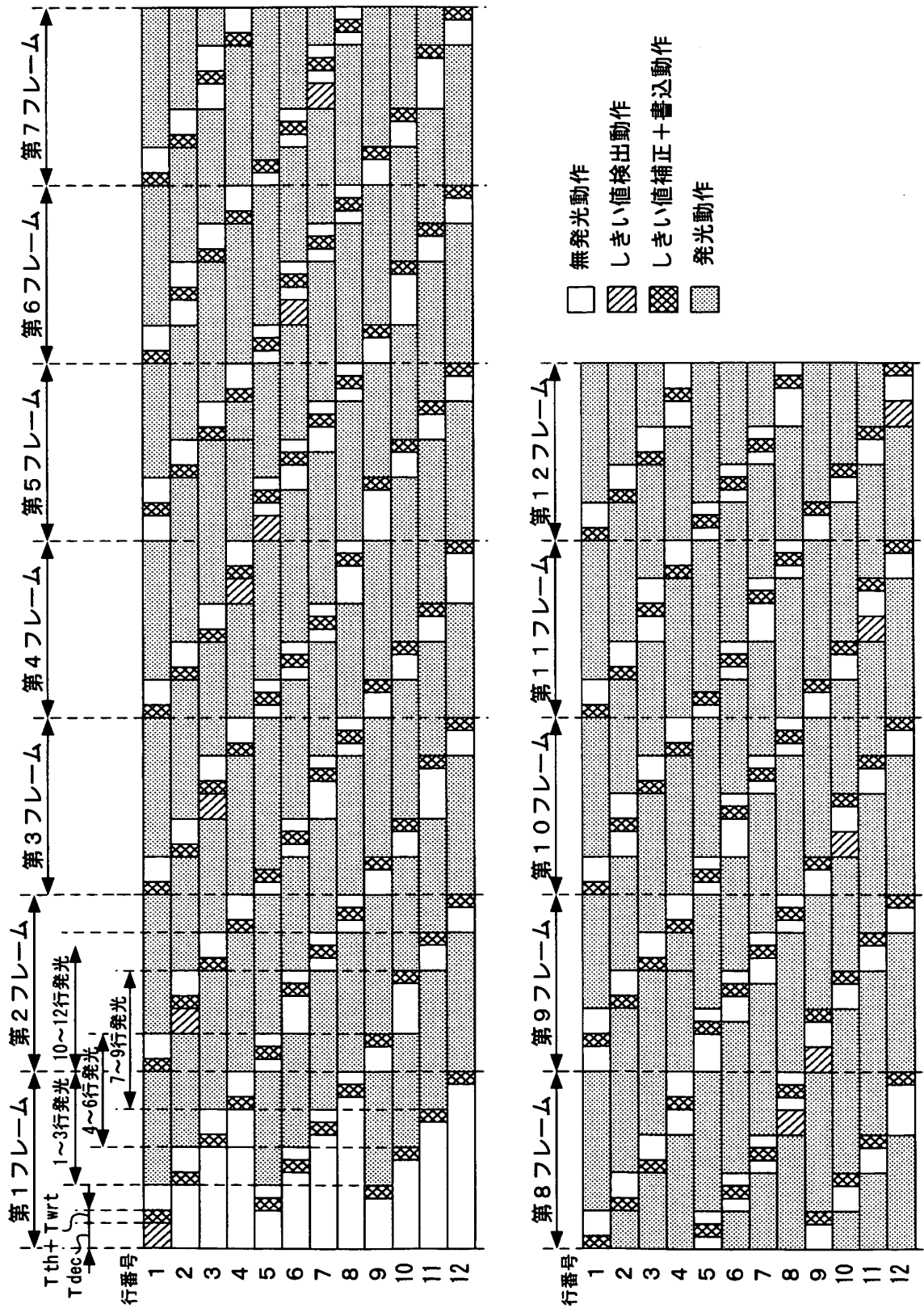
出証特2005-3101386

【図 21】



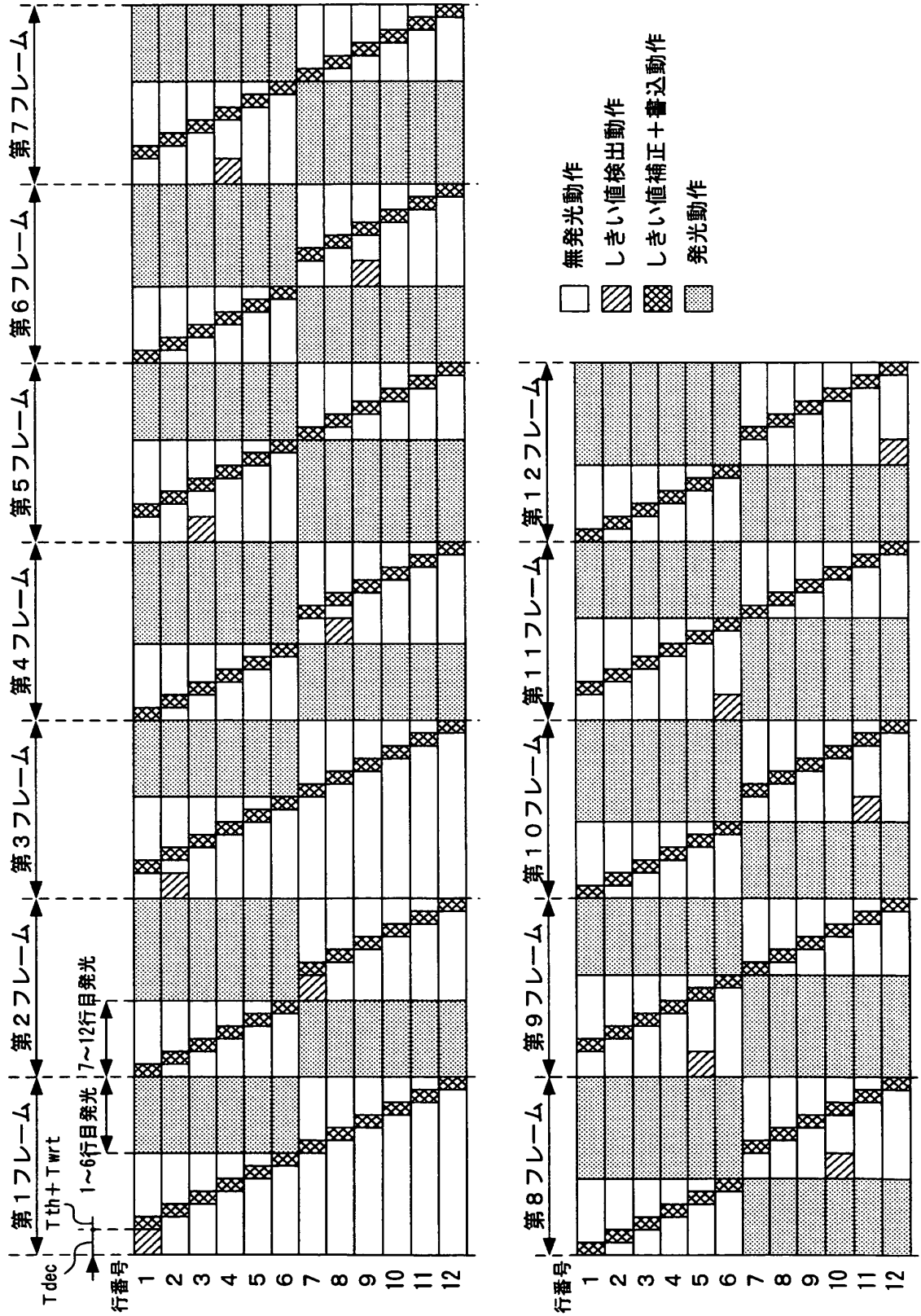
出証特 2005-3101386

【図 22】



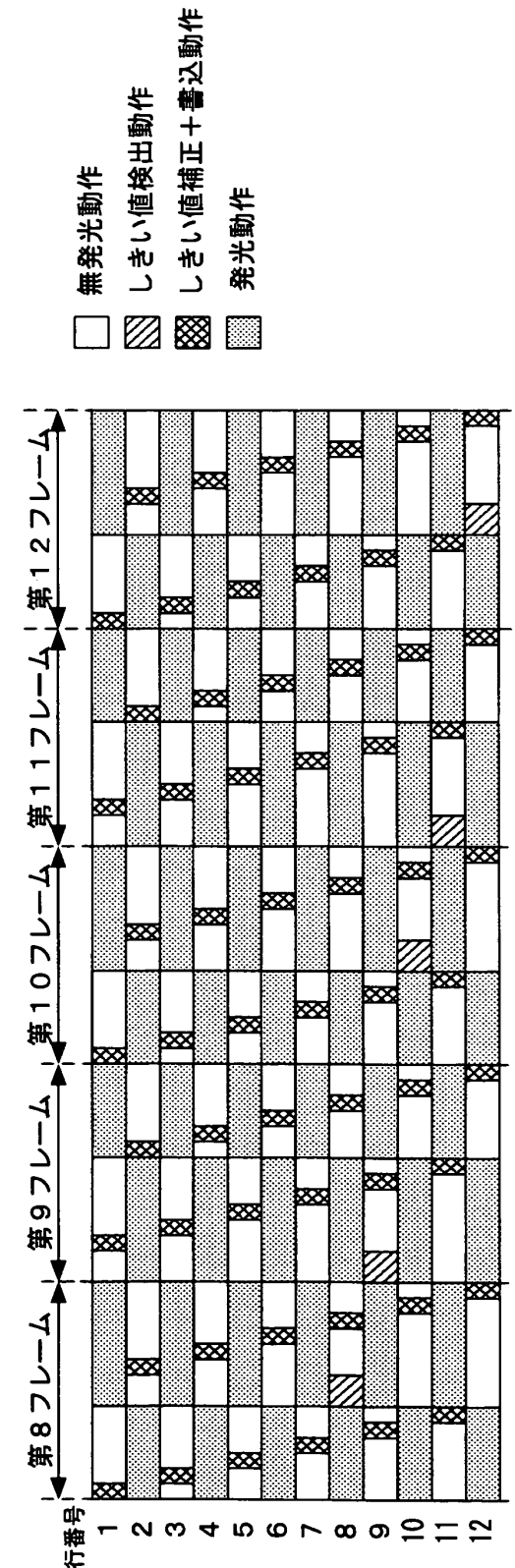
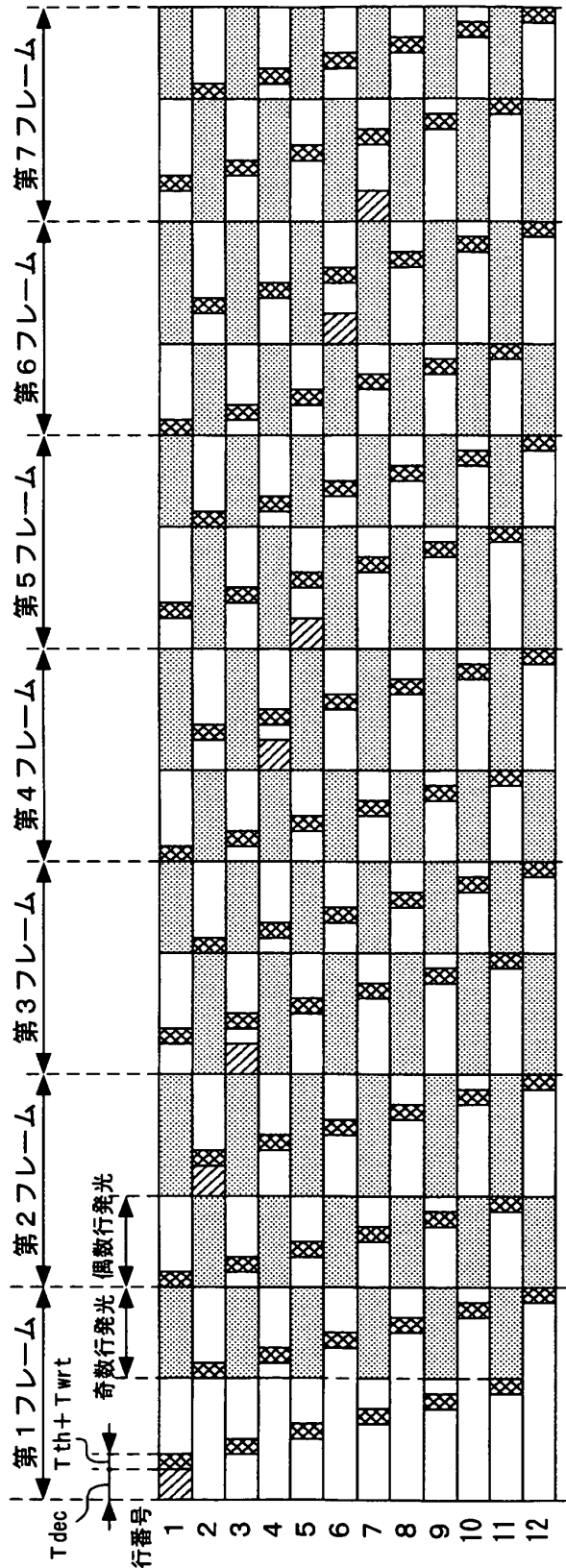
出証特 2005-3101386

【図23】



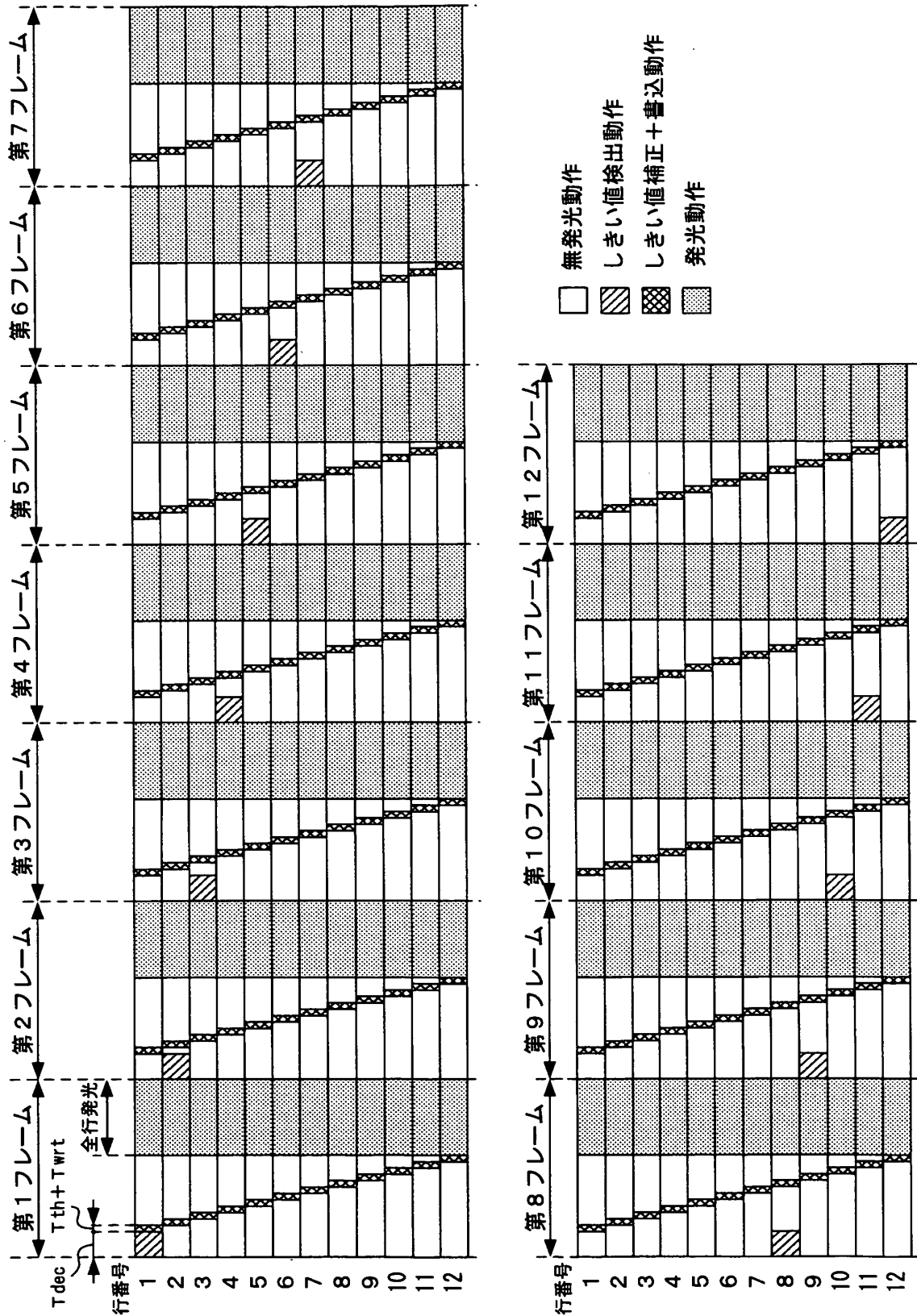
出証特2005-3101386

【図24】



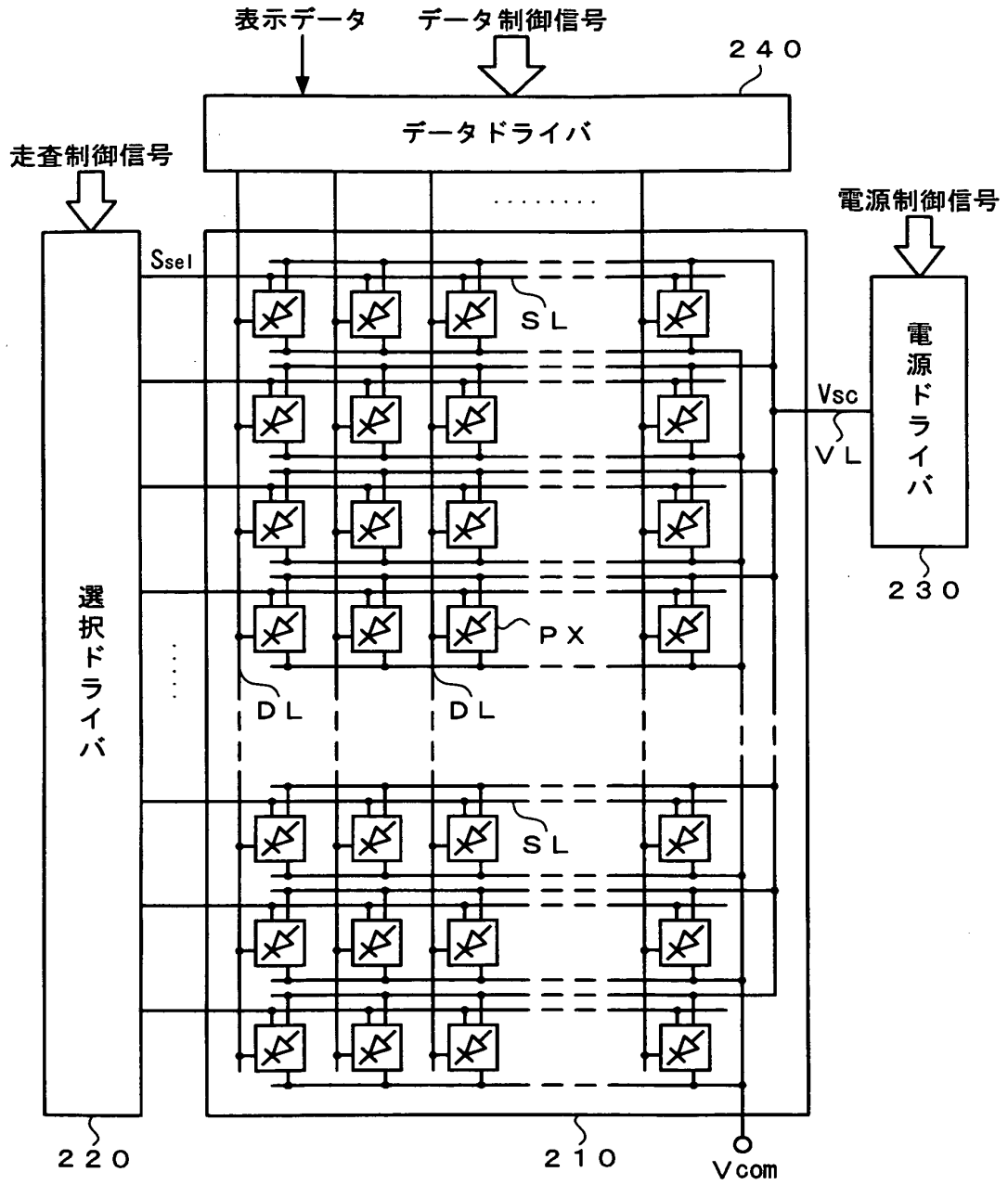
出証特2005-3101386

【図 25】



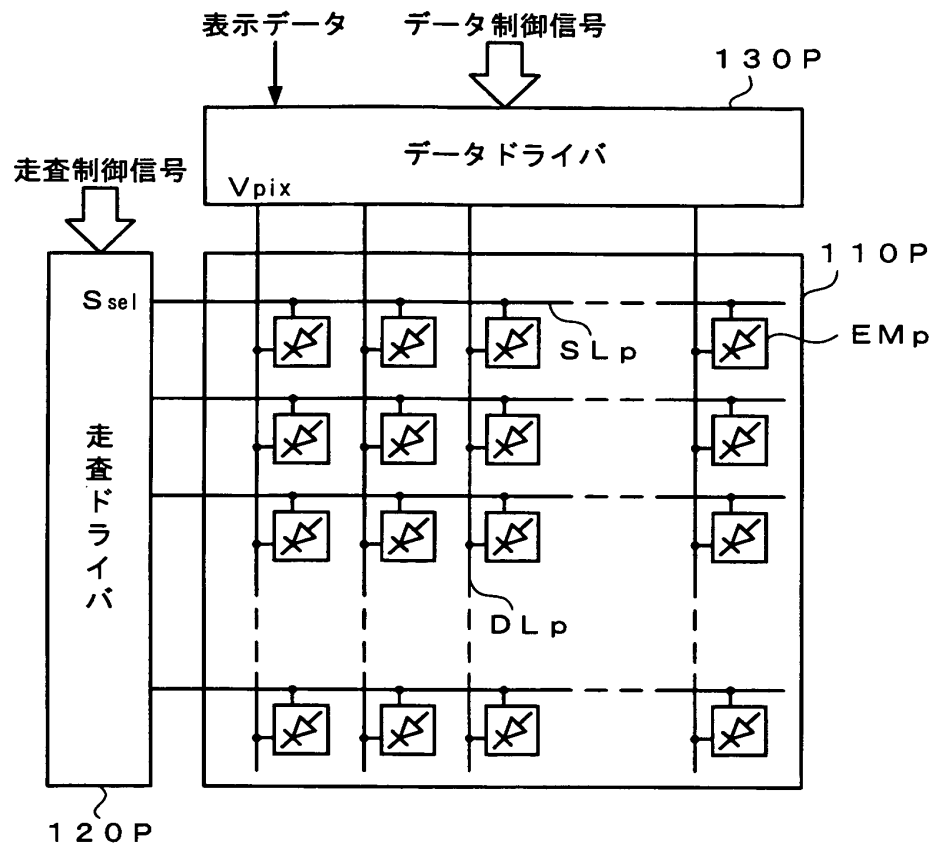
出証特 2005-3101386

【図 26】

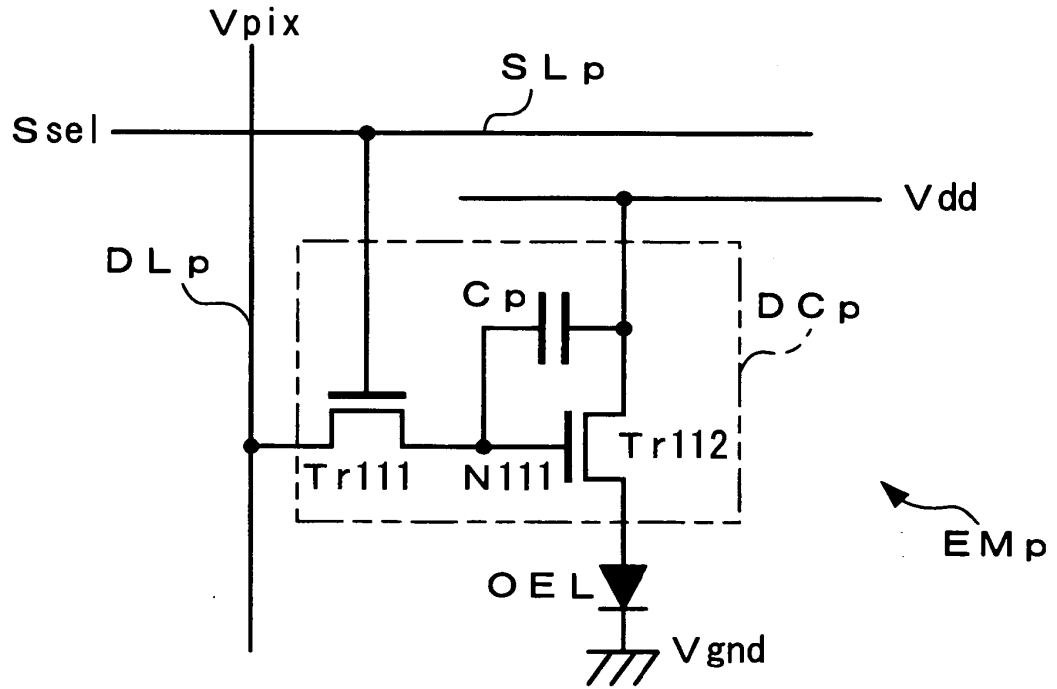




【図 27】



【図 28】



**【書類名】 要約書****【要約】**

**【課題】** 表示データに対応した適切な電流値を有する発光駆動電流を供給することにより、表示データに応じた適切な輝度階調で表示パネルに配列された表示画素（発光素子）を発光駆動させることができ、表示画質が良好かつ均質な表示装置及びその駆動制御方法を提供する。

**【解決手段】** 表示装置 200 に適用されるデータドライバ 240 は、少なくとも、しきい値電圧検出期間  $T_{dec}$  に、各表示画素  $PX$ （発光駆動回路  $DC$ ）に設けられた発光駆動用トランジスタのしきい値電圧を測定する検出電圧  $ADC140$  と、測定されたしきい値電圧を各表示画素  $PX$  ごとに記憶するフレームメモリ 170 と、表示駆動期間  $T_{cyc}$  に、測定されたしきい値電圧に基づくプリチャージ電圧  $V_{pre}$  を各表示画素  $PX$  に印加する補償電圧  $DAC150$  と、表示データに応じた階調信号を生成して、各表示画素  $PX$  に印加する階調信号生成部 130 と、を備えた構成を有している。

**【選択図】** 図 1

認定・付加情報

特許出願の番号	特願 2005-105373
受付番号	50500597993
書類名	特許願
担当官	第一担当上席 0090
作成日	平成17年 4月 1日

<認定情報・付加情報>

【提出日】 平成17年 3月31日

特願 2005-105373

出願人履歴情報

識別番号 [000001443]

1. 変更年月日	1998年 1月 9日
[変更理由]	住所変更
住所	東京都渋谷区本町1丁目6番2号
氏名	カシオ計算機株式会社

出証番号 出証特 2005-3101386