

U.S. DEPARTMENT OF COMMERCE
PATENT AND TRADEMARK OFFICE

**CONTINUATION PATENT APPLICATION
TRANSMITTAL LETTER
UNDER 37 C.F.R. 1.53(b)**

ATTORNEY DOCKET NO.:
2885/139

Address to:
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Transmitted herewith for filing is a patent application.

Inventor(s):

Martin VORBACH -- Berliner Strasse 50, 67360 Lingenfeld, Federal Republic of Germany

For: **RECONFIGURABLE SEQUENCER STRUCTURE**

1. Enclosed are:
 - A. -25- pages of specification, -4- pages of claims, and -1- page of abstract;
 - B. -6- sheet(s) of drawing(s);
 - C. Preliminary Amendment; and
 - D. Declaration and Appointment of Power of Attorney (copies from prior application (37 CFR 1.63(d) and 3.73(b) Statement) (See paragraph 5 below);
2. Incorporation by Reference. The entire disclosure of the prior application, from which a copy of the oath or declaration is supplied under paragraph 1(D) above is considered as being part of the disclosure of the accompanying application and is hereby incorporated by reference therein.
3. Related Applications:

This application is a continuation of and claims priority to U.S. Patent Application No. 12/541,299, filed August 14, 2009, which is a continuation of and claims priority to U.S. Patent Application Serial No. 12/082,073, filed on April 7, 2008, which is a continuation of and claims priority to U.S. Patent Application Serial No. 10/526,595, filed on January 9, 2006, which was the National Stage of International Application Serial No. PCT/EP03/38599, filed on September 8, 2003, which claims benefit of and priority to German Patent Application Serial No. DE 102 41 812.8, filed on September 6, 2002, the entire contents of each of which are expressly incorporated in the accompanying application by reference thereto.

4. The filing fee has been calculated as shown below:

FILING FEES				FEE (\$)
BASIC FEE				330.00
EXAMINATION FEE				220.00
SEARCH FEE				540.00
TOTAL BASIC, EXAM AND SEARCH FEES				1,090.00
CLAIMS FEES	NUMBER FILED	NUMBER EXTRA*	RATE (\$)	FEE (\$)
TOTAL CLAIMS	30	- 20 =	10	52.00
INDEPENDENT CLAIMS	1	- 3 =	0	220.00
MULTIPLE DEPENDENT CLAIM PRESENT			390.00	
TOTAL CLAIMS FEES				520.00
<small>Additional fee for specification and drawings filed in paper over 100 sheets (excluding sequence listing or computer program listing filed in an electronic medium). The fee is \$250 for each additional 50 sheets of paper or fraction thereof.</small>				
Total Sheets	Extra Sheets	Number Extra	RATE	
-100	/50=		x \$250.00	
TOTAL FEES =				1610.00
<small>If the applicant is a small entity under 37 C.F.R. §§ 1.9 and 1.27, then divide total fee by 2, and enter amount here.</small>			SMALL ENTITY TOTAL	805.00 (722.00 if e-filing)

5. The required application filing fee and claim fees of **\$805.00 (\$722.00 for e-filing)** is being paid by credit card.

Respectfully submitted,

Dated: July 14, 2010

By: /Aaron Grunberger/
 Aaron Grunberger
 Reg. No. 59,210

Customer No.: 26646

KENYON & KENYON
 One Broadway
 New York, New York 10004
 (212) 425-7200 (telephone)
 (212) 425-5288 (facsimile)

RECONFIGURABLE SEQUENCER STRUCTURE

Description

The present invention relates to a cell element field and a method for operating same. The present invention thus relates in particular to reconfigurable data processing architectures.

5 The term reconfigurable architecture is understood to refer to units (VPUs) having a plurality of elements whose function and/or interconnection is variable during run time. These elements may include arithmetic logic units, FPGA areas, input/output cells, memory cells, analog modules, etc. Units
10 of this type are known by the term VPU, for example. These typically include arithmetic and/or logic and/or analog and/or memory and/or interconnecting modules and/or communicative peripheral modules (IOs), typically referred to as PAEs, which are arranged in one or more dimensions and are linked together
15 directly or by one or more bus systems. PAEs are arranged in any configuration, mixture and hierarchy, the system being known as a PAE array or, for short, a PA. A configuring unit may be assigned to the PAE. In addition to VPU units, in principle systolic arrays, neural networks, multiprocessor
20 systems, processors having multiple arithmetic units and/or logic cells, interconnection and network modules such as crossbar circuits, etc., as well as FGAs, DPGAs, transputers, etc., are also known

It should be pointed out that essential aspects of VPU
25 technology are described in the following protective rights of the same applicant as well as in the particular follow-up applications to the protective rights listed here:

P 44 16 881.0-53, DE 197 81 412.3, DE 197 81 483.2,
DE 196 54 846.2-53, DE 196 54 593.5-53, DE 197 04 044.6-53,

DE 198 80 129.7, DE 198 61 088.2-53, DE 199 80 312.9,
PCT/DE 00/01869, DE 100 36 627.9-33, DE 100 28 397.7,
DE 101 10 530.4, DE 101 11 014.6, PCT/EP 00/10516,
EP 01 102 674.7, DE 102 06 856.9, 60/317,876, DE 102 02 044.2,
5 DE 101 29 237.6-53, DE 101 39 170.6.

It should be pointed out that the documents listed above are
incorporated in particular with regard to particulars and
details of the interconnection, configuration, embodiment of
architecture elements, trigger methods, etc., for disclosure
10 purposes.

The architecture has considerable advantages in comparison
with traditional processor architectures inasmuch as data
processing is performed in a manner having a large proportion
of parallel and/or vectorial data processing steps. However,
15 the advantages of this architecture in comparison with other
processor units, coprocessor units or data processing units in
general are not as great when the advantages of
interconnection and of the given processor architectonic
particulars are no longer achievable to the full extent.

20 This is the case in particular when data processing steps that
are traditionally best mappable on sequencer structures are to
be executed. It is desirable to design and use the
reconfigurable architecture in such a way that even those data
processing steps which are typically particularly suitable for
25 being executed using sequencers are executable particularly
rapidly and efficiently.

The object of the present invention is to provide a novel
device and a novel method for commercial application.

The method of achieving this object is claimed independently.
30 Preferred embodiments are characterized in the subclaims.

According to a first essential aspect of the present invention, in the case of a cell element field whose function and/or interconnection is reconfigurable in particular during run time without interfering with unreconfigured elements for data processing with coarsely granular function cell elements in particular for execution of algebraic and/or logic functions and memory cell means for receiving, storing and/or outputting information, it is proposed that function cell-memory cell combinations be formed in which a control connection to the memory means is managed by the function cell means. This control connection is for making the address and/or data input/output from the memory controllable through the particular function cell, typically an ALU-PAE. It is thus possible to indicate, for example, whether the next item of information transmitted is to be handled as an address or as data and whether read and/or write access is necessary. This transfer of data from the memory cell, i.e., the memory cell means, which may be a RAM-PAE, for example, to the function cell means, which may be an ALU-PAE, for example, then makes it possible for new commands that are to be executed by the ALU to be loadable into the latter. It should be pointed out that function cell means and memory cell means may be combined by integration into a structural unit. In such a case it is possible to use a single bus connection to input data into the memory cell means and/or the ALU. Suitable input registers and/or output registers may then be provided and, if desired, additional data registers and/or configuration registers different from the former may also be provided as memory cell means.

It should also be pointed out that it is possible to construct a cell element field containing a plurality of different cells and/or cell groups, strips or similar regular patterns being preferably provided with the different cells because these

permit a very regular arrangement while facilitating the design equally in terms of hardware design and operation. With such a strip-like arrangement or other regular layout of a small plurality of different cell elements, for example, elements having integrated function cell means-memory cell means combinations, i.e., cells in which function cell means and memory cell means are integrated according to the present invention, are provided centrally in the field, where typically only a few different program steps are to be executed within a sequencer structure because, as has been recognized, this provides very good results for traditional data stream applications, while more complex sequencer structures may be constructed at the edges of the field where, for example, an ALU-PAE which represents a separate unit possibly may be provided in addition to a separate RAM-PAE and optionally a number of I/O-PAEs using, i.e., arranging appropriate control lines or connections thereof because frequently more memory is needed there, e.g., to temporarily store results generated in the field central area of the cell element field and/or for datastreaming, to pre-enter and/or process data needed thereby.

When cells that integrate memory cell means and function cell means are provided, e.g., in the center of the field, a small memory may then be provided there for different commands to be executed by the function cell means such as the ALU. It is possible here in particular to separate the command memory and/or the configuration memory from a data memory, and it is possible to design the function memory to be so large that alternatively, one of several, e.g., two different sequences may be executed. The particular sequence to be executed may occur in response to results generated in the cell and/or control signals such as carry signals, overflow signals, and/or trigger signals arriving from the outside. In this way,

this arrangement may also be used for wave reconfiguration methods.

In this way it is possible to construct a sequencer structure in a cell element field by providing a dedicated control
5 connection controlled by function cells in a dedicated manner between function cell and function cell means and memory cell and/or memory cell means with only two elements connected by suitable buses without requiring additional measures and/or design changes otherwise. Data, addresses, program steps,
10 etc., may be stored in the memory cell in a manner known per se from traditional processors. Since both elements, if properly configured, may also be used in another way, this yields a particularly efficient design which is particularly adaptable to sequencer structures as well as vectorial and/or
15 parallelizable structures. Parallelization may thus be supported merely via suitable PAE configurations, i.e., by providing PAEs that operate in two different spatial directions and/or via cell units equipped with data throughput registers.

20 It is clear here that a plurality of sequencer type structures may be constructed in the reconfigurable cell element field by using only two cells in a cell element field, namely the function cell and the information processing cell. This is advantageous inasmuch as a number of different tasks that are
25 different from one another per se must often be executed in data processing, e.g., in a multitasking-capable operating system. A plurality of such tasks must then be executed effectively and simultaneously in a single cell element field. The advantages of real time applications are obvious.

30 Furthermore it is also possible to operate the individual sequencer structures that are constructed in a cell element field, providing the control connection according to the present invention, at different clock rates, e.g., to lower

power consumption by executing lower priority tasks at a slower rate. It is also possible to execute sequencer type program parts in the field in parallel or vectorially in execution of algorithms that are largely parallel per se and
5 vice versa.

Typically, however, it is preferable for sequencer-type structures to be clocked at a higher rate in the cell element field, whether they are sequencer-type structures having an area connected to neighboring cells or buses or whether they
10 are combinations of spatially differentiable separate and separately useable function cell elements such as ALU-PAEs and memory cell elements such as RAM-PAEs. This has the advantage that sequential program parts, which are very difficult to parallelize in any case, may be used in a general data flow
15 processing without any negative effect on the overall data processing. Examples of this include, e.g., a HUFFMANN coding which is executable much better sequentially than in parallel and which also plays an important role for applications such as MPEG4 coding, but in this case the essential other parts of
20 the MPEG4 coding are also easily parallelizable. Parallel data processing is then used for most parts of an algorithm and a sequential processing block is provided therein. An increase in the clock frequency in the sequencer range by a factor of 2 to 4 is typically sufficient.

25 It should be pointed out that instead of a strip arrangement of different cell elements, another grouping, in particular a multidimensional grouping, may also be selected.

The cell element field having the cells whose function and/or interconnection is configurable may obviously form a
30 processor, a coprocessor and/or a microcontroller and/or a parallel plurality of combinations thereof.

The function cells are typically formed as arithmetic logic units, which may be in particular coarsely granular elements but may also be provided with a fine granular state machine, for example. In a particularly preferred exemplary embodiment, 5 the ALUs are extended ALUs (EALUs) as described in previous patent applications of the present applicant. An extension may include in particular the control line check, command decoder unit, etc., if necessary.

The memory cells may store data and/or information in a 10 volatile and/or nonvolatile form. When information stored in the memory cells, whether program steps, addresses for access to data or data stored in a register-type form, i.e., a heap is stored as volatile data, a complete reconfiguration may take place during run time. Alternatively it is possible to 15 provide nonvolatile memory cells. The nonvolatile memory cells may be provided as an EEPROM area and the like, where a rudimentary BIOS program that is to be executed on boot-up of the system is stored. This permits booting up a data processing system without additional components. A nonvolatile 20 data memory may also be provided if it is decided for reasons of cost and/or space that the same program parts are always to be executed repeatedly, and it is also possible to alternate among such fixed program parts during operation, e.g., in the manner of a wave reconfiguration. The possibilities of 25 providing and using such nonvolatile memories are the object of other protective rights of the present applicant. It is possible to store both volatile and nonvolatile data in the memory cells, e.g., for permanent storage of a BIOS program, and nevertheless be able to use the memory cell for other 30 purposes.

The memory cell is preferably designed to be able to store a sufficient variety of data to be executed and/or program parts to be executed. It should be pointed out here that these

program parts may be designed as program steps, each specifying what an individual PAE, in particular the assigned PAE, i.e., in particular the function cell controlling the memory cell, is to do in the next step, and they may also include entire configurations for field areas or other fields. In such a case, it is readily possible for the sequencer structure that has been created to issue a command on the basis of which cell element field areas are reconfigured. The function cell triggering this configuration then operates as a load logic at the same time. It should be pointed out that the configuration of other cells may in turn be accomplished in such a way that sequencer type data processing is performed there and it is in turn possible in these fields to configure and/or reconfigure other cells in the course of program [execution]. This results in an iterative configuration of cell element areas, and nesting of programs having sequencer structures and parallel structures is possible, these structures being nested one inside the other like babushka dolls. It should be pointed out that access to additional cell element fields outside of an individual integrated module is possible through input/output cells in particular, which may massively increase the total computation performance. It is possible in particular when configurations occur in a code part of a sequencer structure configured into a cell element field to perform, if necessary, the configuration requirements on an assigned cell element field which is managed only by the particular sequencer structure and/or such requirements may be issued to a configuration master unit to ensure that there is uniform occupancy of all cell element fields. This therefore results in a quasi-subprogram call by transferring the required configurations to cells or load logics. This is regarded as independently patentable. It should be pointed out that the cells, if they themselves have responsibility for configuration of other cell element field areas, may be

provided with FILMO structures and the like implemented in hardware or software to ensure proper reconfiguration. The possibility of writing to memory cells while executing instructions, thereby altering the code, i.e., the program to be executed, should be pointed out. In a particularly preferred variant, however, this type of self-modification (SM) is suppressed by appropriate control via the function cell.

It is possible for the memory cell to send the information stored in it directly or indirectly to a bus leading to the function cell in response to the triggering of the function cell controlling it. Indirect output may be accomplished in particular when the two cells are adjacent and the information requested by the triggering must arrive at the ALU-PAE via a bus segment that is not directly connectable to the output of the memory cell. In such a case the memory cell may output data onto this bus system in particular via backward registers. It is therefore preferable if at least one¹ memory cell and/or function cell has such a backward register, which may be situated in the information path between the memory cell and function cell. In such a case, these registers need not necessarily be provided with additional functionalities, although this is readily conceivable, e.g., when data is requested from the memory cell for further processing, corresponding to a traditional LOAD of a typical microprocessor for altering the data even before it is loaded into the PAE, e.g., to implement a LOAD++ command. Data conduction through PAEs having ALUs and the like operating in the reverse direction should be mentioned.

The memory cell is preferably situated to receive information from the function cell controlling it, information saving via

¹ TN: omitting "von" (eine von Speicherzelle...)

an input/output cell and/or a cell that does not control the memory cell also being possible. In particular when data is to be written into the memory cell from an input/output cell, it is preferable if this input/output cell (I/O-PAE) is also
5 controlled by the function cell. The address at which information to be written into the memory cell or, if necessary, to also be transmitted directly to the function cell (PAE) is to be read, may also be transferred to the I/O-PAE from the ALU-PAE. In this connection it should be pointed
10 out that this address may be determined via an address translation table, an address translation buffer or an MMU type structure in the I/O-PAE. In such a case, this yields the full functionalities of typical microprocessors. It should also be pointed out that an I/O functionality may also be
15 integrated with a function cell means, a memory cell means and/or a function cell means-memory cell means combination.

In a preferred variant, at least one input-output means is thus assigned to the combination of function cells and memory cells, whether as an integrated function cell and a memory
20 cell combination or as a function cell and/or memory cell combination composed of separate units, the input/output means being used to transmit information to and/or receive information from an external unit, another function cell, function cell memory cell combination and/or memory cells.

25 The input-output unit is preferably likewise designed for receiving control commands from the function cell and/or the function cell means.

In a preferred variant, the control connection is designed to transmit some and preferably all of the following commands:

30 OPCODE FETCH,
DATA WRITE INTERNAL,
DATA WRITE EXTERNAL

DATA READ EXTERNAL,
ADDRESS POINTER WRITE INTERNAL,
ADDRESS POINTER WRITE EXTERNAL,
ADDRESS POINTER READ INTERNAL,
5 ADDRESS POINTER READ EXTERNAL,
PROGRAM POINTER WRITE INTERNAL,
PROGRAM POINTER WRITE EXTERNAL,
PROGRAM POINTER READ INTERNAL,
PROGRAM POINTER READ EXTERNAL,
10 STACK POINTER WRITE INTERNAL,
STACK POINTER WRITE EXTERNAL,
STACK POINTER READ INTERNAL,
STACK POINTER READ EXTERNAL,
PUSH,
15 POP,
PROGRAM POINTER INCREMENT.

This may be accomplished through a corresponding bit width of the control line and an associated decoding at the receivers. The particular required control means and decoding means may
20 be provided inexpensively and with no problems. As it shows, a practically complete sequencer capability of the arrangement is obtained with these commands. It should also be pointed out that a general-purpose processor data processing unit is obtained in this way.

25 The system is typically selected so that the function cell is the only one able to access the control connection and/or a bus segment, i.e., bus system functioning as the control connection as a master. The result is thus a system in which the control line functions as a command line such as that
30 provided in traditional processors.

The function cell and the memory cell, i.e., I/O cell, are preferably adjacent to one another. The term "adjacent" may be

understood preferably as the cells being situated directly side by side. "Directly" means in particular a combination of such cells to form integrated units which are provided repeatedly on the cell element field, i.e., as part of same to form the field. This may mean an integral unit of memory cells and logic cells. Alternatively, they are at least close together. The system of the function cells and memory cells is integrated, i.e., close, proximity to one another thus ensures that there are no latency times, or at least no significant latency times, between triggering and data input of the required information in the function cell, merely because the connections between the cells are too long. This is understood to be "direct." If latency times must be taken into account, pipelining may then also be provided in the sequencer structures. This is particularly important in the case of systems with very high clock rates. It should be pointed out that it is readily possible to provide cell units clocked at a suitably high frequency such as those known in the related art per se which are also able to access suitable memory cells with appropriate speed. In such a case, e.g., when architecture elements that are known per se are used for the function cells, reconfigurability of the function cell element and the corresponding interconnections must be provided. In a particularly preferred variant, the function cells, the information providing cells such as memory cells, I/O cells and the like are arranged multidimensionally, in particular in the manner of a matrix, i.e., on grid points of a multidimensional grid, etc. If there is a regular structure, as is the case there, information, i.e., operands, configurations, trigger signals, etc., is typically supplied to a cell from a first row, while data, trigger signals and other information is dispensed in a row beneath that. In such a case, it is preferable if the cells are situated in one and the same row and the information transfer from the

information-providing cell into the required input into the function cell may then take place via a backward register. The possibility of using the registers for pipelining should also be mentioned.

5 Patent protection is also claimed for a method for operating a cell element field, in particular a multidimensional cell element field having function cells for execution of algebraic and/or logic functions and information-providing cells, in particular memory cells and/or input/output cells for
10 receiving and/or outputting and/or storing information, at least one of the function cells outputting control commands to at least one information-providing cell, information for the function cell being provided there in response to the control commands, and the function cell being designed to perform the
15 additional data processing in response to the information thus provided to thereby process data in the manner of a sequencer at least from time to time.

Sequencer-type data processing is thus made possible in a reconfigurable field by output of the control commands to the
20 memory cell of the sequencer structure. The commands which may be output as control commands by the function cell permit a sequencer type operation such as that known from traditional processors. It should be pointed out that it is readily possible to implement only parts of the aforementioned
25 commands but nevertheless ensure data processing that is completely of the sequencer type.

The present invention is described in greater detail below and as an example on the basis of the drawing, in which:

30 Fig. 1 shows a cell element field according to the present invention,

Fig. 2a shows a detail thereof,

- Figs. 2b, c show the detail from Figure 2a during various data processing times,
- Fig. 3 shows an alternative embodiment of the detail from Figure 2,
- 5 Fig. 4 shows a particularly preferred variant of the detail,
- Fig. 5 shows an example of the function folding onto a function cell-memory cell combination according to the present invention,
- 10 Fig. 6a shows an example of sequential parallel data processing
- Fig. 6b shows a particularly preferred exemplary embodiment of the present invention
- 15 Fig. 7 shows an alternative to a function folding unit.

According to Figure 1, a cell element field 1 for data processing includes function cell means 2 for execution of arithmetic and/or logic functions and memory cell means 3 for receiving, storing and/or outputting information, a control connection 4 connecting function cells 2 to memory cells 3.

20

Cell element field 1 is freely configurable in the interconnection of elements 2, 3, 4, namely without interfering with ongoing operation of cell element parts that are not to be reconfigured. The connections may be configured by switching bus systems 5 as necessary. In addition, the particular functions of function cells 2 are configurable. The function cells are arithmetic logic units extended by certain circuits that permit reconfiguration, e.g., state machines,

25

interface circuit for communication with external load logic 6, etc. Reference is made to the corresponding previous applications of the present applicant.

5 Cell elements 2, 3 of cell element field 1 are arranged two-dimensionally in rows and columns, one memory cell 3 being situated directly next to a function cell 2 with three memory cell-function cell pairs per row, the function cells and memory cells being interconnected by control connections 4. Function cells and memory cells 2, 3, or the combination 10 thereof have inputs which are connected to the bus system above the row in which the particular cell element is located to receive data therefrom. In addition, cells 2, 3 have outputs which output data to bus system 5 below the row. As explained below, each memory cell 3 is also provided with a 15 backward register (BW) through which data from the bus below a row may be guided through to the bus above the particular row.

Memory cell means 3 preferably has at least three memory areas, namely a data area, a program memory area and a stack area, etc. However, in other variants of the present invention 20 it may be adequate provide only two areas, namely a data memory and a program area memory, each optionally forming part of a memory cell means. It is possible in particular to perform not simply a separation of a memory that is identical in terms of hardware and is homogeneous per se into different 25 areas but instead to provide memory areas that are actually separated physically, i.e., in terms of hardware technology. In particular the memory width and/or depth may also be adapted to the particular requirements. When a memory is designed in such a way that it has a program area and a data 30 area in operation, it is preferable to design this memory, i.e., memory area for simultaneous access to data and program memory areas, e.g., as a dual port memory. It may also be possible to provide closely connected memory areas, in

particular within a memory cell means-function cell means combination formed into an integrated area as a pure cache memory into which data from remote memory sites is preloaded for rapid access during data processing.

5 Except for control connections 4 and the particular circuits within the function cells (ALU in Figure 2) and/or memory cells (RAM in Figure 2), the cell element field for data processing in Figure 1 is a traditional cell element field such as that which is known and conventional with
10 reconfigurable data processing systems, e.g., a VPU according to XPP technology of the present applicant. In particular, the cell element field of Figure 1 may be operated in the known way, so it has the corresponding circuits for wave reconfiguration, for debugging, transferring trigger signals,
15 etc.

The first distinguishing features of the cell element field of the present invention are derived from control connection 4 and the corresponding circuit, which are described in greater detail below with reference to Figures 2a through 2c. It
20 should be pointed out that whereas in Figure 1, a control connection 4 always leads from a function cell element located farther to the left to a memory cell located farther to the right, specifically only and exactly to one such memory cell, it is also plausibly possible to provide a configurable
25 interconnection for the control lines to be able to address either memory cells situated elsewhere and/or more than one memory cell, if necessary, when there is a great memory demand for information to be received, stored and/or output by the memory cells. For reasons of comprehensibility, however, only
30 individual control connections which are provided in a fixed manner are referred to in Figures 1 and 2, which greatly simplifies understanding of the present invention. The control

connection is also substitutable if necessary by traditional lines, assuming the proper protocols are available.

Figure 2 shows function cell 2 as an ALU and function cell 3 as a RAM. Above the row in which the cells are located runs bus 5a, connecting backward register 3a mentioned above to
5 bus 5a, connecting backward register 3a mentioned above to inputs 3b of the memory cell and 2b of the ALU. The bus system running below the cell is labeled as 5c and only the relevant segments of bus system 5a, 5b are shown here. It is apparent that bus system 5b alternatively receives data from an output
10 2c of ALU 2, an output 3c of RAM 3 and carries data into input 3a1 of the backward register.

ALU 2 at the same time has additional inputs and outputs 2a1, 2a2 which may be connected to other bus segments and over which the ALU receives data such as operands and outputs
15 results.

Control connection 4 is permanently under control of the extended circuits of the ALU and represents here a connection over which a plurality of bits may be transferred. The width of control connection 4 is selected so that at least the
20 following control commands may be transmitted to the memory cell: DATA WRITE, DATA READ, ADDRESS POINTER WRITE, ADDRESS POINTER READ, PROGRAM POINTER WRITE, PROGRAM POINTER READ, PROGRAM POINTER INCREMENT, STACK POINTER WRITE, STACK POINTER
25 READ, PUSH, POP. Memory cell 3 at the same time has at least three memory areas, namely a stack area, a heap area and a program area. Each area is assigned its own pointer via which it is determined to which area of the stack, the heap and the program area there will be read or write access in each case.

Bus 5a is used jointly by units 2 and 3 in time multiplex. This is indicated in Figures 2b, 2c. Figure 2b illustrates a
30 situation in which data may be sent from output 2a2 of ALU-PAE to the input of the RAM cell via the backward register,

whereas the concurrently existing but unused connection between output 3c of the RAM to bus 5b and the connection between the output of backward register BW to input 2b of the ALU-PAE at the point in time of Figure 2b is of no importance, which is why this is indicated with dashed lines. In contrast, Figure 2c shows a point in time at which memory cell 3 supplies information via its output 3c and the backward register to input 2b of ALU-PAE 2 from the stack, heap or program memory area via control line 4, while the output of ALU-PAE 2c is inactive and no signal is received at input 3b of the RAM-PAE. For this reason, the corresponding connections are indicated with dash-dot lines and are thus depicted as being inactive.

Within RAM cell 3, a circuit 3d is provided in which the information received via control line 4 and/or control line bus segment 4 is decoded.

The present invention is used as follows:

First, ALU 2 receives configuration information from a central load logic, as is already known in the related art. The transfer of information may take place in a manner known per se using the RDY/ACK protocol and the like. Reference is made to the possibility of providing a FILMO memory, etc., with the load logic to permit a proper configuration of the system.

Simultaneously with the data for configuring ALU 2, a series of data is transmitted from the load logic, representing a program, i.e., program part to be executed in the manner of a sequencer. Reference is made in this regard only as an example to Figure 6a in which the HUFFMANN coding is depicted as a central sequential part of an MPEG4 coding which is performed in the manner of data flow per se. The ALU therefore outputs a corresponding command to line 4 during its configuration, this command setting the program pointer for writing at a

preselected value within the RAM. The load logic then supplies data received by the ALU over output 2c and via bus 5b1 and backward register 3a, the data going from there to input 3b of RAM-PAE 3. According to the control command on control line 4, data is then written from unit 3d to the program memory location indicated. This is repeated until all the program parts received by the load logic in configuration have been stored in memory cell 3. When the configuration of the ALU is then concluded, the ALU will request the next program steps to be executed by it in the manner of a sequencer by outputting the corresponding commands on control line 4 and will receive the program steps via output 3c, bus 5b, the backward register of RAM-PAE 3 and bus 5a at its input. During program execution, situations may occur in which jumps are necessary within the program memory area, data must be loaded into the ALU-PAE from the RAM-PAE, data must be stored in the stack, etc. The communication in this regard between the ALU-PAE and RAM-PAE is accomplished via control line 4 so that the ALU-PAE is able to execute decoding at any point in time. Moreover, as in a traditional microprocessor, data from a stack or another RAM memory area may be received and in addition, data may also be received in the ALU-PAE from the outside as operands.

The program sequence preconfigured in the RAM-PAE by the load logic is executed here. At the same time, command decoding is performed in the ALU-PAE as is necessary per se. This is done with the same circuits per se as those used already for decoding the commands received by the load logic.

At any point in time control line 4 is controlled via the ALU so that the RAM cell always exactly follows the type of memory access specified by the ALU. This ensures that regardless of the time multiplex use of bus elements 5a, b the elements present in the sequencer structure are instructed at all times whether addresses for data or codes to be retrieved or to be

written is on the buses or whether and if so where data is to be written, etc.

The system shown with respect to Figure 2 may be extended or modified in different ways. The variants depicted in Figures 3, 4 and 6 are particularly relevant.

According to Figure 3, not only a backward register is provided on the RAM-PAE for connecting upper buses and lower buses, but also a forward register is provided on the RAM-PAE and forward and backward registers are provided on the ALU-PAE. As indicated by the multiple arrows, these may receive data from other units such as external hosts, external peripherals such as hard drives, main memories and the like and/or from other sequencer structures, PAEs, RAM-PAEs, etc., and send data to them. When an appropriate request command for new program parts from the sequencer structure formed by the ALU-PAE and the RAM-PAE is sent out, it is possible to process program blocks in the sequencer structure which are much larger than those storable in the RAM-PAE. This is an enormous advantage in particular in complex data processing tasks, jumps over wide areas, in particular in subprograms, etc.

Figure 4 shows an even more preferred variant where the ALU-PAE communicates not only with a RAM-PAE but also at the same time with an input/output PAE which is designed to provide an interface circuit for communication with external components such as hard drives, other XPP-VPUs, external processors and coprocessors, etc. The ALU-PAE is in turn the unit which operates as the master for the control connection referred to as "CMD" and the buses are in turn used in multiplex mode. Here again, data may be transferred from the bus below the row to the bus above the row through the backward register.

The system shown in Figure 4 permits particularly easy external access to information stored in the RAM-PAE memory

cell and thus allows an adaptation of the sequencer structure to existing traditional CPU technologies and their operating methods to an even greater extent inasmuch as address translation means, memory management units (MMU functions) and the like may be implemented in the input-output cell. The RAM-PAE may function here as a cache, for example, but in particular as a preloaded cache.

It should be pointed out that multiple sequencer structures may be configured into one and the same field at the same time; that function cells, memory cells and, if necessary, input-output cells may optionally be configured for sequencer structures and/or [in] a traditional manner for XPP technology and that it is readily possible for one ALU to output data to another ALU, which configures it as a sequencer and/or makes it part of a cell element field with which a certain configuration is executed. In this way, the load logic may then also become dispensable, if necessary.

According to Figure 6, two embodiments of the present invention are combined in one and the same cell element field, namely at the edges of sequencers formed by two PAEs, namely by one RAM-PAE and one ALU-PAE, and in the interior sequencers formed by integrated RAM-ALU-PAEs as integrated function cell-memory cell units, where it is possible to form only part of the cells inside the field as combination cells.

Figure 5 shows at the right (Figure 5c) a function cell-memory cell means combination.

According to Figure 5c, a function cell-memory cell means combination labeled as 50 in general includes bus connections, i.e., bus inputs 51 for the input of operand data and configuration data and, as is preferably also possible here in particular, trigger signals (not shown) and the like and a bus output 52 for output of corresponding data and/or signals.

Within the function cell means-memory cell means combination, an ALU 53 is provided as well as input registers Ri0 through Ri3 for operand data and trigger signal input registers (not shown). Configuration data registers Rc0 through Rc7 for
5 configuration data, i.e., ALU code data, result data registers Rd0'-R3' and output registers Ro0 through Ro3 for results, i.e., trigger signals to be output. Registers Rc and Rd for the configuration data, i.e., opcode data, are triggered by ALU 53 via control command lines 4 and supply data over
10 suitable data lines to the ALU and/or receive result data from it. It is also possible to supply information directly from bus 51 and/or input registers Ri directly to the output registers, i.e., bus 52, exactly as information may be supplied from data registers Rd0 not only to the ALU, but also
15 to the output registers. If necessary, connections may be provided between memory areas Rd and Rc, e.g., for implementation of the possibility of self-modifying codes.

Configuration data area Rc0 through Rc7 has a control unit which makes it possible to work in parts of the area, in
20 particular in repeated cycles and/or through jumps. For example, in a first partial configuration, commands in Rc0 through Rc3 may be executed repeatedly, and alternatively configuration commands in Rc4 through Rc7 may be executed, e.g., on receipt of an appropriate different trigger signal
25 over bus line 51. This ensures executability of a wave configuration. It should be pointed out that the configuration commands input are typically only instructions to the ALU but do not define complete bus connections, etc.

The unit described above, illustrated in Figure 5, is designed
30 here to be operated with a quadruple clock pulse, like a normal PAE without memory cell means and/or control signal lines 4.

To process data sequencer-style in a data flow in the function folding unit designed in this way, data flow graphs and/or areas according to Figure 5a are created at first for preselected algorithms. Memory areas Rc0 are then assigned to each operation to be executed in the graph; incoming data into the graph partial area is assigned to internal input registers Ri0; the interim results are assigned to memories Rd0 through Rd3 and the output results are assigned to registers Ro. With this assignment, the graph area is executable on the function folding unit. This results more or less in a data flow-sequencer transformation by this hardware.

It should be mentioned in this context that it will be preferable in general to use the system of the present invention in such a way that first a data flow graph and a control flow graph are created for a data processing program using a compiler and then a corresponding partitioning is performed; the pieces obtained by the partitioning may then be executed partially or entirely on sequencer units such as those which may be formed according to the present invention, for example. This more or less achieves data processing in the manner of data flow progressing from one cell to the next, but effects a sequential execution within the cell(s). This is advantageous when the clock frequency is to be increased because of the extremely high computation power of a system to be able to reduce the area and/or number of cells. It should also be pointed out that it is possible to perform this transformation like transition from a purely data flow type of data processing to data flow processing with local sequential parts in such a way that an iterative process is carried out, e.g., in such a manner that first a first partitioning is performed, and if it is then found in the subsequent "rolling up" of the partitioned parts on sequencer units that the resources available on the sequencers or at other sites, for

example, are not sufficient, another partitioning taking this into account may be performed and a new "rolling up" may be performed. If extensive use of the function folding units is desired, the number of registers may be increased, if

5 necessary.

It should also be pointed out that the registers in this case may be interpreted as memory cell means or parts thereof. It is apparent that by increasing the memory cell areas, more complex tasks may be arranged in particular in a sequencer fashion but significant parts of important algorithms may be executed with the small sizes indicated and this may be done with high efficiency.

In the present example, the function folding units are preferably formed in such a way that data may be shifted through them without being processed in the ALU. This may be utilized to achieve path balancing in which data packets must be executed via different branches and then recombined without having to use forward registers such as those known from the architecture of the present applicant. At the same time and/or alternatively, it is possible for the direction of data flow not to run strictly in one direction in the cell element field through an appropriate orientation of a few function cell means, memory cell means, or function folding units but instead to have the data flow run in two opposite directions. Thus, for example, in each even row the ALUs receive their input operands from the left side and in each uneven row the ALUs receive their input operands from the right.

If data must be sent repeatedly through the field, such an arrangement is advantageous, e.g., in the case of unrolled looped bodies, etc. The alternating arrangement need not be strict. For certain applications, other geometries may be selected. For example, a different direction of flow may be

selected for the middle of the field than at the edges, etc.
The arrangement of function cell units of the same direction
of flow side by side may be advantageous with respect to the
bus connections. It should be pointed out that the arrangement
5 in opposite directions of multiple directional function cells
in one field and the resulting improved data processing
independently of providing a control line or the like are
regarded as inventive.

Figure 7 shows an alternative to the function folding unit
10 shown in Figure 5.

What Is Claimed Is:

1. A cell element field for data processing, having function cell means for executing algebraic and/or logic functions and memory cell means to receive, store and/or output information, wherein function cell-memory cell combinations are formed in which a control connection leads from the function cell means to the memory cell means.
2. The cell element field as recited in the preceding claim, wherein a processor, coprocessor and/or microcontroller forms a plurality of units such as function cells and/or memory cells whose function and/or interconnection is/are reconfigurable and/or preselectable.
3. The cell element field as recited in one of the preceding claims, wherein the function cells are formed as arithmetic logic units.
4. The cell element field as recited in the preceding claim, wherein the arithmetic logic units are formed as extended ALUs.
5. The cell element field as recited in one of the preceding claims, wherein the memory cells are designed as volatile and/or nonvolatile data memories.
6. The cell element field as recited in one of the preceding claims, wherein the memory cells are designed for storage of data to be processed and/or program steps to be executed.
7. The cell element field for data processing, wherein the memory cells are designed for sending stored

information directly and/or indirectly to a bus leading to the function cell in response to triggering by the function cell which controls them.

8. The cell element field as recited in one of the preceding claims,
wherein registers, in particular a backward register which is situated in the information path between the memory cell and function cell, are assigned to at least one memory cell and/or function cell.
9. The cell element field as recited in one of the preceding claims,
wherein the memory cell is situated to receive information from the function cell which controls it, an input-output cell and/or a cell having an arithmetic logic unit that does not control it.
10. The cell element field as recited in one of the preceding claims,
wherein at least one input-output means is assigned to the function cell-memory cell combination for sending information to an external unit and/or another function cell, function cell-memory cell combination and/or memory cell and/or for receiving information from it.
11. The cell element field as recited in the preceding claim,
wherein the input-output means are also designed to receive control commands from the function cell.
12. The cell element field as recited in one of the preceding claims,
wherein the controller is designed to transmit at least some, preferably all of the following commands, and/or the memory cell and/or input-output cell is designed to decode the following commands: DATA WRITE/READ, ADDRESS

POINTER WRITE/READ, PROGRAM POINTER WRITE/READ, PROGRAM POINTER INCREMENT, STACK POINTER WRITE/READ, said commands in particular for internal and/or external access, PUSH, POP, OPCODE, FETCH.

13. The cell element field as recited in one of the preceding claims,
wherein the function cell as the sole master is able to access the control connection and/or the bus segment functioning as the control connection.
14. The cell element field for data processing as recited in one of the preceding claims,
wherein the function cell is situated adjacent to at least one memory cell and/or input-output cell.
15. The cell element field as recited in one of the preceding claims,
wherein the cell elements are arranged multidimensionally, in particular in a matrix, the function cell and/or the adjacent memory cell and/or input-output cell being able to receive data from an upper row and output data into a lower row, buses being provided in one row and the function cell and at least one memory cell and/or input-output cell being situated in one and the same row.
16. A method for operating a cell element field, in particular a multidimensional cell element field having function cells for execution of algebraic and/or logic functions and information providing cells, in particular memory cells and/or input-output cells for receiving and/or outputting and/or storing information,
wherein at least one of the function cells outputs control commands to at least one information-providing cell, **[the information]** is processed there in response to

the control command information for the function cell, and the function cell is designed to perform further data processing in response to the information provided from the information-providing cell in order to process data in the manner of a sequencer.

17. The method as recited in one of the preceding claims, wherein the function cell is designed [to output] at least some of the control commands

OPCODE FETCH,
DATA WRITE INTERNAL,
DATA WRITE EXTERNAL,
DATA READ INTERNAL,
DATA READ EXTERNAL,
ADDRESS POINTER WRITE INTERNAL,
ADDRESS POINTER WRITE EXTERNAL,
ADDRESS POINTER READ INTERNAL,
ADDRESS POINTER READ EXTERNAL,
PROGRAM POINTER WRITE INTERNAL,
PROGRAM POINTER WRITE EXTERNAL,
PROGRAM POINTER READ INTERNAL,
PROGRAM POINTER READ EXTERNAL,
STACK POINTER WRITE INTERNAL,
STACK POINTER WRITE EXTERNAL,
STACK POINTER READ INTERNAL,
STACK POINTER READ EXTERNAL,
PUSH,
POP,
PROGRAM POINTER INCREMENT

and in the course of cell element operation to output at least some, in particular all, of the control commands indicated above as necessary.

Abstract

A cell element field for data processing, having function cell means for execution of algebraic and/or logic functions and memory cell means for receiving, storing and/or outputting
5 information is described. Function cell-memory cell combinations are formed in which a control connection leads from the function cell means to the memory cell means.

(Figure 1)

10

1/6

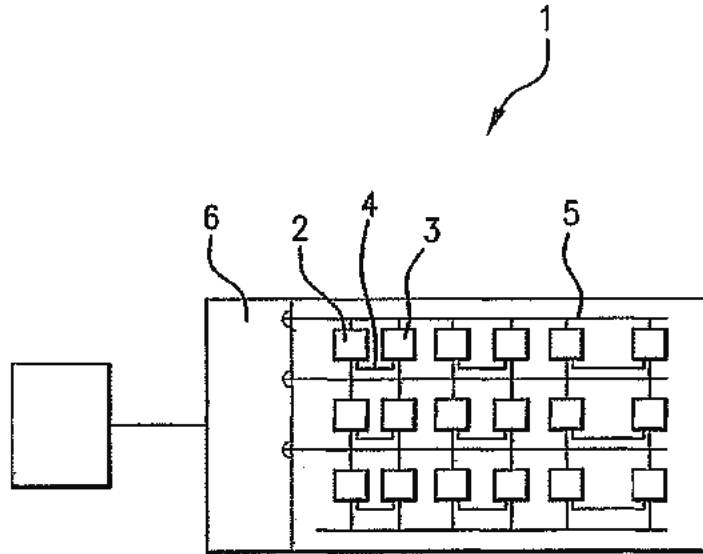


FIG. 1

2/6

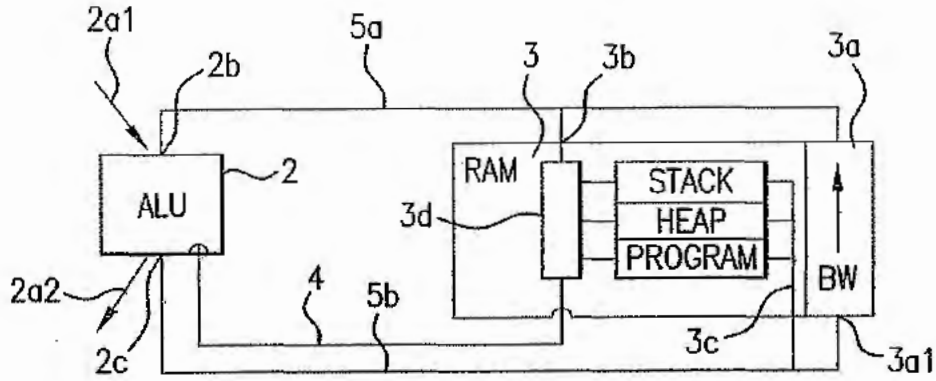


FIG. 2(a)

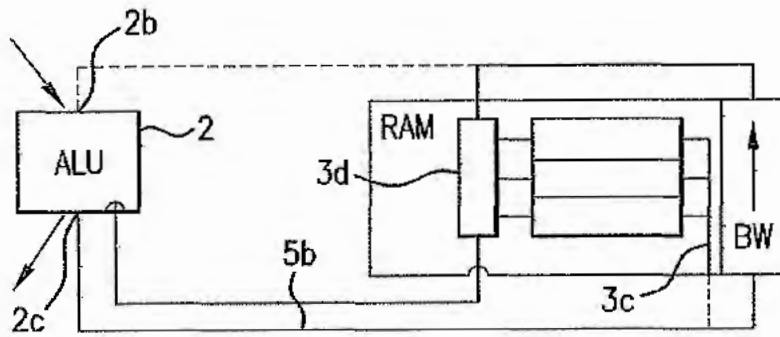


FIG. 2(b)

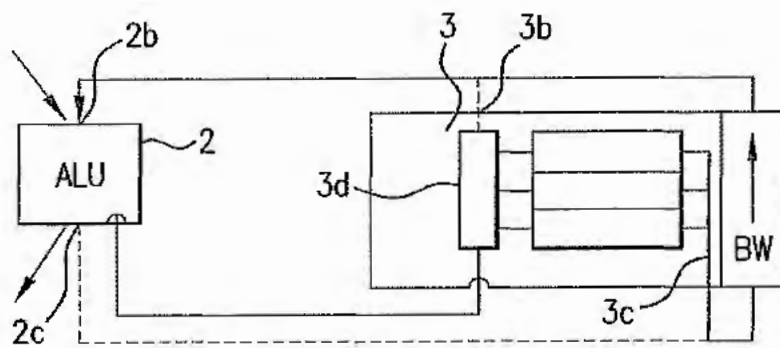


FIG. 2(c)

3/6

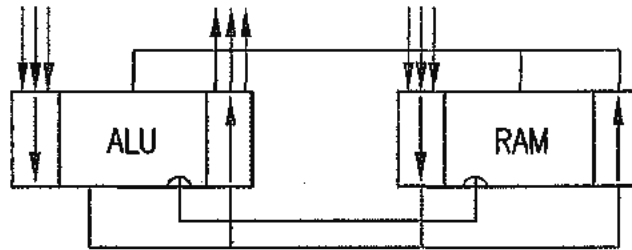


FIG.3

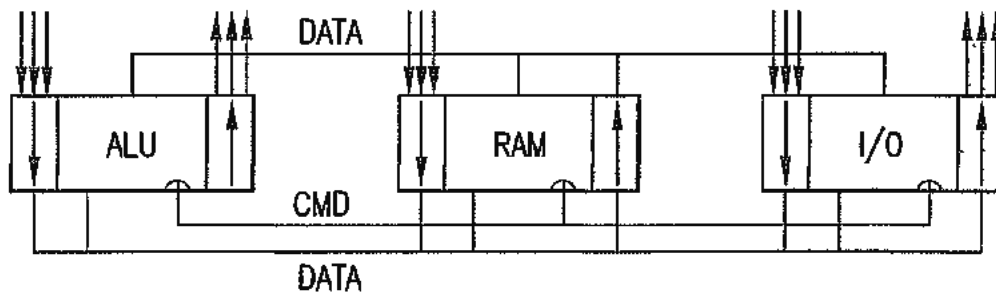
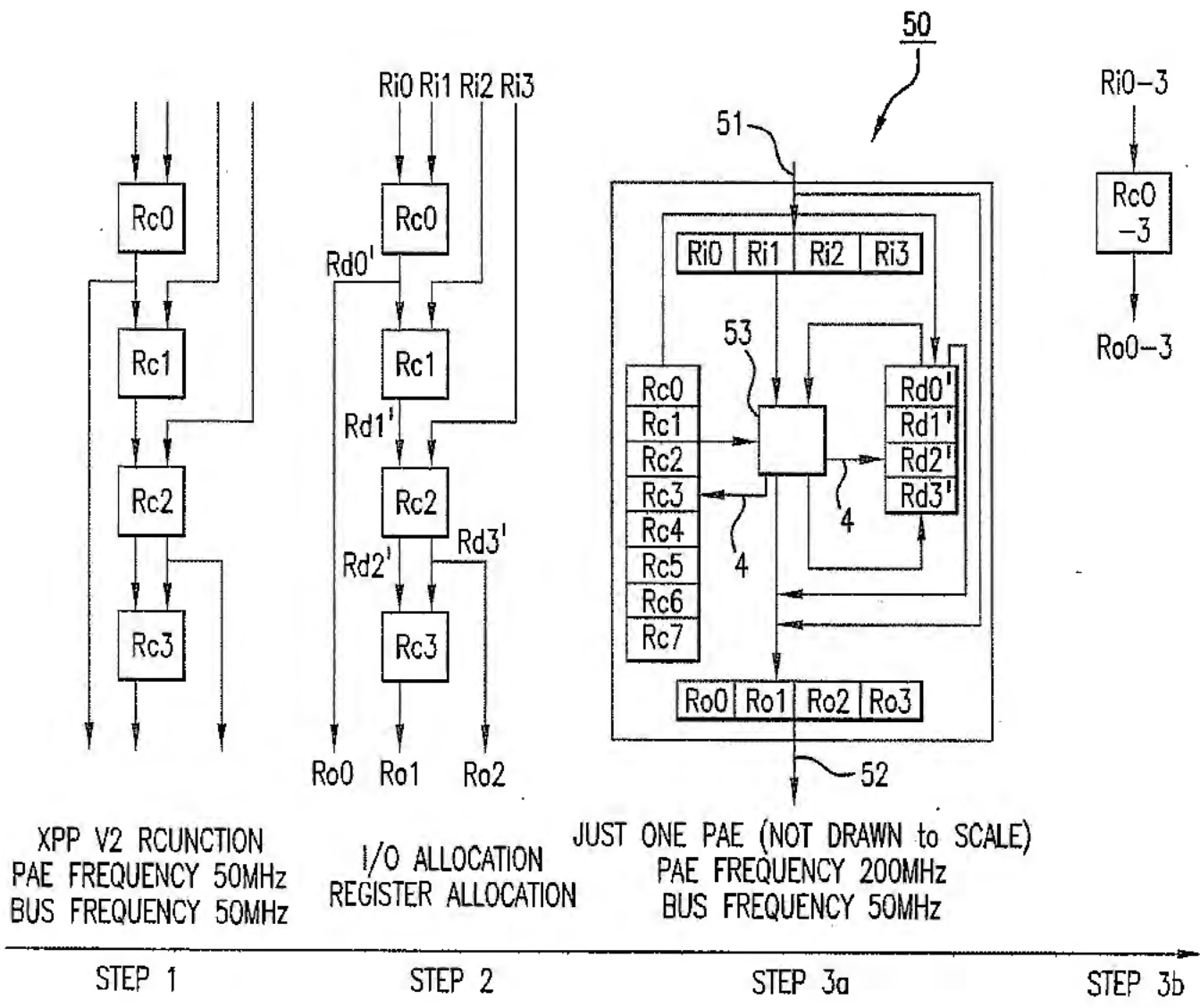


FIG.4



4/6

FIG.5

New U.S. Continuation Application
 (Based on U.S. 12/541,299)
 Filed: Herewith
 Docket No. 2885/139

5/6

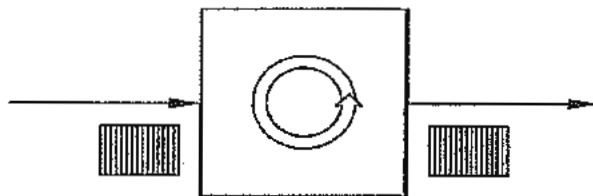


FIG.6(a)

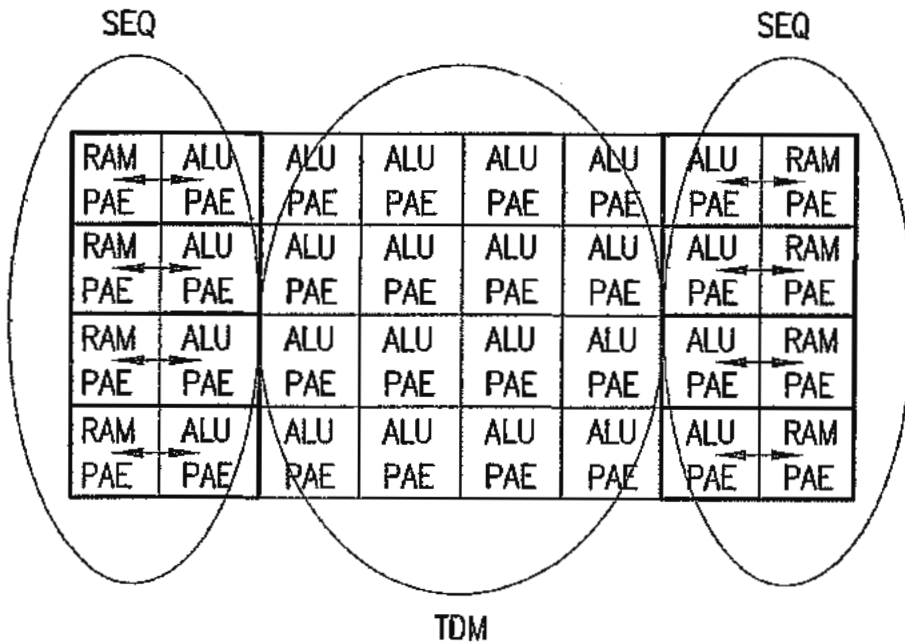


FIG.6(b)

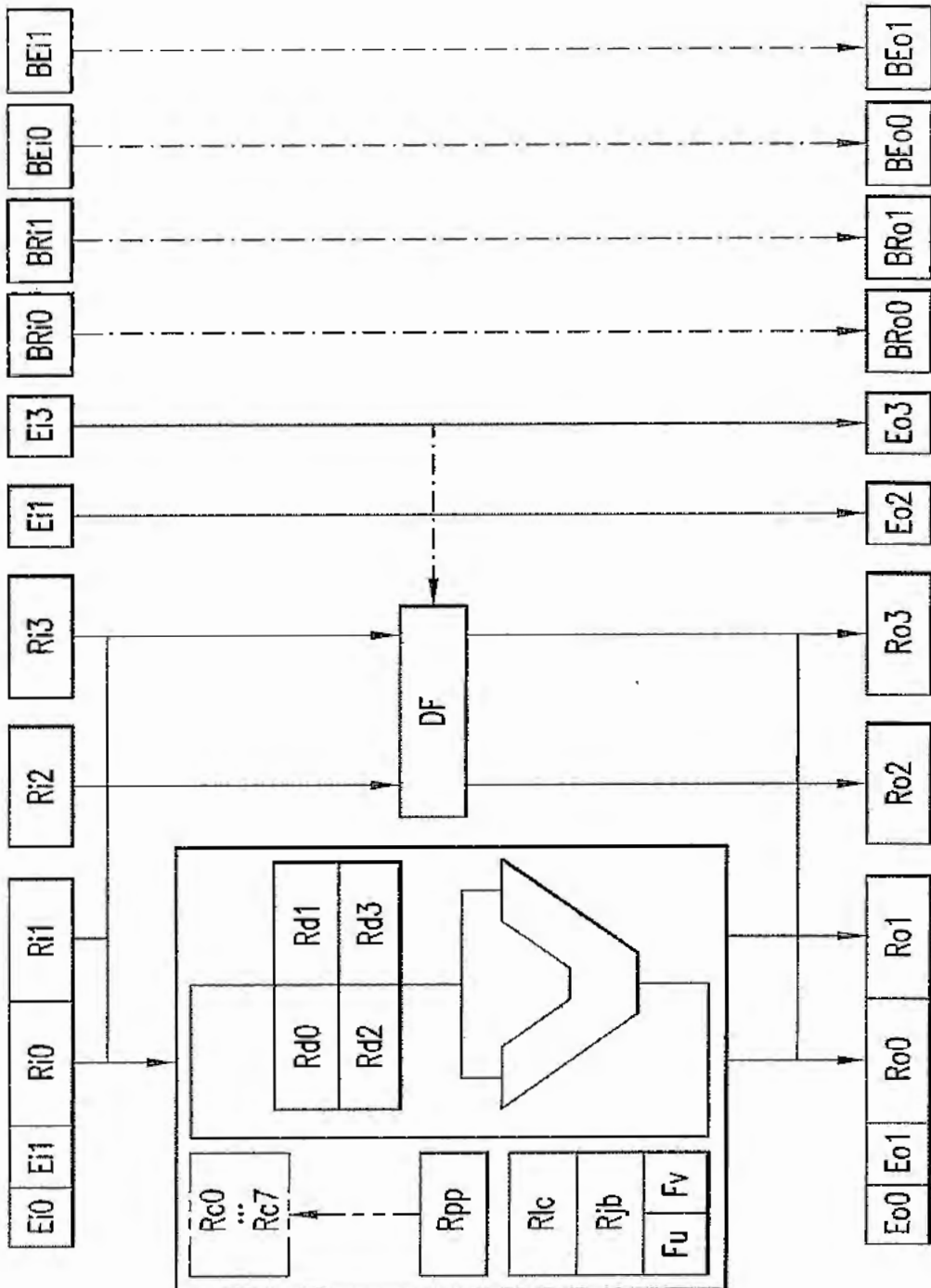


FIG. 7

U.S. DEPARTMENT OF COMMERCE
PATENT AND TRADEMARK OFFICE

DECLARATION

ATTORNEY'S DOCKET NO.
2885/94

As a below named inventor, I hereby declare that:

My residence, post office address, and citizenship are as stated below next to my name,

I believe I am an original, first, and sole inventor of the subject matter that is claimed and for which a patent is sought on the invention entitled **RECONFIGURABLE SEQUENCER STRUCTURE**, the specification of which (1) was filed as PCT International Application No. PCT/EP2003/009957 on September 8, 2003 and (2) was filed in the U.S. Patent and Trademark Office on March 4, 2005 and assigned U.S. Patent Application Serial No. 10/526,595.

I hereby state that I have reviewed and understand the contents of the above identified specification, including the claims.

I acknowledge the duty to disclose information which is material to the examination of this application in accordance with Title 37, Code of Federal Regulations, § 1.56(a) including for continuation-in-part applications, material information which became available between the filing date of the prior application and the national or PCT International filing date of the continuation-in-part application.

PRIOR FOREIGN APPLICATION(S)

I hereby claim foreign priority benefits under Title 35, United States Code, § 119(a)-(d) or §365(b) of any foreign application(s) for patent or inventor's certificate, or §365(a) of any PCT International application which designated at least one country other than the United States, listed below and have also identified below any foreign application for patent or inventor's certificate or PCT International application having a filing date before that of the application on which priority is claimed:

APPLICATION NUMBER	DATE OF FILING (day, month, year)	COUNTRY	PRIORITY CLAIMED UNDER 35 U.S.C. § 119
102 41 812.8	6 September 2002	DE	Yes
103 15 295.4	4 April 2003	DE	Yes
103 21 834.3	15 May 2003	DE	Yes
03 019 428.6	28 August 2003	EP	Yes

PRIOR UNITED STATES APPLICATION(S)

I hereby claim the benefit under Title 35, United States Code, § 119(e) of any United States provisional application(s) listed below:

APPLICATION NUMBER	FILING DATE (day, month, year)

I hereby claim the benefit under Title 35, United States Code, § 120 of any United States application(s), or §365(c) of any PCT International application designating the United States, listed below and, insofar as the subject matter of each of the claims of this application is not disclosed in the prior United States or PCT International application in the manner provided by the first paragraph of Title 35, United States Code, § 112, I acknowledge the duty to disclose information which is material to patentability as defined in Title 37, Code of Federal Regulations, § 1.56 which became available between the filing date of the prior application and the national or PCT international filing date of this application:

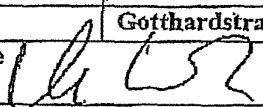
APPLICATION NUMBER	FILING DATE (day, month, year)	STATUS (i.e. Patented, Pending, Abandoned)

SEND CORRESPONDENCE, AND DIRECT TELEPHONE CALLS TO:

Michelle M. Carniaux, Esq.
KENYON & KENYON
 One Broadway
 New York, N.Y. 10004
 (212) 425-7200 telephone
 (212) 425-5288 facsimile

Customer No. 26646

I declare that all statements made herein of my own knowledge are true and all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under § 1001 of Title 18 of the United States Code and that such willful statements may jeopardize the validity of the application or any patent issuing thereon.

FULL NAME OF INVENTOR	FAMILY NAME	FIRST GIVEN NAME	SECOND GIVEN NAME
	VORBACH	Martin	
RESIDENCE & CITIZENSHIP	CITY	STATE OR FOREIGN COUNTRY	COUNTRY OF CITIZENSHIP
	Munich	Germany	Germany
POST OFFICE ADDRESS	POST OFFICE ADDRESS	CITY	STATE & ZIP CODE/COUNTRY
	Gotthardstrasse 117a	Munich	D-80689 Germany
Signature	Date		
	12/31/05		

**APPOINTMENT OF POWER OF ATTORNEY
BY ASSIGNEE OF ENTIRE INTEREST**

PACT XPP Technologies AG, as assignee of the entire right, title, and interest in the application for patent entitled **RECONFIGURABLE SEQUENCER STRUCTURE**, for which an application for U.S. Letters Patent was filed as PCT Application No. PCT/EP2003/009957 on September 8, 2003 and was assigned U.S. Serial No. 10/526,595, and does hereby appoint the practitioners of **Customer Number 26646** as attorneys with full power of substitution and revocation, to prosecute this application and to transact all business in the Patent and Trademark Office connected therewith.

Please address all communications regarding this application to:

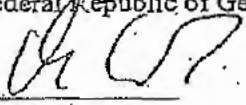
Michelle M. Carniaux, Esq.
KENYON & KENYON
One Broadway
New York, New York 10004
Customer No. 26646

Please direct all telephone calls to Michelle M. Carniaux at (212) 425-7200.

The undersigned is authorized to act on behalf of the assignee:

PACT XPP Technologies AG
Muthmannstrasse 1
80939 Munich
Federal Republic of Germany

Dated: 12/31/05

By: 

Name: Florian Vogl

Position: C

STATEMENT UNDER 37 CFR 3.73(b)

Applicant/Patent Owner: MARTIN VORBACH/PACT XPP TECHNOLOGIES AG

Application No./Patent No.: 10/526,595 / 7,394,284 Filed/Issue Date: 01/09/2006 / 07/01/2008

Titled: RECONFIGURABLE SEQUENCER STRUCTURE

FACT XPP TECHNOLOGIES AG, a CORPORATION
(Name of Assignee) (Type of Assignee, e.g., corporation, partnership, university, government agency, etc.)

states that it is:

1. the assignee of the entire right, title, and interest in;
2. an assignee of less than the entire right, title, and interest in (The extent (by percentage) of its ownership interest is _____ %); or
3. the assignee of an undivided interest in the entirety of (a complete assignment from one of the joint inventors was made) the patent application/patent identified above, by virtue of either:

A. An assignment from the inventor(s) of the patent application/patent identified above. The assignment was recorded in the United States Patent and Trademark Office at Reel 017171, Frame 0319, or for which a copy therefore is attached.

OR

B. A chain of title from the inventor(s), of the patent application/patent identified above, to the current assignee as follows:

1. From: _____ To: _____

The document was recorded in the United States Patent and Trademark Office at Reel _____, Frame _____, or for which a copy thereof is attached.

2. From: _____ To: _____

The document was recorded in the United States Patent and Trademark Office at Reel _____, Frame _____, or for which a copy thereof is attached.

3. From: _____ To: _____

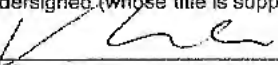
The document was recorded in the United States Patent and Trademark Office at Reel _____, Frame _____, or for which a copy thereof is attached.

Additional documents in the chain of title are listed on a supplemental sheet(s).

As required by 37 CFR 3.73(b)(1)(i), the documentary evidence of the chain of title from the original owner to the assignee was, or concurrently is being, submitted for recordation pursuant to 37 CFR 3.11.

[NOTE: A separate copy (i.e., a true copy of the original assignment document(s)) must be submitted to Assignment Division in accordance with 37 CFR Part 3, to record the assignment in the records of the USPTO. See MPEP 302.08]

The undersigned (whose title is supplied below) is authorized to act on behalf of the assignee.



Signature

August 13, 2009

Date

MICHELLE M. CARNIAUX

Printed or Typed Name

Attorney for Applicant

Title

This collection of information is required by 37 CFR 3.73(b). The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s) : Martin VORBACH
Serial No. : Not Yet Assigned
Filed : Herewith
For : RECONFIGURABLE SEQUENCER STRUCTURE
Examiner : Not Yet Assigned
Group Art Unit : Not Yet Assigned
Confirmation No. : Not Yet Assigned
Customer No. : 26646

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

I hereby certify that this correspondence is being electronically transmitted to the United States Patent and Trademark Office via the Office electronic filing system on
Date: July 14, 2010
Signature: /Eunice K. Chang/
Eunice K. Chang

PRELIMINARY AMENDMENT

SIR:

Please amend without prejudice the above-identified application before examination, as set forth below.

Amendments to the Specification begin at page 2 of this paper.

Amendments to the Claims are reflected in the listing of the claims which begin at page 3 of this paper.

Remarks begin at page 7 of this paper.

Amendments to the Specification:

On page 1, before the section heading "Description," please insert the following section heading and paragraph:

--CROSS-REFERENCE TO RELATED APPLICATIONS

This application is a continuation of U.S. Patent Application Serial No. 12/541,299, filed on August 14, 2009, which is a continuation of and claims priority to U.S. Patent Application Serial No. 12/082,073, filed on April 7, 2008, which is a continuation of and claims priority to U.S. Patent Application Serial No. 10/526,595, filed on January 9, 2006, which was the National Stage of International Application Serial No. PCT/EP03/38599, filed on September 8, 2003, which claims benefit of and priority to German Patent Application Serial No. DE 102 41 812.8, filed on September 6, 2002, the entire contents of each of which are expressly incorporated herein by reference thereto.--.

Please replace the paragraph beginning at page 22, line 1 with the following replacement paragraph:

Within the function cell means-memory cell means combination, an ALU 53 is provided as well as input registers Ri0 through Ri3 for operand data and trigger signal input registers (not shown). Configuration data registers Rc0 through Rc7 for configuration data, i.e., ALU code data, result data registers Rd0'-Rd3' and output registers Ro0 through Ro3 for results, i.e., trigger signals to be output. Registers Rc and Rd for the configuration data, i.e., opcode data, are triggered by ALU 53 via control command lines 4 and supply data over suitable data lines to the ALU and/or receive result data from it. It is also possible to supply information directly from bus 51 and/or input registers Ri directly to the output registers, i.e., bus 52, exactly as information may be supplied from data registers Rd0-Rd3 not only to the ALU, but also to the output registers. If necessary, connections may be provided between memory areas Rd and Rc, e.g., for implementation of the possibility of self-modifying codes.

Amendments to the Claims:

The following listing of claims will replace all prior versions, and listings, of claims in the present application.

Listing of Claims:

1-17. (Canceled).

18. (New) A multi-processor chip, comprising:

a plurality of data processing cells, each adapted for sequentially executing at least one of algebraic and logic functions and having:

at least one arithmetic logic unit;

at least one data register file;

a program pointer; and

at least one instruction decoder;

a plurality of memory cells;

at least one interface unit;

at least one Memory Management Unit (MMU); and

a bus system for interconnecting the plurality of data processing cells, the plurality of memory cells, and the at least one interface unit;

wherein the bus system is adapted for programmably interconnecting at runtime at least one of data processing cells and memory cells with at least one of memory cells and one or more of the at least one interface unit.

19. (New) The multi-processor chip according to claim 18, wherein at least some of the memory cells are cache memories.

20. (New) The multi-processor chip according to claim 19, wherein at least some of the cache memories are preloadable.

21. (New) The multi-processor chip according to claim 18, wherein at least some of the memory cells are adapted to operate as a data stack.

22. (New) The multi-processor chip according to claim 18, wherein at least some of the memory cells are adapted to operate as a data heap.

23. (New) The multi-processor chip according to claim 18, wherein at least some of the memory cells are adapted to operate as a code memory.

24. (New) The multi-processor chip according to claim 18, wherein at least some of the memory cells are adapted to operate as at least two of a data stack, a data heap, and a code memory.

25. (New) The multi-processor chip according to claim 18, wherein at least some of the memory cells are adapted to operate as at least two of a data stack, a data heap, a code memory, and a cache.

26. (New) The multi-processor chip according to claim 18, wherein at least some of the memory cells are adapted to operate as a data stack, a data heap, and a code memory.

27. (New) The multi-processor chip according to claim 18, wherein the data processing cells are adapted to connect simultaneously to a plurality of at least one of cells and units of at least one of the memory cells, the data processing cells, and the at least one interface units.

28. (New) The multi-processor chip according to claim 18, wherein cells of the data processing cells are adapted to connect simultaneously to other cells of the data processing cells and to a plurality of at least one of cells and units of at least one of the memory cells, the data processing cells, and the at least one interface units.

29. (New) The multi-processor chip according to claim 18, wherein the bus system is adapted to interconnect a data processing cell simultaneously to a plurality of at least one of cells and units of at least one of the memory cells, others of the data processing cells, and the at least one interface units.

30. (New) The multi-processor chip according to claim 18, wherein the bus system is adapted to interconnect a plurality of data processing cells simultaneously to a plurality of at least one of cells and units of at least one of the memory cells and the interface units.

31. (New) The multi-processor chip according to claim 18, wherein the data processing cells are adapted to access a plurality of the memory cells.

32. (New) The multi-processor chip according to claim 18, wherein the data processing cells are adapted to address a plurality of the memory cells.

33. (New) The multi-processor chip according to claim 18, wherein the data processing cells are adapted to transfer commands to the memory cells.

34. (New) The multi-processor chip according to claim 18, wherein the data processing cells are adapted to transfer commands to the at least one interface unit.

35. (New) The multi-processor chip according to claim 18, wherein the data processing cells are adapted to transfer commands to memory cells and interface units.

36. (New) The multi-processor chip according to claim 18, wherein at least one of the memory cells is adapted to store data in a non-volatile manner.

37. (New) The multi-processor chip according to claim 18, wherein the multi-processor chip is adapted for video-processing.

38. (New) The multi-processor chip according to claim 18, wherein at least some of at least one of the data processing cells, the memory cells, and the at least one interface unit operate at different clock rates for lowering power consumption.

39. (New) The multi-processor chip according to claim 18, wherein the at least one MMU is implemented in the at least one interface unit.

40. (New) The multi-processor chip according to claim 18, wherein at least one of the at least one interface unit has an implemented one of the at least one MMU.

41. (New) The multi-processor chip according to claim 18, wherein the processing cells are connected to those of the memory cells that are in close proximity to the processing cells.

42. (New) The multi-processor chip according to claim 18, wherein the processing cells are connected to the memory cells such that there is minimal latency times for data access.

43. (New) The multi-processor chip according to claim 18, wherein data transmission between processing cells and memory cells is optimized for low latency times.

44. (New) The multi-processor chip according to claim 18, wherein the processing cells access the memory cells in a manner that minimizes latency times for data access.

45. (New) The multi-processor chip according to claim 18, wherein the processing cells are arranged with the memory cells in a manner that minimizes latency times for data access.

46. (New) The multi-processor chip according to claim 18, wherein the processing cells connect to memory cells such that latency times for data access are minimized.

47. (New) The multi-processor chip according to claim 18, wherein data is transmitted in a pipelined manner between the processing cells and the memory cells.

REMARKS

This Preliminary Amendment cancels claims 1 to 17 and adds claims 18 to 47. Claims 18 to 47 are currently pending for examination. The new claims do not add new matter to the application.

It is respectfully submitted that the present invention is new, non-obvious, and useful. Prompt consideration and allowance of these claims is therefore respectfully requested.

Respectfully Submitted,

Dated: July 14, 2010

By: /Aaron Grunberger/
Aaron Grunberger
Reg. No. 59,210

KENYON & KENYON LLP
One Broadway
New York, New York 10004
Telephone: (212) 425-7200
Facsimile: (212) 425-5288

CUSTOMER NO. 26646

Electronic Patent Application Fee Transmittal

Application Number:				
Filing Date:				
Title of Invention:	RECONFIGURABLE SEQUENCER STRUCTURE			
First Named Inventor/Applicant Name:	Martin VORBACH			
Filer:	Aaron Grunberger/Eunice Chang			
Attorney Docket Number:	2885/139			
Filed as Small Entity				
Utility under 35 USC 111(a) Filing Fees				
Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Basic Filing:				
Utility filing Fee (Electronic filing)	4011	1	82	82
Utility Search Fee	2111	1	270	270
Utility Examination Fee	2311	1	110	110
Pages:				
Claims:				
Claims in excess of 20	2202	10	26	260
Miscellaneous-Filing:				
Petition:				

Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				
Miscellaneous:				
			Total in USD (\$)	722

Electronic Acknowledgement Receipt

EFS ID:	8017298
Application Number:	12836364
International Application Number:	
Confirmation Number:	2050
Title of Invention:	RECONFIGURABLE SEQUENCER STRUCTURE
First Named Inventor/Applicant Name:	Martin VORBACH
Customer Number:	26646
Filer:	Aaron Grunberger/Eunice Chang
Filer Authorized By:	Aaron Grunberger
Attorney Docket Number:	2885/139
Receipt Date:	14-JUL-2010
Filing Date:	
Time Stamp:	17:37:08
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Credit Card
Payment was successfully received in RAM	\$722
RAM confirmation Number	4165
Deposit Account	110600
Authorized User	GRUNBERGER,AARON

The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows:

Charge any Additional Fees required under 37 C.F.R. Section 1.16 (National application filing, search, and examination fees)

Charge any Additional Fees required under 37 C.F.R. Section 1.17 (Patent application and reexamination processing fees)

INTEL - 1004

Charge any Additional Fees required under 37 C.F.R. Section 1.19 (Document supply fees)

Charge any Additional Fees required under 37 C.F.R. Section 1.20 (Post Issuance fees)

Charge any Additional Fees required under 37 C.F.R. Section 1.21 (Miscellaneous fees and charges)

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		2885-139-NewConApp.pdf	4543050 <small>0d1e3c011d08a0a36fe5f00e1e7937e7f3531c1c</small>	yes	49
Multipart Description/PDF files in .zip description					
	Document Description		Start		End
	Transmittal of New Application		1		2
	Specification		3		27
	Claims		28		31
	Abstract		32		32
	Drawings-only black and white line drawings		33		38
	Oath or Declaration filed		39		40
	Power of Attorney		41		42
	Preliminary Amendment		43		49
Warnings:					
Information:					
2	Fee Worksheet (PTO-875)	fee-info.pdf	36565 <small>00db119a727dbd8872a54d33340037bb747c4943</small>	no	2
Warnings:					
Information:					
Total Files Size (in bytes):			4579615		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

Electronic Acknowledgement Receipt

EFS ID:	8017298
Application Number:	12836364
International Application Number:	
Confirmation Number:	2050
Title of Invention:	RECONFIGURABLE SEQUENCER STRUCTURE
First Named Inventor/Applicant Name:	Martin VORBACH
Customer Number:	26646
Filer:	Aaron Grunberger/Eunice Chang
Filer Authorized By:	Aaron Grunberger
Attorney Docket Number:	2885/139
Receipt Date:	14-JUL-2010
Filing Date:	
Time Stamp:	17:37:08
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Credit Card
Payment was successfully received in RAM	\$722
RAM confirmation Number	4165
Deposit Account	110600
Authorized User	GRUNBERGER,AARON

The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows:

Charge any Additional Fees required under 37 C.F.R. Section 1.16 (National application filing, search, and examination fees)

Charge any Additional Fees required under 37 C.F.R. Section 1.17 (Patent application and reexamination processing fees)

INTEL - 1004

Charge any Additional Fees required under 37 C.F.R. Section 1.19 (Document supply fees)

Charge any Additional Fees required under 37 C.F.R. Section 1.20 (Post Issuance fees)

Charge any Additional Fees required under 37 C.F.R. Section 1.21 (Miscellaneous fees and charges)

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		2885-139-NewConApp.pdf	4543050 <small>0d1e3c011d08a0a36fe5f00e1e7937e7f3531c1c</small>	yes	49
Multipart Description/PDF files in .zip description					
	Document Description		Start		End
	Transmittal of New Application		1		2
	Specification		3		27
	Claims		28		31
	Abstract		32		32
	Drawings-only black and white line drawings		33		38
	Oath or Declaration filed		39		40
	Power of Attorney		41		42
	Preliminary Amendment		43		49
Warnings:					
Information:					
2	Fee Worksheet (PTO-875)	fee-info.pdf	36565 <small>00db119a727dbd8872a54d33340037bb747c4943</small>	no	2
Warnings:					
Information:					
Total Files Size (in bytes):			4579615		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

**U.S. DEPARTMENT OF COMMERCE
PATENT AND TRADEMARK OFFICE**

INFORMATION DISCLOSURE STATEMENT		Docket Number: 2885/139	Confirmation Number: Unassigned
Application Number Unassigned	Filing Date Herewith	Examiner Unassigned	Art Unit Unassigned
Invention Title RECONFIGURABLE SEQUENCER STRUCTURE		Inventors Martin VORBACH	

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

I hereby certify that this correspondence is being electronically transmitted to the United States Patent and Trademark Office via the Office electronic filing system on

Date: July 14, 2010

Signature: /Eunice K. Chang/
Eunice K. Chang

Sir:

Pursuant to 37 CFR § 1.56, the attention of the Patent and Trademark Office is hereby directed to the reference(s) listed on the attached PTO-1449. It is respectfully requested that the information be expressly considered during the prosecution of this application, and that the reference(s) be made of record therein and appear among the "References Cited" on any patent to issue therefrom. The filing of this Information Disclosure Statement and the enclosed PTO Form No. 1449, shall not be construed as an admission that the information cited is prior art, or is considered to be material to patentability as defined in 37 C.F.R. § 1.56(b). The paragraphs marked below are applicable. It is believed that no fees other than those indicated below are due, but authorization is hereby given to charge any additional fees due, or to credit any overpayment, to Kenyon & Kenyon LLP, deposit account 11-0600.

This Information Disclosure Statement brings to the attention of the U.S. Patent and Trademark Office information that arose in the following patent litigation: *PACT XPP Technologies, AG v. XILINX, Inc., et al.*, (E.D. Texas Dec. 28, 2007) (No. 2:07cv563).

1. This Information Disclosure Statement is being filed (a) within three months of the filing date of a national application other than a continued prosecution application under 37 C.F.R. §1.53(d), (b) within three months of the date of entry of the national stage as set forth in 37 C.F.R. § 1.491 in an international application, (c) before the mailing date of a first Office Action on the merits in the present application, OR (d) before the mailing of a first office action after filing of a request for continued examination. No certification or fee is required.

2. This Information Disclosure Statement is being filed more than three months after the U.S. filing date AND after the mailing date of the first Office Action on the merits, but before the mailing date of a final action, Notice of Allowance, or any action that otherwise closes prosecution.

a. I hereby certify that each item of information contained in this Information Disclosure Statement was first cited in a communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of this Information Disclosure Statement. 37 CFR §1.97(e)(1).

b. I hereby certify that no item of information in this Information Disclosure Statement was cited in a communication from a foreign patent office in a

counterpart foreign application or, to my knowledge after making reasonable inquiry, was known to any individual designated in 37 CFR §1.56(c) more than three months prior to the filing of this Information Disclosure Statement. 37 CFR §1.97(e)(2).

c. The required fee of **\$180.00** under 37 CFR §1.17(p) is being paid by **credit card** to ensure consideration of the disclosed information. Any additional fees may be charged to Deposit Account No. 11-0600 of Kenyon & Kenyon LLP

3. The references cited herein were cited in parent application number U.S. 12/541,299, filed on August 14, 2009. As such, copies of the references are not being provided.

Respectfully submitted,

Date: July 14, 2010

/Aaron Grunberger/
Aaron Grunberger
Reg. No. 59,210

KENYON & KENYON LLP
One Broadway
New York, NY 20004
(212) 425-7200 telephone
(212) 425-5288 facsimile
CUSTOMER NUMBER 26646

INFORMATION DISCLOSURE STATEMENT BY APPLICANT(S) PTO-1449	Attorney Docket No. 2885/139	Application No. Unassigned
	Applicant(s) VORBACH	
	Filing Date Herewith	Group Art Unit Unassigned

U.S. PATENT DOCUMENTS

EXAMINER'S INITIALS				CLASS	SUBCLASS	FILING DATE
	4,791,603	Dec 13, 1988	Henry			
	4,992,933	Feb 12, 1991	Taylor			
	5,036,473	Jul 30, 1991	Butts et al.			
	5,055,997	Oct 8, 1991	Sluijter et al.			
	5,103,311	Apr 7, 1992	Sluijter et al.			
	5,212,777	May 18, 1993	Gove et al.			
	5,243,238	Sep 7, 1993	Kean			
	5,287,511	Feb 15, 1994	Robinson et al.			
	5,355,508	Oct 11, 1994	Kan			
	5,365,125	Nov 15, 1994	Goetting et al.			
	5,386,154	Jan 31, 1995	Goetting et al.			
	5,386,518	Jan 31, 1995	Reagle et al.			
	5,450,022	Sep 12, 1995	New			
	5,504,439	Apr 2, 1996	Tavana			
	5,600,597	Feb 4, 1997	Kean et al.			
	5,608,342	Mar 4, 1997	Trimberger			
	5,617,577	Apr 1, 1997	Barker et al.			
	5,619,720	Apr 8, 1997	Garde et al.			
	5,635,851	Jun 3, 1997	Tavana			
	5,642,058	Jun 24, 1997	Trimberger et al.			
	5,656,950	Aug 12, 1997	Duong et al.			
	5,659,785	Aug 19, 1997	Pechanek et al.			
	5,675,262	Oct 7, 1997	Doung et al.			
	5,682,491	Oct 28, 1997	Pechanek et al.			
	5,687,325	Nov 11, 1997	Chang			
	5,705,938	Jan 6, 1998	Kean			
	5,687,325	Nov 11, 1997	Chang			
	5,696,976	Dec 9, 1997	Nizar et al.			
	5,701,091	Dec 23, 1997	Kean			
	5,705,938	Jan 6, 1998	Kean			
	5,734,869	Mar 31, 1998	Chen			
	5,815,004	Sep 29, 1998	Trimberger et al.			
	5,857,109	Jan 5, 1999	Taylor			
	5,859,544	Jan 12, 1999	Norman			
	5,870,620	Feb 9, 1999	Kadosumi et al.			
	5,894,565	Apr 13, 1999	Furtek et al.			
	6,023,564	Feb 8, 2000	Trimberger			
	6,128,720	Oct 3, 2000	Pechanek et al.			
	6,145,072	Nov 7, 2000	Shams et al.			

INFORMATION DISCLOSURE STATEMENT BY APPLICANT(S) PTO-1449	Attorney Docket No. 2885/139	Application No. Unassigned
	Applicant(s) VORBACH	
	Filing Date Herewith	Group Art Unit Unassigned

EXAMINER'S INITIALS				CLASS	SUBCLASS	FILING DATE
	6,178,494	Jan 23, 2001	Casselman			
	6,405,185	Jun 11, 2002	Pechanek et al.			

FOREIGN PATENT DOCUMENTS

EXAMINER'S INITIALS	DOCUMENT NUMBER	DATE	COUNTRY	CLASS	SUBCLASS	TRANSLATION	
						YES	NO
	0 638 867 A2	Aug 11, 1994	EPO				

OTHER DOCUMENTS

EXAMINER'S INITIALS	AUTHOR, TITLE, DATE, PERTINENT PAGES, ETC.
	Agarwal, A., et al., "APRIL: A Processor Architecture for Multiprocessing," Laboratory for Computer Science, MIT, Cambridge, MA, IEEE 1990, pp. 104-114.
	Almasi and Gottlieb, <i>Highly Parallel Computing</i> , The Benjamin/Cummings Publishing Company, Inc., Redwood City, CA, 1989, 3 pages (Fig. 4.1).
	Advanced RISC Machines Ltd (ARM), "AMBA - Advanced Microcontroller Bus Architecture Specification," (Document Number ARM IHI 0001C), September 1995, 72 pages.
	Alfke, Peter; New, Bernie, <i>Xilinx Application Note</i> , "Additional XC3000 Data," XAPP 024.000, 1994, pp. 8-11 through 8-20.
	Alfke, Peter; New, Bernie, <i>Xilinx Application Note</i> , "Adders, Subtracters and Accumulators in XC3000," XAPP 022.000, 1994, pp. 8-98 through 8-104.
	Alfke, Peter, <i>Xilinx Application Note</i> , "Megabit FIFO in Two Chips: One LCA Device and One DRAM," XAPP 030.000, 1994, pp. 8-148 through 8-150.
	Alfke, Peter, <i>Xilinx Application Note</i> , "Dynamic Reconfiguration," XAPP 093, November 10, 1997, pp. 13-45 through 13-46.
	Alfke, Peter; New, Bernie, <i>Xilinx Application Note</i> , "Implementing State Machines in LCA Devices," XAPP 027.001, 1994, pp. 8-169 through 8-172.
	Algotronix, Ltd., CAL64K Preliminary Data Sheet, April 1989, pp. 1-24.
	Algotronix, Ltd., CAL4096 Datasheet, 1992, pp. 1-53.
	Algotronix, Ltd., CHS2x4 User Manual, "CHA2x4 Custom Computer," 1991, pp.1-38.
	Allaire, Bill; Fischer, Bud, <i>Xilinx Application Note</i> , "Block Adaptive Filter," XAPP 055, August 15, 1996 (Version 1.0), pp. 1-10.
	Altera Application Note (73), "Implementing FIR Filters in FLEX Devices," Altera Corporation, February 1998, ver. 1.01, pp. 1-23.
	Athanas, P. (Thesis), "An adaptive machine architecture and compiler for dynamic processor reconfiguration," Brown University 1992, pp. 1-157.
	Berkeley Design Technology, Inc., <i>Buyer's Guide to DSP Processors</i> , 1995, Fremont, CA., pp. 673-698.
	Bitner, R. et al., "Colt: An Experiment in Wormhole Run-Time Reconfiguration," Bradley Department of Electrical and Computer Engineering, Blacksburg, VA, SPIE - International Society for Optical Engineering, Vol. 2914/187, November 1996, Boston, MA, pp. 187-194.
	Camilleri, Nick; Lockhard, Chris, <i>Xilinx Application Note</i> , "Improving XC4000 Design Performance," XAPP 043.000, 1994, pp. 8-21 through 8-35.
	Cartier, Lois, <i>Xilinx Application Note</i> , "System Design with New XC4000EX I/O Features," February 21, 1996, pp. 1-8.
	Chen, D., (Thesis) "Programmable arithmetic devices for high speed digital signal processing," U. California Berkeley 1992, pp. 1-175.
	Churcher, S., et al., "The XC6200 FastMap TM Processor Interface," Xilinx, Inc., August 1995, pp. 1-8.
	Cowie, Beth, <i>Xilinx Application Note</i> , "High Performance, Low Area, Interpolator Design for the XC6200," XAPP 081, May 7, 1997 (Version 1.0), pp. 1-10.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT(S) PTO-1449	Attorney Docket No. 2885/139	Application No. Unassigned
	Applicant(s) VORBACH	
	Filing Date Herewith	Group Art Unit Unassigned

EXAMINER'S INITIALS	AUTHOR, TITLE, DATE, PERTINENT PAGES, ETC.
	Duncan, Ann, <u>Xilinx Application Note</u> , "A32x16 Reconfigurable Correlator for the XC6200," XAPP 084, July 25, 1997 (Version 1.0), pp. 1-14.
	Ebeling, C., et al., "RaPiD – Reconfigurable Pipelined Datapath," Dept. of Computer Science and Engineering, U. Washington, 1996, pp. 126-135.
	Epstein, D., "IBM Extends DSP Performance with Mfast – Powerful Chip Uses Mesh Architecture to Accelerate Graphics, Video," 1995 MicroDesign Resources, Vol. 9, No. 16, December 4, 1995, pp. 231-236.
	Fawcett, B., "New SRAM-Based FPGA Architectures Address New Applications," Xilinx, Inc. San Jose, CA, November 1995, pp. 231-236.
	Goslin, G; Newgard, B, <u>Xilinx Application Note</u> , "16-Tap, 8-Bit FIR Filter Applications Guide," November 21, 1994, pp. 1-5.
	Iwanczuk, Roman, <u>Xilinx Application Note</u> , "Using the XC4000 RAM Capability," XAPP 031.000, 1994, pp. 8-127 through 8-138.
	Knapp, Steven, "Using Programmable Logic to Accelerate DSP Functions," Xilinx, Inc., 1995, pp. 1-8.
	New, Bernie, <u>Xilinx Application Note</u> , "Accelerating Loadable Counters in SC4000," XAPP 023.001, 1994, pp. 8-82 through 8-85.
	New, Bernie, <u>Xilinx Application Note</u> , "Boundary Scan Emulator for XC3000," XAPP 007.001, 1994, pp. 8-53 through 8-59.
	New, Bernie, <u>Xilinx Application Note</u> , "Ultra-Fast Synchronous Counters," XAPP 014.001, 1994, pp. 8-78 through 8-81.
	New, Bernie, <u>Xilinx Application Note</u> , "Using the Dedicated Carry Logic in XC4000," XAPP 013.001, 1994, pp. 8-105 through 8-115.
	New, Bernie, <u>Xilinx Application Note</u> , "Complex Digital Waveform Generator," XAPP 008.002, 1994, pp. 8-163 through 8-164.
	New, Bernie, <u>Xilinx Application Note</u> , "Bus-Structured Serial Input-Output Device," XAPP 010.001, 1994, pp. 8-181 through 8-182.
	Ridgeway, David, <u>Xilinx Application Note</u> , "Designing Complex 2-Dimensional Convolution Filters," XAPP 037.000, 1994, pp. 8-175 through 8-177.
	Rowson, J., et al., "Second-generation compilers optimize semicustom circuits," Electronic Design, February 19, 1987, pp. 92-96.
	Schewel, J., "A Hardware/Software Co-Design System using Configurable Computing Technology," Virtual Computer Corporation, Reseda, CA, IEEE 1998, pp. 620-625.
	Segers, Dennis, <u>Xilinx Memorandum</u> , "MIKE – Product Description and MRD," June 8, 1994, pp. 1-29.
	Texas Instruments, "TMS320C8x System-Level Synopsis," September 1995, 75 pages.
	Texas Instruments, "TMS320C80 Digital Signal Processor," Data Sheet, Digital Signal Processing Solutions 1997, 171 pages.
	Texas Instruments, "TMS320C80 (MVP) Parallel Processor," User's Guide, Digital Signal Processing Products 1995, 73 pages.
	Trainor, D.W., et al., "Implementation of the 2D DCT Using A Xilinx XC6264 FPGA," 1997, IEEE Workshop of Signal Processing Systems SIPS 97, pp. 541-550.
	Trimberger, S, (Ed.) et al., "Field-Programmable Gate Array Technology," 1994, Kluwer Academic Press, pp. 1-258 (and the Title Page, Table of Contents, and Preface) [274 pages total].
	Trimberger, S., "A Reprogrammable Gate Array and Applications," IEEE 1993, Proceedings of the IEEE, Vol. 81, No. 7, July 1993, pp. 1030-1041.
	Trimberger, S., et al., "A Time-Multiplexed FPGA," Xilinx, Inc., 1997 IEEE, pp. 22-28.
	Ujvari, Dan, <u>Xilinx Application Note</u> , "Digital Mixer in an XC7272," XAPP 035.002, 1994, p. 1.
	Veendrick, H., et al., "A 1.5 GIPS video signal processor (VSP)," Philips Research Laboratories, The Netherlands, IEEE 1994 Custom Integrated Circuits Conference, pp. 95-98.
	Wilkie, Bill, <u>Xilinx Application Note</u> , "Interfacing XC6200 To Microprocessors (TMS320C50 Example)," XAPP 064, October 9, 1996 (Version 1.1), pp. 1-9.
	Wilkie, Bill, <u>Xilinx Application Note</u> , "Interfacing XC6200 To Microprocessors (MC68020 Example)," XAPP 063, October 9, 1996 (Version 1.1), pp. 1-8.
	XCELL, Issue 18, Third Quarter 1995, "Introducing three new FPGA Families!"; "Introducing the XC6200 FPGA Architecture: The First FPGA Architecture Optimized for Coprocessing in Embedded System Applications," 40 pages.
	<u>Xilinx Application Note</u> , Advanced Product Specification, "XC6200 Field Programmable Gate Arrays," June 1, 1996 (Version 1.0), pp. 4-253 – 4-286.
	<u>Xilinx Application Note</u> , "A Fast Constant Coefficient Multiplier for the XC6200," XAPP 082, August 24, 1997 (Version 1.0), pp. 1-5.
	Xilinx Technical Data, "XC5200 Logic Cell Array Family," Preliminary (v1.0), April 1995, pp. 1-43.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT(S) PTO-1449	Attorney Docket No. 2885/139	Application No. Unassigned
	Applicant(s) VORBACH	
	Filing Date Herewith	Group Art Unit Unassigned

EXAMINER'S INITIALS	AUTHOR, TITLE, DATE, PERTINENT PAGES, ETC.
	Xilinx Data Book, "The Programmable Logic Data Book," 1996, 909 pages.
	Xilinx, Series 6000 User's Guide, June 26, 1997, 223 pages.
	Yeung, K., (Thesis) "A Data-Driven Multiprocessor Architecture for High Throughput Digital Signal Processing," Electronics Research Laboratory, U. California Berkeley, July 10, 1995, pp. 1-153.
	Yeung, L., et al., "A 2.4GOPS Data-Driven Reconfigurable Multiprocessor IC for DSP," Dept. of EECS, U. California Berkeley, 1995 IEEE International Solid State Circuits Conference, pp. 108-110.
	ZILOG Preliminary Product Specification, "Z86C95 CMOS Z8 Digital Signal Processor," 1992, pp. 1-82.
	ZILOG Preliminary Product Specification, "Z89120 Z89920 (ROMless) 16-Bit Mixed Signal Processor," 1992, pp. 1-82.
	Defendants' Invalidity Contentions in <i>PACT XPP Technologies, AG v. XILINX, Inc., et al.</i> , (E.D. Texas Dec. 28, 2007) (No. 2:07cv563), including Exhibits A through K in separate PDF files.

EXAMINER	DATE CONSIDERED
----------	-----------------

EXAMINER: Initial if citation considered, whether or not citation is in conformance with M.P.E.P. 609; draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

Electronic Acknowledgement Receipt

EFS ID:	8017584
Application Number:	12836364
International Application Number:	
Confirmation Number:	2050
Title of Invention:	RECONFIGURABLE SEQUENCER STRUCTURE
First Named Inventor/Applicant Name:	Martin VORBACH
Customer Number:	26646
Filer:	Aaron Grunberger/Eunice Chang
Filer Authorized By:	Aaron Grunberger
Attorney Docket Number:	2885/139
Receipt Date:	14-JUL-2010
Filing Date:	
Time Stamp:	17:55:05
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no
------------------------	----

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Information Disclosure Statement (IDS) Filed (SB/08)	2885-139-LitIDS.pdf	899298 <small>28e73ff12e1692b9cad5653a78c7e305e8ec adab</small>	no	6

Warnings:

Information:

Total Files Size (in bytes):

899298

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

**U.S. DEPARTMENT OF COMMERCE
PATENT AND TRADEMARK OFFICE**

INFORMATION DISCLOSURE STATEMENT		Docket Number: 2885/139	Confirmation Number: Unassigned
Application Number Unassigned	Filing Date Herewith	Examiner Unassigned	Art Unit Unassigned
Invention Title RECONFIGURABLE SEQUENCER STRUCTURE		Inventors Martin VORBACH	

Mail Stop Amendment
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

I hereby certify that this correspondence is being electronically transmitted to the United States Patent and Trademark Office via the Office electronic filing system on
Date: July 14, 2010
Signature: /Eunice K. Chang/
Eunice K. Chang

Sir:

Pursuant to 37 CFR § 1.56, the attention of the Patent and Trademark Office is hereby directed to the reference(s) listed on the attached PTO-1449. It is respectfully requested that the information be expressly considered during the prosecution of this application, and that the reference(s) be made of record therein and appear among the "References Cited" on any patent to issue therefrom. The filing of this Information Disclosure Statement and the enclosed PTO Form No. 1449, shall not be construed as an admission that the information cited is prior art, or is considered to be material to patentability as defined in 37 C.F.R. § 1.56(b). The paragraphs marked below are applicable. It is believed that no fees other than those indicated below are due, but authorization is hereby given to charge any additional fees due, or to credit any overpayment, to **Kenyon & Kenyon LLP, deposit account 11-0600.**

1. This Information Disclosure Statement is being filed (a) within three months of the filing date of a national application other than a continued prosecution application under 37 C.F.R. §1.53(d), (b) within three months of the date of entry of the national stage as set forth in 37 C.F.R. § 1.491 in an international application, (c) before the mailing date of a first Office Action on the merits in the present application, OR (d) before the mailing of a first office action after filing of a request for continued examination. No certification or fee is required.

2. This Information Disclosure Statement is being filed more than three months after the U.S. filing date AND after the mailing date of the first Office Action on the merits, but before the mailing date of a final action, Notice of Allowance, or any action that otherwise closes prosecution.

a. I hereby certify that each item of information contained in this Information Disclosure Statement was first cited in a communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of this Information Disclosure Statement. 37 CFR §1.97(e)(1).

b. I hereby certify that no item of information in this Information Disclosure Statement was cited in a communication from a foreign patent office in a counterpart foreign application or, to my knowledge after making reasonable inquiry, was known to any individual designated in 37 CFR §1.56(c) more than three months prior to the filing of this Information Disclosure Statement. 37 CFR §1.97(e)(2).

c. The required fee of \$180.00 under 37 CFR §1.17(p) is being paid by credit card to ensure consideration of the disclosed information. Any additional fees may be charged to Deposit Account No. 11-0600 of Kenyon & Kenyon LLP

3. Other. The references cited herein that are not bolded or marked with an asterisk (*) were cited in parent application number U.S. 12/541,299, filed on August 14, 2009. The references that are bolded and marked with an asterisk (*) are newly cited, and copies are provided herewith with the exception of United States patent references.

Respectfully submitted,

Date: July 14, 2010

/Aaron Grunberger/
Aaron Grunberger
Reg. No. 59,210

KENYON & KENYON LLP
One Broadway
New York, NY 20004
(212) 425-7200 telephone
(212) 425-5288 facsimile
CUSTOMER NUMBER 26646

INFORMATION DISCLOSURE STATEMENT BY APPLICANTS PTO-1449	Attorney Docket No. 2885/139	Serial No. Unassigned
	Applicant(s) VORBACH	
	Filing Date Herewith	Group Arr Unit Unassigned

U.S. PATENT DOCUMENTS

EXAMINER'S INITIALS	PATENT/PUBLICATION NUMBER	PATENT/PUBLICATION DATE	NAME	CLASS	SUBCLASS	FILING DATE
	RE34363	August 31, 1993	Freeman			
	RE34,444	November 16, 1993	Kaplinsky			
	RE37,195	May 29, 2001	Kean			
	60/109,417	November 18, 1998	Jefferson et al.			
	2,067,477	January 12, 1937	J.B. Cooper			
	3,242,998	March 29, 1966	C.H. Gubbins			
	3,681,578	August 1, 1972	Stevens			
	3,757,608	September 11, 1973	Willner			
	3,855,577	December 17, 1974	Vandierendonek			
	4,233,667	November 11, 1980	Devine et al.			
	4,414,547	November 8, 1983	Knapp et al.			
	4,489,857	February 6, 1986	Agrawal et al.			
	4,498,134	February 5, 1985	Hansen et al.			
	4,498,172	February 5, 1985	Bhavsar			
	4,566,102	January 21, 1986	Hefner			
	4,571,736	February 18, 1986	Agrawal et al.			
	4,590,583	May 20, 1986	Miller			
	4,591,979	May 27, 1986	Iwashita			
	*4,623,997	November 18, 1986	Tulpule			
	4,663,706	May 5, 1987	Allen et al.			
	4,667,190	May 19, 1987	Fant et al.			
	4,682,284	July 21, 1987	Schrofer			
	4,706,216	November 10, 1987	Carter			
	4,720,778	January 19, 1988	Hall et al.			
	4,720,780	January 19, 1988	Dolecek			
	4,739,474	April 19, 1988	Holsztynski			
	4,761,755	August 2, 1988	Ardini et al.			
	4,811,214	March 7, 1989	Nosenchuck et al.			
	4,852,043	July 25, 1989	Guest			
	4,852,048	July 25, 1989	Morton			
	4,860,201	August 22, 1989	Stolfo et al.			
	4,870,302	September 26, 1989	Freeman			
	4,882,687	November 21, 1989	Gordon			
	4,884,231	November 28, 1989	Mor et al.			
	4,891,810	January 2, 1990	de Corlieu et al.			
	4,901,268	February 13, 1990	Judd			
	4,910,665	March 20, 1990	Mattheyses et al.			
	4,918,440	April 17, 1990	Furtek et al.			

**INFORMATION DISCLOSURE
STATEMENT BY APPLICANTS
PTO-1449**

Attorney Docket No.
2885/139

Serial No.
Unassigned

Applicant(s)
VORBACH

Filing Date
Herewith

Group Art Unit
Unassigned

EXAMINER'S INITIALS	PATENT/PUBLICATION NUMBER	PATENT/PUBLICATION DATE	NAME	CLASS	SUBCLASS	FILING DATE
	4,959,781	September 25, 1990	Rubinstein et al.			
	4,967,340	October 30, 1990	Dawes			
	4,972,314	November 20, 1990	Getzinger et al.			
	5,010,401	April 23, 1991	Murakami et al.			
	5,014,193	May 7, 1991	Garner et al.			
	5,015,884	May 14, 1991	Agrawal et al.			
	5,021,947	June 4, 1991	Campbell et al.			
	5,023,775	June 11, 1991	Poret			
	5,034,914	July 23, 1991	Osterlund			
	5,041,924	August 20, 1991	Blackborow et al.			
	5,043,978	August 27, 1991	Nagler et al.			
	5,047,924	September 10, 1991	Fujioka et al.			
	5,065,308	November 12, 1991	Evans			
	5,072,178	December 10, 1991	Matsumoto			
	5,081,375	January 14, 1992	Pickett et al.			
	5,099,447	March 24, 1992	Myszewski			
	5,109,503	April 28, 1992	Cruikshank et al.			
	5,113,498	May 12, 1992	Evan et al.			
	5,115,510	May 19, 1992	Okamoto et al.			
	5,123,109	June 16, 1992	Hillis			
	5,125,801	June 30, 1992	Nabity et al.			
	5,128,559	July 7, 1992	Steele			
	5,142,469	August 25, 1992	Weisenborn			
	5,144,166	September 1, 1992	Camarota et al.			
	5,193,202	March 9, 1993	Jackson et al.			
	5,203,005	April 13, 1993	Horst			
	5,204,935	April 20, 1993	Mihara et al.			
	5,208,491	May 4, 1993	Ebeling et al.			
	5,212,716	May 18, 1993	Ferraiolo et al.			
	*5,212,777	May 18, 1993	Gove et al.			
	5,218,302	June 8, 1993	Loewe et al.			
	5,226,122	July 6, 1993	Thayer et al.			
	5,233,539	August 3, 1993	Agrawal et al.			
	5,237,686	August 17, 1993	Asano et al.			
	5,247,689	September 21, 1993	Ewert			
	5,274,593	December 28, 1993	Proebsting			
	5,276,836	January 4, 1994	Fukumaru et al.			
	5,287,472	February 15, 1994	Horst			
	5,287,532	February 15, 1994	Hunt			

INFORMATION DISCLOSURE STATEMENT BY APPLICANTS PTO-1449	Attorney Docket No. 2885/139	Serial No. Unassigned
	Applicant(s) VORBACH	
	Filing Date Herewith	Group Art Unit Unassigned

EXAMINER'S INITIALS	PATENT/PUBLICATION NUMBER	PATENT/PUBLICATION DATE	NAME	CLASS	SUBCLASS	FILING DATE
	5,294,119	March 15, 1994	Vincent et al.			
	5,301,284	April 5, 1994	Estes et al.			
	5,301,344	April 5, 1994	Kolchinsky			
	5,303,172	April 12, 1994	Magar et al.			
	5,311,079	May 10, 1994	Ditlow et al.			
	5,327,125	July 5, 1994	Iwase et al.			
	5,336,950	August 9, 1994	Popli et al.			
	5,343,406	August 30, 1994	Freeman et al.			
	5,347,639	September 13, 1994	Rechtschaffen et al.			
	5,349,193	September 20, 1994	Mott et al.			
	5,353,432	October 4, 1994	Richek et al.			
	5,361,373	November 1, 1994	Gilson			
	5,379,444	January 3, 1995	Mumme			
	5,392,437	February 21, 1995	Matter et al.			
	5,408,643	April 18, 1995	Katayose			
	5,410,723	April 25, 1995	Schmidt et al.			
	5,412,795	May 2, 1995	Larson			
	5,418,952	May 23, 1995	Morley et al.			
	5,418,953	May 1995	Hunt et al.			
	5,421,019	May 30, 1995	Holsztynski et al.			
	5,422,823	June 6, 1995	Agrawal et al.			
	5,425,036	June 13, 1995	Liu et al.			
	5,426,378	June 20, 1995	Ong			
	5,428,526	June 27, 1995	Flood et al.			
	5,430,687	July 4, 1995	Hung et al.			
	5,440,245	August 8, 1995	Galbraith et al.			
	5,440,538	August 15, 1995	Olsen et al.			
	5,442,790	August 15, 1995	Nosenchuck			
	5,444,394	August 22, 1995	Watson et al.			
	5,448,186	September 5, 1995	Kawata			
	5,455,525	October 3, 1995	Ho et al.			
	5,457,644	October 10, 1995	McCollum			
	5,465,375	November 7, 1995	Thepaut et al.			
	5,469,003	November 21, 1995	Kean			
	5,473,266	December 5, 1995	Ahanin et al.			
	5,473,267	December 5, 1995	Stansfield			
	5,475,583	December 12, 1995	Bock et al.			
	5,475,803	December 12, 1995	Stearns et al.			
	5,475,856	December 12, 1995	Kogge			

INFORMATION DISCLOSURE STATEMENT BY APPLICANTS PTO-1449	Attorney Docket No. 2885/139	Serial No. Unassigned
	Applicant(s) VORBACH	
	Filing Date Herewith	Group Art Unit Unassigned

EXAMINER'S INITIALS	PATENT/PUBLICATION NUMBER	PATENT/PUBLICATION DATE	NAME	CLASS	SUBCLASS	FILING DATE
	5,477,525	December 19, 1995	Masanobu Okabe			
	5,483,620	January 9, 1996	Pechanek et al.			
	5,485,103	January 16, 1996	Pedersen et al.			
	5,485,104	January 16, 1996	Agrawal et al.			
	5,489,857	February 6, 1996	Agrawal et al.			
	5,491,353	February 13, 1996	Kean			
	5,493,239	February 20, 1996	Zlotnick			
	5,497,498	March 5, 1996	Taylor			
	5,506,998	April 9, 1996	Kato et al.			
	5,510,730	April 23, 1996	El Gamal et al.			
	5,511,173	April 23, 1996	Yamaura et al.			
	5,513,366	April 30, 1996	Agarwal et al.			
	5,521,837	May 28, 1996	Frankle et al.			
	5,522,083	May 28, 1996	Gove et al.			
	5,525,971	June 11, 1996	Flynn			
	5,530,873	June 25, 1996	Takano			
	5,530,946	June 25, 1996	Bouvier et al.			
	5,532,693	July 2, 1996	Winters et al.			
	5,532,957	July 2, 1996	Malhi			
	5,535,406	July 9, 1996	Kolchinsky			
	5,537,057	July 16, 1996	Leong et al.			
	5,537,580	July 16, 1996	Giomi et al.			
	5,537,601	July 16, 1996	Kimura et al.			
	5,541,530	July 30, 1996	Cliff et al.			
	5,544,336	August 6, 1996	Kato et al.			
	5,548,773	August 20, 1996	Kemeny et al.			
	5,550,782	August 27, 1996	Cliff et al.			
	5,555,434	September 10, 1996	Carlstedt			
	5,559,450	September 24, 1996	Ngai et al.			
	5,561,738	October 1, 1996	Kinerk et al.			
	5,570,040	October 29, 1996	Lytle et al.			
	*5,572,710	November 5, 1996	Asano et al.			
	5,574,930	November 12, 1996	Halverson Jr. et al.			
	5,581,731	December 3, 1996	King et al.			
	5,583,450	December 10, 1996	Trimberger et al.			
	5,586,044	December 17, 1996	Agrawal et al.			
	5,587,921	December 24, 1996	Agrawal et al.			
	5,588,152	December 24, 1996	Dapp et al.			
	5,590,345	December 31, 1996	Barker et al.			

INFORMATION DISCLOSURE STATEMENT BY APPLICANTS PTO-1449	Attorney Docket No. 2885/139	Serial No. Unassigned
	Applicant(s) VORBACH	
	Filing Date Herewith	Group Art Unit Unassigned

EXAMINER'S INITIALS	PATENT/PUBLICATION NUMBER	PATENT/PUBLICATION DATE	NAME	CLASS	SUBCLASS	FILING DATE
	5,590,348	December 31, 1996	Phillips et al.			
	5,596,742	January 21, 1997	Agarwal et al.			
	5,600,265	February 4, 1997	El Gamal Abbas et al.			
	5,600,845	February 4, 1997	Gilson			
	*5,606,698	February 25, 1997	Powell			
	5,611,049	March 11, 1997	Pitts			
	5,617,547	April 1, 1997	Feeney et al.			
	5,625,806	April 29, 1997	Kromer			
	5,625,836	April 29, 1997	Barker et al.			
	*5,627,992	May 6, 1997	Baror			
	5,634,131	May 27, 1997	Matter et al.			
	*5,646,544	July 8, 1997	Iadanza			
	5,646,545	July 8, 1997	Trimberger et al.			
	5,649,176	July 15, 1997	Selvidge et al.			
	5,649,179	July 15, 1997	Steenstra et al.			
	5,652,529	July 29, 1997	Gould et al.			
	5,652,894	July 29, 1997	Hu et al.			
	5,655,069	August 5, 1997	Ogawara et al.			
	5,655,124	August 5, 1997	Lin			
	5,657,330	August 12, 1997	Matsumoto			
	*5,659,785	August 19, 1997	Pechanek et al.			
	5,659,797	August 19, 1997	Zandveld et al.			
	5,675,743	October 7, 1997	Mavity			
	5,675,757	October 7, 1997	Davidson et al.			
	5,680,583	October 21, 1997	Kuijsten			
	5,694,602	December 2, 1997	Smith			
	*5,696,791	December 9, 1997	Yeung			
	5,706,482	January 6, 1998	Matsushima et al.			
	5,713,037	January 27, 1998	Wilkinson et al.			
	5,717,943	February 10, 1998	Barker et al.			
	5,732,209	March 24, 1998	Vigil et al.			
	5,734,921	March 31, 1998	Dapp et al.			
	5,737,516	April 7, 1998	Circello et al.			
	5,737,565	April 7, 1998	Mayfield			
	5,742,180	April 21, 1998	Detton et al.			
	5,745,734	April 28, 1998	Craft et al.			
	5,748,872	May 5, 1998	Norman			
	5,748,979	May 5, 1998	Trimberger			
	5,752,035	May 12, 1998	Trimberger			

INFORMATION DISCLOSURE STATEMENT BY APPLICANTS PTO-1449	Attorney Docket No. 2885/139	Serial No. Unassigned
	Applicant(s) VORBACH	
	Filing Date Herewith	Group Art Unit Unassigned

EXAMINER'S INITIALS	PATENT/ PUBLICATION NUMBER	PATENT/PUBLICATION DATE	NAME	CLASS	SUBCLASS	FILING DATE
	5,754,459	May 19, 1998	Telikepalli			
	5,754,820	May 19, 1998	Yamagami			
	5,754,827	May 19, 1998	Barbier et al.			
	5,754,871	May 19, 1998	Wilkinson et al.			
	5,760,602	June 2, 1998	Tan			
	5,761,484	June 2, 1998	Agarwal et al.			
	5,773,994	June 30, 1998	Jones			
	5,778,439	July 7, 1998	Timberger et al.			
	5,781,756	July 14, 1998	Hung			
	5,784,636	July 21, 1998	Rupp			
	5,794,059	August 11, 1998	Barker et al.			
	5,794,062	August 11, 1998	Baxter			
	5,801,715	September 1, 1998	Norman			
	5,802,290	September 1, 1998	Casselman			
	*5,804,986	September 8, 1998	Jones			
	5,815,715	September 29, 1998	Kayhan			
	*5,815,726	September 29, 1998	Cliff			
	5,821,774	October 13, 1998	Veytsman et al.			
	5,828,229	October 27, 1998	Cliff et al.			
	5,828,858	October 27, 1998	Athanas et al.			
	5,831,448	November 3, 1998	Kean			
	5,838,165	November 17, 1998	Chatter			
	5,841,973	November 24, 1998	Cooke et al.			
	5,844,422	December 1, 1998	Trimberger et al.			
	5,844,888	December 1, 1998	Narjyka			
	5,848,238	December 8, 1998	Shimomura et al.			
	5,854,918	December 29, 1998	Baxter			
	5,857,097	January 5, 1999	Henzinger et al.			
	5,859,544	January 12, 1999	Norman			
	5,860,119	January 12, 1999	Dockser			
	5,862,403	January 19, 1999	Kanai et al.			
	5,865,239	February 2, 1999	Carr			
	5,867,691	February 2, 1999	Shiraishi			
	5,867,723	February 2, 1999	Peters et al.			
	5,870,620	February 9, 1999	Kadosumi et al.			
	5,884,075	March 16, 1999	Hester et al.			
	5,887,162	March 23, 1999	Williams et al.			
	5,887,165	March 23, 1999	Martel et al.			
	5,889,533	March 30, 1999	Lee			

**INFORMATION DISCLOSURE
STATEMENT BY APPLICANTS
PTO-1449**

Attorney Docket No.
2885/139

Serial No.
Unassigned

Applicant(s)
VORBACH

Filing Date
Herewith

Group Art Unit
Unassigned

EXAMINER'S INITIALS	PATENT/ PUBLICATION NUMBER	PATENT/PUBLICATION DATE	NAME	CLASS	SUBCLASS	FILING DATE
	5,889,982	March 30, 1999	Rodgers et al.			
	5,892,370	April 6, 1999	Eaton et al.			
	5,892,961	April 6, 1999	Trimberger			
	5,892,962	April 6, 1999	Cloutier			
	5,901,279	May 4, 1999	Davis III			
	5,915,123	June 22, 1999	Mirsky et al.			
	5,924,119	July 13, 1999	Sindhu et al.			
	5,926,638	July 20, 1999	Inoue, Masaharu			
	5,927,423	July 27, 1999	Wada et al.			
	5,933,023	August 3, 1999	Young			
	5,933,642	August 3, 1999	Baxter et al.			
	5,936,424	April 10, 1999	Young et al.			
	5,943,242	August 24, 1999	Vorbach et al.			
	5,956,518	September 21, 1999	DeHon et al.			
	5,960,193	September 28, 1999	Guttag et al.			
	5,960,200	September 28, 1999	Eager et al.			
	5,966,143	October 12, 1999	Breternitz, Jr.			
	5,966,534	October 12, 1999	Cooke et al.			
	5,970,254	October 19, 1999	Cooke et al.			
	5,978,260	November 2, 1999	Trimberger et al.			
	5,978,583	November 2, 1999	Ekanadham et al.			
	5,996,083	November 30, 1999	Gupta et al.			
	5,999,990	December 7, 1999	Sharrit et al.			
	6,003,143	December 14, 1999	Kim et al.			
	6,011,407	January 4, 2000	New			
	6,014,509	January 11, 2000	Furtek et al.			
	6,020,758	February 1, 2000	Patel et al.			
	6,020,760	February 1, 2000	Sample et al.			
	6,021,490	February 1, 2000	Vorbach et al.			
	6,023,564	February 8, 2000	Trimberger			
	6,023,742	February 8, 2000	Ebeling et al.			
	6,026,481	February 15, 2000	New et al.			
	6,034,538	March 7, 2000	Abramovici			
	6,035,371	March 7, 2000	Magloire			
	6,038,650	March 14, 2000	Vorbach et al.			
	6,038,656	March 14, 2000	Cummings et al.			
	6,044,030	March 28, 2000	Zheng et al.			
	6,047,115	April 4, 2000	Mohan et al.			
	6,049,222	April 11, 2000	Lawman			

INFORMATION DISCLOSURE STATEMENT BY APPLICANTS PTO-1449	Attorney Docket No. 2885/139	Serial No. Unassigned
	Applicant(s) VORBACH	
	Filing Date Herewith	Group Art Unit Unassigned

EXAMINER'S INITIALS	PATENT/PUBLICATION NUMBER	PATENT/PUBLICATION DATE	NAME	CLASS	SUBCLASS	FILING DATE
	*6,049,866	April 11, 2000	Earl			
	6,052,773	April 18, 2000	DeHon et al.			
	6,054,873	April 25, 2000	Laramie			
	6,055,619	April 25, 2000	North et al.			
	6,058,469	May 2, 2000	Baxter			
	6,076,157	June 13, 2000	Borkenhagen et al.			
	6,077,315	June 20, 2000	Greenbaum et a.			
	6,081,903	June 27, 2000	Vorbach et al.			
	6,084,429	July 4, 2000	Trimberger			
	6,085,317	July 4, 2000	Smith			
	6,086,628	July 11, 2000	Dave et al.			
	6,088,795	July 11, 2000	Vorbach et al.			
	6,092,174	July 18, 2000	Roussakov			
	6,105,105	August 15, 2000	Trimberger et al.			
	6,105,106	August 15, 2000	Manning			
	6,108,760	August 22, 2000	Mirsky et al.			
	6,118,724	September 12, 2000	Higginbottom			
	6,119,181	September 12, 2000	Vorbach et al.			
	6,122,719	September 19, 2000	Mirsky et al.			
	6,125,408	September 26, 2000	McGee et al.			
	6,127,908	October 3, 2000	Bozler et al.			
	6,134,166	October 17, 2000	Lytle et al.			
	6,137,307	October 24, 2000	Iwanczuk et al.			
	*6,144,220	November 7, 2000	Young			
	6,150,837	November 21, 2000	Beal et al.			
	6,150,839	November 21, 2000	New et al.			
	6,154,048	November 28, 2000	Iwanczuk et al.			
	6,154,049	November 28, 2000	New			
	6,157,214	December 5, 2000	Marshall			
	6,170,051	January 2, 2001	Dowling, Eric M.			
	6,172,520	January 9, 2001	Lawman et al.			
	6,173,434	January 9, 2001	Wirthlin et al.			
	6,185,256	February 6, 2001	Saito et al.			
	6,185,731	February 6, 2001	Maeda et al.			
	6,188,240	February 13, 2001	Nakaya			
	6,188,650	February 13, 2001	Hamada et al.			
	6,198,304	March 6, 2001	Sasaki			
	6,201,406	March 13, 2001	Iwanczuk et al.			
	6,202,182	March 13, 2001	Abramovici et al.			

**INFORMATION DISCLOSURE
STATEMENT BY APPLICANTS
PTO-1449**

Attorney Docket No.
2885/139

Serial No.
Unassigned

Applicant(s)
VORBACH

Filing Date
Herewith

Group Art Unit
Unassigned

EXAMINER'S INITIALS	PATENT/PUBLICATION NUMBER	PATENT/PUBLICATION DATE	NAME	CLASS	SUBCLASS	FILING DATE
	6,204,687	March 20, 2001	Schultz et al.			
	6,211,697	April 3, 2001	Lien et al.			
	6,212,650	April 3, 2001	Guccione, Steven A.			
	6,215,326	April 10, 2001	Jefferson et al.			
	6,216,223	April 10, 2001	Revilla et al.			
	6,219,833	April 17, 2001	Solomon et al.			
	6,230,307	May 8, 2001	Davis et al.			
	6,240,502	May 29, 2001	Panwar et al.			
	6,243,808	June 5, 2001	Wang			
	6,247,147	June 12, 2001	Beenstra			
	6,252,792	June 26, 2001	Marshall et al.			
	6,256,724	July 3, 2001	Hocevar et al.			
	6,260,179	July 10, 2001	Ohsawa et al.			
	6,262,908	July 17, 2001	Marshall et al.			
	6,263,430	July 17, 2001	Trimberger et al.			
	6,266,760	July 24, 2001	DeHon et al.			
	6,279,077	August 21, 2001	Nasserbakht et al.			
	6,282,627	August 28, 2001	Wong et al.			
	6,282,701	August 28, 2001	Wygodny et al.			
	6,285,624	September 4, 2001	Chen			
	6,286,134	September 4, 2001	Click, Jr. et al.			
	6,288,566	September 11, 2001	Hanrahan et al.			
	6,289,440	September 11, 2001	Casselman			
	*6,298,396	October 2, 2001	Loyer et al.			
	6,298,472	October 2, 2001	Phillips et al.			
	6,301,706	October 9, 2001	Maslennikov et al.			
	6,311,200	October 30, 2001	Hanrahan et al.			
	6,311,265	October 30, 2001	Beckerle et al.			
	6,321,366	November 20, 2001	Tseng et al.			
	6,321,373	November 20, 2001	Ekanadham et al.			
	6,338,106	January 8, 2002	Vorbach et al.			
	6,341,318	January 22, 2002	Dakhil			
	6,347,346	February 12, 2002	Taylor			
	6,349,346	February 19, 2002	Hanrahan et al.			
	6,353,841	March 5, 2002	Marshall et al.			
	6,362,650	March 26, 2002	New et al.			
	6,370,596	April 9, 2002	Dakhil			
	6,373,779	April 16, 2002	Pang et al.			
	6,374,286	April 16, 2002	Gee			

**INFORMATION DISCLOSURE
STATEMENT BY APPLICANTS
PTO-1449**

Attorney Docket No.
2885/139

Serial No.
Unassigned

Applicant(s)
VORBACH

Filing Date
Herewith

Group Art Unit
Unassigned

EXAMINER'S INITIALS	PATENT/PUBLICATION NUMBER	PATENT/PUBLICATION DATE	NAME	CLASS	SUBCLASS	FILING DATE
	6,378,068	April 23, 2002	Foster et al.			
	6,381,624	April 30, 2002	Colon-Bonet et al.			
	6,389,379	May 14, 2002	Lin et al.			
	6,389,579	May 14, 2002	Phillips et al.			
	6,392,912	May 21, 2002	Hanrahan et al.			
	6,398,383	June 4, 2002	Huang, Yu-Hwei			
	6,400,601	June 4, 2002	Sudo et al.			
	6,404,224	June 11, 2002	Azegami et al.			
	6,405,299	June 11, 2002	Vorbach et al.			
	6,421,809	July 16, 2002	Wuytack et al.			
	6,421,817	July 16, 2002	Mohan et al.			
	6,425,054	July 23, 2002	Nguyen			
	6,425,068	July 23, 2002	Vorbach			
	*6,426,649	July 30, 2002	Fu et al.			
	*6,427,156	July 30, 2002	Chapman et al.			
	6,430,309	August 6, 2002	Pressman et al.			
	6,434,642	August 13, 2002	Camilleri et al.			
	*6,434,672	August 13, 2002	Gaither			
	6,434,695	August 13, 2002	Esfahani et al.			
	6,434,699	August 13, 2002	Jones et al.			
	6,435,054	October 10, 2000	Nguyen			
	6,437,441	August 20, 2002	Yamamoto			
	6,438,747	August 20, 2002	Schreiber et al.			
	6,457,116	September 24, 2002	Mirsky et al.			
	6,476,634	November 5, 2002	Bilski			
	6,477,643	November 5, 2002	Vorbach et al.			
	6,480,937	November 12, 2002	Vorbach et al.			
	6,480,954	November 12, 2002	Trimberger et al.			
	6,483,343	November 19, 2002	Faith et al.			
	6,487,709	November 26, 2002	Keller et al.			
	6,490,695	December 3, 2002	Zagorski et al.			
	6,496,971	December 17, 2002	Lesea et al.			
	6,504,398	January 7, 2003	Vorbach			
	6,507,898	January 14, 2003	Gibson et al.			
	6,507,947	January 14, 2003	Schreiber et al.			
	*6,512,804	January 28, 2003	Johnson et al.			

INFORMATION DISCLOSURE STATEMENT BY APPLICANTS PTO-1449	Attorney Docket No. 2885/139	Serial No. Unassigned
	Applicant(s) VORBACH	
	Filing Date Herewith	Group Art Unit Unassigned

EXAMINER'S INITIALS	PATENT/PUBLICATION NUMBER	PATENT/PUBLICATION DATE	NAME	CLASS	SUBCLASS	FILING DATE
	6,513,077	January 28, 2003	Vorbach et al.			
	6,516,382	February 4, 2003	Manning			
	6,518,787	February 11, 2003	Allegrucci et al.			
	6,519,674	February 11, 2003	Lam et al.			
	6,523,107	February 18, 2003	Stansfield et al.			
	6,525,678	February 25, 2003	Veenstra et al.			
	6,526,520	February 25, 2003	Vorbach et al.			
	6,538,468	March 25, 2003	Moore			
	6,538,470	March 25, 2003	Langhammer et al.			
	6,539,415	March 25, 2003	Mercs			
	6,539,438	March 25, 2003	Ledzius et al.			
	6,539,477	March 25, 2003	Seawright			
	6,542,844	April 1, 2003	Hanna			
	6,542,394	April 1, 2003	Marshall et al.			
	6,542,998	April 1, 2003	Vorbach			
	*6,553,395	April 22, 2003	Marshall et al.			
	*6,553,479	April 22, 2003	Mirsky et al.			
	*6,567,834	May 20, 2003	Marshall et al.			
	6,571,381	May 27, 2003	Vorbach et al.			
	6,587,939	July 1, 2003	Takano			
	*6,598,128	July 22, 2003	Yoshioka et al.			
	*6,606,704	August 12, 2003	Adiletta et al.			
	6,631,487	October 7, 2003	Abramovici et al.			
	6,633,181	October 14, 2003	Rupp			
	6,657,457	December 2, 2003	Hanrahan et al.			
	6,658,564	December 2, 2003	Smith et al.			
	6,665,758	December 16, 2003	Frazier et al.			
	6,687,788	February 3, 2004	Vorbach et al.			
	6,697,979	February 24, 2004	Vorbach et al.			
	6,704,816	March 9, 2004	Burke, David			
	6,708,325	March 16, 2004	Cooke et al.			
	6,717,436	April 6, 2004	Kress et al.			
	6,721,830	April 13, 2004	Vorbach et al.			

**INFORMATION DISCLOSURE
STATEMENT BY APPLICANTS
PTO-1449**

Attorney Docket No.
2885/139

Serial No.
Unassigned

Applicant(s)
VORBACH

Filing Date
Herewith

Group Art Unit
Unassigned

EXAMINER'S INITIALS	PATENT/ PUBLICATION NUMBER	PATENT/PUBLICATION DATE	NAME	CLASS	SUBCLASS	FILING DATE
	6,728,871	April 27, 2004	Vorbach et al.			
	*6,745,317	June 1, 2004	Mirsky et al.			
	6,748,440	June 8, 2004	Lisitsa et al.			
	*6,751,722	June 15, 2004	Mirsky et al.			
	6,754,805	June 22, 2004	Yujen Juan			
	6,757,847	June 29, 2004	Farkash et al.			
	6,757,892	June 29, 2004	Gokhale et al.			
	6,782,445	August 24, 2004	Olgieti et al.			
	6,785,826	August 31, 2004	Durham et al.			
	6,802,026	October 5, 2004	Patterson et al.			
	6,803,787	October 12, 2004	Wicker, Jr.			
	6,820,188	November 16, 2004	Stansfield et al.			
	6,829,697	December 7, 2004	Davis et al.			
	6,847,370	January 25, 2005	Baldwin et al.			
	6,868,476	March 22, 2005	Rosenbluth			
	6,871,341	March 22, 2005	Shyr			
	6,874,108	March 29, 2005	Abramovici et al.			
	6,886,092	April 26, 2005	Douglass et al.			
	6,901,502	May 31, 2005	Yano et al.			
	6,928,523	August 9, 2005	Yamada, Akira			
	6,961,924	November 1, 2005	Bates et al.			
	*6,975,138	December 13, 2005	Pani et al.			
	6,977,649	December 20, 2005	Baldwin et al.			
	7,000,161	February 14, 2006	Allen et al.			
	7,007,096	February 28, 2006	Lisitsa et al.			
	7,010,667	March 7, 2006	Vorbach et al.			
	7,028,107	April 11, 2006	Vorbach et al.			
	7,038,952	May 2, 2006	Zack et al.			
	7,043,416	May 9, 2006	Lin			
	7,210,129	April 24, 2007	May et al.			
	7,216,204	May 8, 2007	Rosenbluth			
	7,237,087	June 26, 2007	Vorbach et al.			
	7,249,351	July 24, 2007	Songer et al.			

**INFORMATION DISCLOSURE
STATEMENT BY APPLICANTS
PTO-1449**

Attorney Docket No.
2885/139

Serial No.
Unassigned

Applicant(s)
VORBACH

Filing Date
Herewith

Group Art Unit
Unassigned

EXAMINER'S INITIALS	PATENT/ PUBLICATION NUMBER	PATENT/PUBLICATION DATE	NAME	CLASS	SUBCLASS	FILING DATE
	7,254,649	August 7, 2007	Subramanian et al.			
	7,340,596	March 4, 2008	Crosland et al.			
	7,346,644	March 18, 2008	Langhammer et al.			
	7,350,178	March 25, 2008	Crosland et al.			
	*7,382,156	June 3, 2008	Pani et al.			
	7,595,659	September 29, 2009	Vorbach et al.			
	7,650,448	January 19, 2010	Vorbach et al.			
	2001/0001860	May 24, 2001	Bieu			
	2001/0010074	July 26, 2001	Nishihara et al.			
	2001/018733	October 18, 2001	Fujii et al.			
	2001/0032305	October 18, 2001	Barry			
	2001/0003834	June 14, 2001	Shimonishi			
	2002/0103839	August 1, 2002	Ozawa			
	2002/083308	June 27, 2002	Pereira et al.			
	2002/0038414	March 28, 2002	Taylor			
	2002/0045952	April 18, 2002	Blemel			
	2002/124238	September 5, 2002	Metzgen			
	2002/0138716	September 26, 2002	Paul et al.			
	2002/013861	August 30, 2001	Adiletta et al.			
	2002/0143505	October 3, 2002	Drusinsky			
	2002/0144229	October 3, 2002	Hanrahan			
	*2002/0156962	October 24, 2002	Chopra et al.			
	2002/0165886	November 7, 2002	Lam			
	2003/0001615	January 2, 2003	Sueyoshi et al.			
	2003/0014743	January 16, 2003	Cooke et al.			
	2003/0046607	March 6, 2003	Vorbach			
	2003/0056085	March 2, 2003	Vorbach			
	2003/0052711	March 20, 2003	Taylor			
	2003/0055861	March 20, 2003	Lai et al.			
	2003/0056091	March 20, 2003	Greenberg			
	2003/0056202	March 20, 2003	Vorbach			
	2003/0061542	March 27, 2003	Bates et al.			
	2003/062922	April 3, 2003	Douglass et al.			
	2003/0086300	May 8, 2003	Noyes et al.			
	2003/0093662	May 15, 2003	Vorbach et al.			
	2003/0097513	May 22, 2003	Vorbach et al.			
	2003/0123579	July 3, 2003	Safavi et al.			
	2003/0135686	July 17, 2003	Vorbach et al.			

INFORMATION DISCLOSURE STATEMENT BY APPLICANTS PTO-1449	Attorney Docket No. 2885/139	Serial No. Unassigned
	Applicant(s) VORBACH	
	Filing Date Herewith	Group Art Unit Unassigned

EXAMINER'S INITIALS	PATENT/ PUBLICATION NUMBER	PATENT/PUBLICATION DATE	NAME	CLASS	SUBCLASS	FILING DATE
	2003/0192032	October 9, 2003	Andrade et al.			
	2004/0015899	January 22, 2004	May et al.			
	2004/0025005	February 5, 2004	Vorbach et al.			
	*2004/0039880	February 26, 2004	Pentkovski et al.			
	2004/0078548	April 22, 2004	Claydon et al.			
	2004/0168099	August 26, 2004	Vorbach et al.			
	2004/0199688	October 7, 2004	Vorbach et al.			
	2005/066213	March 24, 2005	Vorbach et al.			
	2005/0144210	June 30, 2005	Simkins et al.			
	2005/0144212	June 30, 2005	Simkins et al.			
	2005/0144215	June 30, 2005	Simkins et al.			
	2006/0130096	October 12, 2006	Thendean et al.			
	2006/0230094	October 12, 2006	Simkins et al.			
	2009/0085603	April 2, 2009	Paul et al.			

FOREIGN PATENT DOCUMENTS

EXAMINER'S INITIALS	DOCUMENT NUMBER	DATE	COUNTRY	CLASS	SUBCLASS	TRANSLATION	
						YES	NO
	0 208 457	January 14, 1987	EPO				
	0 221 360	May 13, 1987	EPO				
	0 398 552	November 22, 1990	EPO				
	0 428 327	May 22, 1991	EPO				
	0 463 721	January 2, 1992	EPO				
	0 477 809	April 1, 1992	EPO				
	0 485 690	May 20, 1992	EPO				
	0 497 029	August 5, 1992	EPO				
	0 539 595	May 5, 1993	EPO				
	0 628 917	December 14, 1994	EPO				
	0 678 985	October 25, 1995	EPO				
	0 686 915	December 13, 1995	EPO				
	0 696 001	December 5, 2001	EPO				
	0 707 269	April 17, 1996	EPO				
	0 726 532	August 14, 1996	EPO				
	0 735 685	October 2, 1996	EPO				
	0 746 106	December 4, 1996	EPO				
	0 748 051	December 11, 1996	EPO				
	0 926 594	June 30, 1999	EPO				
	1 061 439	December 20, 2000	EPO				

**INFORMATION DISCLOSURE
STATEMENT BY APPLICANTS
PTO-1449**

Attorney Docket No.
2885/139

Serial No.
Unassigned

Applicant(s)
VORBACH

Filing Date
Herewith

Group Art Unit
Unassigned

EXAMINER'S INITIALS	DOCUMENT NUMBER	DATE	COUNTRY	CLASS	SUBCLASS	TRANSLATION	
						YES	NO
	1 102 674	May 30, 2001	EPO				
	1 115 204	July 11, 2001	EPO			English	
	1 146 432	October 17, 2001	EPO				
	1 669 885	June 14, 2006	EPO			Abstract	
	2 752 466	February 20, 1998	France			English equivalent: USP 6,425,054 cited above	
	42 21 278	January 5, 1994	Germany				
	44 16 881	November 17, 1994	Germany			Abstract	
	38 55 673	November 20, 1996	Germany			Abstract Only	
	100 28 397	December 20, 2001	Germany				
	100 36 627	February 14, 2002	Germany				
	101 29 237	April 18, 2002	Germany				
	102 04 044	August 14, 2003	Germany				
	196 51 075	June 10, 1998	Germany			Abstract	
	196 54 593	July 2, 1998	Germany				
	196 54 595	July 2, 1998	Germany			Abstract	
	196 54 846	July 9, 1998	Germany				
	197 04 044	August 13, 1998	Germany				
	197 04 728	August 13, 1998	Germany			Abstract	
	197 04 742	September 24, 1998	Germany				
	198 07 872	August 26, 1999	Germany				
	198 22 776	March 25, 1999	Germany			Abstract	
	198 61 088	February 10, 2000	Germany				
	199 26 538	December 14, 2000	Germany			Abstract	
	2 304 438	March 19, 1997	United Kingdom			English	
	WO90/04835	May 3, 1990	PCT				
	WO90/11648	October 4, 1990	PCT				
	WO92/01987	February 6, 1992	PCT				
	WO93/11503	June 10, 1993	PCT				
	WO94/06077	March 17, 1994	PCT				
	WO94/08399	April 14, 1994	PCT				
	WO95/00161	January 5, 1995	PCT				
	WO95/26001	September 28, 1995	PCT				
	WO98/10517	March 12, 1998	PCT				
	WO98/26356	June 18, 1998	PCT				
	WO98/28697	July 2, 1998	PCT				
	WO98/29952	July 9, 1998	PCT				

**INFORMATION DISCLOSURE
STATEMENT BY APPLICANTS
PTO-1449**

Attorney Docket No.
2885/139

Serial No.
Unassigned

Applicant(s)
VORBACH

Filing Date
Herewith

Group Art Unit
Unassigned

EXAMINER'S INITIALS	DOCUMENT NUMBER	DATE	COUNTRY	CLASS	SUBCLASS	TRANSLATION	
						YES	NO
	WO98/31102	July 16, 1998	PCT				
	WO98/035294	August 13, 1998	PCT				
	WO98/35299	August 13, 1998	PCT				
	WO99/00731	January 7, 1999	PCT				
	WO99/00739	January 7, 1999	PCT				
	WO99/12111	March 11, 1999	PCT				
	WO99/32975	July 1, 1999	PCT				
	WO99/40522	August 12, 1999	PCT				
	WO99/44147	September 2, 1999	PCT				
	WO99/44120	September 2, 1999	PCT				
	WO00/17771	March 30, 2000	PCT				
	WO00/38087	June 29, 2000	PCT				
	WO00/045282	August 3, 2000	PCT				
	WO00/49496	August 24, 2000	PCT				
	WO00/77652	December 21, 2000	PCT				
	WO01/55917	August 2, 2001	PCT				
	WO02/13000	February 14, 2002	PCT				
	WO02/21010	March 14, 2002	PCT				
	WO02/29600	April 11, 2002	PCT				
	WO02/50665	June 27, 2002	PCT				
	WO02/071196	September 12, 2002	PCT				
	WO02/71248	September 12, 2002	PCT				
	WO02/071249	September 12, 2002	PCT				
	WO02/103532	December 27, 2002	PCT				
	WO03/017095	February 27, 2003	PCT				
	WO03/023616	March 20, 2003	PCT				
	WO03/025781	March 27, 2003	PCT				
	WO03/032975	April 24, 2003	PCT				
	WO03/036507	May 1, 2003	PCT				
	WO 03/091875	November 6, 2003	PCT				
	WO 04/053718	June 24, 2004	PCT				
	WO04/114128	December 29, 2004	PCT				
	WO05/045692	May 19, 2005	PCT				
	1-229378	September 13, 1989	Japan			Abstract	
	8-44581	February 16, 1996	Japan			Abstract	
	7-154242	June 16, 1995	Japan			Abstract	
	58-58672	April 7, 1983	Japan			Abstract	
	2-226423	September 10, 1990	Japan			Abstract	
	5-265705	October 15, 1993	Japan			Abstract	

INFORMATION DISCLOSURE STATEMENT BY APPLICANTS PTO-1449	Attorney Docket No. 2885/139	Serial No. Unassigned
	Applicant(s) VORBACH	
	Filing Date Herewith	Group Art Unit Unassigned

EXAMINER'S INITIALS	DOCUMENT NUMBER	DATE	COUNTRY	CLASS	SUBCLASS	TRANSLATION	
						YES	NO
	5-276007	October 22, 1993	Japan			Abstract	
	6-266605	September 22, 1994	Japan			Abstract	
	7-086921	March 31, 1995	Japan			Abstract	
	8-101761	April 16, 1996	Japan			Abstract	
	8-102492	April 16, 1996	Japan			Abstract	
	8-148989	June 7, 1995	Japan			Abstract	
	8-221164	August 30, 1996	Japan			Abstract	
	8-250685	September 27, 1996	Japan			Abstract	
	9-294069	November 11, 1997	Japan			Abstract	
	2-130023	May 18, 1990	Japan			Abstract	
	11-184718	July 9, 1999	Japan			Abstract	
	11-307725	November 5, 1999	Japan			Abstract & Partial Translation	
	2000-076066	March 14, 2000	Japan			Abstract	
	2000-181566	June 30, 2000	Japan			Computer Translation	
	2000-311156	November 7, 2000	Japan			Abstract	
	9-27745	January 28, 1997	Japan			Abstract	
	05-509184	December 16, 2003	Japan			English Equivalent = USP 5,193,202 cited above	
	08069447	March 12, 1996	Japan			Abstract	
	2001-167066	June 22, 2001	Japan			Abstract	
	2001-500682	January 16, 2001	Japan			Abstract	
	2000-201066	July 18, 2000	Japan			Abstract	
	*3-961028	August 15, 2007	Japan			Abstract	
	*2001-510650	July 31, 2001	Japan			Abstract only	
	*2002-0033457	January 31, 2002	Japan			Abstract	

OTHER DOCUMENTS

EXAMINER'S INITIALS	AUTHOR, TITLE, DATE, PERTINENT PAGES, ETC.
	Abnous et al., "Ultra-Low-Power Domain-Specific Multimedia Processors," U.C. Berkeley, 1996 IEEE, pp. 461-470.
	Abnous, A., et al., "The Pleiades Architecture," Chapter I of <i>The Application of Programmable DSPs in Mobile Communications</i> , A. Gatherer and A. Auslander, Ed., Wiley, 2002, pp. 1-33.
	Ade, et al., "Minimum Memory Buffers in DSP Applications," <i>Electronics Letters</i> , vol. 30, No. 6, March 17, 1994, pp. 469-471.
	Advanced RISC Machines, "Introduction to AMBA," October 1996, Section 1, pp. 1-7.
	Albaharna, O.T. et al., "On the Viability of FPGA-Based Integrated Coprocessors," Dept. of Electrical and Electronic Engineering, Imperial College of Science, London, 1999 IEEE, pp. 206-215.

INFORMATION DISCLOSURE STATEMENT BY APPLICANTS PTO-1449	Attorney Docket No. 2885/139	Serial No. Unassigned
	Applicant(s) VORBACH	
	Filing Date Herewith	Group Art Unit Unassigned

EXAMINER'S INITIALS	AUTHOR, TITLE, DATE, PERTINENT PAGES, ETC.
	Alippi, et al., "Determining the Optimum Extended Instruction Set Architecture for Application Specific Reconfigurable VLIW CPUs," IEEE, 2001, pp. 50-56.
	Altera, "APEX 20K Programmable Logic Device Family," Altera Corporation Data Sheet, March 2004, ver. 5.1, pp. 1-117.
	Altera, "Flex 8000 Programmable Logic Device Family," Altera Corporation product description, January 2003, pp. 1-62.
	Altera, "Flex 10K Embedded Programmable Logic Device Family," Altera Corporation product description, January 2003, pp. 1-128.
	*Altera, "2. TriMatrix Embedded Memory Blocks in Stratix & Stratix GX Devices," Altera Corporation, July 2005, 28 pages.
	*Altera, "APEX II Programmable Logic Device Family," Altera Corporation Data Sheet, August 2002, Ver. 3.0, 99 pages.
	Arabi, et al., "PLD Integrates Dedicated High-speed Data Buffering, Complex State machine, and Fast Decode Array," conference record on WESCON '93, Sep. 28, 1993, pp. 432-436.
	ARM, "The Architecture for the Digital World," http://www.arm.com/products/ March 18, 2009, 3 pages.
	ARM, "The Architecture for the Digital World; Milestones," http://www.arm.com/aboutarm/milestones.html March 18, 2009, 5 pages.
	Asari, K. et al., "FeRAM circuit technology for system on a chip," <i>Proceedings First NASA/DoD Workshop on Evolvable Hardware</i> (1999), pp. 193-197.
	Athanas, "A Functional Reconfigurable Architecture and Compiler for Adoptive Computing," IEEE 1993, pages 49-55.
	Athanas, et al., "An Adaptive Hardware Machine Architecture and Compiler for Dynamic Processor Reconfiguration," IEEE, Laboratory for Engineering man/Machine Systems Division of Engineering, Box D, Brown University, Providence, Rhode Island, 1991, pages 397-400.
	Athanas et al., "Processor Reconfiguration Through Instruction-Set Metamorphosis," 1993, IEEE Computers, pp. 11-18.
	Atmel, 5-K-50K Gates Coprocessor FPGA with Free Ram, Data Sheet, July 2006, 55 pages.
	Atmel, FPGA-based FIR Filter Application Note, September 1999, 10 pages.
	Atmel, "An Introduction to DSP Applications using the AT40K FPGA," FPGA Application Engineering, San Jose, CA, April 2004, 15 pages.
	Atmel, Configurable Logic Design & Application Book, Atmel Corporation, 1995, pp. 2-19 through 2-25.
	Atmel, Field Programmable Gate Array Configuration Guide, AT6000 Series Configuration Data Sheet, September 1999, pp. 1-20.
	Bacon, D. et al., "Compiler Transformations for High-Performance Computing," ACM Computing Surveys, 26(4):325-420 (1994)
	Bakkes, P.J., et al., "Mixing Fixed and Reconfigurable Logic for Array Processing," Dept. of Electrical and Electronic Engineering, University of Stellenbosch, South Africa, 1996 IEEE, pp. 118-125.
	Baumgarte, V. et al., PACT XPP "A Self-reconfigurable Data Processing Architecture," PACT Info. GMBH, Munchen Germany, 2001, 7 pages.
	Beck et al., "From control flow to data flow," TR 89-1050, October 1989, Dept. of Computer Science, Cornell University, Ithaca, NY, pp. 1-25.
	Becker, J. et al., "Architecture, Memory and Interface Technology Integration of an Industrial/Academic Configurable System-on-Chip (CSoC)," IEEE Computer Society Annual Workshop on VLSI (WVLSI 2003), (February 2003)
	Becker et al., "Automatic Parallelism Exploitation for FPL-Based Accelerators," 1998, Proc. 31st Annual Hawaii International Conference on System Sciences, pp. 169-178.
	Becker, J., "Configurable Systems-on-Chip (CSoC)," (Invited Tutorial), Proc. of 9th Proc. of XV Brazilian Symposium on Integrated Circuit, Design (SBCCI 2002), (September 2002)
	Becker, J. et al., "Parallelization in Co-compilation for Configurable Accelerators - a Host/accelerator Partitioning Compilation Method," Proceedings of Asia and South Pacific Design Automation Conference, Yokohama, Japan, February 10-13, 1998, 11 pages.
	*Becker, J., "A Partitioning Compiler for Computers with Xputer-based Accelerators," 1997, Kaiserslautern University, 326 pp.
	Bittner, "Wormhole Run-time Reconfiguration: Conceptualization and VLSI Design of a High Performance Computing System," Dissertation, January 23, 1997, pp. I-XX, 1-415.
	**BlueGene/L - Hardware Architecture Overview," BlueGene/L design team, IBM Research, October 17, 2003 slide presentation, pp. 1-23.
	**BlueGene/L: the next generation of scalable supercomputer," Kissel et al., Lawrence Livermore National Laboratory, Livermore, California, November 18, 2002, 29 pages.
	*BlueGene Project Update, January 2002, IBM slide presentation, 20 pages.

INFORMATION DISCLOSURE STATEMENT BY APPLICANTS PTO-1449	Attorney Docket No. 2885/139	Serial No. Unassigned
	Applicant(s) VORBACH	
	Filing Date Herewith	Group Art Unit Unassigned

EXAMINER'S INITIALS	AUTHOR, TITLE, DATE, PERTINENT PAGES, ETC.
	*BlueGene/L, "An Overview of the BlueGene/L Supercomputer," The BlueGene/L Team, IBM and Lawrence Livermore National Laboratory, 2002 IEEE. pp. 1-22.
	Bratt, A, "Motorola field programmable analogue arrays, present hardware and future trends," Motorola Programmable Technology Centre, Gadbrook Business Centre, Northwich, Cheshire, 1998, The Institute of Electrical Engineers, IEE. Savoy Place, London, pp. 1-5.
	Cadambi, et al., "Managing Pipeline-reconfigurable FPGAs," ACM, 1998, pp. 55-64.
	Callahan, et al., "The Garp Architecture and C Compiler," Computer, April 2000, pages 62-69.
	Cardoso, J.M.P. et al., "A novel algorithm combining temporal partitioning and sharing of functional units," University of Algarve, Faro, Portugal, 2001 IEEE, pp. 1-10.
	Cardoso, Joao M.P. and Markus Weinhardt, "XPP-VC: A C Compiler with Temporal Partitioning for the PACT-XPP Architecture," Field-Programmable Logic and Applications. Reconfigurable Computing is Going Mainstream, 12 th International Conference FPL 2002, Proceedings (Lecture Notes in Computer Science, Vol. 2438) Springer-Verlag Berlin, Germany, 2002, pp. 864-874.
	Cardoso, J.M.P. "Compilation of Java™ Algorithms onto Reconfigurable Computing Systems with Exploitation of Operation-Level Parallelism," Ph.D. Thesis, Universidade Tecnica de Lisboa (UTL), Lisbon, Portugal October 2000 (Table of Contents and <u>English Abstract only</u>).
	Cardoso, J.M.P., et al., "Compilation and Temporal Partitioning for a Coarse-Grain Reconfigurable Architecture," New Algorithms, Architectures and Applications for Reconfigurable Computing, LYSACHT, P. & ROSENTIEL, W. eds., (2005) pp. 105-115.
	Cardoso, J.M.P., et al., "Macro-Based Hardware Compilation of Java™ Bytecodes into a Dynamic Reconfigurable Computing System," Field-Programmable Custom Computing Machines (1999) FCCM '99. Proceedings. Seventh Annual IEEE Symposium on NAPA Valley, CA, USA, 21-23 April 1999, IEEE Comput. Soc, US, (21 April 1999) pp.2-11.
	Chaudhry, G.M. et al., "Separated caches and buses for multiprocessor system," Circuits and Systems, 1993; Proceedings of the 36 th Midwest Symposium on Detroit, MI, USA, 16-18 August 1993, New York, NY IEEE, 16 August 1993, Pages 1113-1116, XP010119918 ISBN: 0-7803-1760-2.
	Chen et al., "A reconfigurable multiprocessor IC for rapid prototyping of algorithmic-specific high-speed DSP data paths," IEEE Journal of Solid-State Circuits, Vol. 27, No. 12, December 1992, pp.1895-1904.
	Clearspeed, CSX Processor Architecture, Whitepaper, PN-1110-0702, 2007, pp. 1-15, www.clearspeed.com .
	Clearspeed, CSX Processor Architecture, Whitepaper, PN-1110-0306, 2006, pp. 1-14, www.clearspeed.com .
	Compton, K. et al., "Configurable Computing: A Survey of Systems and Software," Northwestern University, Dept. of ECE, Technical Report, 1999, (XP-002315148), 39 pages.
	Cook, Jeffrey J., "The Amalgam Compiler Infrastructure," Thesis at the University of Illinois at Urbana-Champaign (2004) Chapter 7 & Appendix G.
	Cronquist, D. et al., Architecture Design of Reconfigurable Pipelined Datapaths," Department of Computer Science and Engineering, University of Washington, Seattle, WA, Proceedings of the 20 th Anniversary Conference on Advanced Research in VLSI, 1999, pp. 1-15.
	Culler, D.E; Singh, J.P., "Parallel Computer Architecture," Pages 434-437, 1999, Morgan Kaufmann, San Francisco, CA USA, XP002477559.
	DeHon, A., "DPGA Utilization and Application," MIT Artificial Intelligence Laboratory, Proceedings of the Fourth International ACM Symposium on Field-Programmable Gate Arrays (FPGA '96), IEEE Computer Society, pp. 1-7.
	DeHon, Andre, "Reconfigurable Architectures for General-Purpose Computing," Massachusetts Institute of Technology, Technical Report AITR-1586, October 1996 (1996-10), XP002445054, Cambridge, MA, pp. 1-353.
	Del Corso et al., "Microcomputer Buses and Links," Academic Press Inc. Ltd., 1986, pp. 138-143, 277-285.
	Diniz, P., et al., "Automatic Synthesis of Data Storage and Control Structures for FPGA-based Computing Engines," 2000, IEEE, pages 91-100.
	Diniz, P., et al., "A behavioral synthesis estimation interface for configurable computing," University of Southern California, Marina Del Rey, CA, 2001 IEEE, pp. 1-2.
	Donandt, "Improving Response Time of Programmable Logic Controllers by use of a Boolean Coprocessor," AEG Research Institute Berlin, IEEE, 1989, pages 4-167 - 4-169.
	Dutt, et al., "If Software is King for Systems-in-Silicon, What's New in Compilers?," IEEE, 1997, pp. 322-325.
	Ebeling, C. et al., "Mapping Applications to the RaPiD Configurable Architecture," Department of Computer Science and Engineering, University of Washington, Seattle, WA, FPGAs for Custom Computing Machines. 1997. Proceedings.. The 5th Annual IEEE Symposium, Publication Date: 16-18 Apr 1997, 10 pages.

INFORMATION DISCLOSURE STATEMENT BY APPLICANTS PTO-1449	Attorney Docket No. 2885/139	Serial No. Unassigned
	Applicant(s) VORBACH	
	Filing Date Herewith	Group Art Unit Unassigned

EXAMINER'S INITIALS	AUTHOR, TITLE, DATE, PERTINENT PAGES, ETC.
	*Epstein, Dave, "IBM Extends DSP Performance with Mfxt," Microprocessor Report, Vol. 9, No. 16 (MicroDesign Resources), December 4, 1995, pp. 1-4 [XL0029013].
	Equator, Pixels to Packets, Enabling Multi-Format High Definition Video, Equator Technologies BSP-15 Product Brief, www.equator.com , 2001, 4 pages.
	Fawcett, B.K., "Map, Place and Route: The Key to High-Density PLD Implementation," Wescon Conference, IEEE Center (7 November 1995) pp. 292-297.
	Ferrante, J. et al., "The Program Dependence Graph and its Use in Optimization ACM Transactions on Programming Languages and Systems," July 1987, USA, [online] Bd. 9, Nr., 3, pages 319-349, XP002156651 ISSN: 0164-0935 ACM Digital Library.
	Fineberg, S. et al., "Experimental Analysis of a Mixed-Mode Parallel Architecture Using Bitonic Sequence Sorting," Journal of Parallel and Distributed Computing, Vol. 11, No. 3, March 1991, pages 239-251.
	Fornaciari, et al., System-level power evaluation metrics, 1997 Proceedings of the 2 nd Annual IEEE International Conference on Innovative Systems in Silicon, New York, NY, October 1997, pp. 323-330.
	Forstner, "Wer Zuerst Kommt, Mahlt Zuerst!: Teil 3: Einsatzgebiete und Anwendungbeispiele von FIFO-Speichern," Elektronik, August 2000, pages 104-109.
	Franklin, Manoj et al., "A Fill-Unit Approach to Multiple Instruction Issue," Proceedings of the Annual International Symposium on Microarchitecture, November 1994, pp. 162-171.
	Freescale Slide Presentation, An Introduction to Motorola's RCF (Reconfigurable Compute Fabric) Technology, Presented by Frank David, Launched by Freescale Semiconductor, Inc., 2004, 39 pages.
	*Galanis, M.D. et al., "Accelerating Applications by Mapping Critical Kernels on Coarse-Grain Reconfigurable Hardware in Hybrid Systems," Proceedings of the 13th Annual IEEE Symposium on Field-Programmable Custom Computing Machines, 2005, 2 pages.
	Genius, D. et al., "A Case for Array Merging in Memory Hierarchies," Proceedings of the 9th International Workshop on Compilers for Parallel Computers, CPC'01 (June 2001), 10 pages.
	Gokhale, M.B. et al., "Automatic Allocation of Arrays to Memories in FPGA processors with Multiple Memory Banks," Field-Programmable Custom Computing Machines, 1999, IEEE, 6 pages.
	*Guo, Z. et al., "A Compiler Intermediate Representation for Reconfigurable Fabrics," University of California, Riverside, Dept. of Electrical Engineering, IEEE 2006, 4 pages.
	*Gwennap, Linley, "P6 Underscores Intel's Lead," Microprocessor Report, Vol. 9., No. 2, February 16, 1995 (MicroDesign Resources), p. 1 and pp. 6-15.
	*Gwennap, Linley, "Intel's P6 Bus Designed for Multiprocessing," Microprocessor Report, Vol. 9, No. 7 (MicroDesign Resources), May 30, 1995, p.1 and pp. 6-10.
	Hammes, Jeff et al., "Cameron: High Level Language Compilation for Reconfigurable Systems," Department of Computer Science, Colorado State University, Conference on Parallel Architectures and Compilation Techniques, October 12-16, 1999, 9 pages.
	Hartenstein, R. et al., "A new FPGA architecture for word-oriented datapaths," Proc. FPL'94, Springer LNCS, September 1994, pp. 144-155.
	Hartenstein, R., "Coarse grain reconfigurable architectures," Design Automation Conference, 2001, Proceedings of the ASP-DAC 2001 Asia and South Pacific, January 30- February 2, 2001, IEEE 30 January 2001, pp. 564-569.
	*Hartenstein et al., "Parallelizing Compilation for a Novel Data-Parallel Architecture," 1995, PCAT-94, Parallel Computing: Technology and Practice, 13 pp.
	*Hartenstein et al., "A Two-Level Co-Design Framework for Xputer-based Data-driven Reconfigurable Accelerators," 1997, Proceedings of the Thirtieth Annual Hawaii International Conference on System Sciences, 10 pp.
	Hastie et al., "The implementation of hardware subroutines on field programmable gate arrays," Custom Integrated Circuits Conference, 1990, Proceedings of the IEEE 1990, May 16, 1990, pp. 31.3.1 - 31.4.3 (3 pages).
	Hauck, "The Roles of FPGAs in Reprogrammable Systems," IEEE, April 1998, pp. 615-638.
	Hauser, J.R., et al., "Garp: A MIPS Processor with a Reconfigurable Coprocessor," University of California, Berkeley, IEEE, 1997, pages 24-33.
	Hedge, S.J., "3D WASP Devices for On-line Signal and Data Processing," 1994, International Conference on Wafer Scale Integration, pages 11-21.
	Hendrich, N., et al., "Silicon Compilation and Rapid Prototyping of Microprogrammed VLSI-Circuits with MIMOLA and SOLO 1400," Microprocessing & Microprogramming (September 1992) vol. 35(1-5), pp. 287-294.
	*Huang, Libo et al., "A New Architecture for Multiple-Precision Floating-Point Multiply-Add Fused Unit Design," School of Computer National University of Defense Technology, China, IEEE 2007, 8 pages.

INFORMATION DISCLOSURE STATEMENT BY APPLICANTS PTO-1449	Attorney Docket No. 2885/139	Serial No. Unassigned
	Applicant(s) VORBACH	
	Filing Date Herewith	Group Art Unit Unassigned

EXAMINER'S INITIALS	AUTHOR, TITLE, DATE, PERTINENT PAGES, ETC.
	Hwang, K., "Advanced Computer Architecture – Parallelism, Scalability, Programmability," 1993, McGraw-Hill, Inc., pp. 348-355.
	Hwang, K., "Computer Architecture and Parallel Processing," Data Flow Computers and VLSI Computations, XP-002418655, 1985 McGraw-Hill, Chapter 10, pp. 732-807.
	Hwang, L. et al., "Min-cut Replication in Partitioned Networks," IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, [online] Bd. 14, Nr. 1, January 1995, pages 96-106, XP00053228 USA ISSN: 0278-0070 IEEE Xplore.
	IBM Technical Disclosure Bulletin, IBM Corp., New York, XP000424878, Bd. 36, Nr. 11, 1 November 1993, pp. 335-336.
	"IEEE Standard Test Access Port and Boundary-Scan Architecture," IEEE Std. 1149.1-1990, 1993, pp. 1-127.
	*IMEC, "ADRES multimedia processor & 3MF multimedia platform," Transferable IP, IMEC Technology Description, (Applicants believe the date to be October 2005), 2 pages.
	Inside DSP, "Ambic Discloses Massively Parallel Architecture," August 23, 2006, HTTP://insidedsp.com/tabid/64/articleType/ArticleView/articleId/155/Defa... , 2 pages.
	Intel, Intel MXP5800/MXP5400 Digital Media Processors, Architecture Overview, June 2004, Revision 2.4, pp. 1-24.
	*Intel, "Pentium Pro Family Developer's Manual , Volume 3: Operating System Writer's Guide," Intel Corporation, December 1995, [submitted in 4 PDF files: Part I, Part II, Part III and Part IV], 458 pages.
	Iseli, C., et al. "A C++ Compiler for FPGA Custom Execution Units Synthesis," IEEE, 1995, pp. 173-179.
	Isshiki, Tsuyoshi, et al., "Bit-Serial Pipeline Synthesis for Multi-FPGA Systems with C++ Design Capture," 1996 IEEE, pp. 38-47.
	Jacob, J., et al., "Memory Interfacing and Instruction Specification for Reconfigurable Processors," ACM 1999, pages 145-154.
	Jantsch, Axel et al., "A Case Study on Hardware/Software Partitioning," Royal Institute of Technology, Kista, Sweden, April 10, 1994, IEEE, pp. 111-118.
	Jantsch, Axel et al., "Hardware/Software Partitioning and Minimizing Memory Interface Traffic," Electronic System Design Laboratory, Royal Institute of Technology, ESDLab, Electrum 229, S-16440 Kista, Sweden (April 1994), pp. 226-231.
	*Jo, Manhwee et al., "Implementation of Floating-Point Operations for 3D Graphics on a Coarse-Grained Reconfigurable Architecture," Design Automation Laboratory, School of EE/CS, Seoul National University, Korea, IEEE 2007, pp. 127-130.
	John, L., et al., "A Dynamically Reconfigurable Interconnect for Array Processors," Vol. 6, No. 1, March 1998, IEEE, pages 150-157.
	*Kanter, David, "NVIDIA's GT200: Inside a Parallel Processor," http://www.realworldtech.com/page.cfm?ArticleID=RW090989195242&p=1 , September 8, 2008, 27 pages.
	Kastrup, B., "Automatic Hardware Synthesis for a Hybrid Reconfigurable CPU Featuring Philips CPLDs," Proceedings of the PACT Workshop on Reconfigurable Computing, 1998, pp. 5-10.
	Kaul, M., et al., "An automated temporal partitioning and loop fission approach of FPGA based reconfigurable synthesis of DSP applications," University of Cincinnati, Cincinnati, OH, ACM 1999, pp. 616-622.
	Kean, T.A., "Configurable Logic: A Dynamically Programmable Cellular Architecture and its VLSI Implementation," University of Edinburgh (Dissertation) 1988, pp. 1-286
	Kean, T., et al., "A Fast Constant Coefficient Multiplier for the XC6200," Xilinx, Inc., Lecture Notes in Computer Science, Vol. 1142, Proceedings of the 6 th International Workshop of Field-Programmable Logic, 1996, 7 pages.
	Kim et al., "A Reconfigurable Multifunction Computing Cache Architecture," IEEE Transactions on Very Large Scale Integration (VLSI) Systems Volume 9, Issue 4, Aug 2001 Page(s):509 – 523.
	Knittel, Gunter, "A PCI-compatible FPGA-Coprocessor for 2D/3D Image Processing," University of Turgingen, Germany, 1996 IEEE, pp. 136-145.
	Koch, Andreas et al., "High-Level-Language Compilation for Reconfigurable Computers," Proceedings of European Workshop on Reconfigurable Communication-Centric SOCS (June 2005) 8 pages.
	Koch, A., et al., "Practical Experiences with the SPARXIL Co-Processor," 1998, IEEE, pages 394-398.
	Koren et al., "A data-driven VLSI array for arbitrary algorithms," IEEE Computer Society, Long Beach, CA Vol. 21, No. 10, 1 October 1988, pp. 30-34.
	Kung, "Deadlock Avoidance for Systolic Communication," 1988 Conference Proceedings of the 15 th Annual International Symposium on Computer Architecture, May 30, 1998, pp. 252-260.
	Lange, H. et al., "Memory access schemes for configurable processors," Field-Programmable Logic and Applications, International Workshop, FPL, 27 August 2000, pages 615-625, XP02283963.

INFORMATION DISCLOSURE STATEMENT BY APPLICANTS PTO-1449	Attorney Docket No. 2885/139	Serial No. Unassigned
	Applicant(s) VORBACH	
	Filing Date Herewith	Group Art Unit Unassigned

EXAMINER'S INITIALS	AUTHOR, TITLE, DATE, PERTINENT PAGES, ETC.
	Larsen, S. et al., "Increasing and Detecting Memory Address Congruence," Proceedings of the 2002 IEEE International Conference on Parallel Architectures and Compilation Techniques (PACT02), pp. 1-12 (September 2002).
	Lee et al., "A new distribution network based on controlled switching elements and its applications," IEEE/ACT Trans. of Networking, Vol. 3, No. 1, pp. 70-81, February 1995.
	Lee, R. B., et al., "Multimedia extensions for general-purpose processors," IEEE Workshop on Signal Processing Systems, SIPS 97 - Design and Implementation (1997), pp. 9-23.
	Lee, Jong-eun et al., "Reconfigurable ALU Array Architecture with Conditional Execution," International Soc. Design Conference (ISOOC) [online] October 25, 2004, Seoul, Korea, 5 pages.
	Lee, Ming-Hau et al., "Designs and Implementation of the MorphoSys Reconfigurable Computing Processors," The Journal of VLSI Signal Processing, Kluwer Academic Publishers, BO, Vol. 24, No. 2-3, 2 March 2000, pp. 1-29.
	Ling, X., "WASMII: An MPLD with Data-Driven Control on a Virtual Hardware," Journal of Supercomputing, Kluwer Academic Publishers, Dordrecht, Netherlands, 1995, pp. 253-276.
	Ling et al., "WASMII: A Multifunction Programmable Logic Device (MPLD) with Data Driven Control," The Transactions of the Institute of Electronics, Information and Communication Engineers, 25 April 1994, Vol. J77-D-1, Nr. 4, pp. 309-317. [This references is in Chinese, but should be comparable in content to the Ling et al. reference above]
	Mano, M.M., "Digital Design," by Prentice Hall, Inc., Englewood Cliffs, New Jersey 07632, 1984, pp. 119-125, 154-161.
	Margolis, N., "An FPGA architecture for DRAM-based systolic computations," Boston University Center for Computational Science and MIT Artificial Intelligence Laboratory, IEEE 1997, pp. 2-11.
	Maxfield, C., "Logic that Mutates While-U-Wait," EDN (Eur. Ed) (USA), EDN (European Edition), 7 November 1996, Cahners Publishing, USA, pp. 137-140, 142.
	Mei, Bingfeng et al., "Adres: An Architecture with Tightly Coupled VLIW Processor and Coarse-Grained Reconfigurable Matrix," Proc. Field-Programmable Logic and Applications (FPL 03), Springer, 2003, pp. 61-70.
	Mei, Bingfeng, "A Coarse-Grained Reconfigurable Architecture Template and Its Compilation Techniques," Katholieke Universiteit Leuven, PhD Thesis, January 2005, IMEC vzw, Universitair Micro-Electronica Centrum, Belgium, pp. 1-195 (and Table of Contents).
	Mei, Bingfeng, et al., "Design and Optimization of Dynamically Reconfigurable Embedded Systems," IMEC vzw, 2003, Belgium, 7 pages, http://www.imec.be/reconfigurable/pdf/ICERSA_01_design.pdf .
	Miller, M.J., et al., "High-Speed FIFOs Contend with Widely Differing Data Rates: Dual-port RAM Buffer and Dual-pointer System Provide Rapid, High-density Data Storage and Reduce Overhead," Computer Design, September 1, 1985, pages 83-86.
	Mirsky, E. DeHon, "MATRIX: A Reconfigurable Computing Architecture with Configurable Instruction Distribution and Deployable Resources," Proceedings of the IEEE Symposium on FPGAs for Custom Computing Machines, 1996, pp. 157-166.
	Miyamori, T. et al., "REMARC: Reconfigurable Multimedia Array Coprocessor," Computer Systems Laboratory, Stanford University, Proceedings of the 1998 ACM/SIGDA sixth international symposium on Field programmable gate arrays, February 22-25, 1998, Monterey, California, United States, pp. 1-12.
	Moraes, F., et al., "A Physical Synthesis Design Flow Based on Virtual Components," XV Conference on Design of Circuits and Integrated Systems (November 2000) 6 pages.
	Muchnick, S., "Advanced Compiler Design and Implementation" (Morgan Kaufmann 1997) Table of Contents, 11 pages.
	Murphy, C., "Virtual Hardware Using Dynamic Reconfigurable Field Programmable Gate Arrays," Engineering Development Centre, Liverpool John Moores University, UK, GERI Annual Research Symposium 2005, 8 pages.
	Myers, G. "Advances in Computer Architecture," Wiley-Interscience Publication, 2nd ed., John Wiley & Sons, Inc., 1978, pp. 463-494.
	Nageldinger, U., "Design-Space Exploration for Coarse Grained Reconfigurable Architectures," (Dissertation) Universitaet Kaiserslautern, 2000, Chapter 2, pp. 19-45.
	Neumann, T., et al., "A Generic Library for Adaptive Computing Environments," Field Programmable Logic and Applications, 11th International Conference, FPL 2001, Proceedings (Lecture Notes in Computer Science, vol. 2147) (2001) pp. 503-512.
	Nilsson, et al., "The Scalable Tree Protocol - A Cache Coherence Approaches for Large-Scale Multiprocessors," IEEE, pp. 498-506, December 1992.
	Norman, R.S., "Hyperchip Business Summary, The Opportunity," January 31, 2000, pages 1-3.
	Olukotun, K., "The Case for a Single-Chip Microprocessor," ACM Sigplan Notices, ACM, Association for Computing Machinery, New York, Vol. 31, No. 9, September 1996 (1996-09-00) pp. 2-11.
	Ozawa, Motokazu et al., "A Cascade ALU Architecture for Asynchronous Super-Scalar Processors," IBICE Transactions on Electronics, Electronics Society, Tokyo, Japan, Vol. E84-C, No. 2, February 2001, pp. 229-237.

INFORMATION DISCLOSURE STATEMENT BY APPLICANTS PTO-1449	Attorney Docket No. 2885/139	Serial No. Unassigned
	Applicant(s) VORBACH	
	Filing Date Herewith	Group Art Unit Unassigned

EXAMINER'S INITIALS	AUTHOR, TITLE, DATE, PERTINENT PAGES, ETC.
	PACT Corporation, "The XPP Communication System," Technical Report 15 (2000), pp. 1-16.
	Parhami, B., "Parallel Counters for Signed Binary Signals," Signals, Systems and Computers, 1989, Twenty-Third Asilomar Conference, Volume 1, pp. 513-516.
	PCI Local Bus Specification, Production Version, Revision 2.1, June 1, Portland, OR, 1995, pp. 1-281.
	Piotrowski, A., "IEC-BUS, Die Funktionsweise des IEC-Bus und seine Anwendung in Geräten und Systemen," 1987, Franzis-Verlag GmbH, München, pp. 20-25.
	Pirsch, P. et al., "VLSI implementations of image and video multimedia processing systems," IEEE Transactions on Circuits and Systems for Video Technology, vol. 8, no. 7, Nov. 1998, pp. 878-891.
	Quenot, G.M., et al., "A Reconfigurable Compute Engine for Real-Time Vision Automata Prototyping," Laboratoire Systeme de Perception, DGA/Etablissement Technique Central de l'Armement, France, 1994 IEEE, pp. 91-100.
	Razdan et al., A High-Performance Microarchitecture with Hardware-Programmable Functional Units, Micro-27, Proceedings of the 27 th Annual International Symposium on Microarchitecture, IEEE Computer Society and Association for Computing Machinery, November 30-December 2, 1994, pp. 172-180.
	Ryo, A., "Auszug aus Handbuch der Informationsverarbeitung," ed. Information Processing Society of Japan, Information Processing Handbook, New Edition, Software Information Center, Ohmsha, December 1998, 4 pages. [Translation provided]
	Saleeba, M. "A Self-Contained Dynamically Reconfigurable Processor Architecture," Sixteenth Australian Computer Science Conference, ASCS-16, QLD, Australia, February, 1993, pp. 59-70.
	Saleeba, Z.M.G., "A Self-Reconfiguring Computer System," Department of Computer Science, Monash University (Dissertation) 1998, pp. 1-306.
	Salefski, B. et al., "Re-configurable computing in wireless," Annual ACM IEEE Design Automation Conference: Proceedings of the 38th conference on Design automation (2001) pp. 178-183.
	Schmit, et al., "Hidden Markov Modeling and Fuzzy Controllers in FPGAs, FPGAs for Custom Computing Machines," 1995; Proceedings, IEEE Symposium in Napa Valley, CA, April 1995, pp. 214-221.
	Schmidt, H. et al., "Behavioral synthesis for FPGA-based computing," Carnegie Mellon University, Pittsburgh, PA, 1994 IEEE, pp. 125-132.
	Schmidt, U. et al., "Datawave: A Single-Chip Multiprocessor for Video Applications," IEEE Micro, vol. 11, no. 3, May/June 1991, pp. 22-25, 88-94.
	Schönfeld, M., et al., "The LISA Design Environment for the Synthesis of Array Processors Including Memories for the Data Transfer and Fault Tolerance by Reconfiguration and Coding Techniques," J. VLSI Signal Processing Systems for Signal, Image, and Video Technology, (1 October 1995) vol. 11(1/2), pp. 51-74.
	Shin, D., et al., "C-based Interactive RTL Design Methodology," Technical Report CECS-03-42 (December 2003) pp. 1-16.
	Shirazi, et al., "Quantitative analysis of floating point arithmetic on FPGA based custom computing machines," IEEE Symposium on FPGAs for Custom Computing Machines, IEEE Computer Society Press, April 19-21, 1995, pp. 155-162.
	Siemers, C., "Rechenfabrik Ansatz für Extrem Parallele Prozessoren," Verlag Heinze Heise GmbH., Hannover, DE No. 15, July 16, 2001, pages 170-179.
	Siemers et al., "The >S<puter: A Novel Microarchitecture Mode for Execution inside Superscalar and VLIW Processors Using Reconfigurable Hardware," Australian Computer Science Communications, Volume 20, No. 4, Computer Architecture, Proceedings of the 3 rd Australian Computer Architecture Conference, Perth, John Morris, Ed., February 2-3, 1998, pp. 169-178.
	Simunic, et al., Source Code Optimization and Profiling of Energy Consumption in Embedded Systems, Proceedings of the 13 th International Symposium on System Synthesis, September 2000, pp. 193-198.
	Singh, H. et al., "MorphoSys: An Integrated Reconfigurable System for Data-Parallel Computation-Intensive Applications," University of California, Irvine, CA, and Federal University of Rio de Janeiro, Brazil, 2000, IEEE Transactions on Computers, pp. 1-35.
	Skokan, Z.E., "Programmable logic machine (A programmable cell array)," IEEE Journal of Solid-State Circuits, Vol. 18, Issue 5, October 1983, pp. 572-578.
	Sondervan, J., "Retiming and logic synthesis," Electronic Engineering (January 1993) vol. 65(793), pp. 33, 35-36.
	Soni, M., "VLSI Implementation of a Wormhole Run-time Reconfigurable Processor," June 2001, (Masters Thesis) Virginia Polytechnic Institute and State University, 88 pages.
	Sueyoshi, T., "Present Status and Problems of the Reconfigurable Computing Systems Toward the Computer Evolution," Department of Artificial Intelligence, Kyushi Institute of Technology, Fukuoka, Japan; Institute of Electronics, Information and Communication Engineers, Vol. 96, No. 426, IEICE Technical Report (1996), pp. 111-119 [English Abstract Only]
	Sutton et al., "A Multiprocessor DSP System Using PADDI-2," U.C. Berkeley, 1998 ACM, pp. 62-65.

INFORMATION DISCLOSURE STATEMENT BY APPLICANTS PTO-1449	Attorney Docket No. 2885/139	Serial No. Unassigned
	Applicant(s) VORBACH	
	Filing Date Herewith	Group Art Unit Unassigned

EXAMINER'S INITIALS	AUTHOR, TITLE, DATE, PERTINENT PAGES, ETC.
	Tau, E., et al., "A First Generation DPGA Implementation," <i>FPD'95</i> , pp. 138-143.
	Tenca, A.F., et al., "A Variable Long-Precision Arithmetic Unit Design for Reconfigurable Coprocessor Architectures," University of California, Los Angeles, 1998, pages 216-225.
	The XPP White Paper, Release 2.1, PACT - A Technical Perspective, March 27, 2002, pages 1-27.
	TMS320C54X DSP: CPU and Peripherals, Texas Instruments, 1996, 25 pages.
	TMS320C54x DSP: Mnemonic Instruction Set, Texas Instruments, 1996, 342 pages.
	Tsutsui, A., et al., "YARDS: FPGA/MPU Hybrid Architecture for Telecommunication Data Processing," NTT Optical Network Systems Laboratories, Japan, 1997 ACM, pp. 93-99.
	Vasell et al., "The Function Processor: A Data-Driven Processor Array for Irregular Computations," Chalmers University of Technology, Sweden, 1992, pp. 1-21.
	Villasenor, et al., "Configurable Computing Solutions for Automatic Target Recognition," <i>IEEE</i> , 1996 pp. 70-79.
	Villasenor, et al., "Configurable Computing," <i>Scientific American</i> , Vol. 276, No. 6, June 1997, pp. 66-71.
	Villasenor, et al., "Express Letters Video Communications Using Rapidly Reconfigurable Hardware," <i>IEEE Transactions on Circuits and Systems for Video Technology</i> , IEEE, Inc., NY, December 1995, pp. 565-567.
	Wada, et al., "A Performance Evaluation of Tree-based Coherent Distributed Shared Memory," Proceedings of the Pacific RIM Conference on Communications, Comput and Signal Processing, Victoria, May 19-21, 1993, pp. 390-393.
	Waingold, E., et al., "Baring it all to software: Raw machines," <i>IEEE Computer</i> , September 1997, at 86-93.
	Weinhardt, M., "Compilation Methods for Structure-programmable Computers," dissertation, ISBN 3-89722-011-3, 1997. [TABLE OF CONTENTS AND ENGLISH ABSTRACT PROVIDED]
	Weinhardt, Markus et al., "Pipeline Vectorization for Reconfigurable Systems," 1999, <i>IEEE</i> , pages 52-62.
	Weinhardt, Markus et al., "Pipeline Vectorization," <i>IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems</i> , Vol. 20, No. 2, February 2001, pp. 234-248.
	Weinhardt, Markus et al., "Memory Access Optimization for Reconfigurable Systems," <i>IEEE Proceedings Computers and Digital Techniques</i> , 48(3) (May 2001), pp. 1-16.
	Wittig, et al., "OneChip: An FPGA Processor with Reconfigurable Logic," <i>IEEE</i> , 1996, pp. 126-135.
	Wolfe, M. et al., "High Performance Compilers for Parallel Computing" (Addison-Wesley 1996) Table of Contents, 11 pages.
	Wu, et al., "A New Cache Directory Scheme," <i>IEEE</i> , pp. 466-472, June 1996.
	Xu, H. et al., "Parallel QR Factorization on a Block Data Flow Architecture," Conference Proceeding Article, March 1, 1992, pages 332-336.
	XILINX, "Logic Cell Array Families: XC4000, XC4000A and XC4000H," 1994, product description, pp. 2-7, 2-9, 2-14, 2-15, 8-16, and 9-14.
	XILINX, "Spartan and SpartanXL Families Field Programmable Gate Arrays," January 1999, Xilinx, pp. 4-3 through 4-70.
	XILINX, "The Programmable Logic Data Book," 1994, Section 2, pp.1-231, Section 8, pp. 1, 23-25, 29, 45-52, 169-172.
	XILINX, "XC6200 Field Programmable Gate Arrays," April 24, 1997, Xilinx product description, pp. 1-73.
	XILINX, "XC3000 Series Field Programmable Gate Arrays," November 6, 1998, Xilinx product description, pp. 1-76.
	XILINX, "XC4000E and XC4000X Series Field Programmable Gate Arrays," May 14, 1999, Xilinx product description, pp. 1-68.
	XILINX, "Virtex-E 1.8 V Extended Memory Field Programmable Gate Arrays," July 17, 2002, Xilinx Production Product Specification, pp. 1-118.
	XILINX, "Virtex-II and Virtex-II Pro X FPGA User Guide," March 28, 2007, Xilinx user guide, pp. 1-559.
	XILINX, "Virtex-II and Virtex-II Pro X FPGA Platform FPGAs: Complete Data Sheet," (v4.6) March 5, 2007, pp. 1-302.
	XILINX, "Virtex-II Platform FPGAs: Complete Data Sheet," (v3.5) November 5, 2007, pp.1-226.
	XILINX, "Virtex-E 1.8 V Extended Memory Field Programmable Gate Arrays." (v2.2) September 10, 2002, Xilinx Production Product Specification, pp. 1-52.
	*XILINX, White Paper 370: (Virtex-6 and Spartan-6 FPGA Families) "Reducing Switching Power with Intelligent Clock Gating," Frederic Rivoallon, May 3, 2010, pp. 1-5.

INFORMATION DISCLOSURE STATEMENT BY APPLICANTS PTO-1449	Attorney Docket No. 2885/139	Serial No. Unassigned
	Applicant(s) VORBACH	
	Filing Date Herewith	Group Art Unit Unassigned

EXAMINER'S INITIALS	AUTHOR, TITLE, DATE, PERTINENT PAGES, ETC.
	*XILINX, White Paper 298: (Spartan-6 and Virtex-6 Devices) "Power Consumption at 40 and 50 nm," Matt Klein, April 13, 2009, pp. 1-21.
	Ye, Z.A. et al., "A C-Compiler for a Processor With a Reconfigurable Functional Unit," FPGA 2000 ACM/SIGNA International Symposium on Field Programmable Gate Arrays, Monterey, CA Feb 9-11, 2000, pp. 95-100.
	Yeung, A. et al., "A data-driven architecture for rapid prototyping of high throughput DSP algorithms," Dept. of Electrical Engineering and Computer Sciences, Univ. of California, Berkeley, USA, <i>Proceedings VLSI Signal Processing Workshop, IEEE Press</i> , pp. 225-234, Napa, October 1992.
	Yeung, A. et al., "A reconfigurable data-driven multiprocessor architecture for rapid prototyping of high throughput DSP algorithms," Dept. of Electrical Engineering and Computer Sciences, Univ. of California, Berkeley, USA, pp. 169-178, <i>IEEE</i> 1993.
	Zhang, et al., "Architectural Evaluation of Flexible Digital Signal Processing for Wireless Receivers, Signals, Systems and Computers," 2000; Conference Record of the Thirty-Fourth Asilomar Conference, Bd. 1, 29 October 2000, pp. 78-83.
	Zhang, et al., "A 1-V Heterogeneous Reconfigurable DSP IC for Wireless Baseband Digital Signal Processing," <i>IEEE Journal of Solid-State Circuits</i> , Vol. 35, No. 11, November 2000, pp. 1697-1704.
	Zhang et al., "Abstract: Low-Power Heterogeneous Reconfigurable Digital Signal Processors with Energy-Efficient Interconnect Network," U.C. Berkeley (2004), pp. 1-120.
	Zima, H. et al., "Supercompilers for parallel and vector computers" (Addison-Wesley 1991) Table of Contents, 5 pages.

EXAMINER	DATE CONSIDERED
EXAMINER: Initial if citation considered, whether or not citation is in conformance with M.P.E.P. 609; draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.	

Process for automatic dynamic reloading of data flow processors (DFPs) and units with two- or three-dimensional programmable cell architectures (FPGAs, DPGAs, and the like)

Publication number: JP2001510650 (T)

Publication date: 2001-07-31

Inventor(s):

Applicant(s):

Classification:

- international: G06F15/82; G06F17/50; H03K19/177; G06F15/76; G06F17/50; H03K19/177; (IPC1-7): G06F15/82; H03K19/177

- European: G06F15/78R; H03K19/177

Application number: JP19980529538T 19971222

Priority number(s): DE19961054846 19961227; WO1997DE02998 19971222

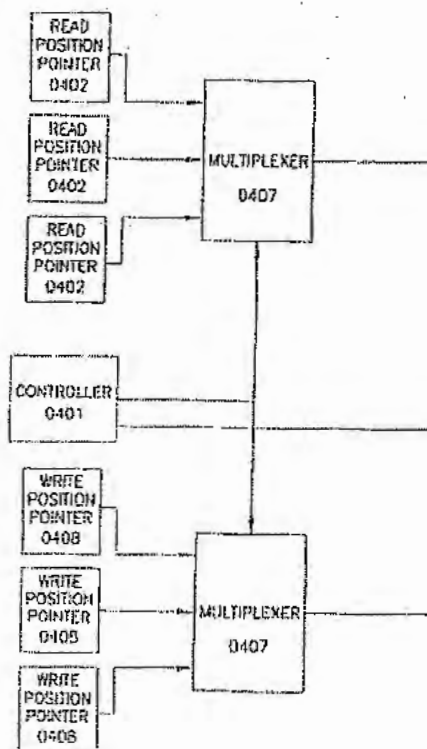
Also published as:

JP3961028 (B2)
US2006031595 (A1)
US2009144485 (A1)
JP2007215203 (A)
AT243390 (T)

Abstract not available for JP 2001510650 (T)

Abstract of corresponding document: US 2006031595 (A1)

In a data-processing method, first result data may be obtained using a plurality of configurable coarse-granular elements, the first result data may be written into a memory that includes spatially separate first and second memory areas and that is connected via a bus to the plurality of configurable coarse-granular elements, the first result data may be subsequently read out from the memory, and the first result data may be subsequently processed using the plurality of configurable coarse-granular elements. In a first configuration, the first memory area may be configured as a write memory, and the second memory area may be configured as a read memory. Subsequent to writing to and reading from the memory in accordance with the first configuration, the first memory area may be configured as a read memory, and the second memory area may be configured as a write memory.



Data supplied from the *espacenet* database — Worldwide

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第3961028号

(P3961028)

(45) 発行日 平成19年8月15日 (2007.8.15)

(24) 登録日 平成19年5月25日 (2007.5.25)

(51) Int. Cl.

F I

H03K 19/177 (2006.01)

H03K 19/177

G06F 15/82 (2006.01)

G06F 15/82 630Z

請求項の数 6 (全 25 頁)

(21) 出願番号	特願平10-529538	(73) 特許権者	ベアアーツェーテー イクスベーパー テ クノロジーズ アクチエンゲゼルシャフト ドイツ連邦共和国 ミュンヘン ムートマ ンシュトラーセ 1
(86) (22) 出願日	平成9年12月22日 (1997.12.22)	(74) 代理人	弁理士 矢野 敏雄
(65) 公表番号	特表2001-510650 (P2001-510650A)	(74) 代理人	弁理士 山崎 利臣
(43) 公表日	平成13年7月31日 (2001.7.31)	(74) 代理人	弁理士 久野 琢也
(86) 国際出願番号	PCT/DE1997/002998	(74) 代理人	弁理士 ラインハルト・アインゼル
(87) 国際公開番号	W01998/029952		
(87) 国際公開日	平成10年7月9日 (1998.7.9)		
審査請求日	平成16年12月3日 (2004.12.3)		
(31) 優先権主張番号	19654846.2		
(32) 優先日	平成8年12月27日 (1996.12.27)		
(33) 優先権主張国	ドイツ (DE)		

最終頁に続く

(54) 【発明の名称】 データフロープロセッサ (DFP) の自動的なダイナミックアンロード方法並びに2次元または3次元のプログラミング可能なセルストラクチャを有するモジュール (FPGA, DPGA等)

(57) 【特許請求の範囲】

【請求項1】

データ処理ユニットであって、該データ処理ユニットは
コンフィギュレーション化可能なエレメントの2次元または多次元のセル装置と、該セル装置に割り当てられているコンフィギュレーションデータ送信ユニットとを有しており、該コンフィギュレーションデータ送信ユニットは
ロードロジック回路として
または
コンフィギュレーションのために使用される内部セルとして
または
コンフィギュレーション信号源として用いられる別の固定的にインプリメントされた機能ユニットとして
実現されている
形式のものにおいて、
個別のコンフィギュレーション化可能なエレメントまたはその群と前記コンフィギュレーションデータ送信ユニットとの間の通信ユニットとして、
スイッチング・テーブルが設けられており、該スイッチング・テーブルは
該コンフィギュレーションデータ送信ユニットからのコンフィギュレーションデータを収容するためのコンフィギュレーションメモリと
制御部と

10

20

を有しており、該制御部は、読み出しおよび／または書き込み位置ポインタを、そこで選択され、前記エレメントまたはその群から通報されたイベントまたはこの種のイベントの組み合わせの到来にตอบสนองしてコンフィギュレーションメモリ場所に移動させて、リアルタイムで、コンフィギュレーション語を前記コンフィギュレーションメモリからコンフィギュレーションすべきエレメントに伝送して、再コンフィギュレーションが実施されることを可能にするように構成されている
ことを特徴とするデータ処理ユニット。

【請求項 2】

前記コンフィギュレーションメモリはリングメモリとして形成されている請求項 1 記載のデータ処理ユニット。 10

【請求項 3】

少なくとも、ステータストリガのためのトリガ入力側（トリガ）を備えている前記通信のためのユニットが設けられている
請求項 1 または 2 記載のデータ処理ユニット。

【請求項 4】

前記制御部は、トリガパルスにตอบสนองするように構成されており、かつ個々のトリガパルスをマスクアウトするためおよび／または前記通信ユニットがそれにตอบสนองする、到来するトリガパルスの極性を予め定めるための手段が設けられている
請求項 1 から 3 までのいずれか 1 項記載のデータ処理ユニット。 20

【請求項 5】

前記制御部は、所定のコンフィギュレーションされたメモリアドレスを生成するように構成されているアドレス発生器を有している
請求項 1 から 4 までのいずれか 1 項記載のデータ処理ユニット。

【請求項 6】

ロードロジック回路としてまたはコンフィギュレーションのために使用される内部セルとしてまたはコンフィギュレーション信号源として用いられる別の固定的にインプリメントされた機能ユニットとして実現されているコンフィギュレーションデータ送信ユニットを用いて、コンフィギュレーション化可能なモジュールのセル装置における個別のコンフィギュレーション化可能なエレメントまたはその群を再コンフィギュレーションする方法であって、 30

コンフィギュレーションデータは前記コンフィギュレーションデータ送信ユニットからスイッチング・テーブルに送信され、

該スイッチング・テーブルは該コンフィギュレーションデータ送信ユニットからのコンフィギュレーションデータを收容するためのコンフィギュレーションメモリと制御部とを有しており、該制御部は、読み出しおよび／または書き込み位置ポインタをそこで選択されかつ前記エレメントまたはその群から通報されたイベントまたはこの種のイベントの組み合わせの到来にตอบสนองしてコンフィギュレーションメモリ場所に移動させるように構成されておりかつこうして該制御部によって予め定められた、コンフィギュレーションメモリの場所にてかつ選択されたイベントにตอบสนองして、コンフィギュレーションデータが前記コンフィギュレーションメモリから個々のコンフィギュレーション化可能なエレメントまたはその群に伝送される 40

ことを特徴とする方法。

【発明の詳細な説明】

発明の背景

従来技術

今日使用されているプログラミング可能なモジュール（D F P = Datenflußprozessoren, F P G A = Field Programmable Gate Arrays）は 2 つの異なる形式においてプログラミングすることができる：

1. 1 回限り、即ちプログラミング後、コンフィギュレーションをもはや変更することは 50

できない。従って、モジュールのすべてのコンフィギュレーション化されたエレメントは、使用されている時間間隔全体にわたって同じ機能を実施する。

2. 作動中、即ち、コンフィギュレーションは、モジュールの組み込み後、コンフィギュレーションファイルのロードによって、使用のスタート開始時に変更することができる。大抵のモジュール（殊に、FPGAモジュール）は、作動期間中、これ以上は再コンフィギュレーションは行われぬ。再コンフィギュレーション化可能なモジュールでは、再コンフィギュレーションを行う期間のデータの引き続く処理は大抵は可能ではなくかつ所要時間は著しく大きすぎる。

プログラミング可能なモジュールには、ハードウェアインタフェースによってモジュールのコンフィギュレーションデータがロードされる。この過程は緩慢でかつ大抵、コンフィギュレーションデータがファイルされている外部メモリに対して、制限された帯域幅に基づいて、数百ミリ秒を必要とする。その後、プログラミング可能なモジュールは、コンフィギュレーションファイルにおいて記述されているような所望の／プログラミングされた機能において使用されるようになる。コンフィギュレーションは、任意の長さの特有のビットパターンをモジュールのコンフィギュレーション化可能なエレメントにエントリすることによって生じる。コンフィギュレーション化可能なエレメントは、例えば、すべての種類のRAMセル、マルチプレクサ、ネットワークのためのエレメントまたはALU（= Arithmetic Logic Unit：プロセッサの中央機能ブロック）とすることができる。コンフィギュレーション語は、このようなエレメントに記憶されるので、エレメントはコンフィギュレーション語によって調整設定されたそのコンフィギュレーションを作動の時間期間にわたって維持する。

問題

現存する方法および手法には一連の問題がある。これらは次のようなものである：

1. DFT（ドイツ連邦共和国特許出願公開第4416881号公報参照）またはFPGAにおけるコンフィギュレーションを変更しようとするとき、コンフィギュレーションの非常に小さな部分しか変更すべきでない場合でも、コンフィギュレーションファイル全体をプログラミングすべきモジュールに伝送することがいつでも必要である。

2. 新しいコンフィギュレーションのロードの期間、モジュールはデータを引き続き処理できないまたはできたとしても非常に制限されている。

3. モジュール当たりのコンフィギュレーション化可能なエレメントの数がますます大きくなることによって（殊に、FPGAモジュールにおいて）、これらモジュールのコンフィギュレーションファイルは同様にますます大きくなる（この間に、数百キロバイトのデータ）。それ故に、大きなモジュールにコンフィギュレーションを行うことは非常に長い時間がかかりかつこのために実行時間中の再コンフィギュレーション化はしばしば不可能になりまたはモジュールの動作が妨げられる。

4. 実行時にモジュールを部分コンフィギュレーション化する場合、いつも、中央のロジック・エンティティが利用される。このエンティティを介してすべての再コンフィギュレーション化が管理される。このために、非常に高い交信および同期コストがかかることになる。

発明による改良

本発明によってプログラミング可能なモジュールの再コンフィギュレーション化が著しく高速に可能である。本発明により、プログラミング可能なモジュールの種々様々なコンフィギュレーションの、実行時でのフレキシブルな利用が可能になり、しかもこの場合プログラミング可能なモジュールの動作能力が妨げられることもないし、停止されることもない。モジュールのコンフィギュレーションの変更は同時に実施され、従って、状況によっては、別のコンフィギュレーションデータを伝送する必要なしに、非常に高速に行うことができるようになってきている。この方法は、あらゆる種類の、コンフィギュレーション化可能なモジュールのコンフィギュレーション化可能なエレメントに対して、並びにあらゆる種類のコンフィギュレーションデータに対して、モジュール内部でこれらがどんな目的のために定められているかに無関係に、使用することができる。本発明によって、従来のモ

ジュールのスタチックな制限を取り除きかつ既存のコンフィギュレーション可能なエレメントの利用度の改善を実現することができる。一時メモリを導入することによって、同一のデータを介して多数の種々様々な機能を実施することができる。詳細および特別な実施例、並びに本発明のバスシステムの特徴は従属請求項の対象である。

発明の説明

発明の概観、要約

プログラミング可能なモジュールには、多数のリングメモリが存在している。それは、独自のアドレス制御部を有しているメモリである。このアドレス制御部は、それがメモリの終わりに達したとき、その始めにおいて更に作動するので、これによりリングが生じる。このリングメモリは、書き込みかつ読み出しながら、コンフィギュレーションレジスタ、
10
即ち、コンフィギュレーションすべきエレメントの、コンフィギュレーションデータを受け取る回路にアクセスすることができる。この種のリングメモリは所定数のエントリを有し、これらエントリは、ドイツ連邦共和国特許出願公開第 4 4 1 6 8 8 1 号公報に記載されているように、ロードロジックによって、コンフィギュレーションデータがロードされる。その際エントリの構成は、そのデータフォーマットがリングメモリに接続されているコンフィギュレーション化可能な単数または複数のエレメントに相応しかつ有効なコンフィギュレーションの調整設定を実現するように選択されている。

更に、読み出し位置ポインタが存在し、これは、リングメモリのエントリの 1 つを実読み出しエントリとして選択する。読み出し位置ポインタは、リングメモリ内の任意の位置／エントリに対する制御によって移動させることができる。更に、書き込み位置ポインタが
20
存在し、これは、リングメモリのエントリの 1 つを実書き込みエントリとして選択する。書き込み位置ポインタは、リングメモリ内の任意の位置／エントリに対する制御によって移動させることができる。

実行時に、このリングメモリを介して、コンフィギュレーション語をコンフィギュレーションすべきエレメントに伝送して、データを中央のロジックによって管理または伝送する必要なしに、再コンフィギュレーションを実施することができる。複数のリングメモリの使用によって、数多くのコンフィギュレーション化可能なエレメントを同時に再コンフィギュレーション化することができる。

リングメモリはコンフィギュレーション化可能なセルの完全な制御によって複数のコンフィギュレーションモード間で切り替わることができるので、これはスイッチング・テーブルと称される。
30

発明の詳細な説明

プログラミング可能なモジュールまたはこのモジュールに接続されている外部に、多数のリングメモリが存在している。単数または複数のリングメモリに対応して、これらリングメモリを制御する 1 つまたは複数の制御部が設けられている。これら制御部は、ドイツ連邦共和国特許出願公開第 4 4 1 6 8 8 1 号公報に記載されているロードロジックの部分である。リングメモリは、1 つまたは多数のコンフィギュレーション化可能なモジュールのコンフィギュレーション化すべきエレメントに対するコンフィギュレーション語を含んでおり、その際コンフィギュレーション化可能なエレメントは、明らかに、機能群のネットワーク化のためにも用いられかつ従来技術の、バス構造を相互接続するためのクロスオーバー回路またはマルチプレクサとすることができる。
40

リングメモリおよびリングメモリの制御部は、ハードウェアに直接に具体化実現することができるが、またはコンフィギュレーションを行うことができるモジュール（例えば F P G A）の 1 つまたは複数のコンフィギュレーションを行うことができるセルのコンフィギュレーション化によって漸く生じるようにすることもできる。

リングメモリとして、従来技術のリングメモリを使用することができる。殊に、次のような特性を有するリングメモリおよび／または制御部を使用することができる：

1. この特性において、全部のエントリは利用されず、かつリングメモリの読み出しおよび／または書き込み位置ポインタがリングメモリの始めまたは終わりにセットされる位置を指示するための能力を有している特性。これは例えば、命令語（STOP, GOTO 等
50

）、スタート位置およびストップ位置を記憶するカウンタまたはレジスタによって具体化実現される。

2. リングメモリの、独立したセクションにおける切り離しを可能にしかつリングメモリの制御部を、例えば後で説明するイベントを介して、該制御部がこれらセクションの1つにおいて動作するように調整設定することができる特性。

3. 独立したセクションにおけるリングメモリの切り離しを可能にする特性およびそれぞれ1つのセクションにおいて動作する多数の制御部がある。その際、多数の制御部が同じセクションにおいて動作することもできる。このことはアービタ回路によって実現することができる。この場合、若干の処理サイクルが消失する。更に、RAMに代わってレジスタを使用することができる。

10

4. それぞれの制御部は1つまたは複数の読み出し位置ポインタおよび／または1つまたは複数の書き込み位置ポインタを有している。

5. これらの位置ポインタは前方向および／または後ろ方向に移動することができる。

6. これらの位置ポインタは、1つまたは複数のイベントに基づいて始め、終わりまたは指定された位置にセットすることができる。

7. 制御部はマスクレジスタを有しており、これを用いて、データ語のエントリにより、多量のすべての可能なイベントから部分量を選択することができる。これら、イベントの部分量だけがイベントとして制御部に転送されかつ1つまたは複数の位置ポインタの先送りをトリガする。

8. システムクロック内の複数のエントリの処理を可能にするために、本来のシステムクロックの数倍のクロックによって動作する（オーバサンプリング）制御部。

20

スイッチング・テーブルの制御は通例のステート・マシーンによって具体化実施される。

1つの従来のリングメモリを必要とする簡単な制御の他に、プログラミング可能なモジュール（殊に、FPGAおよびDPGA（Dynamically Programmable Gate Arrays、FPGAの新しいサブグループ）の、本発明において説明されるスイッチング・テーブルの制御を実施または場合により拡張するために、最も好都合には次のような特性を有する制御部が適している：

1. 特有な命令語を識別することができる制御部。命令語は標識を有していることによって他とは相異している。即ち、この標識によって制御部は、リングメモリのエントリのデータをデータ語としてではなくて、命令語として識別することができる。

30

2. 特有な命令語を実行することができる制御部。殊に、ステート・マシンのシーケンスを変更するおよび／またはリングメモリのエントリを、データ処理機能によって変更することができるような命令。

3. 識別語を識別することができ、かつこの識別語に基づいて内部の一層高速な（オーバサンプリング）クロックによってリングメモリのその他のエントリを処理する制御部。これは、終わり識別語に達したときまで、またはオーバサンプリング・クロックを制御するクロックの次のクロックサイクルに達したときまで行われる。

命令語を用いた制御を必要とするスイッチング・テーブルの有意な制御に対する命令語として、特に、直ぐ次に挙げる命令またはこれらの命令の一部が考えられる。位置ポインタに関する命令語は、その都度、1つまたは複数の読み出し位置ポインタに適用することができるが、または1つまたは複数の書き込み位置ポインタに適用することができる。

40

可能な命令語：

1. WAIT命令。

WAIT命令により制御部は、次のイベントまたは次の（また種々異なった）イベントが到来するまで待つことになる。この状態の間、単数または複数の読み出し／書き込み位置ポインタが先に送られない。1つまたは複数のイベントが到来すると、単数または複数の読み出し／書き込み位置ポインタは次のエントリに位置決めされる。

2. SKIP命令。

SKIP命令はリングメモリの、指定された数のエントリを次の2つの方法のいずれかで飛び越す：

50

a. SKIP 1命令は揃って1つの処理サイクルにおいて実施される。例えばSKIP 5が指定されると、1つの処理サイクルにおいてその時点の読み出し／書き込みエントリから5エントリ前（後ろ）に位置するエントリに飛び越される。

b. SKIP 2命令は或る数の処理サイクル後に漸く実施される。ここで、例えば、命令SKIP 5は5つの処理サイクル後に漸く実施されるということが考えられる。その際ここでも、その時点のエントリから、5エントリが前方に飛び越される。即ち、パラメータ（この例では5）はこの方法では2回利用される。

飛び越し方向の指定は、極性の付いた数を使用することによって単数または複数の位置ポインタの前方向においても、後ろ方向においても終わることができる。

3. SWAP命令。

SWAP命令は、2つの指定されたエントリのデータを相互に交換する。

4. RESET命令。

RESET命令は、単数または複数の読み出し／書き込み位置ポインタをリングメモリ内の始めおよび／または指定されたエントリ位置にセットする。

5. WAIT-GOTO命令。

WAIT-GOTO命令は、上述したWAIT命令のように、1つまたは複数のイベントを待ちかつそれから、読み出し／書き込み位置ポインタの、定義された開始状態への位置決めを1つまたは複数の処理サイクル内で実施する。

6. NOP命令。

NOP命令は、動作を実施しない。リングメモリからのデータはコンフィギュレーションを行うべきエレメントに伝送されないし、位置ポインタも変更されない。従ってNOP命令はエントリを重要でないとして特徴付けるが、このエントリは、リングメモリの制御部によって応答されかつ評価され、それは1つまたは複数の処理サイクルとして必要である。

7. GOTO命令。

GOTO命令は1つまたは複数の読み出し／書き込み位置ポインタを指定されたエントリ位置に位置決めする。

8. MASK命令。

MASK命令は新しいデータ語をマルチプレクサに書き込み、マルチプレクサが種々異なったイベントを選択する。従って、この命令を用いて、制御部が応答するイベントを変更することができる。

9. LIBACK命令。

LIBACK命令は、ロードロジックに対する応答を発生する（ドイツ連邦共和国特許出願公開第4416881号公報の意味において）。この命令によって、スイッチング・テーブルはモジュールの比較的大きな領域のアンロードを行うことができるようになる。しかし殊にそれ自体のアンロードを。

10. 読み出し／修正／書き込みサイクルをトリガする命令

この命令は別のエントリにある命令またはデータの読み出しを、例えば制御部、ロードロジックまたはスイッチングテーブルの外部にあるエレメントによって実施する。これらデータはそれから、任意の手法で処理されかつ再び、スイッチング・テーブルのリングメモリにおける同じ位置または別の位置に書き込まれる。このことは、スイッチング・テーブルの処理サイクルの時間区間において行うことができる。その場合この過程は、位置ポインタの次の新しい位置決めの前に終了している。

リングメモリのエントリの構成は次のフォーマットを有している：

データ/命令	ラン/ストップ	データ
--------	---------	-----

第1のビットはエントリを命令またはデータ語として特徴付ける。スイッチング・テーブルの制御部は、エントリのデータ部におけるビットチェーンが命令またはコンフィギュレーションデータとして扱われるかどうかを判断する。

第2のビットは、制御が即刻、別のイベントが到来することがなくても、次のエントリによって続行されるべきであるか、または次のイベントが持たれるべきであることを特徴付け

10

20

30

40

50

る。オーバサンプリングが使用され、かつRUNビットがセットされると、次のエントリがこのオーバサンプリングクロックを用いて処理される。このことは、エントリがセットされたRUNビットなしに実現される、またはオーバサンプリングクロックレートにおいてシステムクロック内に処理することができるエントリの数に達するまでの間行われる。オーバサンプリング方法が使用されなければ、通常のシステムクロックおよびセットされたRUNビットによって先送りが行われる。RUN（ラン）ビットによって特徴付けられた命令列のシーケンスの期間に到来するイベントが評価されかつトリガ信号がフリップフロップに記憶される。制御部はこのフリップフロップを、セットされたRUNビットのないエントリに達したとき、再び評価する。

エントリの残りは、種類に応じて（データまたは命令）すべての必要な情報を含んでいるので、その結果制御部はそのタスクを完全に実施することができる。 10

リングメモリの大きさは用途に応じて具体化実現可能であり、殊にこのことは、リングメモリが1つまたは複数のコンフィギュレーション化可能なセルのコンフィギュレーション化によって生じるプログラミング可能なモジュールに対して当てはまる。

その際リングメモリは、コンフィギュレーションを行うべきエレメント、またはコンフィギュレーションを行うべきエレメントの群に、選択されたコンフィギュレーション語（リングメモリにおける）がコンフィギュレーションを行うべきエレメント、またはコンフィギュレーションを行うべきエレメントの群のコンフィギュレーションレジスタにエントリされるように接続されている。

これにより、コンフィギュレーションを行うべきエレメント、またはコンフィギュレーションを行うべきエレメントの群の有効でかつ作業能力のあるコンフィギュレーションが生じる。 20

それぞれのリングメモリは、1つの制御部または複数の制御部を有しており、これらは読み出し位置ポインタおよび／または書き込み位置ポインタの位置決めを制御する。

制御部は、ドイツ連邦共和国特許出願公開第4416881号公報に記載されている応答チャネルを用いて、モジュールの別のエレメントにまたはモジュール内で伝送される外部のイベントによって（例えば割り込み、I/Oプロトコル等）応答することができかつこれら内部または外部のイベントに対する応答として、読み出し位置ポインタおよび／または書き込み位置ポインタを別のエントリに動かす。

イベントとして例えば次のものが考えられる： 30

1. 計算装置のクロックサイクル。
2. 内部または外部の割り込み信号。
3. モジュール内の別のエレメントのトリガ信号。
4. データフローおよび／または命令フローの、或る値との比較。
5. 入力／出力イベント。
6. カウンタの作動、オーバフロー、新たなセット等。
7. 比較の評価。

モジュールに複数のリングメモリがあるのであれば、各リングメモリの制御部は種々異なったイベントに応答するようにすることができる。

読み出し位置ポインタが新しいエントリに移る度毎に、このエントリに含まれているコンフィギュレーション語が、リングメモリに接続されている1つのコンフィギュレーション化可能なエレメントまたは複数のコンフィギュレーション化可能なエレメントに伝送される。 40

この伝送は、再コンフィギュレーション化には関係しない、モジュールの部分の動作手法が考慮されないように行われる。

単数または複数のリングメモリは、モジュール内にあってよいが、外部のインタフェースを介して、外部からモジュールに接続されるようにしてもよい。

その際モジュール当たりに複数の独立したリングメモリも考えられる。これらのリングメモリはモジュールの1つの区域にまとめることができるが、または効果的な方法で、モジュールの面にわたって分配されて配置されている。 50

コンフィギュレーションデータは、ドイツ連邦共和国特許出願公開第4416881号公報から公知のようなロードロジックによって、またはモジュールの別の内部セルによってスイッチング・テーブルのメモリにロードされる。その際コンフィギュレーションデータを、ロードロジックによって、またはモジュールの別の内部セルによって同時に複数の種々異なったスイッチング・テーブルに伝送して、スイッチング・テーブルの同時のロードを可能にすることもできる。

その際コンフィギュレーションデータは、データ処理装置の主メモリ内にあってもよくかつロードロジックに代わって、DMAまたはプロセッサ制御されるデータトランスファのような公知の方法によって伝送することができる。

ロードロジックによるスイッチング・テーブルのリングメモリのロードの後、スイッチング・テーブルの制御部はスタート状態にセットされ、モジュール全体またはモジュールの部分の有効なコンフィギュレーションを調整設定する。そこでスイッチング・テーブルの制御部は、到来するイベントに対する応答として、読み出し位置ポインタおよび/または書き込み位置ポインタの新たな位置決めを始める。

新しいデータの、1つのスイッチング・テーブルまたは多数のスイッチング・テーブルへのロードを開始するために、制御部は信号をロードロジックに、ドイツ連邦共和国特許出願公開第4416881号公報の意味において、または新しいデータの、スイッチング・テーブルのリングメモリへのロードを行っている、モジュールの別の内部部分に返送することができる。この種の応答のトリガは、特有の命令の評価、カウンタ状態によって行うことができるが、または外部から（ドイツ連邦共和国特許出願第19651075.9号明細書のステート・バック・ユニットにおいて記載されているように）行うことができる。ロードロジックまたはモジュールの別の内部セルはこの信号を評価し、この信号によっては変更されたプログラム実行によって応答し、かつ新しいまたは別のコンフィギュレーションデータを単数または複数のリングメモリに伝送する。そこでその場合、信号の評価に基づいてデータ伝送に関与しているリングメモリのデータだけを伝送すればよい。もはやモジュール全体のコンフィギュレーションデータを伝送する必要はない。

一時メモリ

個々のコンフィギュレーション化可能なエレメントまたはその群（以下に機能エレメントと称する）に1つのメモリを接続することができる。このメモリの実現のために従来技術による多数の方法を使用することができ、殊に、FIFOが適している。機能エレメントによって生成されるデータはメモリに、データパケットが同じ実施すべき演算によって処理されるまでの間、またはメモリが一杯になるまでの間記憶される。その際スイッチング・テーブルを介してコンフィギュレーションエレメントが再コンフィギュレーション化され、即ちエレメントの機能は変化する。その際スイッチング・テーブルに対するトリガ信号として、メモリが一杯であることを指示するフルフラグを用いることができる。データ量を任意に決定することができるようにするために、フルフラグの位置がコンフィギュレーション化可能であり、即ちメモリは同様に、スイッチング・テーブルによってコンフィギュレーションを行うことができる。メモリにおけるデータは、コンフィギュレーションエレメントに導かれかつデータに関する新しい演算が実施される。データは、新しい計算に対するオペランドである。その際メモリからのデータだけを処理することができ、または更に、別のデータが外部から（モジュールの外部または別の機能エレメントから）到来する。データの処理の際、これら（演算の結果）は後続のコンフィギュレーションエレメントに転送することができ、または再度、メモリに書き込むことができる。メモリに対して書き込むアクセスも読み出すアクセスも可能にするために、メモリは2つのメモリバンクから成っていることができ、これらメモリバンクは交番的に処理されるかまたは同一のメモリに対する別個の読み出しおよび書き込み位置ポインタが存在している。特別な実施の形態は、複数の、上述したメモリの接続である。これにより、複数の結果を別個のメモリにファイルしかつ所定の時点で、所定の機能を実施するために、複数のメモリ領域が同時に1つの機能エレメントの入力側に導かれかつ計算に組み入れられる。

リングメモリのエントリの構成

次に、ドイツ連邦共和国特許出願公開第 4 4 1 6 9 9 1 号公報に記載されているように、データ処理装置に使用されるスイッチング・テーブルのリングメモリへのエントリの可能な構成について説明する。次の表には、命令語の個別ビットに基づいた命令構成が記述されている：

ビット番号	名 前	意 味
0	データ/命令	エントリをデータ語または命令語として特徴付ける
1	ラン/ストップ	ランモードまたはストップモードを特徴付ける

10

従って、エントリがデータエントリであれば、ビット番号 0 は値 0 を有し、即ち位置 2 からのビットは次の意味を有している：

ビット番号	名 前	意 味
2～6	セル番号	一緒にスイッチングテーブルを使用する、グループ内のセルの番号を指定する
7～11	コンフィギュレーションデータ	セル（例えばEALU）を実施すべき機能を指定する

20

従って、エントリが命令であれば、ビット番号 0 は値 1 を有し、即ち位置 2 からのビットは次の意味を有している：

ビット番号	名 前	意 味
2～6	命令の番号	スイッチング・テーブルの制御によって実施される命令の番号を指示する
7	書き込み/読み出し位置ポインタ	命令がリングメモリの書き込みまたは読み出し位置ポインタに適用されるべきかどうかを指示する
8～n	データ	命令に応じて、ビット 8 から命令のために必要とされるデータが記憶される

30

40

次の表には、ここに挙げるそれぞれの命令に対するビット 2～6 および 8～n の意味が示されている。データ語のビット幅全体は、スイッチング・テーブルが使用される使用のモ

50

ジュールに依存している。ビット幅は、命令のために必要なすべてのデータが位置 8 からのビットにおいてコード化することができるように、選択すべきである。

命 令	ビット	ビット 0~n 意 味
WAIT	00 00 0	何回イベントを待つべきかの数
SKIP1	00 00 1	前方に（負であれば後方に）いくつのエン トリを飛び込すべきであることを指示する極 性の付いた数
SKIP2	00 01 0	SKIP1参照
SWAP	00 01 1	1.エントリ位置、2.エントリ位置
RESET	00 10 0	位置ポインタがセットされるべきエントリ の番号
WAIT- GOTO	00 10 1	何回イベントを待つべきかの数と続いて位 置ポインタがセットされるべきエントリの 番号
NOP	00 11 0	機能なし
GOTO	00 11 1	位置ポインタがセットされるべきエントリ の番号
MASK	01 00 0	マルチプレクサにおいてイベントの選択の ためにエントリされるビットパターン
LLBACK	01 00 1	ロードロジックに対するトリガ信号が生成 される（応答）

10

20

30

A L U の再コンフィギュレーション化

更に、A L U を制御するために 1 つまたは複数のスイッチング・テーブルを使用することが考えられる。本発明は、例えば、スイッチング・テーブルが M / F - P L U R E G レジスタに接続されるまたは M / F - P L U R E G レジスタ全体がスイッチング・テーブルによって置換されるドイツ連邦共和国特許第 1 8 6 5 1 0 7 5 . 9 号明細書の改良として利用することができる。

【図面の簡単な説明】

第 1 図は、リングメモリの基本的な構成を示し、

40

第 2 図は、リングメモリの内部構成を表し、

第 3 図は、選択可能な作業領域を有するリングメモリを示し、

第 4 図は、リングメモリおよびリングメモリの種々異なったセクションに対する複数の書き込みおよび読み出し位置ポインタを介して作業することができる制御部を示し、

第 5 図は、種々異なるセクションにける種々異なった制御部がアクセスするリングメモリを表し、

第 6 図は、リングメモリと、コンフィギュレーション化可能なエレメントとの接続を示し、

第 7 図は、種々異なったトリガ信号に応答することができるようにするためにロジックを有する制御部を示し、a) はトリガパルスに対するマスクの実現を示し、

50

第 8 図は、制御部に対するクロック発生器を示し、
 第 9 図は、コンフィギュレーションを行うべきエレメントのコンフィギュレーション化を可能にするために、制御部と内部セルとの相互接続を示し、
 第 10 図は、リングメモリにファイルされている命令の、制御部による処理を説明し、
 第 11 図は、リングメモリに記憶されているデータの処理を説明し、
 第 12 図は、2つのメモリバンクから成る一時メモリの、コンフィギュレーション化可能な多数のエレメントに対する接続を示し、a～dはデータ処理のシーケンスを示し、
 第 13 図は、別個の書き込み／読み出しポインタを有する一時メモリの、多数のコンフィギュレーション化可能な多数のエレメントに対する接続を示し、
 第 14 図は、別個の書き込み／読み出しポインタを有する一時メモリの機能の手法を示し 10
 、
 第 15 図は、それぞれ2つのメモリバンクから成る2つの一時メモリの、コンフィギュレーション化可能な多数のエレメントに対する接続を示し、a～cはデータ処理のシーケンスを示す。

図面の詳細な説明

第 1 図には、リングメモリの基本構成が示されている。それは、書き込み位置ポインタ 0101 と読み出し位置ポインタ 0102 とから成っている。これらポインタはメモリ 1030 にアクセスする。このメモリは RAM またはレジスタとして実現されていてよい。書き込み／読み出し位置ポインタを用いて、RAM のアドレス 0104 が選択される。このアドレスに、選択されたアクセス形式に依存して、入力データを書き込み、またはそのデータを 20
読み出すことができる。

第 2 図には、単純なリングメモリの内部構成が示されている。書き込み／読み出し位置ポインタに対してそれぞれ1つのカウンタが使用できるようになっている。0201 は読み出し位置ポインタ 0204 のカウンタを表しかつ 0206 は書き込み位置ポインタ 0205 のカウンタである。2つのカウンタ 0201、0206 はそれぞれ、大域的なリセット入力側と、計数方向を決めるアップ／ダウン入力側を有している。入力側にカウンタの出力が加わるマルチプレクサ 0202 を介して、メモリ 0203 のアドレスを指示する書き込み位置ポインタ (0205) と読み出し位置ポインタ (0204) とが切り換えられる。書き込みアクセスおよび読み出しアクセスは信号 207 を介して実施される。書き込みアクセスまたは読み出しアクセスの都度、それぞれのカウンタは1位置づつ歩進計数される。30
そこで、書き込み位置ポインタ (0205) と読み出し位置ポインタ (0204) がメモリの最後の位置 (アップ方向に計数するカウンタの場合は最後のアドレスまたはダウン方向に計数するカウンタの場合は最初のアドレス) を示すと、書き込みまたは読み出し位置ポインタ 0205、0204 は次のアクセスでメモリ 0203 の最初の位置にセットされる (アップ方向に計数するカウンタの場合は最初のアドレスまたはダウン方向に計数するカウンタの場合は最後のアドレス)。このようにして、リングメモリの機能が生じる。

図 3 には、通常のリングメモリの拡張が示されている。この拡張された構成では、書き込み位置ポインタ 0311 のカウンタ 0303 および読み出し位置ポインタ 0312 のカウンタ 0309 は1つの値をロードすることができるので、メモリのそれぞれのアドレスは 40
直接調整設定することができる。このロード過程は通例のように、カウンタのデータおよびロード入力側を介して行われる。更に、リングメモリの作業領域を内部メモリ 0306 の所定のセクションに制限することができる。このことは、書き込み位置ポインタ 0311 のカウンタ 0303 および読み出し位置ポインタ 0312 のカウンタ 0309 を制御する内部ロジックによって行われる。このロジックは次のように構成されている：カウンタ (0303、0309) の出力側はそれに属するコンパレータ (0302、0308) の入力側に導かれる。そこで、それぞれのカウンタの値が、それぞれのデータレジスタ (0301、0307) の値と比較される。データレジスタには、飛び越し位置、即ちリングメモリのセクションの終わりが記憶されている。2つの値が一致すると、コンパレータ (0302、0308) は信号をカウンタ (0303、0309) に送出する。そこでカウ 50

ンタは、飛び越しの目標アドレスに対するデータレジスタ（0304，0310）から値、即ちリングメモリのセクションの始めをロードする。飛び越し位置に対するデータレジスタ（0301，0307）および飛び越しの目標アドレスに対するデータレジスタ（0304，0310）はロードロジック（ドイツ連邦共和国特許出願公開第4416881号公報参照）によってロードされる。この拡張によって、リングメモリが内部メモリの全部の領域を使用せず、選択された部分だけを使用することが可能である。更に、このような書き込み／読み出し位置ポインタ（0311，0312）を複数個使用する場合、メモリを種々のセクションに分割することができる。

第4図には、複数のセクションに分配されているリングメモリの構成が示されており、その際制御部401はこれらセクションの1つにおいて動作する。制御部は第7図に基づいて詳細に説明する。リングメモリを複数のセクションに分割できるようにするために、その構成が第3図に示されていた、複数の書き込み／読み出し位置ポインタ0402，0408が使用される。その際制御部は、それが動作する領域をマルチプレクサ0407を介して選択する。書き込みまたは読み出しアクセスはマルチプレクサ0403を介して選択される。従って、メモリ0404のアドレスは選択された書き込み／読み出し位置ポインタによってアドレッシングされる。

10

第5図には、複数の制御部0501が制御部につきそれぞれ1つの書き込みおよび読み出し位置ポインタ0506，0502を介してリングメモリの固有の領域において動作する例が示されている。その際それぞれの制御部0501には書き込み位置ポインタ0506および読み出し位置ポインタ0502が配属されている。複数の書き込みおよび読み出し位置ポインタ0506，0502のいずれかがメモリ0504をアクセスするかは、マルチプレクサ0505を介して選択される。マルチプレクサ0503を介して書き込みアクセスまたは読み出しアクセスが選択される。制御部0501の書き込み／読み出し信号はマルチプレクサ0507を介してメモリ0504に達する。マルチプレクサ0507，0505，0503の制御信号は制御部0501からアービタ0508を介してマルチプレクサに行く。アービタ0508によって、複数の制御部が同時に、マルチプレクサ0507，0505，0503にアクセスすることが妨げられる。

20

第6図には、リングメモリ0601およびコンフィギュレーションエレメント0602とその接続が示されている。リングメモリ0601は0604，0605，0606を介して接続されている。0604を介して問題のセル0607のアドレスが伝送される。線路0605はリングメモリからコンフィギュレーションデータを伝送する。セル0607は線路0606を介して、再コンフィギュレーション化が可能であるかどうかの応答を伝送する。リングメモリにファイルされているデータはコンフィギュレーションエレメント0602にエントリされる。このコンフィギュレーションエレメント0602はコンフィギュレーション化可能なエレメント0603のコンフィギュレーションを決定する。コンフィギュレーション化可能なエレメント0603は例えば論理ユニット、ALUから成っていることができる。

30

第7図には、種々異なったトリガイベントに応答することができる制御部が示されている。その際個々のトリガイベントはマスキング可能であるので、常に、1つのトリガイベントのみがあるものと見なされる。このことはマルチプレクサ0701によって行われる。トリガ信号はフリップフロップ0704によって記憶される。ANDゲートを介してマスクとしても構成することができるマルチプレクサ0702（第7a図参照）は、ロー・アクティブなトリガ信号およびハイ・アクティブなトリガ信号を処理することができるようにするために用いられる。フリップフロップに記憶されているトリガ信号は0705を介してクロック発生部に転送される。クロック発生部については第8図を用いて説明する。ステートマシン0703にはクロック発生のためのロジックからクロック（CLK）が供給されかつその入力信号に依存して出力信号と、フリップフロップ0704をリセットしかつ次のトリガ信号まで処理を停止するためにリセット信号を送出する（CLR）。この具体例の利点は、クロック遮断時の電流節約である。というのは、その場合ステートマシン0703はスタチックだからである。クロックが常に加わっていて、ステートマシ

40

50

ーンが命令デコーダおよびラン・ビットの状態によって制御される具体化実施も同様に考えられる。

第7a図には、トリガ信号のマスクングが示されている。トリガ信号およびAの線路は、ANDゲート0706の入力側に接続されている。ANDゲート0706の出力側は0707にOR結合されていて、出力信号を発生する。

第8図には、ステートマシンに対するクロック発生のためのロジックが示されている。0801において、PLLを用いて別のクロックが発生される。それからマルチプレクサ0802を介して、通常のチップクロックかまたはPLL0801のクロックが使用されるかを選択することができる。ORゲート0804には信号CおよびBが加わる。信号Cは制御部におけるトリガイベントに基づいて発生される(第7図の0705参照)。信号Bは命令語のビット1から(第10図の1012参照)から到来する。このビットは、ラン・フラグの機能を有しているので、制御部はラン・フラグがセットされている場合にトリガパルスに無関係に引き続き動作する。ORゲート0804の出力側はマルチプレクサ0802の出力によって丸められかつこのようにしてステートマシンに対するクロックを生成する。

第9図には、制御部0907と、メモリ0901を有するロードロジック0902と、リングメモリ0906と、コンフィギュレーション化可能なエレメント0905と、コンフィギュレーションエレメント0908と、コンフィギュレーションのために利用される内部セル0903との間の接続が示されている。ここで、コンフィギュレーションのために利用される内部セル0903は、コンフィギュレーション化可能なエレメント0905と、コンフィギュレーションエレメント0908とを有する通常のセルとして示されている。リングメモリ0906はコンフィギュレーションエレメント0908に接続されておりかつ制御部0907によって制御される。制御部0907は種々異なったトリガパルスに応答し、その際これらトリガパルスは、コンフィギュレーションのために使用される内部セル0903から到来する可能性もある。応答チャンネル0909を介して、制御部0907は、トリガイベントに基づいて、新しいデータがリングメモリ0906にロードされるべきであるとき、ロードロジック0902に通報する。この応答の送出に対して付加的に、制御部0907は更に、信号をマルチプレクサ0904に送出しかつ、ロードロジック0902からのデータがリングメモリに送出されるのかまたはコンフィギュレーションのために使用される内部セル0903からデータがリングメモリに送出されるのかを選択する。ロードロジックによるリングメモリのコンフィギュレーションの他に、リングメモリを次のように調整設定することができる:コンフィギュレーション化可能なエレメント0903は、単独でまたはエレメント群の最後のエレメントとして、リングメモリ0906に対するエントリを生成するように接続されている。このモードにおいて、マルチプレクサ0904は0903からのデータをリングメモリに通し、一方ロードロジックによるコンフィギュレーションではロードロジックからのデータが通し接続される。固定的に具体化実現されている別の機能ユニットをコンフィギュレーション信号のソースとして用いることも勿論考えられる。

第10図には、リングメモリにファイルされている命令の、制御部による命令処理が示されている。1001は、次のビット分配を有するリングメモリのメモリを表している。ビット0はデータまたは命令ビットとしてのエントリを特徴付けている。ビット1はランおよびストップモードを特徴付けている。ビット2~6は命令をコード化する命令番号を表すものである。ビット7は、読み出し位置ポインタに対する命令または書き込み位置ポインタに対する命令が使用されるかを指示する。命令が位置ポインタに影響を及ぼさなければ、ビット7は定義されていない。ビット8~nには命令のために必要なデータがファイルされる。カウンタ1004, 1005は、リングメモリに属している書き込み/読み出し位置ポインタを形成する。制御部がトリガパルスを受信すると、ステートマシンはパルスを読み出し位置ポインタに送出する。書き込み位置ポインタは、命令の読み出しのために必要ではなく、データを、リングメモリにエントリするためにだけ利用される。選択された読み出し位置ポインタは、1つの位置だけ進められかつ新しい命令が選択される(

ビット0=0)。次に命令デコーダ1002には、ビット2～6およびビット7が加わり、デコードされかつ結果はステートマシンに転送される(1024)。ステートマシンはどの命令が生じているのかを識別しかつ相応に切り替わる。

◎ 命令スキップビットであれば、ステートマシン1011はパルスを加算器/減算器1006に送出して、それがマルチプレクサ1003を介して供給される、カウンタ1004、1005からのデータに対して、ビット8～nからの命令語のデータを加算または減算するようにする。マルチプレクサ1003はビット7に依存して、書き込み位置ポイントのカウンタ1004または読み出し位置ポイントのカウンタ1005を選択する。データが加算/減算された後、ステートマシン1011はゲート1010を活性化しかつ引き受け信号をカウンタ1004、1005に送出する。これにより、選択された位置ポイントは、スキップ命令のデータに指示されている数の位置だけ前方または後方に位置を指示する。

10

◎ GOTO命令の場合、ステートマシン1011によってゲート1007が活性化され、その結果データはビット7に依存して、書き込みまたは読み出し位置カウンタ1004、1005に達しかつそこで引き受けられる。

◎ MASK命令の場合、データはラッチ1008に引く受けられかつそこに記憶される。それからこれらのデータは第7図/第7a図に示されている制御部の接続路Aを介して用意されかつそこで、トリガパルスが引き受けられるべきではないすべてのトリガ入力側をマスクする。

◎ WAIT命令の場合、データビット中に指示される数だけイベントが待たれる。ステートマシン1011によってこの命令が記録されると、それは1つのパルスを待ちサイクルカウンタ1009に送出し、このカウンタがデータを引き受ける。そこでサイクルカウンタはステートマシン1011から転送されるイベントの都度、1桁下方に計数する。このカウンタが零まで計数するや否や、キャリーフラグがセットされかつステートマシン1011に送出される(1023)。このキャリーフラグによってステートマシンはそれ以降引き続き動作する。

20

◎ WAIT-GOTO命令の場合、待ちイベントの数を指示するデータが待ちサイクルカウンタに引き受けられる。データにおいて指示されているイベントの数に達すると、ステートマシンはゲート1007を活性化しかつ飛び越し位置に対するデータを選択されたカウンタに転送する。

30

◎ SWAP命令は、リングメモリの2つの位置の間で2つのエントリを交換するために用いられる。ラッチ1017に、交換すべき第1のエントリのアドレスが記憶され、ラッチ1018に、交換すべき第2のエントリのアドレスが記憶される。これらのアドレスは書き込み/読み出しポイントのマルチプレクサ1015および1016に転送される。まず、1016を介してエントリ1が選択されかつラッチ1019に記憶され、その後1016を介してエントリ2が選択されかつ1020に記憶される。1015を介して書き込みポイントが第1のエントリにセットされかつゲート1022を介してエントリ2のその前のデータが記憶される。その後1015を介して書き込みポイントは第2のエントリにセットされかつゲート1021を介してエントリ1のかつてのデータが記憶される。

◎ ステートマシン1011は、1014を介して応答をロードロジック(例えばステート・バック・ユニットを介して、ドイツ連邦共和国特許出願第19651075.9号明細書参照)に送出する。この接続線路を介してステートマシンは、LLBACK命令が記録されるや否や、信号を送出する。

40

◎ ラン・フラグとして用いられるビット1は、第8図に示されている、制御部のクロック生成部に送出される。

◎ NOP命令はステートマシンに記録されるが、演算は実施されない。

第11図には、リングメモリに記憶されているデータ語処理が示されている。データ語であるので、ビット0は1にセットされている。命令デコーダ1107は、データ語であることを識別しかつ再コンフィギュレーション化が可能であるかどうかの質問1106をビット2～6においてアドレス指定されているセルに送出する。質問の送出は、ゲート11

50

02の活性化と同時に行われ、これによりセルのアドレスが伝送される。セルは1105を介して再コンフィギュレーション化が可能であるかどうか指示する。可能であれば、コンフィギュレーションデータをセルに伝送するために、ゲート1103が操作される。再コンフィギュレーション化が可能でなければ、処理は引き続き実行されかつリングメモリにおける次の循環において再コンフィギュレーション化が新たに試行される。このシーケンスを次のように変形することもできる。ステートマシンはゲート1102および1103を活性化しかつデータをアドレス指定されたセルに伝送する。セルの再コンフィギュレーションが可能であれば、セルは1105を介してデータの受信を確認応答する。再コンフィギュレーションが可能でなければ、セルは受信信号を送出せずかつリングメモリの次の循環において再コンフィギュレーションが新たに試行される。

10

第12図には、コンフィギュレーション化可能なエレメント(1201)の群(機能エレメント)(1202)が図示されている。データは入力バス(1204)を介して機能エレメントに達しかつ結果は出力バス(1205)を介して先に送られる。その際1205はとりわけ、2つのメモリバンク1203に送出され、これらメモリバンクは交互にその都度一方が書き込みメモリまたは読み出しメモリとして動作する。これらメモリの出力側は入力バス(1204)に接続されている。全体の回路はスイッチングテーブルに通じるバスを介して(1206)コンフィギュレーション化することができ、その際スイッチングテーブルに対するトリガ信号もスイッチングテーブルからのトリガ信号もこのバスを介して伝送される。その際機能エレメントの機能の他に、瞬時的にアクティブな書き込み/読み出しメモリおよびそれぞれのメモリのメモリ深度が調整設定される。

20

第12a図には、外部(1204)、即ち別の機能ユニットまたはモジュールの外部からのデータがどのように機能エレメント(1202)において計算されかつそれから書き込みメモリ(1210)に書き込まれるかが示されている。

第12b図には、第12a図の次のステップが示されている。機能エレメント1202およびメモリ1220、1221は機能エレメントまたはメモリまたは別のユニットによって発生されたトリガに従って1206を介して再コンフィギュレーション化された。書き込みメモリ1210は今や、読み出しメモリ(1220)としてコンフィギュレーション化されておりかつ機能エレメントに対してデータを送出する。結果は書き込みメモリ1221に記憶される。

第12c図には、第12b図の次のステップが示されている。機能エレメント(1202)およびメモリ(1230、1231)は機能エレメントまたはメモリまたは別のユニットによって発生されたトリガに従って1206を介して再コンフィギュレーション化された。書き込みメモリ1221は今や、読み出しメモリ1230としてコンフィギュレーション化されておりかつ機能エレメントに対するデータを送出する。結果は書き込みメモリ1231に記憶される。この例において、外部(1204)、即ち別の機能ユニットまたはモジュールの外部から付加的なオペランドと一緒に計算される。

30

第12d図には、第12c図の後の次のステップが示されている。機能エレメント(1202)およびメモリ(1203、1240)は、機能エレメントまたはメモリまたは別のユニットによって発生されたトリガに従って1206を介して再コンフィギュレーション化された。書き込みメモリ(1231)は今や、読み出しメモリ(1240)としてコンフィギュレーション化されておりかつ機能エレメントに対するデータを送出する。結果は出力バス(1205)を介して転送される。

40

第13図には、第12図の回路が示されており、その際2つのメモリバンクの代わりに、別個の書き込みポインタおよび読み出しポインタを有するメモリが使用されている(1301)。

第14図には、第13図のメモリ(1401)が示されている。1402は読み出し位置ポインタであり、ポインタの前のエンタリは既に読み出されているかまたは空いている(1405)。ポインタは空いているポインタを指示する。読み出し位置ポインタの後ろにデータ(1406)があり、これらはまだ読み出されなければならない。その後には空いている空間(1404)および既に新しく書き込まれたデータ(1407)が続いている

50

。書き込み位置ポインタ (1403) は、空であるかまたは既に読み出された空いているエントリを指示する。メモリは、既述のように、リングメモリとして構成することができる。

第15図には、第12図の回路が示されており、その際2つのメモリバンク (1203) は2重に存在している。これにより、複数の結果を記憶しかつその後一緒に処理することができる。

第15a図には、外部 (1204)、即ち別の機能ユニットまたはモジュールの外部からのデータが、どのように機能エレメント (1202) において計算されかつそれからバス1511を介して書き込みメモリ (1510) に書き込まれるかが示されている。

第15b図には、第15a図の次のステップが示されている。機能エレメント (1202) およびメモリ (1203, 1510, 1520) は、機能エレメントまたはメモリまたは別のユニットによって発生されたトリガに従って1206を介して再コンフィギュレーション化された。その際外部 (1204)、即ち、別の機能ユニットまたはモジュールの外部からのデータが機能エレメント (1202) において計算されかつそれからバス1521を介して書き込みメモリ (1520) に書き込まれる。

第15c図には、第15b図の次のステップが示されている。機能エレメント (1202) およびメモリ (1203, 1530, 1531, 1532) は機能エレメントまたはメモリまたは別のユニットによって発生されたトリガに従って1206を介して再コンフィギュレーション化された。書き込みメモリ (1501, 1520) は今や読み出しメモリ (1531, 1532) としてコンフィギュレーション化されている。読み出しメモリは複数のオペランドを同時に機能エレメント (1202) に送出する。その際それぞれの読み出しメモリ (1531, 1532) はそれぞれ独立したバスシステム (1534, 1535) によって1202に接続されている。結果は1533を介して書き込みメモリ (1530) に記憶されるかまたは1205を介して転送される。

概念定義

ALU 算術論理ユニット。データの処理のための基本ユニット。このユニットは、加算、減算、状況によっては乗算、除算、級数展開等のような演算を実施することができる。その際、ユニットは整数のユニットまたは浮動小数点ユニットとして構成されていることができる。同様にユニットは、AND、ORのような論理演算並びに比較を実施することができる。

データ語 データ語は任意の長さのビット列から成っている。このビット列は装置に対する処理単位を表している。データ語においてプロセッサ等モジュールに対する命令並びに純然たるデータがコード化される。

DFP ドイツ連邦共和国特許出願公開第4416881号公報に記載のデータフロープロセッサ。

DPGA 従来のダイナミックコンフィギュレーション化可能なFPGA。

Dフリップフロップ クロックの上昇側縁において信号を記憶するメモリエレメント。

EALU 拡張された算術論理ユニット。ドイツ連邦共和国特許出願公開第4416881号公報に記載のデータ処理装置の作動のために必要とされるまたは効果的である特別機能が拡張されたALU。これは殊にカウンタである。

エレメント 部品として電子モジュールにおいて使用することができる、それ自体独立している、すべての種類の単位に対する集合概念。即ちエレメントには次のものがある：

- ◎ すべての種類のコンフィギュレーション化可能なセル
- ◎ クラスタ
- ◎ RAMブロック
- ◎ ロジック
- ◎ 計算ユニット
- ◎ レジスタ
- ◎ マルチプレクサ
- ◎ チップのI/Oピン

イベント イベントは、ハードウェアエレメントによって用途に適ったいずれかの形式および方法で評価しかつこの評価に対する応動として規定の動作をトリガすることができる。従って、イベントには例えば次のものがある：

- ◎ 計算装置のクロックサイクル。
- ◎ 内部または外部の割り込み信号。
- ◎ モジュール内の別のエレメントのトリガ信号。
- ◎ データ流および／または命令流の、或る値との比較。
- ◎ 入出力イベント。
- ◎ カウンタの始動、オーバフロー、新たなセット等。
- ◎ 比較の評価。

10

フラグ 状態を指示する、レジスタ中のステータスビット。

FPGA プログラミング可能な論理モジュール。従来技術。

ゲート 論理基本機能を実施するトランジスタ群。基本機能は例えば、NAND、NOR、伝送ゲートである。

コンフィギュレーション化可能なエレメント コンフィギュレーション化可能なエレメントは、特定の機能に対するコンフィギュレーション語によって調整設定することができる、論理モジュールのユニットを表している。従って、コンフィギュレーション化可能なエレメントは、すべての種類の、RAMセル、マルチプレクサ、算術論理ユニット、レジスタおよびすべての種類の、内部および外部のネット化記述などである。

コンフィギュレーション 論理ユニット、(FPGA)セルまたはPAEの機能およびネット化の調整設定(再コンフィギュレーション化参照)。

20

コンフィギュレーションメモリ コンフィギュレーションメモリは1つまたは複数のコンフィギュレーション語を含んでいる。

コンフィギュレーション語 コンフィギュレーション語は任意の長さのビット列から成っている。このビット列は、コンフィギュレーションを行うべきエレメントに対する有効な調整設定を表しているので、機能するユニットが生じる。

ロードロジック PAEのコンフィギュレーション化および再コンフィギュレーション化のためのユニット。そのタスクに特有に整合されているマイクロコントローラによって構成される。

ラッチ 信号を普通、ハイレベルの期間にトランスペアレントに転送しかつローレベルの期間に記憶するメモリエlement。PAEにおいて部分的に、レベルの機能が正確に反転しているラッチが使用される。この場合、通例のラッチのクロックの前にインバータが切り換えられる。

30

読み出し位置ポインタ FIFOまたはリングメモリ内の読み出しアクセスに対する瞬時的にその時点のエントリのアドレス。

論理セル DFP、FPGA、DPGAにおいて使用されるコンフィギュレーション化可能なセルで、そのコンフィギュレーションに従って簡単な論理または算術タスクを果たすもの。

オーバサンプリング 基本クロックの倍数の周波数で、基本クロックと同期してタイミングがとられる。このより高速なクロックは大抵、PLLによって生成される。

40

PLL 基本クロックに基づいてクロックを逡倍するためのユニット(位相閉ループ回路)。

PLU PAEのコンフィギュレーション化および再コンフィギュレーション化のためのユニット。そのタスクに特有に整合されているマイクロコントローラによって構成される。

リングメモリ メモリの終わりに達し、即ちメモリの始めに位置している独自の書き込み・読み出し位置ポインタを有するメモリ。これにより、リングの形のエンドレスメモリが生じる。

RSフリップフロップ リセット・セットフリップフロップ。2つの信号によって切り換えることができるメモリエlement。

50

書き込み位置ポインタ F I F Oまたはリングメモリ内の書き込みアクセスに対する瞬時的にその時点のエントリのアドレス。

ステートバック・ユニット ステート信号の、P L Uに対する応答を制御するユニット。1つのマルチプレクサと1つのコレクタ開放形バスドライバ回路から成っている。

スイッチング・テーブル スイッチング・テーブルは、制御部によって応答されるリングメモリである。スイッチング・テーブルのエントリは任意のコンフィギュレーション語を収容することができる。制御部は命令を実施することができる。スイッチング・テーブルはトリガ信号に応答しかつリングメモリにおけるエントリに基づいてコンフィギュレーション化可能なエレメントを再コンフィギュレーション化する（コンフィギュレーション参照）。

10

処理サイクル 処理サイクルは、ユニットが、定義されたおよび／または有効な状態から次の定義されたおよび／または有効な状態に達するのに必要とする持続時間を記述している。

ステートマシーン 種々様々な状態をとることができるロジック。状態間の移行は種々異なった入力パラメータに依存している。これらマシーンは、複雑な機能を制御するために使用されかつ従来技術に対応している。

名前の約束

ユニット

-UNIT

作動形式

-MODE

マルチプレクサ

-MUX

否定された信号

not-

PLUレジスタ、見える

-PLUREG

レジスタ内部

-REG

10

シフトレジスタ

-sft

機能の約束

否定機能!

I	Q
0	1
1	0

20

UND機能 &

A	B	Q
0	0	0
0	1	0
1	0	0
1	1	1

30

OR機能 #

A	B	Q
0	0	0
0	1	1
1	0	1
1	1	1

40

ゲート機能 G

EN	B	Q
0	0	-
0	1	-
1	0	0
1	1	1

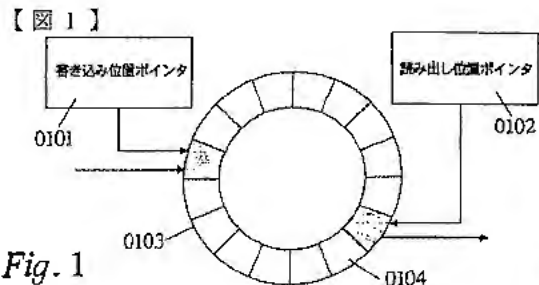


Fig. 1

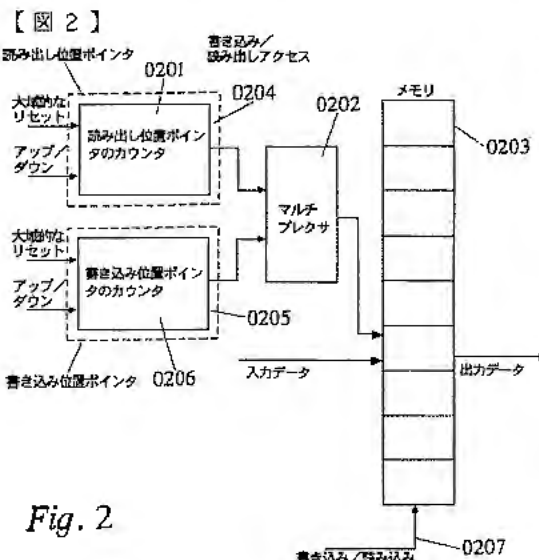


Fig. 2

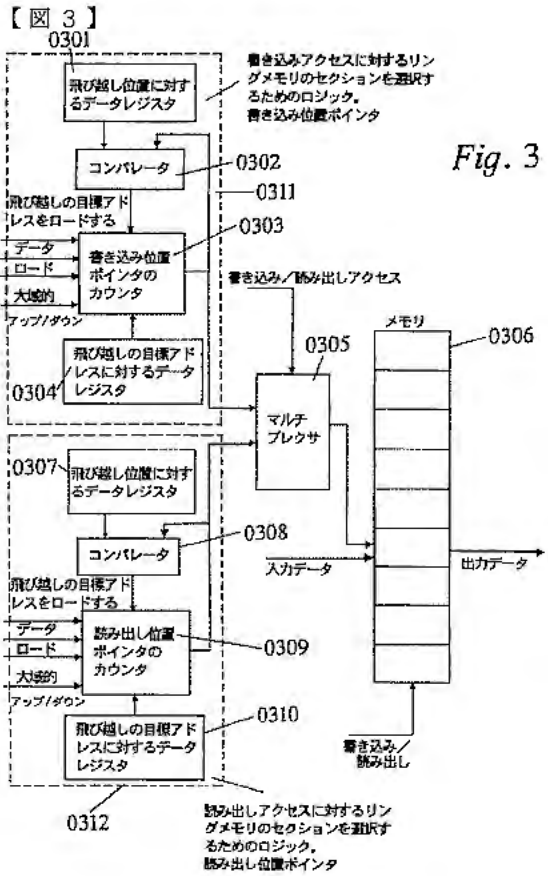
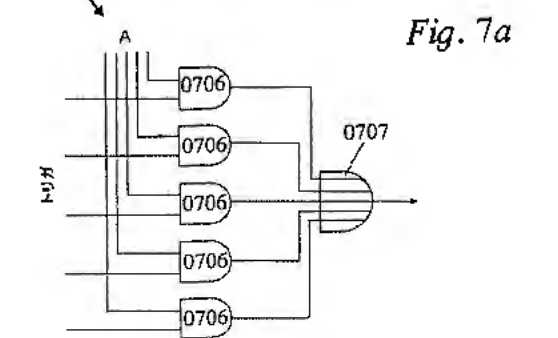
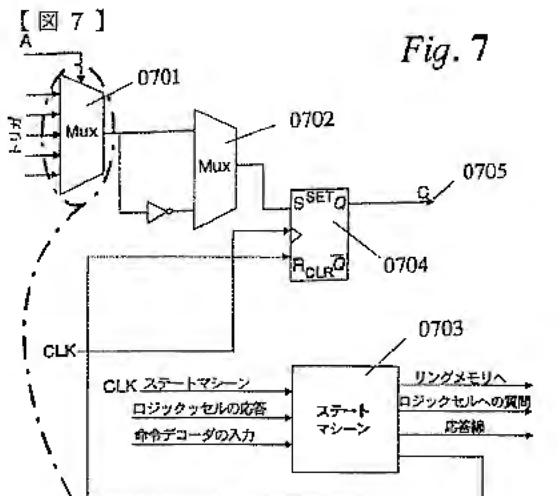
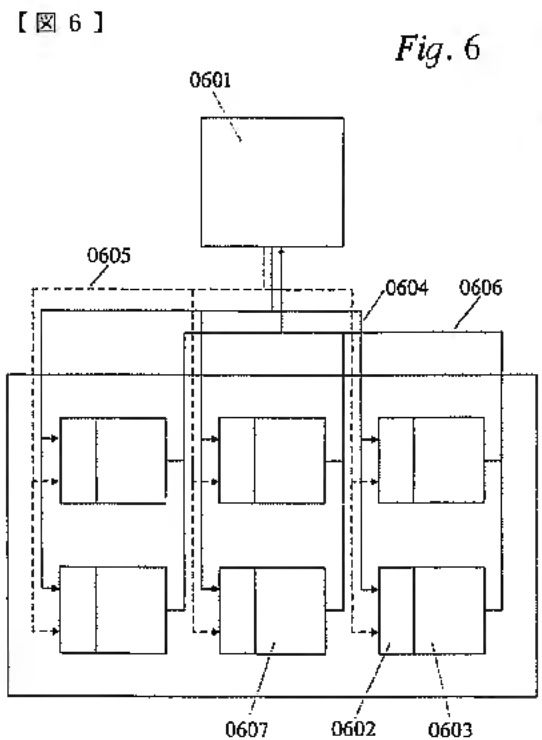
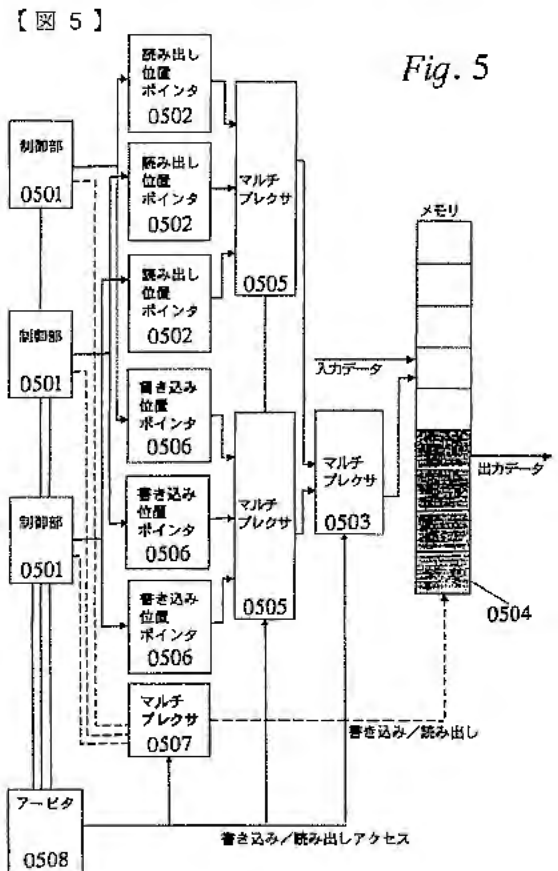
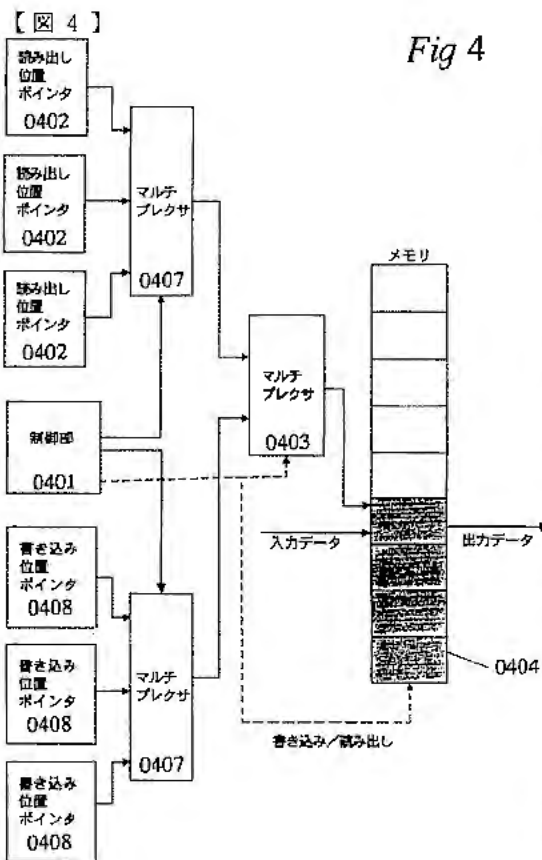
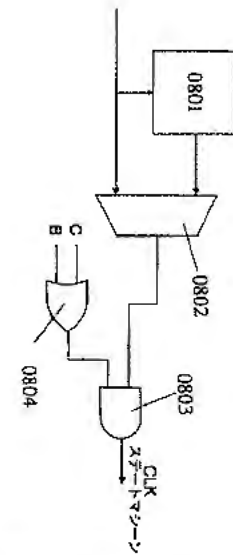


Fig. 3



【図8】
Fig. 8



【図9】

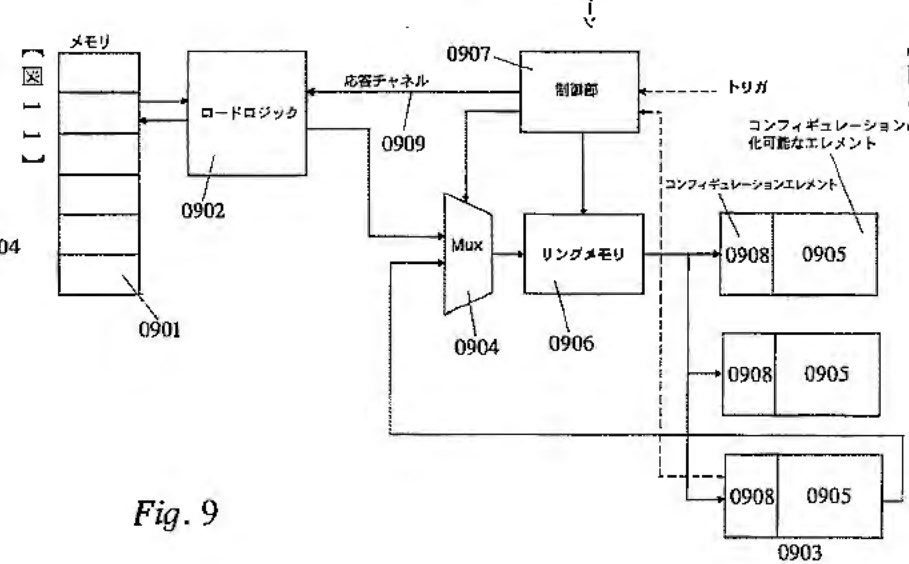


Fig. 9

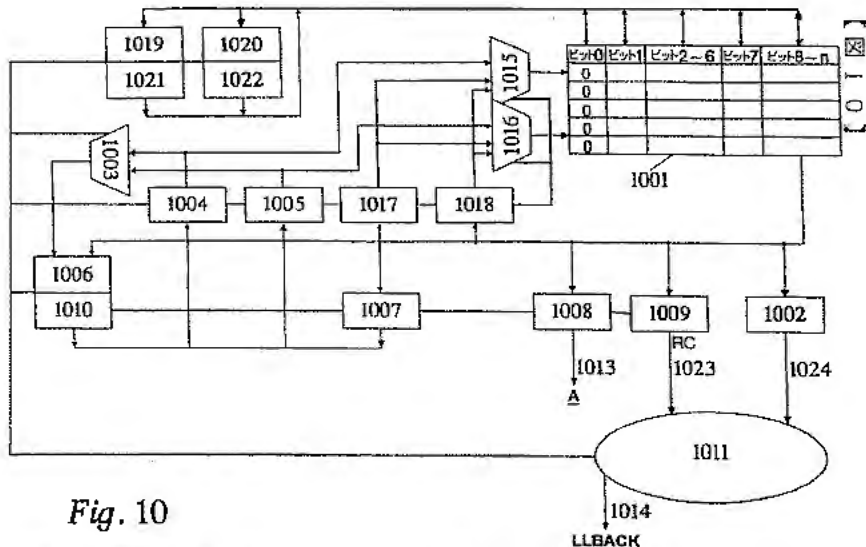


Fig. 10

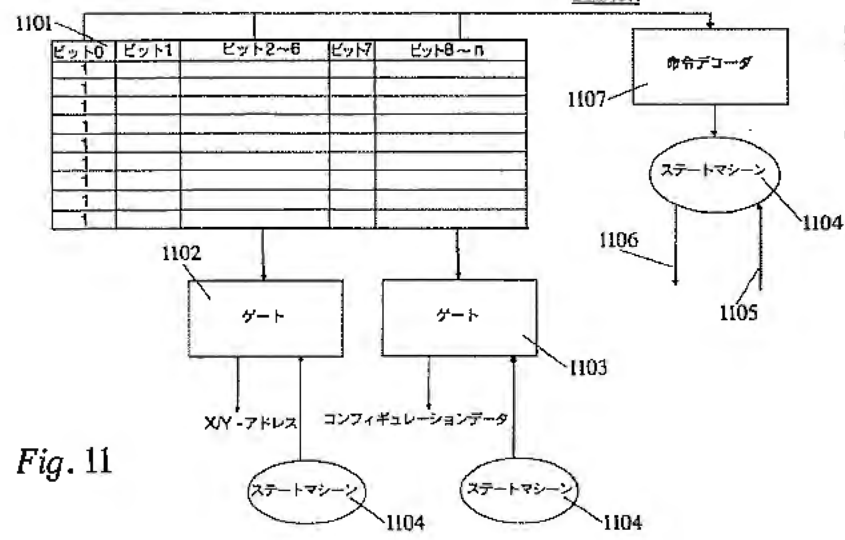
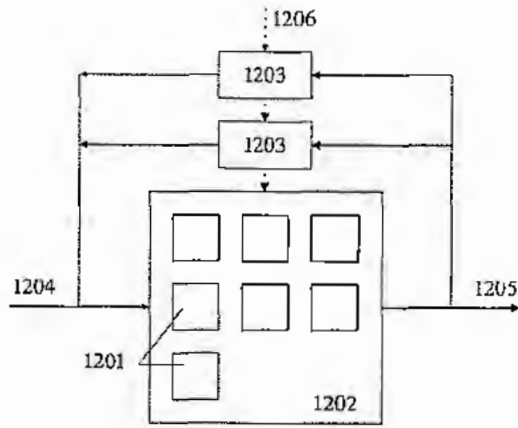


Fig. 11

(22)

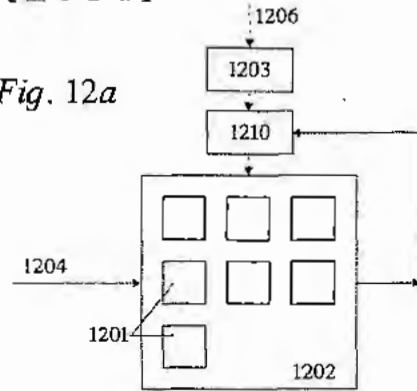
JP 3961028 B2 2007. 8. 15

【図 12】
Fig. 12

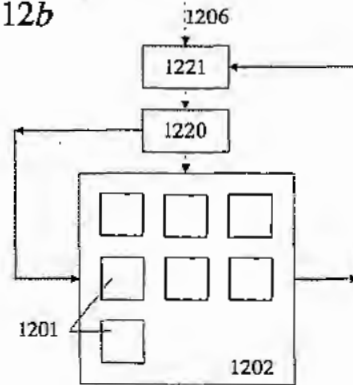


【図 12 a】

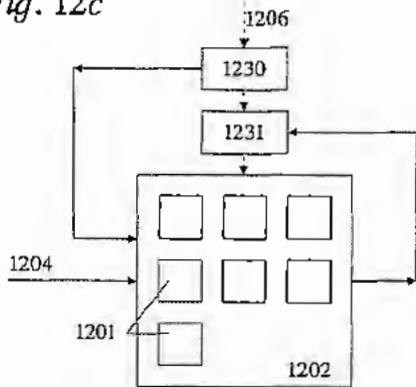
Fig. 12a



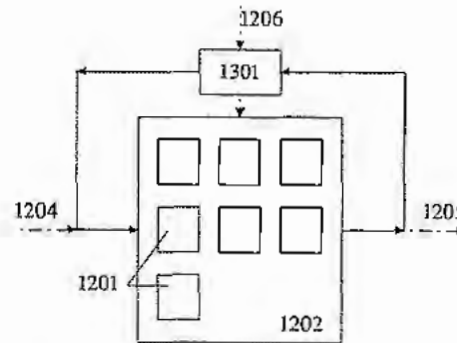
【図 12 b】
Fig. 12b



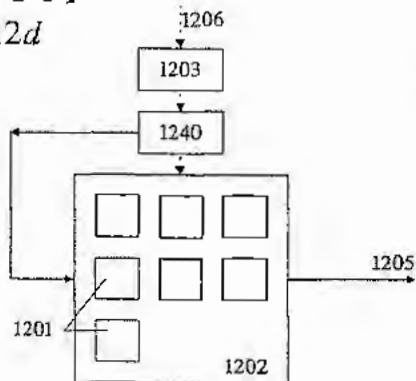
【図 12 c】
Fig. 12c



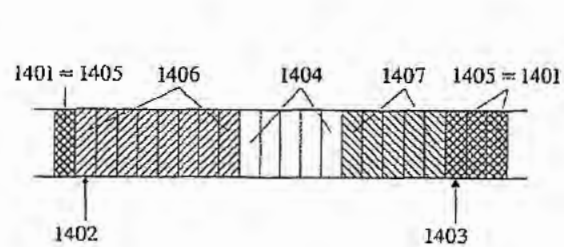
【図 13】
Fig. 13



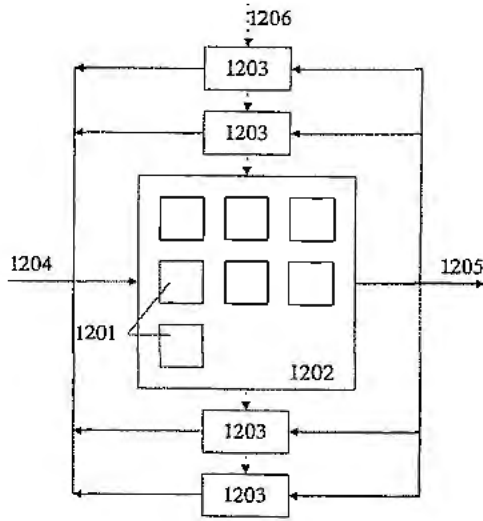
【図 12 d】
Fig. 12d



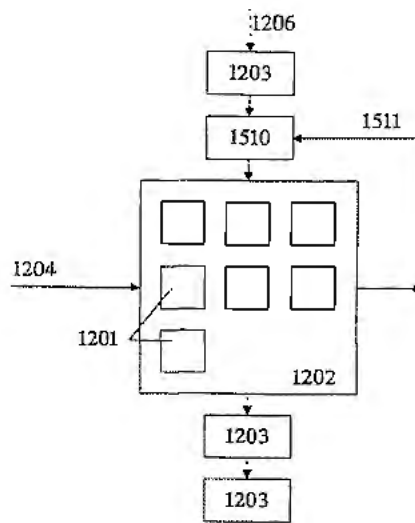
【図 14】
Fig. 14



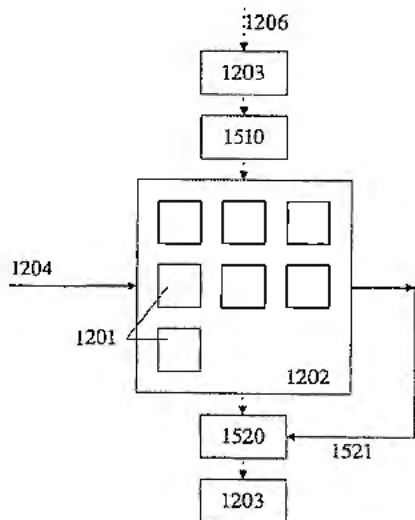
【図15】
Fig. 15



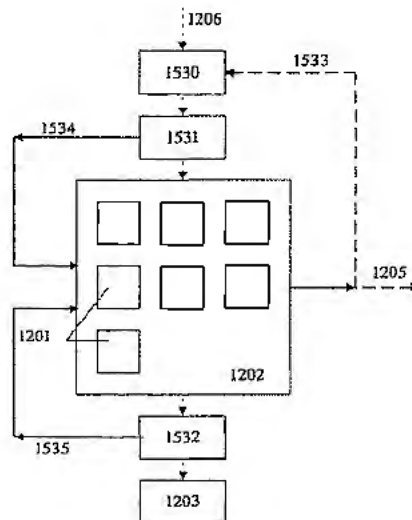
【図15a】
Fig. 15a



【図15b】
Fig. 15b



【図15c】
Fig. 15c



フロントページの続き

- (72)発明者 マーティン フォーバツハ
ドイツ連邦共和国 カールスルーエ ハーゲブッテンヴェーク 36
- (72)発明者 ローベルト ミュンヒ
ドイツ連邦共和国 カールスルーエ ハーゲブッテンヴェーク 36

審査官 清水 稔

- (56)参考文献 特開平08-250685 (JP, A)
凌 昉萍, 天野英晴, WASMII: データ駆動型制御機構をもつMPLD WASMII, 電子情報
通信学会論文誌, 1994年 4月25日, 第77-D-I巻, 第4号, p.309~317
末吉敏則, Reconfigurable Computing Systemの現状と課題,
電子情報通信学会技術研究報告CPSY96-91, 1996年12月13日, 第96巻, 第426号
, p.111~118

- (58)調査した分野(Int.Cl., DB名)
H03K 19/177
G06F 15/82

Process for automatic dynamic reloading of data flow processors (DFPs) and units with two- or three-dimensional programmable cell architectures (FPGAs, DPGAs, and the like

Patent number: JP2001510650 (T)

Publication date: 2001-07-31

Inventor(s):

Applicant(s):

Classification:

- international: G06F15/82; G06F17/50; H03K19/177; G06F15/76; G06F17/50; H03K19/177; (IPC1-7): G06F15/82; H03K19/177

- european: G06F15/78R; H03K19/177

Application number: JP19980529538T.19971222

Priority number(s): DE19961054846 19961227; WO1997DE02998 19971222

Also published as:

JP3961028 (B2)

US2006031595 (A1)

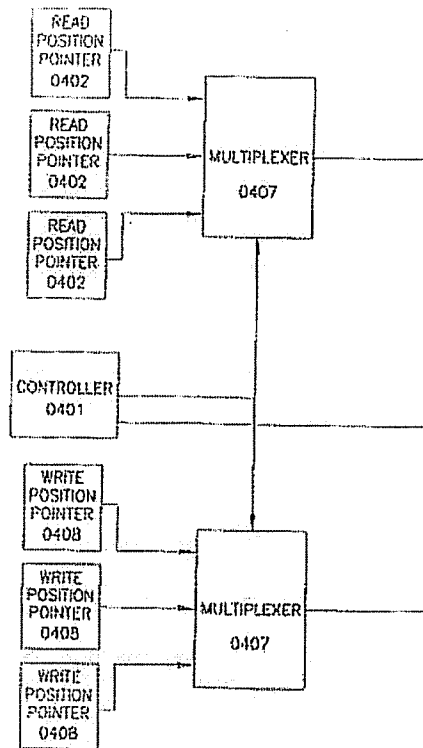
US2009144485 (A1)

JP2007215203 (A)

AT243390 (T)

Abstract not available for JP 2001510650 (T)
 Abstract of correspondent: US 2006031595 (A1)

In a data-processing method, first result data may be obtained using a plurality of configurable coarse-granular elements, the first result data may be written into a memory that includes spatially separate first and second memory areas and that is connected via a bus to the plurality of configurable coarse-granular elements, the first result data may be subsequently read out from the memory, and the first result data may be subsequently processed using the plurality of configurable coarse-granular elements. In a first configuration, the first memory area may be configured as a write memory, and the second memory area may be configured as a read memory. Subsequent to writing to and reading from the memory in accordance with the first configuration, the first memory area may be configured as a read memory, and the second memory area may be configured as a write memory.

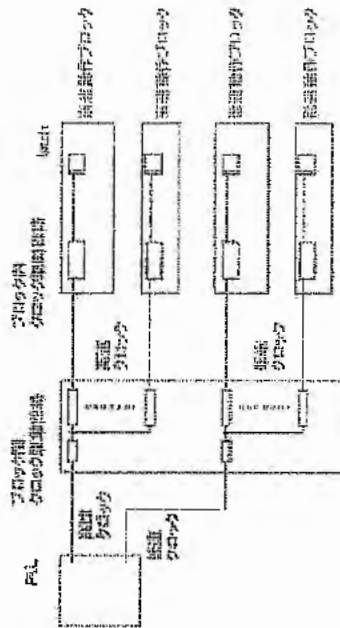


Data supplied from the *espacenet* database — Worldwide

SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

Patent number: JP2002033457 (A)
Publication date: 2002-01-31
Inventor(s): HIROSE KENJI; AJIOKA TOMOKI; HOSHI SATOSHI +
Applicant(s): HITACHI LTD +
Classification:
 - international: G06F1/10; G06F15/78; G11C11/401; G11C11/407; G11C11/41; G11C11/413; H01L21/82; H01L21/822; H01L27/04; G06F1/10; G06F15/78; G11C11/401; G11C11/407; G11C11/41; G11C11/413; H01L21/70; H01L27/04; (IPC1-7): G06F1/10; G06F15/78; G11C11/401; G11C11/407; G11C11/41; G11C11/413; H01L21/82; H01L21/822; H01L27/04
 - european:
Application number: JP20000217943 20000718
Priority number(s): JP20000217943 20000718

Abstract of JP 2002033457 (A)
PROBLEM TO BE SOLVED: To provide a semiconductor integrated circuit device in which transmission of clock is quickened while reducing skew between the clocks. **SOLUTION:** In a semiconductor integrated circuit device comprising a logic block including a logic circuit operating by receiving a clock formed at a clock supply circuit, high speed transmission of clock is realized by providing at least two wiring routes extended in parallel as clock wiring routes to the clock supply circuit and the logic block and transmitting the same clock, providing the clock supply circuit with clock drive circuits independent for the clock wiring, and providing the logic block with clock input circuits independent of the clock wiring.



Data supplied from the *espacenet* database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-33457

(P2002-33457A)

(43) 公開日 平成14年1月31日 (2002.1.31)

(51) Int.Cl. ⁷	識別記号	F I	チーフノート [*] (参考)
H 0 1 L 27/04		C 0 6 F 15/78	S 1 0 P 5 B 0 1 0
	21/822	H 0 1 L 27/04	D 5 B 0 2 4
G 0 6 F 1/10		C 0 6 F 1/04	3 3 0 A 5 B 0 6 2
	15/78	G 1 1 C 11/34	J 5 B 0 7 9
G 1 1 C 11/413	5 1 0		3 4 5 5 F 0 3 8

審査請求 未請求 請求項の数10 O L (全 20 頁) 最終頁に続く

(21) 出願番号 特願2000-217943(P2000-217943)

(22) 出願日 平成12年7月18日 (2000.7.18)

(71) 出願人 000006108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 廣瀬 健志

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体グループ内

(72) 発明者 味岡 智己

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体グループ内

(74) 代理人 100081938

弁理士 徳若 光政

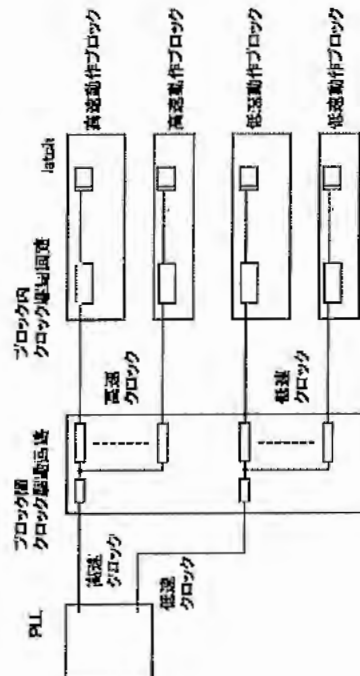
最終頁に続く

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 クロック伝達の高速化及びクロック間のスキューを低減した半導体集積回路装置を提供する。

【解決手段】 クロック供給回路で形成されたクロックを受けて動作する論理回路を含む論理ブロックを備えた半導体集積回路装置において、上記クロック供給回路と上記論理ブロックに至るまでのクロック配線経路として並行して延長され、同じクロックが伝えられる少なくとも2つの配線経路とを設け、上記クロック供給回路に上記クロック配線に対してそれぞれ独立したクロック駆動回路を設け、上記論理ブロックには上記クロック配線に対してそれぞれ独立したクロック入力回路を設けることにより、クロックの高速伝達を実現する。



【特許請求の範囲】

【請求項1】 クロック供給回路と、
上記クロック供給回路から供給されるクロックを受けて動作する論理回路を含む論理ブロックと、
上記クロック供給回路と上記論理ブロックに至るまでのクロック配線経路として並行して延長され、同じクロックが伝えられる少なくとも2つの配線経路とを備え、
上記クロック供給回路は、上記クロック配線に対してそれぞれ独立したクロック駆動回路を持ち、
上記論理ブロックは、上記クロック配線に対してそれぞれ独立したクロック入力回路を持つことを特徴とする半導体集積回路装置。

【請求項2】 請求項1において、
上記論理ブロックは、複数の機能ブロックから構成され、
上記クロック供給回路は、上記複数の機能ブロックに対して共通に用いられ、
上記少なくとも2つの配線経路は、上記複数の機能ブロックのうち半導体基板上に隣接して配置される少なくとも2つの機能ブロックに対して並行して延長される部分を備えるものであることを特徴とする半導体集積回路装置。

【請求項3】 請求項2において、
上記少なくとも2つの配線経路は、クロックの伝達経路の配線長さの差が小さくなるようにいずれか1つ以上に迂回経路が持たせられてなることを特徴とする半導体集積回路装置。

【請求項4】 請求項1において、
上記論理ブロックは、複数の機能ブロックから構成され、
上記複数の機能ブロックは、それぞれが所望の信号処理能力を持つようにされるものであり、
上記クロック供給回路は、上記複数の機能ブロックのそれぞれに対して並行に延長される少なくとも2つの配線経路を備えるものであることを特徴とする半導体集積回路装置。

【請求項5】 請求項1において、
上記クロック供給回路は、第1クロックと、上記第1クロックに対して周波数が $1/N$ に分周された第2クロックとを供給するものであり、
上記論理ブロックは、上記第1クロックを受けて動作する第1論理回路を含む複数の第1論理ブロックと、上記第2クロックを受けて動作する第2論理回路を含む複数の第2論理ブロックと、
上記クロック供給回路から上記複数の第1論理ブロックに至るまでの第1クロック配線経路として、並行に延長される部分を含む少なくとも2つの配線経路と、
上記クロック供給回路から上記第2論理ブロックに至るまでの第2クロック配線経路として、並行に延長される部分を含む少なくとも2つの配線経路とを備えてなるこ

とを特徴とする半導体集積回路装置。

【請求項6】 請求項4において、
上記クロック供給回路は、第1クロックと、上記第1クロックに対して周波数が $1/N$ に分周された第2クロックとを供給するものであり、
上記複数の機能ブロックは、上記第1クロックを受けて動作する第1論理回路を含む第1機能ブロックと、上記第2クロックを受けて動作する第2論理回路を含む第2機能ブロックを含むことを特徴とする半導体集積回路装置。

【請求項7】 請求項5又は6において、
上記第1クロックを伝える第1配線と上記第2クロックを伝える第2配線とが並行して延長するとともに、
上記第1クロックの第1配線と第2配線の間には、上記第1及び第2配線に対して第3と第4配線を並行して延長し、
上記第1配線に隣接した第3配線には上記第1クロックを伝え、
上記第2配線に隣接した第4配線には上記第2クロックを伝えてなることを特徴とする半導体集積回路装置。

【請求項8】 請求項2ないし7のいずれか1において、
上記機能ブロックは、1つの半導体基板上に形成される1チップのマイクロコンピュータシステムを構成し、それぞれが独立して動作可能とされる信号処理回路であることを特徴とする半導体集積回路装置。

【請求項9】 請求項1ないし7のいずれか1において、
上記論理ブロックは、ゲートアレイで構成された一定のエリアに配置された論理ゲート群からなり、上記クロック供給回路は、半導体基板の中心部に設けられて、各論理ゲート群との間のクロック供給経路が互いに等長となるようにされることを特徴とする半導体集積回路装置。

【請求項10】 請求項1ないし7のいずれか1において、
上記論理ブロックは、複数ビットの単位で読み出し信号をクロックに対応して増幅する増幅回路を有するメモリ回路であり、
上記クロック供給回路は、メモリ回路の増幅回路の動作に必要なクロック信号を供給するものであることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体集積回路装置に関し、クロックで動作する論理回路を含む半導体集積回路装置の高速化に利用して有効な技術に関するものである。

【0002】

【従来の技術】本発明を成した後の調査によって、後で説明する本発明に関連すると思われるものとして、特開

平8-306867号公報(以下、先行技術1という)、特開平4-73951号公報(以下、先行技術2という)があることが判明した。先行技術1には半導体基板上の信号配線の両側にダミー配線を設けて同相の信号を入力するものが、先行技術2には信号用配線に平行して該信号配用配線にバッファ回路を介して接続した電位的に同相のダミー配線を有するものが開示されている。しかしながら、これらの公報には、いずれにおいても後に説明するような本願発明に係る複数論理機能ブロック等に向けたクロックの高速伝達についての配慮は何ら開示されていない。

【0003】

【発明が解決しようとする課題】1つの信号を複数の回路に供給する場合、1つの信号経路がそれぞれの回路に対応して分岐するよう形成される。これにより、信号配線数及び信号出力回路を少なくすることができる。大規模なデジタル集積回路においては、同じクロックを複数の論理機能ブロックに供給することが多い。前記先行技術1、2では、いずれも1の信号経路しか開示されていない。したがって、上記のように複数の論理機能ブロックにクロックを供給する場合は、クロック供給回路から最も近い位置に配置された論理機能ブロックまでについて1本の信号線となるため、前記のようなダミー配線による高速化は実現できる。

【0004】しかしながら、そこから先の分岐して個々の機能ブロックに至るまでの信号経路については、前記先行技術1及び2ではどのように上記ダミー配線をどのように設けるのか配慮が成されていない。つまり、先行技術1及び2では、上記のように複数の論理機能ブロックにクロックを供給する場合において、クロック供給回路から最も近い位置に配置された論理機能ブロックまでについて適用可能となるものである。そして、分岐を設けて複数の論理ブロックにクロックを供給する構成においては、各分岐部での信号の反射が生じたり、そこでのインピーダンスが予測困難となり、個々の論理ブロックに供給されるクロックの遅延(スキュー)の管理が極めて難しくなるものである。

【0005】1チップのマイクロコンピュータ等の大規模デジタル集積回路において、機能ブロックは、CPU、メモリ、DSP、あるいはタイマ等のように各々の機能ブロックが比較的大きな回路規模を持って構成される。それ故、クロック供給回路からみたとき、クロック供給回路から最も近い位置に配置された論理機能ブロックまでの距離は、かかる複数機能ブロックを巡るクロック伝達経路の全体に比べて圧倒的に短く、前記ダミー配線を用いた信号伝達の高速化が生かされない。また、仮にクロック供給回路と最も近い位置に配置された機能ブロックとの距離が比較的長くてダミー配線を用いた信号伝達の高速化が可能であったとしても、分岐から先の信号経路について、その配線長さが機能ブロック相互で異

なることによるクロックの遅延時間の相違によるスキューの発生については何等解決できないという問題を有する。

【0006】この発明の目的は、クロック伝達の高速化を実現した半導体集積回路装置を提供することにある。この発明の他の目的は、クロック伝達の高速化及びクロック間のスキューを低減した半導体集積回路装置を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0007】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。クロック供給回路で形成されたクロックを受けて動作する論理回路を含む論理ブロックを備えた半導体集積回路装置において、上記クロック供給回路と上記論理ブロックに至るまでのクロック配線経路として並行して延長され、同じクロックが伝えられる少なくとも2つの配線経路とを設け、上記クロック供給回路に上記クロック配線に対してそれぞれ独立したクロック駆動回路を設け、上記論理ブロックには上記クロック配線に対してそれぞれ独立したクロック入力回路を設ける。

【0008】

【発明の実施の形態】図1には、この発明に係る半導体集積回路装置におけるクロック系回路の一実施例のブロック図が示されている。この実施例では、特に制限されないが、PLL(位相・ロックド・ループ)回路によって外部クロックと同期した内部クロックが形成される。PLL回路では、図示しない外部から供給されたクロック信号に同期し、高い周波数にされた高速クロックと、上記高速クロックに比べて低い周波数にされた低速クロックとを形成する。

【0009】上記PLL回路で形成された高速クロックと低速クロックは、クロック駆動回路を介して各機能ブロックあるいは一定のエリアに割り当てられた回路ブロックに供給される。この実施例では、このようなクロック供給回路と、それにより形成されたクロックを受けて動作する機能ブロックあるいは回路ブロックとの間に設けられるクロック供給経路に、同時に同じ方向に信号が変化すると、配線系での遅延時間が小さくなるという特性を利用する。つまり、同時に同じ方向に変化する信号は、レイアウト上で隣り合うよう配線する。そして、クロックは、同じ種類のものを隣り合せて配線する。

【0010】具体的には、高速クロックを受けて動作する複数の機能ブロックあるいは一定のエリアに設けられた回路ブロックに対するクロックは、従来のように1つのクロック駆動回路から供給されたクロック信号を、物理的に1本の配線により個々の機能ブロックや回路ブロックの配置に合わせて分岐させながら伝えるようにするものではなく、クロック供給源であるクロック駆動回路

から、それぞれの機能ブロック又は回路ブロックに向けて独立して最低1本の配線を割り当てるようにするものである。

【0011】上記機能ブロックあるいは上記回路ブロック側では、上記のような独立して設けられた配線を通して伝えられたクロックを受けるブロック内クロック駆動回路を有し、かかるブロック内クロック駆動回路により、クロックを必要とするラッチ (latch) に伝えられる。このようなブロック内クロック駆動回路とそれを受けるラッチとの間では、その配線長さが比較的短くされることから極端に負荷が重い場合には、負荷であるラッチ等を複数に分割して複数の駆動回路を割り当てるようにし、個々の駆動回路とラッチ等の間では分岐を持つような配線により相互に接続される。

【0012】このように各機能ブロックあるいは回路ブロックに対して最低1本の配線によりクロックを独立して供給する構成において、同時に同じ方向に変化する高速クロック又は低速クロックは、各々においてレイアウト上で隣り合うよう配線する。そして、同じ種類的高速クロック又は低速クロックを隣り合せて配線する。

【0013】この構成に代えて、図1のクロック駆動回路と上記機能ブロック又は回路ブロックに対応したブロック内のクロック駆動回路との間を複数の配線及び回路により構成してもよい。この場合には、クロック供給回路側とそれにより形成されたクロックを受ける機能ブロック又は回路ブロックの間のクロックは、常に同一のクロックとなり、クロック供給回路の出力部から機能ブロック又は回路ブロックの入力部に至るまでの全経路で同時に同じ方向に変化するクロックを隣り合うよう並行して配置させられた配線により伝達することができる。

【0014】図2には、この発明に係る半導体集積回路装置におけるクロック系回路の一実施例の配線配置図が示されている。この実施例では、高速クロックと低速クロックを隣り合わせて配置する場合に向けられる。このように、高速クロックと低速クロックとを並走して供給させる場合、互いに他のクロックを伝える配線の信号変化の影響をなくすため、同時に同じ方向に変化するダミー配線を隣り合うよう配線する。つまり、高速クロックのうち、低速クロック側に隣接して設けられるクロック配線と、低速クロックのうち、高速クロック側に隣接して設けられるクロック配線との間には、それぞれシールドクロック配線を設けて、相互の干渉によるクロック伝達の遅延を防止する。

【0015】また、同じ種類である高速クロックの複数がグループ化されて、同じ方向に並行して延長される場合、他の信号線等に隣接する端部にクロック配線は、他の信号線との間のスペース拡大を図るようにする。このような十分なスペースが確保できないときには、低速クロック側に隣接して設けられるクロック配線と同様に、シールドクロック配線を設けるようにしてもよい。上記

のような構成により、配線間容量の影響を均一にし、かつ、配線遅延を小さくすることでチップ面積へ増加なしに配線遅延ばらつき (スキュー) を小さくすることができる。

【0016】以上のように、この発明に係るクロック供給系回路では、論理的に同一周波数、同位相であるクロックを隣り合わせて配線する。異なる周波数、位相で動作するクロックが複数ある場合、周波数/位相の同じクロックが隣り合うようにグループ化して配線する。そして、後述するようなゲートアレイ等のような半導体集積回路装置では、クロック分配系はツリー構造とし、分配系の各ステージで (特に遅延量の大きいブロック間) の配線負荷を揃えるようにする。また、配線の長さ、使用するメタル層を統一する。他の配線のクロック線への影響を小さくするため、同じタイミングで変化するダミー配線が隣り合うようレイアウトする。あるいは、グループ化したクロック配線と他の配線のスペースを広げる。

【0017】図3には、この発明に係る半導体集積回路装置の一実施例のブロック図が示されている。この実施例は、特に制限されないが、シングルチップマイクロコンピュータに向けられている。この実施例では、機能ブロック2aないし2cのように高速動作回路ブロックと、機能ブロック4aないし4dのように低速動作回路ブロックと、これらに供給するクロックを生成するクロックパルスジェネレータ (CPG) 5及びブロック間クロック駆動回路群6とが1つの半導体チップ1に形成される。チップの周辺部には、入出力回路が設けられる。

【0018】上記高速動作回路ブロックは、CPU (中央処理装置)、DSP (デジタル信号処理プロセッサ)、メモリ等が含まれる。上記低速動作回路ブロックは、タイマやシリアル入出力回路、DA (デジタル/アナログ変換) 等が含まれる。これらの機能ブロックの各々には、機能ブロック4bに代表として例示的に示されているようにブロック内クロック駆動回路7が設けられる。CPG5は、高速クロック信号8aと低速クロック信号8bとを形成する。ブロック間クロック駆動回路群は、上記クロック信号8aと8bとを受けて、個々の機能ブロックに一一一対一に設けられるクロック配線に伝えられるクロックを形成する。つまり、上記クロック駆動回路6の1つと、機能ブロック2aないし2c又は4aないし4dのいずれ1つに設けられるブロック内クロック駆動回路7との間は、分岐のない1本の配線により形成される。

【0019】上記ブロック間の配線が1本であるとき、クロック駆動回路から各機能ブロックに向かうクロック配線のうち、同じ種類 (高速クロック8a又は低速クロック8b) 同士を記号9で示したようにグループ化して、隣り合わせて並行するように配線する。また、機能ブロック2c又は機能ブロック4cに設けられるクロック配線のように、意図的に迂回経路を設けて、その配線

長さを長くして他の機能ブロック2b又は4d等と同じ配線長さとする。これにより、配線長さの相違による機能ブロック2cと2b又は4cと4dとの間でのクロックのスキューを低減させることができる。このような迂回経路を含めてクロックのスキューを管理することが容易となる。

【0020】図3の実施例において、上記クロック駆動回路6の1つと、機能ブロック2aないし2c又は4aないし4dのいずれ1つに設けられるブロック内クロック駆動回路7との間は、分岐のない1本の配線に代えて2本以上にするものであってもよい。つまり、同じ機能ブロックにおいて、ブロック内クロック駆動回路を複数設け、かかるブロック内クロック駆動回路の各々に対応して、1本ずつ配線を割り当てて、それを半導体チップ上に互いに隣接して並行に延長させるようになるものであってもよい。このような構成では、クロック供給側であるブロック間クロック駆動回路6も、上記配線数に対応して複数設けられる。この構成では、クロック供給側であるブロック間クロック駆動回路と、ブロック内クロック駆動回路との間において、クロック配線の複数が並行に配置されることにより高速なクロック伝達が可能になる。

【0021】図4には、この発明に係る半導体集積回路装置の他の一実施例のブロック図が示されている。この実施例は、特に制限されないが、ゲートアレイに向けられている。この実施例では、クロック入力ピン12から供給されたクロックは、チップ中央部に設けられたマスタクロックドライバ群13に伝えられる。このとき、特に制限されないが、1つのクロックを最低2本の配線を用い、それを隣接して並行するように延長させてクロック入力ピン12から上記マスタクロックドライバ群13の入力部とを接続するものとしてもよい。

【0022】上記マスタクロックドライバ群13は、サブクロックドライバ群14に対応したクロック駆動回路を有し、それぞれとの間を一对一に対応されたクロック配線により接続される。つまり、マスタクロックドライバ群13の1つのクロック駆動回路の出力端子に接続されたクロック配線は、分岐なくそれに対応された1つのサブクロックドライバ群14の入力部に至るよう形成される。上記マスタクロックドライバ群13と上記サブクロックドライバ群14との間の配線長さが互いに等しくなるようにチップ中央部に設けられたサブクロックドライバ群14に対しては意図的に迂回経路が設けられる。

【0023】これにより、チップ中央部に設けられたマスタクロックドライバ群13から点線で示した基盤目状に区切られた回路ブロックの境界に沿って延長されるクロック配線長が、いずれのサブクロックドライバ群14についても互いに等しくなるようにされる。このようなクロック配線の配置により、クロック信号配線が記号1

5に示したようにグループ化される。これにより、前記のように論理的に同一周波数、同位相であるクロックを隣り合わせて配線することができる。

【0024】サブクロックドライバ14は、それを中心とする4つの回路ブロックに供給されるクロックを受け持つ。このサブクロックドライバ14とフリップフロップ回路FFとの間は、負荷が互いに等しくなるように適宜にグループ化され、同一グループ回路でクロック配線を分岐させて配置させる。つまり、このようなサブクロックドライバ14と、フリップフロップ回路FFとの間の物理的な距離が短いから上記のような分岐を用いてクロック配線を構成しても、速度的にはさほど問題にならないし、フリップフロップ回路FFの配置は、論理機能に応じて様々であるのでクロック配線のグループ化が難しい。ただし、必要ならサブクロックドライバ14とフリップフロップ回路FFとの間も一对一に対応してクロック配線を設けるようにしてもよい。

【0025】上記クロック入力ピン12とマスタクロックドライバ群13の間のクロック配線は、そのクロック配線の両側に前記シールドクロック配線及びそれに対応したクロック駆動回路を設けるものであってもよい。また、マスタクロックドライバ群13から左右に延びに2つの回路ブロック間においては、同図の例では8個のサブクロックドライバ群14に対応した8本のクロック配線が並行に延長される。そこで、この間での高速化を図るために前記同様に両側に前記シールドクロック配線及びそれに対応したクロック駆動回路を設けるようにしてもよい。

【0026】図5には、この発明に係る半導体集積回路装置に設けられるクロックパルスジェネレータの一実施例のブロック図が示されている。この実施例では、クロック発振器端子と外部クロック入力端子を持ち、水晶直付けか外部クロック入力かの選択可能とされる。つまり、上記発振器端子に水晶を接続して水晶発振器を構成した場合には、かかる水晶発振器によりクロックを生成することができる。これに代えて、外部クロック入力端子から供給されたクロックを用いるようにすることができる。

【0027】上記水晶発振器又は外部クロック入力端子から供給されたパルスは、PLL回路2に伝えられて、ここで×1又は×4のような周波数増倍動作が行われる。周波数制御レジスタとクロック周波数制御回路は、上記×1又は×4のいずれかの指定を行うために用いられる。上記PLL回路2により水晶/外部クロック入力を波形成形と必要に応じて通倍が行われたクロックは、一方においてシステムクロックとしLSI外部に出力する。このとき、CPG遅延補正回路及びクロック分配系等価回路等からなるレプリカ回路による遅延補正回路が設けられて、内部回路のフリップフロップ回路にFFに伝えられるクロックと、システムクロック端子からL

LSI外部に出力されるクロックとの位相合わせが行われる。

【0028】つまり、システムクロックの遅延を揃えるため、CPG内に遅延補正回路が設けられてCPG〜FF間クロック分配系の遅延時間を補正する。CPG内遅延補正回路は、PLL回路2出力〜LSI内部用クロック出力端とPLL回路2出力〜システムクロック出力端の遅延差を補正する。クロック分配系等価回路は、CPG出力からFFまでの遅延を補正する。これらの回路はLSI内のクロック分配系と同じ回路、レイアウト構造とし配線をグループ化する処理、ダミー信号でシールドする処理も同じとされる。

【0029】上記PLL回路2により水晶/外部クロック入力を波形成形と必要に応じて逡倍が行われたクロックは、他方においてLSI内部のフリップフロップFF用のクロックを生成するためPLL回路1に伝えられる。PLL回路1ではクロックの周波数を逡倍させる。この逡倍率は、例えば $\times 1$ 、 $\times 2$ 、 $\times 3$ 、 $\times 4$ 、 $\times 6$ 、 $\times 8$ のように6通りが用意されており、前記周波数制御レジスタとクロック周波数制御回路で選択される。

【0030】上記PLL回路1で形成されたクロックは、高速用と低速用に対応した2つの分周回路1と分周回路2に伝えられる。分周回路1と2は、特に制限されないが、それぞれが $\times 1$ 、 $\times 1/2$ 、 $\times 1/3$ 、 $\times 1/4$ 、 $\times 1/6$ のような分周率の切り替えが可能とされ、前記周波数制御レジスタとクロック周波数制御回路で選択される。上記のPLL回路2、PLL回路1及び分周回路1、分周回路2のそれぞれの逡倍率及び分周率の組み合わせにより、必要とされた高速クロック及び低速クロックを発生させることができる。

【0031】このように形成された高速クロック及び低速クロックは、前記図1の実施例のように高速クロックは、高速クロックドライバHCD1〜HCDmを介してクロック分配回路に伝えられ、低速クロックは低速クロックドライバLCD1〜LCDnを介してクロック分配回路に伝えられる。

【0032】図6には、この発明に係るクロック駆動回路の一実施例の回路図が示されている。この実施例では、クロック供給側から半導体チップの上部と下部に延長されるクロックがグループ化されて設けられる。これらのクロックを駆動するクロック駆動回路の入力信号の共通化がなされる。シールド用ダミー信号を駆動する駆動回路の入力信号も共通化がなされる。特に制限されないが、他の回路の信号線の影響を回避するために、グループ化されたクロック配線の両側には、シールド用バッファ及びシールド用クロック配線が設けられる。この構成は、前記図4の実施例にそのまま適用することができる。

【0033】図7には、この発明が適用されるシングルチップマイクロコンピュータの一実施例のブロック図が

示されている。同図の各回路ブロックは、公知のCMOS(相補型MOS)半導体集積回路の製造技術によって、単結晶シリコンのような1個の基板上において形成される。

【0034】この実施例におけるシングルチップマイクロコンピュータは、特に制限されないが、RISC(Reduced instruction set computer)タイプの中央処理装置CPUにより、高性能な演算処理を実現し、システム構成に必要な周辺機器を集積すると同時に、携帯機器応用等に不可欠な低消費電力化を実現したシングルチップマイクロコンピュータである。

【0035】中央処理装置CPUは、RISCタイプの命令セットを持っており、基本命令はパイプライン処理を行って1命令1ステート(1システムクロックサイクル)で動作するので、命令実行速度が飛躍的に向上させることができる。そして、乗算器MULTを内蔵しており、3次元演算処理等に不可欠な積和演算処理を高速に行うようにしている。

【0036】最少部品点数によりユーザーシステムを構成できるように内蔵周辺モジュールとして、割り込みコントローラINTC、直接メモリアクセス制御装置DMAC、除算器DIVU、タイマFRT、WDT、シリアルコミュニケーションインターフェイスSCIを内蔵している。さらに、キャッシュメモリ内蔵の外部メモリアクセスサポート機能により、グルーロジックなしにダイナミック型RAM(ラチング・アクセス・メモリ)、シンクロナスダイナミック型RAM、擬似スタティック型RAMの外部メモリと直接接続できるようにしている。

【0037】上記のような高速な中央処理装置CPUを中心にし、その性能を十分に発揮し、しかも低消費電力化を図りつつ、高性能、高機能又は多機能のために設けられた周辺モジュールを効率よく動作させるようにするため、内部バスは3つに分けられている。

【0038】第1のバスは、アドレスバスAB1とデータバスDB1から構成され、中央処理装置CPU、乗算器(積和演算器)MULT及びキャッシュメモリが接続される。上記乗算器MULTは、上記第1のバスのうちデータバスDB1にのみ接続され、中央処理装置CPUと一体的に動作して乗算と加算を行うようにされる。それ故、第1バス(AB1、DB1)は、主に中央処理装置CPUとキャッシュメモリとの間でのデータ伝送に利用されるからキャッシュアドレスバスとキャッシュデータバスと呼ぶことができる。キャッシュメモリは、タグメモリTAGとデータメモリCDM及びキャッシュコントローラCACから構成される。

【0039】中央処理装置CPUの概略構成は次の通りである。内部は32ビット構成とされる。汎用レジスタマシンは、16本からなる32ビットの汎用レジスタと、3本からなる32ビットのコントロールレジスタ

と、4本からなる32ビットのシステムレジスタから構成される。RISCタイプの命令セットは、16ビット固定長命令によりコード効率化を図っている。無条件/条件分岐命令を遅延分岐方式とすることにより、分岐時のパイプラインの乱れを軽減している。命令実行は、1命令/1ステートとされる。

【0040】中央処理装置CPUの性能は動作周波数と、1命令実行あたりのクロック数(CPI: Cycles Per Instruction)で決まる。このうち動作周波数は、ゲーム機に組み込んだ際にテレビ用のビデオ信号処理系とクロックを共用するために、例えば28.7MHzに設定にすることが便利である。ちなみに、NTSC方式のカラー・テレビで画像データをノンインタレース表示する場合には通常、ビデオ信号回路に色副搬送波(カラー・サブキャリア)周波数(約3.58MHz)の8倍のクロック(28.6MHz)を使っている。

【0041】この実施例では、キャッシュメモリ(TAG, CAC, CDM)及び乗算器MULTしか接続されない第1バス(AB1とDB1)に中央処理装置CPUを接続するものである。バスの負荷容量が大幅に低減でき、上記のような高速動作を行う中央処理装置CPUのバス駆動回路の簡素化と、低消費電力化を図ることができる。したがって、この第1バスは高速バスといえることができる。

【0042】第2のバスは、アドレスバスAB2とデータバスDB2から構成され、除算器DIVU、直接メモリアクセス制御装置DMAC、外部バスインターフェイスOBIFが接続される。この第2バスは中速バスといえることができる。上記キャッシュメモリでのミスヒットのときに、中央処理装置CPUは、外部メモリアクセスしてデータを取り込む必要がある。このため、第1のバスのアドレス信号を第2のバスに伝える機能が必要とされる。また、上記のように第1と第2のバスを分離すると、プログラムミス等によって直接メモリアクセス制御装置DMACがキャッシュメモリのデータメモリCDMの内容を勝手に書き換えてしまうという問題が生じる。

【0043】この実施例では、上記のようなキャッシュメモリでのミスヒットやキャッシュメモリのデータ破壊といった問題を解決するために、ブレイクコントローラUBCが利用される。ブレイクコントローラUBCは、本来プログラムデバッグ等に用いられるのであるが、上記第1バス及び第2バスに接続される必要があることを利用し、それにトランシーバ回路を設けて上記キャッシュメモリでのミスヒットのときに第1バスのアドレス信号を第2のバスのアドレスバスAB2に伝えて、外部メモリアクセスを行うようにするものである。また、第2のバスでのアドレス信号を監視し、直接メモリアクセス制御装置DMACによるデータメモリCDMへ書き換えを監視させる。

【0044】第3のバスは、アドレスバスAB3とデータバスDB3から構成され、特に制限されないが、フリーランニングタイムFRT、シリアルコミュニケーションインターフェイスSCI、ウォッチドッグタイムWDTと動作モードコントローラMCが接続される。

【0045】上記第3のバスは、上記第1や第2のバスに比べてバスサイクルが遅くされる。すなわち、これらの各周辺モジュールは、その動作速度を速くしても実質的な性能や機能が向上するものではないことに着目し、約10MHz程度で動作する既存のシングルチップマイクロコンピュータに搭載されているものを実質的にそのまま利用するものである。このようにすることにより、設計効率の向上を図ることができるとともに、動作周波数が低くされることによって低消費電力化とすることができる。したがって、この第3バスは低速バスといえることができる。

【0046】このようにすると中央処理装置CPU等とのデータの授受がそのままできなくなるので、バスステートコントローラBSCが設けられる。このバスステートコントローラBSCは、第3のバスから第2のバスに信号(データ信号)を転送するときには、そのまま信号の伝達を行う。これは、パルス発生回路PGにおいて第1や第2のバスサイクルを決定するシステムクロックを分周して第3のバスサイクルに使用するクロックパルスを形成しているため、上記第3のバスの信号をそのまま第2のバスに伝えることができる。これに対して、バスステートコントローラBSCは第2のバスの信号を第3のバスに伝えるときに、必要に応じて信号を遅延させて第3のクロックパルスに同期化させて伝達するものである。

【0047】割り込みコントローラINTCの概略は、次の通りである。外部割り込みに関しては、後述するようなNMI、/IRL0~/IRL3からなる5本の外部割り込み端子を持っている。/IRL0~/IRL3端子による15外部割り込みレベル設定が可能にされる。この明細書及び一部の図面において、アルファベットの記号に付した/(スラッシュ)は、ロウレベルがアクティブレベルであるバー信号を表している。なお、図面では従来の記述方法により、バー信号はアルファベットによる信号名又は端子名の上に線が付されている。

【0048】内部割り込み要因は、直接メモリアクセス制御装置により2つ、除算器DIVUにより1つ、フリーランニングタイムFRTにより3つ、ウォッチドッグタイムWDTにより1つ、シリアルコミュニケーションインターフェイスSCIにより4つからなる11要因とされる。内部割り込み要因ごとにベクタ番号設定可能とされる。

【0049】以上のようなバスの分割方式を採用することにより、それぞれのバスの長さが短くされたり、あるいはそれに接続される素子を減らすことができるからバスの

負荷容量が大幅に低減し、中央処理装置CPUの高速化と相俟って低消費電力で高速なデータ処理が可能になる。また、ユーザブレイクコントローラに直接メモリアクセス制御装置をDMACを設けた場合には、上記のようなバスの分離によって直接メモリアクセス制御装置DMACによる誤ったキャッシュデータの書き換えを検出する機能が設けられているので信頼性を損なうことがない。

【0050】さらに、中央処理装置CPUやキャッシュメモリ及び直接メモリアクセス制御装置DMACのように、そのバスサイクルが直ちに性能や機能に影響を及ぼすものは、上記のような高速なバスサイクルのバスに接続し、フリーランニングタイマFRT、シリアルコミュニケーションインターフェイスSCI又はウォッチドッグタイマWDTのように、そのバスサイクルがデータ処理に直接影響を及ぼさないものは、低速のバスサイクルの第3のバスに接続するようにするものである。これにより、中央処理装置CPUの高速化に追従して、高速タイプの周辺モジュールを開発設計する必要がなく、既存のものをそのまま流用して用いることができるから、設計の効率化を図ることができるとともに、そこでの動作クロックを低くできるので低消費電力化を図ることができる。

【0051】上記のような第1バス（高速バス）、第2バス（中速バス）及び第3バス（低速バス）のような3種類のバスを持つものでは、それぞれのバス（高速バス、中速バス及び低速バス）に接続される機能ブロックに伝えられるクロックの周波数が異なる。そこで、CPGは、上記高速バス、中速バス及び低速バスに対応した機能ブロックに伝えられるクロックは、前記のように論理的に同一周波数、同位相であるクロックを隣り合わせて配線する。異なる周波数、位相で動作するクロックが複数ある場合、周波数/位相の同じクロックが隣り合うようにグループ化して配線する。配線の長さ、使用するメタル層を統一する。他の配線のクロック線への影響を小さくするため、同じタイミングで変化するダミー配線が隣り合うようレイアウトする。あるいは、グループ化したクロック配線と他の配線のスペースを広げるようにするものである。

【0052】中速バスや低速バスに対しても、上記高速バスと同じグループ化等の配線を採用することにより、高速クロック、中速クロック及び低速クロック相互を同期化させることができる。言い換えるならば、スキューを小さくすることができる。これにより、高速バスと中速バス又は低速バスとの間、中速バスと低速バスとの間でのデータ授受においてタイミングマージンを小さくすることができる。

【0053】また、機能ブロック毎にクロック信号を供給するものでは、その機能ブロックが何も動作を行わないスタンバイ状態のときにクロックの伝達を停止させる

上で便利である。周知のようにCMOS論理回路では、クロックの供給停止により理論的には消費電流が発生しないから上記クロックの停止により低消費電力化が可能になるものである。

【0054】図8には、この発明が適用されたダイナミック型RAM（以下、単にDRAMという）の一実施例の全体概略レイアウト図が示されている。同図において、ダイナミック型RAMを構成する各回路ブロックのうち、その主要部が判るように示されており、それが公知の半導体集積回路の製造技術により、単結晶シリコンのような1個の半導体基板上において形成される。

【0055】特に制限されないが、この発明が適用されるDRAMは、それぞれが独立にメモリアクセスされるBANK0ないし3のような4つのメモリバンクが設けられる。これらの4つのメモリバンク（BANK0ないし3）は、それぞれが同じ回路構成及びレイアウトにされており、そのうちメモリバンクBANK0において代表として階層とされたIO構造に関連する部分が例示的に示されている。

【0056】メモリセルアレイ領域（以下、単にメモリセルアレイという）は、前記メモリバンクBANK0～3のそれぞれに対応して設けられ、全体として4個に分けられる。つまり、半導体チップ10の長手方向に対して左右に分けられて、中央部分104には、例示的に示されている制御回路（CNTL）回路106とデータ入出力回路PDPADの他、図示しないけれども、アドレス入力回路ボンディングパッド列からなる入出力インターフェイス回路及び昇圧回路や降圧回路を含む電源回路等が設けられる。

【0057】これら中央部分104の両側とメモリセルアレイとが接する部分には、メインアンプ（MA）105、メモリアレイ制御回路（Array Control）101、メインワードドライバ（MWD）102等が配置される。上記メモリアレイ制御回路101は、サブワード選択線やセンスアンプを駆動するための制御回路からなる。上述のように半導体チップ10の長手方向に対して左右に2個、上下に2個ずつに分けられた4個からなる各メモリセルアレイにおいて、長手方向に対して上下中央部にカラムデコーダ領域（YDC）103が設けられる。

【0058】上述のよう各メモリセルアレイにおいて、メインワードドライバ12は、それに対応した4つのメモリアレイ領域（以下、単にメモリアレイという）を貫通するように延長されるメインワード線の選択信号を形成する。上記メインワードドライバ領域102にサブワード選択用のサブワード選択線のドライバも設けられ、上記メインワード線と平行に延長されてサブワード選択線の選択信号を形成する。カラムデコーダ103は、それに対応した32のメモリアレイを貫通するように延長されるカラム選択線の選択信号を形成する。

【0059】上記各メモリセルアレイは、複数からなる上記メモリアレイに分割される。ワード線方向には4個、ビット線方向には32個（参照電位用のダミーアレイを除く）が設けられる。メモリアレイは、センスアンプ領域、サブワードドライバ領域に囲まれて形成される。上記センスアンプ領域と、上記サブワードドライバ領域の交差部は、交差領域（クロスエリア）とされる。上記センスアンプ領域に設けられるセンスアンプは、CMOS構成のラッチ回路により構成される。特に制限されないが、この実施例のメモリアレイは、センスアンプを中心にして左右に延長される相補ビット線の信号を増幅するという、いわゆる1交点方式又はオープンビットライン型とされる。

【0060】1つのメモリアレイにおいて、参照電位用の端メモリマットを除いてビット線が1024本設けられるので、ワード線方向には約4K分のメモリセルが接続され、サブワード線が512本設けられるので、ビット線方向には $512 \times 32 = 16K$ 分のメモリセルが接続される。これにより、1つのメモリセルアレイ（メモリバンク）には、 $4K \times 16K = 64M$ ビットのような記憶容量を持ち、4つのメモリアレイ（メモリバンク）によりメモリチップの全体では $4 \times 64M = 256M$ ビットのような記憶容量を持つようにされる。

【0061】メモリセルアレイのワード線方向の両側に、サブアンプ（SubAmp）が設けられる。このサブアンプに対応して、メイン入出力線MIOがサブアンプと上記メモリセルアレイの外側に平行して延長される。上記メイン入出力線MIOのうち、半導体チップの長手方向に外周に沿って設けられる8ビット分のメイン入出力線MIOを上記メモリセルアレイのワード線方向に並ぶ4つのメモリアレイ（メモリマット）を横断して延長するよう配置される配線は、各メモリセルアレイの2つのメモリブロックのそれぞれにおいて、半導体チップの中央寄りに最も近い1つのメモリマットに前記8ビット分の信号線が集中して配置される。

【0062】つまり、メモリバンクBANK0を例にして説明すると、前記のように2つのメモリブロックのうち、半導体チップの外側に位置するメモリブロックを構成するビット線方向に並べられた16個の正規アレイのうち、最も半導体チップの内側、つまりは当該メモリバンクBANK0のビット線方向のほぼ中央寄りに設けられたメモリアレイをワード線方向に横断するように上記配線が配置される。このような信号線の集中配置に対応して、集中的に8ビット分のメインアンプ（ライトアンプも含む）MAが配置される。

【0063】同様に、上記メモリセルアレイのワード線方向のメモリセルアレイの内側に設けられる残り8ビット分のメイン入出力線MIOに接続される配線も、集中的に設けられる。これに対応して残り8ビット分に対応したメインアンプMAが設けられる。したがって、上記

メモリバンクBANK0の前記のように2つのメモリブロックのうち、半導体チップの外側に位置するメモリブロックに対応した16個のメインアンプが2つのメモリブロックのほぼ境界部に集中して設けられることになる。

【0064】上記メモリバンクBANK0の他方のメモリブロック、つまりは半導体チップの内側に位置するメモリブロックにおいては、上記メモリセルアレイのワード線方向のメモリセルアレイの外側に設けられる8ビット分のメイン入出力線MIOは、メモリビット線方向に並べられた16個の正規アレイのうち最も半導体チップの内側、つまりは当該メモリバンクBANK0のビット線方向の中央寄りの端けられたメモリアレイを集中的にワード線方向に横断するように配線によって8ビット分のメインアンプMAに導かれる。同様に、上記メモリセルアレイのワード線方向のメモリセルアレイの内側に設けられる残り8ビット分のメイン入出力線MIOに接続される配線もそれと隣接するように集中的に設けられて、残り8ビット分に対応したメインアンプMAと接続される。

【0065】上記の構成は、他のメモリバンクBANK1ないし3においても同様である。このような4つのメモリバンクBANK0～3の前記16個ずつのメインアンプMAは、グローバル入出力線GIOを通して共通に接続され、16ビットのデータ入出力端子DQPADに対応したデータ入出力回路と接続される。このような各メモリバンク（メモリセルアレイ）BANK0～3におけるメインアンプMAの集中配置によって、上記グローバル入出力線GIOの長さを半導体チップの長手方向の約半分に短くすることができる。このようなメインアンプMAの配置、あるいはそれとメイン入出力線MIOとの接続を行なう配線の工夫によって、上記グローバル入出力線GIOでの信号伝達時間が短くなり、動作の高速化が可能になるものである。

【0066】このようにメインアンプMAを集中して配置した場合、それに制御回路106から動作タイミング（クロック）を供給する場合、同図に点線で示した各クロック配線は、前記と同様に同じクロックを複数に分け、複数からなるクロック配線を並列に設けることによるクロックの高速伝達技術を利用することができる。例えば、16個のメインアンプMAは、例えば4個ずつ4組に分けて構成され、それぞれに1本のクロック配線を割り当てることにより4本のクロック配線を並行して延長させることができる。同図には、このような4本等のような複数からなるクロック配線が、1本の点線で示されている。

【0067】このようなクロック配線を並列に複数個を設ける構成によって、クロック回路16とメインアンプMAとの間でのクロックの高速伝達が可能となる。また、同図では、省略されているが、制御回路106から

入出力回路QDPADに向けて、クロックを供給する場合も、同じクロックを複数に分けて上記少なくとも2本のクロック線を並行に延長させるようにすることによって同様にクロック信号の伝達遅延を小さくすることができる。

【0068】図9には、本発明に係る半導体集積回路装置の他の一実施例の全体の回路ブロック図が示されている。この実施例の半導体集積回路装置CHIPは、図示のような複数の回路ブロック、すなわち入出力回路I/O、基板バイアス制御回路VBBC、制御回路ULC、リードオンリメモリROM、D/A変換器DAC、A/D変換器ADC、割り込み制御回路IVC、クロック発生回路CGCを有するシステムパワーマネジメント回路SPMC、中央処理部CPU、スタティックメモリSRAM、DMAコントローラDMAC、ダイナミック型メモリDRAM、を含む。

【0069】それらの回路ブロックは、内部バスBUS、制御バスCBUSに結合されている。それらは半導体集積回路装置を構成すべき図示しない半導体基板上に搭載される。上記システムパワーマネジメント回路SPMCは、システムLSIに搭載される各モジュールにおいて、消費される電力を制御する機能を有する。

【0070】半導体集積回路装置は、入出力回路I/Oにつながる入出力外部端子Tio1ないしTionと、負論理レベルのようリセット信号resbが供給される外部端子T1と、制御用外部端子T2と、第1動作制御信号cmqが供給される第1動作制御用外部端子T3と、第2動作制御信号cpmqが供給される第2動作制御用外部端子T4と、外部クロック信号clkが供給されるクロック用外部端子T5と、複数の電源電圧(vdd、vccdr、vss)が供給される複数の電源用外部端子T6、T7、T8を持つ。

【0071】特に制限されないが、電源電圧vddは、内部回路ブロックの動作のための電源電圧とされ、1.8ボルト±0.15ボルトのような値を取る。電源電圧vccdrは、半導体集積回路装置に要求される入出力レベルに応じて、主として入出力回路I/Oのために設定される電源電圧であり、3.3ボルト±0.3ボルト、2.5ボルト±0.25ボルト、及び1.8ボルト±0.15ボルトのような値のうちの一つを取るようにされる。電位vssは、いわゆるアース電位と称されるような回路の基準電位である。

【0072】図示の半導体集積回路装置は、いわゆるASIC(アプリケーション・スペシフィック・インテグレートッド・サーキット)すなわち特定用途ICを構成するようにされる。すなわち、図示のほとんどの回路ブロックは、ASIC構成を容易ならしめるように、それぞれ独立した回路機能単位としてのいわゆるモジュールないしはマクロセルをなすようにされる。各機能単位は、それぞれその規模、構成が変更可能にされる。AS

ICとしては、図示の回路ブロックの内、実現すべき電子システムが必要としない回路ブロックは、半導体基板上に搭載しないようにすることができる。逆に、図示されていない機能単位の回路ブロックを追加することもできる。

【0073】半導体集積回路装置は、特に制限されないが、1.8ボルト±0.15ボルトのような低電源電圧vddの基でも十分な動作特性を示すように、低電源電圧可能なCMOS構造の半導体集積回路装置とされる。

【0074】半導体集積回路装置に搭載されるダイナミック型メモリは、上記電源電圧Vddによって動作されても良い。しかし、この実施例の半導体集積回路装置には、ダイナミック型メモリのために、上記電源電圧vddとともに、上記電源電圧vddによって動作される電圧発生回路から発生される高電源電圧も利用される。ダイナミック型メモリにおいては、ダイナミック型メモリセルを選択するロウデコードのような回路はかかる高電源電圧にて動作され、半導体集積回路装置の内部バスBUSとの間に信号を入出力するような回路は低電源電圧Vddのような電源電圧によって動作される。この構成は、ダイナミック型メモリセルに与えられる情報としての電荷量を増大させる。これにより、ダイナミック型メモリの情報保持時間特性をより良好にできる。

【0075】中央処理部CPUは、特に制限されないが、いわゆるマイクロプロセッサと同様な構成にされる。すなわち中央処理部CPUは、その詳細を図示しないけれども、その内部に命令レジスタ、命令レジスタに書込まれた命令をデコードし、各種のマイクロ命令ないしは制御信号を形成するマイクロ命令ROM、演算回路、汎用レジスタ(RG6等)、内部バスBUSに結合するバスドライバ、バスレシーバなどの入出力回路を持つ。

【0076】中央処理部CPUは、リードオンリメモリROMなどに格納されている命令を読み出し、その命令に対応する動作を行う。中央処理装置CPUは、入出力回路I/Oを介して入力される外部データの取り込み、制御回路ULCに対するデータの入出力、リードオンリメモリROMからの命令や命令実行のために必要となる固定データのようなデータの読み出し、D/A変換器DACへのD/A変換すべきデータの供給、A/D変換器によってA/D変換されたデータの読み出し、スタティック型メモリSRAM、ダイナミック型メモリDRAMへのデータの読み出し、書込み、DMAコントローラDMACの動作制御等を行う。制御バスCBUSは、中央処理部CPUによる図示の回路ブロックの動作制御のために利用され、またDMAコントローラDMACなどの回路ブロックからの状態指示信号を中央処理部CPUに伝えるために使用される。

【0077】中央処理部CPUは、また割り込み制御回路IVCにおける指示レジスタRG5などにセットされ

た動作制御信号を内部バスBUSを介して参照し、必要な処理を行う。外部動作制御信号に応じて指示される動作、モードの詳細は、後で図6の論理回路CLC及び図7の機能態様図に基づいて詳細に説明する。

【0078】中央処理部CPUは、クロック発生回路CGCから発生されるシステムクロック信号C2を受けそのシステムクロック信号C2によって決められる動作タイミング、周期をもって動作される。

【0079】中央処理部CPUは、その内部の主要部が、CMOS回路、すなわちpMOSとnMOSとからなる回路から構成される。特に制限されないが、中央処理部CPUを構成するCMOS回路は、図示しないCMOSスタテック論理回路、CMOSスタテックフリップフロップのようなスタティック動作可能なCMOSスタテック回路と、信号出力ノードへの電荷のプリチャージと信号出力ノードへの信号出力とをシステムクロック信号C2に同期して行うようなCMOSダイナミック回路とを含む。

【0080】中央処理部CPUは、クロック発生回路CGCからのシステムクロック信号C2の供給が停止されたなら、それに応じて動作停止状態にされる。停止状態において、ダイナミック回路の出力信号は、回路に生じる不所望なリーク電流によって不所望に変化されてしまう。スタテックフリップフロップ回路構成のレジスタ回路のような回路は、システムクロック信号の非供給期間であっても、以前のデータを保持する。

【0081】システムクロック信号C2の非供給期間においては、中央処理部CPUの内部のスタテック回路における各種ノードでの信号レベル遷移が停止され、またダイナミック回路での出力ノードでのデスチャージないしプリチャージが停止される。この状態では、動作状態のCMOS回路が消費する動作電流のような比較的大きい消費電流、すなわち各種ノード及びそれぞれにつながる配線を持つ浮遊容量、寄生容量へ信号変位を与えるように電源線から与えられるチャージ、デイスチャージ電流は、実質的にゼロとなる。このことから中央処理部CPUは、CMOS回路のリーク電流に等しいような小さい電流しか流れず、低消費電力状態となる。

【0082】割り込み制御回路IVCは、外部端子T1に負論理レベルのようなりセット信号を受け、外部端子T3を介して第1動作信号cmqを受け、外部端子T4を介して第2動作制御信号cpmqを受け、また、外部端子T2に、半導体集積回路装置の動作状態を指示する状態指示信号を出力する。割り込み制御回路IVCは、かかるリセット信号resb、動作制御信号cmq、cpmq及び状態指示信号に対応してそれぞれの位置のビットが設定されるようなレジスタRG5を持つ。状態指示信号のより詳しい態様は後で図6に基いて説明する。

【0083】レジスタRG5における状態指示信号は、内部バスBUSを介して中央処理部CPUによって更新

される。外部端子T3、T4を介してレジスタRG5にセットされた動作制御信号cmq、cpmqは、前述のように、内部バスBUSを介し中央処理部CPUによって参照される。

【0084】特に制限されないが、割り込み制御回路IVCは、その内部にダイナミック型メモリのリフレッシュ動作のための図示しないリフレッシュアドレスカウンタを持つ。割り込み制御回路IVCにおけるかかるリフレッシュアドレスカウンタは、第1、第2動作制御信号cmq、cpmqによって第1及び第3モードが指示されているなら、すなわち半導体集積回路装置に対して動作モードか、動作スタンバイモードが指示されているなら、クロック発生回路CGCからのシステムクロック信号に基づいて歩進され、周期的に更新されるリフレッシュアドレス情報を形成する。

【0085】クロック発生回路CGCは、外部端子T5を介して外部クロック信号clkを受け、その外部クロック信号clkに対応した周期のシステムクロック信号C2を形成する。なお、図1では、クロック発生回路CGCと中央制御部CPUとの間の信号線が単純化されて表現されているけれども、システムクロック信号C2は、中央制御部CPU内の図示しない回路の順序立った動作のために、一般的なプロセッサに対するクロック信号と同様に、多相信号からなると理解されたい。

【0086】クロック発生回路CGCによるシステムクロック信号C2の発生は、割り込み制御回路IVCからの第1及び第2動作制御信号cmq、cpmqにตอบสนองするモード信号MODE2やイニシャル動作指示信号INTL(図6参照)のような制御信号C1及び中央処理部CPUからの制御信号C3によって制御される。動作制御信号cmqによって完全スタンバイ動作が指示されたなら、中央処理部CPUによって、スタティック的に保持すべきデータのスタティック型メモリSRAMへの書込み処理動作を含むような、完全スタンバイ動作へ移行するための必要な処理動作が行われ、次いで、中央処理部CPUからクロック発生回路CGCへシステムクロック発生動作停止のための制御信号C3が発生される。

【0087】動作制御信号cpmqによって動作スタンバイ動作が指示された場合は上記完全スタンバイ動作と同様に、中央処理部CPUによって、スタティック的に保持すべきデータのスタティック型メモリSRAMへの書込み処理動作を含むような、動作スタンバイ動作へ移行するための必要な処理動作が行われる。この場合のその後の動作は、上記完全スタンバイ動作の場合とは異なり、中央処理部CPUからクロック発生回路CGCへシステムクロック信号の選択的出力のための制御信号C3が発生される。

【0088】すなわち、クロック発生回路CGCから割り込み制御回路IVC及びダイナミック型メモリDRAMへシステムクロック信号の供給は継続され、それ以外

の回路ブロックへのシステムクロック信号の供給は停止される。動作制御信号 cmq 、 $cpmq$ が回路の動作を指示する状態に変化されたなら、それに応ずる割り込み制御回路 IVC からの制御信号 C1 によって、クロック発生回路 CGC は、外部クロック信号 clk に応ずるシステムクロック信号 C2 を発生するように制御される。

【0089】入出力回路 I/O は、外部端子 $Tio1$ ないし $Tion$ の内の所望の外部端子を介して外部から供給される信号を受け、また外部端子 $Tio1$ ないし $Tion$ の内の所望の端子に出力すべき信号を内部バス BUS を介して受ける。入出力回路 I/O は、その内部にそれぞれ CMOS スタテック回路からなるような制御レジスタ RG4 と図示しないデータレジスタとを持つ。

【0090】制御レジスタ RG4 は、中央処理部 CPU によって選択され、かつ中央処理部 CPU によって、当該入出力回路 I/O のための制御データ、例えば、データ入力/出力指示や高出カインピーダンス状態指示などの制御データが与えられる。データレジスタは、外部端子 $Tio1$ ないし $Tion$ と、内部バス BUS との間のデータの転送のために利用される。外部端子 $Tio1$ ないし $Tion$ のビット幅すなわち端子数と、内部バス BUS のビット幅が異なるような場合、データレジスタは、大きいビット幅に対応されるようなビット数を持つようにされ、中央処理部 CPU による動作制御に従ってビット数変換を行う。

【0091】例えば外部端子 $Tio1$ ないし $Tion$ の個数が 64 のような数であるのに対し、内部バス BUS のビット幅が 256 ビットのような比較的大きい数であるような場合、64 ビット単位をもって外部端子 $Tio1$ ないし $Tion$ に次々に供給される直列データは、中央処理部 CPU による直列-並列データ変換制御によってデータレジスタに順次に供給され、256 ビットのデータに変換される。逆に、内部バス BUS からデータレジスタにセットされた 256 ビットのデータは、中央処理部 CPU による並列-直列データ変換制御によって、64 ビット毎に分けられて外部端子 $Tio1$ ないし $Tion$ に順次に供給される。

【0092】入出力回路 I/O の信号入力のための回路及び信号出力のための回路は、その入力及び出力動作がシステムクロック信号によって制御されるようにされる。それ故に、入出力回路 I/O は、システムクロック信号が供給されなくなった時には、上記中央処理部 CPU と同様に低消費電力状態にされることになる。

【0093】制御回路 ULC は、電子システムの必要に応じて適宜に設けられる制御回路である。この制御回路 ULC としては、例えば、ハードディスク装置におけるモータサーボコントロール、ヘッドのトラッキング制御、誤り訂正処理や、画像、音声処理における画像や音声データの圧縮伸長処理のようなような実現すべき電子システムに応じて適宜に設けられる。制御回路の UL

C は、中央処理部 CPU と同様にその動作がシステムクロック信号によって制御される。

【0094】リードオンリメモリ ROM は、前述のように、中央処理装置 CPU によって読み出され実行されるべき命令、固定データを記憶する。

【0095】D/A 変換器 DAC は、内部バス BUS を介して供給されるアナログ信号に変換すべきデジタルデータを受けるレジスタ RG2 を持ち、かかるデジタルデータに基づいてアナログ信号を形成する。レジスタ RG2 は、制御回路 ULC もしくは中央処理部 CPU によってデジタルデータがセットされる。D/A 変換器 DAC の D/A 変換開始タイミング、D/A 変換結果の出力タイミングのような D/A 変換動作は、システムクロック信号によって制御される。D/A 変換器 DAC によって形成されたアナログ信号は、特に制限されないが、内部バス BUS 及び入出力回路 I/O を介して外部端子 $T1$ ないし Tn の所望の端子に供給される。尚、ここでは上記外部端子 $T1$ ないし Tn を入出力兼用端子（ピン）としているが、入力用端子と出力用端子に分離して設けてもよい。

【0096】D/A 変換器 DAC は、その詳細を図示しないけれども、高精度 DA 変換が必要とされる場合は、得べきアナログ量の基準とするような基準電圧源もしくは基準電流源を持つようにされる。かかる基準電圧源もしくは基準電流源は、一種のアナログ回路を構成するとみなされ、第 2 モード及び第 3 モード、すなわち完全スタンバイモード、及び動作スタンバイにおいて無視し得ない電流を消費してしまう危険性を持つ。それ故にそのような場合の消費電流の低減を可能にするよう、かかる基準電圧源もしくは基準電流源に対しては、上記第 2 モード、第 3 モードにおいて、スイッチオフするような MOSFET スイッチを設定される。

【0097】A/D 変換器 ADC は、外部端子 $T1$ ないし Tn のうちの所望の端子と入出力回路 I/O と内部バス BUS を介して供給されるようなアナログ信号を受け、制御回路 ULC もしくは中央処理部 CPU によってその A/D 変換の開始が制御され、システムクロック信号 C2 に従うようなクロック制御のもとで上記アナログ信号をデジタル信号に変換し、得られたデジタル信号をレジスタ RG1 にセットする。

【0098】A/D 変換器 ADC もまた、上記 D/A 変換器 DAC と同様に、高精度 AD 変換が必要とされる場合は、デジタル変換すべき量子化レベルの基準とされるような基準電圧源もしくは基準電流源を持つようにされる。A/D 変換器 ADC におけるかかる基準電圧源もしくは基準電流源もまた完全スタンバイモード、及び動作スタンバイモードにおいて無視し得ない電流を消費する危険性を持つ。それ故にその場合には、上記同様な MOSFET スイッチが、かかる基準電圧源もしくは基準電流源に適用される。

【0099】スタティック型メモリSRAMは、そのメモリセルとして、その詳細は図示しないが、CMOSスタティック型メモリセル、すなわちCMOSラッチ回路とそれに対するデータ入出力のための一対の伝送デパートMOSFETとからなるような構成のメモリセルを持つ。CMOSスタティック型メモリセルは、スタティックに情報を保持し、かつ情報保持のために、著しく小さい動作電流しか必要しないという特徴を持つ。

【0100】かかるスタティック型メモリSRAMは、実質上は、CMOSスタティック型ランダム・アクセス・メモリを構成するようにされる。すなわち、スタティック型メモリSRAMは、マトリクス配置の複数のCMOSスタティック型メモリセルからなるメモリアレイと、内部バスBUSを介して供給されるようなロウアドレス信号をデコードしそれによってメモリアレイにおけるワード線を選択するロウ系アドレス・デコード・ドライブ回路と、カラムアドレス信号をデコードしそれによってカラム・デコード信号を形成するカラム系アドレスデコード回路と、かかるカラム・デコード信号によって動作されメモリアレイにおけるデータ線を選択しそれを共通データ線に結合させるカラムスイッチ回路と、共通データ線に結合された入出力回路と、読み出し書き込み制御回路とを含む構成とされる。

【0101】メモリアレイに関連するかかるアドレス・デコード・ドライブ回路のような回路すなわちメモリアレイ周辺回路は、CMOSスタティック回路から構成される。それ故に、スタティック型メモリセルSRAMは、読み出し、書き込み動作が行われない情報保持動作のみだけなら、比較的消費電力状態に置かれることとなる。なお、CMOSスタティック型メモリは、メモリセルサイズが比較的大きくなり、その記憶容量に対する全体のサイズが比較的大きくなってしまふという考慮すべき特徴を持ち、大きな記憶容量にすることが比較的困難である。

【0102】DMAコントローラ、すなわちダイレクト・メモリ・アクセス・コントローラDMACは、中央処理部CPUによってその動作が制御され、中央処理部CPUによって指示された回路ブロック間の内部バスBUSを介するデータ転送を、中央処理部CPUになり代わって制御する。DMAコントローラDMACの詳細は、独立の半導体集積回路装置として構成されるDMAコントローラと実質的に同じ構成にし得るので更にの詳細な説明は行わないが、その内部のレジスタRG7等に、中央処理部CPUによってセットされる転送元情報、転送先情報、データ転送量情報等の設定情報に基づいて、データ転送制御を行う。

【0103】ダイナミック型メモリDRAMは、そのメモリセルすなわちダイナミック型メモリセルが、典型的には、電荷の形態をもって情報を蓄積する情報蓄積用キャパシタと、選択用MOSFETとからなるような少な

い数の素子からなり、比較的小さいメモリセルサイズにされ得る。それ故に、ダイナミック型メモリは、大記憶容量であってもその全体のサイズを比較的小さくすることができる。

【0104】ダイナミック型メモリDRAMは、それがその記憶容量にかかわらずに比較的小さいサイズをもって構成され得るから、他の回路ブロックとを搭載する半導体基板は、比較的小さいサイズにされ得る。これに応じた利点も期待できる。すなわち、半導体基板のサイズは、得べき半導体集積回路装置の電気的性能、熱的、機械的ストレスに関係するような信頼性、製造歩留まり、価格等々にも影響を及ぼすものであり、小さい方が有利で有る。比較的小さいサイズの半導体基板に大容量のメモリとともに複数の回路ブロックを搭載可能となることによって、更に優れた性能の電子システムを実現を可能とする半導体集積回路装置を提供することができるようになる。

【0105】上に説明したような構成の半導体集積回路装置は、外部端子T3に供給される第1動作制御信号cmqによって完全スタンバイ動作が指示されたなら、クロック発生回路CGCの動作停止によってシステムクロック信号C2が発生されなくなること、及びまた全体として低消費電力状態にされることになる。

【0106】また、外部端子T4供給される第2動作制御信号cpmqによって動作スタンバイ動作が指示されたなら、クロック発生回路CGCの出力の選択的出力によって、ダイナミック型メモリのリフレッシュ動作に関係する回路部分が動作状態に置かれるが、図示の多くの回路ブロックが非活性状態に置かれることになる。それ故に、半導体集積回路装置は、比較的低い消費電力状態に置かれる。

【0107】この実施例では、低電源電圧動作可能なCMOS半導体集積回路装置を好適に制御可能とするため、基板バイアス制御回路VBBCが設けられる。基板バイアス制御回路VBBCは、半導体集積回路装置に供給される外部電源電圧によって動作されるチャージポンプ回路と整流回路とからなるような電圧発生回路を含み、それ自体で外部電源電圧範囲を超える正及び負のバイアス電圧を形成するとともに、基板バイアス制御信号をも形成するようにされる。

【0108】基板バイアス制御回路VBBCは、図示の他の回路ブロックがそれぞれモジュールないしは機能単位を構成するように構成されると同様に、それ自体で実質上の一つの回路ブロックを構成するようにされる。

【0109】半導体集積回路装置は、該基板バイアス制御回路VBBCにつながり、各回路ブロックにつながる配線VL&CLが設けられる。上記の配線VL&CLは、各種の基板バイアス電位を各回路ブロックを構成するMOSFET(絶縁ゲート電界効果トランジスタ)の基板へ供給するための複数の電源線と、各回路ブロック

のモード設定のための各種制御信号を配信するための信号線を含む。

【0110】上記配線VL&CLのうち、クロック発生回路CGCからCPUに伝えられるようなクロックC2、割り込み制御回路に伝えられるクロックC1を含んで、各機能ブロックの動作に必要なクロックを伝達させるクロック配線は、前記実施例のように論理的に同一周波数、同位相であるクロックを隣り合わせて設けられる。異なる周波数や位相で動作するクロックが複数ある場合、周波数/位相の同じクロックが隣り合うようにグループ化して配線される。配線の長さ、使用するメタル層が統一される。他の配線のクロック線への影響を小さくするため、同じタイミングで変化するダミー配線が隣り合うようレイアウトされ、あるいはグループ化したクロック配線と他の配線のスペースを広げるようにされる。

【0111】上記の実施例から得られる作用効果は、下記の通りである。

(1) クロック供給回路で形成されたクロックを受けて動作する論理回路を含む論理ブロックを備えた半導体集積回路装置において、上記クロック供給回路と上記論理ブロックに至るまでのクロック配線経路として並行して延長され、同じクロックが伝えられる少なくとも2つの配線経路とを設け、上記クロック供給回路に上記クロック配線に対してそれぞれ独立したクロック駆動回路を設け、上記論理ブロックには上記クロック配線に対してそれぞれ独立したクロック入力回路を設けることにより、クロックの高速伝達を実現することができるという効果が得られる。

【0112】(2) 上記に加えて、上記論理ブロックを複数の機能ブロックで構成し、上記クロック供給回路を上記複数の機能ブロックに対して共通に用い、上記少なくとも2つの配線経路を上記複数の機能ブロックのうち半導体基板上に隣接して配置される少なくとも2つの機能ブロックに対して並行して延長させる部分を設けことにより、少ない配線数及びクロック駆動回路によりクロックの高速伝達が可能になるという効果が得られる。

【0113】(3) 上記に加えて、上記少なくとも2つの配線経路の伝達経路の配線長さの差が小さくなるようにいずれか1以上に迂回経路を持たせることにより、クロックスキューを低減させることができるという効果が得られる。

【0114】(4) 上記に加えて、上記論理ブロックを複数の機能ブロックで構成し、上記複数の機能ブロックのそれぞれが所望の信号処理能力を持つようにするとともに、上記クロック供給回路から上記複数の機能ブロックのそれぞれに対して並行に延長される少なくとも2つの配線経路を設けることにより、クロックの高速伝達が可能になるという効果が得られる。

【0115】(5) 上記に加えて、上記クロック供給回路より第1クロックと、それに対して周波数が $1/N$

に分周された第2クロックとを形成し、上記クロック供給回路から複数の第1論理ブロックに至るまでの第1クロック配線経路として並行に延長される部分を含む少なくとも2つの配線経路を設け、上記クロック供給回路から上記複数の第2論理ブロックに至るまでの第2クロック配線経路として並行に延長される部分を含む少なくとも2つの配線経路を設けることにより、上記複数の第1論理ブロック及び第2論理ブロックのそれぞれにおいてクロックの高速伝達が可能となり、第1論理ブロックと第2論理ブロック間のデータ授受のタイミングマージンを大きくすることができるという効果が得られる。

【0116】(6) 上記に加えて、上記クロック供給回路により、第1クロックとそれに対して周波数が $1/N$ に分周された第2クロックを形成し、第1クロックと第2クロックとをそれぞれに対応した複数の機能ブロックのそれぞれに対して並行に延長される少なくとも2つの配線経路を設けることにより、クロックの高速伝達が可能になり、第1論理ブロックと第2論理ブロック間のデータ授受のタイミングマージンをいっそう大きくすることができるという効果が得られる。

【0117】(7) 上記に加えて、上記第1クロックを伝える第1配線と上記第2クロックを伝える第2配線とを並行して延長し、上記第1クロックの第1配線と第2配線の間には、上記第1及び第2配線に対して第3と第4配線を並行して延長し、上記第1配線に隣接した第3配線には上記第1クロックを伝え、上記第2配線に隣接した第4配線には上記第2クロックを伝えることにより、第1クロックと第2クロック間での相互干渉が低減されてクロックの高速伝達が可能になるとともに、クロック配線を集中して配置させることができるという効果が得られる。

【0118】(8) 上記に加えて、上記機能ブロックを1つの半導体基板上に形成される1チップのマイクロコンピュータシステムを構成するものとし、それぞれが独立して動作可能とされる信号処理回路とすることにより、動作の高速化が可能になるとともに、クロック入力部でのクロック停止機能を簡単に付加することができるので低消費電力化を図ることができるという効果が得られる。

【0119】(9) 上記に加えて、上記論理ブロックをゲートアレイで構成された一定のエリアに配置された論理ゲート群とするものとし、上記クロック供給回路を、半導体基板の中心部に設け、各論理ゲート群との間のクロック供給経路が互いに等長となるように配置することにより、論理ゲート群の高速化と論理ゲート群相互でのデータ授受のタイミングマージンを大きくすることができるという効果が得られる。

【0120】(10) 上記に加えて、複数ビットの単位で読み出し信号をクロックに対応して増幅する増幅回路を有するメモリ回路に適用し、上記クロック供給回路

により上記メモリ回路の増幅回路の動作に必要なクロック信号を供給するものとする事により、メモリ回路の動作の高速化が可能になるという効果が得られる。

【0121】以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、前記論理ブロックは、マイクロコンピュータを構成する機能ブロック、ASICのような特定用途ICにおける機能ブロックあるいはマクロセル、ゲートアレイでの論理ゲート群及びメモリ回路での増幅回路等、クロックにより動作する回路を含む一定の大きさを持つ回路群であれば何であってもよい。

【0122】クロック供給回路は、前記1相のクロックであることの他、2相あるいは3相等のクロックであってもよい。この場合、2相或いは3相クロックは、同一周波数でも同位相にはならないので同種類のクロックとは見做されず、これらのクロックを伝達するクロック配線はそれぞれが隣り合うようにグループ化して配線され、このようにグループ化したクロック配線相互の間には、スペースを広げるようにするか、あるいはシールドクロック配線が設けられる。この発明は、クロックにより動作する論理ブロックや増幅回路を含む各種半導体集積回路装置に広く利用することができる。

【0123】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。クロック供給回路で形成されたクロックを受けて動作する論理回路を含む論理ブロックを備えた半導体集積回路装置において、上記クロック供給回路と上記論理ブロックに至るまでのクロック配線経路として並行して延長され、同じクロックが伝えられる少なくとも2つの配線経路とを設け、上記クロック供給回路に上記クロック配線に対してそれぞれ独立したクロック駆動回路を設け、上記論理ブロックには上記クロック配線に対してそれぞれ独立したクロック入力回路を設けることにより、クロックの高速伝達を実現することができる。

【図面の簡単な説明】

【図1】この発明に係る半導体集積回路装置におけるクロック系回路の一実施例を示すブロック図である。

【図2】この発明に係る半導体集積回路装置におけるクロック系回路の一実施例を示す配線配置図である。

【図3】この発明に係る半導体集積回路装置の一実施例を示すブロック図である。

【図4】この発明に係る半導体集積回路装置の他の一実施例を示すブロック図である。

【図5】この発明に係る半導体集積回路装置に設けられるクロックパルスジェネレータの一実施例を示すブロック図である。

【図6】この発明に係るクロック駆動回路の他の一実施例を示す回路図である。

【図7】この発明が適用されるシングルチップマイクロコンピュータの一実施例を示すブロック図である。

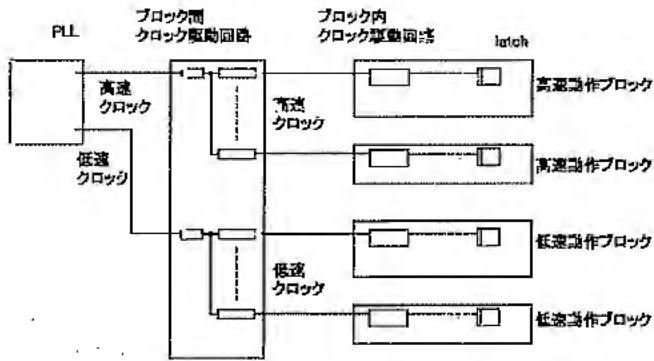
【図8】この発明が適用されたダイナミック型RAMの一実施例を示す全体概略レイアウト図である。

【図9】本発明に係る半導体集積回路装置の他の一実施例を示す全体の回路ブロック図である。

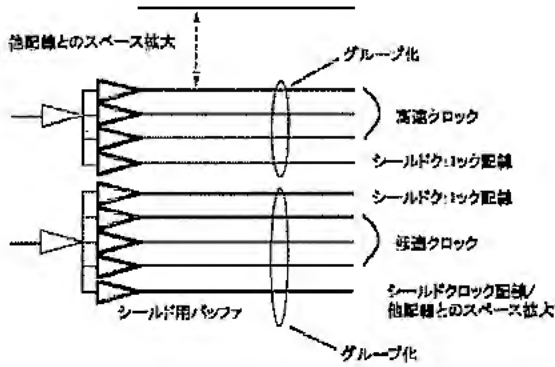
【符号の説明】

1…半導体チップ、2a~2c…高速動作回路ブロック、4a~4d…低速動作回路ブロック、5…CPG、6…ブロック間クロック駆動回路群、7…ブロック内クロック駆動回路、8a…高速クロック信号、8b…低速クロック信号、9…グループ化、12…クロック入力ピン、13…マスキックロックドライバ群、14…サブクロックドライバ群、15…グループ化、10…メモリチップ、101…アレイ制御回路、102…メインワードドライバ、103…カラムデコーダ、104…中央部分、105…メインアンプ、106…コントロール回路、CPU…中央処理装置、DMAC…直接メモリアクセス制御装置、MULT…乗算器、AB1、DB1…第1バス、TGA…タグメモリ、CAC…キャッシュコントローラ、CDM…データメモリ、DIVU…除算器、INTC…割り込み制御回路、UBC…ブレークコントローラ、AB2、DB2…第2バス、AB3、DB3…第3バス、SCI…シリアルコミュニケーションインターフェイス、FRT…フリーランニングタイマ、WDT…ウォッチドッグタイマ、MC…動作モードコントローラ、CPG…クロックパルスジェネレータ、BSC…バスステートコントローラ、CHIP…半導体集積回路装置、ULC…制御回路、VBBC…基板バイアス制御回路、I/O…入出力回路、ROM…リードオンリーメモリ、DAC…D/A変換器、ADC…A/D変換器、DRAM…ダイナミックメモリ、SRAM…スタティックメモリ、SPMC…システムパワーマネジメント回路、IVC…割込制御回路、CGC…クロック発生回路。

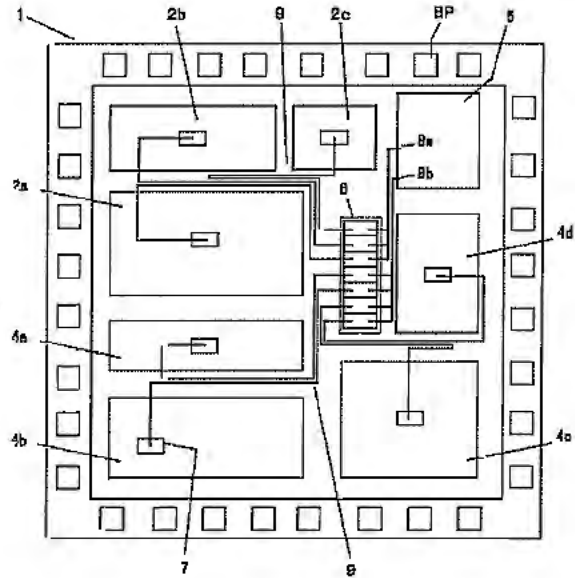
【図1】



【図2】

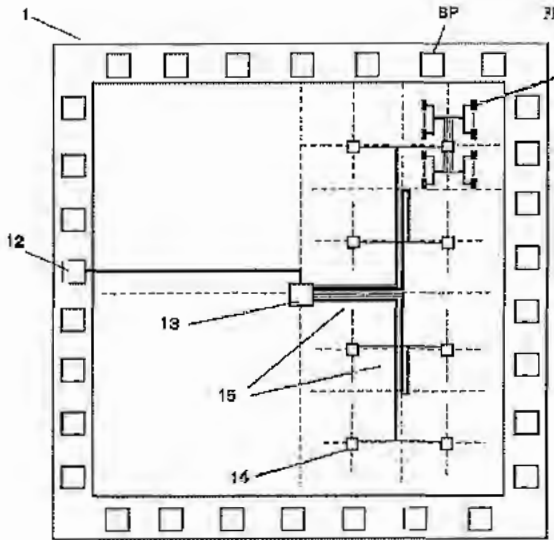


【図3】



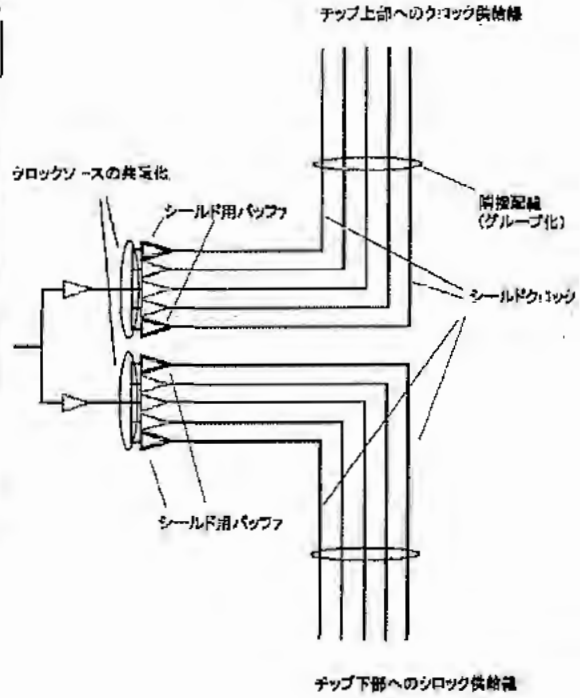
- 1: 半導体チップ
- 2a~2c: 高速動作回路ブロック (GPU, DSP, など)
- 4a~4c: 低速動作回路ブロック (タイマ, シリアル, I/O)
- B: GPU (クロックパルスジェネレータ)
- 6: ブロック間クロック駆動回路
- 7: ブロック内クロック駆動回路
- 8a: 高速 クロック番号
- 8b: 低速 クロック番号
- 9: ブロック間クロック信号(グループ化)

【図4】

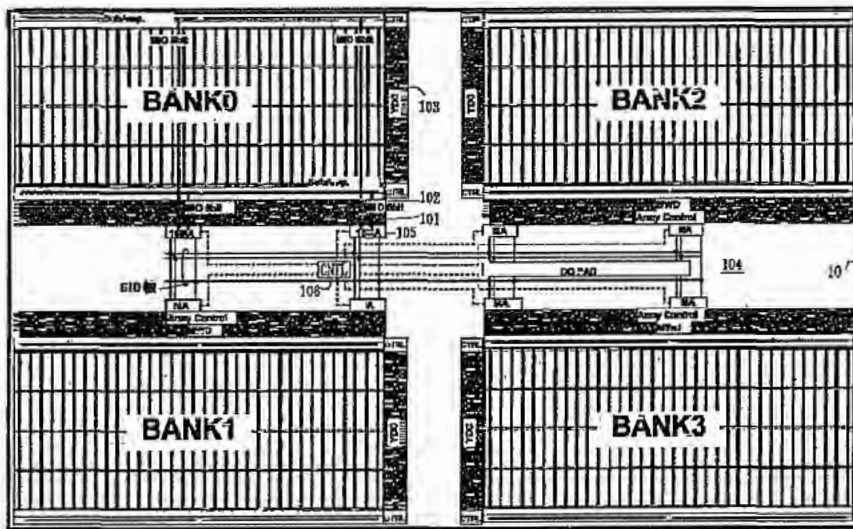


- 1: 半導体チップ
- 12: クロック入力キャパシタ
- 13: マスタクロックドライバ回路
- 14: サブクロックドライバ回路
- 15: クロック信号配線(グループ化)

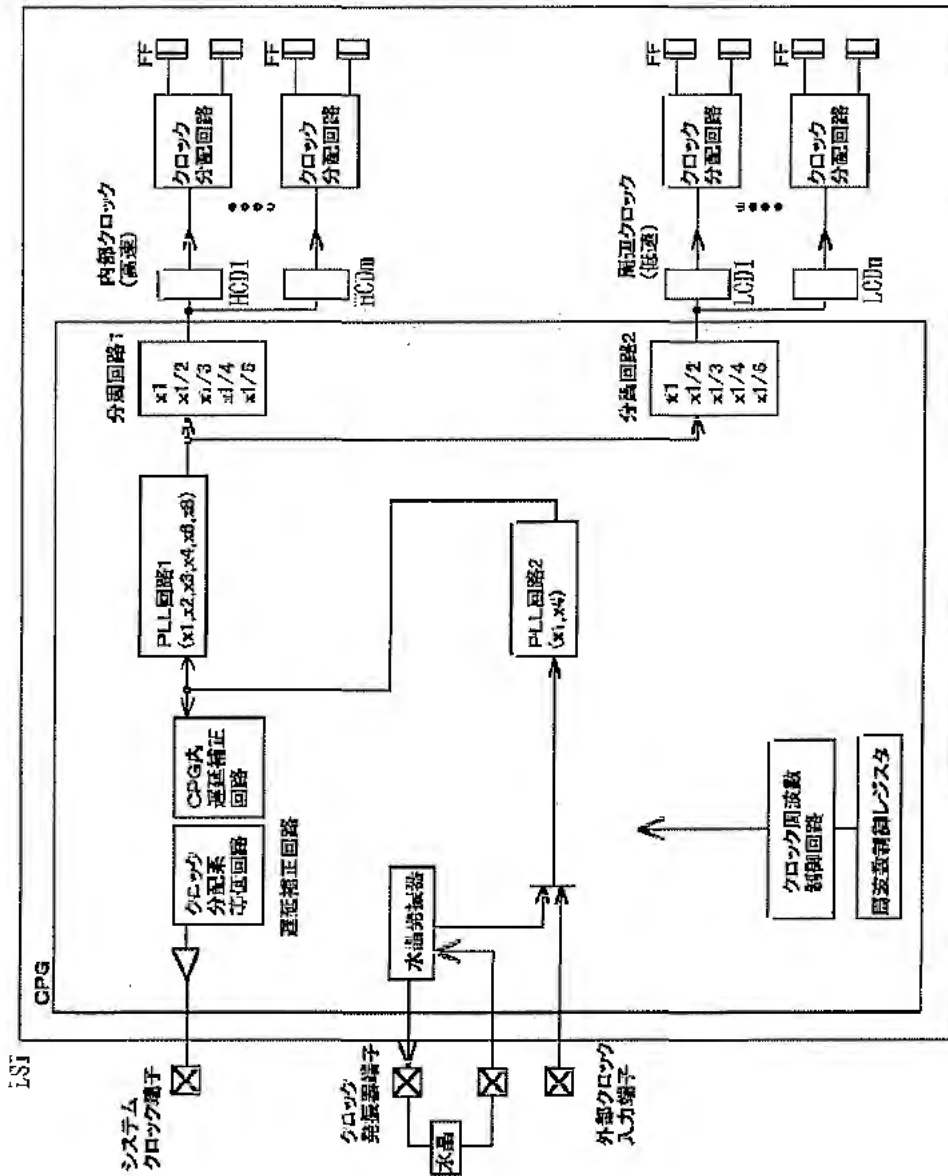
【図6】



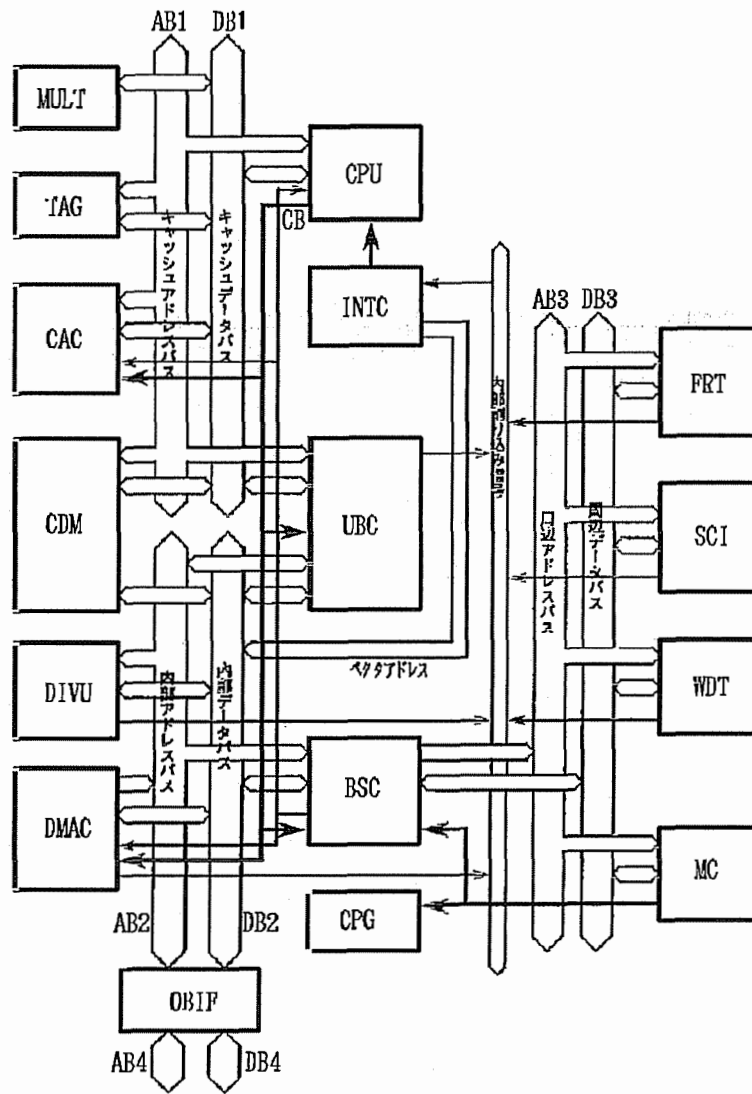
【図8】



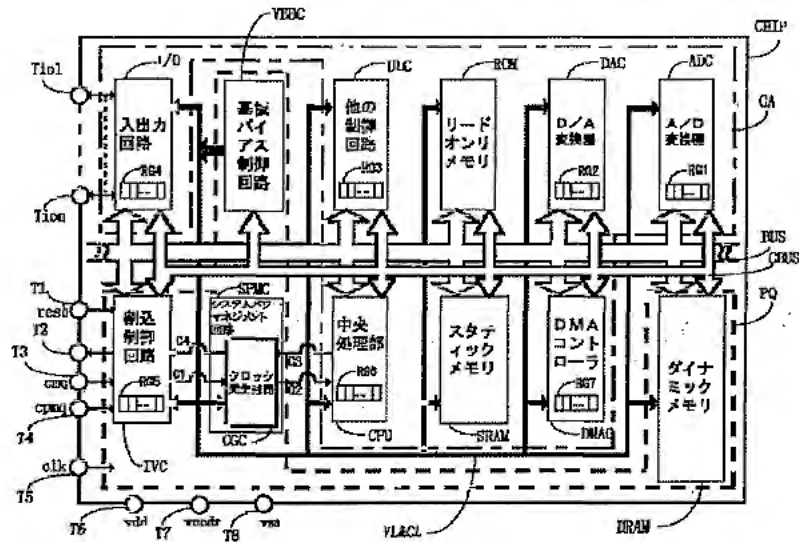
【図5】



【図7】



【図9】



フロントページの続き

(51)Int. Cl. ⁷	識別記号	F I	(参考)		
G 1 1 C	11/41	G 1 1 C	11/34	3 5 4 C	5 F 0 6 4
	11/407			3 6 2 S	
	11/401			3 7 1 K	
H 0 1 L	21/82	H 0 1 L	21/82		W
			27/04		U

(72)発明者 星 聡
 東京都小平市上水本町五丁目20番1号 株
 式会社日立製作所半導体グループ内

Fターム(参考) 5B015 JJ21 KB84 NN03 PP02
 5B024 AA15 BA21 CA07 CA21 CA27
 5B062 AA03 CC01 HH01
 5B079 BA20 BC03 CC04 CC14 DD08
 DD13 DD20
 5F038 AV06 BH10 BH19 CA03 CA04
 CD06 CD07 CD08 CD09 DF08
 DF11 EZ20
 5F064 AA03 AA04 BB09 BB12 BB19
 BB26 DD04 EE08 EE14 EE15
 EE16 EE46 EE47 EE54

Electronic Acknowledgement Receipt

EFS ID:	8017557
Application Number:	12836364
International Application Number:	
Confirmation Number:	2050
Title of Invention:	RECONFIGURABLE SEQUENCER STRUCTURE
First Named Inventor/Applicant Name:	Martin VORBACH
Customer Number:	26646
Filer:	Aaron Grunberger/Eunice Chang
Filer Authorized By:	Aaron Grunberger
Attorney Docket Number:	2885/139
Receipt Date:	14-JUL-2010
Filing Date:	
Time Stamp:	17:53:11
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no
------------------------	----

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Information Disclosure Statement (IDS) Filed (SB/08)	2885-139-InitialIDS.pdf	4434229 <small>2160c82c2fe56ea4bd4f4752031e8b946a3f625f</small>	no	27

Warnings:

Information:

INTEL - 1004

This is not an USPTO supplied IDS fillable form					
2	Foreign Reference	jp3961028.pdf	2894907 b25df131f7bd816f6ddebfbabcbf2835ac32b5d7	no	26
Warnings:					
Information:					
3	Foreign Reference	JP2001-510650.pdf	82473 ea6beb940da41a08e5aba48dc86601668a014c78	no	1
Warnings:					
Information:					
4	Foreign Reference	JP2002-33457.pdf	3129738 1c0b7061150b8fccc71e549aab8fe31a18dc a33b	no	21
Warnings:					
Information:					
5	NPL Documents	altera-trimatrix.pdf	2519004 282e58ffc20968d60153f8f74971fc96dd9227a8	no	28
Warnings:					
Information:					
6	NPL Documents	altera-apex-ii.pdf	10190010 f7aea252b4ca43a12b07dabccdc901ba3f99df69	no	99
Warnings:					
Information:					
7	NPL Documents	Becker- Jurgen_PartitioningCompiler. pdf	20937818 a14f573flea5cb1bd7f73c25bc459888d46a2331	no	326
Warnings:					
Information:					
8	NPL Documents	BlueGeneHardwareArchitectur e.pdf	3233814 72df461581049d1f2052db14a1f483269e9d7a4d	no	23
Warnings:					
Information:					
9	NPL Documents	BlueGeneLNextGen2002.pdf	7783513 0c31e9cdfda05d7b696ed65e7afce74249e ddc1f	no	29
Warnings:					
Information:					
10	NPL Documents	blue-gene-slides.pdf	4450664 c2aa8860f9ea4b5f765eb6bb5615ca54e0f836e1	no	20

Warnings:					
Information:					
11	NPL Documents	blue-gene-overview.pdf	3003233 0b34a106b1959277204bf0b2f399a6764c525aeb	no	22
Warnings:					
Information:					
12	NPL Documents	Epstein-IBMExtendsDSP.pdf	989670 545ff5f216ea4a55d09840848864d4453b353198	no	4
Warnings:					
Information:					
13	NPL Documents	GalanisMD.pdf	278793 03561a2f2c6d395241bbd00fa5347cfcfb091	no	3
Warnings:					
Information:					
14	NPL Documents	GuoZhi.pdf	421235 fe7a7a62861436806b790595c6d90ae337206803	no	5
Warnings:					
Information:					
15	NPL Documents	Gwennap-P6UnderscoresIntel.pdf	3042484 433f0ec995a294dd2862989b473c155f13740459	no	11
Warnings:					
Information:					
16	NPL Documents	Gwennap-IntelsP6Designed.pdf	1669036 489e5d980e1c214e9322c82a76debce3a1474c2	no	7
Warnings:					
Information:					
17	NPL Documents	Hartenstein-ParallelizingCompilation.pdf	2153639 05e98aa2311f00a205e9420d6fb1723bcfd42330	no	13
Warnings:					
Information:					
18	NPL Documents	Hartenstein-Two-Level-Co-Design.pdf	883370 1c0e2d0a66ef4b59ca31ce8d2cba6f44b6d3dfc6	no	10
Warnings:					
Information:					
19	NPL Documents	Huang-et-al-MultiPrec-Floating-Point.pdf	1070963 b84bd291123a8b02eb4134add299c174f7dbc20f	no	8

Warnings:					
Information:					
20	NPL Documents	IMEC-REFERENCE.pdf	495218 aaec069af22d6d5d7224abaa39e5c4553761867b	no	2
Warnings:					
Information:					
21	NPL Documents	Intel-1.pdf	11517337 fa59d5912fb92f4711adf3d8983d17a89e69205e	no	100
Warnings:					
Information:					
22	NPL Documents	Intel-2.pdf	12680157 1a705a014cc1410e4bf7a5a6e59db6d441ee5fc0	no	120
Warnings:					
Information:					
23	NPL Documents	Intel-3.pdf	13688822 9d546eeeb2cd683115fe90870bb2f6c8522ef7ed	no	120
Warnings:					
Information:					
24	NPL Documents	Intel-4.pdf	13193473 75f8f09ff07b47e8e8c93abba2dbc1294eabc132	no	118
Warnings:					
Information:					
25	NPL Documents	Jo-et-al-Floating-PointDesign.pdf	602920 44f325e90fbc8ccca1fb32736841b8fdbead4a59	no	4
Warnings:					
Information:					
26	NPL Documents	Kanter-NVIDIA-Ref.pdf	4984691 43894307f85f5c02fe00cec5cf12e73acf41d7a4	no	27
Warnings:					
Information:					
27	NPL Documents	xilinx-intelligent-clock.pdf	546831 b05a19b2c2f5c83dc81914572d5e0b4aff8521e2	no	5
Warnings:					
Information:					
28	NPL Documents	xilinx-power-consump.pdf	2630588 59a7ea16f1594a86f07fa7fe20f495934066cc9	no	21

Warnings:	
Information:	
Total Files Size (in bytes):	133508630
<p>This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.</p> <p><u>New Applications Under 35 U.S.C. 111</u> If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.</p> <p><u>National Stage of an International Application under 35 U.S.C. 371</u> If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.</p> <p><u>New International Application Filed with the USPTO as a Receiving Office</u> If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.</p>	

Date: 07/14/2010

Approved for use through 7/31/2006. OMB 0651-0032

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD

Substitute for Form PTO-875

Application or Docket Number

12/836,364**APPLICATION AS FILED – PART I**

(Column 1) (Column 2)

FOR	NUMBER FILED	NUMBER EXTRA
BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A
SEARCH FEE (37 CFR 1.16(k), (l), or (m))	N/A	N/A
EXAMINATION FEE (37 CFR 1.16(c), (p), or (q))	N/A	N/A
TOTAL CLAIMS (37 CFR 1.16(i))	30	minus 20 = 10
INDEPENDENT CLAIMS (37 CFR 1.16(h))	1	minus 3 = 0
APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is \$270 (\$135 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR	
MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))		

SMALL ENTITY

OR

LARGE ENTITY

RATE (\$)	FEE (\$)
N/A	
N/A	
N/A	
X \$26	
X \$110	
195	
TOTAL	

OR

RATE (\$)	FEE (\$)
N/A	330
N/A	540
N/A	220
X \$52	520
X \$220	0
390	
TOTAL	1610

* If the difference in column 1 is less than zero, enter "0" in column 2.

APPLICATION AS AMENDED – PART II

(Column 1) (Column 2) (Column 3)

AMENDMENT A	CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA
	Total (37 CFR 1.16(i))	*	Minus	**
Independent (37 CFR 1.16(h))	*	Minus	***	=
Application Size Fee (37 CFR 1.16(s))				
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))				

SMALL ENTITY

OR

OTHER THAN SMALL ENTITY

RATE (\$)	ADDITIONAL FEE (\$)
X =	
X =	
N/A	
TOTAL ADD'T FEE	

OR

RATE (\$)	ADDITIONAL FEE (\$)
X =	
X =	
N/A	
TOTAL ADD'T FEE	

(Column 1) (Column 2) (Column 3)

AMENDMENT B	CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA
	Total (37 CFR 1.16(i))	*	Minus	**
Independent (37 CFR 1.16(h))	*	Minus	***	=
Application Size Fee (37 CFR 1.16(s))				
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))				

SMALL ENTITY

OR

OTHER THAN SMALL ENTITY

RATE (\$)	ADDITIONAL FEE (\$)
X =	
X =	
N/A	
TOTAL ADD'T FEE	

OR

RATE (\$)	ADDITIONAL FEE (\$)
X =	
X =	
N/A	
TOTAL ADD'T FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.

** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".

*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".

The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

INTEL - 1004

Page 146 of 539

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD Substitute for Form PTO-875	Application or Docket Number 12/836,364	Filing Date 07/14/2010	<input type="checkbox"/> To be Mailed
---	---	----------------------------------	---------------------------------------

APPLICATION AS FILED – PART I			OTHER THAN SMALL ENTITY			
	(Column 1)	(Column 2)	SMALL ENTITY <input checked="" type="checkbox"/>	OR		
FOR	NUMBER FILED	NUMBER EXTRA	RATE (\$)	FEE (\$)	RATE (\$)	FEE (\$)
<input type="checkbox"/> BASIC FEE <small>(37 CFR 1.16(a), (b), or (c))</small>	N/A	N/A	N/A		N/A	
<input type="checkbox"/> SEARCH FEE <small>(37 CFR 1.16(k), (l), or (m))</small>	N/A	N/A	N/A		N/A	
<input type="checkbox"/> EXAMINATION FEE <small>(37 CFR 1.16(o), (p), or (q))</small>	N/A	N/A	N/A		N/A	
TOTAL CLAIMS <small>(37 CFR 1.16(i))</small>	minus 20 =	*	X \$ =		X \$ =	
INDEPENDENT CLAIMS <small>(37 CFR 1.16(h))</small>	minus 3 =	*	X \$ =		X \$ =	
<input type="checkbox"/> APPLICATION SIZE FEE <small>(37 CFR 1.16(s))</small>	If the specification and drawings exceed 100 sheets of paper, the application size fee due is \$250 (\$125 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s)					
<input type="checkbox"/> MULTIPLE DEPENDENT CLAIM PRESENT <small>(37 CFR 1.16(j))</small>						
* If the difference in column 1 is less than zero, enter "0" in column 2.			TOTAL		TOTAL	

APPLICATION AS AMENDED – PART II					OTHER THAN SMALL ENTITY			
	(Column 1)	(Column 2)	(Column 3)					
AMENDMENT	07/14/2010	CLAIMS REMAINING AFTER AMENDMENT	HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE (\$)	ADDITIONAL FEE (\$)	RATE (\$)	ADDITIONAL FEE (\$)
	Total (37 CFR 1.16(i))	* 30	Minus	** 30	=	0	OR	X \$ =
	Independent (37 CFR 1.16(n))	* 1	Minus	*** 3	=	0	OR	X \$ =
<input type="checkbox"/> Application Size Fee (37 CFR 1.16(s))							OR	
<input type="checkbox"/> FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR	
					TOTAL ADD'L FEE	0	OR	TOTAL ADD'L FEE

APPLICATION AS AMENDED – PART II					OTHER THAN SMALL ENTITY			
	(Column 1)	(Column 2)	(Column 3)					
AMENDMENT		CLAIMS REMAINING AFTER AMENDMENT	HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE (\$)	ADDITIONAL FEE (\$)	RATE (\$)	ADDITIONAL FEE (\$)
	Total (37 CFR 1.16(i))	*	Minus	**	=		OR	X \$ =
	Independent (37 CFR 1.16(n))	*	Minus	***	=		OR	X \$ =
<input type="checkbox"/> Application Size Fee (37 CFR 1.16(s))							OR	
<input type="checkbox"/> FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR	
					TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.
 ** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".
 *** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".
 The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

Legal Instrument Examiner:
 /DIANE WILLIAMS/

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
12/836,364	07/14/2010	Martin VORBACH	2885/139

26646
KENYON & KENYON LLP
ONE BROADWAY
NEW YORK, NY 10004

**CONFIRMATION NO. 2050
POA ACCEPTANCE LETTER**



Date Mailed: 08/02/2010

NOTICE OF ACCEPTANCE OF POWER OF ATTORNEY

This is in response to the Power of Attorney filed 07/14/2010.

The Power of Attorney in this application is accepted. Correspondence in this application will be mailed to the above address as provided by 37 CFR 1.33.

/btsebhatu/

Office of Data Management, Application Assistance Unit (571) 272-4000, or (571) 272-4200, or 1-888-786-0101



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
12/836,364	07/14/2010	Martin Vorbach	2885/139

CONFIRMATION NO. 2050

FORMALITIES LETTER



26646
KENYON & KENYON LLP
ONE BROADWAY
NEW YORK, NY 10004

Date Mailed: 08/02/2010

NOTICE TO FILE CORRECTED APPLICATION PAPERS

Filing Date Granted

An application number and filing date have been accorded to this application. The application is informal since it does not comply with the regulations for the reason(s) indicated below. Applicant is given TWO MONTHS from the date of this Notice within which to correct the informalities indicated below. Extensions of time may be obtained by filing a petition accompanied by the extension fee under the provisions of 37 CFR 1.136(a).

The required item(s) identified below must be timely submitted to avoid abandonment:

- A substitute specification excluding claims in compliance with 37 CFR 1.52, 1.121(b)(3), and 1.125 is required. The substitute specification must be submitted with markings and be accompanied by a clean version (without markings) as set forth in 37 CFR 1.125(c) and a statement that the substitute specification contains no new matter (see 37 CFR 1.125(b)). Since a preliminary amendment was present on the filing date of the application and such amendment is part of the original disclosure of the application, the substitute specification must include all of the desired changes made in the preliminary amendment. See 37 CFR 1.115 and 1.215.

Applicant is cautioned that correction of the above items may cause the specification and drawings page count to exceed 100 pages. If the specification and drawings exceed 100 pages, applicant will need to submit the required application size fee.

Replies should be mailed to:

Mail Stop Missing Parts
Commissioner for Patents
P.O. Box 1450
Alexandria VA 22313-1450

Registered users of EFS-Web may alternatively submit their reply to this notice via EFS-Web.
<https://portal.uspto.gov/authenticate/AuthenticateUserLocalEPF.html>

For more information about EFS-Web please call the USPTO Electronic Business Center at **1-866-217-9197** or visit our website at <http://www.uspto.gov/ebc>.

If you are not using EFS-Web to submit your reply, you must include a copy of this notice.

/masfaw/

Office of Data Management, Application Assistance Unit (571) 272-4000, or (571) 272-4200, or 1-888-786-0101



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING or 371(c) DATE	GRP ART UNIT	FIL FEE REC'D	ATTY. DOCKET NO	TOT CLAIMS	IND CLAIMS
12/836,364	07/14/2010	2827	722	2885/139	30	1

CONFIRMATION NO. 2050

26646
KENYON & KENYON LLP
ONE BROADWAY
NEW YORK, NY 10004

FILING RECEIPT



Date Mailed: 08/02/2010

Receipt is acknowledged of this non-provisional patent application. The application will be taken up for examination in due course. Applicant will be notified as to the results of the examination. Any correspondence concerning the application must include the following identification information: the U.S. APPLICATION NUMBER, FILING DATE, NAME OF APPLICANT, and TITLE OF INVENTION. Fees transmitted by check or draft are subject to collection. Please verify the accuracy of the data presented on this receipt. **If an error is noted on this Filing Receipt, please submit a written request for a Filing Receipt Correction. Please provide a copy of this Filing Receipt with the changes noted thereon. If you received a "Notice to File Missing Parts" for this application, please submit any corrections to this Filing Receipt with your reply to the Notice. When the USPTO processes the reply to the Notice, the USPTO will generate another Filing Receipt incorporating the requested corrections**

Applicant(s)

Martin Vorbach, Munich, GERMANY;

Power of Attorney: The patent practitioners associated with Customer Number 26646

Domestic Priority data as claimed by applicant

This application is a CON of 12/541,299 08/14/2009
which is a CON of 12/082,073 04/07/2008 PAT 7,602,214
which is a CON of 10/526,595 01/09/2006 PAT 7,394,284
which is a 371 of PCT/EP03/38599 09/08/2003

Foreign Applications

GERMANY 102 41 812.8 09/06/2002
GERMANY 103 15 295.4 04/04/2003
GERMANY 103 21 834.3 05/15/2003
EUROPEAN PATENT OFFICE (EPO) 03 019 428.6 08/28/2003

Request to Retrieve - This application either claims priority to one or more applications filed in an intellectual property Office that participates in the Priority Document Exchange (PDX) program or contains a proper **Request to Retrieve Electronic Priority Application(s)** (PTO/SB/38 or its equivalent). Consequently, the USPTO will attempt to electronically retrieve these priority documents.

If Required, Foreign Filing License Granted: 07/26/2010

The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is **US 12/836,364**

Projected Publication Date: To Be Determined - pending completion of Corrected Papers

Non-Publication Request: No

Early Publication Request: No

**** SMALL ENTITY ****

Title

RECONFIGURABLE SEQUENCER STRUCTURE

Preliminary Class

365

PROTECTING YOUR INVENTION OUTSIDE THE UNITED STATES

Since the rights granted by a U.S. patent extend only throughout the territory of the United States and have no effect in a foreign country, an inventor who wishes patent protection in another country must apply for a patent in a specific country or in regional patent offices. Applicants may wish to consider the filing of an international application under the Patent Cooperation Treaty (PCT). An international (PCT) application generally has the same effect as a regular national patent application in each PCT-member country. The PCT process **simplifies** the filing of patent applications on the same invention in member countries, but **does not result** in a grant of "an international patent" and does not eliminate the need of applicants to file additional documents and fees in countries where patent protection is desired.

Almost every country has its own patent law, and a person desiring a patent in a particular country must make an application for patent in that country in accordance with its particular laws. Since the laws of many countries differ in various respects from the patent law of the United States, applicants are advised to seek guidance from specific foreign countries to ensure that patent rights are not lost prematurely.

Applicants also are advised that in the case of inventions made in the United States, the Director of the USPTO must issue a license before applicants can apply for a patent in a foreign country. The filing of a U.S. patent application serves as a request for a foreign filing license. The application's filing receipt contains further information and guidance as to the status of applicant's license for foreign filing.

Applicants may wish to consult the USPTO booklet, "General Information Concerning Patents" (specifically, the section entitled "Treaties and Foreign Patents") for more information on timeframes and deadlines for filing foreign patent applications. The guide is available either by contacting the USPTO Contact Center at 800-786-9199, or it can be viewed on the USPTO website at <http://www.uspto.gov/web/offices/pac/doc/general/index.html>.

For information on preventing theft of your intellectual property (patents, trademarks and copyrights), you may wish to consult the U.S. Government website, <http://www.stopfakes.gov>. Part of a Department of Commerce initiative, this website includes self-help "toolkits" giving innovators guidance on how to protect intellectual property in specific countries such as China, Korea and Mexico. For questions regarding patent enforcement issues, applicants may call the U.S. Government hotline at 1-866-999-HALT (1-866-999-4158).

LICENSE FOR FOREIGN FILING UNDER
Title 35, United States Code, Section 184
Title 37, Code of Federal Regulations, 5.11 & 5.15

GRANTED

The applicant has been granted a license under 35 U.S.C. 184, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" followed by a date appears on this form. Such licenses are issued in all applications where the conditions for issuance of a license have been met, regardless of whether or not a license may be required as set forth in 37 CFR 5.15. The scope and limitations of this license are set forth in 37 CFR 5.15(a) unless an earlier license has been issued under 37 CFR 5.15(b). The license is subject to revocation upon written notification. The date indicated is the effective date of the license, unless an earlier license of similar scope has been granted under 37 CFR 5.13 or 5.14.

This license is to be retained by the licensee and may be used at any time on or after the effective date thereof unless it is revoked. This license is automatically transferred to any related applications(s) filed under 37 CFR 1.53(d). This license is not retroactive.

The grant of a license does not in any way lessen the responsibility of a licensee for the security of the subject matter as imposed by any Government contract or the provisions of existing laws relating to espionage and the national security or the export of technical data. Licensees should apprise themselves of current regulations especially with respect to certain countries, of other agencies, particularly the Office of Defense Trade Controls, Department of State (with respect to Arms, Munitions and Implements of War (22 CFR 121-128)); the Bureau of Industry and Security, Department of Commerce (15 CFR parts 730-774); the Office of Foreign Assets Control, Department of Treasury (31 CFR Parts 500+) and the Department of Energy.

NOT GRANTED

No license under 35 U.S.C. 184 has been granted at this time, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" DOES NOT appear on this form. Applicant may still petition for a license under 37 CFR 5.12, if a license is desired before the expiration of 6 months from the filing date of the application. If 6 months has lapsed from the filing date of this application and the licensee has not received any indication of a secrecy order under 35 U.S.C. 181, the licensee may foreign file the application pursuant to 37 CFR 5.15(b).

**U.S. DEPARTMENT OF COMMERCE
PATENT AND TRADEMARK OFFICE**

INFORMATION DISCLOSURE STATEMENT		Docket Number: 2885/139	Confirmation Number: 2050
Application Number 12/836,364	Filing Date July 14, 2010	Examiner Unassigned	Art Unit 2827
Invention Title RECONFIGURABLE SEQUENCER STRUCTURE		Inventors Martin VORBACH	

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

I hereby certify that this correspondence is being electronically transmitted to the United States Patent and Trademark Office via the Office electronic filing system on
Date: August 2, 2010
Signature: /Eunice K. Chang/
Eunice K. Chang

Sir:

Pursuant to 37 CFR § 1.56, the attention of the Patent and Trademark Office is hereby directed to the reference(s) listed on the attached PTO-1449. It is respectfully requested that the information be expressly considered during the prosecution of this application, and that the reference(s) be made of record therein and appear among the "References Cited" on any patent to issue therefrom. The filing of this Information Disclosure Statement and the enclosed PTO Form No. 1449, shall not be construed as an admission that the information cited is prior art, or is considered to be material to patentability as defined in 37 C.F.R. § 1.56(b). The paragraphs marked below are applicable. It is believed that no fees other than those indicated below are due, but authorization is hereby given to charge any additional fees due, or to credit any overpayment, to Kenyon & Kenyon LLP, deposit account 11-0600.

1. This Information Disclosure Statement is being filed (a) within three months of the filing date of a national application other than a continued prosecution application under 37 C.F.R. §1.53(d), (b) within three months of the date of entry of the national stage as set forth in 37 C.F.R. § 1.491 in an international application, (c) before the mailing date of a first Office Action on the merits in the present application, OR (d) before the mailing of a first office action after filing of a request for continued examination. No certification or fee is required.

2. This Information Disclosure Statement is being filed more than three months after the U.S. filing date AND after the mailing date of the first Office Action on the merits, but before the mailing date of a final action, Notice of Allowance, or any action that otherwise closes prosecution.

a. I hereby certify that each item of information contained in this Information Disclosure Statement was first cited in a communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of this Information Disclosure Statement. 37 CFR §1.97(e)(1).

b. I hereby certify that no item of information in this Information Disclosure Statement was cited in a communication from a foreign patent office in a counterpart foreign application or, to my knowledge after making reasonable inquiry, was known to any individual designated in 37 CFR §1.56(c) more than three months prior to the filing of this Information Disclosure Statement. 37 CFR §1.97(e)(2).

c. The required fee of \$180.00 under 37 CFR §1.17(p) is being paid by credit card to ensure consideration of the disclosed information. Any additional fees may be charged to Deposit Account No. 11-0600 of Kenyon & Kenyon LLP

3. English-language Abstracts of the non-English language references are attached hereto.

Respectfully submitted,

Date: August 2, 2010

/Aaron Grunberger/
Aaron Grunberger
Reg. No. 59,210

KENYON & KENYON LLP
One Broadway
New York, NY 20004
(212) 425-7200 telephone
(212) 425-5288 facsimile
CUSTOMER NUMBER 26646

INFORMATION DISCLOSURE STATEMENT BY APPLICANTS PTO-1449	Attorney Docket No. 2885/139	Serial No. 12/836,364
	Applicant(s) VORBACH	
	Filing Date July 14, 2010	Group Art Unit 2827

U.S. PATENT DOCUMENTS

EXAMINER'S INITIALS	PATENT/PUBLICATION NUMBER	PATENT/PUBLICATION DATE	NAME	CLASS	SUBCLASS	FILING DATE
	90/010,979	May 4, 2010 (filing date)	Vorbach et al.			
	90/011,087	July 8, 2010 (filing date)	Vorbach et al.			

FOREIGN PATENT DOCUMENTS

EXAMINER'S INITIALS	DOCUMENT NUMBER	DATE	COUNTRY	CLASS	SUBCLASS	TRANSLATION	
						YES	NO
	7-182167	July 21, 1995	Japan			Abstract	
	7-182160	July 21, 1995	Japan			Abstract	
	8-106443	April 23, 1996	Japan			Abstract	
	9-237284	September 9, 1997	Japan			Abstract	
	11-046187	February 16, 1999	Japan			Abstract	
	2001-236221	August 31, 2001	Japan			Abstract	

OTHER DOCUMENTS

EXAMINER'S INITIALS	AUTHOR, TITLE, DATE, PERTINENT PAGES, ETC.
	Hauser, John Reid, (Dissertation) "Augmenting A Microprocessor with Reconfigurable Hardware," University of California, Berkeley, Fall 2000, 255 pages. (submitted in 3 PDFs, Parts 1-3)
	Hauser, John R., "The Garp Architecture," University of California at Berkeley, Computer Science Division, October 1997, pp. 1-55.
	Venkatachalam et al., "A highly flexible, distributed multiprocessor architecture for network processing," Computer Networks, The International Journal of Computer and Telecommunications Networking, Vol. 41, No. 5, April 5, 2003, pp. 563-568.
	XILINX, "Virtex-II and Virtex-II Pro X FPGA User Guide," March 28, 2007, Xilinx user guide, pp. 1-559.
	Xilinx, Inc.'s and Avnet, Inc.'s Disclosure Pursuant to P.R. 4-2; <i>PACT XPP TECHNOLOGIES, AG. V. XILINX, INC. and AVNET, INC.</i> , Case No. 2:07-cv-00563-TJW-CE, U.S. District Court for the Eastern District of Texas, Dec. 28, 2007, 4 pages.
	Xilinx, Inc.'s and Avnet, Inc.'s Disclosure Pursuant to P.R. 4-1; <i>PACT XPP TECHNOLOGIES, AG. V. XILINX, INC. and AVNET, INC.</i> , Case No. 2:07-cv-00563-TJW-CE, U.S. District Court for the Eastern District of Texas, Dec. 28, 2007, 9 pages.
	Defendant's Claim Construction Chart for P.R. 4-2 Constructions and Extrinsic Evidence for Terms Proposed by Defendants, <i>PACT XPP TECHNOLOGIES, AG. V. XILINX, INC. and AVNET, INC.</i> , Case No. 2:07-cv-00563-TJW-CE, U.S. District Court for the Eastern District of Texas, Dec. 28, 2007, pp. 1-19.
	PACT's P.R. 4-1 List of Claim Terms for Construction, <i>PACT XPP TECHNOLOGIES, AG. V. XILINX, INC. and AVNET, INC.</i> , Case No. 2:07-cv-00563-TJW-CE, U.S. District Court for the Eastern District of Texas, Dec. 28, 2007, pp. 1-7.
	PACT's P.R. 4-2 Preliminary Claim Constructions and Extrinsic Evidence, <i>PACT XPP TECHNOLOGIES, AG. V. XILINX, INC. and AVNET, INC.</i> , Case No. 2:07-cv-00563-TJW-CE, U.S. District Court for the Eastern District of Texas, Dec. 28, 2007, pp. 1-16, and EXHIBITS re EXTRINSIC EVIDENCE Parts in seven (7) separate additional PDF files (Parts 1-7).

EXAMINER	DATE CONSIDERED
EXAMINER: Initial if citation considered, whether or not citation is in conformance with M.P.E.P. 609; draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.	

LOADING/STORING FUNCTION UNIT OF MICROPROCESSOR AND APPARATUS FOR INFORMATION PROCESSING

Publication number: JP7182167 (A)

Publication date: 1995-07-21

Inventor(s): UIRIAMU EMU JIYONSON; DEIBITSUDO BII UITSUTO; MIYURARI CHINAKONDA +

Applicant(s): ADVANCED MICRO DEVICES INC +

Classification:

- international: G06F12/08; G06F9/312; G06F9/38; G06F12/08; G06F9/312; G06F9/38; (IPC1-7): G06F12/08; G06F9/38

- European: G06F9/312; G06F9/38D; G06F9/38D4; G06F9/38E

Application number: JP19940260699 19941025

Priority number(s): US19930146376 19931029

Also published as:

EP0651323 (A1)

EP0651323 (B1)

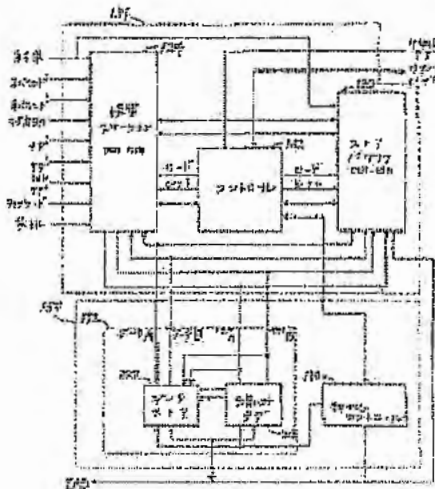
US6298423 (B1)

US5878245 (A)

DE69433339 (T2)

Abstract of JP 7182167 (A)

PURPOSE: To perform plural load operations in parallel and to perform the store transfer operation by a super-scalar microprocessor provided with a load/store function unit and a corresponding data cache. CONSTITUTION: A load/store function unit 134 includes plural entries RS0 to RS3 of a holding station 124, which are accessed in parallel and are coupled to a data cache 150 in parallel, and a store buffer circuit 180 having plural buffer entries SB0 to SB3. Store buffer entries are constituted so as to provide such first-in first-out buffer that the output from a lower-order entry of the buffer is given as the input to a higher-order entry.



Data supplied from the espacenet database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-182167

(43) 公開日 平成7年(1995)7月21日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 9/38	3 7 0 A			
12/08		C 7608-5B		

審査請求 未請求 請求項の数18 OL (全 26 頁)

(21) 出願番号 特願平6-260699

(22) 出願日 平成6年(1994)10月25日

(31) 優先権主張番号 1 4 6 3 7 6

(32) 優先日 1993年10月29日

(33) 優先権主張国 米国 (US)

(71) 出願人 591016172

アドバンスト・マイクロ・デバイス・
インコーポレイテッド

ADVANCED MICRO DEVI
CES INCORPORATED

アメリカ合衆国、94088-3453 カリフォル
ニア州、サンノゼ、ピィ・オー・ボ
ックス・3453、ワン・エイ・エム・ディ
プレイス (番地なし)

(74) 代理人 弁理士 深見 久郎 (外3名)

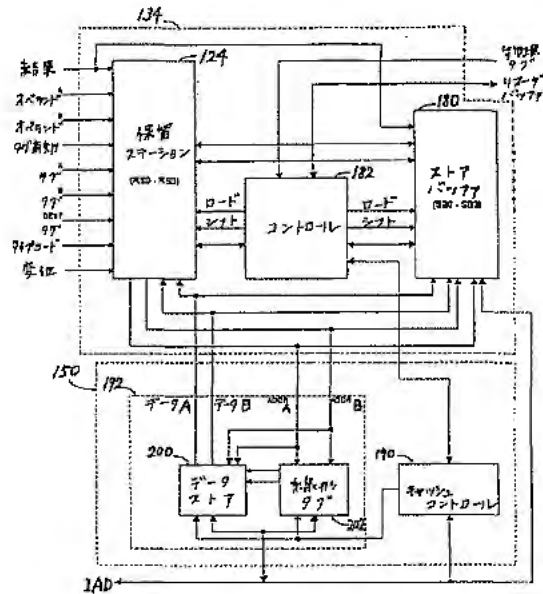
最終頁に続く

(54) 【発明の名称】 マイクロプロセッサのロード/ストア機能ユニットおよび情報処理用装置

(57) 【要約】

【目的】 ロード/ストア機能ユニットおよび対応するデータキャッシュを有するスーパースカラマイクロプロセッサによって、複数のロード動作を並列に行ない、かつストア転送動作を行なう。

【構成】 ロード/ストア機能ユニット (134) は並列にアクセスされデータキャッシュ (150) に並列に結合される保留ステーション (124) の複数のエン트리 (RS0-RS3) と、複数のバッファエン트리 (SB0-SB3) を有するストアバッファ回路 (180) とを含む。ストアバッファエントリはバッファの下位エントリからの出力が上位エントリへの入力として与えられる先入れ先出しバッファを与えるように構成される。



【特許請求の範囲】

【請求項1】 複数個のロード動作を並列に実行するためのロード機能ユニットであって、ロード動作を一時的に保持するための保留ステーション回路を含むロード機能ユニットを備え、前記保留ステーション回路は第1の保留ステーションエントリと第2の保留ステーションエントリとを含み、前記第2の保留ステーションエントリは前記第1の保留ステーションエントリに結合され、かつ前記第1の保留ステーションエントリに保留ステーションエントリ出力を与え、さらにロード信号を並列に受取り、第1のロード信号を前記第1の保留ステーションエントリと前記第2の保留ステーションエントリとに与え、かつ第2のロード信号を前記第1の保留ステーションと前記第2の保留ステーションとに与える入力信号マルチプレクサ回路と、

前記第1の入力ロード信号と前記第2の入力ロード信号とのうちのどちらを前記第1の保留ステーションエントリおよび前記第2の保留ステーションエントリが取出すかを制御するためのロード制御回路とを含み、前記ロード機能ユニットはさらにストアアレイとデータキャッシュコントローラとを含むデータキャッシュを含み、前記ストアアレイは第1のデータキャッシュポートと第2のデータキャッシュポートとの各々を介して前記ロード機能ユニットの前記第1の保留ステーションエントリと前記第2の保留ステーションエントリとに結合され、前記ストアアレイは前記第1のロード信号と前記第2のロード信号とに応答してデータを前記ロード機能ユニットに並列に与え、

前記データキャッシュコントローラは前記ロード制御回路に結合される、ロード機能ユニット。

【請求項2】 前記保留ステーション回路はデータキャッシュデータを並列に受取り、かつ前記データキャッシュデータを第1の結果バスと第2の結果バスとに並列に与える保留ステーションドライバ回路をさらに含む、請求項1に記載のロード機能ユニット。

【請求項3】 前記ロード制御回路はタイプコード一致信号に応答して前記第1の保留ステーションエントリと前記第2保留ステーションエントリのどちらによってどのロード信号が取出されるかを制御し、

前記タイプコード一致信号は、タイプコードバスからのタイプコードが所定のロード機能ユニットタイプコードに一致する場合に前記ロード制御回路によって発生する、請求項1に記載のロード機能ユニット。

【請求項4】 前記保留ステーション回路は第3の保留ステーションエントリをさらに含み、前記第3の保留ステーションエントリは前記第2の保留ステーションエントリに結合されて前記第2の保留ステーションエントリに第3の保留ステーションエントリ出力を与え、前記第3の保留ステーションエントリは前記第1の保留ステーションエントリに結合されて前記第1の保留ステーション

エントリに前記第3の保留ステーションエントリ出力を与え、前記第1の保留ステーションエントリと前記第2の保留ステーションエントリのうちの一方は前記ロード制御回路の制御下で前記第3の保留ステーションエントリ出力を取出す、請求項1に記載のロード機能ユニット。

【請求項5】 前記保留ステーション回路は第4の保留ステーションエントリをさらに含み、前記第4の保留ステーションエントリは前記第3の保留ステーションエントリに結合されて前記第3の保留ステーションエントリに第4の保留ステーションエントリ出力を与え、前記第4の保留ステーションエントリは前記第2の保留ステーションエントリに結合されて前記第2の保留ステーションエントリに前記第4の保留ステーションエントリ出力を与え、

前記第3の保留ステーションエントリと前記第2の保留ステーションエントリのうちの一方は前記ロード制御回路の制御下で前記第4の保留ステーションエントリ出力を取出す、請求項4に記載のロード機能ユニット。

【請求項6】 前記保留ステーション回路は、前記第1の保留ステーションエントリと前記第2の保留ステーションエントリとにそれぞれ結合される第1の加算器回路と第2の加算器回路とをさらに含み、

前記第1の加算器回路および前記第2の加算器回路は前記ロード信号を受取って前記ロード信号に基づいてキャッシュアドレス信号を与え、前記キャッシュアドレス信号は前記データキャッシュストアアレイ内の第1の位置および第2の位置の各々にアクセスする、請求項1に記載のロード機能ユニット。

【請求項7】 前記第1の加算器回路および前記第2の加算器回路の各々は複数個のアドレス成分信号を受取り、論理アドレス信号を与えるための論理アドレス加算器と、前記論理アドレス信号とセグメントベース信号とを受取り、線形アドレスを与えるための線形アドレス加算器とを含む、請求項6に記載のロード機能ユニット。

【請求項8】 前記アドレス成分信号はAオペランド加算器信号と、Bオペランド加算器信号と、変位加算器信号とを含む、請求項7に記載のロード機能ユニット。

【請求項9】 前記第1の加算器回路は、Aオペランド信号とゼロ信号とを受取り、前記ロードコントローラからのアドレスモード制御情報に回答してこれらの値のうちの1つを前記Aオペランド加算器信号として与えるためのオペランドマルチプレクサ回路と、Bオペランド信号と誤整列アドレス1信号とを受取り、前記ロードコントローラからのアドレスモード制御情報に回答してこれらの信号のうちの1つを前記Bオペランド加算器信号として与えるためのBオペランドマルチプレクサ回路と、変位信号と4信号と5信号とを受取り、前記ロードコントローラからのアドレスモード制御情報

に応答してこれらの値のうちの1つを前記変位加算器信号として与えるための変位マルチプレクサ回路とをさらに含む、請求項8に記載のロード機能ユニット。

【請求項10】 前記第2の加算器回路は、Aオペランド信号とゼロ信号とを受取り、前記ロードコントローラからのアドレスモード制御情報に応答してこれらの値のうちの1つを前記Aオペランド加算器信号として与えるためのAオペランドマルチプレクサ回路と、Bオペランド信号と誤整列アドレス1信号とを受取り、前記ロードコントローラからのアドレスモード制御情報に応答してこれらの信号のうちの1つを前記Bオペランド加算器信号として与えるためのBオペランドマルチプレクサ回路とをさらに含む、

変位信号は前記論理アドレス加算器に直接与えられる、請求項8に記載のロード機能ユニット。

【請求項11】 ストア転送動作を実行するためのストア機能ユニットであって、ストア動作を保持するための第1および第2のストアバッファエントリ回路を含み、前記第2のストアバッファエントリは前記第1のストアバッファエントリに結合されて前記第1のストアバッファエントリに第2のストアバッファエントリ出力を与え、前記第1のストアバッファエントリは前記第2のストアバッファエントリに結合されて前記第2のストアバッファエントリに第1のストアバッファエントリ出力を与え、さらに前記第1のストアバッファエントリ出力を用いてストア転送動作を実行するために、前記第2のストアバッファエントリ回路が前記第1のストアバッファエントリ出力を取出すかどうかを制御するためのストアコントローラを含み、前記ストアコントローラは前記第1のストアバッファエントリ回路と前記第2のストアバッファエントリ回路とに結合される、ユニット。

【請求項12】 第3のストアバッファエントリ回路をさらに含み、前記第3のストアバッファエントリ回路は前記第2のストアバッファエントリ回路に結合されて前記第2のストアバッファエントリに第3のストアバッファエントリ出力を与え、前記第1のストアバッファエントリ回路は前記第3のストアバッファエントリ回路に結合されて前記第3のストアバッファエントリ回路に第1のストアバッファエントリ出力を与え、かつ前記第2のストアバッファエントリ回路は前記第3のストアバッファエントリ回路に結合されて前記第3のストアバッファエントリ回路に第2のストアバッファエントリ出力を与え、さらに前記ストアコントローラは前記第3のストアバッファエントリ回路に結合され、前記第1および第2のストアバッファエントリ出力を用いてストア転送動作を実行するために、前記第3のストアバッファエントリ回路が前記第1のストアバッファエントリ出力を取出すかまたは前記第2のストアバッファエントリ出力を取出すかを制御する、請求項11に記載のストア機能ユニッ

ト。

【請求項13】 第4のストアバッファエントリ回路をさらに含み、前記第4のストアバッファエントリ回路は前記第3のストアバッファエントリ回路に結合されて前記第3のストアバッファエントリに第4のストアバッファエントリ出力を与え、前記第1のストアバッファエントリ回路は前記第4のストアバッファエントリ回路に結合されて前記第4のストアバッファエントリ回路に第1のストアバッファエントリ出力を与え、前記第2のストアバッファエントリ回路は前記第4のストアバッファエントリ回路に結合されて前記第4のストアバッファエントリ回路に第2のストアバッファエントリ出力を与え、かつ前記第3のストアバッファエントリ回路は前記第4のストアバッファエントリ回路に結合されて前記第4のストアバッファエントリ回路に第3のストアバッファエントリ出力を与え、さらに前記ストアコントローラは前記第4のストアバッファエントリ回路に結合され、前記第1または前記第2のストアバッファエントリ出力を用いてストア転送動作を実行するために、前記第4のストアバッファエントリ回路が前記第1のストアバッファエントリ出力を取出すかまたは前記第2のストアバッファエントリ出力を取出すかを制御する、請求項12に記載のストア機能ユニット。

【請求項14】 前記第1のストアバッファエントリ回路および前記第2のストアバッファエントリ回路の各々はストアバッファエントリを保持するためのストアバッファレジスタ回路と、どの信号が前記ストアバッファレジスタ回路に与えられて保持されるのかを制御するためのストアバッファマルチプレクサ回路とを含む、請求項11に記載のストア機能ユニット。

【請求項15】 前記ストアバッファレジスタ回路は前記ストアバッファエントリのストアバッファデータエントリを保持するためのストアバッファエントリデータレジスタと、前記ストアバッファエントリのストアバッファアドレスエントリを保持するためのストアバッファエントリアドレスレジスタと、

前記ストアバッファエントリのストアバッファタグエントリを保持するためのストアバッファエントリタグ部分とを含む、請求項14に記載のストア機能ユニット。

【請求項16】 前記ストアバッファマルチプレクサ回路は複数のデータ信号を受取り、前記複数のデータ信号のうちの1つを前記ストアコントローラの制御下で前記ストアバッファデータエントリとして与えるためのデータバイトマルチプレクサ回路と、複数のアドレス信号を受取り、前記複数のアドレス信号のうちの1つを前記ストアコントローラの制御下で前記ストアバッファアドレスエントリとして与えるためのアドレスバイトマルチプレクサ回路と、

複数のタグ信号を受取り、前記複数のタグ信号のうちの少なくとも1つを前記ストアコントローラの制御下で前記ストアバッファタグエントリとして与えるためのタグマルチプレクサ回路とを含む、請求項15に記載のストア機能ユニット。

【請求項17】 キャッシュに対してロード動作およびストア動作を並列に実行する、マイクロプロセッサのロード/ストア機能ユニットであって、ロード動作およびストア動作を一時的に保持するための保留ステーション回路を含み、前記保留ステーション回路は第1の保留ステーションエントリと第2の保留ステーションエントリとを含み、前記第1の保留ステーションエントリと前記第2の保留ステーションエントリとはデータキャッシュの第1のポートと第2のポートとに結合され、さらにストア動作を一時的に保持するためのストアバッファ回路を含み、前記ストアバッファ回路はストア動作を一時的に保持するための第1のストアバッファエントリと第2のストアバッファエントリとを含み、前記ストアバッファエントリのうちの少なくとも1つは前記保留ステーションエントリのうちの少なくとも1つに結合され、さらに前記保留ステーションエントリおよび前記ストアバッファエントリを制御するための制御回路を含み、前記制御回路は前記保留ステーション回路と前記ストアバッファ回路と前記データキャッシュとに結合される、ユニット。

【請求項18】 情報処理用装置であって、情報を保持するための外部メモリと、プロセッサバスを介して主メモリに結合されるプロセッサとを含み、前記プロセッサは前記外部メモリに結合されて前記情報を一時的に保持するためのキャッシュと、ロード動作およびストア動作を実行するためのロード/ストア機能ユニットとを含み、前記ロード/ストア機能ユニットはロード動作およびストア動作を一時的に保持するため保留ステーション回路を含み、前記保留ステーション回路は、前記データキャッシュの第1のポートと第2のポートとに結合された第1の保留ステーションエントリと第2の保留ステーションエントリとを含み、さらに第1のストアバッファエントリと第2のストアバッファエントリとを含んでストア動作を一時的に保持するためのストアバッファ回路を含み、前記ストアバッファエントリのうちの少なくとも1つは前記保留ステーションエントリのうちの少なくとも1つに結合され、さらに前記保留ステーション回路と前記ストアバッファ回路と前記データキャッシュとに結合されて、前記保留ステーションエントリおよび前記ストアバッファエントリを制御するための制御回路を含む、情報処理用装置。

【発明の詳細な説明】

【0001】

【発明の背景】本発明はマイクロプロセッサに関し、よ

り特定的には、高性能なデータキャッシュおよびロード/ストア機能ユニットを有するマイクロプロセッサに関する。

【0002】マイクロプロセッサは、1つまたは非常に少数の半導体チップ上で実現されるプロセッサである。半導体チップ技術によりマイクロプロセッサ内の回路密度および速度が増大してきているが、マイクロプロセッサと外部メモリとの相互接続はパッケージング技術の制約を受けている。オンチップ相互接続にかかる費用は非常に安い、オフチップ接続の費用は非常に高い。マイクロプロセッサの性能を向上しようとするような技術も、パッケージング技術、およびプロセッサとその外部メモリとの物理的分離という制約内で、増大する回路密度および速度を利用しなければならない。回路密度が増大しているために、増々、設計が複雑になっているが、マイクロプロセッサの動作はユーザがマイクロプロセッサの使用方法を理解できるように単純かつ明快なままでなくてはならない。

【0003】既存のマイクロプロセッサはスカラ計算に向けられているものが大半であるが、マイクロプロセッサの進化の点から言えば、スーパースカラマイクロプロセッサが論理的には次のステップである。スーパースカラという用語は、スカラ命令を同時に実行することによって性能を向上させるコンピュータ実現のことである。スカラ命令とは、典型的には汎用マイクロプロセッサで見られるタイプの命令である。今日の半導体処理技術を用いれば、かつては大規模な科学的プロセッサにしか適用できなかった高性能な技術を1つのプロセッサチップに組み入れることができる。しかしながら、大規模プロセッサに用いられる技術の多くは、スカラ計算には適さないか、またはマイクロプロセッサに用いるには高価すぎる。

【0004】マイクロプロセッサはアプリケーションプログラムを実行する。アプリケーションプログラムは命令群からなる。アプリケーションプログラムの実行においては、プロセッサはあるシーケンスで命令を取出し、かつ実行する。たった1つの命令を実行するのにも、命令を取出し、デコードし、そのオペランドをアセンブルし、命令によって特定される動作を実行し、かつ命令の結果を記憶に書込むといういくつかのステップがある。命令の実行は周期的クロック信号によって制御される。クロック信号の周期はプロセッササイクル時間である。

【0005】プロセッサがプログラムを完了するのにかかる時間は次の3つの要因、すなわちプログラムを実行するために必要な命令の数、命令を実行するために必要なプロセッササイクルの平均数、およびプロセッササイクル時間によって決定される。プロセッサの性能は所要時間を減じることによって向上するが、これには上の要因のうちの1つ以上のものが減らされる必要がある。

【0006】マイクロプロセッサの性能を向上させる一

方法としては、パイプライン処理と呼ばれる技術を用いて異なる命令のステップを重ねることである。命令をパイプライン処理するためには、パイプライン段と呼ばれる独立したユニットによって様々なステップの命令の実行が行なわれる。パイプライン段はクロック決めされたレジスタによって分離される。異なる命令のステップが、異なるパイプライン段中で独立して実行される。パイプライン処理は、プロセッサが1度に1つ以上の命令を取扱うことを可能にすることによって、命令の実行に必要な合計時間は低減できないが、命令の実行に必要な平均サイクル数を低減する。このことはプロセッサのサイクル時間を目に見えらるほどは増大させることなく行なわれる。典型的には、パイプライン処理は1命令当たりの平均サイクル数を3分の1ほどにも低減する。しかしながら、分岐命令を実行する場合は、パイプラインは分岐動作結果がわかり正しい命令が実行用に取出されるまで停止することがあるかもしれない。これは分岐遅延ペナルティとして知られている。また、パイプライン段の数を増大すると、典型的には1命令当たりの平均サイクル数に関する分岐遅延ペナルティを増大させる。

【0007】プロセッサの性能を向上させる他の方法としては、マイクロプロセッサが命令オペランドをアセンブルし、かつ命令の結果を書込む速度を増大することである。これらの機能はそれぞれロードおよびストアと呼ばれる。これら両方の機能はマイクロプロセッサのデータキャッシュの使用に依存する。

【0008】初期のマイクロプロセッサの発展の間には、命令の実行時間と比べて命令を取出すのにかかる時間が長かった。このことが複合命令セットコンピュータ(CISC)プロセッサ開発の動機となった。CISCプロセッサは、利用可能な技術を用いるとすれば、1命令当たりのサイクル数は命令を取出すのにかかるサイクルの数によってほぼ決定されるという知識に基づいていた。性能の向上のために、CISCアーキテクチャの2つの主要な目標は、所与のタスクに必要な命令の数を低減することと、これらの命令を密度高くエンコードすることとであった。パイプライン処理を用いると、デコードおよび実行サイクルは相対的に長い命令フェッチと通常は重なるため、命令をデコードしかつ実行するのにかかる平均サイクル数を増やすことによって上記のような目標を達成してもよかった。このような前提のもとに、CISCプロセッサはプロセッサ内部のデコードおよび実行時間を犠牲にして密度高くエンコードされた命令を発展させた。複数サイクルの命令によって命令全体の数が減り、命令取出し時間が減るため全体の実行時間が短くなった。

【0009】1970年代後半から1980年代初めにかけて、メモ技術およびパッケージング技術が急速に変化した。メモリ密度および速度は、キャッシュと呼ばれる高速ローカルメモリをプロセッサの近くに実現し得る

ほどまで増大した。キャッシュは、プロセッサが一時的に命令およびデータを記憶するために用いる。キャッシュを用いて命令がより迅速に取出される場合、以前は命令取出し時間内に隠されていたデコードおよび実行時間によって性能が限定される。命令の数は1つの命令を実行するのにかかる平均サイクル数ほどには性能に影響を及ぼさない。

【0010】命令の取出しが命令の実行よりそれほど時間がかからないようになるまでメモリおよびパッケージング技術が向上したことは、縮小命令セットコンピュータ(RISC)プロセッサの開発の動機となった。性能の向上のために、RISCアーキテクチャの主たる目標は、命令の総数はいくぶん増やしても、命令の実行にかかるサイクルの数を減らすことである。1命令当たりのサイクル数と命令の数との間のトレードオフは1対1ではない。CISCプロセッサと比較して、RISCプロセッサは典型的には命令の数を30%から50%増やす一方で、3分の1-5分の1にまで1命令当たりのサイクル数を減らす。RISCプロセッサは、コンパイラが全体の命令カウントを減らすことを助けるため、または1命令当たりのサイクル数を減らすことを助けるために、多数の汎用レジスタならびに命令およびデータキャッシュなどの補助的特徴に依存する。

【0011】典型的なRISCプロセッサはプロセッササイクル毎に1つの命令を実行する。スーパースカラプロセッサは、異なるパイプライン段中で複数の命令を同時に実行できることに加え、同じパイプライン段中でも複数の命令を同時に実行できるため、パイプライン処理されたスカラRISCプロセッサで可能であった以上に1命令当たりの平均サイクル数を低減する。スーパースカラという用語は、科学計算で一般的であるベクトルまたは配列に対する複数の同時演算とは異なった、スカラ量に対する複数の同時演算を強調するものである。

【0012】スーパースカラプロセッサは概念的には単純であるが、性能を向上させるためにはプロセッサのパイプラインの幅を広くする以上のことが必要である。パイプラインの幅を広げると1サイクルにつき1つ以上の命令を実行することが可能となるが、いかなる命令シーケンスもこの能力を利用できるとは限らない。命令は互いに独立しておらず相関しており、このような相関関係はいくつかの命令が同じパイプライン段を占有することを阻害する。さらに、命令をデコードしかつ実行するプロセッサの機構は、同時に実行可能な命令を発見する能力において大きく異なることがある。

【0013】スーパースカラ技術は、主として命令セットおよび他のアーキテクチャの特徴から独立したプロセッサの組織に関する。したがって、スーパースカラ技術の魅力の1つは、既存のアーキテクチャとコードレベルで互換性があるプロセッサを開発する可能性があることである。スーパースカラ技術の多くはRISCアーキテ

クチャまたはCISCアーキテクチャのどちらにも同じように十分に適用可能である。しかしながら、数多くのRISCアーキテクチャには規則性があるため、スーパースカラ技術はまずRISCプロセッサ設計に適用されている。

【0014】単一サイクルのデコードに適合しているというRISCプロセッサの命令セットの属性はまた、同じクロックサイクル中に複数のRISC命令をデコードする場合にも適合するであろう。これらの属性には、一般的な3オペランドのロード/ストアアーキテクチャ、わずかに数命令分の長さしか持たない命令、わずかに数アドレスモードしか用いない命令、固定幅レジスタ、および命令フォーマット内のわずかに数箇所のレジスタ識別子に対する演算をする命令が含まれる。スーパースカラRISCプロセッサを設計する技術はニュージャージー州エングルウッド・クリフス (Englewood Cliffs, New Jersey) のプレントイス・ホール社 (Prentice-Hall, Inc.) (サイモン・アンド・シュスター (Simon & Schuster) の一部門のウィリアム・マイケル・ジョンソン (William Michael Johnson) による1991年の「スーパースカラマイクロプロセッサ設計 (Superscalar Microprocessor Design)」に記載されている。

【0015】RISCアーキテクチャとは対照的に、CISCアーキテクチャは多数の異なる命令フォーマットを用いる。幅広く使用されているCISCマイクロプロセッサアーキテクチャの1つはX86アーキテクチャである。このようなアーキテクチャはi386™マイクロプロセッサに最初に導入されたが、i486™マイクロプロセッサおよびペンティアム (Pentium™) マイクロプロセッサの両方の基礎となるアーキテクチャであり、これらのマイクロプロセッサはすべてカリフォルニア州サンタクララ (Santa Clara, California) のインテル (Intel) 社から入手可能である。X86アーキテクチャは、論理アドレス、線形アドレス、および物理アドレスの3つの異なるタイプのアドレスを提供する。

【0016】論理アドレスはセグメントベースアドレスからのオフセットを示す。実効アドレスと呼ばれるこのオフセットは、マイクロプロセッサが用いているアドレスモードのタイプに基づいている。これらのアドレスモードは、変位、ベース、インデックスおよびスケールの4つのアドレスエレメントの異なる組合せを与える。セグメントベースアドレスはセクタを介してアクセスされる。より特定的には、セグメントレジスタ中に記憶されるセクタはグローバルディスクリフトテーブル (GDT) 中の位置を示すインデックスである。GDT位置は、セグメントベースアドレスに対応する線形アドレスを記憶する。

【0017】論理アドレスと線形アドレス間の交換は、マイクロプロセッサが実モードであるのかまたは保護モードであるのかに依存する。マイクロプロセッサが実モ

ードの場合、セグメンテーションユニットはセクタを4ビット左へシフトし、その結果をオフセットに加えて線形アドレスを形成する。マイクロプロセッサが保護モードの場合、セグメントユニットはセクタが示した線形ベースアドレスをオフセットに加えて線形アドレスを与える。

【0018】物理アドレスはマイクロプロセッサのアドレスピン上に現われるアドレスであり、外部メモリを物理的にアドレス指定するために用いられる。物理アドレスは必ずしも線形アドレスには対応しない。ページングがイネーブルされなければ、32ビット線形アドレスは物理アドレスに対応する。もしページングがイネーブルされれば、線形アドレスは物理アドレスに変換されなくてはならない。この変換はページングユニットが実行する。

【0019】ページングユニットは線形アドレスを物理アドレスに変換するために2レベルの表を用いる。第1レベルの表はページディレクトリであり、第2レベルの表はページテーブルである。ページディレクトリは複数個のページディレクトリエントリを含み、その各々のエントリはページテーブルのアドレスおよびページテーブルについての情報を含む。線形アドレスの上位10ビット (A22-A31) はページディレクトリエントリを選択するためのインデックスとして用いられる。ページテーブルは複数個のページテーブルエントリを含み、各ページテーブルエントリはページフレームの実ページ番号と呼ばれるページフレームの開始アドレスと、ページについての統計的情報とを含む。線形アドレスのアドレスビットA12-A21はページテーブルエントリの1つを選択するためのインデックスとして用いられる。ページフレームの開始アドレスは線形アドレスの下位12ビットと連結されて物理アドレスを構成する。

【0020】各メモリ動作毎に2レベルの表とアクセスすることはマイクロプロセッサの性能にかなり影響を及ぼすため、x86アーキテクチャは最も最近アクセスされたページテーブルエントリのキャッシュを設け、このキャッシュはトランスレーションルックアサイドバッファ (TLB) と呼ばれる。マイクロプロセッサはエントリがTLBにない場合だけページングユニットを使用する。

【0021】キャッシュを含むx86アーキテクチャに従う最初のプロセッサは486プロセッサであり、これは8Kバイト統合キャッシュを1つ含んでいた。ペンティアムプロセッサは分離した8Kバイト命令およびデータキャッシュを含む。486プロセッサキャッシュおよびペンティアムプロセッサキャッシュは物理アドレスを介してアクセスされるが、これらのプロセッサの機能ユニットは論理アドレスを用いて動作する。したがって、機能ユニットがキャッシュへアクセスする必要がある場合、論理アドレスは線形アドレスへ、その後物理アドレ

スへ変換されなくてはならない。

【0022】

【発明の概要】パラレルにアクセスされる複数個の保留ステーションエントリを含むロード部を有するマイクロプロセッサを提供することによって、複数個のロード動作をパラレルに実行することが可能であることがわかった。

【0023】バッファの下位エントリからの出力がバッファの上位エントリへの入力として与えられる、先入れ先出しバッファとして構成される複数個のストアバッファエントリを含むストア部を有するマイクロプロセッサを提供することによって、ストア転送動作を実行することが可能であるということもわかった。

【0024】

【実施例】以下に、本発明を実行するための、考えられる最良のモードを詳細に説明する。以下の説明は本発明を例示するものであると意図し、限定的であるとは考えるべきではない。

【0025】図1を参照して、本発明は、X86命令セットを実行するスーパースカラX86マイクロプロセッサ100の文脈において最良に理解することができる。マイクロプロセッサ100は486XLバスまたは他の従来のマイクロプロセッサバスを介して、物理的にアドレス指定される外部メモリ101に結合される。マイクロプロセッサ100はバイトキュー106に結合される命令キャッシュ104を含み、バイトキュー106は命令デコーダ108に結合される。命令デコーダ108はRISCコア110に結合される。RISCコア110は、シフトユニット130(SHF)、算術論理ユニット131、132(ALU0およびALU1)、特別レジスタブロック133(SRB)、ロード/ストアユニット134(LSSEC)、分岐セクション135(BRNSEC)、および浮動小数点ユニット136(FPU)などの多様な機能ユニットとともに、レジスタファイル112およびリオーダーバッファ114を含む。

【0026】RISCコア110は、命令デコーダ108とロード/ストアユニット134との間に結合される変位および命令、ロードストア(INLS)バス119とともに、機能ユニットに結合されるAおよびBオペランドバス116と、タイプおよびディスパッチ(TAD)バス118と、結果バス140とを含む。AおよびBオペランドバス116はまた、レジスタファイル112とリオーダーバッファ114とに結合される。TADバス118はまた命令デコーダ108に結合される。結果バス140はまたリオーダーバッファ114に結合される。さらに、分岐セクション135は、リオーダーバッファ114と、命令デコーダ108と、命令キャッシュ104とにXターゲットバス103を介して結合される。AおよびBオペランドバス116は、4つのパラレル12ビット幅Aタグバスと、4つのパラレル12ビット幅

Bタグバスと、12ビット幅Aタグ有効バスと、12ビット幅Bタグ有効バスと、4つの4ビット幅先行タグバスと、4つの8ビット幅オペコードバスとともに、4つのパラレル41ビット幅Aオペランドバスと、4つのパラレル41ビット幅Bオペランドバスとを含む。タイプおよびディスパッチバス118は、4つの3ビット幅タイプコードバスと、1つの4ビット幅ディスパッチバスとを含む。変位およびINLSバス119は、2つの32ビット幅変位バスと、2つの8ビット幅INLSバスとを含む。

【0027】命令キャッシュ104に加えて、マイクロプロセッサ100はまたデータキャッシュ150(DCACHE)と物理タグ回路162とを含む。データキャッシュ150はRISCコアのロード/ストア機能ユニット134と、プロセッサ内アドレスおよびデータ(IAD)バス102とに結合される。命令キャッシュ104はまたIADバス102に結合される。物理タグ回路162は、IADバスを介して命令キャッシュ104とデータキャッシュ150との両方と相互作用する。命令キャッシュ104およびデータキャッシュ150は両方とも線形にアドレス指定可能なキャッシュである。命令キャッシュ104およびデータキャッシュ150は物理的に離れているが、キャッシュは両方とも同じアーキテクチャを用いて構成される。

【0028】マイクロプロセッサ100はまた、メモリ管理ユニット(MMU)164とバスインタフェースユニット160(BIU)とを含む。TLB164は、IADバスと物理変換回路162とに結合される。バスインタフェースユニット160は、486XLバス等の外部マイクロプロセッサバスと共に、物理変換回路162とデータキャッシュ150とIADバス102とに結合される。

【0029】マイクロプロセッサ100は命令のシーケンスを含むコンピュータプログラムを実行する。典型的には、コンピュータプログラムはハードディスク、フロッピーディスクまたはコンピュータシステム中に位置する他の不揮発性記憶媒体に記憶される。プログラムが実行される場合、プログラムは記憶媒体から主メモリ101へロードされる。プログラムの命令および関連したデータが一旦主メモリ101に入ると、個々の命令の実行準備が行なわれ、最終的にはマイクロプロセッサ100によって実行される。

【0030】主メモリ101に記憶された後、命令はバスインタフェースユニット160を介して命令キャッシュ104へ伝えられ、そこで命令は一時的に保持される。命令デコーダ108は命令キャッシュ104から命令を取出し、その命令を検査し、適切なアクションを決定する。たとえば、デコーダ108はある特定の命令がPOP, LOAD, STORE, AND, OR, EXOR, ADD, SUB, NOP, JUMP, 条件JUM

P (BRANCH)、その他の命令のいずれであるかを決定し得る。どの特定の命令が存在するとデコーダ108が決定するかに依存して、命令はRISCコア110の適切な機能ユニットにディスパッチされる。LOADおよびSTOREはロードストアセクション134にディスパッチされる主要な2つの命令である。ロード/ストア機能ユニット134によって実行される他の命令にはPUSHおよびPOPがある。

【0031】典型的には、これらの命令は、OP CODE, OPERAND A, OPERAND B, DESTINATIONというフォーマットの複数のフィールドを含む。たとえば、命令ADD A, B, Cは、レジスタAの内容をレジスタBの内容に加えてその結果をレジスタCに置くことを意味する。LOADおよびSTORE動作は多少異なるフォーマットを使用する。たとえば、命令LOAD A, B, Cは、アドレスから取出したデータを結果バス上に置くことを意味し、ここでA、BおよびCはAオペランドバス、Bオペランドバスおよび変位バス上に位置するアドレス成分を表わし、これらのアドレス成分は組合わさって論理アドレスを与え、この論理アドレスはセグメントベースと組合わさって線形アドレスを与え、そこからデータが取出される。また、たとえば、命令STORE A, B, Cは、アドレスによって示された位置にデータを記憶することを意味し、ここでAはAオペランドバス上に位置する記憶データであり、BおよびCはBオペランドバスおよび変位バス上に位置するアドレス成分を示し、これらのアドレス成分は組合わさって論理アドレスを構成し、論理アドレスはセグメントベースと組合わさって線形アドレスを与え、そこへデータが記憶される。

【0032】OP CODEは、オペコードバスを介して命令デコーダ108からRISCコア110の機能ユニットへ与えられる。特定の命令のOP CODEを適切な機能ユニットに与えなくてはならないことに加え、命令用に指定されたOPERANDを取出して機能ユニットに送らなくてはならない。もし特定のオペランドの値がまだ計算されていなければ、機能ユニットが命令を実行する前にその値を計算して機能ユニットに与えなくてはならない。たとえば、もし現在の命令が前の命令に依存しているとすれば、現在の命令が実行される前に前の命令の結果を求めなくてはならない。この状況は従属性と呼ばれる。

【0033】機能ユニットが特定の命令を実行するのに必要なオペランドは、レジスタファイル112またはリオーダーバッファ114のいずれかによってオペランドバスに与えられる。オペランドバスはオペランドを適切な機能ユニットへ送る。機能ユニットがOP CODE、OPERAND A、およびOPERAND Bを一旦受取ると、機能ユニットは命令を実行し、かつその結果を結果バス140上に置く。結果バス140はすべての

機能ユニットの出力およびリオーダーバッファ114に結合される。

【0034】リオーダーバッファ114は先入れ先出し(FIFO)装置として管理される。命令デコーダ108が命令をデコードすると、対応するエントリがリオーダーバッファ114中に割当てられる。その後、命令の実行が完了すると、命令によって計算された結果値が割当てられたエントリに書込まれる。もし命令に関連する例外がなく、かつ命令に影響を及ぼす可能性のある解決されていない分岐がなければ、この結果値はその後レジスタファイル112に書込まれ、命令は廃棄される。関連したエントリがリオーダーバッファ114の先頭に到達したときに命令が完了していなければ、命令が完了するまでリオーダーバッファ114の進行は停止される。しかしながら、追加のエントリの割当ては継続できる。

【0035】各機能ユニットは、まだ完了していない命令からのOP CODEを記憶するためにそれぞれ保留ステーション回路(RS)120-126を含むが、これはなぜならその命令用のオペランドは機能ユニットにはまだ入手できないからである。各保留ステーション回路は、後で保留ステーション回路に到着する欠けているオペランドの場所をとっておくタグとともに、命令のOP CODEを記憶する。この技術は、保留中の命令が保留ステーションでそのオペランドと組合わされている間に、マイクロプロセッサ100が他の命令の実行を継続することを可能にすることによって、性能を向上させる。

【0036】マイクロプロセッサ100は、デコーダ108をRISCコア110の機能ユニットから分離することによって順序外の発行ができる。より特定的には、リオーダーバッファ114および機能ユニットの保留ステーションは、効果的に分配命令ウィンドウを確立する。したがって、デコーダ108は、命令が即座に実行できないとしても命令のデコードを継続できる。命令ウィンドウは命令のプールとして機能し、機能ユニットがさらに続けて命令を実行するときに、このプールから命令を引出す。このように、命令ウィンドウはマイクロプロセッサ100にルックアヘッド能力を与える。従属性がクリアされオペランドが利用可能になると、機能ユニットはウィンドウ中のより多くの命令を実行し、かつデコーダはさらに多くのデコードされていない命令でウィンドウを満たし続ける。

【0037】マイクロプロセッサ100は性能を高めるためにRISCコアの分岐セクション135を使用する。分岐が起こると次の命令は分岐の結果に依存するため、プログラムの命令ストリーム中の分岐はマイクロプロセッサが命令を取出す能力を阻害する。分岐セクション135は、命令の取出の間に発生する分岐の結果を予測する。つまり、分岐セクション135は分岐が起こるかどうかを予測する。たとえば、前の分岐の結果の実行

履歴を維持するために、分岐ターゲットバッファが用いられる。この履歴に基づいて、取出されたある分岐の間に、取出された分岐命令がどの分岐をとるのかの決定がなされる。もし例外または分岐の予測間違いがあれば、予測間違いの分岐命令に従って割当てられたリオーダーバッファ114の内容は廃棄される。

【0038】図2を参照して、ロード/ストア機能ユニット134は、データキャッシュ150と相互作用し、かつすべてのLOAD命令およびすべてのSTORE命令を実行する機能ユニットである。ロード/ストア機能ユニット134は、保留ステーション回路124と、ストアバッファ回路180と、ロードストアコントローラ182とを含む。保留ステーション回路124は4つの保留ステーションエントリ(RS0-RS3)を含み、かつストアバッファ回路180は4つのストアバッファエントリ(SB0-SB3)を含む。

【0039】保留ステーション回路124はロード動作またはストア動作を実行するために必要なすべてのフィールドを保持する。データ要素はクロックサイクル毎に2つの保留ステーションエントリへ発行され、かつクロックサイクル毎に2つの保留ステーションエントリからリタイアできる。保留ステーション回路124は、4つの結果バスと、4つの41ビットAオペランドバスの40ビットと、4つの41ビットBオペランドバスの32ビットと、AおよびBタグ有効バスと、4つのAタグバスと、4つのBタグバスと、4つの行先タグバスと、4つのタイプコードバスと、2つの変位バスと、2つのINLSバスとともに、データキャッシュ150のポートAおよびBの32ビットデータ部分に結合される。保留ステーション回路124は40ビットAオペランドバスと、32ビット保留ステーションデータバス(RDATA A, RDATA Bのそれぞれ)と、12ビットAタグバス(TAG A)と、12ビットBタグバス(TAG B)とともに、2つの32ビットアドレスバス(ADDR A, ADDR B)を介してストアバッファ回路に結合され、2つのアドレスバスはまたデータキャッシュ150のポートAおよびBのアドレス部分に結合される。保留ステーション124は、保留ステーションロードバスおよび保留ステーションシフトバスを介してコントローラ182に結合される。

【0040】保留ステーション回路124に結合されることに加えて、ストアバッファ回路180は4つの結果バスに結合され、かつまたストアバッファロードバスおよびストアバッファシフトバスを介してロードストアコントローラ182に結合される。ストアバッファ回路180はまたIADバス102に結合される。

【0041】保留ステーション回路124およびストアバッファ回路180に結合されることに加えて、ロードストアコントローラ182は物理タグ回路162およびリオーダーバッファ114に結合される。コントローラ1

82はまたデータキャッシュ150のキャッシュコントローラ190に結合される。

【0042】データキャッシュ150は線形にアドレス指定された4方向にインターリーブされた8Kバイト4方向セットアソシアティブキャッシュであり、これはクロックサイクル毎に2つのアクセスをサポートし、言い換えればデータキャッシュ150は二重の実行をサポートする。データキャッシュ150の各セットは128のエントリを含み、各エントリは16バイトブロックの情報を含む。各16バイトブロック情報は4つの個々にアドレス指定可能な32ビットバンクのラインに記憶される。データキャッシュ150に個々にアドレス指定可能なバンクを設けることによって、データキャッシュ150は2つのポートを設けることに関連したオーバーヘッドを必要とすることなく、2方向にアクセス可能なデータキャッシュとして機能する。データキャッシュ150はデータキャッシュポートAおよびデータキャッシュポートBを介して2方向にアクセス可能であり、こうしてデータキャッシュ150は2つのロード動作を同時に実行することができる。データキャッシュポートAは、データ部分DATA Aと、アドレス部分ADDR Aとを含み、データキャッシュポートBは、データ部分DATA Bと、アドレス部分ADDR Bとを含む。

【0043】データキャッシュ150はデータキャッシュコントローラ190とデータキャッシュアレイ192とを含む。データキャッシュコントローラ190はデータキャッシュ150の様々な動作を統制するための制御信号を与える。データキャッシュアレイ192はデータキャッシュコントローラ190の制御下でデータを記憶する。データキャッシュアレイ192はデータ記憶アレイ200と線形タグおよび状態アレイ202との2つのアレイで構成される。データキャッシュアレイ200はDATA AとDATA Bとの2つのデータ信号をロード/ストア機能ユニット134に与える。線形タグアレイ202はロード/ストア機能ユニット134から与えられる2つの線形アドレスADDR AおよびADDR Bを受け、かつ2つの4ビットタグヒット信号COL HIT A0-3およびCOL HIT B0-3をキャッシュアレイ200に与える。線形アドレスADDR AおよびADDR Bはまたデータストアアレイ200に与えられる。

【0044】ロード動作の間、ロードストア機能ユニット134の保留ステーション回路124はアドレスをデータキャッシュ150に与える。もしこのアドレスがキャッシュヒットを発生すれば、データキャッシュ150はストアアレイ200の対応するバンクおよびブロック中に記憶されているデータを保留ステーション回路124に与える。もしアドレスがポートAを介してデータキャッシュ150に与えられると、データはポートAを介して保留ステーション回路124に与えられる。代替的

に、もしアドレスがポートBを介してデータキャッシュ150に与えられると、データはポートBを介して保留ステーション回路に与えられる。ポートAおよびポートBを介して同時にアドレスがデータキャッシュ150に与えられ、かつデータキャッシュ150からデータを受取る。

【0045】記憶動作の間、記憶データは保留ステーション回路124からストアバッファ回路180に与えられる。記憶動作が解除されると、記憶されているデータおよびそれに対応するアドレスはIADバスを介してデータキャッシュ150に与えられる。

【0046】図3を参照して、保留ステーション回路124は先入れ先出し(FIFO)バッファとして機能するデュアルアクセス保留ステーションである。保留ステーション回路124は、入力0マルチプレクサ回路206と、入力1マルチプレクサ回路208と、4つの保留ステーションエン트리RS0 210、RS1 211、RS2 212およびRS3 213とともに、保留ステーション0加算器回路216と、保留ステーション1加算器回路218と保留ステーションドライバ回路220とを含む。

【0047】マルチプレクサ回路206および208は、入力として、4つのAオペランドバスと、4つのBオペランドバスと、AおよびBタグ有効バスと、4つのAタグバスと、4つのBタグバスと、4つの行先タグバスと、4つのオペコードバスと、2つのINLSバスと、2つの変位バスとを受ける。マルチプレクサ回路206および208はまた、ロード記憶コントローラ182からバス選択信号を受ける。バス選択信号はタイプコードの一致に基づいて発生する。

【0048】タイプコードの一致は、4つのタイプコードバスのうちの1つの上のタイプコードがロード記憶機能ユニットに割当てられたタイプコードに対応する場合に発生する。タイプコードが一致する場合、ロード記憶コントローラ180はどのバスから情報が取出されるべきかを示すバス選択信号を発生する。保留ステーション回路124は2つのバスから同時に信号を取出することができる。したがって、入力0マルチプレクサ206および入力1マルチプレクサ208のそれぞれについてロード記憶コントローラ182によって第1の組のバス選択信号と、第2の組のバス選択信号とが発生する。

【0049】第1の組のバス選択信号の制御下で、マルチプレクサ回路206は、第1のマルチプレクスされた保留ステーション入力信号(INPUT 0)を与え、これは保留ステーションへの入力信号として与えられる。INPUT 0信号は、Aオペランドバスのうちの1つからの信号と、Bオペランドバスのうちの1つからの信号と、Aタグバスのうちの1つからのタグと、対応するタグ有効バスからのAタグに対応するタグ有効ビットと、Bタグバスのうちの1つからのタグと、対応する

タグ有効バスからのBタグに対応するタグ有効ビットと、行先タグバスのうちの1つからの行先タグと、オペコードバスのうちの1つからのオペコードと、変位バスのうちの1つからの変位とを含む。第2の組のバス選択信号の制御下で、マルチプレクサ回路208は、第2のマルチプレクスされた保留ステーション入力信号(INPUT 1)を与え、これは保留ステーションへの第2の入力信号として与えられる。INPUT 1信号は、Aオペランドバスのうちの1つからの信号と、Bオペランドバスのうちの1つからの信号と、Aタグバスのうちの1つからのタグと、対応するタグ有効バスからのAタグに対応するタグ有効ビットと、Bタグバスのうちの1つからのタグと、対応するタグ有効バスからのBタグに対応するタグ有効ビットと、行先タグバスのうちの1つからの行先タグと、オペコードバスのうちの1つからのオペコードと、変位バスのうちの1つからの変位とを含む。

【0050】保留ステーションエン트리210-213の各々は、ロードおよびシフトビットのそれぞれとともに、2つの入力信号INPUT 0およびINPUT 1を並列に受ける。保留ステーションエン트리210-213はまた、4つの結果バスの各々から入力を受け、これらの結果バス入力はエントリのAオペランド部分およびBオペランド部分のみに与えられる。AオペランドタグおよびBオペランドタグに基づいてこれらの結果バスから情報が取出される。たとえば、Aオペランドタグが行先タグバスのうちの1つの上にある情報に対するヒットを与えると、対応する結果バスからの情報が取出され、かつ保留ステーションエントリのAオペランドフィールド中へロードされる。

【0051】さらに、保留ステーションエン트리RS0は保留ステーションRS1またはRS2のいずれかから保留ステーションエントリを受け、保留ステーションエン트리RS0はRS0保留ステーションエントリの一部(Aオペランド部分)をRDATA A信号としてストアバッファ回路180に与え、かつすべてのRS0保留ステーションエントリをR0加算器216に与える。R0加算器216はこの保留ステーションエントリを用いてADDR A信号を発生する。保留ステーションエントリRS1は保留ステーションRS2およびRS3から保留ステーションエントリを受け、保留ステーションエントリRS1はRS1保留ステーションエントリの一部(Aオペランド部分)をRDATA B信号としてストアバッファ回路180に与え、かつすべてのRS1保留ステーションエントリをR1加算器218に与える。R1加算器218はこの保留ステーションエントリを用いてADDR B信号を発生する。保留ステーションRS2は保留ステーションRS3から保留ステーションエントリを受け、保留ステーションエントリRS2はRS2保留ステーションエントリを保留ステーションRS1お

よびRS0に与える。保留ステーションRS3はRS3保留ステーションエントリを保留ステーションRS2およびRS1に与える。

【0052】パラレル転送構造とともに保留ステーションからの並列の入力および出力を与えることによって、保留ステーション回路124は1サイクル当たり1つまたは2つのロード動作を実行し得る。より特定的には、ロードおよびシフト信号を用いて、コントローラ182は、1つまたは2つの保留ステーションエントリが所与のサイクル中にロードまたはシフトされ得るように保留ステーションエントリのロードおよびシフトを制御する。

【0053】1サイクル当たり1つの保留ステーションエントリが実行されている場合、保留ステーションRS0はロード動作およびストア動作の両方のために保留ステーションエントリをRS0加算器回路216に与え、さらに、RS0はストア動作のために保留ステーションエントリをストアバッファ180に与える。保留ステーションRS1は保留ステーションエントリを保留ステーションRS0に与え、保留ステーションRS2は保留ステーションエントリを保留ステーションRS1に与え、かつ保留ステーションRS3は保留ステーションエントリを保留ステーションRS2に与える。ロード動作のためには、RS0加算器回路216によって発生したアドレスに対応するデータがドライバ回路220に与えられる。

【0054】1サイクル当たり2つの保留ステーションエントリが実行されている場合、保留ステーションRS0およびRS1はロード動作およびストア動作の両方のために各保留ステーションエントリを加算器回路216、218に与える。保留ステーションRS2およびRS3は保留ステーションエントリを保留ステーションRS0およびRS1のそれぞれに与える。ロード動作のためには、RS0およびRS1加算器回路によって発生したアドレスに対応するデータがデータキャッシュ150からDATA AおよびDATA Bとして与えられる。1サイクル当たり2つの保留ステーションエントリが実行され、かつ一方の動作はロードであり他方の動作はストアである場合、ストア動作がそこから実行される保留ステーションエントリがストアバッファ180に与えられる。

【0055】ロードによりキャッシュミスが発生すれば、ロードミスアルゴリズムを実行しなくては行けない。このロード動作は仮想的なものであるため、ミス動作はロードが次にリタイアするROPとなるまで開始されない。このため、ロードはRS0保留ステーション中で留まり、リオーダーバッファからの解除信号を待つ。ステータス表示は行先タグとともにこの状態を示すためにリオーダーバッファにドライブバックされる。

【0056】図4を参照して、各保留ステーションエン

トリ124は、保留ステーションエントリ有効ビット(v)と、40ビットAオペランドフィールドと、32ビットBオペランドフィールドと、32ビット変位フィールドと、4ビット行先タグ(DTAG)フィールドと、8ビットオペコードフィールドと、8ビット追加オペコード情報(INLS)フィールドとを含む。さらに、各保留ステーションエントリはまた、4ビットAオペランド上位バイトタグ(ATAGU)と、4ビットAオペランド中位バイトタグ(ATAGM)と、4ビットAオペランド下位バイトタグ(ATAGL)と、4ビットBオペランド上位バイトタグ(BTAGU)と、4ビットBオペランド中位バイトタグ(BTAGM)と、4ビットBオペランド下位バイトタグ(BTAGL)とを、対応するAオペランドタグ有効ビットおよびBオペランドタグ有効ビットとともに含む。各保留ステーションエントリはまた、対応する取消ビット(C)を含む。

【0057】Aオペランド上位、中位および下位バイトタグは、整数オペランドの上位、中位および下位部分用のタグである。整数オペランドはこのように除算されるが、これはなぜならx86アーキテクチャでは、x86整数の下位半ワードの上位バイトもしくは下位バイト、下位半ワード、または32ビット倍長語全体のいずれかを参照することが可能なためである。したがって、MおよびLは下位半ワードの上位バイトおよび下位バイトを示し、かつUはBオペランド用の上位半ワードおよびAオペランド用の残りの上位ビット(Aオペランドの残りの部分は16ビットまたは24ビットのいずれかであり得るため)を示す。下位半ワードを参照する場合、LタグおよびMタグは同じ値に設定される。保留ステーションエントリ中で係属中である32ビット値を参照する場合、3つのタグすべてが同じ値に設定される。

【0058】取消ビットは特定のオペコードが取消されることを示し、このビットは何らかのオペコードが予測誤り分岐内にある場合に設定される。オペコードが取消されるのは、実行されるストアがデータキャッシュ150にストアされるエントリの状態を更新するときに、データキャッシュ150中でヒットした取消されたストアがストアバッファ回路180に入ることを防止するためである。取消されたロードはデータキャッシュ150中にヒットがあっても結果を戻すだけであり、ロードはその状態も更新しないために問題とはならない。

【0059】保留ステーションエントリの保留ステーションエントリ有効ビットは、INPUT 0入力信号およびINPUT 1入力信号のディスパッチ有効ビット部分に結合される。ディスパッチバスに結合される各入力信号有効ビットは、ディスパッチ有効ビットがセットされるときにセットされる。保留ステーションエントリのAオペランドフィールドはINPUT 0入力信号およびINPUT 1入力信号のAオペランド部分に結合される。保留ステーションエントリのBオペランドフィ

ールドはINPUT 0入力信号およびINPUT 1入力信号のBオペランド部分に結合される。保留ステーションエントリの変位フィールドはINPUT 0入力信号およびINPUT 1入力信号の変位部分に結合される。保留ステーションエントリの行先タグフィールドはINPUT 0入力信号およびINPUT 1入力信号の行先タグ部分に結合される。保留ステーションエントリのオペコードフィールドはINPUT 0入力信号およびINPUT 1入力信号のオペコード部分に結合される。保留ステーションエントリの追加オペコード情報(INLS)フィールドはINLSバスを介してINPUT 0入力信号およびINPUT 1入力信号のINLS部分に結合される。

【0060】保留ステーションエントリのAオペランド上位バイトタグと、中位バイトタグと、下位バイトタグとはINPUT 0入力信号およびINPUT 1入力信号のAタグ部分に結合される。Bオペランド上位バイトタグと、中位バイトタグと、下位バイトタグとはINPUT 0入力信号およびINPUT 1入力信号のBタグ部分に結合される。保留ステーションエントリのAオペランドタグ有効ビットおよびBオペランドタグ有効ビットはINPUT 0入力信号およびINPUT 1入力信号のタグ有効部分に結合される。保留ステーションエントリの取消ビットは、ロードストアコントローラ182に結合され、かつリオーダーバッファ1.14および分岐セクション135から受取った制御情報に基づいてセットされる。

【0061】ロードストアコントローラ182によって発生したタイプ一致信号は、何らかの命令がロードストア機能ユニットに送られたかどうかを決定する。より特定的には、ロードストアコントローラ182がロードストア機能ユニットタイプコードが4つのTADバスのうちの1つに与えられたタイプコードと一致すると判断した場合、ロードストアコントローラ182はINPUT 0信号のためにその特定のディスパッチ位置を選択する。ロードストアコントローラ182がロードストア機能ユニットタイプコードが4つのTADバスのうちの別のものによって与えられたタイプコードと一致すると判断すれば、ロードストアコントローラ182はINPUT 1信号のためにその特定のディスパッチ位置を選択する。

【0062】図5を参照して、RS0加算器回路216は保留ステーション210からアドレス成分を受け、かつ線形アドレス信号ADDR Aおよび有効セグメントアクセス信号を与える。RS0加算器回路216は、論理アドレス加算器240と線形アドレス加算器242とを含む。論理アドレス加算器240は論理アドレスを線形アドレス加算器242に与える。論理アドレス加算器240はAオペランドマルチプレクサ244からAオペランド加算器信号を受け、Bオペランドマルチプレクサ

246からBオペランド加算器信号を受け、かつ変位マルチプレクサ248から変位加算器信号を受ける。

【0063】オペランドマルチプレクサ回路244は量ゼロを受けるとともに、保留ステーションエントリ210からAオペランドを受け、マルチプレクスされAオペランド加算器信号として与えられる値は、ロードストアコントローラ182から受取ったアドレスモード制御情報によって決定される。Bオペランドマルチプレクサ回路246はシフト回路247からスケールされたBオペランドを受け、Bオペランドは、INLSバスを介して命令デコーダ108から受取ったスケール信号に基づいてスケールされる。Bオペランドマルチプレクサ回路246はまた、ロードストアコントローラ182の制御下で開始アドレスレジスタ249にストアされる開始アドレスと、以前の誤整列したアクセスから誤整列したアクセスレジスタ451にストアされる誤整列したアクセス1アドレスとを受け、マルチプレクスされBオペランド加算器信号として与えられる値はアドレスモード制御情報によって決定される。変位マルチプレクサ回路248は保留ステーションエントリ210から変位アドレス成分を受け、変位マルチプレクサ回路248はまた、量4、5、-4、および-2を受け、マルチプレクスされかつ変位加算器信号として与えられる値はアドレスモード制御情報によって決定される。

【0064】整列したアクセスロード動作については、Aオペランドがマルチプレクサ244によって選択され、Bオペランドがマルチプレクサ246によって選択され、かつ変位が248によって選択される。誤整列したアクセスロード動作、つまり倍長語境界を横切るアクセスについては、第1の誤整列したアクセスアドレスがノーマルロード動作として発生し、かつ加算器240は誤整列したアクセス1アドレスを発生する。誤整列したアクセス1レジスタ251はこの誤整列したアクセス1アドレスを保持する。次のクロックサイクルでは、Aオペランドマルチプレクサ244によって値0が選択され、Bオペランドマルチプレクサ246によって値4が選択され、かつマルチプレクサ248によって誤整列したアクセス1アドレスが選択され、こうして加算器240が誤整列したアクセス1アドレスに量4を加える。複数ROP動作、たとえば64ビットロード動作については、ノーマルロード動作として第1のアクセスアドレスが発生され、かつ加算器240は複数ROP開始アドレスを発生する。開始アドレスレジスタ249はこの開始アドレスを保持する。第2のROPがアクセスされる場合、マルチプレクサ248からの開始アドレスと、マルチプレクサ246からの値4とを加えることによって第2のROPアドレスが形成される。80ビット複数ROP動作については、マルチプレクサ246によって値5が与えられる。各複数ROP動作は誤整列する場合があります、この場合は、開始アドレスは誤整列したアクセスア

ドレス1と同じ働きをする。PUSH動作については、動作のアクセスサイズに依存してBオペランドアドレスからある値が減じられる。もしアクセスサイズが倍長語であれば、値4が減算され、もしアクセスサイズが語であれば、値2が減算される。シフト回路27を制御するスケーリング係数がINLS情報に基づいてロードストアコントローラ182によって発生する。

【0065】加算器回路216はまた、セグメントディスクリプタアレイ250と、リミットチェック回路252を含む。セグメントディスクリプタアレイ250はセグメントリミット信号をリミット回路252に与え、セグメントベースアドレス信号を加算器回路242に与える。リミットチェック回路252はまた、論理加算器240から論理アドレスを受け、かつ論理アドレスがセグメントディスクリプタアレイ250によって与えられるリミットで説明されるようなセグメントリミット内であることを示す有効セグメントアクセス信号を与える。

【0066】加算器回路240は、Aオペランド加算器信号とBオペランド加算器信号と変位加算器信号とを受け、これらの信号を加算して論理アドレス信号を与える。加算器回路242はセグメントディスクリプタアレイ250から受取ったセグメントベースアドレスを論理アドレスに加えて線形アドレスを与える。

【0067】RS1加算器218はRS0加算器と同様であるが、ただしRS0保留ステーションを用いる場合にのみ整列していないアクセスが実行されるため、RS1加算器218はマルチプレクサ248を含まない。RS1加算器218中では、変位加算器信号として変位が直接加算器240に与えられる。さらに、未整列のアクセスは実行されないため、RS1加算器218用のマルチプレクサ246には値4および値5は与えられない。

【0068】図6を参照して、ストアバッファは、Aポートマージ回路306およびBポートマージ回路308とともに、4つのストアバッファエントリSB0 300、SB1 301、SB2 302、およびSB3 303を含む。ポートマージ回路306はデータキャッシュ150からAポートデータ信号を受け、かつ保留ステーション回路124の保留ステーションエントリRS0からAポートデータ信号を受け、さらにこれらの信号をマージしてストアバッファエントリSB0-SB3にマージされたAデータ信号を与える。Bポートマージ回路308はデータキャッシュ150からBポートデータ信号を受け、かつ保留ステーション回路124の保留ステーションエントリRS1からBポートデータ信号を受け、さらにこれらの信号をマージしてストアバッファエントリSB0-SB3にマージされたBデータ信号を与える。マージ回路306、308を設けることにより、ステアリング機能が与えられる。

【0069】たとえば、4バイトDATA A信号のうち1バイトが、保留ステーション回路124によって

与えられる場合に更新されているかもしれない。この更新されたバイトは、データキャッシュ150によって与えられたDATA A信号からの3つの残りのバイトとマージされる。マージ回路306、308は、アクセスサイズ、線形アドレスの最下位2ビット、およびアクセスが誤整列されたアクセス1であるかまたは誤整列されたアクセス2であるかに基づいて、ロードストアコントローラ182によって制御される。読出修正書込動作としてストアが行なわれるため、マージ回路306、308によって与えられるステアリング機能が可能である。このステアリング機能を与えることにより、データキャッシュ150はデータキャッシュ150へのすべてのアクセスが32ビット倍長語アクセスであるため複雑なステアリング回路を必要としない。さらに、ストアバッファエントリ中にある情報はすべてデータキャッシュ150にストアされる予定の情報を反映しているため、ロードストア機能ユニット134がロード転送動作を行なうことが可能となる。ロード転送動作においては、ストアバッファエントリをアクセスすることによってストアが実際にデータキャッシュ150中にストアされる前にロードが実行されてもよく、ロード転送によりマイクロプロセッサのクリティカルなタイミング経路からストア動作を取除く。

【0070】各ストアバッファエントリはまた、4つの結果バスから入力信号を受け、保留ステーション124からADDR Aアドレス信号およびADDR Bアドレス信号を受け、かつ保留ステーション124からTAG Aタグ信号およびTAG Bタグ信号を受取るとともに、ロードストアコントローラ182から制御信号を受取る。これらの制御信号はロード信号およびシフト信号を含む。さらに、ストアバッファエントリSB0はストアバッファエントリSB1からの出力を受け、かつストア出力をIADバス102に与える。ストアバッファエントリSB1はストアバッファエントリSB2から出力されたストアバッファエントリを受け、かつまたストアバッファエントリSB0から出力されたストアバッファエントリを受け、さらにストアバッファエントリ出力をSB0に与える。ストアバッファエントリSB2は、ストアバッファエントリSB3から出力されたストアバッファエントリを受け、かつまたストアバッファエントリSB0およびSB1からエントリを受け、さらにストアバッファエントリ出力をSB1に与える。ストアバッファエントリSB3は、ストアバッファエントリSB0、SB1およびSB2から出力されたストアバッファエントリを受け、かつストアバッファエントリ出力をSB2に与える。

【0071】ストアバッファエントリSB1-SB3に下位ストアバッファエントリからのフィードバックを与えることにより、ストア転送動作が可能となる。たとえば、ストアバッファエントリSB0を上位ストアバッファ

ァエントリSB1-SB3に与えることによって、これらのストアバッファエントリが同じ線形アドレスを有する場合にSB0ストアバッファエントリと上位エントリとを組み合わせることができる。さらに、ストアバッファエントリがストアされる場合はエントリに対するあらゆる修正を含む。ストア転送機能については以下により詳しく説明する。

【0072】ストア転送により、前のストアがデータキャッシュ150にストアされるまで保留ステーションを停止させることなくシステムが動作できる。x86アーキテクチャにおいては、かなりの数の連続したバイトのアクセスが発生するため、ストア動作に対するロード動作の従属性を取除くことによって、ロードが行なわれる速度がストア転送によって大幅に上昇する。

【0073】図7を参照して、ストアバッファ回路180の各ストアバッファエントリSB0-SB3はストアバッファエントリ339で説明した情報を含む。ストアバッファエントリ339は32ビットデータ倍長語340と、タグ部分341と、32ビット線形アドレス342と、制御情報部分344とを含む。データ倍長語340は4つのデータバイト、つまりデータバイト0-データバイト3を含む。

【0074】タグ部分341はデータバイト0-3に対応する4つのバイトタグ部分を含む。バイト0タグ部分はバイト0タグ(TAG BYTE 0)と、バイト0制御ビット(B0)と、バイト0タグ有効ビット(TV)とを含む。バイト1タグ部分は、バイト1タグ(TAG BYTE 1)と、バイト1制御ビット(B1)と、バイト1タグ有効ビット(TV)とを含む。バイト2タグ部分は、バイト2タグ(TAG BYTE 2)と、バイト2制御ビット(B0、B1)と、バイト2タグ有効ビット(TV)とを含む。バイト3タグ部分は、バイト3タグ(TAG BYTE 3)と、バイト3制御ビット(B0、B1)と、バイト3タグ有効ビット(TV)とを含む。

【0075】バイトタグTAG BYTE 0-3は結果バスからデータバイト0-3を取出すためのタグを与える。バイト制御ビットはどの結果バスバイトからデータバイトが取出されるべきかを示す。より特定的には、バイト0制御ビットB0がセットされている場合は、データが結果バスバイト1から転送されるべきであり、もしバイト0制御ビットB0がクリアされていれば、データが結果バスバイト0から転送されるべきであることを示す。バイト1制御ビットB1がセットされている場合は、結果バスバイト0からデータが転送されるべきであり、もしバイト1制御ビットB1がクリアされていると、データが結果バスバイト1から転送されるべきであることを示す。バイト2制御ビットB1がセットされている場合は、結果バスバイト1からデータが転送されるべきであることを示し、バイト2制御ビットB0がセッ

トされている場合は、結果バスバイト0からデータが転送されるべきであることを示し、もしバイト2制御ビットB0およびB1がクリアされていると、データは結果バスバイト2から転送されるべきである。バイト3制御ビットB1がセットされる場合は結果バスバイト1からデータが転送されるべきであることを示し、かつバイト3制御ビットB0がセットされている場合は結果バスバイト0からデータが転送されるべきであることを示し、もしバイト3制御ビットB0およびB1がクリアされていると、データは結果バスバイト3から転送されるべきである。バイトタグ有効ビットTVは対応するタグフィールドが有効バイトタグを含むことを示す。

【0076】ストアバッファタグはメモリ中の実際のバイト位置を示すが、保留ステーションタグではタグと位置との間には1対1の対応は存在しない。保留ステーションタグを用いれば、LタグおよびMタグはストアバッファタグ内の任意の場所にマッピングすることができ、有効タグのついた未整列のアクセスはストアバッファの中へは入れない。未整列のアクセスストアについては、保留ステーションエントリRS0およびRS1は保留ステーションが有効データを受取るまで待機し、その後データは2つのストアバッファエントリとしてストアバッファに与えられる。

【0077】制御部分344はストアバッファエントリ有効ビット(V)と、2ビット未整列アクセス制御信号(UA)と、書込保護ビット(WB)と、キャッシュ不可ストアビット(NC)と、入力/出力アクセスビット(IO)と、浮動小数点更新ポインタビット(FP)と、物理アクセスビット(P)と、ロックされたアクセスビット(L)と、2ビットカラム表示ビット(C1)とを含む。ストアバッファエントリ有効ビットは、特定のエントリが有効である、つまりこのストアバッファエントリ中に何らかの有効な情報がストアされていることを示す。未整列のアクセス制御信号は、未整列のアクセスのどの部分、つまり第1の部分または第2の部分のどちらがエントリにストアされるかを示す。キャッシュ不可ストアビットは、ストアエントリがキャッシュ不可なためエントリをデータキャッシュ150に書込むことができないことを示す。I/Oアクセスビットは外部インタフェースに対してI/Oアクセスが発生していることを示す。物理アクセスビットは、ストアアドレスが物理アドレスであるため、メモリ管理ユニットが線形-物理変換をバイパスすべきであることを示し、これはロードストア機能ユニットがメモリ管理ユニット164のページディレクトリまたはTLBのいずれかを更新している場合に発生する。ロックされたアクセスビットは、以前のロードによってロックされているかもしれない外部バスのロックを外すことを示す。カラム表示信号は、データキャッシュの4つのカラムのうちの書込まれつつある1つを示し、このためストア動作を実行する際にデータ

キャッシュ150中でカラムルックアップを実行する必要がないことを示す。

【0078】図8を参照して、ストアバッファエントリ回路SB2 302が各ストアバッファエントリ回路の一例として示される。ストアバッファエントリ回路302は、ストアバッファエントリ339のデータバイト0-3に対応するストアバッファエントリバイトデータマルチプレクサ362、363、364、および365と、ストアバッファエントリ339のタグに対応するストアバッファエントリタグマルチプレクサ370と、ストアバッファエントリマルチプレクサ339のアドレスに対応するストアバッファエントリアドレスマルチプレクサ372とともに、ストアバッファエントリレジスタ360を含む。ストアバッファエントリ回路302はまた、タグ比較回路374とアドレス比較回路376とを含む。ストアバッファエントリレジスタ360は、ストアバッファデータエントリレジスタ380と、ストアバッファアドレスエントリレジスタ382と、ストアバッファタグエントリレジスタ384と、ストアバッファ制御エントリレジスタ386とを含む。

【0079】ストアバッファエントリレジスタ回路360は、ストアバッファエントリデータバイトマルチプレクサ362-365と、タグマルチプレクサ370と、アドレスマルチプレクサ372とからストアバッファエントリ339を並列に受け、かつストアバッファエントリ回路SB1およびSB3に並列にストアバッファエントリ339を与えるレジスタである。さらに、ストアバッファデータエントリレジスタ380は、保留ステーションミキサ回路220のデータポートAおよびデータポートBにデータバイト0-3を与える。これらのデータバイトはロードストア機能ユニット134によるロード転送動作の実行を可能にするために与えられる。

【0080】バイトマルチプレクサ回路362-365は、Aマージ回路306、Bマージ回路308、および4つの結果バスならびにストアバッファエントリ回路SB3、SB0およびSB1からそれぞれバイトを受取る。バイトマルチプレクサ回路362-365はストアバッファ制御信号によって制御され、これらのストアバッファ制御信号は、各ストアバッファエントリ毎の線形アドレス、および保留ステーション中のエントリからの線形アドレスの一致に基づいてロードストアコントローラ182によって与えられる。結果バスはストアバッファ制御信号によって制御され、これらのストアバッファ制御信号は特定のバイトについてタグ有効ビットが存在するかどうかに基づいてロードストアコントローラ182によって与えられる。もしタグ有効ビットが特定のバイトについてセットされると、その特定のバイトは結果バスをモニタし、かつタグに一致する値を有する結果バスであればどれでもマルチプレクスする。

【0081】たとえば、バイトマルチプレクサ回路36

2は、Aマージ信号と、Bマージ信号と4つの結果信号と、ストアバッファエントリSB3、SB0およびSB1との各々からバイト0データを受取る。ストアバッファ制御信号に基づいて、バイトマルチプレクサ回路362はこれらのデータバイトの1つをストアバッファレジスタ回路360中に保持されるSB2ストアバッファエントリとして与える。

【0082】ストアバッファデータレジスタ380にストアされる各バイトはメモリにストアされているものを直接反映するため、データバイトをメモリにストアされているものに対応させるようにバイトステアリングが設けられる。バイトステアリングは、バイトマルチプレクサ0 362およびバイトマルチプレクサ1 363に4つの結果バスバイト0および4つの結果バスバイト1からの入力を並列に与え、バイトマルチプレクサ2 364に4つの結果バスバイト0、4つの結果バスバイト1および4つの結果バスバイト2からの入力を並列に与え、かつバイトマルチプレクサ3 365に4つの結果バスバイト0、4つの結果バスバイト1および4つの結果バスバイト3からの入力を並列に与えることによって設けられる。結果信号のLバイトおよびMバイトはストアバッファ中のどのバイト位置にも対応し得るため、マルチプレクサ2および3 364、365は結果バスバイト0および1を受取る。しかしながら、結果バイト2はデータバイト2にのみ対応でき、かつ結果バイト3はデータバイト3にのみ対応できる。

【0083】アドレスマルチプレクサ372は、保留ステーション124からADDR A信号とADDR B信号とを受取り、これらのアドレスのうちの1つを線形アドレス342としてストアバッファアドレスレジスタ382に与える。ストアバッファアドレスレジスタ382は、ストアバッファエントリ339のアドレス部分342をアドレス比較回路372に与え、アドレス比較回路372はまた保留ステーション124からADDR A信号とADDR B信号とを受取る。アドレス比較回路372はADDR A信号およびADDR B信号を各クロックサイクル毎に線形アドレス342と比較する。ADDR AまたはADDR Bと線形アドレス342との間が一致すれば、ロードストアコントローラ182は保留ステーション124にストアバッファデータレジスタ380からデータを読み出させ、これはデータキャッシュ150の対応するポートではなくてアドレス比較一致に対応するポートを介して行なわれる。

【0084】タグマルチプレクサ370はストアバッファエントリSB0、SB1およびSB3からタグを受取る。タグマルチプレクサ370はまた保留ステーションエントリのAタグおよびBタグからタグを受取る。タグバイトはタグレジスタ384に保持され、転送されるが、タグレジスタ384は結果バスからタグ入力を受取らない。結果バスからのタグはタグ制御回路374によ

ってモニタされる。もしタグレジスタ384によって保持されるタグが結果バスの1つからのタグと一致すれば、タグ制御回路374は、タグの一致を与える結果バスがデータを対応するストアバッファデータレジスタへ与えるようにバイトマルチプレクサ362-365を制御する。

【0085】ストアバッファエントリ339の制御部分344はロードストアコントローラ182によってストアバッファ制御レジスタ386に与えられる。

【0086】ストアバッファエントリ回路SB0、SB1およびSB3の唯一の相違点は、他のストアバッファエントリから入力信号が与えられることである。より特定的には、ストアバッファエントリSB0はストアバッファエントリSB1からの出力だけを受取る。ストアバッファエントリSB1はストアバッファSB0およびSB2からの出力エントリを受取る。ストアバッファエントリSB3はストアバッファSB0、SB1およびSB2からの出力エントリを受取る。

【0087】図6-図8を参照して、ストアバッファ180は係属中のストア動作を一時的にストアする。ストアバイトタグを用いることによって、これらの係属中のストア動作は必ずしも完全なストアデータを有する必要がない。さらに、ストアバッファエントリフィードバックとともにストアバイトタグを用いることによって、ストアバッファ180はストア転送動作を実行する。さらに、ロード動作はデータキャッシュ150にまだストアされていないストア動作に依存するかもしれないため、ストアバッファ180はロード転送動作を実行可能である。

【0088】たとえば、係属中の32ビット更新に伴うレジスタの倍長語のストアのためには、各タグ有効ビットによって示されるように保留ステーションエントリ中のバイトタグ0-3が有効である。機能ユニットがストア動作の値を生成しようとしているがまだ生成していない場合に、更新が係属中であると呼ぶ。もしキャッシュアクセスによってキャッシュヒットが与えられると、ストア動作は保留ステーションエントリRS0からストアバッファ回路180へと移る。保留ステーションエントリのAオペランド上位バイトタグATAGUは、ストアバッファエントリ中のバイト3およびバイト2タグとして複製される。ATAGLおよびATAGM保留ステーションバイトタグは、それぞれストアバッファバイト0タグおよびバイト1タグとして与えられる。(倍長語の書込の場合、これらのタグのすべては実際には同一である。) バイト制御ビットB0およびB1のどちらもセットされない。機能ユニットによって結果が利用可能となると、ストアバッファ180はタグ比較回路374を用いて各バイトタグを結果バス上に現われるタグと比較し、かつマルチプレクサ362-365を用いてタグが一致するときはいつでも結果バスの各バイトからのデー

タをゲート入力する。倍長語のストアの際には各バイトは同時に一致する。

【0089】係属中の倍長語およびそれに続く同じ倍長語の1バイトに対する係属中のバイト更新に伴うレジスタへの倍長語の記憶のためには、少なくとも2つのタグが最終倍長語に現われる。同一のタグがバイト0、2および3について用いられ、かつバイト1については異なるタグが用いられる。この異なるタグは第2のバイトストアが発生したことを表わす。より特定的には、第1の倍長語は4つの有効タグとともにストアバッファエントリSB0にストアされ、かつバイトストアは新しいタグがバイト1に位置した状態で上位ストアバッファエントリSB1中にストアされ、一方、バイト0、2および3からのタグがSB0から転送される。したがって、結果バス上にバイト1結果を与え、バイト制御ビットを用いてバイト1結果をステアリングなしに倍長語ストアバッファエントリ中へ書込むストア転送が達成される。

【0090】メモリ中のバイト2およびバイト3への係属中の更新に伴うワードレジスタへのワードストアのためには、B1ビットがバイト3中でセットされB0ビットがバイト2中でセットされた状態でバイト0およびバイト1のためのタグがバイト2およびバイト3中へ書込まれる。このタグが結果バス上に駆動されると、これらのバイトはそれぞれ、このタグに対応する結果バスのバイト0およびバイト1からストアバッファデータレジスタ380へと同時に転送される。この例はまた、ストアバッファエントリにストアされる1ワードに対して2つの係属中のバイト更新が存在する場合に当てはまる。ストアバッファエントリ中の2つのバイトはおそらく異なる時間に異なる結果バスから転送される。

【0091】バイトストアについては、ソースバイトが上位バイトであるか下位バイトであるかに依存してB1ビットまたはB0ビットがセットされるタグと1つのバイトとが取換えられる。このタグが一致すると、結果バスの示されたバイトからのデータをゲートする。このことは係属中の一語または倍長語更新を有するレジスタのバイトストアの場合にも当てはまる。この場合、バス全体が有効データを含み得るとしても、バイトは結果バスの対応する位置にあることが予想される。

【0092】ストア動作を実行している場合、ストアの読出局面でデータキャッシュ150ではなく下位ストアバッファエントリから転送されたデータを受取ることがある。その結果、ストアバッファ180は既にタグを持っているデータ語の中へタグを挿入する。これはたとえば1つ以上のバイトが短い時間間隔の間に同一の倍長語中へ書込まれる場合に発生する。したがって、ストアバッファエントリにストアされる情報は、その各々が異なる結果を表わす1つ以上のタグを持つことが可能である。動作中には、各タグは結果バスとの比較を行ない、適切な時間に適切なバイトをゲート入力する。未整列の

ストアはストアバッファ180の中へタグを書込むことはできないので、おかしな転送は発生しない。

【0093】ロード動作を実行する場合、ストアバッファ180のアドレス比較回路376は、RS0およびRS1加算器によって与えられる線形アドレスをストアバッファエントリの線形アドレスと比較する。アドレス比較回路376が与えるヒット信号が示すように、ロードアドレスとストアバッファエントリの1つにストアされたアドレスとが一致すると、ロードストアコントローラ182はロードがストアに依存していると判断する。もしロードがストアに依存していれば、線形アドレスの一致を与えたストアバッファエントリからのデータが、アドレスの一致が与えられたいずれかのポートを介して与えられる。この動作はロード転送動作と呼ばれる。

【0094】図9を参照して、データキャッシュ150は線形にアドレス指定されたキャッシュである。引用により援用される「線形アドレス指定可能なマイクロプロセッサキャッシュ (Linearly Addressable Microprocessor Cache)」と題された同時出願の米国特許出願連続番号第146,381号は、データキャッシュ150の線形アドレス指定についての構造および動作をより詳細に説明している。

【0095】データキャッシュ150のエントリ400が示される。データキャッシュ150の各エントリごとに、キャッシュエントリに対応する各線形アドレスのうちの中位ビットはキャッシュインデックスを与え、このキャッシュインデックスは線形タグアレイをアドレス指定し、かつ各線形タグアレイからエントリを取出すために用いられる。各線形アドレスの上位ビットは、アドレスタグアレイ310から取出されたエントリ内にストアされる線形データタグと比較される。各線形アドレスの最下位ビットは取出されたエントリへのオフセットを与えて、線形アドレスによってアドレス指定された実際のバイトを見つける。データキャッシュ150は常に32ビットワードの形であるため、これらの最下位ビットはデータキャッシュ150にアクセスする場合には使用されない。

【0096】データキャッシュ150のデータキャッシュエントリ400は線形アドレスタグエントリ402とデータエントリ404とを含む。データエントリ404は16バイト (DBYTE0-DBYTE15) ブロックのデータを含む。データ線形アドレスタグエントリ402は、データ線形タグ値 (DTAG) と、線形タグ有効ビット (TV) と、有効物理変換ビット (P) とを含む。線形アドレスの上位21ビットに対応するデータ線形タグ値は、対応するストアアレイエントリにストアされるブロックの線形ブロックフレームアドレスを示す。線形タグ有効ビットは線形タグが有効かどうかを示す。有効物理変換ビットはエントリが物理タグヒットをうまく与えられるかどうかを示し、これについては以

下に説明する。

【0097】図10を参照すると、線形にアドレス指定可能なデータキャッシュ150のデータキャッシュ線形タグ回路202とデータキャッシュストアアレイ200とが示される。データキャッシュ150は4つの2Kバイトカラムに、つまりカラム0、カラム1、カラム2、およびカラム3に配列される。データ線形タグ回路202は2つの線形アドレスADDR AとADDR Bとを同時に受取り、データストアアレイ200は2つのデータ信号DATA AとDATA Bとを同時に与える。つまりデータキャッシュ150は二重にアクセスされるデータキャッシュとして作用する。

【0098】データストアアレイ200は4つの別個のデータストアアレイ、つまりカラム0ストアアレイ430、カラム1ストアアレイ431、カラム2ストアアレイ432、およびカラム3ストアアレイ433とともにマルチプレクサ (MUX) 回路440を含む。マルチプレクサ440はデータ線形タグ回路202から制御信号を受取り、これらの制御信号は各線形タグアレイ中にストアされる線形タグ値と一致するかどうかを示す。マルチプレクサ440はストアアレイ430-433からデータを受取り、かつこのデータをロードストア機能ユニット134に与える。

【0099】線形タグ回路202はカラム0-3に対応する線形タグアレイ450-453を含む。各線形タグアレイは対応する比較回路454-457に結合される。したがって、データキャッシュ150の各カラムはストアアレイと、線形タグアレイと、比較回路とを含む。ストアアレイ430-433、アドレスタグアレイ450-453、および比較回路454-457はすべてロードストアセクション134から線形アドレスADDR A、ADDR Bを受取る。

【0100】IADバス102はストアアドレスマルチプレクサ461を介して各ストアアレイ430-433に結合されていていずれにもストアアドレスを与える。IADバス102はまた、各ストアアレイ430-433に結合されるストアレジスタ460に結合される。IADバス102によって与えられるストアアドレスは、特定のカラムを指して特定のバンクを選択するために与えられ、特定のカラムはカラム選択ビットによって選択され、これらのカラム選択ビットはストアを行なっているときにストアバッファ180によって与えられるか、または再ロードを行なっているときに物理タグ回路162によって与えられる。ストアのためには、ただ1のバンクがアクセスされる。バンク選択ビット、つまりIADバス102によって与えられるアドレスのビット2およびビット3はバンクにアクセスするために用いられる。再ロードのためには4つのバンクすべてが並列にアクセスされる。

【0101】IADバス102はデータをデータキャッ

シュ150のストアアレイ430-433に書込むために、ストア動作および再ロード動作の両方の動作の間に使用される。ストア動作を実行するときには、データは32ビット倍長語の形でストアレジスタ460を介してストアアレイ430-433に書込まれる。ストアバッファの書込のためには、ADDR Bに与えられるIADバスアドレスがデータキャッシュ150に入力される。ADDR BおよびIADアドレスはアドレスマルチプレクサ461によってマルチプレクスされる。

【0102】再ロード動作を行なうときには、データは128ビットラインでストアアレイ430-433に書込まれる。ストアレジスタ460は2回の64ビットアクセスでIADバス102から128ビットのデータを集め、この128ビットが集められた後、ストアレジスタ460はこのデータをストアアレイ430-433に書込む。再ロードのためには、64ビットが各位相で書込まれるため、ストアレジスタ460はデータを受取るためにIADバス102のアドレスラインをマルチプレクスする。アドレスマルチプレクサ461は、ロウを指し示すためにIADアドレスをADDR Bアドレス経路上にマルチプレクスする。データキャッシュストアマルチプレクサ460は、ストア動作またはロード動作のどちらが行なわれているのかに基づいてデータキャッシュコントローラによって制御される。再ロード動作のためには、ロードストアコントローラ134はデータキャッシュ150のポートAを介して再ロードアドレスを書込み、このためデータキャッシュ150は再ロードアドレスのためにADDR Aを用いる。

【0103】図11および図12を参照すると、データキャッシュ150の各ストアアレイは、デュアルポート動作に関連したオーバーヘッドを必要とせず、1クロックサイクル中に複数のアクセスが可能となるようにバンク構成とされる。より特定的には、各ストアアレイは4つのバンク470-473を含み、これらのバンクの各々は32ビット倍長語データをストアし、各バンクはそれぞれのバンクアドレスマルチプレクサ474-477を含む。4つのバンクの組合わせによりデータキャッシュ150の1ラインへのアクセスが与えられる。

【0104】各バンク470-473はそれぞれADDR AまたはADDR Bのいずれかによってアドレス指定され、これらのアドレスは各バンクアドレスマルチプレクサ474-477によって与えられる。バンクアドレスマルチプレクサ474-477はADDR AおよびADDR Bのバンク選択ビットによって制御される。各バンクは個々にアドレス指定されるため、1つ以上のバンクを同時にアクセスし得る。

【0105】たとえば、図11に示されるように、ADDR Aがバンク0の1ラインをアドレス指定し、ADDR Bがバンク3の同じラインをアドレス指定する場合、マルチプレクサ474はADDR Aをバンク0に

与え、かつマルチプレクサ476はADDR Bをバンク2に与える。ADDR Aによってアドレス指定されたデータ語は、DATA Aデータ経路を介してDATA A Aとしてロード/ストア機能ユニット134に与えられ、ADDR Bによってアドレス指定されたデータ語は、DATA Bデータ経路を介してDATA Bとしてロード/ストア機能ユニット134に与えられる。

【0106】図12からわかるように、ADDR AおよびADDR Bの両方がバンク0の同じラインをアドレス指定する場合、このラインとバンクとだけがアクセスされ、この位置のデータはDATA Aデータ経路およびDATA Bデータ経路をそれぞれ介してDATA AおよびDATA Bの両方としてロード/ストア機能ユニット134に与えられる。

【0107】2つのアクセスがバンクは同じだが異なるラインへのアクセスである場合、データキャッシュコントローラ190によって1サイクルの間ポートBアクセスが停止される。局所性が強い命令キャッシュアクセスと比べるとデータキャッシュアクセスは一般にランダムであるため、同じバンクの異なるラインへのポートA、ポートBのアクセスが発生する頻度は相対的に低い。

【0108】データキャッシュ150へのストアアクセスはIADバス102を介して行なわれる。ストアの間、マルチプレクサ474-478は、バンク470-473のうちのどれに32ビットストア倍長語が書込まれるかを制御するためにストアアクセスを使用する。再ロードの間、バンク470-473は再ロードデータがストアレジスタ460中に集められた後に1つの128ビットラインに書込まれる。

【0109】図2、および図9-図11を参照して、データキャッシュ150の一般的な動作について議論する。ロード/ストア機能ユニット134がキャッシュ150にストアされていないデータ値をリクエストすると、キャッシュミスが発生する。キャッシュミスを検出すると、リクエストされた値がデータキャッシュ150のエントリに書込まれる。より特定的には、ロードストアセクション134はその値についての論理アドレスを線形アドレスに変換する。この線形アドレスはメモリ管理ユニット164に与えられる。TLB比較回路はこの値の線形アドレスをメモリ管理ユニットのTLBアレイの線形タグ部分と照会して、TLBヒットが存在するかどうかを判断する。

【0110】ロードストア機能ユニット134がTLBヒットがあると判断すると、ロードストア機能ユニット134はデータを検査してデータがキャッシュ可能かどうかを判断する。もしデータがキャッシュ可能であり、かつTLBヒットがあれば、対応する物理アドレスの物理タグが物理タグ回路162の対応するエントリの中へ書込まれる。データがストアされたアレイカラムに対応するデータ線形タグアレイ450-453にはTLB A

レイからの線形タグが書込まれる。

【0111】TLBヒットがなければ、TLBアレイはTLBヒットが生じるように、メモリ管理ユニット164によって要求された値のアドレスを含むように更新される。その後、物理タグが物理タグ回路162に書込まれ、線形タグが適切な線形タグアレイ450-453に書込まれる。

【0112】その後、ロード/ストア機能ユニット134が外部メモリに対してプリフェッチ要求を行ない、外部メモリ中の線形アドレスに対応する物理アドレスにストアされた値が外部メモリから取出される。この値はストアアレイ200のバンク、ラインおよびカラムにストアされており、ストアアレイ200は線形タグアレイにストアされる値の線形タグのライン位置およびカラム位置に対応する。線形タグアレイ310中の対応する線形タグ有効ビットおよび有効物理変換ビットは、線形タグに対応するエントリが有効であり、線形タグが有効であり、かつエントリが物理変換をうまく行なうことを示すようにセットされる。

【0113】ロード/ストア機能ユニット134がこの値についての線形アドレスを再び要求すると、ロードストアセクション134は論理アドレスを線形アドレスに変換し、この線形アドレスは要求されたアドレスと線形アドレスタグアレイ310中の線形タグとの一致を与える。有効ビットがセットされており有効物理変換ビットがセットされているため、線形アドレスヒットが発生し、かつデータストアアレイ304の対応するラインにストアされるエントリがロード/ストア機能ユニット134に与えられる。ロードストアセクション134によるアクセスの間、有効物理変換ビットがセットされてエントリが有効物理変換を有することを示しているため、物理アドレスタグ回路162またはTLB回路164のどちらへもアクセスの必要がない。

【0114】図1-図10および図13を参照して、ロード/ストア機能ユニット134がポートAを介してロード動作を実行しており、かつロードされるべきデータ値がデータキャッシュ150中で利用可能な場合、データキャッシュヒットが発生する。より特定的には、周期1のΦ1の間に加算器240またはRS0加算器216によって計算されてキャッシュインデックスが発生する。このキャッシュインデックスは線形アドレスの最下位11ビットであり、線形アドレス計算の一部として計算される。このキャッシュインデックス線形アドレスはデータキャッシュストアアレイ200の適切なラインおよびバンクにアクセスするために用いられる。適切なラインおよびバンクにアクセスするときには、加算器242によって計算された線形アドレスが線形タグを比較することによってストアアレイ200の適切なカラムにアクセスするために使用される。その後、データ値はDATA Aデータ経路を介して保留ステーション回路124

のドライバ回路220に戻される。このデータ値はドライバ回路220によってフォーマット化されて結果バス0に与えられる。周期1のΦ2の間、リミットチェック回路252は当該技術分野で周知のように線形アドレスに対してセグメントリミットチェックおよび保護チェックを行なう。周期2のΦ1の間、データ値および対応する行先タグがポートAのために結果バス0上に駆動される。

【0115】ポートAを介してロード動作が実行されている間、対応するロード動作がポートBを介して実行され得る。この対応するロード動作はデータキャッシュアクセスのアドレス発生を行なうために、対応する加算器とともに保留ステーションRS1を用いる。保留ステーションRS1中のエントリについてのデータ値および対応する行先タグは結果バス1上に駆動される。

【0116】図1-図10および図14を参照して、ロード/ストア機能ユニット134によってポートAを介してストア動作が実行されており、かつストアされるべきデータ値がデータキャッシュ150中に既にストアされている場合、データキャッシュヒットが発生する。ストアは読出修正書込動作として実行されるため、ストア動作の第1の部分はロード動作と同様である。データ値がロードされた後、ロードされた値はロードされたデータ値を修正するためにストアバッファ回路180に書込まれる。

【0117】より特定的には、周期1のΦ1の間、加算器240またはRS0加算器216による計算によってキャッシュインデックスが発生される。このキャッシュインデックスは線形アドレスの最下位11ビットであり、線形アドレス計算の一部として計算される。このキャッシュインデックス線形アドレスはデータキャッシュストアアレイ200の適切なラインおよびバンクにアクセスするために用いられる。適切なラインおよびバンクがアクセスされるときには、線形タグを比較することによってストアアレイ200の適切なカラムにアクセスするために、加算器242によって計算された線形アドレスが用いられる。その後、データ値はDATA Aデータ経路を介して保留ステーション回路124のドライバ回路220に戻される。このデータ値はドライバ回路220によってフォーマット化されて結果バス0に与えられる。周期1のΦ2の間、リミットチェック回路252は当該技術分野で周知のように線形アドレスに対してセグメントリミットチェックおよび保護チェックを行なう。周期2のΦ1の間、データ値および対応する行先タグがポートAのために結果バス0上に駆動され、かつまたストアバッファ回路180の次に利用可能なエントリにストアされる。この値はストア動作がリオーダバッファ114からリタイアするまでストアバッファ回路180に保持され、ストア動作のリタイアはどの命令も係属していない場合に発生する。その後、リオーダバッファ

114はロードストアリタイア信号を用いてロード/ストアコントローラ180に対してストア命令をリタイアできる、つまりストアを実行できるということを示す。ストアはデータ値の状態を実際に修正するため、ストアは仮想に基づいては実行されず、リオーダバッファ114がストアの実行を許可する前にストアが実際に次の命令であるということがはっきりするまで待機しなくてはならない。

【0118】リオーダバッファ114が命令を実行してもよいということを示した後、命令の解除に続いて周期のΦ1の間、データ値および対応する線形アドレスがIADバス102に対して駆動される。この周期のΦ2の間、データ値はデータキャッシュストアアレイ200の適切なラインおよびバンクに書込まれる。さらに、もし物理タグ回路162がこの値を外部にもまた書込むべきであると示せば、データ値は線形アドレスに対応する物理アドレス位置において外部メモリに書込まれる。IADバス102から線形アドレスをまた受取るメモリ管理ユニット164によって物理アドレス変換が行なわれる。

【0119】図1-図10および図15を参照して、ロード/ストア機能ユニット134が仮想に基づくロード動作を実行しており、かつロードされるべきデータ値がデータキャッシュ150中で入手できない場合、仮想に基づくデータキャッシュミスが発生する。ロード動作の第1の周期はキャッシュヒットが発生した場合と同じである。

【0120】キャッシュ150がアクセスされ、キャッシュミスが生じた場合、周期2の間にメモリ管理ユニット164中でTLBがアクセスされ、かつデータ値の物理アドレスを決定するために物理タグ回路162中で物理タグがアクセスされる。その後、この物理アドレスは保護チェックのどれにも違反しないことを確認するためにメモリ管理ユニット164内でチェックされる。次の周期の間、ポートBアクセスがキャッシュアレイ200の同じバンクへのアクセスではない場合、ポートBは他のキャッシュアクセスを開始する。さらに、このサイクルのΦ2の間、タグバスからのラインのタグ有効ビットを用いてキャッシュアレイ200が更新される。次の周期の間、データ値、行先タグおよびステータスが次に利用可能な結果バス上に駆動され、かつキャッシュヒットを想定した通常の動作が始まる。

【0121】図1-図10および図16を参照して、キャッシュ再ロードの間、再ロード動作の第1の周期はキャッシュヒットが生じた場合と同じである。しかしながら、キャッシュコントローラ190がキャッシュミスが生じたと判断した後は、ロード/ストア機能ユニット134は、外部メモリを再ロードキャッシュ150にアクセスする前にストアバッファ回路180が空になるのを待つ。数クロック周期分待機した後、物理タグ回路16

2は、データの128ビットすべてがストアレジスタ460に書込まれたことをキャッシュ150に対して示すデータ使用可能信号(L22LS)を与える。データが使用可能となりデータキャッシュアレイ200に書込まれると、保留ステーション回路124のドライバ回路220はデータ、行先タグおよびステータス情報を結果バス0上に駆動する。

【0122】図17を参照して、誤整列したアクセスについては、続く周期の間に2つのアクセスが存在する。2つのアクセスの各々はキャッシュヒットアクセスと同じである。各アクセスから戻ったデータはドライバ回路220によって集積される。2つのアクセスが完了し、データが集積された後、ドライバ回路220は上に述べたようにデータをフォーマット化する。その後、保留ステーション回路124のドライバ回路220はデータ、行先タグおよびステータス情報を結果バス0上に駆動する。誤整列したアクセスは保留ステーション0を用いる場合のみ実行される。したがって、ドライバ回路220のRS0加算器およびポートA部分だけが、誤整列したアクセスの実行に必要な回路を必要とした。

【0123】他の実施例

他の実施例は前掲の特許請求の範囲内である。

【0124】たとえば、ロード/ストア機能ユニット134はロード機能ユニットとストア機能ユニットとの2つの別個の機能ユニットに分割されてもよい。この実施例では、これらの機能ユニットの動作は上述とほぼ同じであるが、各機能ユニットはそれぞれの保留ステーションを含み得る。言い換えれば、ロードセクションはロードに関して議論したように機能するロード保留ステーションを含み、かつストアセクションはストアに関して議論したように機能するストア保留ステーションを含む。

【図面の簡単な説明】

【図1】本発明に従うスーパースカラマイクロプロセッサのブロック図である。

【図2】本発明に従うロード/ストア機能ユニットおよびデータキャッシュのブロック図である。

【図3】図2のロード/ストア機能ユニットの保留ステーション回路のブロック図である。

【図4】図3の保留ステーション回路のエントリの内容のブロック図である。

【図5】図3の保留ステーション回路の加算器回路のブロック図である。

【図6】図2のロード/ストア機能ユニットのストアバッファ回路のブロック図である。

【図7】図6のストアバッファ回路のエントリの内容のブロック図である。

【図8】図6のストアバッファ回路のストアバッファエントリのブロック図である。

【図9】図2のデータキャッシュのエントリのブロック図である。

【図10】図2のデータキャッシュのストアアレイおよび線形タグアレイのブロック図である。

【図11】図10のストアアレイのバンク構造のブロック図である。

【図12】図10のストアアレイのバンク構造のブロック図である。

【図13】本発明に従うロード動作のタイミング図である。

【図14】本発明に従うストア動作のタイミング図である。

【図15】本発明に従う理論上のアクセス動作の間のデータキャッシュミスのタイミング図である。

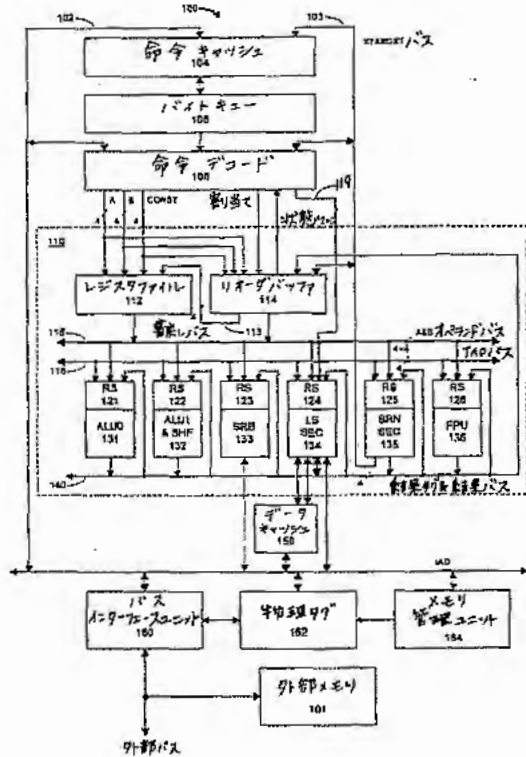
【図16】本発明に従うデータキャッシュ再ロード動作のタイミング図である。

【図17】本発明に従う誤整列アクセス動作のタイミング図である。

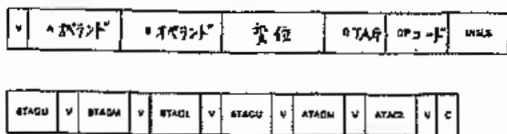
【符号の説明】

- 100 マイクロプロセッサ
- 124 保留ステーション回路
- 134 ロード/ストア機能ユニット
- 150 データキャッシュ
- 180 ストアバッファ回路
- 182 ロード/ストアコントローラ
- 190 キャッシュコントローラ

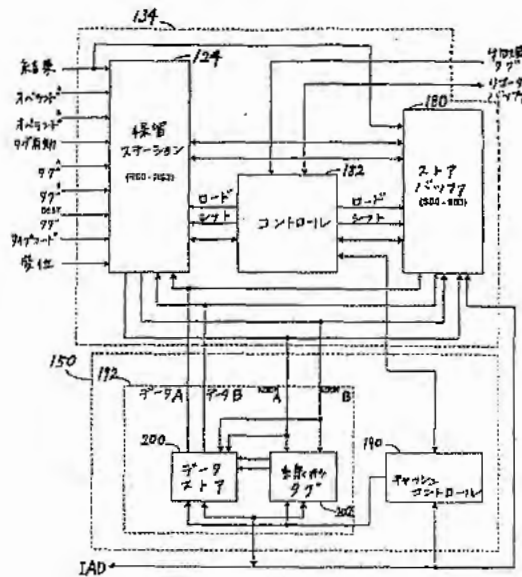
【図1】



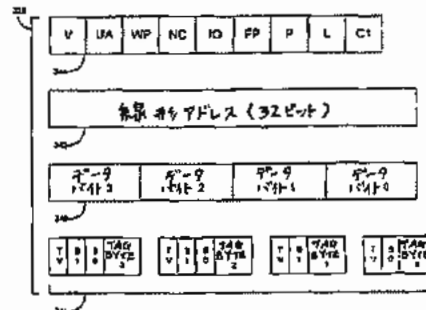
【図4】



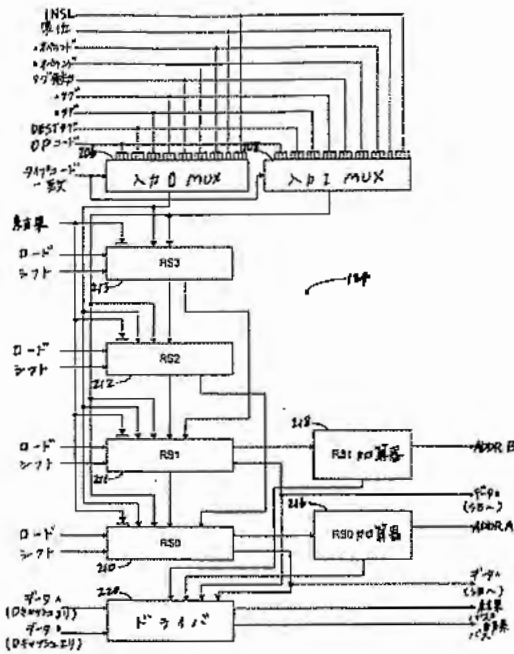
【図2】



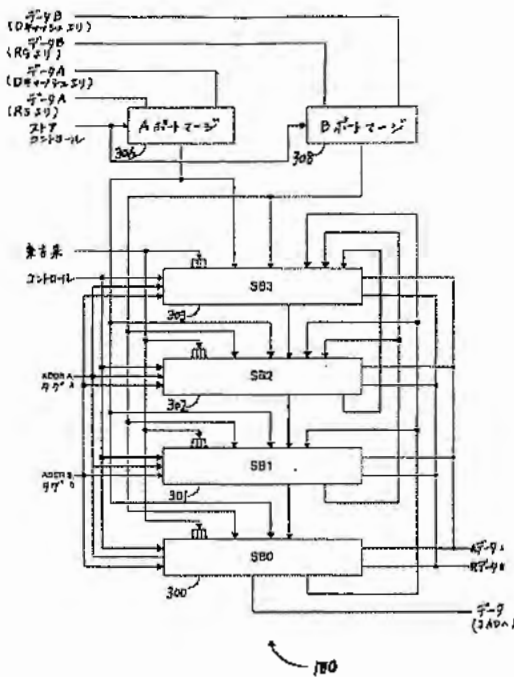
【図7】



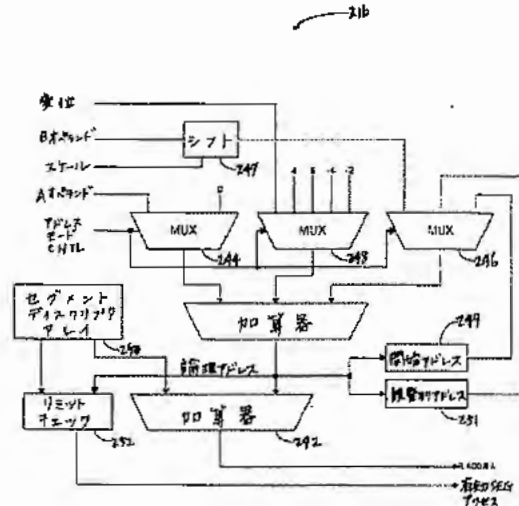
【図3】



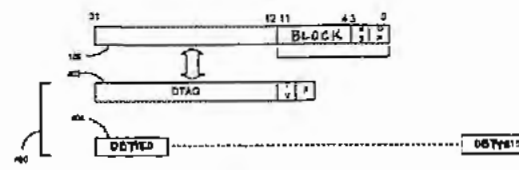
【図6】



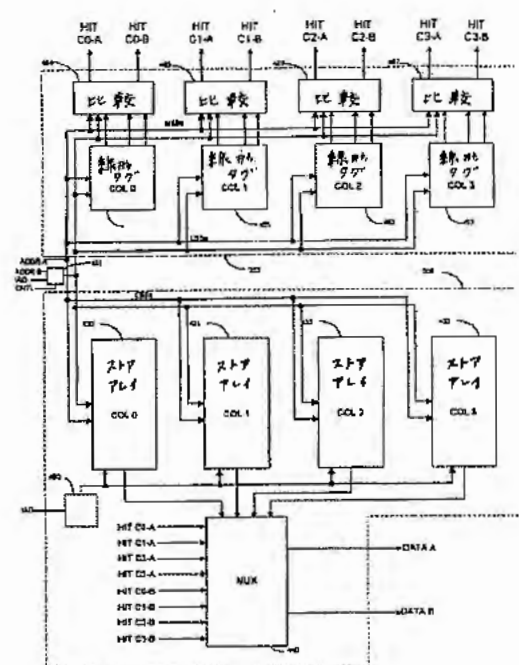
【図5】



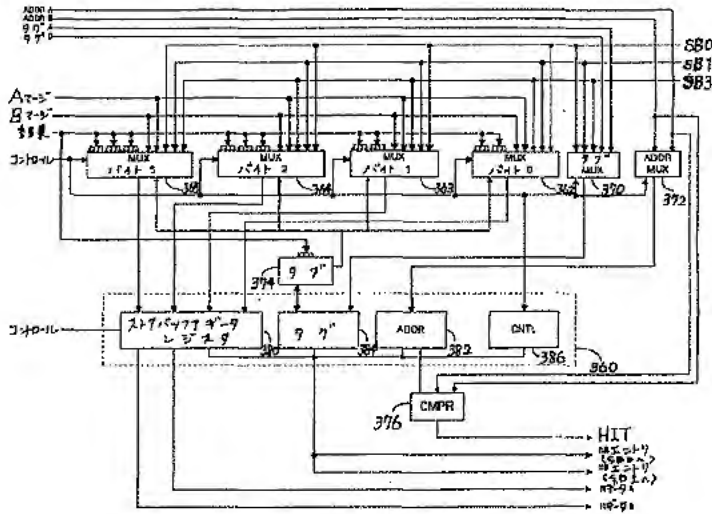
【図9】



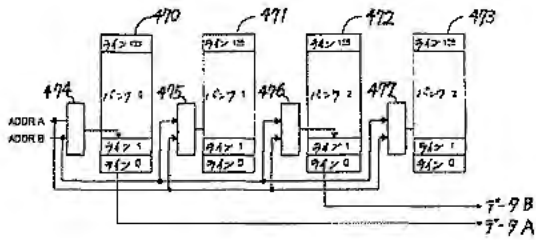
【図10】



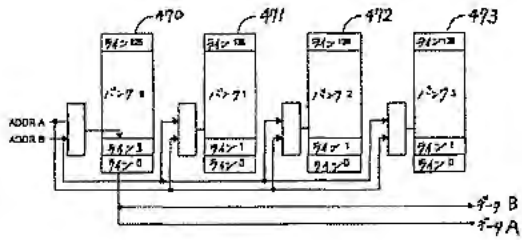
【図8】



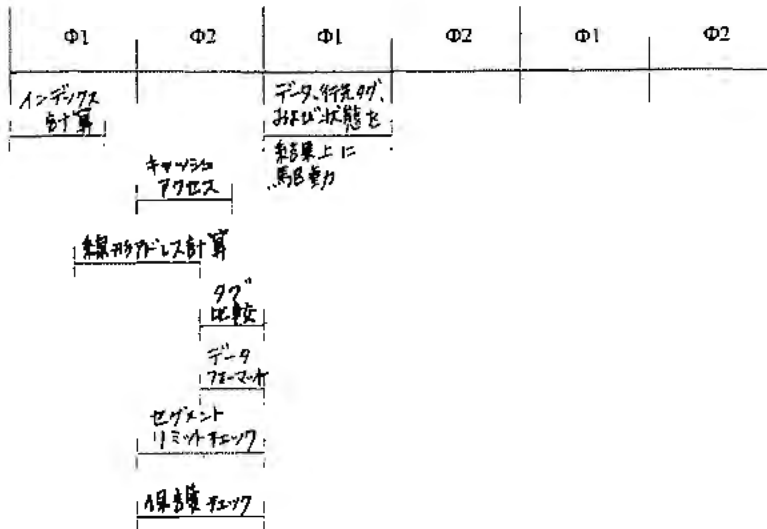
【図11】



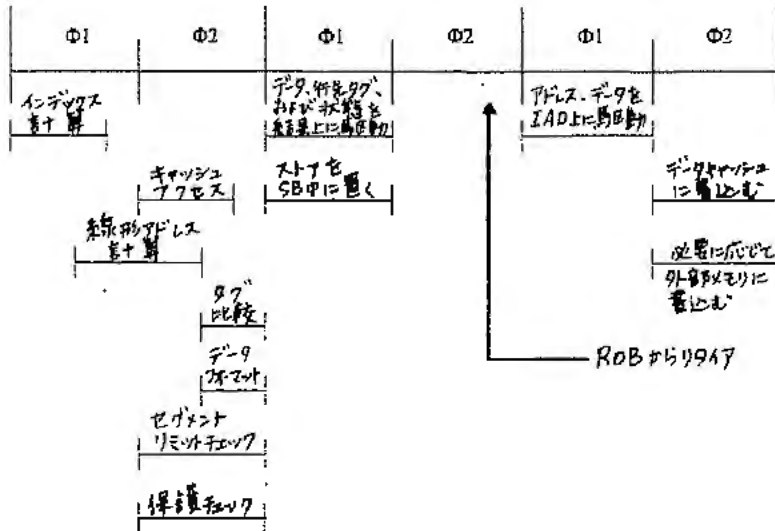
【図12】



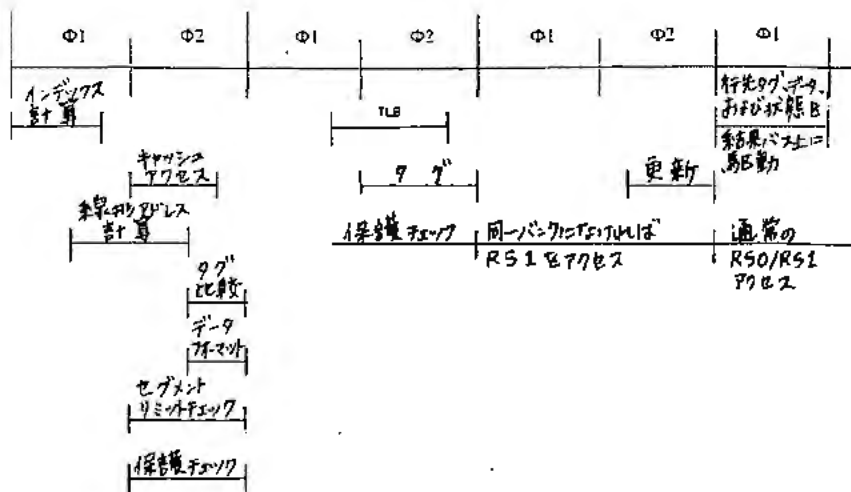
【図13】



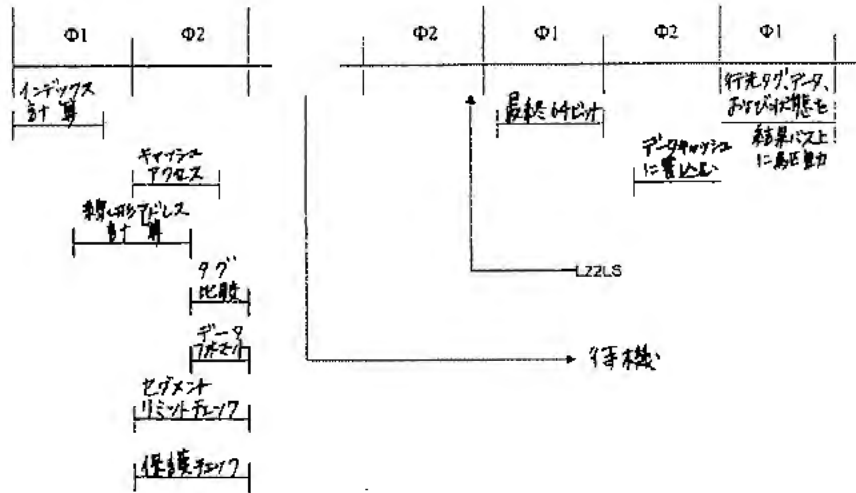
【図14】



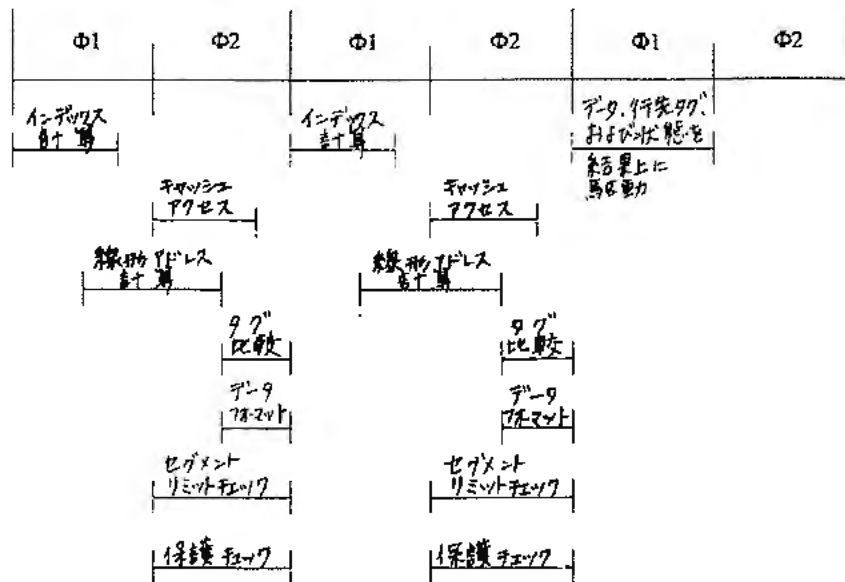
【図15】



【図16】



【図17】



フロントページの続き

(72)発明者 ウィリアム・エム・ジョンソン
 アメリカ合衆国、78746 テキサス州、オースティン、クリスティー・ドライブ
 102

(72)発明者 デイビッド・ビィ・ウィット
 アメリカ合衆国、78759 テキサス州、オースティン、パスファインダー・ドライブ、6318

(72)発明者 ミュラリ・チナコンダ
アメリカ合衆国、78746 テキサス州、オ
ースティン、スパイグラス・ドライブ
1781、ナンバー・301

SUPERSCALAR MICROPROCESSOR

Publication number: JP7182160 (A)
Publication date: 1995-07-21
Inventor(s): DEIBITSUDO BII UITSUTO; UIRIAMU EMU JIYONSON +
Applicant(s): ADVANCED MICRO DEVICES INC +
Classification:
 - **international:** G06F9/30; G06F9/302; G06F9/32; G06F9/38; G06F9/30;
 G06F9/302; G06F9/32; G06F9/38; (IPC1-7): G06F9/38;
 G06F9/38
 - **European:** G06F9/302; G06F9/30F; G06F9/30T2; G06F9/32C; G06F9/38E;
 G06F9/38E2; G06F9/38F; G06F9/38F2B; G06F9/38S6;
 G06F9/38T
Application number: JP19940263317 19941027
Priority number(s): US19930146382 19931029

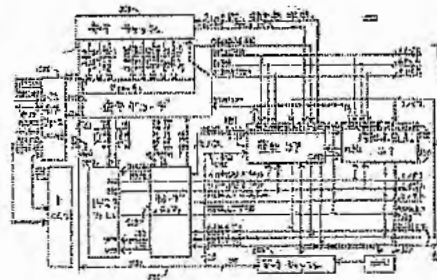
Also published as:

- JP3670039 (B2)
- US5651125 (A)
- US5574928 (A)
- EP0651321 (A1)
- EP0651321 (B1)

more >>

Abstract of JP 7182160 (A)

PURPOSE: To process instructions in parallel by providing a common register file for receiving an already used instruction result from a common reorder buffer used by both an integer functioning unit and a floating point functioning unit.
CONSTITUTION: Relating to the architecture of a microprocessor 200, an integer functioning unit 215 and a floating point functioning unit 225 include plural waiting stations 220 and 230, and they are connected with a common data processing bus 535. Then, the integer functioning unit 215 and the floating point functioning unit 225 commonly use a reorder buffer 240. An already used instruction result is received by a common register file 235 from the reorder buffer 240. Thus, the input of orderly instructions and the execution of the disorderly instructions are processed in parallel.



Data supplied from the *espacenet* database — Worldwide

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 9/38	3 1 0 F			
	3 5 0 A			

審査請求 未請求 請求項の数27 OL (全46頁)

(21) 出願番号 特願平6-263317

(22) 出願日 平成6年(1994)10月27日

(31) 優先権主張番号 146382

(32) 優先日 1993年10月29日

(33) 優先権主張国 米国 (US)

(71) 出願人 591016172
 アドバンスド・マイクロ・デバイス・
 インコーポレイテッド
 ADVANCED MICRO DEVI
 CES INCORPORATED
 アメリカ合衆国、94088-3453 カリフォ
 ルニア州、サニベイ、ピィ・オー・ポ
 ックス・3453、ワン・エイ・エム・ディ
 プレイス (番地なし)

(74) 代理人 弁理士 深見 久郎 (外3名)

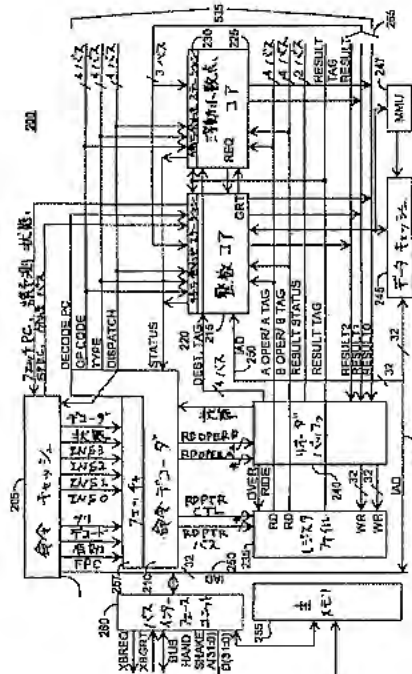
最終頁に続く

(54) 【発明の名称】 スーパースカラマイクロプロセッサ

(57) 【要約】

【目的】 高性能のスーパースカラマイクロプロセッサを提供する。

【構成】 上記マイクロプロセッサ200は、高性能主データ処理バスを共有する整数機能ユニットと浮動小数点機能ユニットとを含む。整数ユニットと浮動小数点ユニットは、共通リオーダーバッファ、レジスタファイル、分岐予測ユニットおよびロード/ストアユニットも共有し、これらはすべて同じ主データ処理バス上にある。命令およびデータキャッシュが主メモリに、この間の通信を扱う内部データアドレスバスを介して結合される。命令デコードが命令キャッシュに結合され、1マイクロプロセッササイクルにつき複数の命令をデコードすることができる。命令は推論順にデコードから発行され、投入および完了は順序通りでない。命令はリオーダーバッファからレジスタファイルに順序通りに格納される。機能ユニットは複数のデータ幅を示すオペランドを収容する。



【特許請求の範囲】

【請求項1】 スーパースカラマイクロプロセッサであって、

同じマイクロプロセッササイクル中に複数の命令をデコードするための複数命令デコーダを含み、前記デコーダは同じマイクロプロセッササイクル内に整数および浮動小数点命令の両方をデコードし、さらに前記デコーダに結合されるデータ処理バスと、

前記データ処理バスに結合される整数機能ユニットと、前記データ処理バスに結合される浮動小数点機能ユニットと、

前記データ処理バスに結合されて、前記整数機能ユニットおよび前記浮動小数点機能ユニットの両方によって用いられる共通リオーダーバッファと、

前記リオーダーバッファに結合されて、前記リオーダーバッファから用済とされた命令結果を受入れる共通レジスタファイルとを含む、スーパースカラマイクロプロセッサ。

【請求項2】 前記整数機能ユニットが少なくとも1つの待合わせステーションを含む、請求項1に記載のマイクロプロセッサ。

【請求項3】 前記整数機能ユニットが2つの待合わせステーションを含む、請求項1に記載のマイクロプロセッサ。

【請求項4】 前記浮動小数点機能ユニットが少なくとも1つの待合わせステーションを含む、請求項1に記載のマイクロプロセッサ。

【請求項5】 前記浮動小数点機能ユニットが2つの待合わせステーションを含む、請求項1に記載のマイクロプロセッサ。

【請求項6】 前記データ処理バスが、

複数のオペコードバスと、

複数のオペランドバスと、

複数の命令タイプバスと、

複数の結果バスと、

複数の結果タグバスとを含む、請求項1に記載のマイクロプロセッサ。

【請求項7】 前記オペランドバスがオペランドタグバスを含む、請求項6に記載のマイクロプロセッサ。

【請求項8】 前記データ処理バスが予め定められたデータ幅を示し、前記リオーダーバッファが、前記データ処理バス幅に等しい幅を示すエントリと、前記データ処理バスのデータ幅の倍数に等しい幅を示すエントリとをストアするメモリ手段を含む、請求項1に記載のマイクロプロセッサ。

【請求項9】 前記デコーダが、プログラム順に整数および浮動小数点命令の両方を発行するための発行手段をさらに含む、請求項1に記載のマイクロプロセッサ。

【請求項10】 前記データ通信バスに結合されて、前記整数機能ユニットと前記浮動小数点機能ユニットによ

って共有される分岐予測機能ユニットをさらに含む、請求項1に記載のマイクロプロセッサ。

【請求項11】 前記浮動小数点機能ユニットが、複数のサイズを示すオペランドを処理する、請求項1に記載のマイクロプロセッサ。

【請求項12】 前記浮動小数点機能ユニットが、単精度/倍精度浮動小数点機能ユニットを含む、請求項1に記載のマイクロプロセッサ。

【請求項13】 前記複数命令デコーダが、1マイクロプロセッササイクルにつき4つの命令をデコードすることができる、請求項1に記載のマイクロプロセッサ。

【請求項14】 前記マイクロプロセッサを、命令およびデータがストアされる外部メモリにインタフェースさせるためのバスインタフェースユニットと、前記バスインタフェースユニットに結合される内部アドレスデータ通信バスと、

前記データ処理バスに結合されて、そこからロードおよびストア命令を受取るためのロード/ストア機能ユニットとを含み、前記ロード/ストア機能ユニットは、前記内部アドレスデータ通信バスに結合されて、前記外部メモリに前記ロード/ストア機能ユニットアクセスを与え、さらに前記内部アドレスデータ通信バスおよび前記デコーダに結合されて、前記デコーダに命令源を与える命令キャッシュと、

前記内部アドレスデータ通信バスおよび前記ロード/ストア機能ユニットに結合されるデータキャッシュとをさらに含む、

前記内部アドレスデータ通信バスは、アドレスおよびデータ情報を前記外部メモリ、前記命令キャッシュおよび前記データキャッシュ間で通信する、請求項1に記載のマイクロプロセッサ。

【請求項15】 命令およびデータを前記マイクロプロセッサに与えるための外部メモリと組合わされる、請求項1に記載のマイクロプロセッサ。

【請求項16】 前記複数のオペランドバスが、オペランドおよびオペランドタグの両方がそれに伝達されるバスである、請求項6に記載のマイクロプロセッサ。

【請求項17】 スーパースカラマイクロプロセッサであって、

同じマイクロプロセッササイクル内に複数の命令をデコードするための複数命令デコーダを含み、前記デコーダは、同じマイクロプロセッササイクル内に整数および浮動小数点命令の両方をデコードし、さらに前記デコーダに結合されるデータ処理バスと、

前記データ処理バスに結合される整数機能ユニットとを含み、前記整数機能ユニットは、前記マイクロプロセッサによる順序通りでない命令の実行を可能にするための複数の待合わせステーションを含み、さらに前記データ処理バスに結合される浮動小数点機能ユニットを含み、前記浮動小数点機能ユニットは、前記マイクロプロセ

サによる順序通りでない命令の実行を可能にするための複数の待合わせステーションを含み、さらに前記データ処理バスに結合されて、前記整数機能ユニットおよび前記浮動小数点機能ユニットの両方によって、そこから命令結果を受取って命令を推論的かつ順序通りではなく処理することを可能にするために用いられる共通リオーダーバッファと、

前記リオーダーバッファに結合されて、前記リオーダーバッファから用済とされた命令結果を受入れるためのレジスタファイルと、

前記データ処理バスに結合されて、前記整数機能ユニットおよび浮動小数点機能ユニットの両方によって、コンピュータプログラム内のどの分岐が発生されるかを推論的に予測するために用いられる分岐予測ユニットと、前記データ処理バスに結合されて、前記整数機能ユニットおよび前記浮動小数点機能ユニットの両方によって、情報のロードおよびストアを可能にするために用いられるロード/ストア機能ユニットとを含む、スーパースカラマイクロプロセッサ。

【請求項18】 前記データ処理バスが、複数のオペコードバスと、複数のオペランドバスと、複数の命令タイプバスと、複数の結果バスと、複数の結果タグバスとを含む、請求項17に記載のマイクロプロセッサ。

【請求項19】 前記オペランドバスがオペランドタグバスを含む、請求項17に記載のマイクロプロセッサ。

【請求項20】 前記データ処理バスが予め定められたデータ幅を示し、前記リオーダーバッファが、前記データ処理バス幅に等しい幅を示すエントリと、前記データ処理バスのデータ幅の倍数に等しい幅を示すエントリとをストアするためのメモリ手段を含む、請求項17に記載のマイクロプロセッサ。

【請求項21】 前記デコーダが、プログラム順に整数および浮動小数点命令の両方を発行するための発行手段をさらに含む、請求項17に記載のマイクロプロセッサ。

【請求項22】 前記浮動小数点機能ユニットが、複数のサイズを示すオペランドを処理する、請求項17に記載のマイクロプロセッサ。

【請求項23】 前記浮動小数点機能ユニットが、単精度/倍精度浮動小数点機能ユニットを含む、請求項17に記載のマイクロプロセッサ。

【請求項24】 前記複数命令デコーダが、1マイクロプロセッササイクルにつき4つの命令をデコードすることができる、請求項17に記載のマイクロプロセッサ。

【請求項25】 前記マイクロプロセッサを、命令およびデータがストアされる外部メモリにインタフェースさせるためのバスインタフェースユニットと、

前記バスインタフェースユニットに結合される内部アドレスデータ通信バスと、

前記内部アドレスデータ通信バスおよび前記デコーダに結合されて、前記デコーダに命令源を供給する命令キャッシュと、

前記内部アドレスデータ通信バスおよび前記ロード/ストア機能ユニットに結合されるデータキャッシュとをさらに含み、

前記内部アドレスデータ通信バスは、前記外部メモリ、前記命令キャッシュおよび前記データキャッシュ間でアドレスおよびデータ情報を通信する、請求項17に記載のマイクロプロセッサ。

【請求項26】 前記マイクロプロセッサに命令およびデータを与えるための外部メモリと組合わされる、請求項17に記載のマイクロプロセッサ。

【請求項27】 前記複数のオペランドバスが、オペランドおよびオペランドタグの両方がそれに伝達されるバスである、請求項18に記載のマイクロプロセッサ。

【発明の詳細な説明】

【0001】

【発明の背景】この発明は一般にマイクロプロセッサに関し、より特定的には高性能スーパースカラマイクロプロセッサに関する。

【0002】他の多くの近代技術分野と同様に、マイクロプロセッサの設計も、技術者および科学者が常に速度、効率および性能を高めようと努める技術である。一般的に言えば、マイクロプロセッサは2つのクラス、すなわちスカラおよびベクトルプロセッサに分けることができる。最も初期のスカラプロセッサは、1マシンサイクルにつき最大で1の命令を処理する。いわゆる「スーパースカラ」プロセッサで、1マシンサイクルにつき処理できる命令は、1を上回る。スカラプロセッサと対照的に、ベクトルプロセッサは各マシンサイクル中に比較的大きな値のアレイを処理できる。

【0003】ベクトルプロセッサは処理効率を追求するのにデータ並列性に頼り、一方スーパースカラプロセッサは動作の効率を高めるのに命令並列性に頼る。命令並列性は、命令を並列に処理することを可能にするこのような命令シーケンスの固有の特性と考えることができる。対照的に、データ並列性はその要素を並列に処理することを可能にするデータの流れの固有の特性と見ることができる。命令並列性は、命令の特定のシーケンスが示す従属性の数に関連する。従属性とは、ある特定の命令が別の命令の結果に依存する程度と定義される。スカラプロセッサでは、ある命令が別の命令に対する従属性を示すと、一般に、その命令が実行のために機能ユニットに渡され得る前にその従属性を解決しなくてはならない。この理由のため、従来のスカラプロセッサは、プロセッサがこのような従属性の未処理の解決を待つ間の望ましくない時間遅延がある。

【0004】ここ数年、プロセッサおよびマイクロプロセッサによる命令の実行を高速化するためにいくつかのアプローチがとられてきた。現在でもマイクロプロセッサで広く用いられているアプローチの1つは、パイプライン化である。パイプライン処理では、1) 命令のフェッチ、2) 命令のデコードおよびオペランドの収集、ならびに3) 命令の実行および結果のライトバックの3つのマイクロプロセッサの動作が処理を速くするために重ねられる、組立ラインのアプローチがとられる。言い換えれば、それぞれのマシンサイクルにおいて命令1がフェッチされ、命令1がデコードされる。命令1がデコードされ、そのオペランドが集められている間、命令2がフェッチされる。命令1が実行され、その結果が書込まれる間、命令2はデコードされ、そのオペランドが集められ、命令3がフェッチされる。実用において、組立ラインのアプローチは、上述したよりも多くの組立ラインステーションに分けられることがある。パイプライン技術のより詳細な議論は、ディー・ダブリュー・アンダーソン(D. W. Anderson)らによる、1967年1月、IBMジャーナル第11巻の8-24頁、「IBMシステム/360モデル91:マシンフィロソフィ」(“The IBM System/360 Model 91: Machine Philosophy”)に記載される。

【0005】以下の定義は、本明細書中、明確を期するために述べるものである。「発行」とは、命令を命令デコーダから機能ユニットに送る動作のことである。「投入」とは、命令を機能ユニット内での実行の状態に置く動作である。「完了」とは、命令が実行を終えて、その結果が利用可能であるときに達成されるものである。命令の結果がレジスタファイルに書込まれるとき、命令は「用尽」されると言う。これはまた、「ライトバック」とも称する。

【0006】ウィリアム・ジョンソン(William Johnson)による最近の著書「スーパースカラマイクロプロセッサ設計」(“Superscalar Microprocessor Design”, 1991年、プレントイス・ホール社(Prentice-Hall, Inc.))では、実用的なスーパースカラマイクロプロセッサの設計に関していくつかの一般的な考察が述べられている。図1は、このジョンソンの著書で説明されているスーパースカラマイクロプロセッサの実現例を示すマイクロプロセッサ10のブロック図である。マイクロプロセッサ10は、整数演算を処理するための整数ユニット15と、浮動小数点演算を処理するための浮動小数点ユニット20を含む。整数ユニット15および浮動小数点ユニットの各々は、それぞれ別個で専用の命令デコーダと、レジスタファイルと、リオーダバッファと、ロードおよびストアユニットとを含む。より特定的には、整数ユニット15は、命令デコーダ25と、レジスタファイル30と、リオーダバッファ35と、ロードおよびストアユニット(60および65)とを含み、一方浮動小

数点ユニット20は、固有の命令デコーダ40と、レジスタファイル45と、リオーダバッファ50と、ロードおよびストアユニット(75および80)とを含み、図1に示されるとおりである。リオーダバッファはマイクロプロセッサの推論状態を含み、一方レジスタファイルはマイクロプロセッサのアーキテクチャの状態を含む。

【0007】マイクロプロセッサ10はメインメモリ55に結合され、これは2つの部分、すなわち命令をストアするための命令メモリ55Aとデータをストアするためのデータメモリ55Bとを含むものとして考えることができる。命令メモリ55Aは、整数ユニット15と浮動小数点ユニット20との両方に結合される。同様に、データメモリ55Bも、整数ユニット15および浮動小数点ユニット20の両方に結合される。より詳細には、命令メモリ55Aはデコーダ25およびデコーダ40に命令キャッシュ58を介して結合される。データメモリ55Bは、データキャッシュ70を介して整数ユニット15のロード機能ユニット60とストア機能ユニット65とに結合される。データメモリ55Bはまた、データキャッシュ70を介して浮動小数点ユニット20の浮動小数点ロード機能ユニット75と浮動小数点ストア機能ユニット80とに結合される。ロードユニット60は、データメモリ55Bから選択されたデータを整数ユニット15へとロードする従来のマイクロプロセッサの機能を実行し、一方ストアユニット70は、整数ユニット15からのデータをデータメモリ55Bにストアする従来のマイクロプロセッサの機能を実行する。

【0008】コンピュータプログラムは、マイクロプロセッサ10によって実行されるべき命令のシーケンスを含む。コンピュータプログラムは、典型的には、ハードディスク、フロッピーディスクまたはコンピュータシステム内に位置される他の不揮発性記憶媒体にストアされる。プログラムが実行されるとき、プログラムは記憶媒体からメインメモリ55にロードされる。プログラムの命令および関連のデータが一旦メインメモリ55内に入れば、個々の命令を実行のために準備し、最終的にはマイクロプロセッサ10によって実行することができる。

【0009】メインメモリ55内にストアされた後、命令は、命令キャッシュ58を介して命令デコーダ25へと渡される。命令デコーダ25は各命令を調べ、取るべき適切な動作を決定する。たとえば、デコーダ25は、特定の命令が、PUSH、POP、LOAD、AND、OR、EX OR、ADD、SUB、NOP、JUMP、条件付JUMP(BRANCH)または他のタイプの命令であるかを決定する。デコーダ58が決定した特定のタイプの命令が存在するかに依存して、命令は適切な機能ユニットに発行される。ジョンソンの著書で提案されているスーパースカラアーキテクチャでは、デコーダ25は1マシンサイクルにつき4つの命令をデコードすることのできるマルチ命令デコーダである。したがっ

て、デコーダ58は4命令幅のバンド幅を示すと言える。

【0010】図1に示されるように、OP CODEバス85は、デコーダ25と機能ユニットの各々、すなわち分岐ユニット90、算術論理装置95および100、シフトユニット105、ロードユニット60およびストアユニット65との間に結合される。この態様で、各命令のためのopコードは適切な機能ユニットに与えられる。

【0011】ここでしばらく直接的な説明からは離れるが、命令は、典型的には以下のフォーマットで、すなわちopコード、オペランドA、オペランドB、行先レジスタという複数のフィールドを含むことが認められる。たとえば、サンプル命令ADD A、B、Cとは、レジスタAの内容をレジスタBの内容に加算し、その結果を行先レジスタCに置くことを意味するであろう。各命令のopコード部分の処理は、既に上述したとおりである。ここで各命令のオペランドの処理を説明する。

【0012】特定の命令のためのopコードが適切な機能ユニットに送られなくてはならないだけでなく、その命令のための指定されたオペランドが検索されて、機能ユニットに送られなくてはならない。特定のオペランドの値がまだ計算されていなければ、機能ユニットが命令を実行できる前に、その値をまず計算して、機能ユニットに与えられなくてはならない。たとえば、現在の命令が先行の命令に従属していれば、現在の命令が実行される前に先行の命令の結果を決定しなくてはならない。この状況を従属性と称する。

【0013】特定の命令を機能ユニットが実行するのに必要とされるオペランドは、レジスタファイル30またはリオーダバッファ35のいずれかによってオペランドバス110に与えられる。オペランドバス110は、機能ユニットの各々に結合される。したがって、オペランドバス110はオペランドを適切な機能ユニットに送る。実用において、オペランドバス110はオペランドAおよびオペランドBのための別個のバスを含む。

【0014】機能ユニットにopコードならびにオペランドAおよびオペランドBが与えられれば、機能ユニットは命令を実行し、その結果を、すべての機能ユニットの出力とリオーダバッファ35とに（および、後述のように各機能ユニットの入力にあるそれぞれの待合わせステーションに）結合される結果バス115に置く。

【0015】各機能ユニットの入力には、その命令のためのオペランドが機能ユニットに対してまだ利用可能でないという意味でまだ完全でない命令からのopコードをストアするための「待合わせステーション」が設けられる。待合わせステーションは、後に待合わせステーションに到達する、抜けているオペランドのための場所を確保するオペランドタグとともに命令のopコードをストアする。この技術は、未処理の命令が待合わせステ-

ーションでそのオペランドとともに集められている間、マイクロプロセッサが他の命令を実行し続けることを可能にすることによって性能を高める。図1に示されるように、分岐ユニット90には待合わせステーション90Rが設けられ、ALU95および100には待合わせステーション95Rおよび100Rがそれぞれ設けられ、シフトユニット105には待合わせステーション105Rが設けられ、ロードユニット60には待合わせステーション60Rが設けられ、ストアユニット65には待合わせステーション65Rが設けられる。このアプローチでは、待合わせステーションが、より初期のマイクロプロセッサにおいて機能ユニットの入力で典型的には使用されていた入力ラッチの代わりに使用される。待合わせステーションに関してのよく知られた参考文献は、1967年1月、IBMジャーナル、第11号、25-33頁、アール・エム・トマシュロ(R. M. Tomasulo)の「複数の算術装置を用いる効率的なアルゴリズム」(“An Efficient Algorithm For Exploiting Multiple Arithmetic Units”)である。

【0016】先に述べたように、スカラマイクロプロセッサでの効果的なスループットを1マシンサイクルにつき1つの命令という限界まで増大するのにパイプラインを用いることができる。図1に示されるスーパースカラマイクロプロセッサでは、1マシンサイクルにつき複数の命令の処理を達成するのに複数のパイプラインが用いられる。この技術を、「スーパーパイプライン化」と称する。

【0017】「レジスタ再指定」と称する別の技術もまた、スーパースカラマイクロプロセッサのスループットを高めるために用いることができる。この技術は、命令ストリームにおける2つの命令のどちらも同じレジスタ、たとえば仮説レジスタ1を使用することを要求する場合に有用である。第2の命令が第1の命令に従属していなければ、レジスタ1Aと呼ぶ第2のレジスタが、レジスタ1の代わりに第2の命令によって使用されるように割当てられる。この態様で、レジスタ1を用いて第1の命令が終了するのを待つことなく、第2の命令を実行することができ、結果を得ることができる。図1に示されるスーパースカラマイクロプロセッサ10は、命令処理能力を高めるのにレジスタ再指定のアプローチを用いる。マイクロプロセッサ10においてレジスタ再指定を実現する態様を以下により詳細に説明する。

【0018】上述のことから、レジスタ再指定がレジスタに対するストアの競合をなくすことが認められる。レジスタ再指定を実現するために、整数ユニット15および浮動小数点ユニット20は、それぞれのリオーダバッファ35および50と関連付けられる。簡略にするために、整数ユニット15内のリオーダバッファ35を介してのレジスタ再指定のみを議論するが、同じ議論が浮動小数点ユニット20内の同様の回路にも当てはまる。

【0019】リオーダーバッファ35は、命令結果にダイナミックに割当てられるいくつかのストア位置を含む。より特定的には、デコード25によって命令がデコードされると、その命令の結果値にリオーダーバッファ35内の位置が割当てられ、その行先レジスタ番号がこの位置と関連付けられる。これが命令の行先レジスタ番号をリオーダーバッファ位置に効果的に再指定する。タグ、または一時ハードウェア識別子が、結果を識別するためにマイクロプロセッサハードウェアによって発生される。このタグもまた、割当てられたリオーダーバッファ位置にストアされる。レジスタにストアされていると考えられる値を得るために、命令ストリームにおける後の命令が再指定された行先レジスタを参照するとき、命令はその代わりにリオーダーバッファにストアされた値、または値がまだ計算されていないならばその値に関するタグを得る。

【0020】リオーダーバッファ35は、内容参照メモリである、先入れ先出し(FIFO)環状バッファとして実現される。このことは、リオーダーバッファ35内のエントリが、エントリを直接識別することによってではなく、エントリが含むものを特定することによって識別されることを意味する。より特定的には、エントリは、それに書込まれたレジスタ番号を用いて識別される。レジスタ番号がリオーダーバッファ35に与えられると、リオーダーバッファはレジスタに書込まれた最新の値(または値がまだ計算されていないならばその値に関するタグ)を与える。このタグは、リオーダーバッファ35内の特定の命令の相対的な推論位置を含む。この構成は、レジスタ番号を与えられるとレジスタ内の値を与えるレジスタファイル30を模倣している。しかしながら、リオーダーバッファ35およびレジスタファイル30が用いる、その中の値にアクセスするための機構はかなり異なる。

【0021】リオーダーバッファ35が用いる機構では、リオーダーバッファは要求されたレジスタ番号をリオーダーバッファのすべてのエントリ内のレジスタ番号と比較する。次に、リオーダーバッファは一致するレジスタ番号を有するエントリの値(またはタグ)を戻す。これは連想ルックアップ技術である。対照的に、レジスタファイル30に要求されたレジスタ番号が与えられると、レジスタファイルは単にレジスタ番号をデコードし、選択されたエントリでの値を与える。

【0022】命令デコード25が命令をデコードすると、デコードされた命令のソースオペランドのレジスタ番号が、リオーダーバッファ35およびレジスタファイル30に同時にアクセスするのに用いられる。リオーダーバッファ35が、そのレジスタ番号が要求されたソースレジスタ番号と一致するエントリを持たない場合には、レジスタファイル30内の値がソースオペランドとして選択される。しかしながら、リオーダーバッファ35が一致するエントリを有する場合には、そのエントリ内の値がソースオペランドとして選択される、というのはこの値

はリオーダーバッファに割当てられた最も最近の値であるはずだからである。値がまだ計算されていないために利用可能でなければ、その値に関するタグがその代わりに選択され、オペランドとして用いられる。いずれの場合にせよ、値またはタグが適切な機能ユニットの待合ステーションにコピーされる。この手順が、デコードされた命令の各々が要求する各オペランドについて行なわれる。

【0023】典型的な命令シーケンスでは、所与のレジスタは何度も書込まれる。この理由のため、命令が同じレジスタを特定する場合には、それらの命令によって同じレジスタがリオーダーバッファ35の異なるエントリに書込まれる可能性がある。この状況で正しいレジスタ値を得るために、リオーダーバッファ35は割当の順番によって複数の一致エントリに優先順位をつけ、特定のレジスタ値が要求されると最も最近のエントリを戻す。この技術によって、リオーダーバッファへの新しいエントリが、より古いエントリにとって替わる。

【0024】機能ユニットが結果を生成すると、その結果はリオーダーバッファ35、およびその結果に関するタグを含む何らかの待合ステーションのエントリに書込まれる。結果値がこの態様で待合ステーションに書込まれると、必要なオペランドを与えるかもしれない、実行のために機能ユニットに投入されるべき1つまたはそれ以上の待合させをしている命令を解放するかもしれない。結果値がリオーダーバッファ35に書込まれた後、後続の命令はリオーダーバッファから結果値をフェッチし続ける。このフェッチングは、エントリが新しい値にとって替わられなければ、かつ、値をレジスタファイル30に書込むことによって値が用済とされるまで続く。用済は、元の命令シーケンスの順序で起こり、したがって割込および例外に関して順序通りの状態を保つ。

【0025】浮動小数点ユニット20に関しては、浮動小数点ロード機能ユニット75および浮動小数点ストア機能ユニット80に加えて、浮動小数点ユニット20は他の機能ユニットも含むことがわかる。たとえば、浮動小数点ユニット20は、浮動小数点加算ユニット120と、浮動小数点変換ユニット125と、浮動小数点乗算ユニット130と、浮動小数点除算ユニット140とを含む。OP CODEバス145が、デコード40と浮動小数点ユニット20内の各機能ユニットとの間に結合されて、デコードされた命令を機能ユニットに与える。各機能ユニットはそれぞれの待合ステーション、すなわち浮動小数点加算待合ステーション120Rと、浮動小数点変換待合ステーション125Rと、浮動小数点乗算待合ステーション130Rと、浮動小数点除算待合ステーション140Rとを含む。オペランドバス150は、レジスタファイル45およびリオーダーバッファ50を機能ユニットの待合ステーションに結合して、オペランドがそれらに与えられるよう

にする。結果バス155は、浮動小数点ユニット20のすべての機能ユニットの出力をリオーダバッファ50に結合する。リオーダバッファ50はレジスタファイル45に結合される。リオーダバッファ50およびレジスタファイル45には、したがって、先に整数ユニット15に関して説明したのと同じ態様で結果が与えられる。

【0026】整数リオーダバッファ35は16のエントリを保持し、浮動小数点リオーダバッファ50は8のエントリを保持する。整数リオーダバッファ35および浮動小数点リオーダバッファ50は、各々1マシンサイクルにつき2つの計算値を受入れることができ、1サイクルにつき2つの結果をそれぞれのレジスタファイルに格納することができる。

【0027】マイクロプロセッサがデコードされた命令を順序通りに投入する（「順序通りの投入」）ように制約されると、マイクロプロセッサは、デコードされた命令が資源の競合を発生する（すなわち2つの命令の両方がR1レジスタを使うことを要求する）と常に、またはデコードされた命令が従属性を有すると、命令のデコードを停止しなくてはならない。対照的に、「順序通りでない投入」を用いる図1のマイクロプロセッサ10は、デコード25を実行ユニット（機能ユニット）から分離することによって、このタイプの命令の投入を達成する。これは、リオーダバッファ35および機能ユニットにある上述の待合せステーションを用いて分配命令ウィンドウを効果的に確立することによって行なわれる。この態様で、デコードは、命令を直ちに実行できなくても、命令をデコードし続けることができる。命令ウィンドウは、マイクロプロセッサが、先に進み命令を実行し続けながらそこから引出すことのできる命令のプールとして作用する。したがって、命令ウィンドウによってマイクロプロセッサに先見能力が与えられる。従属性がクリアされてオペランドが利用可能になると、ウィンドウ内のより多くの命令が機能ユニットによって実行され、デコードはさらに多くのデコードされた命令でウィンドウを充填し続ける。

【0028】マイクロプロセッサ10は、その性能を高めるために分岐予測ユニット90を含む。プログラムの

命令ストリームにおける分岐がマイクロプロセッサの命令をフェッチする能力を妨げることはよく知られている。これは、分岐が起こると、フェッチャがフェッチすべき次の命令が分岐の結果に従属するからである。ユニット90等の分岐予測ユニットがなければ、マイクロプロセッサの命令フェッチャは機能停止となるか、または正しくない命令をフェッチする恐れがある。このことは、マイクロプロセッサが命令ウィンドウ内の並列に実行する他の命令を探しあてる可能性を減じてしまう。ソフトウェア分岐予測ではなく、ハードウェア分岐予測が分岐予測ユニット90では用いられて、命令のフェッチの間に起こる分岐の結果を予測する。言い換えれば、分岐予測ユニット90は、分岐が発生されるべきであるか否かを予測する。たとえば、先行の分岐結果の実行の履歴を保持するために分岐先バッファが用いられる。この履歴に基づいて、特定のフェッチされた分岐の間、フェッチされた分岐命令がどの分岐をとるかにに関して決定がなされる。

【0029】ソフトウェア分岐予測もまた、分岐の結果を予測するのに用いることができることが認められる。この分岐予測のアプローチでは、プログラムにおける各分岐にいくつかのテストが行なわれて、統計的にどの分岐結果が起こりそうかを判断する。ソフトウェア分岐予測技術は、典型的にはプログラム自体に好ましい分岐結果に関して統計的な分岐予測情報を組込むことを伴う。コード列（分岐等）が、マイクロプロセッサがそのコード列を実行するのが適切であることを確信する前に実行されるマイクロプロセッサ設計の実用に、「推論実行」という用語がしばしば適用される。

【0030】スーパースカラマイクロプロセッサの動作を理解するために、パイプラインの各ステージ、すなわちフェッチ、デコード、実行、ライトバックおよび結果コミットでのスカラおよびスーパースカラマイクロプロセッサを比較することが有用である。以下の表1はこのような比較を示す。

【0031】

【表1】

パイプライン 段 階	パイプライン化された スカラプロセッサ	パイプライン化されたスーパー スカラプロセッサ (投入および 完了は順序通りでない)
フェッチ	1つの命令をフェッチする	複数の命令をフェッチする
デコード	命令をデコードする レジスタファイルからオペ ランドにアクセスする 機能ユニット入力ラッチに オペランドをコピーする	命令をデコードする レジスタファイルおよびリオー ダバッファからオペランドにア クセスする 機能ユニット待合わせステーシ ョンにオペランドをコピーする
実行	命令を実行する	命令を実行する 結果バスに対して調停する
ライトバック	レジスタファイルに結果を 書込む 機能ユニット入力ラッチに 結果を転送する	リオーダバッファに結果を書込 む 結果を機能ユニットの待合わせ ステーションに転送する
結果コミット	n/a	レジスタファイルに結果を書込 む

【0032】スーパースカラマイクロプロセッサ10の上述の説明より、このマイクロプロセッサは実に強力であるが、非常に複雑な構造であることが認められる。しかしながら、設計の簡略化および処理性能のさらなる向上が、マイクロプロセッサ10等のマイクロプロセッサにおいて常に望ましい。

【0033】

【発明の概要】したがって、本発明のスーパースカラマイクロプロセッサのある利点は、並列に命令を処理することに関する性能の向上である。

【0034】本発明のスーパースカラマイクロプロセッサの別の利点は、その複雑さが減じられたことである。

【0035】本発明のスーパースカラマイクロプロセッサのさらに別の利点は、他のスーパースカラマイクロプロセッサと比較して、ダイの寸法が減じられたことである。

【0036】本発明の一実施例に従えば、主メモリにストアされた命令を処理するためのスーパースカラマイクロプロセッサが提供される。マイクロプロセッサは、同じマイクロプロセッササイクル内に複数の命令をデコードするための複数命令デコーダを含む。デコーダは、同じマイクロプロセッサ内に整数および浮動小数点命令の両方をデコードする。マイクロプロセッサは、デコーダに結合されるデータ処理バスを含む。マイクロプロセッサはさらに、同じデータ処理バスに結合されて、これを共有する整数機能ユニットおよび浮動小数点機能ユニットを含む。共通のリオーダバッファが、データ処理バスに結合されて、整数機能ユニットおよび浮動小数点機能ユニットの両方に用いられる。共通レジスタファイルがリオーダバッファに結合されて、リオーダバッファから用済とされた命令結果を受入れる。

【0037】新規であると考えられる本発明の特徴は、

前掲の特許請求の範囲に特定的に述べられる。しかしながら、この発明自体は、その構造および動作方法の両方について、以下の説明および添付の図面を参照することによって最もよく理解されるであろう。

【0038】

【実施例の詳細な説明】

I. スーパースカラマイクロプロセッサ概説

本発明の高性能スーパースカラマイクロプロセッサは、望ましいことに、順序通りでない命令の投入と順序通りでない命令の実行とを並列して可能にする。より特定的には、開示されるスーパースカラマイクロプロセッサでは、命令はプログラム順に発行され、投入および完了は順序通りでなく、用済(用済)は順序通りに行なわれる。高性能を可能にする本発明のいくつかの局面を、より詳細な説明に入る前に議論する。

【0039】図2のスーパースカラマイクロプロセッサ200は、いくつかの主な構成要素を共有することで、ダイの寸法を増大することなく性能を向上することができる。このマイクロプロセッサのアーキテクチャでは、整数ユニット215および浮動小数点ユニット225は共通のデータ処理バス535に結合される。データ処理バス535は、主にその広いバンド幅のために、高速で高性能のバスである。整数機能ユニットおよび浮動小数点機能ユニットが別個のバスの上にある設計と比較して、これらの両方の機能ユニットをさらに活用することが可能になる。

【0040】整数および浮動小数点機能ユニットは、複数の待合わせステーションを含み、これらもまた同じデータ処理バス535に結合される。図3ないし図5に示される本発明のマイクロプロセッサのより詳細な表現からわかるように、整数および浮動小数点機能ユニットはまた、データ処理バス535を介して共通の分岐ユニッ

ト520を共有する。さらに、整数および浮動小数点機能ユニットは、同じデータ処理バス535に結合される共通のロード/ストアユニット530を共有する。開示されるマイクロプロセッサアーキテクチャは、マイクロプロセッサダイの寸法をより効率的に用いながら、有利に性能を高める。図2ないし図5に示されるこの発明の実施例では、本発明のマイクロプロセッサは、マイクロプロセッサによって処理される命令が同じ幅を示し、かつオペランドサイズが可変である縮小命令セットコンピュータ(RISC)である。

【0041】図2に戻って、この発明のスーパースカラマイクロプロセッサの簡略化されたブロック図が、マイクロプロセッサ200として示される。スーパースカラマイクロプロセッサ200は、4命令幅、2ウェイセットアソシアティブ、部分デコード8Kバイト命令キャッシュ205を含む。命令キャッシュ205は、分岐予測を伴う1マシンサイクルにつき複数の命令のフェッチをサポートする。この明細書の目的のため、マシンサイクルおよびマイクロプロセッササイクルという用語は、同意語であると見なす。命令キャッシュ205はまた、I-CACHEとも称する。

【0042】マイクロプロセッサ200はさらに、オペランドの利用可能性に関わらず、1マシンサイクルにつき4つまでの命令をデコードし、6つの独立した機能ユニットのいずれにも発行することのできる命令デコーダ(IDECODE)210を含む。図3ないし図5にマイクロプロセッサ500として示される本発明のより詳細な実施例においてわかるように、これらの機能ユニットは、2つの算術論理ユニット(まとめてALU500として示されるALU0およびALU1)を含む。これらの機能ユニットはさらに、シフトセクション510(SHFSEC)を含み、これはALUセクション505とともに、整数命令を処理するための整数ユニット515を形成する。機能ユニットはさらに、命令分岐を処理し、かつ分岐予測を行なうための分岐セクション(BRNSEC)520を含む。分岐ユニット520として用いることができる分岐ユニットの1つは、1992年8月4日に発行された、「キャッシュ内に各命令のブロックとストアされたフェッチ情報を用いての適切に予測された分岐命令に続く実行のための遅延を低減するためのシステム」(“System For Reducing Delay For Execution Subsequent To Correctly Predicted Branch Instruction Using Fetch Information Stored With Each Block Of Instructions In Cache”)と題される米国特許第5,136,697号に記載され、その開示をここに引用によって援用する。浮動小数点セクション(FPTSEC)525およびロード/ストアセクション(LSSEC)530もまた、デコーダ(IDECODE)210が命令を発行する機能ユニットに含まれる。上述の機能ユニットはすべて、図3ないし図5に示されるよ

うに共通の主データ処理バス535を共有する(この明細書の目的のため、図3ないし図5は併せてマイクロプロセッサ500を形成し、併せて横に並べて見るものである)。

【0043】図2のスーパースカラマイクロプロセッサ200の簡略化されたブロック図では、分岐は整数演算と考えられ、分岐ユニットは整数コア215の一部として見なされる。スーパースカラマイクロプロセッサ200は、オペランド従属性の適切な順序付けを守り、かつ順序通りでない投入を可能にするために命令のタグの付与を行なう。マイクロプロセッサ200はさらに、発行された命令が実行を待たず待ち行列にされる、機能ユニットの複数の待合わせステーションを含む。この特定の実施例では、各機能ユニットの入力に2つの待合わせステーションが設けられる。より特定には、この特定の実施例では、整数コア215は2つの待合わせステーション220を含み、浮動小数点コア225は2つの待合わせステーション230を含む。1機能ユニットについて用いられる待合わせステーションの数は、所望される待ち行列の程度に従って変えてもよい。整数コア215は整数命令を処理し、浮動小数点コア225は浮動小数点命令を処理する。実用において、整数コア215および浮動小数点コア225の各々は、複数の機能ユニットを含み、この発明の一実施例では、その各々には複数の待合わせステーションが備えられる。

【0044】この特定の実施例において、マイクロプロセッサ200は1マシンサイクルについて3つまでの機能ユニット結果を処理することができる。これは、マイクロプロセッサ200が、すべての機能ユニット(すなわち図2の整数コア220および浮動小数点コア230)に結合されるRESULT0、RESULT1、およびRESULT2と示される3つの結果バスを含むからである。この発明はこの数の結果バスに制限されるわけではなく、所望の性能レベルに見合った、より多いまたは少ない数の結果バスを用いてもよい。同様に、この発明は示される実施例における機能ユニットの特定の数に制限されるわけではない。

【0045】マイクロプロセッサ200はさらに、リオーダーバッファ240から用済となった結果をストアするための統合されたレジスタファイル235を含む。レジスタファイル235は、一実施例においては1マシンサイクルにつき4つの読出および2つの書込を可能にするマルチポートマルチレジスタ記憶領域である。レジスタファイル235は様々なサイズのエン트리、すなわち一実施例では同じレジスタファイルに32ビット整数および64ビット浮動小数点オペランドエントリの両方を収容する。レジスタファイル235は、この特定の実施例では194の32ビットレジスタのサイズを示す。リオーダーバッファ240もまた異なるサイズのエン트리、すなわち一実施例では同じレジスタファイル内に32ビッ

ト整数および64ビット浮動小数点オペランドエントリの両方を収容する。これらの特定の数もまた、制限するものではなく例示する目的のために与えるものである。

【0046】リオーダーバッファ240は、環状バッファ、または順序通りでない機能ユニットの結果を受取りかつ逐次命令プログラム順にレジスタファイル235を更新するキューである。一実施例では、リオーダーバッファ240は、10のエントリを備えた先入れ先出し(FIFO)バッファとして実現される。FIFO ROB 240内のキューは先頭および末尾を含む。この発明の別の実施例では、16のエントリを備えたリオーダーバッファを用いる。リオーダーバッファ240は再指定されたレジスタに割当てられる位置を含み、推論的に実行された命令の結果を保持する。分岐論理がある分岐の発生を予測すると、予測された分岐における命令が、分岐がある特定の例において適切に発生したとの推論の下に実行されるように、命令が推論的に実行される。分岐が誤予測されたと判断されるようなことがあれば、リオーダーバッファ240内にある分岐結果は、効果的にキャンセルされる。このことは、マイクロプロセッサが誤予測された分岐命令に対して効果的にバックアップし、マイクロプロセッサの推論状態をリセットし、誤予測された分岐前のプログラム命令ストリームの点から実行を再開することによって達成される。

【0047】リオーダーバッファの10のエントリは各々32ビット幅(32ビット整数量の幅に対応する)であるが、リオーダーバッファはまた、たとえば64ビット浮動小数点量等の64ビット量を収容することもできる。これは、リオーダーバッファ内で64ビット量を2つの連続ROPとしてストアすることによって達成される(オール・オプと発音するROPは、マイクロプロセッサによって処理されるRISCまたはRISC類似命令/演算を指す)。このようにストアされた連続ROPは、これらを1つの構造として連結する情報を有し、1つの構造として一緒に用済とされる。各リオーダーバッファエントリは、1の32ビット量、すなわち倍精度浮動小数点量の1/2、1の単精度浮動小数点量または32ビット整数を保持する容量を有する。

【0048】プログラムカウンタ(PC)は、もう推論的ではないものとしてレジスタファイル235に格納された命令と、推論的に実行されてその結果がリオーダーバッファ(ROB)240にあり、用済が未定の命令との間の境界である、プログラム命令ストリーム内の点を追跡するために用いられる。このPCは、リタイアPCまたは単にPCと称する。リタイアPCは、ROBキューの先頭にストアされ、更新される。ROBエントリは、相対PC更新状態情報を含む。

【0049】リタイアPCは、リオーダーバッファキューの先頭と関連する状態情報によって更新される。より特定のには、リオーダーバッファキューは、この特定の実施

例では最大4の命令までの、用済とする準備のできている命令の数を示す。リタイア論理242内に位置されるリタイアPCセクションは、現在の用済となったPCを保持する。ある特定のクロックサイクル内に4つの逐次命令が用済とされるべきであれば、リタイアPC論理は現在のリタイアPCに[4命令*4バイト/命令]を加えて新しいリタイアPCを生成する。発生された分岐が存在すれば、リタイアPCは、一旦分岐が用済とされもう推論的でなくなると、分岐先に進む。リタイアPCは次に、その点から用済とされた命令の数だけ増分される。リタイアPCはリタイア論理242内の内部バス、すなわちPC(31:0)に存在する。

【0050】II. スーパースカラマイクロプロセッサの簡略化されたブロック図

このセクションでは、図2の簡略化されたマイクロプロセッサのブロック図のまだ述べていない局面を中心に議論する。一般的な見方を述べる。

【0051】図2は、マイクロプロセッサ200として、この発明の高性能スーパースカラマイクロプロセッサの一実施例の簡略化されたブロック図を示す。マイクロプロセッサ200において、命令キャッシュ205およびデータキャッシュ245は、32ビット幅内部アドレスデータ(IAD)バス250を介して互いに結合される。IADバス250は、一実施例では、データ処理バス535と比較すると比較的低速の通信バスである。IADバス250は、マイクロプロセッサ200のいくつかの主要な構成要素を相互接続して、このような構成要素の間でアドレス情報およびデータの両方の通信を与えるように機能する。IADバス250は、データ処理バス535が扱うオペランド処理および結果処理のように高速の並列性を要求しないタスクのために用いられる。この発明の一実施例では、IADバス250は、各クロックサイクルにおいてデータおよびアドレス情報の両方がそれにマルチプレクスされる32ビット幅バスである。IADバス250のバンド幅は、したがってある例では64ビット/クロックである。

【0052】主メモリ255が、図2に示されるようにバスインタフェースユニット260を介してIADバス250に結合される。このように、主メモリ255への、およびそこから情報の読出および書込が可能にされる。図示の目的のため、主メモリ255はマイクロプロセッサ200の一部として図2に示される。実用において、主メモリ255は、一般にマイクロプロセッサ200の外部に置かれる。

【0053】しかしながら、たとえばマイクロコントローラの場合のように主メモリ255がマイクロプロセッサ200内に配置される、マイクロプロセッサ200の実現例が企図される。

【0054】デコーダ210は、命令キャッシュ205に結合されるフェッチャ257を含む。フェッチャ25

7は、デコーダ210によるデコードおよび発行のためにキャッシュ205および主メモリ255から命令をフェッチする。

【0055】バスインタフェースユニット(BIU)260は、IADバス250に結合されてマイクロプロセッサ200の外部にあるバス回路(図示せず)とマイクロプロセッサ200をインタフェースさせる。より特定のには、BIUバス260は、マイクロプロセッサ200の外部にあるシステムバス、ローカルバスまたは他のバス(図示せず)とマイクロプロセッサ200をインタフェースさせる。BIU260として用いることができるバスインタフェースユニットの1つは、アドバンスド・マイクロ・デバイス・インコーポレイテッド(Advanced Micro Devices)が製造するAM29030マイクロプロセッサからのバスインタフェースユニットである。BIU260は、A(31:0)と示されるアドレスポートと、D(31:0)と示されるデータポートを含む。BIU260はまた、バスハンドシェイクポート(BUS HAND SHAKE)と、XBREQ(バスリクエストなし)およびXBGRТ(バスグラントなし)と示されるグラント/リクエストラインを含む。AM29030マイクロプロセッサのバスインタフェースユニットは、アドバンスド・マイクロ・デバイス・インコーポレイテッドの出版するAm29030ユーザーズマニュアルにより詳細に説明される。

【0056】当業者には、命令列およびそのためのデータを含むプログラムが主メモリ255にストアされることが認められるであろう。命令およびデータがメモリ255から読出されると、命令およびデータは、命令がデコーダ210によってフェッチされ、デコードされ、機能ユニットに発行され得る前に、それぞれ命令キャッシュ205およびデータキャッシュ245にストアされる。

【0057】デコーダ210によって特定の命令がデコードされると、デコーダ210はデコードされた命令のオペコードをその命令のタイプのための適切な機能ユニットに送る。たとえば以下の命令、すなわちADD R1, R2, R3(レジスタ1内の整数をレジスタ2内の整数に加えてその結果をレジスタ3に置く)がフェッチされたと仮定する。ここで、R1はAオペランドであり、R2はBオペランドであり、R3は行先レジスタである。

【0058】実用において、デコーダ210は1度に1ブロックにつき4つの命令をデコードし、各命令に関連するオペコードを識別する。言い換えれば、デコード210は、デコード210に含まれる4つの発行位置の各々のためのオペコードタイプを識別する。4つのデコードされたオペコードタイプは、それぞれ4つのTYPEバスを介して機能ユニットにブロードキャストされる。4つのデコードされたオペコードはそれぞれのOP C

ODEバスを介して機能ユニットにブロードキャストされる。もし利用可能であれば、オペランドがROB240およびレジスタファイル235から検索される。オペランドは、AオペランドおよびBオペランドバスを介して機能ユニットにブロードキャストされる。特定のオペランドが利用可能でなければ、AおよびBオペランドタグがその代わりに適切なAまたはBオペランドバスを介して適切な機能ユニットに送られる。デコーダ210によってデコードされた4つの命令は、このように処理のために機能ユニットに発行される。

【0059】この例でのADD オペコードに関して、機能ユニットの1つ、すなわち整数コア215内の算術論理装置(ALU)は、オペコードタイプを認め、その待合わせステーション220においてオペコード、Aオペランドタグ、Aオペランド(もし利用可能であれば)、Bオペランドタグ、Bオペランド(もし利用可能であれば)および行先タグを含む情報をラッチする。ALU機能ユニットは次に結果を判断し、その結果を、ROB240でのストアのために、および未処理の命令を処理するためにその結果を必要としている何らかの他の機能ユニットによる検索のために、結果バス265に置く。

【0060】命令がデコーダ210によってデコードされると、その結果のためにリオーダーバッファ240内のレジスタが割当てられることが認められる。次に命令の行先レジスタが、割当てられたレジスタと関連付けられる。命令のまだ利用可能でない結果に対応する結果タグ(一時の一意的ハードウェア識別子)が割当てられたレジスタに置かれる。「レジスタ再指定」がこのように実現される。プログラム命令列における後の命令が、リオーダーバッファ240内のこの再指定された行先レジスタを参照すると、リオーダーバッファ240は、そのレジスタに割当てられた位置にストアされた結果値か、またはその結果がまだ計算されていないならばその値のためのタグのいずれかを与える。結果が計算されると、結果タグバスに信号が与えられ、リオーダーバッファ240および機能ユニットの待合わせステーションに結果バスを介して結果が利用可能となったことを知らせる。このようにして結果がリオーダーバッファ240にストアされる。

【0061】図3および4に示されるように、行先タグラインはリオーダーバッファ240から機能ユニットに延びる。デコーダ210は、リオーダーバッファに、リオーダーバッファエントリの割当ての準備が現在できている命令の数を知らせる。リオーダーバッファは次に、リオーダーバッファの現在の状態に基づいて行先タグを各命令に割当てる。デコーダ210は次に、各命令が投入されるか否かを確立する。リオーダーバッファは投入された命令を取込み、リオーダーバッファエントリの一時的割当てを確立する。

【0062】特定の命令のためのオペランドは、共通デ

ータ処理バス535のAオペランドバス(A OPER)およびBオペランドバス(B OPER)を介して、適切な機能ユニットに送られる。それぞれの命令の結果は、これらの命令に割当てられた機能ユニットで発生する。これらの結果は、3つの結果バスRESULT0、RESULT1およびRESULT2を含む複合結果バス265を介してリオーダバッファ240に送られる。複合結果バス265は、データ処理バス535の一部である。

【0063】特定の命令がデコードされたときに、1つまたはそれ以上のオペランドが現在利用可能でないことは、デコーダ210から機能ユニットへの命令の発行を妨げるわけではない。そうではなく、1つまたはそれ以上のオペランドがまだ利用可能でない場合には、オペランドタグ(一時の一意的ハードウェア識別子)が、抜けているオペランドの代わりに適切な機能ユニット/待合わせステーションに送られる。オペランドタグおよび命令のためのopコードは、タグに対応するオペランドが結果バスを介してリオーダバッファ240で利用可能となるまでは、その機能ユニットの待合わせステーションにストアされる。抜けていたすべてのオペランドがリオーダバッファ240で利用可能となれば、タグに対応するオペランドがリオーダバッファ240から検索される。オペランドおよびopコードは、待合わせステーションから実行のために機能ユニットに送られる。結果は、リオーダバッファ240に伝送するために結果バスに置かれる。

【0064】上述のオペランドタグトランザクションにおいて、A OPERおよびB OPERバスを介して機能ユニットの待合わせステーションにオペランドタグが実際に送られることが認められる。オペランドタグをやりとりするためにこのような態様で用いられると、A OPERおよびB OPERバスは、図2に示されるようにA TAGおよびB TAGと称する。

【0065】III. スーパースカラマイクロプロセッサ; より詳細な説明

図3ないし図5は、マイクロプロセッサ500として、この発明のマイクロプロセッサのより詳しい実現例を示す。図2ないし図5に示されるマイクロプロセッサ内の同様の要素を示すのに同様の参照符号を用いる。マイクロプロセッサ500のある部分は既に説明したことが認められる。

【0066】マイクロプロセッサ500において、命令は推論プログラム順に発行され、投入および完了は順番通りではなく、順番通りに用済とされる。多くの信号およびバスが、特に命令の発行に関して並列性を促進するために複製されることが後の説明より明らかになるであろう。デコーダ210は、1マイクロプロセッササイクルについて複数の命令をデコードし、デコードされた命令がそこから機能ユニットに並列に発行される発行ウィ

ンドウを形成する。ICACHE205は、1度に4つの命令をデコーダ210に、ICACHE205をデコーダ210に結合するラインINS0、INS1、INS2およびINS3を介して与えることができる。

【0067】マイクロプロセッサ500において、主データ処理バスは、やはりデータ処理バス535として示される。データ処理バス535は4つのOP CODEバスと、4つのA OPER/A TAGバスと、4つのB OPER/B TAGバスと、4つのOP CODE TYPEバスとを含む、4つのOP CODEバス、4つのA OPER/A TAGバス、4つのB OPER/B TAGバス、および4つのOP CODE TYPEバスは、デコードされた命令を機能ユニットに伝送するように協働するため、これらは併せて、XIOB、XI1B、XI2BおよびXI3B(図では別個に符号を付けられるわけではない)と示される4つの命令バスとしても参照される。これらの類似した命令バスの名称は、互いから1桁で区別される。この桁は0をより早い命令として、0mod16バイトメモリブロックにおける命令の位置を示す。これらの名称はここでは小文字「n」でその桁を示す一般的な形で与えられる(すなわち、4つの命令バスXIOB、XI1B、XI2BおよびXI3Bは、XInBとして参照する)。

【0068】順序通りでない命令の並列の実行を可能にするスーパースカラマイクロプロセッサ500の特徴を、ここでマイクロプロセッサのより詳細な説明を始める前に簡単に繰返す。マイクロプロセッサ500は、4命令幅、2ウェイセットアソシアティブ、部分デコード8Kバイト命令キャッシュ205(ICACHE)を含み、分岐予測を伴う、1マイクロプロセッササイクルにつき4つの命令のフェッチをサポートする。マイクロプロセッサ500は、オペランドの利用可能性に関わらず、5つの独立した機能ユニットのうちの何らかのものへのデコーダ210(IDECODE)による1サイクルにつき4つまでの命令のデコードおよび発行を与える。これらの機能ユニットは、分岐セクションBRNSEC520、算術論理装置ALU505、シフトセクションSHFSEC510、浮動小数点セクションFPTSEC525、およびLOAD/STOREセクション530を含む。

【0069】マイクロプロセッサ500は、オペランドの従属性の適切な順序付けを守り、順序通りでない投入を可能にするために、命令のタグ付与を行なう。マイクロプロセッサ500はさらに、まだ実行できない発行された命令がそこで待ち行列にされる、機能ユニット内の待合わせステーションを含む。3つの結果バス(REULT0、RESULT1およびRESULT2)が、1サイクルにつき3つまでの機能ユニット結果を扱うことを可能にするように設けられる。環状バッファまたはFIFOキュー、すなわちリオーダバッファ240が、

順序通りでない機能ユニットの結果を受取り、レジスタファイル235を更新する。より特定的には、レジスタファイルはリオーダーバッファからの結果で正しいプログラム順に更新される。言い換えれば、リオーダーバッファからレジスタファイルへの結果の格納は、それが関係するすべての分岐、算術およびロード/ストア動作とともに正しい実行順に行なわれる。マルチポートレジスタファイル235は、1マシンサイクルにつき4つの読出および2つの書込ができる。RESULT0、RESULT1およびRESULT2は、ROB240に並列に書込まれる。結果がROB240から用済とされる際、これらは書込バスWRITEBACK0およびWRITEBACK1を介して並列にレジスタファイル235に書込まれる。マイクロプロセッサ500はまた、ロードおよびストア待ち時間を最少にするように、オンボードのダイレクトマッピング8Kバイトコヒーレントデータキャッシュ245を含む。

【0070】[III(a) 命令フローフェッチ] マイクロプロセッサ500の命令フローをここで説明する。命令デコーダ(IDECODE)210は、命令を命令キャッシュ(ICACHE)205からフェッチする命令フェッチャ257を含む。キャッシュ205として用いることができる命令キャッシュの1つは、1992年4月12日に出願された、「命令デコーダおよびこれを用いるスーパースカラプロセッサ」(“Instruction Decoder And Superscalar Processor Utilizing Same”)と題される同時係属中の米国特許出願連続番号第07/929,770号に説明され、本明細書においてこれを引用によって援用する。デコーダ210(IDECODE)として用いることができるデコーダの1つもまた、1992年4月12日に出願された「命令デコーダおよびこれを用いるスーパースカラプロセッサ」と題される米国特許出願連続番号第07/929,770号に説明される。

【0071】主メモリ255内の特定のプログラムがマイクロプロセッサ500によって実行される時、プログラムの命令は実行のためにプログラム順に検索される。命令は通常最初はICACHE205にないので、まず典型的なICACHEリフィル動作を説明する。キャッシュミスの際に、Omod16バイト(キャッシュブロックサイズ)でメモリ内に整列された4ワードの命令のブロックに対するリクエストがバスインタフェースユニット(BIU)260に対して行なわれる。これは、後続のミスが起こるということを仮定して、命令ブロックの継続するプリフェッチストリームを開始する。この特定の実施例では、キャッシュ内のブロックにつき有効ビットは1つしかないので、4ワードのブロックが最小の転送サイズである。有効ビットは、現在の16バイトエントリおよびタグが有効であることを示す。このことは、エントリがロードされ、現在実行されているプ

ログラムに対して確立されたことを意味する。

【0072】命令ブロックが戻される際に(対象のワードからではなく下位のワードから行なわれる)、これは1つの命令につき4ビットの情報を発生するプリデコードネットワーク(図示せず)を通る。前の命令ブロックが発行されていれば、次の命令ブロック(新しい命令ブロック)が命令レジスタ258およびIDECODE210に進む。そうでなければ、次の命令ブロックはプリフェッチバッファ259で待つ。命令レジスタ258は、推論実行のために発行されるべき次の命令である現在の4つの命令を保持する。プリフェッチバッファ259は、ICACHE205がリクエストしたプリフェッチされた命令のブロックを保持する。これらの命令は、後にプリデコードされてICACHE205およびIDECODE210に送られる。この態様でプリフェッチされた命令のブロックを保持することによって、IDECODE210による発行およびプリフェッチがロック状態で実行される必要がないように、バッファ動作が与えられる。

【0073】まだ解決されていない条件付分岐がなければ、予測実行された次の命令がデコードに進むと、次の命令ブロックがICACHE205に書込まれる。このアプローチは、望ましいことには不必要な命令がキャッシュされることを防ぐ。プリデコード情報もまたキャッシュに書込まれる。プリデコード情報とは、特定の命令を適切な機能ユニットに迅速に送るのを助ける命令のサイズおよび内容に関する情報である。プリデコードに関するさらなる情報は、同時係属中の本譲受人に譲受された「可変バイト長命令に特に適したプリデコード命令キャッシュおよびそのための方法」(“Pre-Decoded Instruction Cache And Method Therefor Particularly Suitable For Variable Byte-Length Instructions”)と題される米国特許出願番号第145,905号に見いだされ、その開示をここに引用によって援用する。分岐予測は、プログラムが実行される際にどの分岐が発生されるかを予測するために用いられるものであることが認められる。予測は後に、分岐が実際に実行される時に確立される。予測は、マイクロプロセッサパイプラインのフェッチ段階の間起こる。

【0074】プリフェッチストリームは、BIU260がそれに結合される外部バス(図示せず)を放棄しなくてはならないか、データキャッシュ245が外部アクセスを必要とするか、プリフェッチバッファ259がオーバーフローするか、キャッシュヒットが起こるか、または分岐もしくは割込が起こるまで続く。上述のことより、プリフェッチストリームはあまり長くはならない傾向にあることが認められるであろう。一般に、外部プリフェッチは、多くても発行されているものより2ブロック先である。

【0075】この特定の実施例では、命令キャッシュ2

05 (ICACHE) 内のブロック1つにつき有効ビットは1つなので、部分的なブロックは存在せず、すべての外部フェッチは4つの命令のブロックで行なわれることが認められる。キャッシュ内のブロックにつき有効ビットは1つしかない。ICACHE 205はまた、各ブロックについての分岐予測情報を含む。この情報はリフィルの際にクリアされる。

【0076】命令がICACHE 205に進んだので、スーパースカラ実行を始めることができる。外部でフェッチされたブロックがデコードに進むと、動作はICACHE 205からフェッチされたのと同じであるが、全体的な性能は、1サイクルにつき1の命令の最大外部フェッチレートに制限される。4ワードの命令ブロックがフェッチされ、プリデコード情報とともにデコードに進む (PH2でキャッシュ読出、PH1で命令バス駆動)。PH1はクロックの2つの相のうちの第1のものと規定され、PH2は、クロックの2つの相のうちの第2のものと規定される。PH1およびPH2が、パイプライン化されるプロセッサの基本的なタイミングを構成する。

【0077】図3および4に示されるように、32ビットフェッチPC (FPC) バス、FPC (31:0) は、命令キャッシュ (ICACHE) 205とデコーダ (IDECODE) 210のフェッチャ257との間に結合される。より特定的には、FPCバスは、ICACHE 205内のFPCブロック207とフェッチャ257との間に延びる。命令キャッシュ205内のフェッチPCまたはFPCブロック207は、その中に位置されるFPCとして示される推論フェッチプログラムカウンタを制御する。FPCブロック207は、デコーダ210による機能ユニットへの命令の発行に先立ってフェッチャ257がプリフェッチする命令に関連するプログラムカウンタ値FPCを保持する。FPCバスは、ICACHEに例外または分岐予測に進む位置を示す。フェッチPCブロック207は、デコーダ210へと命令 (4の幅) をプリフェッチするのに、命令キャッシュ205にストアされた分岐予測情報を用いる。フェッチPCブロックは、逐次アクセスを予測することもでき、この場合には新しいブロックが必要なときに現在のフェッチPCを16バイトだけ増分し、これはまた新しいブロックへの分岐を予測することもできる。新しい分岐位置は、予測された分岐に関して命令キャッシュから受取られたものでも、誤予測または例外の際に分岐機能ユニットから受取られたものでもあり得る。フェッチPCまたはFPCは、先に述べたリタイアPCとは区別されるべきである。

【0078】フェッチPC (FPC) はPH1で増分され、次ブロックがICACHE 205から読出されるが、IDECODE 210は、第1のブロックからすべての命令を発行していなければHOLDIFETをアサ

ートすることによってフェッチャ257を停止させる。HOLDIFET信号の機能は、命令レジスタ258内の4つの命令が進むことができないので命令のフェッチを抑えるというものである。

【0079】フェッチャ257はまた、分岐予測の実行を助ける。分岐予測は、命令キャッシュ205の出力である。分岐が予測されると、予測された次ブロックの4つの命令は、命令キャッシュ205によって命令ラインINS0、INS1、INS2およびINS3へと出力される。命令キャッシュ205内のアレイIC_NXTBLK (図示せず) は、キャッシュ内の各ブロックについてその特定のブロックでどの命令が予測実行されるかを規定し、次ブロックがどう予測されるかを示す。分岐がなければ、実行は常にブロック単位で逐次的に行なわれるであろう。したがって、発生される分岐は、このブロック指向分岐予測を変える唯一の事象である。言い換えれば、この発明の一実施例では、逐次的なブロック単位での予測は、発生しないと予測された分岐が発生し、誤予測されたときのみ起こる。

【0080】分岐命令を含むブロックが初めてデコーダ210 (IDECODE) に送られると、後続のフェッチは、分岐が発生されないと仮定して、逐次的である。分岐が実行され、後に実際に発生したとわかると、分岐予測ユニット (分岐ユニット) 520は、ICACHE 205に知らせ、1) 分岐が発生したこと、2) 分岐命令のブロック内の位置、および、3) ターゲット命令のキャッシュ内の位置を反映するように、そのブロックに関する予測情報を更新する。フェッチャ257はまた、ターゲットからフェッチを始めるように指示し直される。次にそのブロックがフェッチされると、フェッチャ257は、それが前に発生された分岐を含むことを認め、以下の動作で非逐次的フェッチを行なう、すなわち 1) 命令有効ビットは、分岐遅延スロットを含みかつそこまでしかセットされない。分岐遅延は常に分岐の後の命令を実行するという概念であり、遅延分岐とも称される。この命令は既にスカラRISCパイプラインにおいてプリフェッチされており、そのため分岐の際に、それを実行するのにオーバーヘッドが失われない。2) 分岐が発生予測されたという指示がそのブロックとともにデコーダ210に送られる。3) 次のフェッチのためのキャッシュインデックスが予測情報からとられる。(キャッシュインデックスは、分岐が起こるときに予測実行された次ブロックのためのキャッシュ内の位置である。キャッシュインデックスは絶対PCでないことに注目されたい。絶対PCは、その位置のTAGをキャッシュインデックスと連結することによって形成される。) 4) このキャッシュインデックスのブロックがフェッチされ、予測されたターゲットアドレスがブロックのタグから形成され、分岐情報が分岐FIFO (BRN FIFO) 261に置かれる。5) この次ブロックのための有効ビ

ットが、予測されたターゲット命令から始まってセットされる。

【0081】分岐FIFO261は、フェッチャ257によって予測されたターゲットアドレスを分岐機能ユニット(BRNSEC)550に伝えるために用いられる。別個に示されているが、分岐FIFO261は分岐セクションBRNSEC550の一部であると考えられることが認められる。分岐FIFO261には、ターゲットとともに分岐が発生予測された命令のPCがロードされる。分岐命令が実際に発行されると、分岐命令は分岐FIFO内のエントリ、すなわちそこにストアされたPCと比較される。一致があれば、エントリは分岐FIFOから送られ、分岐命令がうまく予測されたものとしてリオーダバッファ240に戻される。誤予測があれば、正しいPCがリオーダバッファ240に与えられる。

【0082】予測ビットは、分岐命令とともにデコーダ210によって分岐ユニット520に発行される。予測ビットは、特定の分岐がIC_NXTBLKアレイにストアされた情報から発生予測されたかどうかを示す。

【0083】分岐ユニット520が命令を実行すると、その結果が予測と比較され、発生されれば、実際のターゲットアドレスが分岐FIFOの上部のエントリ(必要であればそれが現われるの待つ)と比較される。いずれのチェックも失敗すれば、分岐ユニット520はフェッチャ257に正しいターゲットアドレスを再指定し、予測を更新する。これがフェッチャ257によるものではなく予測された非順次のフェッチに関してキャッシュミスを検出する方法であることに注目されたい。予測情報は、フルアドレスではなくキャッシュインデックスのみを含むので、ターゲットブロックのタグはヒットに関してチェックすることができず、ターゲットアドレスはそのタグによって特定されるそのインデックスのブロックのアドレスであると仮定される。分岐が最後に実行されてから実際のターゲットブロックが置換えられていれば、これは誤比較および実行の際の訂正となる。誤比較が起これば、分岐を過ぎた多くの命令が、その遅延スロットのみだけでなく、実行されているかもしれない。

【0084】分岐予測ユニット520として用いることのできる分岐予測ユニットの1つは、1992年8月4日に発行された、ダブリュー・エム・ジョンソン(W. M. Johnson)の「キャッシュ内の各命令ブロックとストアされたフェッチ情報を用いた正しく予測された分岐命令に続く実行の遅延を減じるためのシステム」と題される米国特許番号第5,136,697号に説明され、その開示はここに引用によって援用される。

【0085】[III(b) 命令フローデコード、レジスタファイル読出、発行]命令は1度に1ブロックずつIDECODE210に進み、それらのメモリブロック内の位置に対応する命令レジスタ258内の特定の

位置を占める(0=列の最初)。各命令に付随するのは、そのプリデコード情報および有効ビットである。

【0086】IDECODE210の主な機能は、命令を扱う機能ユニットに従って命令を分類し、その命令をそれらの機能ユニットに発行することである。これは、4つの3ビット命令タイプコード(INSTYPn)をすべての機能ユニットにブロードキャストし、何らかの所与のサイクル内で、発行されている各命令のための信号(XINSDISP(3:0))をアサートすることによって行なわれる。(本明細書中、X指示を伴って現われる信号と、伴わない信号とがある。XINSDISP信号等のXは、誤ったアサートがバスを放電することを示す。)図3ないし図5に示されるように、マイクロプロセッサ500は、タイプコードを機能ユニットにブロードキャストする目的のために4のタイプバス、INSTYPn(7:0)を含む。特定の命令ブロックの4つの命令の各々についてそれぞれのTYPEバスが設けられる。

【0087】特定の機能ユニットがそのタイプに対応するTYPE信号を検出すると、その機能ユニットは、タイプバスにおいて検出されたタイプ信号の位置に従って、IDECODE210の現在の発行ウィンドウ内の現在の命令ブロックの4つの命令のうちのどれを受取るべきかを知る。タイプバスは、IDECODE210のそれぞれの発行位置に対応する4つのセクションを有する。その機能ユニットはまた、検出されたタイプに対応する発行情報バスのそのセクションで起こる操作コード(opコード)によってその命令のオペランドデータにどの機能を実行するべきかを定める。さらに、機能ユニットはどの命令を実行すべきかがわかっているのも、そのハードウェアをオペランドデータと行先タグとを受取るためのオペランドデータバスおよびそれぞれの行先タグバスDEST.TAG(0:3)と整列させる。

【0088】命令が発行されると、それらの有効ビットはリセットされ、そのタイプは「空」になる。特定のブロックの4つの命令すべてが、命令の次ブロックがフェッチされる前に発行されなくてはならない。ブロックの4つの命令すべてが1度に発行されてもよいが、以下の事象が起こる可能性があり、それもよく起こるので、このプロセスを遅くする。

1) クラスの競合—これは2つまたはそれ以上の命令が同じ機能ユニットを必要とするときに起こる。整数コードはマイクロプロセッサ500にとって重要である。この理由のため、本発明の一実施例は、機能ユニットALU0、ALU1、SHFSEC、BRNSEC、LSSEC、FPTSECおよびSRBSECの間でクラス競合が起こるのを減じるために2つのALUを含む。命令は直列化の点でのみSRBSEC512に発行される。言い換えれば、直列に実行されなくてはならない命令のみがSRBSEC512に送られる。

2) 機能ユニットが命令を受取ることができない

3) レジスタファイル(RF)235のポートが利用可能でない—この実施例において、8つのオペランドバスを与えるために通常考えるような8つではなく4つのRF読出ポートしか存在しない。命令の多くはレジスタファイル235から2つのオペランドを必要とすることはなく、またはROB240によるオペランド転送によって満たされ得るために、読出ポートの数がこのように少ないことは最初に考えるほどは制限的ではないことがわかった。たとえば8つの、より多くのRF読出ポートを用いて、レジスタファイルポートが利用可能でない状態が起こる可能性を避けるような、この発明の他の実施例も企図される。

4) リオーダーバッファ240におけるスペースの欠如—各命令は対応するリオーダーバッファのエントリを持たなくてはならず(または倍および拡張精度浮動小数点命令の場合のように、2つのリオーダーバッファエントリが設けられる)、リオーダーバッファはROBSTAT(3:0)によって、予測された命令のうちのいくつに場所を見つめられるかを示す。図3および4に示されるように、ROBSTAT(3:0)と示される状態バスが、リオーダーバッファ(ROB)240とデコーダ(IDECODE)210との間に結合される。ROBSTAT(3:0)は、ROBからIDECODEに、4つの現在の命令のうちのいくつが割当てられるROBエントリを有するかを示す。ここでROBのエントリを充填することが可能であることに注目されたい。

5) 直列化—命令の中には逐次状態を守る機構の範囲を越えた状態を変更するものがある—これらの命令(たとえばMTSR、MFSR、IRET命令)は周りの命令に関してプログラム順に実行されなくてはならない。

【0089】上に挙げた5つの状況のうちの1つが起これば、影響を受ける命令は発行を停止し、後続の命令は、それらを抑えるものが他に何もなくても発行され得ない。各発行位置について、機能ユニットにソースオペランドを供給するAおよびBオペランドバスの組(XRDnAB/XRDnBBバスとも称される)がある。レジスタファイル235はデコードと並列にPH2でアクセスされ、オペランドがPH1でこれらのバスに送られる。ソースレジスタを変更する命令がまだ実行中であれば、レジスタファイル235内の値は無効である。このことは、レジスタファイル235およびROB240がデータを含まず、したがってタグがデータの代わりとなることを意味する。リオーダーバッファ(ROB)240はこれを追跡し、レジスタファイルアクセスと並列してアクセスされる。オペランドが利用可能でないこと、またはレジスタの競合は発行の際に問題とならないことに注目されたい。ROB240は、予め定められた数のエントリならびに先頭および末尾ポインタを備えた環状バッファとして見なすことができる。

【0090】命令が発行されると、ROB内のエントリがその行先レジスタのために確保される。ROB内の各エントリは、1) 命令の行先レジスタアドレス、2) 命令の結果のためのスペース(これは倍精度動作またはCALL/JMPFDECタイプの命令には2つのエントリを必要とするかもしれない)、および例外状態情報および、3) a) エントリが割当てられたことと、b) 結果が戻されたことを示すビットからなる。

【0091】エントリは末尾ポインタから始まって逐次的に割当てられる。割当ビットは、セットされて命令が発行されたことを示す。割当ビットは各ROBエントリと関連付けられる。割当ビットは、特定のROBエントリが未処理の動作に割当てられたことを示す。割当ビットは、エントリが用済となると、または例外が起こると割当から外される。別個の有効ビットが、結果が完了されレジスタファイルに書込まれたかどうかを示す。エントリのアドレス(結果または行先タグとも呼ばれる)が発行から実行の間対応する命令に付随し、結果バスの1つを介して命令の結果とともにROB240に戻される。

【0092】より詳細には、行先タグは、命令が機能ユニットに発行される時に用いられ、結果タグは命令が戻される時に、すなわち結果が機能ユニットからROBに戻される時に用いられる。言い換えれば、行先タグは発行された命令に関連し、リオーダーバッファによって機能ユニットに特定の命令の結果がどこにストアされるべきかに関して知らせるために機能ユニットに与えられる。

【0093】より詳細には、命令に関連する行先タグは機能ユニットにストアされ、次に結果バスに転送される。このような行先タグは、これらが結果バスを介して転送される時にはまだ行先タグとして示される。これらのタグは他の機能ユニットの待合わせステーションでオペランドタグと比較され、このような他の機能ユニットが特定の結果を必要かどうかを見る。特定の機能ユニットからの結果は、ROB内の対応する相対推論位置に戻される。

【0094】命令の結果は、効果的にこの命令の結果タグとなる命令の行先タグによって識別されるROBエントリ内に置かれる。その特定のROBエントリの有効ビットがセットされる。結果は、レジスタファイルにライトバックされる順番が回ってくるまでそこに留まる。エントリが除去されるよりも早くROB240に割当てられることが可能であり、この場合にはROB240は最終的にはフルとなる。リオーダーバッファフル状態は、ROBSTAT(3:0)バスを介してデコーダ210に伝えられる。これに回答して、デコーダ210はHOLDIFET信号を発生して、命令がICACHE205からフェッチされるのを止める。したがって、ROBフル状態はデコーダ210による発行を止めることが認め

られる。

【0095】オペランドの処理の説明に戻って、ROB 240でライトバックを待っている結果を、もし必要であれば他の機能ユニットに転送することができることに注目されたい。これは、IDECODE 210内の命令のソースレジスタアドレスをROB内の行先レジスタアドレスと、デコード時にレジスタファイルアクセスと並列して、比較することによって行なわれる。AおよびBソースオペランドに関して起こり、かつ結果有効ビットがセットされている、最も最近のアドレス一致について、ROB 240は対応する結果をレジスタファイル235の代わりに適切なオペランドバスに送る。この一致が起これば、ROB 240は、ROB 240とレジスタファイル235との間のOVERRIDEラインを活性化して、レジスタファイル235に、AおよびBオペランドバスにいかなるオペランドも送らないように指示する。

【0096】たとえば、デコーダ210が、レジスタR3の内容をレジスタR5の内容に加えてその結果をレジスタR7に置くことを意味するように規定される、命令ADD R3, R5, R7をデコードしていると仮定する。この例において、IDECODE内でデコードされるソースレジスタアドレスR3およびR5は、ROB 240内の行先レジスタアドレスと比較される。この例の目的のため、結果R3がROB 240内に含まれ、結果R5がレジスタファイル235内に含まれると仮定する。これらの状況のもとでは、デコードされた命令内のソースアドレスR3とROB 240内の行先レジスタアドレスR3との比較は肯定である。レジスタR3のためのROBエントリの結果がROB 240から検索され、適切な機能ユニット、すなわちALU0またはALU1の待合わせステーションによるラッチのためにオペランドバスにブロードキャストされる。この場合にROBエントリと一致が見いだされるので、レジスタファイル235が、それが含み得る何らかの用済となったR3値でAオペランドバスを駆動しないように、OVERRIDEラインが駆動される。

【0097】この例で、デコードされた命令内のソースアドレスR5とROB 240内に含まれる行先レジスタアドレスとの比較はうまく行かない。したがって、レジスタファイル235内に含まれる結果値R5がBオペランドバスへ駆動され、その結果が機能ユニットすなわちALU0に実行のためにブロードキャストされる。AオペランドおよびBオペランドの両方がALU0機能ユニットの待合わせステーション内にあれば、命令がALU0に投入されて、ALU0によって実行される。結果（結果オペランド）は、この結果オペランドを求めている他の機能ユニットの待合わせステーションに送るために結果バス265に置かれる。結果オペランドはまた、その結果のために割当てられたエントリでそこにストア

するためにROB 240にも与えられる。

【0098】所望のオペランド値がまだROB 240になくても（アサートされる有効ビットによって示される）、それでも命令をデコーダ210によって発行することができる。この場合に、ROB 240は一致するエントリのインデックス（すなわちその結果を最終的に生成する命令の結果タグ）を機能ユニットにオペランドの代わりに送る。ここでもやはり、8つのオペランドバスに対応する効果的に8つのA/Bタグバス（すなわち4つのAタグバスおよび4つのBタグバス、すなわちTAGnAB(4:0)およびTAGnBB(4:0)ここでnは整数である）があることに注目されたい。タグの最上位ビット(MSB)は、タグが有効であるときを示す。

【0099】2つ以上のROBエントリが同じ行先レジスタタグを有するときには、最も最近のエントリが用いられる。これは、可能である並列性を減じてしまうであろう独立した命令による行先としての同じレジスタの異なる使用を区別する。（これはライトアフターライトハザードとして知られる）命令のキャッシュ化の際に発生されるプリデコード情報はデコード時に作用し始める。プリデコード情報は、ICACHE 205からPREDECODEラインを介してIDECODE 210に渡されることが認められる。

【0100】プリデコードは以下の態様で行われる。各命令について、ROBエントリの割当を、いくつのエントリが必要であるかを示すことによって（エントリを1つ必要とする命令もあるし、2つのエントリを必要とする命令もある）速める2ビットコードを含むプリデコード信号PREDECODEがある。たとえば、加算命令ADD (RA+RB)→RCは、レジスタRC内に置かれるべき単一の32ビット結果のために1つのエントリを必要とする。対照的に、乗算命令DFMULT (RA+RB) (倍精度)は、64ビットの結果を保持するのに2つのROBエントリを必要とする。本発明のこの特定の実施例では、各ROBエントリは32ビット幅である。この2ビットコードはさらに、所与の命令からいくつの結果オペランドが生じるかを示す（すなわち、なし一分岐等、1-ほとんどのもの、または2-倍精度）。プリデコード情報は、レジスタファイルアクセスがAおよびBオペランドに必要であるかどうかを示す2つの付加的なビットを含む。したがって、マイクロプロセッサ500において32ビット命令につき4ビットのプリデコード情報がある。これらのビットはPH2のアクセスに先立って、PH1でレジスタファイルポートの効率的な割当を可能にする。命令が必要とするレジスタファイルポートを割当てられていないが、ROB 240がオペランドを転送できることを示していれば、いずれにしても命令は発行され得る。

【0101】[III(c) 命令フロー機能ユニッ

ト、待合わせステーション] 図3ないし図5は、マイクロプロセッサ500のすべての機能ユニットが共通のデータ処理バス535上にあることを示す。データ処理バス535は、その比較的広いバンド幅のために高速のバスである。各機能ユニットにはその入力で2つの待合わせステーションが備えられている。より多いまたは少ない待合わせステーションが機能ユニットで用いられる本発明の他の実施例も企図される。

【0102】整数ユニット515は算術論理装置ALU0およびALU1を含む。ALU0には待合わせステーション540が設けられ、ALU1には待合わせステーション545が設けられる。分岐ユニット520(BR NSEC)にはその入力で待合わせステーション550が供給される。浮動小数点ユニット(FPTSEC)525は、浮動小数点加算ユニット555を含み、これには待合わせステーション560が設けられる。浮動小数点ユニット525はさらに、浮動小数点変換ユニット565を含み、これには待合わせステーション570が設けられる。浮動小数点ユニット525はさらに、浮動小数点乗算ユニット575を含み、これには待合わせステーション580が備えられる。最後に、浮動小数点ユニット525はさらに、浮動小数点除算ユニット585を含み、これにはその入力で待合わせステーション590が備えられる。ロード/ストアユニット530もまた、データ処理バス535上に存在し、待合わせステーション600を含む。

【0103】図3ないし図5に示されるように、各機能ユニットへの主入力(すなわち機能ユニットと関連する各待合わせステーションへの入力)は、以下の主データ処理バス535を構成するバスによって与えられる、すなわち

- 1) IDECODE210からの4つのOPCODEバス(IN SOP_n(7:0))として示され、nは0ないし3の整数である)
- 2) IDECODE210からの4つの命令タイプバス(IN STYP_n(7:0))として示され、nは0ないし3の整数である)
- 3) IDECODE210からの4つの4ビット発行ベクトルバス(X INSDISP(3:0))として示される)
- 4) AオペランドバスおよびBオペランドバスの4つの対(XRD_nAB/XRD_nBB(31:0))と示され、nは0ないし3の整数である)
- 5) 関連するA/Bタグバスの4つの対(TAG_nAB/TAG_nBB(4:0))と示され、nは0ないし3の整数である)
- 6) 3つの双方向結果オペランドバスを含む結果バス265(XRES0B(31:0)、XRES1B(31:0)、XRES2B(31:0))として示される)
- 7) 2つの結果タグバス(XRESTAG0B/SR

ESTAG1B(2:0))として示される)および8) 2つの結果状態バス(XRESSTAT0BおよびXRESSTAT1B(2:0))と示される)である。

【0104】1つ以上の待合わせステーションが上述の機能ユニットの各々の前部に置かれる。待合わせステーションは、本質的には、機能ユニットによる実行を待ちながらそこで命令が待ち行列にされる先入れ先出し(FIFO)バッファである。命令がオペランドの代わりにタグを伴って発行されれば、または機能ユニットが停止またはビジー状態であれば、命令は待合わせステーションで待ち行列にされ、後続の命令はその後で待ち行列にされる(特定の機能ユニット内の投入は全くの順番通りであることに注目されたい)。待合わせステーションが充满すれば、これを示す信号がIDECODEにアサートされる。これは、同じタイプの別の命令に出会えば、発行を止める。

【0105】命令の発行は以下のように起こる。各待合わせステーションは対応する命令タイプに関して命令TYPEバスを(PH2で)観察する待合わせステーション論理を含む。待合わせステーションは、対応するopcode、AおよびBオペランドならびにAおよびBオペランドタグバスを、このような命令タイプに出会えば選択する。関連する機能ユニットで実行する2つ以上の命令が認められれば、プログラム順に関して先の命令が優先される。しかしながら、対応する発行ビットがセットされていることを認めるまで(PH1でXINSDISP(n))、命令は待合わせステーションに受入れられない。

【0106】この時点で、必要とされるオペランドが利用可能であり、かつ機能ユニットが何らかの理由のために停止されているわけでも、またはビジーであるわけでもなく、さらに前の命令が待合わせステーションで待っていないければ、命令は直ちに同じクロックサイクル内で実行に移る。そうでなければ、命令は待合わせステーションに置かれる。命令がオペランドの代わりにオペランドタグを、伴って発行されていれば、待合わせステーション論理は、オペランドタグを結果タグバス(XRESTAG0BおよびXRESTAG1B)で現われる結果タグと比較する。一致が認められれば、その結果が結果バス群265の対応する結果バスから取入れられる。この結果は次に、命令を投入するのを可能にすれば機能ユニットに転送される。そうでなければ、結果はオペランドとして待合わせステーションに置かれ、ここで命令を完了するのを助け、対応するタグ有効ビットはクリアされる。両方のオペランドが、汎用結果バスのいずれかまたは両方から同時に転送され得ることに注目されたい。

【0107】結果バス265を形成する3つの結果バスは、2つの汎用結果バスXRES0B(31:0)およびXRES1B(31:0)を含み、さらに分岐および

ストア専用の1つの結果バスXRES2B(31:0)を含む。結果バスXRES2B(31:0)は分岐およびストア専用なので、これが処理する結果(たとえば分岐PCアドレス等)は転送されない。機能ユニットは結果バスXRES0B(31:0)およびXRES1B(31:0)をモニタし、一方リオーダバッファ(ROB)240は3つの結果バスすべてをモニタする。

【0108】命令が待合わせステーションで待つ際に、何らかの有効オペランドタグも同様に結果タグと比較され、同じような転送が行なわれる。機能ユニット間および機能ユニット内での結果の転送がこの態様で行なわれる。待合わせステーションと関連して、このタグの付与によって、従属性の適切なシーケンシングを維持しながら、異なる機能ユニットで順序通りでない命令の実行を可能にし、さらにオペランドハザードが無関係の後続の命令の実行をブロックすることを防ぐ。命令タイプおよびA/BタグはPH2で利用可能であり、一方投入する決定は後続のPH1で行なわれる。

【0109】待合わせステーションのオペランドは、これらが送られた実際のオペランドデータでなければ、タグおよび有効ビットを有する。言い換えれば、命令が待合わせステーションに発行され、かつ特定のオペランドがまだ利用可能でなければ、そのオペランドに関連するオペランドタグが実際のオペランドの代わりに待合わせステーションに与えられる。有効ビットは各オペランドタグと関連する。結果が機能ユニットで完了すると、結果は他の機能ユニットおよびROB240に結合される結果バスに与えられる。結果は待合わせステーションのオペランドタグと比較されて、ヒットが起これば、タグ有効ビットがクリアされて、結果バスからのオペランドは、オペランドに対して指定された機能ユニットの位置に転送される。言い換えれば、待合わせステーション内の何らかのエントリに一致する結果タグ0および1におけるタグ比較が値をそのステーションに転送する。

【0110】どの命令源(待合わせステーションまたは待合わせステーションに結合される4つの入来するバスのうちの1つ)が局所的デコードの次の候補であるかを定め、待合わせステーションの先頭にあるエントリに関する待合わせステーション有効ビットおよびデコード/優先命令タイプバスを調べることによってPH2で投入が行なわれ、この際に待合わせステーションのエントリが優先する。待合わせステーションを2つ有する機能ユニットでは、その2つの待合わせステーションは先入れ先出し(FIFO)構成を形成し、待合わせステーションに発行される第1の命令がFIFOの先頭を形成し、FIFOに発行される最後の命令がFIFOの末尾を形成する。

【0111】機能ユニットによる局所的デコードとは、タイプバスをモニタすることによって、機能ユニットがまず、そのタイプの命令が発行されていることを定める

ということの意味する。一旦機能ユニットが、それが処理すべき命令を識別すると、機能ユニットはopコードバス上の対応するopコードを調べて、機能ユニットが実行すべき精確な命令を判断する。

【0112】本発明のこの実施例では、実行時間は、特定の命令タイプおよびその命令を実行する機能ユニットに依存する。より具体的には、実行時間は、すべてのALU、シフト、分岐動作およびキャッシュでヒットするロード/ストアの1サイクルから、浮動小数点、ロード/ストアミスおよび特殊レジスタ動作のための数サイクルにまでわたる。特殊レジスタとは、再指定されない何らかの汎用でないレジスタと規定される。

【0113】機能ユニットは以下のように結果バスに対して調停する。結果バス2は、オペランドを戻さないストアのため、および計算されたターゲットアドレスを戻す分岐のために用いられる。分岐には優先順位があることが認められる。汎用結果バス0および1は、ALU0またはALU1のいずれかから、シフトユニット510から、浮動小数点ユニット525からの結果とロードおよび特殊レジスタアクセスとを扱う。

【0114】結果バス0(XRES0B(31:0))とも示される)および結果バス1(XRES1B(31:0))とも示される)へのアクセスを得ることに関する機能ユニット間での優先順位は、図6に示される。図6の表において、「DPの下位半分」という用語は、倍精度数の下位半分を意味する。マイクロプロセッサ500は、倍精度(DP)数を送るのに32ビットオペランドバスを用いる。より具体的には、倍精度数がオペランドバスを介して伝送される時、その数は2つの32ビット部分、すなわち上位32ビット部分と下位32ビット部分とで伝送される。上位および下位部分は、一般に2サイクルで2オペランドバスを介して伝送される。機能ユニットによる特定の結果バスに対するアクセスのリクエストの拒否は、その機能ユニットを停止させ、待合わせステーションフル状態としてデコードにされるために戻り得る。

【0115】結果は、結果のタイプ(なし、通常または例外、および命令固有のコード、すなわちデータキャッシュミス、アサートトラップおよび分岐誤予測)を示す3ビット状態コード(RESULT STATUS)を含む。一実施例では、結果はまた、そのユニットおよび命令に依存して、32ビット結果オペランドおよび詳細な実行または例外状態を含む。結果バス235は、結果をROB240に戻すため、および結果を機能ユニットの待合わせステーションに転送するために用いられる。結果情報のすべてがROB240にストアされるが、機能ユニットは結果状態コードおよび結果オペランドを見るだけである。

【0116】ほとんどの機能ユニットは上述の態様で動作する。しかしながら、特殊レジスタブロックセクショ

ン(SRBSEC)512およびロード/ストアセクション(LSSEC)530は、いくぶん異なる。SRBSEC機能ユニットは、頻繁には更新されずかつレジスタ再指定によってサポートされない状態および制御レジスタ等のマシン状態情報を保持する。SRBSEC512の特殊レジスタへの、およびそこからの動きは、周りの命令に関して常に直列化される。したがって、SRBSECは、別個の機能ユニットでありながら、直列化のためにオペランドが常にレジスタファイル235から利用可能であるので、待合わせステーションを必要としない。SRBSEC機能ユニットによって実行される命令の例には、「スペシャルレジスタへ移動」MTSR、および「スペシャルレジスタから移動」MFSR命令がある。直列化を必要とするこのような命令を実行する前に、マイクロプロセッサ500は、この命令の前のすべての推論状態を直列化するか、または実行する。アドバンスト・マイクロ・デバイス・インコーポレイテッドによって製造されるAM29000マイクロプロセッサで用いられるのと同じ特殊レジスタブロックを、SRBSEC512として用いてもよい。

【0117】ロード/ストアセクションLSSEC530は、他の機能ユニットと同じ態様で待合わせステーションを用いる。ロード/ストアセクション530は、データキャッシュ245からのデータのロードおよびデータキャッシュ245におけるデータのストアを制御する。しかしながら、命令の実行に関して、これは最も複雑な機能ユニットである。LSSECは、データキャッシュ(DCACHE)245およびメモリ管理ユニット(MMU)247と密に結合する。マイクロプロセッサ500は、データキャッシュ245または主メモリ255を変更する何らかの動作が未完了となり得ないように設計される。さらに、このような変更は、周りの命令に関してプログラム順に起こらなくてはならない。このことは、すべてのストアおよびデータキャッシュでミスしているロードの実行がROB240内のリタイア論理242と協働しなくてはならないことを意味する。このことは、対応するROBエントリにROBリタイア論理が出会うまでこれらの動作が待ち行列にされるFIFOである、アクセスバッファ605と呼ばれる機構を用いて行なわれる。

【0118】データキャッシュ(DCACHE)245として用いることができるデータキャッシュの1つ、およびロード/ストアセクション(LSSEC)530として用いることができる1つのロード/ストアセクションは、同時係属中であり本譲受人に譲受された「高性能ロード/ストア機能ユニットおよびデータキャッシュ」(“High Performance Load/Store Functional Unit And Data Cache”)と題される米国特許出願連続番号第146,376号に記載され、その開示はここに引用によって援用される。命令キャッシュおよびデータキャッシ

ユのアドレス指定に関するさらなる情報は、同時係属中であり、本譲受人に譲受された「線形アドレス可能なマイクロプロセッサキャッシュ」(“Linearly Addressable Microprocessor Cache”)と題される同時係属中の米国特許出願連続番号第146,381号に記載され、その開示はここに引用によって援用される。

【0119】アクセスバッファ605はLSSEC530内に位置される。一実施例において、アクセスバッファ605はミスしているロードまたはストア(ヒット/ミス)の2-4ワードFIFOである。ヒットしているストアは、それが実行されるべき次のものとなるまで書込まれない。しかしながら、アクセスまたはストアバッファによって、この状態は一時記憶装置に保持されることが可能となり、これはROBがレジスタ参照を転送するのと類似した態様でデータ参照を転送することができる。アクセスバッファは最後に、アクセスバッファの内容がプログラム順で次であるときにデータキャッシュ245(CACHE)に書込む。言い換えれば、アクセスバッファまたはストアバッファは、他のロード/ストア命令が処理され続けることが可能であるように1つまたはそれ以上のロード/ストア命令をストアするFIFOバッファである。たとえば、アクセスバッファ605は、後続のロードがロード/ストアユニットLSSEC530によって実行されている一方で、ストアを保持することができる。

【0120】ストアバッファとしても知られるアクセスバッファ、およびデータキャッシュと関連して用いられるロード/ストア機能ユニットは、同時継続中で本譲受人に譲受された「高性能ロード/ストア機能ユニットおよびデータキャッシュ」と題される同時係属中の特許出願により詳細に述べられ、その開示をここに引用によって援用する。

【0121】ROBリタイア論理242の機能は、どの命令がROB240からレジスタファイル235へと格納されるべきであるかを定めることである。ROBエントリのこの格納の基準は、エントリが有効かつ割当てられること、結果が機能ユニットから戻されていること、およびエントリが誤予測または例外事象でマークされていないことである。

【0122】ストア動作は2つのオペランド、すなわちメモリアドレスおよびデータを必要とする。ストアが投入されると、これはLSSEC待合わせステーション600からアクセスバッファ605へと転送され、ストア結果状態がROB240に戻される。ストアは、データがまだ利用可能でなくても投入され得るが、アドレスはそこにはなくてはならない。この場合、アクセスバッファは待合わせステーションと類似した態様でタグを用いて、結果バス235からストアデータを選択する。ストアが投入される際、メモリ管理ユニット(MMU)247で高速変換バッファ(TLB)615のルックアップ

が行なわれ、データキャッシュがアクセスされてヒットについてチェックする。

【0123】MMUからの物理アドレスおよび仮想アドレスのページ部分は、データキャッシュからのステータス情報とともにアクセスバッファに置かれる。言い換えれば、キャッシュは物理的にアドレスされる。TLBミスが起こると、これは結果状態に反映され、適切なトラップベクトルが結果バス2に送られ、この時点では他の動作は行なわれない。(ロードに関するTLBルックアップも同じように行なわれるが、何らかのトラップベクトルは結果バス1に進む。)トラップベクトルは例外である。マイクロプロセッサ500はTLBトラップを取込み、新しいページを物理メモリにロードして、TLBを更新する。この動作には数百サイクルかかる可能性があるが、比較的頻繁には起こらない事象である。マイクロプロセッサ500はPCを止めて、マイクロプロセッサレジスタをストアし、ベクトルを実行して、レジスタ状態を復元し、割り戻りターンを実行する。

【0124】ストアがアクセスバッファの先頭に達すると(次いで空であればすぐに行なわれる)、ROB240が、対応するROBエントリが用済の段階に達したことを示すLSRETIREと符号を付される信号をアサートし、次いでキャッシュアクセスを進める。しかしながら、キャッシュが前のリフィルを完了させること、またはコヒーレンシー動作を行なうことでビジー状態であれば、遅延され得る。一方、ROB240は動作を続け、別のストア命令に出会うかもしれない。LSSECがそれを完了する準備ができる前にそのストア命令が用済とされないようにするために、以下のようにハンドシェイクが用いられる。LSSEC530はROB240に、LSDONEをアサートすることによってLSSECが動作を完了したときを示す信号を与える。ROB240は、前のストアが用済とされてからLSDONEを認めていなければ、ストア(またはロード)を停止することが認められる。

【0125】データキャッシュ245においてヒットしているロード動作は、ROB240と協働されなくてもよい。しかしながら、ミスはROB240と協働されて、不必要なリフィルおよび誤予測された分岐を越えての無効な外部参照を避けなくてはならない。ロードが投入されると、(キャッシュがビジー状態でなければ)キャッシュアクセスがすぐに行なわれる。キャッシュにおいてヒットがあれば、結果が通常状態コードとともに結果バスを介してROBに戻される。ミスがあれば、ロードはアクセスバッファ605に置かれ、ロード__ミス結果コードが戻される。ROB240のリタイア論理242がこの条件に出会えば、これはLSRETIREをアサートして、ロード__有効結果状態コードとともに結果バスに置かれている所望のワードから、これが現われるとすぐにリフィルが始まる(リフィルが終了するのを待

たない)。ROB240は、ストアの場合のようにLSRETIREをアサートする際にロードを用済とできないことが認められる。その代わりに、ROB240はデータが戻るのを待たなくてはならない。

【0126】ロードは、アクセスバッファにおいて待っている、前の未完了のストア動作があっても処理され得る。ストアに関して順序通りでなくロードを行なうのを可能にする際に、マイクロプロセッサ500はロードが(プログラム順に関して)前のストアによってこれから変更される位置からは行なわれないことを確実にする。このことは、ロードアドレスをアクセスバッファ605内の何らかのストアアドレスと、キャッシュアクセスと並列して、比較することによって行なわれる。どれも一致しなければ、ロードは進められる。1つ一致するものがあれば(2つ以上の場合には最も最近のエントリ)、ストアデータがアクセスバッファ605からキャッシュデータの代わりに結果バス265に転送される。起こっているかもしれない何らかのキャッシュミスは無視される(すなわちリフィルは起こらない)。ストアデータがまだ存在しなければ、ロードはストアデータが到着するまで停止される。さらに、これらの動作は、望ましいことにはメモリアクセスが不必要に並列性を損なうことを防ぐ。

【0127】ここでさらにロード/ストアについて検討する。1Kバイトおよび2Kバイトページサイズに関して、高速変換バッファ(TLB)のルックアップが、キャッシュアクセスに先立って行なわれる。これはさらなるサイクルのロード/ストア待ち時間を起こす。LSSECがロードまたはストアを「完了する」とき、これは関連するキャッシュ動作が完了することを意味しないことに注目されたい。そうではなく、ICACHEまたはDCACHE、BIU、および外部でリフィル等の動作がまだあるかもしれない。

【0128】アクセスバッファ転送は、部分ワードロード/ストア動作のためには行なわれない。ワードアドレス一致が検出され、かつロードとストアとの間で何らかのオーバーラップがあれば、ロードはキャッシュミスのように見えるようにされ、ストアの後に実行されるようにアクセスバッファ605で待ち行列にされる(実際にはキャッシュでヒットしているかもしれないし、していないかもしれない)。オーバーラップがなければ、ロードはアドレス一致がなかったかのように進められる。

【0129】ロード/ストアマルチ命令は、直列化の様態で行なわれる、すなわちロード/ストアマルチ命令が実行されているとき、他のどの命令も並列して行なわれないことが認められる。ロードまたはストア(ロード/ストア)マルチ命令は、レジスタファイルへの、またはそこからのブロックの動きである。この命令は、所与のアドレス、所与のレジスタ、およびカウントフィールドを含む。ロード/ストアのマルチ命令の一例に、LOA

DM (C, A, B) があり、Cは行先レジスタ、Aはアドレスレジスタ、およびBは転送の数である。

【0130】ロードミスは必ずしもリフィルを起こさないことも認められる。その代わりに、ページはキャッシュ不可能としてマークされるかもしれない、ロードがアクセスバッファから満たされているかもしれない。

【0131】[III (D) 命令フローリオーダバッファおよび命令リタイア] 結果がROB240に戻されると、これらは結果タグによって特定されるエントリに書込まれ、これはROBの先頭および末尾ポイントの間の何らかの場所にある。ライトバック、ストアおよびロードミスの実行、トラップおよびPC0、PC1およびPC2の更新を制御するリタイア論理242は、プログラム順に有効結果を伴うエントリを見る。

【0132】PC0、PC1およびPC2は、DEC、EXECおよびWRITEBACK0、1の値を含むマッピングレジスタである。信号DEC、EXECおよびWRITEBACK0、1は、スカラAM29000パイプラインからの段階であるデコード、実行およびライトバックを指し、AMD2900は、アドバンスト・マイクロ・デバイス・インコーポレイテッドから入手可能なマイクロプロセッサである。これらの信号は、実行の際にパイプラインを再始動させるのに用いられる。遅延分岐のために2つ以上のPCが用いられる。PC0、PC1およびPC2は、割込またはトラップの際に用いられ、分岐誤予測または例外に出会うとマイクロプロセッサ500が戻り得る、DEC、EXECおよびWRITEBACK0、1の古い値を保持する。PC0、PC1およびPC2は、パイプラインを再始動させるために割込リターンの際に用いられ、リオーダバッファ240内のリタイア論理242内に含まれる。PC1は現在のリタイアPCをマッピングする。

【0133】通常の結果を有するエントリに出会えば、結果オペランド（もしあれば）がエントリにおいて特定されたレジスタファイル（RF）235の位置に書込まれる。RF書込ポート（WR）は2つあるので、2つのオペランドが同時にレジスタファイルに格納され得る。ROB240は、さらに1つのストアおよび1つの分岐を済済とすることができ、最大で4つの命令を1マイクロプロセッササイクルについて済済とできる。

【0134】CPSビットおよびFPSスティッキービット等の他の状態は、この時点で更新され得る。CPSは現在のプロセッサ状態を指し、CPSはプログラム状態および条件コードレジスタを示す。FPSは浮動小数点状態レジスタビットを指す。FPSは、浮動小数点機能ユニット525のための状態/条件コードレジスタを示す。FPSスティッキービットとは、セット条件によってセットされ、クリア条件でクリアされないビットのことである。FPSスティッキービットは、浮動小数点数の丸め制御のために用いられる。たとえば、マイクロ

プロセッサ500が値を減算するか、またはシフトすれば、いくつかの最下位ビット（LSB）が仮数部からシフトされる。FPSスティッキービットは、この条件が起こったという指示を与える。

【0135】その結果がまだ戻されていないROB240内のエントリは、結果が戻ってくるまでそれ以上の処理を停止させる。そのエントリを越えるものは、たとえ有効であっても済済とはされない。ストア結果に出会えば、ROB240は、実際にストアを行なって命令を済済とするようにロード/ストアセクションにゴーヘッド指示を与える。ロードミス結果に出会えば、ROB240はロードを実行するようにゴーヘッド指示を与える。ロードが完了すると、要求されたロードオペランドはROB240にロードヒット状態とともに戻され、これが命令を済済とすることを可能にし、そのオペランドを待っている何らかの待合わせステーションによって認められる。分岐結果に出会えば、ROB240はこれを用いてPC1を更新する。

【0136】マイクロプロセッサのアーキテクチャ状態は、プログラム内のリタイアPCの現在の状態である。マイクロプロセッサの推論状態は、FETCHPCの現在の値、デコードおよびリオーダバッファ内のエントリのすべてである。これらは、ダイナミックに更新される現在の命令の推論キューである。例外または誤予測の際に、すべての推論状態はクリアされ得るが、アーキテクチャ状態は、これがレジスタファイルの現在の状態なので、クリアされ得ない。

【0137】誤予測分岐遅延スロットを越える命令は、誤予測が明らかとなる前に実行され得ることを先に述べた。この発生は、ROB240によって区別される。誤予測が検出されると、いかなる未発行の命令もクリアされ、フェッチャ257が再び指示される。どの機能ユニットも誤予測を知らされない（しかしながら分岐ユニット520はその待合わせステーション550内の何らかの有効エントリにおける「キャンセル」ビットをセットし、そのためこれらの分岐は害を受けずに実行され、誤予測を起こすことなくROB240に戻される）。

【0138】このような誤予測が起こると、ROB内の対応するエントリは誤予測されたものとして割当てられる。後続のエントリが機能ユニットから転送されるとき、これらは完了されているが誤予測されたものとしてマークされる。リオーダバッファ240内のリタイア論理242は、これらのエントリを無視して、割当から外す。

【0139】同時に、発生/非発生および正確/不正確な予測を示す分岐結果状態がROB240に戻される。誤予測の結果は、ROBに、分岐エントリの後の2つ目から（遅延スロットを考慮して）末尾ポイントまでのすべてのエントリのキャンセルビットを直ちにセットさせる。この発生に続く第2のサイクルで、デコードがター

ゲット命令を発行し始め、これには通常通り末尾ポイントから始まってタグが割当てられる。キャンセルされたエントリにROBリタイア論理242が出会えば、これらは破棄される。ロード/ストアユニット530は、ROB240とロード/ストアセクションLSSEC530との間のLSCANCELラインを介して伝送されるLSCANCEL信号によってROBからゴーアヘッドで、待っている何らかのキャンセルを知らされる。LSCANCEL信号は、キャンセルされるべきアクセスバッファ605内の何らかの未処理のストアまたはロードミスを示す。アクセスバッファ605はFIFOとして動作して、次に古いストアはキャンセルされる命令である。ロード/ストアセクションLSSEC530およびアクセスバッファ(ストアバッファ)605として用いてもよいロード/ストアセクションおよびアクセスバッファの1つについてのさらなる詳細は、「高性能ロード/ストア機能ユニットおよびデータキャッシュ」と題される同時係属中の米国特許出願連続番号第146,376号に記載され、その開示はここに引用によって援用される。

【0140】ある特定の命令の実行の際に例外が起これば、どのグローバルアクションも要求されない。例外状態は単に、ROB240に戻される結果状態に反映される。適切なトラップベクトル数が、一般に通常の結果オペランドの代わりに戻される(これはRF更新が禁じられないときを除き、この場合にはROBはベクトル数を発生する)。トラップベクトル数とは、様々な種類のベクトルのうちのどれが起こったか、および特定のトラップの発生の際にどこに行くべきかを示す数である。トラップの発生となる典型的な例は、0での除算、算術的オーバーフロー、およびTLBページの欠如がある。RO

B240が命令を用済とする処理の際に例外状態に出会えば、これは、ROB240からのすべてのエントリをクリアし、すべての機能ユニットにEXCEPTION信号をアサートしてこれら(およびIDECODE)をクリアし、Vfビットについてトラップベクトルを発生し、フェッチャ257に処理コードをトラップするように再び指示を与えることからなるトラップ動作を始める。Vfビットは、トラップが外部フェッチとして(ベクトルテーブルからのロードとして)発生すべきか、または定数をベクトル数と連結させて内部的に発生されるべきかを示す。Vfビットは、アドバンスト・マイクロ・ディバイズ・インコーポレイテッドのAm29000マイクロプロセッサシリーズのアーキテクチャの特徴である。

【0141】レジスタファイル235内にストアされたデータは、マイクロプロセッサの現在の実行状態を表わすことがわかる。しかしながら、ROB240にストアされたデータは、マイクロプロセッサの予測実行状態を表わす。命令が用済とされるべきとき、ROB240にストアされた対応する結果が、レジスタファイル235に送られ、それから用済とされる。

【0142】[III(E) 命令フロータイミング] 命令フローのタイミングに関して、スーパースカラマイクロプロセッサ500の動作を説明するために、以下の表2が与えられる。表2は、マイクロプロセッサ500のパイプラインステージと、これらの各ステージの間に起こる重要な事象とを示す。パイプラインの段階は、表2の第1の列に挙げられる。

【0143】

【表2】

1)フェッチ	PH1	命令フェッチアドレスが形成される(フェッチPC(FPC))。
	PH2	ICACHEがアクセスされる。
2)デコード	PH1	命令ブロックがXINBでデコードするように送られる。レジスタファイルポインタが割当てられ、スタックポインタの付加が行なわれる。
	PH2	命令が分類され、発行が確立される。opコード、タイプおよびオペランドタグがユニットにブロードキャストされる。レジスタファイルがアクセスされる。RA/RBフィールドがROBの内容に対してチェックされる。
3)実行	PH1	A/BオペランドバスがRF/ROBによって駆動されるか、またはオペランドが結果バスによって選択され得て、発行ビット(XINDISP)がアサートされる。命令が投入されるか、または待合わせステーションに置かれる。結果バスがリクエストされる。
	PH2	命令が実行される。機能ユニットがその待合わせステーションの発行のフル/空状態を信号で伝える。[分岐予測が決定される(PH2の遅くに)]。
4)結果転送	PH1	機能ユニットに結果バスが許可され、結果が結果バスを介してROBに送られる(何らかのユニットへの結果バス転送のために利用可能となる)。[フェッチPC(FPC)が正しいターゲットPCで更新される]
	PH2	ROBが格納のためのエントリを調べる[分岐先に関するキャッシュアクセス]。
5)ライトバック	PH1	結果がレジスタファイルに送られライトバックされる。PC1が更新される[分岐先ブロックがデコードに送られる]。
	PH2	[分岐先ブロックはデコード中である]

【0144】表2は、機能停止のない、マイクロプロセッサ500における基本的な整数命令の流れにおいて各相(各マイクロプロセッササイクルのPH1およびPH2)で何が起こるか分岐訂正タイミング(かっこ内)を示す。

【0145】[III(F) メモリ管理ユニット、データキャッシュおよびバスインタフェースユニット]メモリ管理ユニット(MMU)247は、本質的には、アドバンスト・マイクロ・ディバイシズ・インコーポレイテッドによって製造されるAM29050マイクロプロセッサのものと同一である。MMU247は、命令フェッチおよびデータアクセスのために仮想アドレスを物理アドレスに変換する。AM29050とマイクロプロセッサ500との命令フェッチに関する違いは、AM29050では、分岐先キャッシュBTCへの参照の際にMMUが調べられるが、一方、マイクロプロセッサ500は分岐先キャッシュを用いず、BTC参照のためにMMUを調べない。分岐先キャッシュは、分岐先のみキャッシュである。分岐先キャッシュは、アドバンスト・マイクロ・ディバイシズ・インコーポレイテッドが製造するAm29050マイクロプロセッサのスカラパイプラインの一部を形成する。BTCは、1クロックサイクルにつき1度命令をフェッチする。

【0146】命令フェッチアドレス変換のためのMMU247の必要をさらになくすために、ICACHE205は、キャッシュミスの際にICACHEが参照する1

エントリ高速変換バッファ(TLB)615を含む。TLBは、1エントリTLBでヒットしない変換が必要となるときにリフィルされる。したがって、TLB615は、MMUからの必要に応じてリフィルされる。MMU247はICACHE205と密に結合されるわけではないので、これはリフィル時間を短縮し、MMUに対する負荷を減じる。

【0147】データキャッシュ245は、物理アドレス、2ウェイセットアソシアティブ8Kキャッシュとして構成される。この実施例では、4Kを下回るページサイズに関しては、アドレス変換がまず行なわれる。この要件は、1Kおよび2Kページサイズについて当てはまり、ヒットしているロードの待ち時間を2サイクルに増大する。しかしながら、キャッシュインデックスにおいて不確かな1ビットを有する4Kページサイズは、キャッシュを2つの4Kアレイに分割して扱われ、これによって2つの可能なブロックへのアクセスが可能になる。4ウェイ比較が、正しいものを選択するためにMMUからの2つの物理アドレスと2つのキャッシュタグとの間で行なわれる。

【0148】データキャッシュ245は、コピーバック/ライトスルーが混合された方法をとる。より具体的には、書込ミスはライトスルーとして行なわれ、割当はなく、書込ヒットは、ロードによって前に割当てられたブロックに対してのみ起こり、キャッシュコヒーレンシーに依存してライトスルーを起こし得る。マイクロプロセ

ッサ500は、マルチプロセッサシステムおよびMOESI-モディファイド・オード・エクスクルーシブ・シェアード・インバリッド(フューチャーバス)プロトコルを用いるキャッシュ可能メモリの効率的なI/Oのためにデータキャッシュコヒーレンシーをサポートする。MOESIプロトコルは、特定のキャッシュブロックの5つの状態のうちの1つを示す。図3ないし図5のマイクロプロセッサ500がMOESIプロトコルを用いるのに対して、後述の図10および11に示されるマイクロプロセッサは類似したMESIプロトコルを用いる。

【0149】バスインタフェースユニット(BIU)260は、アドバンスド・マイクロ・デバイズ・インコーポレイテッドが製造するAMD29030マイクロプロセッサと同じ外部インタフェースを用いる。さらに、BIU260は、アドレス、命令、およびデータのために単一の内部32ビットバス、すなわち内部アドレスデータ(IAD)バス250を用いる。

【0150】この特定の実施例では、外部メモリとも称される主メモリ255は、I/Oとデータ/命令とのみを区別する単一の平らなスペースである。示される特定の実施例では、メモリ255はリードオンリーメモリ(ROM)を含まず、命令とデータとの区別を行なわない。他のタイプの外部メモリの構成を、主メモリ255として用いてもよい。

【0151】図3ないし図5に示されるように、BIU260、ICACHE205、DCACHE245、MMU247およびSRBSEC512は、すべて32ビットIADバス250によって結合される。IADバス250は、キャッシュミスおよびコヒーレンシー動作の際の外部アクセスのために、主にBIU260とキャッシュ(ICACHE205、DCACHE245)との間の通信のために用いられる。IADバス250は、アドレスとデータの両方を扱う。これはスタティックバスであり、PH1の間はBIU260が駆動し、PH2の間は他のすべてのユニットが駆動する。IADバス250に対するいかなるリクエストも、図7に示されるバス調停ブロックによって与えられるバス調停および許可を知らなくてはならない。スペースを節約するために、バス調停ブロック700は、図3ないし図5のマイクロプロセッサ500のブロック図には図示しない。

【0152】IADバスの調停は、調停動作の中で第1の優先順位を得るバス観察(キャッシュコヒーレンシーに関して)を含む。IADバスに対するリクエストは、PH1の早くに行なわれ、PH1の非常に遅くに応答される。機能ユニットがPH1でIADバスを許可されると、後続のPH2の間にアドレスをIADバスに送り、BIUによるある動作(たとえば命令フェッチ、ロード)をリクエストし得る。

【0153】IADバス250は、外部バスおよびマイ

クロプロセッサ500内のすべての主要なアレイを互いに連結する、比較的low周波数のアドレス、データおよび制御バスである。IADバス250は、マッピングアレイへの特殊レジスタ更新、MMU変換、キャッシュリフィル、バス観察等の比較的low周波数の動作の転送を与える。本発明の一実施例では、IADバス250は、それにアドレスおよびデータがマルチプレクスされる32ビットを含む。IADバス250はまた、12の制御ライン、すなわちICACHE、DCACHE、TLB、SRBSEC、LSSECおよびBIUの各ブロックについての、それに結合される読出制御ラインおよび書込制御ラインを含む。

【0154】図7に示されるIAD調停ブロック700は、どの構成要素(ICACHE205、BIU260、BRNSEC520、DCACHE245、SRBSEC512またはMMU247)がある特定の時間にIADバス250に対してアクセスを許可されるかを決定するために、リクエスト/許可プロトコルを用いる。BIU260を介して外部メモリ255が、バス観察の目的のために最高の優先順位を許可される。バス観察は、マイクロプロセッサ500のためのデータ一致プロトコルの一部である。マイクロプロセッサ500は、データキャッシュ内に局所的に保持される変更されたデータを含み得るので、このようなデータは、メモリへの書込が起こるときに更新される。マイクロプロセッサ500はまた、データキャッシュ内に局所的に保持される変更されたブロックへの読出が起こると、変更されたデータを与える。バス観察を備えたコピーバック機構が、マイクロプロセッサ500のキャッシュ動作において用いられる。

【0155】図7に示されるように、IAD調停ブロック700とICACHE205、BIU260、BRNSEC520、DCACHE245、SRBSEC512またはMMU247の各々との間に、それぞれのリクエストラインが結合される。これらのリクエストラインの各々は制御論理705に結合され、その出力はドライバ710に結合される。IAD調停ブロック700は、ICACHE205、BIU260、BRNSEC520、DCACHE245、SRBSEC512またはMMU247のためのそれぞれの許可ラインを含む。特定の構成要素がIADバス250へのアクセスを求めると、その構成要素はIAD調停ブロック700と制御705とにリクエスト信号を送る。たとえば、BIUがメモリアクセスを行なうためにIADバス250へのアクセスを得たいと仮定する。この場合、BIU260は、IAD調停ブロック700および制御705にIADバスアクセスリクエストを送る。IAD調停ブロック700は、IADバス250に対するアクセスのリクエストが同時に複数存在するとき、リクエストの優先順位を決定する。調停ブロック700は、優先順位の方式に従っ

てそれがIADバスへのアクセスを許可されるべきだと決定した特定の装置の許可ラインに許可を投入する。この例では、許可信号はBIU許可ラインに投入され、BIU260はIADバス250へのアクセスを進める。【0156】制御回路705の出力はIADバス250に結合される。以下の構成要素ICACHE205、BIU260、BRNSEC520、SRBSEC512、DCACHE245およびMMU247の各々には、このような構成要素がIADバス250を駆動するのを可能にするドライバ回路710が備えられる。これらの構成要素の各々にはさらに、これらの構成要素がIADバス250からの値をラッチするのを可能にするラッチ715が備えられる。制御回路705は、IADバスのためのリクエスト許可プロトコルを与える。機能ユニットは局所的に、IADバスへのアクセスが求められていることを認め、調停ブロック700にリクエストを送る。調停ブロック700は最も優先順位の高いリクエストを受取り、それにしたがってアクセスを許可する。ラッチ715は、そのブロックに転送が起こっていれば、リクエストされたデータの読出を示す。ドライバ710は、局所的に利用可能な値の駆動を示し、別のブロックがそれを読出す他の何らかの位置を駆動する。IADバス250へのアクセスを得るためにこのバス調停を通るとある待ち時間が加わるが、それでも許容可能な性能を与えることが見いだされた。マイクロプロセッサ500にIADバス250を設けることは、IADバスに接続される上述のセクションすべての間に専用の経路を設けることよりもコスト効率ははるかに良い。

【0157】図8は、マイクロプロセッサ500のパイプラインの複数の段階を通してのその選択された信号の状態を示すタイミング図である。図8は、逐次的処理のためのこのようなパイプラインを示す。対照的に、図9のタイミング図は、マイクロプロセッサ500の同様のタイミング図ではあるが、図9のタイミング図は分岐誤予測および回復が起こる場合のものである。

【0158】より具体的には、図8および図9は、フェッチ、デコード、実行、結果/ROB（結果転送—結果がROBに転送される）、用尽/レジスタファイル（ライトバック—オペランドがROBからレジスタファイルに格納される）の5つの実効パイプライン段階を通してのマイクロプロセッサ500の動作を示す。マイクロプロセッサパイプラインの5段階は、これらのタイミング図の上部に横方向に挙げられる。これらのタイミング図を構成する信号は、図の左に縦方向に挙げられ、以下のとおりである。Ph1信号は、マイクロプロセッサ500のクロック信号である。FPC(31:0)はフェッチPCバス(FPC)である。IRO-3(31:0)は命令バスを表わす。タイミング図はまた、ROB内の特定のデコード命令が必要とする特定のオペランドを示すソースA/Bポインタを示す。タイミング図はまた、

レジスタファイル/ROBアクセスを示すREGF/ROBアクセスを含む。Issue instr/dest tags 信号は、命令/行先タグの投入を示す。A/B read operand buses 信号は、AおよびBオペランドバスを介してのAおよびBオペランドの転送を示す。Funct unit exec. 信号は、機能ユニットでの投入された命令の実行を示す。Result bus arb 信号は、結果バスに対する調停を示す。Result bus forward 信号は、機能ユニットによって結果が発生された後の果バスを介しての結果の転送を示す。ROB write result 信号は、結果がROBに書込まれることを示す。ROB tag forward 信号は、ROBから機能ユニットへのオペランドタグの転送を示す。REGF write/retire 信号は、ROBからレジスタファイルへの結果の格納を示す。PC(31:0) 信号は、命令がもう推論的なものではないとして用済とされると必ず更新されるプログラムカウンタ(PC)を示す。

【0159】図8のタイミング図では、パイプラインは逐次的な命令ストリームの実行に関して示される。この例では、予測実行経路が実際にとられ、キャッシュから直接利用可能である。簡単に言えば、フェッチパイプライン段階において、命令はマイクロプロセッサによる処理のためにキャッシュからフェッチされる。命令はデコードパイプライン段階でデコードされて、実行パイプライン段階で実行される。ソースオペランドバスおよび結果バスは、整数のサイズに対応する32ビットの幅であることがわかる。命令バスオペランドバスが倍精度浮動小数点演算のために64ビット値を駆動するには2サイクルが必要である。

【0160】結果パイプライン段階では、オペランド値が、結果が発生した機能ユニットから実行のために他の機能ユニットに直接転送される。結果段階のクロック相PH1において、推論命令の位置に、何らかの状態とともに先行結果が書込まれる。言い換えれば、機能ユニットによって発生された結果はリオーダーバッファ内のエントリに置かれ、このエントリは、割当てられているとともに有効であるという指示を与えられる。この態様で、リオーダーバッファは、ここでは、要求されたオペランドに関してオペランドタグではなくオペランドデータを直接転送することができる。結果パイプライン段階のクロック相PH2において、新しく割当てられたタグが、タグがそのソースオペランドの1つであることを必要とする後続の命令によって検出される。これは図8のタイミング図において、図8の矢印に示されるようにソースA/BオペランドバスへのROBタグ転送を介した結果「c」の直接転送で示される。図8において、「a」および「b」は結果「c」をもたらすオペランドであり、「c」および「d」は結果「e」をもたらすオペランドであることがわかる。

【0161】パイプラインの最後の段階である用尽パイプライン段階では、リアルプログラムカウンタ(PC)

またはリタイアPCが保持される。用尽パイプライン段階のPH1クロック相において、動作の結果はリオーダーバッファからレジスタファイルに書込まれ、リタイアPCはこのライトバックを反映するように更新される。言い換えれば、リタイアPCは、もう推論的なものではないとしてレジスタファイルに格納されたばかりの命令を含むように更新される。この命令のためのエントリまたはリオーダーバッファ内の結果は割当から外される。エントリが割当から外されるので、レジスタ「c」の後続の参照は、リオーダーバッファからの推論的読出ではなく、レジスタファイルからの読出となる。

【0162】図9は、図8のタイミング図と同じ5パイプライン段階を示すが、図9のタイミング図は、分岐誤予測が起こるときのマイクロプロセッサ500の動作を示す。XFPCは、FPCバス信号の反転を示す。

【0163】IV. スーパースカラマイクロプロセッサの代替実施例

上述のスーパースカラマイクロプロセッサの実施例は、命令opコードがすべて同じサイズであるRISCプログラムを処理するのに最も有利に用いられるが、マイクロプロセッサ800としてこれから説明するマイクロプロセッサの実施例は、opコードのサイズが可変である命令の処理が可能である。たとえば、マイクロプロセッサ800は、可変長opコードを用いるよく知られたインテル(Intel)(登録商標)命令セットによって用いられる、いわゆるX86命令を処理することができる。マイクロプロセッサ800は、上述のマイクロプロセッサ500のRISCコアに類似したRISCコアを用いる。「RISCコア」という用語は、マイクロプロセッサ500の機能ユニット、リオーダーバッファ、レジスタファイルおよび命令デコーダを含む、本質的にRISC(縮小命令セットコンピュータ)のアーキテクチャであるマイクロプロセッサ500の中核を指す。

【0164】マイクロプロセッサ800のアーキテクチャは、インテルX86命令セットに見られるようないわゆるCISC(完全命令セットコンピュータ)命令を取込み、これらの命令をRISC類似命令(ROP)に変換することができ、これらがRISCコアによって処理される。この変換プロセスは、図10および11に示されるマイクロプロセッサ800のデコーダ805で起こる。デコーダ805はCISC命令をデコードし、CISC命令をROPに変換し、ROPを実行のために機能ユニットに発行する。デコーダ805の動作および構造についてのさらなる詳細は、本譲受人に譲受された「スーパースカラ命令デコーダ」(“Superscalar Instruction Decoder”)と題される同時係属中の米国特許出願連続番号第146,383号から見いだされ、その開示はここに引用によって援用される。

【0165】マイクロプロセッサがそのRISCコアに1サイクルにつき多数の命令を供給する能力は、このス

ーパースカラマイクロプロセッサによって提供される著しい性能の向上の理由の1つである。命令キャッシュ(ICACHE)810は、バイトのキューまたはバイトキュー(バイトQ)815としてこの命令供給を行なう、マイクロプロセッサ800の構成要素である。本発明のこの特定の実施例では、命令キャッシュ810は16Kバイト実効4ウェイセットアソシアティブ線形アドレス命令キャッシュである。

【0166】図10および11に示されるように、命令キャッシュ810のバイトQ815は、命令デコーダ805に供給される。命令デコーダ805は、それに与えられる各命令を1つ以上のROPにマッピングする。デコーダ805のROP発行ウィンドウ820は、ICACHE810からの命令がそれにマッピングされ得る4つの発行位置を含む。4つの発行位置は、D0、D1、D2、およびD3として示される。第1の例では、デコーダ805にバイトQ815によって与えられる命令は、2つのROP発行位置にマッピングされ得る命令であると仮定する。この場合、この第1の命令がデコーダ805に与えられると、デコーダ805は命令を発行位置D0に与えられる第1のROPと、発行位置D1に与えられる第2のROPとにマッピングする。後続の第2の命令が3つのROP位置にマッピング可能であると仮定する。この第2の命令がデコーダ805にバイトQ815によって与えられると、命令は発行位置D2に与えられる第3のROPと、発行位置D3に与えられる第4のROPとにマッピングされる。発行位置D0ないしD3にあるROPは機能ユニットに発行される。第2の命令がマッピングされる、残っている第3のROPは、このようなROPが発行され得る前に次の発行ウィンドウが処理されるのを待たなくてはならないことがわかる。

【0167】命令キャッシュ810がどの特定のバイトをバイトQ815に送るかに関する情報は、命令キャッシュ810の入力である分岐予測ブロック825に含まれる。分岐予測ブロック825は、ブロック単位で次に予測された分岐位置を示す次ブロックアレイである。分岐予測機能ユニット835は、図3ないし図5に示されるマイクロプロセッサ500のBRNSEC520と類似した態様で、分岐を実行する。命令キャッシュ810にはまた、外部メモリからリクエストされた命令キャッシュミス fetchedするプリフェッチャブロック830が備えられる。

【0168】マイクロプロセッサ800は、デコーダ805の4つのROP位置がそれに投入され得る4つの整数機能ユニット、すなわち分岐機能ユニット835、ALU0/シフト機能ユニット840、ALU1機能ユニット845、および特殊レジスタ機能ユニット850を含む。分岐機能ユニット835は、1クロックサイクルにつき1つの新しいROPが分岐機能ユニット835によって受入れられるように、1サイクルの待ち時間を有

する。分岐ユニット835は2エン트리待合わせステーション835Rを含む。本明細書の目的のため、2エントリを含む待合わせステーションは、2つの待合わせステーションと同じであると考えられる。分岐機能ユニット835は、すべてのX86分岐、コールおよびリターン命令を扱う。これはまた条件付分岐ルーチンを扱う。

【0169】ALU0/シフト機能ユニット840は、1サイクルの待ち時間を示す。1クロックサイクルにつき1つの新しいROPがユニット840に受入れられる。ALU0/シフト機能ユニット840は、2つまでの推論ROPを保持する2エン트리待合わせステーション840Rを含む。すべてのX86算術および論理計算は、この機能ユニットまたはその代わりに他方の算術論理装置ALU1 845に渡る。さらに、シフトローテートまたはファインドファーストワンのような命令は、ALU0/シフト機能ユニット840に与えられる。

【0170】ALU1機能ユニット845もまた、1サイクルの待ち時間を示す。1クロックサイクルにつき1つの新しいROPがALU1機能ユニット845によって受入れられることがわかる。ALU1機能ユニットは、2つまでの推論ROPを保持する2エン트리待合わせステーション845Rを含む。すべてのX86算術および論理計算は、この機能ユニットかまたは他方の算術論理装置ALU0に渡る。ALU0およびALU1は、1サイクルにつき2つまでの整数結果演算を計算することを可能にする。

【0171】特殊レジスタ機能ユニット850は、X86レジスタファイル855の外にある内部制御、ステータスおよびマッピング状態を扱うための特殊ブロックである。本発明の一実施例では、特殊レジスタ機能ユニット850は、ROPが特殊レジスタ機能ユニット850に投入されるときに未処理である推論状態がないので、待合わせステーションを持たない。特殊レジスタブロック850は、その構造および機能の点で、上述の特殊レジスタブロック512と類似している。

【0172】ロード/ストア機能ユニット860および浮動小数点機能ユニット865は、デコーダ805のROP発行ウィンドウ820に結合される。ロード/ストア機能ユニット860は、複数エン트리待合わせステーション860Rを含む。浮動小数点機能ユニット865は2つの待合わせステーション865Rを含む。データキャッシュ870が、データのストアおよびそのための検索を与えるために、ロード/ストア機能ユニット860に結合される。浮動小数点機能ユニット865は、41ビット整数/浮動小数点演算混在バス875および結果バス880に連結される。より詳細には、オペランドバス875は、41ビット幅を示す8つの読出オペランドバスを含む。結果バス880は、41ビット幅を示す5つの結果バスを含む。浮動小数点ユニットの整数/浮動小数点混在オペランドおよび結果バスへの連結によっ

て、推論整数および浮動小数点ROPの両方のために、1つのレジスタファイル855および1つのリオーダバッファ885を用いることが可能になる。2つのROPは80ビット拡張精度演算を形成し、これは浮動小数点待合わせステーション865Rから浮動小数点機能865内の80ビット浮動小数点コアに入力される。

【0173】浮動小数点機能ユニット865の80ビット浮動小数点コアは、浮動小数点加算器、浮動小数点乗算器、および浮動小数点除算/平方根機能ユニットを含む。浮動小数点ユニット865内の浮動小数点加算器機能ユニットは、2サイクルの待ち時間を示す。浮動小数点加算器は、80ビットの拡張結果を計算し、これが転送される。浮動小数点乗算器は、拡張精度乗算演算のために6サイクルの待ち時間を示す。32X32乗算器が、単精度乗算演算のために用いられる。浮動小数点機能ユニット865内の32X32乗算器は、拡張精度を必要とする64ビット仮数演算のためにマルチサイクル化される。浮動小数点除算/平方根機能ユニットは、64ビット仮数を2ビット/クロックで計算するために基数-4対話型除算を用いる。

【0174】A/Bオペランドバスのバス幅が41ビットであるこの実施例では、整数ユニットに延びるA/Bオペランドバスに関して、32ビットがオペランド専用であり、残りの9ビットが制御情報専用であることが認められる。A/Bオペランドバスのバス幅が41ビットではなく、32ビットまたは他のサイズである、本発明の他の実施例も企図されることに注目されたい。このような32ビットオペランドバス幅の構成では、オペランドバスから分離される制御ラインが、制御情報の伝送のために用いられる。

【0175】ロードストア機能ユニット860は、4エン트리待合わせステーション860Rを含む。ロードストア機能ユニット860は、2つのロードまたはストア動作が1サイクルについて投入されることを可能にする。ロードストアセクションはまた、線形アドレスを計算し、メモリのリクエストされたセグメントへのアクセス権をチェックする。データキャッシュ870内のヒット/ミスのチェックに関してのロードまたはストア動作の待ち時間は1サイクルである。2つまでのロード動作が、同時にデータキャッシュ870にアクセスし、その動作を結果バス880に送ることができる。ロードストアセクション860は、整数および浮動小数点ロードおよびストア動作の両方を扱う。

【0176】図10および11に示されるように、マイクロプロセッサ800は、リオーダバッファ885に結合されるレジスタファイル855を含む。レジスタファイル855およびリオーダバッファ885の両方が、オペランド振分回路890を介してオペランドバス875に結合される。レジスタファイル855、リオーダバッファ885およびオペランド振分回路890は協働し

て、オペランドを機能ユニットに与える。結果が機能ユニットから得られると、これらの結果はリオーダバッファ885に送られ、その中のエントリとしてストアされる。

【0177】より詳細には、レジスタファイル855およびリオーダバッファ885は、プログラム実行の間のオペランドのためのストアを与える。レジスタファイル855は、整数および浮動小数点命令の両方のためのマッピングされたX86レジスタを含む。レジスタファイルは、中間計算を保持するための、ならびに整数および浮動小数点の一時レジスタを含む。本発明のこの特定の実施例では、レジスタファイル855内のすべてのレジスタは、8つの読出および4つの書込ラッチとして実現される。このように設けられた4つの書込ポートによって、1クロックについて2つまでのレジスタファイル行先が書込まれることを可能にする。これは、1ポートについて1つの整数値であるか、またはレジスタファイルに浮動小数点結果が書込まれている場合には、1ポートにつき浮動小数点値の半分であってもよい。8つの読出ポートによって、2つのソース読出動作を伴う4つのROPの各々が、1クロックサイクルについて投入されることが可能になる。

【0178】リオーダバッファ885は、16までの推論ROPのキューを保持する、16エントリ環状FIFOとして構成される。リオーダバッファ885はしたがって、16のエントリを割当てることができ、その各々が整数結果または浮動小数点結果の半分を含むことができる。リオーダバッファ885は、1クロックサイクルにつき4つのROPを割当てることができ、1クロックサイクルにつき5つまでのROPを確立し、1クロックサイクルにつき4つまでのROPをレジスタファイル855に格納することができる。マイクロプロセッサ800の現在の推論状態は、必要に応じて後続の転送のためにリオーダバッファ885内に保持される。リオーダバッファ885はまた、各エントリについて各ROPの相対順序を示す状態を維持する。リオーダバッファ885はまた、割込またはトラップルーチンによる処理のためにミスしている分岐および例外をマークする。

【0179】リオーダバッファ885は、8つのオペランドでそれぞれ8つのオペランドバス875を駆動できる。リオーダバッファ885は、5つの結果バス880を介して1サイクルにつき5つまでの結果を受取ることができる。オペランドバスは8つの41ビット整数/浮動小数点共通バスであることが認められる。8つのオペランドバスは、デコーダ805のROP発行ウィンドウ820内の4つのROP発行位置に対応する。4つのROP発行位置の各々は、ソースAオペランドおよびソースBオペランドを有することができる。このように形成される4つのAおよびB読出オペランド対の各々は、ROP発行ウィンドウ820内の固定ROPおよびソース

読出位置専用である。

【0180】レジスタファイル855およびリオーダバッファ885は、読出オペランドバス875を駆動するマイクロプロセッサ800内の装置である。デコードされたROPに関して推論の行先がなければ、すなわちROPによってリクエストされたオペランドがリオーダバッファになければ、レジスタファイルがそのオペランドを供給する。しかしながら、推論の行先が存在すれば、すなわちデコードされたROPによってリクエストされたオペランドがリオーダバッファ内にあれば、そのオペランドのためのリオーダバッファ内の最も新しいエントリが、対応するレジスタの代わりに機能ユニットに送られる。このリオーダバッファ結果値は、これがもしリオーダバッファ内に存在すれば推論結果であるか、または機能ユニット内でまだ完了されていない推論の行先に関するリオーダバッファタグでもあり得る。

【0181】5つの結果バス880は41ビットバスである。読出オペランドおよび結果バスは、すべての整数機能ユニットの入力および出力であることがわかる。これらの同じ読出オペランドおよび結果バスはまた、浮動小数点機能ユニット865の浮動小数点待合わせステーション865Rの入力および出力である。浮動小数点待合わせステーション865Rは、41ビットオペランドおよび結果バスを、必要であればその構成する専用機能ユニットに送る80ビット拡張精度バスに変換する。

【0182】マイクロプロセッサ800の整数および浮動小数点機能ユニットには、これらのユニットの待合わせステーションを介してROPの局所バッファ処理が与えられる。これらの機能ユニットのほとんどで、局所バッファ処理は、FIFOとして構成される2エントリ待合わせステーションの形をとる。このような待合わせステーションの目的は、デコーダ805の発行論理が、機能ユニットに推論ROPを、このような推論ROPのソースオペランドが現在利用可能であるかどうかに関わらず、送ることを可能にすることである。本発明のこの実施例では、したがって、長い計算またはロードが完了するのを待つことなく、多数の推論ROP(16まで)が投入され得る。この態様で、はるかに高い命令レベルの並列性が与えられ、マイクロプロセッサ800は、そのピーク性能に近く動作することが可能になる。

【0183】待合わせステーションの各エントリは、2つのソースオペランドまたはタグと、各エントリに関連するopcodeおよび行先に関する情報を保持することができる。待合わせステーションはまた、リオーダバッファが未処理であるとマークしたソースオペランド結果(リオーダバッファがオペランド自体ではなくオペランドタグを与えることによってそれについてマークしたオペランド)を、このような結果を待っている他の機能ユニットに直接送ることができる。本発明のこの特定の実施例では、機能ユニットの待合わせステーションは、

典型的には1クロックサイクルにつき新しいエンタリを1つ受入れ、1サイクルにつき1つの新しいエンタリを機能ユニットに送ることができる。

【0184】これに対する例外は、その待合わせステーションから1クロックサイクルにつき2つのエンタリを受入れ、かつ用済とすることができるロード/ストアセクション860である。ロード/ストアセクション860はまた、4つのエンタリのより深い待合わせステーションFIFOを有する。

【0185】すべての待合わせステーションのエンタリは、例外が起こるようなことがあれば、1クロックサイクル以内に割当から外されることができる。分岐誤予測が起こると、中間結果が機能ユニットから流し出され、リオーダバッファからの割当から外される。

【0186】マイクロプロセッサ800は、プリフェッチユニット830を介して命令キャッシュ810に、およびバスインタフェースユニット900に結合される内部アドレスデータバス895を含む。バスインタフェースユニット900は、主メモリまたは外部メモリ(図示せず)に結合され、そのためマイクロプロセッサ800には外部メモリアクセスが与えられる。IADバス895はまた、図10および11に示されるように、ロード/ストア機能ユニット860に結合される。

【0187】データキャッシュ870は、ロード/ストアユニット860に結合される。本発明のある特定のな実施例では、データキャッシュ870は、8Kバイト、線形アドレス、2ウェイセットアソシアティブ、デュアルアクセスキャッシュである。アドレスおよびデータラインは、図示されるようにデータキャッシュ870をロード/ストア機能ユニット860に結合する。より具体的には、データキャッシュ870は、キャッシュ870とロード/ストアユニット860との間の2つの組のアドレスおよびデータ経路を含み、ロード/ストア機能ユニット860からの2つの同時アクセスを可能にする。これらの2つのアクセスは、16バイトデータキャッシュラインサイズに整列される、8ないし32ビットロードまたはストアアクセスであってもよい。データキャッシュ870は、16バイトラインまたはブロックに構成される。この特定のな実施例では、データキャッシュ870は線形にアドレスされるか、またはセグメントベースのアドレスからアクセスされ、ページテーブルベースの物理アドレスではない。データキャッシュ870は4つのバンクを含み、これらは、データキャッシュ内の1つのラインが4つのバンクの各々における4つのバイトを有するように構成される。したがって、2つのアクセスのビット[3:2]の線形アドレスが同じでないかぎり、2つのアクセスは同時にキャッシュ870内のデータアレイにアクセスすることができる。

【0188】データキャッシュ870は、2ウェイアソシアティブである。これは、クロックの相PH1におい

て2つの線形アドレスをとり、その4つのバンクにアクセスする。その結果としてのロード動作は、後続のクロック相PH2で完了し、結果バスのうちの1つを駆動することができる。機能ユニットによる結果バスのリクエストは、結果をライトバックしようとする他の機能ユニットからのリクエストと調停される。

【0189】命令キャッシュ810およびデータキャッシュ870は、それぞれの命令キャッシュ線形タグアレイおよびデータキャッシュ線形タグアレイを含み、これらのキャッシュにストアされたデータエンタリおよび命令のアドレスに対応する。図10および11に示されるように、マイクロプロセッサ800はまた、命令キャッシュ810およびデータキャッシュ870内のそれぞれ命令およびデータの物理アドレスを追跡するためにIADバス895に結合される物理タグI/Dブロック910を含む。より具体的には、物理タグI/Dブロック910は、これらのキャッシュの物理アドレスを維持する物理命令/データタグアレイを含む。ブロック910の物理命令タグアレイは、命令キャッシュ810の対応する線形命令タグアレイに関する構成を反映する。同様に、ブロック910内の物理データタグアレイの構成は、命令キャッシュ810内の対応する線形データタグアレイの構成を反映する。

【0190】物理I/Dタグは、命令キャッシュタグであるかデータキャッシュタグであるかに依存して、有効、共有、および変更ビットを有する。データキャッシュ物理タグがセットされた変更ビットを有する場合には、これはリクエストされたデータエレメントが、線形データキャッシュ内の等価な位置にあることを示す。マイクロプロセッサ800は外部メモリへのバックオフサイクルを開始し、リクエストされた変更ブロックを、リクエストしている装置がそれを後で見ることができるメモリに書込む。

【0191】高速変換バッファ(TLB915)が、図示のようにIADバス895と物理タグI/Dブロック910との間に結合される。TLB915は、128の線形-物理ページ変換アドレスおよび128までの4Kバイトページのためのページ権をストアする。この高速変換バッファアレイは、ランダムな置換えを有する4ウェイセットアソシアティブ構造として構成される。TLB915は、X86アーキテクチャのために規定される線形-物理アドレス変換機構を扱う。この機構は、最も最近の線形-物理アドレス変換のキャッシュを用いて、有効な変換のために外部ページテーブルを探すのを防ぐ。

【0192】バスインタフェースユニット900は、IADバス895をメモリ等の外部装置にインタフェースさせる。IADバス895は、マイクロプロセッサ800の様々な構成要素を接続するのに用いられるグローバル64ビット共有アドレス/データ/制御バスである。

IADバス895は、キャッシュブロックリフィル、ライトアウト変更ブロックのため、ならびに特殊レジスタユニット850、ロード/ストア機能ユニット860、データキャッシュ870、命令キャッシュ810、物理I/Dタグブロック910、高速変換バッファ915、およびバスインタフェースユニット900等の機能ブロックにデータおよび制御情報を渡すために用いられる。

【0193】V. 代替実施例の動作概説

CISCプログラムが実行される時、CISCプログラムの命令およびデータが、これらの命令およびデータをストアするのに用いられた何らかの記憶媒体から主メモリにロードされる。一旦、バスインタフェースユニット900に結合される主メモリにプログラムがロードされると、命令はプログラム順にデコーダ805に、機能ユニットによる発行および処理のためにフェッチされる。より具体的には、デコーダ805によって1度に4つの命令がデコードされる。命令は、主メモリからバスインタフェースユニット900に、IADバス895を介して、プリフェッチユニット830を通り、命令キャッシュ810に、そしてデコーダ805に流れる。命令キャッシュ810は、デコーダ805によってデコードされて発行されるべき命令の保管場所として機能する。命令キャッシュ810は、分岐予測ユニット835と関連して動作し、デコーダ805に、推論的に実行されるべき次の予測された命令ブロックである、4命令幅の命令ブロックを与える。

【0194】より具体的には、命令キャッシュ810は、主メモリからバスインタフェースユニット900を介してフェッチされた命令ブロックを含む、ICSTOREと示されるストアアレイを含む。ICACHE810は、16バイトラインまたはブロックに構成される、16Kバイト実効線形アドレス命令キャッシュである。各キャッシュラインまたはブロックは、16のX86バイトを含む。各ラインまたはブロックはまた、各バイトについて5ビットプリデコード状態を含む。ICACHE810は、命令デコーダ805に次に予測されたX86命令バイトをフェッチする役目を果たす。

【0195】ICACHE810は、FETCHPC (FPC) と示される推論プログラムカウンタを維持する。この推論プログラムカウンタFETCHPCは、キャッシュ情報を維持する以下の3つの別個のランダムアクセスメモリ (RAM) アレイにアクセスするために用いられる。より詳細には、キャッシュ情報を含む3つの上述のRAMアレイは、1) ストアアレイ ICSTORE内の対応するブロックに関するバイト有効ビットおよび線形タグを維持するアレイである ICTAGVを含む。キャッシュ内の各エントリは、16バイト有効ビットおよび20ビット線形タグを含む。この特定の実施例では、256のタグが用いられる。2) アレイ ICNXTBLKは、ストアアレイ ICSTORE内の対応する

ブロックに関する分岐予測情報を維持する。ICNXTBLKアレイは、各々が16Kバイト実効X86命令に対応する、256エントリの4つの組に構成される。この次ブロックアレイ内の各エントリは、シーケンシャルビット、最後に予測されたバイトおよびサクセッサインデックスから構成される。3) ICSTOREアレイは、X86命令バイトと5ビットのプリデコード状態とを含む。プリデコード状態は、各バイトと関連し、特定のバイトがマッピングされるROPの数を示す。このプリデコード情報は、命令のデコードを、これらがデコーダ805に与えられると速める。バイトキューまたはICBYTEQ815は、プリフェッチユニット830によってICACHE810に与えられる命令プリフェッチストリームの現在の推論状態を与える。ICACHE810として用いることができる命令キャッシュに関するより多くの情報は、同時係属中で本譲受人に譲渡された、「可変バイト長命令に特に適した推論命令キューおよびそのための方法」と題する米国特許連続出願番号第145,902号に記載され、その開示がここに引用によって援用される。

【0196】デコーダ805 (IDECODE) は、マイクロプロセッサ800内の命令デコードおよび発行動作を実行する。より具体的には、デコーダ805は、デコード1およびデコード2と称するマイクロプロセッサパイプラインの2つの段階を実行する。デコード1の初めの間、プリフェッチされ、予測実行されたバイトはバイトキューの指定された充満位置に送られる。これらのバイトは次に、バイトキュー815内の独立バイトと併合される。デコード2パイプラインステージにおいて、リオーダバッファのエントリが、次のクロック相で投入され得る対応するROPに割当てられる。

【0197】デコーダ805は、バイトキュー815から未処理のX86命令バイトおよびプリデコード情報を取入れ、これらをROP発行ユニット820内の4つのROP位置に割当てる。デコーダ805は、どの特定の機能ユニットに各ROPが伝送されるべきかを決定する。デコーダ805として用いることができるデコードの1つより詳細な説明は、ディビッド・ビー・ウィットおよびマイケル・ディ・ゴダード (David B. Witt and Michael D. Goddard) による「スーパースカラ命令デコーダ」と題される米国特許出願連続番号第146,383号に記載され、その開示をここに引用によって援用する。ICACHEおよびデコーダ回路によって、マイクロプロセッサ800は、1クロックサイクルにつき4つのROPをデコードし、RISC類似データ経路に送ることができる。4つのROPは、機能ユニットに発行され、これが結果をリオーダバッファ885と、これらの結果を必要とする他の機能ユニットとに送る。

【0198】レジスタファイル855およびリオーダバッファ885は、プログラムの流れにおける命令に推論

実行を与えるようにとも動作する。マイクロプロセッサ800の整数コア、レジスタファイル855、リオーダバッファ885のより詳細な説明を、図12を参照して行なう。マイクロプロセッサ800の整数コアは、整数コア920として示され、分岐予測ユニット835、ALU0、ALU1、および特殊レジスタ860を含む。

【0199】この特定の実施例において、レジスタファイル855は、12の32ビットレジスタ（整数レジスタ）と24の41ビットレジスタ（浮動小数点レジスタ）として構成される。これらのレジスタは、デコーダ805から並列して4つまでのROPに関してアクセスされる。デコーダ805によって与えられるレジスタファイルポインタは、どの特定のレジスタが特定のROPにおけるオペランド値としてリクエストされるか、およびアクセスのサイズを決定する。

【0200】レジスタファイル855はマイクロプロセッサ800のアーキテクチャ状態を含む一方で、リオーダバッファ885はマイクロプロセッサ800の推論状態を含むことが認められる。レジスタファイル855のタイミングは、8つまでの並列読出ポインタで、デコーダ2パイプラインステージの相PH2でアクセスされるようにされる。これらの8つまでの読出ポインタの受取に応答して、レジスタファイル855は、このように選択されたオペランド値を、後続のクロックPH1相で対応するオペランドバスに送る。

【0201】リオーダバッファ885をレジスタファイル855に結合する不能化バスが図12に示される。不能化バスは8ライン幅であり、リクエストされた読出値がリオーダバッファ885内の推論エントリとして見いだされたことを示す8つの無効信号を含む。この例では、レジスタファイル855は無効にされ、リクエストされた読出オペランド値をオペランドバスに置くことを許されない。その代わりに、推論エントリがリオーダバッファ885内に存在するので、リオーダバッファ885は、リクエストされた実際のオペランド値か、またはその値に関するオペランドタグを与える。

【0202】リオーダバッファ885は、この特定の実施例では16のエントリを含み、推論ROP結果値のキューとして動作する。図13により詳細に示されるように、リオーダバッファ885は、キューの先頭および末尾に対応する2つのポインタ、すなわち先頭ポインタおよび末尾ポインタを含む。キューの割当の発行されるROPへのシフトは、これらのポインタを増分または減分することによって起こる。

【0203】リオーダバッファ885に与えられる入力、デコーダ805がそこで割当てようとするROPの数（1ブロックにつき4つまでのROP）、これらの4つのROPのためのソースオペランドポインタ値、およびそれぞれの行先ポインタ値を含む。リオーダバッファ

885は次に、その現在の推論キューからこれらのエントリを割当てようとする。エントリスペースが発行されるROPのために利用可能であれば、エントリは末尾ポインタの後に割当てられる。

【0204】より具体的には、エントリがデコーダ805からリクエストされると、キューの先頭から次のエントリが割当てられる。特定のエントリの数は、デコーダ805からのその特定のROPに関する行先タグとなる。行先タグは、実行されるべき特定の命令とともに、対応するROP位置で機能ユニットに送られる。「4ROP行先タグ」と示される専用行先タグバスは、図12において、リオーダバッファ885から整数コア920の機能ユニットへ、およびマイクロプロセッサ800の残りの機能ユニットへの出力として示される。機能ユニットはこのように、実行されるべき各ROPに関する行先情報を与えられ、そのため機能ユニットは効果的に結果バスを介してROPの結果がどこに送られるはずであるかを知る。

【0205】上述のことより、推論実行された結果値またはオペランドは、このような結果オペランドがもはや推論ではなくなるまで、リオーダバッファ885内に一時的にストアされることが認められる。可能性のあるオペランド値のプールは、したがってリオーダバッファによって与えられ、デコーダ805によって与えられてデコードされる後続のROPによって用いられる。

【0206】リオーダバッファ885内にエントリが存在するときには、元のレジスタ番号（すなわちEAX）が、特定のROP結果に関して割当てられたリオーダバッファエントリ内に保持される。図13は、先頭および末尾ポインタの間の推論状態にあるエントリを、これらのエントリ内の縦の破線で示す。各リオーダバッファエントリは、その元の行先レジスタ番号に参照し戻される。ROP発行ユニット820の4つのROP位置からの8つの読出ポインタ値のうちの何らかのものがエントリに関連する元のレジスタ番号に一致すると、そのエントリの結果データが、有効であれば転送され、またはそのエントリに関連する動作がまだ機能ユニットで未処理であればタグが転送される。

【0207】リオーダバッファ885は、デコード805によって発行された新しいROPの正しい推論状態を、これらのROPをプログラム順に割当ててことで維持する。4つのROPはその現在の位置からリオーダバッファキューの末尾位置まで、それらの読出オペランドのいずれかにおける一致を探しながらスキャンする。特定のリオーダバッファエントリにおいて一致が起これば、レジスタファイル855内の対応する読出ポートが不能化され、実際の結果オペランドまたはオペランドタグが、適切な機能ユニットによって受取られるようにオペランドバスに与えられる。この構成によって、動作に影響を与えることなく、リオーダバッファに存在する同

レジスタの複数の更新を可能にする。結果転送がこのように達成される。

【0208】図13に示されるように、リオーダバッファ885は、リオーダバッファキューまたはアレイ930にストアされた結果オペランドの用尽を制御するリタイア論理925を含む。キュー930に格納された結果オペランドがもはや推論でなければ、このような結果オペランドはリタイア論理制御のもとでレジスタファイル855に転送される。これを起こすためには、ROPの格納をインタフェースするリタイア論理、レジスタファイルへのライトバック、最後の4つのROPエントリの状態がスキャンされる。リタイア論理925は、割当てられたROPエントリのうちのいくつが有効な結果を現在有しているかを決定する。リタイア論理はまた、これらのROPエントリのうちのいくつが、ライトバックのないROPに対して、レジスタファイルへのライトバック結果を有するかをチェックする。さらに、リタイア論理は、発生される分岐、ストアおよびロードミスについてスキャンする。完全な命令が最後の4つのROP内に存在すれば、このようなROPはレジスタファイルに格納される。しかしながら、ROPエントリをスキャンする間に、特定のROPにおいて例外が起こったことを示す状態が見いだされれば、その後のすべてのROPが無効にされ、トラップベクトルフェッチリクエストが、ROPエントリに格納された例外状態情報により形成される。

【0209】さらに、リオーダバッファ内のROPをスキャンしている際に分岐誤予測状態に出会えば、誤予測された経路にあるとしてマークされなかった最初のROPに出会うまで、EIPレジスタの更新またはライトバックなく、リタイア論理はこれらのROPエントリを無効にする。リタイア論理925(図13参照)内に含まれるEIPレジスタ(図示せず)は、推論的ではない実行された命令を推論で実行された命令から分ける、実行下のプログラムにおけるロールする分岐点を表わすリタイアPCまたはプログラムカウンタを保持する。EIPまたはリタイアPCは、リオーダバッファ885からレジスタファイル855への結果オペランドの格納の際に、このように格納された命令がもはや推論的ではないことを反映するように、継続的に更新される。リオーダバッファ885は推論状態を素早く追跡し、1クロックサイクルにつき複数のX86命令またはROPを用済とすることができることが認められる。マイクロプロセッサ800は、例外条件または分岐誤予測に出会えば、迅速に無効とし、正しい命令ストリームをフェッチし始めることができる。

【0210】マイクロプロセッサ800の機能ユニットの一般的な構成を、ここで図14に例示的な目的のために示される一般化された機能ユニットブロック図を参照して説明する。opコード、Aオペランド、Bオペラン

ド、および行先タグを含むROPは、図9の一般化された機能ユニットに発行されていることを思い起こされたい。図14の最も左の部分には、それに発行される命令から特定のAオペランドを選択する(1:4)Aオペランドマルチプレクサ932に4つのAオペランドバスが与えられることが認められる。同様の態様で、4つのBオペランドバスが、図14の機能ユニットが実行すべき対象の命令のための特定のBオペランドを選択する

(1:4)Bオペランドマルチプレクサ935に結合される。4つの行先/opコードバスが、この機能ユニットによって実行されている特定の命令のためのopコードおよび行先タグを選択するマルチプレクサ940に結合される。

【0211】この機能ユニットは、マルチプレクサ940への「ファインドファーストFUNCTIONタイプ」入力でタイプバスをモニタする。より特定的には、機能ユニットは、その機能ユニットのタイプに一致する第1のROPを探し、1:4マルチプレクサ932、935、および940を可能化して、対応するオペランドおよびタグ情報を図14の機能ユニットの待合わせステーション1に送る。たとえば、実行ユニット945が算術論理装置1(ALU1)であり、かつマルチプレクサ940のTYPE入力で機能ユニットに与えられる命令タイプがADD命令であると仮定すると、発行された命令の行先タグ、opコード、Aオペランド、およびBオペランドが、選択マルチプレクサ932、935および940を介して待合わせステーション1に送られる。

【0212】第2の待合わせステーション、すなわち待合わせステーション0が、待合わせステーション1と実行ユニット945との間に認められる。図14の機能ユニットは、このように2つの待合わせステーションを含むと言われ、または待合わせステーションは2つのエントリを保持することができるという。この2エントリ待合わせステーションは、最も古いエントリが待合わせ0として示されるFIFOとして実現される。待合わせステーション0および1は、レジスタファイル855またはリオーダバッファ885のいずれかからオペランドバスを介して機能ユニットに何が送られたかに依存して、オペランドまたはオペランドタグのいずれかを保持することができる。

【0213】その結果を5つの結果バスに与える他の機能ユニットからの結果の転送を達成するために、機能ユニットは、A転送論理950およびB転送論理955を有する。転送論理950は、ソースAオペランドに一致するタグを求めて5つの結果バスをスキャンし、一致が起これば、A転送論理950は、対応する結果バスを待合わせステーション1のAデータ部分960に送る。実際のAオペランドではなくAオペランドタグがマルチプレクサ932を介して送られると、Aオペランドタグは、Aタグ965と示される位置にストアされることに

注目されたい。一致を求めて5つの結果バスにおいてスキャンされる結果タグと比較されるのは、Aタグ位置965にストアされたAオペランドタグである。同様の態様で、B転送論理955は、Bオペランドタグ位置970にストアされたBオペランドタグに一致する何らかの結果タグに関して5つの結果バスをスキャンする。一致が見いだされれば、対応する結果オペランドが結果バスから検索され、Bデータ位置975にストアされる。機能ユニットによって実行されているROPのopコードおよび行先タグは、タグおよびopコード位置980にストアされる。

【0214】ROP命令を実行するのに必要なすべての情報が機能ユニット内で集められれば、ROP命令は実行のために実行ユニット945に投入される。より具体的には、AオペランドおよびBオペランドが、待合わせステーションによって実行ユニット945に送られる。その命令のためのopコードおよび行先タグが、タグおよびopコード位置980によって実行ユニット945に送られる。実行ユニットは命令を実行し、結果を発生する。実行ユニットは次に、アービトラータ（図示せず）に結果リクエスト信号を送ることで結果バスへのアクセスに対して調停する。実行ユニット945が結果バスへのアクセスを許可されると、結果許可信号がアービトラータから実行ユニット945によって受取られる。実行ユニット945はその結果を指定された結果バスに置く。

【0215】この結果と同じタグを有する未処理のオペランドを有する他の機能ユニットに結果が転送される。結果はまた、実行されたROPの行先タグと関連するエントリでそこにストアするためにリオーダーバッファ885にも与えられる。

【0216】実用において、機能ユニットは、命令が実行している間結果バスに対して調停する。より具体的には、機能ユニットに有効エントリが存在するとき、すなわち実行のために必要なすべてのオペランド、opコード、および行先タグ情報が集められたとき、命令は実行ユニット945に投入され、実行ユニット945が実際にその命令を実行している間、機能ユニットは結果バスに対して調停する。各待合わせステーションが行先タグとともに局所opコードのための記憶機構を含むことが認められる。このタグは、結果パイプラインステージの間にROPが最終的にライトバックする位置を示す。この行先タグはまた、待合わせステーション内の各エントリと保持され、そのFIFOを介して押される。

【0217】一般化された機能ユニットブロック図を図14に関して説明したが、実行ユニット945は、分岐予測ユニット835、ALU0/シフト840、ALU1845、ロード/ストア860、浮動小数点ユニット865および特殊レジスタ850のいずれであってもよく、これらの特定の機能に関する適切な変更を加えても

よい。

【0218】特定の機能ユニットへの結果バスの許可が行なわれると、結果値が結果バスに送られ、待合わせステーション内の対応するエントリがクリアされる。結果バスは、41ビットの結果と、行先タグと、通常、有効および例外等の状態指示情報とを含む。マイクロプロセッサ800のパイプライン化された動作において、上述の機能ユニットの動作のタイミングは、実行段階の間起こる。クロック相PH1の間、オペランド、行先タグおよびopコードは、ROPが発行され、待合わせステーションに置かれる際に送られる。PH2クロック相の間、opコードによって説明される動作は、すべてのオペランドの準備ができていれば実行され、実行の間、機能ユニットは値をリオーダーバッファに送返すために結果バスに対して調停する。

【0219】図15は、分岐機能ユニット835のより詳細な図である。分岐機能ユニット835は、ジャンプ命令ならびにより複雑なコールおよびリターンマイクロルーチンを含む非逐次のフェッチをすべて扱う。分岐ユニット835は、待合わせステーション835Rと、予測発生分岐を追跡するための分岐FIFO980を含む。分岐機能ユニット835はまた、加算器985と、インクリメント990と、分岐予測コンパレータ995とを含み、これらはすべてPC相対分岐を扱うためのものである。

【0220】分岐機能ユニット835は、図15に示される分岐予測発生FIFO980を用いて推論分岐を制御する。より具体的には、命令キャッシュ810によって予測されたすべての非順次のフェッチは、分岐予測FIFO980に送られ、その分岐のPC（プログラムカウンタ）とともにそこでラッチされる。この情報は、ターゲットバス（XTARGET）およびデコードPCバスに送られて、分岐機能ユニットに渡る。対応する分岐が後にデコードされ、投入されると、予測情報、オフセット、および分岐のPCが、分岐機能ユニット835によって局所的に計算される。一致が起これば、この結果はターゲットPCと一致を示す状態とともに、リオーダーバッファ885に正しく送り返される。分岐誤予測が起これば、正しいターゲットが、フェッチを始めるために命令キャッシュ810へ送られ、またミスしている予測された分岐に含まれる後続のROPをキャンセルするためにリオーダーバッファ885へ送られる。この態様で、実行は正しいターゲットPCで再び始めることができ、このようにして実行プロセスの失敗を防ぐ。誤予測が起これば、分岐機能ユニット835は、新しいターゲットアドレスとインデックスとの両方を、予測情報があつたブロックに送り、このアレイを更新する。このことは、マイクロプロセッサが、予測アレイ情報を更新しながら同時に、命令の新しく正しいストリームをフェッチし始めることを意味する。マイクロプロセッサはまた、新し

いブロックで予測情報にアクセスして、どのバイトが予測実行されるかを知ること注目されたい。ICNXTBLKアレイは、予測情報とその第2のポートを介して更新され得るように、デュアルポートである。誤予測が起こるブロックからの予測情報は、逐次/非逐次、分岐位置、およびキャッシュアレイ内の予測実行される第1のバイトの位置等の情報である。

【0221】加算器985およびインクリメンタ990は、現在の分岐命令の現在のPC+オフセット、および逐次的であれば次のPCの命令長+PCを局所的に計算する。これらの値は、コンパレータ995によって、局所分岐発生キュー(FIFO980)内の予測発生分岐と比較されて、このような分岐を予測する。

【0222】ここで、マイクロプロセッサ800の動作をそのパイプラインステージを通して示すタイミング図を説明する前に、マイクロプロセッサ800の主な内部バスを概略的に説明する。バスラインの先頭のXは、一方の相でダイナミックにチャージされ、他方の相で条件付でアサートされる偽バスを示す。マイクロプロセッサ800の内部バスは以下のものを含む。

【0223】FPC(31:0)-Ph1、スタティック。このフェッチPCバスは、命令キャッシュ810からバイトキュー815への推論命令プリフェッチのために用いられる。FPCバスは、図3ないし図5のマイクロプロセッサ500のFPCブロック207と実質的に同じ機能を果たす、ICACHE810内のFPCブロック813に結合される。

【0224】XTARGET(41:0)-Ph1、ダイナミック。このバスは、誤予測分岐および例外を指示しなおすためにターゲットPCを命令キャッシュおよび分岐予測ユニット(825/835)に送る。

【0225】XICBYTENB(12:0)-Ph1、ダイナミック。このバスは、現在リクエストされているプリフェッチX86命令および対応するプリデコード情報の命令キャッシュストアアレイICSTOREの出力である。この特定の実施例では、サイクルにつき全部で16のバイトが、次に予測実行されたバイトがバイトキューの第1のオープンバイト位置を充填するように整列されてアサートすることができる。

【0226】BYTEQn(7:0)-Ph1、スタティック。これは、命令キャッシュからプリフェッチされた予測実行X86命令バイトのキューを示す。この特定の実施例では、全部で16のバイトがデコーダ805のデコード経路に送られる。各バイトは、opcode位置、プリフィックスバイト、ならびに命令開始および終了位置に関する命令キャッシュからのプリデコード情報を含む。各X86命令のROPサイズもまた、プリデコード情報に含まれる。各バイトに加えられるプリデコード情報は、バイトキュー内の1バイトについて全部で6ビットのストアを表わし、すなわち1有効ビット+5

つのプリデコードビットを表わす。

【0227】IAD(63:0)-Ph1、ダイナミック。IADバス895は、主なマイクロプロセッサ800のブロックのための一般的な相互接続バスである。これは、このようなブロック間と、外部メモリへの、およびそこからアドレス、データ、および制御転送のために用いられ、図10および11に示されるとおりである。

【0228】XRDnAB(40:0)-Ph1、ダイナミック。この符号は、機能ユニットに与えられる各ROPのためのソースオペランドAバスを表わし、オペランドバス875内に含まれる。より具体的には、これはROP0ないしROP3のための全部で4つの41ビットバスを含む。オペランドバスに含まれる対応するタグバスは、リオーダバッファ885からの実際のオペランドデータの代わりに、リオーダバッファ885からの転送されたタグが存在することを示す。

【0229】XRDnBB(40:0)-Ph1、ダイナミック。この符号は、機能ユニットに送られる各ROPのためのソースオペランドBバスを示す。このバス構造は、ROP0ないしROP3のための4つの41ビットバスを含み、8つの読出オペランドバス875内に含まれる。対応するタグバスは、リオーダバッファ885からの実際のオペランドデータの代わりに、転送されたオペランドタグがこのバスに存在することを示すことがやはり認められる。

【0230】XRESnB(40:0)-Ph1、ダイナミック。この符号は、8、16、32ビット整数、または80ビット拡張結果の1/2のための結果バス880を示す。対応するタグおよび状態バス882は、この結果バスでエントリを確立することがわかる。

【0231】マイクロプロセッサ800は、フェッチ、デコード1、デコード2、実行、結果/ROBおよび用尽/レジスタファイルの段階を含む6段階パイプラインを含む。明瞭にするために、デコードステージは図16においてデコード1およびデコード2に分割されている。図16は、逐次的な実行が行なわれているときのマイクロプロセッサパイプラインを示す。連続するパイプライン段階は、図16の縦方向の列で表わされる。マイクロプロセッサ800において選択された信号は、パイプラインの種々の段階で現われることを横方向の列で表わす。

【0232】図16の逐次実行パイプライン図は、以下の選択された信号を表わす。「Ph1」は、システムクロック信号の前縁を表わす。システムクロック信号は、Ph1およびPh2成分の両方を含む。

【0233】「FPC(31:0)」は、バイトキュー815からのフェッチPCバスを表わす。

【0234】「ICBYTENB(12:0)」は、バイトキュー815に結合される命令キャッシュ810の

ICSTOREアレイからのICBYTEバスである。
【0235】「BYTEQn(7:0)」は、バイトキューバスである。「ROPmux(3:0)」は、命令ブロックおよびプリデコード情報がデコーダに与えられていることを示すデコーダ信号である。

【0236】「Source A/B pointers」は、デコーダ805によってリオーダーバッファ815に与えられるAおよびBオペランドのための読出/書込ポインタである。図10および11には明確に図示されないが、ソースポインタは、デコードブロックからレジスタファイルおよびリオーダーバッファの両方への入力であるレジスタファイル値である。

【0237】「REGF/ROB access」は、機能ユニットへの伝送のためにオペランド値を得るためのレジスタファイルおよびリオーダーバッファへのアクセスを示す。

【0238】「Issue ROPs/dest tags」は、デコーダ805による機能ユニットへのROPおよび行先タグの投入を示す。

【0239】「A/B read oper buses」は、機能ユニットによる、そのためのAおよびBオペランドまたはタグを得るためのAおよびBオペランドバスの読出を示す。

【0240】「Funct unit exec」は、機能ユニットによる実行を示す。図16および図17において、符号a&b→cおよびc&d→eおよびc&g→は、任意の演算を表わし、「ソース1オペランド、ソース2オペランド→行先」の形である。より具体的には、示されるソースレジスタは、レジスタ、すなわち一時またはマッピングX86レジスタである。a&b→cの例では、「c」の値は行先を表わし、結果バスおよびリオーダーバッファから、予測実行ストリームの次の参照への局所的な転送を示す。

【0241】「Result Bus arb」は、結果をリオーダーバッファ、およびこの結果に対応するオペランドタグを保持しているためにその結果を必要とするかもしれない他の何らかの機能ユニットに伝送するために、結果バス880へのアクセスを調停している時間を示す。

【0242】「Result Bus forward」は、結果がある機能ユニットからこの結果を未処理のオペランドとして必要としている他の機能ユニットに転送している時間を示す。

【0243】「ROB write result」は、機能ユニットからの結果がリオーダーバッファに書込まれている時間を示す。

【0244】「ROB tag forward」は、リオーダーバッファが機能ユニットに、現在まだ結果が出ていないオペランドの代わりにオペランドタグを転送している時間を示す。

【0245】「REGF write/retire」は、結果がリオーダーバッファのFI FOキューからレジスタファイルに格納されている時間を示す。

【0246】「EIP(31:0)」はリタイアPC値を示す。割込リターンは遅延分岐を持たないので、マイクロプロセッサは、わずか1つのPCで割込リターンの際に再始動できる。リタイアPC値またはEIPは、リオーダーバッファ885のリタイア論理925内に含まれる。EIPは、マイクロプロセッサ500に関して既に説明したリタイアPCと類似している。リタイア論理925は、マイクロプロセッサ500のリタイア論理242に類似した機能を果たす。

【0247】図16のタイミング図は、X86バイトの逐次的ストリームを実行しているマイクロプロセッサ800を示す。この例では、予測実行経路が実際に行なわれ、また命令キャッシュから直接利用可能である。

【0248】命令処理の第1の段階は、命令フェッチである。図示のとおり、このクロックサイクルは命令キャッシュの動作を行なうのに費やされる。命令キャッシュ810は、クロックサイクルのPh1の間に新しいフェッチPC(FPC)を形成し、第2のクロックサイクルにおいて命令キャッシュのキャッシュアレイにアクセスする。フェッチPCプログラムカウンタ(タイミング図ではFPC(31:0))として示される)は、ストアアレイと並列して線形命令キャッシュのタグアレイにアクセスする。フェッチのクロック相Ph2の遅い時点で、線形タグがフェッチPC線形アドレスに一致するかどうかの決定がなされる。一致が起これば、予測実行されるバイトはバイトキュー815に転送される。

【0249】命令キャッシュ内のタグおよびストアアレイにアクセスするのに加えて、フェッチPCはまたブロック予測アレイICNXTBLKにアクセスする。このブロック予測アレイは、どのX86バイトが予測実行されるかを識別し、次の予測実行されるブロックが逐次的であるか非逐次的であるかを識別する。Ph2でアクセスされるこの情報は、現在フェッチされているブロックのどのバイトがバイトキュー815に有効バイトとして送られるかを決定する。

【0250】バイトキュー815は、前にフェッチされているが機能ユニットにまだ投入されておらずそこにストアされたX86バイトを現在有しているかもしれない。この場合には、バイト充满位置が命令キャッシュ810に示されて、第1の予測バイトをこの量だけシフトして、より古いX86バイトの後ろを充满する。

【0251】フェッチのクロック相Ph2で分岐予測情報が起こるので、プリフェッチユニット830によってプリフェッチされるべき次のブロックは逐次的であっても非逐次的であってもよい、というのはどちらの場合にも、キャッシュアレイに再びアクセスするのに1クロックサイクルあるからである。したがって、分岐予測アレイによって、ブロック外の分岐が、次の逐次的ブロックにアクセスするのと同じ相対的性能を有することができ、性能の向上を与える。

【0252】デコード1/デコード2パイプライン段階を次に説明する。デコード1の初めに、プリフェッチされ、予測実行されたバイトが、指定された充填位置でバイトキュー815に送られる。これは図16のタイミング図にICBYTENB(12:0)として示され、デコード1のPh1でアサートする。これらのバイトは、バイトキュー内の何らかの未処理のバイトと併合される。バイトキューはプリデコード状態の5つのビットと、未処理のX86バイトとを含み、命令の境界がどこにあるかを示す。バイトキューの先頭は、次に予測実行されたX86命令の初めにある。デコード1のクロック相Ph1の中程で、命令キャッシュからの次のバイトのストリームが、バイトキュー815内の既存のバイトと併合され、併合されたストリームがスキャンのためにデコーダ805に与えられる。デコーダ805は、各命令がとるROPの数、および対応するROP投入位置D0、D1、D2、およびD3とオペコードの整列を可能にするようにオペコードの位置を決定し、ここでD0にあるROPが投入すべき次のROPである。デコーダ805は、バイトキュー815内の各X86命令のプログラムカウンタPCのコピーを、命令の境界間のバイト数をカウントするか、または命令キャッシュ内の分岐を検出して、その位置からフェッチされた第1のX86バイトにターゲットPC値を付けることによって維持する。

【0253】オペコードおよびROP位置付け情報、ならびにバイトキュー815にストアされた即値フィールドを用いることで、デコーダ805はデコード1のクロック相Ph2およびデコード2のクロック相Ph1の間に以下の情報をスタティックに決定する。すなわち、1)機能ユニット行先、2)ソースA/Bおよび行先オペランドポインタ値、3)ソースおよび行先動作のサイズ、および4)もしあれば、即値アドレスおよびデータ値である。デコード2のクロック相Ph1の終わりに、すべてのレジスタ読出および書込ポインタが解決され、動作が決定される。これは図16のタイミング図でソースA/Bポインタ値のアサートによって示される。

【0254】図16のタイミング図に示されるデコード2パイプライン段階において、リオーダーバッファエントリは、次のクロック相で投入され得る対応するROPに割当てられる。したがって、4つまでの付加的なROPが、デコード2のPh1クロック相の間に16エントリリオーダーバッファ885内のエントリを割当てられる。デコード2のPh2クロック相の間、割当てられたすべてのROPに関するソース読出ポインタが、リオーダーバッファに含まれる推論ROPのキューにアクセスしながら、同時にレジスタファイルから読出される。レジスタファイルおよびリオーダーバッファアレイの両方のこの同時アクセスによって、マイクロプロセッサ800は、実際のレジスタファイル値を用いるか、またはリオーダーバッファからオペランドもしくはオペランドタグを転送す

るかを後で選択することができる。Ph1においてリオーダーバッファ内の4つのROPエントリをまず割当て、次にPh2でリオーダーバッファをスキャンすることによって、まだ推論状態にあるすべての前のROPと発行されている現在のROPについて読出の従属性をマイクロプロセッサ800は同時に探することができる。これは、図16のタイミング図に、REGF/ROBアクセスおよびタグのチェックによって示される。

【0255】実行パイプライン段階において、ROPは、専用オペコードバスおよび読出オペランドバスによって機能ユニットに投入される。専用オペコードバスは、ROPのオペコードを機能ユニットに送り、一方、読出オペランドバスはオペランドまたはオペランドタグをこのような機能ユニットに伝送する。オペランドバスがオペランドを機能ユニットに送っている間の時間は、図16のタイミング図では符号「A/B read operand buses」によって示される。

【0256】実行パイプライン段階のPh1クロック相の後半で、機能ユニットはこのような機能ユニットにどのROPが投入されたか、およびこのような機能ユニット内の局所待合わせステーションから何らかの未処理のROPの投入準備ができていないかを判断する。待合わせステーション内に含まれる最も古い命令が最初に実行されることが確実になるように、機能ユニットの待合わせステーションでFIFOが維持されることに注目されたい。

【0257】命令が機能ユニット内で実行準備ができていない場合には、実行パイプライン段階のPh1の遅くにこのような実行を始め、この段階のPh2にわたってスタティックに続く。Ph2の終わりに、機能ユニットは、図16の結果バスROB信号によって示されるように5つの結果バスのうちの1つに対して調停する。言い換えれば、結果バス調停信号がこの時間の間にアサートされる。機能ユニットが結果バスへのアクセスを許可されると、これは後続のPh1で割当てられた結果バスを駆動する。

【0258】図16のタイミング図で示される結果パイプライン段階は、結果をある機能ユニットからこのような結果を必要としている別のものへと転送することを示す。結果パイプライン段階のクロック相Ph1において、推論ROPの位置は、行先結果および何らかの状態を伴ってリオーダーバッファに書込まれる。リオーダーバッファ内のこのエントリは、割当てられたとともに有効であるという指示を与えられる。一旦割当てられたエントリがこのように確立されると、リオーダーバッファは、リクエストされた読出アクセスの受取の際に、オペランドタグではなくオペランドデータを直接転送することができる。結果パイプライン段階のクロック相Ph2において、新しく割当てられたタグが、そのソースオペランドの1つとしてこれを要求する後続のROPによって検出

され得る。これは、図16のタイミング図において、「ROB tag forward」を介してソースA/Bオペランドバスへの結果Cの直接転送として示される。

【0259】用尽パイプライン段階は、図16のタイミング図のパイプラインの最終段階である。この段階は、EIPレジスタの形で真のプログラムカウンタ(リタイアPC)が維持され、バス指示EIP(31:0)によって示されるように更新される段階である。図16に示されるように、EIP(31:0)のタイミング図は、リオーダーバッファからレジスタファイルへの命令の格納の際に、新しいPC(またはリタイアPC)が発生されるところを示す。リオーダーバッファからレジスタファイルへの結果の格納の実際の動作は、図16の「REGF write/retier」と符号を付される信号によって示される。図16において、用尽パイプライン段階のクロック相Ph1において、動作の結果はレジスタファイルに書込まれ、EIPレジスタはこの命令がもう実行されたことを反映するように更新される。リオーダーバッファ内の対応するエントリは、値がリオーダーバッファからレジスタファイルへと書込まれるのと同じクロック相Ph1において割当から外される。リオーダーバッファ内のこのエントリが割当から外されたので、レジスタCへの後続の参照は、リオーダーバッファからの推論読出ではなく、レジスタファイルからの読出となる。この態様で、マイクロプロセッサのアーキテクチャ状態が真に反映される。

【0260】図17は、分岐誤予測の際のプロセッサ800のタイミング図である。図17のタイミング図は、以下を除いては図16のタイミング図と同じ信号タイプを示す。

【0261】BRN_MISP信号は、分岐誤予測が起こったときを示す。XTARGET(31:0)信号は、予測されたターゲット分岐命令が分岐ユニット835に送られるときを示す。

【0262】図17のタイミング図は、分岐誤予測および回復の間のマイクロプロセッサ800のパイプラインの段階を示す。このタイミング図は、第1のサイクルが分岐の実行サイクルであり、かつ後続のサイクルが予測の訂正および新しい命令ストリームのフェッチに関わると仮定する。この特定の実施例において、誤予測された分岐命令の実行の完了から正しい経路の実行の開始まで3サイクルの遅延が存在することが認められる。

【0263】図17に示されるパイプラインのフェッチ段階は、XTARGET(31:0)バスが、命令キャッシュ810に予測されたターゲットに関するの情報を与えるために、分岐機能ユニット835から命令キャッシュ810に駆動されることを除いては、図16の通常のフェッチ段階に類似している。分岐機能ユニットは、分岐誤予測が実際に起こったことを判断する、マイクロプロセッサ800のブロックであることが認められる。分岐機能ユニットはまた、正しいターゲットを計算す

る。このターゲットは、結果バス880を介して誤予測状態指示とともに結果がリオーダーバッファに戻されるのと同じときに送られる。結果バスはまた、真の分岐が起こった場合に分岐命令を用済とする際にEIPレジスタを更新するための正しいPC値を含む。XTARGETバスは、フェッチされたPCバスに駆動され、命令キャッシュアレイがアクセスされる。ヒットが起これば、バイトは前と同様にバイトキューに送られる。

【0264】誤予測が起これば、バイトキュー815内のすべてのバイトは、信号BRN_MISPのアサートで、フェッチの第1の相において自動的にクリアされる。訂正された経路がフェッチされ、デコードされるまでは、さらなるROPはデコーダ805から発行されない。

【0265】誤予測の結果状態がリオーダーバッファにフェッチパイプライン段階のクロック相Ph1において戻されるとき、誤予測状態指示が誤予測の後のすべての推論ROPに送られ、そのためこれらはレジスタファイルまたはメモリに書込を許されない。これらの命令が次に用済とされるべきとき、リオーダーバッファ内のこれらのエントリは割当から外されて、さらなるROPが投入されることを可能にする。

【0266】分岐誤予測の間のデコード1パイプライン段階に関して、訂正された経路をデコードするための経路の残りは、命令キャッシュ810のICNXTBLKアレイにおける予測情報の更新を除いて、逐次的なフェッチの場合と同じである。分岐の正しい方向が、予測アレイICNXTBLKの分岐が誤予測されたその中のキャッシュブロックに書込まれる。

【0267】誤予測の間のパイプライン段階デコード2、実行、結果、用済は、図16で議論したものと実質的に同じである。

【0268】VI. 結論—スーパースカラ高性能特徴
マイクロプロセッサによって実行されるコードから実質的な並列性を引出すことで、本発明のマイクロプロセッサにおいて高性能が達成される。命令タグ付与、待合合わせステーション、転送を伴う結果バスによって、オペランドハザードが無関係の命令の実行を妨げることを防ぐ。マイクロプロセッサのリオーダーバッファ(ROB)は多数の利点を達成する。ROBは一種のレジスタ再指定を用いて、行先としての同じレジスタの異なる使用を区別し、そうでなければこれは並列性を損なってしまう恐れがある。リオーダーバッファにストアされたデータはマイクロプロセッサの予測実行状態を表わし、一方レジスタファイルにストアされたデータはマイクロプロセッサの現在の実行状態を表わす。さらに、リオーダーバッファは割込の際のプログラムの逐次的状態を守る。さらに、リオーダーバッファは、未解決の条件付分岐を越える実行を許可することによりさらなる並列性を可能にする。並列性はさらに、高いバンド幅の命令フェッチを与

えるオンボードの命令キャッシュ (ICACHE) によって、分岐の影響を最小にする分岐予測によって、そしてロードおよびストア動作に関する待ち時間を最小にするオンボードのデータキャッシュ (DCACHE) によってさらに促進される。

【0269】本発明のスーパースカラプロセッサは、いくつかの構成要素を共有することによってダイの空間を効率的に利用して、性能を向上する。より具体的には、マイクロプロセッサの整数ユニットおよび浮動小数点ユニットは、共通の、共有データ処理バス上にある。これらの機能ユニットは、同じデータ処理バスにやはり結合される複数の待合わせステーションを含む。整数および浮動小数点機能ユニットは、データ処理バス上の共通の分岐ユニットを共有する。さらに、整数および浮動小数点機能ユニットは、共通デコーダおよび共通ロード/ストアユニット530を共有する。内部アドレスデータ (IAD) バスは、本発明のマイクロプロセッサのいくつかの構成要素間での局所的通信を与える。

【0270】本発明のある好ましい特徴のみを、例示するために示したが、多くの変更および変形が起こるであろう。したがって、前掲の特許請求の範囲は本発明の真の精神に包含されるすべての変更および変形を含むと意図されることを理解されたい。

【図面の簡単な説明】

【図1】従来のスーパースカラマイクロプロセッサを示すブロック図である。

【図2】本発明の高性能スーパースカラマイクロプロセッサの一実施例の簡略化されたブロック図である。

【図3】本発明の高性能スーパースカラマイクロプロセッサの別の実施例の一部のより詳細なブロック図である。

【図4】本発明の高性能スーパースカラマイクロプロセッサの別の実施例の一部のより詳細なブロック図である。

【図5】本発明の高性能スーパースカラマイクロプロセッサの別の実施例の一部のより詳細なブロック図である。

る。

【図6】結果バスに対して調停している際に機能ユニットが受ける優先順位を表わす図である。

【図7】本発明のマイクロプロセッサにおける内部アドレスデータバス調停構成のブロック図である。

【図8】図3ないし図5のマイクロプロセッサの、逐次処理の間のそのパイプラインの複数の段階を通してのタイミング図である。

【図9】図8のタイミング図と類似しているが、分岐誤予測および回復が起こる際のタイミング図である。

【図10】本発明のスーパースカラマイクロプロセッサの別の実施例のブロック図の一部である。

【図11】本発明のスーパースカラマイクロプロセッサの別の実施例のブロック図の一部である。

【図12】図10および図11のマイクロプロセッサのレジスタファイル、リオーダバッファおよび整数コアのブロック図である。

【図13】図12のリオーダバッファのより詳細なブロック図である。

【図14】図10および図11のマイクロプロセッサが用いる一般化された機能ユニットのブロック図である。

【図15】図10および図11のマイクロプロセッサが用いる分岐機能ユニットのブロック図である。

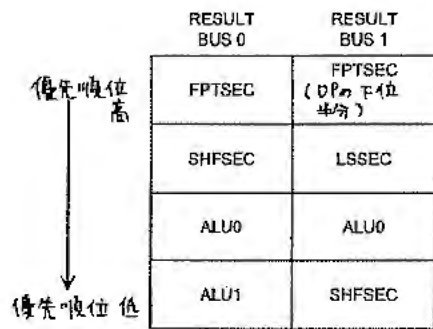
【図16】逐次実行の間の図10および図11のマイクロプロセッサの動作のタイミング図である。

【図17】分岐誤予測および回復の間の図10および図11のマイクロプロセッサの動作のタイミング図である。

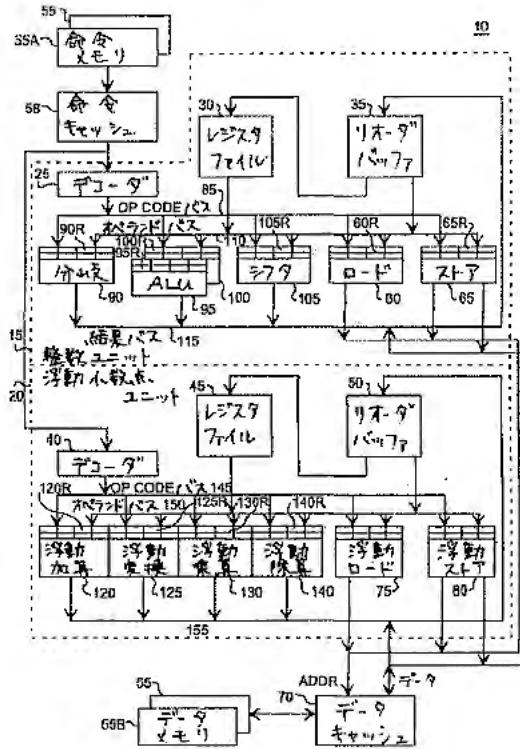
【符号の説明】

- 200 マイクロプロセッサ
- 205 命令キャッシュ
- 210 命令デコーダ
- 215 整数コア
- 225 浮動小数点コア
- 235 レジスタファイル
- 240 リオーダバッファ

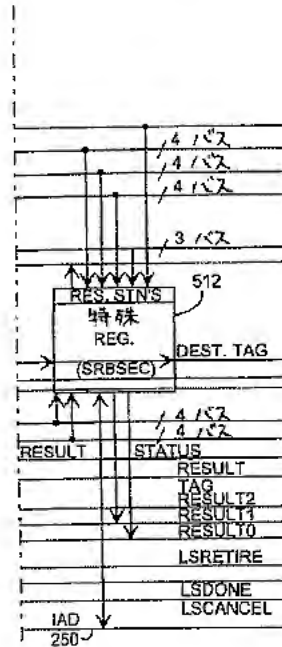
【図6】



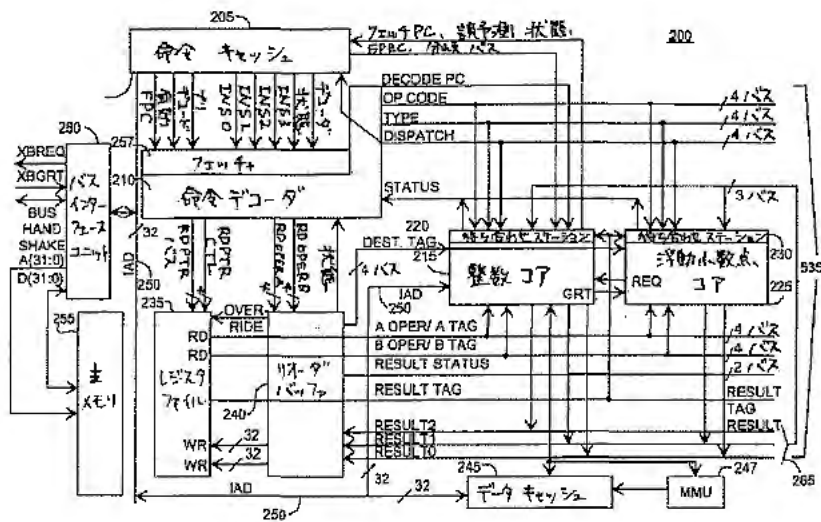
【図1】



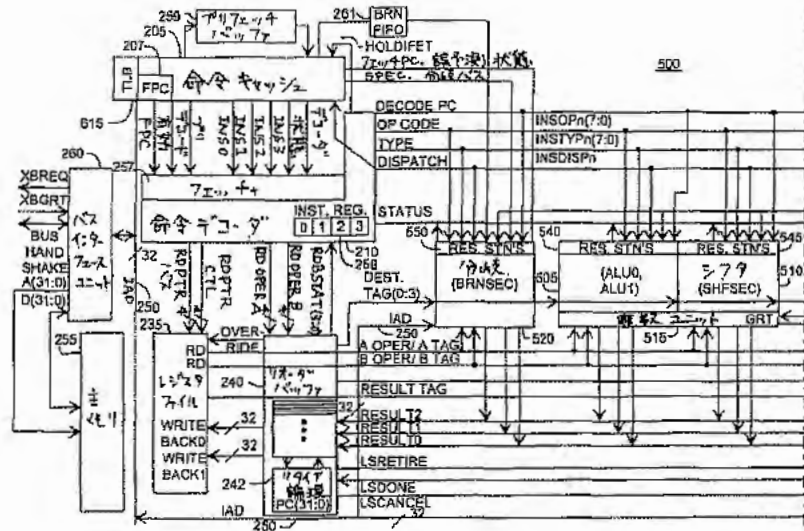
【図4】



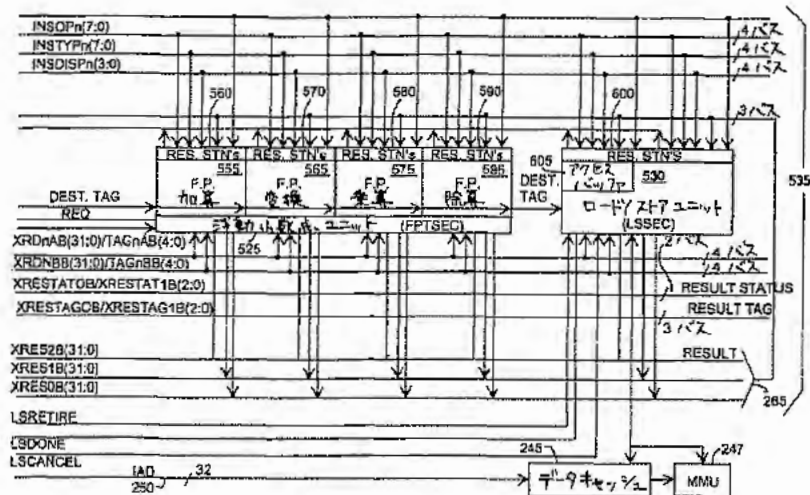
【図2】



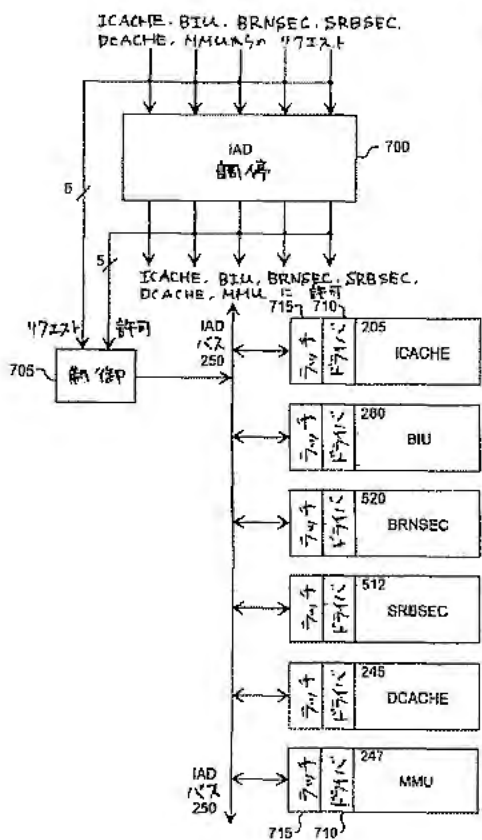
【図3】



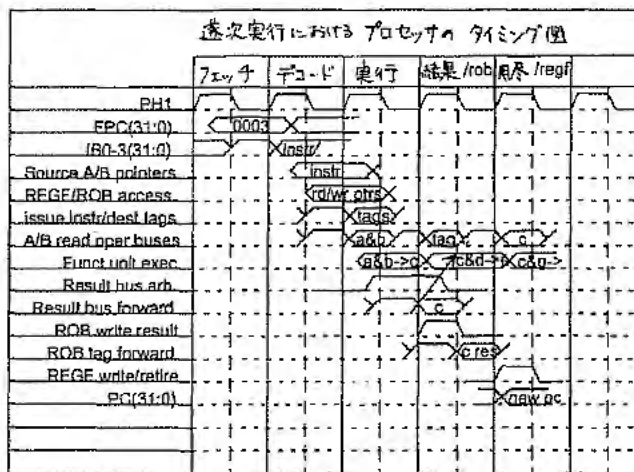
【図5】



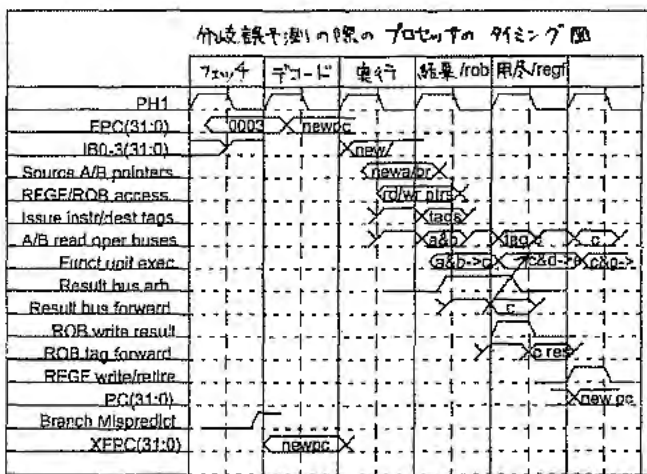
【図7】



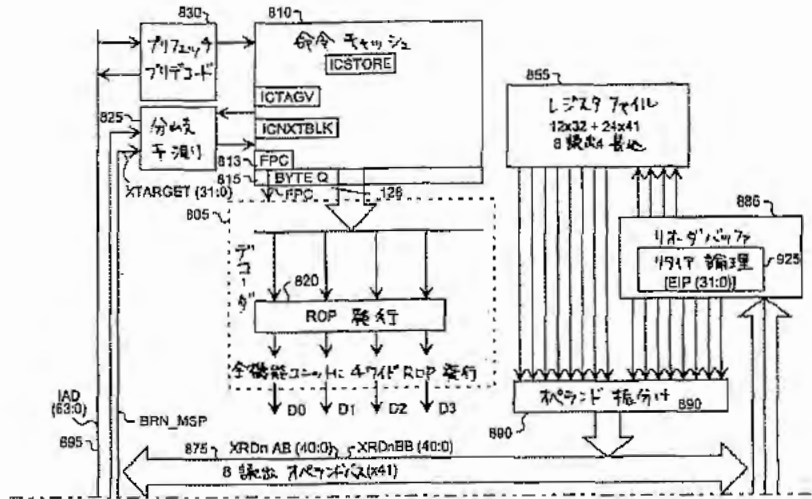
【図8】



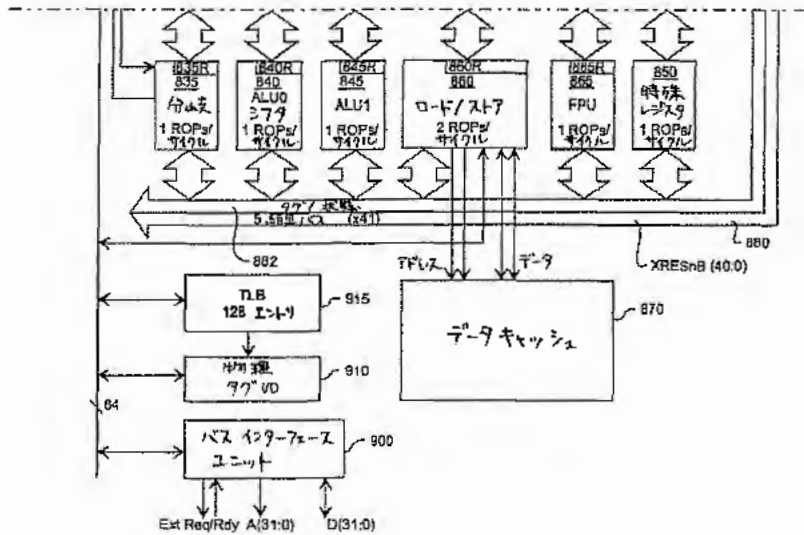
【図9】



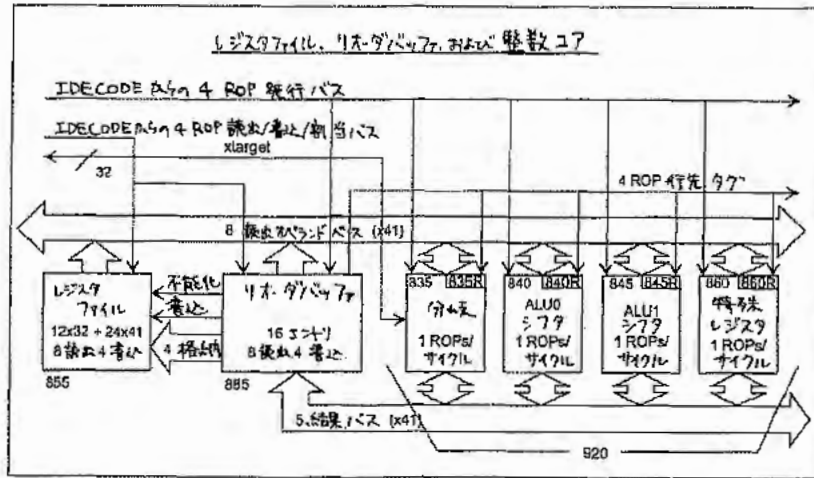
【図10】



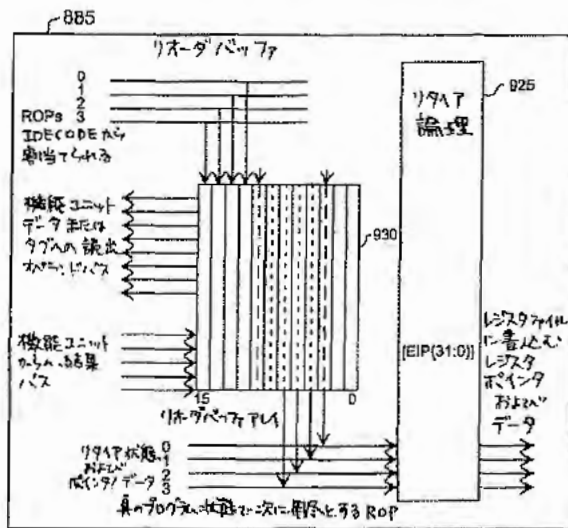
【図11】



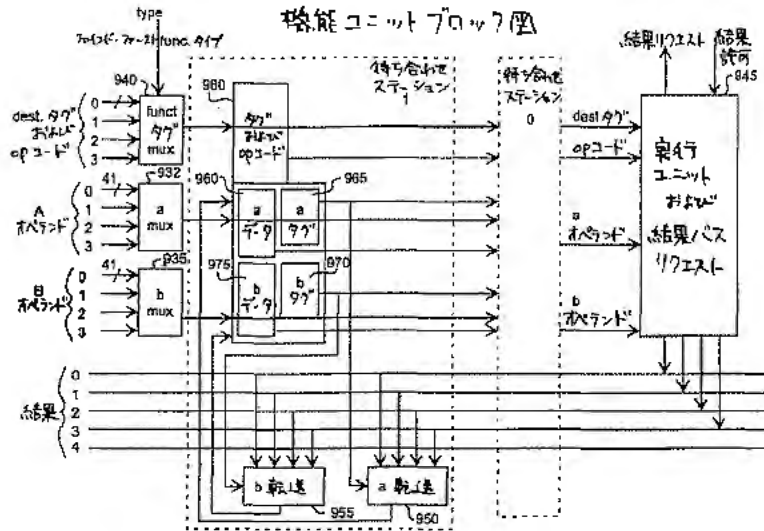
【図12】



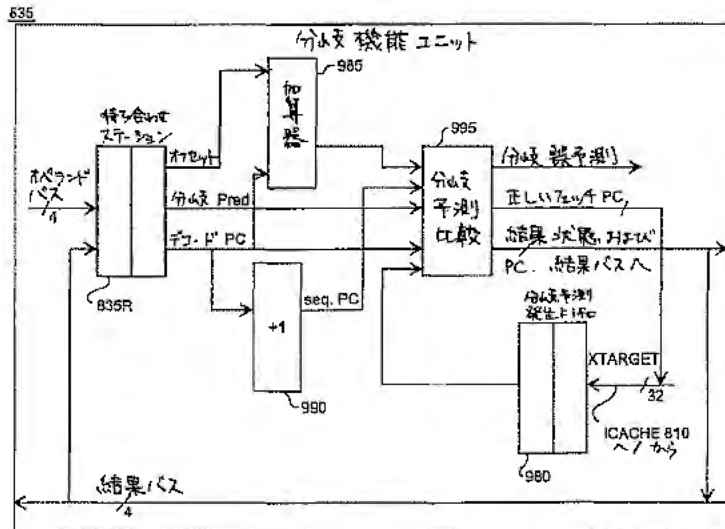
【図13】



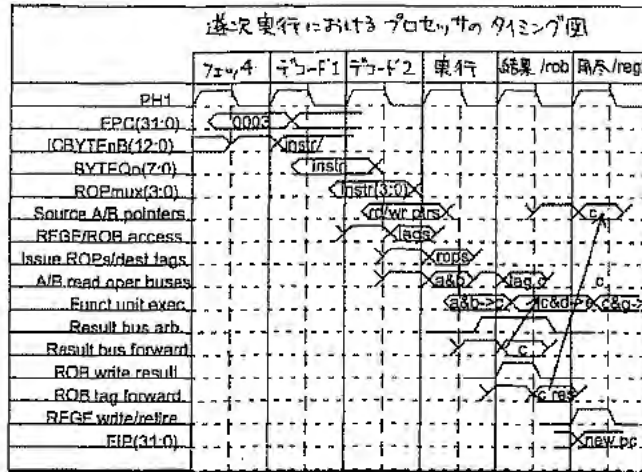
【図14】



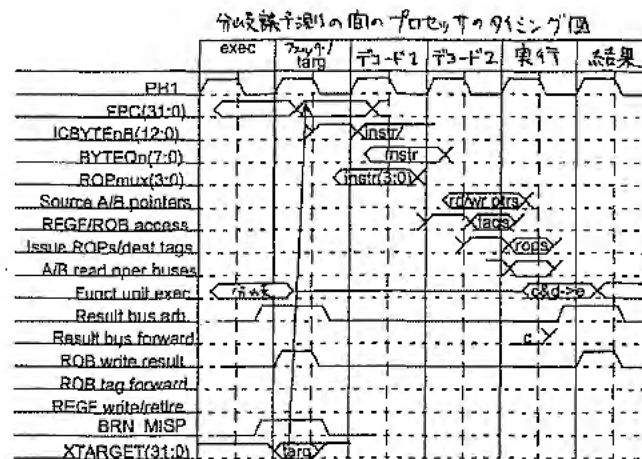
【図15】



【図16】



【図17】



フロントページの続き

(72)発明者 デイビッド・ピー・ウィット
 アメリカ合衆国、78759 テキサス州、オースティン、パスファインダー・ドライブ、6318

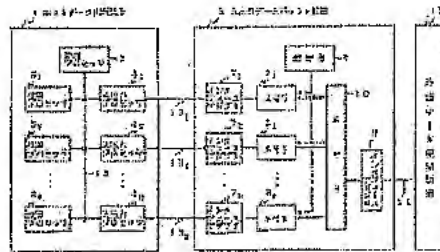
(72)発明者 ウィリアム・エム・ジョンソン
 アメリカ合衆国、78746 テキサス州、オースティン、クリスティ・ドライブ、102

DATA PROCESSING SYSTEM AND PARALLEL COMPUTER

Publication number: JP8106443 (A)
 Publication date: 1996-04-23
 Inventor(s): TAMURA YASUSHI; MATSUOKA HITOSHI +
 Applicant(s): HITACHI LTD +
 Classification:
 - international: **G06F13/12; G06F15/16; G06F15/163; G06F13/12; G06F15/16; (IPC1-7): G06F13/12; G06F15/163**
 - European:
 Application number: JP19940241097 19941005
 Priority number(s): JP19940241097 19941005

Abstract of JP 8106443 (A)

PURPOSE: To improve the data transfer speed and the difference in speed between a host data processor which has a slow input/output transfer speed and an external data storage device which has a fast in speed. CONSTITUTION: A host data processor 1 is provided with a managing processor 2, plural arithmetic processors 31 -3m , and plural input/output processors 41 -4n . An input/output data buffer device 5 is equipped with a control part 6, interface adapters 71 -7n and 8, plural memories 91 -9n , and a memory 10. The managing processor 2 receives a READ instruction or WRITE instruction from an arithmetic processor and selects plural input/output processors required for data input/output operation. Data transferred between the host data processor and external data storage device 11 are divided into plural parts, which are transferred in parallel between the selected input/output processors of the host data processor 1 and plural memories of the input/output data buffer device 5.



Data supplied from the *espacenet* database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-106443

(43) 公開日 平成8年(1996)4月23日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 15/163 13/12	3 4 0 B	7368-5E	G 0 6 F 15/ 16	3 1 0 V

審査請求 未請求 請求項の数3 OL (全6頁)

(21) 出願番号 特願平6-241097

(22) 出願日 平成6年(1994)10月5日

(71) 出願人 000005108

株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(72) 発明者 田村 靖
神奈川県秦野市堀山下1番地 株式会社日立製作所汎用コンピュータ事業部内

(72) 発明者 松岡 仁史
神奈川県秦野市堀山下1番地 株式会社日立製作所汎用コンピュータ事業部内

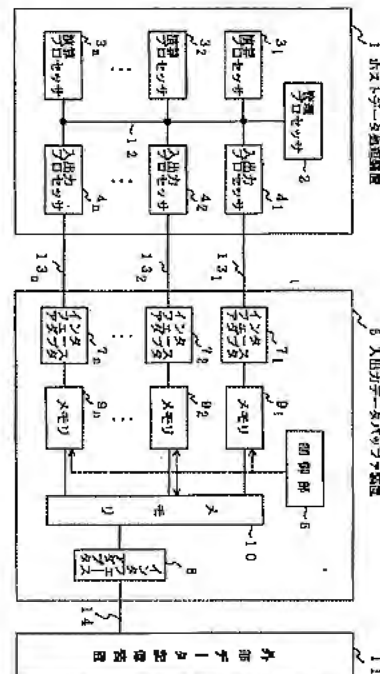
(74) 代理人 弁理士 鈴木 誠

(54) 【発明の名称】 データ処理システム及び並列コンピュータ

(57) 【要約】

【目的】 入出力転送速度の遅いホストデータ処理装置と高速な外部データ記憶装置間のデータ転送速度の向上、速度差の吸収を図る。

【構成】 ホストデータ処理装置1は管理プロセッサ2、複数の演算プロセッサ3₁~3_n、複数の入出力プロセッサ4₁~4_nを具備する。入出力データバッファ装置5は制御部6、インタフェースアダプタ7₁~7_n、8、複数のメモリ9₁~9_n及びメモリ10を具備する。管理プロセッサ2は、演算プロセッサからREAD命令あるいはWRITE命令を受け取り、データ入出力動作に必要な複数の入出力プロセッサを選択する。ホストデータ処理装置1と外部データ記憶装置11の間で転送されるデータは複数に分割し、ホストデータ処理装置1の上記選択された複数の入出力プロセッサと入出力データバッファ装置5の複数のメモリ間で並列に転送する。



【特許請求の範囲】

【請求項1】 複数の演算プロセッサと複数の入出力プロセッサを持つホストデータ処理装置と、外部データ記憶装置と、複数のバッファメモリを持ち、前記ホストデータ処理装置と前記外部データ記憶装置を相互に接続する入出力データバッファ装置とからなり、

前記ホストデータ処理装置の任意演算プロセッサと前記外部データ記憶装置との間で入出力するデータを複数に分割し、前記ホストデータ処理装置の複数の入出力プロセッサと前記入出力データバッファ装置の複数のバッファメモリとの間で並列に転送することを特徴とするデータ処理システム。

【請求項2】 請求項1記載のデータ処理システムにおいて、前記ホストデータ処理装置は、演算プロセッサからのデータ入出力要求に応じ、当該演算プロセッサと前記外部データ記憶装置との間で入出力するデータの分割数及び該分割数分の使用可能な入出力プロセッサを決定する管理プロセッサを有することを特徴とするデータ処理システム。

【請求項3】 各々独立に動作可能な複数の演算プロセッサと複数の入出力プロセッサ、及び、演算プロセッサが外部装置との間で入出力するデータの分割数及び該分割数分の使用可能な入出力プロセッサを決定する管理プロセッサを具備し、任意の演算プロセッサが外部装置との間で入出力するデータを複数に分割し、複数の入出力プロセッサを使用して並列に入出力することを特徴とする並列コンピュータ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ホストデータ処理装置と外部データ記憶装置間のデータ転送の速度差を吸収するのに好適なデータ処理システム及び並列コンピュータに関するものである。

【0002】

【従来技術】従来、ホストコンピュータに代表されるデータ処理装置と、磁気ディスク等の外部データ記憶装置との間は直接接続しており、そのデータ転送速度は両者のうちどちらか遅い方の転送速度に制限されていた。これの改善策としては、例えば特開平2-93849号公報に記載のように、ホストコンピュータと外部データ記憶装置との間にバッファを設ける方法がある。これにより、ホストコンピュータと外部データ記憶装置とのデータ転送の速度差の吸収及び外部データ記憶装置の効率的な運用が可能となる。

【0003】

【発明が解決しようとする課題】ところで、上記の従来技術は、ホストコンピュータ側のデータ転送速度が外部データ記憶装置よりも速いということ、及びホストコンピュータ側と外部データ記憶装置との転送バスは一つでシリアル転送を前提としている。

【0004】一方、最近のデータ処理装置の動向として並列又は超並列コンピュータが注目されている。超並列コンピュータの場合、1プロセッサの処理能力が抑えられることやSCSI等の標準入出力インタフェースの採用等の点で、外部データ記憶装置との入出力転送速度の限界が予想され、高速の外部データ記憶装置が直接接続できないという問題がある。

【0005】本発明の目的は、ホストデータ処理装置に高速データ転送が可能な外部データ記憶装置を接続する場合、両機器のデータ転送の速度差を吸収し、高速なデータ転送を可能とするデータ処理システムを提供することにある。

【0006】本発明の他の目的は、複数のプロセッサからなる並列コンピュータにおいて、個々のプロセッサの処理能力が抑えられる場合でも外部装置と高速にデータの入出力を可能とすることにある。

【0007】

【課題を解決するための手段】本発明のデータ処理システムは、複数の演算プロセッサ及び複数の入出力プロセッサを持つホストデータ処理装置と、外部データ記憶装置と、複数のバッファメモリを持ち、ホストデータ処理装置の間に接続される入出力データバッファ装置からなり、ホストデータ処理装置の任意演算プロセッサと外部データ記憶装置との間のデータの入出力を、データ処理装置の複数の入出力プロセッサと入出力データバッファ装置の複数のバッファメモリを使用して並列に行うことを特徴とする。

【0008】本発明の並列コンピュータは、各々独立に動作可能な複数の演算プロセッサと複数の入出力プロセッサ、及び、演算プロセッサが外部装置との間で入出力するデータの分割数及び該分割数分の使用可能な入出力プロセッサを決定する管理プロセッサを具備し、任意の演算プロセッサが外部装置との間で入出力するデータを複数に分割し、複数の入出力プロセッサを使用して並列に入出力することを特徴とする。

【0009】

【作用】ホストデータ処理装置の或る演算プロセッサが外部データ記憶装置からデータの読み込みを行う場合、外部データ記憶装置から入出力データバッファ装置に転送されたデータは、複数のデータに分割されて、各々、複数のバッファメモリに格納される。これら複数のバッファメモリの各分割されたデータは、ホストデータ処理装置の複数の入出力プロセッサに並列に転送され、当該演算プロセッサに読み込まれる。同様に、ホストデータ処理装置の或る演算プロセッサから外部データ記憶装置へデータの書き込みを行う場合は、該データが複数に分割され、各々、複数の入出力プロセッサから並列に入出力データバッファ装置に転送されて、一旦複数のバッファメモリに格納され、それらのデータが統合されて外部データ記憶装置に転送される。

【0010】

【実施例】以下、本発明の一実施例を図面により具体的に説明する。

【0011】図1は、本発明のデータ処理システムの一実施例の全体構成図である。図1において、ホストデータ処理装置1は並列コンピュータで、管理プロセッサ2、複数の演算プロセッサ $3_1 \sim 3_n$ 、複数の入出力プロセッサ $4_1 \sim 4_n$ からなり、各プロセッサはデータ伝送路12で接続され、プロセッサ間で相互にデータ転送が可能となっている。管理プロセッサ2は演算プロセッサ $3_1 \sim 3_n$ 及び入出力プロセッサ $4_1 \sim 4_n$ の動作を管理し、該管理プロセッサ2の制御下で、各演算プロセッサ及び各入出力プロセッサがそれぞれ独立に動作する。なお、管理プロセッサ数と入出力プロセッサ数は同じである必要はない。また、演算プロセッサ $3_1 \sim 3_n$ のいずれかが管理プロセッサを兼ねてもよい。

【0012】入出力データバッファ装置5は制御部6、複数のインタフェースアダプタ $7_1 \sim 7_n$ 、インタフェースアダプタ8、メモリ(バッファメモリ) $9_1 \sim 9_n$ 、メモリ10からなる。インタフェースアダプタ $7_1 \sim 7_n$ 及びメモリ $9_1 \sim 9_n$ 及びはホストデータ処理装置1の入出力プロセッサ $4_1 \sim 4_n$ に対応して設けられ、入出力プロセッサ $4_1 \sim 4_n$ とインタフェースアダプタ $7_1 \sim 7_n$ とはそれぞれデータ伝送路 $13_1 \sim 13_n$ を介して個別に接続されている。一方、インタフェースアダプタ8はデータ伝送路14を介して外部データ記憶装置11と接続されている。メモリ10は少なくともメモリ $9_1 \sim 9_n$ のトータルの記憶容量を有し、メモリ $9_1 \sim 9_n$ とデータの分配/統合を行う。制御部6は、該入出力データバッファ装置5の全体の制御、メモリ $9_1 \sim 9_n$ 及びメモリ10の書き込み/読み出し動作の制御を行う。

【0013】以下に、図1の構成において、ホストデータ処理装置(並列コンピュータ)1のある演算プロセッサ 3_i が外部データ記憶装置11からデータを読み込む場合の動作(READ動作)、逆にデータ外部記憶装置11へデータを書き込む場合の動作(WRITE動作)を説明する。

【0014】図2は、ホストデータ処理装置1の演算プロセッサ 3_i が外部データ記憶装置11からデータを読み込む場合のデータ転送処理手順を示すシーケンス図である。

【0015】データ処理装置1の演算プロセッサ 3_i が外部データ記憶装置11からデータを読み込む場合、演算プロセッサ 3_i は、管理プロセッサ2に対しREAD命令を発行する。これを受けて管理プロセッサ2は、外部データ記憶装置11との入出力処理で使用する1あるいは複数の入出力プロセッサを選択し、その入出力プロセッサの数及び入出力プロセッサの番号をREAD命令に追加指定する。図3は、READ命令のフォーマットの一例を示す図である。該命令フォーマットは、REA

D命令コマンドヘッド301、転送元プロセッサ番号302、転送先装置番号303、入出力プロセッサ数304、入出力プロセッサ番号305、READデータ指定506から構成される。このうち、入出力プロセッサ数304及び入出力プロセッサ番号305が、管理プロセッサ2で追加指定される情報である。即ち、管理プロセッサ2では、読み込むデータ量、1つの入出力プロセッサのデータ転送速度、相手外部データ記憶装置11のデータ転送速度などから入出力プロセッサ数304を決定し、この数だけの入出力プロセッサを、入出力プロセッサ $4_1 \sim 4_n$ 内の使用中でないものから選択して入出力プロセッサ番号305に設定する。ここでは、選択された入出力プロセッサを $4_1 \sim 4_k$ とする。転送元プロセッサ番号302はREAD命令を発行した演算プロセッサ 3_i の番号を示す。転送先装置番号303は、READ命令送出先である外部データ記憶装置11に定義された番号である。また、READデータ指定506は、外部データ記憶装置11に読み込むデータを指示するための情報(開始アドレス、転送データ量など)である。

【0016】管理プロセッサ2は、選択した入出力プロセッサ $4_1 \sim 4_k$ の一つ(ここでは 4_1 とする)に対してREAD命令を転送する。入出力プロセッサ 4_1 は、そのREAD命令をデータ伝送路 13_1 を介して、入出力データバッファ装置5に転送する。入出力データバッファ装置5は、転送されたREAD命令をそのままインタフェースアダプタ 7_1 、メモリ 9_1 、メモリ10、インタフェースアダプタ8、データ伝送路14を介して外部データ記憶装置11に転送する。

【0017】READ命令を受けた外部データ記憶装置11は、指定されたデータを読み出し、入出力データバッファ装置5に転送する。この転送データには、READ命令で指定された入出力プロセッサ数及び番号が付加されている。図4は、外部データ記憶装置11から転送されるデータのフォーマットの一例を示す図である。該データフォーマットはデータ転送ヘッド401、転送先プロセッサ番号402、転送元装置番号403、入出力プロセッサ数404、入出力プロセッサ番号405、データ本体406から構成される。

【0018】外部データ記憶装置11からデータを転送された入出力データバッファ装置5は、一旦、該データをメモリ10に格納した後、制御部6の制御下で、メモリ10からデータを読み出し、該データに付加された入出力プロセッサ数404及び入出力プロセッサ番号405に従い、入出力プロセッサ $4_1 \sim 4_k$ に対応するメモリ $9_1 \sim 9_k$ に、該データを分割して格納する。次に、入出力データバッファ装置5は、制御部6の制御下で、メモリ $9_1 \sim 9_k$ からデータを並列に読み出し、インタフェースアダプタ $7_1 \sim 7_k$ 、データ伝送路 $13_1 \sim 13_k$ を介して、ホストデータ処理装置1の指定された複数の入出力プロセッサ $4_1 \sim 4_k$ に並列に転送する。図5は、入出力

データバッファ装置5からホストデータ処理装置1の各入出力プロセッサ $4_1 \sim 4_k$ に転送されるデータのフォーマットの一例を示す図である。該データフォーマットはデータ転送ヘッダ501、転送先プロセッサ番号502、転送元装置番号503、分割データ番号504、分割データ本体505から構成される。ここで、分割データ番号504は分割されたデータの順序を示す番号であり、これにより分割されたデータの順序性が保証される。

【0019】入出力データバッファ装置5からデータを転送されたホストデータ処理装置1の入出力プロセッサ $4_1 \sim 4_k$ は、それぞれ該データ(分割データ)を管理プロセッサ2に転送する。管理プロセッサ2は、入出力プロセッサ $4_1 \sim 4_k$ からそれぞれ分割データを受信した後、その分割データ番号504にもとづいてデータを統合し、READ命令発行元の演算プロセッサ 3_i に転送する。

【0020】図6は、ホストデータ処理装置1の演算プロセッサ 3_i が外部データ記憶装置11へデータを書き込む場合のデータ転送処理手順を示すシーケンス図である。

【0021】ホストデータ処理装置1の演算プロセッサ 3_i が外部データ記憶装置11へデータを書き込む場合、演算プロセッサ 3_i は管理プロセッサ2に対しWRITE命令を発行する。図7は、WRITE命令のフォーマットの一例を示す図である。該命令フォーマットはWRITE命令コマンドヘッダ701、転送元プロセッサ番号702、転送元装置番号703、データ本体704から構成される。

【0022】WRITE命令を受けた管理プロセッサ2は、外部データ記憶装置11にデータを転送するのに使用する1つあるいは複数の入出力プロセッサを選択する。ここでは、入出力プロセッサ $4_1 \sim 4_k$ を選択とする。なお、選択の基準はREAD命令の場合と同様である。管理プロセッサ2は、選択した入出力プロセッサの数にデータを分割して、WRITE命令を各入出力プロセッサ $4_1 \sim 4_k$ に転送する。図8は、管理プロセッサ2から各入出力プロセッサ $4_1 \sim 4_k$ に発行されるWRITE命令のフォーマットの一例を示す図である。該命令フォーマットはWRITE命令コマンドヘッダ801、転送元プロセッサ番号802、転送先装置番号803、分割データ番号804、分割データ本体805から構成される。各入出力プロセッサ $4_1 \sim 4_k$ は管理プロセッサ2から受け取ったWRITE命令を、データ伝送路 $13_1 \sim 13_k$ を介して入出力データバッファ装置5に対し並列に転送する。

【0023】入出力データバッファ装置5は、ホストデータ処理装置1の入出力プロセッサ $4_1 \sim 4_k$ から転送された各分割データをインタフェースアダプタ $7_1 \sim 7_k$ を介して並列にメモリ $9_1 \sim 9_n$ に格納する。次に、入出力

データバッファ装置5は、制御部6の制御下で、該メモリ $9_1 \sim 9_n$ の各分割データを読み出し、WRITE命令の分割データ番号にもとづいて統合してメモリ10に格納後、該メモリ10から読み出し、インタフェースアダプタ8、データ伝送路14を介して、外部データ記憶装置11へ転送を行う。その時のデータのフォーマットは、図7に示したものをを用いればよい。

【0024】以上、説明したように、図1の構成のデータ処理システムによれば、ホストデータ処理装置(並列コンピュータ)1は、複数の入出力プロセッサ $4_1 \sim 4_n$ を用いて、入出力データバッファ装置5との間で並列にデータの入出力を行うので、データ転送の高速化を図ることが可能になる。また、該ホストデータ処理装置1の個々の入出力プロセッサ $4_1 \sim 4_n$ の転送速度が遅く、これに対してデータ外部記憶装置11の転送速度が速い場合でも、該ホストデータ処理装置1とデータ外部記憶装置11との間に設けた入出力データバッファ装置5により、データ転送の速度差を吸収することができる。

【0025】なお、本発明は図示の実施例に限定されるものではなく、次のように変更して実施することもできる。例えば、外部データ記憶装置11に識別番号を持たせ、入出力データバッファ装置5に外部データ記憶装置11用のメモリ10を複数設けることにより、入出力データバッファ装置5に複数台の外部データ記憶装置11の接続を可能とすることができる。また、ホストデータ処理装置1、入出力データバッファ装置5、外部データ記憶装置11を接続するデータ伝送路は、LAN、WAN等の様々な形態のネットワークを適用することも可能である。

【0026】

【発明の効果】以上、説明したように、本発明のデータ処理システムによれば、ホストデータ処理装置の各入出力プロセッサの転送速度が遅くても、複数の入出力プロセッサに対応する複数のバッファメモリを持つ入出力データバッファ装置を用いることにより、高速の外部データ記憶装置を接続することができる。また、ホストデータ処理装置に用いる並列コンピュータは、複数の入出力プロセッサで外部装置と並列にデータの入出力を行うことにより、データ入出力の高速化を図ることができる。

【図面の簡単な説明】

【図1】本発明の一実施例のデータ処理システムの構成図である。

【図2】図1で、ホストデータ処理装置が外部データ記憶装置からデータを読み込む場合のデータ転送処理シーケンスを示す図である。

【図3】READ命令のフォーマットの一例を示す図である。

【図4】外部データ記憶装置がデータを転送する場合のデータフォーマットの一例を示す図である。

【図5】入出力データバッファ装置がホストデータ処理

装置に分割されたデータを転送する場合のデータフォーマットの一例を示す図である。

【図6】図1で、ホストデータ処理装置が外部データ記憶装置へデータを書き込む場合のデータ転送処理シーケンスを示す図である。

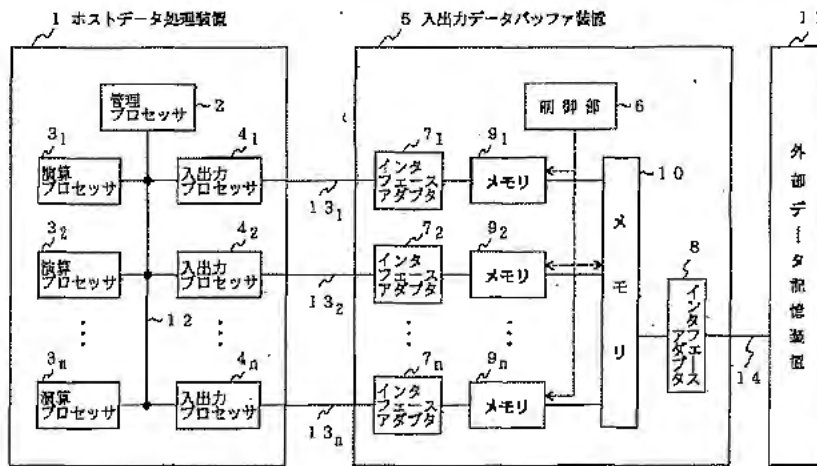
【図7】演算プロセッサが管理プロセッサに転送するWRITE命令のフォーマットの一例を示す図である。

【図8】演算プロセッサが入出力プロセッサに転送するWRITE命令のフォーマットの一例を示す図である。

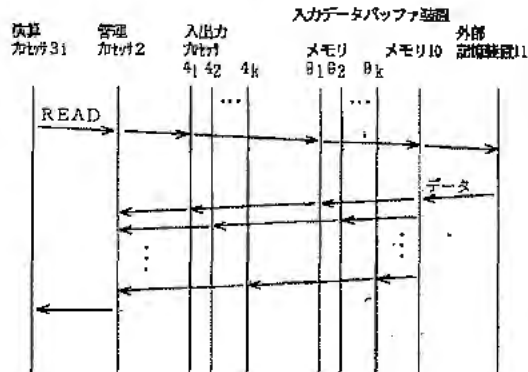
【符号の説明】

- 1 ホストデータ処理装置 (並列コンピュータ)
- 2 管理プロセッサ
- 3₁~3_n 演算プロセッサ
- 4₁~4_n 入出力プロセッサ
- 5 入出力データバッファ装置
- 6 制御部
- 7₁~7_n、8 インタフェースアダプタ
- 9₁~9_n バッファメモリ
- 10 外部データ記憶装置

【図1】



【図2】



【図3】

301	302	303	304	305	306
READ 命令	転送元 プロセッサ 番号	転送先 装置番号	入出力 プロセッサ 番号	入出力 プロセッサ 番号	READ データ指定

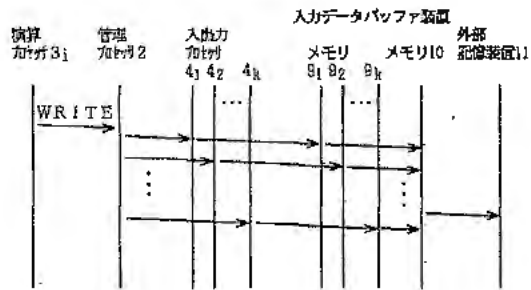
【図4】

401	402	403	404	405	406
データ転送 ヘッダ	転送先 プロセッサ 番号	転送先 装置番号	入出力 プロセッサ 番号	入出力 プロセッサ 番号	データ本体

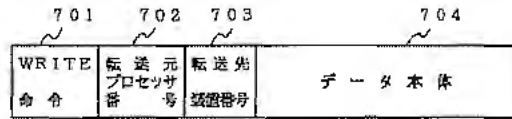
【図5】

501	502	503	504	505
データ転送 ヘッダ	転送先 プロセッサ 番号	転送先 装置番号	分割 データ順	分割データ本体

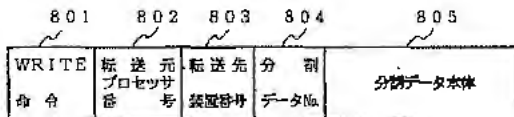
【図6】



【図7】



【図8】



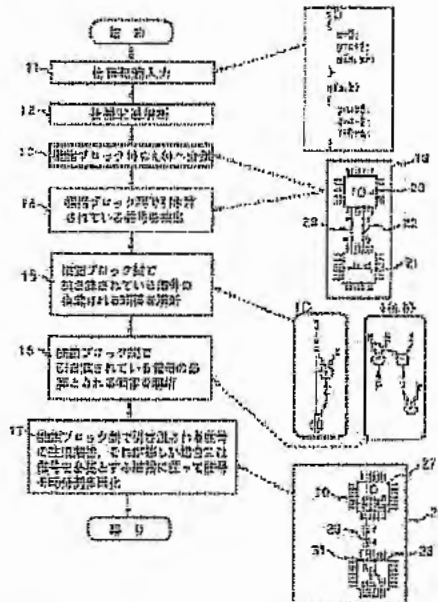
LOGIC CIRCUIT DIVISION SYSTEM

Publication number: JP9237284 (A)
Publication date: 1997-09-09
Inventor(s): YAMAUCHI SO +
Applicant(s): NEC CORP; GIJUTSU KENKYU KUMIAI SHINJOHO +
Classification:
 - international: G06F17/50; H01L21/82; H03K19/00; G06F17/50; H01L21/70; H03K19/00; (IPC-7): G06F17/50; H01L21/82; H03K19/00
 - European:
Application number: JP19960042672 19960229
Priority number(s): JP19960042672 19960229

Also published as:
 JP2845794 (B2)

Abstract of JP 9237284 (A)

PROBLEM TO BE SOLVED: To provide a logic circuit division system by which can the logic circuit of a large scale with plural LSI is automatically realized without manual intervention. **SOLUTION:** The logic circuit is divided with a function block (macro or function unit) as a unit based on the specification description 18 of the logic circuit, and a function (f) mounting chip 20 and a function (g) mounting chip 21, which are division circuits, are generated. Sides where signals are generated in the respective mounting chips 20 and 21 are analyzed and an order that the signals are generated is checked. Sides where the signals are received are analyzed and an order for requiring the signals is checked. A multiplex circuit 30 basically and time-divisionally multiplexes the signals in order that the signals are generated.; When the generation time of the signals is equal, the reception-side executes time division/multiplex in accordance with the order than the signals are required.



Data supplied from the *espacenet* database — Worldwide

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-237284

(43) 公開日 平成9年(1997)9月9日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 17/50			G 0 6 F 15/60	6 5 8 A
H 0 1 L 21/82			H 0 3 K 19/00	D
H 0 3 K 19/00			H 0 1 L 21/82	C

審査請求 有 請求項の数 4 O L (全 6 頁)

(21) 出願番号 特願平8-42672
 (22) 出願日 平成8年(1996)2月29日

(71) 出願人 000004237
 日本電気株式会社
 東京都港区芝五丁目7番1号
 (71) 出願人 593162453
 技術研究組合新情報処理開発機構
 東京都千代田区東神田2-5-12 龍角散ビル8階
 (72) 発明者 山内 宗
 東京都港区芝五丁目7番1号 日本電気株式会社内
 (74) 代理人 弁理士 松浦 兼行

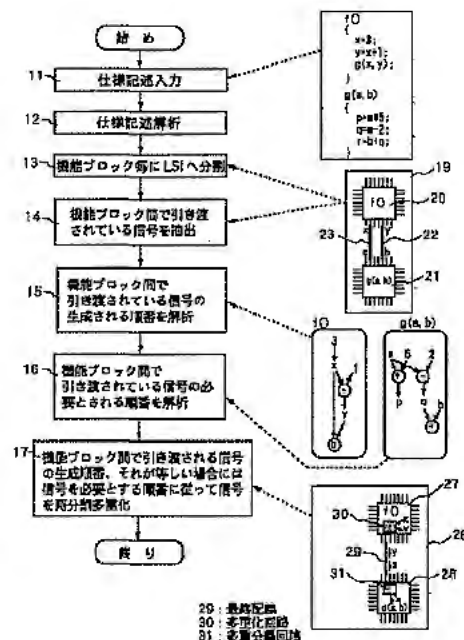
(54) 【発明の名称】 論理回路分割方式

(57) 【要約】

【課題】 大規模論理回路の人手による回路分割は困難である。従来のグラフ分割手法も、論理回路が大規模になると処理時間、分割結果の品質(カット数)の点で満足のいく結果が得られない。

【解決手段】 論理回路の仕様記述18に基づき機能ブロック(マクロあるいは関数単位)を単位として論理回路を分割して分割回路である関数f実装チップ20と関数g実装チップ21を生成する。次に、各実装チップ20、21のそれぞれにおいて信号を生成している側を解析し、信号が生成されている順番を調べる。次に、信号を受けている側を解析し、信号を必要としている順番を調べる。そして、多重化回路30は、基本的には信号を生成している順番に従って信号を時分割多重化するが、信号の生成時刻が等しい場合には、受信側が信号を必要としている順番に従って時分割多重化する。

本発明の一実施の形態の動作説明図



【特許請求の範囲】

【請求項1】 複数の集積回路で実現する論理回路の仕様にに基づき、機能ブロックを単位として前記論理回路を分割し分割回路を生成する分割回路生成手段と、前記分割回路のそれぞれにおいて、信号を生成している部分を解析し、信号が生成されている時間的な順番を解析する第1の解析手段と、前記分割回路のそれぞれにおいて、信号を受けている部分を解析し、信号が必要となる時間的順序関係を解析する第2の解析手段と、前記分割回路のそれぞれにおいて、前記第1の解析手段により解析された信号の生成順番に従って、該信号の生成順番が等しいときには前記第2の解析手段により解析された信号を必要とする順番に従って信号を時分割多重化して出力する多重化手段とを有することを特徴とする論理回路分割方式。

【請求項2】 前記多重化手段は、時分割多重するそれぞれ複数ビットである複数の入力信号を、各入力信号のビット数よりも少ないビット数で順番に所定ビットずつ出力する手段であることを特徴とする請求項1記載の論理回路分割方式。

【請求項3】 前記多重化手段は、多重化された出力信号と共に、その信号名を示す第1の信号と、該出力信号が有効であるかどうかを示す第2の信号をそれぞれ付随させて出力することを特徴とする請求項1記載の論理回路分割方式。

【請求項4】 前記多重化手段は、多重化された出力信号と共に、その信号の順番を示す第3の信号と、該出力信号が有効であるかどうかを示す第2の信号をそれぞれ付随させて出力することを特徴とする請求項1記載の論理回路分割方式。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は論理回路分割方式に係り、特に大規模の論理回路を複数の大規模集積回路(LSI)で実現する際の論理回路分割方式に関する。

【0002】

【従来の技術】従来、論理回路を複数のLSIで実現する場合には、LSI間にまたがる配線の本数が少なくなるように、人間が回路を分割したり、あるいは、「1970年2月、ザ・ベル・システム・テクニカル・ジャーナル、第49巻、第2号、291頁～307頁(The Bell System Technical Journal, vol.49, No.2, pp.291-307 (Feb.1970))」に開示されている「アン・エフィシエント・ヒューリスティック・プロシージャ・フォー・パーティショニング・グラフス(An Efficient Heuristic Procedure for Partitioning Graphs)」という論文や、「1982年、プロシージャ・オブ・第19回・デザイン・オートメーション・コンファレンス、175頁～181頁(Proceedings of 19th Design Automat

ion Conference pp.175-181(1982))」に開示されている「ア・リニアertime・ヒューリスティクス・フォー・インブルーピング・ネットワーク・パーティションズ(A Linear-Time Heuristic for Improving Network Partitioning)」という論文に示されるように、グラフ理論的なアプローチとして、グラフのカット数を少なくするヒューリスティクスを利用したグラフ分割手法を用いたりしていた。

【0003】

【発明が解決しようとする課題】しかるに、人間が回路を分割する方法は、論理回路の大規模化に伴い時間が極めてかかる上にミスも発生し易くなり困難である。また、従来のグラフ分割手法も、論理回路が大規模になると処理時間、分割結果の品質(カット数)の点で満足いく結果が得られないという問題がある。

【0004】本発明は上記の点に鑑みなされたもので、大規模論理回路を人手を介さず、自動的に複数のLSIで実現できる論理回路分割方式を提供することを目的とする。

【0005】

【課題を解決するための手段】本発明は上記の目的を達成するため、複数の集積回路で実現する論理回路の仕様にに基づき、機能ブロックを単位として論理回路を分割し分割回路を生成する分割回路生成手段と、分割回路のそれぞれにおいて、信号を生成している部分を解析し、信号が生成されている時間的な順番を解析する第1の解析手段と、分割回路のそれぞれにおいて、信号を受けている部分を解析し、信号が必要となる時間的順序関係を解析する第2の解析手段と、分割回路のそれぞれにおいて、第1の解析手段により解析された信号の生成順番に従って、信号の生成順番が等しいときには第2の解析手段により解析された信号を必要とする順番に従って信号を時分割多重化して出力する多重化手段とを備えるようにしたものである。

【0006】この発明では、まず分割回路生成手段により、論理回路の仕様にに基づき機能ブロック(マクロあるいは関数単位)を単位として論理回路を分割して分割回路を生成し、第1の解析手段により各分割回路のそれぞれにおいて信号を生成している側を解析し、信号が生成されている順番を調べる。次に、第2の解析手段により、信号を受けている側を解析し、信号を必要としている順番を調べる。

【0007】そして、多重化手段は、基本的には信号を生成している順番に従って信号を時分割多重化するが、信号の生成時刻が等しい場合には、受信側が信号を必要としている順番に従って時分割多重化する。これにより、この発明では、分割回路をLSIで構成する際に、時分割多重化信号を伝送する信号線でLSI間を接続できる。

【0008】ここで、信号が生成されてから必要とされ

るまでの時間に余裕がある場合は、多重化手段を、時分割多重化するそれぞれ複数ビットである複数の入力信号を、各入力信号のビット数よりも少ないビット数で順番に所定ビットずつ出力する手段とすることにより、信号伝送のビット幅自体を削減することができる。

【0009】また、多重化手段を、多重化された出力信号と共に、その信号名を示す第1の信号と、出力信号が有効であるかどうかを示す第2の信号をそれぞれ付随させて出力したり、あるいは、多重化された出力信号と共に、その信号の順番を示す第3の信号と、出力信号が有効であるかどうかを示す第2の信号をそれぞれ付随させて出力することにより、信号の生成される時間的な順番が動的に変化したり、信号を必要とする時間的な順番が動的に変化する場合に、対処することができる。

【0010】

【発明の実施の形態】次に、本発明の実施の形態について図面と共に説明する。図1は本発明の論理回路分割方式の一実施の形態の動作説明図である。同図において、まず、C言語のような高級言語で記述された仕様記述18を入力する(ステップ11)。

【0011】次に、入力した仕様記述18を仕様記述解析し(ステップ12)、続いて機能ブロック毎に初期分割状態19の状態に(LSIへ)分割する(ステップ13)。図1の初期分割状態19の例では、仕様記述18に従い、関数fと関数gをそれぞれ関数f実装チップ20と関数g実装チップ21にて実現している。

【0012】続いて、機能ブロック間で引き渡されている信号を抽出する(ステップ14)。すなわち、関数間の引数がどれであるかを調べ、分割されたチップ間の信号として割り当てる。ここでは、関数fから関数gへ渡す引数(関数f側から関数gを呼ぶときの引数として変数xと変数y、関数g側では仮引数として変数aと変数b)については、引数x用配線23と引数y用配線22を割り当てる。

【0013】次に、機能ブロック間で引き渡されている信号の生成される順番を解析する(ステップ15)。すなわち、仕様記述18中の信号生成の時間的順序関係を解析する。ここでは、データ依存木25に示すように、まず、変数xの値が求まり、その後に変数yの値が定まることがわかる。

【0014】次に、機能ブロック間で引き渡されている信号の必要とされる順番を解析する(ステップ16)。すなわち、仕様記述18中の信号が必要となる時間的順序関係を解析する。ここでは、データ依存木24に示すように、まず変数aの値が必要となり、その後に変数bの値が必要となることわかる。

【0015】最後に、機能ブロック間で引き渡される信号の生成順番が等しい場合には、信号を必要とする順番に従って信号を時分割多重化する(ステップ17)。すなわち、ステップ15での信号生成順解析とステップ1

6での信号要求順解析の解析結果に従って信号を時分割多重化し、それが等しい場合にはステップ16の信号要求順解析によって得た信号を、必要とする順番に従って時分割多重化する。

【0016】ここでは、ステップ15の信号生成順解析によって変数xの値が変数yの値よりも先に定まることが分かったので、論理分割結果26に示すように、最終関数fの実装チップ27と最終関数gの実装チップ28の間の信号は変数xを先に変数yを後に送るという形で時分割多重化してチップ間にまたがる最終配線29の信号線数を削減する。

【0017】その際に、最終関数f実装チップ27には変数xと変数yの値を時分割多重化するための多重化回路30が必要となる。同様に、最終関数g実装チップ28には、最終関数f実装チップ27から多重化されて送られてくる信号を分離するための多重分離回路31が必要となる。

【0018】図2は上記の多重化回路30の一例を示す。同図の例では、入力信号線103から入力される変数xと、入力信号線102から入力される変数yをマルチプレクサ100に入力し、入力切換信号104によってどちらか一方の信号を選択して出力信号線101へ出力する。

【0019】従って、変数xが入力されたときには、入力切換信号104によって入力変数xを選択して出力信号線101へ信号zとして出力し、次に、入力信号線102から変数yが入力されたときには、入力切換信号104によって入力変数yを選択して出力信号線101へ信号zとして出力することにより、信号の時分割多重化が可能となる。これにより、チップ(LSI)間にまたがる信号線数を従来のグラフ理論的な回路分割手法に比し削減できる。

【0020】図3は上記の多重分離回路31の一例のブロック図を示す。同図において、デマルチプレクサ201は、入力信号線200を介して入力される入力信号pを、出力切換信号202により出力用Dラッチ203と出力用Dラッチ204のどちらへ出力するかを制御する。これによって、入力信号pが時分割多重化されている信号であるときは、出力信号線207へ出力すべき信号qと出力信号線208へ出力すべき信号rとに分離することができる。

【0021】なお、信号分離の後にその信号が必要となるまでの期間、信号の値を保持するために、出力信号線207へ出力されるべき信号は出力用Dラッチ203によりラッチ信号205によりラッチされて保持され、同様に、出力信号線208へ出力されるべき信号は出力用Dラッチ204によりラッチ信号206によりラッチされて保持される。

【0022】図4(A)及び(B)は図1中の多重化回路30の他の例を示す。同図(A)において、多重化回

路301は図2に示した多重化回路と同一構成のマルチプレクサで、二つの入力信号(変数) x と y のうち、図示を省略した入力切換信号に基づいて一方を選択して出力する。ここでは、入力信号 x と y はそれぞれ8ビット幅で、計16ビット幅分の入力信号線が、上記の時分割多重化により、出力信号線303は8ビット幅分に圧縮される。

【0023】また、図4(B)に示す多重化回路302は、更に各々の信号についてもより狭いビット幅に多重化圧縮している。すなわち、多重化回路302は $x0 \sim x7$ の8ビットからなる第1の入力信号(変数) x と、 $y0 \sim y7$ の8ビットからなる第2の入力信号(変数) y とが入力され、まず、第1の入力信号 x を上位2ビットから順番に($x7, x6$)、($x5, x4$)、($x3, x2$)、($x1, x0$)というように2ビットずつ出力信号線304へ出力し、続いて、第2の入力信号 y も同様に上位2ビットから順番に($y7, y6$)、($y5, y4$)、($y3, y2$)、($y1, y0$)というように2ビットずつ出力信号線304へ出力する。

【0024】従って、この場合は、16ビット幅分の入力信号線が、上記の時分割多重化により2ビット幅分の出力信号線304に圧縮される。この場合は信号伝搬の時間は増すが、チップ間の信号線本数をより一層削減することができる。なお、上記の場合、出力側と入力側の取り決めさえ合えば、下位から順に出力するようにしてもよいことは勿論である。

【0025】以上の例では、前もって信号の多重化の順番を定め、それによって多重化回路30と多重分離回路31を制御することを前提としていたが、信号の順序を決め難い場合には、信号の順序を可変にすることも有効である。図5はこのような動的に多重化の順番を変えることが可能な構成の一例を示す。同図中、図1と同一構成部分には同一符号を付してある。

【0026】図5において、最終関数 f 実装チップ27と最終関数 g 実装チップ28の間には、最終配線29と共に、配線400と401が設けられる。配線400は最終配線29を伝送する信号の名前、すなわち現在最終配線29を伝送中の信号が x なのか信号 y なのかを区別するための名前信号を伝送する。また、配線401は最終配線29を伝送中の信号が有効か否かを示す有効信号を伝送する。

【0027】これらの名前信号と有効信号により、多重分離回路31は最終配線29を伝送して多重化回路30から多重分離回路31に入力される信号の名前とその信号が有効かどうかを判別し、これに基づいて動的に信号を分離する。これにより、動的な信号多重化が実現でき、信号多重化の効率を改善できる。

【0028】なお、上記の場合、名前信号で信号の種類を知らせるのではなく、関数 g における何番目の引数であるかのみを伝送しても同様の機能を実現できる。しか

も、この場合には、信号の名前を伝送する場合よりも少ないビット数で実装できる。

【0029】

【発明の効果】以上説明したように、本発明によれば、分割回路をLSIで構成する際に、自動的にLSI間にまたがる信号線を配置できると共に、時分割多重化信号を伝送する信号線でLSI間を接続できるため、従来のグラフ分割手法による場合よりもLSI間にまたがる信号線数を削減できる。

【0030】また、本発明によれば、信号が生成されてから必要とされるまでの時間に余裕がある場合は、信号伝送のビット幅自体を削減することができるため、より一層LSI間の信号線数を少なくできる。

【0031】更に、本発明によれば、多重化手段を、多重化された出力信号と共に、その信号名を示す第1の信号と、出力信号が有効であるかどうかを示す第2の信号をそれぞれ付随させて出力したり、あるいは、多重化された出力信号と共に、その信号の順番を示す第3の信号と、出力信号が有効であるかどうかを示す第2の信号をそれぞれ付随させて出力することにより、信号の生成される時間的な順番が動的に変化したり、信号を必要とする時間的な順番が動的に変化する場合に、対処することができ、信号多重化の効率を改善することができる。

【0032】以上より、本発明によれば、従来人手では困難であった大規模な論理回路を自動的に複数のLSIで実現することができると共に、従来のグラフ理論的な回路分割手法と比較して、LSI間にまたがる信号線数を劇的に削減することができ、高速で高品質な論理回路分割ができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態の動作説明図である。

【図2】図1の多重化回路の一例を示す図である。

【図3】図1の多重分離回路の一例のブロック図である。

【図4】図1の多重化回路の他の例を示す図である。

【図5】多重化の順番を動的に変える場合の一例の構成図である。

【符号の説明】

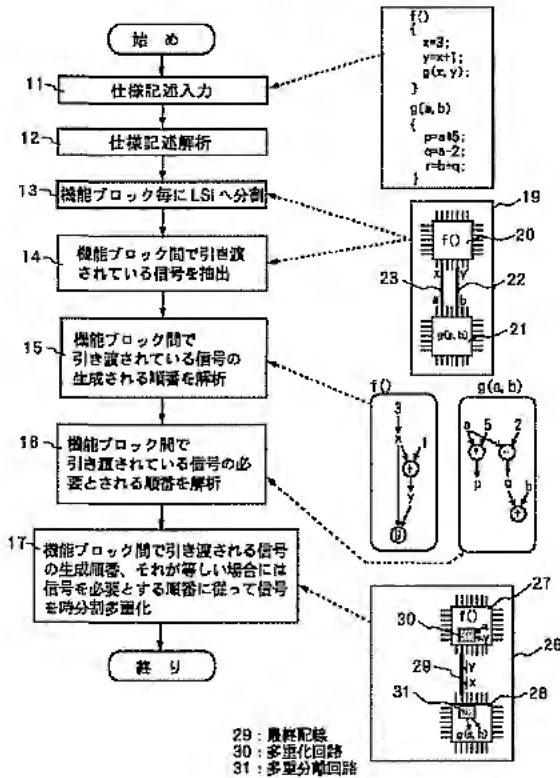
- 11~17 処理ステップ
- 18 仕様記述
- 19 初期分割状態
- 20 関数 f 実装チップ
- 21 関数 g 実装チップ
- 22 引数 y 用配線
- 23 引数 x 用配線
- 24、25 データ依存木
- 26 論理分割結果
- 27 最終関数 f 実装チップ
- 28 最終関数 g 実装チップ
- 29 最終配線

- 30 多重化回路
- 31 多重分離回路
- 100 マルチプレクサ
- 101、207、208 出力信号線
- 102、103、200 入力信号線
- 104 入力切換信号
- 201 デマルチプレクサ

- 202 出力切換信号
- 203、204 出力用Dラッチ
- 205、206 出力ラッチ信号
- 301、302 多重化回路
- 400 名前信号用信号線
- 401 有効信号用信号線

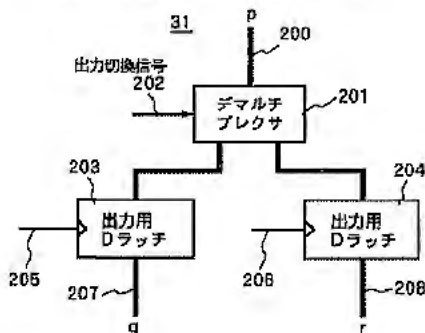
【図1】

本発明の一実施の形態の動作説明図



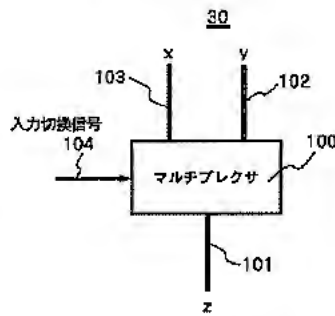
【図3】

図1中の多重分離回路の一例のブロック図



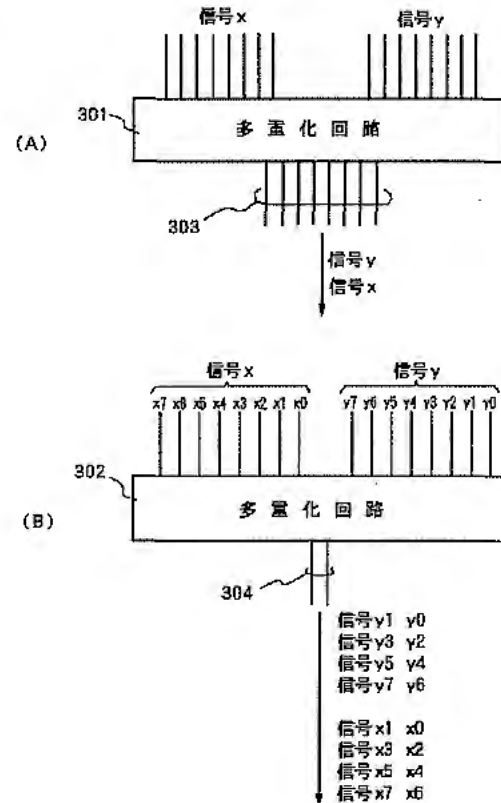
【図2】

図1中の多重化回路の一例

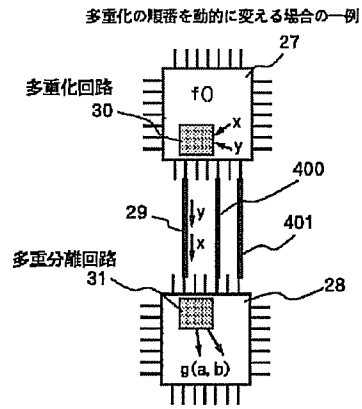


【図4】

図1の多重化回路の他の例



【図5】

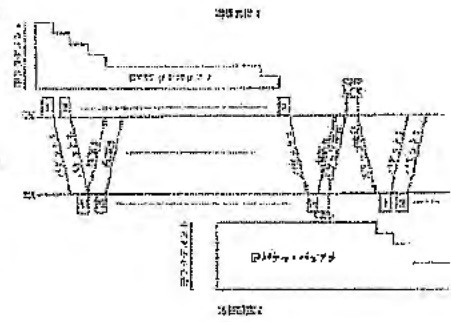


DATA TRANSMISSION METHOD AND DATA TRANSMISSION DEVICE

Publication number: JP11046187 (A) Also published as:
 Publication date: 1999-02-16 JP3859345 (B2)
 Inventor(s): ANAND PRASSARD; KATO HIDEKI; SEKI KAZUHIKO; MENYA YUKI; MATSUOKA SHINSUKE +
 Applicant(s): UNIDEN KK +
 Classification:
 - international: H04L12/56; H04L29/08; H04L5/16; H04L12/56; H04L29/08; H04L5/16; (IPC1-7): H04L12/56; H04L29/08; H04L5/16
 - European:
 Application number: JP19980052442 19980304
 Priority number(s): JP19980052442 19980304; JP19970137292 19970527

Abstract of JP 11046187 (A)

PROBLEM TO BE SOLVED: To more simply change line speeds in unbalanced data communication by allowing assigned change on a condition that there is no data to be sent in a self-machine when a communicating device to which a fast transmission speed is assigned receives an assigned change request. **SOLUTION:** When there is no IP packet to be transmitted next in an IP packet receiving buffer of a communicating device 1, the device 1 sends a swap acknowledge (SWAP ACK) signal to a communicating device 2. With this, a sending right of packet data is switched from the device 1 to the device 2 and the right to use a high speed line is shifted to the device 2. The device 1 switches an up line to fast reception and an outgoing line to slow transmission. The device 2 switches a up line to fast sending and a down line to slow receiving, divides the IP packet that is inputted to the IP packet receiving buffer into n IP fragments and fast and also continuously sends them to the device 1.



Data supplied from the *espacenet* database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-46187

(43) 公開日 平成11年(1999) 2月16日

(51) Int.Cl. ⁵	識別記号	F I	
H 0 4 L	5/16	H 0 4 L	5/16
	12/56		11/20
	29/08		13/00
			1 0 2 A
			3 0 7 C

審査請求 未請求 請求項の数15 O L (全 25 頁)

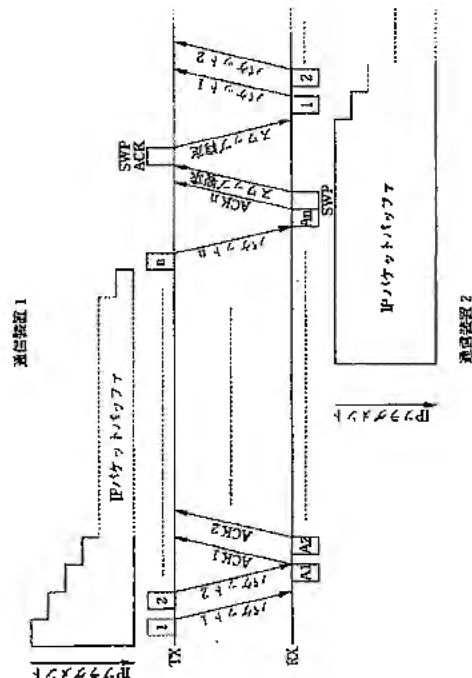
(21) 出願番号	特願平10-52442	(71) 出願人	000115267 ユニデン株式会社 東京都中央区八丁堀二丁目12番7号
(22) 出願日	平成10年(1998) 3月4日	(72) 発明者	アナンド プラッサード 東京都中央区八丁堀2丁目12-7 ユニデ ン株式会社内
(31) 優先権主張番号	特願平9-137292	(72) 発明者	加藤 英樹 東京都中央区八丁堀2丁目12-7 ユニデ ン株式会社内
(32) 優先日	平9(1997) 5月27日	(72) 発明者	関 和彦 東京都中央区八丁堀2丁目12-7 ユニデ ン株式会社内
(33) 優先権主張国	日本 (J P)	(74) 代理人	弁理士 稲葉 良幸 (外2名) 最終頁に続く

(54) 【発明の名称】 データ伝送方法及びデータ伝送装置

(57) 【要約】

【課題】 不平衡データ通信回線における送信速度割当での変更方法を提供する。

【構成】 不平衡データ通信回線における送信速度割当での交替に際し、データを高速回線で送信している通信装置に送信すべきデータがなくなったときに、相手の通信装置に高速回線を開放するようにしているので、比較的簡単なアルゴリズム及び構成で高速及び低速回線相互間の交替を行うことが可能である。



【特許請求の範囲】

【請求項1】 複数の通信装置相互間の双方向通信において上り方向の通信と下り方向の通信に異なる送信速度を用いる不平衡データ通信のデータ伝送方法であって、相対的に低速の送信速度が割当てられた通信装置が送信すべきデータを有するとき、相対的に高速の送信速度が割当てられた通信装置に対し、送信速度の割当て変更要求信号を出力し、

前記高速の送信速度が割当てられた通信装置は前記割当て変更要求を受信した際に、自機に送信すべきデータがないことを条件に前記割当て変更を許可する、ことを特徴とする不平衡データ通信におけるデータ伝送方法。

【請求項2】 双方向通信において上り方向の通信と下り方向の通信に異なる送信速度を用いる不平衡データ通信のデータ伝送装置であって、相対的に低速の送信速度が割当てられている場合において、送信すべきデータを有するとき、相手のデータ伝送装置に対して送信速度の割当て変更要求信号を出力する制御部を備えることを特徴とする不平衡データ通信のデータ伝送装置。

【請求項3】 双方向通信において上り方向の通信と下り方向の通信に異なる送信速度を用いる不平衡データ通信のデータ伝送装置であって、

相対的に高速の送信速度が割当てられている場合において、相手のデータ伝送装置から、送信速度の割当て変更要求の信号を受信したとき、送信すべきデータがないことを条件に前記割当て変更要求を許可することを特徴とする不平衡データ通信のデータ伝送装置。

【請求項4】 第1及び第2の通信装置相互間のデータ通信における送信エラーデータの再送信を行うデータ伝送方法であって、

前記第1の通信装置は、送信すべきデータを複数のパケットに分割し、分割した各パケットに送信順位の情報を与えて送信し、

前記第2の通信装置は、受信した前記パケットのエラーを検出した場合、該当するエラーパケットの再送信を要求し、

前記第1の通信装置は、前記再送信の要求を前記分割したパケットのうちの最後のパケットの送信完了前に受信した場合にはエラーが生じたパケットを再送信し、前記再送信の要求を前記最後のパケットの送信完了後に受信した場合には前記エラーの生じたパケットが前記第2の通信装置に正しく受信されるまで連続的に再送信する、ことを特徴とするデータ伝送方法。

【請求項5】 第1及び第2の通信装置相互間のデータ通信における送信エラーデータの再送信を行うデータ伝送方法であって、

前記第1の通信装置は、送信すべきデータを複数のパケットに分割し、各パケットに送信順位を与えて送信し、前記第2の通信装置は、受信したパケットのエラー検出

を行い、最終順位のパケットの受信前にエラーを検出した場合は、前記第1の通信装置に対してエラーパケットの再送信を要求する選択的再送要求を行い、最終順位のパケットの受信後にエラーを検出した場合は、前記第1の通信装置に対してエラーパケットの連続送信を要求する連続再送要求を行う、ことを特徴とするデータ伝送方法。

【請求項6】 前記第2の通信装置は、エラーを検出した場合、該当するエラーパケットの再送信の要求を2回続けて送出し、

前記第1の通信装置は、前記2回の再送信の要求のうちいずれかの再送信の要求を正しく判別した場合に再送信を行う、ことを特徴とする請求項2または3記載のデータ伝送方法。

【請求項7】 相互間のデータ通信における送信エラーデータの再送信を行うデータ伝送装置であって、送信すべきデータを複数のパケットに分割し、分割した各パケットに送信順位の情報を与えて送信する送信手段と、

相手の装置からエラーパケットの再送信の要求を受けたときに、前記再送信の要求を前記分割したパケットのうちの最後のパケットの送信完了前に受信した場合にはエラーが生じたパケットを再送信し、前記再送信の要求を前記最後のパケットの送信完了後に受信した場合には前記エラーの生じたパケットが前記第2の通信装置に正しく受信されるまで連続的に再送信する再送信手段とを備えることを特徴とするデータ伝送装置。

【請求項8】 相互間のデータ通信における送信エラーデータの再送信を行うデータ伝送装置であって、送信順位が与えられたパケットを受信する受信手段と、受信した前記パケットのエラー検出を行うエラー検出手段と、

最終順位のパケットの受信前にエラーを検出した場合は、相手の装置に対して当該エラーパケットの再送信を要求する選択的再送要求を行い、最終順位のパケットの受信後にエラーを検出した場合は、相手の装置に対して当該エラーパケットの連続送信を要求する連続再送要求を行う再送要求手段とを備えることを特徴とするデータ伝送装置。

【請求項9】 送信すべきデータを含むパケットを、複数のフレームに分割し送信順序を与える分割ステップと、
2ⁿ個の複数のフレームごとにひとつのブロックとしてくり、与えられた順序番号に従って送信する送信ステップとを備えるデータ伝送方法。

【請求項10】 前記フレームは、前記送信順位を表現する領域とデータ領域とを有し、前記分割ステップにおいて、前記送信順位の領域を小さくして前記データ領域を拡大するように、分割が行われることを特徴とする請求項9記載のデータ伝送方法。

【請求項11】 複数のフレームに分割し、2ⁿ個毎にブロックとしてくくることを特徴とする請求項10記載のデータ伝送方法。

【請求項12】 送信すべきデータを含むパケットを、複数のブロックに分割する分割手段と、前記ブロックごとに、送信すべきデータを複数のフレームに分割し、各フレームに送信順位を与えて送信する送信手段とを備えるデータ伝送装置。

【請求項13】 送信すべきデータを含むパケットを、複数のブロックに分割する分割ステップと、前記ブロックごとに、送信すべきデータを、それぞれ前記送信順位を表現する領域、ブロックを区別するためのブロック識別子及びデータ領域を有する複数のフレームに分割し、各フレームに送信順位を与えて送信する送信ステップと、受信したフレームのエラー検出を行い、最終順位のフレームの受信前にエラーを検出した場合は、当該エラーフレームの再送信を要求する選択的再送要求ステップと、最終順位のフレームの受信後にエラーを検出した場合は、前記エラーフレームの連続送信を要求する連続再送要求ステップと、最終順位のフレームの受信後であって、前記エラーフレームの連続送信の前に、次のブロックのフレームを送信する次フレーム送信ステップとを備える伝送方法。

【請求項14】 前記ブロック識別子は1ビットであり、隣接するブロックを識別可能であることを特徴とする請求項13記載の伝送方法。

【請求項15】 パケットを分割したブロックごとにデータ通信を行うとともに、相互間のデータ通信における送信エラーデータの再送信を行うデータ伝送装置であって、

それぞれ送信順位を表現する領域、ブロックを区別するためのブロック識別子及びデータ領域を有する複数のフレームを受信する受信手段と、

受信したフレームのエラー検出を行うエラー検出手段と、

最終順位のフレームの受信前にエラーを検出した場合は、当該エラーフレームの再送信を要求し、最終順位のフレームの受信後にエラーを検出した場合は、前記エラーフレームの連続送信を要求する再送要求手段と、

最終順位のフレームの受信後であって、前記エラーフレームの連続送信の前に、次のブロックのフレームを送信する次フレーム送信手段とを備える伝送装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数の通信装置相互間に形成される上下方向の通話路の個々の通信速度を変更可能に形成し、相対的に送信データ量の多い通話路により高速の通信速度を与え、相対的に送信データ量の少ない通話路により低速の通信速度を与えて、全体とし

て効率の良いデータ伝送を図る不平衡パケット通信方式に関する。

【0002】

【従来の技術】出願人は、特願平8-222894号の「無線伝送システム」により、不平衡回線を用いる伝送システムを提案している。この伝送システムでは、2つの通信装置間に形成される上り回線と下り回線とに異なる通信（伝送）速度を割当てる。この際、大量のデータが負荷された回線に高速の通信速度を割当て、相対的に負荷の少ない回線に低速の通信速度を割当てることにより、所定帯域幅の通信チャネルにおいて、全体としてデータ伝送効率を高めるものである。

【0003】

【発明が解決しようとする課題】かかる伝送システムでは、各回線が負担する伝送すべきデータ量の変動に対応して各回線の通信速度の割当てを瞬時に交替（変更）する必要がある。前述の伝送システムにおいては、交替のタイミングを合わせるために、例えば、交替用フレームを所定数送信して、カウントダウンを行って切替える。あるいは交替を示すフレームを受信した直後に交替を実施するようにする。

【0004】しかしながら、より簡単な通信アルゴリズムや回路構成で回線の通信速度の割当ての交替が行われるのが望ましい。

【0005】また、通信回線にノイズ等が混入して送信データが破壊され、エラーデータの再送信が必要となる場合が生ずる。再送信の際には、ノイズ等が存在する回線により確実に相手装置に伝送することが必要となる。

【0006】よって、本発明の目的は、不平衡データ通信における回線速度の交替をより簡単に行えるようにした通信速度割当ての変更方法を提供することである。

【0007】本発明の他の目的は、不平衡データ通信において生じた送信（受信）エラーのエラー訂正の方法を提供することである。

【0008】

【課題を解決するための手段】上記目的を達成するため、本発明の不平衡データ通信における送信速度割当て変更方法は、複数の通信装置相互間の双方向通信において上り方向の通信と下り方向の通信に異なる送信速度を用いる不平衡データ通信の送信速度割当ての変更方法において、相対的に低速の送信速度が割当てられた通信装置が送信すべきデータを有するとき、相対的に高速の送信速度が割当てられた通信装置に対し、送信速度の割当て変更要求信号を出力し、上記高速の送信速度が割当てられた通信装置は前記割当て変更要求を受信した際に、自機に送信すべきデータがないことを条件に前記割当て変更を許可する、ことを特徴とする。

【0009】かかる変更方法によれば、比較的簡単な回路構成とアルゴリズムによって通信装置相互間で通信速度の交替を行うことが可能となる。

【0010】また、本発明の送信エラーデータの再送方式は、第1及び第2の通信装置相互間のデータ通信における送信エラーデータの再送方式であって、上記第1の通信装置は、送信すべきデータを複数のパケットに分割し、分割した各パケットに送信順位の情報を与えて送信し、上記第2の通信装置は、受信した上記パケットのエラーを検出した場合、該当するエラーパケットの再送信を要求し、上記第1の通信装置は、上記再送信の要求を前記分割したパケットのうちの最後のパケットの送信完了前に受信した場合にはエラーが生じたパケットを再送信し、上記再送信の要求を上記最後のパケットの送信完了後に受信した場合には上記エラーが生じたパケットが上記第2の通信装置に正しく受信されるまで連続的に再送信する、ことを特徴とする。

【0011】この通信方式によれば、最終パケットが受信側に着信すると、送信側は送信エラーとなったパケットのみを受信側に受信されるまで連続に送信するので、最終パケットが着信するまでの一群のパケットについての伝送効率を下げることなく、無線回線等におけるノイズに対して信号伝送の信頼性を向上することが可能となる。

【0012】また、本発明の他の送信エラーデータの再送方式は、第1及び第2の通信装置相互間のデータ通信における送信エラーデータの再送方式において、上記第1の通信装置は、送信すべきデータを複数のパケットに分割し、各パケットに送信順位を与えて送信し、上記第2の通信装置は、受信したパケットのエラー検出を行い、最終順位のパケットの受信前にエラーを検出した場合は、上記第1の通信装置に対してエラーパケットの再送信を要求する選択的再送要求を行い、最終順位のパケットの受信後にエラーを検出した場合は、上記第1の通信装置に対してエラーパケットの連続送信を要求する連続再送要求を行う、ことを特徴とする。

【0013】このように構成した場合も、最終パケットが受信側に着信すると、送信側は送信エラーとなったパケットのみを受信側に受信されるまで連続に送信することが可能となるので、最終パケットが着信するまでの一群のパケットについての伝送効率を下げることなく、無線回線等におけるノイズに対して信号伝送の信頼性を向上することが可能となる。

【0014】好ましくは、上記送信エラーデータの再送方式において、上記第2の通信装置は、エラーを検出した場合、該当するエラーパケットの再送信の要求を少なくとも2回続けて送出し、上記第1の通信装置は、上記2回の再送信の要求のうちのいずれかの再送信の要求を正しく判別した場合に再送信を行う。

【0015】このように構成すると、第2の通信装置から第1の通信装置へ、より確実に再送信要求を伝達することが可能となる。すなわち、再送要求を2回連続して送出することにより、受信された再送要求の一つにエラ

ーが生じて、もう一つの再送要求が正しく受信されれば、受信した再送要求に対応して該当データ（パケット）の再送信が行われる。そして、第1の通信装置は、同じ再送要求を連続して受信した場合には、2つ目の再送要求を無視し、データの再送を1回だけ行う。これにより、伝送効率の低下を防ぐことができる。

【0016】この発明に係るデータ伝送方法は、送信すべきデータを含むパケットを複数のフレームに分割する分割ステップと、 2^n 個のフレームをひとつのブロックとしてくくるステップとを備えるものである。

【0017】この発明によれば、送信順位の情報のビット長を短くすることができる。これに伴い、フレーム内のデータ領域を増やすことができ、フレーム効率を高めることができる。

【0018】好ましくは、前記フレームは、前記送信順位を表現する領域とデータ領域とを有し、前記分割ステップにおいて、前記送信順位の領域を小さくして前記データ領域を拡大するように、分割が行われる。

【0019】好ましくは、複数のフレームに分割し、 2^n 個毎にブロックとしてくくる。

【0020】データ領域を拡大するためには、IPパケットを適当な 2^n ($n=1, 2, 3, \dots$) 個に分割しなければならない。2のべき乗の数に分割することが、送信順位を表現する領域のビット数を減らす上で効率的だからである。また、ビット数を減らした結果得られた領域を有効活用できるように、分割数が決定される。例えば、図12のように情報結合ビットとブロック識別子を含ませ、かつ、送信順位のデータを1バイトを越えないようにするには、7ビットのN(S)、N(R)がそれぞれ半分以下の3ビットになる必要がある。

【0021】この発明に係るデータ伝送方法は、送信すべきデータを含むパケットを、複数のブロックに分割する分割ステップと、前記ブロックごとに、送信すべきデータを、それぞれ前記送信順位を表現する領域、ブロックを区別するためのブロック識別子及びデータ領域を有する複数のフレームに分割し、各フレームに送信順位を与えて送信する送信ステップと、受信したフレームのエラー検出を行い、最終順位のフレームの受信前にエラーを検出した場合は、当該エラーフレームの再送信を要求する選択的再送要求ステップと、最終順位のフレームの受信後にエラーを検出した場合は、前記エラーフレームの連続送信を要求する連続再送要求ステップと、最終順位のフレームの受信後であって、前記エラーフレームの連続送信の前に、次のブロックのフレームを送信する次フレーム送信ステップとを備える。

【0022】この発明によれば、フレームにブロック識別子を設けて隣接するブロックを区別できるようにしたので、選択再送(SR)モードから連続再送モード(MC)に移行する際に、データ送信終了又はMCモードに遷移

するかの判断を行う必要がなくなる。したがって、アイドルフレーム送信が不要であり、次のブロックのペケットを送信できて、伝送効率を高めることができる。

【0023】好ましくは、前記ブロック識別子は1ビットであり、隣接するブロックを識別可能である。

【0024】

【発明の実施の形態】

発明の実施の形態1. 以下、本発明の実施の形態について図面を参照して説明する。

【0025】図1は、複数の通信装置によって通信ネットワークが構成される様子を説明するものである。ここでは、説明を簡単にするために、通信ネットワークの最小の構成単位である2つの通信装置で通信システムを構成している。

【0026】同図においては、無線通信ネットワークを構成する通信装置1及び2が一例として示されている。各通信装置には、コンピュータシステム、電話装置、ファクシミリ等の端末装置が接続される。この場合、通信装置の一方が基地局、他方が移動局であっても良い。また、複数の通信装置によっていわゆる無線LANを構成するものであっても良い。

【0027】通信装置1及び2の相互間に形成される通信回線の仕様は、全二重式であり、上り回線及び下り回線の通信速度が異なる不平衡の通信回線である。通信回線は、いわゆる周波数分割(FDD)によるものや、時分割多元接続(TDMA)、時分割復信(TDD)等の種々の形式の回線が適用可能である。

【0028】例えば、ある時点(A)における通信装置1から通信装置2に送信する下り回線の通信速度は、64 kbps(高速)で、通信装置2から通信装置1に送信する上り回線の通信速度は4 kbps(低速)である。すなわち、下り回線の通信装置1の送信部及び通信装置2の受信部は高速で動作し、上り回線の通信装置1の受信部及び通信装置2の送信部は低速で動作する。また、他の時点(B)における通信装置2から通信装置1に送信する上り回線の通信速度は、64 kbpsで、通信装置2から通信装置1に送信する上り回線の通信速度は4 kbpsである。通信装置1に送信する上り回線の通信速度は4 kbps(低速)である。このとき、下り回線の通信装置1の送信部及び通信装置2の受信部は低速で動作し、上り回線の通信装置1の受信部及び通信装置2の送信部は高速で動作する。

【0029】このように、上下回線のデータ通信速度を切替える不平衡データ伝送を行うのは、2つの通信装置間の伝送効率を向上するためである。すなわち、2つの通信装置相互間の交信状況を観察すると、ある時点では、上下回線のうちいずれか一方の回線が混んでいる場合が多い。このような場合には、通信回線の伝送能力(最大データ伝送量)が一定であるとすると、混んでいる方の回線の通信速度を上げ、その分他方の回線の通信

速度を下げて上下通信チャネルの容量内に収める方が、データ通信を早く終えることが出来るからである。

【0030】例えば、インターネット等のネットワークでは、端末側からウェブサーバに対して送るデータよりも、サーバから端末側に送るデータの方が圧倒的に多い。端末では、ウェブへのアクセスよりもウェブからのデータのダウンロードに長い時間を要することは、経験的事実である。

【0031】通信装置1及び2の各々は、送信(受信)エラーが生じたときにエラーデータの再度の送信を求める自動再送要求機能(Automatic Repeat Request)を備えている。本発明に係る通信システムではデータの再送の形式として、特定のデータを再度送信する選択再送(Selective Repeat)に加えて、後述する、同じデータを相手側に着信するまで連続送信する連続再送(Multi Copy)とを備える。

【0032】例えば、通信装置が一連のデータの送信中に受信側から先に送信した送信データの不達を表すNACK(否定応答)信号を受信した場合には選択再送を行う。また、一連のデータのデータ送信の一応の終了後に受信側に未着のデータ(送信エラー)が存在する場合には、受信側からACK(肯定応答)信号を受信するまで当該未着のデータを連続送信する連続再送を行うようにすることが出来る。

【0033】また、通信装置1及び2は、データ送信・受信の切替(スワップ)に対応して、データ送信(受信)速度を高低に切替える機能を有している。

【0034】送信するデータは、例えば、インターネット・プロトコル(IP)によるペケットデータである。各通信装置の送信系は、IPペケット(送信データ)を複数のフラグメントに分割し、分割したフラグメントを含む複数の送信ペケットを構成し、これ等ペケットを相手側装置に送信する。相手側装置は、その受信系で送信ペケットからフラグメントを分離し、各フラグメントを組立て、IPペケットデータを復号する。

【0035】図2は、IPペケットを細分化して複数の送信ペケットを形成するフラグメンテーション(fragmentation)を説明する説明図である。

【0036】端末から出力されたIPペケット・データは、通信装置によりn個のフラグメントに分解される。各フラグメントにはエラーチェックが施される。エラーチェックは、例えば、巡回冗長検査(CRC, Cyclic Redundancy Check)を用いることが出来る。第1番目の送信ペケットには、フラグメントの順番、識別番号(ID, identification)、IPペケットの長さ及びフラグメントの残り数の情報(IP-LEN)が含まれる。IPペケットの長さ情報(IP-LEN)は、受信側でのフラグメントの組立に特に重要であるので、二重にCRCをかけて後の判別を確実にしている。第2番目～最後のn番目の送信ペケットの各々には、フラグメントの順

番、識別番号、IPパケットの分割されたフラグメントの情報等が含まれる。送信パケット1～nは、順番に送出される。

【0037】図3は、2つの通信装置1及び2間における不平衡パケット通信におけるデータ送信方向の交替過程（スワッププロセス）を説明する説明図である。

【0038】同図において、送信側（TX）から受信側（RX）に向う信号路は下り回線（図1の（A））に相当し、受信側（RX）から送信側（TX）に向う信号路は上り回線（図1の（B））に相当する。

【0039】この例では、通信当初において、通信装置1は、下り回線を高速（64 kbps）に設定してデータを通信装置2に送信し、上り回線を低速（4 kbps）に設定して通信装置2から返信を受信する。受信側（RX）の通信装置2は、下り回線を使用してデータを高速で受信し、上り回線を使用して受信データに対する返信を送信する。

【0040】後述するように、通信装置1は端末装置から供給されるIPパケットを一時格納するIPパケットバッファメモリを備えている。IPパケットバッファメモリに入力されたIPパケットは、前述したように、n個のIPフラグメントに分割され、分割されたフラグメント1～nは送信パケットに形成され、通信装置2に向けて高速かつ連続的に送出される。

【0041】通信装置2は、受信した各送信パケット（受信パケット）を図示しないバッファメモリに逐次格納し、各受信パケットのエラーチェックを行う。受信したフラグメントにエラーがない場合、パケット1～nの各々の着信に対応して肯定応答信号ACK1～ACKnを逐次返信する。返信は上り回線（低速回線）を介して行われる。通信装置2がIPパケットのn番目（最後の）フラグメントを受信すると、一連のフラグメントの受信完了が判別回路によって検出され、各フラグメントが送信順に組立られ、IPパケットが完成する。このIPパケットは、通信装置2から端末装置に出力される。

【0042】通信装置2は、通信装置1から最後の送信パケットnを受信したとき、通信装置2のIPパケット受信バッファに端末装置から送信すべきIPパケットが入力されているかどうかを確認する。端末装置2から端末装置1に送信すべきIPパケット・データが存在すると、n番目の送信パケットに対する肯定応答信号ACKnと、自己のIPパケット・データを送信すべく、スワップ（SWAP）要求を通信装置1に送出する。

【0043】通信装置1のIPパケット受信バッファに、次に送信すべきIPパケットが存在しない場合、通信装置1は、スワップ肯定応答（SWAP ACK）信号を通信装置2に送出する。これにより、パケットデータの送信権が通信装置1から通信装置2に交替し、高速回線の使用権が通信装置2に移る。通信装置1は上り回線を高速受信に、下り回線を低速送信に切替える。通信装置2

は、上り回線を高速送信に、下り回線を低速受信に切替え、そのIPパケット受信バッファに入力されたIPパケットをn個のIPフラグメントに分割し、通信装置1に向けて高速かつ連続的に送出する。

【0044】このようにして、高速回線及び低速回線の使用権が通信装置1から通信装置2に切替えられ、スワップが完了する。

【0045】図4は、通信装置1が通信装置2からのスワップ要求に応えず、引続き高速回線を占有する例を説明する説明図である。

【0046】通信装置1は、IPパケットのフラグメント1～nをそれぞれ含む送信パケット1～nを形成し、逐次送信する。通信装置2は、これ等を受信して肯定応答ACKiを逐次返信する。通信装置2は最後のフラグメントnを受信すると、自己のIPパケット受信バッファに端末装置からの送信すべきIPパケットが存在することを確認し、通信装置1にACKn信号と共にスワップ要求信号（SWAP）を送出する。

【0047】しかしながら、本例の場合、通信装置1の受信バッファメモリには、端末装置からの次に送信すべきIPパケットが存在するので、通信装置1はスワップ否定応答（NACK SWAP）信号を返信として送出する。この場合には、通信装置2は次に送られる送信パケットの受信を待ち、通信装置1及び通信装置2相互間ではスワップは実行されない。そして、通信装置1は送信権を保持して、次のIPパケットをフラグメント化して送信パケットを形成し、引続きデータの送信を行う。

【0048】このようにして、通信装置1は、パケットデータの送信を継続することが可能である。

【0049】図5は、送信パケットが相手に正しく受信されなかった場合に、受信側装置からの再送信要求に対して、送信側装置が2つの再送モード（選択再送、連続再送）により、未着の送信パケットの再送信を行う例を説明する説明図である。

【0050】同図において、通信装置1はIPパケットをフラグメント化し、形成した送信パケットを逐次送信する。通信装置2は、各送信パケットの受信に対応して肯定応答信号ACKiを送出する。ここで、無線通信回線にノイズや妨害波等が混入して、送信パケット2について不達が生ずるものとする。通信装置2は、FEC/CRCデコーダによってエラーを検出し、通信装置1に対して否定応答信号NACK2を2回連続に送出して送信パケット2の不達を知らせる。否定応答信号NACKを2回送信するのは、相手に確実に伝えるためである。

【0051】通信装置1は、一連の送信パケットの連続送信中に否定応答信号NACKを受信した場合は選択再送モードを実行する。このモードでは、未着の送信パケット2をバッファメモリから読出して再送信する。通信装置2から通信装置1に否定応答信号NACK2が2回送られてくる。1回目のNACK2が通信装置1に正し

く受信された場合には、通信装置1は送信パケット2を送り、後に受信される2回目のNACK2を無視する。仮に、1回目のNACK2にエラーが生じた場合は、どの番号の再送要求か判らないが、2回目のNACK2が正しく受信できれば、通信装置1は送信パケット2を送ることが出来る。しかし、この例においては、送信パケット2はノイズの影響を受けて通信装置2に正しく受信されない。通信装置2は、受信した他のパケットについて肯定応答信号ACKiを逐次返信する。不達の送信パケット2については否定応答信号NACK2の返信を繰返す。他の送信パケットの受信は終了する。

【0052】通信装置2は、最後の送信パケットnを受信すると、送信パケット2についての否定応答信号NACK2と最終送信パケットnについての肯定応答ACKnとを送出する。これを受信した通信装置1は、最後の送信パケットを送信したことを確認し、選択再送モードから連続再送モードに再送信モードを切替える。

【0053】連続再送モードでは、未着の送信パケットと同一の送信パケットを複数回、例えば、相手から受信の返答を得るまで繰返し送信する。通信装置1から送信パケット2が連続送信され、その内の一つが通信装置2で正しく復号される。

【0054】通信装置2は、通信装置1に対して肯定応答ACK2を送信する。このとき、自己のIPパケット受信バッファに送信すべきIPパケットが存在すると、通信装置1に対してスワップ要求を送信する。

【0055】通信装置1は、肯定応答信号ACK2を受信し、他に連続再送すべきエラー送信パケットがないことを確認して、再送モードを選択再送モードに切替える。そして、自己のIPパケット受信バッファに次に送信すべきIPパケットが存在しないことを確認し、通信装置2に対して、スワップ要求肯定信号を送出する。

【0056】これを受信した通信装置2は、データの送信権を獲得し、送信系の通信速度を高速に、受信系の通信速度を低速に切替えて、IPパケットのフラグメントを担う送信パケットの送信を開始する。

【0057】このようにして、受信エラーが生じた場合には、最終送信パケット（未送信フラグメント）の有無に対応して選択再送モードと複数再送モードの選択が行われる。一つの送信パケットを再送信する選択再送モードよりも、同一の送信パケットを連続送信する複数再送モードの方が受信側に正しく受信される確率は高くなる。しかしながら、他の送信パケットが送信中である場合には、それ等の送信の妨げとなるので、この状態では選択再送モードにより、パケットデータを再送信している。

【0058】図6は、上述した通信装置1及び2の構成例を説明するブロック図である。同図において、21～28は送信系を、29及び30はアンテナ系を、31～35は制御系を、41～50は受信系を、構成する。

【0059】まず、コンピュータ・システム等の端末装置から入力される全てのIPパケットは受信バッファ21に一旦格納される。そして、IPパケットは、最初のフラグメント発生部22、パケットフラグメント回路23に与えられる。最初のフラグメント発生部22は、IPパケットの長さ情報を含む最初のフラグメントを作成する論理回路を有し、最初のフラグメントを作成する。作成された最初のフラグメントはフラグメント選択回路25に出力される。パケットフラグメント回路23は、伝送すべき各IPパケットを分割して小片（フラグメント）化する。作成されたIPパケットのフラグメントは、フラグメントバッファ24に格納される。

【0060】フラグメント選択回路25は、転送モード制御部32からの指令信号に従って、伝送すべき、最初のフラグメントを最初のフラグメント発生器22の出力から選択し、次以降のフラグメントをフラグメントバッファ24から選択する。選択したフラグメントはFEC/CRCエンコーダ26に送られる。

【0061】FEC/CRCエンコーダ26は、フォワード・エラー・コレクション（FEC, Forward Error Correction）・コードあるいは巡回冗長検査（CRC）を用いてデータパケットをエンコード（符号化）し、送信パケットを形成する。

【0062】セレクタ27は、スワップ制御部35からの制御信号にตอบสนองして、主ルートのFEC/CRCエンコーダ26が出力する送信パケットあるいはFEC/CRCエンコーダ34が出力する返信データの返信パケットを選択し、送信部28に送る。

【0063】送信部28は、データ信号で搬送波を変調して無線周波の変調信号を得、方向性結合器30介してアンテナ30に送る。前述したようにFDD、TDMA/TD、等の種々の信号形式の採用が可能である。方向性結合部29は、送信部28の無線周波信号をアンテナ30に送出し、アンテナ30に到来した無線周波信号を受信部41に送出する。アンテナ30から自由空間に電波が放射され、他の通信装置にIPパケットデータが送信される。自由空間には、周波数、帯域等の伝送方式で規定される通信チャネルが形成される。

【0064】一方、制御系のIPパケット存在検出部31は、通信相手に対してスワップ要求を発するかどうかを決定するために、IPパケット受信バッファ21にIPパケットが存在するかどうかを検出し、その結果を転送モード制御部32に出力する。転送モード制御部32は、ACK（肯定応答）/NACK（否定応答）/スワップ（切替）要求/フラグメント番号等の伝送すべきフレームタイプのモードについて制御を行う主制御部である。転送モード制御部32は、受信側から送られたACK信号/NACK信号/スワップ要求信号に対する返信を判断する。返信発生部33は、転送モード制御部32からの指令信号に基づき、受信したパケットに対するA

CK/NACK信号、スワップ要求信号に対するACK/NACK信号等の返信データを発生する。FEC/CRCエンコーダ(返信ルート)34は、返信データをフォワード・エラー・コレクション(FEC)・コードあるいは巡回冗長検査(CRC)によって符号化し、得られた返信パケットを既述セクタ27に送る。

【0065】スワップ制御部35はスワップ動作に対応して各部の通信速度の切替を制御する役割を担っており、転送モード制御部32からの指示に基づいてセクタ27、送信部28、受信部41、セクタ42、FECデコーダ49に使用すべき、64 kb/sあるいは4 kb/sの通信チャネルの伝送速度レートについての選択信号を送る。

【0066】次に、受信部41は、図示しない通信装置からの無線周波信号をアンテナ30、方向性結合部29を介して受信し、データ信号に復調する。セクタ42は、スワップ制御部35からの制御情報に従い、受信パケット・データをFECデコーダ(返信ルート)49あるいはFEC/CRCデコーダ(主ルート)43に送る。

【0067】FEC/CRCデコーダ43は、受信したデータを復号し、使用されたFECあるいはCRCに基づいてエラーの有無を検出する。エラー検出及びエラー・フラグメント番号(あるいは送信パケット番号)は転送モード制御部32に報告される。エラーコレクションを経たデータはフラグメント格納回路44に出力される。

【0068】フラグメント格納回路44は、供給されるフラグメント・データから、後述の自動再送要求(ARQ)によって繰返し送信された余分のフラグメントやデータとしての不要部分であるオーバーヘッドを取除き、フラグメントバッファ45に渡す。フラグメントバッファ45は、受信したフラグメントを格納する。受信完了検出部46は、第1フラグメントのIP-Len情報、各フラグメントに付された送信順位番号等を参照して全てのフラグメントを受信したかどうかを検出する。パケットデフラグメント回路47は、全てのフラグメントが受信されると、受信完了検出部46からの信号を受けて、IPパケットを形成するために全てのフラグメントを順番に結合する。IPパケット送信バッファ48は、復元されたIPパケットを一旦格納し、コンピュータ・システム(端末装置)に送出する。

【0069】FECデコーダ(返信)49は、受信部41が受信した受信装置側からの返信パケットをデコード(復号)し、エラーを検査する。返信解析部50は、受信した返信内容を解析し、これを転送モード制御部32に知らせる。

【0070】次に、上述した通信装置のデータ送信における制御動作について図7を参照して説明する。同図は、通信装置1におけるデータ送信モードを説明するフ

ローチャートである。

【0071】このモードでは、通信装置1からデータを送信する送信系の通信速度が64 kbps、返信データを受信する受信系の通信速度が4 kbpsに設定される。これに対応して、相手側(受信側)通信装置2の受信系の通信速度が64 kbps、送信系の通信速度が4 kbpsに設定される。通信速度の切替はスワップ制御部35によって行われる。

【0072】まず、転送モード制御部32は、IPパケット存在検出部31の出力によって、IPパケット受信バッファ21にIPパケットが存在するかどうかを判別する(S22)。

【0073】IPパケットが存在しない場合、受信側の通信装置からスワップ要求が送られているかどうかを判断する(S42)。スワップ要求が存在すれば(S42; Yes)、スワップ肯定(ACK SWAP)信号を送信する。これにより、送信権が受信側に移動する(S44)。スワップ要求が存在しなければ(S42; No)、IPパケットの待受け状態(S22)となる。

【0074】受信バッファ21にIPパケットが存在している場合(S22; Yes)、入来したIPパケットを、最初のフラグメント発生部22、パケットフラグメント回路23、フラグメントバッファ24及びフラグメント選択回路25によってフラグメントに分解する(S24)。分解した各フラグメントをエンコーダ26によって送信パケットに形成し、これを送信部28、方向性結合部28及びアンテナ30を経て、他方の通信装置(受信側)に送信する(S26)。

【0075】転送モード制御部32は、受信側からの送信フラグメントに対する返信がNACK(否定応答)信号かどうかを判別する(S28)。NACK信号は、送信パケット(あるいはフラグメント)が正しく受信(復元)されなかったことを意味する。NACK信号でない場合(S28; No)、すなわち、ACK信号を受信した場合には、最後のフラグメントを送信したかどうかを判別する(S30)。まだ、最後のフラグメントではない場合(S30; No)には、フラグメントの送信を繰返す(S26~S30)。

【0076】全てのフラグメントの送信が終了した場合(S30; Yes)、スワップ要求を受信しているかどうかを確認する(S32)。スワップ要求を受けていない場合(S32; No)には、受信バッファ21に送信すべき次のIPパケットが残っていないかを確認する(S34)。残っている場合には(S34; Yes)、ステップS24から繰返し、当該パケットのフラグメントを送信する。残っていない場合には(S34; No)、IPパケットの待受け状態(S22)に戻る。

【0077】一方、フラグメントの送信後にNACK信号を受信した場合(S28; Yes)、このNACK信号が同一フラグメントについて重複して送信(複送)さ

れたものかどうかを判別する(S46)。同一フラグメントについて既にNACK信号を受信しているばあいには(S46; Yes)、このNACK信号を無視(廃棄)し(S48)、フラグメント送信ルーチンのステップS30に移行する(S48)。

【0078】NACK信号が当該フラグメントについて最初のものである場合(S46; No)、最後のフラグメントの送信が完了したかどうかを判断する(S50)。これは、自己のフラグメントの送信記録あるいは相手装置からの肯定信号ACK_nの受信記録により確認可能である。まだ、最後のフラグメントでない場合(S50; No)、には、受信側で正しく受信(あるいは復元)されなかったフラグメントを再送信する(S52)。これは、選択再送モードに対応する。そして、ステップS26に戻って次のフラグメントを送信する。最後のフラグメントが送信された場合(S50)には、後述する、同一フラグメントを連続して再送信する連続再送モードを実行する。

【0079】また、一連のフラグメントの送信終了後(S30; Yes)に、スワップ要求を受信した場合(S32; Yes)には、IP受信バッファにIPパケットが残っているか確認する(S36)。残っている場合には(S36; Yes)、受信側にスワップ否定応答(NACK SWAP)を送出し(S38)、ステップS24に移行して、次のIPパケットのフラグメンテーション、フラグメント送信を行う(S26~S30)。

【0080】一方、IP受信バッファにIPパケットが残っていない場合には(S36; No)、送信権を受信側装置に移すべく、スワップ肯定(ACK SWAP)信号を送出する(S40)。このスワップ肯定に対応してスワップ指令がスワップ制御部に送られ、送信系及び受信系の通信速度(あるいは通信チャンネル)が交替する。その後、IPパケットの待受け状態(S22)に移行する。

【0081】次に、連続再送モードについて図5及び図8に示すフローチャートを参照して説明する。

【0082】連続再送モードは、最後のフラグメントの送信後に実行される(S50; Yes)。連続再送モードでは、受信側から送られたNACK信号に該当するフラグメントを、連続して繰返し送信する(S72)。送信したフラグメントに対して受信側からACK信号を送り返してきたかどうかを判断する(S74)。ACK信号を受信していない場合(S74; No)には、ステップS72に戻って連続送信を繰返す。ACK信号を受信した場合(S74; Yes)には、他に連続再送モードで送信すべき、NACK信号を受けた次のフラグメントがあるかどうかを確認する(S76)。ある場合(S76; Yes)には、次フラグメントの連続送信を行う(S72~S74)。ない場合には(S76; No)、ステップ32に移行し、スワップ(S32)や次のIPパケットのフラグメントの送信(S3

4)等の処理を行う。

【0083】次に、通信装置1のデータ受信における制御動作について図9に示すフローチャートを参照して説明する。

【0084】受信モードでは、受信チャンネルの通信速度が64 kbps、送信チャンネルの通信速度が4 kbpsに設定される。これに対応して、送信側通信装置の送信チャンネルの通信速度が64 kbps、受信チャンネルの通信速度が4 kbpsにそれぞれ設定される。通信速度の切替はスワップ制御部35によって行われる。

【0085】受信モードにおいては、転送モード制御部32は、常時、FEC/RECデコーダ43の出力を監視している。この出力を監視することによって受信された送信パケット(フラグメント)の番号、データエラーの有無等が判る。

【0086】転送モード制御部32は、FEC/RECデコーダ43の出力から相手装置からの送信パケットを受信したかどうかを判別する(S82)。パケットを受信しない場合(S82; No)は、端末装置からIPパケット受信バッファ21に、送信すべきIPパケットが入力されているかを確認する(S94)。

【0087】IPパケットが存在しない場合(S94; No)には、パケットの待受け状態(S82)を継続する。IPパケットが存在する場合(S94; Yes)には、送信権を得るべく、返信発生部33の返信出力ルートを通じてスワップ要求を送信する(S86)。

【0088】パケットを受信した場合(S82; Yes)、この受信パケットにエラーがあるかどうかを、FEC/CRデコーダ43によってチェックする(S84)。エラーが存在する場合(S84; Yes)には、該当フラグメントについてのNACK信号を複数回、例えば2回送信する(S98)。この送信は、返信発生部33の返信出力ルートを使用する。エラーが存在しない場合(S84; No)には、受信パケットから分離されたフラグメントをフラグメント格納回路44を介してフラグメントバッファ45に格納する。

【0089】次に、返信解析部50の出力により、受信パケットがスワップ要求(S96)に対するスワップ肯定(ACK SWAP)信号であるかどうかを判別する(S86)。スワップ肯定信号を受信した場合(S86; Yes)には、送信系と受信系の通信速度のスワップを行い(S100)、既述した送信モードへ移行する。

【0090】スワップ肯定信号を受信しない場合(S86; No)、最後のパケットを受信したかを判別する(S88)。最後のパケットではない場合(S88; No)には、受信パケットに対するACK信号を送信(S102)し、次のパケットの着信を待受ける(S82)。

【0091】最後のパケットを受信した場合(S88; Yes)、IPパケットバッファ21にIPパケットが

入力されているかどうかを判別する(S90)。存在しない場合(S90;No)、受信パケットに対するACK信号を送信側に送出し(S102)、次のパケットの着信を待受ける(S82)。

【0092】次のIPパケットが入力されている場合(S90;Yes)、送信側に受信パケットのACK信号とスワップ要求を送信する(S92)。その後、ステップS82に戻り、待受け状態(S82,S94)となる。

【0093】図10は、他の実施の形態を説明する部分的なフローチャートである。

【0094】上述した実施の形態では、通信装置1が送信エラー通知に対して、最後のパケット(フラグメント)を送信したかどうかを判別して(S50)、該当するパケットについて選択的再送(S52)を行うか、連続再送(S72)を行うかを定めている。しかし、受信側の通信装置において、図10に示すように、ステップS84の後に、最後のパケットを受信したかどうかを判別して(S112)、該当するパケットについて選択的再送を要求する(S98)か、連続再送を要求する(S114)かを決定し、送信側通信装置がこれに従うようにすることとしても、同じ効果が得られる。

【0095】このように、本発明に係る不平衡データ通信システムでは、通信装置間に同時に送信と受信とを行える全二重回線が形成され、この回線は、高速と低速の通信速度の異なる回線からなる不平衡通信回線によって構成される。大量のデータの送受信に高速回線を割当て、返信等の送受信に低速回線を割当てるので、システム全体としてデータ通信に要する時間を短縮することが可能となる。

【0096】そして、送信権を持つ通信装置(送信側)が高速回線でデータを送信し、相手装置は高速回線でデータを受信する。送信側通信装置が送信すべきデータがなくなったときに、相手(受信側)に送信権を譲ってデータの送受を交替する。従って、送信すべき一連のデータの遮断が回避される。これは、電話や、音声・画像等のマルチメディアのデータ再生に都合がよい。また、交替のアルゴリズムや機械的構成が比較的簡単で済む。

【0097】データの伝送にエラーが生じたときには、再送信データが着信が返答されるまで連続送信するので、ノイズに対するデータ伝送の信頼性が高く、様々なノイズが発生する無線通信に好ましい。

【0098】なお、実施例では、高速回線でデータ信号を下り方向に伝送し、低速回線で返信信号等を上り方向に送っているが、各回線はデータの多重が可能であり、低速回線で返信信号の他に上りデータ信号を送ることも可能である。

【0099】また、無線通信においては、外乱が混入しやすいのでデータの再送が必要となる場合が生じ得るが、未着の送信データを複数再送することによって、相

手側への受信確率を高めることが可能となる。

【0100】また、通信媒体は自由空間の他、導体やオプティカルファイバ等の各種通信ケーブルを使用することが可能である。また、局間の通信回線のみならず、企業内通信回線、ローカルエリアネットワーク、インターネット等にも適用可能である。

【0101】発明の実施の形態2. 発明の実施の形態1の伝送方法及び装置は、伝送効率の高いインターネットプロトコル(IP)パケットの無線伝送方式を実現するものであり、インターネット、電子メールの普及とモバイルコンピューティング時代の到来に対応できるものである。なお、以下の説明で「フレーム」という用語を「フラグメント」とともに用いるが、これは発明の実施の形態1の「フラグメント」と同じ意味である。

【0102】発明の実施の形態1の伝送方法及び装置である、ハイブリッドARQ SR/MC (Hybrid Automatic Repeat Request (ARQ) Selective Repeat (SR)/Multi Copy (MC)) では、分割したIPパケットの最後のフレームが送信完了するまでSRを行い、最終フレーム送出後に送信確認されていないフレームに対し、MCにてフレーム伝送を行う。この方式では、データのスループット、特にバーストノイズ発生時のデータリカバリーが優れているという利点があるが、他方、以下の問題点がある。

【0103】(1) Protocol Data Unit (PDU)の構成の中で送信順序番号N(S)、受信順序番号N(R)の占める領域が大きいため、フレーム効率が低い。

【0104】(2) SRからMCに移行する際に、データ送信終了又はMCモードに移行するかの判断を行うため、アイドルフレーム送信が必要となりデータ伝送効率を低下させる。

【0105】そこで、この発明の実施の形態2では、データ伝送効率の向上に着目し、モジュロ概念を取り入れたハイブリッドARQを提案する。まず、動作原理の概略について説明し、次に処理の詳細について説明する。

【0106】この発明の実施の形態2の方式は、分割されたIPパケットをいくつかの単位にまとめ、それをブロックとし、ブロックごとにハイブリッドARQを行うものである。この様子を図11に示す。また、この発明の実施の形態2及び従来(実施の形態1)のフレーム構成を図12に示す。同図の(a)は従来のブロックを設けないときのフレーム構成であり、このとき(a)のヘッダーとして4バイト使用しているが、そのうち1バイトは必要とされていない領域であるため、実効値を計算する際はヘッダーを3バイトとする。(b)はこの発明の実施の形態2のブロックを設けたときのフレーム構成である。(b)において、最初のバイトに送信側順序番号N(S)、受信側順序番号N(R)、情報結合ビット(1ビット)、ブロック識別子(1ビット)が含まれる。情報結合ビットは、送信されたパケットが一連のも

のであるか、それとも最後のものであるかを示すためのビットである。ブロック識別子は、この発明の実施の形態2がIPパケットを複数のブロックに分割したことから必要になったものであり、隣接するブロックを区別するためのものである。例えば、連続するブロックに対して順次「0」「1」「0」「1」・・・というようにコードが割り当てられる。これは送信側順序番号N(S)が1ビット増えると考えられることもできる。この1ビットのブロック識別子によれば隣接するブロック間の区別はできるが、それ以上離れたブロックについては識別できないが、問題はない。あるブロックで送信できなかったパケットは次のブロックの送信までに、マルチコピーモードにより必ず送信されるから、隣接するブロック間を区別できれば十分だからである。なお、ブロック識別子を2ビット以上設けることも可能である。ブロック識別子のビット数を増やせば多くのブロックを識別できるようになる。このブロック識別子は、後述の図16において、ブロック0のパケットnの送信後に続けてブロック1のパケット1-3を送信するために用いられる。

【0107】図12から分かるように、ブロックサイズを8としたとき、レイヤー2で使用するフレーム、PDUの構成要素である送信側順序番号N(S)と受信側順序番号N(R)の使用ビット数が7ビットから3ビットに減り、情報部が増すため、フレーム効率を4.55%向上させることができる。ここではフレームサイズ22バイト、フレーム長5.5msと仮定した。例えば、図13に示すように、1518バイトのデータを送ろうとした場合、従来は、同図(a)のように80フレームを必要としたが、この発明の実施の形態2によれば76フレームですむ。

【0108】また、ブロック間に存在する無駄なフレーム送信を有効に利用するために、PDUの構成の一部にブロック識別子を設け、ブロックの前後判断できるようにすることで、送信中のブロックのMCへの遷移判断を待たずに新ブロックの送信が可能となる。IPパケット間の連続送信実現方法は次の通りである。

【0109】送信データの連続性においては、上位プロトコルにTCP/IPを想定しているため、無線でデータを送信中に次のIPパケットが送られていることは十分考えられる。そこで、IPパケットは上位レイヤからの受信と同時に分割しておき、ブロックの最終フレームのACK/NACKを待たずに、新ブロックの先頭フレームを送信する。このことを図14を用いて説明する。同図(a)は従来(実施の形態1)の方式であり、同じく(b)はこの発明の実施の形態2の方式である。

(a)において、フレーム3が到達しなかったとき、最後のフレーム4が送信された後、フレーム3がマルチコピーモードで再送される。しかし、フレーム4の送信とフレーム3の再送の間に空白(Empty)が発生する。これはブロック間の前後判断を間隔を空けることにより行

うためである。これに対し(b)において、フレーム4が送信された後、直ちに次のブロックのフレーム1が送信され、その後、フレーム3が再送される。したがって空白は発生しない。フレーム3の再送後、次のブロックのフレーム2が送信される。これは、ブロック識別子によりブロック間の前後判断を行うので間隔を空けることが不要になるからである。

【0110】シミュレーションよりフレームエラーレート(Frame Error Rate: FER)が変化したときのスループットを評価した。結果を図15に示す。FERが 10^{-02} のとき、従来のハイブリッドARQは85.55%(点線のグラフ)であり、これに対し、この発明の実施の形態2によれば90.00%(実線のグラフ)であり、この方式の方が4.50%スループットが向上する。

【0111】以上のように、この発明の実施の形態2によれば、実施の形態1のハイブリッドARQにモジュロの概念を取り入れ、分割されたIPパケットをある単位にまとめたブロックごとにハイブリッドARQを行うようにしたので、フレーム効率が4.55%向上する。また、フレーム中の空きビットを利用したブロック識別子を用いることにより、パケットの連続送信が可能になる。IPパケットのスループットについて計算機シミュレーションにより評価した結果、FERが 10^{-02} の点において、この発明の実施の形態の方が4.50%スループットを向上できる。

【0112】次に伝送手順の詳細について説明する。

【0113】図16は、この発明の実施の形態2において、送信パケットが相手に正しく受信されなかった場合に、受信側装置からの再送信要求に対して、送信側装置が2つの再送モード(選択再送、連続再送)により、未着の送信パケットの再送信を行う例を説明する説明図である。

【0114】同図において、B0はブロック0の伝送シーケンスを示し、B1はブロック1の伝送シーケンスを示す。通信装置はIPパケットをフラグメント(フレーム)化し、形成した送信パケットを逐次送信する。通信装置は、各送信パケットの受信に対応して肯定応答信号ACK_iを送出する。ここで、無線通信回線にノイズや妨害波等が混入して、送信パケット2について不達が生ずるものとする。通信装置は、FEC/CRCデコーダによってエラーを検出し、通信装置1に対して否定応答信号NACK₂を送出して送信パケット2の不達を知らせる。

【0115】通信装置1は、一連の送信パケットの連続送信中に否定応答信号NACKを受信した場合は選択再送モードを実行する。このモードでは、未着の送信パケット2をバッファメモリから読出して再送信する。NACK₂が通信装置1に正しく受信された場合には、通信装置1は送信パケット2を送る。しかし、この例におい

ては、送信パケット2はノイズの影響を受けて通信装置2に正しく受信されない。通信装置2は、受信した他のパケットについて肯定応答信号ACK_iを逐次返信する。不達の送信パケット2については否定応答信号NACK₂の返信を繰返す。他の送信パケットの受信は終了する。ここまでがブロック0(B0)の伝送シーケンスである。

【0116】通信装置2は、ブロック0の最後の送信パケットnを受信すると、次のブロック1の送信パケット1、2、3を順次送信する。その後、伝送モードを連続再送モードに変更し、送信できなかったブロック0のパケット2を連続送信する。相手側からACK₂が返され、ブロック0のパケット2が相手側に到達したことを確認できた後に、伝送モードを選択再送モードへ変更し、ブロック1の残りの送信パケット4、5、6を送信する。なお、ブロック識別子が無い場合は、再度のパケットnを送信した後、そのACKが返るまで次のパケットを送れなかった。図16のように続けて送ることができるのは、ブロック識別子により隣接するブロックを区別できるからである。

【0117】このように、送信できなかったパケットが存在する場合でも、そのブロック0の送信終了後、連続再送モードで送信できなかったパケットを連続送信するまでの間に、次のブロック1のパケット1乃至3を送信できる。実施の形態1の図5において、この期間を使用されていなかったのだから、この発明の実施の形態2の伝送方法は、より多くのパケットを送信することができる。

【0118】次に処理の詳細について説明する。図17及び図18はこの発明の実施の形態2の概略処理フローチャートを示す。図19及び図20はこの発明の実施の形態2の詳細処理フローチャートを示す。

【0119】まず、図17について説明する。

【0120】IPパケットがあるかどうか判断する(S201)。IPパケットがないとき(NO)はこの処理を繰り返す。IPパケットがあるとき(YES)は、図11に示すような、IPパケットのフラグメンテーションを行う(S202)。生成されたフラグメントを送信する(S203)。

【0121】データが正しく到達したかどうか、すなわちNACKを受信したかどうか判断する(S204)。NACKを受信したとき(YES)はデータが正しく到達しなかったのだから、再送のためにステップS206以降の処理を行う。NACKを受信しないとき(NO)はデータが正しく到達したのであるからステップS205の処理を行う。すべてのフラグメントのうちの最後のフラグメントを送信したかどうか判断する(S205)。送信したとき(YES)は全てのフラグメントの送信は完了し、ステップS201の処理に戻る。送信していないとき(NO)はステップS203の処理に戻

り、残りのフラグメントを送信する。

【0122】一方、正しく到達しなかったデータがあるとき、NACKを受けたフラグメントと同じブロック内の最後のフラグメントが送信されているかどうか判断する(S206)。送信されているとき(YES)は図18の連続再送モード(MultiCopy Mode)に移行する。送信されていないとき(NO)は、NACKを受けたフラグメントを送信する(S207)。

【0123】次に、図18について説明する。

【0124】連続再送モードにおいては、NACKに該当するフラグメントを複数回連続送信する(S208)。送信フラグメントのACKを受信したかどうか判断する(S209)。受信しないとき(NO)は、ステップS208の処理を繰り返す。受信したとき(YES)は、送信すべきほかのフラグメントがあるかどうか判断する(S210)。あるとき(YES)は、ステップS208等の処理を繰り返す。ないとき(NO)は、MCモードで送信したフラグメントと違うブロックのフラグメントで送信するものがあるかどうか判断する(S211)。あるとき(YES、A)は、図17のステップS207の処理に戻る。ないとき(NO、B)は、図17のステップS205の処理に戻る。

【0125】次に、より詳細なフローチャートである図19(図17に対応)について説明する。

【0126】IPパケットがあるかどうか判断する(S201)。IPパケットがないとき(NO)はこの処理を繰り返す。IPパケットがあるとき(YES)は、IPパケットのフラグメンテーションを行う(S202)。

【0127】タイムアウト(T.O.)したフラグメントでメモリに確保されているものがあるかどうか判断する(S220)。あるとき(YES)はステップS225に進み、ないとき(NO)はステップS221に進む。

【0128】フラグメントが正しく受信されたかどうか判断する(S221)。正しく受信されたとき(YES)はステップS222に進む。正しく受信されなかったとき(NO)はステップS231に進み、タイムアウトかどうか判断する(S231)。タイムアウトのとき(YES)は、タイムアウトしたフラグメントとNACKを送信し(S232)、タイムアウトでないとき(NO)は、フラグメントとNACKを送信する(S233)。そしてS232、S233の後にステップS220の処理に戻る。

【0129】受信フレームのタイプを判断する(S222)。U/EMPTYフレームのときは1フレームの場合と同じような処理がなされるものの、ACK/NACKを送信しない点が異なる。1フレームのときはステップS223に進み、タイムアウトかどうか判断する(S223)。

【0130】タイムアウトのとき(YES)は、タイム

アウトしたフラグメントとACKを送信し(S235)、その後、ステップS220の処理に戻る。

【0131】タイムアウトでないとき(NO)は、最後のフラグメントを送信したかどうか判断する(S224)。送信したとき(YES)は最初の処理S201に戻る。送信していないとき(NO)はステップS204に進む。

【0132】一方、ステップ220で、T.O.したフラグメントでメモリに確保されているものがあるとき(YES)は、フラグメントは正しく受信されたかどうか判断する(S225)。正しく受信されたとき(YES)はタイムアウトかどうか判断し(S226)、そうでなければ(NO)ステップS204に進み、そうであれば(YES)、タイムアウトしたフラグメントとACKを送信し(S230)、その後ステップS220の処理に戻る。

【0133】他方、ステップS225で正しく受信されなかったと判断されたとき(NO)はタイムアウトかどうか判断し(S227)、タイムアウトのとき(YES)はタイムアウトしたフラグをメモリに確保(S228)してから、タイムアウトでないとき(NO)はすぐにフラグメントとNACKを送信する(S229)。

【0134】ステップS204では、NACKを受信したかどうか判断し、受信していないとき(NO)はフラグメントとACKを送信し(S240)、ステップS220に戻る。受信しているとき(YES)は、NACKを受けたフラグメントと同じブロック内の最後のフラグメントが送信されているかどうか判断する(S206)。送信されているとき(YES)は図20の連続再送モードに進む。送信されていないとき(NO)はNACKを受けたフラグメントとACKを送信し(S241)、ステップS220に戻る。

【0135】次に、図20について説明する。

【0136】タイムアウトかどうか判断する(S250)。タイムアウトのとき(YES)はタイムアウトしたフラグメントをメモリに確保した(S251)後、タイムアウトでないとき(NO)はすぐに、フラグメントが正しく受信されたかどうか判断する(S252)。正しく受信されたとき(YES)はステップS253に進み、そうでないとき(NO)はステップS258に進む。

【0137】ステップS258では、カウンタが最大(MAX)であるかどうか判断し、最大のとき(YES)は、MCにてほかに送信するフラグメントがあるかどうか判断する(S260)。送信するフラグメントがあるとき(YES)は、フラグメントとNACKを送信し(S261)、その後、ステップS250の処理に戻る。送信するフラグメントがないとき(NO)は、図19のステップS220(A部)に戻る。一方、ステップS258で最大でないかと判断されたとき(NO)は、フ

ラグメントとNACKを送信し(S259)、その後、ステップS250の処理に戻る。

【0138】ステップS253では、NACKを受信したかどうか判断する(S253)。NACKを受信したとき(YES)は、さらにMCにて送信中のフラグメントのNACKかどうか判断し(S254)、NOのときはNACKを受けたフラグメントをメモリに確保した(S255)後、YESのときは直接、ステップS256に進む。一方、ステップS253でNACKを受信しなかったときは直接ステップS256に進む。

【0139】ステップS256では、カウンタが最大(MAX)であるかどうか判断し、最大のとき(YES)は、MCにてほかに送信するフラグメントがあるかどうか判断する(S262)。送信するフラグメントがあるとき(YES)は、次のフラグメントとNACKを送信し(S263)、その後、ステップS250の処理に戻る。送信するフラグメントがないとき(NO)は、図19のステップS220(A部)に戻る。一方、ステップS256で最大でないかと判断されたとき(NO)は、フラグメントとNACKを送信し(S257)、その後、ステップS250の処理に戻る。

【0140】以上のフローチャートは一例であって、先に述べた処理が可能であれば、処理の順序あるいは内容は適宜変更できる。

【0141】次に、パケットのフレーム構成の詳細を説明する。

【0142】図21は、発明の実施の形態1のフレームフォーマット(レイヤー2)を示す。

【0143】図22は、発明の実施の形態2に係るフレームフォーマットを示す。これらを対比するとわかるように、1フレーム当たりの情報フィールドが2バイト多くなっていて、この分、多くのデータを送ることができる。図22において、Iフレーム番号(N(S))は0~7の値(3ビット)をとり、I・EMPTYフレームのACK/NACKフラグメント番号(N(R))は、0~7の値(3ビット)をとる。

【0144】次に、図21、22の各フィールドについて説明を加える。

【0145】図23は、フレームタイプ(ID)フィールドコードを示す。EMPTYフレームはデータがないときに送られるフレームである。Uフレームはリンク状態を制御するとき送られるフレームである。FCI(Free Channel Information)フレームは1秒ごとにBSから空きチャンネル情報をのせて送られるフレームである。IフレームはIPフラグメントからなるデータを送信するフレームである。この発明の実施の形態2では、Iフレームが従来のもとは異なるが、他のものは同じである。

【0146】図24は、ACK/NACK識別子(C)フィールドコードを示す。EMPTYはACK/NACKを返す必要がないときに送られる。ACKはデータが正しく受信されたときに

送られる。NACKはデータが正しく受信されなかったときに送られる。

【0147】図25は、ブロック識別子(U)フィールドコードを示す。CHNはチャンネル使用許可コマンド、UA_CHNはチャンネル使用許可レスポンス、CONはリンク確立コマンド、UA_CONはリンク確立レスポンス、DISKは切断コマンド、UA_DISKは切断レスポンス、RSは受信一時停止、RRは受信可能、BLOCK_0は受信したN(R)のブロックが0であることを示し、BLOCK_1は受信したN(R)のブロックが1であることを示す。なお、CHNからRRまでの部分はこの発明の実施の形態2に直接関係しない。

【0148】図26は、送信したフラグメントのブロック識別子(B)フィールドコードを示す。BLOCK_0は送信したフラグメントのブロック識別子0を示し、BLOCK_1は送信したフラグメントのブロック識別子1を示す。これが発明の実施の形態2の特徴的な部分である。

【0149】図27は、情報結合ビット(I)フィールドコードを示す。CONTは先頭フレーム又は途中のフレームを示し、DIS_CONTは最終フレーム又は分割していないフレームを示す。

【0150】次に、各フレームごとのフレーム構成図を説明する。

【0151】図28はEMPTYフレームを示す。EMPTYフレームは送るべき情報がない場合に送られるフレームで、ID,U,N(R),Iフィールドを使用する。Uフィールドをブロック識別子として使用する以外のときは、Uフィールドは「0」とする。なお、IDが「00」のとき、ブロック識別子(*の部分)の値は考慮しない。

【0152】図29はUフレームを示す。Uフレームはリンク状態を制御するときに送られるフレームで、ID、U、Iフィールドを使用し、残りのフィールドはすべて「0」とする。

【0153】図30はFCIフレームを示す。FCIフレームはベースステーション(BS)より1秒ごとに送られてくるフレームで、制御フィールドではIDとIを使用し、残りの制御フィールドは「0」とする。

【0154】図31はIフレームはIPフラグメントからなるデータを送信するフレームで、ID,C,U,N(S),N(R),B,Iフィールドを使用する。Uフィールドをブロック識別子として以外のときに使用する場合は、「0」とする。

【0155】以上のように、この発明の実施の形態2によれば、1つのIPパケットを複数のブロックにまとめ、これらブロックごとに送信を行うので、送信順序番号N(S)および受信順序番号N(R)はIPパケットに比べて小さなブロック内の番号を表現できれば足り、したがってこれらのビット長を短くすることができる。これに伴い、フレーム内のデータ領域を増やすことができ、フレーム効率を高めることができる。

【0156】また、フレームにブロック識別子を設けて

隣接するブロックを区別できるようにしたので、選択再送(SR)モードから連続再送モード(MC)に移行する際に、データ送信終了又はMCモードに遷移するかの判断を行う必要がなくなる。したがって、アイドルフレーム送信が不要であり、次のブロックのパケットを送信できて、伝送効率を高めることができる。

【0157】本明細書において、手段とは必ずしも物理的手段を意味するものではなく、各手段の機能が、ソフトウェアによって実現される場合も包含する。さらに、一つの手段の機能が、二つ以上の物理的手段により実現されても、若しくは、二つ以上の手段の機能が、一つの物理的手段により実現されてもよい。

【0158】

【発明の効果】以上説明したように、本発明の不均衡データ通信回線における送信速度割当ての変更方法においては、データの送信に高速回線を割当てるに際し、自己に送信すべきデータが存在しなくなったときに、相手に高速回線を開放するようにしているので、比較的簡単な構成及びアルゴリズムで高速及び低速回線相互間の交替を行うことが可能である。

【0159】また、通信装置相互間で未着のデータが生じた場合には、一連の送信データの送信後に、当該未着データが相手に着信するまで連続して送信し続ける送信モードを実行することにより、ノイズ等に対する回線の信頼性を確保することが可能となる。

【図面の簡単な説明】

【図1】 図1は、本発明の実施の形態1の不均衡パケット通信方式の概念を説明するための概略ブロック図である。

【図2】 図2は、本発明の実施の形態1のIPパケットのフラグメンテーション(細分化)を説明する説明図である。

【図3】 図3は、本発明の実施の形態1の通信装置相互間のデータ通信における通常のスワップ(切替)プロセスを説明する説明図である。

【図4】 図4は、本発明の実施の形態1のスワップ要求が否定されてパケットの送信が継続されるプロセスを説明する説明図である。

【図5】 図5は、本発明の実施の形態1の通常モードから連続再送信モードへのモード変更のプロセスを説明する説明図である。

【図6】 図2は、本発明の実施の形態1の不均衡パケット通信方式におけるデータの送受信を担う通信装置の構成例を説明する概略ブロック図である。

【図7】 図7は、本発明の実施の形態1の通信装置の送信モードにおける動作を説明するフローチャートである。

【図8】 図8は、本発明の実施の形態1の連続再送信モードを説明するフローチャートである。

【図9】 図9は、本発明の実施の形態1の通信装置の

受信モードにおける動作を説明するフローチャートである。

【図10】 図10は、本発明の実施の形態1の他の受信モードを説明するフローチャートである。

【図11】 図11は、本発明の実施の形態2の方式にかかる、分割されたIPパケットをいくつかの単位にまとめ、それをブロックとし、ブロックごとにハイブリッドARQを行う様子を示す模式図である。

【図12】 図12は、本発明の実施の形態2の方式のフレーム構成を示す。(a)は従来(実施の形態1)のブロックを設けないときのフレーム構成であり、(b)はこの発明の実施の形態2のブロックを設けたときのフレーム構成である。

【図13】 図13は、本発明の実施の形態2の方式の packets の構成の一例を示す。(a)は従来(実施の形態1)のブロックを設けないときの packets の構成であり、(b)はこの発明の実施の形態2のブロックを設けたときの packets の構成である。

【図14】 図14は、本発明の実施の形態2の伝送シーケンスの例である。(a)は従来(実施の形態1)のブロックを設けないときの伝送シーケンスであり、(b)はこの発明の実施の形態2のブロックを設けたときの伝送シーケンスである。

【図15】 図15は、本発明の実施の形態2の方式の性能を評価するための、フレームエラーレート(Frame Error Rate: FER)が変化したときのスループットを示すシミュレーション結果である。

【図16】 図16は、本発明の実施の形態2の通常モードから連続再送信モードへのモード変更のプロセスを説明する説明図である。

【図17】 図17は、本発明の実施の形態2の動作フローチャートである。

【図18】 図18は、本発明の実施の形態2の(連続再送信モードを示す)動作フローチャートである。

【図19】 図19は、本発明の実施の形態2の詳細動作フローチャートである。

【図20】 図20は、本発明の実施の形態2の(連続再送信モードを示す)詳細動作フローチャートである。

【図21】 図21は、発明の実施の形態1のフレームフォーマット(レイヤー2)を示す。

【図22】 図22は、発明の実施の形態2に係るフレームフォーマットを示す。

【図23】 図23は、フレームタイプ(ID)フィールドコードを示す。

【図24】 図24は、ACK/NACK識別子(C)フィールドコードを示す。

【図25】 図25は、ブロック識別子(U)フィールドコードを示す。

【図26】 図26は、送信したフラグメントのブロック識別子(B)フィールドコードを示す。

【図27】 図27は、情報結合ビット(I)フィールドコードを示す。

【図28】 図28は、送るべき情報がないときの送られるEMPTYフレームを示す。

【図29】 図29は、リンク状態を制御するときに送られるUフレームを示す。

【図30】 図30は、ベースステーション(BS)から所定時間ごとに送られてくるFCIフレームを示す。

【図31】 図31は、データを送信するためのIフレームを示す。

【符号の説明】

- 21 IPパケット受信バッファ
- 26 FEC/CRCエンコーダ
- 28 送信部
- 32 転送モード制御部
- 41 受信部
- 43 FEC/CRCデコーダ
- 48 IPパケット送信バッファ

【図1】

