

light-emitting elements $E_{i,1}$ to $E_{i,n}$ of the i th row. Hence, in all the pixel circuits $D_{i,1}$ to $D_{i,n}$ of the i th row, a driving current equal to the gray level designation current I_{DATA} flows from the common signal supply line Z_i to the light-emitting elements $E_{i,1}$ to $E_{i,n}$ of the i th row through the drains 23s and sources 23s of the third transistors 23. Hence, the light-emitting elements $E_{i,1}$ to $E_{i,n}$ emit light.

More specifically, in each of the pixel circuits $D_{i,1}$ to $D_{i,n}$ during the non-selection period T_{NSE} , the first transistor 21 functions to electrically disconnect the corresponding signal line Y_j from the third transistor 23 such that the gray level designation current I_{DATA} flowing to the signal line Y_j does not flow to the third transistor 23. The second transistor 22 functions to hold the voltage between the gate 23g and the source 23s of the third transistor 23, which is converted during the selection period T_{SE} , by confining the charges in the capacitor 24. In all the pixel circuits $D_{i,1}$ to $D_{i,n}$ of the i th row, when the common signal is set to the voltage V_{HIGH} during the non-selection period T_{NSE} , the third transistor 23 functions to supply a driving current of a level corresponding to the held gate-source voltage level to the light-emitting element $E_{i,j}$.

Hence, the light-emitting elements $E_{i,1}$ to $E_{i,n}$ of the i th row do not emit light during each of the

selection periods T_{SE} of the first to m th rows. The light-emitting elements $E_{i,1}$ to $E_{i,n}$ emit light during each of the m non-selection periods T_{NSE} in one scanning period T_{SC} . The current value of the driving current that flows to the light-emitting elements $E_{i,1}$ to $E_{i,n}$ when the common signal is at V_{HIGH} is the same as that of the current flowing to the third transistor 23 of each of the pixel circuits $D_{i,1}$ to $D_{i,n}$. That is, the current value is equal to that of the gray level designation current I_{DATA} that flows to the third transistor 23 of each of the pixel circuits $D_{i,1}$ to $D_{i,n}$ during the selection period T_{SE} of the i th row. During the selection period T_{SE} of the i th row, when the current value that flows to the third transistor 23 of each of the pixel circuits $D_{i,1}$ to $D_{i,n}$ of the i th row is set, the driving current of each of the light-emitting elements $E_{i,1}$ to $E_{i,n}$ has a desired current value. Hence, the light-emitting elements $E_{i,1}$ to $E_{i,n}$ emit light at a desired gray level luminance.

As described above, in this embodiment, even when the current vs. voltage characteristic of the third transistor 23 changes between the pixel circuits $D_{1,1}$ to $D_{m,n}$, the gray level designation current I_{DATA} having a predetermined current value is forcibly supplied between the source 23s and the drain 23d of the third transistor 23 during the selection period T_{SE} . In addition, when the voltage between the source

23s and the drain 23d of the third transistor 23 is always saturated, as shown in FIG. 7, the common signal of the voltage V_{HIGH} is output to the common signal supply lines Z_1 to Z_m during the non-selection period T_{NSE} . Accordingly, a driving current having a current value equal to the gray level designation current I_{DATA} is supplied between the source 23s and the drain 23d of the third transistor 23. For this reason, the luminance does not vary between the light-emitting elements $E_{1,1}$ to $E_{m,n}$ of the pixels. That is, in this embodiment, even when a luminance gray level signal having the same voltage level is output to pixels, any in-plane variation in luminance between the pixels can be suppressed. Hence, the organic EL display 1 of this embodiment can display a high-quality image.

During the non-selection period T_{NSE} , the common signal changes to V_{HIGH} m times. The light emission duty of the light-emitting element $E_{i,j}$ is about 50%. To the contrary, in a simple matrix driving display having m light-emitting elements arrayed in the vertical direction and n light-emitting elements arrayed in the horizontal direction, the light emission duty is $1/m$. In the simple matrix driving display, as the resolution becomes high, the light emission duty of the light-emitting element decreases. In the organic EL display 1 of this embodiment, however, even when the resolution becomes high, the light emission duty of the

light-emitting element $E_{i,j}$ does not decrease. The organic EL display 1 can display an image at a high luminance, high contrast, and high resolution.

One selection scanning line X_i and one common signal supply line Z_i are arranged in each row. Not a signal for scanning but a common signal is simply output from the common signal power supply 6 to the common signal supply line Z_i . The only shift register for scanning, which is arranged in the organic EL display 1, is the selection scanning driver 5. A shift register is generally formed from m flip-flop circuits. The common signal power supply 6 only needs to output signals having the same waveform to all the common signal supply lines Z_1 to Z_m and therefore can have a simplified circuit structure. For this reason, in the common signal power supply 6, the mounting area is smaller, the structure is simpler, and the number of elements is smaller than a shift register. As compared to a conventional organic EL display having two shift registers serving as drivers, the organic EL display 1 of this embodiment can reduce the manufacturing cost and increase the yield.

[Second Embodiment]

An organic EL display according to the second embodiment will be described next.

Even in the second embodiment, the organic EL display comprises an organic EL display panel 2, data

driver 3, and selection scanning driver 5, like the organic EL display 1 according to the first embodiment shown in FIG. 1. The data driver 3, a display section 4, the selection scanning driver 5, pixel circuits $D_{1,1}$ to $D_{m,n}$, and light-emitting elements $E_{1,1}$ to $E_{m,n}$ have the same structures as those in the organic EL display 1 of the first embodiment, and a detailed description thereof will be omitted in the second embodiment.

In the second embodiment, a common signal power supply 6 is arranged in a controller 11 connected to the organic EL display 1, as shown in FIG. 10. For this reason, the ratio of the occupied area of the pixels on the substrate of the organic EL display 1 can be increased.

The organic EL display 1 according to the second embodiment can operate in accordance with the waveform chart shown in FIG. 8, as in the first embodiment.

[Third Embodiment]

The third embodiment will be described next. This embodiment is the same as the first embodiment except that a drain 22d of a second transistor 22 of a pixel circuit $D_{i,j}$ of each pixel $P_{i,j}$ is not connected to a common signal supply line Z_i but to a selection scanning line X_i , as shown in FIG. 11. The same reference numerals as in the first embodiment denote the same parts in the third embodiment, and a detailed description thereof will be omitted.

In the transistor 22, the drain electrode 22d and gate electrode 22g are connected to the selection scanning line X_i . A source electrode 22s is connected to a gate electrode 23g of a third transistor 23. The transistor 22 is an N-channel amorphous silicon thin film transistor, like a first transistor 21 and the transistor 23.

The transistor 22 operates upon receiving the voltage shown in the waveform chart in FIG. 8. That is, as shown in FIG. 12A, during a selection period T_{SE} , the transistor 22 of each of pixels $P_{i,1}$ to $P_{i,n}$ is turned on by a scanning signal of an ON-level (high-level) voltage V_{ON} from the selection scanning line X_i so that the voltage from the selection scanning line X_i is applied to the gate of the transistor 23. Simultaneously, the transistor 21 of each of the pixels $P_{i,1}$ to $P_{i,n}$ is turned on. In addition, the transistor 23 of each of the pixels $P_{i,1}$ to $P_{i,n}$ is turned on by the gate voltage applied by the transistor 22 during the selection period T_{SE} . Hence, the data driver 3 supplies a gray level designation current I_{DATA} to the paths between the drains 23d and the sources 23s of the transistors 23 of the pixels $P_{i,1}$ to $P_{i,n}$ and signal lines Y_1 to Y_n in the direction indicated by the arrow in FIG. 12A. The current value of the gray level designation current I_{DATA} at this time corresponds to the gray level of a red digital gray level image signal

S_R , green digital gray level image signal S_G , and blue digital gray level image signal S_B input to the data driver 3. Charges corresponding to the current value of the gray level designation current I_{DATA} are stored in capacitors 24 connected to the paths between the gates 23g and the sources 23s of the transistors 23 of the pixels $P_{i,1}$ to $P_{i,n}$ during the selection period T_{SE} .

During a non-selection period T_{NSE} , the transistor 21 and transistor 22 of each of the pixels $P_{i,1}$ to $P_{i,n}$ are turned off by a scanning signal of an OFF-level voltage V_{OFF} supplied to the selection scanning line X_i . A voltage V_{HIGH} is applied to all common signal supply lines Z_1 to Z_m . For this reason, the voltages between the sources 23s and the drains 23d of all the transistors 23 are saturated. The voltages between the gates 23g and the sources 23s of all the transistors 23 have a voltage value corresponding to the charges stored in the capacitors 24 during the selection period T_{SE} . As shown in FIG. 12B, a driving current having a current value equal to the gray level designation current I_{DATA} flows between the sources 23s and the drains 23d of all the transistors 23. Since the voltage V_{HIGH} is much higher than a reference voltage V_{SS} , the driving current flows in the direction indicated by the arrow in FIG. 12A to cause light-emitting elements $E_{1,1}$ to $E_{m,n}$ to emit light.

The present invention is not limited to the above embodiments. Various changes and modifications of design may be done without departing from the spirit and scope of the invention.

5 For example, in the above embodiments, all the first transistor 21, second transistor 22, and third transistor 23 of the pixel circuit $D_{i,j}$ are N-channel transistors. However, all the transistors may be formed from P-channel transistors, and the anode and
10 cathode of the light-emitting element $E_{i,j}$ may be connected in the reverse direction. At this time, the waveforms shown in FIG. 8 are inverted.

In the embodiments, the light-emitting period of the light-emitting elements $E_{1,1}$ to $E_{m,n}$ is the
15 non-selection period T_{NSE} between the selection periods T_{SE} . the light-emitting period of the light-emitting element $E_{i,j}$ is the m discontinuous non-selection periods T_{NSE} between the selection period T_{SE} of the i th row and the selection period T_{SE} of the next i th
20 row. As shown in FIG. 13, all the light-emitting elements $E_{1,1}$ to $E_{m,n}$ may be simultaneously caused to emit light during the non-selection period T_{NSE} after charges by the gray level designation current I_{DATA} are written in the capacitors 24 of all the light-emitting
25 elements $E_{1,1}$ to $E_{m,n}$. At this time, when at least one of the selection period T_{SE} during one scanning period T_{SC} and $(m-1)$ reset periods T_R when the reset voltage

V_{RST} is applied to the signal lines Y_1 to Y_n is set to be short, the non-selection period T_{NSE} , i.e., the light-emitting period of the light-emitting elements $E_{1,1}$ to $E_{m,n}$ can be made relatively long. Referring to FIG. 13, after the selection scanning line X_m is selected, to return the charges stored in the parasitic capacitances of the signal lines Y_1 to Y_n in the write mode of the pixels $P_{m,1}$ to $P_{m,n}$ of the selection scanning line X_m , the reset voltage V_{RST} may be applied to increase the number of reset periods T_R during one scanning period T_{SC} to m .

In the above embodiments, an organic EL element is used. However, any other light-emitting element having rectification properties may be used. That is, the light-emitting element may be an element which flows no current when a reverse bias voltage is applied but flows a current when a forward bias voltage is applied, and also emits light at a luminance correspondence with the magnitude of the flowing current. An example of a light-emitting element having rectification properties is an LED (Light Emitting Diode) element.

In the above embodiments, the data driver 3 and selection scanning driver 5 operate on the basis of a clock signal input from the controller 11. However, the clock signal CK3 that is output from the common signal power supply 6 and used as a common signal may be input to the selection scanning driver 5 as the

clock signal CK2.

In the above embodiments, the number of times the common signal output from the common signal power supply 6 changes to low level, i.e., the gray level designation current I_{DATA} is supplied is one per selection period T_{SE} . However, the number of times may be two or more per selection period T_{SE} .

According to the present invention, when a driving current flows to the light-emitting element, the light-emitting element emits light. The current value of the driving current corresponds to the voltage held between the gates 23g and the source 23s of the transistor 23 of the pixel circuit. The voltage value is obtained by converting the current value of the designation current. For these reasons, the current value of the driving current coincides with the current value of the designation current. The light-emitting element emits light at a luminance depending on the current value of the designation current. That is, the light-emitting element emits light at a luminance set by the current value of the designation current. Hence, if the current value of the designation current does not change between pixels, the luminance does not vary between the plurality of light-emitting elements, and a high-quality image can be displayed.

It is only the scanning driver 5 that supplies a selection signal to each scanning line. No drivers for

scanning are arranged at all. In addition, the common signal power supply 6 has a smaller number of elements than that of the scanning driver and therefore has a simple arrangement. Hence, the mounting area of the driver is small.

5

C L A I M S

1. A display device comprising:
 - a plurality of scanning lines;
 - a plurality of signal lines;
 - 5 a scanning driver which sequentially supplies to the scanning lines selection signals that select the scanning lines;
 - a data driver which supplies a designation current to said plurality of signal lines within a selection
 - 10 period when the scanning lines are being selected;
 - a plurality of pixel circuits which supplies a driving current corresponding to a current value of the designation current that flows to the signal lines;
 - a plurality of optical elements which emit light
 - 15 in accordance with the driving current supplied by said plurality of pixel circuits; and
 - a power supply which outputs to said plurality of pixel circuits a driving current reference voltage to supply the driving current.
- 20 2. A display device according to claim 1, wherein the power supply outputs the driving current reference voltage to said plurality of pixel circuits within a non-selection period.
3. A display device according to claim 2, wherein
- 25 the non-selection period is a period when none of said plurality of optical elements are selected.
4. A display device according to claim 2, wherein

a reset voltage is output to said plurality of signal lines within the non-selection period.

5 5. A display device according to claim 1, wherein the power supply selectively outputs the driving current reference voltage and a designation current reference voltage to supply the designation current.

6. A display device according to claim 5, wherein the designation current reference voltage is lower than the driving current reference voltage.

10 7. A display device according to claim 5, wherein the power supply outputs the designation current reference voltage within the selection period.

15 8. A display device according to claim 1, wherein the power supply alternately outputs a designation current reference voltage to supply the designation current and the driving current reference voltage.

20 9. A display device according to claim 1, wherein the data driver supplies the designation current to the signal lines and the pixel circuits on the basis of a designation current reference voltage output from the power supply within the selection period, and

25 each of the pixel circuits stores the current value of the designation current and supplies the driving current that is equal to the current value of the designation current on the basis of the driving current reference voltage output from the power supply.

10. A display device according to claim 1, wherein

each of the pixel circuits comprises a driving transistor and a capacitor which is connected between a gate and a source of the driving transistor,

5 the data driver supplies the designation current to the signal lines and the driving transistors of the pixel circuits on the basis of a designation current reference voltage output from the power supply within the selection period, and

10 the capacitor stores charges corresponding to the designation current between the gate and the source, and when the driving current reference voltage is input from the power supply, the driving transistor supplies the driving current corresponding to the charges stored between the gate and the source.

15 11. A display device according to claim 1, wherein each of the pixel circuits comprises

a first transistor in which a gate is connected to the scanning line and one of a drain and a source is connected to the signal line,

20 a second transistor in which a gate is connected to the scanning line and a designation current reference voltage and the driving current reference voltage are selectively input to one of a drain and a source, and

25 a driving transistor in which a gate is connected to the other of the drain and the source of the second transistor, one of a drain and a source is connected to

one of the drain and the source of the second transistor, and the other of the drain and the source is connected to the other of the drain and the source of the first transistor and the optical element.

5 12. A display device according to claim 11, wherein the scanning driver selects the first transistor and the second transistor, which are connected to a predetermined scanning line, within the selection period.

10 13. A display device according to claim 1, wherein each of the pixel circuits comprises

 a first transistor in which a gate is connected to the scanning line and one of a drain and a source is connected to the signal line,

15 a second transistor in which a gate is connected to the scanning line and one of a drain and a source is connected to the scanning line, and

 a driving transistor in which a gate is connected to the other of the drain and the source of the second transistor, one of a drain and a source is connected to the power supply, and the other of the drain and the source is connected to the other of the drain and the source of the first transistor and the optical element.

20

 14. A display device according to claim 13, wherein the scanning driver selects the first transistor and the second transistor, which are connected to a predetermined scanning line, within the

25

selection period.

15 15. A display device according to claim 1, wherein the power supply outputs the driving current reference voltage from the end of the selection period of a predetermined scanning line till the beginning of the selection period of a next scanning line.

10 16. A display device according to claim 1, wherein the optical element has a first electrode connected to the power supply through the pixel circuit and a second electrode to which a reference voltage is applied.

17. A display device according to claim 16, wherein

15 the power supply selectively outputs the driving current reference voltage and a designation current reference voltage to supply the designation current, and

20 the driving current reference voltage is not less than the reference voltage, and the designation current reference voltage is not more than the reference voltage.

18. A display device according to claim 1, wherein the optical element is an organic EL element.

19. A display device comprising:

25 a scanning line group having a scanning line of a first row and a scanning line of a second row;

an optical element group having a first optical element which is connected to the scanning line of the

first row and emits light in accordance with a current value of a first driving current supplied, and a second optical element which is connected to the scanning line of the second row and emits light in accordance with a current value of a second driving current supplied;

5 a pixel circuit group having a first pixel circuit which is connected to the first optical element and supplies the first driving current equal to a current value of a first designation current supplied, and a second pixel circuit which is connected to the second optical element and supplies the second driving current equal to a current value of a second designation current supplied; and

15 a power supply which applies a driving current reference voltage to supply the first driving current to the first optical element through the first pixel circuit and applies the driving current reference voltage to supply the second driving current to the second optical element through the second pixel circuit between a selection period of the scanning line of the first row and a selection period of the scanning line of the second row.

20. A display device according to claim 19, wherein the power supply outputs the driving current reference voltage to the optical element group within a non-selection period.

21. A display device according to claim 20,

wherein the non-selection period is a period when none of the optical elements of the optical element group are selected.

22. A display device according to claim 20,
5 wherein a reset voltage is output to said plurality of signal lines within the non-selection period.

23. A display device according to claim 19,
wherein the power supply selectively outputs the driving current reference voltage and a designation
10 current reference voltage to supply the first and second designation currents to the first and second pixel circuits.

24. A display device according to claim 23,
wherein the designation current reference voltage is
15 lower than the driving current reference voltage.

25. A display device according to claim 23,
wherein the power supply outputs the designation current reference voltage within the selection period.

26. A display device according to claim 19,
20 wherein the power supply alternately outputs a designation current reference voltage to supply the first and second designation currents and the driving current reference voltage.

27. A display device according to claim 19,
25 further comprising a data driver which supplies the first and second designation currents to the first and second pixel circuits on the basis of a designation

current reference voltage output from the power supply within the selection period.

28. A display device according to claim 27,
further comprising a signal line which connects the
5 data driver to the pixel circuits.

29. A display device according to claim 19,
wherein each of the pixel circuits stores the current
value of the designation current supplied within the
selection period and supplies the driving current that
10 is equal to the current value of the designation
current on the basis of the driving current reference
voltage output from the power supply after the
selection period.

30. A display device according to claim 19,
15 wherein

each of the pixel circuits comprises a driving
transistor and a capacitor which is connected between a
gate and a source of the driving transistor,

the data driver supplies the designation current
20 to the driving transistors of the pixel circuits on the
basis of a designation current reference voltage output
from the power supply within the selection period, and

the capacitor stores charges corresponding to the
designation current between the gate and the source,
25 and when the driving current reference voltage is input
from the power supply, the driving transistor supplies
the driving current corresponding to the charges stored

between the gate and the source.

31. A display device according to claim 19,
wherein each of the pixel circuits comprises

5 a first transistor in which a gate is connected to
one scanning line of the scanning line group and one of
a drain and a source is connected to the data driver,

10 a second transistor in which a gate is connected
to the scanning line and a designation current
reference voltage and the driving current reference
voltage are selectively input to one of a drain and a
source, and

15 a driving transistor in which a gate is connected
to the other of the drain and the source of the second
transistor, one of a drain and a source is connected
to one of the drain and the source of the second
transistor, and the other of the drain and the source
is connected to the other of the drain and the source
of the first transistor and one optical element of the
optical element group.

20 32. A display device according to claim 31,
further comprising a selection scanning driver which
selects the first transistor and the second transistor,
which are connected to the predetermined scanning line
of the scanning line group within the selection period.

25 33. A display device according to claim 19,
wherein each of the pixel circuits comprises
a first transistor in which a gate is connected to

one scanning line of the scanning line group and one of a drain and a source is connected to the data driver,

5 a second transistor in which a gate is connected to the scanning line and one of a drain and a source is connected to the scanning line, and

10 a driving transistor in which a gate is connected to the other of the drain and the source of the second transistor, one of a drain and a source is connected to the power supply, and the other of the drain and the source is connected to the other of the drain and the source of the first transistor and one optical element of the optical element group.

34. A display device according to claim 33, further comprising a selection scanning driver which
15 selects the first transistor and the second transistor, which are connected to the predetermined scanning line of the scanning line group within the selection period.

35. A display device according to claim 19, wherein the power supply outputs the driving current
20 reference voltage within a non-selection period between the selection period of a predetermined scanning line and the selection period of a next scanning line.

36. A display device according to claim 19, wherein the optical element has a first electrode
25 connected to the power supply through the pixel circuit and a second electrode to which a reference voltage is applied.

37. A display device according to claim 36,
wherein

the power supply selectively outputs the driving
current reference voltage and the designation current
5 reference voltage to supply the first and second
designation currents, and

the driving current reference voltage is not less
than the reference voltage, and the designation current
reference voltage is not more than the reference
10 voltage.

38. A display device according to claim 19,
wherein the optical element is an organic EL element.

39. A display device comprising:

a plurality of scanning lines;
15 a scanning driver which sequentially supplies to
the scanning lines selection signals that select one of
said plurality of scanning lines;

a plurality of pixel circuits each of which is
connected to a corresponding one of said plurality of
20 scanning lines and supplies a driving current corre-
sponding to a current value of the designation current;

a plurality of optical elements each of which
emits light in accordance with the driving current
supplied by a corresponding one of said plurality of
25 pixel circuits;

a data driver which supplies the designation
currents to the pixel circuits within a selection

period when the scanning lines are selected; and

a common voltage output circuit which outputs to the selected pixel circuit a designation current reference voltage to supply the designation currents within the selection period of the scanning lines and
5 outputs to said plurality of pixel circuits a driving current reference voltage to supply the driving currents within a non-selection period.

40. A display device according to claim 39,
10 wherein the common voltage output circuit outputs the driving current reference voltage to all the pixel circuits within the non-selection period.

41. A display device according to claim 39,
15 wherein the designation current reference voltage is lower than the driving current reference voltage.

42. A display device driving method comprising:

a first designation current step of supplying a first designation current to a first driving transistor within a first selection period to store charges corresponding to a current value of the first designation
20 current between a gate and a source of the first driving transistor;

a second designation current step of supplying a second designation current to a second driving
25 transistor within a second selection period to store charges corresponding to a current value of the second designation current between a gate and a source of the

second driving transistor; and

5 a driving current reference voltage output step of, from the end of the first selection period till the beginning of the second selection period, outputting a driving current reference voltage to the first driving transistor and a first optical element which is connected in series with the first driving transistor and outputting the driving current reference voltage to the second driving transistor and a second optical
10 element which is connected in series with the second driving transistor.

43. A display device driving method according to claim 42, wherein the driving current reference voltage is a voltage at which a source-drain voltage of the first driving transistor and a source-drain voltage of the second driving transistor are set in a saturated
15 state.

44. A display device driving method comprising:
20 a first designation current step of supplying a first designation current to a first driving transistor within a first selection period to store charges corresponding to a current value of the first designation current between a gate and a source of the first driving transistor;

25 a second designation current step of supplying a second designation current to a second driving transistor within a second selection period after the

first designation current step to store charges corresponding to a current value of the second designation current between a gate and a source of the second driving transistor; and

5 a driving current reference voltage output step of, after the second designation current step, outputting a driving current reference voltage to the first driving transistor and a first optical element which is connected in series with the first driving
10 transistor and outputting the driving current reference voltage to the second driving transistor and a second optical element which is connected in series with the second driving transistor.

15 45. A display device driving method according to claim 44, wherein the driving current reference voltage is a voltage at which a source-drain voltage of the first driving transistor and a source-drain voltage of the second driving transistor are set in a saturated state.

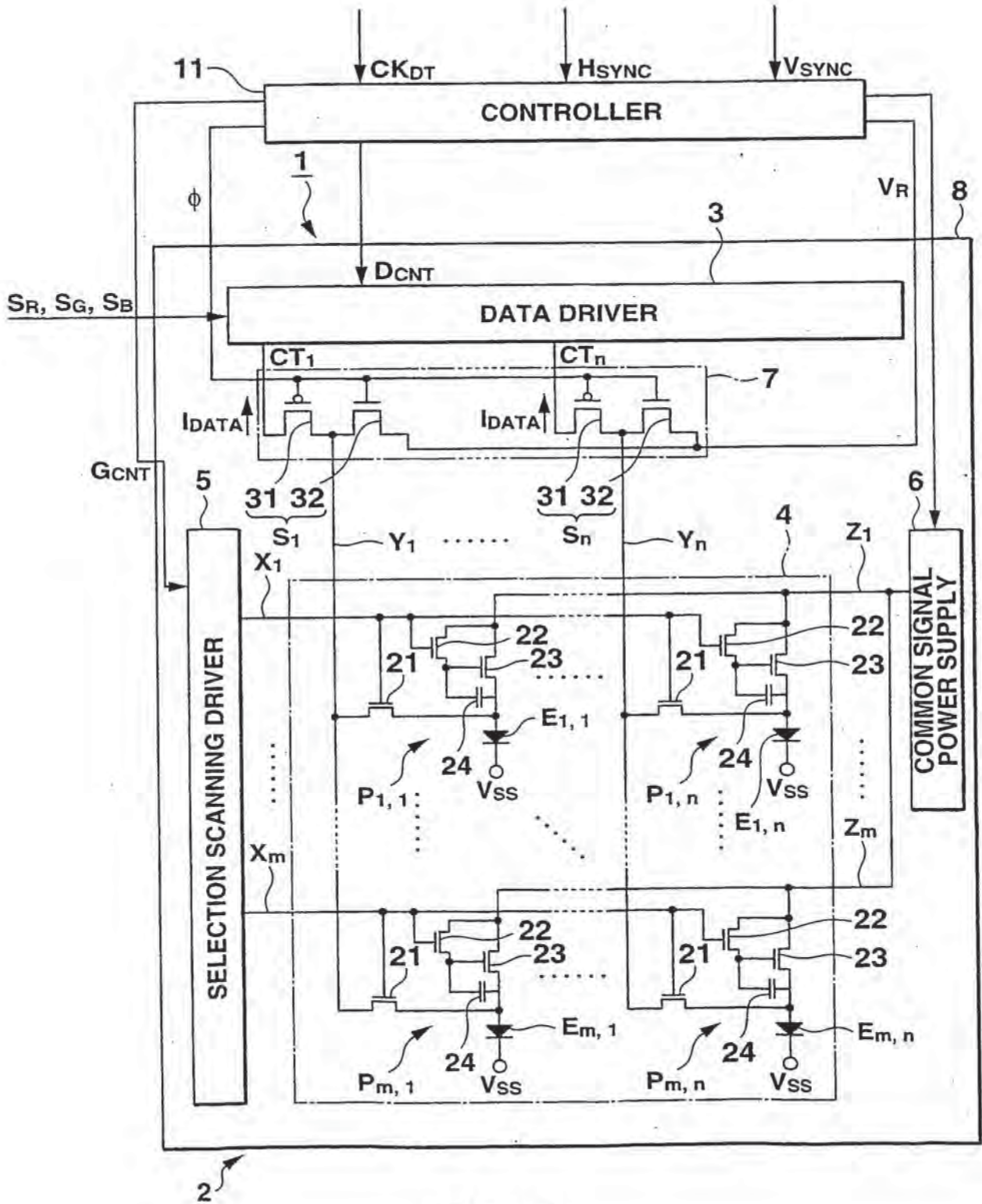


FIG. 1

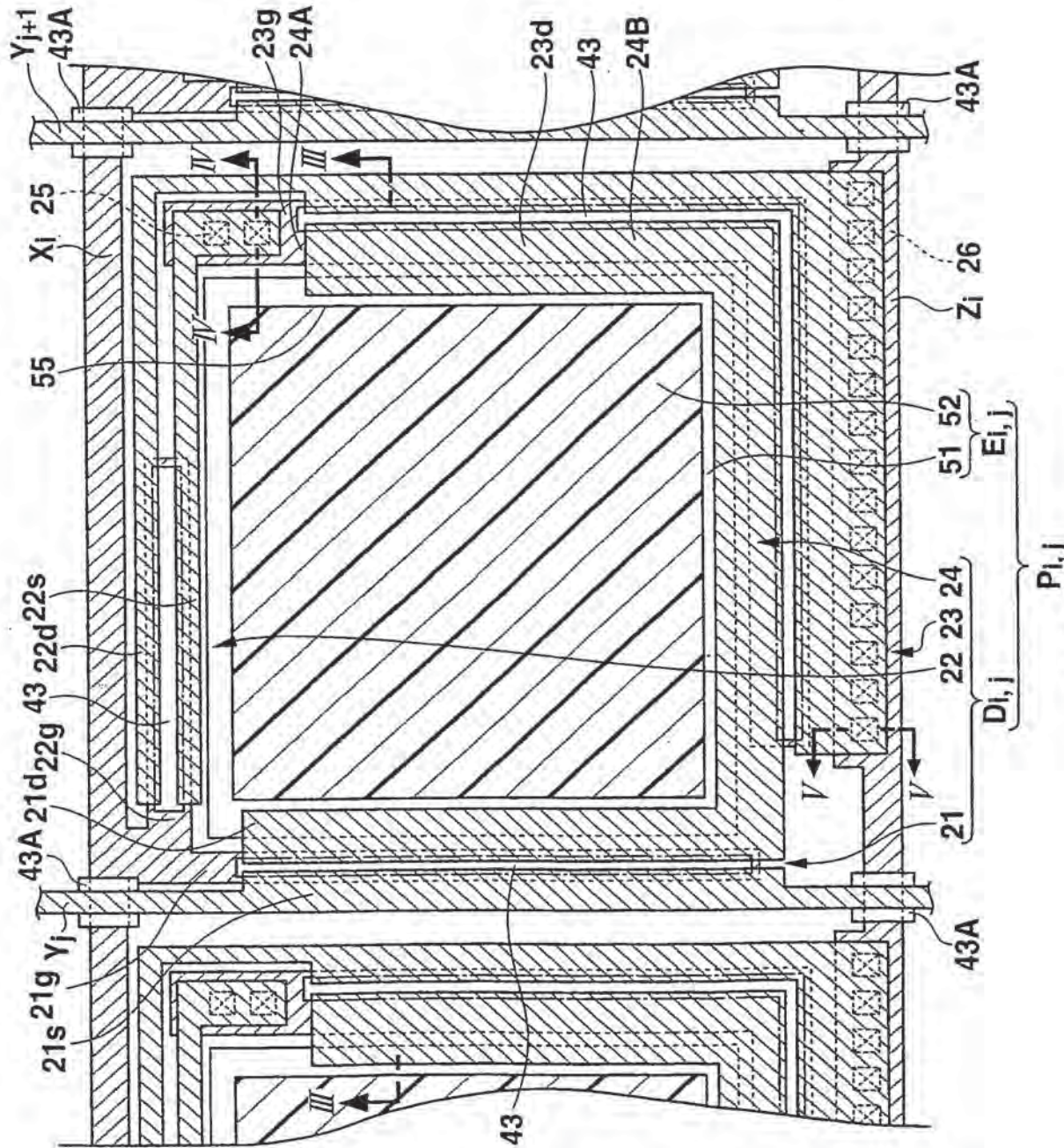


FIG.2

3/12

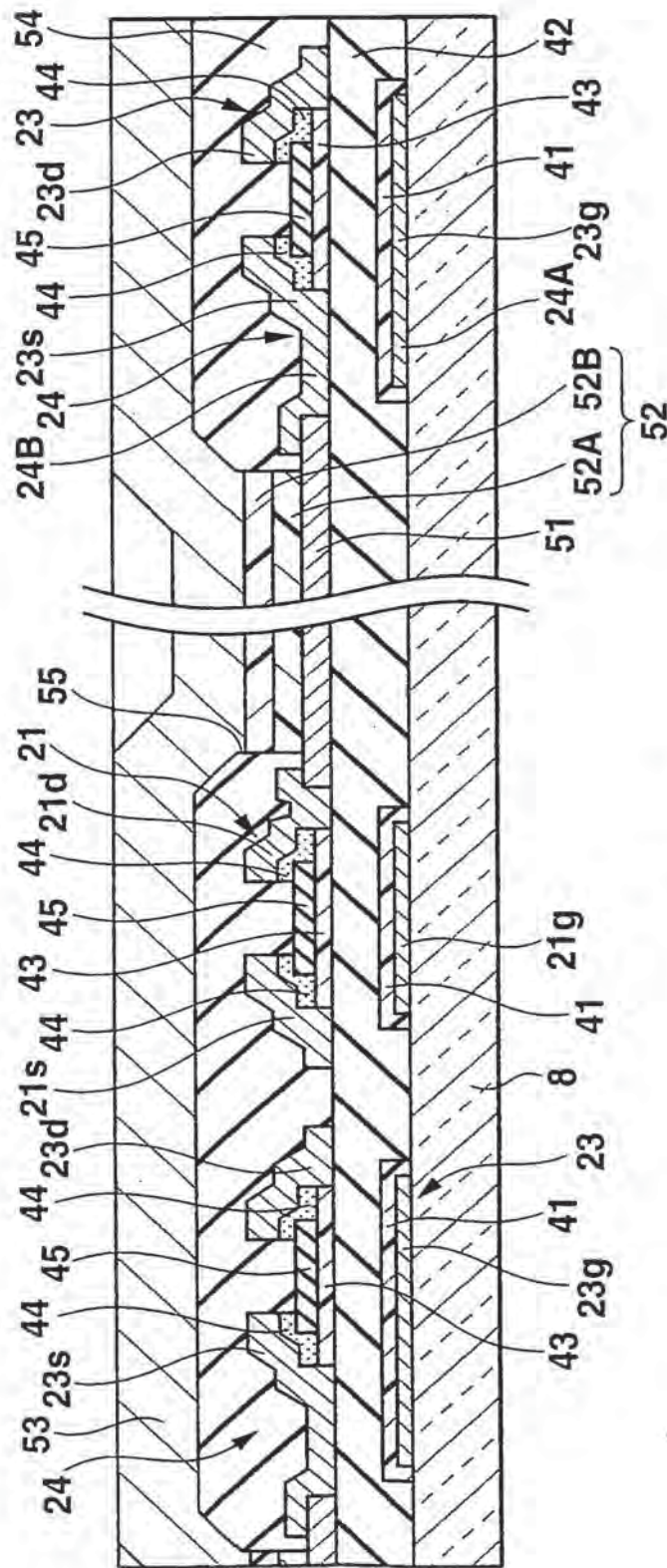


FIG.3

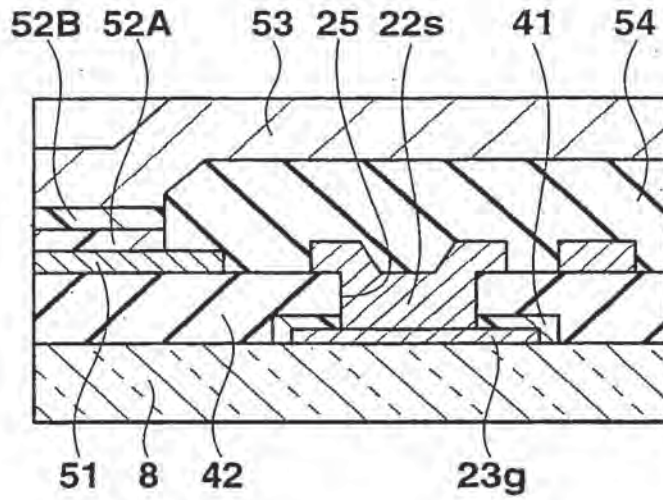


FIG.4

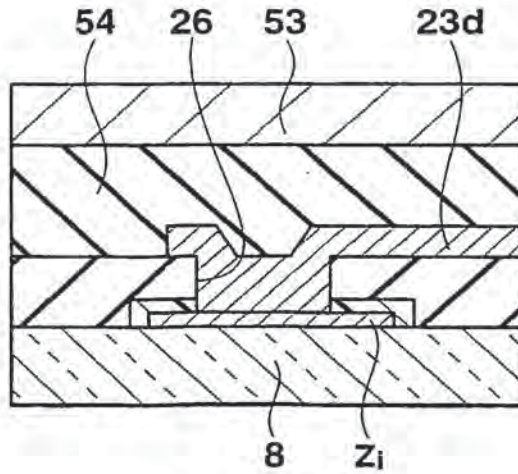


FIG.5

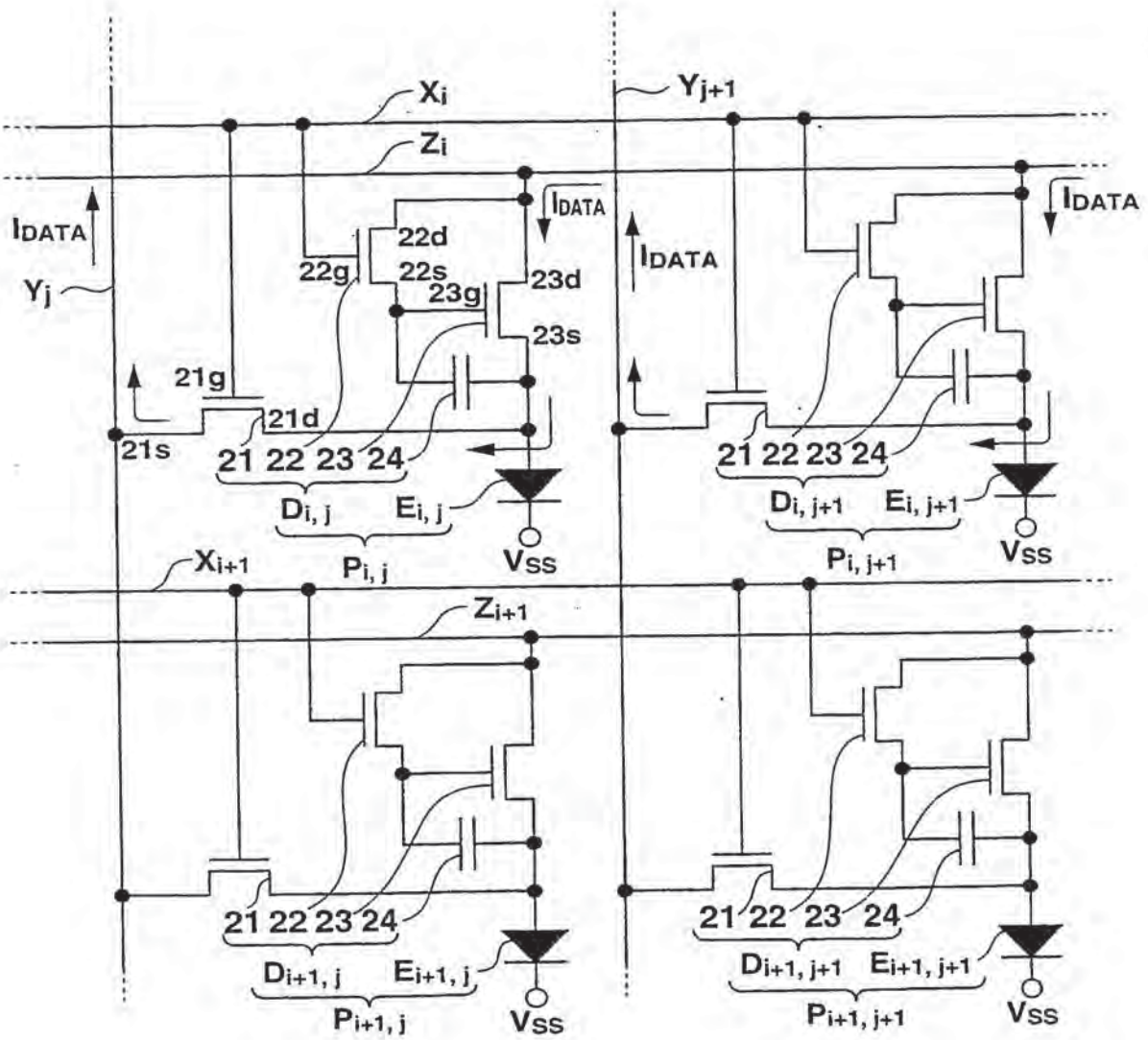


FIG.6

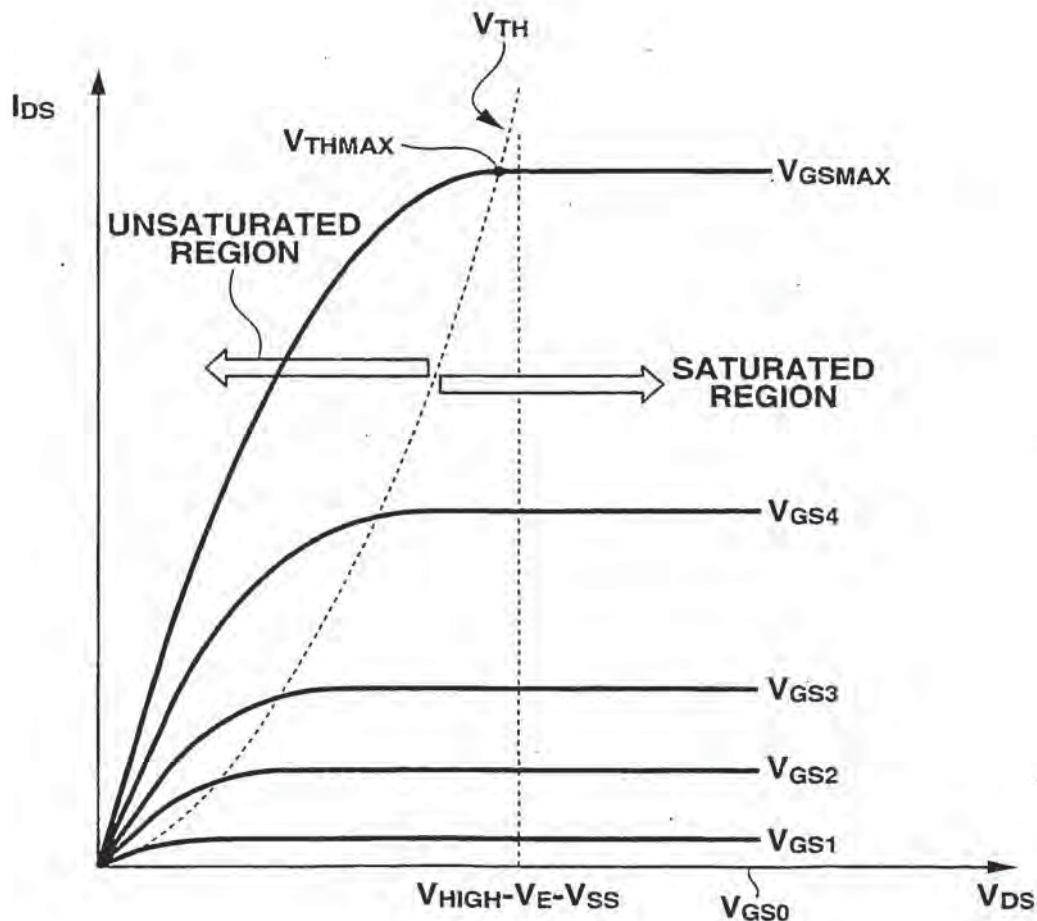


FIG.7

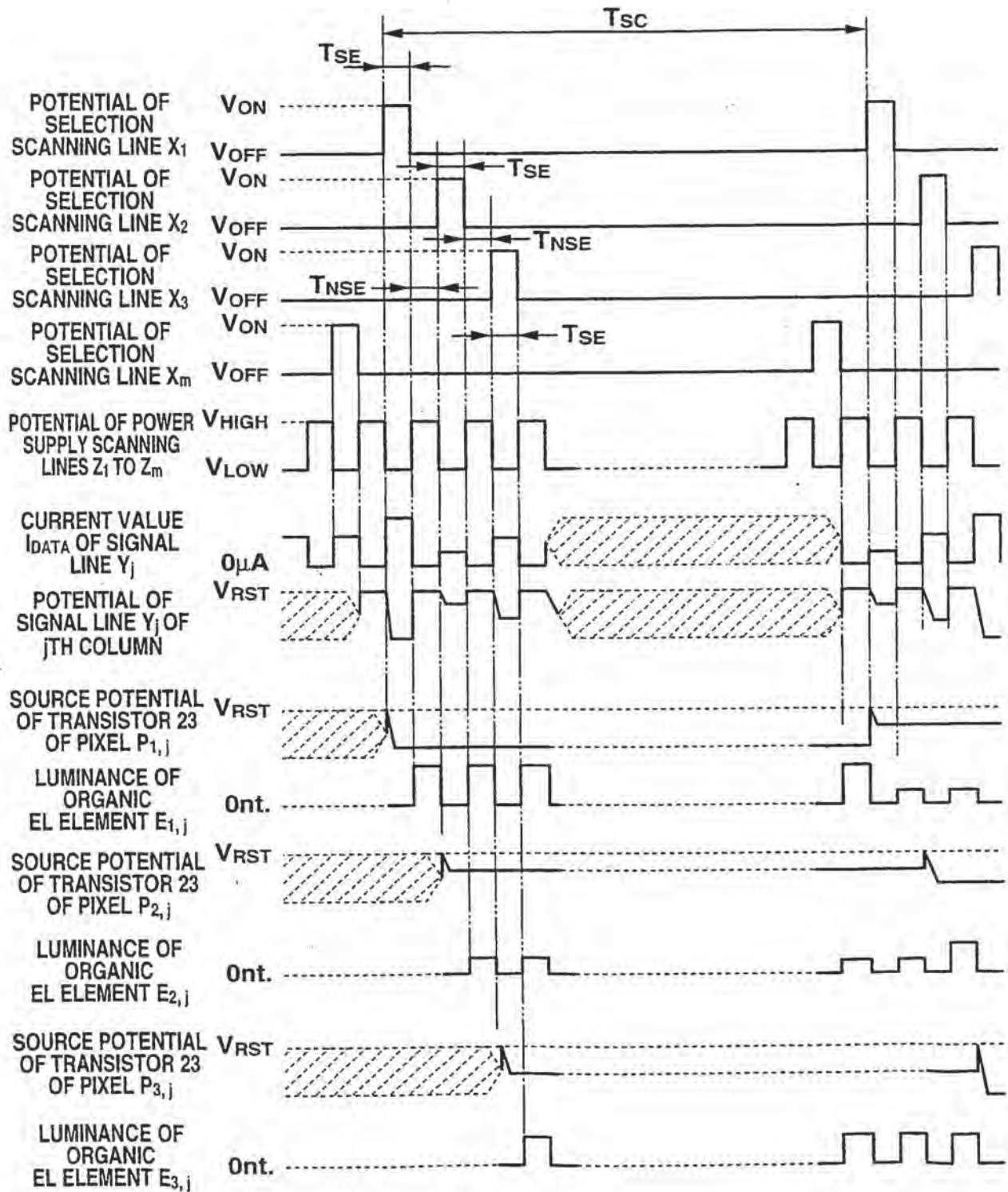


FIG.8

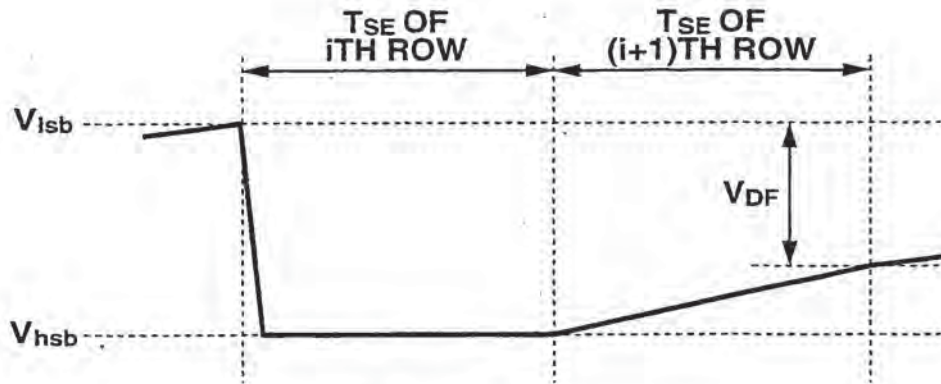


FIG.9A

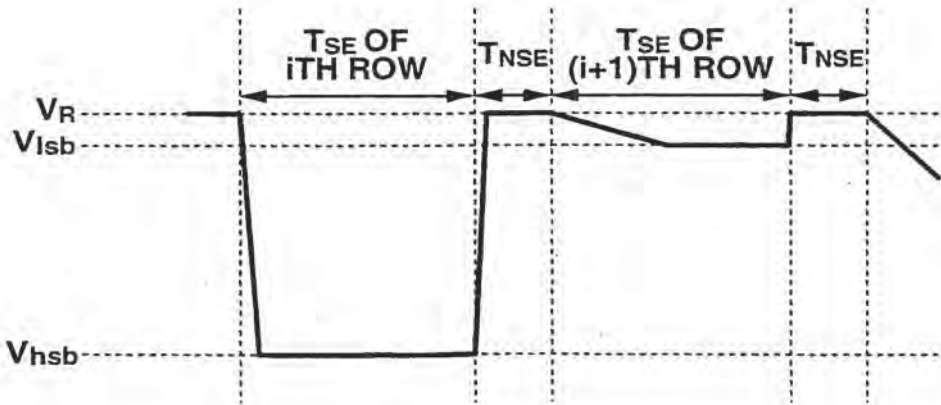


FIG.9B

9/12

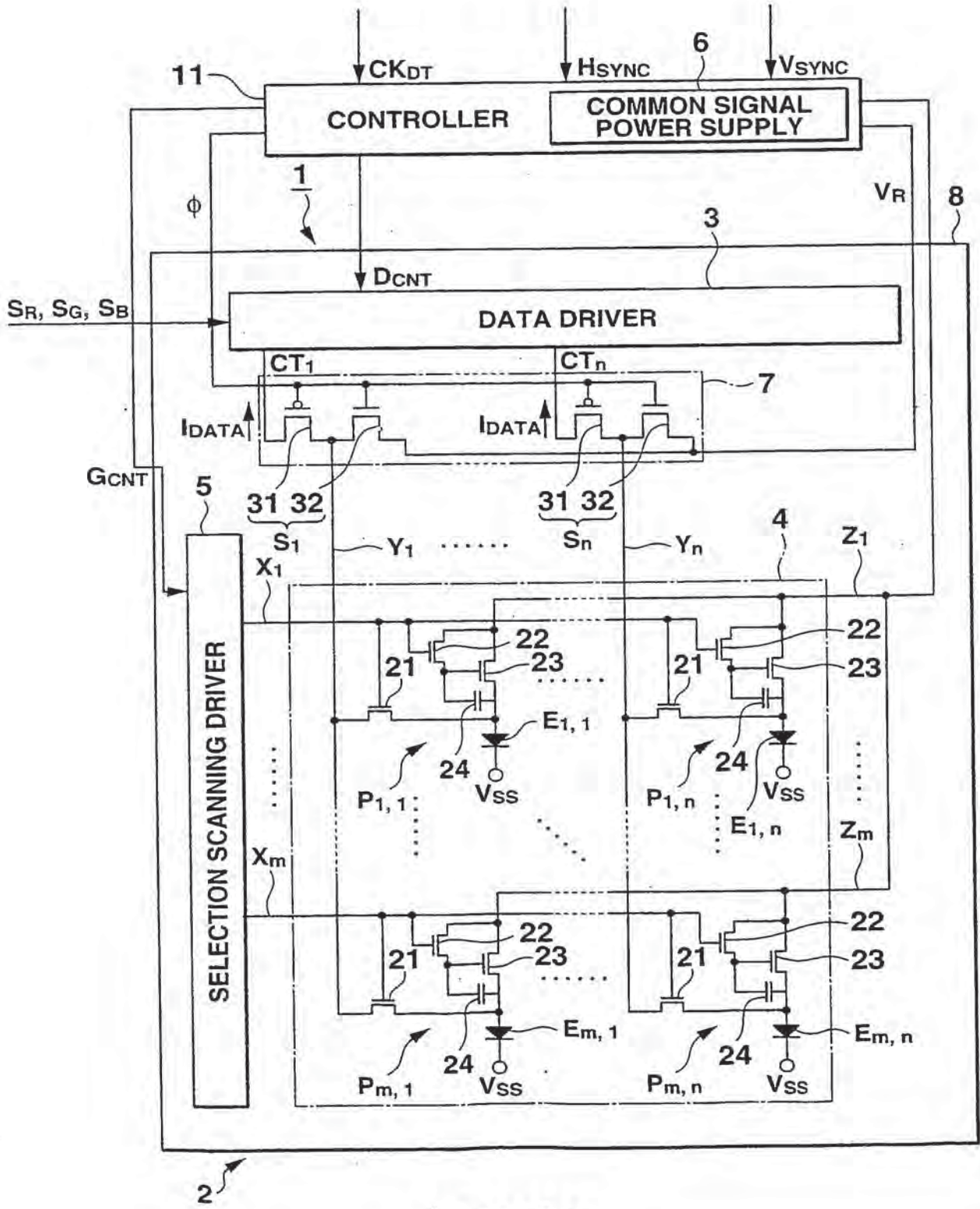


FIG.10

10/12

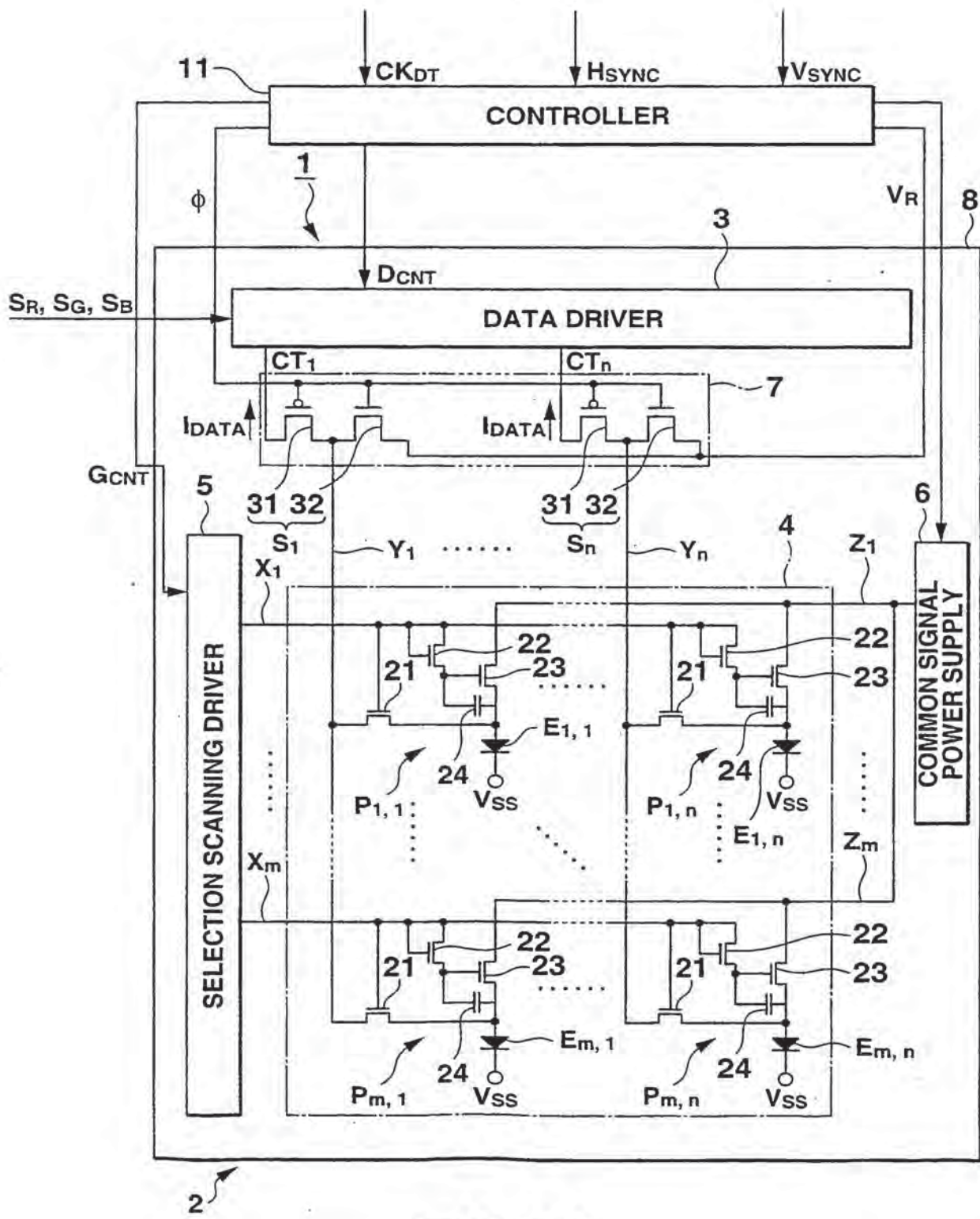


FIG.11

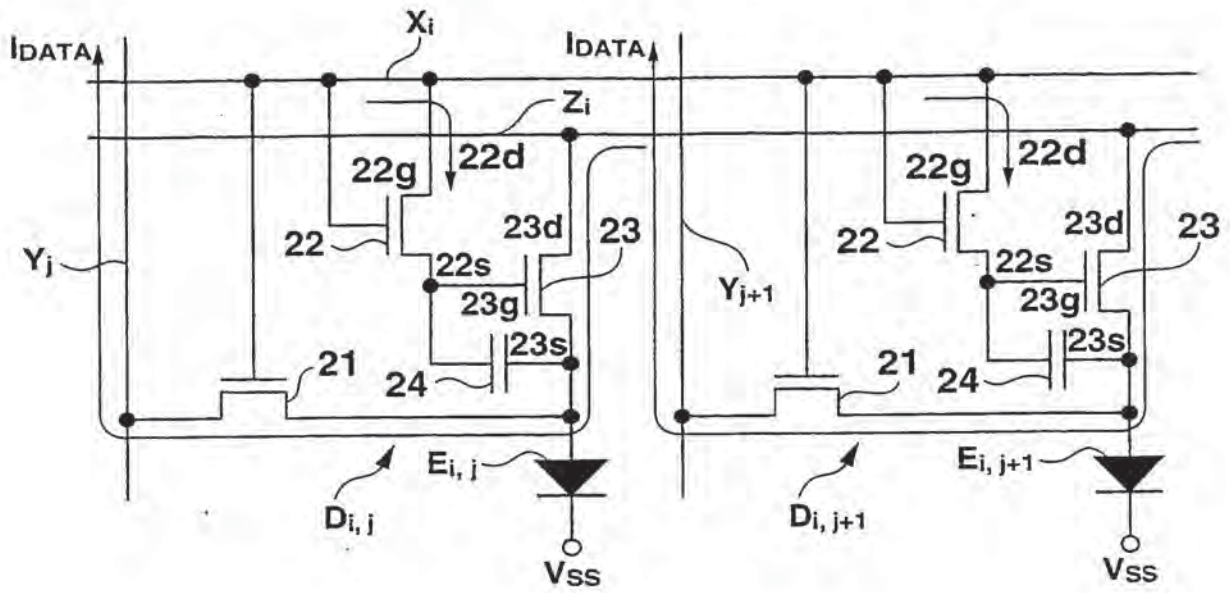


FIG.12A

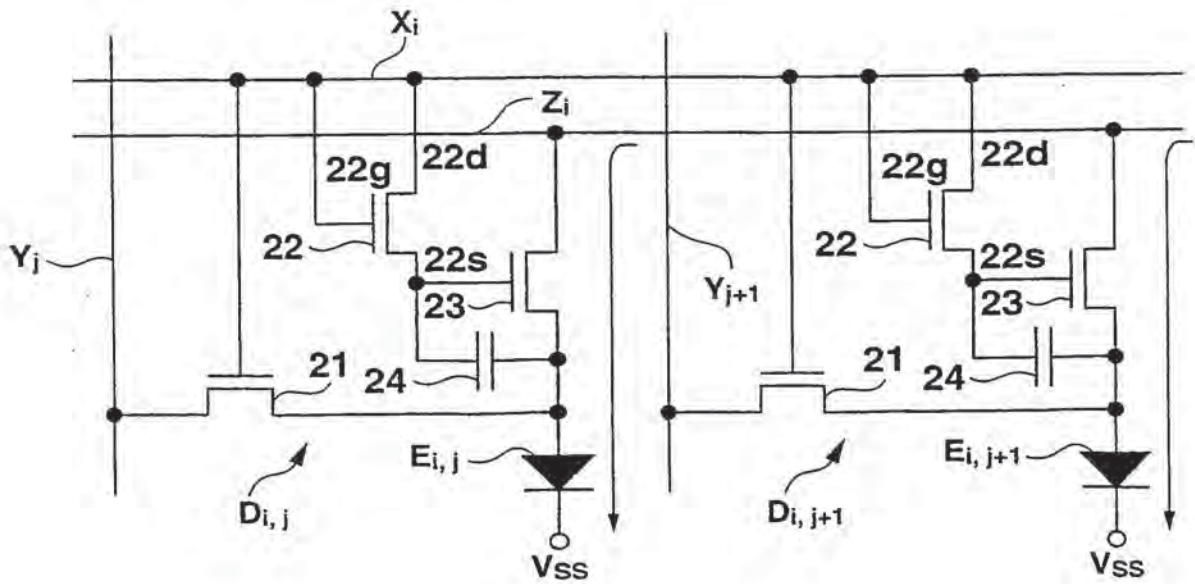


FIG.12B

12/12

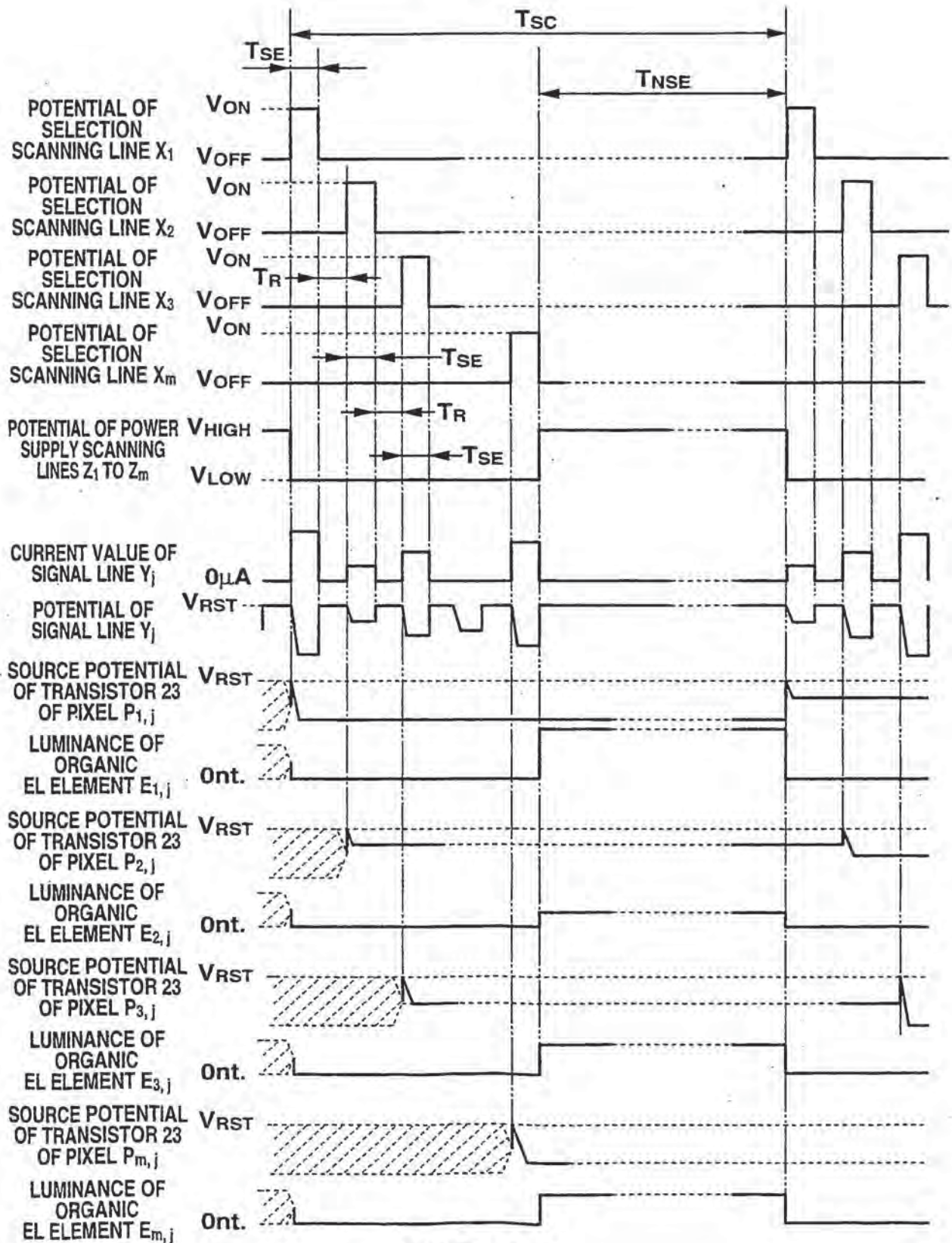


FIG.13

INTERNATIONAL SEARCH REPORT

International application No

PCT/JP 03/10644

A. CLASSIFICATION OF SUBJECT MATTER
 IPC 7 G09G3/32

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
 IPC 7 G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, X	WO 03 058328 A (CASIO COMP CO LTD ;HATTORI REIJI (JP); YAMADA HIROYASU (JP); SHIRA) 17 July 2003 (2003-07-17) figures 1,7,9 --- -/--	1,2, 5-20, 23-39, 41-44

Further documents are listed in the continuation of box C.

Patent family members are listed in annex.

* Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *G* document member of the same patent family

Date of the actual completion of the international search

2 January 2004

Date of mailing of the international search report

15/01/2004

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
 Fax (+31-70) 340-3016

Authorized officer

Gundlach, H

INTERNATIONAL SEARCH REPORT

International Application No

PCT/JP 03/10644

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 99 65011 A (KONINKL PHILIPS ELECTRONICS NV ;PHILIPS SVENSKA AB (SE)) 16 December 1999 (1999-12-16) page 8, line 5 - line 6; figure 1 page 8, line 9 - line 10 page 8, line 15 - line 18 page 10, line 5 - line 16 page 11, line 25 -page 12, line 14 page 12, line 3 - line 8 page 12, line 31 -page 13, line 16; figure 4 page 13, line 2 - line 25 page 14, line 26 -page 15, line 7	1-10, 15-45
X	EP 1 170 718 A (SEIKO EPSON CORP) 9 January 2002 (2002-01-09) figure 5	1
A	JP 2002.215095 A (PIONEER ELECTRONIC CORP) 31 July 2002 (2002-07-31) figures 1-8 -& US 2002/135309 A1 (PIONEER ELECTRONIC CORP) 26 September 2002 (2002-09-26)	11,13

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No.

PCT/JP 03/10644

Patent document cited in search report	A	Publication date	JP	Patent family member(s)	Publication date
WO 03058328	A	17-07-2003	JP	2003195810 A	09-07-2003
			WO	03058328 A1	17-07-2003
WO 9965011	A	16-12-1999	EP	1034530 A2	13-09-2000
			WO	9965011 A2	16-12-1999
			JP	2002517806 T	18-06-2002
			US	6373454 B1	16-04-2002
EP 1170718	A	09-01-2002	CN	1388951 T	01-01-2003
			EP	1170718 A1	09-01-2002
			WO	0205254 A1	17-01-2002
			US	2002033718 A1	21-03-2002
JP 2002215095	A	31-07-2002	US	2002135309 A1	26-09-2002

092605

FRISHAUF, HOLTZ, GOODMAN & CHICK, P.C.
ATTORNEYS AT LAW

220 FIFTH AVENUE, NEW YORK, N.Y. 10001-7708

LEONARD HOLTZ
HERBERT GOODMAN
MARSHALL J. CHICK
RICHARD S. BARTH
DOUGLAS HOLTZ
ROBERT P. MICHAL
TELEPHONE: (212) 319-4900
FACSIMILE: (212) 319-5101

Commissioner for Patents
P.O. Box 1450,
Alexandria, VA 22313-1450

Express Mail Mailing Label
No.: EV 720 476 985 US

Date of Deposit: September 26, 2005

I hereby certify that this paper is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450

Barbara Villani
Barbara Villani

Attorney Docket No. 05644/LH
CUSTOMER NO. 01933

113255 U.S. PTO
11/235579

092605

Pursuant to 37 CFR 1.53(b), transmitted herewith for filing is the patent application of

Inventor(s): Tomoyuki SHIRASAKI of Higashiyamato-shi, Japan
Tsuyoshi OZAKI of Fuchu-shi, Japan
Jun OGURA of Fussa-shi, Japan

Title: "DISPLAY PANEL"

Priority Claim (35 U.S.C. 119) is made, based upon:
Japan No. 2004-283824 filed September 29, 2004

ASSIGNMENT INFORMATION FOR PUBLICATION:
Casio Computer Co., Ltd.
Tokyo, Japan

Enclosed herewith are:

- Specification (Description, Claims, Abstract): Pages 1 - 75 ; Number of claims 1 - 23
- Declaration and Power of Attorney
- 13 Sheets of drawings, Figures 1 - 13 Formal Informal
- Assignment and Recordation Form Cover Sheet (PTO-1595) AND \$40. RECORDATION FEE.
- Certified copy of priority document identified above
- Information Disclosure Statement; Form PTO/SB/08A
- Preliminary Amendment
- Change of Correspondence Address (Form PTO/SB/122)
- PTO Form 2038 (Payment by Credit Card)
- TO THE EXTENT NOT TENDERED BY CREDIT CARD PAYMENT ATTACHED HERETO, AUTHORIZATION IS GIVEN TO CHARGE ANY FEES UNDER 37 CFR 1.16 AND 1.17 DURING PENDENCY OF THE APPLICATION, OR TO CREDIT ANY OVERPAYMENT, TO DEPOSIT ACCOUNT NO. 06-1378. DUPLICATE COPY OF THIS LETTER IS ENCLOSED.
- Receipt Postcard

	Number Filed		Number Extra	Rate		Calculations
Total Claims	<u>30</u>	-20 =	<u>10</u>	x \$ 50.00 =		\$ 500.00
Independent Claims	<u>4</u>	-3 =	<u>1</u>	x \$200.00 =		\$ 200.00
Application Size Fee						\$
MULTIPLE DEPENDENT CLAIMS				+ \$360.00 =		\$ 360.00
				BASIC FEE		\$ 1000.00
				(Including Filing, Search and Examination Fees)		
				Total of above Calculations		\$ 2060.00

FRISHAUF, HOLTZ, GOODMAN & CHICK, P.C.

By: *Leonard Holtz*
LEONARD HOLTZ, Reg. No. 22,974

LH:bv

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

<p style="text-align: center;">CHANGE OF CORRESPONDENCE ADDRESS <i>Application</i></p> <p>Address to: Commissioner for Patents P.O. Box 1450 Alexandria, VA. 22313-1450</p>	Application Number	Not yet assigned
	Filing Date	Herewith
	First Named Inventor	SHIRASAKI
	Group Art Unit	
	Examiner Name	
	Attorney Docket Number	05644/LH

Please change the Correspondence Address for the above-identified application to:

Customer Number [01933] →

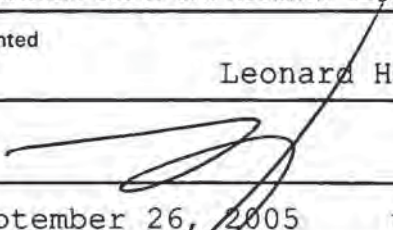
OR

<input type="checkbox"/> Firm or Individual Name				
Address				
Address				
City		State		ZIP
Country				
Telephone		Fax		

This form cannot be used to change the data associated with a Customer Number. To change the data associated with an existing Customer Number use "Request for Customer Number Data Change" (PTO/SB/124).

I am the:

- Applicant/Inventor.
- Assignee of record of the entire interest. Statement under 37 CFR 3.73(b) is enclosed. (Form PTO/SB/96).
- Attorney or Agent of record. **Registration No. 22,974**
- Registered practitioner named in the application transmittal letter in an application without an executed oath or declaration. See 37 CFR 1.33(a)(1). Registration Number _____.

Typed or Printed Name	Leonard Holtz, Reg. No. 22,974
Signature	
Date	September 26, 2005
Telephone:	(212) 319-4900

NOTE: Signatures of all the inventors or assignees of record of the entire interest or their representative(s) are required. Submit multiple forms if more than one signature is required. See below.

Total of _____ forms are submitted.

This collection of information is required by 37 CFR 1.33. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 USC 122 and 37 CFR 1.14. This collection is estimated to take 3 minutes to complete, including gathering, preparing and submitting the completed application to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

092605

FRISHAUF, HOLTZ, GOODMAN & CHICK, P.C.
ATTORNEYS AT LAW

220 FIFTH AVENUE, NEW YORK, N.Y. 10001-7708

LEONARD HOLTZ
HERBERT GOODMAN
MARSHALL J. CHICK
RICHARD S. BARTH
DOUGLAS HOLTZ
ROBERT P. MICHAL
TELEPHONE: (212) 319-4900
FACSIMILE: (212) 319-5101

Commissioner for Patents
P.O. Box 1450,
Alexandria, VA 22313-1450

Express Mail Mailing Label
No.: EV 720 476 985 US

Date of Deposit: September 26, 2005

I hereby certify that this paper is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450

Barbara Villani
Barbara Villani

Attorney Docket No. 05644/LH
CUSTOMER NO. 01933

113255 U.S. PTO
11/235579

092605

Pursuant to 37 CFR 1.53(b), transmitted herewith for filing is the patent application of

Inventor(s): Tomoyuki SHIRASAKI of Higashiyamato-shi, Japan
Tsuyoshi OZAKI of Fuchu-shi, Japan
Jun OGURA of Fussa-shi, Japan

Title: "DISPLAY PANEL"

Priority Claim (35 U.S.C. 119) is made, based upon:
Japan No. 2004-283824 filed September 29, 2004

ASSIGNMENT INFORMATION FOR PUBLICATION:
Casio Computer Co., Ltd.
Tokyo, Japan

Enclosed herewith are:

- Specification (Description, Claims, Abstract): Pages 1 - 75 ; Number of claims 1 - 23
- Declaration and Power of Attorney
- 13 Sheets of drawings, Figures 1 - 13 [X] Formal [] Informal
- Assignment and Recordation Form Cover Sheet (PTO-1595) AND \$40. RECORDATION FEE.
- Certified copy of priority document identified above
- Information Disclosure Statement; [X] Form PTO/SB/08A
- Preliminary Amendment
- Change of Correspondence Address (Form PTO/SB/122)
- PTO Form 2038 (Payment by Credit Card)
- TO THE EXTENT NOT TENDERED BY CREDIT CARD PAYMENT ATTACHED HERETO, AUTHORIZATION IS GIVEN TO CHARGE ANY FEES UNDER 37 CFR 1.16 AND 1.17 DURING PENDENCY OF THE APPLICATION, OR TO CREDIT ANY OVERPAYMENT, TO DEPOSIT ACCOUNT NO. 06-1378. DUPLICATE COPY OF THIS LETTER IS ENCLOSED.
- Receipt Postcard

	Number Filed		Number Extra	Rate		Calculations
Total Claims	30	-20 =	10	x \$ 50.00 =		\$ 500.00
Independent Claims	4	-3 =	1	x \$200.00 =		\$ 200.00
Application Size Fee						\$
MULTIPLE DEPENDENT CLAIMS				+ \$360.00 =		\$ 360.00
				BASIC FEE		\$ 1000.00
				(Including Filing, Search and Examination Fees)		
				Total of above Calculations		\$ 2060.00

FRISHAUF, HOLTZ, GOODMAN & CHICK, P.C.

By: *Leonard Holtz*
LEONARD HOLTZ, Reg. No. 22,974

LH:bv

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

<p style="text-align: center;">CHANGE OF CORRESPONDENCE ADDRESS <i>Application</i></p> <p>Address to: Commissioner for Patents P.O. Box 1450 Alexandria, VA. 22313-1450</p>	Application Number	Not yet assigned
	Filing Date	Herewith
	First Named Inventor	SHIRASAKI
	Group Art Unit	
	Examiner Name	
	Attorney Docket Number	05644/LH

Please change the Correspondence Address for the above-identified application to:

Customer Number [01933] →

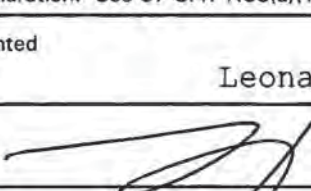
OR

<input type="checkbox"/> Firm or Individual Name				
Address				
Address				
City	State	ZIP		
Country				
Telephone	Fax			

This form cannot be used to change the data associated with a Customer Number. To change the data associated with an existing Customer Number use "Request for Customer Number Data Change" (PTO/SB/124).

I am the:

- Applicant/Inventor.
- Assignee of record of the entire interest. Statement under 37 CFR 3.73(b) is enclosed. (Form PTO/SB/96).
- Attorney or Agent of record. **Registration No. 22,974**
- Registered practitioner named in the application transmittal letter in an application without an executed oath or declaration. See 37 CFR 1.33(a)(1). Registration Number _____.

Typed or Printed Name	Leonard Holtz, Reg. No. 22,974
Signature	
Date	September 26, 2005
Telephone:	(212) 319-4900

NOTE: Signatures of all the inventors or assignees of record of the entire interest or their representative(s) are required. Submit multiple forms if more than one signature is required. See below.

Total of _____ forms are submitted.

This collection of information is required by 37 CFR 1.33. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 USC 122 and 37 CFR 1.14. This collection is estimated to take 3 minutes to complete, including gathering, preparing and submitting the completed application to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

TITLE OF THE INVENTION

DISPLAY PANEL

CROSS-REFERENCE TO RELATED APPLICATIONS

This application is based upon and claims the
5 benefit of priority from prior Japanese Patent
Application No. 2004-283824, filed September 29, 2004,
the entire contents of which are incorporated herein by
reference.

BACKGROUND OF THE INVENTION

10 1. Field of the Invention

The present invention relates to a display panel
using a light-emitting element.

2. Description of the Related Art

Organic electroluminescent display panels can
15 roughly be classified into passive driving types and
active matrix driving types. Organic
electroluminescent display panels of active matrix
driving type are more excellent than those of passive
driving type because of high contrast and high
20 resolution. In a conventional organic
electroluminescent display panel of active matrix
display type described in, e.g., Jpn. Pat. Appln. KOKAI
Publication No. 8-330600, an organic electroluminescent
element (to be referred to as an organic EL element
25 hereinafter), a driving transistor which supplies a
current to the organic EL element when a voltage signal
corresponding to image data is applied to the gate, and

a switching transistor which performs switching to supply the voltage signal corresponding to image data to the gate of the driving transistor are arranged for each pixel. In this organic electroluminescent display panel, when a scan line is selected, the switching transistor is turned on. At this time, a voltage of level representing the luminance is applied to the gate of the driving transistor through a signal line. The driving transistor is turned on. A driving current having a magnitude corresponding to the level of the gate voltage is supplied from the power supply to the organic EL element through the drain-to-source path of the driving transistor. The organic EL element emits light at a luminance corresponding to the magnitude of the current. In the period from the end of scan line selection to the next scan line selection, the level of the gate voltage of the driving transistor is continuously held even after the switching transistor is turned off. Hence, the organic EL element emits light at a luminance corresponding to the magnitude of the driving current corresponding to the voltage.

To drive the organic electroluminescent display panel, a driving circuit is provided around it to apply a voltage to the scan lines, signal lines, and power supply lines laid on the organic electroluminescent display panel.

In the conventional organic electroluminescent

display panel of active matrix driving type,
interconnections such as a power supply line to supply
a current to an organic EL element are patterned
simultaneously in the thin-film transistor patterning
5 step by using the material of a thin-film transistor
such as a switching transistor or driving transistor.
More specifically, in manufacturing the organic
electroluminescent display panel, a conductive thin
film as a prospective electrode of a thin-film
10 transistor is subjected to photolithography and etching
to form the electrode of a thin-film transistor from
the conductive thin film. At the same time, an
interconnection connected to the electrode is also
formed. For this reason, when the interconnection is
15 formed from the conductive thin film, the thickness of
the interconnection equals that of the thin-film
transistor.

However, the electrode of the thin-film transistor
is designed assuming that it functions as a transistor.
20 In other words, the electrode is not designed assuming
that it supplies a current to a light-emitting element.
Hence, the thin-film transistor is thin literally. If
a current is supplied from the interconnection to a
plurality of light-emitting elements, a voltage drop
25 occurs, or the current flow through the interconnection
delays due to the electrical resistance of the
interconnection. To suppress the voltage drop or

interconnection delay, the resistance of the interconnection is preferably low. If the resistance of the interconnection is reduced by making a metal layer serving as the source and drain electrodes of the transistor or a metal layer serving as the gate electrode thick, or patterning the metal layers considerably wide to sufficiently flow the current through the metal layers, the overlap area of the interconnection on another interconnection or conductor when viewed from the upper side increases, and a parasitic capacitance is generated between them. This retards the flow of the current. Alternatively, in a so-called bottom emission structure which emits EL light from the transistor array substrate side, light emitted from the EL elements is shielded by the interconnections, resulting in a decrease in opening ratio, i.e., the ratio of the light emission area. If the gate electrode of the thin-film transistor is made thick to lower the resistance, a planarization film (corresponding to a gate insulating film when the thin-film transistor has, e.g., an inverted stagger structure) to eliminate the step of the gate electrode must also be formed thick. This may lead to a large change in transistor characteristic. When the source and drain electrodes are formed thick, the etching accuracy of the source and drain electrodes degrades. This may also adversely affect the transistor

characteristic.

BRIEF SUMMARY OF THE INVENTION

It is an object of the present invention to satisfactorily drive a light-emitting element while suppressing any voltage drop and signal delay.

5

A display panel according to a first aspect of the present invention comprises: a transistor array substrate which has a plurality of pixels and is formed by providing a plurality of transistors for each pixel, each of the transistor having a gate, a gate insulating film, a source, and a drain;

10

a plurality of interconnections which are formed to project to a surface of the transistor array substrate and arrayed in parallel to each other;

15

a plurality of pixel electrodes which are provided for each pixel and arrayed between the interconnections on the surface of the transistor array substrate along the interconnections;

20

a plurality of light-emitting layers each of which is formed on each pixel electrode; and

a counter electrode which is stacked on the light-emitting layer.

25

A display panel according to a second aspect of the present invention comprises: a plurality of pixel electrodes;

a plurality of light-emitting layers which are provided for said plurality of pixel electrodes,

respectively;

a counter electrodes which is provided for said plurality of light-emitting layers respectively;

5 a plurality of driving transistors which are connected to said plurality of pixel electrodes, respectively;

10 a plurality of switch transistors each of which supplies a write current between a source and drain of a corresponding one of said plurality of driving transistors;

a plurality of holding transistors each of which holds a voltage between the source and a gate of a corresponding one of said plurality of driving transistors;

15 a plurality of feed interconnections which are formed from a conductive layer different from a layer serving as sources, drains, and gates of said plurality of driving transistors, said plurality of switch transistors, and said plurality of holding transistors and connected to the drains of said plurality of driving transistors;

a plurality of select interconnections each of which selects the switch transistor; and

25 a plurality of common interconnections each of which is connected to the counter electrode.

A display panel according to a third aspect of the present invention comprises: a plurality of pixel

electrodes;

a light-emitting layer which is provided for each of said plurality of pixel electrodes;

5 a counter electrode which is provided for the light-emitting layer;

a driving transistor which is connected to each of said plurality of pixel electrode;

a switch transistor which supplies a write current between a source and drain of the driving transistor;

10 a holding transistor which holds a voltage between the source and gate of the driving transistor;

a select interconnection which selects the switch transistor;

15 a common interconnection which is formed from a conductive layer different from a layer serving as sources and drains and a layer serving as gates of the driving transistor, the switch transistor, and the holding transistor and connected to the counter electrode; and

20 a feed interconnection which is formed from a conductive layer different from the layer serving as the sources, drains, and gates of the driving transistor, the switch transistor, and the holding transistor and connected to the drain of the driving transistor and is thicker than the common
25 interconnection.

A display panel according to a fourth aspect of

the present invention comprises: a transistor array substrate which is formed by providing a plurality of transistors for each pixel, each transistor having a gate, a gate insulating film, and a source/drain;

5 a plurality of pixel electrodes which are provided in a plurality of rows on the transistor array substrate;

a first light-emitting layer which is provided on each of said plurality of pixel electrodes of a first row to emit light of a first color;

10 a second light-emitting layer which is provided on each of said plurality of pixel electrodes of a second row to emit light of a second color;

15 a third light-emitting layer which is provided on each of said plurality of pixel electrodes of a third row to emit light of a third color;

a counter electrode which is provided on the first light-emitting layer, the second light-emitting layer, and the third light-emitting layer;

20 a select interconnection which has a top higher than first light-emitting layer, the second light-emitting layer, and the third light-emitting layer and selects at least one of said plurality of transistors;

25 a common interconnection which has a top higher than first light-emitting layer, the second light-emitting layer, and the third light-emitting layer and is connected to the counter electrode; and

a feed interconnection which has a top higher than first light-emitting layer, the second light-emitting layer, and the third light-emitting layer and is connected to said plurality of pixel electrodes of said plurality of transistors.

According to the present invention, since the interconnections can be made thick, the resistance of the interconnections can be reduced. When the resistance of the interconnections decreases, the signal delay and voltage drop can be suppressed.

BRIEF DESCRIPTION OF THE SEVERAL VIEWS OF THE DRAWING

FIG. 1 is a plan view showing four pixels of a display panel 1;

FIG. 2 is an equivalent circuit diagram of a sub-pixel P of the display panel 1;

FIG. 3 is a plan view showing the electrodes of a red sub-pixel Pr;

FIG. 4 is a plan view showing the electrodes of a green sub-pixel Pg;

FIG. 5 is a plan view showing the electrodes of a blue sub-pixel Pb;

FIG. 6 is a sectional view taken along a line VI - VI in FIGS. 3 to 5;

FIG. 7 is a timing chart for explaining a driving method of the display panel 1;

FIG. 8 is a timing chart for explaining another driving method of the display panel 1;

FIG. 9 is a graph showing the current vs. voltage characteristic of a driving transistor 23 and organic EL element 20 of each sub-pixel;

5 FIG. 10 is a graph showing the correlation between the maximum voltage drop and the interconnection resistivity ρ /sectional area S of a feed interconnection 90 and common interconnection 91 of a 32-inch display panel 1;

10 FIG. 11 is a graph showing the correlation between the sectional area and the current density of the feed interconnection 90 and common interconnection 91 of the 32-inch display panel 1;

15 FIG. 12 is a graph showing the correlation between the maximum voltage drop and the interconnection resistivity ρ /sectional area S of the feed interconnection 90 and common interconnection 91 of a 40-inch display panel 1; and

20 FIG. 13 is a graph showing the correlation between the sectional area and the current density of the feed interconnection 90 and common interconnection 91 of the 40-inch display panel 1.

DETAILED DESCRIPTION OF THE INVENTION

25 The best mode for carrying out the present invention will be described below with reference to the accompanying drawings. Various kinds of limitations which are technically preferable in carrying out the present invention are added to the embodiments to be

described below. However, the spirit and scope of the present invention are not limited to the following embodiments and illustrated examples. In the following description, the term "electroluminescence" will be
5 abbreviated as EL.

[Planar Layout of Display Panel]

FIG. 1 is a schematic plan view showing adjacent four of a plurality of pixels 3 provided on an insulating substrate 2 of a display panel 1 which is
10 operated by the active matrix driving method. In the display panel 1, as for the pixels in the column direction, a plurality of red sub-pixels P_r are arrayed in the horizontal direction (row direction). A plurality of green sub-pixels P_g are arrayed in the
15 horizontal direction. A plurality of blue sub-pixels P_b are arrayed in the horizontal direction. As for the sequence in the vertical direction (column direction), the red sub-pixel P_r , green sub-pixel P_g , and blue sub-pixel P_b are repeatedly arrayed in this order. The
20 1-dot red sub-pixel P_r , 1-dot green sub-pixel P_g , and 1-dot blue sub-pixel P_b are combined to form one pixel 3. Such pixels 3 are arrayed in a matrix. In the following description, an arbitrary one of the red sub-pixel P_r , green sub-pixel P_g , and blue sub-pixel P_b
25 is represented by a sub-pixel P . The description of the sub-pixel P applies to all the red sub-pixel P_r , green sub-pixel P_g , and blue sub-pixel P_b .

Three signal lines Yr, Yg, and Yb running in the vertical direction form one set. The combination of the three signal lines Yr, Yg, and Yb is called a signal line group 4. In each signal line group 4, the three signal lines Yr, Yg, and Yb are arranged close to each other. The interval between the adjacent signal line groups 4 is wider than that between the adjacent signal lines Yr, Yg, and Yb in each signal line group 4. One signal line group 4 is provided in correspondence with one column of pixels 3 in the vertical direction. That is, the sub-pixels Pr, Pg, and Pb in one column arrayed in the vertical direction are connected to the signal lines Yr, Yg, and Yb of one signal line group 4, respectively.

The first signal line Yr supplies a signal to all the red sub-pixels Pr of the column of pixels 3 in the vertical direction. The second signal line Yg supplies a signal to all the green sub-pixels Pg of the column of pixels 3 in the vertical direction. The third signal line Yb supplies a signal to all the blue sub-pixels Pb of the column of pixels 3 in the vertical direction.

A plurality of scan lines X run in the horizontal direction. A plurality of supply lines Z, a plurality of select interconnections 89, a plurality of feed interconnections 90, and a plurality of common interconnections 91 are provided in parallel to the

scan lines X. One scan line X, one supply line Z, one
feed interconnection 90, one select interconnection 89,
and one common interconnection 91 are provided in
correspondence with one line of pixels 3 in the
5 horizontal direction. More specifically, the common
interconnection 91 is arranged between the red
sub-pixel Pr and the green sub-pixel Pg which are
adjacent in the vertical direction. The scan line X
and select interconnection 89 are arranged between the
10 green sub-pixel Pg and the blue sub-pixel Pb which are
adjacent in the vertical direction. The supply line Z
and feed interconnection 90 are arranged between the
blue sub-pixel Pb and the red sub-pixel Pr of the
adjacent pixel 3. The select interconnections 89 and
15 feed interconnections 90 have the same thickness.

The scan line X supplies a signal to all the
sub-pixels Pr, Pg, and Pb of the pixels 3 of one line
arrayed in the horizontal direction. The supply line Z
also supplies a signal to all the sub-pixels Pr, Pg,
20 and Pb of the pixels 3 of one line arrayed in the
horizontal direction.

When viewed from the upper side, the select
interconnection 89 overlaps the scan line X in the
running direction and is thus electrically connected to
25 the scan line X. The feed interconnection 90 overlaps
the supply line Z in the running direction and is thus
electrically connected to the supply line Z.

The color of each the sub-pixels Pr, Pg, and Pb is determined by the color of light emitted from an organic EL element 20 (FIG. 2) (to be described later). The position of each of the sub-pixels Pr, Pg, and Pb, which is represented by a rectangle long in the horizontal direction in FIG. 1, indicates the position of a sub-pixel electrode 20a (in FIG. 2) serving as an anode of the organic EL element 20. More specifically, when the entire display panel 1 is viewed from the upper side, the plurality of sub-pixel electrodes 20a are arrayed in a matrix. The 1-dot sub-pixel P is determined by one sub-pixel electrode 20a. Hence, the plurality of sub-pixel electrodes 20a are arrayed in the horizontal direction between the feed interconnection 90 and the adjacent common interconnection 91. Said plurality of sub-pixel electrodes 20a are arrayed in the horizontal direction between the common interconnection 91 and the adjacent select interconnection 89. Said plurality of sub-pixel electrodes 20a are arrayed in the horizontal direction between the select interconnection 89 and the adjacent feed interconnection 90. When an insulating film which is sufficiently thick so no parasitic capacitance is generated is inserted between the signal line group 4 and the electrode or interconnection located above the signal line group 4, the signal line group 4 may overlap the sub-pixel electrode 20a connected to it

when viewed from the upper side. In addition, the signal line group 4 may overlap the sub-pixel electrode 20a of one sub-pixel adjacent to the sub-pixel connected to the signal line group 4 when viewed from the upper side. When the display panel 1 has a bottom emission structure, the signal line group 4 preferably does not overlap the sub-pixel electrode 20a when viewed from the upper side.

When m and n are integers ($m \geq 2$, $n \geq 2$), m pixels 3 are arrayed in the vertical direction, and n pixels 3 are arrayed in the horizontal direction, the sub-pixel electrodes 20a equal in number to the sub-pixels of one column, i.e., $(3 \times m)$ sub-pixel electrodes 20a are arrayed in the vertical direction.

The sub-pixel electrodes 20a equal in number to the sub-pixels of one row, i.e., n sub-pixel electrodes 20a are arrayed in the horizontal direction. In this case, n signal line groups 4 are arranged, and m scan lines X, m supply lines Z, m select interconnections 89, m feed interconnections 90, and m common interconnections 91 are arranged. The total number of select interconnections 89, feed interconnections 90, and common interconnections 91, which also serve as partition walls to prevent leakage of an organic compound-containing solution as a perspective organic EL layer 20b of the organic EL element 20 (to be described later) from the sub-pixels of one row, is $(3$

$\times m$). To partition the organic compound-containing solution in all rows for the sub-pixels of each row, the total number of select interconnections 89, feed interconnections 90, and common interconnections 91 must be $(3 \times m + 1)$. To do this, a $(3 \times m + 1)$ th partition dummy interconnection having the same height and same length as the common interconnection 91 is arranged in the row direction in parallel to the select interconnections 89, feed interconnections 90, and common interconnections 91. The select interconnections 89, feed interconnections 90, and common interconnections 91 are used as partition walls, their top portions are higher than the organic EL layer 20b and the liquid level of the organic compound-containing solution.

[Circuit Arrangement of Sub-Pixel]

The circuit arrangement of the first to third sub-pixels P_r , P_g , and P_b will be described next with reference to the equivalent circuit diagram in FIG. 2. All the sub-pixels P_r , P_g , and P_b have the same arrangement. The organic EL element 20, first to third N-channel amorphous silicon thin-film transistors (to be simply referred to as transistors hereinafter) 21, 22, and 23, and a capacitor 24 are provided for the 1-dot sub-pixel $P_{i,j}$. The first transistor 21 will be referred to as the switch transistor 21, the second transistor 22 will be referred to as the holding

transistor 22, and the third transistor 23 will be referred to as the driving transistor 23 hereinafter. In FIG. 2 and the following description, the signal line Y for the red sub-pixel P_r represents the signal line Y_r in FIG. 1, the signal line Y for the green sub-pixel P_g represents the signal line Y_g in FIG. 1, and the signal line Y for the blue sub-pixel P_b represents the signal line Y_b in FIG. 1.

In the switch transistor 21, a source 21s is electrically connected to the signal line Y_j . A drain 21d is electrically connected to the sub-pixel electrode 20a of the organic EL element 20, a source 23s of the driving transistor 23, and an upper electrode 24B of the capacitor 24. A gate 21g is electrically connected to a gate 22g of the holding transistor 22, the scan line X_i , and the select interconnection 89.

In the holding transistor 22, a source 22s is electrically connected to a gate 23g of the driving transistor 23 and a lower electrode 24A of the capacitor 24. A drain 22d is electrically connected to a drain 23d of the driving transistor 23 and the supply line Z_i . The gate 22g is electrically connected to the gate 21g of the switch transistor 21 and the scan line X_i .

In the driving transistor 23, the source 23s is electrically connected to the sub-pixel electrode 20a

of the organic EL element 20, the drain 21d of the switch transistor 21, and the electrode 24B of the capacitor 24. The drain 23d is electrically connected to the drain 22d of the holding transistor 22 and the supply line Z_i . The gate 23g is electrically connected to the source 22s of the holding transistor 22 and the lower electrode 24A of the capacitor 24.

A counter electrode 20c serving as a cathode of the organic EL element 20 is electrically connected to the common interconnection 91.

The sources 21s of the switch transistors 21 of all the red sub-pixels P_r arrayed in a line in the vertical direction are electrically connected to the common signal line Y_r . The sources 21s of the switch transistors 21 of all the green sub-pixels P_g arrayed in a line in the vertical direction are electrically connected to the common signal line Y_g . The sources 21s of the switch transistors 21 of all the blue sub-pixels P_b arrayed in line in the vertical direction are electrically connected to the common signal line Y_b .

The gates 21g of the switch transistors 21 of all the sub-pixels P_r , P_g , and P_b of the pixels 3 of one row, which are arrayed in the horizontal direction, are electrically connected to the common scan line X. The gates 22g of the holding transistors 22 of all the sub-pixels P_r , P_g , and P_b of the pixels 3 of one row,

which are arrayed in the horizontal direction, are electrically connected to the common scan line X. The drains 22d of the holding transistors 22 of all the sub-pixels Pr, Pg, and Pb of the pixels 3 of one row, which are arrayed in the horizontal direction, are electrically connected to the common supply line Z. The drains 23d of the driving transistors 23 of all the sub-pixels Pr, Pg, and Pb of the pixels 3 of one row, which are arrayed in the horizontal direction, are electrically connected to the common supply line Z.

[Planar Layout of Pixel]

The planar layout of the pixel 3 will be described with reference to FIGS. 3 to 5. FIG. 3 is a plan view mainly showing the electrodes of the red sub-pixel Pr. FIG. 4 is a plan view mainly showing the electrodes of the green sub-pixel Pg. FIG. 5 is a plan view mainly showing the electrodes of the blue sub-pixel Pb. For the illustrative convenience, FIGS. 3 to 5 do not illustrate the sub-pixel electrode 20a and counter electrode 20c of the organic EL element 20.

As shown in FIG. 3, in the red sub-pixel Pr viewed from the upper side, the driving transistor 23 is arranged along the supply line Z and feed interconnection 90. The switch transistor 21 is arranged along the common interconnection 91. The holding transistor 22 is arranged at a corner of the red sub-pixel Pr near the supply line Z.

As shown in FIG. 4, in the green sub-pixel Pg viewed from the upper side, the driving transistor 23 is arranged along the common interconnection 91. The switch transistor 21 is arranged along the scan line X and select interconnection 89. The holding transistor 22 is arranged at a corner of the green sub-pixel Pg near the common interconnection 91.

As shown in FIG. 5, in the blue sub-pixel Pb viewed from the upper side, the driving transistor 23 is arranged along the scan line X. The switch transistor 21 is arranged along the supply line Z and feed interconnection 90 of the next row. The holding transistor 22 is arranged at a corner of the blue sub-pixel Pb near the scan line X.

As shown in FIGS. 3 to 5, in all the sub-pixels Pr, Pg, and Pb, the capacitor 24 is arranged along the signal line group 4 of the next column.

When a focus is placed on only the switch transistors 21 of all the sub-pixels Pr, Pg, and Pb in the entire display panel 1 viewed from the upper side, the plurality of switch transistors 21 are arrayed in a matrix. When a focus is placed on only the holding transistors 22 of all the sub-pixels Pr, Pg, and Pb, the plurality of holding transistors 22 are arrayed in a matrix. When a focus is placed on only the driving transistors 23 of all the sub-pixels Pr, Pg, and Pb, the plurality of driving transistors 23 are arrayed in

a matrix.

[Layer Structure of Display Panel]

The layer structure of the display panel 1 will be described with reference to FIG. 6. FIG. 6 is a sectional view taken along a line VI - VI in FIGS. 3 to 5.

The display panel 1 is formed by stacking various kinds of layers on the insulating substrate 2 which is optically transparent. The insulating substrate 2 has a flexible sheet shape or a rigid plate shape.

The layer structure of the first to third transistors 21 to 23 will be described first. As shown in FIG. 6, the switch transistor 21 includes the gate 21g, part of a gate insulating film 31, a semiconductor film 21c, a channel protective film 21p, impurity-doped semiconductor films 21a and 21b, the drain 21d, and the source 21s. The gate 21g is formed on the insulating substrate 2. The part of the gate insulating film 31 is formed on the gate 21g. The semiconductor film 21c opposes the gate 21g via the part of the gate insulating film 31. The channel protective film 21p is formed on the central portion of the semiconductor film 21c. The impurity-doped semiconductor films 21a and 21b are formed on two end portions of the semiconductor film 21c to be spaced apart from each other and partially overlap the channel protective film 21p. The drain 21d is formed on the impurity-doped semiconductor

film 21a. The source 21s is formed on the impurity-doped semiconductor film 21b. The drain 21d and source 21s can have either a single-layer structure or a layered structure including two or more layers.

5 The driving transistor 23 includes the gate 23g, part of the gate insulating film 31, a semiconductor film 23c, a channel protective film 23p, impurity-doped semiconductor films 23a and 23b, the drain 23d, and the source 23s. The gate 23g is formed on the insulating
10 substrate 2. The part of the gate insulating film 31 is formed on the gate 23g. The semiconductor film 23c opposes the gate 23g via the part of the gate insulating film 31. The channel protective film 23p is
15 formed on the central portion of the semiconductor film 23c. The impurity-doped semiconductor films 23a and 23b are formed on two end portions of the semiconductor film 23c to be spaced apart from each other and partially overlap the channel protective film 23p. The
20 drain 23d is formed on the impurity-doped semiconductor film 23a. The source 23s is formed on the impurity-doped semiconductor film 23b. When viewed from the upper side as shown in FIGS. 3 to 5, the driving transistor 23 is formed into an interdigital shape so that the channel width is large. The drain 23d and
25 source 23s can have either a single-layer structure or a layered structure including two or more layers.

 The holding transistor 22 has the same layer

structure as the driving transistor 23, and its sectional view is not illustrated. In all the sub-pixels Pr, Pg, and Pb, the switch transistor 21, holding transistor 22, and driving transistor 23 have the same layer structures as described above.

The layer structure of the capacitor 24 will be described next (FIGS. 3 to 5). The capacitor 24 has the lower electrode 24A, a part of the gate insulating film 31, and the upper electrode 24B. The lower electrode 24A is directly formed on the insulating substrate 2. The gate insulating film 31 is formed on the lower electrode 24A. The upper electrode 24B opposes the lower electrode 24A via a part of the gate insulating film 31. In all the sub-pixels Pr, Pg, and Pb, the capacitors 24 have the same layer structures as described above.

The relationship between the layers of the transistors 21 to 23 and capacitor 24, the signal lines Y, the scan lines X, and supply lines Z will be described next with reference to FIGS. 3 to 6.

Connection lines 96, the gates 21g of the switch transistors 21, the gates 22g of the holding transistors 22, the gates 23g of the driving transistors 23, the lower electrodes 24A of the capacitors 24 of all the sub-pixels Pr, Pg, and Pb, and all the signal lines Yr, Yg, and Yb are formed, using photolithography and etching, by patterning a

conductive film formed on the entire surface of the insulating substrate 2. The conductive film as the base of the connection lines 96, gates 21g of the switch transistors 21, the gates 22g of the holding transistors 22, the gates 23g of the driving transistors 23, the electrodes 24A of the capacitors 24, and the signal lines Yr, Yg, and Yb will be referred to as a gate layer hereinafter.

The gate insulating film 31 is an insulating film common to the first to third transistors 21, 22, 23, and capacitors 24 of all the sub-pixels Pr, Pg, and Pb and is formed on the entire surface. Hence, the gate insulating film 31 covers the gates 21g, 22g, 23g of the transistors 21, 22, 23, the lower electrodes 24A of the capacitors 24, and the signal lines Yr, Yg, and Yb.

The drains 21d, 22d, 23d and sources 21s, 22s, 23s of the transistors 21, 22, 23, the upper electrodes 24B of the capacitors 24 of all the sub-pixels Pr, Pg, and Pb, and all the scan lines X and supply lines Z are formed, using photolithography and etching, by patterning a conductive film formed on the entire surface of the gate insulating film 31. The conductive film as the base of the drains 21d and sources 21s of the switch transistors 21, the drains 22d and sources 22s of the holding transistors 22, the drains 23d and sources 23s of the driving transistors 23, the upper electrodes 24B of the capacitors 24, the scan lines X,

and the supply lines Z will be referred to as a drain layer hereinafter.

One contact hole 92 is formed for each pixel 3 in the gate insulating film 31 at a portion overlapping the scan line X. The gate 21g of the switch transistor 21 and the gate 22g of the holding transistor 22 of each of the sub-pixels Pr, Pg, and Pb are electrically connected to the scan line X through the contact hole 92. Another contact hole 94 is formed for each 1-dot sub-pixel P in the gate insulating film 31 at a portion overlapping the signal line Y. In all the sub-pixels Pr, Pg, and Pb, the source 21s of the switch transistor 21 is electrically connected to the signal line Y through the contact hole 94 (i.e. conductor buried in the hole). One contact hole 93 is formed for each 1-dot sub-pixel P in the gate insulating film 31 at a portion overlapping the lower electrode 24A. In all the sub-pixels Pr, Pg, and Pb, the source 22s of the holding transistor 22 is electrically connected to the gate 23g of the driving transistor 23 and the lower electrode 24A of the capacitor 24.

In the red sub-pixel Pr, the drains 22d, 23d of the second and third transistors 22, 23 are integrated with the supply line Z. In the green sub-pixel Pg and blue sub-pixel Pb, the drains 22d, 23d of the transistors 22, 23 are provided separately from the supply line Z. The drains 22d, 23d of the transistors

22, 23 are electrically connected to the supply line Z in the following way.

One connection line 96 is provided for one pixel 3 to run through the pixel 3 in the vertical direction.

5 The connection line 96 is formed by patterning the gate layer and is covered with the gate insulating film 31. A contact hole 97 is formed in the gate insulating film 31 at a portion where the supply line Z overlaps the connection line 96. The connection line 96 is

10 electrically connected to the supply line Z through the contact hole 97. In the green sub-pixel Pg, a contact hole 98 is formed in the gate insulating film 31 at a portion where the connection line 96 overlaps the drain 23d of the driving transistor 23. The connection line

15 96 is electrically connected to the drain 23d of the driving transistor 23 through the contact hole 98. In the blue sub-pixel Pb, a contact hole 99 is formed in the gate insulating film 31 at a portion where the connection line 96 overlaps the drain 23d of the

20 driving transistor 23. The connection line 96 is electrically connected to the drain 23d of the driving transistor 23 through the contact hole 99. In both the green sub-pixel Pg and the blue sub-pixel Pb, the drains 22d, 23d of the transistors 22, 23 are

25 electrically connected to the supply line Z and feed interconnection 90 through the connection line 96.

The switch transistors 21, holding transistors 22,

driving transistors 23 of all the sub-pixels Pr, Pg, and Pb, and all the scan lines X and supply lines Z are covered with a protective insulating film 32 formed on the entire surface and made of silicon nitride or silicon oxide. The protective insulating film 32 is divided into rectangles at portions overlapping the scan lines X and supply lines Z. This will be described later in detail.

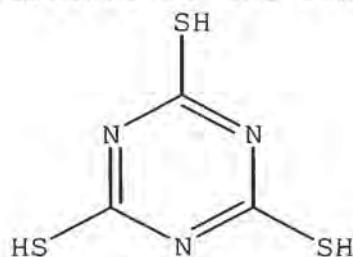
A planarization film 33 is formed on the protective insulating film 32 so that the three-dimensional pattern of the first to third transistors 21, 22, 23, scan lines X, and supply lines Z is eliminated by the planarization film 33. That is, the surface of the planarization film 33 is flat. The planarization film 33 is formed by hardening a photosensitive resin such as polyimide. The planarization film 33 is divided into rectangles at portions overlapping the scan lines X and supply lines Z. This will be described later in detail.

To use the display panel 1 as a bottom emission type, i.e., to use the insulating substrate 2 as the display screen, transparent materials are used for the gate insulating film 31, protective insulating film 32, and planarization film 33. The layered structure from the insulating substrate 2 to the planarization film 33 is called a transistor array substrate 50.

An insulating line 61 parallel to the scan line X

is formed on the surface of the planarization film 33, i.e., on the surface of the transistor array substrate 50 between the red sub-pixel Pr and the green sub-pixel Pg. The insulating line 61 is formed by hardening a photosensitive resin such as polyimide. The common interconnection 91 narrower than the insulating line 61 is formed on the insulating line 61. The common interconnection 91 is formed by electroplating and is therefore formed to be much thicker than the signal line Y, scan line X, and supply line Z and project upward from the surface of the planarization film 33. The common interconnection 91 preferably contains at least one of copper, aluminum, gold, and nickel.

A liquid repellent conductive layer 55 having water repellency/oil repellency is formed on the surface of each common interconnection 91. The liquid repellent conductive layers 55 are formed by reducing and eliminating hydrogen atoms (H) of the thiol group (-SH) of triazyl-trithiol expressed by chemical formula (1), and oxidizing and adsorbing sulfur atoms (S) in the surfaces of the common interconnections 91.



The liquid repellent conductive layer 55 is a film made of a layer of triazyl-trithiol molecules which are

regularly arranged on the surface of the common interconnection 91. For this reason, the liquid repellent conductive layer 55 has a very low resistance and conductivity. To make the water repellency/oil
5 repellency more effective, a material in which an alkyl fluoride group substitutes for one or two thiol groups of triazyl-trithiol may be used in place of triazyl-trithiol.

Trenches 34 open and long in the horizontal
10 direction are formed in the protective insulating film 32 and planarization film 33 to penetrate both films at portions overlapping the supply lines Z. Trenches 35 open and long in the horizontal direction are formed in the protective insulating film 32 and planarization
15 film 33 to penetrate both films at portions overlapping the scan lines X. The protective insulating film 32 and planarization film 33 are divided into rectangles by the trenches 34 and 35. The feed interconnections 90 are buried in the trenches 34 so that the feed
20 interconnections 90 are formed on the supply lines Z in the trenches 34 and electrically connected to the supply lines Z. The select interconnections 89 are buried in the trenches 35 so that the select interconnections 89 are formed on the scan lined X in
25 the trenches 35 and electrically connected to the scan lines X.

The select interconnections 89 and feed

interconnections 90 are formed by electroplating and are therefore much thicker than the signal lines Y, scan lines X, and supply lines Z. The thickness of the select interconnection 89 and feed interconnection 90 is larger than the total thickness of the protective insulating film 32 and planarization film 33 so that the select interconnection 89 and feed interconnection 90 project upward from the upper surface of the planarization film 33. Both the select interconnection 89 and the feed interconnection 90 preferably contain at least one of copper, aluminum, gold, and nickel. A hydrophobic insulating film 53 having water repellency and/or oil repellency is formed on the outer surface of a portion of the select interconnection 89, extending from the film 33. A hydrophobic insulating film 54 having water repellency and/or oil repellency is formed on the outer surface of a portion of the feed interconnection 90, extending from film 33.

The plurality of sub-pixel electrodes 20a are arrayed in a matrix on the upper surface of the planarization film 33, i.e., the upper surface of the transistor array substrate 50. The sub-pixel electrodes 20a are formed, using photolithography and etching, by patterning a transparent conductive film formed on the entire surface of the planarization film 33.

The sub-pixel electrode 20a is an electrode

functioning as the anode of the organic EL element 20. More specifically, the sub-pixel electrode 20a preferably has a relatively high work function so that holes can efficiently be injected in the organic EL layer 20b (to be described later). In a bottom emission structure, the sub-pixel electrode 20a is transparent to visible light. The sub-pixel electrode 20a is formed by using, as the major component, e.g., indium tin oxide (ITO), indium zinc oxide, indium oxide (In₂O₃), tin oxide (SnO₃), zinc oxide (ZnO), or cadmium tin oxide (CTO).

To use the display panel 1 as a top emission type, i.e., to use the opposite side of the insulating substrate 2 as the display screen, a reflecting film having high conductivity and high visible light reflectance is preferably formed between the sub-pixel electrode 20a and the planarization film 33. Alternatively, the sub-pixel electrode 20a itself is preferably formed as a reflecting electrode.

One contact hole 88 is formed for each 1-dot sub-pixel P in the planarization film 33 and protective insulating film 32 at a portion overlapped with the sub-pixel electrode 20a. A conductive pad is buried in the contact hole 88. In each of all the sub-pixels Pr, Pg, and Pb, the sub-pixel electrode 20a is electrically connected to the upper electrode 24B of the capacitor 24, the drain 21d of the switch transistor 21, and the

source 23s of the driving transistor 23.

5 The organic EL layer 20b of the organic EL element 20 is formed on the sub-pixel electrode 20a. The organic EL layer 20b is a light-emitting layer of broad sense. The organic EL layer 20b contains a light-emitting material (phosphor) as an organic compound. The organic EL layer 20b has a two-layer structure in which a hole transport layer and a light-emitting layer of narrow sense are formed sequentially from the sub-pixel electrode 20a. The hole transport layer is made of PEDOT (polythiophene) as a conductive polymer and PSS (polystyrene sulfonate) as a dopant. The light-emitting layer of narrow sense is made of a polyfluorene-based light-emitting material.

15 In the red sub-pixel Pr, the organic EL layer 20b emits red light. In the green sub-pixel Pg, the organic EL layer 20b emits green light. In the blue sub-pixel Pb, the organic EL layer 20b emits blue light.

20 The organic EL layer 20b is independently provided for each sub-pixel electrode 20a. When viewed from the upper side, said plurality of organic EL layers 20b are arrayed in a matrix. All sub-pixels of one row, which are arrayed in the horizontal direction between the feed interconnection 90 and the common interconnection 91, are the red sub-pixels Pr. Hence, said plurality

of sub-pixel electrodes 20a arrayed in the horizontal direction between the feed interconnection 90 and the common interconnection 91 may be covered with the common organic EL layer 20b for red light emission, which has a long band shape in the horizontal direction. At this time, the organic EL layer 20b has such an electric resistance that no current flows to the organic EL layer 20b adjacent in the horizontal direction. Similarly, the plurality of sub-pixel electrodes 20a arrayed in the horizontal direction between the common interconnection 91 and the select interconnection 89 may be covered with the common organic EL layer 20b for green light emission, which has a long band shape in the horizontal direction. The plurality of sub-pixel electrodes 20a arrayed in a predetermined row in a line in the horizontal direction between the select interconnection 89 and the feed interconnection 90 of the next row (one row after) may be covered with the common organic EL layer 20b for blue light emission, which has a long band shape in the horizontal direction.

The organic EL layer 20b is formed by wet coating (e.g., ink-jet method) after coating of the hydrophobic insulating film 54 and liquid repellent conductive layer 55. In this case, an organic compound-containing solution containing an organic compound as the prospective organic EL layer 20b is applied to the

sub-pixel electrode 20a. The liquid level of the organic compound-containing solution is higher than the top of the insulating line 61. The thick select interconnection 89, feed interconnection 90, and common interconnection 91 whose tops are much higher than that of the insulating line 61 are formed between the sub-pixel electrodes 20a adjacent in the vertical direction to project respect to the surface of the transistor array substrate 50. Hence, the organic compound-containing solution applied to a sub-pixel electrode 20a is prevented from leaking to the sub-pixel electrodes 20a adjacent in the vertical direction. In addition, the select interconnection 89, feed interconnection 90, and common interconnection 91 are respectively coated with the hydrophobic insulating film 53, hydrophobic insulating film 54, and liquid repellent conductive layer 55 having water repellency and/or oil repellency, which repel the organic compound-containing solution applied to the sub-pixel electrode 20a. The organic compound-containing solution applied to the sub-pixel electrode 20a is never deposited excessively thick near the end of the liquid repellent conductive layer 55, the end of the hydrophobic insulating film 53, and the end of the hydrophobic insulating film 54 as compared to the center of the sub-pixel electrode 20a. Hence, the organic EL layer 20b formed by drying the organic

compound-containing solution can have a uniform thickness in a plane.

5 The organic EL layer 20b need not always have the above-described two-layer structure. A three-layer structure including a hole transport layer, a light-emitting layer of narrow sense, and an electron transport layer formed sequentially from the sub-pixel electrode 20a may be employed. Alternately, a single-layer structure including a light-emitting layer of narrow sense may be used. A layered structure having an electron or hole injection layer inserted between appropriate layers in one of the above layer structures may be employed. Any other layered structures can also be used.

15 The counter electrode 20c functioning as the cathode of the organic EL element 20 is formed on the organic EL layers 20b. The counter electrode 20c is a common electrode commonly formed on the entire surface for all the sub-pixels Pr, Pg, and Pb. The counter electrode 20c is formed on the entire surface and covers the common interconnections 91 via the liquid repellent conductive layers 55. For this reason, as shown in the circuit diagram in FIG. 2, the counter electrode 20c is electrically connected to the common interconnections 91. Each select interconnection 89 is coated with the hydrophobic insulating film 53. Each feed interconnection 90 is coated with the hydrophobic

insulating film 54. Hence, the counter electrode 20c is insulated from both the select interconnections 89 and the feed interconnection 90.

5 The counter electrode 20c is preferably formed from a material having a work function lower than the sub-pixel electrode 20a, and for example, a single substance or an alloy containing at least one of magnesium, calcium, lithium, barium, indium, and a rare earth metal. The counter electrode 20c may have a layered structure in which the layers of various kinds of materials described above are stacked, or a layered structure in which a metal layer hard to oxidize is deposited in addition to the layers of various kinds of materials described above to lower the sheet

10 resistance. More specifically, a layered structure including a highly pure barium layer having a low work function and provided on the interface side contacting the organic EL layer 20b, and an aluminum layer provided to cover the barium layer, or a layered

15 structure including a lithium layer on the lower side and an aluminum layer on the upper side can be used. In a top emission structure, the counter electrode 20c may be a transparent electrode having the above-described thin film with a low work function and

20 a transparent conductive film made of, e.g., ITO on the thin film.

A sealing insulating film 56 is formed on the

counter electrode 20c. The sealing insulating film 56 is an inorganic or organic film provided to cover the entire counter electrode 20c and prevent any degradation of the counter electrode 20c.

5 Conventionally, in an EL display panel having a top emission structure, at least part of the counter electrode 20c is formed as a transparent electrode of, e.g., a metal oxide having a high resistance value. Such a material can sufficiently reduce the sheet
10 resistance only by increasing the thickness. When the material is thick, the transparency of the organic EL element decreases inevitably. As the screen size becomes large, a uniform potential can hardly be obtained in a plane, and the display characteristic
15 becomes poor.

 In this embodiment, however, the plurality of common interconnections 91 with a low resistance are provided to obtain a sufficient thickness in the horizontal direction. Hence, the sheet resistance
20 value of the entire cathode electrodes of the organic EL elements 20 can be decreased together with the counter electrode 20c so that a sufficiently large current can be supplied uniformly in a plane. In this structure, the common interconnection 91 reduce the
25 sheet resistance of the cathode electrode. For this reason, the transmittance can be increased by forming the counter electrode 20c thin. In a top emission

structure, the pixel electrode 20a may be made of a reflecting material.

5 The feed interconnections 90 which are formed by using a thick conductive layer except the conductive layer to form the thin-film transistors are electrically connected to the supply lines Z_1 to Z_m . For this reason, the delay until the write current or driving current (to be described later) in the plurality of organic EL elements 20 reaches a
10 predetermined current value, which is caused by the voltage drop in the supply lines Z_1 to Z_m formed by only the conductive layer of the thin-film transistors, can be prevented, and the elements can satisfactorily be driven.

15 In addition, the select interconnections 89 which are formed by using a thick conductive layer except the conductive layer to form the thin-film transistors are electrically connected to the scan lines X_1 to X_m . For this reason, the signal delay caused by the voltage
20 drop in the scan lines X_1 to X_m formed by only the conductive layer of the thin-film transistors can be prevented, and the switch transistors 21 and holding transistors 22 can be switched quickly and driven satisfactorily.

25 [Display Panel Driving Method]

 The display panel 1 can be driven by the active matrix method in the following way. As shown in

FIG. 7, a select driver connected to the scan lines X_1 to X_m sequentially outputs a shift pulse of high level to the scan lines X_1 to X_m in this order (the scan line X_1 next to the scan line X_m), thereby sequentially selecting the scan lines X_1 to X_m . A feed driver is connected to the feed interconnections 90. The feed driver applies a write feed voltage V_L to supply a write current to the driving transistors 23 connected to the supply lines Z_1 to Z_m through the feed interconnections 90 in a selection period. The feed driver applies a driving feed voltage V_H to supply a driving current to the organic EL elements 20 through the driving transistors 23 in a light emission period. The feed driver sequentially outputs the write feed voltage V_L of low level (lower than the voltage of the counter electrode of the organic EL elements 20) to the supply lines Z_1 to Z_m in this order (the supply line Z_1 next to the supply line Z_m) in synchronism with the select driver, thereby sequentially selecting the supply lines Z_1 to Z_m . While the select driver is selecting the scan lines X_1 to X_m , a data driver supplies a write current (current signal) to all the signal lines Y_1 to Y_n through the drain-to-source paths of the driving transistors 23 of a predetermined row. At this time, the feed driver outputs the write feed voltage V_L of low level from both the interconnection terminals at the two ends of each feed interconnection

90, located on the left and right ends of the insulating substrate 2 to the feed interconnections 90 connected to the supply lines Z_1 to Z_m . The counter electrode 20c and common interconnections 91 are
5 connected to an external device through the interconnection terminals portions and held at a predetermined common potential V_{com} (e.g., ground = 0 V).

The direction in which the signal lines Y_1 to Y_n
10 run is called the vertical direction (column direction). The direction in which the scan lines X_1 to X_m run is called the horizontal direction (row direction). In this case, m and n are natural numbers ($m \geq 2$, $n \geq 2$). The subscript added to the scan line
15 X represents the sequence from the top in FIG. 1. The subscript added to the supply line Z represents the sequence from the top in FIG. 1. The subscript added to the signal line Y represents the sequence from the left in FIG. 1. The first subscript added to the pixel
20 circuit P represents the sequence from the top, and the second subscript represents the sequence from the left. More specifically, let i be an arbitrary natural number of 1 to m , and j be an arbitrary natural number of 1 to n . A scan line X_i is the i th row from the top, a
25 supply line Z_i is the i th row from the top, a signal line Y_j is the j th column from the left, and a pixel circuit $P_{i,j}$ is located on the i th row from the top and

the j th column from the left. The pixel circuit $P_{i,j}$ is connected to the scan line X_i , supply line Z_i , and signal line Y_j .

The pixel circuit $P_{i,j}$ comprises the organic EL element 20 serving as a pixel, the first to third N-channel amorphous silicon thin-film transistors (to be simply referred to as transistors hereinafter) 21, 22, and 23 arranged around the organic EL element 20, and the capacitor 24.

In each selection period, the potential on the data driver side is equal to or lower than the write feed voltage V_L output to the feed interconnections 90 and the supply lines Z_1 to Z_m . The write feed voltage V_L is set to be equal to or lower than the common potential V_{com} . At this time, no current flows from the organic EL elements 20 to the signal lines Y_1 to Y_n . As shown in FIG. 2, a write current (pull-out current) having a current value corresponding to the gray level is supplied from the data driver to the signal lines Y_1 to Y_n , as indicated by an arrow A. In the pixel circuit $P_{i,j}$, the write current (pull-out current) to the signal line Y_j flows from the feed interconnection 90 and supply line Z_i through the drain-to-source path of the driving transistor 23 and the drain-to-source path of the switch transistor 21. The current value of the current flowing through the drain-to-source path of the driving transistor 23 is

uniquely controlled by the data driver. The data driver sets the current value of the write current (pull-out current) in accordance with an externally input gray level. While the write current (pull-out current) is flowing, the voltage between the gate 23g and source 23s of the driving transistor 23 of each of pixel circuits $P_{i,1}$ to $P_{i,n}$ of the i th row is forcibly set in accordance with the current value of the write current (pull-out current) flowing to the signal lines Y_1 to Y_n , i.e., the current value of the write current (pull-out current) flowing between the drain 23d and source 23s of the driving transistor 23 independently of the change over time in the V_g - I_{ds} characteristic of the driving transistor 23. Charges with a magnitude corresponding to the level of this voltage are stored in the capacitor 24 so that the current value of the write current (pull-out current) is converted into the voltage level between the gate 23g and source 23s of the driving transistor 23. In the subsequent light emission period, the scan line X_i changes to low level so that the switch transistor 21 and holding transistor 22 are turned off. The charges on the side of the electrode 24A of the capacitor 24 are confined by the holding transistor 22 in the OFF state, and a floating state is set. Hence, even when the voltage of the source 23s of the driving transistor 23 is modulated at the time of transition from the selection period to the

light emission period, the potential difference between the gate 23g and source 23s of the driving transistor 23 is maintained. In the light emission period, the potential of the supply line Z_i and the feed interconnection 90 connected to it equals the driving feed voltage V_H which is higher than the potential V_{com} of the counter electrode 20c of the organic EL element 20. Hence, a driving current flows from the supply line Z_i and the feed interconnection 90 connected to it to the organic EL element 20 in the direction of arrow B through the driving transistor 23. Hence, the organic EL element 20 emits light. The current value of the driving current depends on the voltage between the gate 23g and source 23s of the driving transistor 23. For this reason, the current value of the driving current in the light emission period equals the current value of the write current (pull-out current) in the selection period.

Another active matrix driving method of the display panel 1 will be described next. As shown in FIG. 8, an oscillation circuit outputs a clock signal to the feed interconnections 90 and thus supply lines Z_1 to Z_m . The select driver sequentially outputs a shift pulse of high level to the scan lines X_1 to X_m in this order (the scan line X_1 next to the scan line X_m), thereby sequentially selecting the scan lines X_1 to X_m . While the select driver is outputting the shift pulse

to one of the scan lines X_1 to X_m , the clock signal from the oscillation circuit changes to low level. When the select driver selects the scan lines X_1 to X_m , the data driver supplies a pull-out current (current
5 signal) as the write current to all the signal lines Y_1 to Y_n through the drain-to-source paths of the driving transistors 23. The counter electrode 20c and feed interconnections 90 are held at the predetermined common potential V_{com} (e.g., ground = 0 V).

10 In the selection period of the scan line X_i , the shift pulse is output to the scan line X_i of the i th row so that the switch transistor 21 and holding transistor 22 are turned on. In each selection period, the potential on the data driver side is equal to or
15 lower than the clock signal output to the feed interconnections 90 and supply lines Z_1 to Z_m . The low level of the clock signal is set to be equal to or lower than the common potential V_{com} . At this time, no current flows from the organic EL elements 20 to the
20 signal lines Y_1 to Y_n . As shown in FIG. 2, a write current (pull-out current) having a current value corresponding to the gray level is supplied from the data driver to the signal lines Y_1 to Y_n , as indicated by the arrow A. In the pixel circuit $P_{i,j}$, the write
25 current (pull-out current) to the signal line Y_j flows from the feed interconnection 90 and supply line Z_i through the drain-to-source path of the driving

transistor 23 and the drain-to-source path of the
switch transistor 21. The current value of the current
flowing through the drain-to-source path of the driving
transistor 23 is uniquely controlled by the data
5 driver. The data driver sets the current value of the
write current (pull-out current) in accordance with an
externally input gray level. While the write current
(pull-out current) is flowing, the voltage between the
gate 23g and source 23s of the driving transistor 23 of
10 each of the pixel circuits $P_{i,1}$ to $P_{i,n}$ of the i th row
is forcibly set in accordance with the current value of
the write current (pull-out current) flowing to the
signal lines Y_1 to Y_n , i.e., the current value of the
write current (pull-out current) flowing between the
15 drain 23d and source 23s of the driving transistor 23
independently of the change over time in the V_g - I_{ds}
characteristic of the transistor 23. Charges with a
magnitude corresponding to the level of this voltage
are stored in the capacitor 24 so that the current
20 value of the write current (pull-out current) is
converted into the voltage level between the gate 23g
and source 23s of the driving transistor 23. In the
subsequent light emission period, the scan line X_i
changes to low level so that the switch transistor 21
25 and holding transistor 22 are turned off. The charges
on the side of the electrode 24A of the capacitor 24
are confined by the holding transistor 22 in the OFF

state, and a floating state is set. Hence, even when the voltage of the source 23s of the driving transistor 23 is modulated at the time of transition from the selection period to the light emission period, the potential difference between the gate 23g and source 23s of the driving transistor 23 is maintained. Of the selection period, in a period in which no row is selected, i.e., the clock signal is at high level, and the potential of the feed interconnection 90 and supply line Z_i is higher than the potential V_{com} of the counter electrode 20c of the organic EL element 20 and the feed interconnection 90, the driving current flows from the feed interconnection 90 and thus supply line Z_i with a higher potential to the organic EL element 20 through the drain-to-source path of the driving transistor 23 in the direction of arrow B. Hence, the organic EL element emits light. The current value of the driving current depends on the voltage between the gate 23g and source 23s of the driving transistor 23. For this reason, the current value of the driving current in the light emission period equals the current value of the write current (pull-out current) in the selection period. Of the selection period, in a period in which any row is selected, i.e., the clock signal is at low level, the potential of the feed interconnection 90 and thus supply line Z_i is equal to or lower than the potential V_{com} of the counter

electrode 20c and feed interconnection 90. Hence, no driving current flows to the organic EL element 20, and no light emission occurs.

5 In either driving method as described above, the switch transistor 21 functions to turn on (selection period) and off (light emission period) of the current between the signal line Y_j and the source 23s of the driving transistor 23. The holding transistor 22 functions to make it possible to supply the current
10 between the source 23s and drain 23d of the driving transistor 23 in the selection period and hold the voltage between the gate 23g and source 23s of the transistor 23 in the light emission period. The driving transistor 23 functions to drive the organic EL
15 element 20 by supplying a current having a magnitude corresponding to the gray level to the organic EL element 20.

As described above, the magnitude of the current flowing to the feed interconnection 90 equals the sum
20 of the magnitudes of driving currents flowing to the n organic EL elements 20 connected to the supply line Z_i of one column. When a selection period to do moving image driving using pixels for VGA or more is set, the parasitic capacitance of each feed interconnection 90
25 increases. The resistance of an interconnection formed from a thin film which forms the gate electrode or the source/drain electrode of a thin-film transistor is so

high that the write current (driving current) cannot be supplied to the n organic EL elements 20. In this embodiment, the feed interconnections 90 are formed from a conductive layer different from the gate electrodes or the source/drain electrodes of thin-film transistors of the pixel circuits $P_{1,1}$ to $P_{m,n}$. For this reason, the voltage drop by the feed interconnections 90 is small. Even in a short selection period, the write current (pull-out current) can sufficiently be supplied without any delay. Since the resistance of the feed interconnection 90 is lowered by thickening it, the feed interconnection 90 can be made narrow. In a bottom emission structure, the decrease in pixel opening ratio can be minimized.

Similarly, the magnitude of the driving current flowing to the common interconnection 91 in the light emission period equals that of the write current (pull-out current) flowing to the feed interconnection 90 in the selection period. Since the common interconnections 91 use a conductive layer different from the gate electrodes or the source/drain electrodes of the first to third thin-film transistors of the pixel circuits $P_{1,1}$ to $P_{m,n}$, the common interconnection 91 can be made sufficiently thick, and its resistance can be lowered. In addition, even when the counter electrode 20c itself becomes thin and increases its resistance, the voltage of the counter electrode 20c

can be uniformed in a plane. Hence, even if the same potential is applied to all the pixel electrodes 20a, the light emission intensities of the organic EL layers 20b almost equal, and the light emission intensity in a plane can be uniformed.

When the EL display panel 1 is used as a top emission type, the counter electrode 20c can be made thinner. Hence, light emitted from the organic EL layer 20b hardly attenuates while passing through the counter electrode 20c. Additionally, since the common interconnections 91 are respectively provided between the pixel electrodes 20a adjacent in the horizontal direction when viewed from the upper side, the decrease in pixel opening ratio can be minimized.

[Widths, Sectional Areas, and Resistivities of Feed Interconnection and Common Interconnection]

When the display panel is driven by the latter of the above-described two driving methods, the feed interconnections 90 are electrically connected to each other by the first lead interconnection arranged at one edge of the insulating substrate 2 and are therefore set to an equipotential by the external clock signal. The first lead interconnection is connected to the interconnection terminals at the two ends of the insulating substrate 2. Since the voltages applied from external driving circuits to the interconnection terminals are equipotential, the current can quickly be

supplied to all the feed interconnections 90.

The common interconnections 91 are connected to each other by the second lead interconnection arranged at an edge different from the edge of the insulating substrate 2 where the first lead interconnection is provided. A common voltage V_{ss} is applied to the common interconnections 91. The second lead interconnection is insulated from the first lead interconnection.

When the display panel 1 has pixels corresponding to WXGA (768 × 1366), the desired width and sectional area of the feed interconnection 90 and common interconnection 91 are defined. FIG. 9 is a graph showing the current vs. voltage characteristic of the driving transistor 23 and organic EL element 20 of each sub-pixel.

Referring to FIG. 9, the ordinate represents the current value of the write current flowing between the source 23s and drain 23d of one driving transistor 23 or the current value of the driving current flowing between the anode and cathode of one organic EL element 20. The abscissa represents the voltage between the drain 23d and source 23s of one driving transistor 23 (also the voltage between the gate 23g and drain 23d of one driving transistor 23). Referring to FIG. 9, a solid line $I_{ds\ max}$ indicates a write current and driving current for the highest luminance gray level

(brightest display). A one-dot dashed line $I_{ds\ mid}$ indicates a write current and driving current for an intermediate highest luminance gray level between the highest luminance gray level and the lowest luminance gray level. A two-dots dashed line V_{po} indicates a threshold value between the unsaturation region (linear region) and the saturation region of the driving transistor 23, i.e., the pinch-off voltage. A three-dots dashed line V_{ds} indicates a write current flowing between the source 23s and drain 23d of the driving transistor 23. A dot line I_{el} indicates a driving current flowing between the anode and cathode of the organic EL element 20.

A voltage V_{P1} is the pinch-off voltage of the driving transistor 23 for the highest luminance gray level. A voltage V_{P2} is the drain-to-source voltage of the driving transistor 23 when a write current for the highest luminance gray level flows. A voltage V_{ELmax} (voltage V_{P4} - voltage V_{P3}) is the anode-to-cathode voltage when the organic EL element 20 emits light by a driving current of the highest luminance gray level, which has a current value equal to that of the write current for the highest luminance gray level. A voltage V_{P2}' is the drain-to-source voltage of the driving transistor 23 when a write current for the intermediate luminance gray level flows. A voltage (voltage V_{P4}' - voltage V_{P3}') is the anode-to-cathode

voltage when the organic EL element 20 emits light by a driving current of the intermediate luminance gray level, which has a current value equal to that of the write current for the intermediate luminance gray level.

To drive the driving transistor 23 and organic EL element 20 in the saturation region, a value VX obtained by subtracting (the voltage Vcom of the common interconnection 91 in the light emission period) from (the driving feed voltage VH of the feed interconnection 90 in the light emission period) satisfies

$$VX = Vpo + Vth + Vm + VEL \quad \dots(2)$$

where Vth (= VP2 - VP1 for the highest luminance) is the threshold voltage of the driving transistor 23, VEL (= VEmax for the highest luminance) is the anode-to-cathode voltage of the organic EL element 20, and Vm is an allowable voltage which displaces in accordance with the gray level.

As is apparent from FIG. 9, of the voltage VX, the higher the luminance gray level is, the higher the voltage (Vpo + Vth) necessary between the source and drain of the transistor 23 is, and also, the higher the voltage VEL necessary between the anode and cathode of the organic EL element 20 is. Hence, the allowable voltage Vm becomes low as the luminance gray level becomes high. A minimum allowable voltage Vmmin is

VP3 - VP2.

The organic EL element 20 generally degrades and increases its resistance over time no matter whether a low or high molecular weight EL material. It has been confirmed that the anode-to-cathode voltage after 5 10,000 hrs is about 1.4 to several times that in the initial state. That is, the voltage VEL rises along with the elapse of time even when the luminance gray level does not change. The operation is stable for a long time when the allowable voltage Vm in the initial 10 driving state is as high as possible. Hence, the voltage VX is set such that the voltage VEL becomes 8 V or more and, more preferably, 13 V or more.

The allowable voltage Vm includes not only the 15 increase amount of the resistance of the organic EL element 20 but also the voltage drop by the feed interconnection 90.

If the voltage drop is large because of the interconnection resistance of the feed interconnection 20 90, the power consumption of the EL display panel 1 considerably increases. Hence, the voltage drop of the feed interconnection 90 is especially preferably set to 1 V or less.

A pixel width Wp as the row-direction length of 25 one pixel, the number of pixels (1366) in the row direction, the extension portion from the first lead interconnection to one interconnection terminal outside

the pixel region, and the extension portion from the first lead interconnection to the other interconnection terminal outside the pixel region are taken into consideration. In this case, the total length of the first lead interconnection is 706.7 mm for the display panel 1 with a panel size of 32 inches and 895.2 mm for 40 inches. If a line width WL of the feed interconnection 90 and common interconnection 91 is large, the area of the organic EL layer 20b decreases structurally. In addition, the overlap parasitic capacitance to other interconnections is also generated, and the voltage drop becomes larger. To prevent this, the line width WL of the feed and common interconnections 90, 91 is preferably suppressed to 1/5 or less the pixel width Wp. In consideration of this, the line width WL is 34 μm or less for the display panel 1 with a panel size of 32 inches and 44 μm or less for 40 inches. A maximum thickness Hmax of the feed interconnection 90 and common interconnection 91 is 1.5 times the minimum process size (4 μm) of the first to third transistors 21 to 23, i.e., 6 μm when the aspect ratio is taken into consideration. A maximum sectional area Smax of the feed interconnection 90 and common interconnection 91 is 204 μm^2 for 32 inches and 264 μm^2 for 40 inches.

To make the maximum voltage drop of the feed interconnection 90 and common interconnection 91 1 V or

less when the 32-inch display panel 1 is fully lighted
to flow the maximum current, an interconnection
resistivity ρ /sectional area S of the feed
interconnection 90 and common interconnection 91 must
5 be set to $4.7 \Omega/\text{cm}$ or less, as shown in FIG. 10.
FIG. 11 shows the correlation between the sectional
area and the current density of the feed
interconnection and common interconnection of the
32-inch display panel 1. The resistivity allowed when
10 the above-described feed interconnection 90 and common
interconnection 91 have the maximum sectional area S_{max}
is $9.6 \mu \Omega \text{cm}$ for 32 inches and $6.4 \mu \Omega \text{cm}$ for
40 inches.

To make the maximum voltage drop of the feed
15 interconnection 90 and common interconnection 91 1 V or
less when the 40-inch display panel 1 is fully lighted
to flow the maximum current, the interconnection
resistivity ρ /sectional area S of the feed
interconnection 90 and common interconnection 91 must
20 be set to $2.4 \Omega/\text{cm}$ or less, as shown in FIG. 12.
FIG. 13 shows the correlation between the sectional
area and the current density of the feed
interconnection and common interconnection of the
40-inch display panel 1.

25 A median time to failure MTF at which the EL
display panel stops operation due to a failure in the
feed interconnection 90 and common interconnection 91

satisfies

$$MTF = A \exp(E_a / K_b T) / \rho J^2 \quad \dots (3)$$

where E_a is an activation energy, $K_b T = 8.617 \times 10^{-5}$ eV, ρ is the resistivity of the feed

5 interconnection 90 and common interconnection 91, and J is a current density.

The median time to failure MTF of the feed interconnection 90 and common interconnection 91 is determined by an increase in resistivity or
10 electromigration. When the feed and common interconnections 90, 91 are set to an Al-based material (Al single substance or an alloy such as AlTi or AlNd), and calculation is done on trial for MTF of 10,000 hrs and an operation temperature of 85°C, the current
15 density J must be 2.1×10^4 A/cm² or less. When the feed interconnection 90 and common interconnection 91 are set to Cu, the current density J must be 2.8×10^6 A/cm² or less. It is assumed that materials except Al in an Al alloy have a resistivity lower than Al.

20 In consideration of these, in the 32-inch display panel 1, the sectional area S of the Al-based feed interconnection 90 and common interconnection 91 must be $57 \mu\text{m}^2$ or more to prevent any failure in them in the full lighting state for 10,000 hrs, as shown in
25 FIG. 11. The sectional area S of the feed interconnection 90 and common interconnection 91 made of Cu must be $0.43 \mu\text{m}^2$ or more, as shown in FIG. 11.

In the 40-inch display panel 1, the sectional area S of the Al-based feed interconnection 90 and common interconnection 91 must be $92 \mu\text{m}^2$ or more to prevent any failure in them in the full lighting state for 10,000 hrs, as shown in FIG. 13. The sectional area S of the feed and common interconnections 90, 91 made of Cu must be $0.69 \mu\text{m}^2$ or more, as shown in FIG. 13.

In the 32-inch display panel 1, the interconnection resistivity ρ /sectional area S of the Al-based feed interconnection 90 and common interconnection 91 is $4.7 \Omega/\text{cm}$ or less, as described above, assuming that the resistivity of the Al-based material is $4.00 \mu\Omega\text{cm}$. Hence, a minimum sectional area S_{min} is $85.1 \mu\text{m}^2$. Since the line width WL of the feed and common interconnections 90, 91 is $34 \mu\text{m}$ or less, as described above, a minimum thickness Hmin of both interconnections 90, 91 is $2.50 \mu\text{m}$.

In the 40-inch display panel 1, the interconnection resistivity ρ /sectional area S of the Al-based feed interconnection 90 and common interconnection 91 is $2.4 \Omega/\text{cm}$ or less, as described above. Hence, the minimum sectional area S_{min} is $167 \mu\text{m}^2$. Since the line width WL of the interconnections 90, 91 is $44 \mu\text{m}$ or less, as described above, the minimum thickness Hmin of the interconnections 90, 91 is $3.80 \mu\text{m}$.

In the 32-inch display panel 1, the

interconnection resistivity ρ /sectional area S of the feed interconnection 90 and common interconnection 91 made of Cu is $4.7 \Omega/\text{cm}$ or less, as described above, assuming that the resistivity of Cu is $2.10 \mu\Omega\text{cm}$.

5 Hence, the minimum sectional area S_{min} is $44.7 \mu\text{m}^2$.

Since the line width WL of both interconnections 90, 91 is $34 \mu\text{m}$ or less, as described above, the minimum thickness H_{min} of the interconnections 90, 91 is $1.31 \mu\text{m}$.

10 In the 40-inch display panel 1, the interconnection resistivity ρ /sectional area S of the feed interconnection 90 and common interconnection 91 made of Cu is $2.4 \Omega/\text{cm}$ or less, as described above.

Hence, the minimum sectional area S_{min} is $87.5 \mu\text{m}^2$.

15 Since the line width WL of both interconnections 90, 91 is $44 \mu\text{m}$ or less, as described above, the minimum thickness H_{min} of the interconnections 90, 91 is $1.99 \mu\text{m}$.

Hence, to cause the display panel 1 to operate normally at a low power consumption, the voltage drop in the feed interconnection 90 and common interconnection 91 is preferably set to 1 V or less. To set such a condition, in a 32-inch panel in which the feed interconnection 90 and common interconnection 20 91 are made of an Al-based material, a thickness H is 2.5 to $6.0 \mu\text{m}$, the width WL is 14.1 to $34.0 \mu\text{m}$, and the resistivity is 4.0 to $9.6 \mu\Omega\text{cm}$. In a 40-inch 25

panel in which both interconnections 90, 91 are made of an Al-based material, the thickness H is 3.8 to 6.0 μm , the width WL is 27.8 to 44.0 μm , and the resistivity is 4.0 to 9.6 $\mu\Omega\text{cm}$.

5 In general, for the Al-based feed interconnection 90 and common interconnection 91, the thickness H is 2.5 to 6.0 μm , the width WL is 14.1 to 44.0 μm , and the resistivity is 4.0 to 9.6 $\mu\Omega\text{cm}$.

 In a 32-inch panel in which the feed
10 interconnection 90 and common interconnection 91 are made of Cu, the thickness H is 1.31 to 6.00 μm , the width WL is 7.45 to 34.00 μm , and the resistivity is 2.1 to 9.6 $\mu\Omega\text{cm}$. In a 40-inch panel in which both
15 interconnections 90, 91 are made of Cu, the thickness H is 1.99 to 6.00 μm , the width WL is 14.6 to 44.0 μm , and the resistivity is 2.1 to 9.6 $\mu\Omega\text{cm}$.

 In general, for the feed interconnection 90 and
20 common interconnection 91 made of Cu, the thickness H is 1.31 to 6.00 μm , the width WL is 7.45 to 44.00 μm , and the resistivity is 2.1 to 9.6 $\mu\Omega\text{cm}$.

 Hence, when an Al-based material or Cu is used for
the feed interconnection 90 and common interconnection
91, interconnections 90, 91 of the EL display panel 1
have the thickness H of 1.31 to 6.00 μm , the width WL
25 of 7.45 to 44.00 μm , and the resistivity of 2.1 to
9.6 $\mu\Omega\text{cm}$.

 As described above, the common interconnections 91

formed to project between the lines of the red sub-pixels Pr and the lines of the green sub-pixels Pg in the horizontal direction are formed from a layer different from the electrodes of the first to third transistors 21 to 23. Hence, the common interconnections 91 can be made thick and have a low resistance. The common interconnections 91 having a low resistance are electrically connected to the counter electrode 20c. For this reason, even when the counter electrode 20c itself becomes thin and increases its resistance, the voltage of the counter electrode 20c can be uniformed in a plane. Hence, even if the same potential is applied to all the sub-pixel electrodes 20a, the light emission intensities of the organic EL layers 20b almost equal, and the light emission intensity in a plane can be uniformed.

When the display panel 1 is used as a top emission type, the counter electrode 20c can be made thinner. Hence, light emitted from the organic EL layer 20b hardly attenuates while passing through the counter electrode 20c. Additionally, since the common interconnections 91 are provided between the sub-pixel electrodes 20a adjacent in the vertical direction when viewed from the upper side (FIG. 1), the decrease in pixel opening ratio can be minimized.

In addition, the select interconnections 89 formed to project between the lines of the green sub-pixels Pg

and the lines of the blue sub-pixels Pb in the horizontal direction are formed from a layer different from the electrodes of the first to third transistors 21 to 23. Hence, the select interconnections 89 can be made thick and have a low resistance. The common interconnections 91 having a low resistance are formed on the thin scan lines X. For this reason, the voltage drop in the scan lines X can be suppressed, and the signal delay in the scan lines X and select interconnections 89 can be suppressed. That is, when a focus is placed on the column of the sub-pixels P in the horizontal direction, the shift pulse changes to high level in all the sub-pixels P without any delay.

Since the select interconnections 89 are made thick to decrease the resistance, the select interconnections 89 can be made narrow. For this reason, the decrease in pixel opening ratio can be minimized.

Furthermore, the feed interconnections 90 formed to project between the lines of the blue sub-pixels Pb and the lines of the red sub-pixels Pr in the horizontal direction are formed from a layer different from the electrodes of the transistors 21 to 23. Hence, the feed interconnections 90 can be made thick and have a low resistance. The feed interconnections 90 having a low resistance are formed on the thin supply lines Z. For this reason, the voltage drop in

the supply lines Z can be suppressed, and the signal delay in the supply lines Z and feed interconnections 90 can be suppressed. For example, when the size of the display panel 1 is increased without the feed interconnections 90, the light emission intensity in a plane may vary due to the voltage drop in the supply lines Z, or some organic EL elements 20 cannot emit light. In this embodiment, however, since the feed interconnections 90 having a low resistance are electrically connected to the supply lines Z, the light emission intensity in a plane can be prevented from varying, and the organic EL elements 20 which cannot emit light can be eliminated.

Since the feed interconnections 90 are made thick to decrease the resistance, the feed interconnections 90 can be made narrow. For this reason, the decrease in pixel opening ratio can be minimized.

Since the select interconnections 89, feed interconnections 90, and common interconnections 91 formed to project are provided thick, the organic EL layers 20b can have different colors by wet coating. Hence, no special banks to partition the sub-pixels P need be provided, and the display panel 1 can easily be manufactured.

[First Modification]

The present invention is not limited to the above-described embodiment, and various changes and

modifications can be made without departing from the spirit and scope of the present invention.

In the above-described embodiment, the first to third transistors 21 to 23 have been explained as
5 N-channel field effect transistors. The transistors 21 to 23 may be P-channel field effect transistors. In this case, the relationship between the sources 21s, 22s, and 23s of the transistors 21 to 23 and the drains 21d, 22d, and 23d of the transistors 21 to 23 is
10 reversed in the circuit diagram shown in FIG. 2. For example, when the driving transistor 23 is a P-channel field effect transistor, the drain 23d of the driving transistor 23 is electrically connected to the sub-pixel electrode 20a of the organic EL element 20.
15 The source 23s is electrically connected to the supply line Z.

[Second Modification]

In the above-described embodiment, the three transistors 21 to 23 are provided per 1-dot pixel. The
20 present invention can be applied to any display panel which has one or more driving transistors per 1-dot sub-pixel P and can be driven by using these transistors by an active driving method independently of the number of transistors and whether the panel is
25 current-driven or voltage-driven.

[Third Modification]

In the above-described embodiment, the select

interconnections 89 are formed to project between the rows of the green sub-pixels Pg and the rows of the blue sub-pixels Pb. However, instead of the select interconnections 89, common interconnections like the common interconnections 91 may be formed between the rows of the green sub-pixels Pg and the rows of the blue sub-pixels Pb. Therefore, two common interconnections are formed every pixel 3. In this case, no trench 35 is formed under the common interconnection. The common interconnection is insulated from the scan line X. The surface of the common interconnection is coated with a liquid repellent conductive layer like the liquid repellent conductive layer 55. The common interconnection is electrically connected to the counter electrode 20c.

[Fourth Modification]

In the above-described embodiment, the signal line Y is patterned from the gate layer. Instead, the signal line Y may be patterned from the drain layer. In this case, the scan line X and supply line Z are patterned from the gate layer, and the signal line Y is arranged above the scan line X and supply line Z.

[Fifth Modification]

In the above-described embodiment, the common interconnection 91 is arranged between the red sub-pixel Pr and green sub-pixel Pg which are adjacent in the vertical direction. The scan line X and select

interconnection 89 are arranged between the green sub-pixel Pg and blue sub-pixel Pb which are adjacent in the vertical direction. The supply line Z and feed interconnection 90 are arranged between the blue sub-pixel Pb of one of the pixels 3 and the red sub-pixel Pr of the adjacent pixel 3. Hence, the organic EL layer 20b of the red sub-pixel Pr, the organic EL layer 20b of the green sub-pixel Pg, and the organic EL layer 20b of the blue sub-pixel Pb are repeatedly arrayed in this order. That is, in the above-described embodiment, the supply line Z and feed interconnection 90, the common interconnection 91, and the scan line X and select interconnection 89 are repeatedly arrayed in this order. In other words, the organic EL layer 20b of the red sub-pixel Pr, the organic EL layer 20b of the green sub-pixel Pg, and the organic EL layer 20b of the blue sub-pixel Pb are repeatedly arrayed in this order. However, they need not always be arrayed in this order. Instead, the scan line X and select interconnection 89, or the supply line Z and feed interconnection 90 may be arranged between the red sub-pixel Pr and green sub-pixel Pg. The common interconnection 91, or the supply line Z and feed interconnection 90 may be arranged between the green sub-pixel Pg and blue sub-pixel Pb. The common interconnection 91, or the scan line X and select interconnection 89 may be arranged between the blue

sub-pixel Pb of one of the pixels 3 and the red sub-pixel Pr of the adjacent pixel 3.

A plurality of modifications described above may be combined.

WHAT IS CLAIMED IS:

1. A display panel comprising:

a transistor array substrate which has a plurality of pixels and is formed by providing a plurality of transistors for each pixel, each of the transistor having a gate, a gate insulating film, a source, and a drain;

a plurality of interconnections which are formed to project to a surface of the transistor array substrate and arrayed in parallel to each other;

a plurality of pixel electrodes which are provided for each pixel and arrayed between the interconnections on the surface of the transistor array substrate along the interconnections;

a plurality of light-emitting layers each of which is formed on each pixel electrode; and

a counter electrode which is stacked on the light-emitting layer.

2. A panel according to claim 1, wherein said plurality of transistors includes a driving transistor having one of the source and drain which is connected to the pixel electrode, a switch transistor which supplies a write current between the drain and source of the driving transistor, and a holding transistor which holds a voltage between the gate and source of the driving transistor in a light emission period.

3. A panel according to claim 2, wherein said

plurality of interconnections include at least one of a
feed interconnection connected to the other of the
source and drain of the driving transistor, a select
interconnection which selects the switch transistor,
5 and a common interconnection connected to the counter
electrode.

4. A panel according to claim 3, wherein the
light-emitting layer is formed between two of the feed
interconnection, the select interconnection, and the
10 common interconnection.

5. A panel according to claim 3, wherein said
plurality of interconnections are formed by arraying a
plurality of sets each including the feed
interconnection, the select interconnection, and the
15 common interconnection arrayed in an arbitrary order.

6. A panel according to claim 1, wherein said
plurality of pixels include a red pixel, a green pixel,
and a blue pixel.

7. A panel according to claim 6, wherein said
20 plurality of pixels are formed by arraying a plurality
of sets each including the red pixel, the green pixel,
and the blue pixel arrayed in an arbitrary order.

8. A panel according to claim 1, wherein the
interconnection has a thickness of 1.31 to 6.00 μm .

9. A panel according to any one of claims 1 to 8,
25 wherein the interconnection has a width of 7.45 to
44.00 μm .

10. A panel according to claim 1, wherein the interconnection has a resistivity of 2.1 to 9.6 $\mu\Omega\text{cm}$.

11. A panel according to claim 1, wherein said plurality of interconnections are formed from a
5 conductive layer different from a layer serving as the source and drain and a layer serving as the gate of the transistor.

12. A panel according to claim 1, wherein said plurality of interconnections are formed from a
10 conductive layer different from a layer serving as the pixel electrode.

13. A panel according to claim 1, wherein said plurality of interconnections are thicker than the layer serving as the source and drain and the layer
15 serving as the gate of the transistor.

14. A panel according to claim 1, wherein said plurality of interconnections are thicker than the layer serving as the pixel electrode.

15. A display panel comprising:
20 a plurality of pixel electrodes;
a plurality of light-emitting layers which are provided for said plurality of pixel electrodes, respectively;

a counter electrode which is provided for said
25 plurality of light-emitting layers;

a plurality of driving transistors which are connected to said plurality of pixel electrodes,

respectively;

a plurality of switch transistors each of which supplies a write current between a drain and source of a corresponding one of said plurality of driving
5 transistors;

a plurality of holding transistors each of which holds a voltage between a gate and the source of a corresponding one of said plurality of driving
transistors;

10 a plurality of feed interconnections which are formed from a conductive layer different from a layer serving as sources, drains, and gates of said plurality of driving transistors, said plurality of switch
transistors, and said plurality of holding transistors
15 and connected to the drains of said plurality of driving transistors;

a plurality of select interconnections each of which selects the switch transistor; and

20 a plurality of common interconnections each of which is connected to the counter electrode.

16. A panel according to claim 15, wherein said plurality of select interconnections are formed from a conductive layer different from the layer serving as the sources and drains and the layer serving as the
25 gates of said plurality of driving transistors, said plurality of switch transistors, and said plurality of holding transistors.

17. A panel according to claim 15, wherein said plurality of common interconnections are formed from a conductive layer different from the layer serving as the sources and drains and the layer serving as the gates of said plurality of driving transistors, said plurality of switch transistors, and said plurality of holding transistors.

18. A panel according to claim 15, wherein at least one of the feed interconnection, the select interconnection, and the common interconnection is thicker than the layer serving as the sources and drains and the layer serving as the gates of said plurality of driving transistors, said plurality of switch transistors, and said plurality of holding transistors.

19. A panel according to claim 15, wherein at least one of the feed interconnection, the select interconnection, and the common interconnection is formed from a conductive layer different from a layer serving as the pixel electrode.

20. A panel according to claim 15, wherein at least one of the feed interconnection, the select interconnection, and the common interconnection is thicker than the layer serving as the pixel electrode.

21. A display panel comprising:
a plurality of pixel electrodes;
a plurality of light-emitting layers which are

provided for each of said plurality of pixel electrodes;

a counter electrode which is provided for the light-emitting layer;

5 a plurality of driving transistors each of which is connected to each of said plurality of pixel electrode;

a plurality of switch transistors each of which supplies a write current between a source and drain of the driving transistor;

10 a plurality of holding transistors each of which holds a voltage between the source and gate of the driving transistor;

a select interconnection which selects the switch transistor;

15 a common interconnection which is formed from a conductive layer different from a layer serving as sources and drains and a layer serving as gates of the driving transistor, the switch transistor, and the holding transistor and connected to the counter electrode; and

20 a feed interconnection which is formed from a conductive layer different from the layer serving as the sources, drains, and gates of the driving transistor, the switch transistor, and the holding transistor and connected to the drain of the driving transistor and is thicker than the common

interconnection.

22. A display panel comprising:

a transistor array substrate which is formed by providing a plurality of transistors for each pixel, each transistor having a gate, a gate insulating film, and a source/drain;

a plurality of pixel electrodes which are provided in a plurality of rows on the transistor array substrate;

a first light-emitting layer which is provided on each of said plurality of pixel electrodes of a first row to emit light of a first color;

a second light-emitting layer which is provided on each of said plurality of pixel electrodes of a second row to emit light of a second color;

a third light-emitting layer which is provided on each of said plurality of pixel electrodes of a third row to emit light of a third color;

a counter electrode which is provided on the first light-emitting layer, the second light-emitting layer, and the third light-emitting layer;

a select interconnection which has a top higher than the first light-emitting layer, the second light-emitting layer, and the third light-emitting layer and selects at least one of said plurality of transistors;

a common interconnection which has a top higher than the first light-emitting layer, the second

light-emitting layer, and the third light-emitting layer and is connected to the counter electrode; and

5 a feed interconnection which has a top higher than the first light-emitting layer, the second light-emitting layer, and the third light-emitting layer and is connected to said plurality of pixel electrodes of said plurality of transistors.

23. A panel according to claim 22, wherein
10 the first light-emitting layer is sandwiched between two of the select interconnection, the common interconnection, and the feed interconnection,

15 the second light-emitting layer is sandwiched between two of the select interconnection, the common interconnection, and the feed interconnection, whose combination is different from that sandwiching the first light-emitting layer, and

20 the third light-emitting layer is sandwiched between two of the select interconnection, the common interconnection, and the feed interconnection, whose combination is different from that sandwiching the first light-emitting layer and that sandwiching the second light-emitting layer.

ABSTRACT OF THE DISCLOSURE

A display panel includes a transistor array substrate which has a plurality of pixels and is formed by providing a plurality of transistors for each pixel, each of the transistor having a gate, a gate insulating film, a source, and a drain. A plurality of interconnections are formed to project to a surface of the transistor array substrate and arrayed in parallel to each other. A plurality of pixel electrodes are provided for each pixel and arrayed between the interconnections on the surface of the transistor array substrate along the interconnections. Each of a plurality of light-emitting layers is formed on each pixel electrode. A counter electrode is stacked on the light-emitting layer.

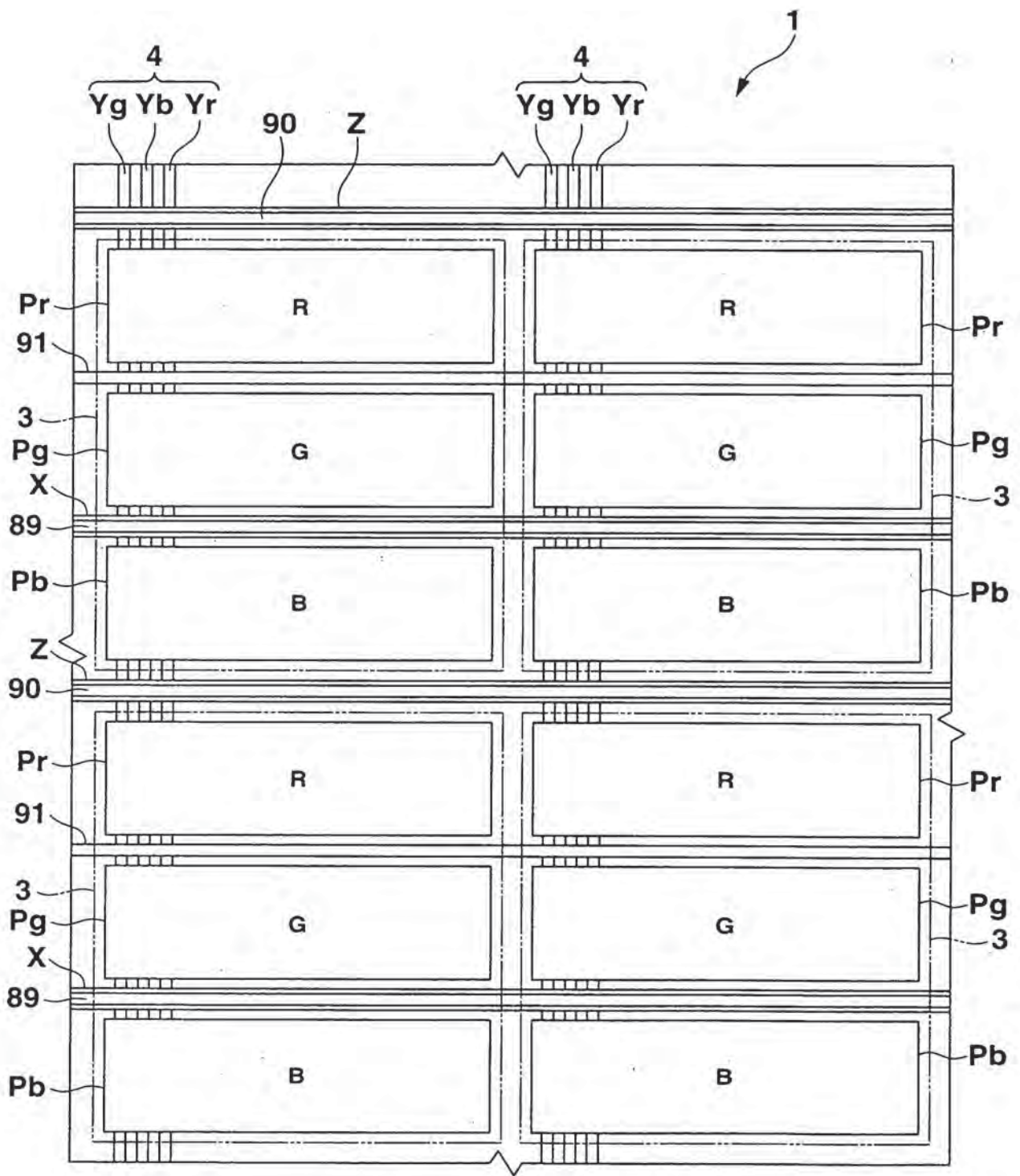


FIG.1

BEST AVAILABLE COPY

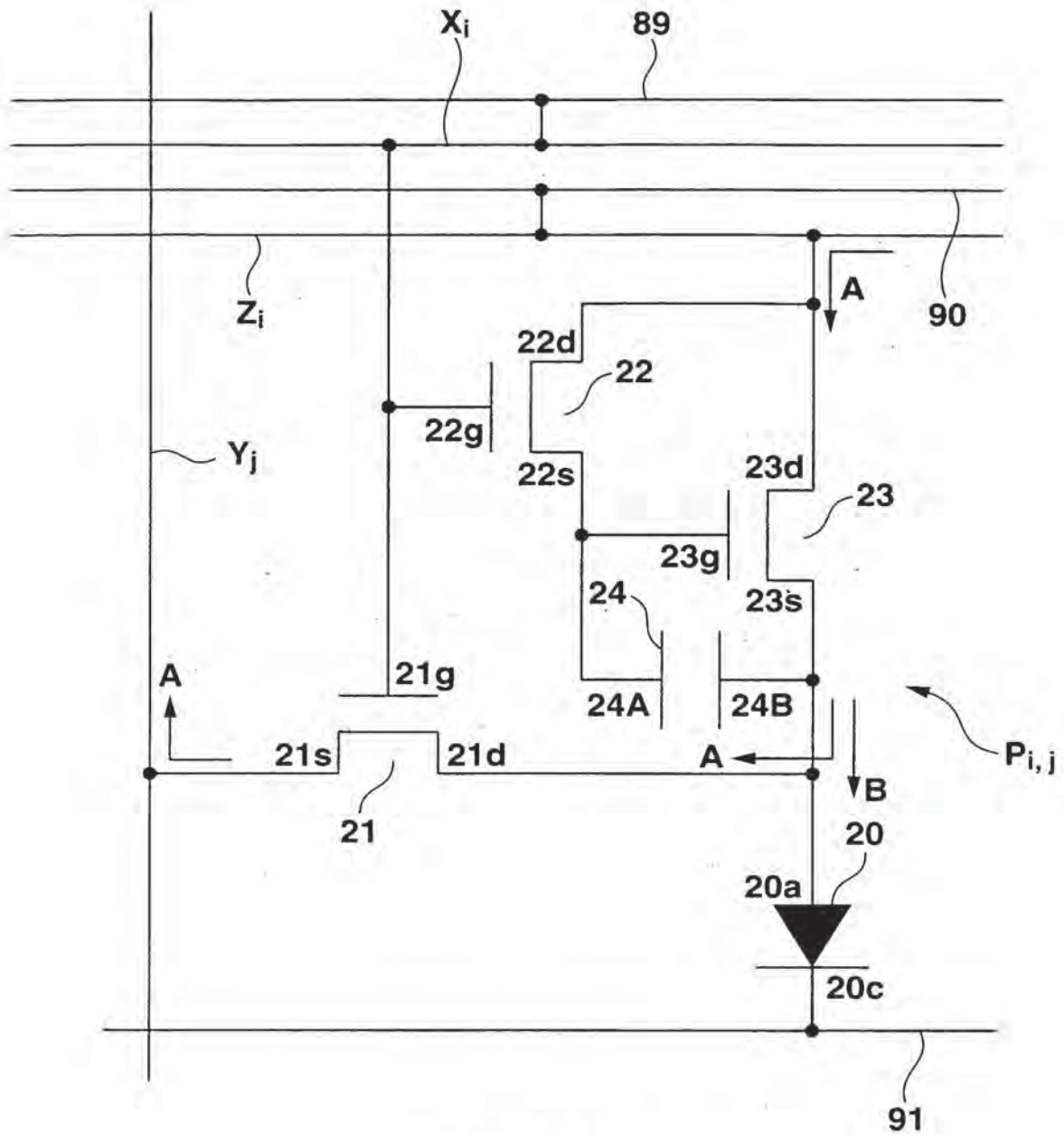


FIG.2

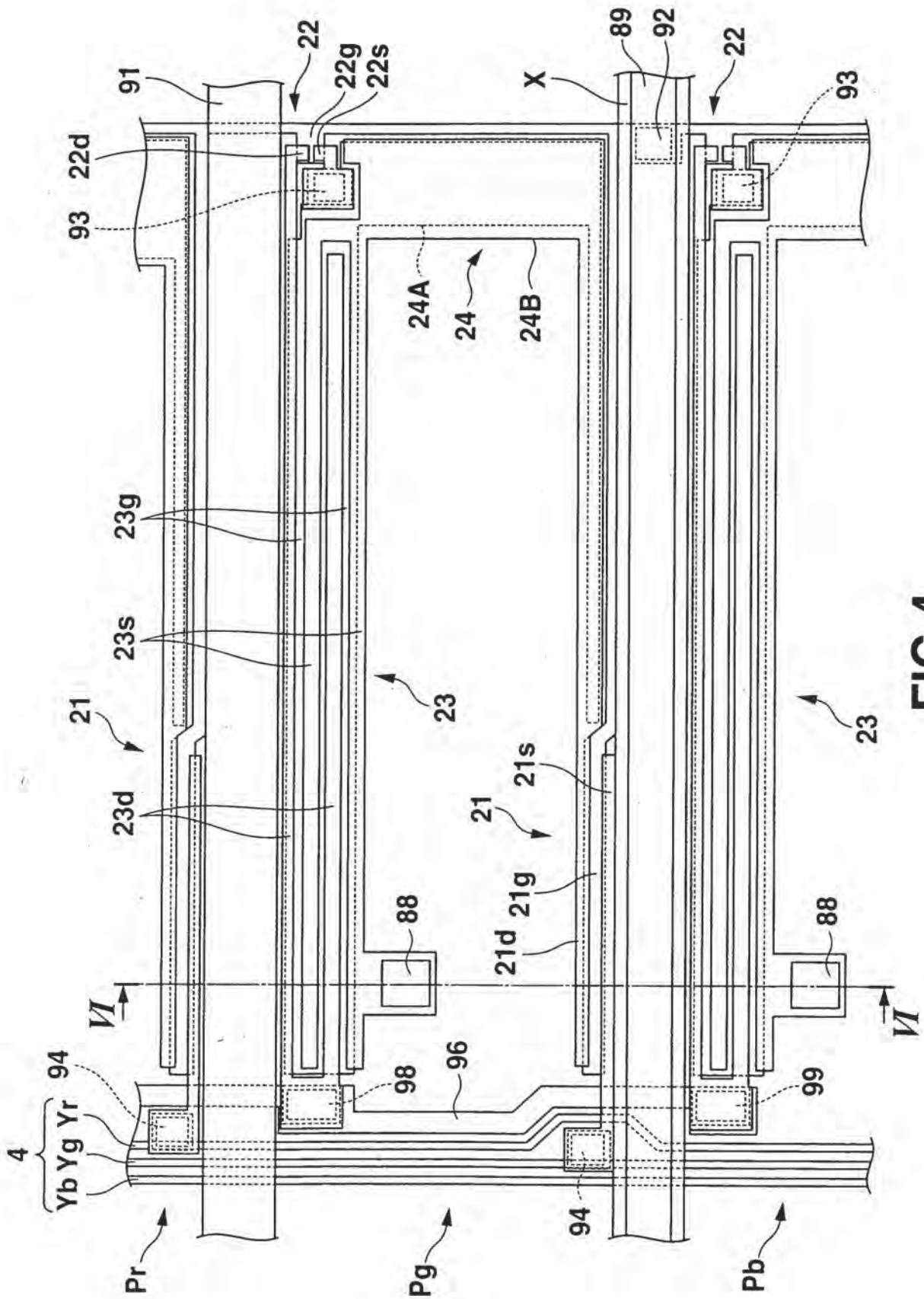


FIG. 4

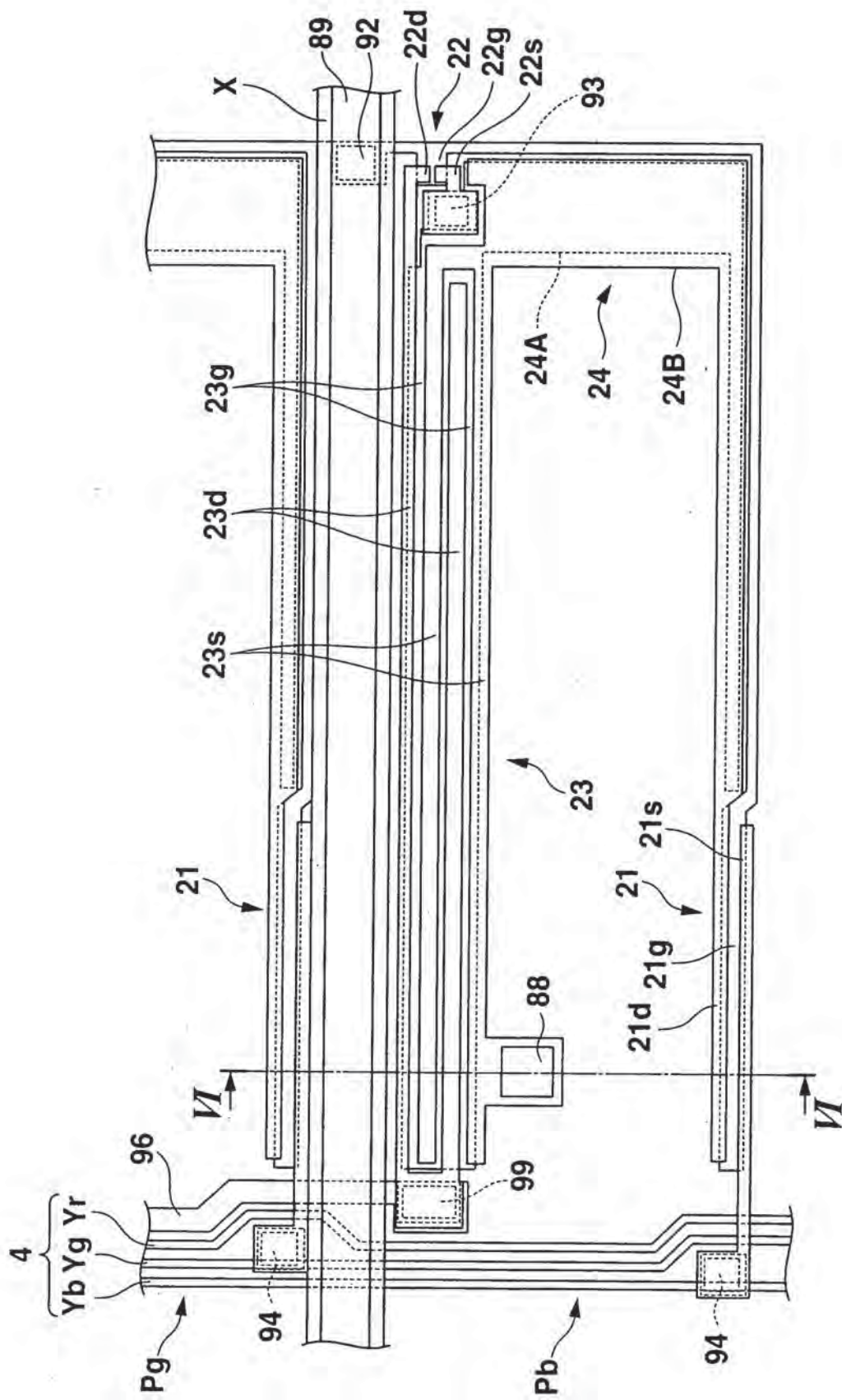


FIG.5

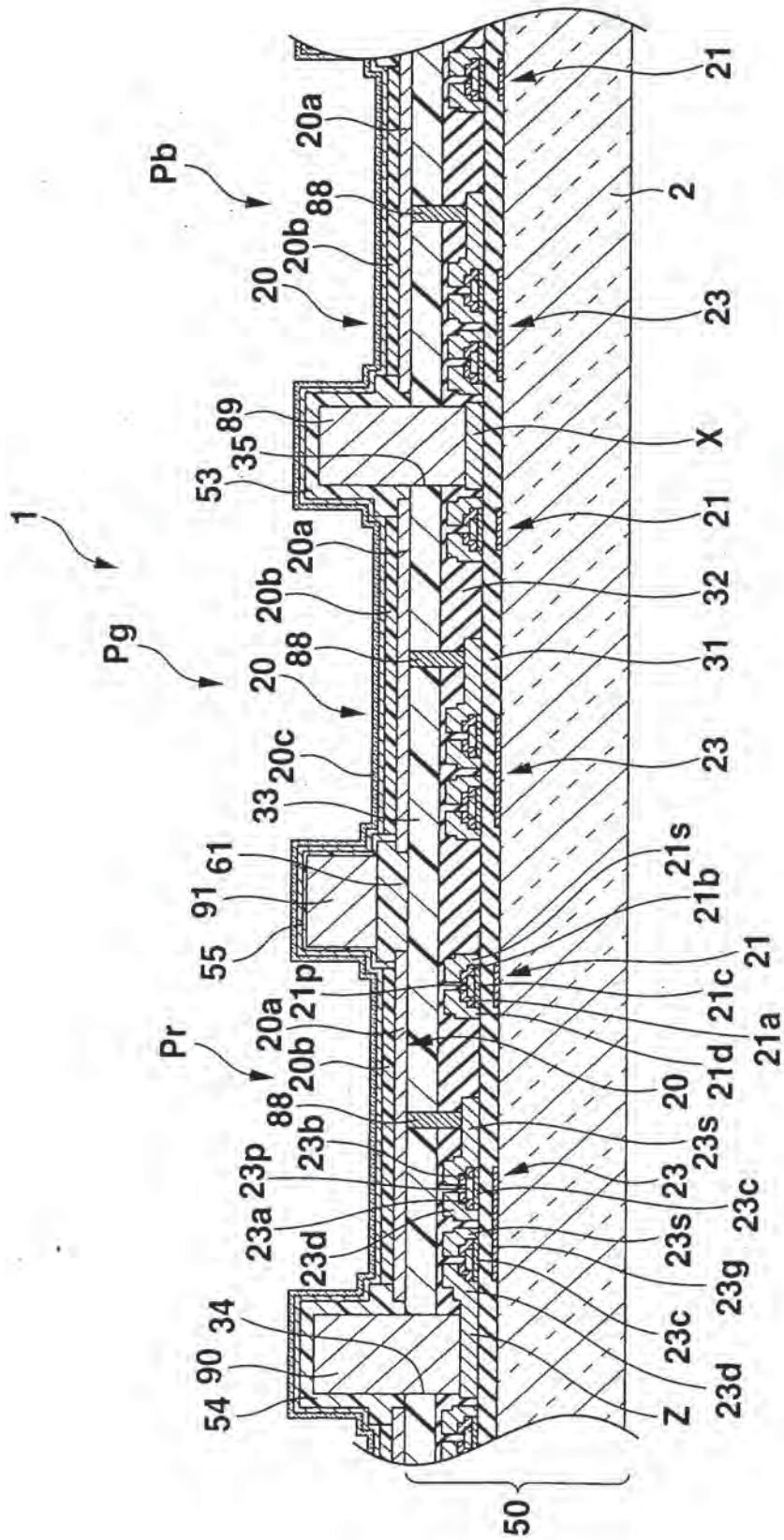


FIG.6

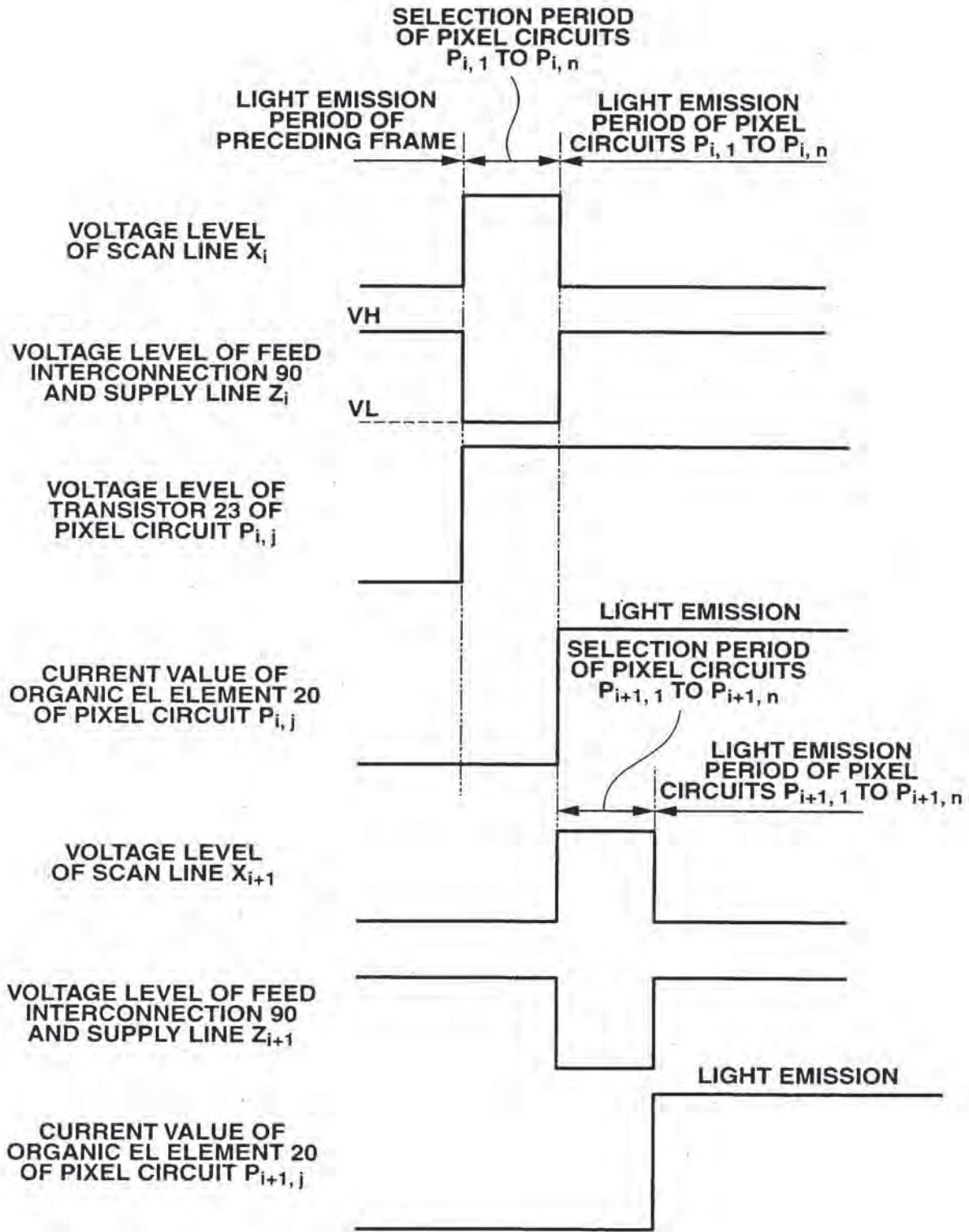


FIG.7

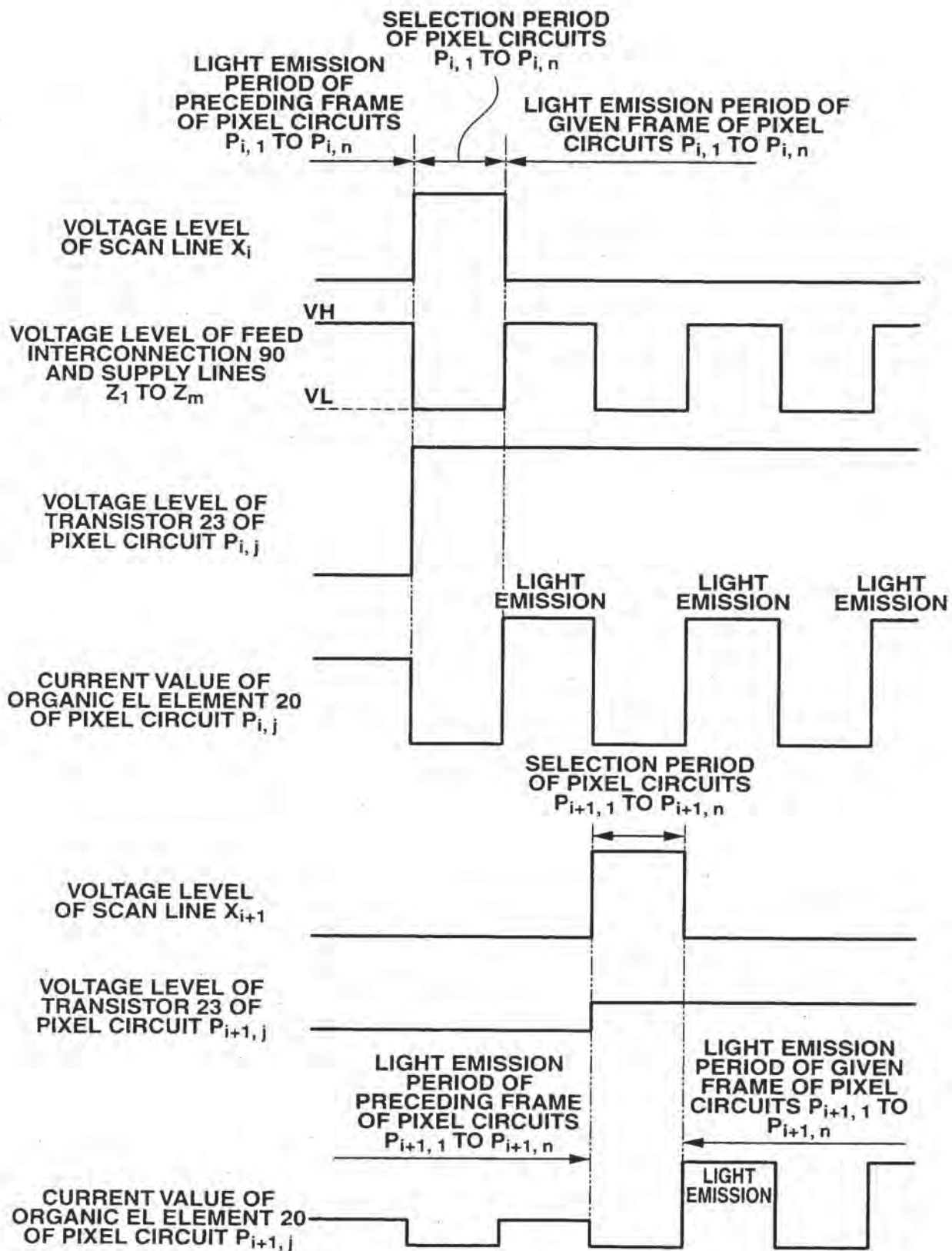


FIG.8

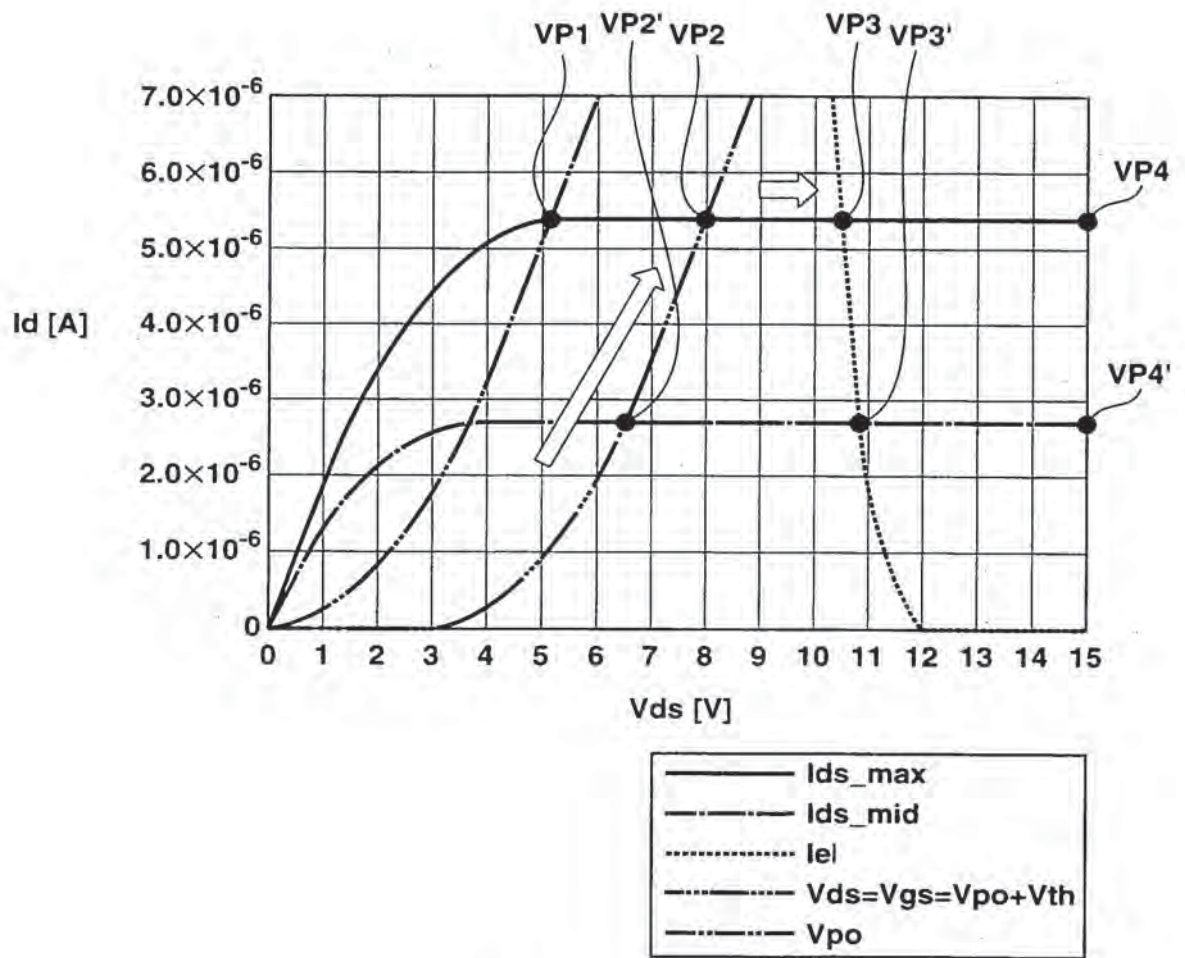


FIG.9

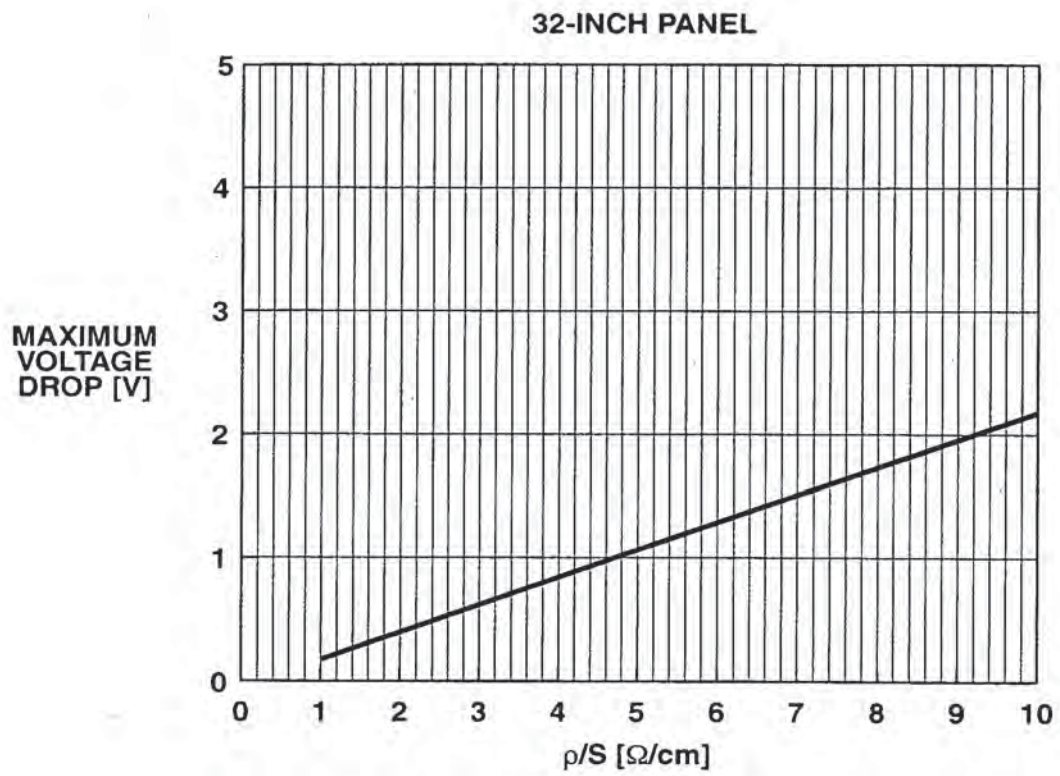


FIG.10

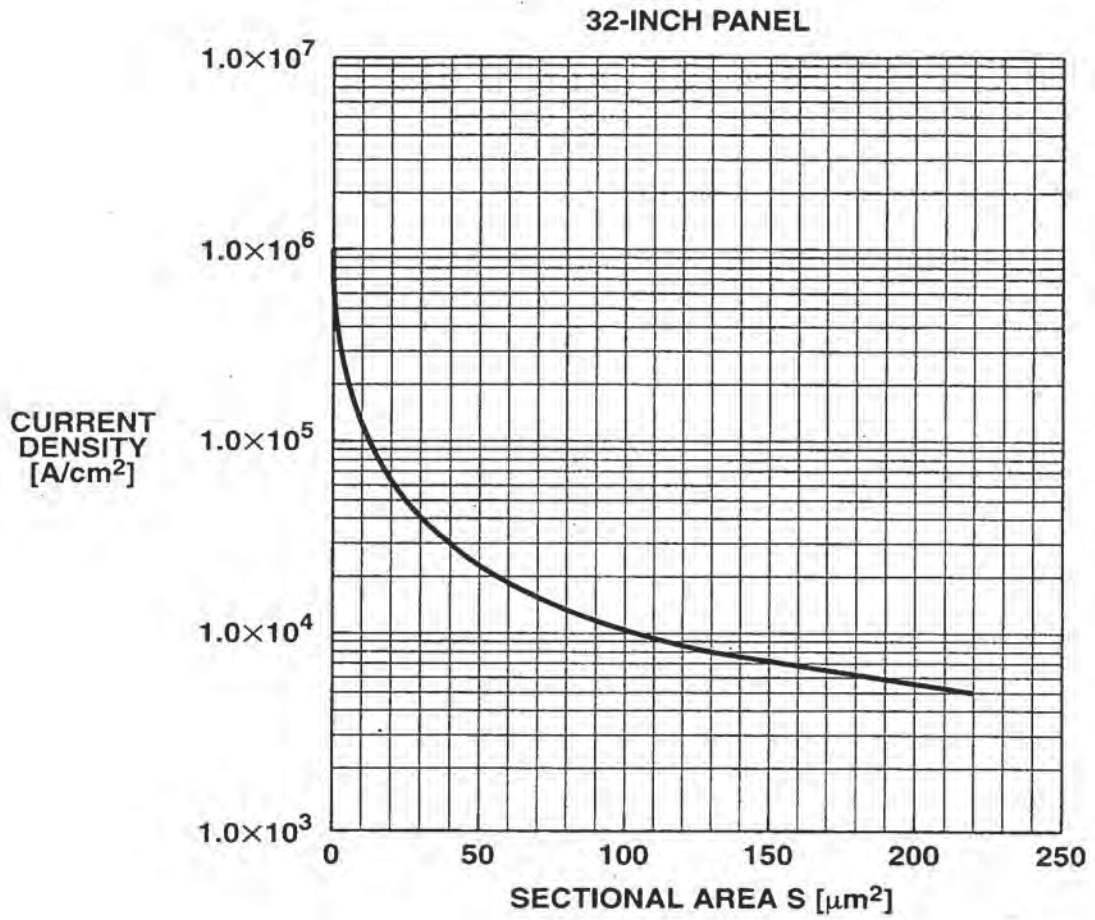


FIG.11

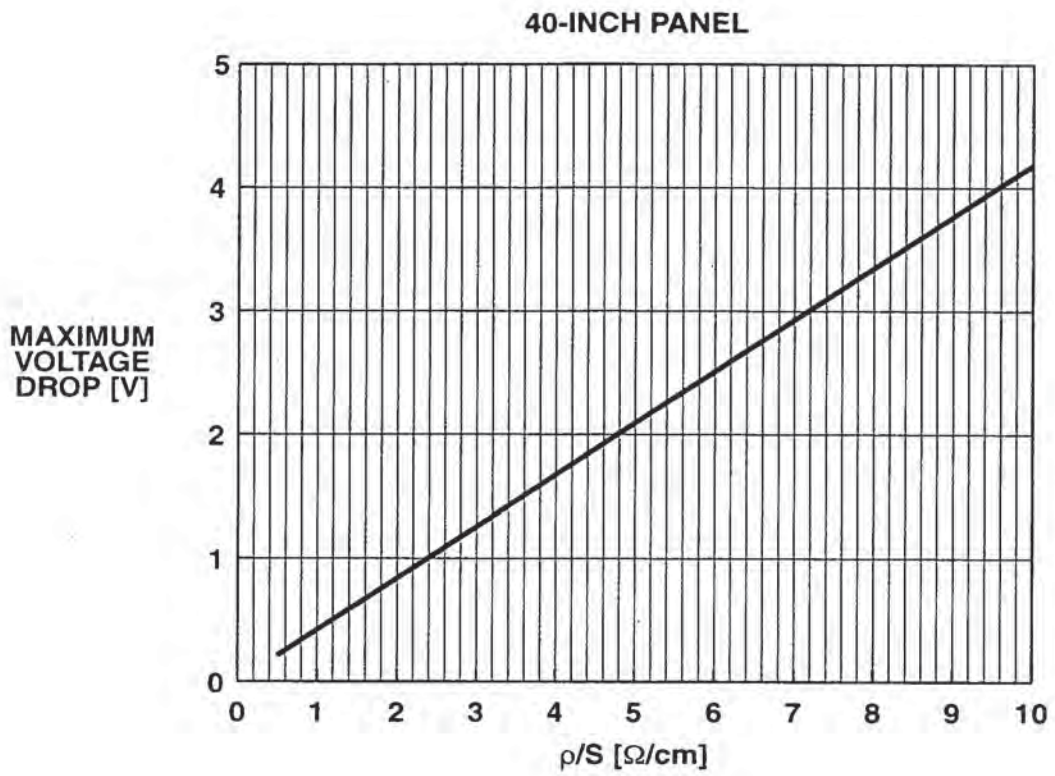


FIG.12

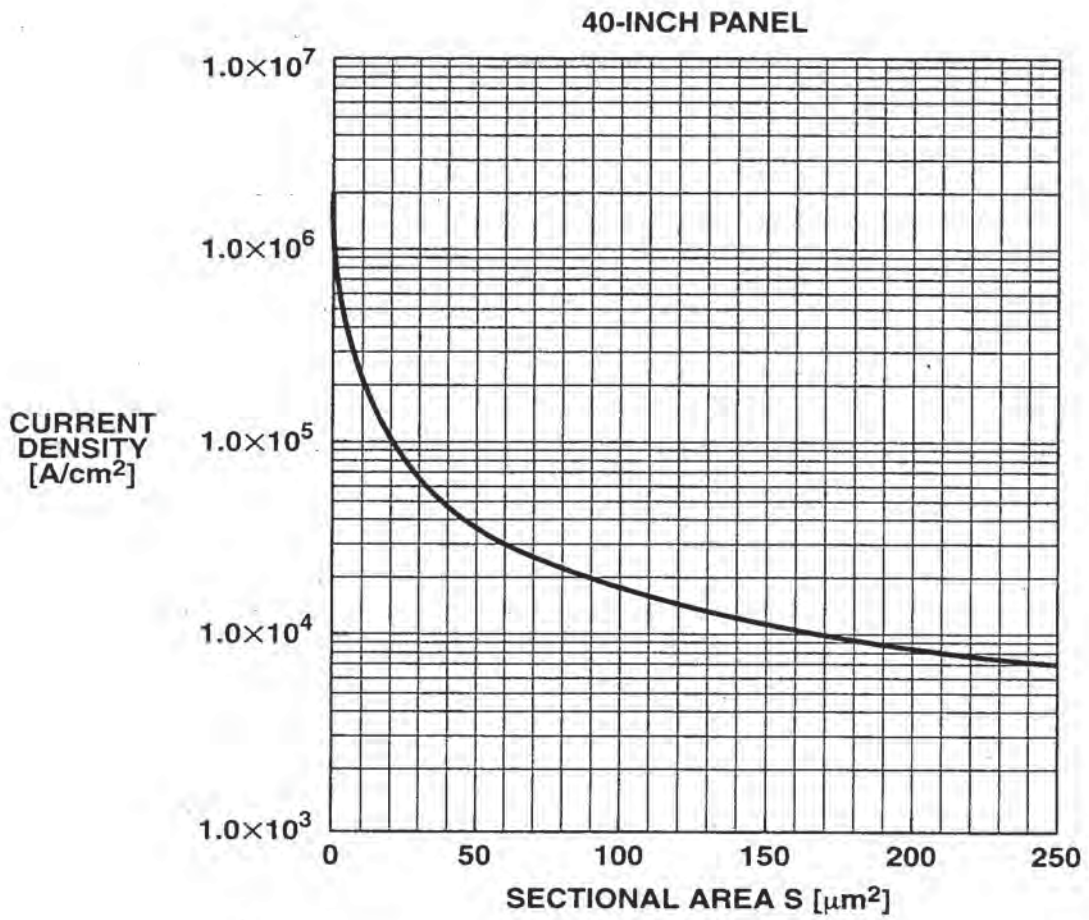


FIG.13

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT OR DRAWING
- BLURRED OR ILLEGIBLE TEXT OR DRAWING
- SKEWED/SLANTED IMAGES
- COLOR OR BLACK AND WHITE PHOTOGRAPHS
- GRAY SCALE DOCUMENTS
- LINES OR MARKS ON ORIGINAL DOCUMENT
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

As a below named inventor, I declare that my residence, mailing address and citizenship are as stated above my name; I believe that I am the original, first and sole inventor (if only one name is listed below) or an original, first and joint inventor (if plural names are listed below) of the subject matter which is claimed and for which a patent is sought on the invention entitled:

DISPLAY PANEL

the specification of which is attached hereto unless the following box is checked.

was filed on _____ as United States Application No.
or PCT International Application No.

and was amended on _____

I hereby state that I have reviewed and understand the contents of the above-identified specification, including the claims, as amended by any amendment referred to above.

I acknowledge the duty to disclose information which is material to patentability as defined in 37 CFR 1.56.

I hereby claim foreign priority benefits under 35 U.S.C. 119(a)-(d) or 365(b) of any foreign application(s) for patent or inventor's certificate, or 35 U.S.C. 365(a) of any PCT International application which designated at least one country other than the United States, listed below and have also identified below any foreign application for patent or inventor's certificate, or PCT International application having a filing date before that of the application on which priority is claimed:

Country	Category	Application Number	Filing Date	Priority Claim
Japan	Patent	2004-283824	September 29, 2004	Yes

I hereby appoint as my attorneys, with full power of substitution and revocation, to prosecute this application and transact all business in the Patent and Trademark Office connected therewith the practitioners at

Customer Number : 01933

of Frishauf, Holtz, Goodman & Chick, P.C.. Please address all correspondence and telephone communications to the address and telephone number for this Customer Number.

I hereby declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code and that such willful false statements may jeopardize the validity of the application or any patent issued thereon.

DECLARATION FOR PATENT APPLICATION

C2076P0501
(05S1052-1)

[1st Inventor]

Residence Address: Higashiyamato-shi, Japan

Mailing Address: c/o Intellectual Property Department, Casio Computer Co., Ltd., Hamura R&D Center,
2-1, Sakae-cho 3-chome, Hamura-shi, Tokyo 205-8555 Japan

Citizenship: Japan

Tomoyuki Shirasaki

Tomoyuki Shirasaki

SEP. 15. 2005

Date:

[2nd Inventor]

Residence Address: Fuchu-shi, Japan

Mailing Address: c/o Intellectual Property Department, Casio Computer Co., Ltd., Hamura R&D Center,
2-1, Sakae-cho 3-chome, Hamura-shi, Tokyo 205-8555 Japan

Citizenship: Japan

Tsuyoshi Ozaki

Tsuyoshi Ozaki

SEP. 15. 2005

Date:

[3rd Inventor]

Residence Address: Fussa-shi, Japan

Mailing Address: c/o Intellectual Property Department, Casio Computer Co., Ltd., Hamura R&D Center,
2-1, Sakae-cho 3-chome, Hamura-shi, Tokyo 205-8555 Japan

Citizenship: Japan

Jun Ogura

Jun Ogura

SEP. 15. 2005

Date:

[4th Inventor]

Residence Address:

Mailing Address:

Citizenship:

Date:

[5th Inventor]

Residence Address:

Mailing Address:

Citizenship:

Date:

PATENT APPLICATION SERIAL NO _____

U.S. DEPARTMENT OF COMMERCE
PATENT AND TRADEMARK OFFICE
FEE RECORD SHEET

09/29/2005 DTESSEM1 00000063 11235579

01 FC:1011	300.00	OP
02 FC:1111	500.00	OP
03 FC:1311	200.00	OP
04 FC:1202	500.00	OP
05 FC:1201	200.00	OP
06 FC:1203	360.00	OP

PTO-1556
(5/87)

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD

Substitute for Form PTO-875 Effective December 8, 2004

Application or Docket Number
11235579

APPLICATION AS FILED - PART I

FOR	(Column 1) NUMBER FILED	(Column 2) NUMBER EXTRA
BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A
SEARCH FEE (37 CFR 1.16(k), (l), or (m))	N/A	N/A
EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A
TOTAL CLAIMS (37 CFR 1.16(i))	30 minus 20 =	10
INDEPENDENT CLAIMS (37 CFR 1.16(n))	4 minus 3 =	1
APPLICATION SIZE FEE (37 CFR 1.16(e))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is \$250 (\$125 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).	
MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))		

SMALL ENTITY

RATE (\$)	FEE (\$)
N/A	150.00
N/A	250
N/A	100
X\$ 25 =	
X100 =	
+180=	
TOTAL	

OTHER THAN SMALL ENTITY

RATE (\$)	FEE (\$)
N/A	300.00
N/A	500
N/A	200
X\$50 =	500
X200 =	200
+360=	360
TOTAL	2060

* If the difference in column 1 is less than zero, enter "0" in column 2.

APPLICATION AS AMENDED - PART II

AMENDMENT A

	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA
Total (37 CFR 1.16(m))		Minus	**	=
Independent (37 CFR 1.16(n))		Minus	***	=
Application Size Fee (37 CFR 1.16(s))				
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))				

SMALL ENTITY

RATE (\$)	ADDITIONAL FEE (\$)
X\$ 25 =	
X100 =	
+180=	
TOTAL ADD'L FEE	

OTHER THAN SMALL ENTITY

RATE (\$)	ADDITIONAL FEE (\$)
X\$50 =	
X200 =	
+360=	
TOTAL ADD'L FEE	

AMENDMENT B

	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA
Total (37 CFR 1.16(m))		Minus	**	=
Independent (37 CFR 1.16(n))		Minus	***	=
Application Size Fee (37 CFR 1.16(s))				
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))				

SMALL ENTITY

RATE (\$)	ADDITIONAL FEE (\$)
X\$ 25 =	
X100 =	
+180=	
TOTAL ADD'L FEE	

OTHER THAN SMALL ENTITY

RATE (\$)	ADDITIONAL FEE (\$)
X\$50 =	
X200 =	
+360=	
TOTAL ADD'L FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.

** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".

*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".

The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

Attorney Docket No. 05644/LH

Express Mail Mailing Label
No.: EV 720 476 985 US

**IN THE UNITED STATES PATENT
AND TRADEMARK OFFICE**

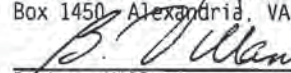
Date of Deposit: September 26, 2005

Applicant(s): T. SHIRASAKI et al

I hereby certify that this paper is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450

Serial No. : Not yet assigned

Filed : Herewith


Barbara Villani

For : DISPLAY PANEL

Art Unit :
Examiner :

In the event that this Paper is late filed, and the necessary petition for extension of time is not filed concurrently herewith, please consider this as a Petition for the requisite extension of time, and to the extent not tendered by credit card payment attached hereto, authorization to charge the extension fee, or any other fee required in connection with this Paper, to Account No. 06-1378.

CUSTOMER NO.: 01933

INFORMATION DISCLOSURE STATEMENT

Commissioner for Patents
P.O. Box 1450,
Alexandria, VA 22313-1450

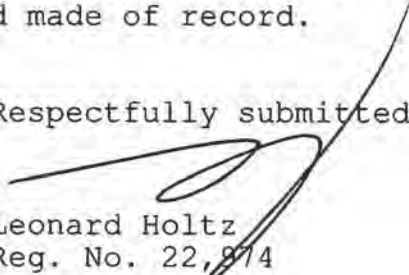
S I R :

Submitted herewith is a copy of the publication identified on the attached Patent Office form PTO/SB/08A.

The publication is identified on page 1 of the specification.

It is respectfully requested that the publication submitted herewith be considered and made of record.

Respectfully submitted,


Leonard Holtz
Reg. No. 22,874

Frishauf, Holtz, Goodman & Chick, P.C.
220 Fifth Avenue - 16th Floor
New York, New York 10001-7708
Tel. No. (212) 319-4900
Fax No. (212) 319-5101
LH:bv

Please type a plus sign (+) inside this box →

+

PTO/SB/08A (08-00)

U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE

Substitute for Form 1449A/PTO INFORMATION DISCLOSURE STATEMENT BY APPLICANT	Application Number				
	Filing Date		Herewith		
	First Named Inventor		SHIRASAKI		
	Group Art Unit				
	Examiner Name				
Sheet	1	of	1	Attorney Docket Number	05644/LH

U.S. PATENT DOCUMENTS

Exam. Initials	Cite No ¹	Document Number	Kind Code ²	Name of Patentee or Applicant	Publication Date MM-DD-YYYY	Relevant Portion

FOREIGN PATENT DOCUMENTS

Exam Initials	Cite No ¹	offc ³	Document Number ⁴	Kind Code ⁵	Name of Patentee or Applicant	Publication Date MM-DD-YYYY	Relevant Portion	T ⁶
		JP	8-330600	A		12-13-1996		

Examiner Signature		Date Considered	
--------------------	--	-----------------	--

¹ EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

² Unique citation designation number. ³ See kinds of U.S. Patent Documents. ⁴ Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). ⁵ For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. ⁶ Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. ⁷ Place a check here if English translation is attached.

DATE MAILED: **September 26, 2005**

(19)日本国特許庁(J P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平8-330600

(43)公開日 平成8年(1996)12月13日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786			H 0 1 L 29/78	6 1 6 V
H 0 5 B 33/26			H 0 5 B 33/26	

審査請求 未請求 請求項の数14 O L (全 11 頁)

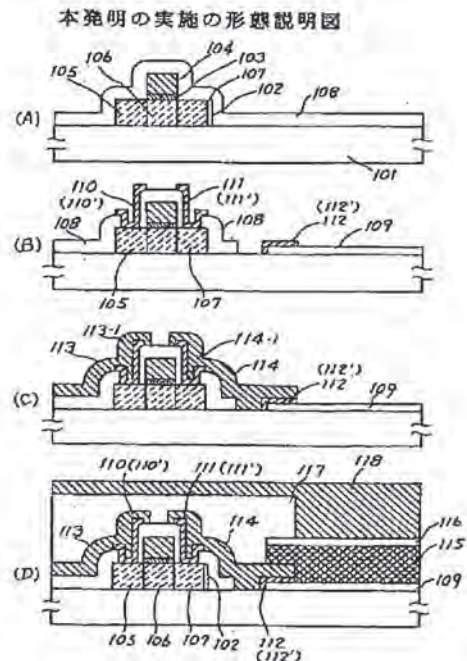
(21)出願番号	特願平8-65774	(71)出願人	000003067 ティーディーケイ株式会社 東京都中央区日本橋1丁目13番1号
(22)出願日	平成8年(1996)3月22日	(71)出願人	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(31)優先権主張番号	特願平7-65943	(72)発明者	山内 幸夫 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(32)優先日	平7(1995)3月24日	(72)発明者	荒井 三千男 東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内
(33)優先権主張国	日本(J P)	(74)代理人	弁理士 山谷 皓榮 (外2名)

(54)【発明の名称】 薄膜トランジスタ、有機ELディスプレイ装置及び有機ELディスプレイ装置の製造方法

(57)【要約】

【課題】有機ELディスプレイ装置の薄膜トランジスタにおいて、バリア金属の溶出にもとづく短絡や断線を防止すること。

【解決手段】薄膜トランジスタのソース領域105またはドレイン領域107を構成するシリコン活性層102と、該シリコン活性層102に接続されるアルミニウム配線113、114との間に、チタンまたは窒素含有量が50atm%以下の窒化チタンよりなるバリア金属110、111を設ける。



BEST AVAILABLE COPY

SAMSUNG EX. 1002 - 846/899

【特許請求の範囲】

【請求項 1】ソースまたはドレインを構成するシリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、チタンよりなるバリアメタルを設けたことを特徴とする薄膜トランジスタ。

【請求項 2】ソースまたはドレインを構成するシリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、窒素を 50 atm%以下含有する窒化チタンよりなるバリアメタルを設けたことを特徴とする薄膜トランジスタ。

【請求項 3】有機 EL 素子と、該有機 EL 素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリックス駆動型の有機 EL ディスプレイ装置であって、

前記電流制御用薄膜トランジスタは、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、チタンよりなるバリアメタルが設けられていることを特徴とする有機 EL ディスプレイ装置。

【請求項 4】有機 EL 素子と、該有機 EL 素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリックス駆動型の有機 EL ディスプレイ装置であって、

前記電流制御用薄膜トランジスタは、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、窒素を 50 atm%以下含有する窒化チタンよりなるバリアメタルを設けたことを特徴とする有機 EL ディスプレイ装置。

【請求項 5】有機 EL 素子と、該有機 EL 素子に接続された電流制御用薄膜トランジスタと、前記電流制御用薄膜トランジスタのスイッチングを行うスイッチ用薄膜トランジスタを有するアクティブマトリックス駆動型の有機 EL ディスプレイ装置であって、

前記電流制御用薄膜トランジスタと、前記スイッチ用薄膜トランジスタのそれぞれにおいて、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、チタンよりなるバリアメタルを設けたことを特徴とする有機 EL ディスプレイ装置。

【請求項 6】有機 EL 素子と、該有機 EL 素子に接続された電流制御用薄膜トランジスタと、前記電流制御用薄膜トランジスタのスイッチングを行うスイッチ用薄膜トランジスタを有するアクティブマトリックス駆動型の有機 EL ディスプレイ装置であって、

前記電流制御用薄膜トランジスタと、前記スイッチ用薄膜トランジスタのそれぞれにおいて、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、窒素を 50 atm%以下含有する窒化チタンよりなるバリアメタルを設けたことを特徴とする有機 EL ディスプレイ装置。

【請求項 7】有機 EL 素子がマトリックス状に設けられた、アクティブマトリックス駆動型の有機 EL ディスブ

レイ装置であって、

前記有機 EL 素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、チタンよりなるバリアメタルを設けたことを特徴とする有機 EL ディスプレイ装置。

【請求項 8】有機 EL 素子がマトリックス状に設けられた、アクティブマトリックス駆動型の有機 EL ディスプレイ装置であって、

10 前記有機 EL 素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、窒素を 50 atm%以下含有する窒化チタンよりなるバリアメタルを設けたことを特徴とする有機 EL ディスプレイ装置。

【請求項 9】有機 EL 素子と、該有機 EL 素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリックス駆動型の有機 EL ディスプレイ装置であって、

前記電流制御用薄膜トランジスタは、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、チタンよりなるバリアメタルが設けられており、

前記有機 EL 素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、チタンよりなる密着用金属が設けられていることを特徴とする有機 EL ディスプレイ装置。

【請求項 10】有機 EL 素子と、該有機 EL 素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリックス駆動型の有機 EL ディスプレイ装置であって、

30 前記電流制御用薄膜トランジスタは、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、窒素を 50 atm%以下含有する窒化チタンよりなるバリアメタルが設けられており、

前記有機 EL 素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、窒素を 50 atm%以下含有する窒化チタンよりなる密着用金属が設けられていることを特徴とする有機 EL ディスプレイ装置。

【請求項 11】有機 EL 素子と、該有機 EL 素子に接続された電流制御用薄膜トランジスタと、前記電流制御用薄膜トランジスタのスイッチングを行うスイッチ用薄膜トランジスタを有するアクティブマトリックス駆動型の有機 EL ディスプレイ装置であって、

前記電流制御用薄膜トランジスタと、前記スイッチ用薄膜トランジスタのそれぞれにおいて、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、チタンよりなるバリアメタルが設けられており、

50 前記有機 EL 素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、チタンよりなる密着用金属が設けられていることを特徴とする有機 E

Lディスプレイ装置。

【請求項12】有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタと、前記電流制御用薄膜トランジスタのスイッチングを行うスイッチ用薄膜トランジスタを有するアクティブマトリックス駆動型の有機ELディスプレイ装置であって、

前記電流制御用薄膜トランジスタと、前記スイッチ用薄膜トランジスタのそれぞれにおいて、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなるバリアメタルが設けられており、

前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなる密着用金属が設けられていることを特徴とする有機ELディスプレイ装置。

【請求項13】有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリックス駆動型の有機ELディスプレイ装置を製造するに際し、

前記電流制御用薄膜トランジスタのシリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に設けられたバリアメタルと、

前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に設けられる密着用金属とがチタンにより同時に形成されることを特徴とする有機ELディスプレイ装置の製造方法。

【請求項14】有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリックス駆動型の有機ELディスプレイ装置を製造するに際し、

前記電流制御用薄膜トランジスタのシリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に設けられたバリアメタルと、

前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に設けられる密着用金属とが窒素を50atm%以下含有する窒化チタンにより同時に形成されることを特徴とする有機ELディスプレイ装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、有機エレクトロルミネセンス（EL）ディスプレイ装置に使用される薄膜トランジスタ、有機ELディスプレイ装置及びその製造方法に係り、有機ELディスプレイの信頼性を向上するものに関する。

【0002】

【従来の技術】近年において、有機EL素子を用いた、ディスプレイ装置が開発されている。有機EL素子を多数使用した有機ELディスプレイをアクティブマトリッ

クス回路により駆動する場合、各ELのピクセル（画素）には、このピクセルに対して供給する電流を制御するための薄膜トランジスタが一組ずつ接続される。

【0003】従来のアクティブマトリックス型の有機ELディスプレイ装置の回路図の一例を図4に示す。この有機ELディスプレイ装置は、X方向信号線301-1、301-2・・・、Y方向信号線302-1、302-2・・・、電源（Vdd）線303-1、303-2・・・、スイッチ用薄膜トランジスタ304-1、304-2・・・、電流制御用薄膜トランジスタ305-1、305-2・・・、有機EL素子306-1、306-2・・・、コンデンサ307-1、307-2・・・、X方向周辺駆動回路308、Y方向周辺駆動回路309等により構成される。

【0004】X方向信号線301、Y方向信号線302により画素が特定され、その画素においてスイッチ用薄膜トランジスタ304がオンにされる。これにより電流制御用薄膜トランジスタ305がオンにされ、電源線303より供給される電流により有機EL素子306に電流が流れ、これが発光される。

【0005】例えばX方向信号線301-1に画像データに応じた信号が出力され、Y方向信号線302-1にY方向走査信号が出力されると、これにより特定された画素のスイッチ用薄膜トランジスタ304-1がオンになり、画像データに応じた信号により電流制御用薄膜トランジスタ305-1が導通されて有機EL素子306-1にこの画像データに応じた電流が流れ、発光される。

【0006】図3に従来の有機ELディスプレイ装置の画素部の構成の部分的断面図を示す。この図3では、電流制御用薄膜トランジスタと、有機EL素子を示す。図3において、ガラス等の基板201上に、活性シリコン層202、ゲート絶縁膜203、ゲート電極204が形成される。そして活性シリコン層202には、ソース領域205、チャンネル形成領域206、ドレイン領域207が設けられ、薄膜トランジスタが構成される。

【0007】さらに層間絶縁膜208に設けられたコンタクトホールに、バリアメタル210、211を介して、ソース領域205、ドレイン領域207にそれぞれアルミニウム製のソース電極213-1、ドレイン電極214-1が設けられている。

【0008】またガラス等の基板201に設けられたITO（酸化インジウム・スズ）の透明電極209上に、有機EL層215、上部電極216が設けられてEL素子部を構成している。このITOの透明電極209には密着用金属212を介して、その一端が前記ドレイン電極214-1となるアルミニウム配線214が接続されている。

【0009】そして有機EL素子の上部電極216の上面以外の部分に、薄膜トランジスタ部分を覆うように、

保護膜217が設けられ、有機EL素子の上部電極216の上面には、アルミニウム等により共通電極218が設けられている。

【0010】図3に示すように、一般に薄膜トランジスタでは、シリコン活性層のソース領域205、ドレイン領域207と、これらにそれぞれ接続されるアルミニウム製のソース電極213-1、ドレイン電極214-1との間には、バリアメタル210と211が介在されている。これらのバリアメタル210、211は、活性シリコン層202におけるシリコン原子がアルミニウム製のソース電極213-1、ドレイン電極214-1側への拡散、消失することを防止するために設けられている。なおこのバリアメタル210、211は、従来では主にクロムが使用されていた。

【0011】一方、有機EL素子部において、ITOよりなる透明電極209とアルミニウム配線214を直接接触させると、電食や密着性低下等の不良が発生し易い。このような不良の発生を 방지、アルミニウム配線214と透明電極209との良好な密着性を保つため、透明電極209とアルミニウム配線214との間に密着用金属212を挟むことが必要であった。そして従来ではこの密着用金属212として、前記薄膜トランジスタのバリアメタル210、211と同じく、主にクロムが使用されていた。なお図3において213はアルミニウム配線である。

【0012】

【発明が解決しようとする課題】このような有機ELディスプレイ装置において、薄膜トランジスタのバリアメタル210、211として用いられたクロムが、EL素子を構成する上部電極216や透明電極209の方に溶出し、即ち電食によりこれらと薄膜トランジスタとの間に、溶出したクロムによる導線が形成され、短絡状態となってしまうことがあった。

【0013】さらに動作を続けると、薄膜トランジスタのバリアメタル210、211を構成していたクロムが全て溶出してしまい、ソース領域205やドレイン領域207と、アルミニウム電極213-1、214-1との間が抜けて空隙が生じ、断線状態に至ることがあった。

【0014】その結果、薄膜トランジスタとしての機能を果たすことができなくなり、有機ELディスプレイ装置としての信頼性を大幅に低下させることになる。本発明者等はこの原因を検討した結果、下記の理由に基づくものと解明することができた。

【0015】まず有機EL層215を構成する有機EL材料は、吸湿性が強く、大気中の水分を吸収し易い性質を有するので、有機EL層215から水分が発生する。また有機EL層215を発光させて、ピクセルを表示するために、有機EL層215に接続された電流制御用薄膜トランジスタ及びそれを動作させるスイッチ用薄膜ト

ランジスタには、比較的大きな直流電流（バイアス電流）が連続的に流れる。

【0016】このように、有機EL層215中から発生する水分と、バイアス電流により、薄膜トランジスタのバリアメタル210、211を構成するクロムがイオン化して有機EL素子側に移動し、短絡や断線の原因となることが解明された。

【0017】この現象は、電流制御用薄膜トランジスタのみではなく、スイッチ用薄膜トランジスタにおいてもみられることがあった。従って、本発明の目的は、有機ELディスプレイにおいて、このような薄膜トランジスタの動作における短絡や断線という不良の発生を防止し、有機ELディスプレイの信頼性を高めることである。

【0018】

【課題を解決するための手段】このような本発明の目的は、下記(1)～(14)の如く構成あるいは製造方法により達成することができる。

(1) ソースまたはドレインを構成するシリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、チタンよりなるバリアメタルを設けたことを特徴とする薄膜トランジスタ。

【0019】(2) ソースまたはドレインを構成するシリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなるバリアメタルを設けたことを特徴とする薄膜トランジスタ。

【0020】(3) 有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリクス駆動型の有機ELディスプレイ装置であって、前記電流制御用薄膜トランジスタは、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、チタンよりなるバリアメタルが設けられていることを特徴とする有機ELディスプレイ装置。

【0021】(4) 有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリクス駆動型の有機ELディスプレイ装置であって、前記電流制御用薄膜トランジスタは、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなるバリアメタルを設けたことを特徴とする有機ELディスプレイ装置。

【0022】(5) 有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタと、前記電流制御用薄膜トランジスタのスイッチングを行うスイッチ用薄膜トランジスタを有するアクティブマトリクス駆動型の有機ELディスプレイ装置であって、前記電流制御用薄膜トランジスタと、前記スイッチ用薄膜トランジスタのそれぞれにおいて、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、チタン

よりなるバリアメタルを設けたことを特徴とする有機ELディスプレイ装置。

【0023】(6)有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタと、前記電流制御用薄膜トランジスタのスイッチングを行うスイッチ用薄膜トランジスタを有するアクティブマトリクス駆動型の有機ELディスプレイ装置であって、前記電流制御用薄膜トランジスタと、前記スイッチ用薄膜トランジスタのそれぞれにおいて、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなるバリアメタルを設けたことを特徴とする有機ELディスプレイ装置。

【0024】(7)有機EL素子がマトリクス状に設けられた、アクティブマトリクス駆動型の有機ELディスプレイ装置であって、前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、チタンよりなるバリアメタルを設けたことを特徴とする有機ELディスプレイ装置。

【0025】(8)有機EL素子がマトリクス状に設けられた、アクティブマトリクス駆動型の有機ELディスプレイ装置であって、前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなるバリアメタルを設けたことを特徴とする有機ELディスプレイ装置。

【0026】(9)有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリクス駆動型の有機ELディスプレイ装置であって、前記電流制御用薄膜トランジスタは、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、チタンよりなるバリアメタルが設けられており、前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、チタンよりなる密着用金属が設けられていることを特徴とする有機ELディスプレイ装置。

【0027】(10)有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリクス駆動型の有機ELディスプレイ装置であって、前記電流制御用薄膜トランジスタは、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなるバリアメタルが設けられており、前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなる密着用金属が設けられていることを特徴とする有機ELディスプレイ装置。

【0028】(11)有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタと、前記電流制御用薄膜トランジスタのスイッチングを行うスイッチ

用薄膜トランジスタを有するアクティブマトリクス駆動型の有機ELディスプレイ装置であって、前記電流制御用薄膜トランジスタと、前記スイッチ用薄膜トランジスタのそれぞれにおいて、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、チタンよりなるバリアメタルが設けられており、前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、チタンよりなる密着用金属が設けられていることを特徴とする有機ELディスプレイ装置。

【0029】(12)有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタと、前記電流制御用薄膜トランジスタのスイッチングを行うスイッチ用薄膜トランジスタを有するアクティブマトリクス駆動型の有機ELディスプレイ装置であって、前記電流制御用薄膜トランジスタと、前記スイッチ用薄膜トランジスタのそれぞれにおいて、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなるバリアメタルが設けられており、前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタンよりなる密着用金属が設けられていることを特徴とする有機ELディスプレイ装置。

【0030】(13)有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリクス駆動型の有機ELディスプレイ装置を製造するに際し、前記電流制御用薄膜トランジスタのシリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に設けられたバリアメタルと、前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に設けられる密着用金属とがチタンにより同時に形成されることを特徴とする有機ELディスプレイ装置の製造方法。

【0031】(14)有機EL素子と、該有機EL素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリクス駆動型の有機ELディスプレイ装置を製造するに際し、前記電流制御用薄膜トランジスタのシリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に設けられたバリアメタルと、前記有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に設けられる密着用金属とが窒素を50atm%以下含有する窒化チタンにより同時に形成されることを特徴とする有機ELディスプレイ装置の製造方法。

【0032】このように、有機EL素子に接続された薄膜トランジスタにおいて、薄膜トランジスタのソース又はドレインである活性シリコン層と、有機EL素子に接続されたアルミニウム配線との接触部において、バリアメタルとしてチタンまたは窒素の含有量が50atm%

以下含有される窒化チタンを用いることにより、発明者は有機EL素子と共に使用されていても、バリア金属の流出がないということを見出した。そしてこれによりバリア金属の溶出による短絡や断線を防ぎ、有機ELディスプレイ装置の信頼性を向上させることができた。

【0033】また有機EL素子を構成するITOの透明電極と、このITOの透明電極に接続されるアルミニウム配線との間に設けられる密着金属として、チタン又は窒素の含有量が50atm%以下の窒化チタンの層を設けることにより、ITOの透明電極とアルミニウム配線との密着性を向上することができ、この点からも有機ELディスプレイ装置の信頼性を向上することができた。

【0034】

【発明の実施の形態】本発明の第1の実施の形態を図1に基づき説明する。第1の実施の形態ではバリア金属として窒化チタンを用いた薄膜トランジスタを有する有機ELディスプレイ装置を構成した例を示し、図3における電流制御用薄膜トランジスタ305と、有機EL素子306に対する部分を示す。

【0035】図1(A)に示す如く、先ず基板101上に通常の固相成長法により多結晶シリコン薄膜を形成し、この多結晶シリコン薄膜を島状に加工して、シリコン活性層102を得る。この基板101としては、例えば石英基板を使用することができる。

【0036】次に、このシリコン活性層102の上にSiO₂よりなるゲート絶縁膜103、アルミニウムよりなるゲート電極104を形成する。その後シリコン活性層102に不純物をドーピングして、ソース領域105、チャンネル形成領域106及びドレイン領域107が形成される。そしてこれらの上全面に、SiO₂よりなる層間絶縁膜108が形成される。

【0037】次に、図1(B)に示す如く、層間絶縁膜108にエッチング処理を施し、ソース領域105、ドレイン領域107及びEL素子形成領域に開孔を設ける。そしてITO(酸化インジウム・スズ)膜がスパッタ法により形成され、加工されてEL素子形成領域に透明電極109が形成される。この場合、層間絶縁膜108のEL素子形成領域には開孔を設けず、層間絶縁膜108上に透明電極109を設けてもよい。

【0038】次に窒化チタン膜を形成する。この場合、窒素を10atm%含有する窒化チタン膜を、膜厚100Å~1000Å、例えば500Åの厚さで、基板全面に形成した。

【0039】その後これをエッチング処理して、ソース領域105とドレイン領域107と、透明電極109の上部であってアルミニウム配線が接続される部分に、いずれも窒化チタン膜よりなるバリア金属110、111及び密着用金属112が同時に形成される。

【0040】勿論スイッチ用薄膜トランジスタや、周辺駆動回路を構成する薄膜トランジスタの窒化チタンより

なるバリア金属を、この工程において同時に形成してもよい。このようにして、窒化チタンよりなるバリア金属及び密着用金属を同時に形成することができる。

【0041】それから、図1(C)に示す如く、全面にアルミニウム膜が6000Å形成され、これがエッチング処理されて、ソース電極113-1が形成されるアルミニウム配線113と、ドレイン電極114-1と密着用金属112とを接続するアルミニウム配線114が設けられる。

【0042】そして、図1(D)に示す如く、有機EL層115とEL素子の上部電極116が有機EL素子形成領域に設けられた。これらは、それぞれ金属マスクが設けられた状態で、真空蒸着法を行うことにより形成された。この上部電極116は、例えば銀を含むマグネシウム膜により構成される。

【0043】次に、有機EL素子の上部電極116上に開孔が設けられてSiO₂膜の保護膜117が形成され、更に共通電極118が、マトリクス部全面にアルミニウムを設けることで形成され、有機ELディスプレイ装置が完成された。

【0044】本発明の第2の実施の形態について説明する。本発明の第2の実施の形態ではバリア金属110、111や密着用金属112等にチタンを使用したものである。その製造工程図は図1と全く同じであるので、図1に従って簡単に説明する。

【0045】図1(A)に示す如く、基板101上に多結晶シリコン薄膜を形成し、これを島状に加工して、シリコン活性層102を得る。このシリコン活性層102の上にSiO₂よりなるゲート絶縁膜103、アルミニウムよりなるゲート電極104を形成し、不純物をドーピングしてソース領域105、チャンネル形成領域106及びドレイン領域107を形成し、これらにSiO₂よりなる層間絶縁膜108を形成する。

【0046】次に、図1(B)に示す如く、層間絶縁膜108をエッチングして、ソース領域105、ドレイン領域107、EL素子形成領域に開孔を設ける。そしてITO膜がスパッタ法により形成され、加工されてEL素子形成領域に透明電極109を形成する。この場合、EL素子形成領域には開孔を設けず、層間絶縁膜108上に透明電極109を設けてもよい。

【0047】それからチタン膜を、100Å~1000Å、例えば500Åの厚さで基板全面に形成し、これをエッチング処理して、ソース領域105と、ドレイン領域107と、透明電極109との上部のアルミニウム配線が接続される部分に、チタン膜よりなるバリア金属110'、111'及び密着用金属112'を同時に形成する。勿論スイッチ用薄膜トランジスタや周辺駆動回路を構成する薄膜トランジスタのチタンよりなるバリア金属及び密着用金属を同時に形成できる。

【0048】それから図1(C)に示す如く、全面にア

11

ルミニウム膜が6000Å形成され、これがエッチング処理されて、ソース電極113-1が形成されるアルミニウム配線113と、ドレイン電極114-1と密着用金属112とを接続するアルミニウム配線114が設けられる。

【0049】そして、図1(D)に示す如く、有機EL層115とEL素子の上部電極116が設けられる。これらは、それぞれメタルマスクが設けられた状態で、真空蒸着法で形成された。この上部電極116は、例えば銀を含むマグネシウム膜により構成される。

【0050】次に上部電極116上に開孔が設けられてSiO₂膜の保護膜117が形成され、アルミニウムの共通電極118が形成され、有機ELディスプレイ装置が完成される。

【0051】本発明の第3の実施の形態について説明する。本発明の第3の実施の形態ではバリアメタル110、111や密着用金属112等にチタンを使用したものである。その製造工程図は図1と全く同じであるので、図1に従って簡単に説明する。

【0052】図1(A)に示す如く、基板101上に多結晶シリコン薄膜を形成し、これを島状に加工して、シリコン活性層102を得る。このシリコン活性層102の上にSiO₂よりなるゲート絶縁膜103、アルミニウムよりなるゲート電極104を形成し、不純物をドーブしてソース領域105、チャネル形成領域106及びドレイン領域107を形成し、これらにSiO₂よりなる層間絶縁膜108を形成する。

【0053】次に、図1(B)に示す如く、層間絶縁膜108をエッチングして、ソース領域105、ドレイン領域107、EL素子形成領域に開孔を設ける。そしてITO膜がスパッタ法により形成され、加工されてEL素子形成領域に透明電極109を形成する。この場合、EL素子形成領域には開孔を設けず、層間絶縁膜108上に透明電極109を設けてもよい。

【0054】それから窒素を45atm含有する窒化チタン膜を、100Å~1000Å、例えば500Åの厚さで基板全面に形成し、これをエッチング処理して、ソース領域105と、ドレイン領域107と、透明電極109との上部のアルミニウム配線が接続される部分に、窒素を45atm含有する窒化チタン膜よりなるバリアメタル110'、111'及び密着用金属112'を同時に形成する。勿論スイッチ用薄膜トランジスタや周辺駆動回路を構成する薄膜トランジスタのチタンよりなるバリアメタル及び密着用金属を同時に形成できる。

【0055】それから図1(C)に示す如く、全面にアルミニウム膜が6000Å形成され、これがエッチング処理されて、ソース電極113-1が形成されるアルミニウム配線113と、ドレイン電極114-1と密着用金属112とを接続するアルミニウム配線114が設けられる。

12

【0056】そして、図1(D)に示す如く、有機EL層115とEL素子の上部電極116が設けられる。これらは、それぞれメタルマスクが設けられた状態で、真空蒸着法で形成された。この上部電極116は、例えば銀を含むマグネシウム膜により構成される。

【0057】次に上部電極116上に開孔が設けられてSiO₂膜の保護膜117が形成され、アルミニウムの共通電極118が形成され、有機ELディスプレイ装置が完成される。

10 【0058】ここで図2により窒化チタンTiNの窒素含有量とその比抵抗の関係を説明する。図2においてNは窒素含有量(N₂量)特性曲線を示し、Rは比抵抗特性曲線を示し、Tは成膜速度特性曲線を示す。なお横軸は成膜時N₂分圧であり、窒素ガスとArガスの混合比を示し、0.2はN₂ガス20%Arガス80%;また0.6はN₂ガス60%Arガス40%のときを示す。

20 【0059】この図2は、成膜時N₂分圧が0.1のとき窒化チタンの窒素含有量はN曲線により約37.5atm%、比抵抗はR曲線により約225マイクロオーム・センチメートル、成膜速度は約92Å/分であることを示している。

【0060】本発明者等は、窒素含有量を30atm%より増加したところ、図2に示す如く、約37.5atm%を超えたとき窒化チタンの比抵抗が低下する領域のあることを発見し、これにより窒素含有量が30atm%を超えた領域でもバリアメタルや密着用金属として使用可能であることを見出した。

30 【0061】当然のことながらバリアメタルや密着用金属としては、比抵抗は低い程よい。またチタンに窒素を含有すればする程化学的に安定するため、逆に加工性(エッチング性)は低下することになる。

【0062】本発明によればチタン又は窒素を50atm%以下含有する窒化チタンを薄膜トランジスタのバリアメタルとして使用することにより、バリアメタルとしての機能、即ちシリコンのアルミニウム配線への拡散を防ぐ機能を有するとともに、有機EL素子が使用されてもバリアメタルの流出を抑制することができる。

40 【0063】即ち、従来のようにバリアメタルとしてクロムを使用した有機ELディスプレイ装置では、10分~20分位でクロムの流出が生じ、不良となったものが、チタン又は窒素を50atm%以下含有する窒化チタンを使用することにより数日以上長時間使用しても薄膜トランジスタのバリアメタルや有機EL素子側の密着用金属として安定な状態を保持することができる。

50 【0064】また有機EL素子を構成する透明電極と、この透明電極に接続されるアルミニウム配線との間に設けられる密着用金属として、チタン又は窒素を50atm%以下含有する窒化チタンの層を形成することにより、透明電極とアルミニウム配線との密着性を向上させることができる。

【0065】従って、従来バリアメタルとして、またITO透明電極とアルミニウム配線との密着性向上のための密着用金属として、いずれもクロムが用いられたが、本発明ではこれらをともにチタン又は窒化チタンに置き換えることができるため、製造工程自体は、材料の変更以外は従来と同様とすることができる。

【0066】また窒化チタンにおける窒素の含有量は、窒素が多くなると密着性が高くなるものの導電率が低下し、また加工性も低下するため、30atm%以下の含有量が好ましい。特に窒素の含有量が5~15atm%程度が導電率と加工性と安定性とがともに良好に得られるので極めて好ましい。

【0067】なお本発明においては、窒素を30atm%以下含有する窒化チタンをバリアメタルあるいは密着用金属として使用することにより、比抵抗が小さく加工性がよく、しかも耐電食性の安定性の良好なものを提供することができる。また安価なウエットエッチング加工することが可能となるバリアメタルあるいは密着用金属として使用することができる。

【0068】本発明において窒素を30atm%を超え50atm%以下含有する窒化チタンをバリアメタルあるいは密着用金属として使用することにより、比抵抗が小さく、耐電食性の安定性の非常に高いものを提供することができる。この場合、ドライエッチングにより加工することができる。安定性が非常に高いので、窒化チタンの成膜後の熱が薬品に対する制約がなくなり、プロセスの汎用性が向上し、成膜にどんな工程がきても問題が発生しにくいものを提供することができる。

【0069】本発明においてチタンをバリアメタルあるいは密着用金属として使用することにより、耐電食性の安定性のある、しかも窒化チタンに比較して比抵抗が小さく加工性の非常にすぐれたものを提供することができる。そしてこれまた安価なウエットエッチング加工することが可能なものを提供することができる。

【0070】前記各実施の形態では、基板として石英基板を用いた例について説明したが、本発明はこれに限定されるものではなく、ガラス基板、セラミック基板等を使用することができる。

【0071】前記各実施の形態では透明電極としてITOを使用した例について説明したが、本発明はこれに限定されるものではなく、ZnO、SnO等を使用することができる。

【0072】前記各実施の形態では窒化チタン又はチタンよりなるバリアメタルは、画素部分の電流制御用薄膜トランジスタに設けられた例について示したが、本発明はこれに限定されることなく、これら窒化チタン又はチタンよりなるバリアメタルを、スイッチング用薄膜トランジスタや、X方向、Y方向の周辺駆動回路を構成する薄膜トランジスタに設けてもよい。

【0073】特に、同一基板上において、画素部分と、

周辺駆動回路を同時に形成する場合、画素部分を構成する電流制御用薄膜トランジスタとスイッチ用薄膜トランジスタと、各周辺駆動回路を構成する薄膜トランジスタとにおいて、全てチタン又は窒化チタンよりなるバリアメタルを設けることで、また更には透明電極とアルミニウム配線との間にチタン又は窒化チタンの密着用金属を設けることにより、従来に比較して特に製造工程を増加することなく、信頼性の高い有機ELディスプレイ装置を得ることができる。

【0074】

【発明の効果】請求項1に記載された本発明によれば薄膜トランジスタの活性層と、これと接続するアルミニウム配線との間に、加工し易くかつ水分の存在による溶出ししないチタンよりなるバリアメタルを設けたので、有機EL素子とともに使用してもバリアメタルの溶出による短絡や断線の発生を防止するとともに、バリアメタルを加工し易く構成することができる。

【0075】請求項2に記載された本発明によれば、薄膜トランジスタの活性層と、これと接するアルミニウム配線との間に窒素を50atm%以下含有する、密着性が高く水分の存在による溶出されない安定な窒化チタンよりなるバリアメタルを設けたので、有機EL素子とともに使用してもバリアメタルの溶出による短絡や断線の発生を防止する薄膜トランジスタを提供することができる。

【0076】請求項3に記載された本発明によれば、有機EL素子に接続された電流制御用薄膜トランジスタのシリコン活性層と、これと接続するアルミニウム配線との間にチタンよりなるバリアメタルを設けたので、もっとも有機EL素子に近い電流制御用の薄膜トランジスタをバリアメタルの溶出による短絡や断線の発生を防止した構成の有機ELディスプレイ装置を提供することができる。

【0077】請求項4に記載された本発明によれば、有機EL素子に接続された電流制御用薄膜トランジスタのシリコン活性層と、これと接続するアルミニウム配線との間に窒素を50atm%以下含有する安定な窒化チタンよりなるバリアメタルを設けたので、もっとも有機EL素子に近い電流制御用の薄膜トランジスタをバリアメタルの溶出による短絡や断線の発生を防止した構成の有機ELディスプレイ装置を提供することができる。

【0078】請求項5に記載された本発明によれば、有機EL素子に接続された電流制御用薄膜トランジスタのみならず、この電流制御用薄膜トランジスタのスイッチングを行うスイッチ用薄膜トランジスタに対してもそれぞれチタンよりなるバリアメタルを設けたので、電流制御用薄膜トランジスタだけではなくスイッチ用薄膜トランジスタにおいてもバリアメタルの溶出による短絡や断線の発生を防止した安定性の一層高い有機ELディスプレイ装置を提供することができる。

【0079】請求項6に記載された本発明によれば、有機EL素子に接続された電流制御用薄膜トランジスタのみならず、この電流制御用薄膜トランジスタのスイッチングを行うスイッチ用薄膜トランジスタに対してもそれぞれ窒素を50atm%以下含有する安定な窒化チタンよりなるバリアメタルを設けたので、電流制御用薄膜トランジスタだけでなくスイッチ用薄膜トランジスタにおいてもバリアメタルの溶出による短絡や断線の発生を防止した、安定性の高い有機ELディスプレイ装置を提供することができる。

【0080】請求項7に記載された本発明によれば、有機EL素子を構成する透明電極と、前記透明電極に接続されたアルミニウム配線との間に、チタンよりなるバリアメタルを設けたので密着性のよい接続を得ることができ、信頼性の高い有機ELディスプレイ装置を提供することができる。

【0081】請求項8に記載された本発明によれば、有機EL素子を構成する透明電極と、前記透明電極に接続されたアルミニウム配線との間に、窒素を50atm%以下含有する、密着性のよい安定な窒化チタンを設けたので、密着性のよい安定した接続を得ることができ、信頼性の高い有機ELディスプレイ装置を提供することができる。

【0082】請求項9に記載された本発明によれば、電流制御用薄膜トランジスタは、その活性層とこれに接続されるアルミニウム配線との間にチタンよりなるバリアメタルが設けられ、また、有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間にチタンよりなる密着金属が設けられるので、バリアメタルと密着金属を同時に形成することができ、製造コストを低下するとともに安定に動作する有機ELディスプレイ装置を提供することができる。

【0083】請求項10に記載された本発明によれば、電流制御用薄膜トランジスタは、その活性層とこれに接続されるアルミニウム配線との間に窒素を50atm%以下含有する窒化チタンよりなるバリアメタルが設けられ、また有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に窒素を50atm%以下含有する窒化チタンよりなる密着金属が設けられているので、電流制御用薄膜トランジスタのバリアメタルと密着金属を同時に形成することができ、製造コストを低下するとともに、密着性の良好なバリアメタルや密着金属を構成することができるので、信頼性の高い安定に動作する有機ELディスプレイ装置を提供することができる。

【0084】請求項11に記載された本発明によれば、電流制御用薄膜トランジスタと、スイッチ用薄膜トランジスタのそれぞれにおいて活性層とこれに接続されるアルミニウム配線との間にそれぞれチタンよりなるバリアメタルが設けられ、また有機EL素子を構成する透明電

極と、前記透明電極に接続されるアルミニウム配線との間にチタンよりなる密着金属が設けられているので、電流制御用薄膜トランジスタのバリアメタルと、スイッチ用薄膜トランジスタのバリアメタルと、密着金属を同時に形成することができ、製造コストを更に低下するとともに安定に動作する有機ELディスプレイ装置を提供することができる。

【0085】請求項12に記載された本発明によれば、電流制御用薄膜トランジスタと、スイッチ用薄膜トランジスタのそれぞれにおいて活性層とこれに接続されるアルミニウム配線との間にそれぞれ窒素を50atm%以下含有する窒化チタンよりなるバリアメタルが設けられ、また有機EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に窒素を50atm%以下含有する窒化チタンよりなる密着金属が設けられているので、電流制御用薄膜トランジスタのバリアメタルと、スイッチ用薄膜トランジスタのバリアメタルと、密着金属を同時に形成することができ、製造コストを低下するとともに密着性のすぐれたバリアメタルや密着金属を形成することができ、信頼性の高い安定に動作する有機ELディスプレイ装置を提供することができる。

【0086】請求項13に記載された本発明によれば、電流制御用薄膜トランジスタの活性層と、この活性層に接続されるアルミニウム配線との間に形成されたバリアメタルと、有機EL素子を構成する透明電極と、この透明電極に接続されるアルミニウム配線との間に形成された密着金属とを、チタンにより同時に形成することができるので、有機ELディスプレイ装置の製造コストを低下するとともに安定に動作するアクティブマトリックス型の有機ELディスプレイ装置の製造方法を提供することができる。

【0087】請求項14に記載された本発明によれば、電流制御用薄膜トランジスタの活性層と、この活性層に接続されるアルミニウム配線との間に形成されたバリアメタルと、有機EL素子を構成する透明電極と、この透明電極に接続されるアルミニウム配線との間に形成された密着金属とを、窒素を50atm%以下含有する窒化チタンにより同時に形成することができ、有機ELディスプレイ装置の製造コストを低下するとともに、密着性の良好なバリアメタルや密着金属を有し、信頼性の高い安定に動作するアクティブマトリックス型の有機ELディスプレイ装置の製造方法を提供することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態説明図である。

【図2】本発明で使用される窒化チタン特性説明図である。

【図3】従来例説明図である。

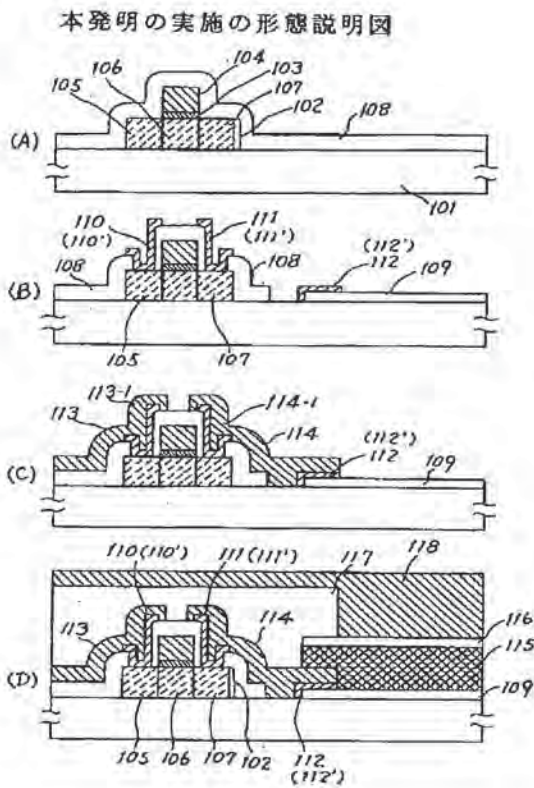
【図4】有機ELディスプレイ装置の回路構成図であ

る。

【符号の説明】

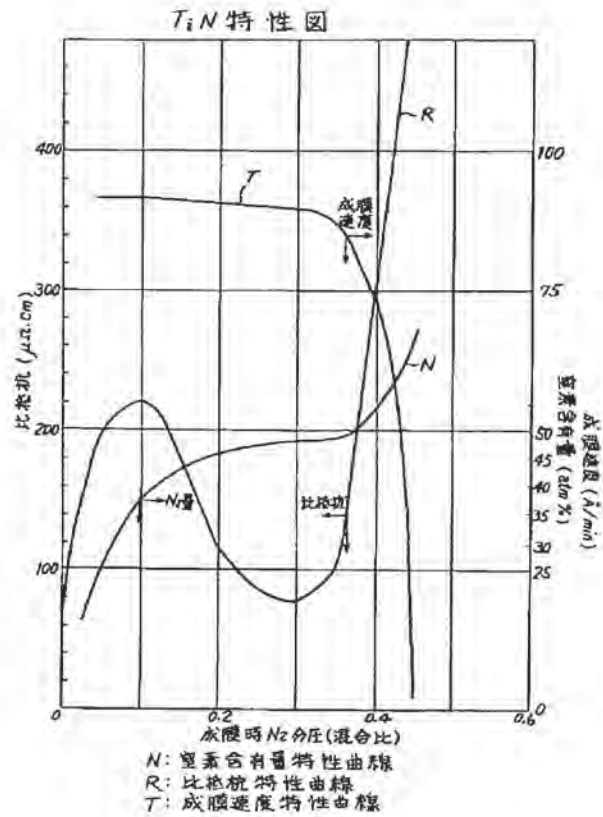
- 101 基板
- 102 シリコン活性層
- 103 ゲート絶縁膜
- 104 ゲート電極
- 105 ソース領域
- 106 チャネル形成領域
- 107 ドレイン領域
- 108 層間絶縁膜

【図1】



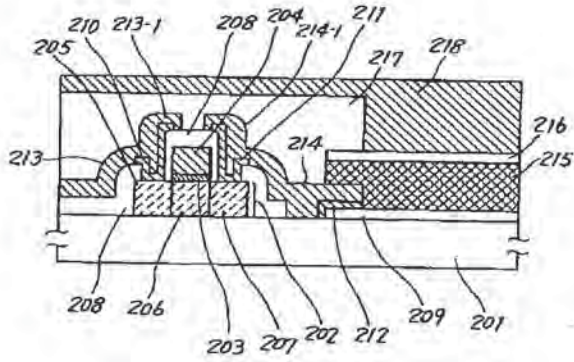
- *109 透明電極
- 110, 110' バリアメタル
- 111, 111' バリアメタル
- 112, 112' 密着用金属
- 113 ソース電極
- 114 ドレイン電極
- 115 有機EL層
- 116 上部電極
- 117 保護膜
- *10 118 共通電極

【図2】



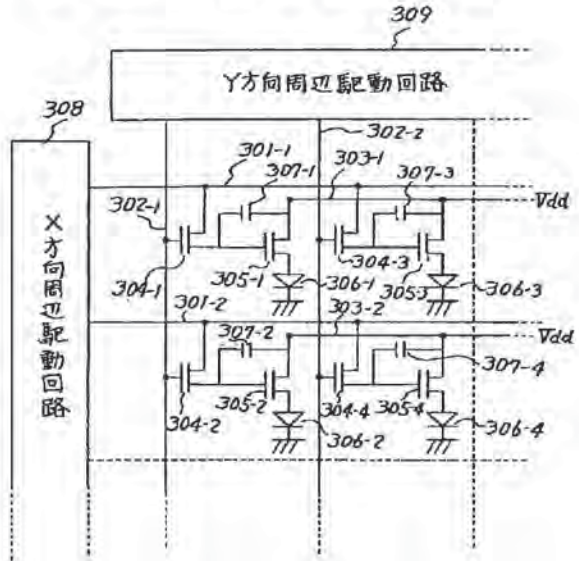
【図3】

従来例説明図



【図4】

有機ELディスプレイ装置の回路構成図



【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第2区分
 【発行日】平成15年7月4日(2003.7.4)

【公開番号】特開平8-330600
 【公開日】平成8年12月13日(1996.12.13)
 【年通号数】公開特許公報8-3306
 【出願番号】特願平8-65774
 【国際特許分類第7版】

H01L 29/786

H05B 33/26

【F1】

H01L 29/78 616 V

H05B 33/26

【手続補正書】

【提出日】平成15年3月17日(2003.3.17)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正内容】

【発明の名称】薄膜トランジスタ、エレクトロルミネセンスディスプレイ装置及びエレクトロルミネセンスディスプレイ装置の製造方法

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】ソースまたはドレインを構成するシリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、チタン膜を設けたことを特徴とする薄膜トランジスタ。

【請求項2】ソースまたはドレインを構成するシリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタン膜を設けたことを特徴とする薄膜トランジスタ。

【請求項3】有機EL層を有するEL素子と、該EL素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリックス駆動型のエレクトロルミネセンスディスプレイ装置であって、

前記電流制御用薄膜トランジスタは、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、チタン膜が設けられていることを特徴とするエレクトロルミネセンスディスプレイ装置。

【請求項4】有機EL層を有するEL素子と、該EL素子に接続された電流制御用薄膜トランジスタを有するア

クティブマトリックス駆動型のエレクトロルミネセンスディスプレイ装置であって、

前記電流制御用薄膜トランジスタは、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタン膜を設けたことを特徴とするエレクトロルミネセンスディスプレイ装置。

【請求項5】有機EL層を有するEL素子と、該EL素子に接続された電流制御用薄膜トランジスタと、前記電流制御用薄膜トランジスタのスイッチングを行うスイッチ用薄膜トランジスタを有するアクティブマトリックス駆動型のエレクトロルミネセンスディスプレイ装置であって、

前記電流制御用薄膜トランジスタと、前記スイッチ用薄膜トランジスタのそれぞれにおいて、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、チタン膜を設けたことを特徴とするエレクトロルミネセンスディスプレイ装置。

【請求項6】有機EL層を有するEL素子と、該EL素子に接続された電流制御用薄膜トランジスタと、前記電流制御用薄膜トランジスタのスイッチングを行うスイッチ用薄膜トランジスタを有するアクティブマトリックス駆動型のエレクトロルミネセンスディスプレイ装置であって、

前記電流制御用薄膜トランジスタと、前記スイッチ用薄膜トランジスタのそれぞれにおいて、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタン膜を設けたことを特徴とするエレクトロルミネセンスディスプレイ装置。

【請求項7】有機EL層を有するEL素子がマトリクス状に設けられた、アクティブマトリックス駆動型のエレクトロルミネセンスディスプレイ装置であって、前記EL素子を構成する透明電極と、前記透明電極に接

続されるアルミニウム配線との間に、チタン膜を設けたことを特徴とするエレクトロルミネセンスディスプレイ装置。

【請求項8】有機EL層を有するEL素子がマトリックス状に設けられた、アクティブマトリクス駆動型のエレクトロルミネセンスディスプレイ装置であって、前記EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタン膜を設けたことを特徴とするエレクトロルミネセンスディスプレイ装置。

【請求項9】有機EL層を有するEL素子と、該EL素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリクス駆動型のエレクトロルミネセンスディスプレイ装置であって、前記電流制御用薄膜トランジスタは、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、チタン膜が設けられており、前記EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、チタン膜が設けられていることを特徴とするエレクトロルミネセンスディスプレイ装置。

【請求項10】有機EL層を有するEL素子と、該EL素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリクス駆動型のエレクトロルミネセンスディスプレイ装置であって、前記電流制御用薄膜トランジスタは、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタン膜が設けられており、前記EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタン膜が設けられていることを特徴とするエレクトロルミネセンスディスプレイ装置。

【請求項11】有機EL層を有するEL素子と、該EL素子に接続された電流制御用薄膜トランジスタと、前記電流制御用薄膜トランジスタのスイッチングを行うスイッチ用薄膜トランジスタを有するアクティブマトリクス駆動型のエレクトロルミネセンスディスプレイ装置であって、前記電流制御用薄膜トランジスタと、前記スイッチ用薄膜トランジスタのそれぞれにおいて、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、チタン膜が設けられており、

前記EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、チタン膜が設けられていることを特徴とするエレクトロルミネセンスディスプレイ装置。

【請求項12】有機EL層を有するEL素子と、該EL素子に接続された電流制御用薄膜トランジスタと、前記電流制御用薄膜トランジスタのスイッチングを行うスイッチ用薄膜トランジスタを有するアクティブマトリクス駆動型のエレクトロルミネセンスディスプレイ装置であって、

前記電流制御用薄膜トランジスタと、前記スイッチ用薄膜トランジスタのそれぞれにおいて、シリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタン膜が設けられており、

前記EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に、窒素を50atm%以下含有する窒化チタン膜が設けられていることを特徴とするエレクトロルミネセンスディスプレイ装置。

【請求項13】有機EL層を有するEL素子と、該EL素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリクス駆動型のエレクトロルミネセンスディスプレイ装置を製造するに際し、前記電流制御用薄膜トランジスタのシリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に設けられるチタン膜と、前記EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に設けられるチタン膜とが同時に形成されることを特徴とするエレクトロルミネセンスディスプレイ装置の製造方法。

【請求項14】有機EL層を有するEL素子と、該EL素子に接続された電流制御用薄膜トランジスタを有するアクティブマトリクス駆動型のエレクトロルミネセンスディスプレイ装置を製造するに際し、前記電流制御用薄膜トランジスタのシリコン活性層と、該シリコン活性層に接続されるアルミニウム配線との間に設けらる窒素を50atm%以下含有する窒化チタン膜と、前記EL素子を構成する透明電極と、前記透明電極に接続されるアルミニウム配線との間に設けられる窒素を50atm%以下含有する窒化チタン膜とが同時に形成されることを特徴とするエレクトロルミネセンスディスプレイ装置の製造方法。

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT OR DRAWING
- BLURRED OR ILLEGIBLE TEXT OR DRAWING
- SKEWED/SLANTED IMAGES
- COLOR OR BLACK AND WHITE PHOTOGRAPHS
- GRAY SCALE DOCUMENTS
- LINES OR MARKS ON ORIGINAL DOCUMENT
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2004年 9月29日

出願番号
Application Number: 特願2004-283824

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号

the country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is

J P 2 0 0 4 - 2 8 3 8 2 4

願 人
Applicant(s): カシオ計算機株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2005年 7月26日

特許庁長官
Commissioner,
Japan Patent Office

小川



BEST AVAILABLE COPY

出証番号 出証特2005-306324
SAMSUNG EX. 1002 - 860/899

【書類名】 特許願
【整理番号】 04-1141-00
【提出日】 平成16年 9月29日
【あて先】 特許庁長官 殿
【国際特許分類】 G09F 9/30 338
 G09F 9/30 365
 G09G 3/30

【発明者】
【住所又は居所】 東京都八王子市石川町 2 9 5 1 番地 5 カシオ計算機株式会社
 八王子技術センター内
【氏名】 白崎 友之

【発明者】
【住所又は居所】 東京都八王子市石川町 2 9 5 1 番地 5 カシオ計算機株式会社
 八王子技術センター内
【氏名】 尾崎 剛

【発明者】
【住所又は居所】 東京都八王子市石川町 2 9 5 1 番地 5 カシオ計算機株式会社
 八王子技術センター内
【氏名】 小倉 潤

【特許出願人】
【識別番号】 000001443
【氏名又は名称】 カシオ計算機株式会社

【代理人】
【識別番号】 100090033
【弁理士】
【氏名又は名称】 荒船 博司
【電話番号】 03-3269-2611
【連絡先】 担当

【選任した代理人】
【識別番号】 100093045
【弁理士】
【氏名又は名称】 荒船 良男

【手数料の表示】
【予納台帳番号】 027188
【納付金額】 16,000円

【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1

【書類名】特許請求の範囲**【請求項1】**

ゲート、ゲート絶縁膜、ソース・ドレインを備えたトランジスタがサブピクセルごとに設けられてなるトランジスタアレイ基板と、

前記トランジスタアレイ基板の表面に凸設され、互いに平行となるよう配列された複数の配線と、

前記各配線の間において前記各配線に沿って前記トランジスタアレイ基板の表面に配列され、サブピクセルごとに設けられた複数のサブピクセル電極と、

前記各サブピクセル電極上に成膜された発光層と、

前記発光層上に積層された対向電極と、を備えることを特徴とするディスプレイパネル。

【請求項2】

前記トランジスタは、ソース、ドレインの一方がサブピクセル電極に接続された駆動トランジスタと、前記駆動トランジスタのソース・ドレイン間に書込電流を流すスイッチトランジスタと、発光期間に前記駆動トランジスタのソース・ゲート間の電圧を保持する保持トランジスタとを有することを特徴とする請求項1に記載のディスプレイパネル。

【請求項3】

前記複数の配線は、前記駆動トランジスタのソース、ドレインの他方と接続された給電配線と、前記スイッチトランジスタを選択する選択配線と、前記対向電極に接続された共通配線を有することを特徴とする請求項2に記載のディスプレイパネル。

【請求項4】

前記発光層は、前記給電配線、前記選択配線及び前記共通配線のうちの任意の2つの上に成膜されていることを特徴とする請求項3に記載のディスプレイパネル。

【請求項5】

前記複数の配線は、任意の順に並列された前記給電配線、前記選択配線及び前記共通配線を一組として、この組を複数配列してなることを特徴とする請求項3または請求項4に記載のディスプレイパネル。

【請求項6】

前記サブピクセルは、赤サブピクセル、緑サブピクセル及び青サブピクセルを有することを特徴とする請求項1～請求項5のいずれかに記載のディスプレイパネル。

【請求項7】

前記サブピクセルは、任意の順に並列された前記赤サブピクセル、前記緑サブピクセル及び前記青サブピクセルを一組として、この組を複数配列してなることを特徴とする請求項6に記載のディスプレイパネル。

【請求項8】

前記配線の厚さが1.31～6 μm であることを特徴とする請求項1から7の何れか一項に記載のディスプレイパネル。

【請求項9】

前記配線の幅が7.45～44 μm であることを特徴とする請求項1から8の何れか一項に記載のディスプレイパネル。

【請求項10】

前記配線の抵抗率が2.1～9.6 $\mu\Omega\text{cm}$ であることを特徴とする請求項1から9の何れか一項に記載のディスプレイパネル。

【請求項11】

複数のサブピクセル電極と、

前記複数のサブピクセル電極に設けられた複数の発光層と、

前記複数の発光層に設けられた対向電極と、

前記複数のサブピクセル電極にそれぞれ接続された複数の駆動トランジスタと、

前記複数の駆動トランジスタのソース・ドレイン間にそれぞれ書込電流を流す複数のスイッチトランジスタと、

前記複数の駆動トランジスタのソースゲート間の電圧をそれぞれ保持する複数の保持トランジスタと、

前記複数の駆動トランジスタ、前記複数のスイッチトランジスタ及び前記複数の保持トランジスタにおけるソース、ドレイン及びゲートとなる層と異なる導電層によって形成され、前記複数の駆動トランジスタのドレインと接続された給電配線と、

前記複数の駆動トランジスタ、前記複数のスイッチトランジスタ及び前記複数の保持トランジスタにおけるソース、ドレイン及びゲートとなる層と異なる導電層によって形成され、前記スイッチトランジスタを選択する選択配線と、

前記対向電極に接続された共通配線と、
を有することを特徴とするディスプレイパネル。

【請求項 12】

前記共通配線は、前記複数の駆動トランジスタ、前記複数のスイッチトランジスタ及び前記複数の保持トランジスタにおけるソース、ドレイン及びゲートとなる層と異なる導電層によって形成されていることを特徴とする請求項 11 に記載のディスプレイパネル。

【書類名】明細書

【発明の名称】ディスプレイパネル

【技術分野】

【0001】

本発明は、発光素子を用いたディスプレイパネルに関する。

【背景技術】

【0002】

有機エレクトロルミネッセンスディスプレイパネルは大きく分けてパッシブ駆動方式のものと、アクティブマトリクス駆動方式のものに分類することができるが、アクティブマトリクス駆動方式の有機エレクトロルミネッセンスディスプレイパネルが高コントラスト、高精細といった点でパッシブ駆動方式よりも優れている。例えば特許文献1に記載された従来のアクティブマトリクス駆動方式の有機エレクトロルミネッセンスディスプレイパネルにおいては、有機エレクトロルミネッセンス素子（以下、有機EL素子という。）と、画像データに応じた電圧信号がゲートに印加されて有機EL素子に電流を流す駆動トランジスタと、この駆動トランジスタのゲートに画像データに応じた電圧信号を供給するためのスイッチングを行うスイッチ用トランジスタとが、画素ごとに設けられている。この有機エレクトロルミネッセンスディスプレイパネルでは、走査線が選択されるとスイッチング用トランジスタがオンになり、その時に輝度を表すレベルの電圧が信号線を介して駆動トランジスタのゲートに印加される。これにより、駆動トランジスタがオンになり、ゲート電圧のレベルに応じた大きさの駆動電流が電源から駆動トランジスタのソースドレインを介して有機EL素子に流れ、有機EL素子が電流の大きさに応じた輝度で発光する。走査線の選択が終了してから次にその走査線が選択されるまでの間では、スイッチ用トランジスタがオフになっても駆動トランジスタのゲート電圧のレベルが保持され続け、有機EL素子が電圧に応じた駆動電流の大きさに従った輝度で発光する。

【0003】

有機エレクトロルミネッセンスディスプレイパネルを駆動するために、有機エレクトロルミネッセンスディスプレイパネルの周辺に駆動回路を設け、有機エレクトロルミネッセンスディスプレイパネルに敷設された走査線、信号線、電源線等に電圧を印加することが行われている。

【0004】

また、従来のアクティブマトリクス駆動方式の有機エレクトロルミネッセンスディスプレイパネルでは、電源線のような有機EL素子に電流を流す配線はスイッチ用トランジスタ、駆動トランジスタ等といった薄膜トランジスタの材料を用いて薄膜トランジスタのパターニング工程と同時にパターニングされる。即ち、有機エレクトロルミネッセンスディスプレイパネルを製造するにあたって、薄膜トランジスタの電極のもととなる導電性薄膜に対してフォトリソグラフィ法、エッチング法を行うことによって、その導電性薄膜から薄膜トランジスタの電極を形状加工するとともに、同時に電極に接続される配線も形状加工する。そのため、配線が導電性薄膜から形成されると、配線が薄膜トランジスタの電極の厚さと同じになる。

【特許文献1】特開平8-330600号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、薄膜トランジスタの電極は、トランジスタとして機能することを前提に設計されているため、言い換えれば発光素子に電流を流すことを前提として設計していないため、その名の通り薄膜であり、このため、配線から複数の発光素子に電流を流そうとすると、配線の電気抵抗によって、電圧降下が発生したり、配線を通じた電流の流れの遅延が生じたりする。電圧降下及び電流遅延を抑えるために配線を低抵抗化することが望まれるが、そのためにトランジスタのソース、ドレイン電極となる金属層やゲート電極となる金属層を厚くしたり、これら金属層を電流が十分に流れる程度にかなり幅広にパターニ

ングして低抵抗配線としたりすると、配線が他の配線や導電体等と平面視して重なる面積が増えてしまい、それらの間で寄生容量が発生してしまい、電流の流れを遅くする要因が発生してしまい、或いはトランジスタアレイ基板側からE_L光を出射するいわゆるボトムエミッション構造の場合、E_L素子からの発光を配線が遮光してしまうので、発光面積の割合である開口率の低下を招いてしまっていた。また低抵抗化するために薄膜トランジスタのゲート電極を厚くすると、ゲート電極の段差を平坦化するための平坦化膜（例えば薄膜トランジスタが逆スタガ構造の場合、ゲート絶縁膜に相当）まで厚くしなければならず、トランジスタ特性が大きく変化してしまう恐れがあり、またソース、ドレイン電極を厚くすると、ソース、ドレイン電極のエッチング精度が低下してしまうため、やはりトランジスタの特性に悪影響を及ぼす恐れがある。

【0006】

そこで、本発明は、電圧降下・信号遅延を抑え、良好に発光素子を駆動することを目的とする。

【課題を解決するための手段】**【0007】**

以上の課題を解決するために、本発明のディスプレイパネルは、ゲート、ゲート絶縁膜、ソース・ドレインを備えたトランジスタがサブピクセルごとに設けられてなるトランジスタアレイ基板と、前記トランジスタアレイ基板の表面に凸設され、互いに平行となるよう配列された複数の配線と、前記各配線の間において前記各配線に沿って前記トランジスタアレイ基板の表面に配列され、サブピクセルごとに設けられた複数のサブピクセル電極と、前記各サブピクセル電極上に成膜された発光層と、前記発光層上に積層された対向電極と、を備える。

【0008】

前記トランジスタは、ソース、ドレインの一方がサブピクセル電極に接続された駆動トランジスタと、前記駆動トランジスタのソース・ドレイン間に書込電流を流すスイッチトランジスタと、発光期間に前記駆動トランジスタのソース・ゲート間の電圧を保持する保持トランジスタとを有してもよい。

前記複数の配線は、前記駆動トランジスタのソース、ドレインの他方と接続された給電配線と、前記スイッチトランジスタを選択する選択配線と、前記対向電極に接続された共通配線を有してもよい。

前記発光層は、前記給電配線、前記選択配線及び前記共通配線のうちの任意の2つの上に成膜されていてもよい。

前記複数の配線は、任意の順に並列された前記給電配線、前記選択配線及び前記共通配線を一組として、この組を複数配列してなってもよい。

前記サブピクセルは、赤サブピクセル、緑サブピクセル及び青サブピクセルを有してもよい。

前記サブピクセルは、任意の順に並列された前記赤サブピクセル、前記緑サブピクセル及び前記青サブピクセルを一組として、この組を複数配列してなってもよい。

好ましくは、上記ディスプレイパネルが、前記複数の配線それぞれを被覆した撥水性・撥油性の疎水膜を更に備える。

【0009】

好ましくは、前記対向電極が前記疎水膜を介して前記複数の配線を被覆する。

【0010】

好ましくは、前記疎水膜が絶縁性を有し、前記配線が前記トランジスタのソース、ドレイン、ゲートの何れかに導通している。

【0011】

好ましくは、前記疎水膜が導電性を有する。

また、本発明における他のディスプレイパネルは、

複数のサブピクセル電極と、
前記複数のサブピクセル電極に設けられた複数の発光層と、
前記複数の発光層に設けられた対向電極と、
前記複数のサブピクセル電極にそれぞれ接続された複数の駆動トランジスタと、
前記複数の駆動トランジスタのソース・ドレイン間にそれぞれ書込電流を流す複数のスイッチトランジスタと、
前記複数の駆動トランジスタのソース・ゲート間の電圧をそれぞれ保持する複数の保持トランジスタと、
前記複数の駆動トランジスタ、前記複数のスイッチトランジスタ及び前記複数の保持トランジスタにおけるソース、ドレイン及びゲートとなる層と異なる導電層によって形成され、前記複数の駆動トランジスタのドレインと接続された給電配線と、
前記複数の駆動トランジスタ、前記複数のスイッチトランジスタ及び前記複数の保持トランジスタにおけるソース、ドレイン及びゲートとなる層と異なる導電層によって形成され、前記スイッチトランジスタを選択する選択配線と、
前記対向電極に接続された共通配線と、
を有する。

【0012】

本発明によれば、配線がトランジスタアレイ基板の表面に凸設されているから、配線がトランジスタのドレイン・ソース・ゲートとは別に形成される。そのため、配線の幅を広くせずとも配線を厚くすることができ、給電配線を低抵抗化することができる。そのため、配線を通じてトランジスタ・サブピクセル電極に信号を出力した場合でも、電圧降下を抑えることができるとともに信号遅延も抑えることができる。

【0013】

また、トランジスタアレイ基板の表面に配線が凸設されているから、湿式塗布法により発光層をパターニングする際に、隣り合うサブピクセル同士で発光層用の液が混ざらないようにすることができる。

【発明の効果】**【0014】**

本発明によれば、配線を厚くすることができるので、配線を低抵抗化することができる。配線の低抵抗化によって信号遅延、電圧降下を抑えることができる。

【発明を実施するための最良の形態】**【0015】**

以下に、本発明を実施するための最良の形態について図面を用いて説明する。但し、以下に述べる実施形態には、本発明を実施するために技術的に好ましい種々の限定が付されているが、発明の範囲を以下の実施形態及び図示例に限定するものではない。また、以下の説明において、エレクトロルミネッセンス (Electro Luminescence) という用語を EL と略称する。

【0016】**[ディスプレイパネルの平面レイアウト]**

図1には、アクティブマトリクス駆動方式で動作するディスプレイパネル1の絶縁基板2上に設けられた複数のピクセルの画素3のうち隣接する4つを示した概略平面図が示されている。このディスプレイパネル1においては、複数の赤サブピクセルPrが水平方向(行方向)に沿って配列され、複数の緑サブピクセルPgが水平方向に沿って配列され、複数の青サブピクセルPbが水平方向に沿って配列されている。垂直方向(列方向)の配列順に着目すると、赤サブピクセルPr、緑サブピクセルPg、青サブピクセルPbの順に繰り返し配列されている。そして、1ドットの赤サブピクセルPr、1ドットの緑サブピクセルPg、1ドットの青サブピクセルPbの組み合わせが1つの画素3となり、このような画素3がマトリクス状に配列されている。なお、以下の説明において、サブピクセルPはこれら赤サブピクセルPr、緑サブピクセルPg、青サブピクセルPbの中の任意のサブピクセルを表し、サブピクセルPについての説明は赤サブピクセルPr、緑サブピ

クセルP_g、青サブピクセルP_bの何れについても適用される。

【0017】

また、垂直方向に沿って延在した3本の信号線Y_r、Y_g、Y_bが1組となっており、3本の信号線Y_r、Y_g、Y_bの組み合わせを信号線群4という。1群の信号線群4に着目すると3本の信号線Y_r、Y_g、Y_bが互いに近接しているが、隣り合う信号線群4の間隔は同一信号線群4内の隣り合う信号線Y_r、Y_g、Y_bの間隔よりも広い。そして、垂直方向の画素3の列1列につき、1群の信号線群4が設けられている。すなわち、垂直方向に配列された1列のうちのサブピクセルP_r、P_g、P_bは、1群の信号線群4の信号線Y_r、Y_g、Y_bにそれぞれ接続されている。

【0018】

ここで、信号線Y_rは垂直方向の画素3の列のうち全ての赤サブピクセルP_rに対して信号を供給するものであり、信号線Y_gは垂直方向の画素3の列のうち全ての緑サブピクセルP_gに対して信号を供給するものであり、信号線Y_bは垂直方向の画素3の列のうち全ての青サブピクセルP_bに対して信号を供給するものである。

【0019】

また、複数本の走査線Xが水平方向に沿って延在し、これら走査線Xに対して複数本の供給線Z、複数本の選択配線89、複数本の給電配線90及び複数本の共通配線91が平行に設けられている。水平方向の画素3の列1列につき、1本の走査線Xと、1本の供給線Zと、1本の給電配線90と、1本の選択配線89と、1本の共通配線91とが設けられている。具体的には、共通配線91は垂直方向に隣り合う赤サブピクセルP_rと緑サブピクセルP_gの間に配置され、走査線X及び選択配線89は垂直方向に隣り合う緑サブピクセルP_gと青サブピクセルP_bとの間に配置され、供給線Z及び給電配線90は青サブピクセルP_bと隣の画素3の赤サブピクセルP_rとの間に配置されている。選択配線89及び給電配線90は同じ膜厚である。

【0020】

ここで、走査線Xは水平方向に沿って配列された一行分の画素3の全サブピクセルP_r、P_g、P_bに信号を供給するものであり、供給線Zも水平方向に沿って配列された一行分の画素3の全サブピクセルP_r、P_g、P_bに信号を供給するものである。

【0021】

また、平面視して、走査線Xには選択配線89が延在方向に重なることによって電氣的に導通されており、供給線Zには給電配線90が延在方向に重なることによって電氣的に導通されている。

【0022】

サブピクセルP_r、P_g、P_bの色は、後述する有機EL素子20（図2等に図示）の発光色によって定まる。図1において水平方向に長尺な矩形状で示されたサブピクセルP_r、P_g、P_bの位置は、有機EL素子20のアノードであるサブピクセル電極20a（図2等に図示）の位置を表したものである。すなわち、ディスプレイパネル1全体に着目して平面視した場合、複数のサブピクセル電極20aがマトリクス状に配列されており、1つのサブピクセル電極20aによって1ドットのサブピクセルPが定まる。従って、給電配線90と隣の共通配線91との間において複数のサブピクセル電極20aが水平方向に沿って配列され、共通配線91と隣の選択配線89との間において複数のサブピクセル電極20aが水平方向に沿って配列され、選択配線89と隣の給電配線90との間において複数のサブピクセル電極20aが水平方向に沿って配列されている。また、信号線群4上には、当該信号線群4上方に位置する電極又は配線との間で寄生容量とならない程度に十分な厚さの絶縁膜を介在させていれば、信号線群4は、当該信号線群4に接続されたサブピクセル電極20aと平面視して重なってもよく、また、当該信号線群4に接続されたサブピクセルに隣接する一方のサブピクセルのサブピクセル電極20aと平面視して重なってもよい。ディスプレイパネル1がボトムエミッション構造であれば、信号線群4は、サブピクセル電極20aと平面視して重ならないことが好ましい。

【0023】

m、nをそれぞれ2以上の整数とし、画素3が垂直方向に沿ってmピクセルだけ、水平方向に沿ってnピクセルだけ配列されていると、サブピクセル電極20aは垂直方向に沿ってサブピクセルの一行分の数と同数の $(3 \times m)$ 個だけ、水平方向に沿ってサブピクセルの一行分の数と同数のn個だけ配列されている。この場合、信号線群4がn群になり、走査線X、供給線Z、選択配線89、給電配線90及び共通配線91はそれぞれm本になる。後述する有機EL素子20の有機EL層20bとなる有機化合物含有液を一行分のサブピクセル内に堰き止める隔壁としても機能する選択配線89、給電配線90及び共通配線91の総和は $(3 \times m)$ 本になるが、全行の有機化合物含有液を各行毎のサブピクセル内に仕切るためには $(3 \times m + 1)$ 本必要になる。このため、共通配線91と同じ高さ且つ同じ長さの $(3 \times m + 1)$ 本目の隔壁ダミー配線を、選択配線89、給電配線90及び共通配線91と行方向に並列させる。

【0024】

[サブピクセルの回路構成]

次に、サブピクセルPr、Pg、Pbの回路構成について図2の等価回路図を用いて説明する。何れのサブピクセルPr、Pg、Pbも同様に構成されており、1ドットのサブピクセルPにつき、有機EL素子20、Nチャネル型のアモルファスシリコン薄膜トランジスタ(以下単にトランジスタと記述する。)21、22、23及びキャパシタ24が設けられている。以下では、トランジスタ21をスイッチトランジスタ21と称し、トランジスタ22を保持トランジスタ22と称し、トランジスタ23を駆動トランジスタ23と称する。なお、図2及び以下の説明において、赤サブピクセルPrの場合では信号線Yが図1の信号線Yrを表し、緑サブピクセルPgの場合では信号線Yが図1の信号線Ygを表し、青サブピクセルPbの場合では信号線Yが図1の信号線Ybを表す。

【0025】

スイッチトランジスタ21においては、ソース21sが信号線Yに導通し、ドレイン21dが有機EL素子20のサブピクセル電極20a、駆動トランジスタ23のソース23s及びキャパシタ24の上層電極24Bに導通し、ゲート21gが保持トランジスタ22のゲート22gとともに走査線X及び選択配線89に導通している。

【0026】

保持トランジスタ22においては、ソース22sが駆動トランジスタ23のゲート23g及びキャパシタ24の下層電極24Aに導通し、ドレイン22dが駆動トランジスタ23のドレイン23d及び供給線Zに導通し、ゲート22gがスイッチトランジスタ21のゲート21g及び走査線Xに導通している。

【0027】

駆動トランジスタ23においては、ソース23sが有機EL素子20のサブピクセル電極20a、スイッチトランジスタ21のドレイン21d及びキャパシタ24の電極24Bに導通し、ドレイン23dが保持トランジスタ22のドレイン22d及び供給線Zに導通し、ゲート23gが保持トランジスタ22のソース22s及びキャパシタ24の下層電極24Aに導通している。

【0028】

有機EL素子20のカソードとなる対向電極20cは共通配線91に導通している。

【0029】

垂直方向に沿って一列に配列された何れの赤サブピクセルPrのスイッチトランジスタ21のソース21sも共通の信号線Yrに導通し、垂直方向に沿って一列に配列された何れの緑サブピクセルPgのスイッチトランジスタ21のソース21sも共通の信号線Ygに導通し、垂直方向に沿って一列に配列された何れの青サブピクセルPbのスイッチトランジスタ21のソース21sも共通の信号線Ybに導通している。

【0030】

一方、水平方向に沿って配列された一行分の画素3の何れのサブピクセルPr、Pg、Pbのスイッチトランジスタ21のゲート21gも共通の走査線Xに導通し、水平方向に沿って配列された一行分の画素3の何れのサブピクセルPr、Pg、Pbの保持トランジ

スタ22のゲート22gも共通の走査線Xに導通し、水平方向に沿って配列された一行分の画素3の何れのサブピクセルPr, Pg, Pbの保持トランジスタ22のドレイン22dも共通の供給線Zに導通し、水平方向に沿って配列された一行分の画素3の何れのサブピクセルPr, Pg, Pbの駆動トランジスタ23のドレイン23dも共通の供給線Zに導通している。

【0031】

[画素の平面レイアウト]

画素3の平面レイアウトについて図3～図5を用いて説明する。図3は、赤サブピクセルPrの電極を主に示した平面図であり、図4は、緑サブピクセルPgの電極を主に示した平面図であり、図5は、青サブピクセルPbの電極を主に示した平面図である。なお、図3～図5においては、図面を見やすくするために、有機EL素子20のサブピクセル電極20a及び対向電極20cの図示を省略する。

【0032】

図3に示すように、赤サブピクセルPrにおいては、平面視して、駆動トランジスタ23が供給線Z及び給電配線90に沿うように配置され、スイッチトランジスタ21が共通配線91に沿うように配置され、保持トランジスタ22が供給線Zの近くの赤サブピクセルPrの角部に配置されている。

【0033】

図4に示すように、緑サブピクセルPgにおいては、平面視して、駆動トランジスタ23が共通配線91に沿うように配置され、スイッチトランジスタ21が走査線X及び選択配線89に沿うように配置され、保持トランジスタ22が共通配線91の近くの緑サブピクセルPgの角部に配置されている。

【0034】

図5に示すように、青サブピクセルPbにおいては、平面視して、駆動トランジスタ23が走査線Xに沿うように配置され、スイッチトランジスタ21が隣の行の供給線Z及び給電配線90に沿うように配置され、保持トランジスタ22が走査線Xの近くの青サブピクセルPbの角部に配置されている。

【0035】

図3～図5に示すように、何れのサブピクセルPr, Pg, Pbでも、キャパシタ24が隣の列の信号線群4に沿って配置されている。

【0036】

なお、ディスプレイパネル1全体を平面視して、全てのサブピクセルPr, Pg, Pbのスイッチトランジスタ21だけに着目すると、複数のスイッチトランジスタ21がマトリクス状に配列され、全てのサブピクセルPr, Pg, Pbの保持トランジスタ22だけに着目すると、複数の保持トランジスタ22がマトリクス状に配列され、全てのサブピクセルPr, Pg, Pbの駆動トランジスタ23だけに着目すると、複数の駆動トランジスタ23がマトリクス状に配列されている。

【0037】

[ディスプレイパネルの層構造]

ディスプレイパネル1の層構造について図6を用いて説明する。ここで、図6は、図3～図5に示された破断線VI-VIに沿って絶縁基板2の厚さ方向に切断した矢視断面図である。

【0038】

ディスプレイパネル1は、光透過性を有する絶縁基板2に対して種々の層を積層したものである。絶縁基板2は可撓性のシート状に設けられているか、又は剛性の板状に設けられている。

【0039】

まず、トランジスタ21～23の層構造について説明する。図6に示すように、スイッチトランジスタ21は、絶縁基板2上に形成されたゲート21gと、ゲート21g上に形成されたゲート絶縁膜31と、ゲート絶縁膜31を挟んでゲート21gに対向した半導体

膜 21c と、半導体膜 21c の中央部上に形成されたチャネル保護膜 21p と、半導体膜 21c の両端部上において互いに離間するよう形成され、チャネル保護膜 21p に一部重なった不純物半導体膜 21a, 21b と、不純物半導体膜 21a 上に形成されたドレイン 21d と、不純物半導体膜 21b 上に形成されたソース 21s と、から構成されている。なお、ドレイン 21d 及びソース 21s は一層構造であっても良いし、二層以上の積層構造であっても良い。

【0040】

駆動トランジスタ 23 は、絶縁基板 2 上に形成されたゲート 23g と、ゲート 23g 上に形成されたゲート絶縁膜 31 と、ゲート絶縁膜 31 を挟んでゲート 23g に対向した半導体膜 23c と、半導体膜 23c の中央部上に形成されたチャネル保護膜 23p と、半導体膜 23c の両端部上において互いに離間するよう形成され、チャネル保護膜 23p に一部重なった不純物半導体膜 23a, 23b と、不純物半導体膜 23a 上に形成されたドレイン 23d と、不純物半導体膜 23b 上に形成されたソース 23s と、から構成されている。図 3～図 5 に示すように平面視した場合、駆動トランジスタ 23 が櫛歯状に設けられていることで、駆動トランジスタ 23 のチャネル幅が広がっている。ドレイン 23d 及びソース 23s は一層構造であっても良いし、二層以上の積層構造であっても良い。

【0041】

なお、保持トランジスタ 22 は、駆動トランジスタ 23 と同様の層構造となっているため、保持トランジスタ 22 の断面図については省略する。また、何れのサブピクセル Pr, Pg, Pb でも、スイッチトランジスタ 21、保持トランジスタ 22 及び駆動トランジスタ 23 が同様の層構造になっている。

【0042】

次に、キャパシタ 24 の層構造について説明する。キャパシタ 24 は、絶縁基板 2 上に形成された下層電極 24A と、下層電極 24A 上に形成されたゲート絶縁膜 31 と、ゲート絶縁膜 31 を挟んで下層電極 24A に対向した上層電極 24B と、から構成されている。何れのサブピクセル Pr, Pg, Pb でもキャパシタ 24 は同様の層構造になっている。

【0043】

次に、トランジスタ 21～23 及びキャパシタ 24 の各層と信号線 Y、走査線 X 及び供給線 Z との関係について図 3～図 6 を用いて説明する。

【0044】

接続線 96、全てのサブピクセル Pr, Pg, Pb のスイッチトランジスタ 21 のゲート 21g、保持トランジスタ 22 のゲート 22g、駆動トランジスタ 23 のゲート 23g 及びキャパシタ 24 の下層電極 24A 並びに全ての信号線 Yr, Yg, Yb は、絶縁基板 2 上にべた一面に成膜された導電性膜をフォトリソグラフィ法・エッチング法によってパターンニングすることで形成されたものである。以下では、接続線 96、スイッチトランジスタ 21 のゲート 21g、保持トランジスタ 22 のゲート 22g、駆動トランジスタ 23 のゲート 23g 及びキャパシタ 24 の電極 24A 並びに信号線 Yr, Yg, Yb の元となる導電性膜をゲートレイヤーという。

【0045】

ゲート絶縁膜 31 は、全てのサブピクセル Pr, Pg, Pb のスイッチトランジスタ 21、保持トランジスタ 22、駆動トランジスタ 23 及びキャパシタ 24 に共通した絶縁膜であり、面内にべた一面に成膜されている。従って、ゲート絶縁膜 31 は、スイッチトランジスタ 21 のゲート 21g、保持トランジスタ 22 のゲート 22g、駆動トランジスタ 23 のゲート 23g 及びキャパシタ 24 の下層電極 24A 並びに信号線 Yr, Yg, Yb を被覆している。

【0046】

全てのサブピクセル Pr, Pg, Pb のスイッチトランジスタ 21 のドレイン 21d・ソース 21s、保持トランジスタ 22 のドレイン 22d・ソース 22s、駆動トランジスタ 23 のドレイン 23d・ソース 23s 及びキャパシタ 24 の上層電極 24B 並びに全て

の走査線X及び供給線Zは、ゲート絶縁膜31上にべた一面に成膜された導電性膜をフォトリソグラフィ法・エッチング法によってパターンニングすることで形成されたものである。以下では、スイッチトランジスタ21のドレイン21d・ソース21s、保持トランジスタ22のドレイン22d・ソース22s、駆動トランジスタ23のドレイン23d・ソース23s及びキャパシタ24の上層電極24B並びに走査線X及び供給線Zの元となる導電性膜をドレインレイヤーという。

【0047】

1つの画素3につき1つのコンタクトホール92がゲート絶縁膜31の走査線Xに重なる箇所に形成され、サブピクセルPr, Pg, Pbのスイッチトランジスタ21のゲート21g及び保持トランジスタ22のゲート22gがコンタクトホール92を介して走査線Xに導通している。1ドットのサブピクセルPにつき1つのコンタクトホール94がゲート絶縁膜31の信号線Yに重なる箇所に形成され、何れのサブピクセルPr, Pg, Pbにおいても、スイッチトランジスタ21のソース21sがコンタクトホール94を介して信号線Yに導通している。1ドットのサブピクセルPにつき1つのコンタクトホール93がゲート絶縁膜31の下層電極24Aに重なる箇所に形成され、何れのサブピクセルPr, Pg, Pbにおいても保持トランジスタ22のソース22sが駆動トランジスタ23のゲート23g及びキャパシタ24の下層電極24Aに導通している。

【0048】

赤サブピクセルPrにおいては、保持トランジスタ22のドレイン22d及び駆動トランジスタ23のドレイン23dが供給線Zと一体に設けられている。それに対して、緑サブピクセルPg及び青サブピクセルPbにおいては、保持トランジスタ22のドレイン22d及び駆動トランジスタ23のドレイン23dの何れも、供給線Zに対して別体に設けられている。そこで、緑サブピクセルPg及び青サブピクセルPbの保持トランジスタ22のドレイン22d及び駆動トランジスタ23のドレイン23dは、以下のようにして供給線Zに導通している。

【0049】

すなわち、1ピクセルの画素3につき1本の接続線96が画素3を垂直方向に縦断するよう設けられている。この接続線96は、ゲートレイヤーをパターンニングすることで形成されたものであり、ゲート絶縁膜31によって被覆されている。ゲート絶縁膜31の供給線Zと接続線96が重なる箇所には、コンタクトホール97が形成され、そのコンタクトホール97を介して接続線96が供給線Zに導通している。また、緑サブピクセルPgにおいては、コンタクトホール98がゲート絶縁膜31の接続線96と駆動トランジスタ23のドレイン23dとが重なる箇所に形成され、そのコンタクトホール98を介して接続線96と駆動トランジスタ23のドレイン23dが導通している。青サブピクセルPbにおいては、コンタクトホール99がゲート絶縁膜31の接続線96と駆動トランジスタ23のドレイン23dとが重なる箇所に形成され、そのコンタクトホール99を介して接続線96と駆動トランジスタ23のドレイン23dが導通している。以上により、緑サブピクセルPg及び青サブピクセルPbのどちらにおいても、保持トランジスタ22のドレイン22d及び駆動トランジスタ23のドレイン23dが接続線96を介して供給線Z及び給電配線90に導通している。

【0050】

全てのサブピクセルPr, Pg, Pbのスイッチトランジスタ21、保持トランジスタ22及び駆動トランジスタ23並びに全ての走査線X及び供給線Zは、べた一面に成膜された窒化シリコン又は酸化シリコン等の保護絶縁膜32によって被覆されている。なお、詳細については後述するが、保護絶縁膜32は、走査線X及び供給線Zに重なる箇所では矩形形状に分断されている。

【0051】

保護絶縁膜32には平坦化膜33が積層されており、スイッチトランジスタ21、保持トランジスタ22及び駆動トランジスタ23並びに走査線X及び供給線Zによる凹凸が平坦化膜33によって解消されている。つまり、平坦化膜33の表面が平坦となっている。

平坦化膜 33 は、ポリイミド等の感光性絶縁樹脂を硬化させたものである。なお、詳細については後述するが、平坦化膜 33 は、走査線 X 及び供給線 Z に重なる箇所で矩形状に分断されている。

【0052】

このディスプレイパネル 1 をボトムエミッション型として用いる場合、すなわち、絶縁基板 2 を表示面として用いる場合には、ゲート絶縁膜 31、保護絶縁膜 32 及び平坦化膜 33 には透明な材料を用いる。絶縁基板 2 から平坦化膜 33 までの積層構造をトランジスタアレイ基板 50 という。

【0053】

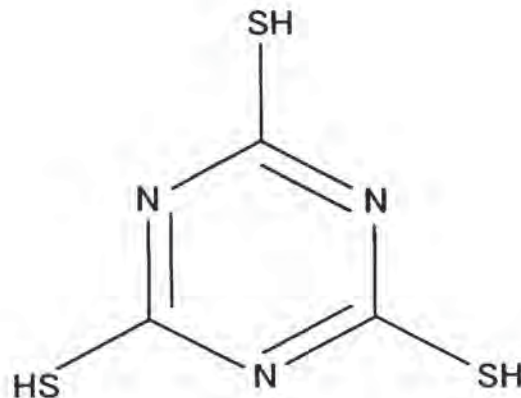
平坦化膜 33 の表面、即ちトランジスタアレイ基板 50 の表面上であって赤サブピクセル Pr と緑サブピクセル Pg の間には、走査線 X に平行な絶縁ライン 61 が形成されている。絶縁ライン 61 は、ポリイミド等の感光性絶縁樹脂を硬化させてなり、その上部には絶縁ライン 61 より幅狭の共通配線 91 が積層されている。共通配線 91 は、メッキ法により形成されたものであるため、信号線 Y、走査線 X 及び供給線 Z よりも十分に厚く、平坦化膜 33 の表面に対して凸設されている。共通配線 91 は銅、アルミ、金若しくはニッケルのうちの少なくともいずれかを含むことが好ましい。

【0054】

共通配線 91 の表面には、撥水性・撥油性を有した撥液性導電層 55 が成膜されている。撥液性導電層 55 は、次の化学式 (1) に示されたトリアジルトリチオール分子のチオール基 (-SH) の水素原子 (H) が還元離脱し、硫黄原子 (S) が共通配線 91 の表面に酸化吸着したものである。

【0055】

【化1】



【0056】

撥液性導電層 55 はトリアジルトリチオール分子が共通配線 91 の表面に規則正しく並んだ分子一層からなる膜であるから、撥液性導電層 55 が非常に低抵抗であって導電性を有する。なお、撥水性・撥油性を顕著にするためにトリアジルトリチオールに代えて、トリアジルトリチオールの 1 又は 2 のチオール基がフッ化アルキル基に置換されたものでも良い。

【0057】

保護絶縁膜 32 及び平坦化膜 33 の各供給線 Z に重なる箇所には、水平方向に沿って開口された長尺な溝 34 が凹設され、更に、保護絶縁膜 32 及び平坦化膜 33 の各走査線 X に重なる箇所には水平方向に沿って開口された長尺な溝 35 が凹設されている。これら溝 34、35 によって保護絶縁膜 32 及び平坦化膜 33 が矩形状に分断されている。溝 34 には給電配線 90 が埋められており、溝 34 内において給電配線 90 が供給線 Z にそれぞれ積層されることによって電氣的に接続されている。溝 35 には選択配線 89 が埋められており、溝 35 内において選択配線 89 が走査線 X にそれぞれ積層されることによって電氣的に接続されている。

【0058】

選択配線89及び給電配線90は、メッキ法により形成されたものである。信号線Y、走査線X及び供給線Zよりも十分に厚い。更には、選択配線89及び給電配線90の厚さは、保護絶縁膜32と平坦化膜33の厚さの総計よりも厚く、平坦化膜33の表面から凸設されている。選択配線89及び給電配線90のどちらも、銅、アルミ、金若しくはニッケルのうちの少なくともいずれかを含むことが好ましい。選択配線89の表面に、撥水性・撥油性を有した疎水絶縁膜53が成膜され、給電配線90の表面には、撥水性・撥油性を有した疎水絶縁膜54が成膜されている。

【0059】

平坦化膜33の表面、即ちトランジスタアレイ基板50の表面上には、複数のサブピクセル電極20aがマトリクス状に配列されている。これらサブピクセル電極20aは、平坦化膜33上にべた一面に成膜された透明導電性膜をフォトリソグラフィ法・エッチング法によってパターンニングしたものである。

【0060】

サブピクセル電極20aは、有機EL素子20のアノードとして機能する電極である。即ち、サブピクセル電極20aの仕事関数が比較的高く、後述する有機EL層20bへ正孔を効率よく注入するものが好ましい。また、サブピクセル電極20aは、ボトムエミッションの場合、可視光に対して透過性を有している。サブピクセル電極20aとしては、例えば、錫ドーパ酸化インジウム(ITO)、亜鉛ドーパ酸化インジウム、酸化インジウム(In_2O_3)、酸化スズ(SnO_2)、酸化亜鉛(ZnO)又はカドミウム-錫酸化物(CTO)を主成分としたものがある。

【0061】

なお、このディスプレイパネル1をトップエミッション型として用いる場合、すなわち、絶縁基板2の反対側を表示面として用いる場合には、サブピクセル電極20aと平坦化膜33との間に、導電性且つ可視光反射性の高い反射膜を成膜するか、サブピクセル電極20a自体を反射性電極とすれば良い。

【0062】

1ドットのサブピクセルPにつき1つのコンタクトホール88が平坦化膜33及び保護絶縁膜32のサブピクセル電極20aに重なる箇所に形成され、そのコンタクトホール88に導電性パッドが埋設されている。何れのサブピクセルPr, Pg, Pbにおいても、サブピクセル電極20aが、キャパシタ24の上層電極24B、スイッチトランジスタ21のドレイン21d及び駆動トランジスタ23のソース23sに導通している。

【0063】

サブピクセル電極20a上には、有機EL素子20の有機EL層20bが成膜されている。有機EL層20bは広義の発光層であり、有機EL層20bには、有機化合物である発光材料(蛍光体)が含有されている。有機EL層20bは、サブピクセル電極20aから順に正孔輸送層、狭義の発光層の順に積層した二層構造である。正孔輸送層は、導電性高分子であるPEDOT(ポリチオフェン)及びドーパントであるPSS(ポリスチレンスルホン酸)からなり、狭義の発光層は、ポリフルオレン系発光材料からなる。

【0064】

赤サブピクセルPrの場合には、有機EL層20bが赤色に発光し、緑サブピクセルPgの場合には、有機EL層20bが緑色に発光し、青サブピクセルPbの場合には、有機EL層20bが青色に発光する。

【0065】

有機EL層20bはサブピクセル電極20aごとに独立して設けられ、平面視した場合、複数の有機EL層20bがマトリクス状に配列されている。但し、給電配線90と共通配線91との間において水平方向に配列された一行分のサブピクセルが全て赤サブピクセルPr赤色なので、給電配線90と共通配線91との間において水平方向に配列された複数のサブピクセル電極20aが、水平方向に沿って帯状に長尺な共通の赤色発光の有機EL層20bによって被覆されていても良い。このとき有機EL層20bは水平方向に隣り

合う有機EL層20bに対して電流を流さない程度の電気抵抗を有している。同様に、共通配線91と選択配線89との間において水平方向に配列された複数のサブピクセル電極20aが、水平方向に沿って帯状に長尺な共通の緑色発光の有機EL層20bによって被覆されていても良いし、所定の行において、選択配線89と隣の行（一行後の行）の給電配線90との間において水平方向に一行に配列された複数のサブピクセル電極20aが、水平方向に沿って帯状に長尺な共通の青色発光の有機EL層20bによって被覆されていても良い。

【0066】

有機EL層20bは、疎水絶縁膜53、疎水絶縁膜54及び撥液性導電層55のコーティング後に湿式塗布法（例えば、インクジェット法）によって成膜される。この場合、サブピクセル電極20aに有機EL層20bとなる有機化合物を含有する有機化合物含有液を塗布するが、この有機化合物含有液の液面は、絶縁ライン61の頭頂部よりも高い。垂直方向に隣り合うサブピクセル電極20a間において頭頂部が絶縁ライン61の頭頂部よりも十分高い厚膜の選択配線89、給電配線90、共通配線91がトランジスタアレイ基板50の表面に対して凸設されているから、サブピクセル電極20aに塗布された有機化合物含有液が垂直方向に隣り合うサブピクセル電極20aに漏れることがない。また、選択配線89、給電配線90、共通配線91には撥水性・撥油性の疎水絶縁膜53、疎水絶縁膜54、撥液性導電層55がそれぞれコーティングされているから、サブピクセル電極20aに塗布された有機化合物含有液をはじくので、サブピクセル電極20aに塗布された有機化合物含有液がサブピクセル電極20aの中央に対して撥液性導電層55の端部付近、疎水絶縁膜53の端部付近や、疎水絶縁膜54の端部付近で極端に厚く堆積されなくなるので、有機化合物含有液が乾燥してなる有機EL層20bを面内均一な膜厚で成膜することができる。

【0067】

なお、有機EL層20bは、二層構造の他に、サブピクセル電極20aから順に正孔輸送層、狭義の発光層、電子輸送層となる三層構造であっても良いし、狭義の発光層からなる一層構造であっても良いし、これらの層構造において適切な層間に電子或いは正孔の注入層が介在した積層構造であっても良いし、その他の積層構造であっても良い。

【0068】

有機EL層20b上には、有機EL素子20のカソードとして機能する対向電極20cが成膜されている。対向電極20cは、全てのサブピクセルPr、Pg、Pbに共通して形成された共通電極であり、べた一面に成膜されている。対向電極20cがべた一面に成膜されることで、対向電極20cが撥液性導電層55を挟んで共通配線91を被覆している。そのため、図2の回路図に示すように、対向電極20cは共通配線91に対して導通している。一方、選択配線89には疎水絶縁膜53がコーティングされ、給電配線90には疎水絶縁膜54がコーティングされているので、対向電極20cが選択配線89及び給電配線90の何れに対しても絶縁されている。

【0069】

対向電極20cは、サブピクセル電極20aよりも仕事関数の低い材料で形成されており、例えば、マグネシウム、カルシウム、リチウム、バリウム、インジウム、希土類金属の少なくとも一種を含む単体又は合金で形成されていることが好ましい。また、対向電極20cは、上記各種材料の層が積層された積層構造となっても良いし、以上の各種材料の層に加えてシート抵抗を低くするために酸化されにくい金属層が堆積した積層構造となっても良く、具体的には、有機EL層20bと接する界面側に設けられた低仕事関数の高純度のバリウム層と、バリウム層を被覆するように設けられたアルミニウム層との積層構造や、下層にリチウム層、上層にアルミニウム層が設けられた積層構造が挙げられる。またトップエミッション構造の場合、対向電極20cを上述のような低仕事関数の薄膜とその上にITO等の透明導電膜を積層した透明電極としてもよい。

【0070】

対向電極20c上には、封止絶縁膜56が成膜されている。封止絶縁膜56は対向電極

20c全体を被覆し、対向電極20cの劣化を防止するために設けられている無機膜又は有機膜である。

【0071】

なお、従来、トップエミッション型構造のELディスプレイパネルは、対向電極20cの少なくとも一部を金属酸化物のように抵抗値が高い透明電極を用いることになるが、このような材料は十分に厚くしなければシート抵抗が十分に低くならないので、厚くすることによって必然的に有機EL素子の透過率が下がってしまい、大画面になるほど面内で均一の電位になりにくく表示特性が低くなってしまっていた。

【0072】

しかしながら、本実施形態では、水平方向に十分な厚さのために低抵抗な複数の共通配線91, 91, …, を設けているので、対向電極20cと合わせて有機EL素子20, 20, …のカソード電極全体のシート抵抗値を下げ、十分且つ面内で均一に大電流を流すことが可能となる。さらにこのような構造では、共通配線91, 91, …がカソード電極としてのシート抵抗を下げているので、対向電極20cを薄膜にして透過率を向上したりすることが可能である。なおトップエミッション構造では、画素電極20aを反射性の材料としてもよい。

【0073】

そして、薄膜トランジスタを形成する際の導電層以外の厚膜の導電層を用いて形成された給電配線90, 90, …を、供給線Z₁~Z_mにそれぞれ電氣的に接続するように設けているので、薄膜トランジスタの導電層のみで形成された供給線Z₁~Z_mでの電圧降下による複数の有機EL素子20に後述する書込電流や駆動電流が所定の電流値に達するまでの遅延を防止し、良好に駆動することが可能となる。

【0074】

さらに、薄膜トランジスタを形成する際の導電層以外の厚膜の導電層を用いて形成された選択配線89, 89, …を、走査線X₁~X_nにそれぞれ電氣的に接続するように設けているので薄膜トランジスタの導電層のみで形成された走査線X₁~X_nでの電圧降下による信号遅延を防止し、迅速にスイッチトランジスタ21及び保持トランジスタ22をスイッチして良好に駆動することが可能となる。

【0075】

[ディスプレイパネルの駆動方法]

ディスプレイパネル1をアクティブマトリクス方式で駆動するには、次のようになる。すなわち、図7に示すように、走査線X₁~X_nに接続された選択ドライバによって、走査線X₁から走査線X_nへの順(走査線X_nの次は走査線X₁)にハイレベルのシフトパルスを順次出力することにより走査線X₁~X_nを順次選択する。また、選択期間に各給電配線90を介して供給線Z₁~Z_mにそれぞれ接続された駆動トランジスタ23に書込電流を流すための書込給電電圧V_Lを印加し、発光期間に駆動トランジスタ23を介して有機EL素子20に駆動電流を流すための駆動給電電圧V_Hを印加する給電ドライバが各給電配線90に接続されている。この給電ドライバによって、選択ドライバと同期するよう、供給線Z₁から供給線Z_mへの順(供給線Z_mの次は供給線Z₁)にローレベル(有機EL素子20の対向電極の電圧より低レベル)の書込給電電圧V_Lを順次出力することにより供給線Z₁~Z_mを順次選択する。また、選択ドライバが各走査線X₁~X_nを選択している時に、データドライバが書込電流である書込電流(電流信号)を所定の行の駆動トランジスタ23のソースドレイン間を介して全信号線Y₁~Y_nに流す。このとき供給線Z₁~Z_mに接続された給電配線90には、給電ドライバによって絶縁基板2の左右周縁に位置する給電配線90の両端部である配線端子の両方からローレベルの書込給電電圧V_Lが出力される。なお、対向電極20c及び共通配線91は配線端子によって外部と接続され、一定のコモン電位V_{com}(例えば、接地=0ボルト)に保たれている。

【0076】

信号線Y₁~Y_nの延在した方向を垂直方向(列方向)といい、走査線X₁~X_nの延在した方向を水平方向(行方向)という。また、m, nは2以上の自然数であり、走査線Xに

下付けした数字は図1において上からの配列順を表し、供給線 Z に下付けした数字は図1において上からの配列順を表し、信号線 Y に下付けした数字は図1において左からの配列順を表し、画素回路 P に下付けした数字の前側が上からの配列順を表し、後ろ側が左からの配列順を表す。すなわち、 $1 \sim m$ のうちの任意の自然数を i とし、 1 から n のうちの任意の自然数を j とした場合に、走査線 X_i は上から i 行目であり、供給線 Z_i は左から i 行目であり、信号線 Y_j は左から j 列目であり、画素回路 $P_{i,j}$ は上から i 行目、左から j 列目であり、画素回路 $P_{i,j}$ は走査線 X_i 、供給線 Z_i 及び信号線 Y_j に接続されている。

【0077】

画素回路 $P_{i,j}$ は、画素としての有機EL素子20と、有機EL素子20の周囲に配置された三つのNチャンネル型のアモルファスシリコン薄膜トランジスタ（以下単にトランジスタと記述する。）21、22、23と、キャパシタ24と、を備える。

【0078】

各選択期間において、データドライバ側の電位は、給電配線90、90、…及び供給線 $Z_1 \sim Z_m$ に出力された書込給電電圧 V_L 以下で且つこの書込給電電圧 V_L はコモン電位 V_{com} 以下に設定されている。したがってこの時、有機EL素子20から信号線 $Y_1 \sim Y_n$ に流れることはないので図2に示すように、データドライバによって階調に応じた電流値の書込電流（書込電流）が矢印Aの通り、信号線 $Y_1 \sim Y_n$ に流れ、画素回路 $P_{i,j}$ においては給電配線90及び供給線 Z_i から駆動トランジスタ23のソースドレイン間、スイッチトランジスタ21のソースドレイン間を介して信号線 Y_j に向かった書込電流（書込電流）が流れる。このように駆動トランジスタ23のソースドレイン間を流れる電流の電流値は、データドライバによって一義的に制御され、データドライバは、外部から入力された階調に応じて書込電流（書込電流）の電流値を設定する。書込電流（書込電流）が流れている間、 i 行目の $P_{i,1} \sim P_{i,n}$ の各駆動トランジスタ23のゲート23g-ソース23s間の電圧は、それぞれ信号線 $Y_1 \sim Y_n$ に流れる書込電流（書込電流）の電流値、つまり駆動トランジスタ23の $V_{g-I_{ds}}$ 特性の経時変化にかかわらず駆動トランジスタ23のドレイン23d-ソース23s間を流れる書込電流（書込電流）の電流値に見合うように強制的に設定され、この電圧のレベルに従った大きさの電荷がキャパシタ24にチャージされて、書込電流（書込電流）の電流値が駆動トランジスタ23のゲート23g-ソース23s間の電圧のレベルに変換される。その後の発光期間では、走査線 X_i がローレベルになり、スイッチトランジスタ21及び保持トランジスタ22がオフ状態となるが、オフ状態の保持トランジスタ22によってキャパシタ24の電極24A側の電荷が閉じ込められてフローティング状態になり、駆動トランジスタ23のソース23sの電圧が選択期間から発光期間に移行する際に変調しても、駆動トランジスタ23のゲート23g-ソース23s間の電位差がそのまま維持される。この発光期間では、供給線 Z_i 及びそれに接続された給電配線90の電位が駆動給電電圧 V_H となり、有機EL素子20の対向電極20cの電位 V_{com} より高くなることによって、供給線 Z_i 及びそれに接続された給電配線90から駆動トランジスタ23を介して有機EL素子20に駆動電流が矢印Bの方向に流れ、有機EL素子20が発光する。駆動電流の電流値は駆動トランジスタ23のゲート23g-ソース23s間の電圧に依存するため、発光期間における駆動電流の電流値は、選択期間における書込電流（引抜電流）の電流値に等しくなる。

【0079】

ディスプレイパネル1の別のアクティブマトリクス駆動方法は次のようになる。すなわち、図8に示すように、発振回路によって給電配線90、90、…及び供給線 $Z_1 \sim Z_m$ に対してクロック信号を出力する。また、選択ドライバによって走査線 X_1 から走査線 X_m への順（走査線 X_m の次は走査線 X_1 ）にハイレベルのシフトパルスを順次出力することにより走査線 $X_1 \sim X_m$ を順次選択するが、選択ドライバが走査線 $X_1 \sim X_m$ の何れか1つにシフトパルスを出力している時には発振回路のクロック信号がローレベルになる。また、選択ドライバが各走査線 $X_1 \sim X_m$ を選択している時に、データドライバが書込電流である引抜電流（電流信号）を駆動トランジスタ23のソースドレイン間を介して全信号線 $Y_1 \sim Y_n$ に流す。なお、対向電極20c及び給電配線90の一定のコモン電位 V_{com} （例えば、

接地 = 0 ボルト) に保たれている。

【0080】

走査線 X_i の選択期間においては、 i 行目の走査線 X_i にシフトパルスが出力されているから、スイッチトランジスタ 21 及び保持トランジスタ 22 がオン状態となる。各選択期間において、データドライバ側の電位は、給電配線 90, 90, … 及び供給線 $Z_1 \sim Z_n$ に出力されたクロック信号のローレベル以下で且つこのクロック信号のローレベルはコモン電位 V_{com} 以下に設定されている。したがってこの時、有機 EL 素子 20 から信号線 $Y_1 \sim Y_n$ に流れることはないので図 2 に示すように、データドライバによって階調に応じた電流値の書込電流 (引抜電流) が矢印 A の通り、信号線 $Y_1 \sim Y_n$ に流れ、画素回路 $P_{i,j}$ においては給電配線 90 及び供給線 Z_i から駆動トランジスタ 23 のソースドレイン間、スイッチトランジスタ 21 のソースドレイン間を介して信号線 Y_j に向かった書込電流 (引抜電流) が流れる。このように駆動トランジスタ 23 のソースドレイン間を流れる電流の電流値は、データドライバによって一義的に制御され、データドライバは、外部から入力された階調に応じて書込電流 (引抜電流) の電流値を設定する。書込電流 (引抜電流) が流れている間、 i 行目の $P_{i,1} \sim P_{i,n}$ の各駆動トランジスタ 23 のゲート 23g-ソース 23s 間の電圧は、それぞれ信号線 $Y_1 \sim Y_n$ に流れる書込電流 (引抜電流) の電流値、つまり駆動トランジスタ 23 の $V_{g-I_{ds}}$ 特性の経時変化にかかわらず駆動トランジスタ 23 のドレイン 23d-ソース 23s 間を流れる書込電流 (引抜電流) の電流値に見合うように強制的に設定され、この電圧のレベルに従った大きさの電荷がキャパシタ 24 にチャージされて、書込電流 (引抜電流) の電流値が駆動トランジスタ 23 のゲート 23g-ソース 23s 間の電圧のレベルに変換される。その後の発光期間では、走査線 X_i がローレベルになり、スイッチトランジスタ 21 及び保持トランジスタ 22 がオフ状態となるが、オフ状態の保持トランジスタ 22 によってキャパシタ 24 の電極 24A 側の電荷が閉じ込められてフローティング状態になり、駆動トランジスタ 23 のソース 23s の電圧が選択期間から発光期間に移行する際に変調しても、駆動トランジスタ 23 のゲート 23g-ソース 23s 間の電位差がそのまま維持される。この発光期間のうち、いずれの行の選択期間でもない間、つまり、クロック信号が給電配線 90 及び供給線 Z_i の電位が有機 EL 素子 20 の対向電極 20c 及び給電配線 90 の電位 V_{com} より高いハイレベルの間、より高電位の給電配線 90 及び供給線 Z_i から駆動トランジスタ 23 のソースドレイン間を介して有機 EL 素子 20 に駆動電流が矢印 B の方向に流れ、有機 EL 素子 20 が発光する。駆動電流の電流値は駆動トランジスタ 23 のゲート 23g-ソース 23s 間の電圧に依存するため、発光期間における駆動電流の電流値は、選択期間における書込電流 (引抜電流) の電流値に等しくなる。また発光期間において、いずれかの行の選択期間の間、つまりクロック信号がローレベルである時は、給電配線 90 及び供給線 Z_i の電位が対向電極 20c 及び給電配線 90 の電位 V_{com} 以下であるので、有機 EL 素子 20 に駆動電流は流れず発光しない。

【0081】

何れの駆動方法においても、スイッチトランジスタ 21 は、駆動トランジスタ 23 のソース 23s と信号線 Y との間の電流のオン (選択期間) ・オフ (発光期間) を行うものとして機能する。また、保持トランジスタ 22 は、選択期間に駆動トランジスタ 23 のソース 23s-ドレイン 23d 間に電流が流れることができる状態にし、発光期間に駆動トランジスタ 23 のゲート 23g-ソース 23s 間の電圧を保持するものとして機能する。そして、駆動トランジスタ 23 は、発光期間中に供給線 Z 及び給電配線 90 がハイレベルになった時に、階調に応じた大きさの電流を有機 EL 素子 20 に流して有機 EL 素子 20 を駆動するものとして機能する。

【0082】

以上のように、給電配線 90 を流れる電流の大きさは一列の供給線 Z_i に接続された n 個の有機 EL 素子 20 に流れる駆動電流の大きさの和になるので、VGA 以上の画素数で動画駆動するための選択期間に設定した場合、給電配線 90 の寄生容量が増大してしまい、薄膜トランジスタのゲート電極又はソース、ドレイン電極のような薄膜からなる配線で

は n 個の有機 EL 素子 20 に書込電流（つまり駆動電流）を流すには抵抗が高すぎるが、本実施形態では、画素回路 $P_{1,1} \sim P_{m,n}$ の薄膜トランジスタのゲート電極やソース、ドレイン電極とは異なる導電層によって給電配線 90 を構成しているため給電配線 90 による電圧降下は小さくなり、短い選択期間であっても遅延なく十分に書込電流（引抜電流）を流すことができる。そして、給電配線 90 を厚くすることで給電配線 90 を低抵抗化したので、給電配線 90 の幅を狭くすることができる。そのため、ボトムエミッションの場合、画素開口率の減少を最小限に抑えることができる。

【0083】

同様に、発光期間に共通配線 91 に流れる駆動電流の大きさは、選択期間に給電配線 90 に流れる書込電流（引抜電流）の大きさと同じであるが、共通配線 91 は、画素回路 $P_{1,1} \sim P_{m,n}$ の薄膜トランジスタのゲート電極やソース、ドレイン電極とは異なる導電層を用いているので十分な厚さにすることができるため、共通配線 91 を低抵抗化することができ、さらに対向電極 20c 自体が薄膜化してより高抵抗になっても対向電極 20c の電圧を面内で一様にするすることができる。従って、仮に全ての画素電極 20a に同じ電位を印加した場合でも、どの有機 EL 層 20b の発光強度もほぼ等しくなり、面内の発光強度を一様することができる。

【0084】

また、EL ディスプレイパネル 1 をトップエミッション型として用いた場合、対向電極 20c をより薄膜化することが可能なため、有機 EL 層 20b を発した光が対向電極 20c を透過中に減衰し難くなる。更に、平面視して水平方向に隣り合う画素電極 20a の間に共通配線 91 が設けられているため、画素開口率の減少を最小限に抑えることができる。

【0085】

〔給電配線及び共通配線の幅、断面積及び抵抗率〕

上述した二通りの駆動方法のうち後者の駆動方法でディスプレイパネルを駆動する場合においては、給電配線 90, 90, … は、絶縁基板 2 の一方の周縁に配置された第一の引き回し配線によって互いに導通しているため、外部からのクロック信号により等電位となっている。さらに、第一の引き回し配線は、絶縁基板 2 の両端部においてそれぞれ配線端子と接続している。外部駆動回路から配線端子に印加される電圧はともに等電位のため、すみやかに給電配線 90, 90, … 全体に電流を供給することができる。

【0086】

共通配線 91, 91, … は、絶縁基板 2 の第一の引き回し配線が設けられている周縁とは別の周縁に配置された第二の引き回し配線によって互いに接続され、共通電圧 V_{ss} が印加されている。第二の引き回し配線と第一の引き回し配線は絶縁されている。

【0087】

ここで、ディスプレイパネル 1 の画素数を WXGA (768×1366) としたときに、給電配線 90 及び共通配線 91 の望ましい幅、断面積を定義する。図 9 は、各サブピクセルの駆動トランジスタ 23 及び有機 EL 素子 20 の電流-電圧特性を示すグラフである。

【0088】

図 9 において、縦軸は 1 つの駆動トランジスタ 23 のソース 23s - ドレイン 23d 間を流れる書込電流の電流値又は 1 つの有機 EL 素子 20 のアノード-カソード間を流れる駆動電流の電流値であり、横軸は 1 つの駆動トランジスタ 23 のソース 23s - ドレイン 23d 間の電圧（同時に 1 つの駆動トランジスタ 23 のゲート 23g - ドレイン 23d 間の電圧）である。図中、実線 $I_{ds\ max}$ は、最高輝度階調（最も明るい表示）のときの書込電流及び駆動電流であり、一点鎖線 $I_{ds\ mid}$ は、最高輝度階調と最低輝度階調との間の中間輝度階調のときの書込電流及び駆動電流であり、二点鎖線 V_{po} は駆動トランジスタ 23 の不飽和領域（線形領域）と飽和領域との閾値つまりピンチオフ電圧であり、三点鎖線 V_{ds} は駆動トランジスタ 23 のソース 23s - ドレイン 23d 間を流れる書込電流であり、破線 I_{el} は有機 EL 素子 20 のアノード-カソード間を流れる駆動電流である。

【0089】

ここで電圧VP1は、最高輝度階調時の駆動トランジスタ23のピンチオフ電圧であり、電圧VP2は、駆動トランジスタ23が最高輝度階調の書込電流が流れるときのソースドレイン間電圧であり、電圧VELmax（電圧VP4-電圧VP3）は有機EL素子20が最高輝度階調の書込電流と電流値が等しい最高輝度階調の駆動電流で発光するときのアノード-カソード間の電圧である。電圧VP2'は、駆動トランジスタ23が中間輝度階調の書込電流が流れるときのソースドレイン間電圧であり、電圧（電圧VP4'-電圧VP3'）は有機EL素子20が中間輝度階調の書込電流と電流値が等しい中間輝度階調の駆動電流で発光するときのアノード-カソード間電圧である。

【0090】

駆動トランジスタ23及び有機EL素子20はいずれも飽和領域で駆動させるために、（給電配線90の発光期間時の電圧VH）から（共通配線91の発光期間時の電圧Vcom）を減じた値VXは下記の式（2）を満たす。

【0091】

$$VX = V_{po} + V_{th} + V_m + VEL \quad \dots\dots (2)$$

【0092】

Vth（最高輝度時の場合VP2-VP1に等しい）は駆動トランジスタ23の閾値電圧であり、VEL（最高輝度時の場合VELmaxに等しい）は有機EL素子20のアノード-カソード間電圧であり、Vmは、階調に応じて変位する許容電圧である。

【0093】

図から明らかなように、電圧VXのうち、輝度階調が高くなる程、トランジスタ23のソースドレイン間に要する電圧（Vpo+Vth）が高くなるとともに有機EL素子20のアノード-カソード間に要する電圧VELが高くなる。したがって、許容電圧Vmは、輝度階調が高くなるほど低くなり、最小許容電圧VminはVP3-VP2となる。

【0094】

有機EL素子20は低分子EL材料及び高分子EL材料にかかわらず一般的に経時劣化し、高抵抗化する。10000時間後のアノード-カソード間電圧は初期時の1.4倍～数倍程度になることが確認されている。つまり、電圧VELは、同じ輝度階調時でも時間が経つ程高くなる。このため、駆動初期時の許容電圧Vmが高い程長期間にわたって動作が安定するので、電圧VELが8V以上、より望ましくは13V以上となるように電圧VXを設定している。

【0095】

この許容電圧Vmには、有機EL素子20の高抵抗化ばかりでなく、さらに、給電配線90による電圧降下の分も含まれる。

【0096】

給電配線90の配線抵抗のために電圧降下が大きいとディスプレイパネル1の消費電力が著しく増大してしまうため、給電配線90の電圧降下は1V以下に設定することが特に好ましい。

【0097】

行方向の一つの画素の長さである画素幅Wpと、行方向の画素数（1366）と、画素領域以外における第一の引き回し配線から一方の配線端子までの延長部分と、画素領域以外における第一の引き回し配線から他方の配線端子までの延長部分と、を考慮した結果、ディスプレイパネル1のパネルサイズが32インチ、40インチの場合、第一の引き回し配線の全長はそれぞれ706.7mm、895.2mmとなる。ここで、給電配線90の線幅WL及び共通配線91の線幅WLが広くなると、構造上有機EL層20bの面積が小さくなり、さらに他の配線との重なり寄生容量を発生してさらなる電圧降下をもたらすため、給電配線90の幅WL及び共通配線91の線幅WLはそれぞれ画素幅Wpの5分の1以下に抑えることが望ましい。このようなことを考慮すると、ディスプレイパネル1のパネルサイズが32インチ、40インチの場合、幅WLはそれぞれ34μm以内、44μm以内となる。また給電配線90及び共通配線91の最大膜厚Hmaxはアスペクト比を考慮すると、トランジスタ21～23の最小加工寸法4μmの1.5倍、つまり6μmとなる。し

たがって給電配線90及び共通配線91の最大断面積 S_{max} は32インチ、40インチで、それぞれ $204 \mu m^2$ 、 $264 \mu m^2$ となる。

【0098】

このような32インチのディスプレイパネル1について、最大電流が流れるように全点灯したときの給電配線90及び共通配線91のそれぞれの最大電圧降下を1V以下にするためには図10に示すように、給電配線90及び共通配線91のそれぞれの配線抵抗率 ρ /断面積 S は $4.7 \Omega/cm$ 以下に設定される必要がある。図11に32インチのディスプレイパネル1の給電配線90及び共通配線91のそれぞれの断面積と電流密度の相関関係を表す。なお、上述した給電配線90及び共通配線91の最大断面積 S_{max} 時に許容される抵抗率は、32インチで $9.6 \mu \Omega cm$ 、40インチで $6.4 \mu \Omega cm$ となる。

【0099】

そして、40インチのディスプレイパネル1について、最大電流が流れるように全点灯したときの給電配線90及び共通配線91のそれぞれの最大電圧降下を1V以下にするためには図12に示すように、給電配線90及び共通配線91のそれぞれの配線抵抗率 ρ /断面積 S は $2.4 \Omega/cm$ 以下に設定される必要がある。図13に40インチのディスプレイパネル1の給電配線90及び共通配線91のそれぞれの断面積と電流密度の相関関係を表す。

【0100】

給電配線90及び共通配線91の故障により動作しなくなる故障寿命MTFは、下記の式(3)を満たす。

【0101】

$$MTF = A \exp(E_a / K_b T) / \rho J^2 \dots (3)$$

【0102】

E_a は活性化エネルギー、 $K_b T = 8.617 \times 10^{-5} eV$ 、 ρ は給電配線90及び共通配線91の抵抗率、 J は電流密度である。

【0103】

給電配線90及び共通配線91の故障寿命MTFは抵抗率の増大やエレクトロマイグレーションに律速する。給電配線90及び共通配線91をA1系(A1単体或いはA1TiやA1Nd等の合金)に設定し、MTFが10000時間、85℃の動作温度で試算すると、電流密度 J は $2.1 \times 10^4 A/cm^2$ 以下にする必要がある。同様に給電配線90及び共通配線91をCuに設定すると、 $2.8 \times 10^6 A/cm^2$ 以下にする必要がある。なおA1合金内のA1以外の材料はA1よりも低い抵抗率であることを前提としている。

これらのことを考慮して、32インチのディスプレイパネル1では、全点灯状態で10000時間に給電配線90及び共通配線91が故障しないようなA1系の給電配線90及び共通配線91のそれぞれの断面積 S は、図11から、 $57 \mu m^2$ 以上必要になり、同様にCuの給電配線90及び共通配線91のそれぞれの断面積 S は、図11から、 $0.43 \mu m^2$ 以上必要になる。

【0104】

そして40インチのディスプレイパネル1では、全点灯状態で10000時間に給電配線90及び共通配線91が故障しないようなA1系の給電配線90及び共通配線91のそれぞれの断面積 S は、図13から、 $92 \mu m^2$ 以上必要になり、同様にCuの給電配線90及び共通配線91のそれぞれの断面積 S は、図13から、 $0.69 \mu m^2$ 以上必要になる。

【0105】

A1系の給電配線90及び共通配線91では、A1系の抵抗率が $4.00 \mu \Omega cm$ とすると、32インチのディスプレイパネル1では上述のように配線抵抗率 ρ /断面積 S が $4.7 \Omega/cm$ 以下なので、最小断面積 S_{min} は $85.1 \mu m^2$ となる。このとき上述のように給電配線90及び共通配線91の配線幅 WL は $34 \mu m$ 以内なので給電配線90及び共通配線91の最小膜厚 H_{min} は $2.50 \mu m$ となる。

【0106】

またA1系の給電配線90及び共通配線91の40インチのディスプレイパネル1では上述のように配線抵抗率 ρ /断面積Sが $2.4\Omega/\text{cm}$ 以下なので、最小断面積 S_{min} は $167\mu\text{m}^2$ となる。このとき上述のように給電配線90及び共通配線91の配線幅WLは $44\mu\text{m}$ 以内なので給電配線90及び共通配線91の最小膜厚 H_{min} は $3.80\mu\text{m}$ となる。

【0107】

Cuの給電配線90及び共通配線91では、Cuの抵抗率が $2.10\mu\Omega\text{cm}$ とすると、32インチのディスプレイパネル1では上述のように配線抵抗率 ρ /断面積Sが $4.7\Omega/\text{cm}$ 以下なので、最小断面積 S_{min} は $44.7\mu\text{m}^2$ となる。このとき上述のように給電配線90及び共通配線91の配線幅WLは $34\mu\text{m}$ 以内なので給電配線90及び共通配線91の最小膜厚 H_{min} は $1.31\mu\text{m}$ となる。

【0108】

またCuの給電配線90及び共通配線91の40インチのディスプレイパネル1では上述のように配線抵抗率 ρ /断面積Sが $2.4\Omega/\text{cm}$ 以下なので、最小断面積 S_{min} は $87.5\mu\text{m}^2$ となる。このとき上述のように給電配線90及び共通配線91の配線幅WLは $44\mu\text{m}$ 以内なので給電配線90及び共通配線91の最小膜厚 H_{min} は $1.99\mu\text{m}$ となる。

【0109】

以上のことから、ディスプレイパネル1を正常且つ消費電力を低く動作させるには、給電配線90及び共通配線91での電圧降下を1V以下にした方が好ましく、このような条件にするには、給電配線90及び共通配線91がA1系の32インチのパネルでは、膜厚Hが $2.50\mu\text{m}\sim 6\mu\text{m}$ 、幅WLが $14.1\mu\text{m}\sim 34.0\mu\text{m}$ 、抵抗率が $4.0\mu\Omega\text{cm}\sim 9.6\mu\Omega\text{cm}$ となり、給電配線90及び共通配線91がA1系の40インチのパネルでは、給電配線90及び共通配線91がA1系の場合、膜厚Hが $3.80\mu\text{m}\sim 6\mu\text{m}$ 、幅WLが $27.8\mu\text{m}\sim 44.0\mu\text{m}$ 、抵抗率が $4.0\mu\Omega\text{cm}\sim 9.6\mu\Omega\text{cm}$ となる。

【0110】

総じてA1系の給電配線90及び共通配線91の場合、膜厚Hが $2.50\mu\text{m}\sim 6\mu\text{m}$ 、幅WLが $14.1\mu\text{m}\sim 44\mu\text{m}$ 、抵抗率が $4.0\mu\Omega\text{cm}\sim 9.6\mu\Omega\text{cm}$ となる。同様に、給電配線90及び共通配線91がCuの32インチのパネルでは、膜厚Hが $1.31\mu\text{m}\sim 6\mu\text{m}$ 、幅WLが $7.45\mu\text{m}\sim 34\mu\text{m}$ 、抵抗率が $2.1\mu\Omega\text{cm}\sim 9.6\mu\Omega\text{cm}$ となり、給電配線90及び共通配線91がCuの40インチのパネルでは、給電配線90及び共通配線91がCu系の場合、膜厚Hが $1.99\mu\text{m}\sim 6\mu\text{m}$ 、幅WLが $14.6\mu\text{m}\sim 44.0\mu\text{m}$ 、抵抗率が $2.1\mu\Omega\text{cm}\sim 9.6\mu\Omega\text{cm}$ となる。

【0111】

総じてCuの給電配線90及び共通配線91の場合、膜厚Hが $1.31\mu\text{m}\sim 6\mu\text{m}$ 、幅WLが $7.45\mu\text{m}\sim 44\mu\text{m}$ 、抵抗率が $2.1\mu\Omega\text{cm}\sim 9.6\mu\Omega\text{cm}$ となる。したがって、給電配線90及び共通配線91としてA1系材料又はCuを適用した場合、ディスプレイパネル1の給電配線90及び共通配線91は、膜厚Hが $1.31\mu\text{m}\sim 6\mu\text{m}$ 、幅WLが $7.45\mu\text{m}\sim 44\mu\text{m}$ 、抵抗率が $2.1\mu\Omega\text{cm}\sim 9.6\mu\Omega\text{cm}$ となる。

【0112】

以上のように、水平方向の赤サブピクセルPrの列と緑サブピクセルPgの列との間において凸設された共通配線91がトランジスタ21~23の電極とは別層で形成されているから、共通配線91を厚膜にすることができ、共通配線91を低抵抗化することができる。そして、低抵抗な共通配線91が対向電極20cに導通しているから、対向電極20c自体が薄膜化してより高抵抗になっても対向電極20cの電圧を面内で一様にする事ができる。従って、仮に全てのサブピクセル電極20aに同じ電位を印加した場合でも、どの有機EL層20bの発光強度もほぼ等しくなり、面内の発光強度を一様することができる。

【0113】

また、ディスプレイパネル1をトップエミッション型として用いた場合、対向電極20cをより薄膜化することが可能なので、有機EL層20bを発した光が対向電極20cを透過中に減衰し難くなる。更に、平面視して垂直方向に隣り合うサブピクセル電極20aの間に共通配線91が設けられているため、画素開口率の減少を最小限に抑えることができる。

【0114】

また、水平方向の緑サブピクセルPgの列と青サブピクセルPbの列との間において凸設された選択配線89がトランジスタ21~23の電極とは別層で形成されているから、選択配線89を厚膜にすることができ、選択配線89を低抵抗化することができる。低抵抗な選択配線89が薄膜の走査線Xに積層されているから、走査線Xの電圧降下を抑えることができ、更には走査線X及び選択配線89の信号遅延を抑えることができる。即ち、水平方向のサブピクセルPの列に着目した場合、シフトパルスがどのサブピクセルPでも遅延せずに同時にハイレベルになる。

【0115】

更に、選択配線89を厚くすることで選択配線89を低抵抗化したので、選択配線89の幅を狭くすることができる。そのため、画素開口率の減少を最小限に抑えることができる。

【0116】

また、水平方向の青サブピクセルPbの列と赤サブピクセルPrの列との間において凸設された給電配線90がトランジスタ21~23の電極とは別層で形成されているから、給電配線90を厚膜にすることができ、給電配線90を低抵抗化することができる。低抵抗な給電配線90が薄膜の供給線Zに積層されているから、供給線Zの電圧降下を抑えることができ、更には供給線Z及び給電配線90の信号遅延を抑えることができる。例えば、仮に給電配線90がない場合にディスプレイパネル1を大画面化したときには、供給線Zの電圧降下によって面内の発光強度のムラが発生したり、発光しない有機EL素子20が存在したりするおそれがある。しかしながら、本実施形態では、低抵抗な給電配線90が供給線Zに導通しているから、面内の発光強度のムラを抑えることができ、更に発光しない有機EL素子20をなくすことができる。

【0117】

更に、給電配線90を厚くすることで給電配線90を低抵抗化したので、給電配線90の幅を狭くすることができる。そのため、画素開口率の減少を最小限に抑えることができる。

【0118】

また、凸設された選択配線89、給電配線90及び共通配線91が厚く設けられているから、有機EL層20bを湿式塗布法によって色ごとに塗り分けることができる。そのため、サブピクセルPの間を仕切るバンクを別途設ける必要がなくなり、ディスプレイパネル1を簡単に製造することができる。

【0119】

〔変形例1〕

なお、本発明は、上記実施の形態に限定されることなく、本発明の趣旨を逸脱しない範囲において、種々の改良並びに設計の変更を行っても良い。

【0120】

上記実施形態では、トランジスタ21~23がNチャネル型の電界効果トランジスタとして説明を行った。トランジスタ21~23がPチャネル型の電界効果トランジスタであっても良い。その場合、図2の回路構成では、トランジスタ21~23のソース21s, 22s, 23sとトランジスタ21~23のドレイン21d, 22d, 23dの関係が逆になる。例えば、駆動トランジスタ23がPチャネル型の電界効果トランジスタの場合には、駆動トランジスタ23のドレイン23dが有機EL素子20のサブピクセル電極20aに導通し、ソース23sが供給線Zに導通する。

【0121】

〔変形例 2〕

また、上記実施形態では、1ドットのサブピクセルPにつき3つのトランジスタ21～23が設けられているが、1ドットのサブピクセルPにつき1又は複数のトランジスタが設けられ、これらトランジスタを用いてアクティブ駆動することができるディスプレイパネルであれば、トランジスタの数や電流駆動、電圧駆動の制限なく本発明を適用することができる。

【0122】

〔変形例 3〕

また、上記実施形態では、水平方向の緑サブピクセルPgの行と青サブピクセルPbの行との間において選択配線89が凸設されているが、共通配線91と同様の共通配線が凸設されていても良い。その場合、共通配線の下には溝35が設けられておらず、共通配線が走査線Xに対して絶縁され、撥液性導電層55と同様の撥液性導電層がその共通配線の表面にコーティングされ、その共通配線が対向電極20cに導通している。

【0123】

〔変形例 4〕

また、上記実施形態では、信号線Yがゲートレイヤーからパターンニングされたものであるが、信号線Yがドレインレイヤーからパターンニングされたものでも良い。この場合、走査線X及び供給線Zがゲートレイヤーからパターンニングされたものとなり、信号線Yが走査線X及び供給線Zよりも上層になる。

【0124】

〔変形例 5〕

また、上記実施形態では、共通配線91は垂直方向に隣り合う赤サブピクセルPrと緑サブピクセルPgの間に配置され、走査線X及び選択配線89は垂直方向に隣り合う緑サブピクセルPgと青サブピクセルPbとの間に配置され、供給線Z及び給電配線90は青サブピクセルPbと隣の画素3の赤サブピクセルPrとの間に配置されているが、赤サブピクセルPrと緑サブピクセルPgの間に走査線X及び選択配線89、或いは供給線Z及び給電配線90を配置してもよく、緑サブピクセルPgと青サブピクセルPbとの間に共通配線91、或いは供給線Z及び給電配線90を配置してもよく、青サブピクセルPbと隣の画素3の赤サブピクセルPrとの間に共通配線91、或いは走査線X及び選択配線89を配置してもよい。つまり、上記実施形態では、供給線Z及び給電配線90、走査線X及び選択配線89、走査線X及び選択配線89の順に繰り返し配列したが、必ずしもこの順に配列しなくてもよい。

【0125】

〔変形例 5〕

また、上記実施形態では、行毎に、赤サブピクセルPrの有機EL層20b、緑サブピクセルPgの有機EL層20b、青サブピクセルPbの有機EL層20bの順に繰り返し配列したが、必ずしもこの順に配列しなくてもよい。

また上記変形例を複数組み合わせてもよい。

【図面の簡単な説明】

【0126】

【図1】ディスプレイパネル1の4ピクセルの画素3を示した平面図である。

【図2】ディスプレイパネル1のサブピクセルPの等価回路図である。

【図3】赤サブピクセルPrの電極を示した平面図である。

【図4】緑サブピクセルPgの電極を示した平面図である。

【図5】青サブピクセルPbの電極を示した平面図である。

【図6】図3～図5に示された面IV-IVの矢視断面図である。

【図7】ディスプレイパネル1の駆動方法を説明するためのタイミングチャートである。

【図8】ディスプレイパネル1の別の駆動方法を説明するためのタイミングチャート

である。

【図 9】 各サブピクセルの駆動トランジスタ 23 及び有機 EL 素子 20 の電流-電圧特性を示すグラフである。

【図 10】 32 インチのディスプレイパネル 1 の給電配線 90 及び共通配線 91 のそれぞれの最大電圧降下と配線抵抗率 ρ / 断面積 S の相関を示すグラフである。

【図 11】 32 インチのディスプレイパネル 1 の給電配線 90 及び共通配線 91 のそれぞれの断面積と電流密度の相関を示すグラフである。

【図 12】 40 インチのディスプレイパネル 1 の給電配線 90 及び共通配線 91 のそれぞれの最大電圧降下と配線抵抗率 ρ / 断面積 S の相関を示すグラフである。

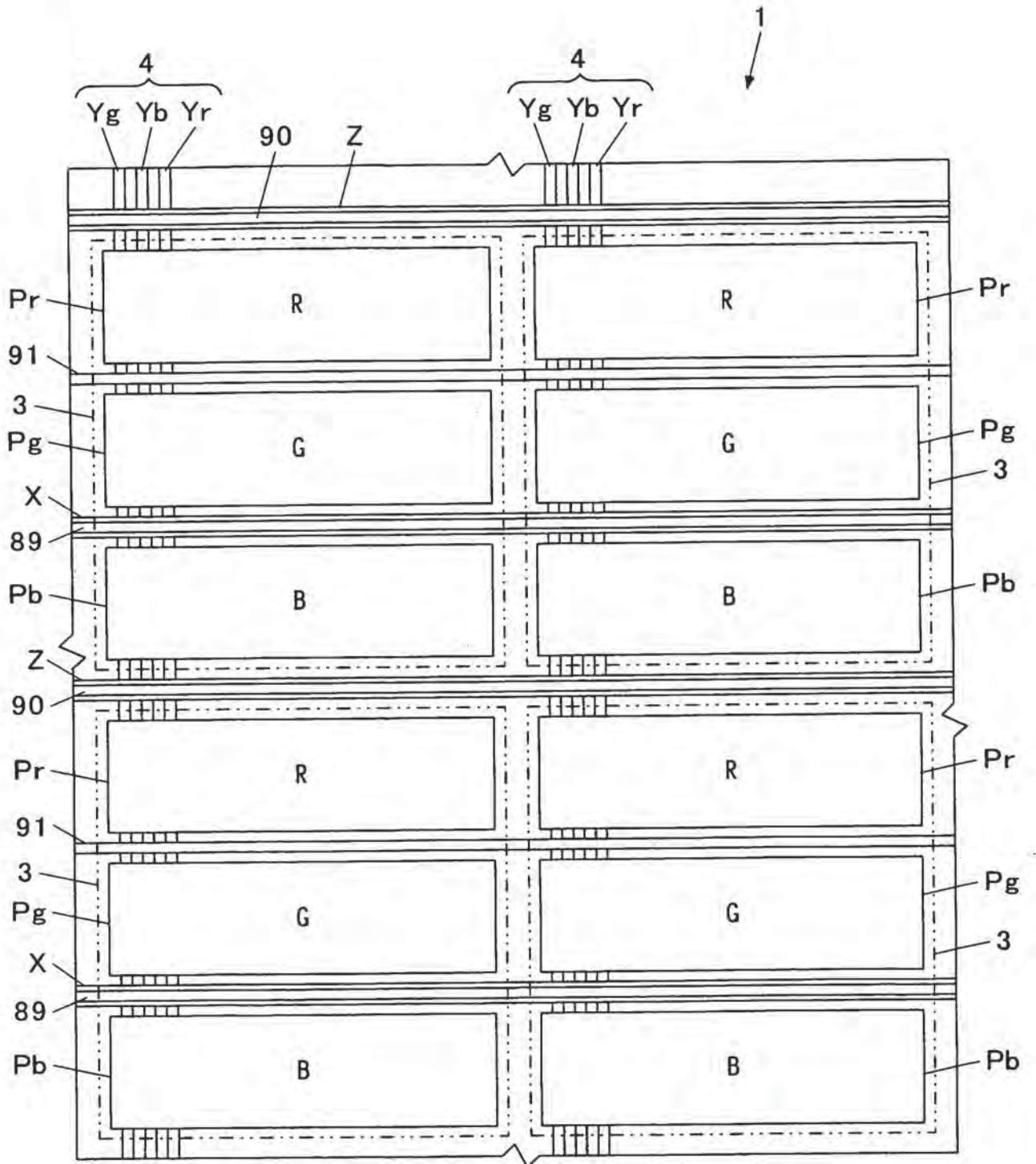
【図 13】 40 インチのディスプレイパネル 1 の給電配線 90 及び共通配線 91 のそれぞれの断面積と電流密度の相関を示すグラフである。

【符号の説明】

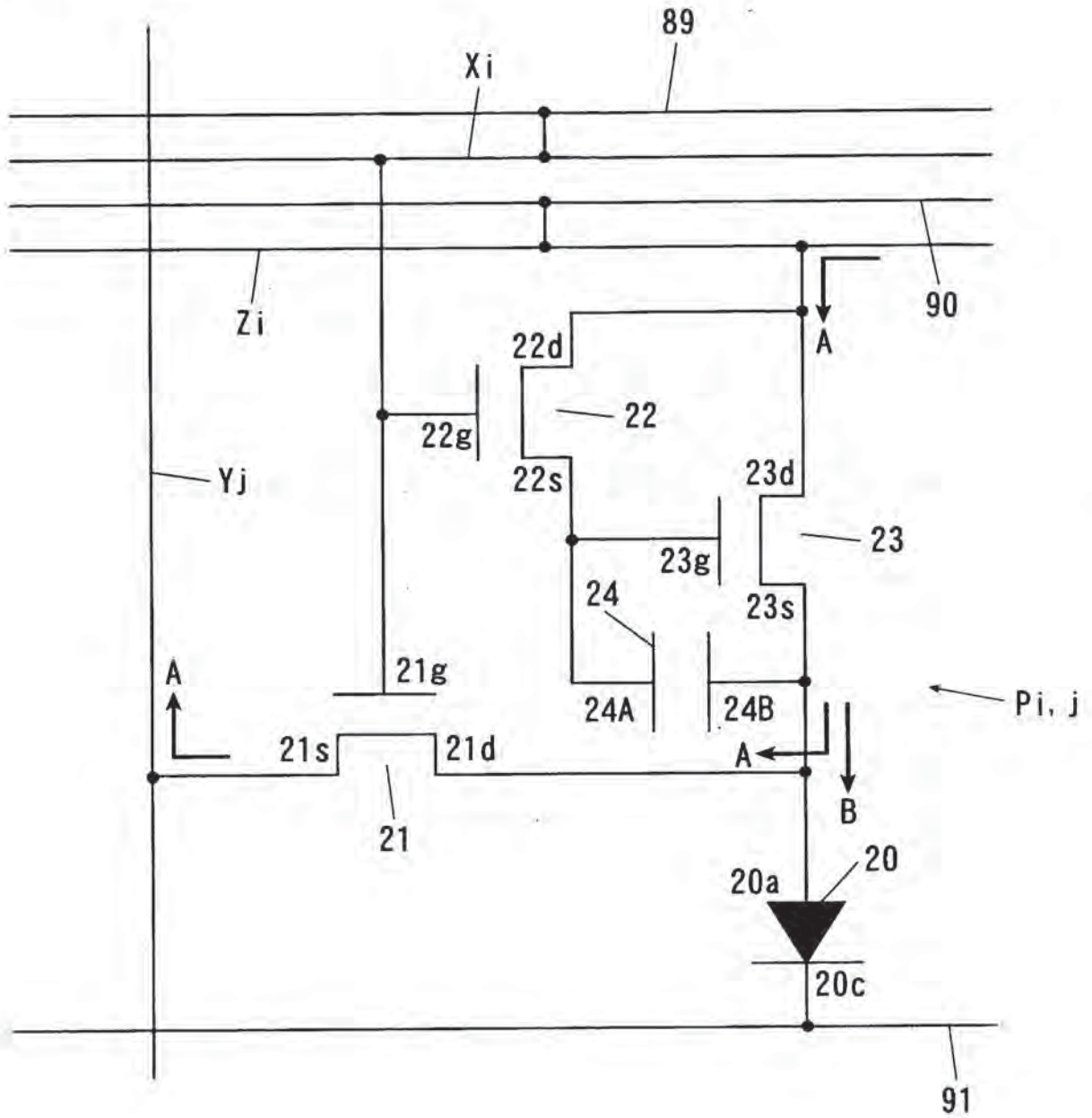
【0127】

- 1 ディスプレイパネル
- 20 a サブピクセル電極
- 20 b 有機 EL 層
- 20 c 対向電極
- 21 スイッチトランジスタ
- 22 保持トランジスタ
- 23 駆動トランジスタ
- 21 d、22 d、23 d ドレイン
- 21 s、22 s、23 s ソース
- 21 g、22 g、23 g ゲート
- 31 ゲート絶縁膜
- 50 トランジスタアレイ基板
- 53 疎水絶縁膜
- 54 疎水絶縁膜
- 55 撥液性導電層
- 89 選択配線
- 90 給電配線
- 91 共通配線
- P サブピクセル

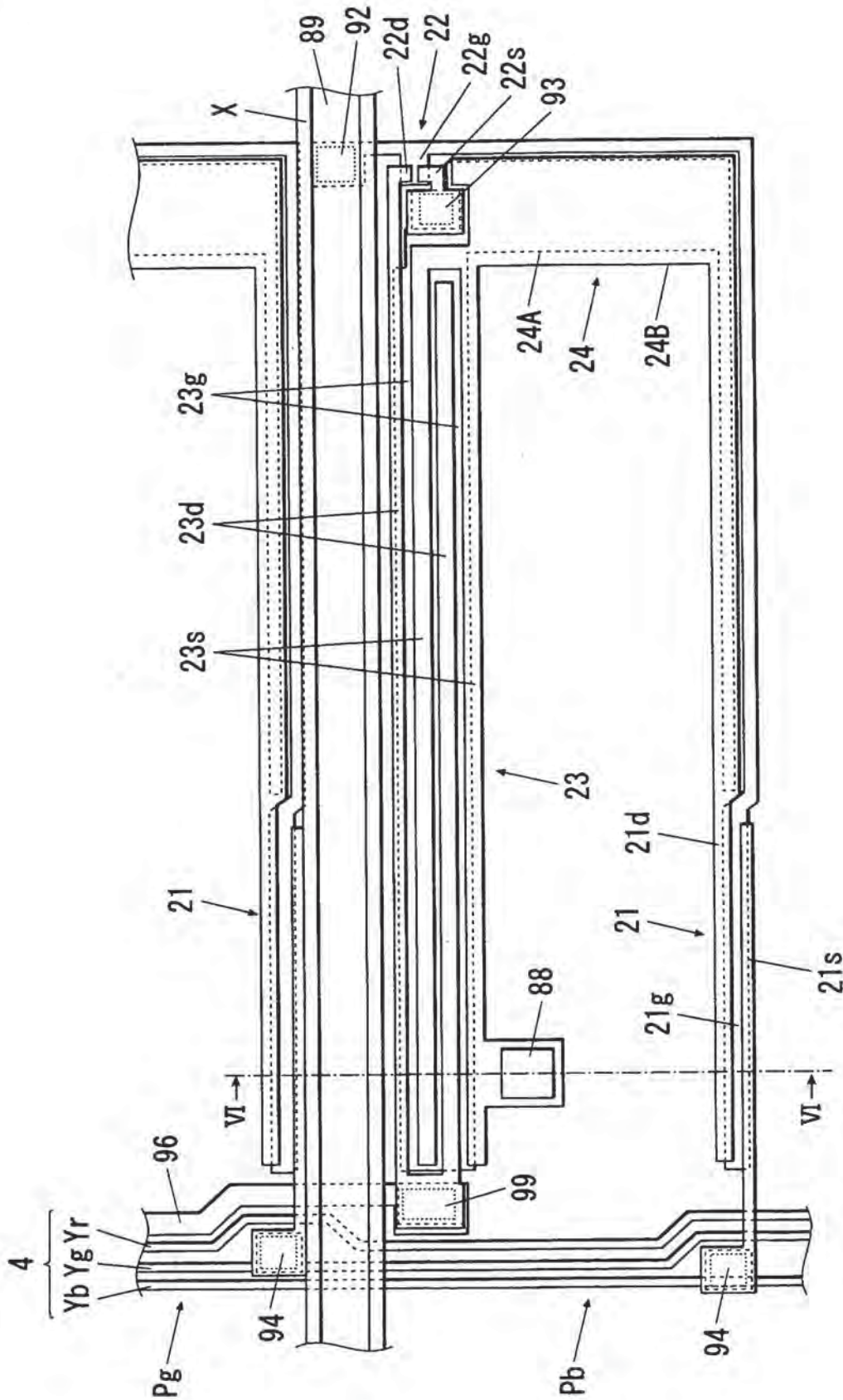
【書類名】 図面
【図 1】



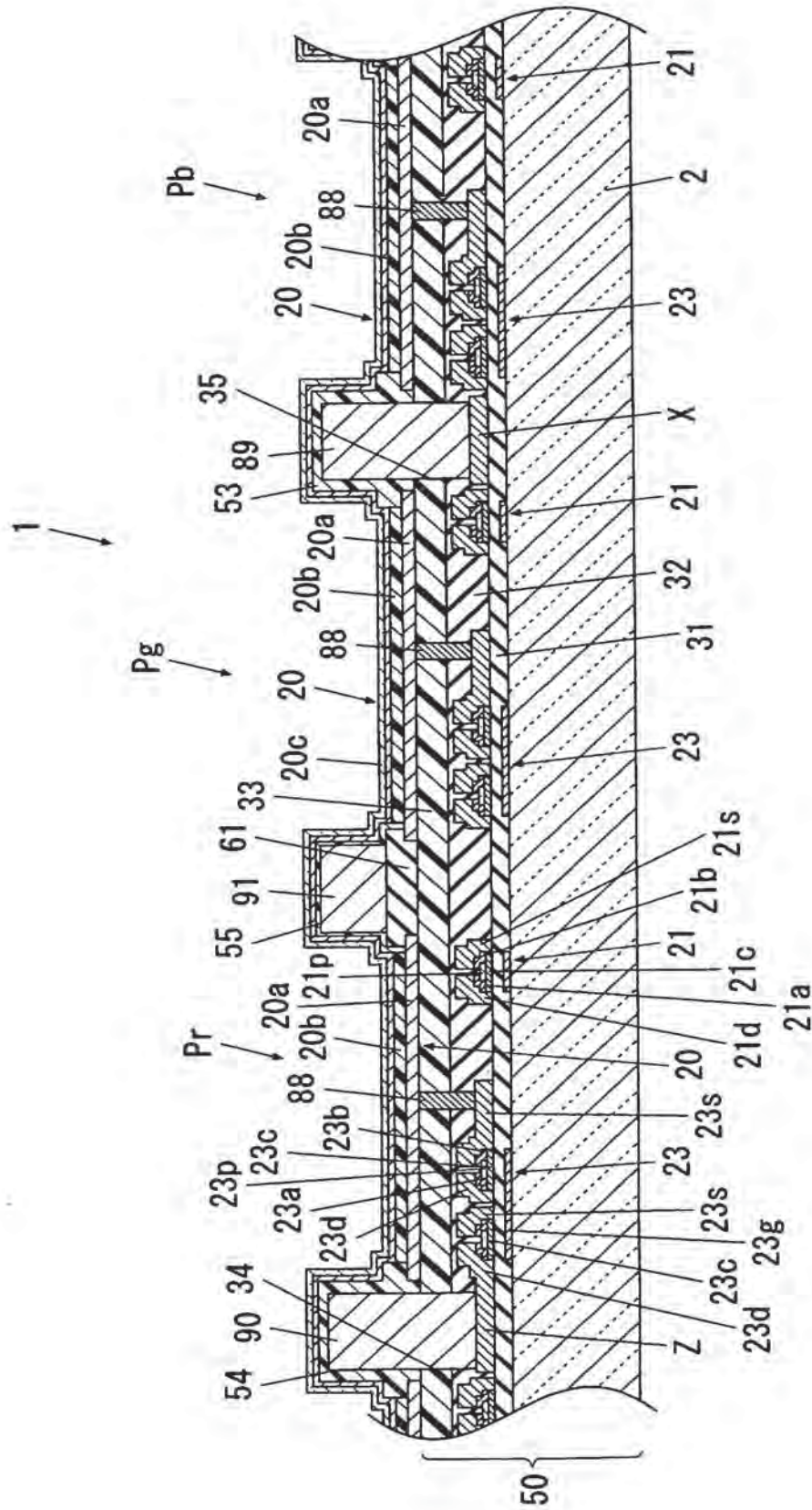
【図 2】



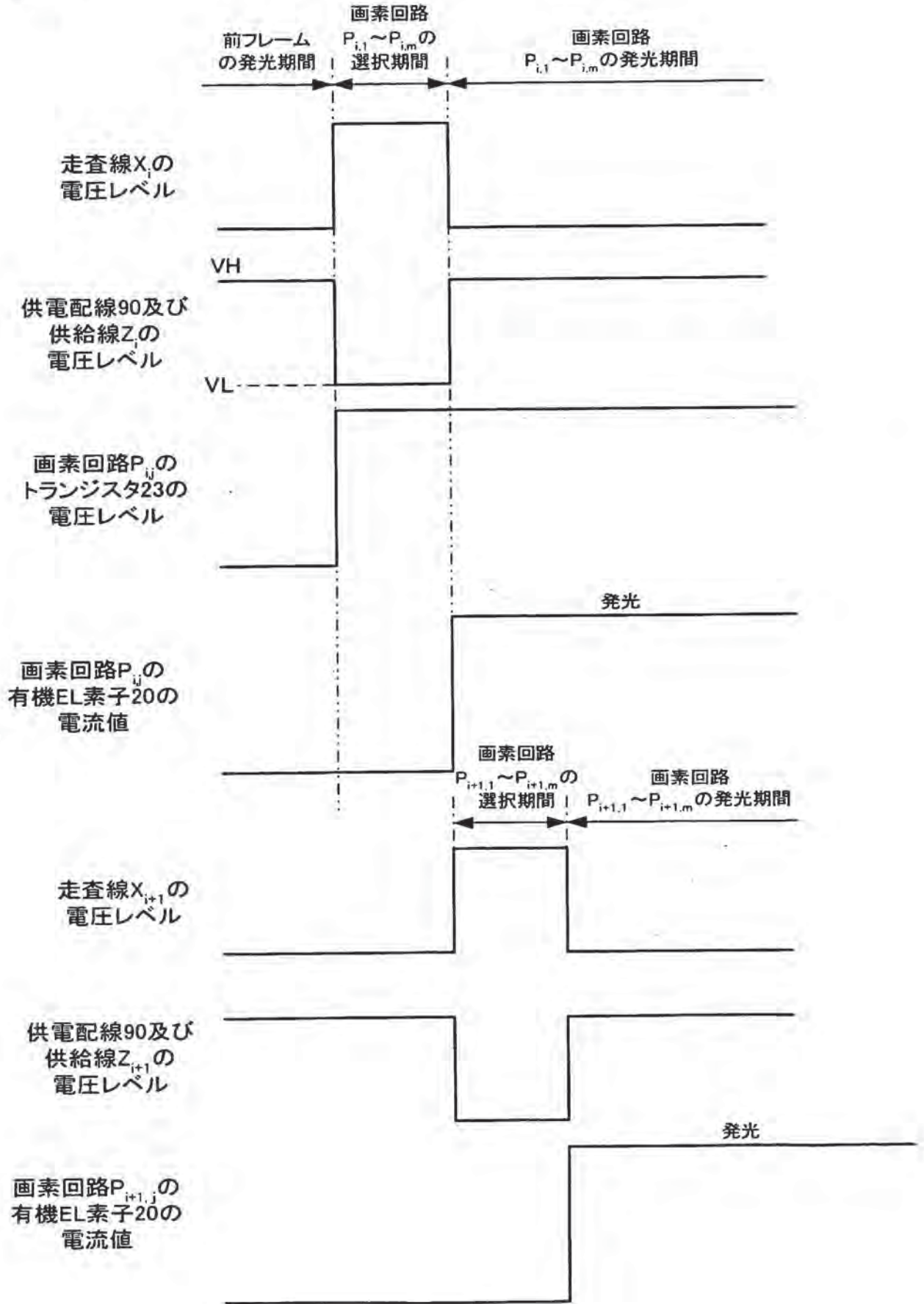
【図 5】



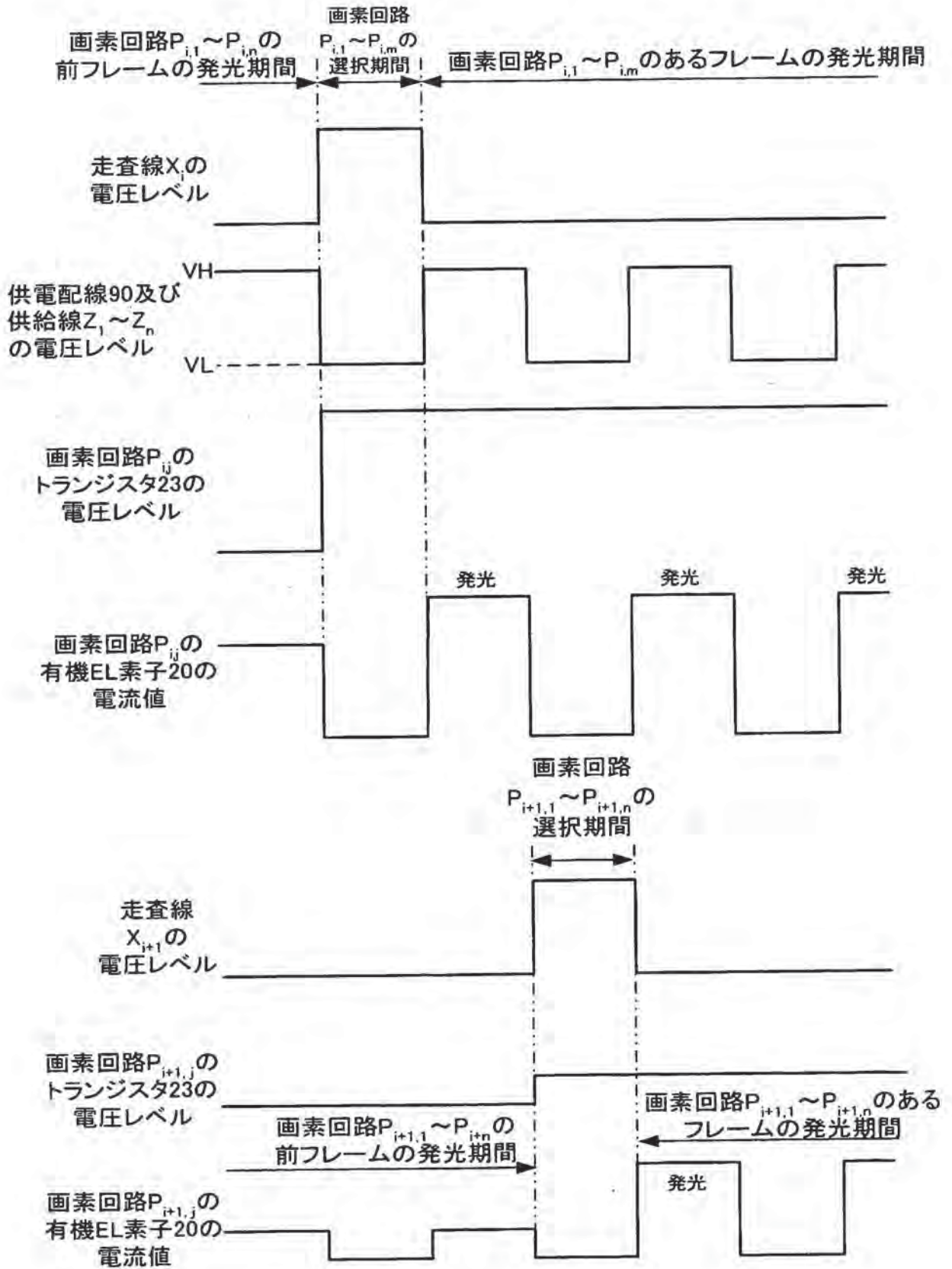
【図 6】



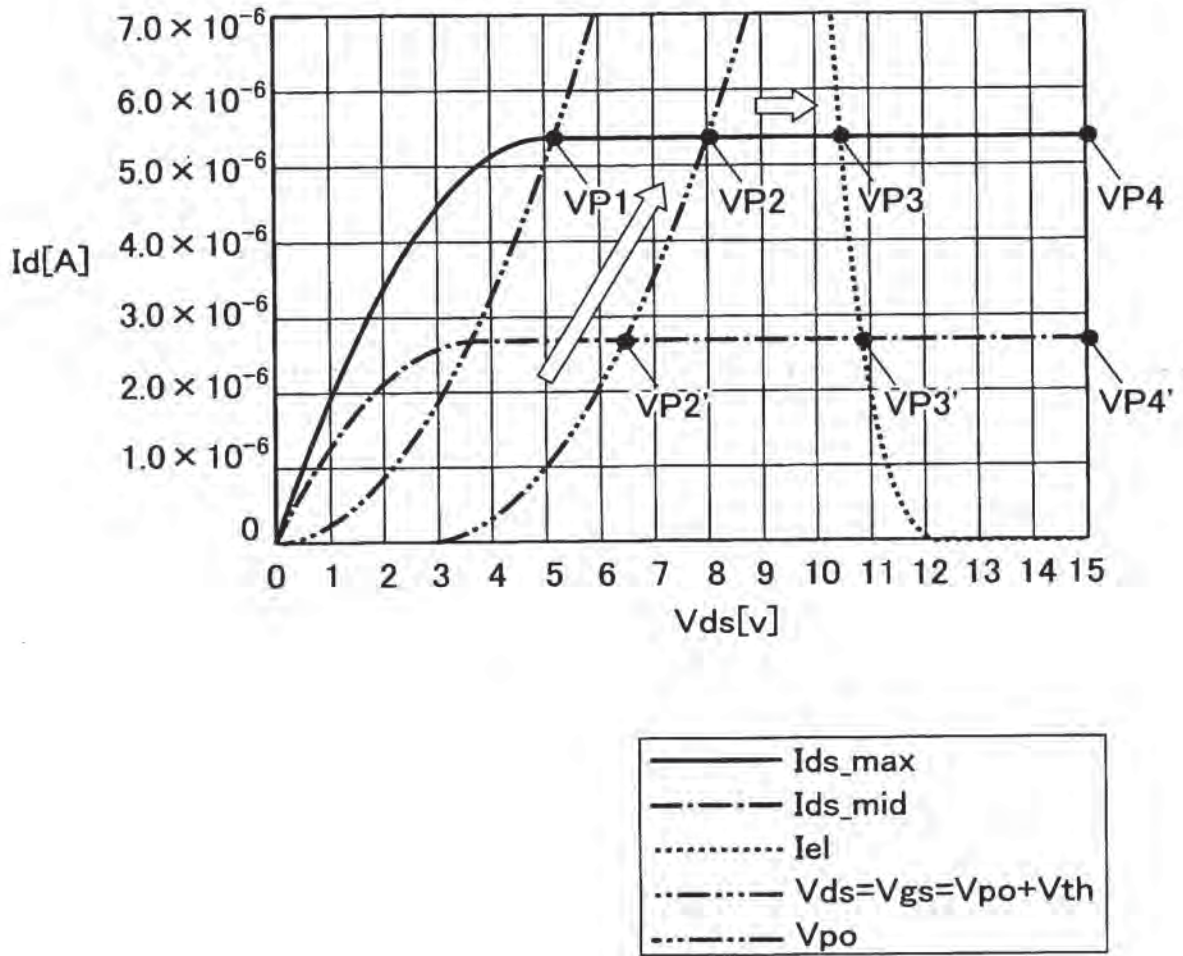
【図7】



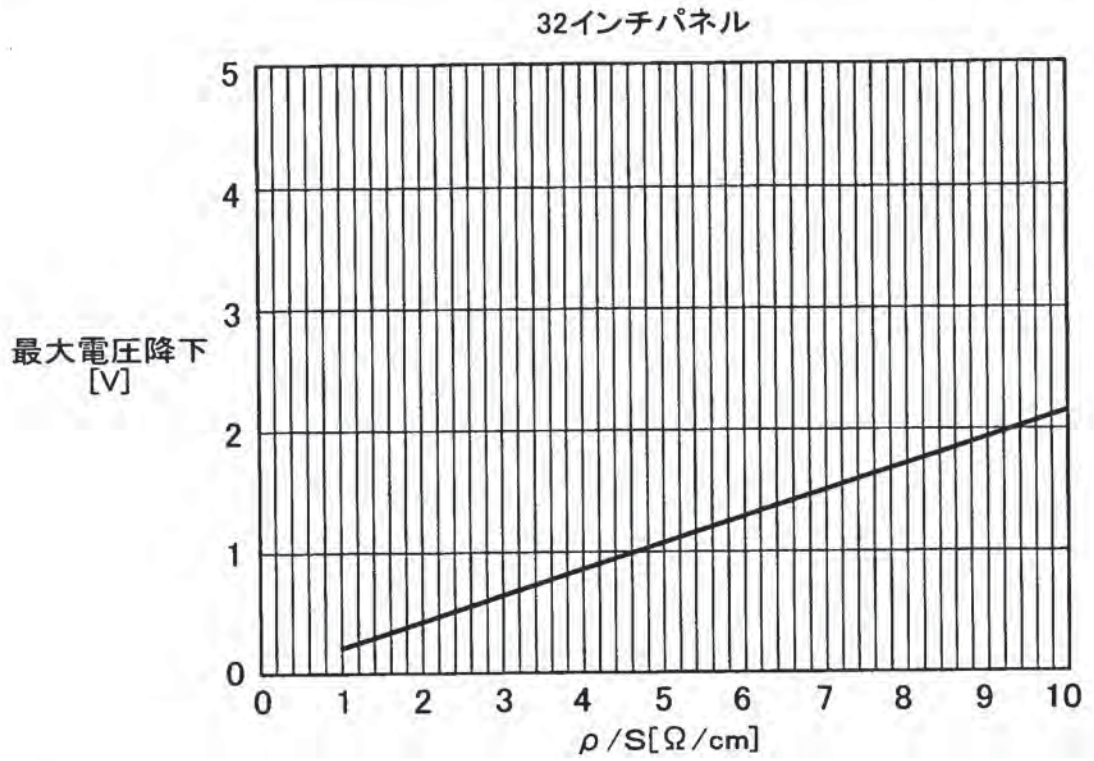
【図8】



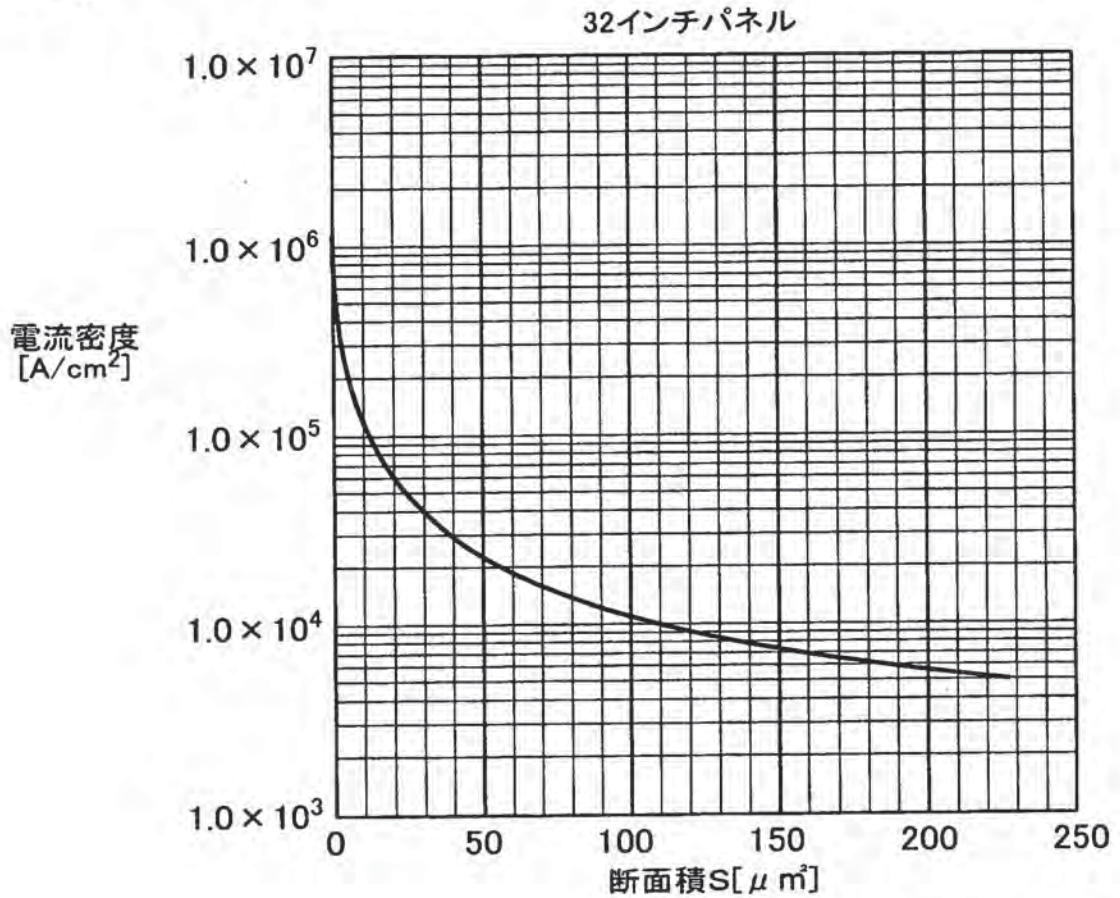
【図 9】



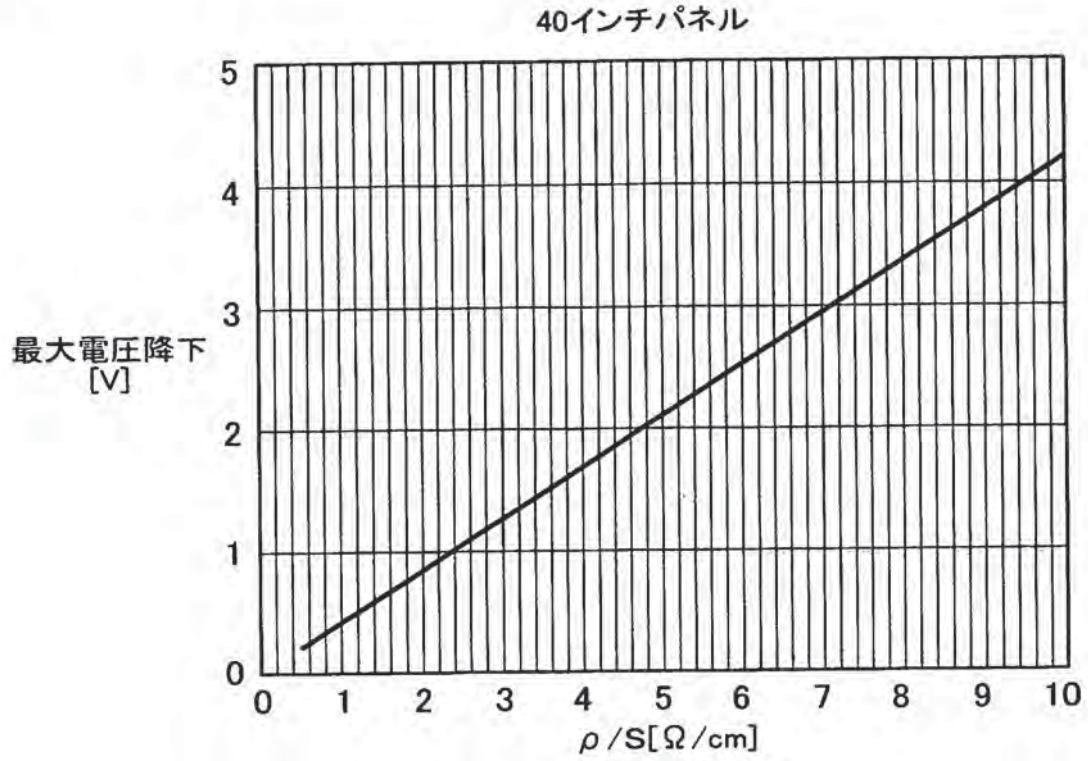
【図10】



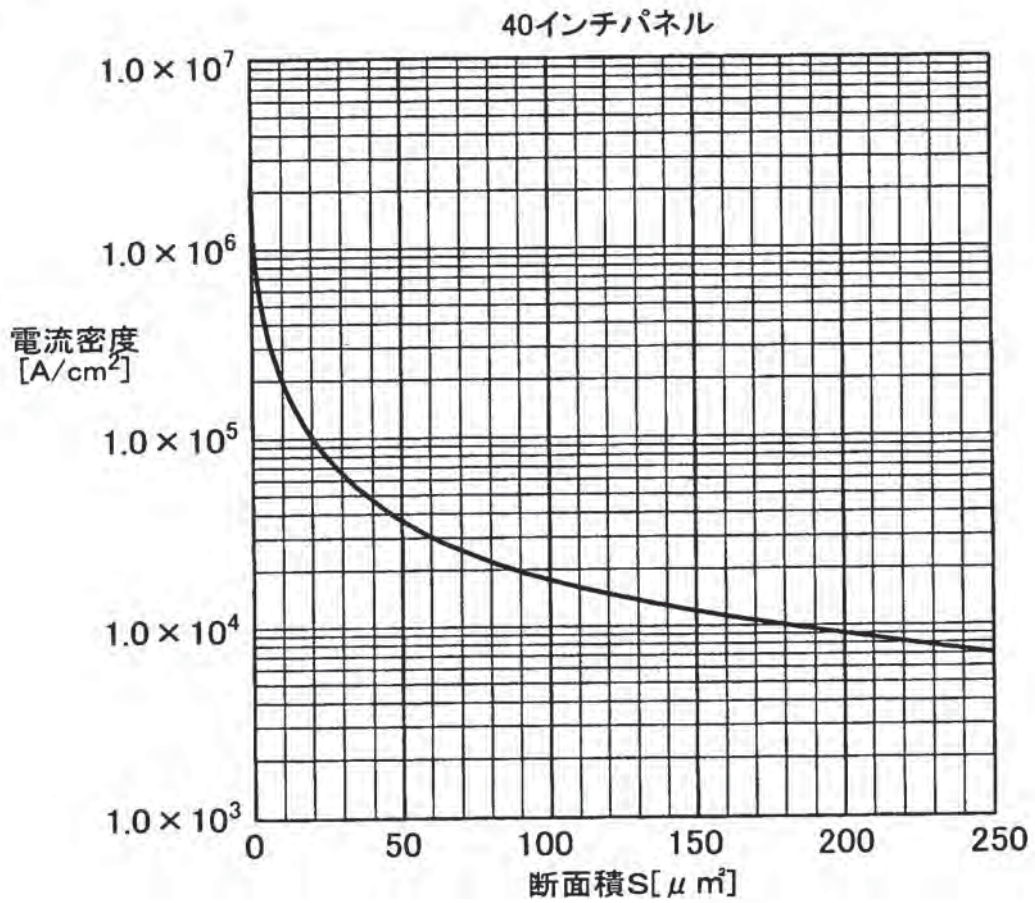
【図11】



【図 12】



【図 13】



【書類名】 要約書**【要約】**

【課題】 電圧降下を抑えること。

【解決手段】 ディスプレイパネル 1 は、1 ドットのサブピクセル P につきトランジスタ 21～23 及びキャパシタ 24 が設けられたトランジスタアレイ基板 50 を具備する。トランジスタ 21～23 のドレイン・ソースとともにパターンニングされた走査線 X 及び供給線 Z には選択配線 89 及び給電配線 90 がそれぞれ積層され、選択配線 89 及び給電配線 90 がトランジスタアレイ基板 50 の表面から凸設されている。トランジスタアレイ基板 50 の表面にはサブピクセル電極 20a がマトリクス状に配列され、サブピクセル電極 20a に有機 EL 層 20b が積層され、有機 EL 層 20b に対向電極 20c が積層されている。選択配線 89 及び給電配線 90 の厚みによって、有機 EL 層 20b を湿式塗布法により塗り分けることができる。

【選択図】 図 1

特願 2004-283824

出願人履歴情報

識別番号

[000001443]

1. 変更年月日

1998年 1月 9日

[変更理由]

住所変更

住所

東京都渋谷区本町1丁目6番2号

氏名

カシオ計算機株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT OR DRAWING
- BLURRED OR ILLEGIBLE TEXT OR DRAWING
- SKEWED/SLANTED IMAGES
- COLOR OR BLACK AND WHITE PHOTOGRAPHS
- GRAY SCALE DOCUMENTS
- LINES OR MARKS ON ORIGINAL DOCUMENT
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

MULTIPLE DEPENDENT CLAIM
FEE CALCULATION SHEET

SERIAL NO.

FILING DATE

APPLICANT(S)

CLAIMS

	AS FILED		AFTER 1ST AMENDMENT		AFTER 2ND AMENDMENT								
	IND	DEP	IND	DEP	IND	DEP							IND
1							51						
2							52						
3							53						
4							54						
5							55						
6							56						
7							57						
8							58						
9		8					59						
10							60						
11							61						
12							62						
13							63						
14							64						
15							65						
16							66						
17							67						
18							68						
19							69						
20							70						
21							71						
22							72						
23							73						
24							74						
25							75						
26							76						
27							77						
28							78						
29							79						
30							80						
31							81						
32							82						
33							83						
34							84						
35							85						
36							86						
37							87						
38							88						
39							89						
40							90						
41							91						
42							92						
43							93						
44							94						
45							95						
46							96						
47							97						
48							98						
49							99						
50							100						
TOTAL IND.	26						TOTAL IND.						
TOTAL DEP.	8						TOTAL DEP.						
TOTAL CLAIMS	34						TOTAL CLAIMS						