

JP2004258172

Publication Title:

DISPLAY DEVICE AND DRIVING METHOD FOR DISPLAY DEVICE

Abstract:

Abstract of JP2004258172

PROBLEM TO BE SOLVED: To deter delay due to parasitic capacity, in a display device and a driving method for the same.

SOLUTION: In the display device, with respect to respective pixels P_{1.1} to P_{m.n} of an organic EL display panel 2, a potential V_{HIGH} which is relatively high in level as usual is applied to power source scanning lines Z₁ to Z_n in a selection period T_{SE} and a potential V_{LOW} which is relatively small in level to make the drain-source voltage level V_{DS} of a transistor 23 an unsaturable region is applied to power source scanning lines Z₁ to Z_n in a nonselection period T_{NSE}. With this potential V_{LOW}, the drain-source current level I_{DS} of the transistor 23 becomes tens of nA to several [μ]A, or very small.

COPYRIGHT: (C)2004,JPO&NCIPI ea6

Data supplied from the esp@cenet database - Worldwide

Courtesy of <http://v3.espacenet.com>

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-258172

(P2004-258172A)

(43) 公開日 平成16年9月16日(2004.9.16)

(51) Int.Cl.⁷

G09G 3/30

G09G 3/20

H05B 33/14

F I

G09G 3/30

G09G 3/20

G09G 3/20

G09G 3/20

G09G 3/20

テーマコード(参考)

3K007

5C080

審査請求 未請求 請求項の数 10 O L (全 17 頁) 最終頁に続く

(21) 出願番号 特願2003-47190(P2003-47190)

(22) 出願日 平成15年2月25日(2003.2.25)

(71) 出願人 000001443

カシオ計算機株式会社

東京都渋谷区本町1丁目6番2号

(74) 代理人 100090033

弁理士 荒船 博司

(74) 代理人 100093045

弁理士 荒船 良男

(72) 発明者 白崎 友之

東京都八王子市石川町2951番地5カ

シオ計算機株式会社八王子研究所内

Fターム(参考) 3K007 AB03 AB17 AB18 BA06 DB03

GA00 GA04

5C080 AA06 BB05 DD05 DD08 DD23

DD26 DD28 EE19 EE29 FF03

FF11 GG15 GG17 HH09 JJ02

JJ03 JJ04 JJ05 JJ06

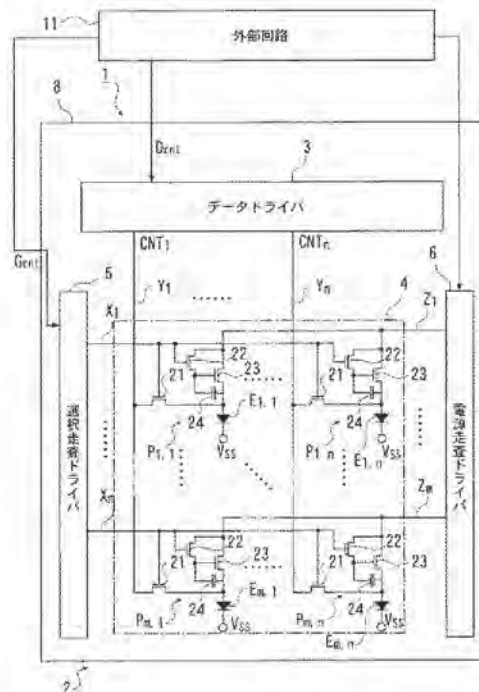
(54) 【発明の名称】 表示装置及び表示装置の駆動方法

(57) 【要約】

【課題】表示装置および当該表示装置の駆動方法に対し、寄生容量による遅延を抑制することである。

【解決手段】有機EL表示パネル2の各画素P_{1,1}～P_{m,n}に対し、選択期間T_{SE}中に、従来と同様の比較的高レベルの電位V_{HIGH}が電源走査線Z₁～Z_nに印加され、非選択期間T_{NSE}中に、トランジスタ23のドレイン-ソース間電圧レベルV_{DS}が不飽和領域となるような比較的小レベルの電位V_{LOW}が電源走査線Z₁～Z_nに印加される。この電位V_{LOW}により、トランジスタ23のドレイン-ソース間電流レベルI_{DS}は数十nA～数μA程度の微小レベルとなる。

【選択図】 図1



【特許請求の範囲】**【請求項1】**

複数の画素回路を備え、当該画素回路毎に設けられた発光素子を所定の輝度階調電流で発光させることにより表示を行う表示装置において、

選択期間に、前記輝度階調電流より大きい第一電流を前記画素回路を介して信号線に流すことにより前記発光素子の輝度階調レベルを前記画素回路に記憶させるための輝度階調指定手段と、

前記選択期間に、前記輝度階調指定手段が前記画素回路を介して前記信号線に前記第一電流を流すために前記画素回路に第一電圧を出力し、非選択期間に、前記画素回路に前記第一電圧と異なる電位の第二電圧を出力することにより、前記画素回路に記憶された輝度階調レベルに基づいた前記画素回路の出力する電流を変調させることで前記画素回路に前記輝度階調電流を流す電流値切換電圧出力手段と、

を備えることを特徴とする表示装置。

【請求項2】

前記画素回路は、

制御端子及び電流路を有し、当該電流路の一端が前記電流値切換電圧出力手段に接続されており、当該電流路の他端が前記発光素子に接続されている第一スイッチング素子と、

制御端子及び電流路を有し、当該電流路の一端が前記電流値切換電圧出力手段に接続されており、当該電流路の他端が前記第一スイッチング素子の前記制御端子に接続されている第二スイッチング素子と、

制御端子及び電流路を有し、当該電流路の一端が前記第一スイッチング素子の前記電流路の他端に接続されている第三スイッチング素子と、

を備えることを特徴とする請求項1に記載の表示装置。

【請求項3】

前記電流値切換電圧出力手段は、前記選択期間に、前記第一スイッチング素子の前記電流路を流れる前記第一電流が飽和電流となるように、前記第一スイッチング素子の前記電流路の一端に前記第一電圧を出力することを特徴とする請求項2に記載の表示装置。

【請求項4】

前記電流値切換電圧出力手段は、前記非選択期間に、前記第一スイッチング素子の前記電流路を流れる前記輝度階調電流が不飽和電流となるように、前記第一スイッチング素子の前記電流路の一端に前記第二電圧を出力することを特徴とする請求項2又は請求項3に記載の表示装置。

【請求項5】

前記輝度階調指定手段は、前記第三スイッチング素子の前記電流路の他端に接続されることを特徴とする請求項2～4のいずれか一項に記載の表示装置。

【請求項6】

前記第二スイッチング素子の前記制御端子及び前記第三スイッチング素子の前記制御端子に選択信号を出力する選択走査手段を備えることを特徴とする請求項2～5のいずれか一項に記載の表示装置。

【請求項7】

前記画素回路は、

制御端子及び電流路を有し、当該電流路の一端が前記電流値切換電圧出力手段に接続されており、当該電流路の他端が前記発光素子に接続されている第一スイッチング素子と、

制御端子及び電流路を有し、当該電流路の一端が前記選択走査手段に接続されており、当該電流路の他端が前記第一スイッチング素子の前記制御端子に接続されている第二スイッチング素子と、

制御端子及び電流路を有し、当該電流路の一端が前記第一スイッチング素子の前記電流路の他端に接続されている第三スイッチング素子と、

を備えることを特徴とする請求項6に記載の表示装置。

【請求項8】

複数の画素回路を備え、当該画素回路毎に設けられた発光素子を所定の輝度階調電流で発光させることにより表示を行う表示装置の駆動方法において、
選択期間に、前記画素回路に第一電圧を出力することにより前記輝度階調電流より大きい第一電流を前記画素回路を介して信号線に流すとともに前記第一電流の電流値にしたがった前記発光素子の輝度階調レベルを前記画素回路に記憶させるステップと、
非選択期間に、前記画素回路に前記第一電圧と異なる電位の第二電圧を出力することにより、前記画素回路に記憶された輝度階調レベルに基づいた前記画素回路の出力する電流を変調させることで前記画素回路に前記輝度階調電流を流すステップと、
を含むことを特徴とする表示装置の駆動方法。

【請求項9】

前記画素回路は、
制御端子及び電流路を有し、当該電流路の一端に前記第一電圧及び前記第二電圧が選択的に入力され、当該電流路の他端が前記発光素子に接続されている第一スイッチング素子と、
制御端子及び電流路を有し、前記選択期間に当該電流路の一端に前記第一電圧が出力され、当該電流路の他端が前記第一スイッチング素子の前記制御端子に接続されている第二スイッチング素子と、
制御端子及び電流路を有し、当該電流路の一端が前記第一スイッチング素子の前記電流路の他端に接続されている第三スイッチング素子と、
を備えることを特徴とする請求項8に記載の表示装置の駆動方法。

【請求項10】

前記画素回路は、
制御端子及び電流路を有し、当該電流路の一端に前記第一電圧及び前記第二電圧が選択的に入力され、当該電流路の他端が前記発光素子に接続されている第一スイッチング素子と、
制御端子及び電流路を有し、前記選択期間に当該電流路の一端及び当該制御端子に選択走査信号が出力され、当該電流路の他端が前記第一スイッチング素子の前記制御端子に接続されている第二スイッチング素子と、
制御端子及び電流路を有し、当該電流路の一端が前記第一スイッチング素子の前記電流路の他端に接続されている第三スイッチング素子と、
を備えることを特徴とする請求項8に記載の表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、発光素子が画素毎に形成された表示パネルを具備する表示装置と、当該表示装置の駆動方法に関する。

【0002】

【従来の技術】

従来、有機EL（エレクトロルミネッセンス）、無機EL又はLED（発光ダイオード）等といった発光素子がマトリクス状に配列されて、各発光素子が発光することによって表示を行う発光素子型表示装置が知られている。特に、アクティブマトリクス駆動方式の発光素子型表示装置は、高輝度、高コントラスト、高精細、低電力、薄型、視野角等の優位性を持っており、特に有機EL素子が注目されている。

【0003】

このような表示装置では、互いに平行に配列された複数の走査線が、透光性を有する基板上に形成され、これら走査線に対して直行するように配列された複数の信号線も基板上に形成されている。

【0004】

走査線及び信号線に囲まれる領域には、複数のトランジスタ（TFTなど。）が形成されており、更に、この領域に一つの発光素子（有機EL素子）が形成されている。

【0005】

近年、有機EL素子の発光効率・色特性が著しく向上し、発光輝度が電流密度に対してほぼ比例した特性を示すため、所定の規格に基づいて高階調の有機EL表示装置の設計が可能である。この規格によると、有機EL素子が発光するのに必要な電流値は階調レベルあたりせいぜい数十nA（ナノアンペア）～数μA（マイクロアンペア）程度である。有機EL素子は画素数の増大にしたがって駆動周波数を高くしなければならないが、有機EL素子に流れる階調電流がこのような微小電流の場合、表示装置パネル内の寄生容量により時定数が増大するので所望の発光輝度に見合った電流値を有機EL素子に流すのに時間がかかってしまうために高速動作ができず、特に動画のような表示においては画質が著しく悪くなってしまうといった問題があった。最近、このような困難が回避可能な有機EL表示装置が考案されている（例えば、特許文献1参照。）。

【0006】

特許文献1に記載の有機EL表示装置は、一画素の等価回路として図7に示す電流ミラー付等価回路102を具備し、信号線704を流れる信号電流は、電流ミラーを構成するトランジスタ705、706のサイズ比に応じて設定されるため有機EL素子の発光に必要な電流値よりも大きく設定されてある。

【0007】

詳細に説明すると、電流ミラー付等価回路102は、有機EL素子701とトランジスタ702、705、706、707、コンデンサ709などが、画素毎に設けられている。また、電流ミラー付等価回路102は、それぞれの行の第一走査線703を順次選択する第一走査ドライバ（図示略。）と、それぞれの行の第二走査線708を順次選択する第二走査ドライバ（図示略。）とを具備し、リセット信号が第二走査ドライバにより第二走査線708に入力され、リセット信号よりも遅延した選択信号が第一走査ドライバにより第一走査線703に入力される。

【0008】

ここでは、リセット信号が第二走査ドライバにより第二走査線708に入力されてトランジスタ707がオン状態になり、トランジスタ706、705のゲート電圧が一旦リセットされる。そして、リセット信号の終了前に選択信号が第一走査ドライバにより第一走査線703に入力中に、階調電流がデータドライバにより信号線704に流れると、トランジスタ706にもこの階調電流が流れる。

【0009】

この際、階調電流のレベルがトランジスタ706によりゲート電圧のレベルに変換され、当該変換されたゲート電圧レベルがトランジスタ705により駆動電流のレベルに変換される。これにより、有機EL素子701に駆動電流が流れ、有機EL素子701が駆動電流のレベルに応じた輝度で発光する。

【0010】

そして、第二走査線708に入力中のリセット信号が終了すると、トランジスタ707がオフ状態になり、これにより、トランジスタ705及びトランジスタ707のゲート電極が保持され、次のリセット信号が第二走査線708に入力されるまでの間、有機EL素子701が発光し続ける。

【0011】

【特許文献1】

特開2001-147659号公報

【0012】

【発明が解決しようとする課題】

しかしながら、上記特許文献1に記載の電流ミラー付等価回路102には、以下のような問題点がある。

電流ミラー付等価回路102は二つの走査ドライバを必要とする。そのため、電流ミラー付等価回路102は、製造コストが高く、走査ドライバの実装面積も増える。

また、電流ミラー付等価回路102では、画素ごとに五つのトランジスタが設けられてい

るため、電力消費や製造コストが高くなると共に、歩留りの低下が生じる可能性がある。

【0013】

本発明が解決しようとする課題は、電力消費量が少なく、製造コストが安く、さらに、歩留りの高い表示装置及び当該表示装置の駆動方法を提供することである。

【0014】

【課題を解決するための手段】

本発明は、このような課題を解決するために、次のような特徴を備えている。なお、次に示す手段の説明中、括弧書きにより実施の形態に対応する構成を一例として示す。符号等は、後述する図面参照符号等である。

【0015】

請求項1に記載の発明は、複数の画素回路（例えば、画素回路 $D_{1,1} \sim D_{m,n}$ 。）を備え、当該画素回路毎に設けられた発光素子（例えば、有機EL素子 $E_{1,1} \sim E_{m,n}$ 。）を所定の輝度階調電流で発光させることにより表示を行う表示装置（例えば、有機EL表示装置1.）において、

選択期間に、前記輝度階調電流より大きい第一電流を前記画素回路を介して信号線に流すことにより前記発光素子の輝度階調レベルを前記画素回路に記憶させるための輝度階調指定手段（例えば、データドライバ3.）と、

前記選択期間に、前記輝度階調指定手段が前記画素回路を介して前記信号線に前記第一電流を流すために前記画素回路に第一電圧（例えば、電位 V_{HIGH} 。）を出力し、非選択期間に、前記画素回路に前記第一電圧と異なる電位の第二電圧（例えば、電位 V_{LOW} 。）を出力することにより、前記画素回路に記憶された輝度階調レベルに基づいた前記画素回路の出力する電流を変調させることで前記画素回路に前記輝度階調電流を流す電流値切換電圧出力手段（例えば、電源走査ドライバ6.）と、

を備えることを特徴とする。

【0016】

また、請求項2に記載の発明は、複数の画素回路（例えば、画素回路 $D_{1,1} \sim D_{m,n}$ 。）を備え、当該画素回路毎に設けられた発光素子（例えば、有機EL素子 $E_{1,1} \sim E_{m,n}$ 。）を所定の輝度階調電流で発光させることにより表示を行う表示装置（例えば、有機EL表示装置1.）の駆動方法において、

選択期間に、前記画素回路に第一電圧（例えば、電位 V_{HIGH} 。）を出力することにより前記輝度階調電流より大きい第一電流を前記画素回路を介して信号線に流すとともに前記第一電流の電流値にしたがった前記発光素子の輝度階調レベルを前記画素回路に記憶させるステップと、

非選択期間に、前記画素回路に前記第一電圧と異なる電位の第二電圧（例えば、電位 V_{LOW} 。）を出力することにより、前記画素回路に記憶された輝度階調レベルに基づいた前記画素回路の出力する電流を変調させることで前記画素回路に前記輝度階調電流を流すステップと、

を含むことを特徴とする。

【0017】

従って、表示装置の構成を複雑化することなく、発光素子が発光するために十分なレベル（例えば、数十nA～数 μ A程度の微小レベル。）の発光信号（電流）を発光素子に供給可能となるので、消費電力の削減が図られると共に、製造コストが安く、歩留りの高い表示装置および当該表示装置の駆動方法が提供できる。

【0018】

【発明の実施の形態】

以下、図面を参照して本発明を適用した一実施の形態について説明する。

【0019】

図1に、本発明を適用した有機EL表示装置1の内部構成を示す。図1に示すように、有機EL表示装置1は、有機EL表示パネル2と、外部回路11からクロック信号CK1や輝度階調信号SCを含む制御信号群 D_{CNT} が入力されるデータドライバ3と、外部回路

11からクロック信号CK2を含む制御信号群 G_{CNT} が入力される選択走査ドライバ5と、電源走査ドライバ6とを基本構成として備える。

【0020】

有機EL表示パネル2は、画像を実質的に表示する表示部4が透明基板8に設けられて構成される。表示部4の周囲に選択走査ドライバ5、データドライバ3および電源走査ドライバ6が形成されている。

【0021】

ここで、有機EL表示パネル2は、表示部4内の有機EL素子 $E_{1,1} \sim E_{m,n}$ の特性にしたがった所定の規格に基づいて設計されたものとする。例えば、フルカラー有機EL表示パネル2の有機EL素子 $E_{1,1} \sim E_{m,n}$ において、一画素の発光面積が $0.001 \sim 0.01 \text{ mm}^2$ と設定し、R、G、Bの各最大輝度の平均を 400 cd/cm^2 とし、この時の電流密度が $10 \sim 150 \text{ A/cm}^2$ であるとすると、一階調当たりの電流変位はせいぜい数 μA 程度〜数 μA 程度の微小レベルの電流となる。

【0022】

表示部4は、 $(m \times n)$ 個の画素 $P_{1,1} \sim P_{m,n}$ が透明基板8上にマトリクス状に設けられている。すなわち、縦方向(列方向)に m 個の画素 $P_{i,j}$ が配列され、横方向(行方向)に n 個の画素 $P_{i,j}$ が配列されている。ここで、 m 、 n は自然数であり、 i は1以上 m 以下の自然数であり、 j は1以上 n 以下の自然数であり、縦に i 番目(つまり、 i 行目)であって横に j 番目(つまり、 j 列目)の画素を画素 $P_{i,j}$ と記す。

【0023】

表示部4は、 m 本の選択走査線 $X_1 \sim X_m$ と、 m 本の電源走査線 $Z_1 \sim Z_m$ と、 n 本の信号線 $Y_1 \sim Y_n$ とが互いに絶縁されるように透明基板8上に形成されている。

【0024】

選択走査線 $X_1 \sim X_m$ は、互いに平行に横方向に延在し、電源走査線 $Z_1 \sim Z_m$ は選択走査線 $X_1 \sim X_m$ に対し交互に配列されている。

【0025】

信号線 $Y_1 \sim Y_n$ は、互いに平行に縦方向に延在し、選択走査線 $X_1 \sim X_m$ に対し垂直に交差している。選択走査線 $X_1 \sim X_m$ 、電源走査線 $Z_1 \sim Z_m$ および信号線 $Y_1 \sim Y_n$ は層間絶縁膜等により互いに絶縁されている。

【0026】

また、データドライバ3、選択走査ドライバ5および電源走査ドライバ6は、透明基板8上に直接設けられていても良いし、透明基板8の周辺に配された基板(図示略)上に設けられても良いが、本実施形態では選択走査ドライバ5および電源走査ドライバ6が透明基板8上における表示部4の互いに対向する二辺の外側に配置されている。そして選択走査線 $X_1 \sim X_m$ は選択走査ドライバ5の各出力端子に接続されており、電源走査線 $Z_1 \sim Z_m$ は電源走査ドライバ6の各出力端子に接続されている。

【0027】

また、選択走査線 X_i ($1 \leq i \leq m$) および電源走査線 Z_j には横方向に配列された n 個の画素 $P_{i,1} \sim P_{i,n}$ が接続され、信号線 Y_j ($1 \leq j \leq n$) には縦方向に配列された m 個の画素 $P_{1,j} \sim P_{m,j}$ が接続され、選択走査線 X_i と信号線 Y_j との交差部には画素 $P_{i,j}$ が配置されている。

【0028】

次に、図2、図3を参照して画素 $P_{i,j}$ を説明する。図2は画素 $P_{i,j}$ を概略的に示す平面図であり、図3は画素 $P_{i,j}$ 、 $P_{i+1,j}$ 、 $P_{i,j+1}$ 、 $P_{i+1,j+1}$ に対応する等価回路を示す図である。なお、後述するトランジスタ21、22、23のゲート絶縁膜並びに有機EL素子の上側電極(本実施形態におけるカソード電極に相当)は図示を省略している。

【0029】

画素 $P_{i,j}$ は、駆動電流のレベルに応じた輝度で発光する有機EL素子 $E_{i,j}$ と、有機EL素子 $E_{i,j}$ の周辺に設けられた画素回路 $D_{i,j}$ とにより構成される。

【0030】

有機EL素子 $E_{i,j}$ は、透明基板S上にアノード51、有機EL層52、カソード（図示略）が順に積層された積層構造を有する。

【0031】

アノード51は画素 $P_{1,1} \sim P_{m,n}$ 毎にパターンニングされており、信号線 $Y_1 \sim Y_n$ と選択走査線 $X_1 \sim X_m$ とにより囲繞された各囲繞領域に形成されている。信号線 $Y_1 \sim Y_n$ と選択走査線 $X_1 \sim X_m$ との交差部には、トランジスタ21、22、23のパターンニングされた各半導体層21c、22c、23cと同一の層がパターンニングしてなる層と、トランジスタ21、22、23のゲート絶縁膜と、が積層されている。そして、信号線 $Y_1 \sim Y_n$ と選択走査線 $X_1 \sim X_m$ との各交差部には、後述するトランジスタ21、22、23のパターンニングされた各半導体層21c、22c、23cと同一の層がパターンニングしてなる層28と、トランジスタ21、22、23のゲート絶縁膜と、が積層されている。同様に、信号線 $Y_1 \sim Y_n$ と電源走査線 $Z_1 \sim Z_m$ との各交差部には、トランジスタ21、22、23のパターンニングされた各半導体層21c、22c、23cと同一の層29がパターンニングしてなる層と、トランジスタ21、22、23のゲート絶縁膜と、が積層されている。

【0032】

アノード51は、導電性を有するとともに、可視光に対し透過性を有する。また、アノード51は、比較的仕事関数の高く、正孔を有機EL層52へ効率よく注入するものが好ましい。アノード51としては、例えば、錫ドーパ酸化インジウム（ITO）、亜鉛ドーパ酸化インジウム（IZO）、酸化インジウム（ In_2O_3 ）、酸化スズ（ SnO_2 ）または酸化亜鉛（ZnO）を主成分としたものがある。

【0033】

各々のアノード51上には有機化合物を含む有機EL層52が成膜され、有機EL層52も画素 $P_{i,j}$ 毎にパターンニングされている。有機EL層52は、例えば、アノード51から順に正孔輸送層、狭義の発光層、電子輸送層が積層された三層構造であっても良いし、アノード51から順に正孔輸送層、狭義の発光層が積層された二層構造であっても良いし、狭義の発光層のみによる一層構造であっても良いし、これらの層構造において適切な層間に電子あるいは正孔の注入層が介在した積層構造であっても良いし、その他の積層構造であっても良い。

【0034】

有機EL層52は、正孔および電子を注入する機能、正孔および電子を輸送する機能、正孔と電子との再結合により励起子を生成して赤色、緑色または青色の何れかに発光する機能を有する広義の発光層である。つまり、画素 $P_{i,j}$ が赤の場合、この画素 $P_{i,j}$ の有機EL層52は赤色に発光し、画素 $P_{i,j}$ が緑の場合、この画素 $P_{i,j}$ の有機EL層52は緑色に発光し、画素 $P_{i,j}$ が青の場合、この画素 $P_{i,j}$ の有機EL層52は青色に発光する。

【0035】

また、有機EL層52は、電子的に中立な有機化合物であることが望ましく、これにより正孔および電子が有機EL層52でバランス良く注入され、輸送される。また、電子輸送性の物質が狭義の発光層に適宜混合されていても良いし、正孔輸送性の物質が狭義の発光層に適宜混合されても良いし、電子輸送性の物質および正孔輸送性の物質の両方が狭義の発光層に適宜混合されていても良い。

【0036】

有機EL層52上にはカソードが形成されている。カソードは、全ての画素 $P_{1,1} \sim P_{m,n}$ に接続された導電層となる共通電極であっても良いし、画素 $P_{1,1} \sim P_{m,n}$ 毎にパターンニングされていても良い。何れにしても、カソードは、選択走査線 $X_1 \sim X_m$ 、信号線 $Y_1 \sim Y_n$ および電源走査線 $Z_1 \sim Z_m$ に対し電氣的に絶縁されている。

【0037】

カソードは、仕事関数の低い材料で形成されており、例えば、インジウム、マグネシウム

、カルシウム、リチウム若しくはバリウムまたはこれらの少なくとも一種を含む合金若しくは混合物等で形成されている。また、カソードは、以上の各種材料の層が積層された積層構造となっても良いし、以上の各種材料の層に加えて金属層が堆積した積層構造となっても良く、具体的には、以上の各種材料の層上にアルミニウム、クロム等といった高仕事関数で且つ低抵抗の金属層が被覆された積層構造となっても良い。また、カソードは、可視光に対して遮光性を有するとともに可視光に対して高い反射性を有することで、鏡面として作用するのが好ましい。

【0038】

なお、アノード51およびカソードのうちの少なくとも一方が透明であっても良いが、片方の電極が透明であり且つ他方の電極が高反射性であることがより好ましい。

【0039】

以上のように、積層構造を有する有機EL素子 $E_{i,j}$ では、アノード51とカソードとの間に順バイアス電圧（アノード51がカソードより高電位）が印加されると、正孔がアノード51から有機EL層52へ注入され、電子がカソードから有機EL層52に注入される。

【0040】

そして、有機EL層52内で正孔および電子が輸送され、有機EL層52内で正孔および電子が再結合することにより励起子が生成され、励起子により有機EL層52内の蛍光体が励起されて有機EL層52内で発光する。

【0041】

有機EL素子 $E_{i,j}$ の発光輝度は、有機EL素子 $E_{i,j}$ に流れる駆動電流のレベルに依存し、電流レベルが増大するにつれて発光輝度も増大する。つまり、有機EL素子 $E_{i,j}$ に流れる駆動電流のレベルが定まると有機EL素子 $E_{i,j}$ の輝度が一義的に定まる。

【0042】

画素回路 $D_{i,j}$ は、データドライバ3、選択走査ドライバ5および電源走査ドライバ6から出力された信号に基づいて有機EL素子 $E_{i,j}$ を駆動する。各画素回路 $D_{i,j}$ は、トランジスタ21、22、23と、コンデンサ24とを備える。

【0043】

トランジスタ21、22、23は、ゲート電極、ドレイン電極、ソース電極、半導体層、不純物半導体層、ゲート絶縁膜等から構成されたMOS型の電界効果トランジスタであり、特にアモルファスシリコンを半導体層（チャネル領域）としたトランジスタであるが、ポリシリコンを半導体層としたトランジスタであってもよい。また、トランジスタ21、22、23の構造は逆スタガ型であっても良いし、コプラナ型であっても良い。

【0044】

なお、ゲート電極、ドレイン電極、ソース電極、半導体層、不純物半導体層、ゲート絶縁膜等の組成はトランジスタ21、22、23のそれぞれについて同一である。また、トランジスタ21、22、23は、同一工程で同時に形成されるが、形状、大きさ、寸法、チャネル幅、チャネル長等はトランジスタ21、22、23のそれぞれについて異なる。

【0045】

本実施の形態では、トランジスタ21、22、23をNチャネル型のアモルファスシリコン電界効果トランジスタとして説明する。

【0046】

トランジスタ21のソース電極21sとドレイン電極21dとの間にはそれぞれ不純物半導体層を介して半導体層21cが配置されている。トランジスタ22のソース電極22sとドレイン電極22dとの間にはそれぞれ不純物半導体層を介して半導体層22cが配置されている。トランジスタ23のソース電極23sとドレイン電極23dとの間にはそれぞれ不純物半導体層を介して半導体層23cが配置されている。コンデンサ24は、一方の電極がトランジスタ23のゲート電極23gに接続され、他方の電極がトランジスタ23のソース電極23sに接続され、一方の電極と他方の電極との間に誘電体を介在させた

ものである。この誘電体は、トランジスタ21、22、23のゲート絶縁膜であってもよく、トランジスタ23の半導体層23cや不純物半導体層であってもよく、これらのうちの少なくとも2つを含んでいてもよい。

【0047】

各トランジスタ22のゲート電極22gは選択走査線 $X_1 \sim X_m$ のいずれかに接続され、ドレイン電極22dは電源走査線 $Z_1 \sim Z_m$ のいずれか及びトランジスタ23のドレイン電極23dに接続されている。ソース電極22sは、ゲート絶縁膜に設けられたコンタクトホール25を介してトランジスタ23のゲート電極23およびコンデンサ24の一方の電極に接続されている。

【0048】

トランジスタ23のソース電極23sは、コンデンサ24の他方の電極およびトランジスタ21のドレイン電極21dに接続されている。トランジスタ23のドレイン電極23dは、ゲート絶縁膜に設けられたコンタクトホール26を介して電源走査線 $Z_1 \sim Z_m$ のいずれかに接続されている。

【0049】

トランジスタ21のゲート電極21gは選択走査線 X_j に接続され、ソース電極21sは信号線 Y_j に接続されている。トランジスタ23のソース電極23s、コンデンサ24の他方の電極およびトランジスタ21のドレイン電極21dは、有機EL素子 $E_{i,j}$ のアノード51に接続されている。

【0050】

有機EL素子 $E_{i,j}$ のカソードの電位は、一定の基準電位 V_{SS} に保たれており、本実施の形態では、有機EL素子 $E_{i,j}$ のカソードが接地されることで基準電位 V_{SS} が0V(ボルト)となっている。

【0051】

ここで、図4を参照してNチャネル型のトランジスタ(例えばトランジスタ23として説明するが、トランジスタ21、トランジスタ22であっても良い。)の電流-電圧特性を説明する。縦軸はトランジスタのドレイン-ソース間電流値で横軸はドレイン-ソース間電圧値を示す。

【0052】

図4に示すように、トランジスタ23では、ゲート-ソース間電圧レベル V_{GS} (例えば、 $V_{GS1} \sim V_{GS4}$ 。)毎にドレイン-ソース間電圧レベル V_{DS} とドレイン-ソース間電流レベル I_{DS} との間の相関がただ一つ定まる。

【0053】

ここで、ゲート-ソース間電圧レベル $V_{GS1} \sim V_{GS4}$ は、有機EL素子 $E_{1,1} \sim E_{m,n}$ に対する異なった4つの階調レベル数に対応している。なお、階調レベル数は4つに限らず、それ以上でもそれ以下でも良い。

【0054】

ドレイン-ソース間電圧レベル V_{DS} がドレイン飽和閾電圧レベル V_{TH} より大きな飽和領域では、ドレイン-ソース間電流レベル I_{DS} は飽和電流となり、ゲート-ソース間電圧レベル V_{GS} によって一義的に定まる。

【0055】

また、ドレイン-ソース間電圧レベル V_{DS} がドレイン飽和閾電圧レベル V_{TH} より小さな値となっている不飽和領域では、ドレイン-ソース間電流レベル I_{DS} は不飽和電流となり、一定のゲート-ソース間電圧レベル V_{GS} のもとでドレイン-ソース間電圧レベル V_{DS} に略比例して(すなわち、略線形に)増減する。

【0056】

従って、一定のゲート-ソース間電圧レベル V_{GS} のもとでドレイン-ソース間電流レベル I_{DS} を増減させようとする場合、ドレイン-ソース間電圧レベル V_{DS} をドレイン飽和閾電圧レベル V_{TH} より十分小さな値に設定すれば良い。つまり、トランジスタ23のドレイン-ソース間に流れるドレイン-ソース間電流レベル I_{DS} を大きくした状態で、

ゲートソース間電圧レベル V_{GS} が所定のレベルに保持させてからドレインソース間電圧レベル V_{DS} を所定のレベルだけ一義的に下げること、トランジスタ23のソースドレイン間に流れるドレインソース間電流レベル I_{DS} を一義的に小さくすることができる。

【0057】

このように、有機EL表示装置1では、トランジスタ23のドレインソース間電圧レベル V_{DS} をドレイン飽和電圧レベル V_{TH} より十分小さな値に設定することにより、後述する選択期間 T_{SE} に、トランジスタ23のドレインソース間に流れるドレインソース間電流レベル I_{DS} を大きくして、後述する非選択期間 T_{NSE} に、トランジスタ23のドレインソース間に流れるドレインソース間電流レベル I_{DS} を小さくすることができるので、信号線 $Y_1 \sim Y_n$ の寄生容量が大きくても選択期間 T_{SE} にトランジスタ23のドレインソース間電流レベル I_{DS} が定常状態になる時定数をより小さくすることができるのと同時に、非選択期間 T_{NSE} に有機EL素子 $E_{1,1} \sim E_{m,n}$ の発光に適した微小な電流レベルのドレインソース間電流レベル I_{DS} が得られるようになっている。

【0058】

次に、データドライバ3、選択走査ドライバ5および電源走査ドライバ6について説明する。

【0059】

選択走査ドライバ5は、いわゆるシフトレジスタであり、 m 個のフリップフロップ回路等が直列に接続された構成となっている。さらに、選択走査ドライバ5は、図1、図3に示すように、選択信号をそれぞれの選択走査線 $X_1 \sim X_m$ に所定期間・周期で印加する、つまり、外部回路11から入力されたクロック信号 CK_2 に基づいて選択走査線 X_1 から選択走査線 X_m の順（特に、選択走査線 X_m の次は選択走査線 X_1 。）にハイレベルの選択信号であるオン電位 V_{ON} を順次印加して選択走査線 $X_1 \sim X_m$ を順次選択する。非選択時には、選択走査ドライバ5は、ローレベルの非選択信号であるオフ電位を印加する（図5のタイミングチャート参照。）。

【0060】

電源走査ドライバ6は、図1、図3に示すように、比較的高レベルの電位 V_{HIGH} と、比較的低レベルの電位 V_{LOW} とを各々所定期間・周期で信号線 $Y_1 \sim Y_m$ に印加する（図5のタイミングチャート参照。）。電位 V_{HIGH} 並びに電位 V_{LOW} は、いずれも基準電位 V_{SS} より高く設定されている。

【0061】

ここで、電位 V_{HIGH} は、比較的高レベルであり、電位 V_{HIGH} と基準電位 V_{SS} との電位差は十分大きい。ここで電源走査線 Z_i に電位 V_{HIGH} が印加されたときのトランジスタ23のドレインソース間電圧レベルを電圧 V_{DSH} とすると、

$$V_{DSH} = V_{HIGH} - V_E - V_{SS} \dots (1)$$

となる。 V_E は有機EL素子 $E_{i,j}$ に分圧される電圧である。このドレインソース間電圧レベルを V_{DSH} は、少なくとも無発光以外の最低輝度階調時のトランジスタ23のゲートソース間電圧レベル V_{GS1} のときのしきい値電圧 V_{TH} よりも高く設定されている。望ましくは、中間階調時のトランジスタ23のゲートソース間電圧レベル V_{GSM} よりも高く設定され、より望ましくは最高輝度階調時のトランジスタ23のゲートソース間電圧レベル V_{GS4} のときのしきい値電圧 V_{TH} よりも高く設定されている。このため、トランジスタ23のドレインソース間電流レベル I_{DS} は飽和電流またはそれに近い大電流となっている。

【0062】

一方、電位 V_{LOW} は、比較的低レベルであり、電位 V_{HIGH} と基準電位 V_{SS} との電位差は小さい。ここで電源走査線 Z_i に電位 V_{LOW} が印加されたときのトランジスタ23のドレインソース間電圧レベルを V_{DSL} とすると、

$$V_{DSL} = V_{LOW} - V_E - V_{SS} \dots (2)$$

となる。このドレインソース間電圧レベルを V_{DSE} は、図4に示すように、少なくとも最高輝度階調時のトランジスタ23のゲートソース間電圧レベル V_{GS4} のときのしきい値電圧 V_{TH} よりも低く設定されている。望ましくは、中間階調時のトランジスタ23のゲートソース間電圧レベル V_{GSM} よりも低く設定されている。

【0063】

このため、少なくともある階調で有機EL素子 $E_{i,j}$ の発光する際に、電位 V_{HIGH} が印加されている選択期間 T_{SE} に信号線 Y_j に流れる電流は十分大きい、非選択期間 T_{NSE} に有機EL素子 $E_{i,j}$ に流れる電流を小さくすることができる。すなわち、非選択期間 T_{NSE} 中に有機EL素子 $E_{i,j}$ に流れる電流が有機EL素子 $E_{i,j}$ の素子特性に応じて微小電流を流す場合であっても、選択期間 T_{SE} に信号線 Y_j に流れる電流はそれよりも大きいので、たとえ信号線 Y_j の寄生容量が大きくても遅延しない。このように時定数を増大しなくて良いので高周波数で駆動しなくても良いため消費電力を抑えることができ、またアモルファスシリコン等の比較的移動度のトランジスタをトランジスタ21～23に用いることが可能となる。

【0064】

データドライバ3の接続端子 $CNT1 \sim CNTn$ には、図1、図3に示すように、それぞれ信号線 $Y_1 \sim Y_n$ が接続されている。データドライバ3には外部回路11からクロック信号 $CK1$ や輝度階調信号 SC を含む制御信号群 D_{CNT} が入力され、データドライバ3は入力したクロック信号 $CK1$ のタイミングによって輝度階調信号 SC をラッチし、信号線 $Y_1 \sim Y_n$ からそれぞれの接続端子 $CNT1 \sim CNTn$ に対し輝度階調信号 SC に応じた階調指定電流を流す。具体的には、選択走査線 $X_1 \sim X_m$ が選択されている各々の選択期間 T_{SE} の時に、データドライバ3により階調指定電流が信号線 $Y_1 \sim Y_n$ から全ての接続端子 $CNT1 \sim CNTn$ に向かって同期して流れる。

【0065】

ここで、階調指定電流とは、外部回路11からの輝度階調信号 SC に応じた輝度で有機EL素子 $E_{1,1} \sim E_{m,n}$ を発光させるため、有機EL素子 $E_{1,1} \sim E_{m,n}$ に流れる電流レベル（比較的小さな電流値であり、例えば、数十 $nA \sim$ 数 μA 程度。）を流すための電流（比較的大きな電流であり、例えば、数百 $nA \sim$ 数 mA 程度。）であって、信号線 $Y_1 \sim Y_n$ からそれぞれの接続端子 $CNT1 \sim CNTn$ に向かって流れる電流である。

【0066】

次に、動作を説明する。図5に、有機EL表示装置1における各信号のタイミングチャートを示す。

【0067】

図5に示すように、ハイレベルの選択信号としてオン電位 V_{ON} （例えば基準電位 V_{SS} より十分高い。）またはローレベルの選択信号としてオフ電位 V_{OFF} （例えば基準電位 V_{SS} 以下である。）の何れかのレベルの電位が、選択走査ドライバ5により、選択走査線 $X_1 \sim X_m$ に個別に印加され、所定間隔・周期で各選択走査線 X_i が順次選択される。

【0068】

すなわち、選択走査線 X_i が選択されている第 i 行目の選択期間 T_{SE} では、選択走査ドライバ5によりオン電位 V_{ON} が選択走査線 X_i に印加され、電源走査線 Z_i に電位 V_{HTGH} が印加されると、選択走査線 X_i に接続されたトランジスタ21、22（画素回路 $D_{i,1} \sim D_{i,n}$ の各トランジスタ21、22である。）がオン状態になる。このとき、トランジスタ23のソース電極23sとドレイン電極23dとの間には電圧 V_{DSE} が印加され飽和電流又は飽和電流に近い相対的に大きい電流値の電流が流れるようになっていいため、トランジスタ21、22がオン状態になるとトランジスタ23を介して信号線 Y_j に階調指定電流が流れ始める。階調指定電流が流れ始めると、トランジスタ23のゲート電極23gとソース電極23sとの間のコンデンサ24には、トランジスタ23のソース電極23sとドレイン電極23dとの間に階調指定電流が定常状態で流れる程度にチャージアップされる。ここで、トランジスタ23のソース電極23sとドレイン電極23dとの間に流れる電流は飽和電流又は飽和電流に近い相対的に大きい電流値の電流なので

迅速にチャージアップすることができる。

【0069】

一方、このとき選択走査線 X_i 以外の選択走査線 $X_1 \sim X_{i-1}$ 、 $X_{i+1} \sim X_m$ に対応する行では、非選択期間 T_{NSE} になっており、選択走査ドライバ5によりオフ電位 V_{OFF} が印加されているので、画素回路 $D_{i,1} \sim D_{i,n}$ 以外のトランジスタ21、22がオフ状態になり、階調指定電流が流れない。ここで、 $T_{SE} + T_{NSE} = T_{SC}$ で表される期間が一垂直期間であり、選択走査線 $X_1 \sim X_m$ の各選択期間 T_{SE} は互いに重ならない。なお、図5には、「 T_{SE} 」、「 T_{NSE} 」および「 T_{SC} 」が記されているが、これらは1行目の選択走査線 X_1 のみについてのものである。

【0070】

ここで、選択走査ドライバ5がオン電位 V_{ON} を選択走査線 X_i に印加してから次の選択走査線 X_{i+1} にオン電位 V_{ON} を印加するまでには時間的間隔が設けられている。

【0071】

そして画素回路 $D_{i,1} \sim D_{i,n}$ が第 i 行目の非選択期間 T_{NSE} に移行すると、選択走査線 X_i には、選択走査ドライバ5によりオフ電位 V_{OFF} が印加され、コンデンサ24のチャージが保持される。また電源走査線 Z_i には電位 V_{HIGH} からより低い電位 V_{LOW} にシフトされるので、画素回路 $D_{i,1} \sim D_{i,n}$ の各トランジスタ23のドレインソース間電圧レベルは V_{DSH} から V_{DSL} にシフトされる。このため、例えば図4に示すように、画素回路 $D_{i,j}$ のトランジスタ23のゲートソース間電圧レベル V_{GS4} に相当する電荷がコンデンサ24にチャージアップされているとすると、各トランジスタ23のドレインソース間電圧レベル V_{DSH} のとき、つまり選択期間 T_{SE} にトランジスタ23のドレインソース間に流れていた電流の電流レベル I_{DS} は I_{DS4} であったが、非選択期間 T_{NSE} にはトランジスタ23のドレインソース間電圧レベルが電圧 V_{DSL} になるため、トランジスタ23が流す電流は、より低い電流レベル I_{DS4}' に降下する。したがって有機EL素子 $E_{i,j}$ には、この電流レベル I_{DS4}' が流れて発光することになる。 I_{DSk} と電流レベル I_{DSk}' は常に1対1に対応するように設定されているので、 $I_{DS}(k-1) < I_{DSk}$ であれば、 $I_{DS}(k'-1) < I_{DSk}'$ となる。

【0072】

このように、非選択期間 T_{NSE} に有機EL素子 $E_{i,j}$ を所望の発光輝度で発光するために必要な有機EL素子 $E_{i,j}$ のアノードカソード間の電流値が I_{DSk}' であるとすると、その直前の選択期間 T_{SE} にトランジスタ23のソースドレイン間に飽和電流 I_{DSk} が流れるようにすればよく、このために選択期間 T_{SE} のトランジスタ23のソースドレイン間電圧が V_{DSH} にして飽和電流 I_{DSk} に達するように電源走査線 Z_i に電圧 $V_{HIGH} (> V_{SS})$ を印加し且つトランジスタ23のゲートソース間のコンデンサ24に飽和電流 I_{DSk} に相当する電荷がチャージされるようにデータドライバ3が信号線 Y_j から適宜電流を流すように引き抜けばよい。

【0073】

以上説明したように、本実施の形態によれば、有機EL表示パネル2の各画素 $P_{i,1} \sim P_{m,n}$ に対し、各選択期間 T_{SE} 中に、トランジスタ23のドレインソース間電流が飽和電流となるように比較的大きな電流を流すために、従来と同様の比較的大レベルの電位 V_{HIGH} を電源走査線 $Z_1 \sim Z_n$ に印加させるので寄生容量による信号線 Y_j の電圧の定常化遅延を抑制でき、非選択期間 T_{NSE} 中に、トランジスタ23のドレインソース間電圧レベル V_{DS} が不飽和領域となるような比較的小レベルの電位 V_{LOW} が電源走査線 $Z_1 \sim Z_n$ に印加させるので、トランジスタ23のドレインソース間電流レベル I_{DS} を数十nA～数 μ A程度の微小レベルとすることができる。

【0074】

したがって、従来型とは異なる複雑な有機EL表示パネルを用いることなく、有機EL素子 $E_{1,1} \sim E_{m,n}$ が発光するために必要な数十nA～数 μ A程度の微小レベルの電流を有機EL素子 $E_{1,1} \sim E_{m,n}$ に流すことができるので、アモルファスシリコンのト

ランジスタ21、22、23の電流駆動能力不足が招く、寄生容量による信号書き込み率の低下を抑制できる。このため、製造コストが低く、歩留りの高い有機EL表示装置1が実現できる。

【0075】

なお、本発明は、上記各実施の形態に限定されることなく、本発明の趣旨を逸脱しない範囲において、種々の改良並びに設計の変更を行っても良い。

【0076】

例えば、本実施の形態においては、有機EL表示パネル2は、一画素に対応するスイッチング素子として、三つのトランジスタで主要部分が構成されるものとして説明したが、これに限らず、あらゆる電流階調指定による有機EL表示装置に対し適用可能であり、例えば、図6(a)に示すように、有機EL表示装置100の第k行目($1 \leq k \leq m$)の画素回路 $D_{k,1} \sim D_{k,n}$ のトランジスタ22のドレイン電極22dが選択走査線 X_k に接続されていてもよい。有機EL表示装置100のその他の構成においては、図1に示す有機EL表示装置1と同様である。また、図6(b)に示すようにスイッチング素子の主たる部分が4つのトランジスタで構成された有機EL表示装置101を適用しても良い。有機EL表示装置101は、第k行目の選択期間に、選択走査線 X_k を介して出力された選択信号より所定の行の各トランジスタ120、121が選択され、且つ第k行目の電源走査線 Z_k が各トランジスタ122にオフ電圧を印加している間、信号線 $Y_1 \sim Y_n$ のそれぞれから各トランジスタ120を介して各トランジスタ123のゲートにオン電位が出力されるとともに、トランジスタ121を介してトランジスタ123にドレイン電流 I_{DS} が流れる。このとき、ドレイン電流 I_{DS} はトランジスタ123のドレイン-ソース間電圧が飽和領域に達するような電圧になっており、コンデンサ124にはドレイン電流 I_{DS} に応じた電荷がチャージされる。次いで第k行目の非選択期間に、選択走査線 X_k を介して各トランジスタ120、121にオフ電圧が印加され、電源走査線 Z_k が各トランジスタ122のドレインに、各トランジスタ122のドレイン-ソース間電圧が不飽和領域となるようなオン電圧を印加することで各トランジスタ123がコンデンサ124に保持された電荷によるゲート-ソース間電位にしたがい不飽和ドレイン電流 I'_{DS} を流す。したがって選択期間に信号線 $Y_1 \sim Y_n$ の流れる電流の電流値を大きくすることで寄生容量による遅延を抑制し、非選択期間に有機EL素子E2を流れる電流の電流値を所望の輝度に合わせて微小にすることができる。

【0077】

すなわち、4トランジスタ等価回路101に対しても、選択期間 T_{SE} 中には、従来と同様の比較的低レベルの電位 V_{LOW} が電源走査線Zに印加され、非選択期間 T_{NSE} 中に、トランジスタ123のドレイン-ソース間電圧レベル V_{DS} が不飽和領域となるような比較的小レベルの電位 V_{LOW} が電源走査線Zに印加される。この電位 V_{LOW} により、トランジスタ123のドレイン-ソース間電流レベル I_{DS} は、有機EL素子E2が発光するために必要な数十nA～数 μ A程度の微小レベルとなる。

【0078】

この場合、選択期間 T_{SE} 中に有機EL素子E2に電流が流れ、非選択期間 T_{NSE} 中の発光強度よりも強く発光する。しかし、選択期間 T_{SE} は非選択期間 T_{NSE} に比べて十分短期間であり、このため、当該発光強度の差異の影響は小さいものとなる。

【0079】

また、ポリシリコンによるトランジスタを用いた有機EL表示パネルに対しても本発明は適用可能である。

ポリシリコンによるトランジスタは、十分な電流駆動能力を有するため、アモルファスシリコンによるトランジスタの駆動時に懸念された寄生容量の影響による信号書き込み率の低下率は小さい。しかし、ポリシリコンによるトランジスタは電流駆動能力が大きすぎるため、トランジスタの寸法が小さくなり、その結果、加工精度にバラツキが生じ、この加工精度のバラツキが輝度バラツキを増大させることとなる。このような場合、本発明をポリシリコンによる有機EL表示パネルに適用することにより、上記影響の低減化が可能と

なる。

【0080】

【発明の効果】

本発明によれば、表示装置の構成を複雑化することなく、発光素子が発光するために十分なレベル（例えば、数十nA～数μA程度の微小レベル。）の発光信号（電流）が発光素子に供給可能となるので、消費電力の削減が図られると共に、製造コストが安く、歩留りの高い表示装置および当該表示装置の駆動方法が提供できる。

【図面の簡単な説明】

【図1】本発明を適用した有機EL表示装置の内部構成を示すブロック図である。

【図2】図1の有機EL表示装置の一画素を概略的に示す平面図である。

【図3】図1の有機EL表示装置の画素に対応する等価回路を示す図である。

【図4】Nチャネル型のトランジスタの電流-電圧特性を示す図である。

【図5】図1の有機EL表示装置における信号レベルのタイミングチャートである。

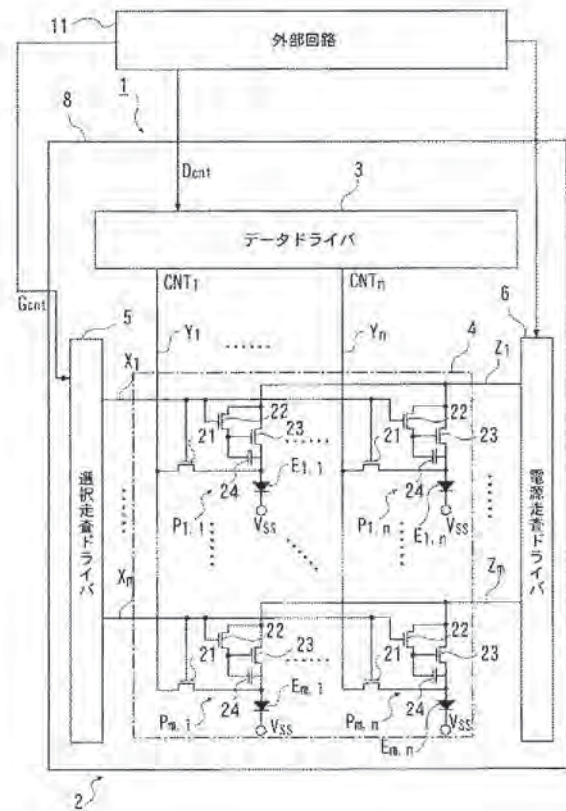
【図6】(a)は、他の有機EL表示装置の一画素分に対応する等価回路を示す図である。(b)は、一画素に4つのスイッチング素子を設けた等価回路を示す図である。

【図7】従来の有機EL表示装置の一画素分に対応した電流ミラー付等価回路を示す図である。

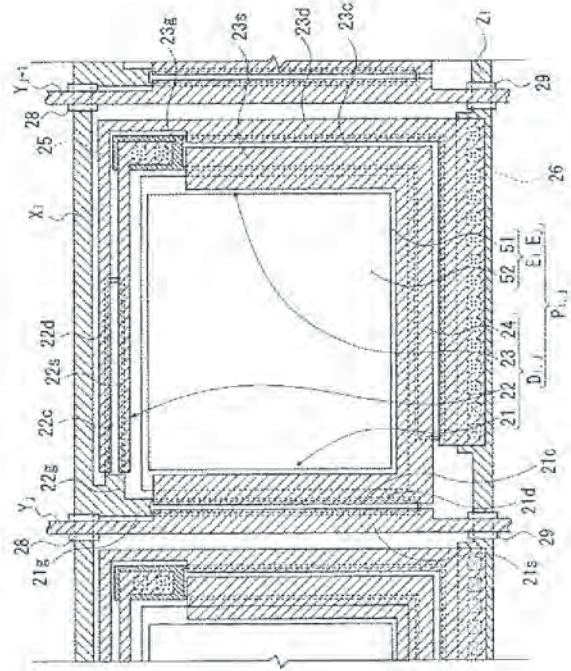
【符号の説明】

- 1 有機EL表示装置
- 11 外部回路
- 2 有機EL表示パネル
- 3 データドライバ
- 4 表示部
- 5 選択走査ドライバ
- 6 電源走査ドライバ
- 21～23 トランジスタ
- 24 コンデンサ
- $D_{1,1} \sim D_{m,n}$ 画素回路
- $P_{1,1} \sim P_{m,n}$ 画素
- $X_1 \sim X_n$ 選択線
- $Y_1 \sim Y_n$ 信号線
- $Z_1 \sim Z_n$ 電源走査線
- $E_{1,1} \sim E_{m,n}$ 有機EL素子

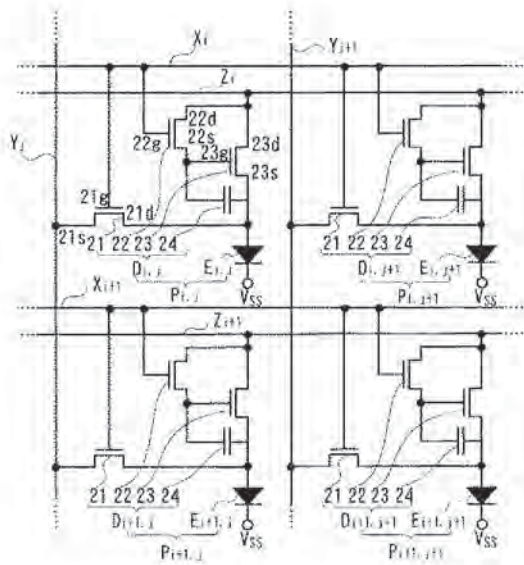
【図1】



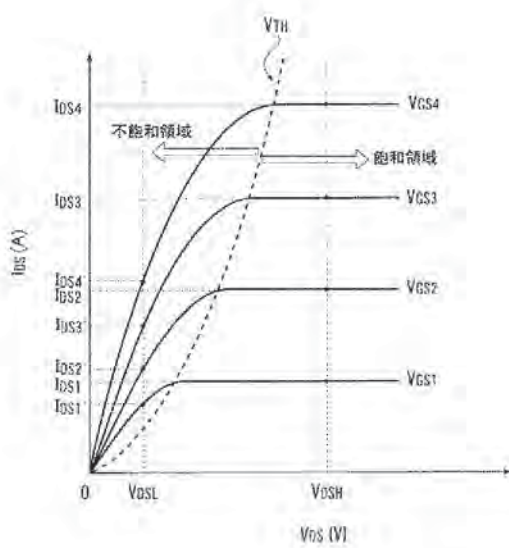
【図2】



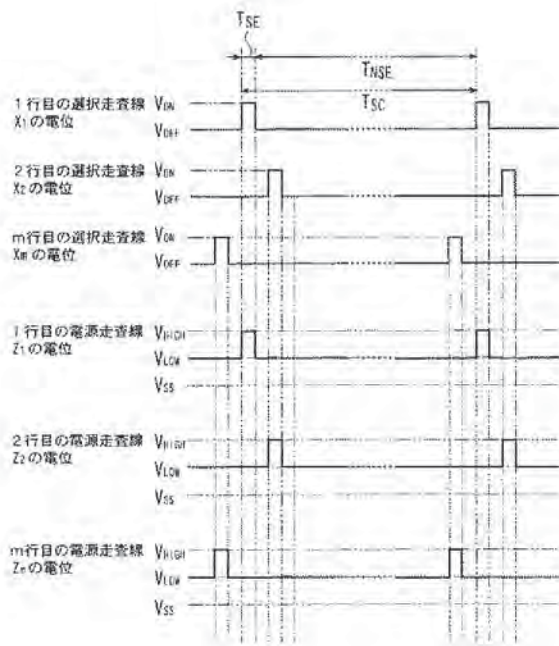
【図3】



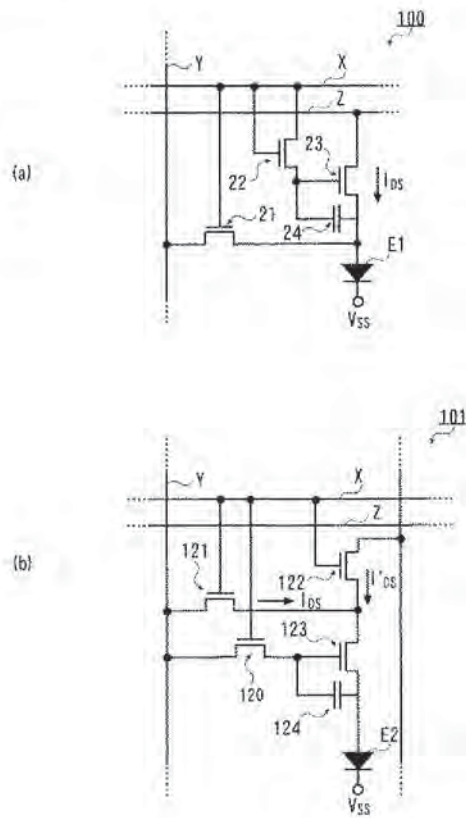
【図4】



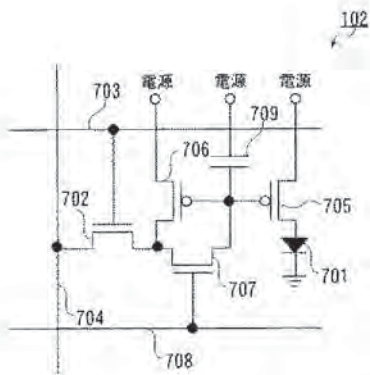
【図5】



【図6】



【図7】



(51)Int. Cl.⁷

F I

H 0 5 B 33/14

A

テーマコード (参考)

Electronic Patent Application Fee Transmittal

Application Number:	11235579			
Filing Date:	26-Sep-2005			
Title of Invention:	DISPLAY PANEL			
First Named Inventor/Applicant Name:	Tomoyuki Shirasaki			
Filer:	Leonard Holtz/Diane Hegstrom			
Attorney Docket Number:	05644/LH			
Filed as Large Entity				
Utility Filing Fees				
Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				

Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Miscellaneous:				
Submission- Information Disclosure Stmt.	1806	1	180	180
Total in USD (\$)				180

Electronic Acknowledgement Receipt

EFS ID:	3731863
Application Number:	11235579
International Application Number:	
Confirmation Number:	3394
Title of Invention:	DISPLAY PANEL
First Named Inventor/Applicant Name:	Tomoyuki Shirasaki
Customer Number:	1933
Filer:	Leonard Holtz/Diane Hegstrom
Filer Authorized By:	Leonard Holtz
Attorney Docket Number:	05644/LH
Receipt Date:	05-AUG-2008
Filing Date:	26-SEP-2005
Time Stamp:	15:41:30
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Credit Card
Payment was successfully received in RAM	\$180
RAM confirmation Number	1032
Deposit Account	
Authorized User	

File Listing:

Document Number	Document Description	File Name	File Size(Bytes) /Message Digest	Multi Part / .zip (if appl.)	Pages (if appl.)
-----------------	----------------------	-----------	-------------------------------------	---------------------------------	---------------------

1		05644_ids7.pdf	165166 43e74e4ca219a0e0ce1c95562d0d621e 0ae31d88	yes	5
Multipart Description/PDF files in .zip description					
		Document Description	Start	End	
		Information Disclosure Statement Letter	1	4	
		Information Disclosure Statement (IDS) Filed (SB/08)	5	5	
Warnings:					
Information:					
2	NPL Documents	ChineseOfficeAction1.pdf	1097805 f376a51fd3eb82f7654d2af3fd12490e0 25660d	no	7
Warnings:					
Information:					
3	NPL Documents	ChineseOfficeAction1_Englis h.pdf	759513 1ac21d5460e6a97b65e91e34e7bd317 0c35217c	no	4
Warnings:					
Information:					
4	NPL Documents	ChineseOfficeAction_2.pdf	1093039 461957fd1e2c21e5f68650c9c8427feb5 730885a	no	7
Warnings:					
Information:					
5	NPL Documents	ChineseOfficeAction2_Englis h.pdf	748973 a45996345e95a1d435cb2eb2b46148d 5dxd1fcd2	no	4
Warnings:					
Information:					
6	NPL Documents	JapaneseOfficeAction.pdf	368649 ab60c50cfd36f266f697f427dce9e393a b121055	no	3
Warnings:					
Information:					
7	NPL Documents	JapaneseOfficeAction_Englis h.pdf	223703 c6f93e28667a73d2f59af23070c36f1 2e8507	no	3
Warnings:					
Information:					
8	Foreign Reference	CN1434668A.pdf	11207713 2c0ee6b86cbf4245a4cbfce9d82da3f a701e1d	no	50

Warnings:					
Information:					
9	Foreign Reference	CN1437177A.pdf	11895068 e9778b9860d71e9b2e3ec5af36e8999a884ff0b	no	62
Warnings:					
Information:					
10	Foreign Reference	JP2003317971.pdf	1117791 e1468e8c9a87cb188a9c1a9f0ecl57d082c12f14	no	18
Warnings:					
Information:					
11	Foreign Reference	JP2004258172.pdf	741109 3dd357716ae1800271fcbdc71bbc8b60d7a96ce1	no	18
Warnings:					
Information:					
12	Fee Worksheet (PTO-06)	fee-info.pdf	8152 3d504a4e71b3h1810a857973a6d8bd97914a4dd1	no	2
Warnings:					
Information:					
Total Files Size (in bytes):				29426681	

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

Please type a plus sign (+) inside this box →

+

PTO/SB/08A (08-00)

U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE

Substitute for Form 1449A/PTO INFORMATION DISCLOSURE STATEMENT BY APPLICANT		Application Number	11/235,579
		Filing Date	September 26, 2005
		First Named Inventor	Tomoyuki SHIRASAKI et al
		Group Art Unit	2673
		Examiner Name	
Sheet 1 of 2		Attorney Docket Number	05644/LH



U.S. PATENT DOCUMENTS

Exam. Inits ¹	Cite No ¹	Document Number	Kind Code ²	Name of Patentee or Applicant	Publication Date MM-DD-YYYY	Relevant Portion
		2003/0047730	A1	KONUMA	03-13-2003	
		2003/0146693	A1	ISHIHARA et al	08-07-2003	
		2003/0151355	A1	HOSOKAWA	08-14-2003	
		2004/0160170	A1	SATO et al	08-19-2004	
		2003/137325	A1	YAMAZAKI et al	07-24-2003	
		2004/256617	A1	YAMADA et al	12-23-2004	
		2003/0168992	A1	NOGUCHI et al	09-11-2003	
		2003/193056	A1	TAKAYAMA et al	10-16-2003	

NR 9/14/08

FOREIGN PATENT DOCUMENTS

Exam Inits ¹	Cite No ¹	offc ³	Document Number ⁴	Kind Code ⁵	Name of Patentee or Applicant	Publication Date MM-DD-YYYY	Relevant Portion	T ⁶
		EP	1 331 666	A2	SEMICONDUCTOR ENERGY LABORATORY CO., LTD.	07-30-2003		
		WO	2004/019314	A1	CASIO COMPUTER CO., LTD.	03-04-2004		
		EP	1 349 208	A1	SEMICONDUCTOR ENERGY LABORATORY CO., LTD.	10-01-2003		

Examiner Signature	/Long Pham/ (10/15/2007)	Date Considered	
--------------------	--------------------------	-----------------	--

¹ EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.
² Unique citation designation number. ³ See kinds of U.S. Patent Documents. ⁴ Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). ⁵ For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. ⁶ Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. ⁷ Place a check here if English translation is attached.

DATE MAILED: July 27, 2006

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /L.P./ (10/15/2007)



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
11/235,579	09/26/2005	Tomoyuki Shirasaki	05644/LH	3394
1933	7590	06/26/2008	EXAMINER	
FRISHAUF, HOLTZ, GOODMAN & CHICK, PC 220 Fifth Avenue 16TH Floor NEW YORK, NY 10001-7708			PHAM, LONG	
			ART UNIT	PAPER NUMBER
			2814	
			MAIL DATE	DELIVERY MODE
			06/26/2008	PAPER

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.



UNITED STATES DEPARTMENT OF COMMERCE

U.S. Patent and Trademark Office

Address : COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450

APPLICATION NO./ CONTROL NO.	FILING DATE	FIRST NAMED INVENTOR / PATENT IN REEXAMINATION	ATTORNEY DOCKET NO.
11235579	9/26/2005	SHIRASAKI ET AL.	05644/LH

FRISHAUF, HOLTZ, GOODMAN & CHICK, PC
220 Fifth Avenue
16TH Floor
NEW YORK, NY 10001-7708

EXAMINER

Long Pham

ART UNIT	PAPER
2814	20080620

DATE MAILED:

Please find below and/or attached an Office communication concerning this application or proceeding.

Commissioner for Patents

The IDS submitted 06/16/08 has been considered. A copy of initialed PTO-1449 is included with this communication.

/Long Pham/
Primary Examiner, Art Unit 2814

INFORMATION DISCLOSURE STATEMENT BY APPLICANT				Application Number		11/235,579		
				Filing Date		September 26, 2005		
				First Named Inventor		Tomoyuki SHIRASAKI		
				Group Art Unit		2814		
				Examiner Name		Long Pham		
Sheet	1	of	1	Attorney Docket Number		05644/LH		
U.S. PATENT DOCUMENTS								
Examiner Initials*	Cite No.	Document Number	Kind Code	Patentee or Applicant		Publication Date (MM-DD-YYYY)		
		6,839,057	B2	Iguchi		01-04-2005		
		7,358,529	B2	Childs et al		04-15-2008		
FOREIGN PATENT DOCUMENTS								
Examiner Initials*	Cite No.	Country Code	Document Number	Kind Code	Patentee or Applicant	Publication Date (MM-DD-YYYY)	Translation	
							Yes	Abstract Only
		JP	2001-195008	A	Sony Corp.	07-19-2001		
		JP	2002-352963	A	Sony Corp.	12-06-2002		
		JP	2003-076327	A	Nippon Electric Co.	03-14-2003		
		JP	2003-186420	A	Seiko Epson Corp.	07-04-2003		
		WO	03/079441	A1	Koninklijke Philips Electronics N.V.	09-25-2003		
		JP	2003-288994	A	Semiconductor Energy Lab	10-10-2003		
OTHER DOCUMENTS								
Examiner Initials*	Cite No.	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.						
		Copy of Japanese Office Action (and English translation thereof) dated April 30, 2008, issued in a counterpart Japanese Application.						
Examiner Signature	/Long Pham/ (06/20/2008)				Date Considered			

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

DATE MAILED OR TRANSMITTED: **June 16, 2008**

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /L.P./

SAMSUNG EX. 1002 - 193/899

Attorney Docket No. 05644/LH

**IN THE UNITED STATES PATENT
AND TRADEMARK OFFICE**

Applicant(s) : Tomoyuki SHIRASAKI, et al.
Serial No. : 11/235,579
Confirm. No. : 3394
Filed : September 26, 2005
For : DISPLAY PANEL
Art Unit : 2814
Examiner : Long Pham

This paper is being
submitted via EFS-Web on
June 16, 2008

In the event that this Paper
is late filed, and the
necessary petition for
extension of time is not
filed concurrently herewith,
please consider this as a
Petition for the requisite
extension of time, and to
the extent not already paid,
authorization to charge the
extension fee to Account
No. 06-1378. In addition,
authorization is hereby
given to charge any fees for
which payment has not been
submitted, or to credit any
overpayments, to Account No.
06-1378.

**INFORMATION DISCLOSURE STATEMENT
UNDER 37 C.F.R. 1.97(d)
WITH STATEMENT UNDER 37 C.F.R. 1.97(e)(1) AND FEE**

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

S I R:

It is respectfully requested that the Examiner consider and make of record the document(s) listed on the attached Information Disclosure Statement form. Copy(ies) of the cited document(s), except for U.S. patent documents, is/are submitted herewith. English language abstracts and/or English translations or partial translations are provided for foreign language documents where indicated on the attached IDS form.

CITED DOCUMENTS

Documents listed on the attached IDS form were cited in an International Search Report (copy submitted herewith), or in a Search Report or Office Action (copy submitted herewith) issued in a counterpart foreign application.

Said Search Report or Office Action is in English or an English language translation of said Search Report or Office Action is submitted herewith, thereby satisfying the requirement for a concise explanation of relevance for any non-English language documents cited therein.

English language family members of cited foreign language documents are provided as follows:

USP 6,839,057 listed on the attached IDS Form is a patent family member of JP 2003-076327 which is cited in the Japanese Office Action dated April 30, 2008.

USP 7,358,529 listed on the attached IDS Form is a patent family member of WO 03/079441 which is cited in the Japanese Office Action dated April 30, 2008.

NOT A RESPONSE TO OFFICE ACTION

This paper is not a response to the outstanding Notice of Allowance mailed May 30, 2008. The Issue Fee will be timely filed in due course.

STATEMENT UNDER 37 CFR 1.97(e)

Each item of information contained in this Information Disclosure Statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of this Information Disclosure Statement. (37 CFR 1.97(e)(1))

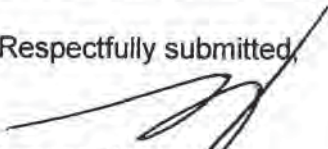
FEES

No fee is believed to be required.

The fee of \$180 set forth in 37 CFR 1.17(p) is being paid by credit card herewith.

Authorization is hereby given to charge any fee which is determined to be required and for which payment has not been submitted, and to credit any overpayment, to Account No. 06-1378.

Respectfully submitted,


Leonard Holtz
Reg. No. 22,974

Frishauf, Holtz, Goodman & Chick, P.C.
220 Fifth Avenue, 16th Floor
New York, NY 10001-7708
Tel. No. (212) 319-4900
Fax. No. (212) 319-5101
LH:djh
encs.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT				Application Number		11/235,579		
				Filing Date		September 26, 2005		
				First Named Inventor		Tomoyuki SHIRASAKI		
				Group Art Unit		2814		
				Examiner Name		Long Pham		
Sheet	1	of	1	Attorney Docket Number		05644/LH		
U.S. PATENT DOCUMENTS								
Examiner Initials*	Cite No.	Document Number	Kind Code	Patentee or Applicant		Publication Date (MM-DD-YYYY)		
		6,839,057	B2	Iguchi		01-04-2005		
		7,358,529	B2	Childs et al		04-15-2008		
FOREIGN PATENT DOCUMENTS								
Examiner Initials*	Cite No.	Country Code	Document Number	Kind Code	Patentee or Applicant	Publication Date (MM-DD-YYYY)	Translation	
							Yes	Abstract Only
		JP	2001-195008	A	Sony Corp.	07-19-2001		
		JP	2002-352963	A	Sony Corp.	12-06-2002		
		JP	2003-076327	A	Nippon Electric Co.	03-14-2003		
		JP	2003-186420	A	Seiko Epson Corp.	07-04-2003		
		WO	03/079441	A1	Koninklijke Philips Electronics N.V.	09-25-2003		
		JP	2003-288994	A	Semiconductor Energy Lab	10-10-2003		
OTHER DOCUMENTS								
Examiner Initials*	Cite No.	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.						
		Copy of Japanese Office Action (and English translation thereof) dated April 30, 2008, issued in a counterpart Japanese Application.						
Examiner Signature					Date Considered			

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

DATE MAILED OR TRANSMITTED: **June 16, 2008**

JP2001195008

Publication Title:

DISPLAY DEVICE AND METHOD FOR MANUFACTURING DISPLAY DEVICE

Abstract:

Abstract of JP2001195008

PROBLEM TO BE SOLVED: To provide a display device of an active matrix type which can assure the light emitting intensity of display elements within a display surface and can improve display performance. **SOLUTION:** This display device has lower electrodes 10 which are patterned and formed by each of respective pixels a, organic layers 11R, 11G and 11B which have at least organic light emitting layers and are disposed in the state of covering the lower electrodes 10 and upper common electrodes 12 which are disposed on the organic layers 11R, 11G and 11B in the state of covering all the pixels a. The device described above is provided with ribs 14 which are the spacers of a mask to be used in patterning and forming the organic layers 11R, 11G and 11B as auxiliary wiring connected to the upper common electrodes 12 between the respective pixels a under the upper common electrodes 12. As a result, the voltage drop of the upper common electrodes 12 is suppressed and the space saving between the pixels a is made possible.

Data supplied from the esp@cenet database - Worldwide

Courtesy of <http://v3.espacenet.com>

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-195008
(P2001-195008A)

(43) 公開日 平成13年7月19日 (2001.7.19)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ド*(参考)
G 0 9 F 9/30	3 3 0	G 0 9 F 9/30	3 3 0 Z 3 K 0 0 7
	3 3 8		3 3 8 5 C 0 9 4
	9/00		9/00 3 4 2 Z 5 G 4 3 5
H 0 5 B 33/10	3 4 2	H 0 5 B 33/10	
	33/12		B
		33/12	

審査請求 未請求 請求項の数 7 O L (全 9 頁) 最終頁に続く

(21) 出願番号 特願2000-266441(P2000-266441)

(22) 出願日 平成12年9月4日(2000.9.4)

(31) 優先権主張番号 特願平11-306245

(32) 優先日 平成11年10月28日(1999.10.28)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号

(72) 発明者 山田 二郎
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 千葉 安浩
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100086298
弁理士 船橋 國則

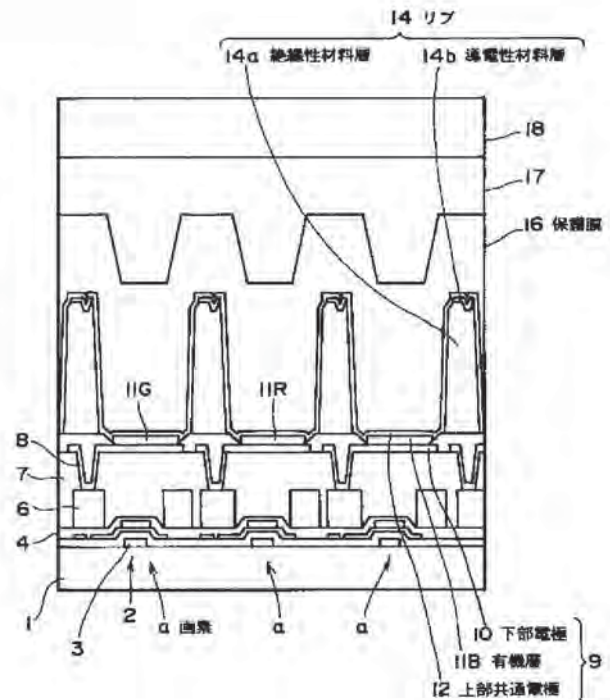
最終頁に続く

(54) 【発明の名称】 表示装置及び表示装置の製造方法

(57) 【要約】

【課題】 表示面内における表示素子の発光強度を確保でき、表示性能の向上を図ることが可能なアクティブマトリクス型の表示装置を提供する。

【解決手段】 各画素a毎にパターン形成された下部電極10と、少なくとも有機発光層を有し下部電極10を覆う状態で設けられた有機層11R、11G、11Bと、全画素aを覆う状態で有機層11R、11G、11B上に設けられた上部共通電極12とを備えた表示装置において、上部共通電極12の下の各画素a間に、有機層11R、11G、11Bをパターン形成する際に用いられるマスクのスペーサとなるリブ14を、上部共通電極12に接続された補助配線として設けた。これによって、上部共通電極12の電圧降下を抑制すると共に、画素a間の省スペース化を図る。



【特許請求の範囲】

【請求項1】 画素毎にパターン形成された下部電極と、少なくとも有機発光材料からなる層を有し前記下部電極を覆う状態で設けられた有機層と、全画素を覆う状態で前記有機層上に設けられた上部共通電極とを備えた表示装置において、

前記上部共通電極の下の前記各画素間には、前記有機層をパターン形成する際に用いられるマスクのスペーサとなるリブが、前記上部共通電極に接続された補助配線として設けられていることを特徴とする表示装置。

【請求項2】 請求項1記載の表示装置において、前記リブは、側壁が順テーパ形状に成形されていることを特徴とする表示装置。

【請求項3】 請求項1記載の表示装置において、前記リブは、絶縁性材料層と導電性材料層とからなり、当該導電性材料層が前記補助配線として用いられていることを特徴とする表示装置。

【請求項4】 請求項3記載の表示装置において、前記絶縁性材料層は、島状にパターンニングされてなることを特徴とする表示装置。

【請求項5】 請求項1記載の表示装置において、前記上部共通電極は、前記有機層で発生した発光光を透過する金属薄膜からなり、前記上部共通電極上には、前記発光光を透過する保護膜が設けられたことを特徴とする表示装置。

【請求項6】 請求項5記載の表示装置において、前記保護膜は、絶縁性材料からなり、前記金属薄膜上に直接設けられていることを特徴とする表示装置。

【請求項7】 下部電極上に有機層を形成し、当該有機層上に上部電極を形成した後、これらを覆う状態で保護膜を形成する表示装置の製造方法において、前記上部電極の形成と前記保護膜の形成とを、同一の成膜装置内で連続して行うことを特徴とする表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、有機発光層を備えて構成される有機エレクトロルミネッセンス素子を有する表示装置及びその製造方法に関する。

【0002】

【従来の技術】有機材料のエレクトロルミネッセンス (Electroluminescence : 以下ELと記す) を利用した有機EL素子は、下部電極と上部電極との間に、有機正孔輸送層や有機発光層を積層させてなる有機層を設けたり、低電圧直流駆動による高輝度発光が可能な発光素子として注目されている。

【0003】このような有機EL素子は、応答速度が1 μ 秒以下であるので、これを用いて構成される有機ELディスプレイでは、単純マトリックスによるデューティ駆動が可能である。しかし、画素数の増加に伴って高

デューティ化が進んだ場合、十分な輝度を確保するためには、有機EL素子に瞬間的に大電流を供給する必要があり、素子にダメージが加わり易くなる。

【0004】一方、アクティブマトリックス駆動では、各画素に薄膜トランジスタ (thin film transistor : 以下TFTと記す) と共に保持容量を形成することで信号電圧が保持されるので、1フレームの間常に信号電圧に応じて駆動電流を有機EL素子に印加できる。このため、単純マトリックスのように瞬間的に大電流を供給する必要がなく、有機EL素子に対するダメージを小さくすることができる。

【0005】このような有機EL素子を用いたアクティブマトリックス型の表示装置 (すなわち有機ELディスプレイ) は、基板上の各画素に薄膜トランジスタが設けられ、これらの薄膜トランジスタが層間絶縁膜で覆われている。そして、この層間絶縁膜上に有機EL素子が形成されている。この有機EL素子は、薄膜トランジスタに接続された状態で各画素にパターン形成された下部電極、この下部電極を覆う状態で形成された有機層、この有機層を覆う状態で設けられた上部電極で構成されている。

【0006】このようなアクティブマトリックス型の表示装置では、上部電極が全画素を覆うベタ膜として形成され、全画素間に共通の上部共通電極として用いられている。また、このような表示装置においてカラー表示が可能なのは、各色毎に異なる有機層が下部電極上にパターン形成されている。

【0007】ところが、このような表示装置においては、TFTが形成された基板上に絶縁膜を介して有機EL素子が形成されるため、有機層で発生した発光光を基板側から取り出す、いわゆる透過型の表示装置として形成した場合には、TFTによって有機EL素子の開口面積が狭められてしまう。

【0008】そこで、アクティブマトリックス型の表示装置においては、有機EL素子の開口率を確保するために、基板と反対側から光を取り出す、いわゆる上面光取り出し構造 (以下、上面発光型と記す) として構成することが有効になる。

【0009】

【発明が解決しようとする課題】ところが、このような表示装置を上面発光型とした場合、下部電極を反射材料で形成し、上部共通電極を透明な材料で形成することになるが、インジウムとスズの酸化物 (ITO) やインジウムと亜鉛の酸化物 (IXO) 等の透明導電膜は、金属等と比較して抵抗値が大きい。このため、上部共通電極内において電圧勾配が発生して電圧降下が生じ易く、表示面の各有機EL素子に印加される電圧が不均一になり、表示面の中央での発光強度が低下する等、表示性能が著しく低下してしまう。

【0010】さらに、ITOやIXO等の透明導電膜

は、蒸着法またはスパッタ法によって形成される。蒸着法では良質な膜を得ることができず、抵抗が高く透過率も高くなる。このため、表示装置の製造工程においてはスパッタ法によって透明導電膜を形成することになる。しかしながら、スパッタ法は、蒸着法と比較して膜形成時に堆積する粒子のエネルギーが高く、下地にダメージが加わり易い。上述したように、有機EL素子は無機半導体でのLEDと類似した基本構造をもつため、下地の有機層にダメージが加わるとリーク電流が発生し、「滅点」と呼ばれる非発光画素が発生する。

【0011】これを防止するためには、光の吸収係数の大きな金属を十分な光透過性を得られる程度に薄膜化して上部共通電極として用いることになる。しかし、このような金属薄膜は、薄膜化によってシート抵抗が高くなるため、透明導電膜を上部共通電極として用いた場合と同様に、上部共通電極内において電圧勾配が発生して電圧降下が生じ表示性能が著しく低下してしまう。

【0012】しかも、上部共通電極の膜厚が薄い場合、大気中の水分や酸素の有機層への侵入を防止することができず、有機層の劣化を早める要因にもなる。

【0013】これを防止するためには、金属薄膜からなる上部共通電極上に透明導電膜を積層形成することになるが、このような構成にした場合であっても、抵抗の低い良質な膜質の透明導電膜を形成するためには、スパッタ法による成膜を行う必要があるため、透明導電膜の形成によるダメージが金属薄膜を介して下地の有機層に加わることを完全に防止することはできない。

【0014】そこで本発明は、有機EL素子の発光強度を確保でき、表示性能の向上を図ることが可能なアクティブマトリクス型の表示装置及び表示装置の製造方法を提供することを目的とする。

【0015】

【課題を解決するための手段】このような目的を達成するための本発明は、画素毎にパターン形成された下部電極と、少なくとも有機発光材料からなる層を有し下部電極を覆う状態で設けられた有機層と、全画素を覆う状態でこれらの有機層上に設けられた上部共通電極とを備えた表示装置において、上部共通電極の下の各画素間に、上部共通電極の補助配線となるリブを設けたことを特徴としている。このリブは、有機層をパターン形成する際に用いられるマスクのスペーサとなるものである。

【0016】このような構成の層間絶縁膜においては、上部共通電極に対する補助配線となるリブを設けたことによって、この上部共通電極が高抵抗材料で構成された場合に、上部共通電極の電圧降下が抑制され、各画素における有機発光層の発光強度を維持することが可能になる。しかも、このリブは、有機層をパターン形成する際に用いられるマスクのスペーサを兼ねたものであるため、各画素間にスペーサと補助配線とを個別に設ける必要はなく、各画素間の省スペース化が図られ、画素面積

が確保される。

【0017】また、本発明の表示装置の製造方法は、下部電極上に有機層を形成し、当該有機層上に上部電極を形成した後、これらを覆う状態で保護膜を形成する表示装置の製造方法において、上部電極の形成と保護膜の形成とを同一の成膜装置内で連続して行うことを特徴としている。

【0018】

【発明の実施の形態】以下、本発明の表示装置を図面に基づいて詳しく説明する。

【0019】(第1実施形態)図1は本発明の表示装置の一実施形態例を示す図であり、表示エリアの概略構成を示す要部断面図である。また図2は、本発明の表示装置の表示エリアの概略構成を示す要部平面図であり、図1は図2のA-A'断面になっている。尚、図1には、以下において下層側から順に説明する構成要素のうち、有機層11R、11G、11B、上部共通電極12及びリブ14のみを図示した。これらの図に示す有機ELディスプレイは、アクティブマトリクス型のカラー表示装置であり、以下これらの図に示す表示装置の構成を、これらの図1及び図2と共に図3～図7の製造工程図に基づいてその製造手順に沿って説明する。

【0020】まず、図3(1)に示すように、基板1上に、画素a毎に薄膜トランジスタ2を形成する。この薄膜トランジスタ2のゲート電極3は、ここでの図示は省略した走査回路に接続されている。尚、図面においては、ボトムゲート型の薄膜トランジスタ2を示したが、薄膜トランジスタ2はトップゲート型であっても良い。また、この表示装置が基板1と反対側から発光光を取り出す上面発光型である場合、基板1は透明材料からなるものに限定されることはない。ただし、この表示装置が基板1側から発光光を取り出す透過型である場合には、基板1は透明材料からなることとする。

【0021】次に、基板1上に、この薄膜トランジスタ2を覆う状態で、例えば、酸化シリコンや、酸化シリコンにリンを含有させてなるPSG(Phos-silicate Glass)等の酸化シリコン系の材料からなる第1層間絶縁膜4を形成する。次いで、この第1層間絶縁膜4上に接続孔(図示省略)を形成した後、この接続孔を介して薄膜トランジスタ2のソース・ドレインに接続された配線6を第1層間絶縁膜4上にパターン形成する。この配線6は、信号線として用いられるもので、例えばアルミニウムやアルミニウム-銅合金で構成されている。

【0022】次に、図3(2)に示すように、配線6を覆う第2層間絶縁膜7を第1層間絶縁膜4上に形成し、この第2層間絶縁膜7に配線6に達する接続孔8を形成する。この第2層間絶縁膜7は、パターン形成された配線6を覆うため、例えばポリイミド膜のような平坦性に優れた材料膜で構成することが望ましい。また、後の工程で形成される有機層の水分による劣化を防止して発光

輝度を維持するため、この第2層間絶縁膜7は、吸水率の低い膜で構成されることが望ましい。

【0023】以上の後、図1に示すように、この第2層間絶縁膜7上の各画素a部分に、有機EL素子9を形成する。この有機EL素子9は、下層から順に下部電極10、有機層11R、11G、11B及び上部共通電極12を積層してなる。

【0024】そこで、先ず、図3(3)に示すように、画素a毎にパターンニングされた形状を有すると共に、第2層間絶縁膜7に形成された接続孔8を介して配線6に接続される下部電極10を、第2層間絶縁膜7上に形成する。この下部電極10は、アノード電極またはカソード電極として用いられるもので、この表示装置が上面発光型である場合には高反射性材料で構成され、一方この表示装置が透過型である場合には透明に形成される。

【0025】ここでは、表示装置が上面発光型であり、下部電極10をアノード電極として用いることとする。この場合、下部電極10は、クロム(Cr)、鉄(Fe)、コバルト(Co)、ニッケル(Ni)、銅(Cu)、タンタル(Ta)、タングステン(W)、プラチナ(Pt)さらには金(Au)のように、仕事関数が大きく、かつ反射率の高い導電性材料で構成される。

【0026】尚、表示装置が上面発光型であり、下部電極10をカソード電極として用いる場合には、下部電極10はアルミニウム(Al)、インジウム(In)、マグネシウム(Mg)-銀(Ag)合金、リチウム(Li)-フッ素(F)化合物、リチウム-酸素(O)化合物のような仕事関数が小さい導電性材料のうちの反射率の高いもので構成される。

【0027】また、表示装置が透過型であり、下部電極10をアノード電極として用いる場合には、ITOやIXOのように、仕事関数が大きくかつ透過率の高い導電性材料で下部電極10を構成する。さらに表示装置が透過型であり、下部電極10をカソード電極として用いる場合には、仕事関数が小さくかつ、透過率の高い導電性材料で下部電極10を構成する。

【0028】次に、図4に示すように、下部電極10の周縁を覆う状態で第2層間絶縁膜7上に絶縁膜13を形成し、この絶縁膜13に形成された窓から下部電極10を露出させる。この絶縁膜13は、例えば酸化シリコンで構成することとする。

【0029】その後、この絶縁膜13上に、本発明に特徴的な構成であるリブ14を形成する。このリブ14は、例えば絶縁性材料層14a上に、導電性材料層14bを積層してなる構造で形成され、表示エリアの全面に亘って各画素a間に行列状に配線され(図2参照)、上部の導電性材料層14bが後に形成される上部共通電極12(図1参照)に接続された補助配線として用いられる。この際、絶縁性材料層14aとしては、例えばポリイミドやフォトレジスト等の有機絶縁材料や、酸化シリ

コンのような無機絶縁材料を用いることとする。また、導電性材料層14bとしては、アルミニウム(Al)やクロム(Cr)のような低抵抗の導電性材料を単層または積層させて用いることとする。

【0030】また、リブ14は、その表面高さが、有機層11R、11G、11B(図1参照)の表面高さよりも高く形成されることとする。リブ14をこのように形成することで、次の工程で説明するように、下部電極10上に有機層11R、11G、11Bを蒸着にてパターン形成する際に用いられるマスクのスペーサとして、リブ14が用いられるようになる。

【0031】さらに、リブ14は、側壁が順テーパ形状に成形されており、これによって上述したように、ある程度の高さを有するリブ14を覆う上部共通電極12のカバレッジを確保できるように構成されている。

【0032】以上後、図5(1)~図5(3)に示すように、各発光色に対応させた有機層11R、11G、11Bを、各画素aの下部電極10上に順次パターン形成する。この際、リブ14をスペーサとし、このリブ14上に各発光色の画素上に開口部を有するメタルマスク20を載置した状態で、各有機層11R、11G、11Bを下部電極10上に順次蒸着する。また、有機層11R、11G、11Bは、下部電極10の露出面を完全に覆う状態で形成され、ここでは図示を省略した有機正孔輸送層や、有機発光層、さらには必要に応じて有機電子輸送層を下部電極10側から順次積層してなる。

【0033】以下、各有機層11R、11G、11B形成の具体的な一例を記す。

【0034】先ず、図5(1)に示すように、緑色の発光に対応する画素a上に開口部が配置されるようにメタルマスクをアライメントし、抵抗加熱により有機材料を蒸着する。ここでは、先ず、正孔注入層として、m-MTDATA[4,4,4-*tris*(3-methylphenylphenylamino)triphenylamine]を25nmの膜厚で蒸着させる。次に、正孔輸送層として、 α -NPD[4,4-bis(N-1-naphthyl-N-phenylamino)biphenyl]を30nmの膜厚で蒸着させる。さらに、電子輸送層を兼ねる発光層として、Alq3[*tris*(8-quinolinolato)aluminum(III)]を50nmの膜厚で蒸着する。これらの層は、同一の装置内で連続して蒸着されることとする。

【0035】次に、図5(2)に示すように、青色の発光に対応する画素上に開口部が配置されるようにメタルマスクをアライメントし、抵抗加熱により有機材料を蒸着する。ここでは、先ず、正孔注入層として、m-MTDATAを18nmの膜厚で蒸着させる。次に、正孔輸送層として、例えば α -NPDを30nmの膜厚で蒸着させる。さらに、正孔ブロック層を兼ねる発光層として、バソクプロイン(Bathocuproine: 2,9-dimethyl-4,7-diphenyl-1,10phenanthroline)を14nmの膜厚で蒸着した後、発光層としてAlq3を例えば30nmの

膜厚で蒸着する。これらの層は、同一の装置内で連続して蒸着されることとする。

【0036】そして、さらに図5(3)に示すように、赤色の発光に対応する画素上に開口部が配置されるようにメタルマスクをアライメントし、抵抗加熱により有機材料を蒸着する。ここでは、先ず、正孔注入層として、*m*-MTDATAを55nmの膜厚で蒸着させる。次に、正孔輸送層として、例えば α -NPDを30nmの膜厚で蒸着させる。さらに、発光層として、BSB-BCN[2,5-bis(4-(*N*-methoxyphenyl-*N*-phenylamino)styryl)benzene-1,4-dicarbonitrile]を蒸着した後、電子輸送層としてAlq3を30nmの膜厚で蒸着する。これらの層は、同一の装置内で連続して蒸着されることとする。

【0037】以上のようにして、有機層11R、11G、11Bを形成した後、図6に示すように、表示エリアの全面にペタ付けにする状態で、各画素に共通の上部共通電極12を形成する。この上部共通電極12は、側壁が順テーパ形状に成形されたリブ14の表面を覆い、リブ14の上部を構成する導電性材料層14bに接続される状態で形成されることとする。ただし、この上部共通電極12は、有機層11R、11G、11B及び絶縁膜13によって下部電極10と絶縁されたものになる。

【0038】また、この上部共通電極12は、アノード電極またはカソード電極として用いられるもので、この表示装置が上面発光型である場合には透明に形成され、一方この表示装置が透過型である場合には高反射性材料で構成される。この際、下地に対して影響を及ぼすことのない程度に、成膜粒子のエネルギーが小さい成膜方法、例えば蒸着法やCVD(chemical vapor deposition)法によって上部共通電極12の形成を行うこととする。また、望ましくは、有機層11R、11G、11Bを大気に暴露することなく、有機層11R、11G、11Bの形成と同一の装置内において連続して上部共通電極12の形成を行うことで、大気中の水分による有機層11R、11G、11Bの劣化を防止する。

【0039】ここでは、表示装置が上面発光型であり、下部電極10をアノード電極として用いるため、上部共通電極12はカソード電極として用いられることになる。この場合、上部共通電極12は、有機層11R、11G、11Bに対して電子を効率的に注入できるように、仕事関数の小さい材料で透明に形成され、特に蒸着法のような成膜粒子のエネルギーが小さい成膜方法によって形成できる金属薄膜として形成することが好ましい。そこでここでは、Mg-Ag合金のような透過率の高い、好ましくは透過率30%以上の金属薄膜を上部共通電極12として用いることとし、例えばMg-Ag合金を共蒸着によって14nmの膜厚で形成する。

【0040】尚、下部電極10がカソード電極と用いられている場合には、上部共通電極12をアノード電極と

する。この場合、上部共通電極12は、仕事関数の大きい材料を用いて透明に形成され、特に蒸着法によって形成できる金属薄膜として形成することが好ましい。

【0041】また、表示装置が透過型であり、上部共通電極12をカソード電極として用いる場合には、仕事関数が小さくかつ反射率の高い導電性材料で上部共通電極12を構成する。さらに表示装置が透過型であり、上部共通電極12をアノード電極として用いる場合には、仕事関数が大きくかつ反射率の高い導電性材料で上部共通電極12を構成する。

【0042】以上の後、図7に示すように、金属薄膜からなる透明な上部共通電極12上に、絶縁性または導電性の保護膜16を設ける。この際、下地に対して影響を及ぼすことのない程度に、成膜粒子のエネルギーが小さい成膜方法で、例えば蒸着法やCVD(chemical vapor deposition)法によって保護膜16の形成を行うこととする。また、保護膜16の形成は、上部共通電極12を大気に暴露することなく、上部共通電極12の形成と同一の装置内において連続して行うこととする。これによって、大気中の水分や酸素による有機層11R、11G、11Bの劣化を防止しながら保護膜16を形成するのである。

【0043】また、この保護膜16は、有機層11R、11G、11Bへの水分の到達防止を目的とし、透過水性、吸水性の低い材料を用いて十分な膜厚で形成されることとする。さらに、表示装置が上面発光型である場合には、この保護膜16は有機層11R、11G、11Bで発生した光を透過する材料からなり、例えば80%程度の透過率が確保されていることとする。

【0044】そして、特にここでは、保護膜16を絶縁性材料によって形成する、つまり、金属薄膜からなる単層構造の上部共通電極12上に、絶縁性の保護膜16を直接形成するのである。

【0045】このような保護膜16として、無機アモルファス性の絶縁性材料、例えばアモルファスシリコン(α -Si)、アモルファス炭化シリコン(α -SiC)、アモルファス窒化シリコン(α -Si_{1-x}N_x)さらにはアモルファスカーボン(α -C)等を好適に用いることができる。このような無機アモルファス性の絶縁性材料は、グレインを構成しないため透水性が低く、良好な保護膜16となるのである。

【0046】例えば、アモルファス窒化シリコンからなる保護膜16を形成する場合には、CVD法によって2~3 μ mの膜厚に形成されることとする。ただし、この際、有機層11R、11G、11Bの劣化による輝度の低下を防止するため成膜温度を常温に設定し、さらに、保護膜16の剥がれを防止するために膜のストレスを最小になる条件で成膜することが望ましい。

【0047】尚、保護膜16を導電性材料で構成する場合には、ITOやIXOのような透明導電性材料が用い

られることになる。

【0048】以上のようにして保護膜16を形成した後、図1に示したように、必要に応じて保護膜16上に紫外線硬化樹脂17を介してガラス基板18を固着し、表示装置を完成させる。

【0049】このように構成された有機ELディスプレイでは、上部共通電極12に表示面の全面に亘って補助配線となるリブ14を接続させたことで、表示面の全面を覆う状態でベタ付けされた上部共通電極12の表示面内における電圧勾配を抑え、電圧降下を抑制することが可能になる。このため、表示面内において各画素aに設けられた有機EL素子9の発光強度を確保することができる。

【0050】特に、上面発光型の表示装置において、有機層11R、11G、11Bで発生した発光光を透過する金属薄膜によって上部共通電極12を構成した場合には、この上部共通電極12のシート抵抗は高くなる。しかし、リブ14の導電性材料層14bがこの上部共通電極12の補助配線となり、上部共通電極12の表示面内における電圧勾配が抑えられ、表示面の中央付近における電圧降下を抑制することが可能になるのである。

【0051】このため、金属薄膜からなる上部共通電極12上に、直接絶縁性材料からなる保護膜16を直接設けた構成にしても、表示面内において各画素aに設けられた有機EL素子9の発光強度を確保することができる。このような金属薄膜からなる上部共通電極12や絶縁性材料からなる保護膜16は、下地に対して影響を及ぼすことのない程度に、成膜粒子のエネルギーが小さい成膜方法、例えば蒸着法やCVD(chemical vapor deposition)法によって形成することができるため、有機層11R、11G、11Bにダメージが加わることを防止できる。この結果、リーク電流の発生による「滅点」と呼ばれる非発光画素の発生を防止することも可能になる。

【0052】しかも、このリブ14は、補助配線として用いられるだけでなく、有機層11R、11G、11Bをパターン形成する際のマスクのスペーサを兼ねたものであるため、各画素a間にスペーサと補助配線とを個別に設ける必要はなく、各画素a間の省スペース化が図られ、画素面積が確保される。以上の結果、アクティブマトリックス型の上面発光有機ELディスプレイの表示性能の向上を図ることが可能になる。

【0053】また、高抵抗な上部共通電極12に補助配線(リブ14)を接続させたことで、消費電力を削減することが可能になる。さらに、上部共通電極12の発熱を抑制して有機層11R、11G、11Bの劣化を防止することができるため、表示性能を維持することが可能になる。

【0054】さらに、リブ14を絶縁性材料層14aと導電性材料層14bとを積層した二層構造としているた

め、スペーサとしての機能を持たせるためのリブ14の高さを、絶縁性材料層14aによって確保できる。したがって、導電性材料層14bのエッチング残りなどを生じることなく、高さを必要とするリブ14の形成が容易になる。

【0055】上記実施形態例では、リブ14を絶縁性材料層14a上に導電性材料層14bを積層した二層構造として説明した。しかし、このリブ14は、図8(1)に示すように、導電性材料層14b上に絶縁性材料層14aを積層してなる構造であっても良い。さらにここでの図示は省略したが、絶縁性材料層の表面を導電性材料層で覆った構成であっても良く、また、導電性材料のみで構成されたものであっても良い。リブ14を導電性材料のみで構成した場合には、リブ14及びこれに接続された上部共通電極12をより低抵抗化することが可能になる。

【0056】ただし、上述したような何れの構成のリブであっても、側壁が順テーパ形状に成形されることが望ましく、また、有機EL素子の上部共通電極12がリブ14を構成する導電性材料層に接続され、この導電性材料層が上部共通電極12の補助配線として構成されていることは言うまでもない。さらに、リブ14は、その表面高さが有機層11R、11G、11Bの表面高さよりも高く形成されており、これによって有機層11R、11G、11Bを蒸着にてパターン形成する際に用いられるマスク20のスペーサとしても用いられるものであることとする。

【0057】図9は本発明の有機ELディスプレイの他の実施形態例を示す図であり、表示エリアの概略構成を示す要部平面図である。この図に示す有機ELディスプレイと図1及び図2を用いて説明した有機ELディスプレイとの異なるところは、リブ14'が、島状にパターンニングされた絶縁性材料層14a'と補助配線として用いられる導電性材料層14bとの2層構造で構成されている点にあり、その他の構成は同様であることとする。

【0058】すなわち、この有機ELディスプレイの各画素a間には、導電性材料層14bが各画素a間に行列状に配線され、行方向と列方向に延設された導電性材料層14bの交差部分上に島状にパターンニングされた絶縁性材料層14a'が形成されている。

【0059】また、スペーサとしての機能を持たせるためのリブ14'の高さは、絶縁性材料層14a'によって確保し、絶縁性材料層14a'の側壁を順テーパ形状にすることで、この絶縁性材料層14a'を覆う上部共通電極12のカバレッジを確保する。

【0060】このように構成されたリブ14'を備えた有機ELディスプレイであっても、高抵抗な透明導電性材料で構成された上部共通電極12に、表示面の全面に亘って補助配線となる導電性材料層14bを接続させたことで、表示面内における上部共通電極の電圧降下を抑

制することが可能になる。このため、表示面内における各画素aの有機EL素子の発光強度を確保することができる。しかも、リブ14'は、絶縁性材料層14a'と導電性材料層14bとの積層部分が、有機層11R、11G、11Bをパターン形成する際のマスクのスペーサとなるため、各画素間にスペーサと補助配線とを個別に設ける必要はなく、各画素a間の省スペース化が図られ、画素面積が確保される。この結果、先に説明した実施形態例の有機ELディスプレイと同様に、アクティブマトリクス型の上面発光有機ELディスプレイの表示性能の向上を図ることが可能になる。

【0061】また、リブ14'においてスペーサとなる部分の高さを絶縁性材料層14a'によって確保しているため、高さを必要とするスペーサ部分の形成が容易になる。しかも、この絶縁性材料層14a'を島状にパターンニングしたことで、高さを必要とする（つまりある程度の底面積を必要とする）スペーサ部分の配置面積が縮小されることになる。そして、各画素a間に、低抵抗材料からなる導電性材料層14bを狭いパターン幅で形成することで、画素面積を拡大することが可能になり、さらに表示性能の向上を図ることが可能になる。

【0062】またここでは、導電性材料層14b上に島状にパターン形成された絶縁性材料層14a'を形成した場合を説明したが、島状にパターン形成された絶縁性材料層14a'上に、一部分を重ねる状態で導電性材料層14bを設け、これをリブ14'としても良い。

【0063】

【発明の効果】以上説明したように本発明の表示装置によれば、有機層をパターン形成する際に用いられるマスクのスペーサと、表示面の全面を覆う上部共通電極の補

助配線とを兼ねるリブを各画素間に設けたことで、表示面の全面素子における有機発光層の発光強度を維持しつつ、各画素間の省スペース化を図って画素面積を確保することが可能になる。この結果、アクティブマトリクス型の表示装置における表示性能の向上を図ることが可能になる。

【図面の簡単な説明】

【図1】本発明の一実施形態例を説明するための要部断面図である。

【図2】本発明の一実施形態例を説明するための要部平面図である。

【図3】図1及び図2に示す表示装置の製造工程図（その1）である。

【図4】図1及び図2に示す表示装置の製造工程図（その2）である。

【図5】図1及び図2に示す表示装置の製造工程図（その3）である。

【図6】図1及び図2に示す表示装置の製造工程図（その4）である。

【図7】図1及び図2に示す表示装置の製造工程図（その5）である。

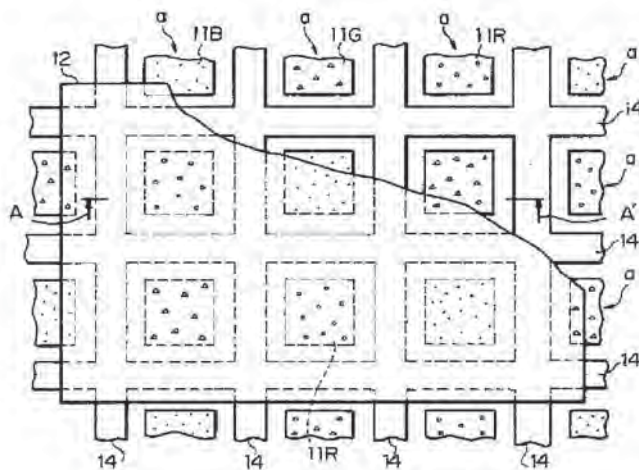
【図8】リブの構成例を説明するための要部断面図である。

【図9】本発明の他の実施形態例を説明するための要部平面図である。

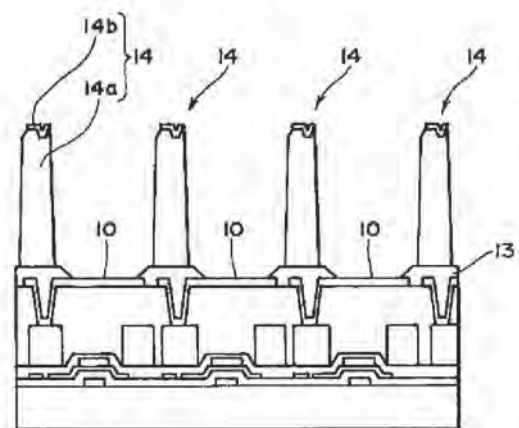
【符号の説明】

10…下部電極、11R、11G、11B…有機層、12…上部共通電極、14、14'…リブ、14a、14a'…絶縁性材料層、14b…導電性材料層、16…保護膜、a…画素

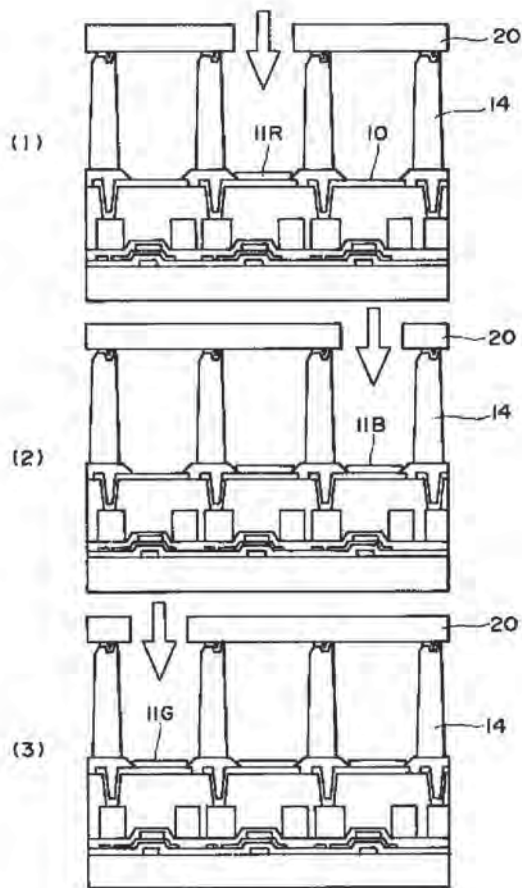
【図2】



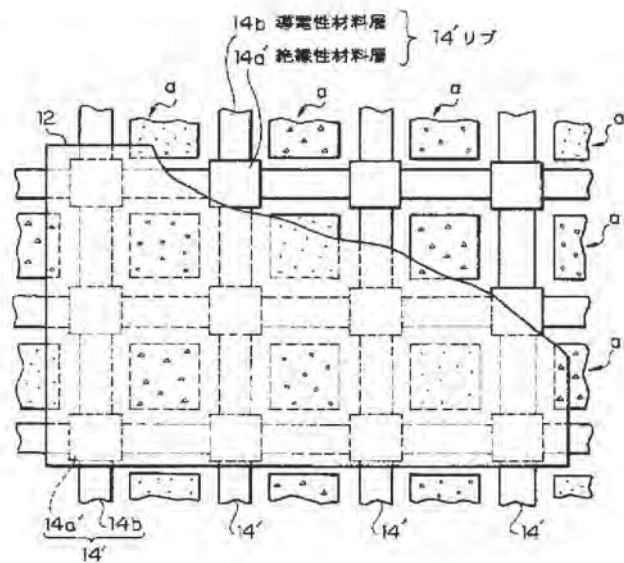
【図4】



【図5】



【図9】



フロントページの続き

(51) Int. Cl. 7	識別記号	F I	キーワード (参考)
H 0 5 B 33/14		H 0 5 B 33/14	A
33/22		33/22	Z
(72) 発明者 平野 貴之		(72) 発明者 佐野 直樹	
東京都品川区北品川6丁目7番35号	ソニ	東京都品川区北品川6丁目7番35号	ソニ
株式会社内		株式会社内	
(72) 発明者 岩瀬 祐一		(72) 発明者 笹岡 龍哉	
東京都品川区北品川6丁目7番35号	ソニ	東京都品川区北品川6丁目7番35号	ソニ
株式会社内		株式会社内	
(72) 発明者 関谷 光信		F ターム (参考)	3K007 AB00 BA06 BB00 CB01 DA00
東京都品川区北品川6丁目7番35号	ソニ		DB03 EB00 FA01
株式会社内			5C094 AA07 AA25 AA60 BA03 BA27
			CA19 EA05 EA07 EC04 HA08
			5G435 AA00 AA16 BB05 HH12 HH14
			KK05

JP2002352963

Publication Title:

DISPLAY DEVICE

Abstract:

Abstract of JP2002352963

PROBLEM TO BE SOLVED: To obtain a display device which has proper contrast by preventing outdoor daylight reflection by auxiliary wiring, in the display device prepared by auxiliary wiring between light-emitting elements.
SOLUTION: The display device is constituted with the light-emitting element 13 arranged on a substrate 1, in a state of an organic EL layer 11 being equipped with an organic light-emitting layer is sandwiched between a 1st electrode 7, and a 2nd electrode 12, which consists of a light-transmitting material, and the auxiliary electrode 9 arranged in a state of its being connected with the 2nd electrode 12 between the light-emitting elements 13, where the surface of the auxiliary electrode 9 is covered by a light-absorbing layer 10.

Data supplied from the esp@cenet database - Worldwide

Courtesy of <http://v3.espacenet.com>

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-352963
(P2002-352963A)

(43) 公開日 平成14年12月6日 (2002. 12. 6)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト* (参考)
H 0 5 B 33/26		H 0 5 B 33/26	Z 3 K 0 0 7
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8 5 C 0 9 4
	3 6 5		3 6 5 Z
H 0 5 B 33/14		H 0 5 B 33/14	A

審査請求 未請求 請求項の数 8 O L (全 8 頁)

(21) 出願番号 特願2001-153327(P2001-153327)

(22) 出願日 平成13年5月23日 (2001. 5. 23)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 平野 貴之

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 岩瀬 祐一

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100086298

弁理士 船橋 國則

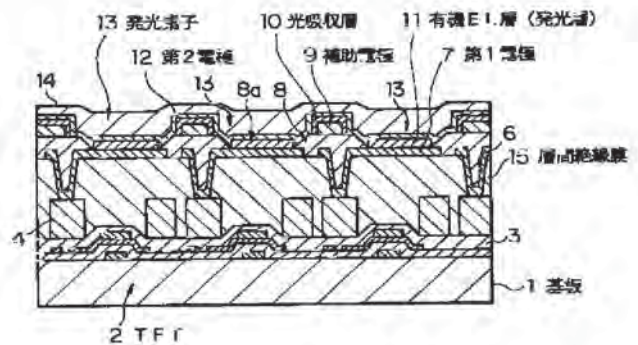
最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 発光素子間に補助配線を設けてなる表示装置において、補助配線での外光反射を防止したコントラストの良好な表示装置を得る。

【解決手段】 第1電極7と、光透過性材料からなる第2電極12との間に有機発光層を備えた有機EL層11を挟持した状態で基板1上に配列された発光素子13と、第2電極12に接続された状態で発光素子13間に配置された補助電極9とを備えた表示装置において、補助電極9の表面が、光吸収層10で覆われていることを特徴としている。



【特許請求の範囲】

【請求項1】 第1電極と光透過性材料からなる第2電極との間に発光層を挟持した状態で基板上に配列された発光素子と、前記第2電極に接続された状態で前記発光素子間に配置された補助電極とを備えた表示装置において、

前記補助電極の表面が、光吸収層で覆われていることを特徴とする表示装置。

【請求項2】 請求項1記載の表示装置において、前記光吸収層は、導電性材料からなることを特徴とする表示装置。

【請求項3】 請求項1記載の表示装置において、前記光吸収層として、酸化クロム膜を用いたことを特徴とする表示装置。

【請求項4】 請求項3記載の表示装置において、前記光吸収層は、前記酸化クロム膜の下地層としてクロム膜を用いたことを特徴とする表示装置。

【請求項5】 請求項1記載の表示装置において、前記光吸収層として、樹脂材料膜を用いたことを特徴とする表示装置。

【請求項6】 請求項5記載の表示装置において、前記光吸収層は、前記樹脂材料膜の下地層としてクロム膜を用いたことを特徴とする表示装置。

【請求項7】 請求項5記載の表示装置において、前記第2電極と補助電極とが、前記樹脂材料膜に形成された接続孔において接続されていることを特徴とする表示装置。

【請求項8】 請求項1記載の表示装置において、前記第1電極は、前記基板上に形成されたトランジスタに接続する状態で設けられていることを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は表示装置に関し、特に画素間に補助電極を設けてなる表示装置に関する。

【0002】

【従来の技術】自発光型の素子（以下、発光素子と記す）である有機エレクトロルミネッセンス(electroluminescence; 以下ELと記す)素子は、カソード電極またはアノード電極となる下部電極と上部電極との間に、有機発光層を含む有機EL膜を挟持してなり、低電圧直流駆動による高輝度発光が可能な発光素子として注目されている。

【0003】このような発光素子を用いた表示装置（すなわち有機ELディスプレイ）において、例えば各画素に薄膜トランジスタが設けられたアクティブマトリクス型の表示装置では、基板上に形成された薄膜トランジスタを覆う状態で層間絶縁膜が設けられ、この層間絶縁膜上の各画素部に発光素子が設けられている。ところで、このアクティブマトリクス型の表示装置において

発光素子の開口率を確保するためには、発光素子で発生させた発光光を基板と反対側の上部電極側から取り出す、いわゆる上面光取り出し構造（以下、上面発光型と記す）として構成することが有効になる。

【0004】ここで、上面発光型の表示装置では、光透過性材料によって上部電極が形成されることになるが、このような材料は抵抗値が大きいため上部電極内において電圧勾配が発生して電圧降下が生じ易い。そこで、各発光素子が設けられた画素間に、上部電極に接続させる状態で補助電極を設け、これによって発光強度の低下を抑えている。

【0005】

【発明が解決しようとする課題】ところが、上述した構成の表示装置のように、補助配線を設けた表示装置においては、この補助配線が上部電極を透過して表示面側から見えることになる。通常、補助電極は、アルミニウムのような低抵抗材料で形成されており、外光反射が大きい。このため、上部電極側からの外光が補助配線で反射し、表示装置のコントラストを低下させる要因になっている。

【0006】

【課題を解決するための手段】そこで本発明は、第1電極と光透過性材料からなる第2電極との間に発光層を挟持した状態で基板上に配列された発光素子と、第2電極に接続された状態でこれらの発光素子間に配置された補助電極とを備えた表示装置において、補助電極の表面に光吸収層を設けたことを特徴としている。

【0007】このような構成の表示装置においては、光透過性材料からなる第2電極側から発光層側に入射される外光のうち、発光素子間に入射される外光は、補助配線の表面に設けられた光吸収層によって吸収される。したがって、発光層で生じた発光光を光透過性材料からなる第2電極側から取り出して表示する際に、発光素子間に設けられた補助配線での外光反射によるコントラストの低下が防止される。

【0008】

【発明の実施の形態】以下、本発明の表示装置の実施の形態を図面に基づいて説明する。尚ここでは、発光素子として有機EL素子を配列形成してなるアクティブマトリクス方式の上面発光型表示装置を例示して実施形態の説明を行う。しかし、本発明は、発光素子として有機EL素子を用いたものに限定されることなく、例えば無機電界発光素子のような自発光型の発光素子を用いた表示装置に広く適用可能である。また、アクティブマトリクス方式に限定されることもなく、単純マトリクス方式の表示装置にも適用可能である。

【0009】表示装置の構成

図1は、本実施形態における表示装置の構成を説明するための断面図である。この図に示す表示装置は、例えばガラス基板からなる基板1上の各画素に対応させて、薄

膜トランジスタ (thin film transistor: 以下TFTと記す) 2が配列形成されている。尚、ここで例示した表示装置は上面発光型であるため、基板1は光透過性を有する材料である必要はなく、ガラス基板以外の他の基板 (例えばシリコン基板等) を用いても良く、この基板の表面層に駆動用のトランジスタを配列形成しても良い。

【0010】また基板1上には、TFT2を覆う状態で絶縁膜3が設けられ、この絶縁膜3に形成した接続孔 (図示省略) を介してTFT2に接続させた配線4が、絶縁膜3上に設けられている。

【0011】この絶縁膜3上には、配線4を覆う状態で層間絶縁膜5が表面平坦に形成されている。この層間絶縁膜5には、配線4に達する接続孔6が設けられている。そして、この接続孔6を介して配線4に接続された第1電極7が、層間絶縁膜5上に各画素に対応させてパターン形成されている。この第1電極7は、例えば発光素子の陽極として用いられるもので、Au (金)、Pt (プラチナ)、Cr (クロム) に代表されるような仕事関数の高い材料を用いて構成されていることとする。尚、この第1電極7は、陰極として用いられても良く、この場合にはこの第1電極7は、仕事関数の低い導電性材料を用いて構成されることとする。

【0012】また、層間絶縁膜5上には、第1電極7の周縁を覆う状態で絶縁膜8が設けられている。この絶縁膜8は、例えば酸化シリコン (SiO_2) などからなり、第1電極7の表面のみを露出させるようにパターンニングされた開口部8aを備えている。尚、この開口部8aがこの表示装置における発光素子部分となる。

【0013】この絶縁膜8上には、アルミニウム (Al) や銀 (Ag) のような導電性の高い材料からなる補助電極9が設けられている。この補助電極9は、次に説明する第2電極の導電性を補助するためのもので、絶縁膜8上に設けられたことによって第1電極7との間の絶縁性が保たれていることとする。

【0014】そして特に、補助配線9の表面には、絶縁膜8の開口部8aを狭めることのないように、補助配線9を覆う状態で光吸収層10が設けられている。この光吸収層10は、絶縁膜8上に設けられた補助電極9の少なくとも上部表面を覆う状態で設けられ、より好ましくは図示したように補助電極9の露出表面を完全に覆う状態で設けられていることとする。

【0015】このような光吸収層10は、導電性材料や樹脂材料を用いて構成されていることとする。

【0016】導電性材料を用いて構成された光吸収層10としては、酸化クロム (CrO_2) 膜を用いた構成を例示することができる。この場合、酸化クロム膜を単層で用いても良く、さらに好ましくは酸化クロム膜の下地としてクロム膜を配置し、クロム膜と酸化クロム膜との2層構造としても良い。この場合の一例として、クロム膜50nm、酸化クロム膜150nmに設定される。

【0017】このような導電性材料を用いて光吸収層10を構成した場合、この光吸収層10も、補助電極9の一部を構成するものとなる。また、光吸収層10の構成をクロム膜とその上部の酸化クロム膜との2層構造にした場合には、酸化クロム単層の場合よりもさらに高い光吸収効果を得ることができる。

【0018】また、樹脂材料を用いて構成された光吸収層10としては、感光性ポリイミド膜を用いた構成を例示することができる。この場合、例えば黒色顔料を分散させた感光性ポリイミド膜を単層で用いても良く、さらに好ましくは感光性ポリイミド膜の下地としてクロム膜を配置し、クロム膜と感光性ポリイミド膜との2層構造としても良い。この場合の一例として、クロム膜50nm、感光性ポリイミド膜2.0 μm に設定される。このように、光吸収層10の構成をクロム膜とその上部の樹脂材料層との2層構造にした場合には、樹脂材料層単層の場合よりもさらに高い光吸収効果を得ることができる。

【0019】尚、光吸収層10として樹脂材料を用いる場合であって、この光吸収層10によって完全に補助電極9の露出面が覆われる場合、樹脂材料膜には、数画素に1個所程度の割合で補助電極9に達する接続孔 (図示省略) を設け、この接続孔を介して次に説明する第2電極と補助配線9との接続状態を確保する。この接続孔の形成位置は、特に限定されることはないが、この表示装置の画質に対する影響がより小さい位置とすることが好ましい。

【0020】一方、絶縁膜8の各開口部8a内の第1電極7上には、第1電極7を隙間なく覆う状態で有機EL層11がパターン形成されている。この有機EL層11は、少なくとも有機発光層を有するものであり、必要に応じて正孔注入層や正孔輸送層などの単層または積層膜と、電子輸送層や電子注入層などの単層または積層膜間に、有機発光層を挟持させた層であることとする。一例としては、陽極として設けられた第1電極7上に、正孔注入層、正孔輸送層を順次積層し、この上部に電子輸送層を兼ねた有機発光層を積層させた構成を示すことができる。

【0021】そして、以上のように設けられた補助電極9、光吸収層10および有機EL層11を覆う状態で、第2電極12が設けられている。この第2電極12は、各画素に共通の電極として、基板1上に一枚の層として設けられていることとする。この第2電極は、第1電極7が陽極である場合には陰極として設けられ、第1電極7が陰極である場合には陽極として設けられる。ただし、この第2電極12は、光透過性を備えていることとする。ここでは、第2電極12は、例えばMg-Ag薄膜からなる陰極として設けられていることとする。そして、第1電極7と有機EL層11と、この第2電極12とが順次積層された各部分が、それぞれ発光素子13と

なる。これらの各発光素子13には、配線4を介してそれぞれTFT2が接続されている。

【0022】また、この第2電極12上には、この薄膜状の第2電極12を保護すると共にその導電性を確保するための透明導電膜14を設けても良い。この透明導電膜14としては、室温成膜においても良好な導電性を示すIn-Zn-O系の透明導電性材料を好適に用いることができる。

【0023】尚ここでは、第2電極12の下層に補助電極9を設けた構成としたが、第2電極12の上部または透明導電膜14の上部に補助電極9を設けた構成であっても良い。このような場合であっても、補助電極9を形成した状態における露出表面を光吸収層10で覆う構成は同様である。ただしこの場合において、光吸収層10として樹脂材料を用いる場合であって、この光吸収層10によって完全に補助電極9の露出面が覆われた構成であっても、補助電極9はその下面において透明導電膜14を介して第2電極12に接続されるため、樹脂材料膜には接続孔(図示省略)を設ける必要はない。

【0024】以上のような構成の表示装置においては、各有機EL層11で生じた発光光が、光透過性材料からなる第2電極12側から取り出される上面発光型となる。ここで、特にこの表示装置においては、アルミニウムや銀などの導電性が高く、反射率が高い材料からなる補助電極9の表面(第2電極12側の表面)が、光吸収層10によって覆われている。このため、透明導電膜14を介して第2電極12側から有機EL層11側および補助配線9側に入射した外光は、この補助配線9の表面を覆う光吸収層10によって吸収される。さらに、この補助電極9の下方に配置される配線4などに外光が達することを防止できる。つまり、この光吸収層10は、発光素子間に設けられたブラックマトリックスとして作用することになる。したがって、有機EL層11における発光光を第2電極12側から取り出して表示する際に、発光素子13間に設けられた補助配線9での外光反射、さらには補助配線9の下方に配置された配線4での外光反射が抑えられ、コントラストの良好な表示を行うことが可能になる。

【0025】また、この表示装置においては、光吸収層10が直接、補助配線9を覆う状態で設けられているため、例えば、透明導電膜14の上方に、さらに偏向板や波長板を配置する場合と比較して、有機EL層11で生じた発光光を有効に取り出すことが可能になると共に、補助配線9に対して外光が漏れ込むことを確実に防止することができる。この結果、表示装置における輝度の向上と消費電力の低下を達成することが可能になる。

【0026】表示装置の製造方法-1
次に、上述した表示装置の製造方法の一例を、図2、図3および図4の断面工程図を用いて説明する。尚ここで説明する製造方法はあくまでも一例であり、この製造方

法によって本発明の表示装置が限定されることはない。

【0027】まず、図2(1)に示すように、基板1上の各画素に、TFT2を配列形成する。そして、このTFT2を覆う状態で絶縁膜3を形成し、この絶縁膜3に形成した接続孔(図示省略)を介してTFT2に接続させた配線4を、絶縁膜3上に形成する。

【0028】次いで、図2(2)に示すように、この配線4を覆う状態で、絶縁膜3上に層間絶縁膜5を表面平坦に形成する。そして、この層間絶縁膜5に、配線4に達する接続孔6を形成する。

【0029】次に、図2(3)に示すように、層間絶縁膜5上に第1電極7を形成する。この場合、上述したような仕事関数の高い材料からなる陽極膜を、例えばDCスパッタリング法によって200nmの膜厚で成膜する。成膜条件の一例としては、例えばスパッタガスとしてAr(アルゴン)を用い、成膜圧力を0.2Pa、DC出力を300Wに設定する。その後、リソグラフィ技術を用いてこの陽極膜上にレジストパターンを形成し、これをマスクに用いて陽極膜をエッチング加工することで、陽極膜を高精度にパターンニングしてなる第1電極7を得る。このエッチング加工は、ウェットエッチングやドライエッチングによって行われる。

【0030】次に、図2(4)に示すように、各画素に形成された第1電極7の周縁を覆い、第1電極7の表面のみを露出させる形状の絶縁層8を形成する。この場合、先ず、例えばSiO₂のような絶縁性材料を、スパッタリングによって600nm程度の膜厚で成膜する。次いで、リソグラフィ技術を用いてこの膜上にレジストパターンを形成し、これをマスクに用いたエッチング加工を行うことで、第1電極7を露出させる開口部8aを有する絶縁膜8を得る。このエッチング加工は、例えばフッ酸とフッ化アンモニウムとの混合水溶液を用いたウェットエッチングやドライエッチングによって行われる。

【0031】次に、図3(1)に示すように、絶縁膜8上に補助電極9を形成する。この場合、先ず、上述した導電性の高い材料(例えばAl)からなる導電膜を、例えばDCスパッタリング法によって300nmの膜厚で成膜する。成膜条件の一例としては、例えばスパッタガスとしてArを用い、成膜圧力を0.2Pa、DC出力を300Wに設定する。その後、リソグラフィ技術を用いてこの導電膜上にレジストパターンを形成し、これをマスクに用いて導電膜をエッチング加工することで、補助電極9を得る。このエッチング加工は、例えばウェットエッチングによって行われる。この際、導電性材料としてAlを用いる場合には、エッチング液として例えば大宮化成(株)製「AL-1」(商品名)が用いられる。

【0032】以上のようにして補助電極9を形成した後、この補助電極9の露出面を覆う状態で光吸収層10

を形成する。ここで、例えばクロム膜と酸化クロム膜との2層構造からなる光吸収層10を形成する場合、先ず、クロム膜をDCスパッタリング法によって50nmの膜厚で成膜する。成膜条件の一例としては、例えばスパッタガスとしてArを用い、成膜圧力を0.2Pa、DC出力を300Wに設定する。その後、このクロム膜上に、酸化クロム膜をDCスパッタリング法によって150nmの膜厚で成膜する。成膜条件の一例としては、例えばスパッタガスにAr:O₂=1:1分圧としたガスを用い、成膜圧力を0.3Pa、DC出力を300Wに設定する。

【0033】次いで、リソグラフィ技術を用いてこの酸化クロム膜上にレジストパターンを形成し、これをマスクに用いて酸化クロム膜およびクロム膜をエッチング加工することで、補助電極9の露出面を覆う光吸収層10を得る。このエッチング加工は、ウェットエッチングやドライエッチングによって行われる。エッチング液として例えば三洋化成工業(株)製「ETCH-1」(商品名)が用いられる。

【0034】尚、補助電極9の上部のみに光吸収層10を設けた構成とする場合には、補助電極材料と光吸収層材料とを成膜した後、同一のレジストパターンをマスクに用いてこれらの材料膜をパターンエッチングすることで、補助電極9と光吸収層10とのを形成する。このようにした場合、マスクの作製工程を増加させることなく光吸収層10を形成することができる。

【0035】次に、図3(2)に示すように、第1電極7上に、発光層を有する有機EL層11を形成する。ここでは、真空蒸着装置を用いた成膜を行う。この場合、基板1上に蒸着マスクAを載置し、この蒸着マスクA上からの真空蒸着により、次のような手順で有機EL層11を形成する。この際、第1電極7の露出表面のみに正確に有機EL層11をパターン形成することは困難である。このため、絶縁膜8の縁に有機EL層11が重なり、第1電極7の露出表面が確実に有機EL層11で覆われるように、蒸着マスクAを設計することとする。

【0036】そしてまず、第1電極7上に、正孔注入層として4,4',4"-トリス(3-メチルフェニルフェニルアミノ)トリフェニルアミン(MTDATA)を30nmの膜厚で形成し、次いで正孔輸送層としてビス(N-ナフチル)-N-フェニルベンジジン(α -NPD)を20nmの膜厚で形成し、さらに電子輸送性発光層として8キノリノールアルミニウム錯体(A1q3)を50nmの膜厚で形成する。この際、真空蒸着装置の各抵抗加熱用のポートに、例えば各層材料0.2gづつを充填する。そして、真空処理室内を 1.0×10^{-4} Paまで減圧した後、各ポートに順次電圧を印加して加熱し、連続成膜を行う。

【0037】以上の後、図4(1)に示すように、基板1上から蒸着マスク(A)を取り除き、有機EL層1

1、光吸収層10で覆われた補助電極9などを覆う状態で、基板1上の全面に第2電極12を形成する。ここでは、マグネシウム-銀からなる第2電極12を10nmの膜厚で形成することとする。この際、真空蒸着装置を用い、各抵抗加熱用のポートにマグネシウムを0.1g、銀を0.4g充填し、真空処理室内を 1.0×10^{-4} Paまで減圧した後、各ポートに電圧を印加して加熱して成膜を行う。これにより、マグネシウムと銀との成膜速度比を9:1とした成膜を行う。

【0038】次に、図4(2)に示すように、第2電極12上の全面に、透明導電膜14を形成する。この場合、例えばDCスパッタリングによって、室温成膜において良好な導電性を示すIn-Zn-O系の透明導電膜14を200nmの膜厚で形成する。成膜条件の一例としては、スパッタガスとしてアルゴンと酸素の混合ガス(体積比Ar:O₂=1000:5)を用い、成膜雰囲気圧力0.3Pa、DC出力40Wに設定される。

【0039】以上のようにして、図1を用いて説明した表示装置が得られる。また、この透明導電膜14上には、必要に応じて光透過性材料からなる封止膜を設けたり、さらに光透過性材料からなる対向基板が貼り合わせられることとする。

【0040】表示装置の製造方法-2

次に、図1を用いて説明した表示装置において、光吸収層10に樹脂材料膜を用いた場合の製造方法を説明する。尚、ここでは、光吸収層10の成膜工程のみを、図3(1)を用いて説明するが、その他の手順は製造方法-1と同様であることとする。

【0041】ここでは先ず、補助電極9を形成した後、補助電極9および第1電極7を覆う状態で、基板1上にボジ型の感光性ポリイミド膜を成膜する。この感光性ポリイミド膜は、例えば黒色顔料が分散されていることとする。この際、例えば、基板1の回転数を3200rpm程度に設定したスピンコート法による塗布成膜を行う。そして、成膜後直ちにホットプレート上にて90℃、10分間のプリベーク(露光前ベーク)を行う。尚、露光前ベーク後における膜厚が、例えば2.4 μ m程度になるように塗布膜厚が設定されることとする。

【0042】次に、この感光性ポリイミド膜に対してパターン露光を行う。この際、少なくとも第1電極7上の全面に対して露光光を照射し、補助電極9上には露光光が照射されないようにパターン露光を行う。ただし、数画素に対して1個所の割合で補助電極9上にも露光光を照射する。

【0043】以上の後、例えば回転式スプレー洗浄装置を用いた現像処理を行うことで、未露光部に感光性ポリイミド膜を残して露光部の感光性ポリイミド膜を除去する。この際、現像液には、TMAH(tetramethylammonium hydroxide)の2.38%水溶液(例えば東京応化製NMD-3)を用い、3分間の現像処理を行うことと

する。これにより、補助電極9を覆うと共に複数画素に1つの割合で補助電極9に達する接続孔(図示省略)を備えた光吸収層10が形成される。この光吸収層10は、感光性ポリイミド膜単層で構成される。

【0044】次いで、感光性ポリイミド膜のポリイミドを環化させるため、本焼成をクリーンベーク炉にて行った。この本焼成は窒素雰囲気中で行われることとし、170℃で60分、その後350℃で30分の2段階の焼成を行う。尚、露光前ベークにおける感光性ポリイミドの膜厚が、2.4 μ m程度であった場合、本焼成後における感光性ポリイミド膜の膜厚は、2.0 μ m程度になる。

【0045】尚、感光性ポリイミド膜の下地としてクロム膜を設けた光吸収層10を形成する場合、補助電極9を覆う状態でクロム膜をパターン形成した後、上述した手順によって感光性ポリイミド膜をパターン形成する。または、補助電極材料を成膜した後クロム膜を成膜し、これらの材料膜を同一のレジストパターンをマスクに用いてパターンエッチングした後、上述した手順によって感光性ポリイミド膜をパターン形成しても良い。この場合、補助電極9の上部のみがクロム膜と感光性ポリイミド膜との積層膜からなり、補助電極9の側面部分が感光性ポリイミド膜の単層からなる光吸収層10が形成されることになる。

【0046】以上のような手順であっても、図1を用いて説明した表示装置が得られる。また、この透明導電膜14上には、必要に応じて光透過性材料からなる封止膜を設けたり、さらに光透過性材料からなる対向基板が貼り合わせられることとする。

【0047】尚、以上の説明においては、本発明をアクティブマトリクス型の表示装置に適用した場合を説明した。しかし本発明の表示装置は、光透過性材料からなる第2電極に補助電極が接続された表示装置であれば、単純マトリクス型の表示装置にも適用可能である。この場合であっても、第2電極によって構成される発光素子間の補助電極の表面に、上述したと同様の光吸収層を

設けることで同様の効果を得ることができる。

【0048】また、本発明を適用した単純マトリクス型の表示装置の製造は、従来の補助配線を備えた単純マトリクス型の表示装置の製造工程に、図3(1)を用いて説明した光吸収層の形成工程を加えれば良い。

【0049】さらに、単純マトリクス型の表示装置である場合、光透過性材料からなる第2電極が発光層よりも基板側に設けられ、発光層で生じた発光光が第2電極を介して基板側から取り出される透過型であっても、この第2電極に接続された補助電極が設けられた構成であれば、この補助電極の第2電極の基板側に向かう表面に光吸収層を設けることで、同程度の効果を得ることができる。

【0050】

【発明の効果】以上説明したように本発明の表示装置によれば、光透過性材料からなる第2電極側から発光層側に入射される外光を吸収するための光吸収層を、この第2電極に接続された補助電極の表面に設けたことで、発光層で生じた発光光を光透過性材料からなる第2電極側から取り出して表示する際に、発光素子間に設けられた補助配線での外光反射を防止することができる。したがって、発光素子間に補助配線を設けた表示装置におけるコントラスト向上を図ることが可能になる。

【図面の簡単な説明】

【図1】本発明の表示装置の一構成例を示す概略断面図である。

【図2】図1の表示装置の製造手順を説明するための断面工程図(その1)である。

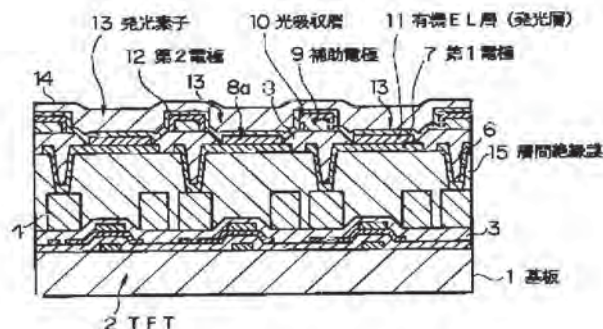
【図3】図1の表示装置の製造手順を説明するための断面工程図(その2)である。

【図4】図1の表示装置の製造手順を説明するための断面工程図(その3)である。

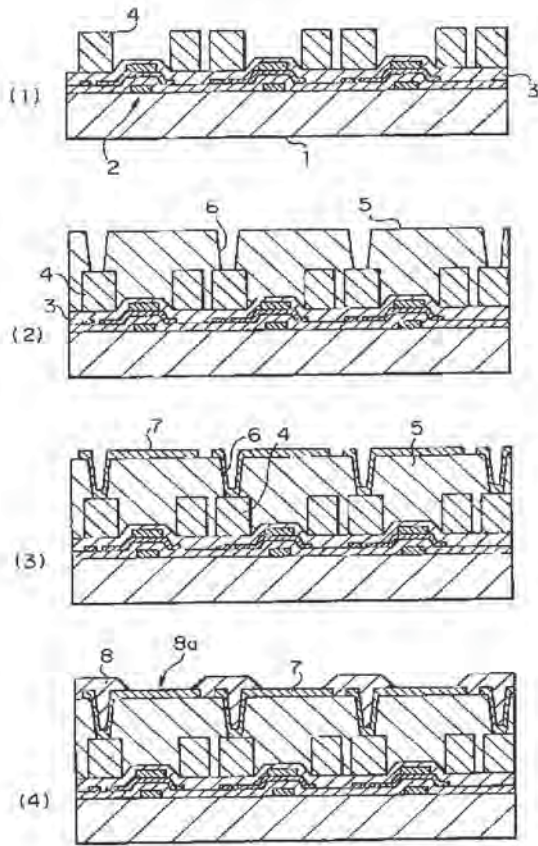
【符号の説明】

1…基板、2…TFT、5…層間絶縁膜、7…第1電極、9…補助電極、10…光吸収層、11…有機EL層(発光層)、12…第2電極、13…発光素子

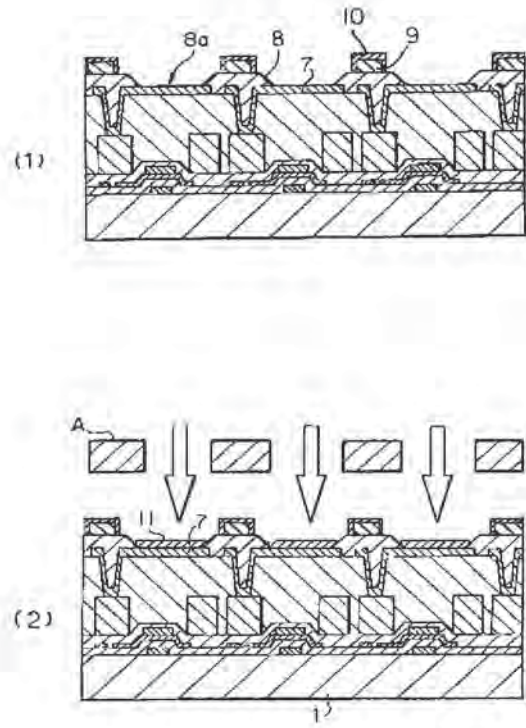
【図1】



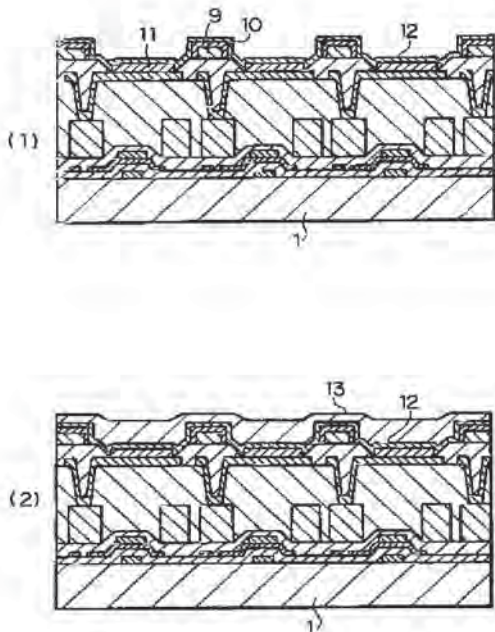
【図2】



【図3】



【図4】



フロントページの続き

Fターム(参考) 3K007 AB05 AB17 BA06 CA01 CB01
CB03 CB04 DA01 DB03 EB00
5C094 AA04 AA06 BA03 BA27 CA19
DA13 DB04 EA04 EA05 EA10
EB02 ED12 FA01 FA02 FB01
FB02 FB12 FB15 GB10

JP2003076327

Publication Title:

DRIVING CIRCUIT OF CURRENT DRIVEN ELEMENT, DRIVING METHOD AND IMAGE DISPLAY DEVICE

Abstract:

Abstract of JP2003076327

PROBLEM TO BE SOLVED: To reduce the adverse effect caused by a parasitic capacitor connected to a signal line of a driving circuit which drives current driven elements such as organic EL (light emitting) being assembled into an active matrix type image display device or the like and to drive the elements with an appropriate current even though a signal current is minute. **SOLUTION:** An auxiliary transistor 12 having an n times current driving capability of a driving transistor 7 is connected to the transistor 7 in parallel. In a portion (an acceleration interval) of a selection interval, a drain current is made to flow in the transistor 12 also and a signal current itself, which flows in a signal line 3, is made to (n+1) times.

dff Data supplied from the esp@cenet database - Worldwide

Courtesy of <http://v3.espacenet.com>

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-76327
(P2003-76327A)

(43) 公開日 平成15年3月14日 (2003.3.14)

(51) Int.Cl. ⁷	識別記号	F I	キーワード (参考)
G 0 9 G 3/30		C 0 9 G 3/30	J 3 K 0 0 7
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8 5 C 0 8 0
	3 6 5		3 6 5 Z 5 C 0 9 4
G 0 9 G 3/20	6 2 4	G 0 9 G 3/20	6 2 4 B
	6 4 1		6 4 1 D

審査請求 未請求 請求項の数18 O L (全 17 頁) 最終頁に続く

(21) 出願番号 特願2001-268915 (P2001-268915)

(22) 出願日 平成13年9月5日 (2001.9.5)

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 井口 康一

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100088328

弁理士 金田 暢之 (外2名)

Fチーム (参考) 3K007 AB11 EB00 GA00

5C080 AA06 BB05 DD01 FF11 FF12

JJ02 JJ03 JJ04 JJ05

5C094 AA21 AA31 BA03 BA29 CA19

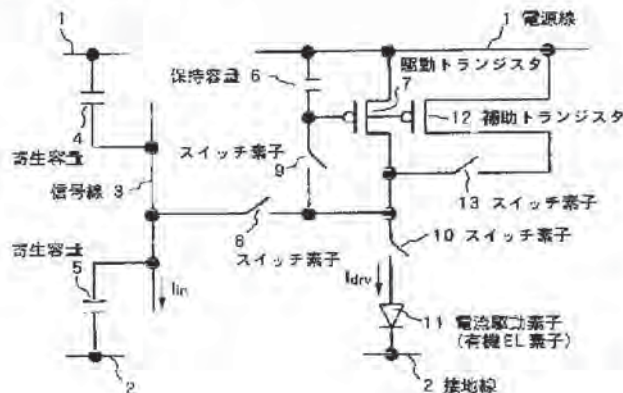
DB04 EA04 EA07

(54) 【発明の名称】 電流駆動素子の駆動回路及び駆動方法ならびに画像表示装置

(57) 【要約】

【課題】 アクティブマトリクス型画像表示装置などに組み込まれ有機EL (発光) 素子などの電流駆動素子を駆動する駆動回路において、信号線に接続する寄生容量による影響を軽減して信号電流が微小なときであっても適正な駆動電流で電流駆動素子を駆動できるようにする。

【解決手段】 駆動トランジスタ7と並列に、駆動トランジスタ7のn倍の電流駆動能力を有する補助トランジスタ12を接続し、選択期間の一部 (加速期間) において補助トランジスタ12にもドレイン電流が流れるようにするとともに信号線3を流れる信号電流自体も (n+1) 倍となるようにする。



【特許請求の範囲】

【請求項1】 電流駆動素子を駆動する駆動回路であって、
前記電流駆動素子の駆動電流に対応する信号電流が流れる信号線と、
ゲートと、ドレインと、電源線に接続するソースとを有する駆動トランジスタと、
前記電源線と前記駆動トランジスタのゲートとの間に設けられた保持容量と、
前記信号線と前記駆動トランジスタのドレインとを接続する第1のスイッチ素子と、
前記駆動トランジスタのゲートとドレインを接続する第2のスイッチ素子と、
前記駆動トランジスタのドレインと前記電流駆動素子の一端とを接続する第3のスイッチ素子と、
前記駆動トランジスタのゲートに接続するゲートと、前記駆動トランジスタのソースに接続するソースと、前記駆動トランジスタのドレインに接続するドレインとを有する補助トランジスタと、
前記補助トランジスタのソースドレイン間電流をオン／オフする第4のスイッチ素子と、
を有する駆動回路。

【請求項2】 前記第4のスイッチ素子は前記駆動トランジスタのドレインと前記補助トランジスタのドレインとの間に挿入されている、請求項1に記載の駆動回路。

【請求項3】 前記電源線と前記信号線とを接続する第5のスイッチ素子を有する請求項1または2に記載の駆動回路。

【請求項4】 所定の電圧が印加される電圧線と前記信号線とを接続する第5のスイッチを有し、接地電位から見た前記所定の電圧の絶対値は前記電源線の電圧の絶対値よりも小さい、請求項1または2に記載の駆動回路。

【請求項5】 前記補助トランジスタの電流駆動能力は前記駆動トランジスタの電流駆動能力の n 倍であり、前記信号線に接続された信号電流を発生する第1の電流源と、前記第1の電流源が生成する信号電流の n 倍の電流を生成する第2の電流源と、前記第2の電流源を前記信号線に接続する信号線スイッチ素子と、をさらに有する請求項1乃至4のいずれか1項に記載の駆動回路。

【請求項6】 前記駆動トランジスタ及び前記補助トランジスタが絶縁ゲートを有する同一導電型の薄膜トランジスタである請求項1乃至5のいずれか1項に記載の駆動回路。

【請求項7】 前記第1、第2、第3及び第4のスイッチ素子はいずれもMOS電界効果トランジスタからなる請求項1乃至6のいずれか1項に記載の駆動回路。

【請求項8】 前記電流駆動素子が有機EL素子である請求項1乃至7のいずれか1項に記載の駆動回路。

【請求項9】 電流駆動素子を駆動する駆動方法であって、

請求項1または2に記載の駆動回路を使用し、
前記電流駆動素子を選択して該電流駆動素子に対応する信号電流を前記信号線に流す選択期間と、該電流駆動素子を選択しない非選択期間とを交互に設定し、
前記非選択期間においては前記第1、第2及び第4のスイッチ素子を遮断状態に維持し、前記第3のスイッチ素子を導通状態に維持し、
前記非選択期間から前記選択期間に遷移したときに前記第1及び第2のスイッチ素子を導通状態に制御し、前記第3のスイッチ素子を遮断状態に制御し、
前記駆動トランジスタの電流駆動能力に対する前記補助トランジスタの電流駆動能力の比を n として、前記選択期間中に加速期間を設定し、前記加速期間において前記第4のスイッチ素子を導通状態とするとともに前記信号線を通る信号電流の大きさを $(n+1)$ 倍とし、
前記加速期間の終了後、前記選択期間が終了するまでは、前記第4のスイッチ素子を遮断状態とするとともに前記信号電流の大きさを通常値に戻す、
駆動方法。

【請求項10】 電流駆動素子の駆動方法であって、
請求項3または4に記載の駆動回路を使用し、
前記電流駆動素子を選択して該電流駆動素子に対応する信号電流を前記信号線に流す選択期間と、該電流駆動素子を選択しない非選択期間とを交互に設定し、
前記非選択期間においては前記第1、第2及び第4のスイッチ素子を遮断状態に制御し、前記第3のスイッチ素子を導通状態に制御し、
前記非選択期間から前記選択期間に遷移したときに前記第1及び第2のスイッチ素子を導通状態に制御し、前記第3のスイッチ素子を遮断状態に制御し、
前記非選択期間から前記選択期間に遷移したときから所定の時間をリセット期間として、前記リセット期間中は前記第5のスイッチ素子を導通状態とし、
前記駆動トランジスタの電流駆動能力に対する前記補助トランジスタの電流駆動能力の比を n として、前記リセット期間の経過に引き続いて前記選択期間中に加速期間を設定し、前記加速期間において前記第4のスイッチ素子を導通状態とするとともに前記信号線を通る信号電流の大きさを $(n+1)$ 倍とし、
前記加速期間の終了後、前記選択期間が終了するまでは、前記第4のスイッチ素子を遮断状態とするとともに前記信号電流の大きさを通常値に戻し、
選択期間のうちリセット期間以外の期間では前記第5のスイッチを遮断状態に維持する、
駆動方法。

【請求項11】 前記加速期間の終了後、前記選択期間が終了する前に前記第2のスイッチ素子を遮断状態に遷移させる、請求項9または10に記載の駆動方法。

【請求項12】 前記電流駆動素子が有機EL素子である請求項9乃至11のいずれか1項に記載の駆動方法。

【請求項13】 電流駆動によって発光する複数の発光素子をマトリクス状に配した画像表示装置であって、前記各発光素子は画素ごとに設けられ、画素の列ごとに設けられ選択された画素の発光素子の駆動電流に対応する信号電流を各画素に与える信号線と、画素の行ごとに設けられ制御信号を伝達する制御線とを有し、前記各画素ごとに、ゲートと、ドレインと、電源線に接続するソースとを有する駆動トランジスタと、前記電源線と前記駆動トランジスタのゲートとの間に設けられた保持容量と、前記制御信号に応じて前記信号線と前記駆動トランジスタのドレインとを接続する第1のスイッチ素子と、前記制御信号に応じて前記駆動トランジスタのゲートとドレインを接続する第2のスイッチ素子と、前記制御信号に応じて前記駆動トランジスタのドレインと前記発光素子の一端とを接続する第3のスイッチ素子と、前記駆動トランジスタのゲートに接続するゲートと、前記駆動トランジスタのソースに接続するソースと、前記駆動トランジスタのドレインに接続するドレインとを有する補助トランジスタと、前記制御信号に応じて前記補助トランジスタのソースドレイン間電流をオン/オフする第4のスイッチ素子と、を有する、画像表示装置。

【請求項14】 画素の行を選択して該行に属する発光素子に対応する信号電流を前記信号線に流す選択期間と、該行を選択しない非選択期間とが交互に設定され、前記非選択期間においては前記第1、第2及び第4のスイッチ素子が遮断状態に維持され、前記第3のスイッチ素子が導通状態に維持され、前記非選択期間から前記選択期間に遷移したときに前記第1及び第2のスイッチ素子が導通状態に制御され、前記第3のスイッチ素子が遮断状態に制御され、前記駆動トランジスタの電流駆動能力に対する前記補助トランジスタの電流駆動能力の比を n として、前記選択期間中に加速期間が設定され、前記加速期間において前記第4のスイッチ素子が導通状態とされるとともに前記信号線を通る信号電流の大きさが $(n+1)$ 倍とされ、前記加速期間の終了後、前記選択期間が終了するまでは、前記第4のスイッチ素子が遮断状態とされるとともに前記信号電流の大きさを通常値に戻される、請求項13に記載の画像表示装置。

【請求項15】 電流駆動によって発光する複数の発光素子をマトリクス状に配した画像表示装置であって、前記各発光素子は画素ごとに設けられ、画素の列ごとに設けられ選択された画素の発光素子の駆

動電流に対応する信号電流を各画素に与える信号線と、画素の行ごとに設けられ制御信号を伝達する制御線とを有し、前記各画素ごとに、ゲートと、ドレインと、電源線に接続するソースとを有する駆動トランジスタと、前記電源線と前記駆動トランジスタのゲートとの間に設けられた保持容量と、前記制御信号に応じて前記信号線と前記駆動トランジスタのドレインとを接続する第1のスイッチ素子と、前記制御信号に応じて前記駆動トランジスタのゲートとドレインを接続する第2のスイッチ素子と、前記制御信号に応じて前記駆動トランジスタのドレインと前記発光素子の一端とを接続する第3のスイッチ素子と、前記駆動トランジスタのゲートに接続するゲートと、前記駆動トランジスタのソースに接続するソースと、前記駆動トランジスタのドレインに接続するドレインとを有する補助トランジスタと、前記制御信号に応じて前記補助トランジスタのソースドレイン間電流をオン/オフする第4のスイッチ素子と、を有し、前記信号線ごとに、前記信号線を所定の電位に接続する第5のスイッチ素子を有する、画像表示装置。

【請求項16】 画素の行を選択して該行に属する発光素子に対応する信号電流を前記信号線に流す選択期間と、該行を選択しない非選択期間とが交互に設定され、前記非選択期間においては前記第1、第2及び第4のスイッチ素子は遮断状態に維持され、前記第3のスイッチ素子は導通状態に維持され、前記非選択期間から前記選択期間に遷移したときに前記第1及び第2のスイッチ素子は導通状態に制御され、前記第3のスイッチ素子は遮断状態に制御され、前記非選択期間から前記選択期間に遷移したときから所定の時間をリセット期間として、前記第5のスイッチ素子は前記リセット期間中のみ導通状態とされ、前記駆動トランジスタの電流駆動能力に対する前記補助トランジスタの電流駆動能力の比を n として、前記リセット期間の経過に引き続いて前記選択期間中に設定される加速期間において前記第4のスイッチ素子が導通状態とされるとともに前記信号線を通る信号電流の大きさが $(n+1)$ 倍とされ、前記加速期間の終了後、前記選択期間が終了するまでは、前記第4のスイッチ素子は遮断状態とされるとともに前記信号電流の大きさは通常値に戻さ、前記選択期間のうち前記リセット期間以外の期間では前記第5のスイッチは遮断状態に維持される、請求項15に記載の画像表示装置。

【請求項17】 前記加速期間の終了後、前記選択期間

が終了する前に前記第2のスイッチ素子は遮断状態に遷移するよう制御させる、請求項14または16に記載の画像表示装置。

【請求項18】 前記発光素子が有機EL素子である請求項13乃至17のいずれか1項に記載の画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、有機EL（エレクトロルミネッセンス）素子などの電流駆動型の素子を駆動する駆動回路及び駆動方法と、このような電流駆動回路が組み込まれるとともに発光素子として電流駆動型の素子を使用する画像表示装置とに関する。

【0002】

【従来の技術】近年、コンピュータの出力装置や携帯電話機などに用いられる画像表示装置として、有機EL素子などの電流駆動型の発光素子を用いたものが注目を集めている。有機EL素子は、有機発光ダイオードとも呼ばれ、直流で駆動できるという利点を有している。有機EL素子を画像表示装置に用いる場合、画素ごとの有機EL素子を基板上にマトリクス状に配置して表示パネルを構成するのが一般的である。そして、この基板上にTFT（薄膜トランジスタ；thin film transistor）を形成し、TFTを介して各画素の有機EL素子を駆動する、アクティブマトリクス型の構成が検討されている。

【0003】ところで、有機EL素子は電流駆動型の素子であるため、有機EL素子をTFTで駆動する場合、電圧駆動型の素子である液晶セルを用いるアクティブマトリクス型液晶表示装置と同じ回路構成を用いることはできない。そこで従来より、有機EL素子とMOS（metal-oxide-semiconductor）トランジスタであるTFTとを直列に接続して電源線と接地線との間に挿入し、TFTのゲートに制御電圧を印加できるようにするとともに、この制御電圧を保持する保持コンデンサをTFTのゲートに接続し、さらに、各画素に対して制御電圧を印加するための信号線とTFTとの間にスイッチ素子を設けたアクティブマトリクス駆動回路が提案されている。この回路では、信号線上に各画素に対する制御電圧を時分割形態で出力するとともに、各スイッチ素子は、対応する画素に対する制御電圧が出力されているタイミングのみ導通状態となるように制御される。その結果、スイッチ素子が導通状態になれば、そのときの制御電圧がTFTのゲートに印加されて制御電圧に応じた電流が有機EL素子を流れるようになるとともに、保持コンデンサがその制御電圧で充電される。この状態でスイッチ素子が遮断状態に遷移すれば、保持コンデンサの作用により、既に印加されている制御電圧がTFTのゲートに印加され続けることとなり、有機EL素子には、その制御電圧に応じた電流が流れ続けることとなる。

【0004】WO99/65011号公報には、上述し

たような回路構成を有し、有機EL素子などの電流駆動素子を駆動するのに適した駆動回路が開示されている。図21は、WO99/65011号公報に開示された駆動回路の構成を示している。ただし、WO99/65011号公報では駆動トランジスタとしてnチャネルMOS電界効果トランジスタを使用しコモンカソードとして電流駆動素子（有機EL素子）を駆動するようにしているが、図21では、駆動トランジスタとしてpチャネルMOS電界効果トランジスタを使用し、コモンアノードとして電流駆動素子を駆動するようにしている。

【0005】図21に示す駆動回路においては、電源線1と接地線2とが設けられており、pチャネルMOSトランジスタである駆動トランジスタ7のソースは電源線1に接続している。駆動トランジスタ7のゲートと電源線1との間に保持容量6が設けられ、駆動トランジスタ7のゲートはスイッチ素子9の一端に接続しドレインはスイッチ素子9の他端に接続する。さらに、駆動トランジスタ7のこのドレインはスイッチ素子10の一端に接続し、スイッチ素子10の他端は電流駆動素子11のアノードに接続する。電流駆動素子11のカソードは接地線2に接続する。ここで、駆動トランジスタ7により電流駆動素子11に流れる電流（駆動電流）を I_{drv} で表すことにする。

【0006】電流駆動素子11を流れる駆動電流 I_{drv} を与えるために、信号線3が設けられている。信号線3はスイッチ素子8の一端に接続し、スイッチ素子8の他端は、駆動トランジスタ7のドレインに接続している。ここで、信号線3を流れる電流を I_{in} で表すことにする。

【0007】スイッチ素子8～10は、いずれも、外部からの制御信号に応じてオン/オフの動作を行うものであって、例えばMOS電界効果トランジスタである。スイッチ素子8～10への制御信号は、不図示の制御信号発生回路によって生成され、この制御信号発生回路の出力端子から不図示の制御線を介してスイッチ素子8～10に与えられる。スイッチ素子8～10がMOS電界効果トランジスタである場合には、制御信号は、電気的には接地電位及び電源電位のいずれかを示す二値の信号であって、それらのMOS電界効果トランジスタのゲートに与えられる。

【0008】図21に示す駆動回路は、1画素分すなわち1個の電流駆動素子11を駆動するための回路である。電流駆動素子11として有機EL素子などを用いた画像表示装置では、上述したように、複数の電流駆動素子11をマトリクス状に配置することとなり、それに伴って、図21に示す駆動回路、特に破線で囲んだ部分も電流駆動素子11ごとに設けるようにする。この場合、電源線1及び接地線2は各駆動回路に共通に設けられ、信号線3は、図示上下方向に並ぶ駆動回路で、すなわち同じ列に属する駆動回路に対して、共通に設けられ

ることになる。ちなみに、上述した制御線は、図示左右方向に並ぶ駆動回路で、すなわち同じ行に属する駆動回路に対して、共通に設けられることになる。

【0009】このようにマトリクス状に電流駆動素子及び駆動回路を配置してアクティブマトリクス型の画像表示装置を構成した場合、駆動回路及び画像表示装置の構造上、信号線3は、絶縁層を挟んで、スイッチ素子8～10を制御するための複数の制御線や複数の電源線1及び接地線2と交差することになり、この交差する部分において、寄生容量が発生することになる。また、電流駆動素子11が有機EL素子である場合、接地線2に接続する電流駆動素子11のカソードと信号線3とが交差する部分の面積が大きく、この交差部分で発生する寄生容量も無視することができない。その結果、図21に示すように、信号線3には、等価的に、電源線1との間に寄生容量4が形成され、接地線2との間には寄生容量5が形成されることになる。この寄生容量4、5の容量値は、画像表示装置の画素数や構造等にも依存するが、例えば、画素ごとの保持容量6の容量値の例えば10倍以上の大きさのものである。

【0010】次に、図21に示した従来の駆動回路の動作について説明する。ここでは、複数の電流駆動素子11をマトリクス状に配するとともに各電流駆動素子11ごとに駆動回路を設けたものとして、動作を説明する。

【0011】制御信号発生回路は、各行が1行ずつ順番に選択されるように制御信号を生成し、制御線を介して各駆動回路のスイッチ素子8～10に制御信号を送出する。一方、列ごとの信号線3には、制御信号に同期するようにして、選択された行に属する各駆動回路に対する信号電流 I_{in} が流される。その結果、選択された行の各駆動回路の駆動トランジスタ7には、それぞれ、対応する信号電流 I_{in} が流れ、この信号電流に対応する電位が保持容量6に保持されるようになる。そして、これらの駆動回路は、制御信号が次の行を選択したために非選択状態となった場合には、次に選択状態となるまで、保持容量6に保持された電圧に基づいて、信号電流 I_{in} と同じ駆動電流 I_{drv} で電流駆動素子11を駆動し続ける。

【0012】図22は、このような駆動回路の動作をタイミングチャートとして表現したものである。まず、選択期間中の駆動回路の動作を詳しく説明する。

【0013】ある行の駆動回路が選択期間になると、まず、スイッチ素子8、9を導通状態とし、スイッチ素子10を遮断状態とする。選択期間の先頭の所定の短い期間をリセット期間とし、このリセット期間中は、信号線3の電位を例えば電源電位とし、信号線3の電位及び駆動トランジスタ7の電位を電源電位までリセットすることが好ましい。リセット期間の経過後、信号線3に、電流駆動素子11に流すべき電流と等しい信号電流 I_{in} を流すようにする。リセット期間中も信号線3に信号電流 I_{in} が流れるようにしてもよい。

【0014】図示した例では、信号電流 I_{in} は、駆動トランジスタ7のドレインから信号線3に向けて流れ出すドレイン電流と、寄生容量4及び保持容量6の充電電流と、寄生容量5の放電電流との和で表される。リセット期間が終了し信号電流 I_{in} が流れ出すと、信号電流 I_{in} によって寄生容量4及び保持容量6が充電され、寄生容量5が放電され、最終的には信号電流 I_{in} に等しいドレイン電流に対応するゲートソース間電位となるように、駆動トランジスタ7のゲート電位は徐々に低下する。

【0015】信号電流 I_{in} が十分に大きい場合には、寄生容量4及び保持容量6の充電と寄生容量5の放電とが急速になされるため、選択期間中に駆動トランジスタ7のドレイン電流は信号電流 I_{in} に到達し、保持容量6の両端の電圧は、この信号電流 I_{in} に等しいドレイン電流を生ずるような値となる。これに対し、信号電流 I_{in} が小さい場合には、選択期間中には寄生容量4及び保持容量6の充電と寄生容量5の放電とが完了せず、したがって、駆動トランジスタ7のドレイン電流も信号電流 I_{in} に到達せず、また、駆動トランジスタ7のゲートソース間電位も、信号電流 I_{in} と等しいドレイン電流に対応する値まで達しない。

【0016】選択期間が終了し非選択期間になると、非選択期間の開始時点において、スイッチ素子8、9を導通状態から遮断状態に変化させ、スイッチ素子10を遮断状態から導通状態に変化させる。その結果、駆動トランジスタ7が電流駆動素子11に駆動電流 I_{drv} を供給するようになる。駆動トランジスタ7のゲートは信号線3から切り離されるので、保持容量6の作用により、駆動トランジスタ7のゲート電位は非選択期間に入る直前に確定した値で保持される。選択期間中の信号電流 I_{in} が十分に大きい場合には、駆動トランジスタ6のゲート電位は、信号電流 I_{in} に等しいドレイン電流に対応する値で確定しているから、電流駆動素子11には、信号電流 I_{in} に等しい駆動電流 I_{drv} が流れ続けることになる。これに対し、選択期間中の信号電流 I_{in} が小さい場合には、駆動トランジスタ7のゲート電位は、信号電流 I_{in} に等しいドレイン電流を流すような値にまで到達していないから、電流駆動素子11には、信号電流 I_{in} とは異なる駆動電流 I_{drv} が流れ続けることとなる。

【0017】図23は、図21に示す駆動回路における信号電流(入力信号) I_{in} と駆動電流 I_{drv} との関係を示すグラフである。電流駆動素子11として有機EL素子を用いているのであれば、入力する信号電流 I_{in} と輝度との関係を示していることになる。図において、理想値を破線で示し、実際の信号電流-駆動電流の関係を実線で示している。このように、従来の駆動回路では、信号電流 I_{in} が小さい領域でそれに対応する駆動電流が得られないことが分かる。

【0018】

【発明が解決しようとする課題】以上説明したように従来の駆動回路では、寄生容量や保持容量の充放電にかかる時間のために、入力信号（信号電流）が小さい場合に所定の駆動電流が得られず、画像表示装置に応用した場合には所定の輝度が得られないこととなる。特に有機EL素子を用いた画像表示装置にこの駆動回路を適用した場合、1画素分の有機EL素子に流れる電流は微小であるので、表示画像の劣化が生じ、また、輝度制御性が悪化する。

【0019】そこで本発明の目的は、アクティブマトリクス駆動に適し、信号電流（入力信号）が微小なときでも適正な駆動電流を出力することができる駆動回路及び駆動方法と、このような駆動回路を有する画像表示装置とを提供することにある。

【0020】

【課題を解決するための手段】本発明の駆動回路は、電流駆動素子を駆動する駆動回路であって、電流駆動素子の駆動電流に対応する信号電流が流れる信号線と、ゲートと、ドレインと、電源線に接続するソースとを有する駆動トランジスタと、電源線と駆動トランジスタのゲートとの間に設けられた保持容量と、信号線と駆動トランジスタのドレインとを接続する第1のスイッチ素子と、駆動トランジスタのゲートとドレインを接続する第2のスイッチ素子と、駆動トランジスタのドレインと電流駆動素子の一端とを接続する第3のスイッチ素子と、駆動トランジスタのゲートに接続するゲートと、駆動トランジスタのソースに接続するソースと、駆動トランジスタのドレインに接続するドレインとを有する補助トランジスタと、補助トランジスタのソースドレイン間電流をオン／オフする第4のスイッチ素子と、を有する。

【0021】本発明の駆動方法は、上述した本発明の駆動回路を用い、電流駆動素子を選択してその電流駆動素子に対応する信号電流を信号線に流す選択期間と、その電流駆動素子を選択しない非選択期間とを交互に設定し、非選択期間においては第1及び第2のスイッチ素子を遮断状態に制御し、第3のスイッチ素子を導通状態に制御し、非選択期間から選択期間に遷移したときに第1及び第2のスイッチ素子を導通状態に制御し、第3のスイッチ素子を遮断状態に制御し、駆動トランジスタの電流駆動能力に対する補助トランジスタの電流駆動能力の比を n として、選択期間中に加速期間を設定し、加速期間において第4のスイッチ素子を導通状態とするとともに信号線を通る信号電流の大きさを $(n+1)$ 倍とし、加速期間の終了後、選択期間が終了するまでは、第4のスイッチ素子を遮断状態とするとともに信号電流の大きさを通常値に戻す。

【0022】本発明の画像表示装置は、電流駆動によって発光する複数の発光素子をマトリクス状に配した画像表示装置であって、各発光素子は画素ごとに設けられ、画素の列ごとに設けられ選択された画素の発光素子の駆

動電流に対応する信号電流を各画素に与える信号線と、画素の行ごとに設けられ制御信号を伝達する制御線とを有し、各画素ごとに、ゲートと、ドレインと、電源線に接続するソースとを有する駆動トランジスタと、電源線と駆動トランジスタのゲートとの間に設けられた保持容量と、制御信号に応じて信号線と駆動トランジスタのドレインとを接続する第1のスイッチ素子と、制御信号に応じて駆動トランジスタのゲートとドレインを接続する第2のスイッチ素子と、制御信号に応じて駆動トランジスタのドレインと発光素子の一端とを接続する第3のスイッチ素子と、駆動トランジスタのゲートに接続するゲートと、駆動トランジスタのソースに接続するソースと、駆動トランジスタのドレインに接続するドレインとを有する補助トランジスタと、制御信号に応じて補助トランジスタのソースドレイン間電流をオン／オフする第4のスイッチ素子と、を有する。

【0023】

【発明の実施の形態】次に本発明の好ましい実施の形態について、図面を参照して説明する。

【0024】第1の実施の形態：図1は、本発明の第1の実施の形態の駆動回路を示す回路図である。図1に示す駆動回路は、図21に示す従来の駆動回路において、駆動トランジスタ7に並列に補助トランジスタ12を設けるとともに、補助トランジスタ12のドレイン電流をオン／オフ制御するためのスイッチ素子13を設けた構成のものである。図1において、図21と同じ参照符号が付与されたものは、図21におけるものと同じ構成要素である。

【0025】すなわち図1に示す駆動回路においては、pチャネルMOSトランジスタである駆動トランジスタ7のソースは電源線1に接続し、駆動トランジスタ7のゲートと電源線1との間に保持容量6が設けられ、駆動トランジスタ7のゲートはスイッチ素子9の一端に接続しドレインはスイッチ素子9の他端に接続する。さらに、駆動トランジスタ7のこのドレインはスイッチ素子10の一端に接続し、スイッチ素子10の他端は電流駆動素子11のアノードに接続する。電流駆動素子11のカソードは接地線2に接続する。ここで、駆動トランジスタ7により電流駆動素子11を流れる電流（駆動電流）を $I_{d,0}$ で表すことにする。

【0026】補助トランジスタ12は、駆動トランジスタ7と同様にpチャネルMOSトランジスタで構成されるが、同じゲートソース間電圧を与えたときに、駆動トランジスタ7に比べて n 倍のドレイン電流を流すような特性を有するトランジスタである。すなわち、補助トランジスタ12は、駆動トランジスタの n 倍の電流駆動能力を有するトランジスタである。 n の上限については特に限定されるものではなく、 n は、信号電流 $I_{s,n}$ の最小値、保持容量6や寄生容量4、5の容量値、選択期間の時間幅などに応じて適宜に定められるものである。典

型的には、 n は5以上とすることが好ましい。ただし、 n を大きくしすぎると、補助トランジスタ12が占める面積が大きくなりすぎ、また、消費電力増にもつながるので、極端に大きな n の値は好ましくない。

【0027】このような補助トランジスタ12は、例えば、駆動トランジスタ7と補助トランジスタ12とを同一の半導体基板上に同一の製造プロセスにより形成するとして、駆動トランジスタ7と同じチャネル長と駆動トランジスタの n 倍のチャネル幅を有するトランジスタとして形成するにすればよい。あるいは、 n が整数である場合には、駆動トランジスタ7と同一寸法のトランジスタを n 個形成し、各トランジスタのドレイン同士、ゲート同士、ソース同士をそれぞれ接続して実質的に1つの補助トランジスタ12が構成されるようにしてもよい。補助トランジスタ12のソースは電源線1に接続し、ゲートは駆動トランジスタ7のゲートに接続する。そして、補助トランジスタ12のドレインはスイッチ素子13の一端に接続し、このスイッチ素子13の他端は駆動トランジスタ7のドレインに接続する。

【0028】ここで、スイッチ素子13は、補助トランジスタ12のソースドレイン間を流れる電流をオン/オフするためのものであるから、電源線1と補助トランジスタ12のソースとの間に設けることも可能である。しかしながら、特にスイッチ素子13としてMOS電界効果トランジスタを使用する場合、スイッチ素子13のオン抵抗による電圧降下が回路動作に影響を与えるので、スイッチ素子13は、補助トランジスタ12のドレイン側（電源線1でない側）に設けることが好ましい。

【0029】電流駆動素子11を流れる駆動電流 I_{drv} を与えるための信号線3はスイッチ素子8の一端に接続し、スイッチ素子8の他端は、駆動トランジスタ7のドレインに接続している。信号線3を流れる電流を I_{in} で表すことにする。

【0030】スイッチ素子8~10, 13は、いずれも、外部からの制御信号に応じてオン/オフの動作を行うものであって、例えば、MOS電界効果トランジスタである。スイッチ素子8~10, 13への制御信号は、図1には不図示の制御信号発生回路によって生成され、この制御信号発生回路の出力端子から制御線を介してスイッチ素子8~10, 13に与えられる。スイッチ素子8~10, 13がMOS電界効果トランジスタである場合には、制御信号は、電気的には接地電位及び電源電位のいずれかを示す二値の信号であって、それらのMOS電界効果トランジスタのゲートに与えられる。スイッチ素子8~10, 13としてMOS電界効果トランジスタを使用する場合、 p チャネル型を用いるか n チャネル型を用いるかはスイッチ素子ごとに適宜に定められるものである。

【0031】図1に示す駆動回路は1画素（ピクセル）分すなわち1個の電流駆動素子11を駆動するための回

路であるが、電流駆動素子11として有機EL素子などを用いた画像表示装置を構成する場合には、上述したように複数の電流駆動素子11をマトリクス状に配置するとともに、この駆動回路も、特に破線で囲んだ部分も電流駆動素子11ごとに設けるようにする。図2は、複数の電流駆動素子11をマトリクス状に配列するとともに、各電流駆動素子11ごとに駆動回路を設けた構成の画像表示装置を説明する回路図である。通常、画像表示装置は縦横それぞれ数百から数千画素の大きさのものであるが、ここでは説明のため、縦2画素×横2画素の範囲が描かれている。

【0032】図2に示す構成では、駆動トランジスタ7及び補助トランジスタ12は、基板上に、同一導電型の薄膜トランジスタとして形成されている。また、スイッチ素子8, 9は、 p チャネルMOS電界効果トランジスタであり、スイッチ素子10, 13は、 n チャネルMOS電界効果トランジスタであるものとする。スイッチ素子8, 9は、いずれも、薄膜トランジスタとして基板上に形成されることが好ましい。

【0033】この画像表示装置では、電源線1及び接地線2は各駆動回路に共通に設けられ、信号線3は、図示上下方向に並ぶ駆動回路で、すなわち同じ列に属する駆動回路に対して、共通に設けられている。各信号線3の一端（図示下端）には、それぞれ、信号電流発生回路21が接続されている。また、各行ごとに、その行に属する駆動回路に対して供給される制御信号を発生する制御信号発生回路22が設けられている。

【0034】信号電流発生回路21には、接地線2に接続して信号電流 I_{in} を発生する信号源23と、接地線2に接続し、信号源23が発生する信号電流 I_{in} の n 倍の電流 $n \times I_{in}$ を発生する信号源24と、 n チャネルMOS電界効果トランジスタなどで構成されたスイッチ素子16と、を備えている。信号源23は信号線3に直接接続しているのに対し、信号源24は、スイッチ素子16を介して信号線3に接続している。スイッチ素子16を制御するために制御線30が設けられている。それぞれの信号電流発生回路21のスイッチ素子16のゲートは、共通に制御線30に接続している。このような構成のものにおいては、信号線3には、スイッチ素子16がオン状態であれば $(n+1) \times I_{in}$ の信号電流が流れ、スイッチ素子16がオフ状態であれば I_{in} の信号電流が流れることになる。制御線30上には、不図示の制御回路により、後述する加速期間に対応してスイッチ素子16を導通状態とする制御信号が出力される。

【0035】制御信号発生回路22には、対応する行に属する各駆動回路のスイッチ素子8~10に対して供給される制御信号を出力する信号ドライバ25と、対応する行に属する各駆動回路のスイッチ素子13に対して供給される制御信号を出力する信号ドライバ26と、を備えている。また、画像表示装置の各行ごとに、制御線3

1, 32が設けられている。制御線31は、信号ドライバ25に接続し、信号ドライバ25からの制御信号をMOS電界効果トランジスタであるその行の各スイッチ素子8~10のゲートに供給する。同様に、制御線32は、信号ドライバ26に接続し、信号ドライバ26からの制御信号をその行の各スイッチ素子13のゲートに供給する。したがって制御線31, 32は、行方向(図示左右方向)に延びることになる。なお、各信号ドライバ25, 26の他端は接地線2に接続している。信号ドライバ25は、対応する行に対する選択期間に応じてその行のスイッチ素子8, 9を導通状態とし、スイッチ素子10を遮断状態とするような制御信号を発生する。信号ドライバ26は、対応する行に対する加速期間に応じて、その行のスイッチ素子13を導通状態とするような制御信号を発生する。

【0036】このようにマトリクス状に電流駆動素子及び駆動回路を配置してアクティブマトリクス型の画像表示装置を構成した場合、駆動回路及び画像表示装置の構造上、図21に示したものの場合と同様に、信号線3には、等価的に、電源線1との間に寄生容量4が形成され、接地線2との間には寄生容量5が形成されることになる。

【0037】次に、図1に示した駆動回路の動作について説明する。図1に示す駆動回路は、通常の場合、図2に示すような画像表示装置に組み込まれて使用されるから、ここでは、図2に示す画像表示装置において駆動回路が用いられているものとして、駆動回路の動作を説明する。

【0038】各制御信号発生回路22は不図示の制御回路によって制御されており、それぞれの制御信号発生回路22は、画像表示装置における各行が1行ずつ順番に選択されるように制御信号を制御線31, 32上に出力する。画像表示装置におけるある行について、制御信号によってその行が選択されている期間のことを選択期間と呼び、選択されていない期間のことを非選択期間と呼ぶ。画像表示装置の各行は、順番に選択されるから、ある行について考えると、選択期間は定期的・周期的に訪れることとなり、選択期間の占める割合は、画像表示装置における行の数をNとすると、 $1/N$ 程度となる。また、ある行の選択期間中に、列ごとの信号線3では、その信号線3の一端に設けられた信号電流発生回路21において、その列における当該行の電流駆動素子11に流すべき駆動電流 I_{drv} に対応する信号電流 I_{in} が発生し、その信号線3には信号電流 I_{in} が流れるようになる。その結果、選択された行の各駆動回路の駆動トランジスタ7には、それぞれ、対応する信号電流 I_{in} が流れ、この信号電流に対応する電位が保持容量6に保持される。これらの駆動回路は、制御信号が次の行を選択したために非選択状態となった場合には、次に選択状態となるまで、保持容量6に保持された電圧に基づいて、信

号電流 I_{in} と同じ駆動電流 I_{drv} で電流駆動素子11を駆動し続ける。

【0039】特に本実施の形態の回路では、選択期間の最初の方のある所定の時間帯において、補助トランジスタ12にも電流が流れるようにするとともに、信号線3に $(1+n) \cdot I_{in}$ の電流を流して信号線3に付随する寄生容量4, 5の充放電が速やかに行われるようにし、選択期間の終了時点にまでに、駆動トランジスタ7のドレイン電流が信号電流 I_{in} に確実に到達して、駆動トランジスタ7のゲートソース間電位も、信号電流 I_{in} と等しいドレイン電流に対応する値に到達するようにしている。

【0040】以下、駆動回路の動作を説明するタイミングチャートである図3を用いて、上述した動作をさらに詳しく説明する。

【0041】ある行についての選択期間に入ると、制御信号発生回路22から制御線31を介して伝達される制御信号により、その選択期間で選択される行の駆動回路において、pチャンネルMOS電界効果トランジスタであるスイッチ素子8, 9が導通状態とされ、nチャンネルMOS電界効果トランジスタであるスイッチ素子10が遮断状態とされる。スイッチ素子13, 16については、遮断状態を維持したままとする。このとき、信号電流発生回路21内の電流源23のみが信号線3に接続することとなるので、信号線3には、選択された行に対する信号電流 I_{in} が流れることになる。

【0042】図3に示した例では、選択期間の先頭の所定の短い期間をリセット期間とし、このリセット期間中は、信号線3の電位を例えば電源電位とすることによって、リセット期間の経過後に、寄生容量4及び保持容量6の充電と寄生容量5の放電とが滞りなく行われるようにしている。寄生容量4及び保持容量6の充電と寄生容量5の放電とを考慮して、信号線3に信号電流 I_{in} を流すことによって速やかに駆動トランジスタ7のゲートソース間電圧を信号電流 I_{in} に応じた値とすることができるのであれば、リセット期間を設けなくてもよい。また、リセット期間中は、信号線3において信号電流を流さないようにしてもよい。

【0043】リセット期間の経過後、所定の時間(この所定の時間の期間のことを以下、加速期間と呼ぶ)だけ、スイッチ素子13及びスイッチ素子16を導通状態とする。スイッチ素子16が導通状態となった結果、信号電流発生回路21内の電流源14にも電流が流れるようになり、信号線3には、 $(n+1) \cdot I_{in}$ の電流、すなわち、電流駆動素子11に流すべき電流値の $(n+1)$ 倍の電流が流れることになる。このときスイッチ素子13も導通状態なので、この電流は、駆動トランジスタ7と補助トランジスタ12とに分流して流れることとなり、駆動トランジスタ7と補助トランジスタ12の上述した特性の差により、補助トランジスタ12には、駆

動トランジスタ7に流れるドレイン電流の n 倍のドレイン電流が流れることになる。図21に示す従来の駆動回路と比較すると、加速期間中は、信号線3を流れる電流は $(n+1)$ 倍となっており、この $(n+1)$ 倍の信号電流によって、寄生容量4及び保持容量6の充電と寄生容量5の放電とが急速に進行することとなる。それにより、駆動トランジスタ7のドレイン電流は信号電流 I_{in} に近づき、補助トランジスタ12のドレイン電流は $n \cdot I_{in}$ に近づく。このとき、駆動トランジスタ7と補助トランジスタ12のゲート電位は、駆動トランジスタ7のソースドレイン間に信号電流 I_{in} を流したときに発生する電位に充分に近い電位となる。このときの電位と駆動トランジスタ7に信号電流 I_{in} を流したときに発生する電位との差電位は、上記各容量の充放電が完全には終了していないために発生する電位と、駆動トランジスタ7を流れる電流と補助トランジスタ12を流れる電流との比 n の誤差とによるものである。

【0044】加速期間は選択期間が終了するよりも早く終了するが、 n の値を十分に大きくした場合には、加速期間の終了時には、たとえ信号電流 I_{in} の値が小さい場合であっても寄生容量4及び保持容量6の充電と寄生容量5の放電とはほぼ完了しており、上記の差電位は、主に、駆動トランジスタ7と補助トランジスタ12を流れる電流の比 n の誤差に起因することとなる。このときの差電位は、数十mVから数百mV程度の小さな値となる。

【0045】加速期間の終了とともに、スイッチ素子13、16をともに遮断状態とする。その結果、信号線3を流れる電流は I_{in} となり、補助トランジスタ12には電流が流れなくなる。上述したように、加速期間の終了時点での差電位は数十mVから数百mV程度と小さい値であるので、加速期間が終了した後の選択期間の残余の期間中に信号線3に信号電流 I_{in} を流すだけで、差電位を減殺することが可能となり、選択期間の終了時までには、駆動トランジスタ7のゲート電位は、信号電流 I_{in} に対応した値となる。

【0046】加速期間の長さは、適宜に設定されるものであるが、例えば、選択期間の長さの10～50%程度の時間長に設定する。

【0047】次に、非選択期間中の駆動回路の動作を説明する。

【0048】選択期間から非選択期間に移った時点において、スイッチ素子8、9を導通状態から遮断状態とし、スイッチ素子10を遮断状態から導通状態とする。スイッチ素子8、9を遮断状態とすることで、先に選択期間中に確定した駆動トランジスタ7のゲート電位は、保持容量6によって保持されることになる。よって、スイッチ素子8、9、13が遮断状態でスイッチ素子10が導通状態に保持されている非選択期間中は、駆動トランジスタ7は、保持容量6に保持されたゲート電位に對

応した電流、すなわち信号電流 I_{in} に等しい電流を駆動電流 I_{drv} として電流駆動素子11に流し続けるようにする。

【0049】図4は、この実施の形態における駆動トランジスタ7及び補助トランジスタ12におけるゲートソース間電位とドレイン電流（ソースドレイン間電流）との関係を示した特性図である。駆動トランジスタ7におけるドレイン電流が I_1 であるようなゲートソース間電圧を補助トランジスタ12に与えた場合、補助トランジスタ12のドレイン電流は $n \cdot I_1$ となり、同様に、駆動トランジスタ7におけるドレイン電流が I_2 （ただし $I_1 > I_2$ ）であるようなゲートソース間電圧を補助トランジスタ12に与えた場合、補助トランジスタ12のドレイン電流は $n \cdot I_2$ となることが分かる。

【0050】このように、選択期間の（リセット期間を除いた）最初の部分、典型的には選択期間の前半部分を加速期間とし、加速期間中は信号線3を流れる電流を本来の信号電流 I_{in} の $(n+1)$ 倍とするとともに、駆動トランジスタ7の n 倍の駆動能力を有する補助トランジスタを加速期間中は導通状態とすることにより、寄生容量4及び保持容量6の充電と寄生容量5の放電とが急速に進行して、従来のものに比べ、信号電流 I_{in} が小さい場合などであっても、駆動トランジスタ7のゲート電位が早期に本来の値（信号電流 I_{in} に対応するゲートソース間電位に対応する値）に到達するようになり、意図した駆動電流で電流駆動素子11が駆動されるようになる。したがって、駆動電流 I_{drv} が信号電流 I_{in} と一致しないことによる表示画像の劣化や輝度制御性の悪化は生じないこととなる。

【0051】図5は、この駆動回路における信号電流 I_{in} （入力信号）と駆動電流 I_{drv} （電流駆動素子11が有機EL素子などであれば輝度）との関係を示すグラフである。従来の回路における信号電流 I_{in} と駆動電流 I_{drv} との関係を示すグラフ（図23参照）と比べると、この実施の形態の駆動回路によれば、信号電流 I_{in} が小さい領域でも、信号電流 I_{in} と駆動電流 I_{drv} とが線形な関係を維持していることが分かる。

【0052】次に、この第1の実施の形態の駆動回路の変形例を説明する。

【0053】上述した駆動回路では、選択期間から非選択期間に移るときに、スイッチ素子8及びスイッチ素子9が同時に導通状態から遮断状態に変化しているが、保持容量6におけるゲート電位の保持をより確実なものとするために、選択期間から非選択期間への遷移に先立って、スイッチ素子9を導通状態から遮断状態に変化させることも可能である。図6は、そのような駆動回路を含む画像表示装置を示す回路図であり、図7は、図6に示す回路の動作を示すタイミングチャートである。

【0054】この回路は、図1及び図2に示す回路と比べ、制御信号発生回路22内に信号ドライバ27を追加

し、この信号ドライバ27から制御線33を介して対応する行の駆動回路内のスイッチ素子9のゲートに対して制御信号を供給するようにしたものである。したがって、制御線32には、スイッチ素子8、10のゲートのみが接続する。信号ドライバ27は、非選択区間から選択区間への遷移と同時にスイッチ素子9を遮断状態から導通状態に変化させ、図7に示すように、加速区間の終了後、選択区間から非選択区間への選択よりも少し前にスイッチ素子9を導通状態から遮断状態に変化させるような制御信号を生成する。このように構成することにより、非選択期間に移行する前に確実に保持容量6を信号線3から切り離すことができ、保持容量6に設定されたゲート電位を確実に非選択期間が終了するまで保持できるようになる。スイッチ素子9を遮断状態とするタイミングは、駆動トランジスタ7のゲート電位が、信号電流 I_{in} と一致するドレイン電流を発生するゲートソース間電圧まで低下した後であればよい。

【0055】図8は、第1の実施の形態の駆動回路のさらに別の例を示している。上述した回路では、電流駆動素子11として有機EL素子を用いる場合にその有機EL素子をコモンカソードで使用するものとし、駆動トランジスタ7及び補助トランジスタ12としてpチャネルMOS電界効果トランジスタを使用していたが、図8に示す回路は、有機EL素子をコモンアノードで、すなわち電流駆動素子11である有機EL素子のアノードを電源線1に直接接続し、その代わりに、有機EL素子のカソード側にそれぞれnチャネルMOS電界効果トランジスタである駆動トランジスタ7及び補助トランジスタ12を設けた構成のものである。すなわち、電源線1と接地線2の間で、各素子の配置を反転させるとともに、駆動トランジスタ7及び補助トランジスタ12の導電型も反転させたものである。この場合、信号電流 I_{in} は、信号線3からスイッチ素子8、駆動トランジスタ7を経て接地線2に流れ込むことになる。スイッチ素子8～10、13としてMOS電界効果トランジスタを用いるのであれば、その導電型は図1及び図2に示した回路におけるものと反転させることが好ましい。

【0056】図8に示す回路の動作は、極性などが反転するほかは、図1に示した回路と同様である。

【0057】第2の実施の形態：次に、本発明の第2の実施形態について説明する。図9は、この実施の形態の駆動回路を示す回路図であり、図10は、図9に示す駆動回路を用い、複数の電流駆動素子11をマトリクス状に配列するとともに、各電流駆動素子11ごとに駆動回路を設けた構成の画像表示装置を説明する回路図である。図9及び図10において、図1及び図2と同じ参照符号が付与されたものは、図1及び図2におけるものと同じ構成要素である。

【0058】この実施の形態の回路は、図1及び図2に示す回路において、リセット期間中に信号線3の電位を

強制的に電源線1の電位に設定するためのスイッチ素子14を設けたものである。スイッチ素子14は、信号線3ごとに設けられており、したがって、同じ列の駆動回路が1個のスイッチ素子14を共有する形態となる。スイッチ素子14は、図10に示すように、例えば、ソースが電源線1に接続し、ドレインが信号線3に接続するpチャネルMOS電界効果トランジスタによって構成される。各スイッチ素子14のゲートは、共通に制御線34に接続している。この制御線34には、不図示の制御回路により、リセット期間の間だけスイッチ素子14を導通状態とするような制御信号が出力される。

【0059】図11は、図9及び図10に示す回路の動作を説明するタイミングチャートである。このタイミングチャートから明らかなように、リセット期間中は、スイッチ素子14が導通状態となることによって、信号線3が電源線1の電位となり、駆動トランジスタ7及び補助トランジスタ12のゲート電位も電源線1の電位となる。リセット期間の終了後、加速期間においては、信号線3を介して接地線2側に電流 $(n+1) \cdot I_{in}$ が流れ、寄生容量4及び保持容量6が充電され寄生容量5が放電することにより、駆動トランジスタ7及び補助トランジスタ12のゲート電位は、電源線1の電位から低下し、信号電流 I_{in} に対応する電位にほぼ到達する。その他の動作については、図3に示したタイミングチャートの場合と同様である。

【0060】本発明で扱うような駆動回路では、駆動回路から接地線2に向けて信号電流が流れるように構成されているので、選択期間において駆動トランジスタ7のゲート電位が信号電流 I_{in} に対応する電位よりも低下している場合に、このゲート電位が信号電流 I_{in} に対応する電位にまで上昇するのにかなりの時間がかかることが予想される。そこでこの実施形態では、リセット期間内に、駆動トランジスタ7のゲート電位を回路内の最高電位である電源線1の電位にプルアップすることにより、速やかにゲート電位を信号電流 I_{in} に対応する電位に到達させることができる。

【0061】上述した第2の実施形態の回路においては、第1の実施形態において図6及び図7により説明したように、選択期間から非選択期間から遷移するより少し前にスイッチ素子9を導通状態から遮断状態にして、保持容量6でのゲート電位の保持を確実にものとすることができる。図12は、そのような駆動回路を含む画像表示装置を示す回路図であり、図13は、図12に示す回路の動作を示すタイミングチャートである。

【0062】図14は、第2の実施の形態の駆動回路のさらに別の例を示している。上述した回路では、電流駆動素子11として有機EL素子を用いる場合にその有機EL素子をコモンカソードで使用するものとし、駆動トランジスタ7及び補助トランジスタ12としてpチャネルMOS電界効果トランジスタを使用していたが、図1

4に示す回路では、図8に示した回路と同様に、有機EL素子をコモンアノードで、すなわち電流駆動素子11である有機EL素子のアノードを電源線1に直接接続し、その代わりに、有機EL素子のカソード側にそれぞれnチャンネルMOS電界効果トランジスタである駆動トランジスタ7及び補助トランジスタ12を設けている。スイッチ素子8～10、13などとしてMOS電界効果トランジスタを用いるのであれば、その導電型は図9及び図10に示した回路におけるものと反転させることが好ましい。スイッチ素子14は、リセット期間に信号線3を接地線2に接続して駆動トランジスタ7及び補助トランジスタ12のゲート電位を接地電位に設定する。図14に示す回路の動作は、極性などが反転するほかは図9に示した回路と同様である。

【0063】第3の実施の形態：次に、本発明の第3の実施の形態について説明する。図15は、この実施の形態の駆動回路を示す回路図であり、図16は、図15に示す駆動回路を用い、複数の電流駆動素子11をマトリクス状に配列するとともに、各電流駆動素子11ごとに駆動回路を設けた構成の画像表示装置を説明する回路図である。図15及び図16において、図9及び図10と同じ参照符号が付与されたものは、図9及び図10におけるものと同じ構成要素である。第3の実施の形態の回路が第2の実施の形態の回路と異なる点は、電源線1の電位よりは低い電位の電圧線15が設けられており、スイッチ素子14がリセット期間においてこの電圧線15と信号線3とを接続し、駆動トランジスタ7及び補助トランジスタ12のゲート電位を電圧線15の電位に等しくするように構成されている点である。電圧線15の電位は、駆動トランジスタ7や補助トランジスタ12の特性のばらつきを考慮して、これらのトランジスタの中での最小のしきい値電圧を V_{thmin} とし、電源線3の電位を V_{cc} として、 $V_{cc} - V_{thmin}$ と等しいかこれより大きくなるようにする。すなわち、信号電流 I_{in} の考え得る最小値に対応するゲート電位と等しいかそれよりも高くなるようにする。

【0064】上述した第2の実施の形態では、リセット期間においてスイッチ素子14により駆動トランジスタ7及び補助トランジスタ12のゲート電位を電源線1の電位 V_{cc} になるようにしているが、この実施の形態では、電源線1の電位より小さい電圧線15の電位に設定するようにしている。その結果、この実施の形態では、電源線1の電位と電圧線15の電位との差に相当する分だけ、寄生容量4及び保持容量6を充電し寄生容量5を放電するための電荷量を少なくすることができる。その結果、第2の実施の形態に比べ、駆動トランジスタ7及び補助トランジスタ12のゲート電位が、駆動トランジスタのドレイン電流が信号電流 I_{in} となる電位に到達するまでの時間を、より短縮することが可能になる。このことは、リセット期間及び選択期間を短縮できることを意

味し、マトリクス動作によるこの画像表示装置の表示速度を向上できることを意味する。図17は、この第3の実施の形態の回路の動作を示すタイミングチャートである。

【0065】上述した第3の実施の形態の回路においても、第1の実施の形態において図6及び図7により説明したように、選択期間から非選択期間から遷移するより少し前にスイッチ素子9を導通状態から遮断状態にして、保持容量6でのゲート電位の保持を確実なものとすることができる。図18は、そのような駆動回路を含む画像表示装置を示す回路図であり、図19は、図18に示す回路の動作を示すタイミングチャートである。

【0066】図20は、第3の実施の形態の駆動回路のさらに別の例を示している。上述した回路では、電流駆動素子11として有機EL素子を用いる場合にその有機EL素子をコモンカソードで使用するものとし、駆動トランジスタ7及び補助トランジスタ12としてpチャンネルMOS電界効果トランジスタを使用していたが、図20に示す回路では、図8に示した回路と同様に、有機EL素子をコモンアノードで、すなわち電流駆動素子11である有機EL素子のアノードを電源線1に直接接続し、その代わりに、有機EL素子のカソード側にそれぞれnチャンネルMOS電界効果トランジスタである駆動トランジスタ7及び補助トランジスタ12を設けている。スイッチ素子8～10、13などとしてMOS電界効果トランジスタを用いるのであれば、その導電型は図15及び図16に示した回路におけるものと反転させることが好ましい。また、電圧線15には、接地線2の電位よりも少し高い電位を印加する。具体的には、電圧線15の電位は、駆動トランジスタ7や補助トランジスタ12の特性のばらつきを考慮し、これらのトランジスタの中での最小のしきい値電圧を V_{thmin} として、この V_{thmin} より等しいかそれより小さい電位とする。スイッチ素子14は、リセット期間に信号線3を電圧線15に接続して駆動トランジスタ7及び補助トランジスタ12のゲート電位を接地電位よりやや高い電圧に設定する。図20に示す回路の動作は、極性などが反転するほかは図15に示した回路と同様である。

【0067】以上、本発明の好ましい実施の形態について、駆動トランジスタ7及び補助トランジスタ12が、好ましくは薄膜トランジスタとして設けられた、MOS電界効果トランジスタであるものとして説明したが、本発明はこれに限定されるものではなく、駆動トランジスタ7及び補助トランジスタ12として、同一導電型の絶縁ゲートトランジスタを用いることができる。もちろん、画像表示装置への応用を考慮した場合、駆動トランジスタ7及び補助トランジスタ12は、薄膜トランジスタであることが好ましい。また、各スイッチ素子としてMOS電界効果トランジスタを用いたものを説明したが、本発明はこれに限定されるものではなく、トランス

フエグートなどの他の種類のスイッチ素子を使用することができる。

【0068】

【発明の効果】以上説明したように本発明は、駆動トランジスタと並列に、駆動トランジスタの n 倍の電流駆動能力を有する補助トランジスタを接続し、選択期間の一部（加速期間）において補助トランジスタにもドレイン電流が流れるようにするとともに信号線を通る信号電流自体も $(n+1)$ 倍となるようにすることにより、保持容量や寄生容量の充放電が速やかに行われるようになり、駆動トランジスタのゲート電位が選択期間中に確実に所定電位に到達するようになって、信号電流（入力信号）が微小なときでも適正な駆動電流で電流駆動素子を駆動できるようになる、という効果がある。したがって、電流駆動素子が有機EL素子である場合には、意図した通りの駆動電流で有機EL素子が駆動されることになるので、表示画質の劣化が防止される。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の駆動回路を示す回路図である。

【図2】図1に示す駆動回路から構成される画像表示装置を示す回路図である。

【図3】図1及び図2に示す回路の動作を示すタイミングチャートである。

【図4】駆動トランジスタとその駆動トランジスタと並列に設けられる補助トランジスタの動作特性を示すグラフである。

【図5】図1に示す回路における信号電流 I_{in} と駆動電流 I_{drv} との関係を示すグラフである。

【図6】図1及び図2に示す回路の変形例を示す回路図である。

【図7】図6に示す回路の動作例を示すタイミングチャートである。

【図8】図1に示す回路のさらに別の変形例を示す回路図である。

【図9】本発明の第2の実施の形態の駆動回路を示す回路図である。

【図10】図9に示す駆動回路から構成される画像表示装置を示す回路図である。

【図11】図9及び図10に示す回路の動作を示すタイミングチャートである。

【図12】図9及び図10に示す回路の変形例を示す回路図である。

【図13】図12に示す回路の動作例を示すタイミングチャートである。

【図14】図9に示す回路のさらに別の変形例を示す回路図である。

【図15】本発明の第3の実施の形態の駆動回路を示す回路図である。

【図16】図15に示す駆動回路から構成される画像表示装置を示す回路図である。

【図17】図15及び図16に示す回路の動作を示すタイミングチャートである。

【図18】図15及び図16に示す回路の変形例を示す回路図である。

【図19】図18に示す回路の動作例を示すタイミングチャートである。

【図20】図15に示す回路のさらに別の変形例を示す回路図である。

【図21】従来の駆動回路の構成の一例を示す回路図である。

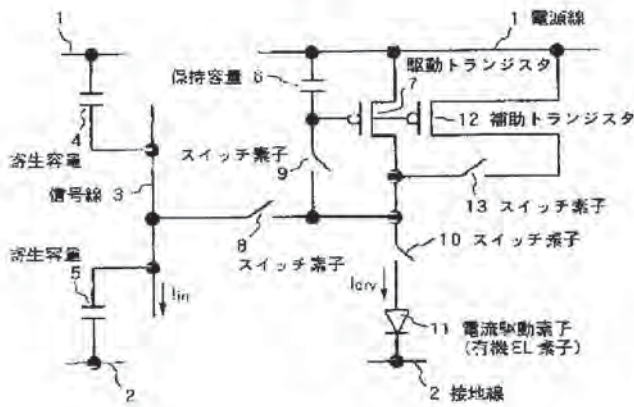
【図22】図21に示す回路の動作を示すタイミングチャートである。

【図23】図21に示す回路における信号電流 I_{in} と駆動電流 I_{drv} との関係を示すグラフである。

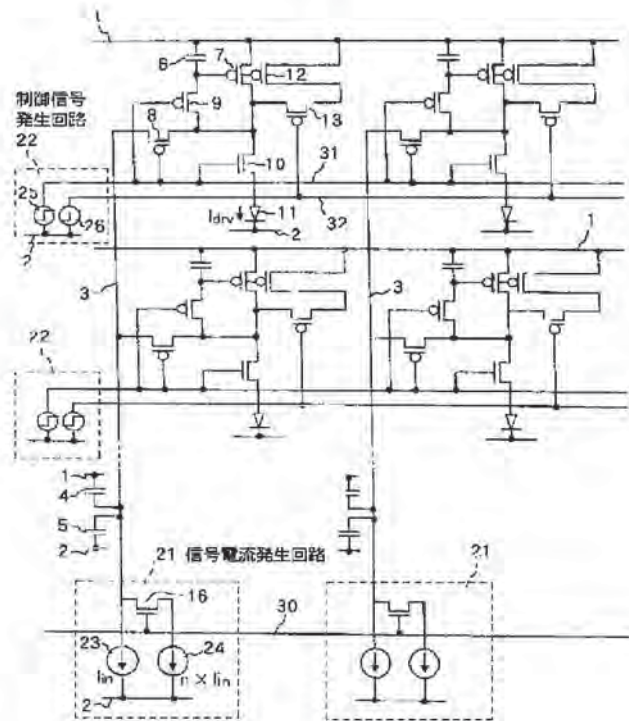
【符号の説明】

- 1 電源線
- 2 接地線
- 3 信号線
- 4, 5 寄生容量
- 6 保持容量
- 7 駆動トランジスタ
- 8~10, 13, 14, 16 スイッチ素子
- 11 電流駆動素子
- 12 補助トランジスタ
- 15 電圧線
- 21 信号電流発生回路
- 22 制御信号発生回路
- 23, 24 電流源
- 25~27 信号ドライバ
- 30~34 制御線

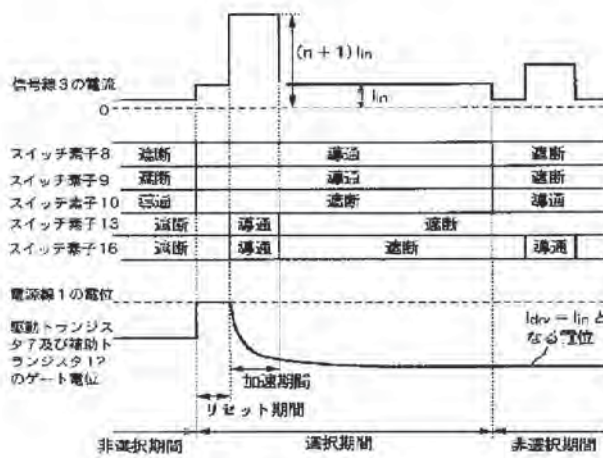
【図1】



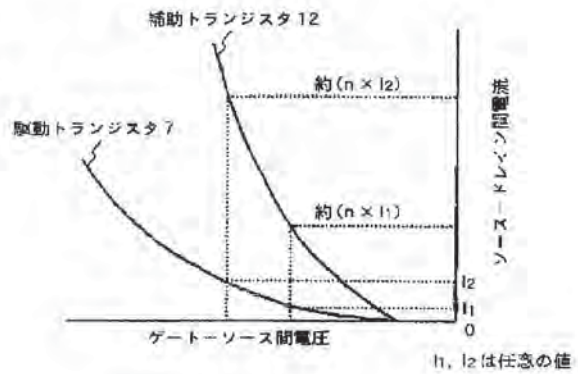
【図2】



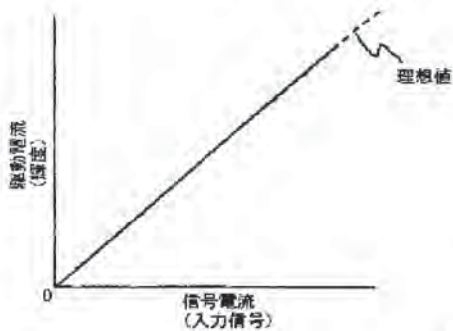
【図3】



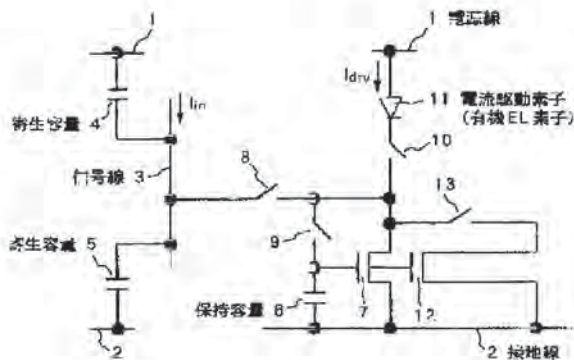
【図4】



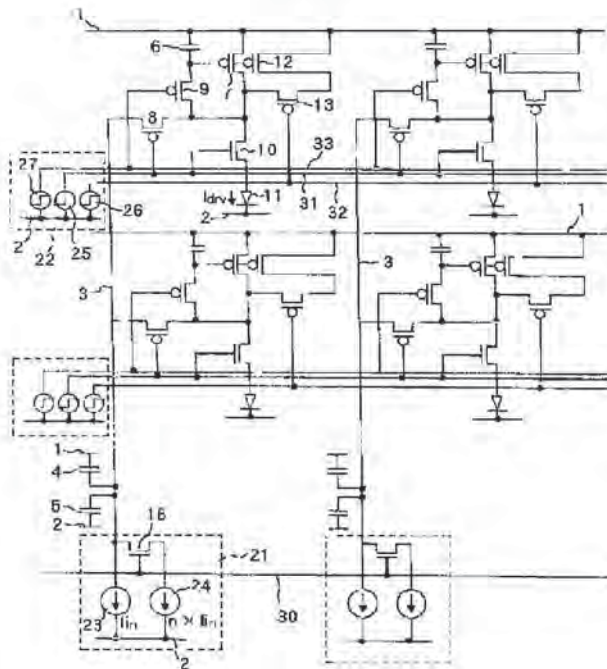
【図5】



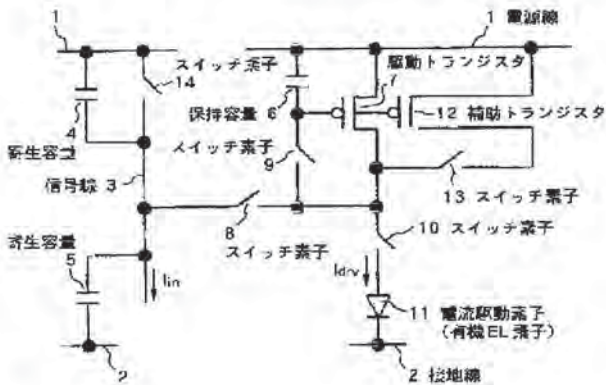
【図8】



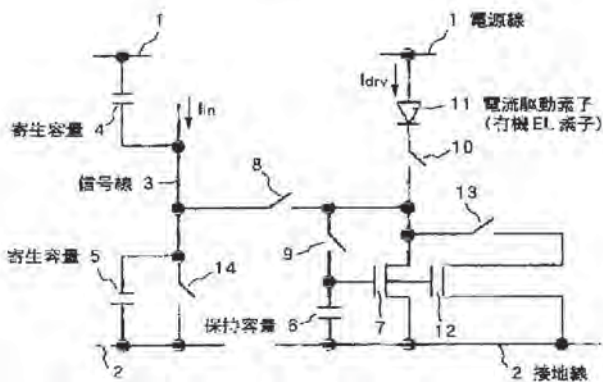
【図6】



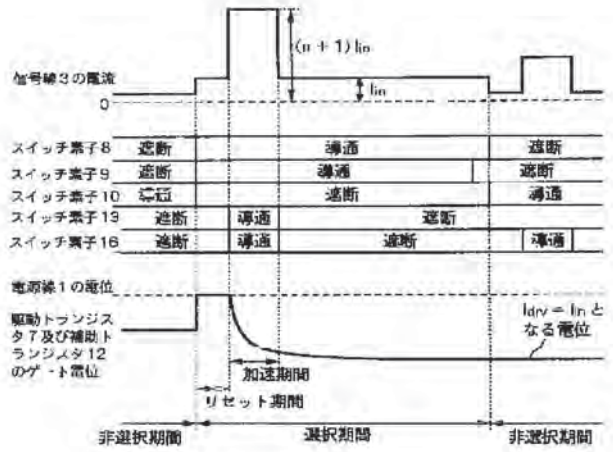
【図9】



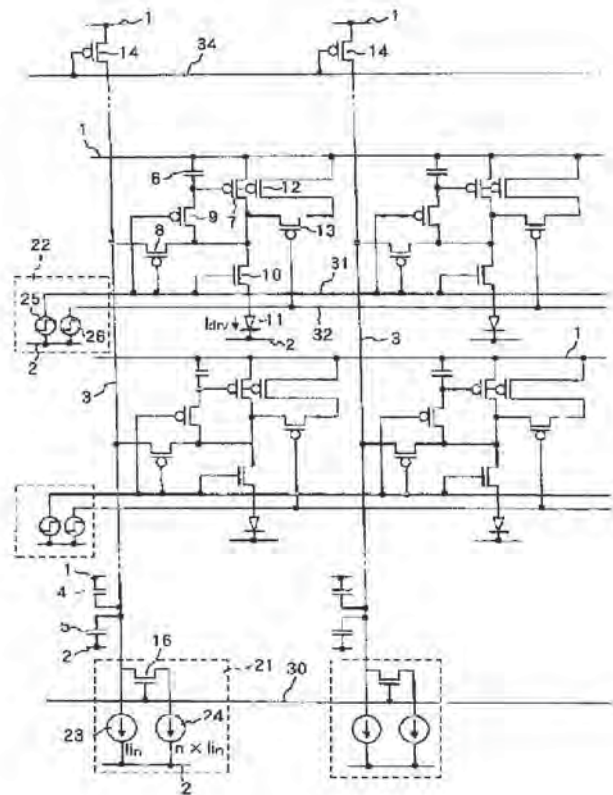
【図14】



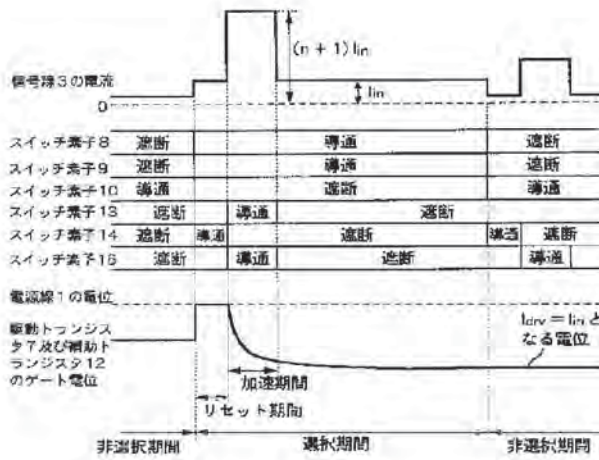
【図7】



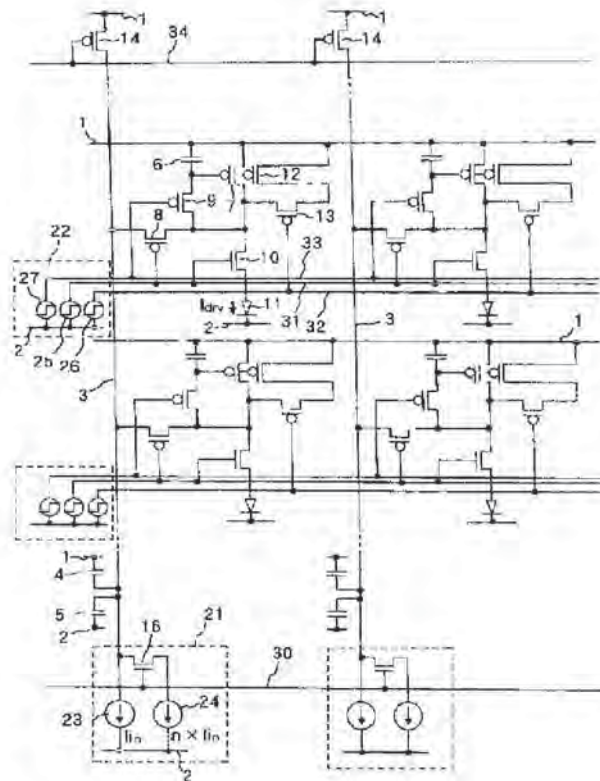
【図10】



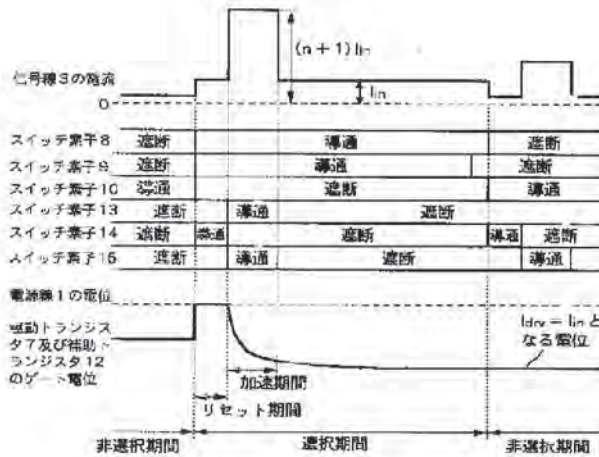
【図11】



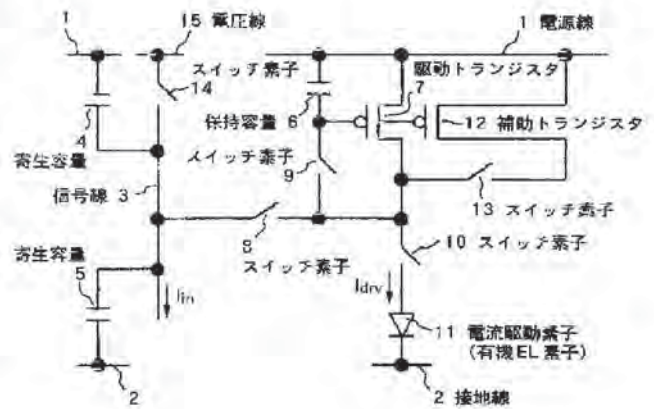
【図12】



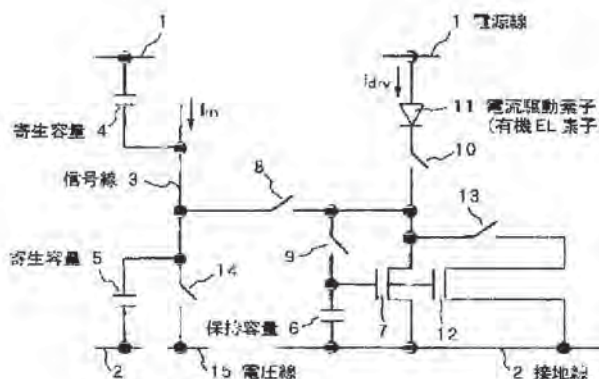
【図13】



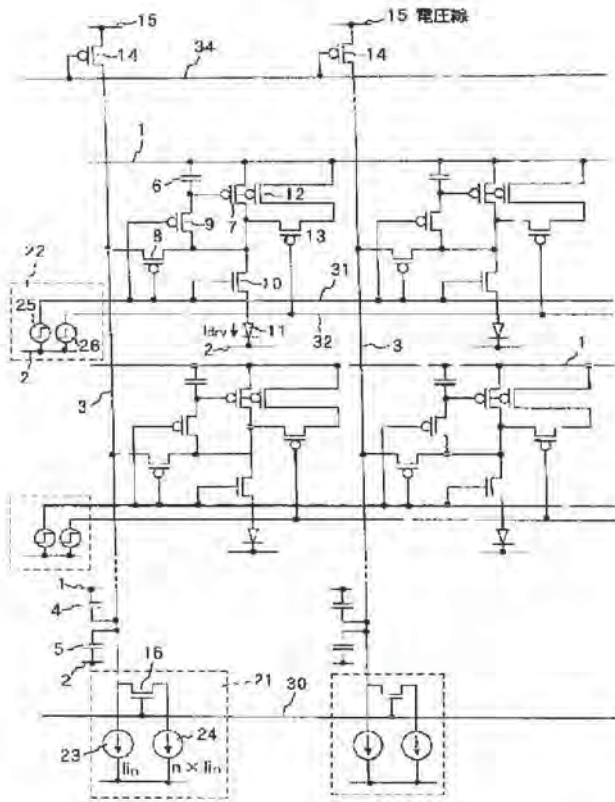
【図15】



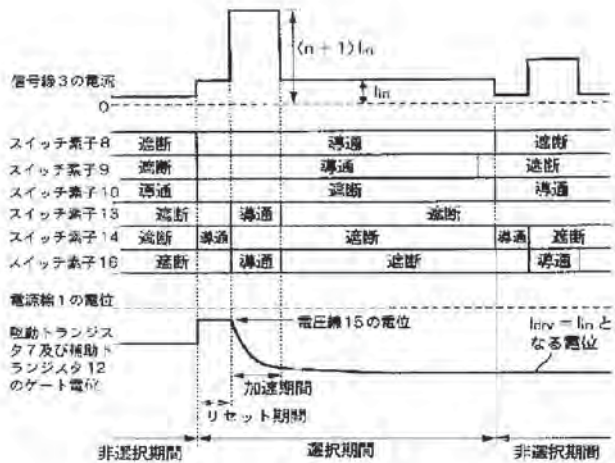
【図20】



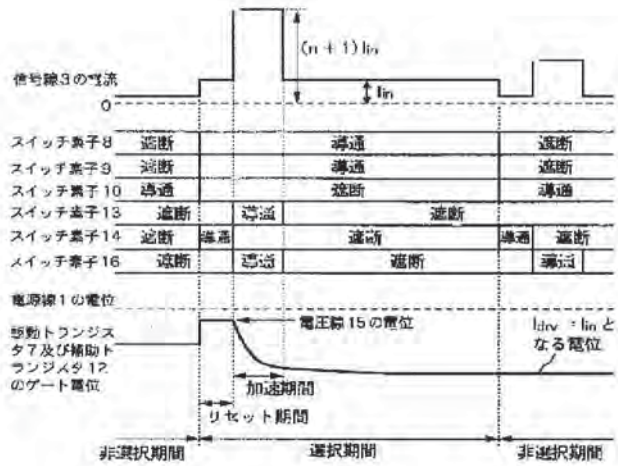
【図16】



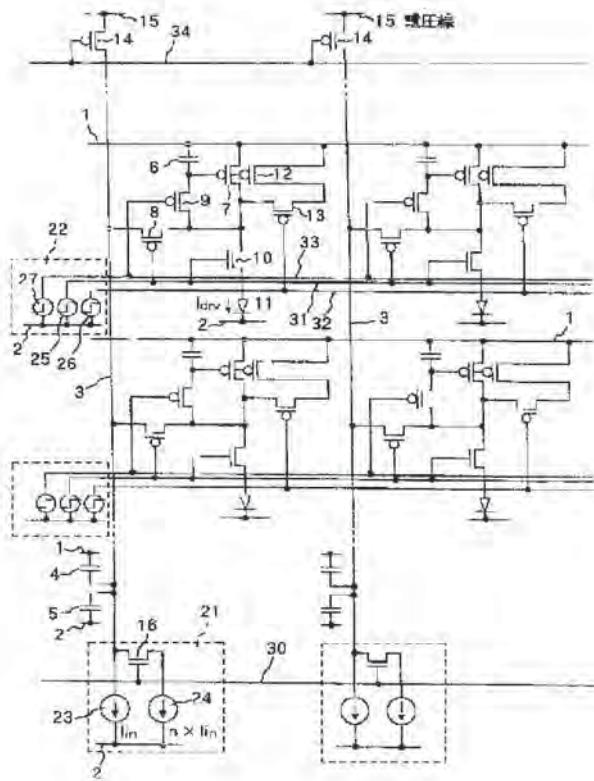
【図19】



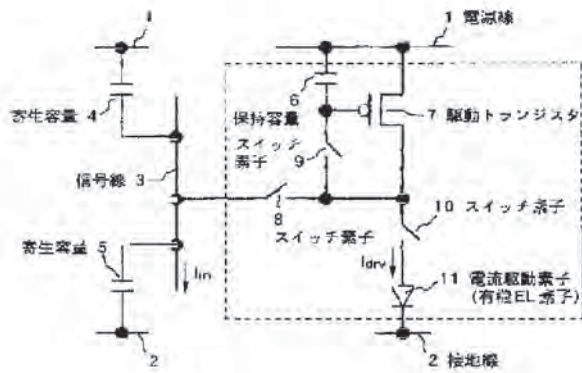
【図17】



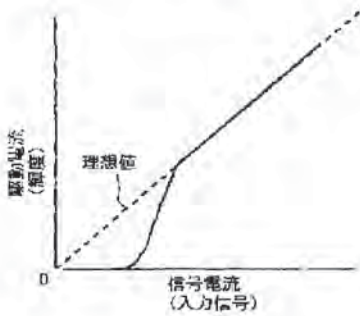
【図18】



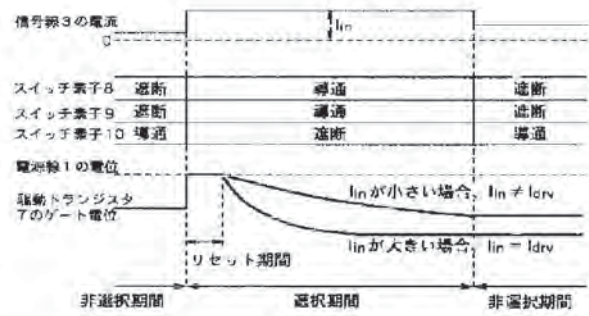
【図21】



【図23】



【図22】



フロントページの続き

(51) Int. Cl. 7
H05B 33/14

識別記号

F I
H05B 33/14

(参考)

A

JP2003186420

Publication Title:

ACTIVE MATRIX SUBSTRATE, ELECTROOPTIC DEVICE, MANUFACTURING METHOD FOR ELECTROOPTIC DEVICE, AND ELECTRONIC EQUIPMENT

Abstract:

Abstract of JP2003186420

PROBLEM TO BE SOLVED: To provide an active matrix substrate in which resistance of a counter electrode is reduced to make an electrooptic device large-sized and highly fine, the electrooptic device, a manufacturing method for the electrooptic device, and electronic equipment.

SOLUTION: On a base body having an active element, the electrooptic device has a plurality of pixel electrodes 141 partitioned by a partition wall 150 made of an insulating material, a laminate including a light emission layer 140B arranged on the pixel electrodes 141, and a counter electrode 154 arranged on the laminate. On the partition wall 150, a conductive part 151 is arranged which is insulated from the pixel electrodes 141. This conduction part 151 is connected to the counter electrode 154.

COPYRIGHT: (C)2003,JPO

Data supplied from the esp@cenet database - Worldwide

Courtesy of <http://v3.espacenet.com>

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-186420
(P2003-186420A)

(43) 公開日 平成15年7月4日(2003.7.4)

(51) Int.Cl. ⁷	識別記号	F I	ターミナル*(参考)
G 0 9 F 9/30	3 3 8 3 6 5	G 0 9 F 9/30	3 3 8 2 C 0 5 6 3 6 5 Z 3 K 0 0 7
B 4 1 J 2/01		9/00	3 4 2 Z 5 C 0 9 4
G 0 9 F 9/00	3 4 2	H 0 5 B 33/10	5 F 1 1 0
H 0 1 L 29/786		33/12	B 5 G 4 3 0

審査請求 未請求 請求項の数28 O L (全 17 頁) 最終頁に続く

(21) 出願番号 特願2001-389671(P2001-389671)

(22) 出願日 平成13年12月21日(2001.12.21)

(71) 出願人 000002369

セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号

(72) 発明者 松枝 洋二郎

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100096728

弁理士 上柳 雅彦 (外2名)

最終頁に続く

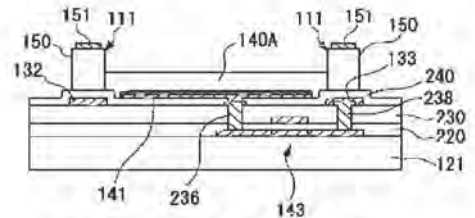
(54) 【発明の名称】 アクティブマトリクス基板、電気光学装置、電気光学装置の製造方法、及び電子機器

(57) 【要約】

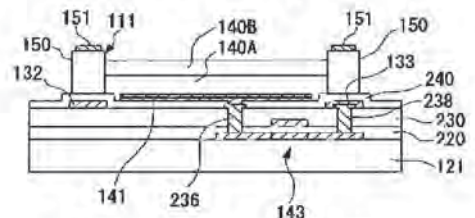
【課題】 電気光学装置の大型化や高精細化を可能にするべく、対向電極の低抵抗化を図ったアクティブマトリクス基板、電気光学装置、電気光学装置の製造方法、及び電子機器を提供する。

【解決手段】 アクティブ素子を有する基体上に、絶縁性材料からなる隔壁150により隔てられた複数の画素電極141と、画素電極141上に配置された発光層140Bを含む積層体と、積層体上に配置された対向電極154と、を備えた電気光学装置である。隔壁150上には、画素電極141とは絶縁された導電部151が配置されている。この導電部151は対向電極154と接続されている。

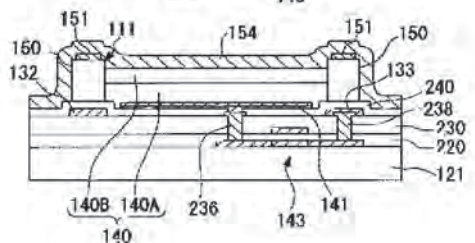
(a)



(b)



(c)



【特許請求の範囲】

【請求項1】 アクティブ素子を有する基体上に、絶縁性材料からなる隔壁により隔てられた複数の画素電極を備えたアクティブマトリクス基板であって、前記隔壁上の前記画素電極とは絶縁された位置に導電材料が配置されていることを特徴とするアクティブマトリクス基板。

【請求項2】 前記アクティブ素子が薄膜トランジスタであることを特徴とする請求項1記載のアクティブマトリクス基板。

【請求項3】 前記導電材料がストライプ状あるいは格子状に形成されてなることを特徴とする請求項1又は2記載のアクティブマトリクス基板。

【請求項4】 前記隔壁の上面に凹部が形成され、この凹部内に前記導電材料が設けられていることを特徴とする請求項1～3のいずれかに記載のアクティブマトリクス基板。

【請求項5】 アクティブ素子の上方に平坦化膜が形成され、前記平坦化膜上に複数の画素電極が配置されていることを特徴とするアクティブマトリクス基板。

【請求項6】 請求項5に記載のアクティブマトリクス基板において、前記複数の画素電極は、絶縁性材料からなる隔壁により隔てられていることを特徴とするアクティブマトリクス基板。

【請求項7】 請求項6に記載のアクティブマトリクス基板において、前記隔壁上に導電材料が配置されていることを特徴とするアクティブマトリクス基板。

【請求項8】 請求項1～7のいずれかに記載のアクティブマトリクス基板上に電気光学材料が配置されたことを特徴とする電気光学装置。

【請求項9】 請求項5乃至7のいずれかに記載のアクティブマトリクス基板上有機エレクトロルミネッセンス材料を含む有機エレクトロルミネッセンス素子が配置され、前記有機エレクトロルミネッセンス素子の発した光が前記アクティブマトリクス基板とは反対側から取り出されることを特徴とする電気光学装置。

【請求項10】 アクティブ素子を有する基体上に、絶縁性材料からなる隔壁により隔てられた複数の画素電極と、前記画素電極上に配置された発光層を含む積層体と、前記積層体上に配置された対向電極と、を備えた電気光学装置であって、

前記隔壁上には、前記画素電極とは絶縁された導電部が配置され、該導電部は前記対向電極と接続されていることを特徴とする電気光学装置。

【請求項11】 前記アクティブ素子が薄膜トランジスタであることを特徴とする請求項10記載の電気光学装置。

【請求項12】 前記導電部がストライプ状あるいは格子状に形成されてなることを特徴とする請求項10又は11記載の電気光学装置。

【請求項13】 前記発光層は有機エレクトロルミネッセンス材料であることを特徴とする請求項10～12のいずれかに記載の電気光学装置。

【請求項14】 前記導電部の形成材料は、前記対向電極の形成材料より導電性が高い材料であることを特徴とする請求項10～13のいずれかに記載の電気光学装置。

【請求項15】 前記隔壁の上面に凹部が形成され、この凹部内に前記導電部が形成されてなることを特徴とする請求項10～14のいずれかに記載の電気光学装置。

【請求項16】 前記発光層の、前記画素電極と対向電極のうちの陽極として機能する電極側に、正孔注入層又は正孔輸送層が設けられてなることを特徴とする請求項10～15のいずれかに記載の電気光学装置。

【請求項17】 前記発光層からの光は対向電極側を経由して取り出されることを特徴とする請求項10～16のいずれかに記載の電気光学装置。

【請求項18】 前記画素電極がアクティブ素子上に配置されていることを特徴とする請求項17記載の電気光学装置。

【請求項19】 前記アクティブ素子上に平坦化膜が形成され、この平坦化膜上に画素電極が配置されていることを特徴とする請求項18記載の電気光学装置。

【請求項20】 前記発光層からの光は画素電極側を経由して取り出されることを特徴とする請求項10～19のいずれかに記載の電気光学装置。

【請求項21】 請求項10記載の電気光学装置を製造するに際し、

基体上に画素電極と画素間を隔てる隔壁と該隔壁上の導電部とを形成した後、前記隔壁により区画された領域に発光層を形成することを特徴とする電気光学装置の製造方法。

【請求項22】 発光層の材料をインクジェット法で塗布することにより、前記発光層を形成することを特徴とする請求項21記載の電気光学装置の製造方法。

【請求項23】 前記隔壁の上面に凹部を形成し、この凹部内に導電部の材料をインクジェット法で塗布することにより、前記導電部を形成することを特徴とする請求項21又は22記載の電気光学装置の製造方法。

【請求項24】 前記隔壁の上面を親液処理するとともに側面を撥液処理しておき、液状に調製した導電部の材料に前記隔壁の上面部を浸して該隔壁の上面に導電材料を付着させ、その後この導電材料を硬化させて導電部とすることを特徴とする請求項21又は22記載の電気光学装置の製造方法。

【請求項25】 隔壁と該隔壁上の導電部とを形成するに際して、隔壁形成材料を成膜し、次に該隔壁形成材料からなる膜の上に導電材料を成膜し、次いで導電材料からなる膜をパターンニングして導電部を形成し、その後得られた導電部をマスクにして隔壁形成材料からなる膜を

バターニングし、隔壁を形成することを特徴とする請求項21又は22記載の電気光学装置の製造方法。

【請求項26】 前記発光層となる位置に対して、前記画素電極と対向電極のうちの陽極として機能する電極側に、正孔注入層又は正孔輸送層の材料をインクジェット法で塗布することにより、正孔注入層又は正孔輸送層を形成することを特徴とする請求項21～25のいずれかに記載の電気光学装置の製造方法。

【請求項27】 請求項8～20のいずれかに記載の電気光学装置、あるいは請求項21～26のいずれかに記載の製造方法によって得られた電気光学装置を用いてなる電子機器。

【請求項28】 前記電気光学装置の光出射側に反射防止フィルムが設けられていることを特徴とする請求項27記載の電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブマトリクス基板、電気光学装置、電気光学装置の製造方法、及び電子機器に関する。

【0002】

【従来の技術】近年、液晶ディスプレイに替わる自発光型ディスプレイとして、発光層に有機物を用いた電気光学装置が提供されている。このような電気光学装置としては、現在のところスイッチング素子となるTFT（薄膜トランジスタ）を形成するTFT基板に透明基板が用いられ、発光層で発光された光がこの透明基板を透過することにより、外部に光を出射させるものが一般的である。

【0003】ところで、前記の光が透明基板を透過するタイプの電気光学装置では、TFT基板上にスイッチング素子となるTFTが形成されていることから、このTFT部分に光を透過させることができず、したがって開口率が低いことにより、これを用いたディスプレイの大型化（大画面化）が困難であるといった課題がある。すなわち、大型化した場合には、各配線、例えば走査線や信号線などの抵抗を下げるため配線幅を広げる必要があるが、そのようにすると開口率がより低くなってしまい、所望する良好な画質が得られにくくなってしまからである。

【0004】そこで、このような課題を解決してディスプレイの大型化（大画面化）を可能にするべく、光が透明基板を透過するタイプでなく、TFT基板と反対の側に光を出射させるタイプのものの、実用化が図られている。

【0005】

【発明が解決しようとする課題】基板と反対の側に光を出射させるタイプのものでは、発光層からの光が出射する側の電極、すなわち対向電極を、透明な導電材料によって形成する必要がある。しかしながら、透明な導電材

料で、かつ実用に耐えられものとしては、十分に低抵抗な材料がなく、したがって基板と反対の側に光を出射させるタイプの電気光学装置においても、その大画面化、さらにはその高精細化が困難であるといった課題がある。

【0006】すなわち、例えば有機EL素子からなる電気光学装置は、その駆動方式が電流によるものであることから、例えば電圧による駆動方式の液晶素子に比べて、画素間で均一な表示を行わせ、これにより面内均一性を確保するためには、各画素に流れる電流がより均一になるような制御を行う必要がある。

【0007】しかしながら、有機EL素子からなる電気光学装置では、前述したようにこれを大型化（大画面化）する場合、配線の末端側にまで電流が流れにくくなることから、配線抵抗を十分に下げ、これにより配線末端側にまで電流が均一に流れるようにする必要がある。また、高精細化する場合にも、走査のための選択時間を短くする必要上、やはり配線抵抗を十分に下げる必要がある。しかし、前述したように現状では、透明な導電材料でかつ実用に耐えられものとして十分に低抵抗な材料がなく、したがって大型化や高精細化を達成し得ないのである。

【0008】本発明は前記事情に鑑みてなされたもので、その目的とするところは、電気光学装置の大型化や高精細化を可能にするべく、対向電極の低抵抗化を図ったアクティブマトリクス基板、電気光学装置、電気光学装置の製造方法、及び電子機器を提供することにある。

【0009】

【課題を解決するための手段】前記目的を達成するため本発明のアクティブマトリクス基板では、アクティブ素子を有する基体上に、絶縁性材料からなる隔壁により隔てられた複数の画素電極を備えたアクティブマトリクス基板であって、前記隔壁上の前記画素電極とは絶縁された位置に導電材料が配置されていることを特徴としている。

【0010】このアクティブマトリクス基板によれば、隔壁上に導電材料が配置されているので、例えばこれを対向電極とは別に形成し、かつ該対向電極に接続した状態に設けておくことにより、対向電極に導電材料が合わされた実質的な対向電極の抵抗が低下し、これにより配線末端までの電流の均一化が可能となる。

【0011】また、前記アクティブマトリクス基板においては、前記アクティブ素子が薄膜トランジスタであるのが好ましい。このようにすれば、アクティブマトリクス基板の薄厚化、小型化が可能になる。

【0012】また、前記アクティブマトリクス基板においては、前記導電材料がストライプ状あるいは格子状に形成されてなることを特徴としている。このようにすれば、各画素に対してほぼ均等に影響するように、対向電極を低抵抗化することができることから、画素間で均一

な表示を行わせ、これにより面内均一性を確保するのに有利となる。

【0013】また、前記アクティブマトリクス基板においては、前記隔壁の上面に凹部が形成され、この凹部内に前記導電材料が設けられているのが好ましい。このようにすれば、例えばインクジェット法によって導電材料を前記凹部内に吐出し塗布した場合に、導電材料が隔壁上面から流れ落ちて、画素電極と導通してしまうといった不都合を防止することができる。本発明の他のアクティブマトリクス基板はアクティブ素子の上方に平坦化膜が形成され、前記平坦化膜上に複数の画素電極が配置されていることを特徴とする。このアクティブマトリクス基板において、前記複数の画素電極は、絶縁性材料からなる隔壁により隔てられてもよい。さらに、前記隔壁上に導電材料が配置されていてもよい。このアクティブマトリクス基板上に電気光学素子として、例えば有機エレクトロルミネッセンス素子を配置し、電気光学装置とすることもできる。この電気光学装置は画素電極が平坦化膜が設けられているので、有機エレクトロルミネッセンス素子から発した光が散乱など散逸することなく取り出すことができる。特にアクティブマトリクス基板と反対側に光を取り出す場合には特に効果がある。

【0014】本発明の電気光学装置では、アクティブ素子を有する基体上に、絶縁性材料からなる隔壁により隔てられた複数の画素電極と、前記画素電極上に配置された発光層を含む積層体と、前記積層体上に配置された対向電極と、を備えてなり、前記隔壁上には、前記画素電極とは絶縁された導電部が配置され、該導電部は前記対向電極と接続されていることを特徴としている。

【0015】この電気光学装置によれば、隔壁上に導電部を配置しているので、対向電極に導電部が合わされた実質的な対向電極の抵抗が低下し、これにより配線末端までの電流の均一化を可能にし、例えば電気光学装置としてのディスプレイの大型化（大画面化）、高精細化を図ることができる。

【0016】また、前記電気光学装置においては、前記アクティブ素子が薄膜トランジスタであるのが好ましい。このようにすれば、装置の薄厚化、小型化が可能になる。

【0017】また、前記電気光学装置においては、前記導電部がストライプ状あるいは格子状に形成されているのが好ましい。このようにすれば、各画素に対してほぼ均等に影響するように、対向電極を低抵抗化することができることから、画素間で均一な表示を行わせ、これにより面内均一性を確保するのに有利となる。

【0018】また、前記電気光学装置においては、前記発光層は有機エレクトロルミネッセンス材料であるのが好ましい。このようにすれば、電気光学装置が有機エレクトロルミネッセンス素子からなるものとなる。

【0019】また、前記電気光学装置においては、前記

導電部の形成材料が、前記対向電極の形成材料より導電性が高い材料であるのが好ましい。このようにすれば、導電部による対向電極の実質的な抵抗低下の度合いを高めることができる。

【0020】また、前記電気光学装置においては、前記隔壁の上面に凹部が形成され、この凹部内に前記導電部が形成されてなるのが好ましい。このようにすれば、例えばインクジェット法によって導電材料を前記凹部内に吐出し塗布した場合に、導電材料が隔壁上面から流れ落ちて、配置される画素電極と導通してしまうといった不都合を防止することができる。

【0021】また、前記電気光学装置においては、前記発光層の、前記画素電極と対向電極のうちの陽極として機能する電極側に、正孔注入層又は正孔輸送層が設けられてなるのが好ましい。このようにすれば、正孔注入層又は正孔輸送層によって発光層の発光能が高くなり、より良好な発光特性が得られる。

【0022】また、前記電気光学装置においては、前記発光層からの光が対向電極側を経由して取り出されるのが好ましい。このようにすれば、基体と反対の側から光が出射することにより、基体として透明でないものを用いることができる。

【0023】また、前記電気光学装置においては、前記画素電極がアクティブ素子上に配置されているのが好ましく、さらには、前記アクティブ素子上に平坦化膜が形成され、この平坦化膜上に画素電極が配置されているのが好ましい。このようにすれば、アクティブ素子に影響されることなく画素電極を形成することが可能になり、特に平坦化膜上に画素電極が配置されている場合、デザインルールの限界まで画素電極を大きくすることが可能になる。

【0024】また、前記電気光学装置においては、前記発光層からの光が画素電極側を経由して取り出されるのが好ましい。このようにすれば、基体側から光が出射することにより、対向電極として透明でないものを用いることができる。

【0025】本発明の電気光学装置の製造方法では、請求項6記載の電気光学装置を製造するに際し、基体上に画素電極と画素間を隔てる隔壁と該隔壁上の導電部とを形成した後、前記隔壁により区画された領域に発光層を形成することを特徴としている。

【0026】この電気光学装置の製造方法によれば、導電部を形成した後、発光層を形成するので、発光層に影響を与えることなく、導電部の形成プロセスを行うことができる。また、導電部を形成することにより、実質的な対向電極の抵抗を低下させることができることから、配線末端までの電流の均一化を可能にし、例えば電気光学装置としてのディスプレイの大型化（大画面化）、高精細化を図ることができる。

【0027】また、前記電気光学装置の製造方法におい

ては、前記隔壁により区画された領域発光層を構成する材料をインクジェット法で塗布することにより、前記発光層を形成することができる。このようにすれば、発光層の材料を選択的に吐出し塗布することができ、したがって、例えば赤、緑、青の各色を発光する材料を打ち分けることにより、フルカラー表示の電気光学装置を容易に製造することができる。インクジェット法の代わりにスピコート法やディップコート法、あるいは蒸着法なども使用することもできる。

【0028】また、前記電気光学装置の製造方法においては、前記隔壁の上面に凹部を形成し、この凹部に導電部の材料をインクジェット法で塗布することにより、前記導電部を形成することができる。このようにすれば、導電材料が隔壁上面から流れ落ちて、画素電極と導通してしまうといった不都合を防止することができる。インクジェット法の代わりにスピコート法やディップコート法、あるいは蒸着法なども使用することもできる。

【0029】また、前記電気光学装置の製造方法においては、前記隔壁の上面を親液処理するとともに側面を撥液処理しておき、液状に調製した導電部の材料に前記隔壁の上面部を浸して該隔壁の上面に導電材料を付着させ、その後この導電材料を硬化させて導電部とするのが好ましい。このようにすれば、隔壁上への導電部の形成を比較的容易に行うことができる。

【0030】また、前記電気光学装置の製造方法においては、隔壁と該隔壁上の導電部とを形成するに際して、隔壁形成材料を成膜し、次に該隔壁形成材料からなる膜の上に導電材料を成膜し、次いで導電材料からなる膜をパターニングして導電部を形成し、その後得られた導電部をマスクにして隔壁形成材料からなる膜をパターニングし、隔壁を形成するのが好ましい。このようにすれば、例えばフォトリソグラフィ工程によってパターニングを行う場合に、このフォトリソグラフィ工程を隔壁形成と導電部の形成とでそれぞれに行うことなく、1度ですませることができ、したがって工程の簡略化を図ることができる。

【0031】また、前記電気光学装置の製造方法においては、前記隔壁により区画された領域に対して、前記画素電極と対向電極のうちの陽極として機能する電極側に、正孔注入層又は正孔輸送層の材料をインクジェット法で塗布することにより、正孔注入層又は正孔輸送層を形成するのが好ましい。このようにすれば、隔壁により区画された領域に正孔注入層又は正孔輸送層の材料を選択的に吐出し塗布することができる。また、このようにして正孔注入層又は正孔輸送層を形成することにより、発光層の発光能を高くすることができ、したがってより良好な発光特性を得ることができる。

【0032】本発明の電子機器は、前記電気光学装置、あるいは前記製造方法によって得られた電気光学装置を用いてなることを特徴としている。この電子機器によれ

ば、隔壁上に導電部が形成されていることにより、実質的な対向電極の抵抗が低下した電気光学装置を用いたものであるから、配線末端までの電流の均一化が可能となっていることにより、その大型化（大画面化）、高精細化が可能となる。

【0033】また、前記の電子機器においては、前記電気光学装置の光出射側に反射防止フィルムが設けられているのが好ましい。このようにすれば、隔壁上に形成した導電部での反射に起因する表示性能の低下を防止することができる。

【0034】

【発明の実施の形態】以下、本発明を詳しく説明する。まず、本発明の電気光学装置について、その概略構成を説明する。図1、図2は本発明のアクティブマトリクス基板およびこれを用いた電気光学装置を、アクティブマトリクス型のディスプレイに適用した場合の一例を示すもので、これらの図において符号1はディスプレイである。

【0035】このディスプレイ1は、回路図である図1に示すように基板（図示せず）上に、複数の走査線131と、これら走査線131に対して交差する方向に伸びる複数の信号線132と、これら信号線132に並列に伸びる複数の共通給電線133とがそれぞれ配線されたもので、走査線131及び信号線132の各交点毎に、画素（画素領域素）1Aが設けられて構成されたものである。

【0036】信号線132に対しては、シフトレジスタ、レベルシフト、ビデオライン、アナログスイッチを備えるデータ側駆動回路3が設けられている。一方、走査線131に対しては、シフトレジスタ及びレベルシフトを備える走査側駆動回路4が設けられている。また、画素領域1Aの各々には、走査線131を介して走査信号がゲート電極に供給される第1の薄膜トランジスタ142と、この第1の薄膜トランジスタ142を介して信号線132から供給される画像信号を保持する保持容量capと、保持容量capによって保持された画像信号がゲート電極に供給される第2の薄膜トランジスタ143と、この第2の薄膜トランジスタ143を介して共通給電線133に電氣的に接続したときに共通給電線133から駆動電流が流れ込む画素電極141と、この画素電極141と反射電極154との間に挟み込まれる発光部140と、が設けられている。

【0037】このような構成のもとに、走査線131が駆動されて第1の薄膜トランジスタ142がオンになると、そのときの信号線132の電位が保持容量capに保持され、該保持容量capの状態に応じて、第2の薄膜トランジスタ143の導通状態が決まる。そして、第2の薄膜トランジスタ143のチャネルを介して共通給電線133から画素電極141に電流が流れ、さらに発光部140を通じて反射電極154に電流が流れること

により、発光部140は、これを流れる電流量に応じて発光するようになる。

【0038】ここで、各画素1Aの平面構造は、図2(a)に示すように平面形状が長方形の画素電極141の四辺が、信号線132、共通給電線133、走査線131及び図示しない他の画素電極用の走査線によって囲まれた配置となっている。なお、図2(a)では対向電極や隔壁を取り除いた状態で示している。また、画素1A近傍の内部構造は、図2(a)における、画素1A近傍でのA-A線矢視断面図である図2(b)に示すように、第2の薄膜トランジスタ143の上方に隔壁150が形成され、この隔壁150上に導電部151が形成され、さらにこれら隔壁150および導電部151を覆って反射電極154と封止層160が形成された構造となっている。なお、図2(b)において符号143は薄膜トランジスタ、170はゲート絶縁膜、140Aは正孔注入層、140Bは発光層、140Cは電子輸送層である。

【0039】次に、このようなディスプレイ1の製造方法について、図3～図5を用いて説明する。なお、図3～図5では、説明を簡略化するべく、単一の画素1Aについてのみ図示する。まず、基板を用意する。ここで、本発明のディスプレイ1は、後述する発光層による発光を、基板(TFT基板)と反対の側、すなわち対向電極側から取り出すタイプに構成されるものであり、したがって発光を基板側から取り出す場合と異なり、基板材料として透明ないし半透明なものを用いる必要がない。ただし、透明材料であっても、例えば安価なソーダガラスなどを用いてもよい。その場合に、これにシリカコートを実施するのが、酸アルカリに弱いソーダガラスを保護する効果を有し、さらに基板の平坦性をよくする効果も有するため好ましい。また、基板として不透明なものを用いる場合、アルミナ等のセラミックスや、ステンレス等の金属シートに表面酸化などの絶縁処理を施したものの、熱硬化性樹脂、熱可塑性樹脂などを用いることができる。

【0040】本例では、基板として図3(a)に示すようにソーダガラス等からなる基板(TFT基板)121を用意する。そして、これに対し、必要に応じてTEOS(テトラエトキシシラン)や酸素ガスを原料としてプラズマCVD法により厚さ約200～500nmのシリコン酸化膜からなる下地保護膜(図示せず)を形成する。

【0041】次に、基板121の温度を約350℃に設定して、下地保護膜の表面にプラズマCVD法により厚さ約30～70nmのアモルファスシリコン膜からなる半導体膜200を形成する。次いで、この半導体膜200に対してレーザアニールまたは固相成長法などの結晶化工程を行い、半導体膜200をポリシリコン膜に結晶化する。レーザアニール法では、例えばエキシマレーザ

でビームの長寸が400mmのラインビームを用い、その出力強度は例えば200mJ/cm²とする。ラインビームについては、その短寸方向におけるレーザ強度のピーク値の90%に相当する部分が各領域毎に重なるようにラインビームを走査する。

【0042】次いで、図3(b)に示すように、半導体膜(ポリシリコン膜)200をパターニングして島状の半導体膜210とし、その表面に対して、TEOSや酸素ガスなどを原料としてプラズマCVD法により厚さ約60～150nmのシリコン酸化膜または窒化膜からなるゲート絶縁膜220を形成する。なお、半導体膜210は、図2に示した第2の薄膜トランジスタ143のチャネル領域及びソース・ドレイン領域となるものであるが、異なる断面位置においては第1の薄膜トランジスタ142のチャネル領域及びソース・ドレイン領域となる半導体膜も形成されている。つまり、図3～図5に示す製造工程では二種類のトランジスタ142、143が同時に作られるのであるが、同じ手順で作られるため、以下の説明ではトランジスタに関しては、第2の薄膜トランジスタ143についてのみ説明し、第1の薄膜トランジスタ142についてはその説明を省略する。

【0043】次いで、図3(c)に示すように、アルミニウム、タンタル、モリブデン、チタン、タングステンなどの金属膜からなる導電膜をスパッタ法により形成した後、これをパターニングし、ゲート電極143Aを形成する。次いで、この状態で高濃度のリンイオンを打ち込み、半導体膜210に、ゲート電極143Aに対して自己整合的にソース・ドレイン領域143a、143bを形成する。なお、不純物が導入されなかった部分がチャネル領域143cとなる。

【0044】次いで、図3(d)に示すように、層間絶縁膜230を形成した後、コンタクトホール232、234を形成し、これらコンタクトホール232、234内に中継電極236、238を埋め込む。次いで、図3(e)に示すように、層間絶縁膜230上に、信号線132、共通給電線133及び走査線(図3に示さず)を形成する。ここで、中継電極238と各配線とは、同一工程で形成されていてもよい。

【0045】そして、各配線の上面をも覆うように層間絶縁膜240を形成し、中継電極236に対応する位置にコンタクトホール(図示せず)を形成し、そのコンタクトホール内にも埋め込まれるように例えばアルミニウム等の金属からなる反射膜を蒸着法等によって形成する。そして、この上にITO(インジウム・スズ化合物)膜を形成し、さらにこれら反射膜及びITO膜をパターニングして、信号線132、共通給電線133及び走査線(図示せず)に囲まれた所定位置に、ソース・ドレイン領域143aに電気的に接続する画素電極141を形成する。この画素電極141は陽極として機能するもので、ITOからなる透明電極141aと、アルミニ

ウム等からなる反射電極141bとによって構成されたものとなる。ここで、画素電極141の表面側にITOからなる透明電極141aを用いているのは、これの上に形成される正孔注入層または正孔輸送層に対して、ITOは十分に正孔を供給できるエネルギー準位にある材料となっているからである。また、信号線132及び共通給電線133、さらには走査線(図示せず)に挟まれた部分が、後述するように正孔注入層(又は正孔輸送層)や発光層の形成場所となっている。

【0046】次いで、図4(a)に示すように、前記の形成場所を囲むように隔壁150を形成する。この隔壁150は仕切部材として機能するもので、例えばポリイミド等の感光性の絶縁性有機材料を成膜し、露光、現像後にキュア(焼成)することにより形成される。隔壁150の膜厚については、例えば1~2 μ mの高さとなるように形成する。このような隔壁150により、正孔注入層(又は正孔輸送層)や発光層の形成場所、すなわちこれらの形成材料の塗布位置とその周囲の隔壁150との間には、十分な高さの段差111が形成されるようになる。

【0047】次いで、形成した隔壁150の上面を覆った状態にアルミニウム等の金属による導電材料を蒸着法等によって形成し、続いてこの導電膜を例えばホトリソグラフィ技術およびエッチング技術を用いてパターンニングすることにより、図4(b)に示すように隔壁150上に導電部151を形成し、本発明のアクティブマトリクス基板の一例を得る。ここで、導電部151を形成するための導電材料としては、後述する対向電極の形成材料より導電性の高い材料が用いられる。また、この導電部151は、本例では隔壁150の平面視した状態での形状(隔壁150の平面形状)に沿って格子状に形成される。ただし、本発明はこれに限ることなく、例えばストライプ状に形成してもよい。

【0048】次いで、図4(c)に示すように、基板121の上面を上に向けた状態で、インクジェットヘッド10より、前記隔壁150に囲まれた塗布位置に選択的に塗布する。ここで、インクジェットヘッド10は、図6(a)に示すように例えばステンレス製のノズルプレート12と振動板13とを備え、両者を仕切部材(リザーバプレート)14を介して接合したものである。ノズルプレート12と振動板13との間には、仕切部材14によって複数の空間15と液溜まり16とが形成されている。各空間15と液溜まり16の内部はインクで満たされており、各空間15と液溜まり16とは供給口17を介して連通したものとなっている。また、ノズルプレート12には、空間15からインクを噴射するためのノズル孔18が一列に配列された状態で複数形成されている。一方、振動板13には、液溜まり16にインクを供給するための孔19が形成されている。

【0049】また、振動板13の空間15に対向する面と反対側の面上には、図6(b)に示すように圧電素子(ピエゾ素子)20が接合されている。この圧電素子20は、一对の電極21の間に位置し、通電するとこれが外側に突出するようにして撓曲するよう構成されたものである。そして、このような構成のもとに圧電素子20が接合されている振動板13は、圧電素子20と一体になって同時に外側へ撓曲するようになっており、これによって空間15の容積が増大するようになっている。したがって、空間15内に増大した容積分に相当するインクが、液溜まり16から供給口17を介して流入する。また、このような状態から圧電素子20への通電を解除すると、圧電素子20と振動板13はともに元の形状に戻る。したがって、空間15も元の容積に戻ることから、空間15内部のインクの圧力が上昇し、ノズル孔18から基板に向けてインクの液滴22が吐出される。なお、インクジェットヘッド10のインクジェット方式としては、前記の圧電素子20を用いたピエゾジェットタイプ以外の、公知の方式のものを採用してもよい。

【0050】このような構成のインクジェットヘッド10を用いて、本例では図4(c)に示したように隔壁150内に正孔注入層の形成材料をインクとして塗布する。正孔注入層の形成材料としては、ポリマー前駆体がポリテトラヒドロチオフェニルフェニレンであるポリフェニレンビニレン、1,1-ビス-(4-N,N-ジトリルアミノフェニル)シクロヘキサン、トリス(S-ヒドロキシキノリノール)アルミニウム等が挙げられる。なお、正孔注入層に代えて正孔輸送層を形成するようにしてもよく、その場合に、正孔輸送層の形成材料としては、例えばピラゾリン誘導体、アリアルアミン誘導体、スチルベン誘導体、トリフェニルジアミン誘導体等が用いられる。また、これら正孔注入層あるいは正孔輸送層の形成材料として、ポリエチレンジオキシチオフェン、またはポリエチレンジオキシチオフェンとポリスチレンスルホン酸との混合物等の高分子系材料も使用可能である。このようにしてインクジェットヘッド10を用いて形成材料11Aを塗布すると、液状の形成材料114Aは流動性が高いため、水平方向に広がろうとするものの、塗布された位置を囲んで隔壁150が形成されていることにより、隔壁150を越えてその外側に広がるのが防止される。

【0051】次いで、図5(a)に示すように加熱あるいは光照射により液状の形成材料114A中の溶媒を蒸発させて、画素電極141上に、固形の正孔注入層(又は正孔輸送層)140Aを形成する。次いで、正孔注入層(又は正孔輸送層)140Aの形成の場合と同様に、インクジェットヘッド10よりインクとして発光層の形成材料(発光材料)を前記隔壁150内の正孔注入層(又は正孔輸送層)140A上に選択的に塗布する。

【0052】発光層の形成材料としては、例えば共役系

～10、0wt%が好ましく、0.1～5.0wt%がさらに好ましい。前駆体の添加量が少な過ぎると共役系高分子膜を形成するのに不十分であり、多過ぎると組成物の粘度が高くなり、インクジェット法による精度の高いパターンニングに適さない場合がある。

【0059】さらに、発光層の形成材料としては、少なくとも1種の蛍光色素を含むのが好ましい。これにより、発光層の発光特性を変化させることができ、例えば、発光層の発光効率の向上、または光吸収極大波長（発光色）を変えるための手段としても有効である。すなわち、蛍光色素は単に発光層材料としてではなく、発光機能そのものを担う色素材料として利用することができる。例えば、共役系高分子有機化合物分子上のキャリア再結合で生成したエキシトンのエネルギーをほとんど蛍光色素分子上に移すことができる。この場合、発光は蛍光量子効率が高い蛍光色素分子からのみ起こるため、発光層の電流量子効率も増加する。したがって、発光層の形成材料中に蛍光色素を加えることにより、同時に発光層の発光スペクトルも蛍光分子のものとなるので、発光色を変えるための手段としても有効となる。

【0060】なお、ここでいう電流量子効率とは、発光機能に基づいて発光性能を考察するための尺度であって、下記式により定義される。

$$\eta_E = \text{放出されるフォトンエネルギー} / \text{入力電気エネルギー}$$

そして、蛍光色素のドーピングによる光吸収極大波長の変換によって、例えば赤、青、緑の3原色を発光させることができ、その結果フルカラー表示体を得ることが可能となる。さらに蛍光色素をドーピングすることにより、EL素子の発光効率を大幅に向上させることができる。

【0061】蛍光色素としては、赤色の発色光を発光する発光層を形成する場合、赤色の発色光を有するローダミンまたはローダミン誘導体を用いるのが好ましい。これらの蛍光色素はPPVと相溶性がよく、均一で安定した発光層の形成が容易である。このような蛍光色素として具体的には、ローダミンB、ローダミンBベース、ローダミン6G、ローダミン101過塩素酸塩等が挙げられ、これらを2種以上混合したものであってもよい。

【0062】また、緑色の発色光を発光する発光層を形成する場合、緑色の発色光を有するキナクリドンおよびその誘導体を用いるのが好ましい。これらの蛍光色素もPPVと相溶性がよく発光層の形成が容易である。

【0063】さらに、青色の発色光を発光する発光層を形成する場合、青色の発色光を有するジスチルルピフェニルおよびその誘導体を用いるのが好ましい。これらの蛍光色素は水・アルコール混合溶液に可溶であり、またPPVと相溶性がよく発光層の形成が容易である。

【0064】また、青色の発色光を有する他の蛍光色素としては、クマリンおよびその誘導体を挙げることができる。これらの蛍光色素はPPVと相溶性がよく発光層

の形成が容易である。このような蛍光色素として具体的には、クマリン、クマリン-1、クマリン-6、クマリン-7、クマリン120、クマリン138、クマリン152、クマリン153、クマリン311、クマリン314、クマリン334、クマリン337、クマリン343等が挙げられる。

【0065】さらに、別の青色の発色光を有する蛍光色素としては、テトラフェニルプタジエン(TPB)またはTPB誘導体を挙げることができる。これらの蛍光色素はPPVと相溶性がよく発光層の形成が容易である。以上の蛍光色素については、各色ともに1種のみを用いてもよく、また2種以上を混合して用いてもよい。

【0066】これらの蛍光色素については、前記共役系高分子有機化合物の前駆体固型分に対し、0.5～10wt%添加するのが好ましく、1.0～5.0wt%添加するのがより好ましい。蛍光色素の添加量が多過ぎると発光層の耐候性および耐久性の維持が困難となり、一方、添加量が少な過ぎると、前述したような蛍光色素を加えることによる効果が十分に得られないからである。

【0067】また、前記前駆体および蛍光色素については、極性溶媒に溶解または分散させてインクとし、このインクをインクジェットヘッド10から吐出するのが好ましい。極性溶媒は、前記前駆体、発光色素等を容易に溶解または均一に分散させることができるため、インクジェットヘッド10のノズル孔18での発光層形成材料中の固型分が付着したり目詰りを起こすのを防止することができる。

【0068】このような極性溶媒として具体的には、水、メタノール、エタノール等の水と相溶性のあるアルコール、N、N-ジメチルホルムアミド(DMF)、N-メチルピロリドン(NMP)、ジメチルイミダゾリン(DMI)、ジメチルスルホキシド(DMSO)等の有機溶媒または無機溶媒が挙げられ、これらの溶媒を2種以上適宜混合したものであってもよい。

【0069】さらに、前記形成材料中に湿潤剤を添加しておくのが好ましい。これにより、形成材料がインクジェットヘッド10のノズル孔18で乾燥・凝固することを有効に防止することができる。かかる湿潤剤としては、例えばグリセリン、ジエチレングリコール等の多価アルコールが挙げられ、これらを2種以上混合したものであってもよい。この湿潤剤の添加量としては、形成材料の全体量に対し、5～20wt%程度とするのが好ましい。なお、その他の添加剤、被膜安定化材料を添加してもよく、例えば、安定剤、粘度調整剤、老化防止剤、pH調整剤、防腐剤、樹脂エマルジョン、レベリング剤等を用いることができる。

【0070】このような発光層の形成材料をインクジェットヘッド10のノズル孔18から吐出すると、この形成材料は隔壁150内の正孔注入層140A上に塗布される。ここで、形成材料の吐出による発光層の形成は、

赤色の発色光を発光する発光層の形成材料、緑色の発色光を発光する発光層の形成材料、青色の発色光を発光する発光層の形成材料を、それぞれ対応する画素1Aに吐出し塗布することによって行う。なお、各色に対応する画素1Aは、これらが規則的な配置となるように予め決められている。

【0071】このようにして各色の発光層形成材料を吐出し塗布したら、発光層形成材料中の溶媒を蒸発させることにより、図5(b)に示すように正孔注入層140A上に固形の発光層140Bを形成し、これにより正孔注入層140Aと発光層140Bとからなる発光部140、すなわち本発明における積層体を得る。ここで、発光層形成材料114B中の溶媒の蒸発については、必要に応じて加熱あるいは減圧等の処理を行うが、発光層の形成材料は通常乾燥性が良好で速乾性であることから、特にこのような処理を行うことなく、したがって各色の発光層形成材料を順次吐出塗布することにより、その塗布順に各色の発光層140Bを形成することができる。なお、本例では積層体となる発光部140を、正孔注入層140A(あるいは正孔輸送層)と発光層140Bとから形成したが、さらに発光層140B上に電子輸送層を形成し、三層構造としてもよい。

【0072】その後、図5(c)に示すように、基板121の表面全体に透明導電材料を蒸着法等によって成膜し、陰極として機能する対向電極154を前記導電部151と接した状態に形成する。透明導電材料としては、特に限定されることなく種々のものが採用可能であるが、例えばカルシウムが用いられる。なお、カルシウムを用いた場合、透明性を確保するうえで、これを厚さ数十nm程度の薄膜に形成するのが好ましい。また、このようにカルシウムを薄膜に形成した場合、さらにこれの上にアルミニウムや金等の材料で保護膜(図示せず)を形成するのが好ましい。保護膜として用いるアルミニウムや金等については、やはりその厚さを透明性が損なわれない程度に十分薄い厚さ、例えば数十nm程度とする必要がある。また、この保護膜については、単一の材料からでなく、複数の材料を積層することによる、複合膜としてもよい。そして、さらにこの対向電極154上を公知の封止材料によって封止することにより、本発明の電気光学装置の一実施形態例となるディスプレイを得る。

【0073】このように、本例の電気光学装置(ディスプレイ1)にあつては、隔壁150上に、例えばカルシウムからなる対向電極154より導電性の高い材料(例えばアルミニウム)による導電部151を、該対向電極154に接した状態で設けたので、導電部151と対向電極154とを合わせた実質的な対向電極の抵抗が低下して配線末端までの電流が均一化し、よってディスプレイ1の大型化(大画面化)、高精細化が可能になる。

【0074】また、正孔注入層(又は正孔輸送層)14

0Aを設けているので、該正孔注入層(又は正孔輸送層)140Aによって発光層140Bの発光能を高くすることができ、したがってより良好な発光特性を得ることができる。また、前記画素電極141を、ITOからなる透明電極141aとこれの基板(TFT基板)121側に形成した反射電極141bとから構成しているので、反射電極141bによって発光層140Bからの光を反射することにより、基板121と反対側に出射する光の量を増大させることができる。また、反射電極141bを金属で形成することにより、透明電極141aが比較的高抵抗であるITOによって形成されているにもかかわらず、画素電極141全体の抵抗を低くすることができる。また、正孔注入層(又は正孔輸送層)140Aに対し十分に正孔を供給できるエネルギー準位にあるITOにより、透明電極141aを形成しているので、正孔注入層(又は正孔輸送層)140Aの機能を高めて発光層140Bによる発光特性を良好にすることができる。

【0075】また、前記電気光学装置を形成するためのアクティブマトリクス基板にあつては、前述したように隔壁150上に導電部151を設けたので、導電部151と対向電極154とを合わせた実質的な対向電極の抵抗が低下して配線末端までの電流が均一化し、これによりこれを用いてなる電気光学装置(ディスプレイ1)の大型化(大画面化)、高精細化を可能にすることができる。

【0076】また、前記電気光学装置の製造方法にあつては、基板121上に画素電極141と画素間を隔てる隔壁150と該隔壁150上の導電部151とを形成した後、隔壁150内に正孔注入層(又は正孔輸送層)140A、発光層140Bを形成しているので、有機材料からなる正孔注入層(又は正孔輸送層)140Aや発光層140Bに影響を与えることなく、導電部151の形成プロセスを行うことができる。

【0077】また、隔壁150内に正孔注入層(又は正孔輸送層)140A、発光層140Bの形成材料をそれぞれインクジェット法で塗布しているので、隔壁150内にこれら材料を選択的に吐出し塗布することができ、したがって、各材料、例えば発光層材料として赤、緑、青の各色に対応する材料を打ち分けることにより、フルカラー表示の有機EL素子を容易に製造することができる。

【0078】なお、本発明の有機EL素子及びその製造方法については、前記例に限定されることなく、例えば図7に示すように隔壁150の上面に凹部150aを形成し、この凹部150a内に導電部の材料をインクジェット法で塗布することにより、導電部151を形成するようにしてもよい。すなわち、隔壁150の形成時において、隔壁150の上面に該隔壁150の形状に沿ってその中央部に凹部が形成されるようにレジストパターン

(図示せず)を形成し、これを用いてエッチングすることにより、図7に示したように隔壁150上に凹部150aを形成する。そして、この凹部150a内に導電部151の材料をインクジェット法で塗布することにより、導電部151を形成する。

【0079】このようなインクジェット法による塗布が可能な導電材料としては、例えば銀コロイド分散液や金コロイド分散液を用いることができる。このようなコロイド液を図6(a)、(b)に示したインクジェットヘッド10より吐出し、凹部150a内に塗布した後、これを加熱等の処理を施すことにより、図7に示したように導電部151を形成することができる。このようにして導電部151を形成すれば、導電材料が隔壁150上面から流れ落ちて隔壁150内に至り、画素電極141と導通してしまうといった不都合を防止することができる。

【0080】また、導電部151の形成については、このようなインクジェット法に代えてドブ漬け法を採用することもできる。すなわち、図4(a)に示したように隔壁150を形成した後、この隔壁の上面を親液処理するとともにその側面を撻液処理しておく。そして、この隔壁150の上面部を液状に調製した導電材料(例えば前記の銀コロイド分散液や金コロイド分散液)に浸し、該隔壁150の上面に導電材料を付着させる。その後、加熱処理等によってこの導電材料を硬化させ、導電部151とする。ここで、隔壁150の側面に撻液性を発現させるためには、例えば隔壁150の表面(側面)に CF_4 、 SF_6 、 CHF_3 などのフッ素系化合物を塗布し、さらにこれをプラズマ処理するといった手法が採用される。また、隔壁150の上面に親液性を発現させるためには、先に撻液処理した面(上面)に対しUV照射処理するといった手法が採用される。

【0081】このようにして隔壁150の上面を親液処理し、側面を撻液処理した後、この隔壁150の上面部を液状に調製した導電部の材料に浸すと、この液状の材料が隔壁150の側面に付着することなく、上面にのみ選択的に付着するようになる。したがって、このような処理により、隔壁上への導電部の形成を比較的容易に行うことができる。

【0082】また、導電部151の形成については、特に正孔注入層(又は正孔輸送層)や発光層の形成に先立って行うのであればいつでもよく、例えば隔壁150の形成材料を成膜した後、導電部の形成材料を続けて成膜し、その後、これらの膜を同じレジストパターンを用いてエッチングし、導電部151、隔壁150を形成するようにしてもよく、また、先に形成される導電部151をマスクにして隔壁形成材料からなる膜をエッチングし、これをバターニングして隔壁150を形成するようにしてもよい。このようにして導電部151および隔壁150の形成を行えば、フォトリソグラフィ工程によ

ってバターニングを行う場合に、このフォトリソグラフィ工程を隔壁形成と導電部の形成とでそれぞれに行うことなく、1度の工程ですませることができ、したがって工程の簡略化を図ることができる。

【0083】また、画素電極141の形成に先立って隔壁150を形成しておき、その状態から例えばアルミニウムを全面に成膜し、その後、このアルミニウム膜をバターニングすることにより、画素電極141における反射電極141aと導電部151とを同時に形成するようにしてもよい。

【0084】また、前記実施形態例では、画素電極141を陽極として、対向電極154を陰極としてそれぞれ機能させるよう構成したが、逆に、画素電極141を陰極として、対向電極154を陽極としてそれぞれ機能させるように構成することもできる。その場合、正孔注入層(又は正孔輸送層)140Aについては、陽極として機能する電極側、すなわち対向電極側に設けることになる。また、このように構成する場合には、画素電極141を、例えばその内面側(発光層側)にカルシウム等からなる電極を配置するとともに、外側(基板側)に保護膜としても機能するアルミニウム等の反射電極を配置することによって形成し、一方、対向電極154を、透明導電材料であるITOによって形成するようにすればよい。

【0085】また、本発明の電気光学装置にあっては、図2(a)、(b)に示した形態に代えて、例えば図8(a)、(b)に示すような形態にしてもよい。図8(a)、(b)に示した電気光学装置が図2(a)、(b)に示したものと異なるところは、主に第1の薄膜トランジスタ(図示せず)、第2の薄膜トランジスタ143の上に平坦化膜180を形成し、この平坦化膜180上に画素電極141を配置した点にある。すなわち、第2の薄膜トランジスタ143上に層間絶縁膜(図示せず)を介して平坦化膜180を形成し、この平坦化膜180上に隔壁150および画素電極141を形成し、以下、図2(b)に示した例と同様にして、各構成要素を形成している。なお、図8(a)において符号182は平坦化膜180中に形成した中継電極である。

【0086】このように構成すれば、薄膜トランジスタ143に影響されることなく画素電極141を形成することができるようになり、また、特に平坦化膜180上に画素電極141を形成配置することにより、デザインルールの限界まで画素電極141を大きくすることが可能になる。なお、図8(a)、(b)に示した例においても、画素電極141を陽極、対向電極154を陰極としてそれぞれ機能させてもよく、また、逆に、画素電極141を陰極、対向電極154を陽極としてそれぞれ機能させるように構成することもできる。その場合、先の例と同様に、正孔注入層(又は正孔輸送層)140Aについては、陽極として機能する電極側、すなわち対向電

極側に設けることになる。

【0087】また、前記実施形態例では、発光層による発光光を、基板と反対の側、すなわち対向電極を経由させて取り出すタイプに構成したが、このような場合、光の取り出し効率を向上させるためには、画素電極を平坦化膜上に設けることが好ましい。もちろん、本発明はこれに限定されることなく、画素電極側を経由させて取り出すタイプに構成してもよい。その場合には、基板および画素電極としてそれぞれ透明性のものを用いる必要があるものの、対向電極については非透明のものを用いることができる。

【0088】次に、前記例のディスプレイとなる電気光学装置が備えられた電子機器の具体例について説明する。図9(a)は、携帯電話の一例を示した斜視図である。図9(a)において、500は携帯電話本体を示し、501は図1、図2、あるいは図8に示したディスプレイ（電気光学装置）を備えたEL表示部（表示手段）を示している。図9(b)は、ワープロ、パソコンなどの携帯型情報処理装置の一例を示した斜視図である。図9(b)において、600は情報処理装置、601はキーボードなどの入力部、603は情報処理本体、602は前記の図1、図2、あるいは図8に示したディスプレイ（電気光学装置）を備えたEL表示部（表示手段）を示している。図9(c)は、腕時計型電子機器の一例を示した斜視図である。図9(c)において、700は時計本体を示し、701は前記の図1、図2、あるいは図8に示したディスプレイ（電気光学装置）を備えたEL表示部（表示手段）を示している。図9(a)～(c)に示す電子機器は、前記ディスプレイ（電気光学装置）が備えられたものであるため、優れた表示品質が得られる表示手段を備えた電子機器となる。なお、電子機器に用いられる電気光学装置については、特にその光出射側に例えば偏光板と(λ/4)板とからなる反射防止フィルムを設けるのが好ましく、このようにすれば、隔壁150上に形成した導電部151での反射に起因する表示性能の低下を防止することができる。

【0089】

【発明の効果】以上説明したように本発明のアクティブマトリクス基板は、隔壁上に導電材料が配置されたものであるから、例えばこれを対向電極とは別に形成し、かつ該対向電極に接続した状態に設けておくことにより、対向電極に導電材料が合わされた実質的な対向電極の抵抗を低下させ、これにより配線末端までの電流の均一化を図ることができる。

【0090】本発明の電気光学装置は、隔壁上に導電部を配置したものであるから、対向電極に導電部が合わされた実質的な対向電極の抵抗が低下し、これにより配線末端までの電流の均一化が図られたものとなる。したがって、このように電流の均一化が可能となることにより、この有機EL素子を備えてなるディスプレイの大型

化（大画面化）、高精細化を図ることができる。

【0091】本発明の電気光学装置の製造方法は、導電部を形成した後、発光層を形成する方法であるから、発光層に影響を与えることなく、導電部の形成プロセスを行うことができる。また、導電部を形成することにより、実質的な対向電極の抵抗を低下させることができることから、配線末端までの電流の均一化を可能にし、例えば電気光学装置としてのディスプレイの大型化（大画面化）、高精細化を図ることができる。

【0092】本発明の電子機器は、隔壁上に導電部が形成されていることにより、実質的な対向電極の抵抗が低下した電気光学装置を用いたものであるから、配線末端までの電流の均一化が可能となっていることにより、その大型化（大画面化）、高精細化が可能となる。

【図面の簡単な説明】

【図1】 本発明のディスプレイの配置部を示す回路図である。

【図2】 (a)は画素部の平面構造を示す拡大平面図、(b)は(a)のA-A線矢視要部断面図である。

【図3】 (a)～(e)は本発明の有機EL素子の製造方法を工程順に説明するための要部側断面図である。

【図4】 (a)～(c)は図3に続く工程を順に説明するための要部側断面図である。

【図5】 (a)～(c)は図4に続く工程を順に説明するための要部側断面図である。

【図6】 インクジェットヘッドの概略構成を説明するための図であり、(a)は要部斜視図、(b)は要部側断面図である。

【図7】 隔壁及び導電部についての、別の製造例を説明するための要部側断面図である。

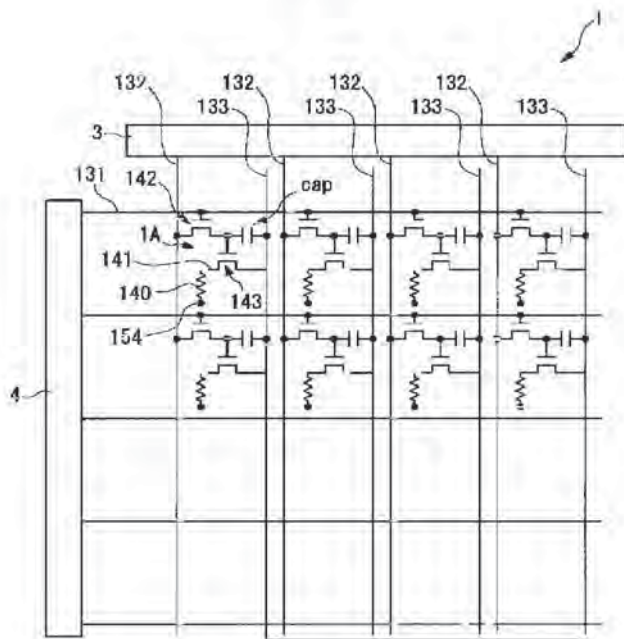
【図8】 (a)は画素部の平面構造を示す拡大平面図、(b)は(a)の要部断面図である。

【図9】 ディ스플레이が備えられた電子機器の具体例を示す図であり、(a)は携帯電話に適用した場合の一例を示す斜視図、(b)は情報処理装置に適用した場合の一例を示す斜視図、(c)は腕時計型電子機器に適用した場合の一例を示す斜視図である。

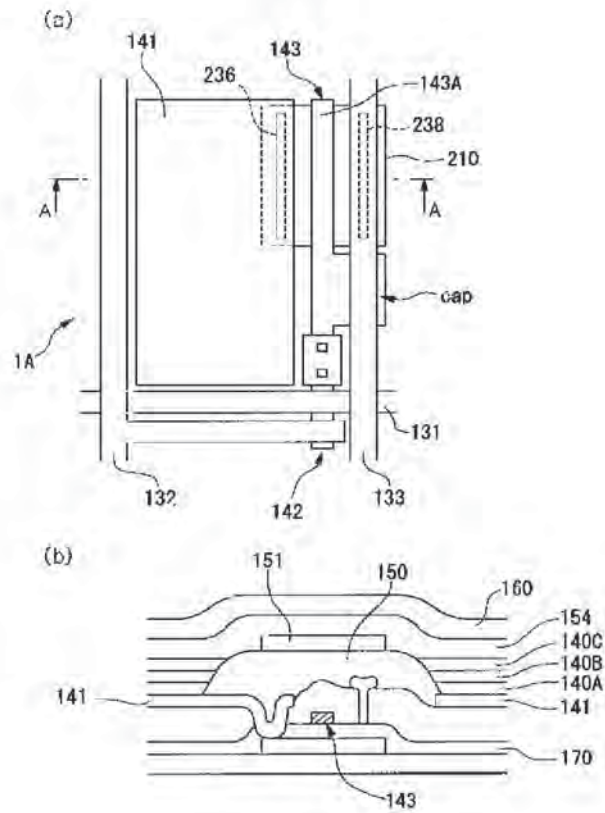
【符号の説明】

- 1…ディスプレイ
- 1A…画素
- 10…インクジェットヘッド
- 121…基板（TFT基板）
- 140…発光部（積層体）
- 140A…正孔注入層（又は正孔輸送層）
- 140B…発光層
- 141…画素電極
- 150…隔壁、凹部
- 150a、151…導電部
- 154…対向電極

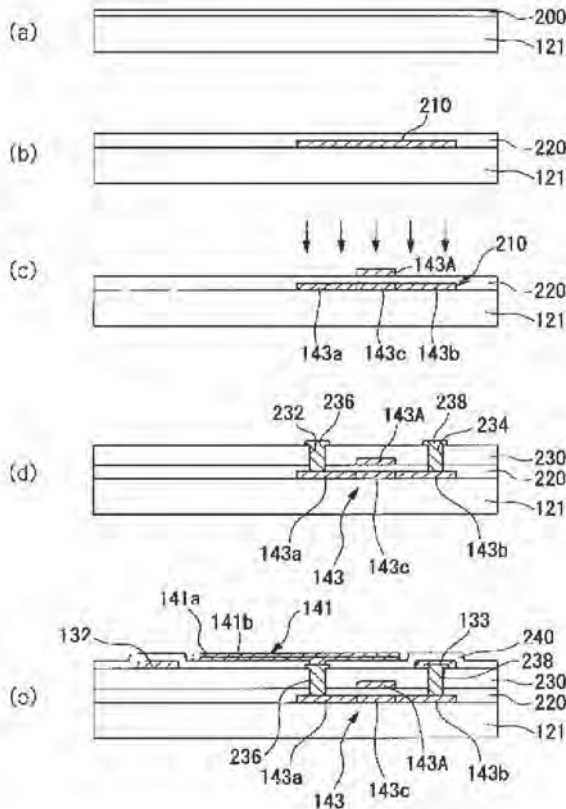
【図1】



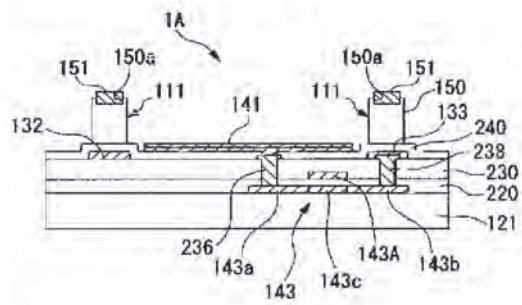
【図2】



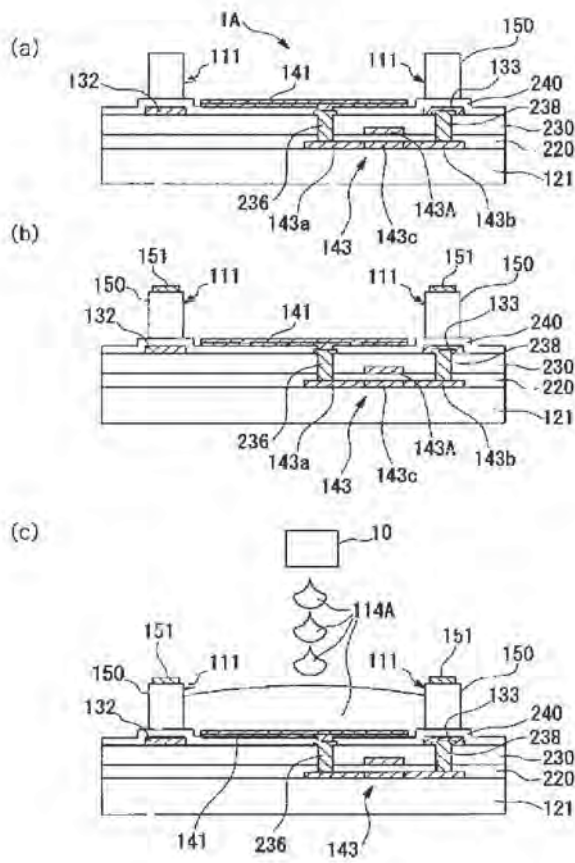
【図3】



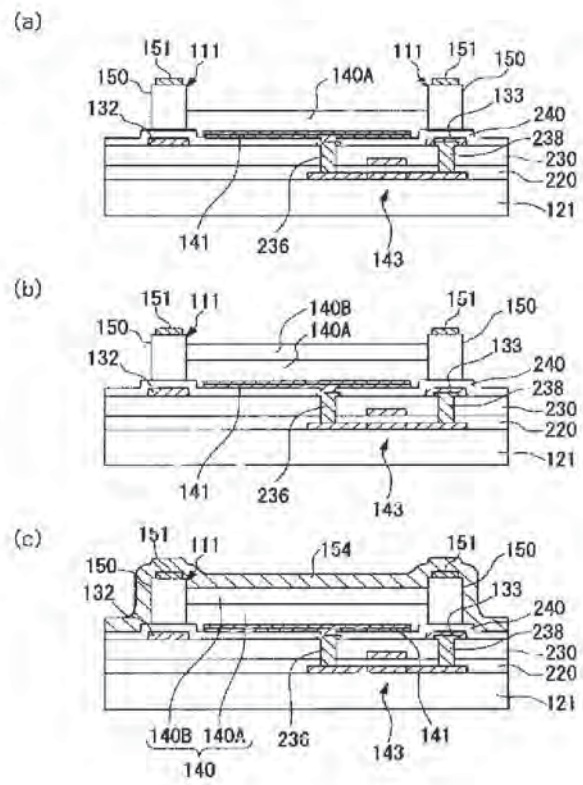
【図7】



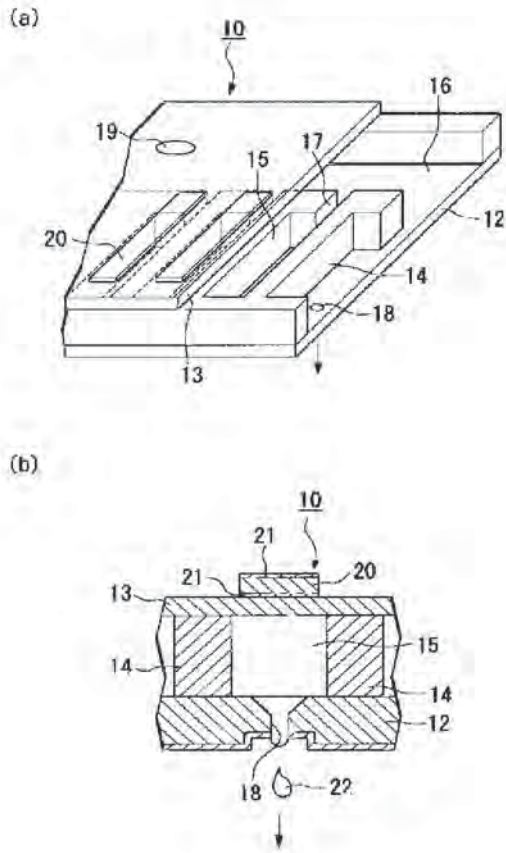
【図4】



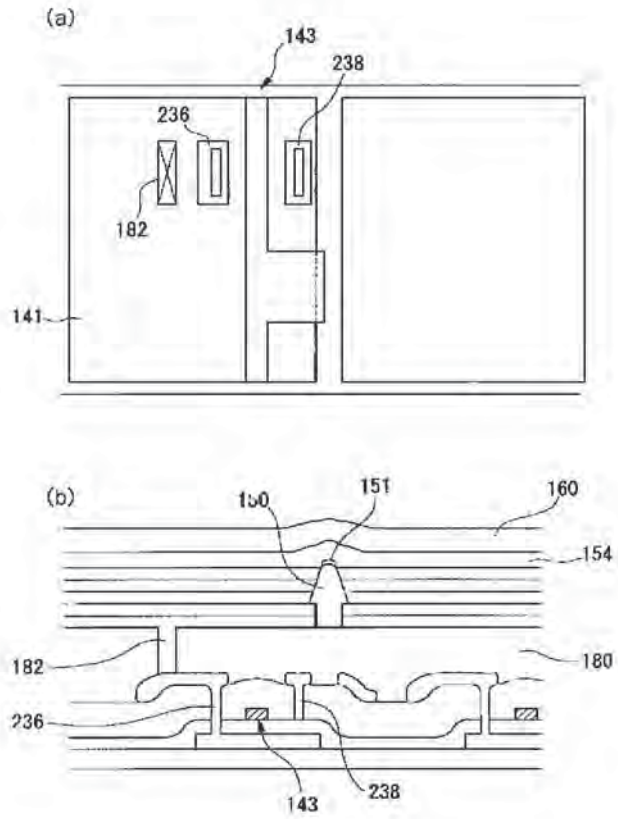
【図5】



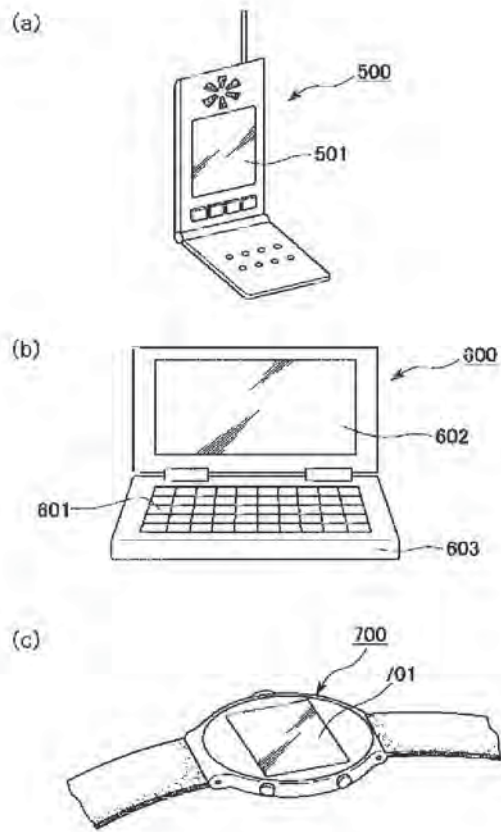
【図6】



【図8】



【図9】



フロントページの続き

(51) Int. Cl. 7	識別記号	F I	(参考)
H 0 5 B	33/10	H 0 5 B	33/14 A
	33/12		33/22 Z
	33/14		33/26 Z
	33/22	B 4 1 J	3/04 1 0 1 Z
	33/26	H 0 1 L	29/78 6 1 2 C

Fターム(参考) 2C056 EA24 FB01
3K007 AB04 AB05 AB17 AB18 BA06
BB06 BB07 CB01 DB03 FA01
GA04
5C094 AA05 AA15 AA21 AA53 BA03
BA27 CA19 CA24 DA09 DA13
DB01 EA04 EB02 FB01 FB16
GB10 HA03 HA08
5F110 AA03 BB01 CC02 DD02 DD13
EE03 EE04 EE44 FF02 FF03
FF30 GG02 GG13 GG25 GG45
HJ01 HJ13 NN02 NN71 PP03
PP05 PP06 QQ11
5G435 AA16 AA18 BB05 CC09 HH12
HH14 HH16 KK05 LL07 LL08
LL10

WO03079441

Publication Title:

ACTIVE MATRIX DISPLAY DEVICES, AND THEIR MANUFACTURE

Abstract:

Abstract of WO03079441

Physical barriers (210) are present between neighbouring pixels (200) on a circuit substrate (100) of an active-matrix display device, such as an electroluminescent display formed with LEDs (25) of organic semiconductor materials. The invention forms at least parts of the barriers (210) with metal or other electrically-conductive material (240) that is insulated (40) from the LEDs but connected to the circuitry (4, 5, 6, 9, 140, 150, 160, T1, T2, Tm, Tg, Ch etc.) within the substrate (100). This conductive barrier material (240) may back up or replace, for example, matrix addressing lines (150) and/or form an additional component either within the pixel array or outside. The additional component comprising the conductive barrier material (240) is advantageously a capacitor (Ch), or an inductor (L) or transformer (W), or even an aerial.

Data supplied from the esp@cenet database - Worldwide

Courtesy of <http://v3.espacenet.com>

(19) World Intellectual Property Organization
International Bureau



(43) International Publication Date
25 September 2003 (25.09.2003)

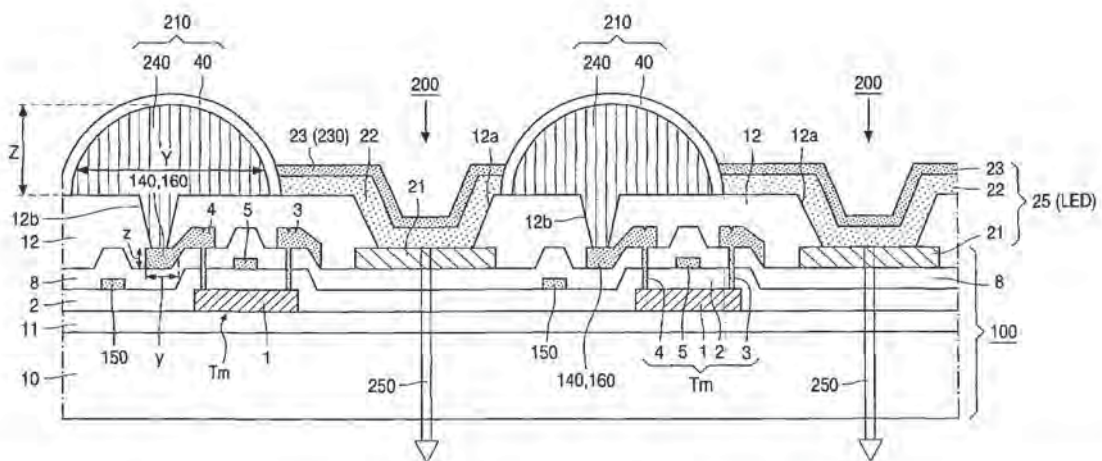
PCT

(10) International Publication Number
WO 03/079441 A1

- (51) International Patent Classification⁷: **H01L 27/00,** (NL). **YOUNG, Nigel, D.** [GB/NL]; Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL).
G02F 1/1362
 - (21) International Application Number: PCT/IB03/00699
 - (22) International Filing Date: 21 February 2003 (21.02.2003)
 - (25) Filing Language: English
 - (26) Publication Language: English
 - (30) Priority Data:
0206551.4 20 March 2002 (20.03.2002) GB
0209560.2 26 April 2002 (26.04.2002) GB
0216057.0 11 July 2002 (11.07.2002) GB
 - (71) Applicant (for all designated States except US): **KONINKLIJKE PHILIPS ELECTRONICS N.V.** [NL/NL]; Groenewoudseweg 1, NL-5621 BA Eindhoven (NL).
 - (72) Inventors; and
 - (75) Inventors/Applicants (for US only): **CHILDS, Mark, J.** [GB/NL]; Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL). **FISH, David, A.** [GB/NL]; Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL). **HECTOR, Jason, R.** [GB/NL]; Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL).
 - (74) Agent: **WHITE, Andrew, G.**; Internationaal Octrooibureau B.V., Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL).
 - (81) Designated States (national): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
 - (84) Designated States (regional): ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, SE, SI, SK, TR), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- Published:**
— with international search report

[Continued on next page]

(54) Title: ACTIVE MATRIX DISPLAY DEVICES, AND THEIR MANUFACTURE



(57) Abstract: Physical barriers (210) are present between neighbouring pixels (200) on a circuit substrate (100) of an active-matrix display device, such as an electroluminescent display formed with LEDs (25) of organic semiconductor materials. The invention forms at least parts of the barriers (210) with metal or other electrically-conductive material (240) that is insulated (40) from the LEDs but connected to the circuitry (4, 5, 6, 9, 140, 150, 160, T1, T2, Tm, Tg, Ch etc.) within the substrate (100). This conductive barrier material (240) may back up or replace, for example, matrix addressing lines (150) and/or form an additional component either within the pixel array or outside. The additional component comprising the conductive barrier material (240) is advantageously a capacitor (Ch), or an inductor (L) or transformer (W), or even an aerial.



WO 03/079441 A1



For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

DESCRIPTION

ACTIVE MATRIX DISPLAY DEVICES, AND THEIR MANUFACTURE.

5 This invention relates to active-matrix display devices, particularly but not exclusively electroluminescent displays using light-emitting diodes of semiconducting conjugated polymer or other organic semiconductor materials. The invention also relates to methods of manufacturing such devices.

10 Such active-matrix electroluminescent display devices are known, comprising an array of pixels present on a circuit substrate, wherein each pixel comprises an electroluminescent element, typically of organic semiconductor material. The electroluminescent elements are connected to circuitry in the substrate, for example drive circuitry that includes supply lines and matrix
15 addressing circuitry that includes addressing (row) and signal (column) lines. These lines are generally formed by thin-film conductor layers in the substrate. The circuit substrate also includes addressing and drive elements (typically thin-film transistors, hereafter termed "TFT"s) for each pixel.

 In many such arrays, physical barriers of insulating material are present
20 between neighbouring pixels in at least one direction of the array. Examples of such barriers are given in published United Kingdom patent application GB-A-2 347 017, published PCT patent application WO-A1-99/43031, published European patent applications EP-A-0 895 219, EP-A-1 096 568, and EP-A-1 102 317, the whole contents of which are hereby incorporated herein
25 as reference material.

 Such barriers are sometimes termed "walls", "partitions", "banks", "ribs", "separators", or "dams", for example. As can be seen from the cited references, they may serve several functions. They may be used in manufacture to define electroluminescent layers and/or electrode layers of the
30 individual pixels and/or of columns of pixels. Thus, for example, the barriers prevent pixel overflow of conjugate polymer materials that may be ink-jet printed for red, green and blue pixels of a colour display or spin-coated for a

monochrome display. The barriers in the manufactured device can provide a well-defined optical separation of pixels. They may also carry or comprise conductive material (such as upper electrode material of the electroluminescent element), as auxiliary wiring for reducing the resistance of (and hence the voltage drops across) the common upper electrode of the
5 electroluminescent elements.

Active-matrix liquid-crystal displays (AMLCDs) similarly comprise a circuit substrate on which an array of pixels is present. In the AMLCD case, upstanding spacers (pillars, for example) are present on the circuit substrate
10 between at least some of the neighbouring pixels. These spacers support the overlying opposite plate of the display over the active-matrix circuit substrate to define the cell spacing in which the liquid crystal material is accommodated. For the purpose of the present invention when applied to AMLCDs, the spacers/pillars between pixels of an AMLCD will be compared with the barriers
15 between pixels of an active-matrix electroluminescent display (AMELD) and will be termed "barriers".

It is an aim of the present invention to exploit, develop, adapt and/or extend particular features of active-matrix display devices, so as to permit
20 improvement and/or enhancement of the performance and/or capabilities of the device in a manner that is compatible with the basic device structure, its layout and its electronics.

According to one aspect of the present invention, there is provided an active-matrix display device (for example an AMELD or an AMLCD) having the
25 features set out in Claim 1.

In accordance with the invention, the physical barriers between pixels are used to provide connections into and/or out of the circuit substrate, and may provide additional components of the device.

Thus, these pixel barriers are partly (possibly even predominantly) of
30 electrically-conductive material, typically metal. This conductive barrier material is connected with a circuit element within the circuit substrate, while also being insulated at least at the sides of the barriers adjacent to the pixel

display elements. The said circuit element in the circuit substrate may take a variety of forms, depending on the particular improvement or enhancement or adaptation being made. Typically, it may be one or more thin-film elements of the group comprising: a conductor layer; an electrode connection; a supply
5 line; an addressing line; a signal line; a thin-film transistor; a thin-film capacitor.

Much versatility is possible in accordance with the invention. Various structural features can be adopted for the pixel barriers. Thus, the conductive barrier material may extend as, for example, a line across the array, or it may be localised to, for example, individual pixels or groups of pixels or to other
10 device areas.

Where the conductive barrier material is used to form an additional component, that component may be formed inside or outside the pixel array. As compared with connecting an external component, the integration of this additional component with pixel barrier technology can be used to enhance
15 device performance at reduced cost and in compact areas within the display device.

At least some lengths of the conductive barrier material may simply serve as a back-up or even as a replacement for at least part of a thin-film conductor line of the circuit substrate, for example an address (row) line, a
20 signal (column) line or a supply line. Thus, the conductive barrier material may provide (or at least back up) the addressing lines (row conductors) over most of their length to reduce voltage drops along the addressing lines. In a case such as this, the barriers may be predominantly of conductive material (typically metal), or they may be predominantly of insulating material with a
25 conductive coating.

Barrier structures used in accordance with the invention may be constructed with a metal core. This metal core can be used in various ways.

The metal core may itself provide the conductive barrier material that is connected with the circuit element in the substrate. It may have an insulating
30 coating on at least its sides.

A metal coating can be provided on an insulating coating on the metal core. This metal coating may be connected to another circuit element. In one

particularly useful form, the metal core, insulating coating and metal coating may together form a capacitor, for example an individual holding capacitor for each respective pixel. Thus, the pixel barriers may comprise separately insulated lengths, one or more of which may provide a capacitor having this
5 metal-insulator coated barrier structure.

However, the metal core does not need to be connected to a circuit element in the substrate. Thus, for example, when the barrier comprises a metal coating on an insulating coating on a metal core of the barrier, the metal coating may provide the conductive barrier material that is connected with the
10 circuit element in the substrate. The metal core may be, for example, a ferromagnetic core of an inductor or transformer that is integrated in this manner into the display device.

Thus, the barriers may comprise separately insulated portions, one or more of which provide a capacitor, an inductor or a transformer having these
15 coated barrier structures. This separate capacitor or inductor or transformer length may be located within the pixel array, or it may be located outside the pixel array but still formed on the circuit substrate in the same process steps as the pixel barriers.

Other separately insulated conductive portions of the barriers may serve
20 different functions. They may be used, for example, to back-up or to replace conductor lines of the circuit substrate and/or to form interconnections.

Instead of using a metal core, a metal coating of the barrier may be used to provide the conductive barrier material that is connected with the circuit element in the substrate.

25 According to another aspect of the present invention, there are also provided advantageous methods of manufacturing such an active-matrix display device.

Various advantageous features and feature-combinations in
30 accordance with the present invention are set out in the appended Claims. These and others are illustrated in embodiments of the invention that are now

described, by way of example, with reference to the accompanying diagrammatic drawings, in which:

5 Figure 1 is a circuit diagram for four pixel areas of an active-matrix electroluminescent display device which can be provided with conductive barrier material in accordance with the invention;

Figure 2 is a cross-sectional view of part of the pixel array and circuit substrate of one embodiment of such a device, showing one example of a conductive barrier construction connected to a TFT source or drain line in accordance with the invention;

10 Figure 3 is a cross-sectional view of part of the pixel array and circuit substrate of a similar embodiment of such a device, showing another example of a conductive barrier construction connected to a TFT gate line in accordance with the invention;

Figure 4 is a circuit diagram, similar to that of Figure 1, but showing the use of pixel barriers with conductive barrier material to replace most of the addressing lines;

Figure 5 is a cross-sectional view through side-by-side barriers, each with conductive barrier material for a particular embodiment of a device in accordance with the invention,

20 Figure 6 is a plan view of four pixel areas showing a specific example of layout features for a particular embodiment of a device in accordance with the invention, with side-by-side conductive barriers, for example, with the cross-sectional view of Figure 5 taken on the line V-V of Figure 6;

Figure 7 is a plan view of another example of layout features for a particular embodiment of a device in accordance with the invention, with transverse conductive barriers;

Figure 8 is a sectional view of a device part with yet another example of a conductive barrier construction using a metal coating in accordance with the invention;

30 Figure 9 is a cross-sectional view of a conductive barrier construction that additionally includes a metal coating to form a capacitor embodiment in accordance with the invention;

Figure 10 is a plan view of transverse barrier layout features suitable for a device having such a capacitor embodiment in accordance with the invention;

Figure 11 is a cross-sectional view of a conductive barrier construction in an inductor embodiment in accordance with the invention;

Figure 12 is a plan view of layout features suitable for such an inductor embodiment;

Figure 13 is a plan view of layout features suitable for a transformer embodiment, having a cross-section similar to that of Figure 12;

Figures 14 to 16 are sectional views of a device part such as that of Figure 2 or Figure 3 at stages in its manufacture with one particular embodiment in accordance with the invention; and

Figure 17 is a sectional view a device part at the Figure 16 stage, illustrating a modification in the insulation of the conductive barrier material that is also in accordance with the present invention.

It should be noted that all the Figures are diagrammatic. Relative dimensions and proportions of parts of these Figures have been shown exaggerated or reduced in size, for the sake of clarity and convenience in the drawings. The same reference signs are generally used to refer to corresponding or similar features in modified and different embodiments.

Embodiments of Figures 1 to 3

The active-matrix electroluminescent display (AMELD) device of each of the Figures 1 to 3 embodiments comprises an array of pixels 200 on a circuit substrate 100 with matrix addressing circuitry. Physical barriers 210 are present between at least some of the neighbouring pixels in at least one direction of the array. At least some of these barriers 210 are constructed with conductive barrier material 240 that is used as an interconnection in accordance with the present invention. Apart from this special construction and use of the barriers 210 in accordance with the present invention, the display may be constructed using known device technologies and circuit technologies, for example as in the background references cited hereinbefore.

The matrix addressing circuitry comprises transverse sets of addressing (row) and signal (column) lines 150 and 160, respectively, as illustrated in Figure 1. An addressing element T2 (typically a thin-film transistor, hereafter termed "TFT") is incorporated at each interception of these lines 150 and 160. Figure 1 depicts, by way of example, one specific pixel circuit configuration. Other pixel circuit configurations are known for active matrix display devices, and it should readily be understood that the present invention may be applied to the pixel barriers of such a device regardless of the specific pixel circuit configuration of the device.

Each pixel 200 comprises a current-driven electroluminescent display element 25 (21,22,23), typically a light-emitting diode (LED) of organic semiconductor material. The LED 25 is connected in series with a drive element T1 (typically a TFT) between two voltage supply lines 140 and 230 of the array. These two supply lines are typically a power supply line 140 (with voltage Vdd) and a ground line 230 (also termed "return line"). Light emission from the LED 25 is controlled by the current flow through the LED 25, as altered by its respective drive TFT T1.

Each row of pixels is addressed in turn in a frame period by means of a selection signal that is applied to the relevant row conductor 150 (and hence to the gate of the addressing TFTs T2 of the pixels of that row). This signal turns on the addressing TFT T2, so loading the pixels of that row with respective data signals from the column conductors 160. These data signals are applied to the gate of the individual drive TFT T1 of the respective pixel. In order to hold the resulting conductive state of the drive TFT T1, this data signal is maintained on its gate 5 by a holding capacitor Ch that is coupled between this gate 5 and the drive line 140,240. Thus, the drive current through the LED 25 of each pixel 200 is controlled by the driving TFT T1 based on a drive signal applied during the preceding address period and stored as a voltage on the associated capacitor Ch. In the specific example of Figure 1, T1 is shown as a P-channel TFT, whereas T2 is shown as an N-channel TFT.

This circuitry can be constructed with known thin-film technology. The substrate 100 may have an insulating glass base 10 on which an insulating

surface-buffer layer 11, for example, of silicon dioxide is deposited. The thin-film circuitry is built up on the layer 11 in known manner

Figures 2 and 3 show TFT examples T_m and T_g, each comprising: an active semiconductor layer 1 (typically of polysilicon); a gate dielectric layer 2 (typically of silicon dioxide); a gate electrode 5 (typically of aluminium or polysilicon); and metal electrodes 3 and 4 (typically of aluminium) which contact doped source and drain regions of the semiconductor layer 1 through windows (vias) in the over-lying insulating layer(s) 2 and 8. Extensions of the electrodes 3, 4 and 5 may form, for example, interconnections between the elements T₁, T₂, Ch and LED 25, and/or at least part of the conductor lines 140, 150 and 160, depending on the circuit function provided by the particular TFT (for example, the drive element T₁ or the addressing element T₂ or another TFT of the circuit substrate). The holding capacitor Ch may be formed similarly, in known manner, as a thin-film structure inside the circuit substrate 100.

The LED 25 typically comprises a light-emitting organic semiconductor material 22 between a lower electrode 21 and an upper electrode 23. In a preferred particular embodiment, semiconducting conjugated polymers may be used for the electroluminescent material 22. For a LED that emits its light through the substrate 100, the lower electrode 21 may be an anode of indium tin oxide (ITO), and the upper electrode 23 may be a cathode comprising, for example, calcium and aluminium. Figures 2 and 3 illustrate a LED construction in which the lower electrode 21 is formed as a thin film in the circuit substrate 100. The subsequently-deposited organic semiconductor material 22 contacts this thin-film electrode layer 21 at a window 12a in a planar insulating layer 12 (for example of silicon nitride) that extends over the thin-film structure of the substrate 100.

As in known devices, the devices of Figures 1 to 4 in accordance with the present invention include physical barriers 210, between at least some of the neighbouring pixels in at least one direction of the array. These barriers 210 may also be termed "walls", "partitions", "banks", "ribs", "separators", or

"dams", for example. Depending on the particular device embodiment and its manufacture, they may be used in known manner, for example:

- 5 • to separate and prevent overflow of a polymer solution between the respective areas of the individual pixels 200 and/or columns of pixels 200, during the provision of semiconducting polymer layers 22;
- 10 • to provide a self-patterning ability on the substrate surface in the definition of the semiconducting polymer or other electroluminescent layers 22 for the individual pixels 200 and/or for columns of pixels 200 (and possibly even a self-separation of individual electrodes for the pixels, for example an individual bottom layer of the upper electrodes 23);
- to act as a spacer for a mask over the substrate surface during the deposition of at least an organic semiconductor material 22 and/or electrode material;
- 15 • to form opaque barriers 210 for a well-defined optical separation of the pixels 200 in the array, when light 250 is emitted through the top (instead of, or as well as, the bottom substrate 100).

Whatever their specific use in these known ways, at least some insulated lengths of the physical barriers 210 in embodiments of the present invention are constructed and used in a special manner. Thus, the pixel barriers 210 of Figures 2 to 4 comprise metal 240 (or other electrically-conductive material 240) that is insulated at their sides adjacent the LEDs 25 and that are connected to and/or from one or more circuit elements of the circuit substrate 100. This circuit element may take a variety of forms, depending on the particular improvement or enhancement or adaptation being made. Typically, it may be one or more thin-film elements of the group comprising: a conductor layer and/or an electrode connection 4, 5, 6; a supply line 140; an addressing line 150; a signal line 160; a thin-film transistor T1, T2, Tm, Tg; a thin-film capacitor Ch.

30 In the embodiment of Figure 2, the circuit element connected to the conductive barrier material 240 is an extension of the source and/or drain electrode of TFT Tm. It may form a signal (column) line 160, for example, of

the substrate circuitry when T_m is T_2 , or a drive line 140 when T_m is T_1 . In the embodiment of Figure 3, the circuit element connected to the conductive barrier material 240 is an extension of the gate electrode 5 of TFT T_g . It may form an addressing (row) line 150, for example, of the substrate circuitry when T_g is T_2 .

The pixel barriers 210 in the embodiments of Figures 2 to 4 are predominantly of electrically-conductive material 240, 240x, preferably metal for very low resistivity (for example aluminium or copper or nickel or silver). The barriers 210 of Figures 2 and 3 comprise a bulk or core of the conductive material that has an insulating coating 40 on its sides and on its top.

As shown in Figures 2 and 3, the bottom connections of the conductive barrier material 240 to the circuit element 4,5 occur at connection windows 12b in the intermediate insulating layer 12. However, it should be understood that these windows 12b may often not be in the same plane as the TFT T_m , T_g . In particular, there is generally insufficient space between the source and drain electrodes 3 and 4 of TFT T_g to accommodate a window 12b. Thus, the window 12b is depicted in broken outline in Figure 3 to indicate its location outside the plane of the drawing paper.

Addressing Line Barrier Embodiment of Figure 4

The conductive barrier material 240 connected to a TFT gate line (as in Figure 3, for example) may provide at least part of the addressing (row) lines 150. One such embodiment is illustrated in Figure 4, wherein most of the line 150 is formed by the conductive barrier material 240.

Line resistance can be significantly reduced by using the conductive barrier material 240 to replace or to back up the conductor line 150 of the circuit substrate 10. Thus, along the line 240(150), the conductive barrier material 240 has a cross-sectional area that is at least twice (possibly even an order of magnitude) larger than that of the conductor layer that typically provides a gate line 5(150) of TFT T_g in the circuit substrate 100. Typically, the conductive barrier material 240 may have a thickness Z that is a factor of two or more (for example at least five times) larger than the thickness z of this

conductor layer 5(150) in the circuit substrate 100. In a specific example Z may be between $2\mu\text{m}$ and $5\mu\text{m}$ as compared with $0.5\mu\text{m}$ or less for z. Typically, the conductive barrier material 240 may have a line width Y that is the same width (or even at least twice as large) as the line width y of the conductor layer 140. In a specific example Y may be $20\mu\text{m}$ as compared with $10\mu\text{m}$ for y. Furthermore, the gate line 5(150) is typically of doped polysilicon, whereas the conductive barrier material 240 is typically metal having a much higher conductivity.

10 Multi-conductor Barrier Embodiments of Figures 5 and 6

Figure 5 illustrates a composite of two side-by-side barriers 210 and 210x, each comprising a metal core 240, 240x insulated with a respective coating 40, 40x. This side-by-side multi-conductor barrier structure 210,21x can be designed and used in a variety of ways. In one form, for example, the metal cores 240 and 240x may form (or back up) parallel addressing and supply lines 150 and 140 respectively. In another form, for example, one of the barriers 210 may be divided into insulated portions that provide an additional component, for example a capacitor as described below with reference to Figure 9 and 10. Figure 6 gives one example of a suitable pixel layout, in which the matrix thin-film circuit area of the substrate 100 is designated as 120.

Modified Multi-conductor Barrier Layout Embodiment of Figure 7

In the modified layout of Figure 7, the two barriers 210 and 210x (each comprising a metal core 240, 240x insulated with a respective coating 40, 40x) are arranged transverse to each other. In this case, barrier 210x (with connections to substrate TFT Tm as T2) may be used to back up or replace the column lines 160. The barrier 210 (with connections to substrate TFT Tg as T2) may be used to back up or replace the row lines 150. Alternatively, the barrier 210 (with connections to substrate TFT Tm as T1) may be used to back up or replace the supply lines 140.

Alternative Conductive Barrier Embodiment of Figure 8

In the embodiments of Figures 2, 3, and Figure 5, barriers 210 and 210x are shown as being predominantly of conductive material 240 and 240x. Figure 8 shows a modified embodiment wherein the barrier 210 is
5 predominantly of insulating material 244. In this case, vias 244b are etched or milled through the insulating material 244 to the circuit element 4, 5 in the circuit substrate 100. A metal coating 240 provides the conductive barrier material that extends on top of the insulating barrier 210 and in the vias 244b therethrough. This alternative conductive barrier construction is particularly
10 suitable for embodiments in which the conductive barrier material 240 backs up or replaces thin-film conductor lines (such as lines 140, 150 and 160) of the circuit substrate 100.

The metal coating 240 of this barrier 210 may be formed simultaneously with a main part 23a of the upper electrode 23 of the LED 25, in a self-aligned
15 manner. Thus, a layer of metal may be deposited simultaneously for the metal coating 240 and electrode 23 which are separated by a shadow-masking effect of an overhang shape in the side of the barrier 210, as illustrated in Figure 12. This is one possible process embodiment for forming barrier interconnects 210, 240 in accordance with the present invention. Figures 15 to 17 illustrate
20 other process embodiments for barrier interconnects 210, 240 that are predominantly of metal.

Capacitor and other multi-conductor barrier embodiments of Figures 9 and 10

The Figure 9 embodiment is similar to those of Figures 2, 3, and 5, in
25 having insulated lengths of the barrier 210 that comprise a metal core 240 as the main conductive barrier material. This metal core 240 is connected with the circuit element 4 or 5 etc. in the substrate 100 and has an insulating coating 40 on thereon.

However the embodiment of Figure 9 additionally comprises a metal
30 coating 240c that is present on the insulating coating 40, over the top and sides of the core 240. This metal coating 240c is connected to another circuit

element of, for example, the substrate 100 such as element 5,4, etc. of another TFT.

This structure of Figure 9 is more versatile than that of Figures 2, 3 and 5. It permits the metal core 240 and metal coating 240c to be used for different purposes, for example, to back-up or even replace the lines 140, 150 or 160, so reducing their line resistance. The metal coating 240c may serve as a co-axial shield for the signal on the core line 240. Alternatively, the metal coating 240c may be localised to specific locations along the barrier 210 where particular connections or components are required, for example at individual pixels or sub-pixels.

Instead of shielding, this multi-conductor structure 240, 240c for the barrier 210c might be used to overlap two lines; for example, a back-up or replacement barrier line 140 (including core 240) with a back-up or replacement barrier line 150 (including coating 240c). In this case, however, the thickness and dielectric properties of the insulating coating 40 need to be chosen to reduce parasitic capacitance and coupling between these lines 140 and 150.

Of particular importance is an embodiment in which the multi-conductor structure 240, 240c of Figure 9 is designed to form a capacitor C with a capacitor dielectric 40. Thus, separate and/or insulated lengths of the metal core 240, insulating coating 40 and metal coating 240c may together form a capacitor C connected between the substrate circuit elements 4, 5, etc.

Such a capacitor may be, for example, the individual holding capacitor Ch for each respective pixel 200 which is connected between the supply line 140 (main electrode line 4 of TFT T1, Tm) and the gate line 5 of TFT T2, Tg (and main electrode line 3 of TFT T1, Tm). Figure 10 illustrates a suitable pixel layout with this holding capacitor barrier 210c, Ch.

Inductor and other multi-metal barrier embodiments of Figures 11 to 13

Figures 11 to 13 illustrate barrier embodiments 210d with a metal core 240m that is not electrically connected to a circuit element of the device. In this case the conductive barrier material 240 connected to the thin-film

substrate circuit element is the metal coating on the insulating coating 40 on the metal core 240d. Such a structure is useful for providing the display with an inductor or transformer having a ferromagnetic core 240d of, for example, nickel.

5 Figure 12 illustrates an inductor embodiment, whereas Figure 13 illustrates a transformer embodiment. In each case, the layout pattern of the metal coating 240 and the thin-film substrate metal tracks 9 are chosen (in relation to their connecting vias 12b) to form a winding conductor around the ferromagnetic core 240d. Both this coating 240 and the tracks 9 are of the
10 non-ferromagnetic material (for example, aluminium). The coating 240 and tracks 9 form a single coil in the inductor L (Figure 12). In the transformer W (Figure 13), the coating 240 and tracks 9 form both a primary coil (240p, 9p) and a secondary coil (240s, 9s).

 These components L and/or W can be used in various ways. They can
15 facilitate power saving, especially in displays of very large area. Their integration with pixel barrier technology can be used to enhance device performance (for example, higher Q value) at low cost and within compact areas of the display device. A reduction in size may be achievable for equipment that comprises such a display device in accordance with the
20 invention, as compared with adding the component outside of the display device.

Process Embodiment of Figures 14 to 16

 Apart from constructing and using its barriers 210 with conductive
25 material 240, the active-matrix electroluminescent display of a device in accordance with the present invention may be constructed using known device technologies and circuit technologies, for example as in the cited background references.

 Figures 14 to 16 illustrate novel process steps in a particular
30 manufacturing embodiment. The thin-film circuit substrate 100 with its upper planar insulating layer 12 (for example, of silicon nitride) is manufactured in known manner. Connection windows (such as vias 12a, 12b, 12x etc.) are

opened in the layer 12 in known manner, for example by photolithographic masking and etching. However, in order to manufacture a device in accordance with the present invention, the pattern of these vias include the vias 12b, 12x that expose elements 4, 5, etc. for bottom connection with the
5 conductive barrier material 240, 240x, 240c. The resulting structure is illustrated in Figure 13. This stage is common regardless of whether the barriers 210 have a metal core as in Figures 2, 3, 5, 9, and 11 or are predominantly of insulating material as in Figure 8.

The formation of barriers 210 predominantly of insulating material has
10 been described above with reference to Figure 8. Suitable process steps for barriers 210 with a metal core will now be described with reference to Figures 15 and 16.

In this case, electrically-conductive material for the barriers 210 is deposited on the insulating layer 12 at least in its vias 12a, 12b, 12x etc. The
15 desired lengths and layout pattern for the barriers 210 is obtained using known masking techniques. Figure 15 illustrates an embodiment in which at least the bulk 240 of the conductive barrier material (for example, copper or nickel or silver) is deposited by plating. In this case, a thin seed layer 240a of, for example, copper or nickel or silver is first deposited over the insulating layer 12
20 and its vias 12a, 12b, 12x etc, the barrier layout pattern is defined with a photolithographic mask, and then the bulk 240 of the conductive barrier material is plated to the desired thickness. The resulting structure is illustrated in Figure 15.

Then, using CVD (chemical vapour deposition), insulating material (for
25 example silicon dioxide or silicon nitride) is deposited for the insulating coating 40. The deposited material is left on the sides and top of the conductive barrier material by patterning using known photolithographic masking and etching techniques, as illustrated in Figure 16.

Thereafter the manufacture is continued in known manner. Thus, for
30 example, conjugate polymer materials 22 may be ink-jet printed or spin-coated for the pixels 200. The barriers 240,40 with their insulating coating 40 can be used in known manner to prevent polymer overflow from the pixel areas in

between the physical barriers 240,40. The upper electrode material 23 is then deposited.

Modified Process Embodiment of Figure 17

5 This embodiment uses an anodisation treatment (instead of deposition) to provide the insulating coating 40 at least at the sides of the barriers 210 adjacent to the pixel areas. Typically, the conductive barrier material 240 may comprise aluminium. The desired lengths and layout pattern of the deposited aluminium can be defined using known photolithographic masking and etching
10 techniques. Figure 17 shows the photolithically-defined etchant-mask 44 retained on the top of the aluminium barrier pattern 240.

Then, an anodic insulating coating of aluminium oxide is formed on at least the sides of the aluminium barrier material 240 using known anodisation techniques. Thus, no extra mask is needed to define the layout for this coating
15 40.

As illustrated in Figure 17, the mask 44 can be retained during this anodisation, in areas where it is desired to protect and form an un-insulated top connection area 240t. In these areas, the anodic coating is formed at only the sides of the aluminium barrier pattern 240. The mask 44 may be removed
20 before this anodisation, from areas where the anodic coating is required at both the sides and top of the aluminium barrier pattern 240. Alternatively, the mask 44 of an insulating polymer or, for example, silicon dioxide or nitride may be retained in these areas where insulation is desired over the top of the barrier 210(240,40) in the manufactured device.

25

Further Embodiments

In the embodiments described so far, the conductive barrier material 240 is a thick opaque metal, for example, aluminium, copper, nickel or silver. However, other conductive materials 240 may be used, for example a metal
30 silicide or (less advantageously) a degenerately-doped polysilicon both of which may be surface-oxidised to form the insulating coating 40. If transparent barriers 210 are required, then ITO may be used for the conductive barrier material 240.

In addition to the components already described, barriers 210 with conductive material 240 may be used to form other components connected to the substrate circuitry. Thus, for example, aerials may be constructed at the periphery of the display, with coils 9,240 or with long straight lines of conductive barrier material 240. Such aerials are useful in, for example, a mobile phone having an active-matrix display in accordance with the invention.

The specific embodiments disclosed above are active-matrix electroluminescent display devices and the inventive use of the physical barriers 210 present in such devices between neighbouring pixels. However, similar principles may be applied to other active-matrix display devices such as, for example, AMLCDs (active-matrix liquid-crystal displays), which also comprise a circuit substrate 100' on which an array of pixels 200' is present and connected thereto.

In the AMLCD case, upstanding spacers 210' are present on the circuit substrate 100' between at least some of the neighbouring pixels 200'. The spacers 210' serve to support an overlying opposite plate of the display over the active-matrix circuit substrate 100'. They define thereby the cell spacing in which the liquid crystal material is accommodated. As regards their layout configuration, these AMLCD spacers 210' may be localised pillars between pixels, or they may be short walls with some longitudinal extension between pixels.

In a modification in accordance with the present invention, these upstanding spacers 210' of an AMLCD may be constructed with conductive material 240 similar to the physical barriers 210 disclosed above for AMELDs and may be similarly connected. Thus, the AMLCD may include novel spacers 210' that

- are formed partly (or even predominantly) of metal or another conductive material 240, while being insulated at least at their sides adjacent to the liquid-crystal pixel cells, and
- provide connections into and/or out of the circuit substrate 100' of the AMLCD to locally back-up or locally replace lengths of a

substrate conductor line (e.g. 150', 160') and/or to form additional components (e.g. C, L, W) connected into the AMLCD.

The additional components (for example, capacitors, inductors, transformers and/or aerials) can be constructed with combinations of
5 conductive spacer material 240 and insulating spacer material 40 (and/or 244) that are provided locally on the circuit substrate 100' of the AMLCD, in a manner similar to that described above for composite barrier elements 210 in AMELD devices. They can be similarly connected with circuit elements (4', 5', 6', 150', 160', T1', T2', etc.) of the AMLCD circuit substrate 100', at windows
10 12b in an intermediate insulating layer 12 on the circuit substrate 100'.

Thus, the composite spacer elements 210' of an AMLCD in accordance with the invention can be constructed and connected in a manner similar to that of, for example, any one of the barrier elements 210 of Figures 3, 5, 7 to 13, 16 or 17.

15 From reading the present disclosure, other variations and modifications will be apparent to persons skilled in the art. Such variations and modifications may involve equivalent and other features which are already known in the art (for example in the cited background references) and which may be used instead of or in addition to features already described herein.

20 Although Claims have been formulated in this Application to particular combinations of features, it should be understood that the scope of the disclosure of the present invention also includes any novel feature or any novel combination of features disclosed herein either explicitly or implicitly or any generalisation thereof, whether or not it relates to the same invention as
25 presently claimed in any Claim and whether or not it mitigates any or all of the same technical problems as does the present invention.

The Applicants hereby give notice that new Claims may be formulated to any such features and/or combinations of such features during the prosecution of the present Application or of any further Application derived
30 therefrom.

Thus, for example, the present Application discloses a novel use of conductive material in a pixel barrier on a circuit substrate of an active-matrix

display device, so as to connect with circuitry in the circuit substrate of the device and to provide a back-up and/or a replacement and/or an additional component that is integrated in the device.

According to one aspect, important novelty resides in such use of
5 conductive barrier material in the pixel barrier construction of an
electroluminescent display, and particularly in the type of barriers used
between light-emitting diodes of organic semiconductor material. Thus, the
present Application discloses what are generally novel features of an active-
matrix electroluminescent display device (and its manufacture), comprising:
10 a circuit substrate on which an array of pixels is present with physical barriers
between at least some of the neighbouring pixels in at least one direction of
the array; each pixel comprising an electroluminescent element (for example, a
current-driven light-emitting diode of organic semiconductor material); the
circuit substrate comprising circuitry to which the electroluminescent elements
15 are connected (for example, matrix addressing and drive circuitry for the array,
preferably with thin-film circuit elements); and the physical barriers comprising
one or more parts of metal and/or of conductive material that is connected with
a circuit element in the circuit substrate (for example, with a thin-film conductor
layer and/or electrode connection and/or supply line and/or addressing line
20 and/or signal (column) line and/or a thin-film transistor and/or a thin-film
capacitor) via connection windows that are present (for example, in an
intermediate insulating layer) on the circuit substrate (for example, under the
conductive barrier material).

According to another aspect, important novelty resides in the use of
25 multiple parts of metal and/or conductive material in the construction of pixel
barriers of an active-matrix display device (whether an AMELD or an AMLCD)
so as to provide additional components integrated in the device. Thus, one or
more mutually insulated lengths (or other parts) of the pixel barrier layout may
comprise a metal-insulator coated barrier structure that provides a capacitor or
30 (with a ferromagnetic core) an inductor, transformer or aerial. These novel
barrier structures may be localised to, for example, individual pixels or groups
of pixels and/or to other device areas. Thus, the additional component may be

formed inside or outside the pixel array, but still formed on the circuit substrate in the same process steps as the pixel barriers. The component-forming barrier length typically comprises one or more coatings of metal, conductive and insulating materials and may have a conductive and/or metal core to the barrier. Where the component-forming barrier length is located between pixels, it can be insulated (for example, with an insulating layer/coating) at least at the sides of the barriers adjacent to the display element.

CLAIMS:

1. An active-matrix display device comprising: a circuit substrate on which an array of pixels is present with physical barriers between at least some of the neighbouring pixels in at least one direction of the array; each pixel comprising a display element; the circuit substrate comprising circuitry to which the display elements are connected; the physical barriers comprising conductive material that is connected with a circuit element in the circuit substrate via contact windows in an intermediate insulating layer on the circuit substrate; and the conductive barrier material being insulated at least at the sides of the barriers adjacent to the display elements.
2. A device according to Claim 1, wherein the said circuit element in the circuit substrate is at least one thin-film element of a group comprising: a conductor layer; an electrode connection; a supply line; an addressing line; a signal line; a thin-film transistor; a thin-film capacitor.
3. A device according to Claim 1 or Claim 2, wherein at least insulated lengths of the barrier comprise a metal core that provides the conductive barrier material, which metal core is connected with the circuit element in the circuit substrate and has an insulating coating on at least its sides.
4. A device according to Claim 3, wherein a metal coating is present on the insulating coating on the metal core and is connected to another circuit element.
5. A device according to Claim 4, wherein the metal core, insulating coating and metal coating together form a capacitor, for example an individual holding capacitor for each respective pixel.

6. A device according to any one of the preceding Claims, wherein at least an insulated length of the barrier comprises a metal coating on an insulating coating on a metal core of at least that length of the barrier, and the metal coating provides the conductive barrier material that is connected with the circuit element in the substrate.

7. A device according to Claim 6, wherein the metal core is of nickel or another ferromagnetic material, and the metal coating is of non-ferromagnetic material that is connected with a conductor track of non-ferromagnetic material in the substrate to form at least one coil of an inductor or transformer that comprises the ferromagnetic metal core.

8. A device according to Claim 1 or Claim 2, wherein at least insulated lengths of the barriers are predominantly of the conductive barrier material (and preferably comprising metal).

9. A device according to Claim 1 or Claim 2, wherein the physical barrier is predominantly of insulating material through which vias extend for connection with the circuit element in the circuit substrate, and wherein a metal coating that provides the conductive barrier material extends on top of the physical barrier and in the vias through the physical barrier.

10. A device according to Claim 1 or Claim 8 or Claim 9, wherein the circuit substrate comprises matrix addressing circuitry that is connected with transverse addressing and signal lines, and the conductive barrier material provides at least part of the addressing lines.

11. A device according to Claim 1 or Claim 2, wherein the conductive barrier material serves as an interconnection between the said circuit element in the circuit substrate and a further circuit element of the device.

12. A device according to any one of the preceding Claims, wherein the barriers are present between electroluminescent display elements that comprise a light-emitting diode of organic semiconductor material.

5 13. A device according to any one of Claims 1 to 11, wherein the barriers are spacers in an active-matrix liquid-crystal display.

14. A method of manufacturing an active-matrix display device according to any one of the preceding Claims, including the steps of:

10 (a) opening contact windows in the intermediate insulating layer on the circuit substrate to expose a part of the circuit element of the circuit substrate;

(b) forming the physical barriers on the circuit substrate with insulation at least at the sides of the physical barriers adjacent to the pixel areas; and

15 (c) providing the display elements in the pixel areas in between the physical barriers,

wherein the conductive barrier material is provided by depositing electrically-conductive material at least for connection at the contact windows

20 of the intermediate insulating layer.

15. A method according to Claim 14, wherein the step (b) involves forming the physical barrier predominantly of the electrically-conductive material, and an insulating coating is deposited on at least the sides of this

25 conductive barrier material.

16. A method according to Claim 15, wherein at least the bulk of the conductive barrier material is deposited by plating.

30 17. A method according to Claim 15, wherein the conductive barrier material comprises aluminium, and the insulating coating is formed on at least the sides of the aluminium barrier material by anodisation.

18. A method according to Claim 14, wherein the step (b) involves forming the physical barrier predominantly of insulating material through which vias are formed for connection with the circuit element at the contact windows of the intermediate insulating layer, and wherein the electrically-conductive material is deposited as a conductive coating on top of the physical barrier and in the vias through the physical barrier.

19. A method according to Claim 18, wherein the conductive coating for the physical barrier and an upper electrode of the display element are deposited simultaneously and are separated by a shadow-masking effect of an overhang shape in the side of the physical barrier.

20. A method according to any one of Claims 14 to 19, wherein the additional device features of any one of Claims 2 to 13 are provided.

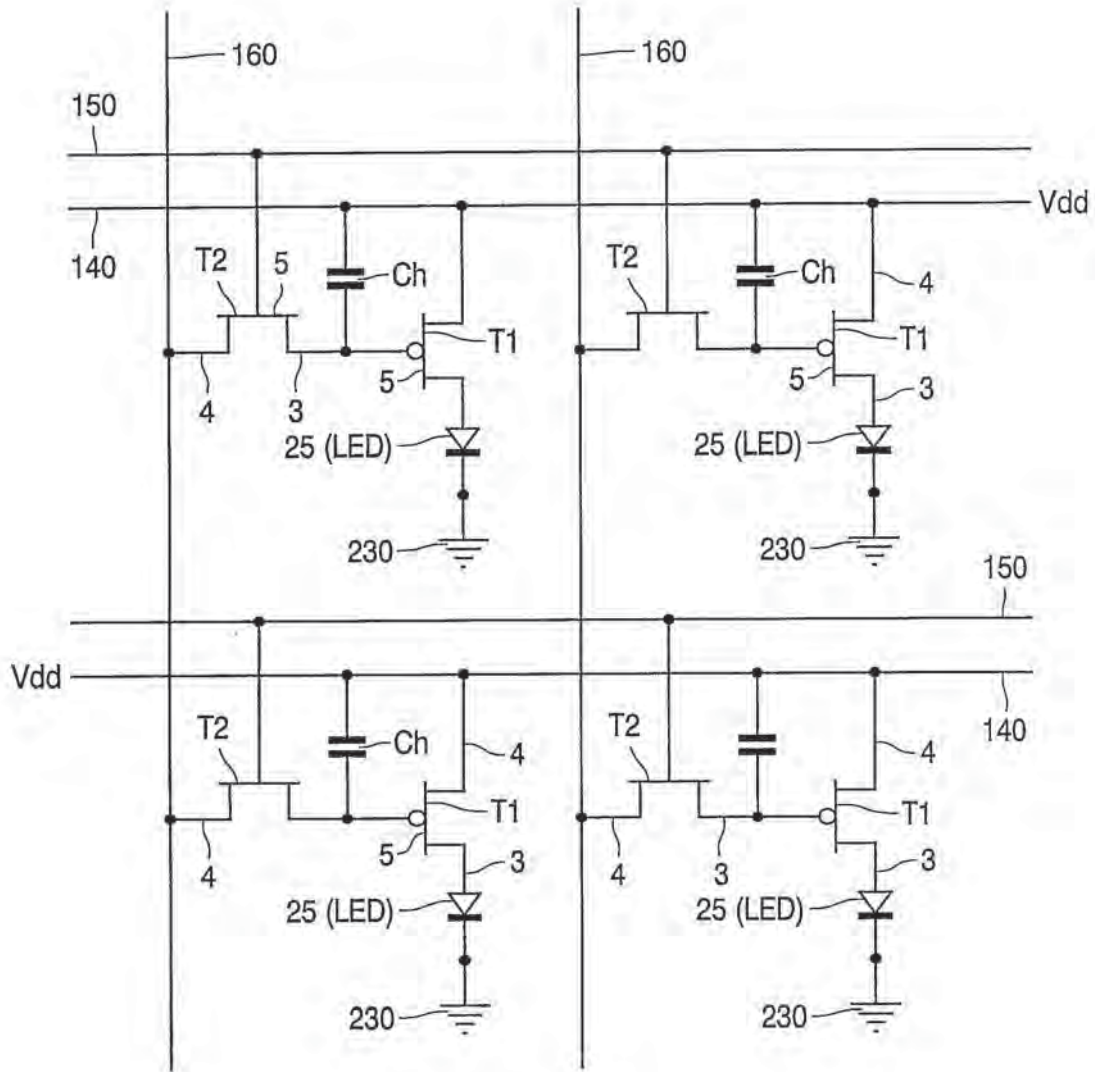


FIG. 1

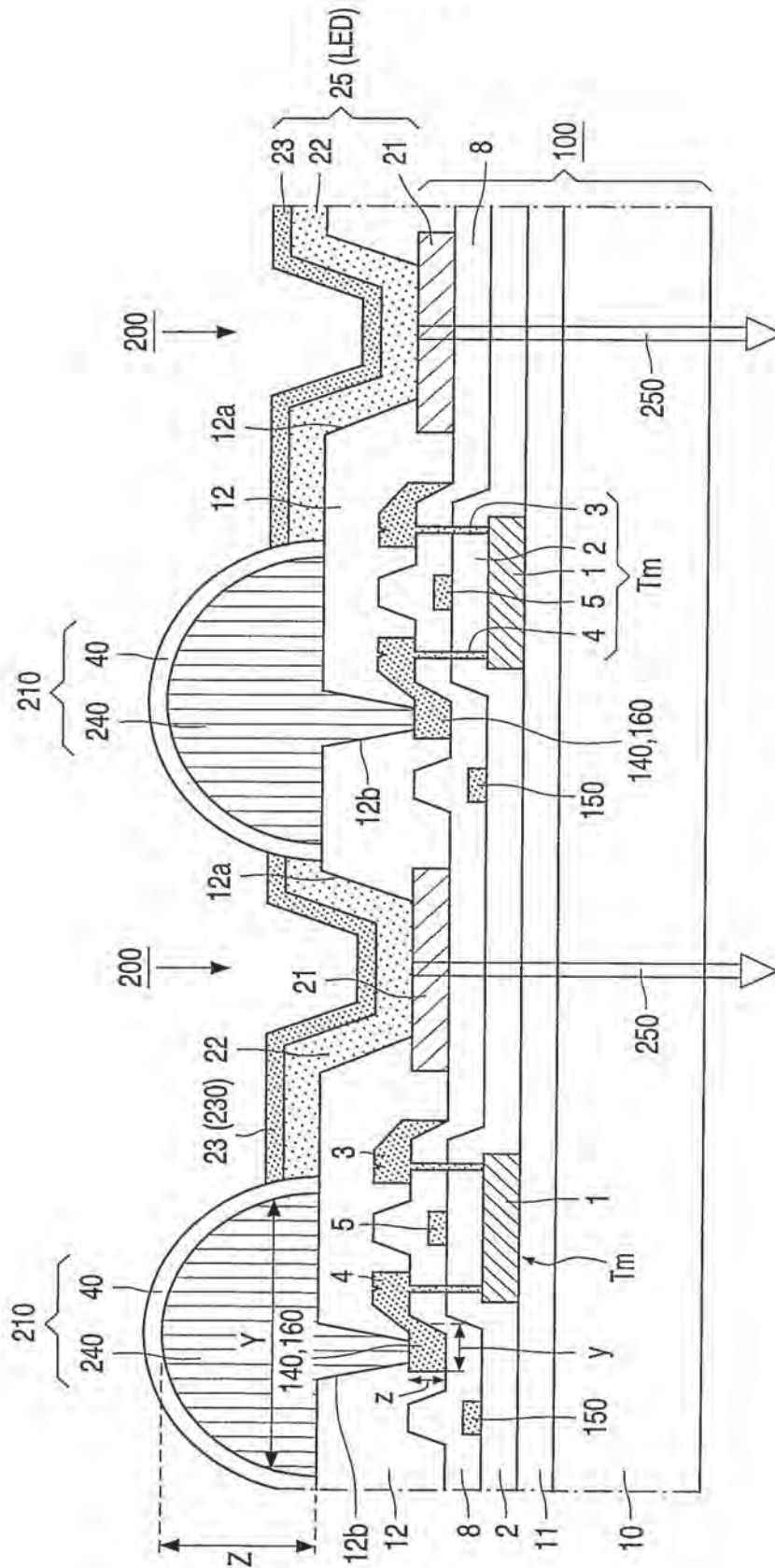


FIG. 2

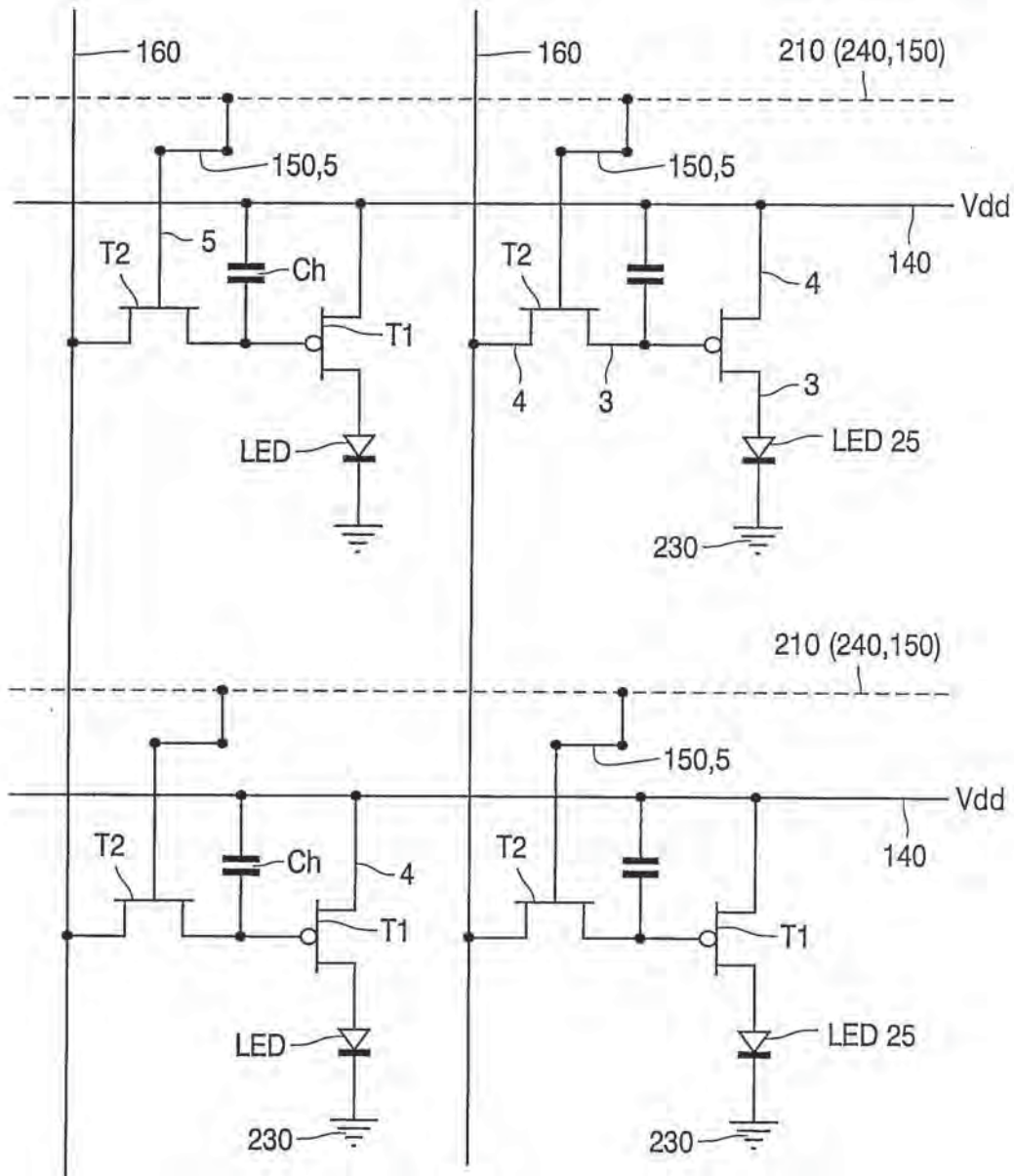


FIG. 4

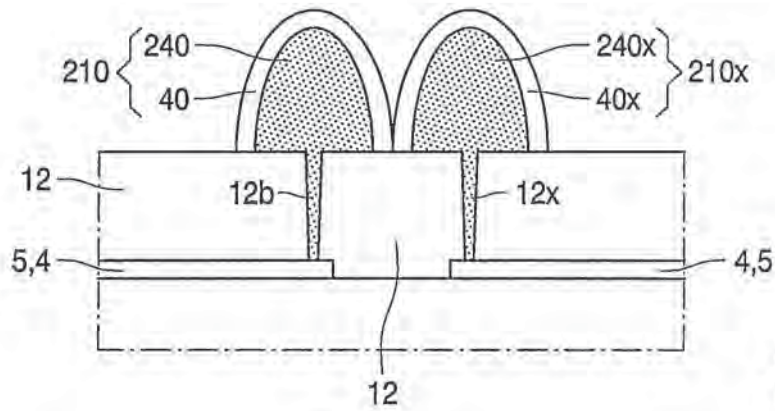


FIG. 5

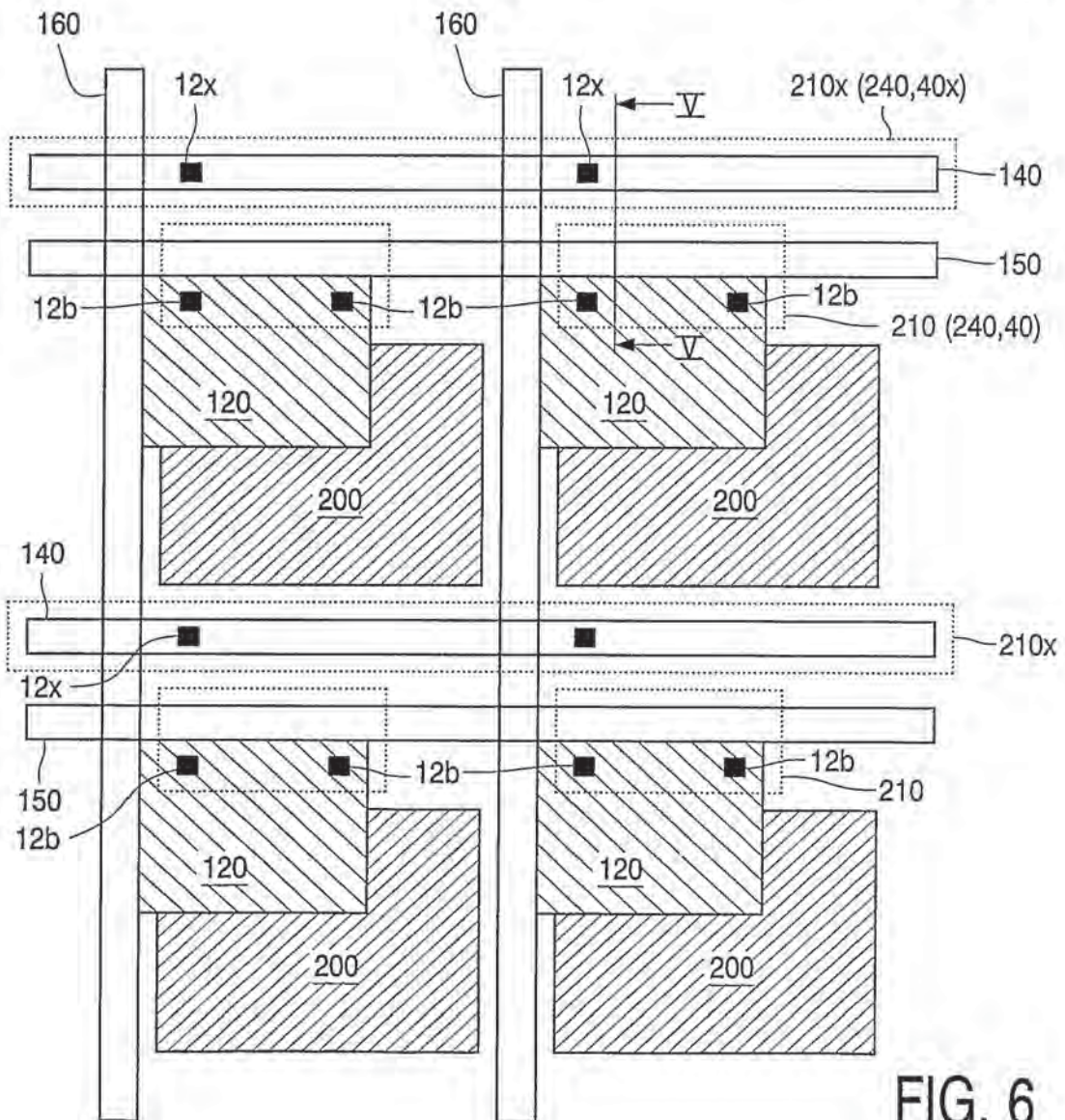


FIG. 6

6/11

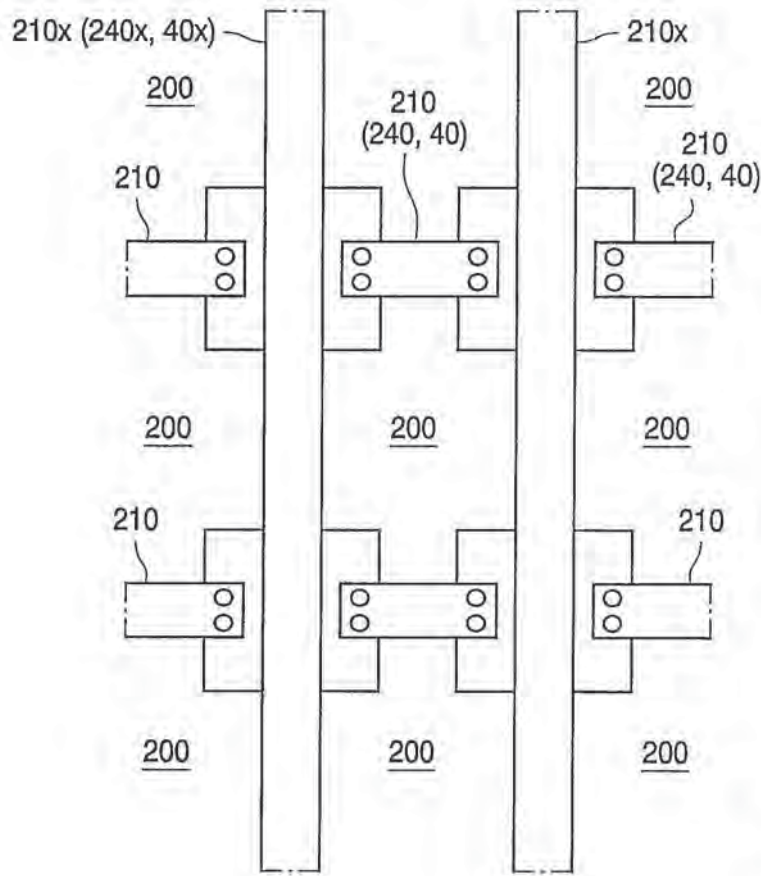


FIG. 7

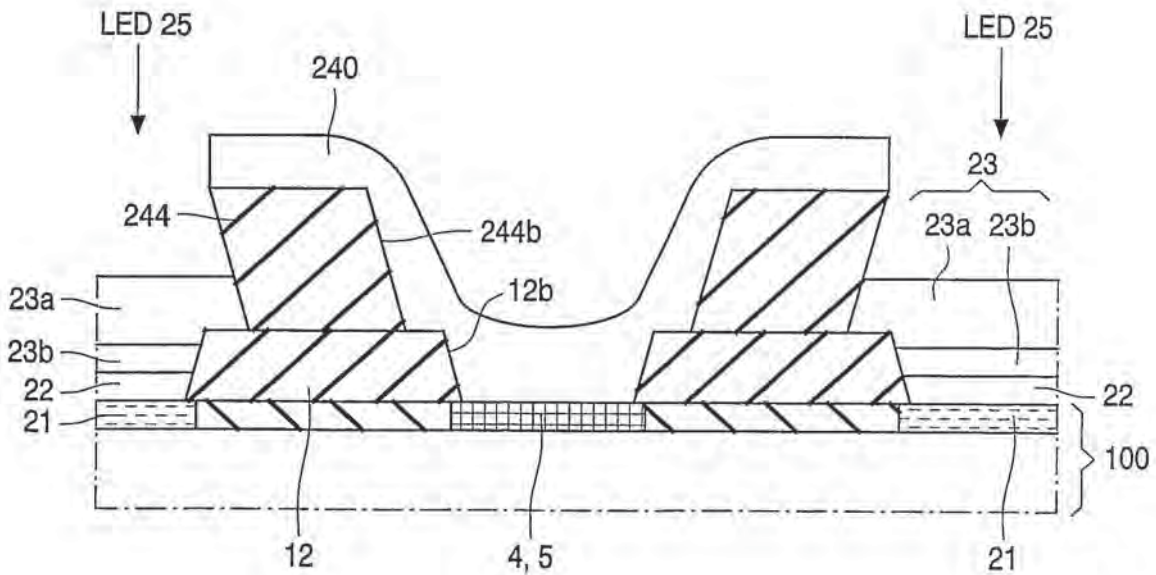


FIG. 8

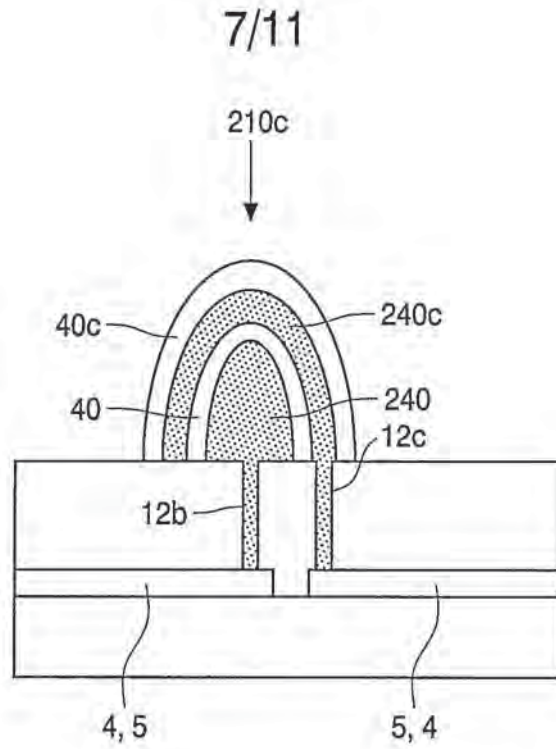


FIG. 9

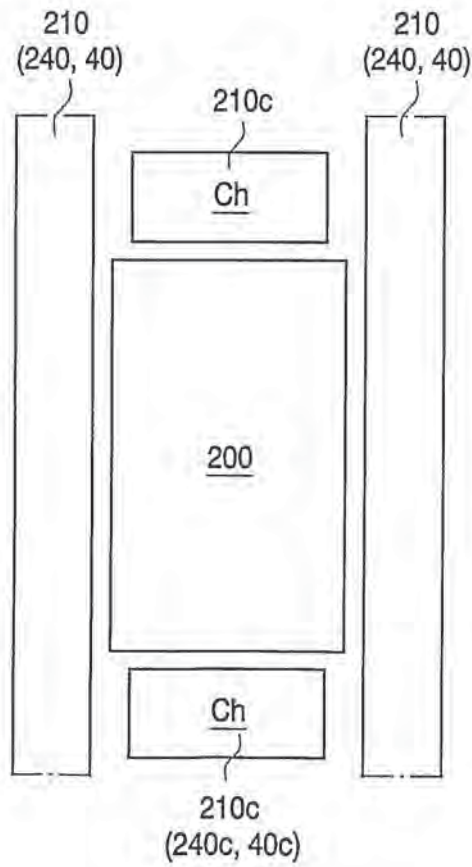


FIG. 10

8/11

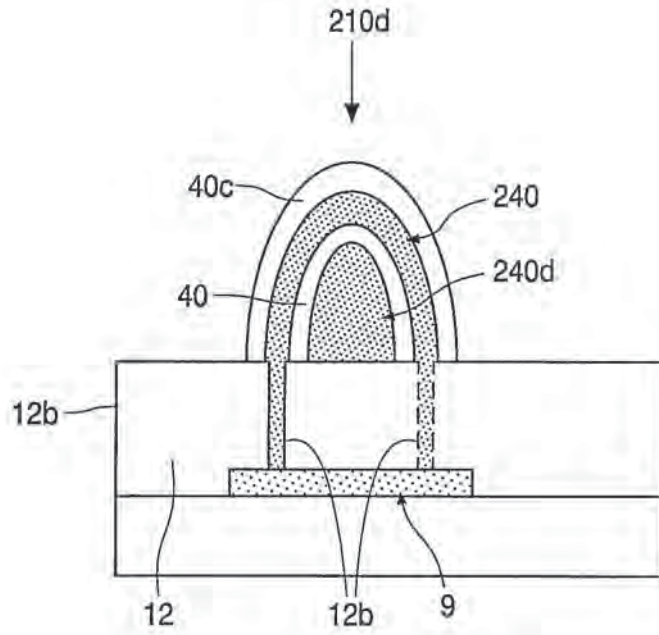


FIG. 11

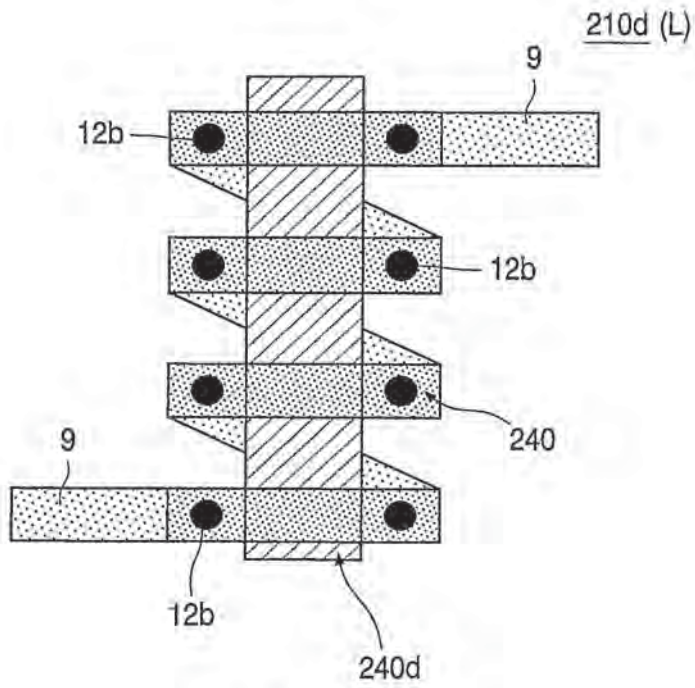


FIG. 12

9/11

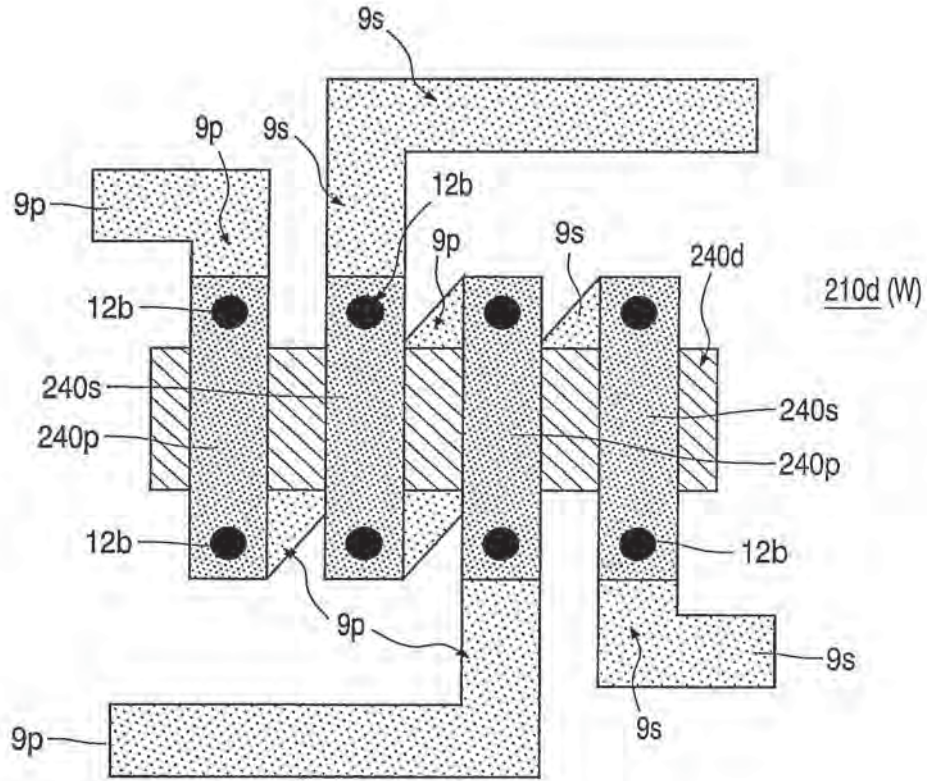


FIG. 13

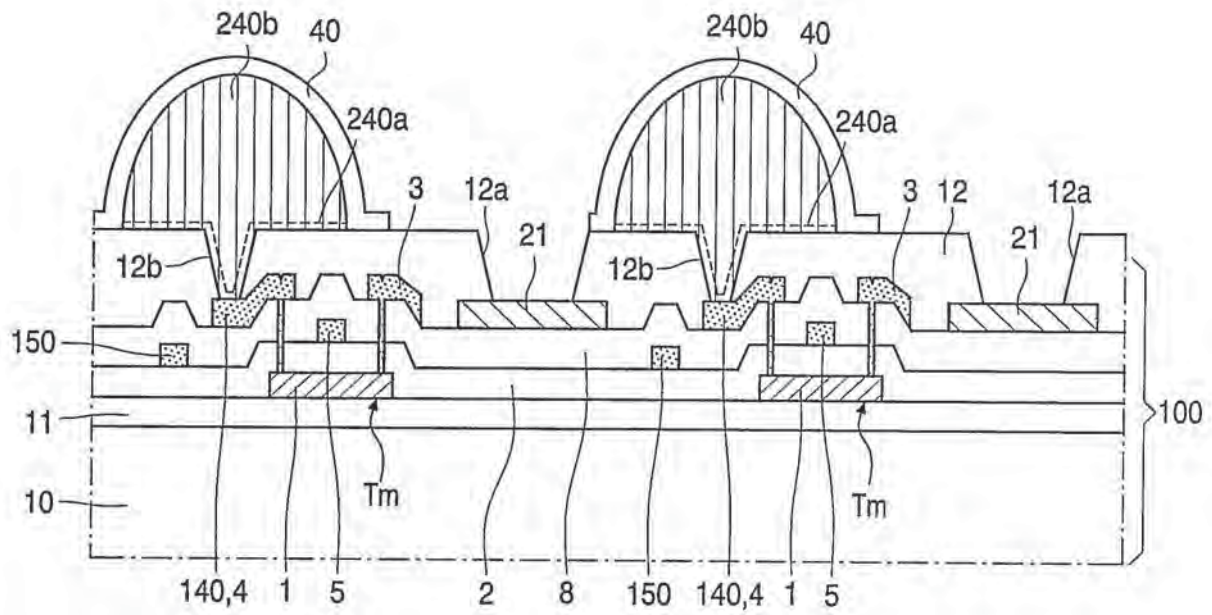


FIG. 16

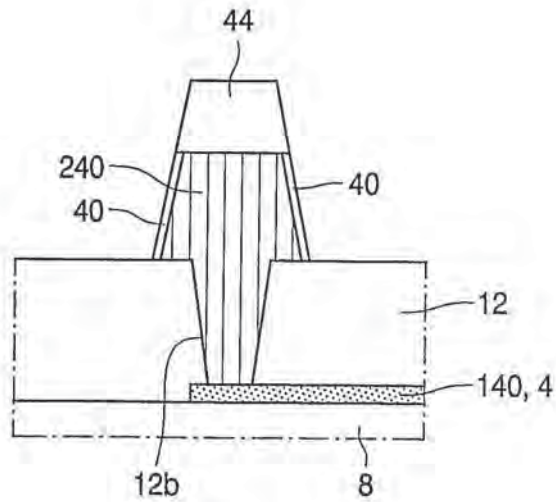


FIG. 17

INTERNATIONAL SEARCH REPORT

PCT/IB 03/00699

A. CLASSIFICATION OF SUBJECT MATTER
 IPC 7 H01L27/00 G02F1/1362

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
 IPC 7 H01L G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, PAJ, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 1 096 568 A (SONY CORP) 2 May 2001 (2001-05-02) cited in the application column 3, line 6 -column 4, line 51; figures	1
A	US 6 057 647 A (JOBETTO HIROYASU ET AL) 2 May 2000 (2000-05-02) column 12, line 13-65; figure 16	1
A	WO 99 43031 A (CARTER JULIAN CHARLES ;TOWNS CARL ROBERT (GB); WITTMAN HERMANN FEL) 26 August 1999 (1999-08-26) cited in the application page 2, line 18 -page 3, line 9	1

Further documents are listed in the continuation of box C.

Patent family members are listed in annex.

* Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *&* document member of the same patent family

Date of the actual completion of the international search

3 July 2003

Date of mailing of the international search report

09/07/2003

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
 Fax: (+31-70) 340-3016

Authorized officer

De Laere, A

INTERNATIONAL SEARCH REPORT

PCT/IB 03/00699

Patent document cited in search report		Publication date		Patent family member(s)	Publication date
EP 1096568	A	02-05-2001	EP	1096568 A2	02-05-2001
			JP	2001195008 A	19-07-2001
			TW	471237 B	01-01-2002
US 6057647	A	02-05-2000	JP	11238578 A	31-08-1999
WO 9943031	A	26-08-1999	AU	2630499 A	06-09-1999
			CN	1233929 A	03-11-1999
			EP	1060522 A1	20-12-2000
			WO	9943031 A1	26-08-1999
			JP	2002504740 T	12-02-2002
			TW	466891 B	01-12-2001
			US	6498049 B1	24-12-2002

JP2003288994

Publication Title:

LIGHT EMITTING DEVICE AND MANUFACTURING METHOD THEREFOR

Abstract:

Abstract of JP2003288994

PROBLEM TO BE SOLVED: To provide a light emitting device having a high reliability, a large screen and a high precision pixel part.

SOLUTION: An axillary electrode 21 made of a metal film is provided on an insulation 24 provided between pixel electrodes so as to reduce resistance and a thickness of a conductive layer 20 made of a transparent conductive film contacting the axillary electrode. The axillary electrode 21 is connected to an electrode at a lower layer so as to allow a transparent conductive film provided on the EL layer to be drawn out. A film containing hydrogen and a silicon nitride film are laminated so as to form a protective film 32 for high reliability.

COPYRIGHT: (C)2004,JPO

Data supplied from the esp@cenet database - Worldwide

Courtesy of <http://v3.espacenet.com>

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-288994
(P2003-288994A)

(43) 公開日 平成15年10月10日 (2003. 10. 10)

(51) Int.Cl. ⁷	識別記号	F I	特コード* (参考)
H 0 5 B 33/26		H 0 5 B 33/26	Z 3 K 0 0 7
	33/10		
	33/12		B
			E
	33/14	33/14	A
審査請求 未請求 請求項の数25 O L (全 32 頁) 最終頁に続く			

(21) 出願番号 特願2003-16244(P2003-16244)

(22) 出願日 平成15年1月24日 (2003. 1. 24)

(31) 優先権主張番号 特願2002-14902(P2002-14902)

(32) 優先日 平成14年1月24日 (2002. 1. 24)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72) 発明者 ▲ひろ▼木 正明
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72) 発明者 村上 雅一
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

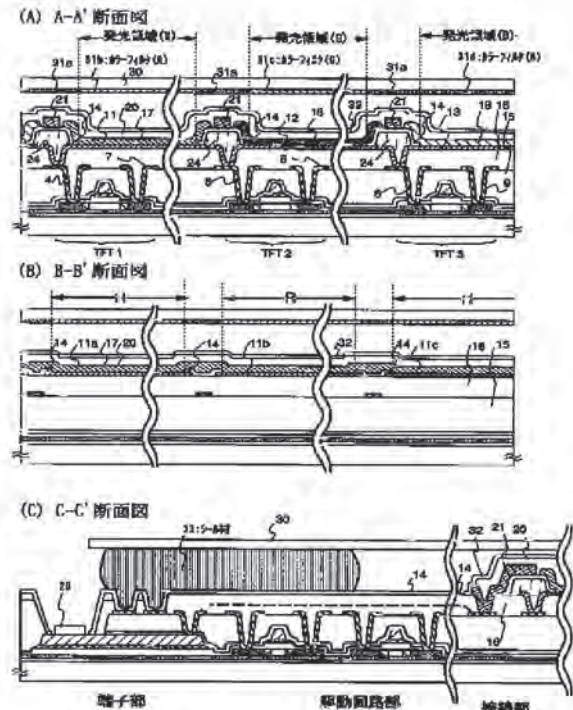
最終頁に続く

(54) 【発明の名称】 発光装置およびその作製方法

(57) 【要約】

【課題】 高信頼性を有し、且つ、大画面、且つ、高精細な画素部を有する発光装置を提供する。

【解決手段】 各画素電極間に設けられた絶縁物24上に、金属膜からなる補助電極21を設け、該補助電極と接する透明導電膜からなる導電層20の低抵抗化および薄膜化を可能とする。また、補助電極21で下層の電極と接続させることによってE.L.層上に設ける透明導電膜との引き出しを可能とする。さらに水素を含む膜と窒化珪素膜との積層からなる保護膜32を形成し、高い信頼性を得ることができる。



【特許請求の範囲】

【請求項1】第1の電極と、該第1の電極上に接する有機化合物層と、該有機化合物層上に接する第2の電極とを有する発光素子を複数有する画素部と、駆動回路と、端子部とを有する発光装置であって、

前記画素部には、薄膜トランジスタに接続する前記第1の電極の端部が絶縁物で覆われており、且つ、該絶縁物上に導電性を有する材料からなる第3の電極と、前記絶縁物及び前記第1の電極上に有機化合物層と、前記有機化合物層及び前記第3の電極に接する第2の電極とが設けられており、

前記端子部と画素部との間には、前記第3の電極と同一材料からなる配線または前記第2の電極と同一材料からなる配線が端子から延びている配線と接続する箇所を有することを特徴とする発光装置。

【請求項2】請求項1において、前記第3の電極は、前記絶縁物と同一のパターン形状を有することを特徴とする発光装置。

【請求項3】請求項1において、前記第3の電極は、前記絶縁物と異なるパターン形状を有することを特徴とする発光装置。

【請求項4】第1の電極と、該第1の電極上に接する有機化合物層と、該有機化合物層上に接する第2の電極とを有する発光素子を複数有する画素部と、駆動回路と、端子部とを有する発光装置であって、

前記画素部には、薄膜トランジスタに接続する前記第1の電極の端部が絶縁物で覆われており、且つ、該絶縁物の一部および第1の電極上に有機化合物層と、該有機化合物層上に接する第2の電極と、該第2の電極において前記第1の電極と重ならない領域上に接して導電性を有する材料からなる第3の電極とが設けられており、前記端子部と画素部との間には、前記第3の電極と同一材料からなる配線または前記第2の電極と同一材料からなる配線が端子から延びている配線と接続する箇所を有することを特徴とする発光装置。

【請求項5】請求項1乃至4のいずれかにおいて、前記第2の電極は、前記発光素子の陰極、或いは陽極であることを特徴とする発光装置。

【請求項6】請求項1乃至5のいずれかにおいて、前記第3の電極は、導電性を付与する不純物元素がドーパされたpoly-Si、W、WSi_x、Al、Ti、Mo、Cu、Ta、Cr、またはMoから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料を主成分とする膜またはそれらの積層膜からなることを特徴とする発光装置。

【請求項7】請求項1乃至6のいずれかにおいて、前記第1の電極は、前記発光素子の陰極、或いは陽極であることを特徴とする発光装置。

【請求項8】請求項1乃至7のいずれかにおいて、前記絶縁物は、無機絶縁膜で覆われた有機樹脂からなる障

壁であることを特徴とする発光装置。

【請求項9】請求項1乃至7のいずれかにおいて、前記絶縁物は、無機絶縁膜であることを特徴とする発光装置。

【請求項10】請求項1乃至9のいずれかにおいて、前記第3の電極は、窒化物層またはフッ化物層を最上層とする積層からなる電極であることを特徴とする発光装置。

【請求項11】請求項1乃至10のいずれかにおいて、前記無機絶縁膜は窒化珪素を主成分とする絶縁膜であることを特徴とする発光装置。

【請求項12】請求項1乃至11のいずれかにおいて、前記発光装置は、前記発光素子でそれぞれ構成される各画素に対応するカラーフィルタを有していることを特徴とする発光装置。

【請求項13】絶縁表面を有する基板上に発光素子を有し、該発光素子は、陽極、陰極、並びに前記陽極と前記陰極との間に挟まれた有機化合物層とを有し、前記発光素子は、水素を含む膜で覆われていることを特徴とする発光装置。

【請求項14】絶縁表面を有する基板上に発光素子を有し、該発光素子は、陽極、陰極、並びに前記陽極と前記陰極との間に挟まれた有機化合物層とを有し、前記発光素子は、水素を含む膜で覆われ、さらに該水素を含む膜は無機絶縁膜からなる保護膜で覆われていることを特徴とする発光装置。

【請求項15】絶縁表面を有する基板上に発光素子を有し、該発光素子は、陽極、陰極、並びに前記陽極と前記陰極との間に挟まれた有機化合物層とを有し、前記発光素子は、透光性を有する基板とシール材とで密閉され、且つ、密閉された空間には、水素が含まれていることを特徴とする発光装置。

【請求項16】請求項15において、前記発光素子は、水素を含む膜で覆われていることを特徴とする発光装置。

【請求項17】請求項13乃至16のいずれかにおいて、前記水素を含む膜は、炭素を主成分とする薄膜、または窒化珪素膜であることを特徴とする発光装置。

【請求項18】請求項1乃至17のいずれかにおいて、前記発光装置は、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ、カーナビゲーション、パーソナルコンピュータまたは携帯情報端末であることを特徴とする発光装置。

【請求項19】絶縁表面上にTFTを形成し、前記TFTと電気的に接続された陰極を形成し、前記陰極上に有機化合物層を形成し、前記前記有機化合物層上に陽極を形成した後、前記陽極上に水素を含む膜を形成することを特徴とする発光装置の作製方法。

【請求項20】絶縁表面上にTFTを形成し、前記TFTと電気的に接続された陽極を形成し、前記陽極上に有機

機化合物層を形成し、前記前記有機化合物層上に陰極を形成した後、前記陰極上に水素を含む膜を形成することを特徴とする発光装置の作製方法。

【請求項21】請求項19または請求項20において、前記水素を含む膜は、プラズマCVD法、またはスパッタ法により形成することを特徴とする発光装置の作製方法。

【請求項22】請求項19乃至21のいずれか一において、前記水素を含む膜は、炭素を主成分とする薄膜、または窒化珪素膜であることを特徴とする発光装置の作製方法。

【請求項23】請求項19乃至22のいずれか一において、前記有機化合物層を形成する工程は蒸着法、塗布法、イオンプレーティング法もしくはインクジェット法により行われることを特徴とする発光装置の作製方法。

【請求項24】請求項19乃至23のいずれか一において、前記水素を含む膜上に無機絶縁膜からなる保護膜を形成することを特徴とする発光装置の作製方法。

【請求項25】請求項19乃至24のいずれか一において、前記水素を含む膜を形成する際、前記有機化合物層における欠陥を水素で終端させることを特徴とする発光装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置に関し、特に、絶縁表面を有する基板上に形成された発光素子を有する発光装置およびその作製方法に関する。また、該発光素子を有するパネルにコントローラを含むIC等を実装したモジュールに関する。なお本明細書において、発光素子を有するパネル及び発光素子を有するモジュールを共に発光装置と総称する。本発明はさらに、該発光装置を製造する装置に関する。

【0002】なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、発光装置、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【0003】

【従来の技術】近年、基板上にTFT（薄膜トランジスタ）を形成する技術が大幅に進歩し、アクティブマトリクス型表示装置への応用開発が進められている。特に、ポリシリコン膜を用いたTFTは、従来のアモルファスシリコン膜を用いたTFTよりも電界効果移動度（モビリティともいう）が高いので、高速動作が可能である。そのため、ポリシリコン膜を用いたTFTからなる駆動回路を画素と同一の基板上に設け、各画素の制御を行うための開発が盛んに行われている。同一基板上に画素と駆動回路とを組み込んだアクティブマトリクス型表示装置は、製造コストの低減、表示装置の小型化、歩留まりの上昇、スループットの低減など、様々な利点が得られると予想される。

【0004】また、自発光型素子としてEL素子を有したアクティブマトリクス型発光装置（以下、単に発光装置とも呼ぶ）の研究が活発化している。発光装置は有機発光装置（OLED: Organic EL Display）又は有機ライトエミティングダイオード（OLED: Organic Light Emitting Diode）とも呼ばれている。

【0005】アクティブマトリクス型発光装置は、各画素のそれぞれにTFTでなるスイッチング素子（以下、スイッチング素子という）を設け、そのスイッチング用TFTによって電流制御を行う駆動素子（以下、電流制御用TFTという）を動作させてEL層（厳密には発光層）を発光させる。例えば特許文献1に記載された発光装置が公知である。

【0006】EL素子は自ら発光するため視認性が高く、液晶表示装置（LCD）で必要なバックライトが要らず薄型化に最適であると共に、視野角にも制限が無い。そのため、EL素子を用いた発光装置は、CRTやLCDに代わる表示装置として注目されている。

【0007】なお、EL素子は、電場を加えることで発生するルミネッセンス（Electro Luminescence）が得られる有機化合物を含む層（以下、EL層と記す）と、陽極と、陰極とを有する。有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光（蛍光）と三重項励起状態から基底状態に戻る際の発光（リン光）とがあるが、本発明の製造装置および成膜方法により作製される発光装置は、どちらの発光を用いた場合にも適用可能である。

【0008】EL素子是一对の電極間にEL層が挟まれた構造となっているが、EL層は通常、積層構造となっている。代表的には、「正孔輸送層/発光層/電子輸送層」という積層構造が挙げられる。この構造は非常に発光効率が高く、現在、研究開発が進められている発光装置は殆どこの構造を採用している。

【0009】また、他にも陽極上に正孔注入層/正孔輸送層/発光層/電子輸送層、または正孔注入層/正孔輸送層/発光層/電子輸送層/電子注入層の順に積層する構造も良い。発光層に対して蛍光性色素等をドーピングしても良い。また、これらの層は、全て低分子系の材料を用いて形成しても良いし、全て高分子系の材料を用いて形成しても良い。

【0010】また、これまでアクティブマトリクス型の発光装置において、基板上的TFTと電氣的に接続された電極が陽極として形成され、陽極上に有機化合物層が形成され、有機化合物層上に陰極が形成される発光素子を有し、有機化合物層において生じた光を透明電極である陽極からTFTの方へ取り出すという構造であった。

【0011】しかし、この構造においては、解像度を向上させようとすると画素部におけるTFT及び配線等の配置により開口率が制限されるという問題が生じていた。

【0012】

【特許文献1】特開平10-189252号公報

【0013】

【発明が解決しようとする課題】本発明では、基板上のTFTと電氣的に接続されたTFT側の電極を陰極として形成し、陰極上に有機化合物層を形成し、有機化合物層上に透明電極である陽極を形成するという構造（以下、上面出射構造とよぶ）の発光素子を有するアクティブマトリクス型の発光装置を作製する。或いは、基板上のTFTと電氣的に接続されたTFT側の電極を陽極として形成し、陽極上に有機化合物層を形成し、有機化合物層上に半透明電極である陰極を形成するという構造（この構造も、上面出射構造とよぶ）の発光素子を有するアクティブマトリクス型の発光装置を作製する。

【0014】これらの上記各構造において、透明電極の膜抵抗が高くなるという問題が生じる。特に、透明電極の膜厚を薄くした場合、さらに膜抵抗が高くなってしまふ。陽極または陰極となる透明電極の膜抵抗が高くなると電圧降下により面内電位分布が不均一になり、発光素子の輝度にバラツキを生じるといった不具合が生じる。そこで、本発明は、発光素子における透明電極の膜抵抗を低下させる構造の発光装置およびその作製方法を提供することを課題とする。そして、そのような発光装置を表示部として用いる電気器具を提供することを課題とする。

【0015】加えて、発光素子および発光装置の信頼性を高めることも課題とする。

【0016】

【課題を解決するための手段】本発明は、基板上に形成された発光素子の作製において、有機化合物層の形成前に導電性の膜を各画素電極間に配置する絶縁物上に形成し、透明電極の膜抵抗の低抵抗化を図るというものである。

【0017】さらに上記導電性の膜を用いて引き出し配線を形成し、下層に存在する他の配線と接続を行うことも本発明の特徴としている。

【0018】本明細書で開示する発明の構成は、第1の電極と、該第1の電極上に接する有機化合物層と、該有機化合物層上に接する第2の電極とを有する発光素子を複数有する画素部と、駆動回路と、端子部とを有する発光装置であって、前記画素部には、薄膜トランジスタに接続する前記第1の電極の端部が絶縁物で覆われており、且つ、該絶縁物上に導電性を有する材料からなる第3の電極と、前記絶縁物及び前記第1の電極上に有機化合物層と、前記有機化合物層及び前記第3の電極に接する第2の電極とが設けられており、前記端子部と画素部との間には、第3の電極と同一材料からなる配線または第2の電極と同一材料からなる配線が端子から延びている配線と接続する箇所を有することを特徴とする発光装置である。

【0019】また、上記構成において、前記第3の電極は、前記絶縁物と同一のパターン形状を有していてもよい。その場合、前記絶縁物と同一のマスクを用いて形成される。

【0020】或いは、上記構成において、前記第3の電極は、前記絶縁物と異なるパターン形状を有していてもよい。その場合、前記絶縁物をパターンニングした後、導電性を有する材料からなる膜を形成して前記絶縁物のパターンニングとは異なるマスクを用いて形成される。

【0021】また、本発明の他の構成は、基板上に形成された発光素子の作製において、有機化合物層の形成前に導電性の膜を各画素電極間に配置する絶縁物上に形成し、有機化合物層と、透明電極を形成した後、該透明電極上に導電性の高い材料からなる電極を形成し、透明電極の膜抵抗の低抵抗化を図るというものである。なお、透明電極上に形成する電極は、発光領域となる場所には設けない。さらに上記導電性の膜を用いて引き出し配線を形成し、下層に存在する他の配線と接続を行うことも本発明の特徴としている。

【0022】本明細書で開示する発明の他の構成は、第1の電極と、該第1の電極上に接する有機化合物層と、該有機化合物層上に接する第2の電極とを有する発光素子を複数有する画素部と、駆動回路と、端子部とを有する発光装置であって、前記画素部には、薄膜トランジスタに接続する前記第1の電極の端部が絶縁物で覆われており、且つ、該絶縁物の一部および第1の電極上に有機化合物層と、該有機化合物層上に接する第2の電極と、該第2の電極において前記第1の電極と重ならない領域上に接して導電性を有する材料からなる第3の電極とが設けられており、前記端子部と画素部との間には、第3の電極と同一材料からなる配線または第2の電極と同一材料からなる配線が端子から延びている配線と接続する箇所を有することを特徴とする発光装置である。

【0023】また、上記各構成において、前記第2の電極は、前記発光素子の陰極、或いは陽極であることを特徴としている。

【0024】また、上記各構成において、前記第3の電極は、前記第2の電極を構成する材料よりも電気抵抗が小さい材料からなっており、導電性を付与する不純物元素がドーパされたpoly-Si、W、WSi_x、Al、Ti、Mo、Cu、Ta、Cr、またはMoから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料を主成分とする膜またはそれらの積層膜からなることを特徴としている。例えば、前記第3の電極は、窒化物層またはフッ化物層を最上層とする積層からなる電極とすることが好ましい。

【0025】また、上記各構成において、前記第1の電極は、前記発光素子の陰極、或いは陽極であることを特徴としている。例えば、第2の電極が陰極である場合、第1の電極は陽極であり、第2の電極が陽極である場

合、第1の電極は陰極である。

【0026】また、上記各構成において、前記絶縁物は、無機絶縁膜で覆われた有機樹脂からなる障壁（バンクとも呼ばれる）、或いは、前記絶縁物は、無機絶縁膜であることを特徴としている。なお、前記無機絶縁膜は膜厚10～100nmの窒化珪素を主成分とする絶縁膜であることを特徴としている。

【0027】また、発光装置において、発光していない画素では入射した外光（発光装置の外部の光）が陰極の裏面（発光層に接する側の面）で反射され、陰極の裏面が鏡のように作用して外部の景色が観測面（観測者側に向かう面）に映るといった問題があった。また、この問題を回避するために、発光装置の観測面に円偏光フィルムを貼り付け、観測面に外部の景色が映らないようにする工夫がなされているが、円偏光フィルムが非常に高価であるため、製造コストの増加を招くという問題があった。

【0028】本発明は、円偏光フィルムを用いずに発光装置の鏡面化を防ぐことを目的とし、それにより発光装置の製造コストを低減して安価な発光装置を提供することも課題としている。そこで、本発明では、円偏光フィルムに代えて安価なカラーフィルタを用いることを特徴としている。上記構成において、色純度を向上させるため、前記発光装置には各画素に対応するカラーフィルタを備えることが好ましい。また、カラーフィルタの黒色の部分（黒色の有機樹脂）が各発光領域の間と重なるようにすればよい。さらに、カラーフィルタの黒色の部分（黒の着色層）が、異なる有機化合物層が一部重なる部分と重なるようにしてもよい。

【0029】ただし、発光の射出方向、即ち、前記発光素子と観察者の間にカラーフィルタを設ける。例えば、発光素子が設けられている基板を通過させない場合においては、封止基板にカラーフィルタを貼り付ければよい。或いは、発光素子が設けられている基板を通過させる場合においては、発光素子が設けられている基板にカラーフィルタを貼り付ければよい。こうすることによって、円偏光フィルムを必要としなくなる。

【0030】加えて、有機化合物を含む層上の陽極として、透明導電膜（代表的にはITO、ZnO）を用い、その上に無機絶縁膜からなる保護膜を形成することは極めて有用である。また、有機化合物を含む層上の陰極として、Al、Ag、Mg、またはこれらの合金（代表的にはAlLi）からなる金属薄膜（光が通過する膜厚）を用い、その上に無機絶縁膜からなる保護膜を形成することも有効である。

【0031】さらに、無機絶縁膜からなる保護膜を形成する前に、プラズマCVD法またはスパッタ法で水素を含む膜、代表的には炭素を主成分とする薄膜、または窒化珪素膜を形成することが好ましい。また、水素を含む膜は、炭素を主成分とする薄膜と窒化珪素膜との積層膜と

してもよい。

【0032】また、本発明の他の構成は、絶縁表面を有する基板上に発光素子を有し、該発光素子は、陽極、陰極、並びに前記陽極と前記陰極との間に挟まれた有機化合物層とを有し、前記発光素子は、水素を含む膜で覆われていることを特徴とする発光装置である。

【0033】有機化合物層が耐える温度範囲で加熱処理を行ったり、発光素子を発光させた際に生じる発熱を利用することによって、上記水素を含む膜から水素を拡散させて、有機化合物層における欠陥を水素で終端（ターミネーション）させることができる。有機化合物層における欠陥を水素で終端させると発光装置としての信頼性が向上する。また、上記水素を含む膜の成膜の際、プラズマ化された水素によって有機化合物層における欠陥を水素で終端させることもできる。また、水素を含む膜を覆って形成する保護膜は、保護膜側に拡散する水素をブロックして効率よく、水素を有機化合物層に拡散させて、有機化合物層における欠陥を水素で終端させる役目も果たす。なお、上記水素を含む膜は、発光素子の保護膜としても機能させることができる。

【0034】さらに、上記水素を含む膜をバッファ層として機能させることもでき、スパッタ法によって透明導電膜に接して窒化珪素膜を形成する場合、透明導電膜に含まれる不純物（In、Sn、Zn等）が窒化珪素膜に混入する恐れがあるが、バッファ層となる上記水素を含む膜を間に形成することによって窒化珪素膜への不純物混入を防止することもできる。上記構成によりバッファ層を形成することで、透明導電膜からの不純物（In、Snなど）の混入を防止し、不純物のない優れた保護膜を形成することができる。

【0035】また、本発明の他の構成は、絶縁表面を有する基板上に発光素子を有し、該発光素子は、陽極、陰極、並びに前記陽極と前記陰極との間に挟まれた有機化合物層とを有し、前記発光素子は、水素を含む膜で覆われ、さらに該水素を含む膜は無機絶縁膜からなる保護膜で覆われていることを特徴とする発光装置である。

【0036】また、上記構成を実現する作製方法も本発明の一つであり、本発明の作製方法に関する構成は、絶縁表面上にTFEを形成し、前記TFEと電気的に接続された陰極を形成し、前記陰極上に有機化合物層を形成し、前記前記有機化合物層上に陽極を形成した後、前記陽極上に水素を含む膜を形成することを特徴とする発光装置の作製方法である。

【0037】また、本発明の作製方法に関する他の構成は、絶縁表面上にTFEを形成し、前記TFEと電気的に接続された陽極を形成し、前記陽極上に有機化合物層を形成し、前記前記有機化合物層上に陰極を形成した後、前記陰極上に水素を含む膜を形成することを特徴とする発光装置の作製方法である。

【0038】また、本発明の作製方法に関する上記各構

成において、前記水素を含む膜は、前記有機化合物層の耐える温度範囲、例えば室温～100℃以下でプラズマCVD法、またはスパッタ法により形成することを特徴とし、前記水素を含む膜は、炭素を主成分とする薄膜、または窒化珪素膜であることを特徴としている。

【0039】また、本発明の作製方法に関する上記各構成において、前記有機化合物層を形成する工程は蒸着法、塗布法、イオンプレーティング法もしくはインクジェット法により行われることを特徴としている。

【0040】また、本発明の作製方法に関する上記各構成において、前記水素を含む膜上に無機絶縁膜からなる保護膜を形成することを特徴としている。

【0041】また、本発明の作製方法に関する上記各構成において、前記水素を含む膜を形成する際、前記有機化合物層における欠陥を水素で終端させることを特徴としている。

【0042】また、水分や酸素による劣化を防ぐため、封止缶や封止基板で発光素子を封止する際、密閉される空間に水素ガスを充填、或いは水素及び不活性気体（希ガスまたは窒素）を充填させてもよい。

【0043】本発明の他の構成は、絶縁表面を有する基板上に発光素子を有し、該発光素子は、陽極、陰極、並びに前記陽極と前記陰極との間に挟まれた有機化合物層とを有し、前記発光素子は、透光性を有する基板とシール材とで密閉され、且つ、密閉された空間には、水素が含まれていることを特徴とする発光装置である。

【0044】上記構成において、前記発光素子は、水素を含む膜（炭素を主成分とする薄膜、または窒化珪素膜）で覆われていることを特徴としている。

【0045】また、上記構成により、有機化合物層が耐える温度範囲で加熱処理を行ったり、発光素子を発光させた際に生じる発熱を利用することによって、上記水素を含む空間から水素を拡散させて、有機化合物層における欠陥を水素で終端させることができる。有機化合物層における欠陥を水素で終端させると発光装置としての信頼性が向上する。

【0046】なお、本明細書において、陰極と陽極との間に設けられる全ての層を総称してEL層という。したがって、上述した正孔注入層、正孔輸送層、発光層、電子輸送層及び電子注入層は、全てEL層に含まれる。

【0047】本発明において、前記炭素を主成分とする薄膜は膜厚3～50nmのDLC膜（Diamond like Carbon）であることを特徴としている。DLC膜は短距離秩序的には炭素間の結合として、SP³結合をもっているが、マクロ的にはアモルファス状の構造となっている。DLC膜の組成は炭素が70～95原子%、水素が5～30原子%であり、非常に硬く絶縁性に優れている。また、このようなDLC膜は、水蒸気や酸素などのガス透過率が低いという特徴がある。また、微少硬度計による測定で、15～25GPaの硬度を有することが

知られている。

【0048】DLC膜はプラズマCVD法（代表的には、RFプラズマCVD法、マイクロ波CVD法、電子サイクロトロン共鳴（ECR）CVD法など）、スパッタ法などで形成することができる。いずれの成膜方法を用いても、密着性良くDLC膜を形成することができる。DLC膜は基板をカソードに設置して成膜する。または、負のバイアスを印加して、イオン衝撃をある程度利用して緻密で硬質な膜を形成できる。

【0049】成膜に用いる反応ガスは、水素ガスと、炭化水素系のガス（例えばCH₄、C₂H₂、C₆H₆など）とを用い、グロー放電によりイオン化し、負の自己バイアスがかかったカソードにイオンを加速衝突させて成膜する。こうすることにより、緻密で平滑なDLC膜を得ることができる。

【0050】また、このDLC膜は、可視光に対して透明もしくは半透明な絶縁膜からなることを特徴としている。

【0051】また、本明細書において、可視光に対して透明とは可視光の透過率が80～100%であることを指し、可視光に対して半透明とは可視光の透過率が50～80%であることを指す。

【0052】

【発明の実施の形態】本発明の実施形態について、以下に説明する。

【0053】（実施の形態1）図2は、ELモジュールの上面図である。無数のTFTが設けられた基板（TFT基板とも呼ぶ）には、表示が行われる画素部40と、画素部の各画素を駆動させる駆動回路41a、41bと、EL層上に設けられる電極と引き出し配線とを接続する接続部と、外部回路と接続するためにFPCを貼り付ける端子部42とが設けられている。また、EL素子を封止するための基板と、シール材33とによって密閉する。また、図1（A）は、図2中における鎖線A-A'で切断した場合の断面図である。

【0054】鎖線A-A'の方向には規則的に画素が配置されており、ここではX方向にR、G、Bの順で配置されている例を示す。

【0055】図1（A）中、発光領域（R）は赤色の発光領域を示しており、発光領域（G）は緑色の発光領域を示しており、発光領域（B）は青色の発光領域を示しており、これらの3色の発光領域によりフルカラー化された発光表示装置を実現している。

【0056】また、図1（A）中、TFT1は、赤色を発光するEL層17に流れる電流を制御する素子であり、4、7はソース電極またはドレイン電極である。また、TFT2は、緑色を発光するEL層18に流れる電流を制御する素子であり、5、8はソース電極またはドレイン電極である。TFT3は、青色を発光するEL層19に流れる電流を制御する素子であり、6、9はソー

ス電極またはドレイン電極である。15、16は有機絶縁材料または無機絶縁膜材料からなる層間絶縁膜である。

【0057】また、11~13は、EL素子の陽極（或いは陰極）であり、20は、EL素子の陰極（或いは陽極）である。ここでは、20として薄い金属層（代表的にはMgAg、MgIn、AlLiなどの合金）と透明導電膜（ITO（酸化インジウム酸化スズ合金）、酸化インジウム酸化亜鉛合金（ $\text{In}_2\text{O}_3-\text{ZnO}$ ）、酸化亜鉛（ZnO）等）との積層膜からなる陰極とし、各発光素子からの光を通過させている。ただし、上記透明導電膜は陰極としては機能せず、電気抵抗を下げる為に設けている。また、陽極としては、仕事関数の大きい、具体的には白金（Pt）、クロム（Cr）、タングステン（W）、もしくはニッケル（Ni）といった材料、または透明導電膜（ITO、ZnOなど）、またはこれらの積層を用いればよい。

【0058】また、11~13の両端部およびそれらの間には有機絶縁物24（障壁またはバンクとも呼ばれる）で覆われている。さらに、有機絶縁物24は無機絶縁膜14で覆われている。また、有機絶縁物24上の一部にまで有機化合物層が形成されている。

【0059】また、無機絶縁膜14で覆われた有機絶縁物24（障壁またはバンクとも呼ばれる）上には、補助電極21を有している。この補助電極21は、陰極（或いは陽極）の電気抵抗値を下げる機能を有する。上記に示した透明導電膜の抵抗値は、比較的に高いため、大画面化することが困難であるが、補助電極21を設けることによって、陰極（或いは陽極）の電極全体として低抵抗化することができる。加えて、透明導電膜の薄膜化も可能とすることができる。

【0060】さらに、この補助電極21で下層の配線または電極と接続させる。この補助電極21はEL層を形成する前に成膜及びパターニングを行えばよい。補助電極21は、スパッタ法や蒸着法などを用い、導電性を付与する不純物元素がドーパされたpoly-Si、W、 WSi_x 、Al、Ti、Mo、Cu、Ta、Cr、またはMoから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料を主成分とする膜またはそれらの積層膜で形成すればよい。こうして、下層の電極とコンタクトさせた補助電極21上に接して透明導電膜を形成すれば陰極の引き出しが可能となる。なお、図1(C)は、図2中に示した鎖線C-C'で切断した場合の断面図である。また、図1(C)中、点線で示した電極同士は電氣的に接続していることを示している。また、端子部において、端子の電極を陰極10と同じ材料で形成している。

【0061】また、約 $10\mu\text{m}$ の間隔が保たれるようにシール材33によって封止基板30が貼りつけられており、全ての発光素子は密閉されている。なお、シール材

33は、駆動回路の一部と重なるようにして狭額縁化させることが好ましい。シール材33によって封止基板30を貼りつける直前には真空でアニールを行って脱気を行うことが好ましい。また、封止基板30を貼りつける際には、水素および不活性気体（希ガスまたは窒素）を含む雰囲気で行って、保護膜32と、シール材33と、封止基板30によって密閉された空間には水素を含ませることが好ましい。発光素子を発光させた際に生じる発熱を利用することによって、上記水素を含む空間から水素を拡散させて、有機化合物層における欠陥を水素で終端させることができる。有機化合物層における欠陥を水素で終端させると発光装置としての信頼性が向上する。

【0062】さらに、色純度を高めるため、封止基板30には各画素に対応するカラーフィルタが設けられている。カラーフィルタのうち、赤色の着色層31bは赤色の発光領域（R）に対向して設けられ、緑色の着色層31cは緑色の発光領域（G）に対向して設けられ、青色の着色層31dは青色の発光領域（B）に対向して設けられる。また、発光領域以外の領域は、カラーフィルタの黒色部分、即ち遮光部31aによって遮光されている。なお、遮光部31aは、金属膜（クロム等）または黒色顔料を含有した有機膜で構成されている。

【0063】本発明においては、カラーフィルタを設けることによって円偏光板を不必要としている。

【0064】また、図1(B)は、図2中に示した鎖線B-B'で切断した場合の断面図である。図1(B)においても11a~11cの両端部およびそれらの間には無機絶縁膜14で覆われている。ここでは赤色を発光するEL層17が共通となっている例を示したが、特に限定されず、同じ色を発光する画素毎にEL層を形成してもよい。

【0065】また、図1において、発光装置の信頼性を高めるために保護膜32を形成している。この保護膜32はスパッタ法により得られる窒化珪素または窒化酸化珪素を主成分とする絶縁膜である。また、図1においては、保護膜に発光を通過させるため、保護膜の膜厚は、可能な限り薄くすることが好ましい。

【0066】さらに、発光装置の信頼性を高めるために保護膜32を形成する前に水素を含む膜を形成する。保護膜32を形成する前に水素を含む膜を形成することによって、有機化合物層17~19の欠陥を終端させる。前記水素を含む膜は、炭素を主成分とする薄膜、または窒化珪素膜とすればよい。この水素を含む膜を形成する方法としては、前記有機化合物層の耐える温度範囲、例えば室温~ 100°C 以下でプラズマCVD法、またはスパッタ法により形成する。なお、図1では、水素を含む膜は、保護膜の一部と見なしているため、図示していない。また、上記水素を含む膜は、保護膜32の膜応力を緩和させるバッファ層とすることもできる。

【0067】また、本発明は、図1(C)に示した構成に限定されないことは言うまでもない。図1(C)と構成が一部異なる例を図3(A)～(D)に示す。なお、簡略化のため、図3(A)～(D)において、図1と同一である部分は、同一の符号を用いる。

【0068】図1(C)では、端子部に陰極と同一材料(透明電極)からなる電極が設けられた例であったが、図3(A)は、TFTのゲート電極と同一材料からなる電極(上層がW膜、下層がTa_nN膜)でFPCと接続する例である。

【0069】また、図3(B)は、画素電極(陽極)と同一材料からなる電極10でFPCと接続する例である。なお、この電極10は、TFTのゲート電極と同一材料からなる電極(上層がW膜、下層がTa_nN膜)上に接して設けられている。

【0070】また、図3(C)は、TFTの引き出し配線(TiN膜、Al膜、TiN膜の順で積層された配線)上に設けられた画素電極(陽極)と同一材料からなる電極10上に形成された陰極20と同一材料(透明電極)からなる電極でFPCと接続する例である。

【0071】また、図3(D)は、TFTの引き出し配線(TiN膜、Al膜、TiN膜の順で積層された配線)上に形成された陰極20と同一材料(透明電極)からなる電極でFPCと接続する例である。

【0072】(実施の形態2)ここでは、水素を含む膜および保護膜について、図4を用いて説明する。

【0073】図4(A)は、EL素子の積層構造の一例を示した模式図である。図4(A)中、200は陰極(或いは陽極)、201はEL層、202は陽極(或いは陰極)、203は水素を含むDLC膜、204は保護膜である。また、陽極202に発光を通過させる場合、陽極202として、透光性を有する導電膜(ITOやZnOなど)を用いることが好ましい。また、陰極200としては金属膜(MgAg、MgIn、AlLiなどの合金、または周期表の1族もしくは2族に属する元素とアルミニウムとを共蒸着法により形成した膜)、あるいはそれらの積層を用いることが好ましい。

【0074】保護膜204は、スパッタ法(DC方式やRF方式)により得られる窒化珪素または窒化酸化珪素を主成分とする絶縁膜を用いればよい。シリコンターゲットを用い、窒素とアルゴンを含む雰囲気中で形成すれば、窒化珪素膜が得られる。また、窒化シリコンターゲットを用いてもよい。また、保護膜204は、リモートプラズマを用いた成膜装置を用いて形成してもよい。また、保護膜に発光を通過させる場合、保護膜の膜厚は、可能な限り薄くすることが好ましい。

【0075】また、水素を含むDLC膜203は、炭素が70～95原子%、水素が5～30原子%であり、非常に硬く絶縁性に優れている。水素を含むDLC膜はプラズマCVD法(代表的には、RFプラズマCVD法、

マイクロ波CVD法、電子サイクロトロン共鳴(ECR)CVD法など)、スパッタ法などで形成することができる。

【0076】この水素を含むDLC膜203を形成する方法としては、前記有機化合物層の耐えうる温度範囲、例えば室温～100℃以下で形成する。

【0077】プラズマを発生させる場合の成膜に用いる反応ガスは、水素ガスと、炭化水素系のガス(例えばC₂H₂、C₂H₄、C₂H₆など)とを用いればよい。

【0078】有機化合物層が耐えうる温度範囲で加熱処理を行ったり、発光素子を発光させた際に生じる発熱を利用することによって、上記水素を含むDLC膜から水素を拡散させて、有機化合物層における欠陥を水素で終端(ターミネーション)させることができる。有機化合物層における欠陥を水素で終端させると発光装置としての信頼性が向上する。また、上記水素を含むDLC膜の成膜の際、プラズマ化された水素によって有機化合物層における欠陥を水素で終端させることもできる。また、水素を含むDLC膜を覆って形成する保護膜は、保護膜側に拡散する水素をブロックして効率よく、水素を有機化合物層に拡散させて、有機化合物層における欠陥を水素で終端させる役目も果たす。なお、上記水素を含むDLC膜は、発光素子の保護膜としても機能させることができる。

【0079】さらに、上記水素を含むDLC膜をバッファ層として機能させることもでき、スパッタ法により透明導電膜からなる膜に接して窒化珪素膜を形成する場合、透明導電膜に含まれる不純物(In、Sn、Zn等)が窒化珪素膜に混入する恐れがあるが、バッファ層となる上記水素を含むDLC膜を間に形成することによって窒化珪素膜への不純物混入を防止することもできる。上記構成によりバッファ層を形成することで、透明導電膜からの不純物(In、Snなど)の混入を防止し、不純物のない優れた保護膜を形成することができる。

【0080】このような構成とすることで、発光素子を保護するとともに、信頼性を向上させることができる。

【0081】また、図4(B)は、EL素子の積層構造の他の一例を示した模式図である。図4(B)中、300は陰極(或いは陽極)、301はEL層、302は陽極(或いは陰極)、303は水素を含む窒化珪素膜、304は保護膜である。また、陽極302に発光を通過させる場合、302として、透光性を有する導電性材料または非常に薄い金属膜(MgAg)、あるいはそれらの積層を用いることが好ましい。また、陽極302に発光を通過させる場合、陽極302として、透光性を有する導電膜(ITOやZnOなど)を用いることが好ましい。また、陰極300としては金属膜(MgAg、MgIn、AlLiなどの合金、または周期表の1族もしくは2族に属する元素とアルミニウムとを共蒸着法により

形成した膜)、あるいはそれらの積層を用いることが好ましい。

【0082】保護膜304は、スパッタ法(DC方式やRF方式)により得られる窒化珪素または窒化酸化珪素を主成分とする絶縁膜を用いればよい。シリコンターゲットを用い、窒素とアルゴンを含む雰囲気中で形成すれば、窒化珪素膜が得られる。また、窒化シリコンターゲットを用いてもよい。また、保護膜304は、リモートプラズマを用いた成膜装置を用いて形成してもよい。また、保護膜に発光を通過させる場合、保護膜の膜厚は、可能な限り薄くすることが好ましい。

【0083】また、水素を含む窒化珪素膜303は、プラズマCVD法(代表的には、RFプラズマCVD法、マイクロ波CVD法、電子サイクロトロン共鳴(ECR)CVD法など)、RFスパッタ法、DCスパッタ法などで形成することができる。

【0084】この水素を含む窒化珪素膜303を形成する方法としては、前記有機化合物層の耐える温度範囲、例えば室温~100℃以下で形成する。

【0085】水素を含む窒化珪素膜303を形成する方法として、プラズマCVD法を用いる場合、反応ガスは、窒素を含むガス(N_2 、 NH_3 、 NO_x で表記される窒素酸化物系ガスなど)と、珪化水素系のガス(例えばシラン(SiH_4)やジシランやトリシランなど)を用いればよい。

【0086】水素を含む窒化珪素膜303を形成する方法として、スパッタ法を用いる場合、シリコンターゲットを用い、水素と窒素とアルゴンとを含む雰囲気中で形成すれば、水素を含む窒化珪素膜が得られる。また、窒化シリコンターゲットを用いてもよい。

【0087】有機化合物層が耐える温度範囲で加熱処理を行ったり、発光素子を発光させた際に生じる発熱を利用することによって、上記水素を含む窒化珪素膜から水素を拡散させて、有機化合物層における欠陥を水素で終端(ターミネーション)させることができる。有機化合物層における欠陥を水素で終端させると発光装置としての信頼性が向上する。また、上記水素を含む窒化珪素膜の成膜の際、プラズマ化された水素によって有機化合物層における欠陥を水素で終端させることもできる。また、水素を含む窒化珪素膜を覆って形成する保護膜は、保護膜側に拡散する水素をブロックして効率よく、水素を有機化合物層に拡散させて、有機化合物層における欠陥を水素で終端させる役目も果たす。なお、上記水素を含む窒化珪素膜は、発光素子の保護膜としても機能させることができる。

【0088】さらに、上記水素を含む窒化珪素膜をバッファ層として機能させることもでき、スパッタ法により透明導電膜からなる膜に接して窒化珪素膜を形成する場合、透明導電膜に含まれる不純物(In、Sn、Zn等)が窒化珪素膜に混入する恐れがあるが、バッファ層

となる上記水素を含む窒化珪素膜を間に形成することによって窒化珪素膜への不純物混入を防止することもできる。上記構成によりバッファ層を形成することで、透明導電膜からの不純物(In、Snなど)の混入を防止し、不純物のない優れた保護膜を形成することができる。

【0089】このような構成とすることで、発光素子を保護するとともに、信頼性を向上させることができる。

【0090】また、図4(A)及び図4(B)では水素を含む膜として単層とした例を示したが、水素を含む窒化珪素膜と水素を含むDLC膜との積層、もしくはこれらの3層以上の積層としてもよい。

【0091】また、本実施の形態は、アクティブマトリクス型表示装置だけでなく、パッシブ型表示装置に適用することもできる。

【0092】また、本実施の形態は、実施の形態1と自由に組み合わせることができる。

【0093】(実施の形態3)ここでは、図1と構成が一部異なる例を図6に示す。ここでは、画素部に規則的に配置される多数の画素のうち、3×3の画素を例に本発明を以下に説明する。なお、断面構造において、TFTは図1とはほぼ同一であり、簡略化のため、図6において、図1と同一である部分は、同一の符号を用いる。

【0094】図6(A)は、図5(A)中鎖線A-A'で切断した場合の断面図である。発光領域50Rは赤色の発光領域を示しており、発光領域50Gは緑色の発光領域を示しており、発光領域50Bは青色の発光領域を示しており、これらの3色の発光領域によりフルカラー化された発光表示装置を実現している。

【0095】本実施の形態においては、図6(A)に示したように、同一のマスクでパターンニングを行った例であり、補助電極621と有機絶縁物624との上面から見た形状がほぼ同一である。この場合、図6(C)に示したように、補助電極621は、陰極20でソース配線と同一材料からなる配線と電氣的に接続させている。

【0096】また、画素電極612は、層間絶縁膜15上に形成されており、画素電極612の形成後にTFTのコンタクトホールが形成され、その後形成される電極607、608でTFTと画素電極612とを電氣的に接続している。また、画素電極の両端部およびそれらの間は無機絶縁物14で覆われている。また、図1と同様に有機絶縁物624上の一部にまで有機化合物層が形成されている。

【0097】また、図5(B)は、画素電極の形成直後の上面図であり、図5(A)と対応している。図5

(A)及び図5(B)においては、画素一列(Y方向)毎に帯状の有機化合物層を設けている。各発色の異なる有機化合物層の間には帯状に有機絶縁物624が設けられている。また、図5(A)においては、画素一列(Y方向)毎に有機絶縁物624および補助配線621を設

ける構成としている。

【0098】また、図7(A)は、図5、図6に対応する上面図である。図7(A)中、左側に示した図における接続部の一部断面図を右側に示し、図6(C)と同一箇所である。また、図7(A)に示した補助配線621及び有機絶縁物をパターニングする場合、用いるメタルマスクの例を図8(A)に示した。

【0099】また、有機絶縁物と補助電極とのトータルの膜厚が比較的厚くなった場合、段差が大きくなるため、透明導電膜で電氣的に接続することが困難になる可能性がある。特に、透明導電膜の薄膜化を行った場合にカバレッジ不良により線欠陥が生じる恐れがある。そこで、補助電極621と下層の電極との接続をより確実にするため、図7(B)に示すように、マスク数を増やして622で示す電極を形成してもよい。また、メタルマスクを用いて蒸着法により電極622を形成してもよい。

【0100】また、図7(C)に示すように、予め画素部の周りにソース配線と同一材料からなる配線623を設けておき、さらに補助電極621と直交するように第2の補助電極625を形成してもよい。こうすることによって、第2の補助電極625は、補助電極621に直接接して設けられ、且つ、配線623とも直接接することができる。なお、補助電極621と第2の補助電極625との間が発光領域となるように適宜設計する。また、図7(A)に示した第2の補助電極625をパターニングする場合、用いるメタルマスクの例を図8(B)に示した。

【0101】また、図7(C)では2回のパターニングによって第1の補助電極621と第2の補助電極625とを形成した例を示したが、図8(C)に示したメタルマスクを用いて格子状に補助電極を形成してもよい。図8(C)の右側図で示すように各開口部は細い線で区切られているが、蒸着では回り込みがあるため、一部膜厚が薄くなるものの格子状に補助電極を形成することができる。

【0102】また、本実施の形態は、実施の形態1または実施の形態2と自由に組み合わせることができる。

【0103】(実施の形態4)ここでは、図1と構成が一部異なる例を図9に示す。ここでは、画素部に規則的に配置される多数の画素のうち、3×3の画素を例に本発明を以下に説明する。なお、断面構造において、有機絶縁物24が存在しない点と、全面に高分子からなる有機化合物層60が存在する点以外は図1とほぼ同一であり、簡略化のため、図9において、図1と同一である部分は、同一の符号を用いる。また、図9(A)は、図2中における鎖線A-A'で切断した場合の断面図である。

【0104】図1に示した有機絶縁物24が図9に示す構造には存在せず、その代わりに無機絶縁膜14と補助

電極721とで各有機化合物17、18、19の間隔を保っている。

【0105】また、高分子からなる有機化合物層60(代表的にはポリ(エチレンジオキシチオフェン)/ポリ(スチレンスルホン酸)水溶液(以下、「PEDOT/PSS」と記す)、ちなみに、このPEDOT/PSSは、正孔注入層として作用する。)は、スピンコート法やスプレー法などの塗布法で形成するため、全面に形成される。また、高分子からなる有機化合物層60は導電性を有しており、陰極20と補助電極721は電氣的に接続される。補助電極721を設けることによって、陰極(或いは陽極)全体として低抵抗化することができる。加えて、透明導電膜の薄膜化も可能とすることができる。さらに、この補助電極721で下層の配線または電極と接続させる。この補助電極721はEL層を形成する前に成膜及びパターニングを行えばよい。下層の電極とコンタクトさせた補助電極721上に透明導電膜を形成すれば陰極の引き出しが可能となる。なお、図9(C)は、図2中に示した鎖線C-C'で切断した場合の断面図である。また、図9(C)中、点線で示した電極同士は電氣的に接続していることを示している。また、端子部において、端子の電極を陰極20と同じ材料で形成している。

【0106】また、図9(B)は、図2中に示した鎖線B-B'で切断した場合の断面図である。図9(B)においても11a~11cの両端部およびそれらの間は無機絶縁物14で覆われている。ここでは赤色を発光するEL層17が共通となっている例を示したが、特に限定されず、同じ色を発光する画素毎にEL層を形成してもよい。

【0107】また、本実施の形態は、実施の形態1、実施の形態2、または実施の形態3と自由に組み合わせることができる。

【0108】(実施の形態5)ここでは、図1と構成が一部異なる例を図10に示す。ここでは、画素部に規則的に配置される多数の画素のうち、3×3の画素を例に本発明を以下に説明する。なお、断面構造において、陰極20上に補助配線821が存在する点以外は図1とほぼ同一であり、簡略化のため、図10において、図1と同一である部分は、同一の符号を用いる。また、図10(A)は、図2中における鎖線A-A'で切断した場合の断面図である。

【0109】また、補助電極821は、陰極上に形成するため、メタルマスクを用いた蒸着法で行う。ここでは格子状に補助電極821を形成した例を示す。補助電極821を設けることによって、陰極(或いは陽極)全体として低抵抗化することができる。加えて、透明導電膜の薄膜化も可能とすることができる。さらに、この補助電極821で下層の配線または電極と接続させる。下層の電極とコンタクトさせた補助電極821上に透明導電

膜を形成すれば陰極の引き出しが可能となる。なお、図10(C)は、図2中に示した鎖線C-C'で切断した場合の断面図である。また、図10(C)中、点線で示した電極同士は電氣的に接続していることを示している。また、端子部において、端子の電極を陰極20と同じ材料で形成している。

【0110】また、本実施の形態は、実施の形態1、実施の形態2、実施の形態3、または実施の形態4と自由に組み合わせることができる。

【0111】以上の構成でなる本発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【0112】(実施例)

〔実施例1〕本実施例では、絶縁表面上に作製したアクティブマトリクス型発光装置について説明する。なお、能動素子としてここでは薄膜トランジスタ(以下、「TFT」と記す)を用いているが、MOSトランジスタを用いてもよい。

【0113】また、TFTとしてトップゲート型TFT(具体的にはプレーナ型TFT)を例示するが、ボトムゲート型TFT(典型的には逆スタガ型TFT)を用いることもできる。

【0114】本実施例では、基板としてバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板、石英基板やシリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成したものをうればよい。また、本実施例の処理温度に耐えうる耐熱性が有するプラスチック基板を用いてもよいし、可撓性基板を用いてもよい。

【0115】まず、厚さ0.7mmの耐熱性ガラス基板上にプラズマCVD法により下地絶縁膜の下層として、プラズマCVD法で成膜温度400℃、原料ガスSiH₄、NH₃、N₂Oから作製される酸化窒化シリコン膜(組成比Si=32%、O=27%、N=24%、H=17%)を50nm(好ましくは10~200nm)形成する。次いで、表面をオゾン水で洗浄した後、表面の酸化膜を希フッ酸(1/100希釈)で除去する。次いで、下地絶縁膜の上層として、プラズマCVD法で成膜温度400℃、原料ガスSiH₄、N₂Oから作製される酸化窒化シリコン膜(組成比Si=32%、O=59%、N=7%、H=2%)を100nm(好ましくは50~200nm)の厚さに積層形成し、さらに大気解放せずにプラズマCVD法で成膜温度300℃、成膜ガスSiH₄で非晶質構造を有する半導体膜(ここではアモルファスシリコン膜)を54nmの厚さ(好ましくは25~200nm)で形成する。

【0116】本実施例では下地絶縁膜を2層構造として示したが、珪素を主成分とする絶縁膜の単層膜または2層以上積層させた構造として形成してもよい。また、半導体膜の材料に限定はないが、好ましくはシリコンまた

はシリコンゲルマニウム(Si_xGe_{1-x}(X=0.0001~0.02))合金などを用い、公知の手段(スパッタ法、LPCVD法、またはプラズマCVD法等)により形成すればよい。また、プラズマCVD装置は、枚葉式の装置でもよいし、バッチ式の装置でもよい。また、同一の成膜室で大気に触れることなく下地絶縁膜と半導体膜とを連続成膜してもよい。

【0117】次いで、非晶質構造を有する半導体膜の表面を洗浄した後、オゾン水で表面に約2nmの極薄い酸化膜を形成する。次いで、TFTのしきい値を制御するために微量な不純物元素(ボロンまたはリン)のドーピングを行う。ここでは、ジボラン(B₂H₆)を質量分離しないでプラズマ励起したイオンドーピング法を用い、ドーピング条件を加速電圧15kV、ジボランを水素で1%に希釈したガスを流量30sccmとし、ドーピング量2×10¹⁸/cm²で非晶質シリコン膜にボロンを添加する。

【0118】次いで、重量換算で10ppmのニッケルを含む酢酸ニッケル塩溶液をスピナーで塗布した。塗布に代えてスパッタ法でニッケル元素を全面に散布する方法を用いてもよい。

【0119】次いで、加熱処理を行い結晶化させて結晶構造を有する半導体膜を形成する。この加熱処理は、電気炉の熱処理または強光の照射を用いればよい。電気炉の熱処理で行う場合は、500℃~650℃で4~24時間で行えばよい。ここでは脱水素化のための熱処理(500℃、1時間)の後、結晶化のための熱処理(550℃、4時間)を行って結晶構造を有するシリコン膜を得た。なお、ここでは炉を用いた熱処理を用いて結晶化を行ったが、短時間で結晶化が可能なランプアニール装置で結晶化を行ってもよい。

【0120】次いで、結晶構造を有するシリコン膜表面の酸化膜を希フッ酸等で除去した後、大粒径な結晶を得るため、連続発振が可能な固体レーザーを用い、基本波の第2高調波~第4高調波を半導体膜に照射する。レーザー光の照射は大気中、または酸素雰囲気中で行う。なお、大気中、または酸素雰囲気中で行うため、レーザー光の照射により表面に酸化膜が形成される。代表的には、Nd:YVO₄レーザー(基本波1064nm)の第2高調波(532nm)や第3高調波(355nm)を適用すればよい。出力10Wの連続発振のYVO₄レーザーから射出されたレーザー光を非線形光学素子により高調波に変換する。また、共振器の中にYVO₄結晶と非線形光学素子を入れて、高調波を射出する方法もある。そして、好ましくは光学系により照射面にて矩形状または楕円形状のレーザー光に成形して、被処理体に照射する。このときのエネルギー密度は0.01~100MW/cm²程度(好ましくは0.1~10MW/cm²)が必要である。そして、10~2000cm/s程度の速度でレーザー光に対して相対的に半導体膜を移動させて照射すれば

よい。

【0121】もちろん、連続発振の YVO_4 レーザーの第2高調波を照射する前の結晶構造を有するシリコン膜を用いてTFTを作製することもできるが、レーザー照射後の結晶構造を有するシリコン膜のほうが結晶性が向上しているため、TFTの電気的特性が向上するので望ましい。例えば、上記レーザー照射前の結晶構造を有するシリコン膜を用いてTFTを作製すると、移動度は $300\text{ cm}^2/\text{Vs}$ 程度であるが、上記レーザー照射後の結晶構造を有するシリコン膜を用いてTFTを作製すると、移動度は $500\sim 600\text{ cm}^2/\text{Vs}$ 程度と著しく向上する。

【0122】なお、ここではシリコンの結晶化を助長する金属元素としてニッケルを用いて結晶化させた後、さらに連続発振の YVO_4 レーザーの第2高調波を照射したが、特に限定されず、非晶質構造を有するシリコン膜を成膜し、脱水素化のための熱処理を行った後、上記連続発振の YVO_4 レーザーの第2高調波を照射して結晶構造を有するシリコン膜を得てもよい。

【0123】また、連続発振のレーザーに代えてパルス発振のレーザーを用いることもでき、パルス発振のエキシマレーザーを用いる場合には、周波数 300 Hz とし、レーザーエネルギー密度を $100\sim 1000\text{ mJ/cm}^2$ (代表的には $200\sim 800\text{ mJ/cm}^2$)とするのが望ましい。このとき、レーザー光を $50\sim 98\%$ オーバーラップさせても良い。

【0124】次いで、上記レーザー光の照射により形成された酸化膜に加え、オゾン水で表面を 120 秒処理して合計 $1\sim 5\text{ nm}$ の酸化膜からなるバリア層を形成する。本実施例ではオゾン水を用いてバリア層を形成したが、酸素雰囲気下の紫外線の照射で結晶構造を有する半導体膜の表面を酸化する方法や酸素プラズマ処理により結晶構造を有する半導体膜の表面を酸化する方法やプラズマCVD法やスパッタ法や蒸着法などで $1\sim 10\text{ nm}$ 程度の酸化膜を堆積してバリア層を形成してもよい。また、バリア層を形成する前にレーザー光の照射により形成された酸化膜を除去してもよい。

【0125】次いで、上記バリア層上にプラズマCVD法またはスパッタ法でゲッタリングサイトとなるアルゴン元素を含む非晶質シリコン膜を $50\text{ nm}\sim 400\text{ nm}$ 、ここでは膜厚 150 nm で形成する。本実施例では、スパッタ法でシリコンターゲットを用い、アルゴン雰囲気下、圧力 0.3 Pa で成膜する。

【0126】その後、 650°C に加熱された炉に入れて3分の熱処理を行いゲッタリングして、結晶構造を有する半導体膜中のニッケル濃度を低減する。炉に代えてランプアニール装置を用いてもよい。

【0127】次いで、バリア層をエッチングストッパーとして、ゲッタリングサイトであるアルゴン元素を含む非晶質シリコン膜を選択的に除去した後、バリア層を希

フッ酸で選択的に除去する。なお、ゲッタリングの際、ニッケルは酸素濃度の高い領域に移動しやすい傾向があるため、酸化膜からなるバリア層をゲッタリング後に除去することが望ましい。

【0128】次いで、得られた結晶構造を有するシリコン膜(ポリシリコン膜とも呼ばれる)の表面にオゾン水で薄い酸化膜を形成した後、レジストからなるマスクを形成し、所望の形状にエッチング処理して島状に分離された半導体層を形成する。半導体層を形成した後、レジストからなるマスクを除去する。

【0129】次いで、フッ酸を含むエッチャントで酸化膜を除去すると同時にシリコン膜の表面を洗浄した後、ゲート絶縁膜となる珪素を主成分とする絶縁膜を形成する。ここでは、プラズマCVD法により 115 nm の厚さで酸化窒化シリコン膜(組成比 $\text{Si}=32\%$ 、 $\text{O}=59\%$ 、 $\text{N}=7\%$ 、 $\text{H}=2\%$)で形成した。

【0130】次いで、ゲート絶縁膜上に膜厚 $20\sim 100\text{ nm}$ の第1の導電膜と、膜厚 $100\sim 400\text{ nm}$ の第2の導電膜とを積層形成する。本実施例では、ゲート絶縁膜上に膜厚 50 nm の窒化タンタル膜、膜厚 370 nm のタングステン膜を順次積層し、以下に示す手順でパターンニングを行って各ゲート電極及び各配線を形成する。

【0131】第1の導電膜及び第2の導電膜を形成する導電性材料としては Ta 、 W 、 Ti 、 Mo 、 Al 、 Cu から選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成する。また、第1の導電膜及び第2の導電膜としてリン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜や、 AgPdCu 合金を用いてもよい。また、2層構造に限定されず、例えば、膜厚 50 nm のタングステン膜、膜厚 500 nm のアルミニウムとシリコンの合金(Al-Si)膜、膜厚 30 nm の窒化チタン膜を順次積層した3層構造としてもよい。また、3層構造とする場合、第1の導電膜のタングステンに代えて窒化タングステンを用いてもよいし、第2の導電膜のアルミニウムとシリコンの合金(Al-Si)膜に代えてアルミニウムとチタンの合金膜(Al-Ti)を用いてもよいし、第3の導電膜の窒化チタン膜に代えてチタン膜を用いてもよい。また、単層構造であってもよい。

【0132】上記第1の導電膜及び第2の導電膜のエッチング(第1のエッチング処理および第2のエッチング処理)にはICP(Inductively Coupled Plasma: 誘導結合型プラズマ)エッチング法を用いると良い。ICPエッチング法を用い、エッチング条件(コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等)を適宜調節することによって所望のテーパ形状に膜をエッチングすることができ、ここでは、レジストからなるマスクを形成した後、第1のエッチング条件として 1 Pa の圧力でコイル型の電

極に700WのRF (13.56MHz) 電力を投入し、エッチング用ガスに CF_4 と Cl_2 と O_2 とを用い、それぞれのガス流量比を25/25/10 (sccm)とし、基板側(試料ステージ)にも150WのRF (13.56MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。なお、基板側の電極面積サイズは、12.5cm×12.5cmであり、コイル型の電極面積サイズ(ここではコイルの設けられた石英円板)は、直径25cmの円板である。この第1のエッチング条件によりW膜をエッチングして端部をテーパ形状とする。この後、レジストからなるマスクを除去せずに第2のエッチング条件に変え、エッチング用ガスに CF_4 と Cl_2 とを用い、それぞれのガス流量比を30/30 (sccm)とし、1Paの圧力でコイル型の電極に500WのRF (13.56MHz) 電力を投入してプラズマを生成して約30秒程度のエッチングを行った。基板側(試料ステージ)にも20WのRF (13.56MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。 CF_4 と Cl_2 を混合した第2のエッチング条件ではW膜及びTa₂N膜とも同程度にエッチングされる。なお、ここでは、第1のエッチング条件及び第2のエッチング条件を第1のエッチング処理と呼ぶこととする。

【0133】次いで、レジストからなるマスクを除去せずに第2のエッチング処理を行う。ここでは、第3のエッチング条件としてエッチング用ガスに CF_4 と Cl_2 とを用い、それぞれのガス流量比を30/30 (sccm)とし、1Paの圧力でコイル型の電極に500WのRF (13.56MHz) 電力を投入してプラズマを生成してエッチングを60秒行った。基板側(試料ステージ)にも20WのRF (13.56MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。この後、レジストからなるマスクを除去せずに第4のエッチング条件に変え、エッチング用ガスに CF_4 と Cl_2 と O_2 とを用い、それぞれのガス流量比を20/20/20 (sccm)とし、1Paの圧力でコイル型の電極に500WのRF (13.56MHz) 電力を投入してプラズマを生成して約20秒程度のエッチングを行った。基板側(試料ステージ)にも20WのRF (13.56MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。なお、ここでは、第3のエッチング条件及び第4のエッチング条件を第2のエッチング処理と呼ぶこととする。この段階で第1の導電層を下層とし、第2の導電層を上層とするゲート電極および各電極が形成される。

【0134】次いで、レジストからなるマスクを除去した後、ゲート電極をマスクとして全面にドーピングする第1のドーピング処理を行う。第1のドーピング処理はイオンドープ法、もしくはイオン注入法で行えば良い。イオンドープ法の条件はドーピング量を 1.5×10^{14} atom/cm²とし、加速電圧を60~100keVとして行う。n型を付与する不純物元素として、典型的にはリン

(P)または砒素(As)を用いる。自己整合的に第1の不純物領域(n⁻領域)が形成される。

【0135】次いで、新たにレジストからなるマスクを形成するが、この際、スイッチングTFETのオフ電流値を下げるため、マスクは、画素部のスイッチングTFETを形成する半導体層のチャネル形成領域及びその一部を覆って形成する。また、マスクは駆動回路のpチャネル型TFETを形成する半導体層のチャネル形成領域及びその周辺の領域を保護するためにも設けられる。加えて、マスクは、画素部の電流制御用TFETを形成する半導体層のチャネル形成領域及びその周辺の領域を覆って形成される。

【0136】次いで、上記レジストからなるマスクを用い、選択的に第2のドーピング処理を行って、ゲート電極の一部と重なる不純物領域(n⁻領域)を形成する。第2のドーピング処理はイオンドープ法、もしくはイオン注入法で行えば良い。ここでは、イオンドープ法を用い、フォスフィン(PH₃)を水素で5%に希釈したガスを流量30sccmとし、ドーピング量を 1.5×10^{14} atoms/cm²とし、加速電圧を90keVとして行う。この場合、レジストからなるマスクと第2の導電層とがn型を付与する不純物元素に対するマスクとなり、第2の不純物領域が形成される。第2の不純物領域には $1 \times 10^{15} \sim 1 \times 10^{17}$ /cm³の濃度範囲でn型を付与する不純物元素が添加される。ここでは、第2の不純物領域と同じ濃度範囲の領域をn⁻領域とも呼ぶ。

【0137】次いで、レジストからなるマスクを除去せずに第3のドーピング処理を行う。第3のドーピング処理はイオンドープ法、もしくはイオン注入法で行えば良い。n型を付与する不純物元素として、典型的にはリン(P)または砒素(As)を用いる。ここでは、イオンドープ法を用い、フォスフィン(PH₃)を水素で5%に希釈したガスを流量40sccmとし、ドーピング量を 2×10^{15} atoms/cm²とし、加速電圧を80keVとして行う。この場合、レジストからなるマスクと第1の導電層及び第2の導電層がn型を付与する不純物元素に対するマスクとなり、第3の不純物領域が形成される。第3の不純物領域には $1 \times 10^{20} \sim 1 \times 10^{21}$ /cm³の濃度範囲でn型を付与する不純物元素を添加される。ここでは、第3の不純物領域と同じ濃度範囲の領域をn⁺領域とも呼ぶ。

【0138】次いで、レジストからなるマスクを除去した後、新たにレジストからなるマスクを形成して第4のドーピング処理を行う。第4のドーピング処理により、pチャネル型TFETを形成する半導体層を形成する半導体層にp型の導電性を付与する不純物元素が添加された第4の不純物領域及び第5の不純物領域を形成する。

【0139】また、第4の不純物領域には $1 \times 10^{20} \sim 1 \times 10^{21}$ /cm³の濃度範囲でp型を付与する不純物元素が添加されるようにする。尚、第4の不純物領域には先

の工程でリン(P)が添加された領域(n⁺領域)であるが、p型を付与する不純物元素の濃度がその1.5~3倍添加されていて導電型はp型となっている。ここでは、第4の不純物領域と同じ濃度範囲の領域をp⁺領域とも呼ぶ。

【0140】また、第5の不純物領域は第2の導電層のテーパー部と重なる領域に形成されるものであり、 $1 \times 10^{18} \sim 1 \times 10^{20} / \text{cm}^3$ の濃度範囲でp型を付与する不純物元素が添加されるようにする。ここでは、第5の不純物領域と同じ濃度範囲の領域をp⁻領域とも呼ぶ。

【0141】以上までの工程でそれぞれの半導体層にn型またはp型の導電型を有する不純物領域が形成される。第1の導電層及び第2の導電層からなる電極はTFTのゲート電極となる。

【0142】次いで、ほぼ全面を覆う絶縁膜(図示しない)を形成する。本実施例では、プラズマCVD法により膜厚50nmの酸化シリコン膜を形成した。勿論、この絶縁膜は酸化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

【0143】次いで、それぞれの半導体層に添加された不純物元素を活性化処理する工程を行う。この活性化工程は、ランプ光源を用いたラピッドサーマルアニール法(RTA法)、或いはレーザーを照射する方法、或いは炉を用いた熱処理、或いはこれらの方法のうち、いずれかかと組み合わせた方法によって行う。

【0144】また、本実施例では、上記活性化の前に絶縁膜を形成した例を示したが、上記活性化を行った後、絶縁膜を形成する工程としてもよい。

【0145】次いで、窒化シリコン膜からなる第1の層間絶縁膜を形成して熱処理(300~550℃で1~12時間の熱処理)を行い、半導体層を水素化する工程を行う。この工程は第1の層間絶縁膜に含まれる水素により半導体層のダングリングボンドを終端する工程である。酸化シリコン膜からなる絶縁膜(図示しない)の存在に関係なく半導体層を水素化することができる。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0146】次いで、第1の層間絶縁膜上に有機絶縁物材料から成る第2の層間絶縁膜を形成する。本実施例では塗布法により膜厚1.6μmのアクリル樹脂膜を形成する。

【0147】次いで、ゲート電極またはゲート配線となる導電層に達するコンタクトホールと、各不純物領域に達するコンタクトホールを形成する。本実施例では複数のエッチング処理を順次行う。本実施例では第1の層間絶縁膜をエッチングストッパーとして第2の層間絶縁膜をエッチングしてから第1の層間絶縁膜をエッチングする。

【0148】その後、Al、Ti、Mo、Wなどを用い

て電極、具体的にはソース配線、電源供給線、引き出し電極及び接続電極などを形成する。ここでは、これらの電極及び配線の材料は、Ti膜(膜厚100nm)とシリコンを含むAl膜(膜厚350nm)とTi膜(膜厚50nm)との積層膜を用い、パターニングを行った。こうして、ソース電極及びソース配線、接続電極、引き出し電極、電源供給線などが適宜、形成される。なお、層間絶縁膜に覆われたゲート配線とコンタクトを取るための引き出し電極は、ゲート配線の端部に設けられ、他の各配線の端部にも、外部回路や外部電源と接続するための電極が複数設けられた入出力端子部を形成する。

【0149】以上の様にして、nチャネル型TFT、pチャネル型TFT、およびこれらを相補的に組み合わせたCMOS回路を有する駆動回路と、1つの画素内にnチャネル型TFTまたはpチャネル型TFTを複数備えた画素部を形成することができる。

【0150】次いで、第2の層間絶縁膜上に無機絶縁物材料から成る第3の層間絶縁膜を形成する。ここでは、スパッタ法により200nmの窒化シリコン膜を成膜する。

【0151】次いで、pチャネル型TFTからなる電流制御用TFTのドレイン領域に接して形成された接続電極に達するコンタクトホールを形成する。次いで、接続電極に接して重なるよう画素電極を形成する。本実施例では、画素電極はEL素子の陽極として機能させるため、仕事関数の大きい、具体的には白金(Pt)、クロム(Cr)、タングステン(W)、もしくはニッケル(Ni)といった材料を用いることができる。

【0152】次いで、画素電極の端部を覆うように両端に無機絶縁物を形成する。画素電極の端部を覆う無機絶縁物はスパッタ法により珪素を含む絶縁膜で形成し、パターニングすれば良い。また、無機絶縁物に代えて、有機絶縁物からなるバンクを形成してもよい。

【0153】次いで、実施の形態1に示すように無機絶縁物上に補助電極を形成する。

【0154】次いで、両端が無機絶縁物で覆われている画素電極上にEL層およびEL素子の陰極を形成する。EL層の成膜方法としては、インクジェット法や、蒸着法や、スピンコーティング法などにより形成すればよい。

【0155】EL層としては、発光層、電荷輸送層または電荷注入層を自由に組み合わせてEL層(発光及びそのためのキャリアの移動を行わせるための層)を形成すれば良い。例えば、低分子系有機EL材料や高分子系有機EL材料を用いればよい。また、EL層として一重項励起により発光(蛍光)する発光材料(シングレット化合物)からなる薄膜、または三重項励起により発光(リン光)する発光材料(トリプレット化合物)からなる薄膜を用いることができる。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能であ

る。これらの有機EL材料や無機材料は公知の材料を用いることができる。

【0156】また、陰極に用いる材料としては仕事関数の小さい金属（代表的には周期表の1族もしくは2族に属する金属元素）や、これらを含む合金を用いることが好ましいとされている。仕事関数が小さければ小さいほど発光効率が向上するため、中でも、陰極に用いる材料としては、MgAg、MgIn、AlLiなどの合金、または周期表の1族もしくは2族に属する元素とアルミニウムとを共蒸着法により形成した膜などを薄く成膜した後、透明導電膜（ITO（酸化インジウム酸化スズ合金）、酸化インジウム酸化亜鉛合金（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）、酸化亜鉛（ZnO）等）を形成した積層構造とすることが望ましい。

【0157】次いで、陰極を覆う保護膜を形成する。保護膜としては、スパッタ法により窒化珪素または酸化窒化珪素を主成分とする絶縁膜を形成すればよく、実施の形態2に示したように、EL層における欠陥を水素で終端（ターミネーション）させるため、陰極上に水素を含む膜を設けることが好ましい。

【0158】水素を含む膜としては、PCVD法により炭素または窒化珪素を主成分とする絶縁膜を形成すればよく、成膜の際、プラズマ化された水素によって有機化合物層における欠陥を水素で終端させることもできる。また、有機化合物層が耐えうる温度範囲で加熱処理を行ったり、発光素子を発光させた際に生じる発熱を利用することによって、上記水素を含む膜から水素を拡散させて、有機化合物層における欠陥を水素で終端（ターミネーション）させることができる。

【0159】また、水素を含む膜および保護膜によって外部から水分や酸素等のEL層の酸化による劣化を促す物質が侵入することを防ぐ。ただし、後でFPCと接続する必要のある入出力端子部には保護膜および水素を含む膜などは設けなくともよい。

【0160】また、画素部に配置するTFTのゲート電極の先には複数のTFTなどからなる様々な回路を設けてもよく、特に限定されないことは言うまでもない。

【0161】次いで、陰極と、有機化合物層と、陽極とを少なくとも有するEL素子を封止基板、或いは封止缶で封入することにより、EL素子を外部から完全に遮断し、外部から水分や酸素等のEL層の酸化による劣化を促す物質が侵入することを防ぐことが好ましい。封止基板、或いは封止缶で封入する直前には真空中でアニールを行って脱気を行うことが好ましい。また、封止基板を貼りつける際には、水素および不活性気体（希ガスまたは窒素）を含む雰囲気下で行って、封止によって密閉された空間には水素を含ませることが好ましい。発光素子を発光させた際に生じる発熱を利用することによって、上記水素を含む空間から水素を拡散させて、有機化合物層における欠陥を水素で終端させることができる。有機化

合物層における欠陥を水素で終端させると発光装置としての信頼性が向上する。

【0162】次いで、異方性導電材で入出力端子部の各電極にFPC（フレキシブルプリントサーキット）を貼りつける。異方性導電材は、樹脂と、表面にAuなどがメッキされた数十～数百 μm 径の導電性粒子とから成り、導電性粒子により入出力端子部の各電極とFPCに形成された配線とが電気的に接続する。

【0163】また、基板400には各画素に対応するカラーフィルタを設ける。カラーフィルタを設けることによって円偏光板は必要となくなる。さらに、必要があれば、他の光学フィルムを設けてもよい。また、ICチップなどを実装させてもよい。

【0164】以上の工程でFPCが接続されたモジュール型の発光装置が完成する。

【0165】また、本実施例は、実施の形態1、実施の形態2、実施の形態3、実施の形態4、または実施の形態5と自由に組み合わせることができる。

【0166】[実施例2] 本実施例では、図11に製造装置を示す。

【0167】図11において、100a～100k、100m～100vはゲート、101、119は受渡室、102、104a、107、108、111、114は搬送室、105、106R、106B、106G、106H、109、110、112、113は成膜室、103は前処理室、117a、117bは封止基板ロード室、115はディスベンサ室、116は封止室、118aは紫外線照射室、120は基板反転室である。

【0168】以下、予めTFTが設けられた基板を図11に示す製造装置に搬入し、図4(A)に示す積層構造を形成する手順を示す。

【0169】まず、受渡室101にTFT及び陰極（或いは陽極）200が設けられた基板をセットする。次いで受渡室101に連結された搬送室102に搬送する。予め、搬送室内には極力水分や酸素が存在しないよう、真空排気した後、不活性ガスを導入して大気圧にしておくことが好ましい。

【0170】また、搬送室102には、搬送室内を真空にする真空排気処理室と連結されている。真空排気処理室としては、磁気浮上型のターボ分子ポンプ、クライオポンプ、またはドライポンプが備えられている。これにより搬送室の到達真空度を 10^{-5} ～ 10^{-6} Paにすることが可能であり、さらにポンプ側および排気系からの不純物の逆拡散を制御することができる。装置内部に不純物が導入されるのを防ぐため、導入するガスとしては、窒素や希ガス等の不活性ガスを用いる。装置内部に導入されるこれらのガスは、装置内に導入される前にガス精製機により高純度化されたものを用いる。従って、ガスが高純度化された後に成膜装置に導入されるようにガス精製機を備えておく必要がある。これにより、ガス中に

含まれる酸素や水、その他の不純物を予め除去することができるため、装置内部にこれらの不純物が導入されるのを防ぐことができる。

【0171】また、基板に含まれる水分やその他のガスを除去するために、脱気のためのアニールを真空中で行うことが好ましく、搬送室102に連結された前処理室103に搬送し、そこでアニールを行えばよい。さらに、陰極の表面をクリーニングする必要がある場合は、搬送室102に連結された前処理室103に搬送し、そこでクリーニングを行えばよい。

【0172】また、必要がある場合は、陽極上に正孔注入層として作用するポリ(エチレンジオキシチオフェン)/ポリ(スチレンスルホン酸)水溶液(PEDOT/PSS)を全面に形成してもよい。図11の製造装置には、高分子からなる有機化合物層を形成するための成膜室105が設けられている。スピコート法やインクジェット法やスプレー法で形成する場合には、大気圧下で基板の被成膜面を上向きにしてセットする。成膜室105と搬送室102との間に設けられた基板反転室120で基板を適宜反転させる。また、水溶液を用いた成膜を行った後は、前処理室103に搬送し、そこで真空中での加熱処理を行って水分を気化させることが好ましい。

【0173】次いで、大気にふれさせることなく、搬送室102から搬送室104に基板104cを搬送した後、搬送機構104bによって、成膜室106Rに搬送し、陰極200上に赤色発光するEL層を適宜形成する。ここでは蒸着によって形成する例を示す。成膜室106Rには、基板反転室120で基板の被成膜面を下向きにしてセットする。なお、基板を搬入する前に成膜室内は真空排気しておくことが好ましい。

【0174】例えば、真空度が 5×10^{-3} Torr (0.665 Pa)以下、好ましくは $10^{-4} \sim 10^{-6}$ Paまで真空排気された成膜室106Rで蒸着を行う。蒸着の際、予め、抵抗加熱により有機化合物は気化されており、蒸着時にシャッター(図示しない)が開くことにより基板の方向へ飛散する。気化された有機化合物は、上方に飛散し、メタルマスク(図示しない)に設けられた開口部(図示しない)を通して基板に蒸着される。なお、蒸着の際、基板を加熱する手段により基板の温度(T_1)は、 $50 \sim 200^\circ\text{C}$ 、好ましくは $65 \sim 150^\circ\text{C}$ とする。

【0175】フルカラーとするために、3種類のEL層を形成する場合には、成膜室106Rで成膜した後、順次、各成膜室106G、106Bで成膜を行って形成すればよい。

【0176】陰極(或いは陽極)200上に所望のEL層201を得たら、次いで、大気にふれさせることなく、搬送室104から搬送室107に基板を搬送した後、さらに、大気にふれさせることなく、搬送室107から搬送室108に基板を搬送する。

【0177】次いで、搬送室108内に設置されている搬送機構によって、成膜室109に搬送し、EL層201上に透明導電膜(ITOなど)からなる陽極202を適宜形成する。陰極を形成する場合は、成膜室110で陰極となる薄い金属層を形成した後、成膜室109に搬送して透明導電膜を形成し、薄い金属層(陰極)と透明導電膜との積層を適宜形成する。ここでは、成膜室110は、陰極となるMgやAgやAlを蒸着源に備えた蒸着装置とし、成膜室109は、陽極となる透明導電材料からなるターゲットを少なくとも有しているスパッタ装置とする。

【0178】次いで、搬送室108内に設置されている搬送機構によって、成膜室112に搬送し、有機化合物層が耐えうる温度範囲で水素を含む膜203を形成する。ここでは成膜室112にプラズマCVD装置を備え、成膜に用いる反応ガスは、水素ガスと、炭化水素系のガス(例えば CH_4 、 C_2H_2 、 C_6H_6 など)とを用いて水素を含むDLC膜を形成する。なお、水素ラジカルが発生する手段を備えていれば特に限定されず、上記水素を含むDLC膜の成膜の際、プラズマ化された水素によって有機化合物層における欠陥を水素で終端させる。

【0179】次いで、大気に触れることなく、搬送室108から成膜室113に搬送して水素を含む膜203上に保護膜204を形成する。ここでは、成膜室113内に、珪素からなるターゲットまたは窒化珪素からなるターゲットを備えたスパッタ装置とする。成膜室雰囲気や窒素雰囲気または窒素とアルゴンを含む雰囲気とすることによって窒化珪素膜を形成することができる。

【0180】以上の工程で図4(A)に示す積層構造、即ち、基板上に保護膜および水素を含む膜で覆われた発光素子が形成される。

【0181】次いで、発光素子が形成された基板を大気に触れることなく、搬送室108から搬送室111に搬送し、さらに搬送室111から搬送室114に搬送する。

【0182】次いで、発光素子が形成された基板を搬送室114から封止室116に搬送する。なお、封止室116には、シール材が設けられた封止基板を用意しておくことが好ましい。

【0183】封止基板は、封止基板ロード室117a、117bに外部からセットされる。なお、水分などの不純物を除去するために予め真空中でアニール、例えば、封止基板ロード室117a、117b内でアニールを行うことが好ましい。そして、封止基板にシール材を形成する場合には、搬送室108を大気圧とした後、封止基板を封止基板ロード室からディスベンサ室115に搬送して、発光素子が設けられた基板と貼り合わせるためのシール材を形成し、シール材を形成した封止基板を封止室116に搬送する。

【0184】次いで、発光素子が設けられた基板を脱気

するため、真空または不活性雰囲気中でアニールを行った後、シール材が設けられた封止基板と、発光素子が形成された基板とを貼り合わせる。また、密閉された空間には水素または不活性気体を充填させる。なお、ここでは、封止基板にシール材を形成した例を示したが、特に限定されず、発光素子が形成された基板にシール材を形成してもよい。

【0185】次いで、貼り合わせた一対の基板を搬送室114から紫外線照射室118に搬送する。次いで、紫外線照射室118でUV光を照射してシール材を硬化させる。なお、ここではシール材として紫外線硬化樹脂を用いたが、接着材であれば、特に限定されない。

【0186】次いで、搬送室114から受渡室119に搬送して取り出す。

【0187】以上のように、図11に示した製造装置を用いることで完全に発光素子を密閉空間に封入するまで外気に晒さずに済むため、信頼性の高い発光装置を作製することが可能となる。なお、搬送室102、114においては、真空と大気圧とを繰り返すが、搬送室104a、108は常時、真空が保たれる。

【0188】なお、インライン方式の成膜装置とすることも可能である。

【0189】また、図11と一部異なる製造装置を図12に示す。

【0190】図11では、スピコート法やインクジェット法やスプレー法で形成する成膜室が一つしか設けられていない例であったが、図12の製造装置は、スピコート法やインクジェット法やスプレー法で形成する成膜室が3つ備えた例である。例えば、フルカラーとするために、3種類のEL層をスピコート法やインクジェット法やスプレー法で形成する場合には、成膜室121aで成膜した後、順次、各成膜室121b、121cで成膜を行って形成すればよい。

【0191】また、本実施例は、実施の形態1、実施の形態2、実施の形態3、実施の形態4、または実施の形態5、または実施例1と自由に組み合わせることができる。

【0192】〔実施例3〕本発明を実施してELモジュール(アクティブマトリクス型ELモジュール、パッシブ型ELモジュール)を完成することができる。即ち、本発明を実施することによって、それらを組み込んだ全ての電子機器が完成される。

【0193】その様な電子機器としては、ビデオカメラ、デジタルカメラ、ヘッドマウントディスプレイ(ゴーグル型ディスプレイ)、カーナビゲーション、カーステレオ、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話または電子書籍等)などが挙げられる。それらの一例を図13、図14に示す。

【0194】図13(A)はパーソナルコンピュータであり、本体2001、画像入力部2002、表示部20

03、キーボード2004等を含む。

【0195】図13(B)はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106等を含む。

【0196】図13(C)はモバイルコンピュータ(モバイルコンピュータ)であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示部2205等を含む。

【0197】図13(D)はゴーグル型ディスプレイであり、本体2301、表示部2302、アーム部2303等を含む。

【0198】図13(E)はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤーであり、本体2401、表示部2402、スピーカ部2403、記録媒体2404、操作スイッチ2405等を含む。なお、このプレーヤーは記録媒体としてDVD(Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。

【0199】図13(F)はデジタルカメラであり、本体2501、表示部2502、接眼部2503、操作スイッチ2504、受像部(図示しない)等を含む。

【0200】図14(A)は携帯電話であり、本体2901、音声出力部2902、音声入力部2903、表示部2904、操作スイッチ2905、アンテナ2906、画像入力部(CCD、イメージセンサ等)2907等を含む。

【0201】図14(B)は携帯書籍(電子書籍)であり、本体3001、表示部3002、3003、記憶媒体3004、操作スイッチ3005、アンテナ3006等を含む。

【0202】図14(C)はディスプレイであり、本体3101、支持台3102、表示部3103等を含む。

【0203】ちなみに図14(C)に示すディスプレイは中小型または大型のもの、例えば5~20インチの画面サイズのものである。また、このようなサイズの表示部を形成するためには、基板の一辺が1mのものを用い、多面取りを行って量産することが好ましい。

【0204】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器の作製方法に適用することが可能である。また、本実施例の電子機器は、実施の形態1乃至5、実施例1、または実施例2のどのような組み合わせからなる構成を用いても実現することができる。

【0205】

【発明の効果】本発明により、有機化合物層における欠陥を水素で終端させることができるため、発光装置としての信頼性が向上する。

【0206】また、本発明により、非常に高価な円偏光

フィルムを不必要とすることができるため、製造コストの削減をすることができる。

【0207】また、本発明により、赤、緑、青の発光色を用いるフルカラーのフラットパネルディスプレイとして、高精細化や高開口率化や高信頼性を実現することができる。

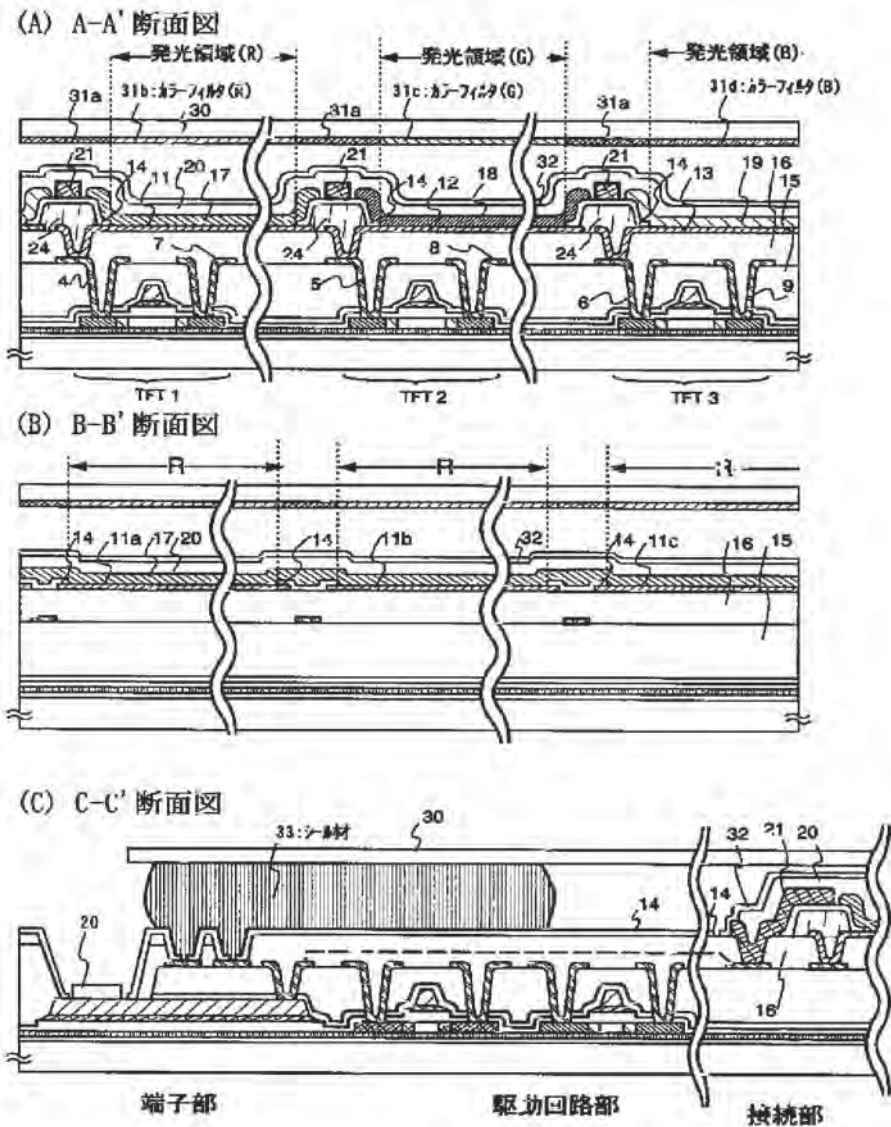
【図面の簡単な説明】

- 【図1】 断面図を示す図である。(実施の形態1)
- 【図2】 上面図を示す図である。(実施の形態1)
- 【図3】 端子部を示す図である。(実施の形態1)
- 【図4】 本発明の積層構造を示す図である。(実施

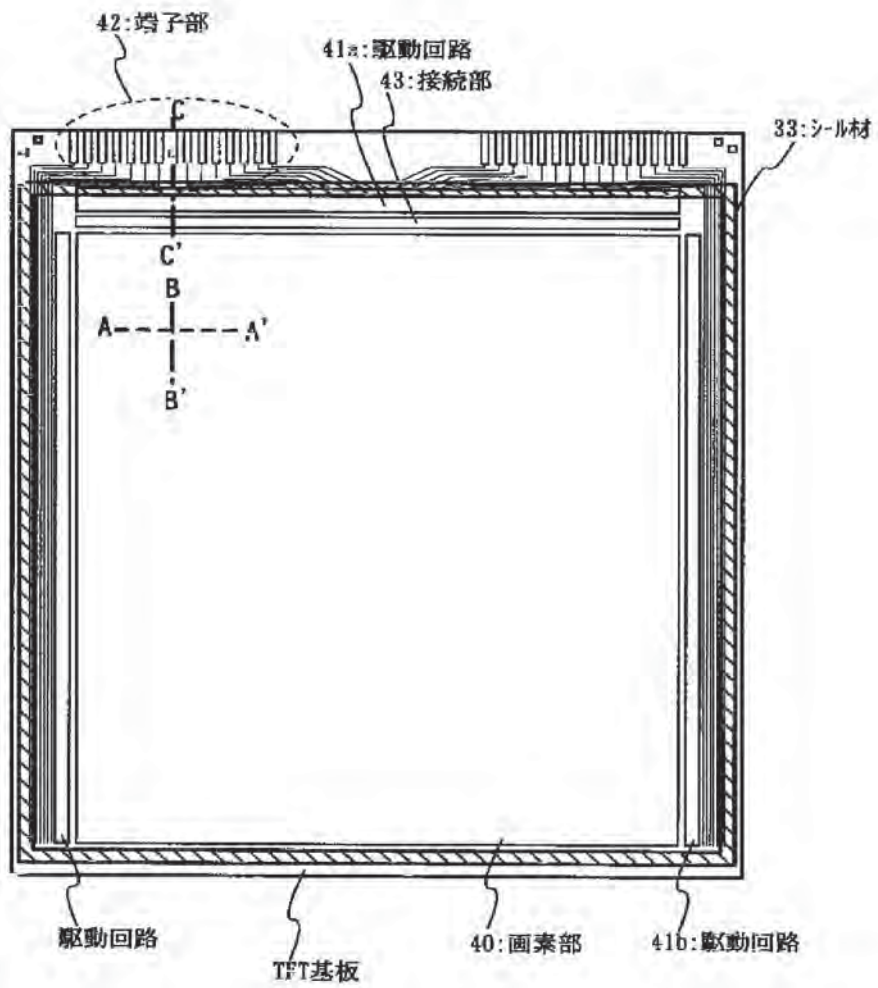
の形態2)

- 【図5】 上面図を示す図である。(実施の形態3)
- 【図6】 断面図を示す図である。(実施の形態3)
- 【図7】 上面図を示す図である。(実施の形態3)
- 【図8】 マスクを示す図である。(実施の形態3)
- 【図9】 断面図を示す図である。(実施の形態4)
- 【図10】 断面図を示す図である。(実施の形態5)
- 【図11】 製造装置の一例を示す図。(実施例2)
- 【図12】 製造装置の一例を示す図。(実施例2)
- 【図13】 電子機器の一例を示す図。
- 【図14】 電子機器の一例を示す図。

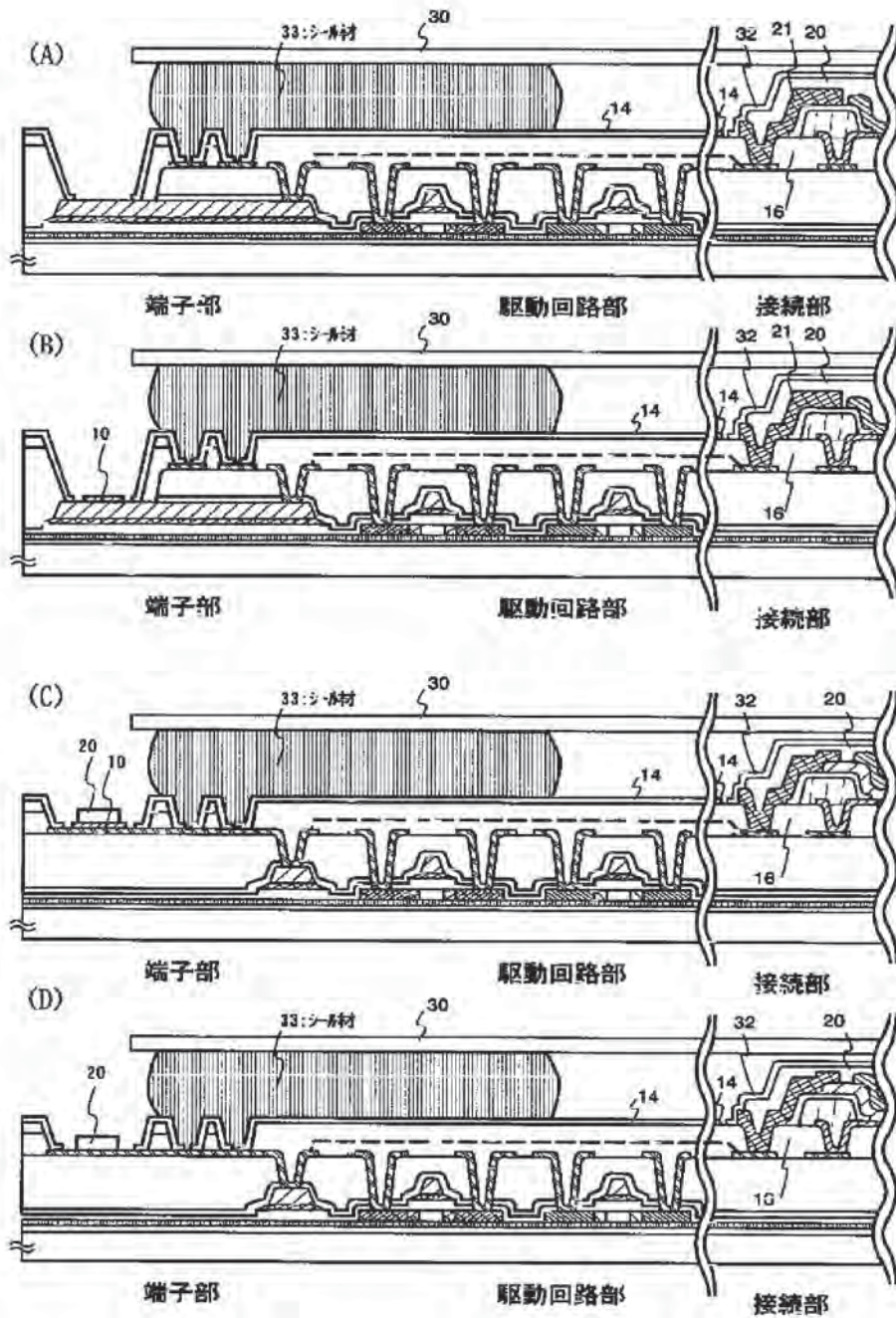
【図1】



【図2】

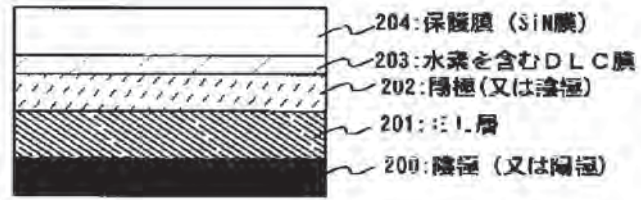


【図3】

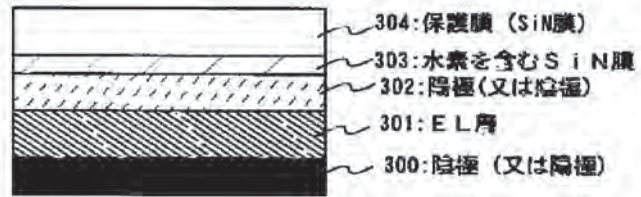


【図4】

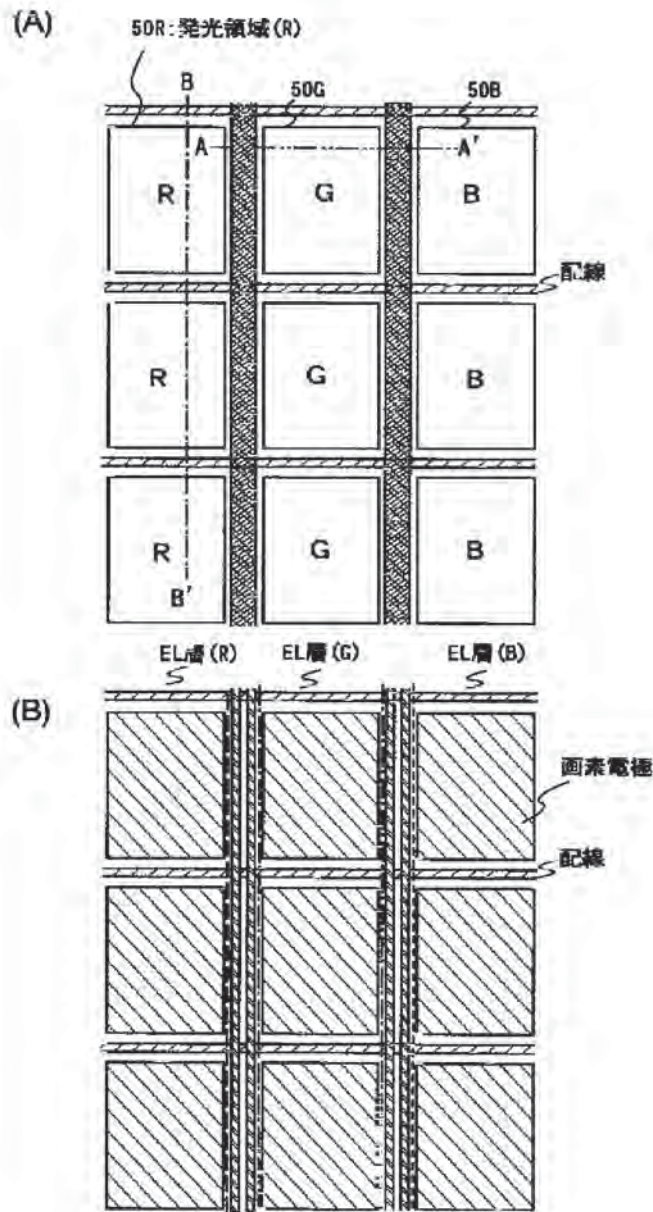
(A)



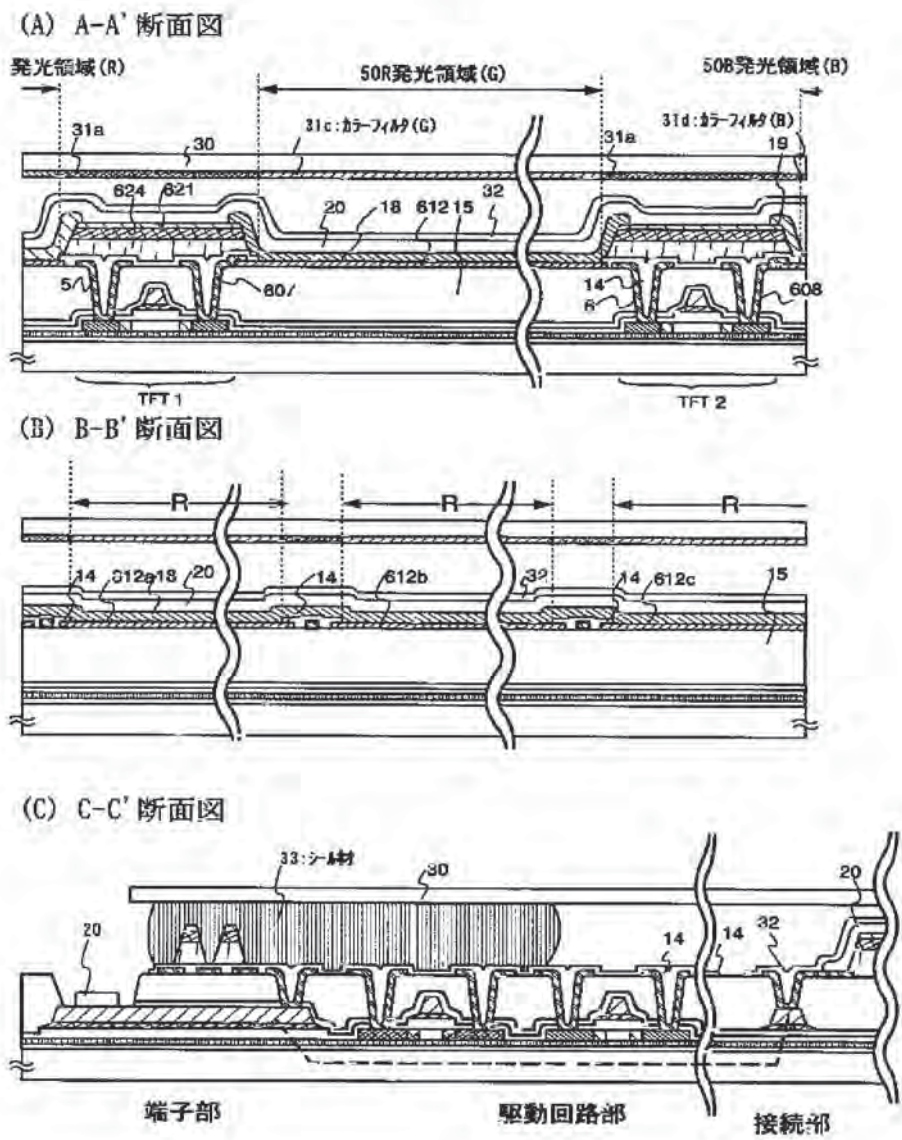
(B)



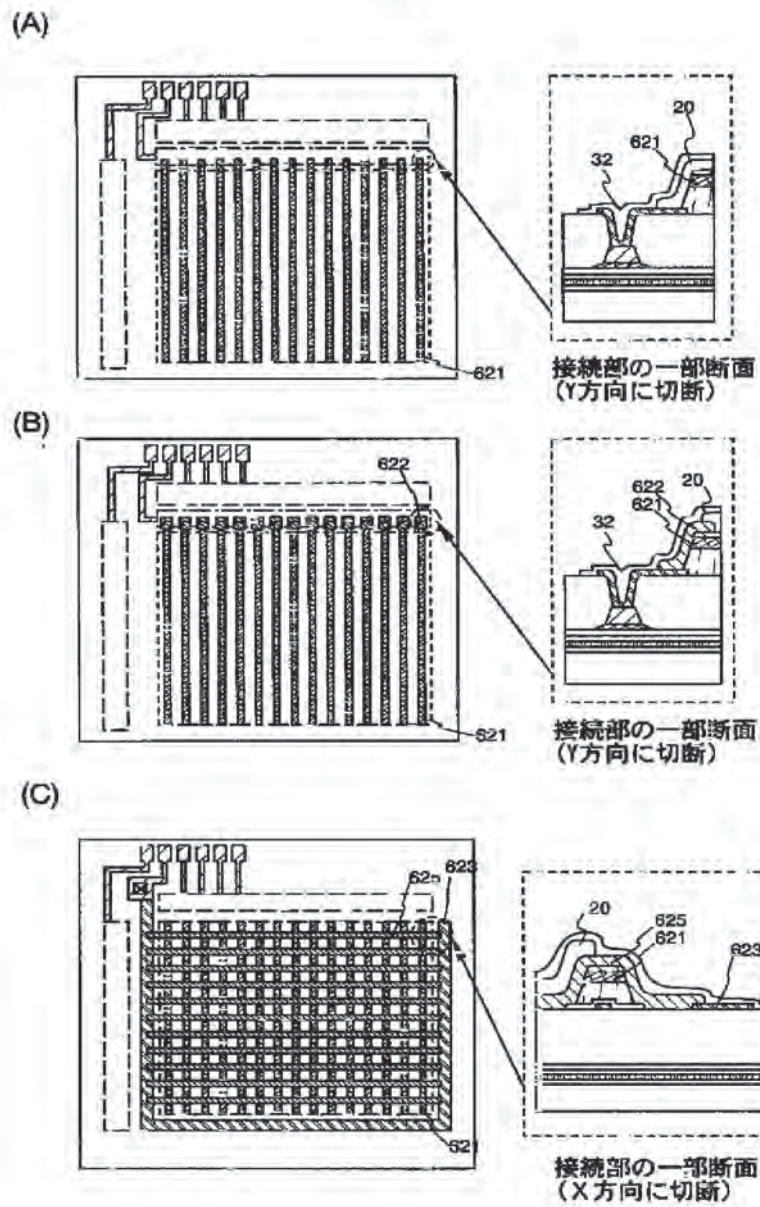
【図5】



【図6】

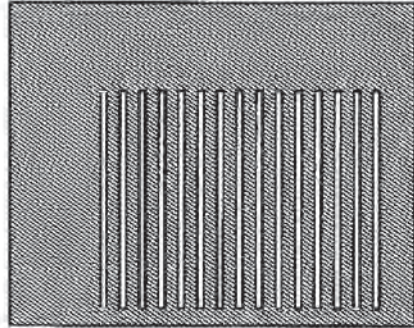


【図7】

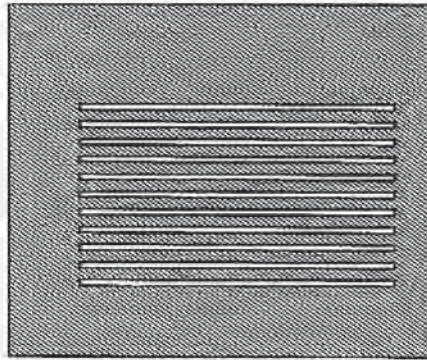


【圖8】

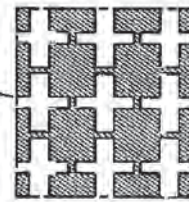
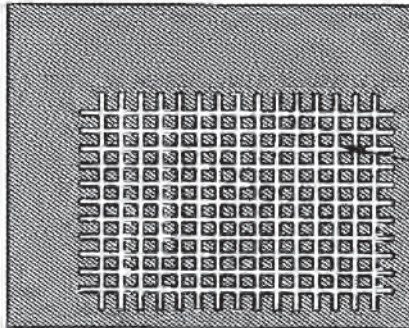
(A)



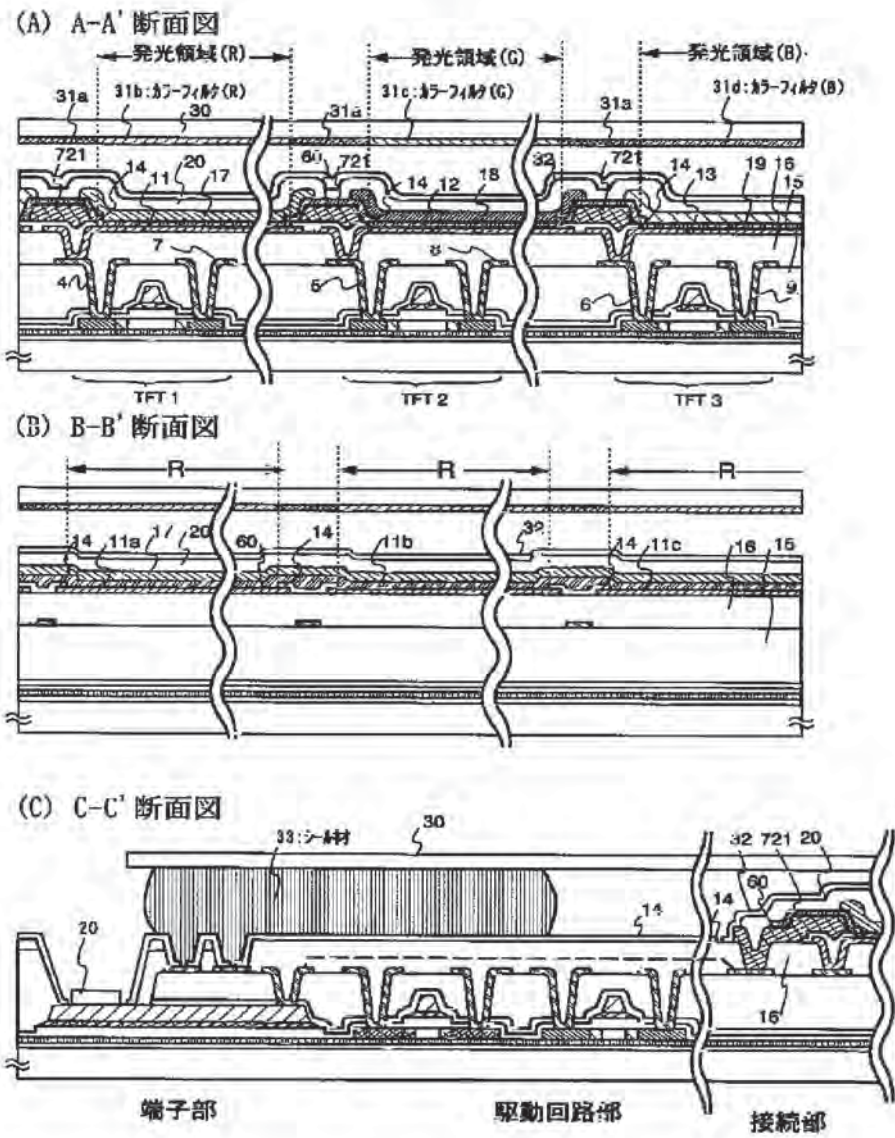
(B)



(C)

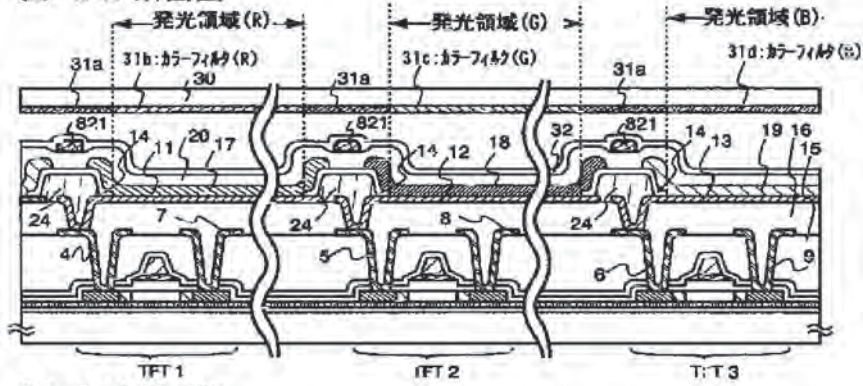


【図9】

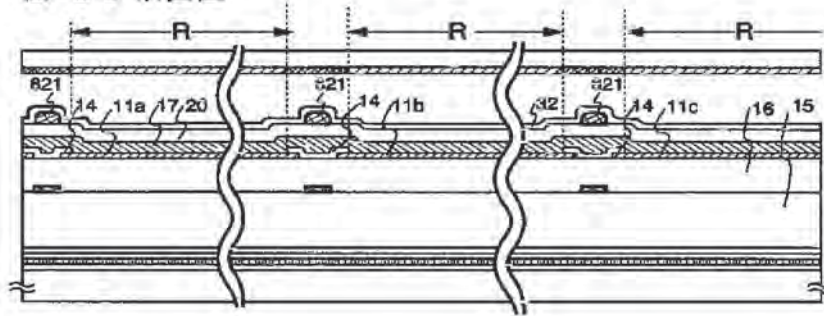


【図10】

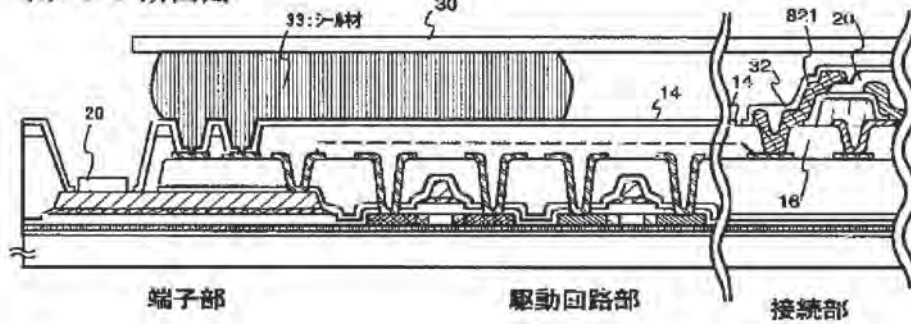
(A) A-A' 断面図



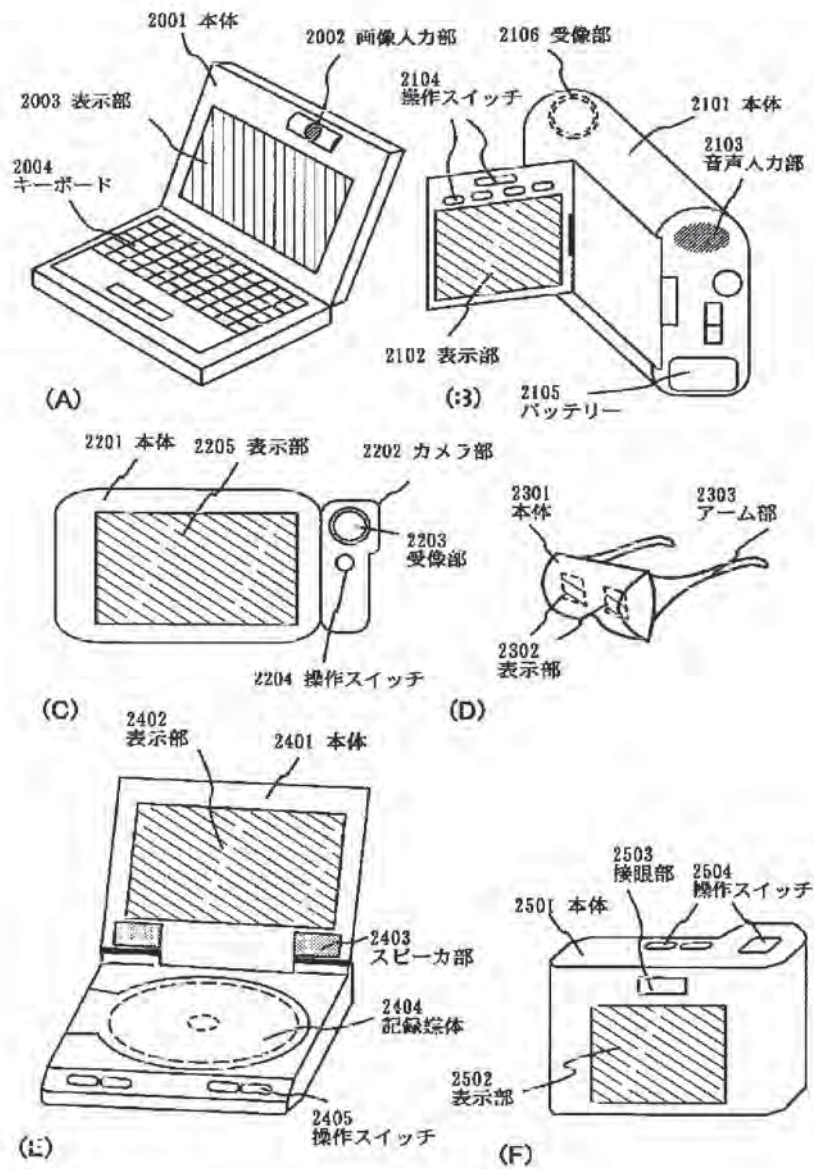
(B) B-B' 断面図



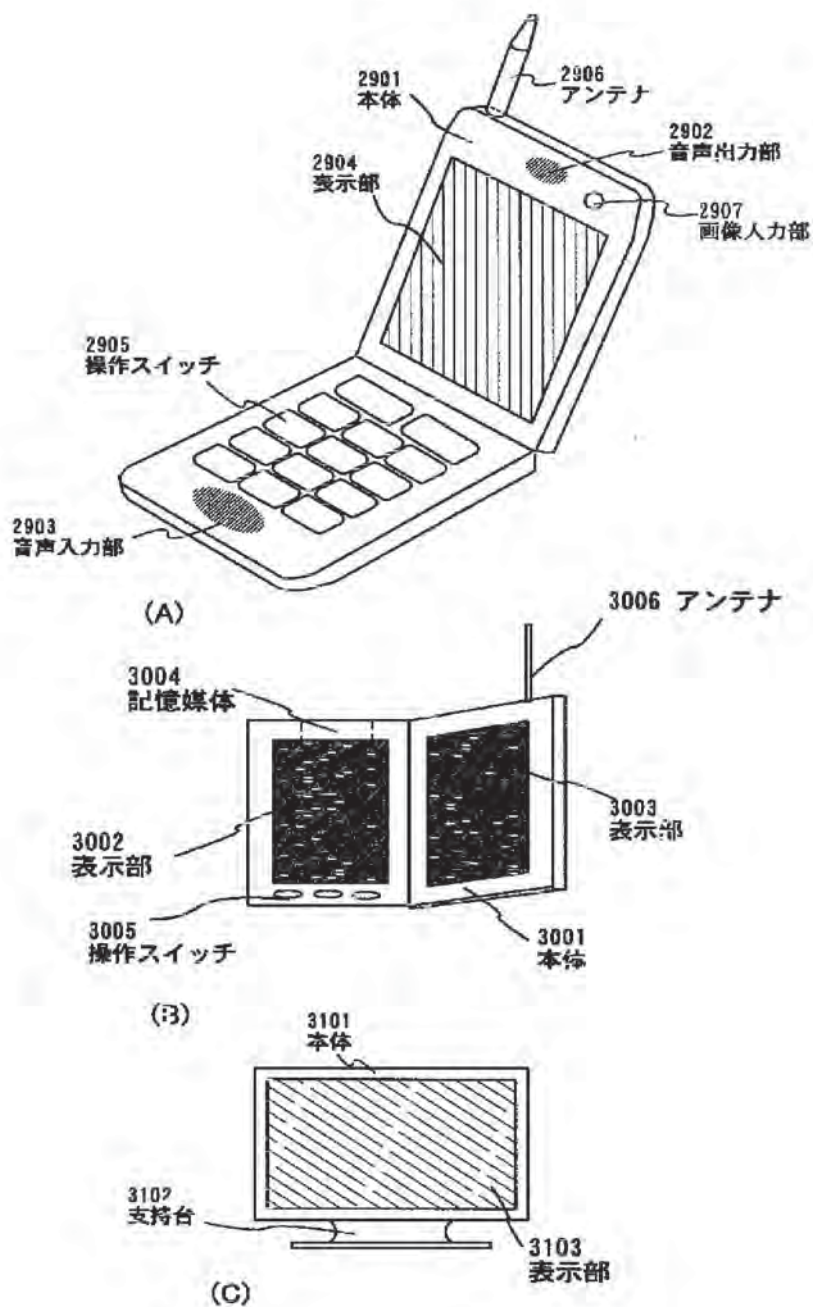
(C) C-C' 断面図



【図13】



【図14】



フロントページの続き

(51) Int. Cl. 7
H05B 33/22

識別記号

F I
H05B 33/22

(参考)

Z

(72) 発明者 桑原 秀明
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(S2)03-288994 (P2003-288994A)

Fターム(参考) 3K007 AB04 AB05 AB11 AB17 AB18
BA06 BB01 BB02 BB04 BB06
CB01 CC00 DB03 EA00 FA01
FA02 GA00