

if probability-changing great success of a predetermined time occurs or non-probability-changing great success of a predetermined time occurs, you may make it switch a great success decision value. Moreover, if specific reaches, such as super reach, carry out predetermined time generating, you may make it switch a great success decision value. Moreover, you may make it switch a great success decision value by condition formation of eye a predetermined individual combined various conditions, such as ball detection by two or more kinds of ball detection equipments.

[0097] With the gestalt of this operation, although a great success decision value is made into one piece at the time of a low probability, a great success decision value is made [two or more] at the time of a high probability. Then, it is necessary to switch two or more great success decision values in the change-over opportunity of a great success decision value. In that case, although the random number for great success decision value decision according to two or more great success decision values of each may be used, you may make it determine each great success decision value by using one random number for great success decision value decision, and adding a predetermined value to the extracted random-number value for great success decision value decision.

[0098] In addition, in each example, although it was in agreement, the range of the value which the random number for a great success judging (random 1) takes, and the range of the value which the random number for great success decision value decision (random 6) takes do not necessarily need to be in agreement, and may be made smaller than the range of a value where the random number for a great success judging takes the range of the value which the random number for great success decision value decision takes. +n ($n > 1$) Moreover, it may be made to carry out by not taking +one at the time of renewal of the random number for great success decision value decision.

[0099] Moreover, one random number for great success decision value decision is used, a table is searched based on the extracted random-number value for great success decision value decision, and you may make it determine each great success decision value. Drawing 25 is the explanatory view showing an example of such a table. In this example, the random number for great success decision value decision shall take the value of the range of 0-4. And the great success decision value at the time of usual [according to each value of 0-4] (at the time of a low probability) and the great success decision value (this example five kinds) at the time of probability changing (at the time of a high probability) are set to the table. And CPU56 makes the great success decision value at the time of the low probability according to the random-number value for great success decision value decision extracted in the change-over opportunity, and the great success decision value at the time of a high probability a new great success decision value from such a table.

[0100] Even if there are two or more kinds of great success decision values at the time of a low probability even if there is how many kinds of great success decision value at the time of a high probability and if such a table is used, a great success decision value can be easily switched by one random numbers for great success decision value decision.

[0101] In addition, all the decision values shown in drawing 25 are the prime factors, and do not serve as a multiple of other values. Therefore, the relevance with other values of each great success decision value is lost, and it becomes difficulty more to predict a great success decision value in the exterior of the main substrate 31. Moreover, although the random number for great success decision value decision shall take the value of the range of 0-4 in this example, that range may be arbitrary and there may be. [still more]

[0102] Moreover, although the random-number value for great success decision value decision is used in the example shown in drawing 25 as a numeric value for determining a great success decision value as it is, it is good also as a numeric value for adding the extracted random-number value for great success decision value decision to the present random-number value for great success decision value decision, and determining a new great success decision value for an aggregate value. And the decision of the great success decision value based on a table may be used at the time of modification of the great success decision value on condition of ON of the count switch 23, and may be used at the time of modification of the great success decision

AMD EX1002 (Part 2 of 2)

U.S. Patent No. 6,895,519
2004/10/27

THIS PAGE BLANK (USPTO)

value on condition of ON of the first starting opening switch 17 after powering on, or ON of the gate switch 12. Furthermore, you may use at the time of modification of these both sides.

[0103] Although the gestalt of each above-mentioned operation explained the case where the image display section 9 by CRT for indicating two or more kinds of patterns by adjustable was used, you may be the case where the adjustable indicating equipment by LCD is used, and may be the case where an adjustable drum type and belt-type indicating equipment is used. Furthermore, all the face of a board can also apply to the image-type pachinko game machine which consists of images.

[0104] moreover, the game machine of the gestalt of each above-mentioned operation, i.e., the pachinko game machine shown in the front view of drawing 1 Although it was the 1st sort pachinko game machine with which the grant of predetermined game value to a game person is attained when the halt pattern of the special pattern by which it is indicated by adjustable at the image display section 9 based on starting winning a prize became the combination of a predetermined pattern The 2nd sort pachinko game machine with which the grant of predetermined game value to a game person will be attained if winning a prize to the predetermined field of the electric accessory opened based on starting winning a prize is, This invention is applicable even if a predetermined right is the 3rd sort pachinko game machine generated or continued, when winning a prize to the predetermined electric accessory which will be opened if the halt pattern of the pattern by which it is indicated by adjustable based on starting winning a prize becomes the combination of a predetermined pattern is.

[0105] In addition, although interrupt processing was interrupt processing started by the internal timer interrupt of CPU56 with the gestalt of each above-mentioned operation The main routine which repeats and performs processing which updates a numeric value even when it is constituted so that a game machine may interrupt for every predetermined time from the exterior of CPU56 and may supply the signal for generating, The configuration of a game mean for controlling progress including interrupt processing which performs the routine which is started for every predetermined time under main routine activation, and includes game control is applicable.

[0106]

[Effect of the Invention] As mentioned above, the main routine to which the game mean for controlling progress which controls game advance for a game machine repeats and performs processing which updates a numeric value according to this invention, Since it constituted so that interrupt processing which performs the routine which is started for every predetermined time under main routine activation, and includes game control might be included The time amount which the continuity of the numeric value used for extracting a random number etc. is not disrupted, and are spent on a numerical update process can increase, and the numerical random nature for extracting a random number etc. used can be raised more.

[0107] When the numeric value updated by the main routine is a numeric value for deciding the display result of the adjustable display specially used by the game at least, the display result of an adjustable display can be made more into random.

[0108] Moreover, when the main routine is constituted so that initialization processing may be included, it can constitute so that initialization processing may be performed only to the power up of a game machine.

[0109] When interrupt processing is the internal timer interrupt of a microprocessor, the hardware circuitry for generating an interrupt becomes unnecessary, and can simplify circuitry.

[0110] To the numeric value updated by the main routine, including the processing which updates a numeric value for interrupt processing to generate the random-number value for a specific game judging by predetermined numeric-value within the limits The numeric value used in order to generate the specific game decision value which is a decision value for judging whether it is compared with the random-number value for a specific game judging, and shifts to a specific game condition is included. When it has a decision value extract means for specific games to extract the numeric value for generating a specific game decision value a condition [the input of the detecting signal from predetermined game ball detection equipment], and to determine the decision value for specific games in a predetermined game condition It is effective in being hard

THIS PAGE BLANK (USPTO)

coming to win popularity the malfeasance which used the inaccurate substrate etc.

[Translation done.]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-116887

(P2000-116887A)

(43) 公開日 平成12年4月25日 (2000.4.25)

(51) Int.Cl. ⁷	識別記号	F I	テマコード (参考)
A 6 3 F 7/02	3 2 0	A 6 3 F 7/02	3 2 0 2 C 0 8 8
G 0 6 F 19/00		G 0 6 F 15/44	

審査請求 未請求 請求項の数 5 O L (全 18 頁)

(21) 出願番号 特願平10-294283

(22) 出願日 平成10年10月15日 (1998.10.15)

(71) 出願人 000144153
株式会社三共
群馬県桐生市境野町6丁目460番地

(72) 発明者 鷗川 韶八
群馬県桐生市相生町1丁目164番地の5

(72) 発明者 福田 隆
群馬県桐生市境野町6丁目460番地 株式
会社三共内

(74) 代理人 100103090
弁理士 岩壁 冬樹

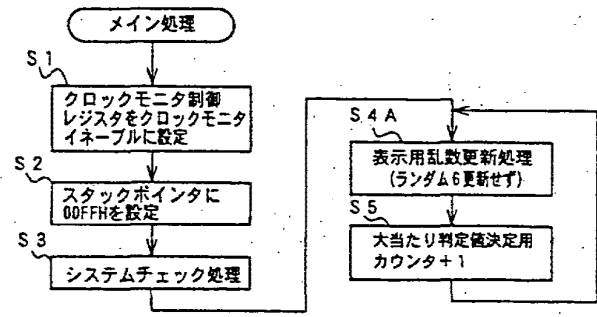
Fターム (参考) 2C088 AA17 AA33 AA35 AA42 BC45
CA19

(54) 【発明の名称】 遊技機

(57) 【要約】

【課題】 従来の遊技機では、乱数を抽出するためのカウンタのカウンタ値の連続性がとぎれたり、カウンタのカウンタアップ処理にかけられる時間が少なくなったりするので、表示態様の組み合わせを決定するための乱数値のランダム性が低下する場合がある。

【解決手段】 CPUは、まず、クロックモニタ制御を動作可能状態にするために、CPU56に内蔵されているクロックモニタレジスタをクロックモニタイネーブル状態に設定する。次いで、スタックポインタの指定アドレスをセットするためのスタックセット処理を行う。そして、RAMクリア等のシステムチェック処理を行う。そして、表示用乱数更新処理を繰り返し実行する。その他の遊技制御は、定期的に発生する内部タイマ割込による割込処理において実行される。



【特許請求の範囲】

【請求項1】 特定入賞部への遊技媒体の入賞により特別遊技を行い、特別遊技の結果が所定の態様になったことにもとづいて遊技者にとって有利となる特定遊技状態に移行可能な遊技機であって、

遊技進行を制御する遊技進行制御手段が、数値を更新する処理を繰り返し実行するメインルーチンと、メインルーチン実行中の所定時間毎に起動される割込処理であって遊技制御を含むルーチンを実行する割込処理とを含むことを特徴とする遊技機。

【請求項2】 メインルーチンで更新される数値は、少なくとも特別遊技で使用される可変表示の表示結果を決めるための数値である請求項1記載の遊技機。

【請求項3】 メインルーチンは、イニシャライズ処理後に、数値を更新する処理を繰り返し実行するように構成されている請求項1または請求項2記載の遊技機。

【請求項4】 割込処理は、マイクロプロセッサの内部タイマ割込である請求項1ないし請求項3記載の遊技機。

【請求項5】 割込処理は、所定の数値範囲内で特定遊技判定用乱数値を生成するための数値を更新する処理を含み、

メインルーチンで更新される数値には、前記特定遊技判定用乱数値と比較され特定遊技状態に移行するか否かを判定するための判定値である特定遊技判定値を生成するために用いられる数値が含まれ、

所定遊技状態中に、所定の遊技球検出装置からの検出信号の入力を条件として前記特定遊技判定値を生成するための数値を抽出して特定遊技用判定値を決定する特定遊技用判定値抽出手段を備えた請求項1ないし請求項4記載の遊技機。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、遊技者の操作に応じて遊技が行われるパチンコ遊技機やコイン遊技機等の遊技機に関し、特に、所定の条件が成立すると遊技者に有利となる特定遊技状態に移行可能な遊技機に関する。

【0002】

【従来の技術】遊技機として、表示状態が変化可能な可変表示部を有する可変表示装置が設けられ、可変表示部の表示結果があらかじめ定められた特定の表示態様となった場合に遊技者に有利となる特定遊技状態に移行するように構成されたものがある。可変表示装置には複数の可変表示部があり、通常、複数の可変表示部の表示結果を時期を異ならせて表示するように構成されている。

【0003】可変表示部には、例えば、図柄等の複数の識別情報が可変表示される。可変表示部の表示結果があらかじめ定められた特定の表示態様の組合せとなることを、通常、「大当り」という。なお、遊技価値とは、遊技機の遊技領域に設けられた可変入賞球装置の状態が打

球が入賞しやすい遊技者にとって有利な状態になることや、遊技者にとって有利な状態となるための権利を発生させたりすることである。

【0004】また、「大当り」の組合せ以外の「はずれ」の表示態様の組合せのうち、複数の可変表示部の表示結果のうちの一部が未だに導出表示されていない段階において、既に表示結果が導出表示されている可変表示部の表示態様が特定の表示態様の組合せとなる表示条件を満たしている状態を「リーチ」という。遊技者は、大当りをいかにして発生させるかを楽しみつつ遊技を行う。

【0005】そのような遊技機では、大当りが発生すると、例えば、大入賞口が所定回数開放して打球が入賞しやすい特定遊技状態としての大当り遊技状態に移行する。そして、各開放期間において、所定個（例えば10個）の大入賞口への入賞があると大入賞口は閉成する。そして、大入賞口の開放回数は、所定回数（例えば15ラウンド）に固定されている。なお、各開放について開放時間（例えば29.5秒）が決められ、入賞数が所定個に達しなくても開放時間が経過すると大入賞口は閉成する。また、大入賞口が閉成した時点で所定の条件（例えば、大入賞口内に設けられているVゾーンへの入賞）が成立していない場合には、大当り遊技状態は終了する。

【0006】そのような遊技機における遊技制御においては、複数種類ある「はずれ」の表示態様の組み合わせがランダムに発生することが望ましい。また、やはり複数種類ある「リーチ」の表示態様の組み合わせもランダムに発生することが望ましい。さらに、一般に複数種類ある「大当り」の表示態様の組み合わせもランダムに発生することが望ましい。特定の1つまたは複数の表示態様の組み合わせが他の表示態様の組み合わせに比べて頻繁に発生するのでは、遊技者に不審感を抱かせる可能性があるからである。

【0007】そこで、表示態様の組み合わせを決定するために、遊技機内で乱数を発生させ、発生された乱数値に応じて表示態様の組み合わせが決定される。一般に、乱数は、所定のカウンタをカウントアップし、乱数値発生タイミングになるとそのときのカウンタ値を抽出することによって発生される。すると、表示態様の組み合わせのランダム性は、カウンタのカウント値のランダム性に依存することになる。

【0008】

【発明が解決しようとする課題】以上のように、可変表示部の表示結果に応じて特定遊技状態に移行可能なように構成された遊技機では、表示態様の組み合わせを決定する乱数を抽出するためのカウンタのカウント値のランダム性をいかに向上させるかが重要な課題になっている。

【0009】パチンコ遊技機等の遊技機では、遊技制御

はソフトウェアで実現され、遊技制御プログラムを実行するマイクロコンピュータに所定時間間隔（例えば 2ms 毎）でハードウェア的にリセットをかけ、定期的に遊技制御プログラムが再起動されるように構成されることが多い。また、乱数を抽出するためのカウンタのカウンタアップはやはりソフトウェアで実現されることが多い。その場合、カウンタのカウンタアップは、必要な遊技制御がなされた後の余り時間で繰り返し実行されるように構成される。

【0010】マイクロコンピュータがリセットされると初期化処理が実行され、通常、初期化処理において RAM クリア処理が行われる。すると、RAM に形成された乱数を抽出するためのカウンタのカウンタ値もクリアされることになる。つまり、乱数を抽出するためのカウンタが定期的にクリアされるために、カウンタ値の連続性がとぎれてしまう。その結果、カウンタ値から生成される乱数値のランダム性が阻害されてしまう。乱数を抽出するためのカウンタのカウンタ値は連続してカウンタアップされることが望ましいので、遊技機の電源投入時のみ RAM クリア処理を実行し、以後、定期的リセットされても、RAM クリア処理を行わないように構成された遊技機もある。しかし、そのように構成しても、定期的リセットされたときに、RAM クリア処理以外の初期化処理は必要である。すると、定期リセット時に、そのような初期化処理を実行するための期間が常に要求されるので、乱数を抽出するためのカウンタのカウンタアップにかけられる時間が、その分減少してしまう。一般に、カウンタ値には所定の上限が定められ上限値を越えると初期値に戻される。初期値から上限値までを 1 周とすると、上限値が高く設定されていた場合には、カウンタアップにかけられる時間が少ないと、カウンタ値が 1 周するよりも前の時点で、1 回の定期リセットにもとづく処理期間が完了してしまう。すなわち、カウンタ値がそれほど進んでいないうちに次の定期リセットによる遊技制御が行われる。その遊技制御において乱数値抽出タイミングが発生すると、狭い範囲の数値のうちから乱数値が抽出されることになり、実質的に乱数値のランダム性が低下する。以上のように、従来の遊技機では、乱数を抽出するためのカウンタのカウンタ値の連続性がとぎれたり、カウンタのカウンタアップ処理にかけられる時間が少なくなったりするので、表示態様の組み合わせを決定するための乱数値のランダム性が低下する場合があります。その結果、出現する表示態様の組み合わせに偏りが生ずる可能性がある。

【0011】本発明は、そのような課題を解決するためになされたものであって、乱数を抽出するためのカウンタのカウンタ値のランダム性をより向上させることができる遊技機を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明による遊技機は、

特定入賞部への遊技媒体の入賞により特別遊技を行い、特別遊技の結果が所定の態様になったことにもとづいて遊技者にとって有利となる特定遊技状態に移行可能な遊技機であって、遊技進行を制御する遊技進行制御手段が、数値を更新する処理を繰り返し実行するメインルーチンと、メインルーチン実行中の所定時間毎に起動されて遊技制御を含むルーチンを実行する割込処理とを含むように構成されている。

【0013】メインルーチンで更新される数値は、少なくとも特別遊技で使用される可変表示の表示結果を決めるための数値である。また、メインルーチンは、イニシャライズ処理後に、数値を更新する処理を繰り返し実行するように構成されていてもよい。

【0014】割込処理は、例えば、マイクロプロセッサの内部タイマ割込である。

【0015】割込処理は、所定の数値範囲内で特定遊技判定用乱数値を生成するための数値を更新する処理を含み、メインルーチンで更新される数値には、特定遊技判定用乱数値と比較され特定遊技状態に移行するか否か判定するための判定値である特定遊技判定値を生成するために用いられる数値が含まれ、さらに、所定遊技状態中に、所定の遊技球検出装置からの検出信号の入力を条件として特定遊技判定値を生成するための数値を抽出して特定遊技用判定値を決定する特定遊技用判定値抽出手段を備えていてもよい。

【0016】

【発明の実施の形態】以下、本発明の一実施形態を図面を参照して説明する。まず、遊技機の一例であるパチンコ遊技機の全体の構成について説明する。図 1 はパチンコ遊技機 1 を正面からみた正面図、図 2 はパチンコ遊技機 1 の内部構造を示す全体背面図、図 3 はパチンコ遊技機 1 の遊技盤を背面からみた背面図である。なお、ここでは、遊技機の一例としてパチンコ遊技機を示すが、本発明はパチンコ遊技機に限られず、例えばコイン遊技機等であってもよい。

【0017】図 1 に示すように、パチンコ遊技機 1 は、額縁状に形成されたガラス扉枠 2 を有する。ガラス扉枠 2 の下部表面には打球供給皿 3 がある。打球供給皿 3 の下部には、打球供給皿 3 からあふれた景品玉を貯留する余剰玉受皿 4 と打球を発射する打球操作ハンドル（操作ノブ）5 が設けられている。ガラス扉枠 2 の後方には、遊技盤 6 が着脱可能に取り付けられている。また、遊技盤 6 の前面には遊技領域 7 が設けられている。

【0018】遊技領域 7 の中央付近には、複数種類の図柄を可変表示するための CRT を用いた画像表示部 9 と 7 セグメント LED による可変表示器 10 とを含む可変表示装置 8 が設けられている。この実施の形態では、画像表示部 9 には、「左」、「中」、「右」の 3 つの図柄表示エリアがある。可変表示装置 8 の側部には、打球を導く通過ゲート 11 が設けられている。通過ゲート 11

を通過した打球は、玉出口 13 を経て始動入賞口 14 の方に導かれる。通過ゲート 11 と玉出口 13 との間の通路には、通過ゲート 11 を通過した打球を検出するゲートスイッチ 12 がある。また、始動入賞口 14 に入った入賞球は、遊技盤 6 の背面に導かれ、始動口スイッチ 17 によって検出される。また、始動入賞口 14 の下部には開閉動作を行う可変入賞球装置 15 が設けられている。可変入賞球装置 15 は、ソレノイド 16 によって開状態とされる。

【0019】可変入賞球装置 15 の下部には、特定遊技状態（大当たり状態）においてソレノイド 21 によって開状態とされる開閉板 20 が設けられている。この実施の形態では、開閉板 20 が大入賞口を開閉する手段となる。開閉板 20 から遊技盤 6 の背面に導かれた入賞球のうち一方（Vゾーン）に入った入賞球は V カウントスイッチ 22 で検出される。また、開閉板 20 からの入賞球はカウントスイッチ 23 で検出される。可変表示装置 8 の下部には、始動入賞口 14 に入った入賞球数を表示する 4 個の表示部を有する始動入賞記憶表示器 18 が設けられている。この例では、4 個を上限として、始動入賞がある毎に、始動入賞記憶表示器 18 は点灯している表示部を 1 つずつ増やす。そして、画像表示部 9 の可変表示が開始される毎に、点灯している表示部を 1 つ減らす。

【0020】遊技盤 6 には、複数の入賞口 19、24 が設けられている。遊技領域 7 の左右周辺には、遊技中に点滅表示される装飾ランプ 25 が設けられ、下部には、入賞しなかった打球を吸収するアウト口 26 がある。また、遊技領域 7 の外側の左右上部には、効果音を発する 2 つのスピーカ 27 が設けられている。遊技領域 7 の外周には、遊技効果 LED 28a および遊技効果ランプ 28b、28c が設けられている。

【0021】そして、この例では、一方のスピーカ 27 の近傍に、景品玉払出時に点灯する賞球ランプ 51 が設けられ、他方のスピーカ 27 の近傍に、補給玉が切れたときに点灯する球切れランプ 52 が設けられている。さらに、図 1 には、パチンコ遊技台 1 に隣接して設置され、プリペイドカードが挿入されることによって球貸しを可能にするカードユニット 50 も示されている。

【0022】カードユニット 50 には、使用可能状態であるか否かを示す使用可表示ランプ 151、カード内に記録された残額情報に端数（100 円未満の数）が存在する場合にその端数を打球供給皿 3 の近傍に設けられる度数表示 LED に表示させるための端数表示スイッチ 152、カードユニット 50 がいずれの側のパチンコ遊技機 1 に対応しているのかを示す連結台方向表示器 153、カードユニット 50 内にカードが投入されていることを示すカード投入表示ランプ 154、記録媒体としてのカードが挿入されるカード挿入口 155、およびカード挿入口 155 の裏面に設けられているカードリーダ

イタの機構を点検する場合にカードユニット 50 を解放するためのカードユニット錠 156 が設けられている。

【0023】打球発射装置から発射された打球は、打球レールを通過して遊技領域 7 に入り、その後、遊技領域 7 を下りてくる。打球が通過ゲート 11 を通過してゲートスイッチ 12 で検出されると、図柄の変動を開始できる状態であれば、普通図柄を可変表示する可変表示器 10 の表示数字が連続的に変化する状態になる。普通図柄の変動を開始できる状態でなければ、ゲート通過記憶を 1 増やす。また、打球が始動入賞口 14 に入り始動口スイッチ 17 で検出されると、図柄の変動を開始できる状態であれば、画像表示部 9 内の特別図柄が回転を始める。特別図柄の変動を開始できる状態であれば、始動入賞記憶を 1 増やす。なお、始動入賞記憶については、後で詳しく説明する。

【0024】画像表示部 9 内の画像の回転は、一定時間が経過したときに停止する。停止時の画像の組み合わせが大当たり図柄の組み合わせであると、大当たり遊技状態に移行する。すなわち、開閉板 20 が、一定時間経過するまで、または、所定個数（例えば 10 個）の打球が入賞するまで開放する。そして、開閉板 20 の開放中に打球が特定入賞領域に入賞し V カウントスイッチ 22 で検出されると、継続権が発生し開閉板 20 の開放が再度行われる。継続権の発生は、所定回数（例えば 15 ラウンド）許容される。

【0025】停止時の画像表示部 9 内の画像の組み合わせが確率変動を伴う大当たり図柄の組み合わせである場合には、次に大当たりとなる確率が高くなる。すなわち、高確率状態という遊技者にとってさらに有利な状態となる。また、可変表示器 10 における停止図柄が所定の図柄（当り図柄）である場合に、可変入賞球装置 15 が所定時間だけ開状態になる。さらに、高確率状態では、可変表示器 10 における停止図柄が当り図柄になる確率が高められるとともに、可変入賞球装置 15 の開放時間と開放回数が高められる。

【0026】次に、パチンコ遊技機 1 の裏面の構造について図 2 を参照して説明する。可変表示装置 8 の背面では、図 2 に示すように、機構板 36 の上部に景品玉タンク 38 が設けられ、パチンコ遊技機 1 が遊技機設置島に設置された状態でその上方から景品玉が景品玉タンク 38 に供給される。景品玉タンク 38 内の景品玉は、誘導樋 39 を通って玉払出装置に至る。

【0027】機構板 36 には、中継基板 30 を介して画像表示部 9 を制御する可変表示制御ユニット 29、基板ケース 32 に覆われ遊技制御用マイクロコンピュータ等が搭載された遊技制御基板（主基板）31、可変表示制御ユニット 29 と遊技制御基板 31 との間の信号を中継するための中継基板 33、および景品玉の払出制御を行う賞球制御用マイクロコンピュータ等が搭載された賞球制御基板 37 が設置されている。さらに、機構板 36 に

は、モータの回転力を利用して打球を遊技領域7に発射する打球発射装置34と、遊技効果ランプ・LED28a, 28b, 28c、賞球ランプ51および球切れランプ52に信号を送るためのランプ制御基板35が設置されている。

【0028】また、図3はパチンコ遊技機1の遊技盤を背面からみた背面図である。遊技盤6の裏面には、図3に示すように、各入賞口および入賞球装置に入賞した入賞玉を所定の入賞経路に沿って導く入賞玉集合カバー40が設けられている。入賞玉集合カバー40に導かれる入賞玉のうち、開閉板20を経て入賞したものは、玉払出装置(図3において図示せず)が相対的に多い景品玉数(例えば15個)を払い出すように制御される。始動入賞口14を経て入賞したものは、玉払出装置が相対的に少ない景品玉数(例えば6個)を払い出すように制御される。そして、その他の入賞口24および入賞球装置を経て入賞したものは、玉払出装置が相対的に中程度の景品玉数(例えば10個)を払い出すように制御される。なお、図3には、中継基板33が例示されている。

【0029】賞球払出制御を行うために、入賞球検出スイッチ99、始動口スイッチ17およびVカウントスイッチ22からの信号が、主基板31に送られる。入賞があったことは入賞球検出スイッチ99で検出されるが、主基板31に入賞球検出スイッチ99のオン信号が送られると、主基板31から賞球制御基板37に賞球制御コマンドが送られる。例えば、始動口スイッチ17のオンに対応して入賞球検出スイッチ99がオンすると、賞球個数「6」を示す賞球制御コマンドが出力され、カウントスイッチ23またはVカウントスイッチ22のオンに対応して入賞球検出スイッチ99がオンすると、賞球個数「15」を示す賞球制御コマンドが出力される。そして、それらのスイッチがオンしない場合に入賞球検出スイッチ99がオンすると、賞球個数「10」を示す賞球制御コマンドが出力される。

【0030】図4は、主基板31における回路構成の一例を示すブロック図である。なお、図4には、賞球制御基板37、ランプ制御基板35、音声制御基板70、発射制御基板91および表示制御基板80も示されている。主基板31には、プログラムに従ってパチンコ遊技機1を制御する基本回路53と、ゲートスイッチ12、始動口スイッチ17、Vカウントスイッチ22、カウントスイッチ23および入賞球検出スイッチ99からの信号を基本回路53に与えるスイッチ回路58と、可変入賞球装置15を開閉するソレノイド16および開閉板20を開閉するソレノイド21を基本回路53からの指令に従って駆動するソレノイド回路59と、始動記憶表示器18の点灯および滅灯を行うとともに7セグメントLEDによる可変表示器10と装飾ランプ25とを駆動するランプ・LED回路60とを含む。

【0031】また、基本回路53から与えられるデータ

に従って、大当りの発生を示す大当り情報、画像表示部9の画像表示開始に利用された始動入賞球の個数を示す有効始動情報、確率変動が生じたことを示す確変情報等をホール管理コンピュータ等のホストコンピュータに対して出力する情報出力回路64を含む。

【0032】基本回路53は、ゲーム制御用のプログラム等を記憶するROM54、ワークメモリとして使用されるRAM55、制御用のプログラムに従って制御動作を行うCPU56およびI/Oポート部57を含む。なお、ROM54、RAM55はCPU56に内蔵されている場合もある。

【0033】さらに、主基板31には、電源投入時に基本回路53をリセットするための初期リセット回路65と、基本回路53から与えられるアドレス信号をデコードしてI/Oポート部57のうちのいずれかのI/Oポートを選択するための信号を出力するアドレスデコード回路67とが設けられている。なお、玉払出装置97から主基板31に入力されるスイッチ情報もあるが、図4ではそれらは省略されている。

【0034】遊技球を打撃して発射する打球発射装置は発射制御基板91上の回路によって制御される駆動モータ94で駆動される。そして、駆動モータ94の駆動力は、操作ノブ5の操作量に従って調整される。すなわち、発射制御基板91上の回路によって、操作ノブ5の操作量に応じた速度で打球が発射されるように制御される。

【0035】次に動作について説明する。図5および図6は、主基板31における基本回路53の動作を示すフローチャートである。図5は基本回路53が実行するメイン処理を示し、図6は割込処理を示す。基本回路53の電源オン時のリセットが解けると、CPU56は、まず、クロックモニタ制御を動作可能状態にするために、CPU56に内蔵されているクロックモニタレジスタをクロックモニタイネーブル状態に設定する(ステップS1)。なお、クロックモニタ制御とは、入力されるクロック信号の低下または停止を検出すると、CPU56の内部で自動的にリセットを発生する制御である。

【0036】次いで、CPU56は、スタックポインタの指定アドレスをセットするためのスタックセット処理を行う(ステップS2)。この例では、スタックポインタに00FFHが設定される。そして、システムチェック処理を行う(ステップS3)。システムチェック処理では、CPU56は、RAM55にエラーが含まれているか判定し、エラーが含まれている場合には、RAM55を初期化するなどの処理を行う。電源投入時にはRAM55の内容は不定であるから、結局、RAM55のクリア処理が行われることになる。また、定期的(例えば2ms毎)にタイマ割込がかかるように、CPU内蔵タイマの初期設定を行う。

【0037】そして、表示用乱数更新処理を繰り返し実

行する(ステップS4)。図7は、遊技機で用いられる各乱数を示す説明図である。各乱数は、以下のように使用される。

- (1) ランダム1：大当りを発生させるか否か決定する(大当り判定用)
- (2) ランダム2-1~2-3：左右中のはずれ図柄決定用
- (3) ランダム3：大当り時の図柄の組合せを決定する(大当り図柄決定用=特定図柄判定用)
- (4) ランダム4：はずれ時にリーチするか否か決定する(リーチ判定用)
- (5) ランダム5：リーチ種類を決定する(リーチ動作決定用)
- (6) ランダム6：大当り判定値を決定する(大当り判定値決定用)

【0038】なお、遊技効果を高めるために、上記

(1)~(6)の乱数以外の乱数も用いられている。例えば、普通図柄を表示する可変表示器10の表示結果にもとづいてあたりとするか否か決定するための乱数や、可変表示器10の停止図柄を決定する乱数等がある。

【0039】ステップS4の処理では、(2)のはずれ図柄決定用の乱数、(4)のリーチ判定用の乱数、

(5)のリーチ動作および大当り判定値決定用の乱数を生成するカウンタのカウントアップ(1加算)が行われる。ただし、ランダム2-2は、ランダム2-1の桁上げが生ずるときに、すなわち、ランダム2-1の値が「15」になって「0」に戻されるときにカウントアップされる。また、ランダム2-3は、ランダム2-2の桁上げが生ずるときに、すなわち、ランダム2-2の値が「15」になって「0」に戻されるときにカウントアップされる。

【0040】図6に示された処理は、CPU56内部のタイマ割込によって起動される。割込処理において、CPU56は、表示制御基板80に送出される表示制御コマンドをRAM55の所定の領域に設定する処理を行った後に(表示制御データ設定処理：ステップS11)、表示制御コマンドを出力する処理を行う(表示制御データ伝送処理：ステップS12)。

【0041】次いで、各種出力データの格納領域の内容を各出力ポートに出力する処理を行う(データ出力処理：ステップS13)。また、遊技領域7の周囲に設けられているランプ・LEDの点灯/滅灯パターン変更タイミングを決定するためのタイマを更新する処理を行う(ステップS14)。さらに、各種出力データの格納領域の出力データを設定するとともに、ホール管理用コンピュータに出力される大当り情報、始動情報、確率変動情報などの出力データを格納領域に設定する出力データ設定処理を行う(ステップS15)。さらに、パチンコ遊技機1の内部に備えられている自己診断機能によって種々の異常診断処理が行われ、その結果に応じて必要な

らば警報が発せられる(エラー処理：ステップS16)。

【0042】次に、遊技制御に用いられる大当り判定用の乱数等の各判定用乱数を生成するための各カウンタを更新する処理を行う(ステップS17)。この実施の形態では、図7に示された各乱数を生成するための各カウンタのうち、(1)の大当り判定用乱数および(3)の大当り図柄判定用乱数を生成するためのカウンタのカウントアップ(1加算)を行う。

【0043】次に、CPU56は、特別図柄プロセス処理を行う(ステップS18)。特別図柄プロセス制御では、遊技状態に応じてパチンコ遊技機1を所定の順序で制御するための特別図柄プロセスフラグに従って該当する処理が選び出されて実行される。そして、特別図柄プロセスフラグの値は、遊技状態に応じて各処理中に更新される。また、普通図柄プロセス処理を行う(ステップS19)。普通図柄プロセス処理では、7セグメントLEDによる可変表示器10を所定の順序で制御するための普通図柄プロセスフラグに従って該当する処理が選び出されて実行される。そして、普通図柄プロセスフラグの値は、遊技状態に応じて各処理中に更新される。

【0044】さらに、CPU56は、スイッチ回路58を介して、ゲートスイッチ12、始動口スイッチ17およびカウントスイッチ23の状態を入力し、各入賞口や入賞装置に対する入賞があったか否かを判定する(スイッチ処理：ステップS20)。また、遊技の進行に応じてスピーカ27から所定音が発せられるように、音声制御基板70に信号を送出する制御を行う(ステップS21)。

【0045】CPU56は、ここで、ステップS4の処理と同様の表示用乱数を生成するための各カウンタを更新する処理を行う(ステップS15)。具体的には、(2)のはずれ図柄決定用の乱数、(4)のリーチ判定用の乱数、(5)のリーチ動作および(6)の大当り判定値決定用の乱数を生成するカウンタのカウントアップ(1加算)を行う。

【0046】また、CPU56は、賞球制御基板37との間の入賞球信号処理を行う(ステップS23)。すなわち、所定の条件が成立すると賞球制御基板37に賞球個数信号を出力する。賞球制御基板37に搭載されている賞球制御用CPUは、賞球個数信号に応じて玉払出装装置97を駆動する。

【0047】ステップS11~S23間での処理が完了すると、割込処理を終了し、メイン処理における割込発生時点で行われていた処理に戻る。図5に示されたように、割込発生時点で実行されている処理は、ステップS4の表示用乱数更新処理である。

【0048】図8は、図5および図6に示された表示用乱数更新処理(ステップS4、S22)の具体的処理を示すフローチャートである。表示用乱数更新処理におい

て、CPU56は、まず、はずれ図柄決定用乱数(ランダム2-1, 2-2, 2-3)を更新する処理を行う(ステップS31)。すなわち、ランダム2-1をカウントアップ(1加算)するとともに、ランダム2-1の桁上げが生ずるとランダム2-2のカウントアップを行い、ランダム2-2の桁上げが生ずるとランダム2-3のカウントアップを行う。

【0049】また、リーチ判定用乱数(ランダム4)を生成するするためのカウンタおよびリーチ動作乱数(ランダム5)を生成するするためのカウンタをカウントアップする(ステップS32, S33)。そして、大当たり判定値決定用乱数(ランダム6)を生成するするためのカウンタ(大当たり判定値決定用カウンタ)をカウントアップする(ステップS34)。

【0050】なお、図5および図6に示された処理では、ステップS4とステップS22とにおいて、大当たり判定値決定用カウンタの更新処理(ステップS34)が行われたが、図9および図10に示すように、メイン処理における無限ループ期間においてのみ大当たり判定値決定用カウンタの更新処理を行ってもよい(ステップS5)。図9に示されたメイン処理および図10に示された割込処理では、ステップS4A, S2Aにおいて、大当たり判定値決定用カウンタの更新処理は行われない。

【0051】また、図5および図9に示された処理では、大当たり判定値決定用カウンタの更新処理は常時実行されることになるが、所定の期間においてのみ更新されるように構成してもよい。所定の期間とは、大当たり判定用乱数と大当たり判定値との比較を行わない期間中であり、例えば、大当たり遊技中である。

【0052】図11は、メイン処理と割込処理との関係の一例を示すタイミング図である。図11に示すように、電源がオンすると、まず、メイン処理におけるステップS1~S3の処理が行われ、その後、ステップS4の処理(またはS4およびS5の処理)が繰り返し実行される。割込発生用タイマがタイムアップすると、タイマ割込が発生する。そして、その割込処理において、ステップS11~S23の処理が実行される。実行完了すると、ステップS4の処理(またはS4およびS5の処理)に戻り、表示用乱数更新処理(または表示用乱数更新処理(ランダム6更新せず)+大当たり判定値決定用乱数更新処理)が行われる。

【0053】図11において、表示用乱数更新処理(または表示用乱数更新処理(ランダム6更新せず)+大当たり判定値決定用乱数更新処理)は斜線部分で示されている。また、割込が発生したときに表示用乱数更新処理(または表示用乱数更新処理(ランダム6更新せず)+大当たり判定値決定用乱数更新処理)で扱われるカウンタのカウント値が「n」であれば、割込処理から復帰したときには、カウント値は「n」から始まる。すなわち、カウント値は連続する。なお、遊技進行状況に応じてス

テップS11~S23に要する時間は変わるので、図11において斜線で示された部分の期間は一定ではなくランダムである。

【0054】このように、乱数を抽出するためのカウンタのカウント値は割込前後において連続してカウントアップされ、かつ、表示用乱数更新処理(または表示用乱数更新処理(ランダム6更新せず)+大当たり判定値決定用乱数更新処理)にかけられる時間が、従来の場合よりも延長されている。なぜなら、図11に示された制御ではメイン処理におけるイニシャライズ処理等に相当する白矩形部分は電源投入時にしか現れないが、従来の制御では、表示用乱数更新処理(または表示用乱数更新処理(ランダム6更新せず)+大当たり判定値決定用乱数更新処理)を示す各斜線部分の前で常にイニシャライズ処理等が行われていたからである。

【0055】従って、従来の遊技機に比べて、乱数を抽出するためのカウンタのカウント値の連続性がとぎれたりすることはなく、また、カウンタのカウントアップ処理にかけられる時間が多くなって、乱数を抽出するためのカウンタのカウント値のランダム性をより向上させることができる。

【0056】次に、始動入賞口14への入賞(始動入賞)にもとづいて画像表示部9に可変表示される図柄の決定方法について図12~図14のフローチャートを参照して説明する。図12は打球が始動入賞口14に入賞したことを判定する処理を示し、図13は大当たり判定の処理を示す。また、図14は、画像表示部9における可変表示の停止図柄を決定する処理を示すフローチャートである。

【0057】打球が遊技盤6に設けられている始動入賞口14に入賞すると、始動スイッチ17がオンする。割込処理におけるステップS20のスイッチ処理において、基本回路53は、スイッチ回路58を介して始動スイッチ17がオンしたことを判定する(ステップS41)。オンしたことを検出した場合には、CPU56は、判定値変更フラグがセットされているか否か確認する(ステップS46)。セットされていないならば、大当たり判定値決定用カウンタのそのときのカウント値を抽出し、大当たり判定値とする(ステップS47)。また、判定値変更フラグをセットする(ステップS48)。

【0058】そして、CPU56は、始動入賞記憶数が始動記憶上限値である4に達しているかどうか確認する(ステップS42)。始動入賞記憶数が始動記憶上限値に達していなければ、始動入賞記憶数を1増やし(ステップS43)、大当たり判定用乱数の値を抽出する。そして、各始動入賞記憶数n(n=1, 2, 3, 4)に対応して設けられている乱数値格納エリアに抽出した乱数を格納する(ステップS44)。始動入賞記憶数が始動記憶上限値に達している場合には、ステップS43, S44の処理を行わない。

【0059】CPU56は、画像表示部9の可変表示を開始できる状態になると図14のフローチャートに示す処理を行う。まず、始動入賞記憶数の値を確認する(ステップS50)。始動入賞記憶数が0でなければ、始動入賞記憶数=1に対応する乱数値格納エリアに格納されている値を読み出すとともに(ステップS51)、始動入賞記憶数の値を1減らし、かつ、各乱数値格納エリアの値をシフトする(ステップS52)。すなわち、始動入賞記憶数=n(n=2, 3, 4)に対応する乱数値格納エリアに格納されている値を、始動入賞記憶数=n-1に対応する乱数値格納エリアに格納する。

【0060】そして、CPU56は、ステップS51で読み出した値、すなわち抽出されている大当たり判定用乱数値にもとづいて当たり/はずれを決定する(ステップS53)。この実施の形態では、大当たり判定用乱数は0~249の範囲の値をとることにする。そして、図13に示すように、始動入賞時に抽出されている大当たり判定用乱数(ランダム1)の値を大当たり判定値と比較する。そして、ランダム1の値が大当たり判定値と一致すれば、大当たりと決定し、それ以外の値である場合にははずれと決定する。

【0061】なお、画像表示部9における停止図柄の組合せが特定図柄の揃ったものである場合には、大当たりが発生するとともに高確率の状態となる。高確率の状態では、次に大当たりが発生する確率が高められるとともに、可変表示器10が可変表示開始後図柄が確定するまでの時間が短縮されるとともに、可変表示器10による大当たり発生時に可変入賞球装置15の開放状態が長く設定される。すなわち、高確率時には、遊技者にとって極めて有利な状態となる。低確率時(通常時)には大当たり判定値は例えば1個とされるが、高確率時には、大当たり判定値は複数個とされ、抽出されているランダム1の値がいずれかの大当たり判定値と一致すると大当たりと決定される。

【0062】大当たりと判定されたときには、CPU56は、大当たり図柄判定用乱数(ランダム3)の値にもとづいて停止図柄を決定する。ここで、リミッタが作動している場合には、高確率状態を引き起こす確変図柄を含まないテーブルから停止図柄を決定する(ステップS54, S56)。リミッタは、連続して確変図柄による大当たりが発生すること、すなわち連続して高確率状態が継続することを制限するためのものである。例えば、4回連続して高確率状態が継続するとリミッタが作動状態になる。従って、リミッタ作動状態では、確率変動が行われる特定図柄を含まないテーブルから停止図柄が決定される。リミッタが作動中でないならば、全図柄を含むテーブルから停止図柄を決定する(ステップS54, S55)。

【0063】さらに、CPU56は、ランダム5の値に従ってリーチ種類を決定し(ステップS74)、大当たりとするか否か、大当たりの場合の図柄、およびリーチ種類

を所定の格納エリアに設定する(ステップS75)。なお、格納エリアは、基本回路53におけるRAM55に設けられる。

【0064】ステップS53においてははずれと判定されていた場合には、CPU56は、リーチとするか否か判定する(ステップS59)。例えば、図7に示すリーチ判定用乱数の値が0~104のいずれかである場合にはリーチすることに決定する。リーチすることに決定したときには、基本回路は、停止図柄の決定を行う。この実施の形態では、ランダム2-1の値に従って左右図柄を決定する(ステップS60)。また、ランダム2-2の値に従って中図柄を決定する(ステップS61)。ここで、決定された中図柄が左右図柄と一致した場合には、中図柄に対応した乱数の値に1加算した値に対応する図柄を中図柄の確定図柄として、大当たり図柄と一致しないようにする。

【0065】さらに、CPU56は、ランダム5の値に従ってリーチ種類を決定する(ステップS62)。そして、所定の格納エリアに「リーチ」、リーチ図柄、およびリーチ種類を設定する(ステップS63)。ステップS59における抽選結果がはずれである場合には、所定の格納エリアにははずれであることを設定する(ステップS64)。

【0066】図15は特別図柄プロセス処理のプログラムの一例を示すフローチャートである。図15に示す特別図柄プロセス処理は、図6および図10のフローチャートにおけるステップS18の具体的な処理である。基本回路53のCPU56は、特別図柄プロセス処理を行う際に、その内部状態に応じて、図15に示すステップS300~S309のうちのいずれかの処理を行う。各処理において、以下のような処理が実行される。

【0067】特別図柄変動待ち処理(ステップS300)：始動入賞口14(この実施の形態では可変入賞球装置15の入賞口)に打球入賞して始動口スイッチ17がオンするのを待つ。始動口スイッチ17のオンが検出されたら、図12に示された処理を行う。特別図柄判定処理(ステップS301)：特別図柄の可変表示が開始できる状態になると、始動入賞記憶数を確認する。始動入賞記憶数が0でなければ、既に抽出されているランダム1の値に応じて大当たりとするかはずれとするか決定する。停止図柄設定処理(ステップS302)：ランダム2またはランダム3の値に応じて左右中図柄の停止図柄を決定する。

【0068】リーチ動作設定処理(ステップS303)：リーチ判定用乱数(ランダム4)の値に応じてリーチ動作するか否か決定するとともに、リーチ動作乱数(ランダム5)の値に応じてリーチ動作の変動態様を決定する。

【0069】全図柄変動開始処理(ステップS304)：画像表示部9において全図柄が変動開始されるよ

うに制御する。また、画像表示部9に背景やキャラクタも表示される場合には、それに応じた表示制御コマンドデータが表示制御基板80に送出されるように制御する。全図柄停止待ち処理(ステップS305)：所定時間が経過すると、画像表示部9において表示される全図柄が停止されるように制御する。また、全図柄停止のタイミングまで、所定のタイミングで左右図柄が停止されるように制御するとともに、適宜、画像表示部9において表示される背景やキャラクタに応じた表示制御コマンドデータが表示制御基板80に送出されるように制御する。

【0070】大当たり表示処理(ステップS306)：停止図柄が大当たり図柄の組み合わせである場合には、大当たり表示の表示制御コマンドデータが表示制御基板80に送出されるように制御するとともに内部状態(プロセスフラグ)をステップS307に移行するように更新する。そうでない場合には、内部状態をステップS309に移行するように更新する。なお、大当たり図柄の組み合わせは、左右中図柄が揃った組み合わせである。また、遊技制御基板80の回路は表示制御コマンドデータに従って、画像表示部9に大当たり表示を行う。大当たり表示は遊技者に大当たりの発生を報知するためになされるものである。大入賞口開放開始処理(ステップS307)：大入賞口を開放する制御を開始する。具体的には、カウンタやフラグを初期化するとともに、ソレノイド21を駆動して大入賞口を開放する。

【0071】大入賞口開放中処理(ステップS308)：大入賞口ラウンド表示の表示制御コマンドデータが表示制御基板80に送出する制御や大入賞口の閉成条件の成立を確認する処理等を行う。大入賞口の閉成条件が成立したら、大当たり遊技状態の終了条件が成立していなければ内部状態をステップS307に移行するように更新する。大当たり遊技状態の終了条件が成立していれば、内部状態をステップS309に移行するように更新する。

【0072】大当たり終了処理(ステップS309)：大当たり遊技状態が終了したことを遊技者に報知するための表示を行う。その表示が終了したら、内部フラグ等を初期状態に戻し、内部状態をステップS300に移行するように更新する。

【0073】上記の各ステップの処理に応じて、遊技制御プログラム中の表示制御コマンドデータを送出する処理を行うモジュールは、対応する表示制御コマンドデータを出力ポートに出力するとともに、ストロブ信号を出力ポートに出力する。なお、この実施の形態では、大当たり遊技状態における各ラウンド毎に、ステップS307の大入賞口開放開始処理とステップS308の大入賞口開放中処理とが実行される。

【0074】図12のフローチャートに示されたように、この実施の形態では、始動入賞口への最初の入賞が

あると、大当たり判定値決定用カウンタの値が抽出され、大当たり判定値が更新された(ステップS46~S48)。判定値変更フラグは電源投入時に実行されるイニシャライズ処理でクリアされているので、図16のタイミング図に示すように、遊技機の電源投入後、最初に始動入賞があると、大当たり判定値が変更されることになる。

【0075】最初の始動入賞に代えて、電源投入後の最初の普通図柄変動開始の条件が成立すると大当たり判定値の変更を行うようにしてもよい。図17は、そのような処理を示すフローチャートである。なお、この実施の形態では、普通図柄変動開始の条件は通過ゲート11の遊技球通過である。

【0076】打球が遊技盤6に設けられている通過ゲート11を通過すると、ゲートスイッチ12がオンする。割込処理におけるステップS20のスイッチ処理において、基本回路53は、スイッチ回路58を介してゲートスイッチ12がオンしたことを判定する(ステップS71)。オンしたことを検出した場合には、CPU56は、判定値変更フラグがセットされているか否か確認する(ステップS76)。セットされていない場合は、大当たり判定値決定用カウンタのそのときのカウンタ値を抽出し、大当たり判定値とする(ステップS77)。また、判定値変更フラグをセットする(ステップS78)。

【0077】そして、CPU56は、ゲート通過記憶数が上限値である4に達しているかどうか確認する(ステップS72)。ゲート通過記憶数が上限値に達していなければ、ゲート通過記憶数を1増やし(ステップS73)、普通図柄による大当たり判定用乱数の値を抽出する。そして、各ゲート通過記憶数 n ($n=1, 2, 3, 4$)に対応して設けられている乱数値格納エリアに抽出した乱数を格納する(ステップS74)。ゲート通過記憶数が上限値に達している場合には、ステップS73、S74の処理を行わない。なお、乱数値格納エリアに格納された乱数は、図6および図10に示された割込処理のステップS19の普通図柄プロセス処理における判定を実行する処理において参照される。

【0078】以上のような処理によって、図18のタイミング図に示すように、遊技機の電源投入後、最初に普通図柄を変動させるための条件が成立すると、大当たり判定値が変更されることになる。

【0079】そして、この実施の形態では、図19のタイミング図に示すように、大当たり遊技状態が開始され、大入賞口が最初に開放し、そのラウンドにおいて大入賞口への最初の入賞があると、すなわち、カウンタスイッチ23がオンしたら、そのときの大当たり判定値決定用カウンタのカウンタ値を抽出し、大当たり判定値を変更する。

【0080】図20は、図19に示されたような制御を行う大入賞口開放中処理(図15におけるステップS3

08)の処理を示すフローチャートである。大入賞口開放中処理において、CPU56は、まず、タイマがタイムアウトしているか否か確認する(ステップS381)。このタイマは、例えば29.5秒を計時するものであって、1ラウンドの大入賞口開放許容時間を計測する。従って、タイムアウトしていれば、ソレノイド21の駆動を停止するように制御して大入賞口を閉成し(ステップS395)、プロセスフラグを大当り終了処理に応じた値にセットする(ステップS396)。

【0081】タイマがタイムアウトしていない場合には、カウントスイッチ23がオンしたかどうかチェックする(ステップS385)。カウントスイッチ23がオンしたときには、入賞数カウンタを+1する(ステップS386)。そして、入賞数カウンタがmであれば、そのときのランダム6の値を抽出する(ステップS387、S388、S389)。具体的には、大当り判定値決定用カウンタのそのときのカウント値を抽出する。抽出されたランダム6の値は、次回の大当り判定値として使用される。なお、図19に示された例は、 $m=1$ の例である。

【0082】入賞数カウンタの値が10であれば、CPU56は、ソレノイド21の駆動を停止するように制御して大入賞口を閉成し(ステップS391)、そのラウンドが最終ラウンドであるか否か確認する(ステップS391、S392)。最終ラウンドであるか否かは、開放回数カウンタの値によって判断される。最終ラウンドであれば、ステップS396の処理に移行する。また、最終ラウンドでなければ、そのラウンドにおけるVカウントスイッチ有効期間中にVカウントスイッチ22がオンしたかどうか確認する(ステップS393)。Vカウントスイッチ22がオンしていれば、次のラウンドを開始するためにプロセスフラグを大入賞口開放開始処理に応じた値にセットする(ステップS394)。Vカウントスイッチ22がオンしていなければ、ステップS396の処理に移行する。

【0083】図19に示された例は、大入賞口が最初に開放したときのラウンドにおいて大入賞口への最初の入賞があると、そのときの大当り判定値決定用カウンタの値を抽出する例であったが、任意のラウンド中に、大当り判定値決定用カウンタ値の抽出を行ってもよい。図21は、大当り遊技状態における任意のラウンドにおいて、大入賞口への最初の入賞があると、そのときの大当り判定値決定用カウンタの値を抽出する例を示す。

【0084】また、任意のラウンドにおいて、任意の個数目の大入賞口への入賞があったときに大当り判定値決定用カウンタの抽出を行ってもよい。図22は、大当り遊技中において、あるラウンドにおいて、所定の個数の大入賞口への入賞があると大当り判定値決定用乱数値を抽出して大当り判定値を切り換える例を示すタイミング図である。図22では、大当り判定値決定用乱数値を抽

出するための所定個がsと表現されている。

【0085】図23は、図22に示されたような制御を行う大入賞口開放中処理(ステップS308)の処理を示すフローチャートである。大入賞口開放中処理において、CPU56は、まず、タイマがタイムアウトしているか否か確認する(ステップS381)。タイムアウトしていれば、大入賞口を閉成し(ステップS395)、プロセスフラグを大当り終了処理に応じた値にセットする(ステップS396)。

10 【0086】タイマがタイムアウトしていない場合には、開放回数カウンタを+1する(ステップS382)。カウントスイッチ23がオンしたときには、入賞数カウンタを+1する(ステップS385、S386)。そして、開放回数カウンタの値がNであるか否か確認する(ステップS401)。開放回数カウンタの値がNであれば、大当り判定値を切り換えるためのステップS402以降の処理を行う。なお、Nは1~15のうちの任意の値である。

20 【0087】ステップS402において、CPU56は、入賞数カウンタがsであれば、そのときのランダム6の値を抽出する(ステップS389)。抽出されたランダム6の値は、次回の大当り判定値として使用される。その後、図20に示されたステップS390以降の処理と同様の処理を行う。

30 【0088】以上のように、大当り判定値決定用カウンタを無限ループ(図5におけるステップS4または図9におけるステップS5)で歩進させ、所定のタイミングで大当り判定値決定用カウンタのカウント値を抽出することによって大当り判定値決定用乱数を抽出し、大当り判定値の切替を行った。大当り判定値の切替契機は、遊技者が発射した遊技球の大入賞口への入賞にもとづくものであって、ランダムに発生する。すなわち、ランダムに大当り判定値の切替が行われるので、外部から切替契機を特定することは不可能である。従って、不正基板を取り付けても、大当りを狙い撃つことはできなくなる。なお、ここでは大当り判定値決定用カウンタを例にとって説明を進めたが、遊技制御に用いられる他のカウンタを無限ループで歩進させるようにしてもよい。

40 【0089】また、上記の各実施の形態において、大当り判定値の切り換えは、カウントスイッチ23のオンを契機に行われている。例えばVカウントスイッチ22のオンを契機に判定値を切り換えるように構成すると、Vカウントスイッチ22がオンせず、判定値切り換えが行われない可能性がある。しかし、一般に、Vカウントスイッチ22よりもカウントスイッチ23はオンしやすいので、カウントスイッチ23のオンを契機に判定値を切り換えるように構成すれば、そのような不都合が生ずる可能性が低減される。また、一般に、遊技機は、特定遊技状態中においてカウントスイッチ23が1回もオンしない場合にはエラーとされ遊技が中断される。

【0090】さらに、遊技機の電源投入後の最初の特別図柄または普通図柄の変動開始の条件が成立すると、大当たり判定値に変更を行った。そのような条件にもとづく大当たり判定値の変更が行われない場合には、遊技機の電源投入後、1回目の大当たり遊技状態に入るまで大当たり判定値の変更が行われないので、長期間にわたって大当たり判定値が一定値に保持される可能性がある。すると、その長期間の間に何らかの不正手段によって大当たり判定用乱数の値が大当たり判定値に一致するタイミングが認識されてしまうおそれもある。しかし、遊技機の電源投入後の最初の特別図柄または普通図柄の変動開始の条件が成立すると大当たり判定値の変更を行うように構成すれば、不正手段によるタイミングの認識の可能性を低減することができる。

【0091】なお、上述した例では、遊技機の電源投入後の最初の特別図柄または普通図柄の変動開始の条件が成立すると、大当たり判定値の変更を行った。しかし、大当たり判定値の変更タイミングは1回目に限らず、電源投入後の所定回目であってもよい。図24は、電源投入後M回目の始動入賞で大当たり判定値決定用カウンタの値を抽出し、抽出値を大当たり判定値とする処理を示すフローチャートである。

【0092】図24に示すように、CPU56は、始動口センサ17がオンしたことを検出すると(ステップS41)、始動入賞カウンタを+1する(ステップS95)。そして、始動入賞カウンタがMになると(ステップS96)、大当たり判定値決定用乱数(ランダム6)の値を抽出する(ステップS97)。そして、ここで抽出した乱数値を大当たり判定値とする。また、始動入賞カウンタをクリアしておく(ステップS98)。

【0093】次いで、始動入賞記憶数が始動記憶上限値である4に達しているかどうか確認する(ステップS42)。始動入賞記憶数が始動記憶上限値に達していなければ、始動入賞記憶数を1増やし(ステップS43)、大当たり判定用乱数の値を抽出する。そして、各始動入賞記憶数 n ($n=1, 2, 3, 4$)に対応して設けられている乱数値格納エリアに抽出した乱数を格納する(ステップS44)。始動入賞記憶数が始動記憶上限値に達している場合には、ステップS43、S44の処理を行わない。

【0094】なお、所定回数Mとして、電源投入後大当たり判定値が変更されない期間が長くなるように、小さい値が採用される。また、図24には、電源投入後所定回目の始動入賞があると大当たり判定値を変更するようにしたが、電源投入後所定回目の通過ゲートの球通過があると大当たり判定値を変更するようにしてもよい。

【0095】上記の例では、遊技者の遊技にもとづいてランダムに生ずる入賞口への入賞を大当たり判定値の切替契機として、切替契機のランダム性(=外部からの特定が不可能)を確保したが、入賞口への入賞に応じて行わ

れる遊技状態を切替契機としても、遊技者の遊技にもとづく入賞口への入賞にもとづくものであるから切替契機のランダム性を確保できる。

【0096】例えば、始動入賞にもとづく特別図柄の可変表示の開始時、大当たりの確定時、リーチの確定時などに大当たり判定値を切り換えるようにしてもよい。つまり、大当たり判定値と大当たり判定用乱数値との比較を行ってから、大当たり遊技状態に移行するまでの適当なタイミングで大当たり判定値を切り換えるようにしてもよい。その際、大当たりやリーチが所定回生ずると大当たり判定値を切り換えるようにしてもよい。さらに、所定回の確変大当たりが発生したり、所定回の非確変大当たりが発生すると大当たり判定値を切り換えるようにしてもよい。また、スーパーリーチ等の特定のリーチが所定回発生すると大当たり判定値を切り換えるようにしてもよい。また、複数種類の球検出装置による球検出等の条件を種々組み合わせた所定個目の条件成立によって大当たり判定値を切り換えるようにしてもよい。

【0097】この実施の形態では、低確率時には大当たり判定値は例えば1個とされるが、高確率時には、大当たり判定値は複数個とされる。すると、大当たり判定値の切替契機では、複数個の大当たり判定値を切り換える必要がある。その場合、複数個のそれぞれの大当たり判定値に応じた大当たり判定値決定用乱数を使用してもよいが、1つの大当たり判定値決定用乱数を使用して、抽出された大当たり判定値決定用乱数値に所定値を加算することによって、各大当たり判定値を決定するようにしてもよい。

【0098】なお、各例において、大当たり判定用乱数(ランダム1)がとる値の範囲と大当たり判定値決定用乱数(ランダム6)がとる値の範囲とは一致していたが、必ずしも一致している必要はなく、大当たり判定値決定用乱数がとる値の範囲を、大当たり判定用乱数がとる値の範囲よりも小さくしてもよい。また、大当たり判定値決定用乱数の更新時に+1するのではなく、+ n ($n>1$)するようにしてもよい。

【0099】また、1つの大当たり判定値決定用乱数を使用して、抽出された大当たり判定値決定用乱数値をもとにテーブルを検索して、各大当たり判定値を決定するようにしてもよい。図25は、そのようなテーブルの一例を示す説明図である。この例では、大当たり判定値決定用乱数は0~4の範囲の値をとるものとする。そして、テーブルには、0~4の各値に応じた通常時(低確率時)の大当たり判定値と確変時(高確率時)の大当たり判定値(この例では5種類)とが設定されている。そして、CPU56は、そのようなテーブルから、切替契機において抽出された大当たり判定値決定用乱数値に応じた低確率時の大当たり判定値と高確率時の大当たり判定値とを新たな大当たり判定値とする。

【0100】このようなテーブルを用いれば、高確率時の大当たり判定値が何種類あっても、また、低確率時の大

当り判定値が複数種類あったとしても、1つの大当り判定値決定用乱数で容易に大当り判定値の切換を行うことができる。

【0101】なお、図25に示されている判定値は全て素数であって、他の値の倍数とはなっていない。従って、各大当り判定値は他の値との関連性がなくなり、主基板31の外部において大当り判定値を予測することはより困難になる。また、この例では、大当り判定値決定用乱数は0~4の範囲の値をとるものとしたが、その範囲は任意であり、さらに多くてもよい。

【0102】また、図25に示された例では、大当り判定値決定用乱数値をそのまま大当り判定値を決定するための数値として用いているが、抽出された大当り判定値決定用乱数値を現在の大当り判定値決定用乱数値に加算して、加算値を新たな大当り判定値を決定するための数値としてもよい。そして、テーブルにもとづく大当り判定値の決定は、カウントスイッチ23のオンを条件とした大当り判定値の変更時に用いてもよいし、電源投入後最初の始動口スイッチ17のオンやゲートスイッチ12のオンを条件とした大当り判定値の変更時に用いてもよい。さらに、それら双方の変更時に用いてもよい。

【0103】上記の各実施の形態では、複数種類の図柄を可変表示するためのCRTによる画像表示部9を用いた場合について説明したが、LCDによる可変表示装置を用いた場合であってもよく、また、ドラム式やベルト式の可変表示装置を用いた場合であってもよい。さらに、盤面が全て映像で構成される映像式のパチンコ遊技機に適用することもできる。

【0104】また、上記の各実施の形態の遊技機、すなわち図1の正面図に示されたパチンコ遊技機は、始動入賞にもとづいて画像表示部9に可変表示される特別図柄の停止図柄が所定の図柄の組み合わせになると所定の遊技価値が遊技者に付与可能になる第1種パチンコ遊技機であったが、始動入賞にもとづいて開放する電動役物の所定領域への入賞があると所定の遊技価値が遊技者に付与可能になる第2種パチンコ遊技機や、始動入賞にもとづいて可変表示される図柄の停止図柄が所定の図柄の組み合わせになると開放する所定の電動役物への入賞があると所定の権利が発生または継続する第3種パチンコ遊技機であっても、本発明を適用できる。

【0105】なお、上記の各実施の形態では、割込処理は、CPU56の内部タイマ割込によって起動される割込処理であったが、遊技機がCPU56の外部から所定時間毎に割り込み発生のための信号を供給するように構成されている場合でも、数値を更新する処理を繰り返し実行するメインルーチンと、メインルーチン実行中の所定時間毎に起動されて遊技制御を含むルーチンを実行する割込処理とを含む遊技進行制御手段の構成を適用することができる。

【0106】

【発明の効果】以上のように、本発明によれば、遊技機を、遊技進行を制御する遊技進行制御手段が、数値を更新する処理を繰り返し実行するメインルーチンと、メインルーチン実行中の所定時間毎に起動されて遊技制御を含むルーチンを実行する割込処理とを含むように構成したので、乱数を抽出する等のために用いられる数値の連続性がとぎれたりすることはなく、また、数値更新処理にかけられる時間が多くなって、乱数を抽出する等のための用いられる数値のランダム性をより向上させることができる。

【0107】メインルーチンで更新される数値が、少なくとも特別遊技で使用される可変表示の表示結果を決めるための数値である場合には、可変表示の表示結果をよりランダムにすることができる。

【0108】また、メインルーチンが、イニシャライズ処理を含むように構成されている場合には、初期化処理を遊技機の電源投入時のみに行うように構成できる。

【0109】割込処理が、マイクロプロセッサの内部タイマ割込である場合には、割込を発生させるためのハードウェア回路が不要になって、回路構成を簡略化することができる。

【0110】割込処理が所定の数値範囲内で特定遊技判定用乱数値を生成するための数値を更新する処理を含み、メインルーチンで更新される数値には、特定遊技判定用乱数値と比較され特定遊技状態に移行するかどうか判定するための判定値である特定遊技判定値を生成するために用いられる数値が含まれ、所定遊技状態中に、所定の遊技球検出装置からの検出信号の入力を条件として特定遊技判定値を生成するための数値を抽出して特定遊技判定用乱数値を決定する特定遊技判定値抽出手段を備えている場合には、不正基板等を使用した不正行為を受けにくくなる効果がある。

【図面の簡単な説明】

【図1】パチンコ遊技機を正面からみた正面図である。

【図2】パチンコ遊技機の内部構造を示す全体背面図である。

【図3】パチンコ遊技機の遊技盤を背面からみた背面図である。

【図4】遊技制御基板における回路構成の一例を示すブロック図である。

【図5】基本回路のメイン処理を示すフローチャートである。

【図6】基本回路の割込処理を示すフローチャートである。

【図7】各乱数を示す説明図である。

【図8】表示用乱数更新処理を示すフローチャートである。

【図9】基本回路のメイン処理の他の例を示すフローチャートである。

【図10】 基本回路の割込処理の他の例を示すフローチャートである。

【図11】 メイン処理と割込処理との関係の一例を示すタイミング図である。

【図12】 打球が始動入賞口に入賞したことを判定する処理を示すフローチャートである。

【図13】 大当たり判定の処理を示すフローチャートである。

【図14】 可変表示の停止図柄を決定する処理を示すフローチャートである。

【図15】 特別図柄プロセス処理を示すフローチャートである。

【図16】 大当たり判定値決定用乱数の抽出の一例を示すタイミング図である。

【図17】 打球が通過ゲートを通じたことを判定する処理を示すフローチャートである。

【図18】 大当たり判定値決定用乱数の抽出の他の例を示すタイミング図である。

【図19】 大当たり判定値決定用乱数の抽出のさらに他の例を示すタイミング図である。

【図20】 大入賞口開放中処理を示すフローチャートである。

【図21】 大当たり判定値決定用乱数の抽出の別の例を示すタイミング図である。

【図22】 大当たり判定値決定用乱数の抽出のさらに別の例を示すタイミング図である。

【図23】 大入賞口開放中処理の他の例を示すフローチャートである。

【図24】 打球が始動入賞口に入賞したことを判定する処理の他の例を示すフローチャートである。

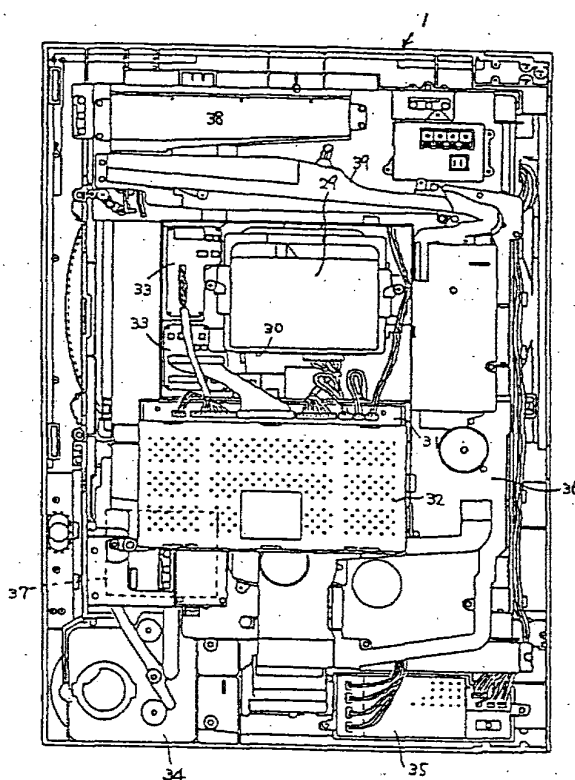
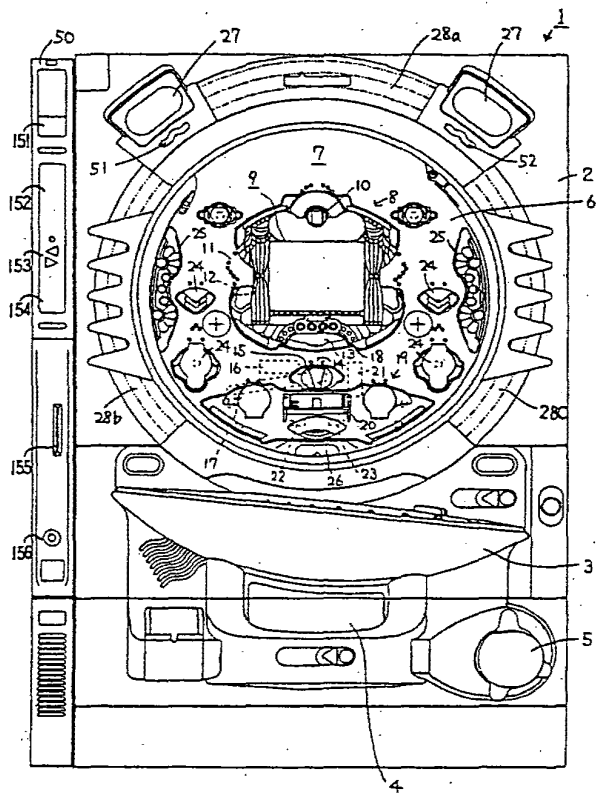
【図25】 大当たり判定値を決定するためのテーブルの一例を示す説明図である。

【符号の説明】

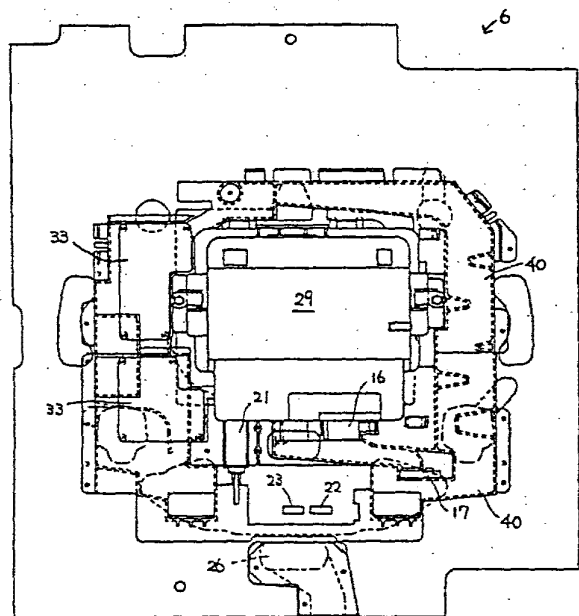
- 9 画像表示部
- 10 可変表示器
- 11 通過ゲート
- 12 ゲートスイッチ
- 14 始動入賞口
- 15 可変入賞球装置
- 17 始動口スイッチ
- 23 カウントスイッチ
- 31 遊技制御基板(主基板)
- 53 基本回路

【図1】

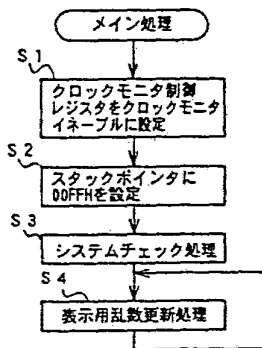
【図2】



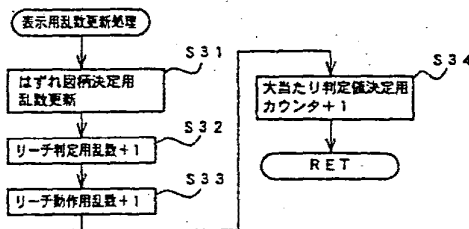
【図3】



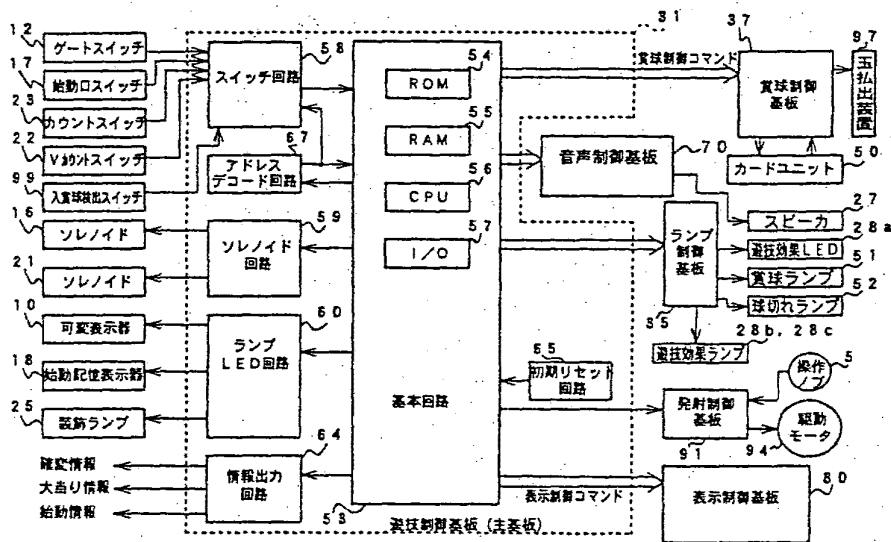
【図5】



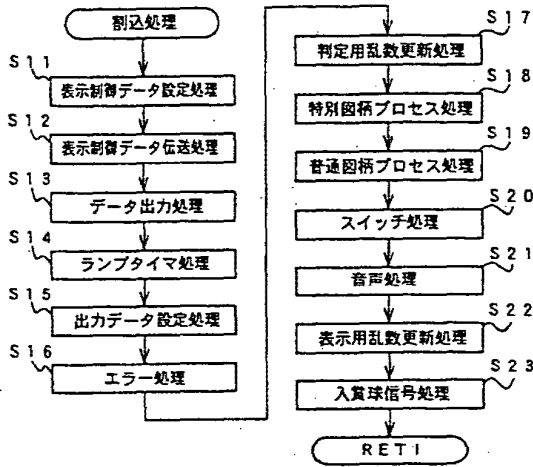
【図8】



【図4】



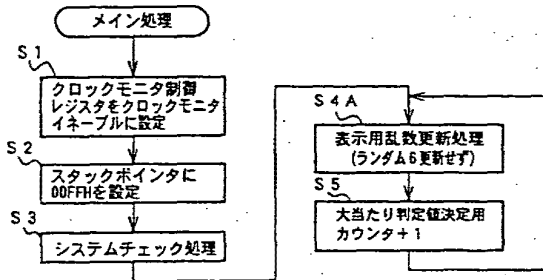
【図6】



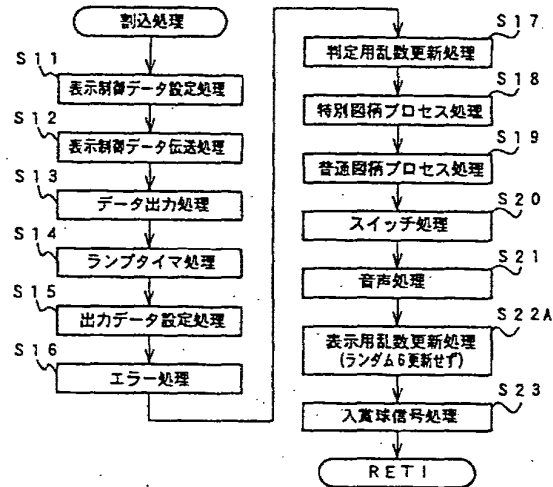
【図7】

ランダム	範囲	用途	加算
1	0~249	大当り判定用	割込処理で1ずつ加算
2-1 (左)	0~14	はずれ図柄決定用	メイン処理および割込処理で1ずつ加算
2-2 (中)	0~14		メイン処理および割込処理で1ずつ加算
2-3 (右)	0~14		メイン処理および割込処理で1ずつ加算
3	0~14	大当り図柄決定用	割込処理で1ずつ加算
4	0~1530	リーチ判定用	メイン処理および割込処理で1ずつ加算
5	0~19	リーチ動作用	メイン処理および割込処理で1ずつ加算
6	0~249	大当り判定値決定用	メイン処理 (および割込処理) で1ずつ加算

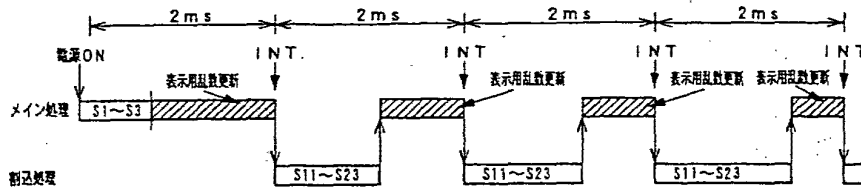
【図9】



【図10】



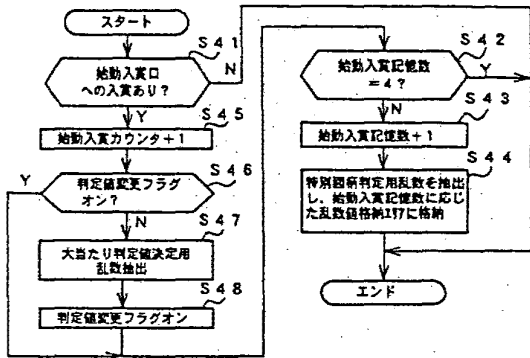
【図11】



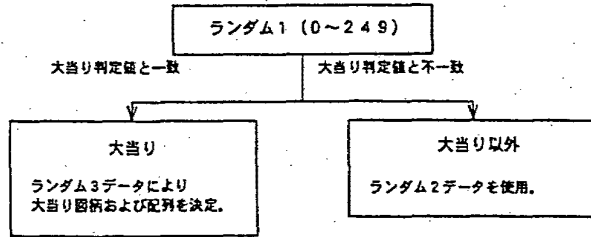
【図25】

大当り判定値決定用乱数	判定値 (通常)	判定値 (確定時)
0	3	3, 7, 79, 103, 107
1	7	7, 11, 83, 107, 113
2	11	11, 17, 89, 113, 127
3	17	17, 23, 101, 173, 197
4	19	19, 47, 103, 179, 211

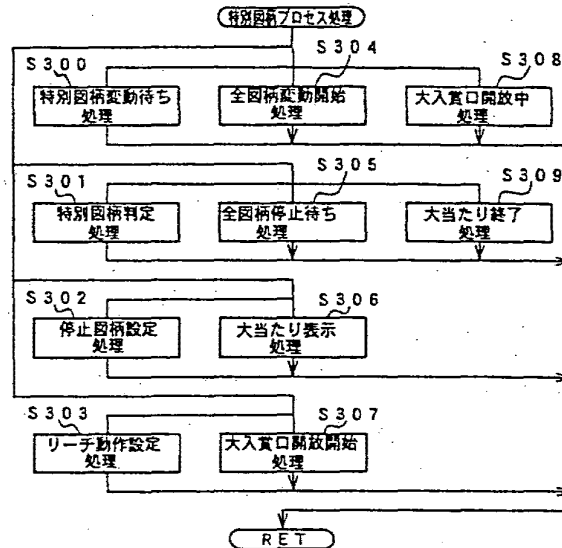
【図12】



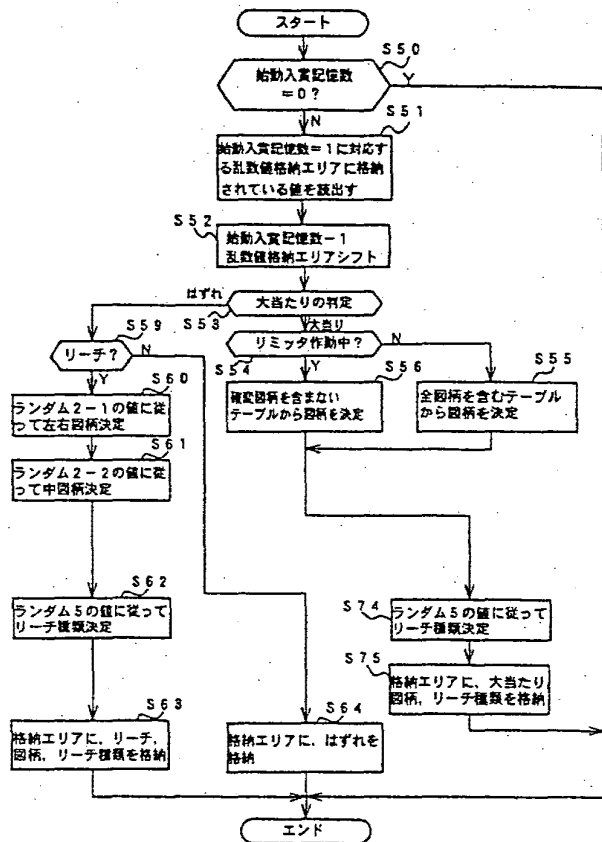
【図13】



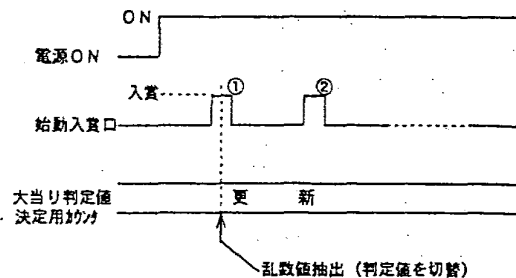
【図15】



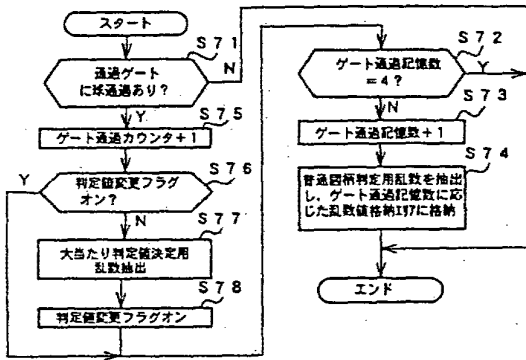
【図14】



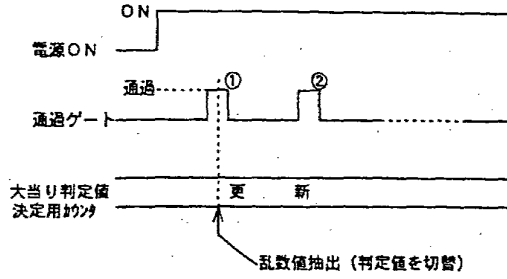
【図16】



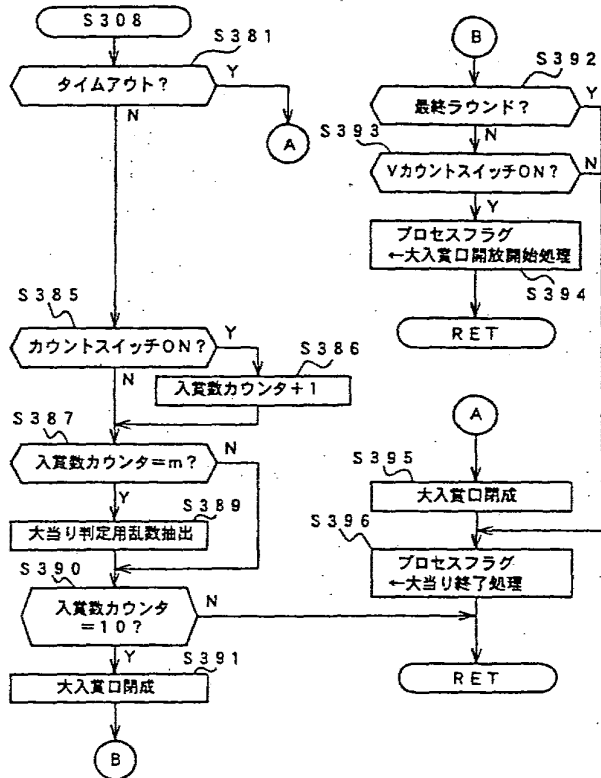
【図17】



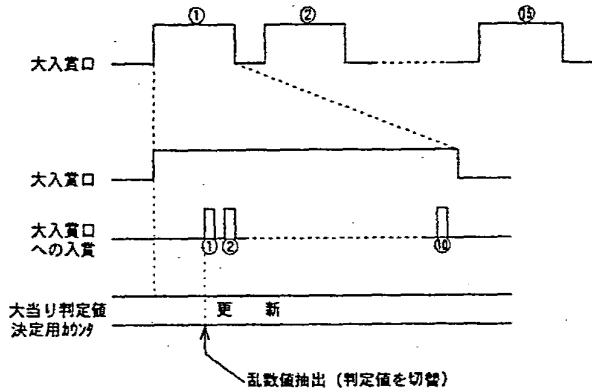
【図18】



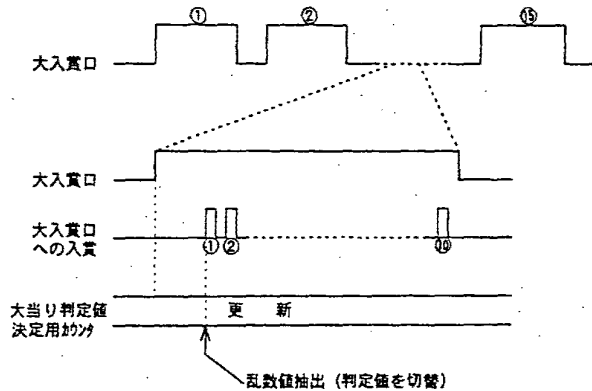
【図20】



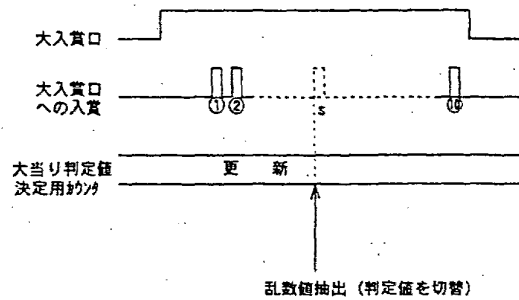
【図19】



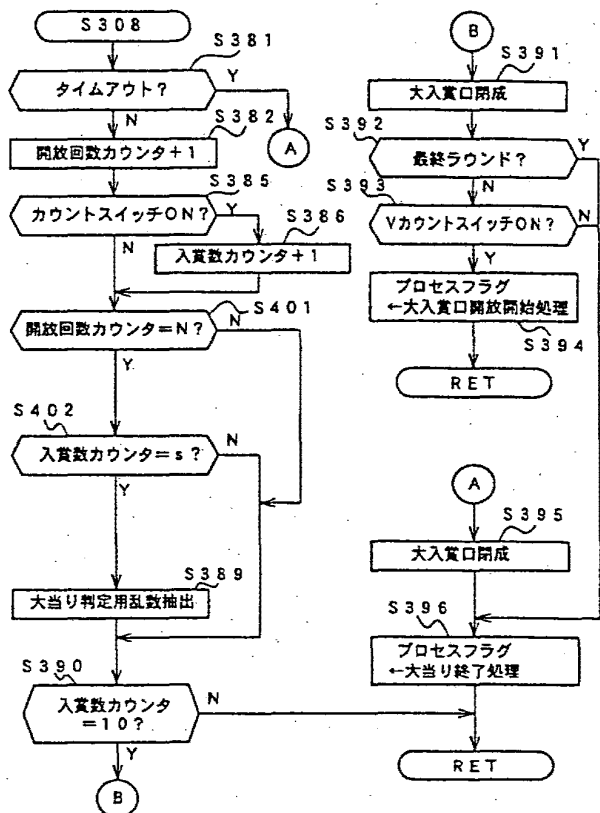
【図21】



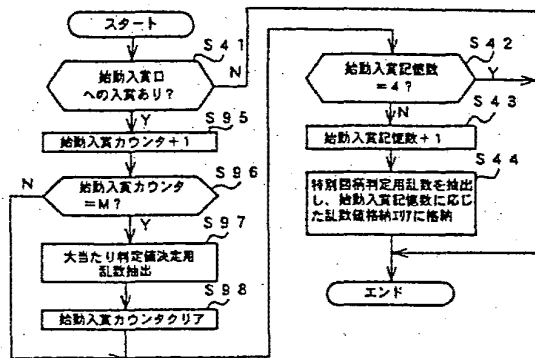
【図22】



【図23】



【図24】





51

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

NOTICE OF ALLOWANCE AND FEE(S) DUE

20987 7590 09/14/2004

VOLENTINE FRANCO, & WHITT PLLC
ONE FREEDOM SQUARE
11951 FREEDOM DRIVE SUITE 1260
RESTON, VA 20190

EXAMINER

KIM, HAROLD J

ART UNIT PAPER NUMBER

2182

DATE MAILED: 09/14/2004

Table with 5 columns: APPLICATION NO., FILING DATE, FIRST NAMED INVENTOR, ATTORNEY DOCKET NO., CONFIRMATION NO.

10/251,755 09/23/2002 Hitoshi Endo OKI.396 4191

TITLE OF INVENTION: SYSTEM LSI

Table with 6 columns: APPLN. TYPE, SMALL ENTITY, ISSUE FEE, PUBLICATION FEE, TOTAL FEE(S) DUE, DATE DUE

nonprovisional NO \$1330 \$300 \$1630 12/14/2004

THE APPLICATION IDENTIFIED ABOVE HAS BEEN EXAMINED AND IS ALLOWED FOR ISSUANCE AS A PATENT. PROSECUTION ON THE MERITS IS CLOSED. THIS NOTICE OF ALLOWANCE IS NOT A GRANT OF PATENT RIGHTS. THIS APPLICATION IS SUBJECT TO WITHDRAWAL FROM ISSUE AT THE INITIATIVE OF THE OFFICE OR UPON PETITION BY THE APPLICANT. SEE 37 CFR 1.313 AND MPEP 1308.

THE ISSUE FEE AND PUBLICATION FEE (IF REQUIRED) MUST BE PAID WITHIN THREE MONTHS FROM THE MAILING DATE OF THIS NOTICE OR THIS APPLICATION SHALL BE REGARDED AS ABANDONED. THIS STATUTORY PERIOD CANNOT BE EXTENDED. SEE 35 U.S.C. 151. THE ISSUE FEE DUE INDICATED ABOVE REFLECTS A CREDIT FOR ANY PREVIOUSLY PAID ISSUE FEE APPLIED IN THIS APPLICATION. THE PTOL-85B (OR AN EQUIVALENT) MUST BE RETURNED WITHIN THIS PERIOD EVEN IF NO FEE IS DUE OR THE APPLICATION WILL BE REGARDED AS ABANDONED.

HOW TO REPLY TO THIS NOTICE:

I. Review the SMALL ENTITY status shown above.

If the SMALL ENTITY is shown as YES, verify your current SMALL ENTITY status:

- A. If the status is the same, pay the TOTAL FEE(S) DUE shown above.
B. If the status above is to be removed, check box 5b on Part B - Fee(s) Transmittal and pay the PUBLICATION FEE (if required) and twice the amount of the ISSUE FEE shown above, or

If the SMALL ENTITY is shown as NO:

- A. Pay TOTAL FEE(S) DUE shown above, or
B. If applicant claimed SMALL ENTITY status before, or is now claiming SMALL ENTITY status, check box 5a on Part B - Fee(s) Transmittal and pay the PUBLICATION FEE (if required) and 1/2 the ISSUE FEE shown above.

II. PART B - FEE(S) TRANSMITTAL should be completed and returned to the United States Patent and Trademark Office (USPTO) with your ISSUE FEE and PUBLICATION FEE (if required). Even if the fee(s) have already been paid, Part B - Fee(s) Transmittal should be completed and returned. If you are charging the fee(s) to your deposit account, section "4b" of Part B - Fee(s) Transmittal should be completed and an extra copy of the form should be submitted.

III. All communications regarding this application must give the application number. Please direct all communications prior to issuance to Mail Stop ISSUE FEE unless advised to the contrary.

IMPORTANT REMINDER: Utility patents issuing on applications filed on or after Dec. 12, 1980 may require payment of maintenance fees. It is patentee's responsibility to ensure timely payment of maintenance fees when due.

BEST AVAILABLE COPY

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), to: **Mail**

**Mail Stop ISSUE FEE
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450**

or **Fax (703) 746-4000**

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

20987 7590 09/14/2004

**VOLENTINE FRANCO, & WHITT PLLC
ONE FREEDOM SQUARE
11951 FREEDOM DRIVE SUITE 1260
RESTON, VA 20190**

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (703) 746-4000, on the date indicated below.

(Depositor's name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
10/251,755	09/23/2002	Hitoshi Endo	OK1.396	4191

TITLE OF INVENTION: SYSTEM LSI

APPLN. TYPE	SMALL ENTITY	ISSUE FEE	PUBLICATION FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	NO	\$1330	\$300	\$1630	12/14/2004

EXAMINER	ART UNIT	CLASS-SUBCLASS
KIM, HAROLD J	2182	713-322000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.563).

- Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.
- "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list

- (1) the names of up to 3 registered patent attorneys or agents OR, alternatively, _____ 1
- (2) the name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed. _____ 2
- _____ 3

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE _____ (B) RESIDENCE: (CITY and STATE OR COUNTRY) _____

Please check the appropriate assignee category or categories (will not be printed on the patent): Individual Corporation or other private group entity Government

4a. The following fee(s) are enclosed:

- Issue Fee
- Publication Fee (No small entity discount permitted)
- Advance Order - # of Copies _____

4b. Payment of Fee(s):

- A check in the amount of the fee(s) is enclosed.
- Payment by credit card. Form PTO-2038 is attached.
- The Director is hereby authorized by charge the required fee(s), or credit any overpayment, to Deposit Account Number _____ (enclose an extra copy of this form).

5. Change in Entity Status (from status indicated above)

- a. Applicant claims SMALL ENTITY status. See 37 CFR 1.27. b. Applicant is no longer claiming SMALL ENTITY status. See 37 CFR 1.27(g)(2).

The Director of the USPTO is requested to apply the Issue Fee and Publication Fee (if any) or to re-apply any previously paid issue fee to the application identified above. NOTE: The Issue Fee and Publication Fee (if required) will not be accepted from anyone other than the applicant; a registered attorney or agent; or the assignee or other party in interest as shown by the records of the United States Patent and Trademark Office.

Authorized Signature _____

Date _____

Typed or printed name _____

Registration No. _____

This collection of information is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

Table with 5 columns: APPLICATION NO., FILING DATE, FIRST NAMED INVENTOR, ATTORNEY DOCKET NO., CONFIRMATION NO.

20987 7590 09/14/2004
VOLENTINE FRANCOS, & WHITT PLLC
ONE FREEDOM SQUARE
11951 FREEDOM DRIVE SUITE 1260
RESTON, VA 20190

EXAMINER

KIM, HAROLD J

ART UNIT PAPER NUMBER

2182

DATE MAILED: 09/14/2004

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(application filed on or after May 29, 2000)

The Patent Term Adjustment to date is 0 day(s). If the issue fee is paid on the date that is three months after the mailing date of this notice and the patent issues on the Tuesday before the date that is 28 weeks (six and a half months) after the mailing date of this notice, the Patent Term Adjustment will be 0 day(s).

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (http://pair.uspto.gov).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (703) 305-1383. Questions relating to issue and publication fee payments should be directed to the Customer Service Center of the Office of Patent Publication at (703) 305-8283.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

Table with 5 columns: APPLICATION NO., FILING DATE, FIRST NAMED INVENTOR, ATTORNEY DOCKET NO., CONFIRMATION NO.
10/251,755 09/23/2002 Hitoshi Endo OKI.396 4191

20987 7590 09/14/2004
VOLENTINE FRANCOS, & WHITT PLLC
ONE FREEDOM SQUARE
11951 FREEDOM DRIVE SUITE 1260
RESTON, VA 20190

EXAMINER
KIM, HAROLD J

ART UNIT PAPER NUMBER
2182

DATE MAILED: 09/14/2004

Notice of Fee Increase on October 1, 2004

If a reply to a "Notice of Allowance and Fee(s) Due" is filed in the Office on or after October 1, 2004, then the amount due will be higher than that set forth in the "Notice of Allowance and Fee(s) Due" because some fees will increase effective October 1, 2004. See Revision of Patent Fees for Fiscal Year 2005; Final Rule, 69 Fed. Reg. 52604, 52606 (May 10, 2004).

The current fee schedule is accessible from WEB site (http://www.uspto.gov/main/howtofees.htm).

If the fee paid is the amount shown on the "Notice of Allowance and Fee(s) Due" but not the correct amount in view of the fee increase, a "Notice of Pay Balance of Issue Fee" will be mailed to applicant. In order to avoid processing delays associated with mailing of a "Notice of Pay Balance of Issue Fee," if the response to the Notice of Allowance is to be filed on or after October 1, 2004 (or mailed with a certificate of mailing on or after October 1, 2004), the issue fee paid should be the fee that is required at the time the fee is paid. See Manual of Patent Examining Procedure (MPEP), Section 1306 (Eighth Edition, Rev. 2, May 2004). If the issue fee was previously paid, and the response to the "Notice of Allowance and Fee(s) Due" includes a request to apply a previously-paid issue fee to the issue fee now due, then the difference between the issue fee amount at the time the response is filed and the previously-paid issue fee should be paid. See MPEP Section 1308.01.

Effective October 1, 2004, 37 CFR 1.18 is amended by revising paragraphs (a) through (c) to read as set forth below.

Section 1.18 Patent post allowance (including issue) fees.

- (a) Issue fee for issuing each original or reissue patent, except a design or plant patent:
By a small entity (Sec. 1.27(a))..... \$685.00
By other than a small entity..... \$1,370.00
(b) Issue fee for issuing a design patent:
By a small entity (Sec. 1.27(a))..... \$245.00
By other than a small entity..... \$490.00
(c) Issue fee for issuing a plant patent:
By a small entity (Sec. 1.27(a))..... \$330.00
By other than a small entity..... \$660.00

Questions relating to issue and publication fee payments should be directed to the Customer Service Center of the Office of Patent Publication at (703) 305-8283.

Notice of Allowability

Application No. 10/251,755	Applicant(s) ENDO, HITOSHI	
Examiner Harold Kim	Art Unit 2182	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--

All claims being allowable, PROSECUTION ON THE MERITS IS (OR REMAINS) CLOSED in this application. If not included herewith (or previously mailed), a Notice of Allowance (PTOL-85) or other appropriate communication will be mailed in due course. **THIS NOTICE OF ALLOWABILITY IS NOT A GRANT OF PATENT RIGHTS.** This application is subject to withdrawal from issue at the initiative of the Office or upon petition by the applicant. See 37 CFR 1.313 and MPEP 1308.

1. This communication is responsive to RCE filed on 6/18/2004; and Interview on 9/3/2004.
2. The allowed claim(s) is/are 1-6 and 8-12. [now 1-11].
3. The drawings filed on 23 September 2002 are accepted by the Examiner.
4. Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).
 - a) All b) Some* c) None of the:
 1. Certified copies of the priority documents have been received.
 2. Certified copies of the priority documents have been received in Application No. _____.
 3. Copies of the certified copies of the priority documents have been received in this national stage application from the International Bureau (PCT Rule 17.2(a)).

* Certified copies not received: _____.

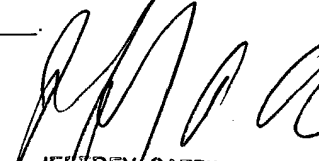
Applicant has THREE MONTHS FROM THE "MAILING DATE" of this communication to file a reply complying with the requirements noted below. Failure to timely comply will result in ABANDONMENT of this application.

THIS THREE-MONTH PERIOD IS NOT EXTENDABLE.

5. A SUBSTITUTE OATH OR DECLARATION must be submitted. Note the attached EXAMINER'S AMENDMENT or NOTICE OF INFORMAL PATENT APPLICATION (PTO-152) which gives reason(s) why the oath or declaration is deficient.
 6. CORRECTED DRAWINGS (as "replacement sheets") must be submitted.
 - a) including changes required by the Notice of Draftsperson's Patent Drawing Review (PTO-948) attached
 - 1) hereto or 2) to Paper No./Mail Date _____.
 - b) including changes required by the attached Examiner's Amendment / Comment or in the Office action of Paper No./Mail Date _____.
- Identifying indicia such as the application number (see 37 CFR 1.84(c)) should be written on the drawings in the front (not the back) of each sheet. Replacement sheet(s) should be labeled as such in the header according to 37 CFR 1.121(d).
7. DEPOSIT OF and/or INFORMATION about the deposit of BIOLOGICAL MATERIAL must be submitted. Note the attached Examiner's comment regarding REQUIREMENT FOR THE DEPOSIT OF BIOLOGICAL MATERIAL.

Attachment(s)

- | | |
|---------------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------------------------|
| 1. <input type="checkbox"/> Notice of References Cited (PTO-892) | 5. <input type="checkbox"/> Notice of Informal Patent Application (PTO-152) |
| 2. <input type="checkbox"/> Notice of Draftsperson's Patent Drawing Review (PTO-948) | 6. <input checked="" type="checkbox"/> Interview Summary (PTO-413),
Paper No./Mail Date <u>09032004</u> . |
| 3. <input type="checkbox"/> Information Disclosure Statements (PTO-1449 or PTO/SB/08),
Paper No./Mail Date _____ | 7. <input type="checkbox"/> Examiner's Amendment/Comment |
| 4. <input type="checkbox"/> Examiner's Comment Regarding Requirement for Deposit
of Biological Material | 8. <input type="checkbox"/> Examiner's Statement of Reasons for Allowance |
| | 9. <input type="checkbox"/> Other _____ |


JEFFREY GAFFIN
SUPERVISOR/PATENT EXAMINER
TECHNOLOGY CENTER

BEST AVAILABLE COPY

Interview Summary	Application No. 10/251,755	Applicant(s) ENDO, HITOSHI	
	Examiner Harold Kim	Art Unit 2182	

All participants (applicant, applicant's representative, PTO personnel):

- (1) Harold Kim. (3) _____
(2) Andrew J. Telesz, Jr. [Reg. No. 33,581]. (4) _____

Date of Interview: 03 September 2004.

Type: a) Telephonic b) Video Conference
c) Personal [copy given to: 1) applicant 2) applicant's representative]

Exhibit shown or demonstration conducted: d) Yes e) No.
If Yes, brief description: _____.

Claim(s) discussed: 1 and 8.

Identification of prior art discussed: Norris, USPAT No. 5,630,148.

Agreement with respect to the claims f) was reached. g) was not reached. h) N/A.

Substance of Interview including description of the general nature of what was agreed to if an agreement was reached, or any other comments: Mr. Telesz stated that Norris does not show clock frequency transition. Examiner initially disagreed, Mr. Telesz also requested prior art references for Official Notice that Examiner previously used in claim 1. but after further review now agrees w/applicant.

(A fuller description, if necessary, and a copy of the amendments which the examiner agreed would render the claims allowable, if available, must be attached. Also, where no copy of the amendments that would render the claims allowable is available, a summary thereof must be attached.)

THE FORMAL WRITTEN REPLY TO THE LAST OFFICE ACTION MUST INCLUDE THE SUBSTANCE OF THE INTERVIEW. (See MPEP Section 713.04). If a reply to the last Office action has already been filed, APPLICANT IS GIVEN ONE MONTH FROM THIS INTERVIEW DATE, OR THE MAILING DATE OF THIS INTERVIEW SUMMARY FORM, WHICHEVER IS LATER, TO FILE A STATEMENT OF THE SUBSTANCE OF THE INTERVIEW. See Summary of Record of Interview requirements on reverse side or on attached sheet.

BEST AVAILABLE COPY

Examiner Note: You must sign this form unless it is an Attachment to a signed Office action.

Examiner's signature, if required

Summary of Record of Interview Requirements

Manual of Patent Examining Procedure (MPEP), Section 713.04, Substance of Interview Must be Made of Record

A complete written statement as to the substance of any face-to-face, video conference, or telephone interview with regard to an application must be made of record in the application whether or not an agreement with the examiner was reached at the interview.

Title 37 Code of Federal Regulations (CFR) § 1.133 Interviews

Paragraph (b)

In every instance where reconsideration is requested in view of an interview with an examiner, a complete written statement of the reasons presented at the interview as warranting favorable action must be filed by the applicant. An interview does not remove the necessity for reply to Office action as specified in §§ 1.111, 1.135. (35 U.S.C. 132)

37 CFR §1.2 Business to be transacted in writing.

All business with the Patent or Trademark Office should be transacted in writing. The personal attendance of applicants or their attorneys or agents at the Patent and Trademark Office is unnecessary. The action of the Patent and Trademark Office will be based exclusively on the written record in the Office. No attention will be paid to any alleged oral promise, stipulation, or understanding in relation to which there is disagreement or doubt.

The action of the Patent and Trademark Office cannot be based exclusively on the written record in the Office if that record is itself incomplete through the failure to record the substance of interviews.

It is the responsibility of the applicant or the attorney or agent to make the substance of an interview of record in the application file, unless the examiner indicates he or she will do so. It is the examiner's responsibility to see that such a record is made and to correct material inaccuracies which bear directly on the question of patentability.

Examiners must complete an Interview Summary Form for each interview held where a matter of substance has been discussed during the interview by checking the appropriate boxes and filling in the blanks. Discussions regarding only procedural matters, directed solely to restriction requirements for which interview recordation is otherwise provided for in Section 812.01 of the Manual of Patent Examining Procedure, or pointing out typographical errors or unreadable script in Office actions or the like, are excluded from the interview recordation procedures below. Where the substance of an interview is completely recorded in an Examiners Amendment, no separate Interview Summary Record is required.

The Interview Summary Form shall be given an appropriate Paper No., placed in the right hand portion of the file, and listed on the "Contents" section of the file wrapper. In a personal interview, a duplicate of the Form is given to the applicant (or attorney or agent) at the conclusion of the interview. In the case of a telephone or video-conference interview, the copy is mailed to the applicant's correspondence address either with or prior to the next official communication. If additional correspondence from the examiner is not likely before an allowance or if other circumstances dictate, the Form should be mailed promptly after the interview rather than with the next official communication.

The Form provides for recordation of the following information:

- Application Number (Series Code and Serial Number)
- Name of applicant
- Name of examiner
- Date of interview
- Type of interview (telephonic, video-conference, or personal)
- Name of participant(s) (applicant, attorney or agent, examiner, other PTO personnel, etc.)
- An indication whether or not an exhibit was shown or a demonstration conducted
- An identification of the specific prior art discussed
- An indication whether an agreement was reached and if so, a description of the general nature of the agreement (may be by attachment of a copy of amendments or claims agreed as being allowable). Note: Agreement as to allowability is tentative and does not restrict further action by the examiner to the contrary.
- The signature of the examiner who conducted the interview (if Form is not an attachment to a signed Office action)

It is desirable that the examiner orally remind the applicant of his or her obligation to record the substance of the interview of each case. It should be noted, however, that the Interview Summary Form will not normally be considered a complete and proper recordation of the interview unless it includes, or is supplemented by the applicant or the examiner to include, all of the applicable items required below concerning the substance of the interview.

A complete and proper recordation of the substance of any interview should include at least the following applicable items:


- 1) A brief description of the nature of any exhibit shown or any demonstration conducted,
- 2) an identification of the claims discussed,
- 3) an identification of the specific prior art discussed,
- 4) an identification of the principal proposed amendments of a substantive nature discussed, unless these are already described on the Interview Summary Form completed by the Examiner,
- 5) a brief identification of the general thrust of the principal arguments presented to the examiner,
(The identification of arguments need not be lengthy or elaborate. A verbatim or highly detailed description of the arguments is not required. The identification of the arguments is sufficient if the general nature or thrust of the principal arguments made to the examiner can be understood in the context of the application file. Of course, the applicant may desire to emphasize and fully describe those arguments which he or she feels were or might be persuasive to the examiner.)
- 6) a general indication of any other pertinent matters discussed, and
- 7) if appropriate, the general results or outcome of the interview unless already described in the Interview Summary Form completed by the examiner.

Examiners are expected to carefully review the applicant's record of the substance of an interview. If the record is not complete and accurate, the examiner will give the applicant an extendable one month time period to correct the record.

Examiner to Check for Accuracy

If the claims are allowable for other reasons of record, the examiner should send a letter setting forth the examiner's version of the statement attributed to him or her. If the record is complete and accurate, the examiner should place the indication, "Interview Record OK" on the paper recording the substance of the interview along with the date and the examiner's initials.

BEST AVAILABLE COPY

Issue Classification 	Application No.	Applicant(s)	
	10/251,755	ENDO, HITOSHI	
	Examiner	Art Unit	
	Harold Kim	2182	

ISSUE CLASSIFICATION										
ORIGINAL					CROSS REFERENCE(S)					
CLASS	SUBCLASS				CLASS	SUBCLASS (ONE SUBCLASS PER BLOCK)				
713	322				713	320				
INTERNATIONAL CLASSIFICATION										
G	0	6	F	1/26						
				/						
				/						
				/						
				/						

<i>Harold K</i> 9/7/2004 Harold Kim 9/7/2004 (Assistant Examiner) (Date)	JEFFREY GAFFIN SUPERVISORY PATENT EXAMINER TECHNOLOGY CENTER 2100 (Primary Examiner) (Date)	Total Claims Allowed: 11 <table border="1" style="width: 100%;"> <tr> <td>O.G. Print/Claim(s)</td> <td>O.G. Print Fig.</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">5</td> </tr> </table>	O.G. Print/Claim(s)	O.G. Print Fig.	1	5
O.G. Print/Claim(s)	O.G. Print Fig.					
1	5					
(Legal Instruments Examiner) (Date)						

<input checked="" type="checkbox"/> Claims renumbered in the same order as presented by applicant		<input type="checkbox"/> CPA		<input type="checkbox"/> T.D.		<input type="checkbox"/> R.1.47	
Final	Original	Final	Original	Final	Original	Final	Original
1	1		31		61		91
2	2		32		62		92
3	3		33		63		93
4	4		34		64		94
5	5		35		65		95
6	6		36		66		96
	7		37		67		97
7	8		38		68		98
8	9		39		69		99
9	10		40		70		100
10	11		41		71		101
11	12		42		72		102
	13		43		73		103
	14		44		74		104
	15		45		75		105
	16		46		76		106
	17		47		77		107
	18		48		78		108
	19		49		79		109
	20		50		80		110
	21		51		81		111
	22		52		82		112
	23		53		83		113
	24		54		84		114
	25		55		85		115
	26		56		86		116
	27		57		87		117
	28		58		88		118
	29		59		89		119
	30		60		90		120
							121
							122
							123
							124
							125
							126
							127
							128
							129
							130
							131
							132
							133
							134
							135
							136
							137
							138
							139
							140
							141
							142
							143
							144
							145
							146
							147
							148
							149
							150
							151
							152
							153
							154
							155
							156
							157
							158
							159
							160
							161
							162
							163
							164
							165
							166
							167
							168
							169
							170
							171
							172
							173
							174
							175
							176
							177
							178
							179
							180
							181
							182
							183
							184
							185
							186
							187
							188
							189
							190
							191
							192
							193
							194
							195
							196
							197
							198
							199
							200
							201
							202
							203
							204
							205
							206
							207
							208
							209
							210

Index of Claims



Application No.

10/251,755

Examiner

Harold Kim

Applicant(s)

ENDO, HITOSHI

Art Unit

2182

√	Rejected
=	Allowed

—	(Through numeral) Cancelled
÷	Restricted

N	Non-Elected
I	Interference

A	Appeal
O	Objected

Claim		Date									
Final	Original										
1	1	=									
2	2										
3	3										
4	4										
5	5										
6	6	=									
7	7										
8	8	=									
9	9										
10	10										
11	11	=									
	12										
	13										
	14										
	15										
	16										
	17										
	18										
	19										
	20										
	21										
	22										
	23										
	24										
	25										
	26										
	27										
	28										
	29										
	30										
	31										
	32										
	33										
	34										
	35										
	36										
	37										
	38										
	39										
	40										
	41										
	42										
	43										
	44										
	45										
	46										
	47										
	48										
	49										
	50										

Claim		Date									
Final	Original										
	51										
	52										
	53										
	54										
	55										
	56										
	57										
	58										
	59										
	60										
	61										
	62										
	63										
	64										
	65										
	66										
	67										
	68										
	69										
	70										
	71										
	72										
	73										
	74										
	75										
	76										
	77										
	78										
	79										
	80										
	81										
	82										
	83										
	84										
	85										
	86										
	87										
	88										
	89										
	90										
	91										
	92										
	93										
	94										
	95										
	96										
	97										
	98										
	99										
	100										

Claim		Date									
Final	Original										
	101										
	102										
	103										
	104										
	105										
	106										
	107										
	108										
	109										
	110										
	111										
	112										
	113										
	114										
	115										
	116										
	117										
	118										
	119										
	120										
	121										
	122										
	123										
	124										
	125										
	126										
	127										
	128										
	129										
	130										
	131										
	132										
	133										
	134										
	135										
	136										
	137										
	138										
	139										
	140										
	141										
	142										
	143										
	144										
	145										
	146										
	147										
	148										
	149										
	150										



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

BIBDATASHEET

CONFIRMATION NO. 4191

Bib Data Sheet

Table with 5 columns: SERIAL NUMBER (10/251,755), FILING DATE (09/23/2002), CLASS (713), GROUP ART UNIT (2182), ATTORNEY DOCKET NO. (OKI.396)

APPLICANTS

Hitoshi Endo, Tokyo, JAPAN;

** CONTINUING DATA ***** NONE nk, 9/17/04

** FOREIGN APPLICATIONS ***** YES nk, 9/17/04
JAPAN JP2002-047696 02/25/2002

IF REQUIRED, FOREIGN FILING LICENSE GRANTED
** 10/15/2002

Table with 5 columns: Foreign Priority claimed (yes/no), STATE OR COUNTRY (JAPAN), SHEETS DRAWING (10), TOTAL CLAIMS (12), INDEPENDENT CLAIMS (1)

ADDRESS
20987
VOLENTINE FRANCO, PLLC
ONE FREEDOM SQUARE
11951 FREEDOM DRIVE SUITE 1260
RESTON, VA
20190

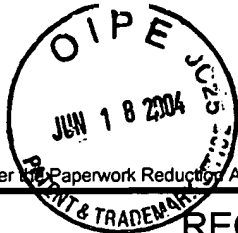
TITLE
System LSI

Table with 2 columns: FILING FEE RECEIVED (740), FEES: Authority has been given in Paper No. _____ to charge/credit DEPOSIT ACCOUNT No. _____ for following: (List of fee options: All Fees, 1.16 Fees, 1.17 Fees, 1.18 Fees, Other, Credit)

BEST AVAILABLE COPY

	Search Text	DBs
1	lsi and clock	USPAT; EPO; JPO
2	lsi and clock and mode	USPAT; EPO; JPO
3	lsi and (clock near3 library) and mode	USPAT; EPO; JPO
4	lsi and (clock near3 library)	USPAT; EPO; JPO
5	713/322.ccls. and lsi	USPAT; EPO; JPO
6	713/322.ccls. and ((clock or frequency) near3 division)	USPAT; EPO; JPO
7	713/322.ccls. and ((clock or frequency) near3 division) and lsi	USPAT; EPO; JPO
8	713/322.ccls. and ((clock or frequency) near2 divi\$4) and	USPAT; EPO; JPO
9	713/322.ccls. and ((clock or frequency) near2 divi\$4) and library	USPAT; EPO; JPO
10	713/322.ccls. and ((clock or frequency) near2 divi\$4) and (stor\$4 adj clock)	USPAT; EPO; JPO
11	lsi	USPAT; EPO; JPO
12	713/322.ccls. and (clock or frequenc\$3) with library	USPAT; EPO; JPO
13	713/322.ccls.	USPAT; EPO; JPO
14	clock near2 register	USPAT; EPO; JPO
15	713/322.ccls. and (clock near2 register)	USPAT; EPO; JPO
16	(clock near2 register) with value	USPAT; EPO; JPO
17	((clock near2 register) with value) and 713/322.ccls.	USPAT; EPO; JPO
18	(clock near2 register) with program\$4	USPAT; EPO; JPO
19	((clock near2 register) with program\$4) and 713/322.ccls.	USPAT; EPO; JPO
20	plurality near3 (standard adj clock)	USPAT; EPO; JPO
21	generation near2 receiv\$4 near3 plurality near3 (standard adj clock)	USPAT; EPO; JPO
22	receiv\$4 near3 plurality near3 (standard adj clock)	USPAT; EPO; JPO
23	receiv\$4 near3 plurality near3 (clock)	USPAT; EPO; JPO
24	receiv\$4 adj3 plurality adj3 (clock)	USPAT; EPO; JPO
25	clock adj3 receiv\$4 adj3 plurality adj3 (clock)	USPAT; EPO; JPO
26	clock adj3 receiv\$4 adj2 plurality adj2 (clock)	USPAT; EPO; JPO
27	clock adj gener\$5 adj3 receiv\$4 adj2 plurality adj2 (clock)	USPAT; EPO; JPO
28	clock wirh supply with part with (central adj processing)	USPAT; EPO; JPO
29	(clock adj2 supply) adj3 part adj2 (central adj processing)	USPAT; EPO; JPO
30	(clock adj2 supply) with part adj2 (central adj processing)	USPAT; EPO; JPO

BEST AVAILABLE COPY



Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

Doc/4 IRW

REQUEST FOR CONTINUED EXAMINATION (RCE) TRANSMITTAL

Address to:
Mail Stop RCE
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Application Number	10/251,755
Filing Date	September 23, 2002
First Named Inventor	Hitoshi Endo
Art Unit	2182
Examiner Name	H. Kim
Attorney Docket Number	OKI.396

This is a Request for Continued Examination (RCE) under 37 CFR 1.114 of the above-identified application.
Request for Continued Examination (RCE) practice under 37 CFR 1.114 does not apply to any utility or plant application filed prior to June 8, 1995, or to any design application. See Instruction Sheet for RCEs (not to be submitted to the USPTO) on page 2.

1. Submission required under 37 CFR 1.114 Note: If the RCE is proper, any previously filed unentered and amendments enclosed with the RCE will be entered in the order in which they were filed unless applicant instructs otherwise. If applicant does not wish to have any previously filed unentered amendment(s) entered, applicant must request non-entry of such
- a. Previously submitted. If a final Office action is outstanding, any amendments filed after the final Office action may be considered as a submission even if this box is not checked.
- i. Consider the arguments in the Appeal Brief or Reply Brief previously filed on _____
- ii. Other _____
- b. Enclosed
- i. Amendment/Reply iii. Information Disclosure Statement (IDS)
- ii. Affidavit(s)/Declaration(s) iv. Other Supplemental Request for Reconsideration

2. Miscellaneous
- a. Suspension of action on the above-identified application is requested under 37 CFR 1.103(c) for a period of _____ months. (Period of suspension shall not exceed 3 months; Fee under 37 CFR 1.17(i) required)
- b. Other _____

3. Fees The RCE fee under 37 CFR 1.17(e) is required by 37 CFR 1.114 when the RCE is filed.
- a. The Director is hereby authorized to charge the following fees, or credit any overpayments, to Deposit Account No. 50-0238
- i. RCE fee required under 37 CFR 1.17(e) 06/21/2004 HTECKLU1 00000101 500238 10251755
- ii. Extension of time fee (37 CFR 1.136 and 1.17) 01 FC:1801 770.00 DA
- iii. Other _____
- b. Check in the amount of \$ _____ enclosed
- c. Payment by credit card (Form PTO-2038 enclosed)

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT REQUIRED

Name (Print/Type)	Andrew J. Telesz, Jr.	Registration No. (Attorney/Agent)	33,581
Signature		Date	June 18, 2004

CERTIFICATE OF MAILING OR TRANSMISSION

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Mail Stop RCE, Commissioner For Patents, P.O. Box 1450, Alexandria, VA 22313-1450 or facsimile transmitted to the U.S. Patent and Trademark Office on the date shown below.

Name (Print/Type)		Date	
Signature		Date	

This collection of information is required by 37 CFR 1.114. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing the burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Mail Stop RCE, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



Serial No. 10/251,755
OKI.396

Supplemental Request for Reconsideration dated June 18, 2004

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of

Hitoshi Endo

Group Art Unit: 2182

Serial No.: 10/251,755

Examiner: H. Kim

Filed: September 23, 2002

Confirm. No.: 4191

For: SYSTEM LSI

SUPPLEMENTAL REQUEST FOR RECONSIDERATION

U. S. Patent and Trademark Office
2011 South Clark Place
Customer Window, **Mail Stop RCE**
Crystal Plaza Two, Lobby, Room 1B03
Arlington, VA 22202

Date: June 18, 2004

Sir:

Further to the Final Office Action dated December 19, 2003, the period for response having been extended an additional two (2) months to June 19, 2004, the following comments are submitted supplemental to the Amendment Under 37 C.F.R. 1.116 filed April 19, 2004, and the concurrently filed Request for Continued Examination (RCE), in connection with the above-identified application.

Remarks/Arguments begin on page 2 of this paper.

REMARKS

Claims 1-6 and 8-12 are pending in the present application.

Applicant acknowledges receipt of the courtesy copy of the Advisory Action, as sent to the undersigned by Examiner Kim via facsimile on June 14, 2004. As indicated in the Advisory Action, the Amendment Under 37 C.F.R. 1.116 filed on April 19, 2004, has not been entered because it has not been deemed to place the application in better form for Appeal by materially reducing or simplifying the issues.

The following remarks are submitted supplemental to the above noted Amendment Under 37 C.F.R. 1.116 filed on April 19, 2004, which Amendment should now be entered of record as requested in the concurrently filed Request for Continued Examination (RCE).

Claim Rejections-35 U.S.C. 103

Claims 1-12 have been rejected under 35 U.S.C. 103(a) as being unpatentable over the Norris reference (U.S. Patent No. 5,630,148), in view of the Ashmore, Jr. et al. reference (U.S. Patent No. 5,811,987). This rejection is respectfully traversed for the following reasons, in addition to the reasons as set forth in the above noted Amendment Under 37 C.F.R. 1.116 filed on April 19, 2004.

On page 2 of the above noted Advisory Action, the Examiner provides comments regarding clock speed register 34 and clock generator circuit 14. The Examiner has apparently taken the position that the Norris reference carries out clock frequency

transitions among first, second and third special modes, as specifically featured in claim 1.

However, as particularly detailed on pages 9-11 of the Amendment dated April 19, 2004, Applicant respectfully submits that the Examiner's use of Official Notice with respect to a first special mode "in which clock supply to principal constituents of said central processing unit is halted", a second special mode "in which clock supply to an entirety of said central processing unit is halted", and a third special mode "in which supply of power to the entirety of said central processing unit is halted", as featured in claim 1, is clearly improper.

The Advisory Action does not address the above noted traversal regarding the Examiner's reliance on Official Notice. **If this rejection is to be maintained, the Examiner is respectfully requested to support the assertion of Official Notice by way of a prior art teaching that shows the first, second and third special modes of operation for a central processing unit as in combination with a system control unit, as specifically featured in claim 1.**

Request For Personal Interview

Applicant respectfully requests the Examiner to contact the undersigned prior to preparation of an Office Action responsive to the Amendment Under 37 C.F.R. 1.116 filed on April 19, 2004, and this Supplemental Request for Reconsideration as filed concurrently along with the RCE. Applicant's representative wishes to discuss the

Examiner's reliance on Official Notice and the Norris reference.

With regard to this request for a personal interview, the Examiner is respectfully directed to Manual of Patent Examining Procedure Section 706.07(b), which sets forth:

"A request for an interview prior to first action on a continuing or substitute application should ordinarily be granted."

Conclusion

The Examiner is respectfully requested to reconsider and withdraw the corresponding rejections, and to pass all the claims of the present application to issue, for at least the above reasons.

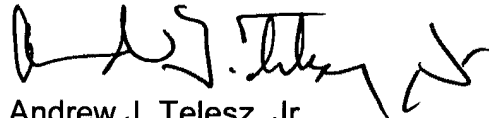
In the event that there are any outstanding matters remaining in the present application, please contact Andrew J. Telesz, Jr. (Reg. No. 33,581) at (703) 715-0870 in the Washington, D.C. area, to discuss these matters.

Pursuant to the provisions of 37 C.F.R. 1.17 and 1.136(a), the Applicant hereby petitions for an extension of two (2) months to June 19, 2004, for the period in which to file a response to the outstanding Office Action. The required fee of \$840.00 should be charged to Deposit Account No. 50-0238.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment for any additional fees that may be required, or credit any overpayment, to Deposit Account No. 50-0238.

Respectfully submitted,

VOLENTINE FRANCOS, P.L.L.C.



Andrew J. Telesz, Jr.
Registration No. 33,581

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Telephone No.: (703) 715-0870
Facsimile No.: (703) 715-0877



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
10/251,755	09/23/2002	Hitoshi Endo	OKI.396	4191

7590 06/10/2004
VOLENTINE FRANCOS, PLLC
Suite 150
12200 Sunrise Vally Drive
Reston, VA 20191

EXAMINER

KIM, HAROLD J

ART UNIT PAPER NUMBER

2182

DATE MAILED: 06/10/2004

Please find below and/or attached an Office communication concerning this application or proceeding.

Advisory Action	Application No. 10/251,755	Applicant(s) ENDO, HITOSHI	
	Examiner Harold Kim	Art Unit 2182	

--The MAILING DATE of this communication appears on the cover sheet with the correspondence address --

THE REPLY FILED 19 April 2004 FAILS TO PLACE THIS APPLICATION IN CONDITION FOR ALLOWANCE. Therefore, further action by the applicant is required to avoid abandonment of this application. A proper reply to a final rejection under 37 CFR 1.113 may only be either: (1) a timely filed amendment which places the application in condition for allowance; (2) a timely filed Notice of Appeal (with appeal fee); or (3) a timely filed Request for Continued Examination (RCE) in compliance with 37 CFR 1.114.

PERIOD FOR REPLY [check either a) or b)]

[Handwritten signature]

- a) The period for reply expires 4 months from the mailing date of the final rejection.
- b) The period for reply expires on: (1) the mailing date of this Advisory Action, or (2) the date set forth in the final rejection, whichever is later. In no event, however, will the statutory period for reply expire later than SIX MONTHS from the mailing date of the final rejection. **ONLY CHECK THIS BOX WHEN THE FIRST REPLY WAS FILED WITHIN TWO MONTHS OF THE FINAL REJECTION. See MPEP 706.07(f).**

Extensions of time may be obtained under 37 CFR 1.136(a). The date on which the petition under 37 CFR 1.136(a) and the appropriate extension fee have been filed is the date for purposes of determining the period of extension and the corresponding amount of the fee. The appropriate extension fee under 37 CFR 1.17(a) is calculated from: (1) the expiration date of the shortened statutory period for reply originally set in the final Office action; or (2) as set forth in (b) above, if checked. Any reply received by the Office later than three months after the mailing date of the final rejection, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

1. A Notice of Appeal was filed on _____. Appellant's Brief must be filed within the period set forth in 37 CFR 1.192(a), or any extension thereof (37 CFR 1.191(d)), to avoid dismissal of the appeal.
2. The proposed amendment(s) will not be entered because:
- (a) they raise new issues that would require further consideration and/or search (see NOTE below);
 - (b) they raise the issue of new matter (see Note below);
 - (c) they are not deemed to place the application in better form for appeal by materially reducing or simplifying the issues for appeal; and/or
 - (d) they present additional claims without canceling a corresponding number of finally rejected claims.

NOTE: See Continuation Sheet.

3. Applicant's reply has overcome the following rejection(s): _____.
4. Newly proposed or amended claim(s) _____ would be allowable if submitted in a separate, timely filed amendment canceling the non-allowable claim(s).
5. The a) affidavit, b) exhibit, or c) request for reconsideration has been considered but does NOT place the application in condition for allowance because: _____.
6. The affidavit or exhibit will NOT be considered because it is not directed SOLELY to issues which were newly raised by the Examiner in the final rejection.
7. For purposes of Appeal, the proposed amendment(s) a) will not be entered or b) will be entered and an explanation of how the new or amended claims would be rejected is provided below or appended.

The status of the claim(s) is (or will be) as follows:

Claim(s) allowed: _____.

Claim(s) objected to: _____.

Claim(s) rejected: 1-12.

Claim(s) withdrawn from consideration: _____.

8. The drawing correction filed on _____ is a) approved or b) disapproved by the Examiner.
9. Note the attached Information Disclosure Statement(s) (PTO-1449) Paper No(s).
10. Other: See Continuation Sheet

[Handwritten signature]
JEFFREY GAFFIN
SUPERVISORY PATENT EXAMINER

Continuation of 2. NOTE: The limitations that the applicant argued are shown by Norris. Norris shows a system control circuit [14 in fig 2] which has a register [34 in fig 2], wherein said system control circuit carries out the clock frequency transition between said ordinary operation modes and said special modes in response to a change of a value in said register, and also carries out the clock frequency transition among said ordinary operation modes in response to said clock control library [col 6, lines 5-21; fig 2].

Continuation of 10. Other: Note the attached Notice of References Cited form PTO-892 which also mailed on 7/2/2003..

Best Available Copy

Notice of References Cited	Application/Control No. 10/251,755	Applicant(s)/Patent Under Reexamination ENDO, HITOSHI	
	Examiner Harold Kim	Art Unit 2182	Page 1 of 1

U.S. PATENT DOCUMENTS

*	Document Number Country Code-Number-Kind Code	Date MM-YYYY	Name	Classification
A	US-6,574,739	06-2003	Kung et al.	713/322
B	US-			
C	US-			
D	US-			
E	US-			
F	US-			
G	US-			
H	US-			
I	US-			
J	US-			
K	US-			
L	US-			
M	US-			

FOREIGN PATENT DOCUMENTS

*	Document Number Country Code-Number-Kind Code	Date MM-YYYY	Country	Name	Classification
N					
O					
P					
Q					
R					
S					
T					

NON-PATENT DOCUMENTS

*	Include as applicable: Author, Title Date, Publisher, Edition or Volume, Pertinent Pages)
U	
V	
W	
X	

*A copy of this reference is not being furnished with this Office action. (See MPEP § 707.05(a).)
Dates in MM-YYYY format are publication dates. Classifications may be US or foreign.



Serial No. 10/251,755
OKI.396
Amendment dated April 19, 2004

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of

Hitoshi Endo

Group Art Unit: 2182

Serial No.: 10/251,755

Examiner: H. Kim

Filed: September 23, 2002

Confirm. No.: 4191

For: SYSTEM LSI

AMENDMENT UNDER 37 C.F.R. 1.116

RECEIVED

APR 22 2004

Technology Center 2100

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window, **Mail Stop AF**
Crystal Plaza Two, Lobby, Room 1B03
Arlington, VA 22202

Date: April 19, 2004

Sir:

In response to the Office Action dated December 19, 2003, the period for response having been extended one (1) month to April 19, 2004, the following amendments and remarks are respectfully submitted in connection with the above-identified application.

Amendments to the Specification begin on page 3 of this paper.

Amendments to the Claims are reflected in the listing of claims which begins on page 4 of this paper.

6/4/04
nk,
DO NOT
ENTER



Serial No. 10/251,755
OKI.396
Amendment dated April 19, 2004

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of

Hitoshi Endo

Group Art Unit: 2182

Serial No.: 10/251,755

Examiner: H. Kim

Filed: September 23, 2002

Confirm. No.: 4191

For: SYSTEM LSI

AMENDMENT UNDER 37 C.F.R. 1.116

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window, **Mail Stop AF**
Crystal Plaza Two, Lobby, Room 1B03
Arlington, VA 22202

RECEIVED
APR 22 2004
Technology Center 2100

Date: April 19, 2004

Sir:

In response to the Office Action dated December 19, 2003, the period for response having been extended one (1) month to April 19, 2004, the following amendments and remarks are respectfully submitted in connection with the above-identified application.

Amendments to the Specification begin on page 3 of this paper.

Amendments to the Claims are reflected in the listing of claims which begins on page 4 of this paper.

*Serial No. 10/251,755
OKI.396
Amendment dated April 19, 2004*

Remarks/Arguments begin on page 8 of this paper.

Amendments to the Specification

Please replace the abstract with the following amended abstract:

~~There is disclosed a~~ A system LSI capable of dynamically and speedily controls controlling clocks of various frequencies as used in ~~[[the]]~~ a wide range of operation modes ~~[[mode,]]~~ from ~~[[the]]~~ high-speed operation mode to ~~[[the]]~~ low-speed operation modes ~~one and, in addition,~~ enabling ~~[[the]]~~ user selection of ~~to select~~ a system of the low power consumption type~~[[,]]~~ which is most suitable for his own system. The system LSI includes a ROM that stores ~~551 storing~~ a clock control library for carrying out ~~[[the]]~~ clock state ~~transition~~ transitions between ~~[[the]]~~ ordinary operation modes~~[[,]]~~; and a system control circuit ~~[[534]]~~ having a register ~~[[and]]~~ for carrying out ~~[[the]]~~ clock state transitions ~~transition~~ between ~~[[the]]~~ ordinary operation ~~[[mode]]~~ modes and ~~[[the]]~~ special modes responsive mode in response to changes in the change of the value of the register, and also carrying out ~~[[the]]~~ clock state ~~transition~~ transitions among ~~[[the]]~~ ordinary operation modes responsive in response to the clock control library. ~~The call~~ Calling of the clock control library and changing ~~change~~ of the register value are controlled by ~~[[the]]~~ an application program. The main library of the clock control library is described and called in the C language ~~and is called by also using~~ ~~[[the]]~~ C language.

Amendments to the Claims

This listing of claims will replace all prior versions, and listings of claims in the application:

Listing of Claims:

Claim 1 (Currently Amended): A system LSI having a plurality of ordinary operation modes and a plurality of special modes in response to clock frequencies supplied to a central processing unit, comprising:

a first memory that stores a clock control library for controlling a clock frequency transition between said ordinary operation modes;

a system control circuit which has a register, wherein said system control circuit carries out the clock frequency transition between said ordinary operation modes and said special modes in response to a change of a value in said register, and also carries out the clock frequency transition among said ordinary operation modes in response to said clock control library;

a clock generation circuit that receives a plurality of standard clocks, wherein said clock generation circuit generates a clock supplied to said central processing unit according to control by said system control circuit; and

a second memory that stores an application program, wherein calling of said clock control library and changing of said register value are programmably controlled by said application program to enable user selectable clock frequency transitions,

wherein said special modes comprise a first special mode in which clock supply to principal constituents of said central processing unit is halted, a second special mode in which clock supply to an entirety of said central processing unit is halted, and a third special mode in which supply of power to the entirety of said central processing unit is halted.

Claim 2 (Previously Presented): A system LSI as claimed in claim 1, wherein said clock control library comprises:

a plurality of libraries that control said system control circuit and said clock generation circuit to transition the clock frequencies supplied to said central processing unit; and

a main library which is called by said application program and selects any one of said libraries in correspondence with the clock frequency supplied to said central processing unit.

Claim 3 (Previously Presented): A system LSI as claimed in claim 2, wherein said main library is described using a same program language as said application program.

Claim 4 (Previously Presented): A system LSI as claimed in claim 3, wherein said application program and said main library are described using C language.

Claim 5 (Previously Presented): A system LSI as claimed in claim 2, wherein each of said libraries is described using a program language capable of directly controlling said clock generation circuit and said system control circuit.

Claim 6 (Previously Presented): A system LSI as claimed in claim 5, wherein each of said libraries is described using an assembler language.

Claim 7 (Canceled)

Claim 8 (Currently Amended): A system LSI as claimed in claim 1 [[7]], wherein said system control circuit comprises:

a frequency division ratio setting register that sets a frequency division ratio of the clock generated by said clock generation circuit;

a clock halting register that receives the clock from said clock generation circuit and individually sets the clock to be halted or supplied; and

a status register that judges a state of said central processing unit immediately after being released from said third special mode.

Claim 9 (Previously Presented): A system LSI as claimed in claim 1, wherein said clock generation circuit comprises:

a PLL that receives a plurality of standard clocks and generates the clock if

needed by multiplying said standard clocks; and

a frequency division/selection portion that carries out frequency division or selection of said standard clocks or said multiplied standard clock.

Claim 10 (Currently Amended): A system LSI as claimed in claim 9, wherein one of said standard clocks uses a frequency of 32.768 kHz as a base oscillation.

Claim 11 (Previously Presented): A system LSI as claimed in claim 1, wherein said first memory and said second memory are two independent memories which are separated from each other.

Claim 12 (Previously Presented): A system LSI as claimed in claim 1, wherein said first memory and said second memory are formed to coexist in one memory, sharing memory area of said one memory.

REMARKS

Claims 1-6 and 8-12 are pending in the present application. Claims 1, 8 and 10 have been amended. Claim 7 has been canceled.

Information Disclosure Citation Form

Applicant respectfully notes receipt of the Information Disclosure Citation form PTO-A820 along with the current Final Office Action dated December 19, 2003. However, a Notice of References Cited form PTO-892 has not been received along with the initial Office Action dated July 2, 2003. **The Examiner is respectfully requested to provide a Notice of References Cited form PTO-892 listing the prior art references as relied upon by the Examiner in the Office Action dated July 2, 2003, to ensure that these corresponding references will be cited of record in the present application.**

Abstract

The Examiner has requested a new abstract presented on a separate sheet, in accordance with 37 C.F.R. 1.52(b)(1). Accordingly, an amended abstract is provided as presented on a separate sheet. The Examiner is therefore respectfully requested to enter the amended abstract.

Claim Rejections-35 U.S.C. 103

Claims 1-12 have been rejected under 35 U.S.C. 103(a) as being unpatentable over the Norris reference (U.S. Patent No. 5,630,148), in view of the Ashmore, Jr. et al. reference (U.S. Patent No. 5,811,987). This rejection is respectfully traversed for the following reasons.

Claim 1 has been amended to include the features of dependent claim 7, wherein the special modes comprise a first special mode, a second special mode and a third special mode, as set forth. With regard to claim 7, the Examiner has acknowledged in the paragraph bridging pages 4 and 5 of the Final Office Action that the Norris reference fails to teach first, second and third special modes. The Examiner has however taken Official Notice that the concept of first, second and third special modes are old and well known in the art, and therefore obvious. Applicant respectfully disagrees for the following reasons.

Claim 1 includes in combination a system control circuit "which has a register, wherein said system control circuit carries out the clock frequency transition between said ordinary operation modes and said special modes in response to a change of a value in said register, and also carries out the clock frequency transition among said ordinary operation modes in response to said clock control library". Applicant respectfully submits that the prior art as relied upon by the Examiner does not make obvious a system LSI having a system control circuit as featured in claim 1, which

controls clock frequency transitions between ordinary operation modes and special modes. The Examiner's mere reliance upon Official Notice does not overcome these deficiencies of the relied upon prior art.

Manual of Patent Examining Procedure section 2144.03 sets forth guidelines regarding the use of Official Notice. As set forth, the Examiner may take Official Notice of facts outside of the record which are capable of instant and unquestionable demonstration as being well known. As a given example, Official Notice could be taken that polyethylene terephthalate films are commonly known to be shrinkable. In other words, if a characteristic or an aspect of a teaching is not explicitly set forth or described, but if knowledge thereof is of such notorious character, Official Notice can be taken. In general, the Examiner should not be obliged to spend time to produce documentary proof.

The Examiner has apparently taken the position that the use of a first special mode "in which clock supply to principal constituents of said central processing unit is halted", a second special mode "in which clock supply to an entirety of said central processing unit is halted", and a third special mode "in which supply of power to the entirety of said central processing unit is halted", as with a system control circuit that carries out clock frequency transitions as featured in claim 1, is "of such notorious character that Official Notice can be taken". However, this is improper use of Official Notice, because the Examiner has relied upon "Official Notice" to extensively modify the Norris reference without the benefit of clear and established motivation.

In absence of identified prior art that at least shows some type of central processing unit special modes in general, the Examiner's reliance on Official Notice to meet the special modes of claim 1 is clearly improper and based on impermissible hindsight. These features are not capable of instant and unquestionable demonstration as being "well known" in the art, and cannot be established as obvious merely by "Official Notice". As noted by the Court in *In re Ahlert*, 424 F.2d 1088, 1091, 165 USPQ 418, 420-421 (CCPA 1970), "[A]ssertions of technical facts in areas of esoteric technology must always be supported by citation of some reference work" and "allegations of specific 'knowledge' of the prior art, which might be peculiar to the prior art should also be supported". The noted assertions of technical fact are not supported by the relied upon prior art.

Accordingly, Applicant respectfully submits that the system LSI of claim 1 would not have been obvious in view of the prior art as relied upon by the Examiner taken singularly or together, and that this rejection, insofar as it may pertain to claims 1-6 and 8-12, is improper for at least these reasons. If this rejection is to be maintained, the Examiner is respectfully requested to provide a prior art teaching that specifically shows the special modes of operation for a central processing unit in combination with a system control unit, as featured in claim 1.

With further regard to this rejection, the Examiner has interpreted performance state table 56 in Fig. 2 of the Norris reference as a clock control library. However, as specifically described in column 6, lines 7-9 of the Norris reference, performance

manager 44 stores the selected clock frequencies for the high, medium and low performance states in performance state table 56. Thus, the content of performance state table 56 in the Norris reference merely includes clock frequencies, not a clock control library for controlling a clock frequency transition between ordinary operation modes, as featured in claim 1. Applicant therefore respectfully submits that the system LSI of claim 1 would not have been obvious in view of the prior art as relied upon by the Examiner taken singularly or together, and that this rejection, insofar as it may pertain to claims 1-6 and 8-12, is improper for at least these additional reasons.

With further regard to this rejection, the Examiner has interpreted clock speed register 34 in Fig. 2 of the Norris reference as the register of the system control circuit of claim 1. However, as very generally described in column 6, lines 13-16 of the Norris reference, an appropriate value of clock speed is apparently written into clock speed register 34 to set the frequency of processor clock 32. Accordingly, clock speed register 34 merely stores a clock frequency. Clock frequency transitions between ordinary operation and special modes are not carried out in the Norris reference by a system control circuit responsive to a change in a value stored in clock speed register 34. Applicant therefore respectfully submits that the system LSI of claim 1 would not have been obvious in view of the prior art as relied upon by the Examiner taken singularly or together, and that this rejection, insofar as it may pertain to claims 1-6 and 8-12, is improper for at least these reasons.

Regarding claim 5, performance state table 56 in Fig. 2 of the Norris reference

does not store a clock control library for controlling clock frequency transitions between ordinary modes. Since performance state table 56 of the Norris reference merely stores clock frequencies therein, the Norris reference clearly fails to disclose or suggest libraries using a program language capable of directly controlling a clock generation circuit and a system control circuit, as featured in claim 5. Applicant therefore respectfully submits that the system LSI of claim 5 would not have been obvious in view of the prior art as relied upon by the Examiner taken singularly or together, for at least these additional reasons.

Regarding the remaining claims, Applicant respectfully submits that the Examiner's reliance upon Official Notice is improper. The Examiner's assertion that the use of a clock halting register, a status register, a phase locked loop, a frequency of 32.768 kHz as a base oscillation, and the use of first through third special modes as noted previously, are "of such notorious character that Official Notice can be taken" is clearly improper. In absence of specific teachings disclosing these particular features, or supporting the Examiner's assertions of technical fact, this rejection is clearly based on impermissible hindsight.

Conclusion

The Examiner is respectfully requested to enter the above noted Amendment, which has been made merely to amend claim 1 to include the features of dependent claim 7 to improve antecedent in view of claim 1, and to improve punctuation. Also,

since claim 7 has already been examined, entry and consideration of this Amendment should not be an undue burden.

The Examiner is respectfully requested to reconsider and withdraw the corresponding rejection, and to pass the claims of the present application to issue, for at least the above reasons.

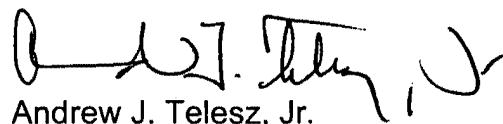
In the event that there are any outstanding matters remaining in the present application, please contact Andrew J. Telesz, Jr. (Reg. No. 33,581) at (703) 715-0870 in the Washington, D.C. area, to discuss these matters.

Pursuant to the provisions of 37 C.F.R. 1.17 and 1.136(a), the Applicant hereby petitions for an extension of one (1) month to April 19, 2004, for the period in which to file a response to the outstanding Office Action. The required fee of \$110.00 is attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment for any additional fees that may be required, or credit any overpayment, to Deposit Account No. 50-0238.

Respectfully submitted,

VOLENTINE FRANCO, P.L.L.C.



Andrew J. Telesz, Jr.
Registration No. 33,581

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191

**COMBINED AMENDMENT & PETITION FOR EXTENSION OF
TIME UNDER 37 CFR 1.136(a) (Large Entity)**

Docket No.
OKI.396

The fee for the amendment and extension of time is to be paid as follows:

- A check in the amount of **\$110.00** for the amendment and extension of time is enclosed.
- Please charge Deposit Account No. _____ in the amount of **\$0.00**
- The Director is hereby authorized to charge payment of the following fees associated with this communication or credit any overpayment to Deposit Account No. **50-0238**
 - Any additional filing fees required under 37 C.F.R. 1.16.
 - Any patent application processing fees under 37 CFR 1.17.
- If an additional extension of time is required, please consider this a petition therefor and charge any additional fees which may be required to Deposit Account No. **50-0238**

RECEIVED

APR 22 2004

Technology Center 2100



Signature

Dated: April 19, 2004

ANDREW J. TELESZ, JR.
REG. NO. 33,581

VOLENTINE FRANCOS, P.L.L.C.
12200 SUNRISE VALLEY DRIVE, SUITE 150
RESTON, VA 20191

TEL. NO. (703) 715-0870

I certify that this document and fee is being deposited on _____ with the U.S. Postal Service as first class mail under 37 C.F.R. 1.8 and is addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

Signature of Person Mailing Correspondence

Typed or Printed Name of Person Mailing Correspondence

CC:



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
10/251,755	09/23/2002	Hitoshi Endo	OKI.396	4191

7590 12/19/2003
VOLENTINE FRANCOS, PLLC
Suite 150
12200 Sunrise Vally Drive
Reston, VA 20191

EXAMINER

KIM, HAROLD J

ART UNIT	PAPER NUMBER
2182	

2182

DATE MAILED: 12/19/2003

Please find below and/or attached an Office communication concerning this application or proceeding.

DETAILED ACTION

1. This Office Action is in response to the filing of the Amendment A, Paper # 5, on 9/22/03. Arguments have been considered but they are moot in view of the new ground(s) of rejection. Applicant's amendment necessitated the new ground(s) of rejection presented in this Office action. Accordingly, this action is made **FINAL**.
2. Claims 1-12 are presented for examination.
3. The abstract of the disclosure did not commence on a separate sheet in accordance with 37 CFR 1.52(b)(1). A new abstract of the disclosure is required and must be presented on a separate sheet, apart from any other text.

Claim Rejections - 35 USC § 103

4. The following is a quotation of 35 U.S.C. 103(a) which forms the basis for all obviousness rejections set forth in this Office action:

(a) A patent may not be obtained though the invention is not identically disclosed or described as set forth in section 102 of this title, if the differences between the subject matter sought to be patented and the prior art are such that the subject matter as a whole would have been obvious at the time the invention was made to a person having ordinary skill in the art to which said subject matter pertains. Patentability shall not be negated by the manner in which the invention was made.

5. This application currently names joint inventors. In considering patentability of the claims under 35 U.S.C. 103(a), the examiner presumes that the subject matter of the various claims was commonly owned at the time any inventions covered therein were made absent any evidence to the contrary. Applicant is advised of the obligation under 37 CFR 1.56 to point out the inventor and invention dates of each claim that was not commonly owned at the time a later invention was made in order for the examiner to consider the applicability of 35 U.S.C. 103(c) and potential 35 U.S.C. 102(f) or (g) prior art under 35 U.S.C. 103(a).

6. **Claims 1-12 are rejected under 35 U.S.C. 103(a) as being unpatentable over Norris, US Patent no. 5,630,148, in view of Ashmore, Jr. et al., US Patent no. 5,811,987.**

Art Unit: 2182

7. In re claim 1, Norris shows a system LSI [fig 1] having a plurality of ordinary operation modes [col 4, lines 57-64; fig 3b] and a plurality of special modes [col 4, lines 57-64; fig 3b] in response to clock frequencies supplied to a central processing unit [12, 32 in fig 1], comprising:

a first memory [18 in fig 1] that stores a clock control library [56 in fig 2; col 6, lines 5-16] for controlling a clock frequency transition between said ordinary modes;

a system control circuit [14 in fig 2] which has a register [34 in fig 2], wherein said system control circuit carries out the clock frequency transition between said ordinary operation modes and said special modes in response to a change of a value in said register, and also carries out the clock frequency transition among said ordinary operation modes in response to said clock control library [col 6, lines 5-21; fig 2];

a clock generation circuit [14 in fig 1], wherein said clock generation circuit generates a clock [32 in fig 1] supplied to said central processing unit according to control by said system control circuit; and

a second memory [20] that stores an application program [col 4, lines 29-34], wherein calling of said clock control library and changing of said register value are programmably controlled by said application program to ensure user selectable clock frequency transitions [col 5, lines 28-38].

Norris shows a clock generation circuit. However, Norris does not show a clock generation circuit that receives a plurality of standard clocks. Ashmore, Jr. et al. shows a clock generation circuit that receives a plurality of standard clocks [fig 5A]. Therefore, it would have been obvious to one of ordinary skill in the art at the time the invention

was made to include a clock generation circuit that receives a plurality of standard clocks as shown in Ashmore, Jr. et.al. for a clock generation circuit that provides flexibility with a minimal number of components is needed [Ashmore, Jr. et al., col 3, lines 54-56].

8. In re claim 2, Norris shows a plurality of libraries [col 5, lines 5-14; figs 3b and 4] that control said system control circuit and said clock generation circuits to transition the clock frequencies supplied to said central processing unit [col 6, lines 5-21]; and

a main library [fig 3b] which is called by said application program and selects any one of said libraries in correspondence with the clock frequency supplied to said central processing unit.

9. In re claim 5, Norris shows each of said libraries is described using a program language capable of directly controlling said clock generation circuit and said system control circuit [col 4, lines 48-53].

10. In re claim 11, Norris shows first memory and said second memory are two independent memories which are separated from each other [fig 1].

11. In re claims 3, 4, 6-10, and 12, Norris shows a frequency division ratio setting register [34 in fig 2; col 5, lines 48-56] and a frequency division/selection portion that carries out frequency division [34 in fig 2; col 5, lines 48-56]. Norris fails to teach said application program and said main library are described using a same program, C and assembler languages, first, second and third special modes, clock halting register, status register, PLL, frequency of 32.768 kHz as a base oscillation, said two memory means are formed to coexist in one memory means. Official Notice is taken that both

Art Unit: 2182

the concept and the advantages of providing for writing application program and data set (main library) using same program, C and assembler languages, first, second and third special modes, clock halting register, status register, PLL, frequency of 32.768 kHz as a base oscillation, and said two memory means are formed to coexist in one memory means are old and well known in the art. Therefore, it would have been obvious to the ordinary skilled person in the art at the time the invention was made to include writing application program and data set (main library) using same program, C and assembler languages, first, second and third special modes, clock halting register, status register, PLL, frequency of 32.768 kHz as a base oscillation, and said two memory means are formed to coexist in one memory means are very well known to provide necessary functions that user want (user friendly) and more flexible device by allowing it to operate in multiple configurations.

Conclusion

Applicant's arguments with respect to claims 1-12 have been considered but they are moot in view of the new ground(s) of rejection. Applicant's amendment necessitated the new ground(s) of rejection presented in this Office action. Accordingly, **THIS ACTION IS MADE FINAL**. Applicant is reminded of the extension of time policy as set forth in 37 CFR 1.136(a).

A shortened statutory period for reply to this final action is set to expire **THREE MONTHS** from the mailing date of this action. In the event a first reply is filed within **TWO MONTHS** of the mailing date of this final action and the advisory action is not mailed until after the end of the **THREE-MONTH** shortened statutory period, then the shortened statutory period will expire on the date the advisory action is mailed, and any

Art Unit: 2182

extension fee pursuant to 37 CFR 1.136(a) will be calculated from the mailing date of the advisory action. In no event, however, will the statutory period for reply expire later than SIX MONTHS from the date of this final action.

Any response to this action should be mailed to:

Mail Stop _____
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Effective December 1, 2003, hand-carried and facsimile-transmitted patent application related incoming correspondences will be to a centralized location.

The centralized fax number is 703 872-9306.

The centralized hand carry paper drop off location is:

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window
Crystal Plaza Two, Lobby, Room 1B03

Any inquiry of a general nature or relating to the status of this application should be directed to the technology center receptionist whose telephone number is (703) 306-5631.


Direct any inquiries concerning drawing review to the Drawing Review Branch (703) 305-8404.

Any inquiry concerning this communication or earlier communications from the examiner should be directed to Harold Kim whose telephone number is (703) 305-1948.

The examiner can normally be reached on Monday-Thursday 6 AM - 4:30 PM.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Jeffrey Gaffin can be reached on (703) 308-3301.

Harold J. Kim
Patent Examiner
December 14, 2003/HK



JEFFREY GAFFIN
SUPERVISOR, PATENT EXAMINER
TECHNOLOGY CENTER 2100

Notice of References Cited	Application/Control No. 10/251,755	Applicant(s)/Patent Under Reexamination ENDO, HITOSHI	
	Examiner Harold Kim	Art Unit 2182	Page 1 of 1

U.S. PATENT DOCUMENTS

*	Document Number Country Code-Number-Kind Code	Date MM-YYYY	Name	Classification
A	US-5,630,148	05-1997	Norris, David	713/322
B	US-5,811,987	09-1998	Ashmore et al.	326/39
C	US-			
D	US-			
E	US-			
F	US-			
G	US-			
H	US-			
I	US-			
J	US-			
K	US-			
L	US-			
M	US-			

FOREIGN PATENT DOCUMENTS

*	Document Number Country Code-Number-Kind Code	Date MM-YYYY	Country	Name	Classification
N					
O					
P					
Q					
R					
S					
T					

NON-PATENT DOCUMENTS

*	Include as applicable: Author, Title Date, Publisher, Edition or Volume, Pertinent Pages)
U	
V	
W	
X	

*A copy of this reference is not being furnished with this Office action. (See MPEP § 707.05(a).)
Dates in MM-YYYY format are publication dates. Classifications may be US or foreign.

11

INFORMATION DISCLOSURE CITATION
(Use several sheets if necessary)

Docket Number (Optional)
OKI39


Application Number
NEW

Applicant(s)
Hitoshi ENDO

Filing Date
September 23, 2002

Group Art Unit
TO BE ASSIGNED

U.S. PATENT DOCUMENTS

*EXAMINER INITIAL	REF	DOCUMENT NUMBER	DATE	NAME	CLASS	SUBCLASS	FILING DATE IF APPROPRIATE
							Jc997 U.S. PTO 10/25/755  09/23/02

FOREIGN PATENT DOCUMENTS

	REF	DOCUMENT NUMBER	DATE	COUNTRY	CLASS	SUBCLASS	Translation	
							YES	NO
ak	A	2001-202155	07/27/2001	Japan			✓	
nk	B	06-119079	04/28/1994	Japan			✓	
nk	C	10-149237	06/02/1998	Japan			✓	

OTHER DOCUMENTS (Including Author, Title, Date, Pertinent Pages, Etc.)

EXAMINER *Harold G.*

DATE CONSIDERED *8/29/02*

EXAMINER: Initial if citation considered, whether or not citation is in conformance with MPEP Section 609; Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

AMENDMENT TRANSMITTAL LETTER (Large Entity)	Docket No. OKI.396
Applicant(s): Hitoshi Endo	

Serial No. 10/251,755	Filing Date September 23, 2002	Examiner H. Kim	Group Art Unit 2182
--------------------------	-----------------------------------	--------------------	------------------------

Invention: SYSTEM LSI



RECEIVED

TO THE COMMISSIONER FOR PATENTS:

SEP 24 2003

Technology Center 2100

Transmitted herewith is an amendment in the above-identified application.
The fee has been calculated and is transmitted as shown below.

CLAIMS AS AMENDED

	CLAIMS REMAINING AFTER AMENDMENT	HIGHEST # PREV. PAID FOR	NUMBER EXTRA CLAIMS PRESENT	RATE	ADDITIONAL FEE
TOTAL CLAIMS	12 -	20 =	0 x	\$18.00	\$0.00
INDEP. CLAIMS	1 -	3 =	0 x	\$84.00	\$0.00
Multiple Dependent Claims (check if applicable) <input type="checkbox"/>					\$0.00
TOTAL ADDITIONAL FEE FOR THIS AMENDMENT					\$0.00

- No additional fee is required for amendment.
- Please charge Deposit Account No. _____ in the amount of _____
- A check in the amount of _____ to cover the filing fee is enclosed.
- The Director is hereby authorized to charge payment of the following fees associated with this communication or credit any overpayment to Deposit Account No. **50-0238**
 - Any additional filing fees required under 37 C.F.R. 1.16.
 - Any patent application processing fees under 37 CFR 1.17.

Signature

Dated: September 22, 2003

ANDREW J. TELESZ, JR.
REG. NO. 33,581

VOLENTINE FRANCOS, P.L.L.C.
12200 SUNRISE VALLEY DRIVE, SUITE 150
RESTON, VA 20191

TEL. NO. (703) 715-0870

I certify that this document and fee is being deposited on _____ with the U.S. Postal Service as first class mail under 37 C.F.R. 1.8 and is addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.
<i>Signature of Person Mailing Correspondence</i>
<i>Typed or Printed Name of Person Mailing Correspondence</i>

CC:



Serial No. 10/251,755
OKI.396
Amendment dated September 22, 2003

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of

Hitoshi Endo

Group Art Unit: 2182

Serial No.: 10/251,755

Examiner: H. Kim

Filed: September 23, 2002

For: SYSTEM LSI

Handwritten: #25/Anda
A1
10/8/03

RECEIVED

SEP 24 2003

Technology Center 2100

AMENDMENT

Handwritten: 10/9/03

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window, **Mail Stop Non-Fee Amendment**
Crystal Plaza Two, Lobby, Room 1B03
Arlington, VA 22202

Date: September 22, 2003

Sir:

In response to the Office Action dated July 2, 2003, the following amendments and remarks are respectfully submitted in connection with the above-identified application.

Amendments to the Specification begin on page 3 of this paper.

Amendments to the Claims are reflected in the listing of claims which begins on page 8 of this paper.

Serial No. 10/251,755
OKI.396
Amendment dated September 22, 2003

Remarks/Arguments begin on page 13 of this paper.

Amendments to the Specification

Please replace the paragraph beginning on page 1, line 9 with the following amended paragraph:

AM
In case of battery-powered devices, for instance a mobile telephone, which belong to the application field of a microcontroller constituted by ~~[[mean]]~~ means of a system LSI, it ~~is seemed~~ seems that many of them are still requested to improve themselves such that their consumption of electric power (referred to simply as "power" hereinafter) is reduced as ~~[[lower]]~~ low as possible for the sake of their users' convenience and benefit, and there have been developed various techniques for responding to such request. Owing to these techniques, it has become possible to reduce the power consumption of the entire system, though gradually, by properly changing the clock speed corresponding to the need, for instance by supplying the high-speed clock when the high speed processing is necessary and supplying the low-speed clock when the wait state is needed. In the recent years, in ~~[[the]]~~ almost all application fields ~~[[field]]~~, an application specific integrated circuit (ASIC) is provided for the microcontroller constituted by ~~[[mean]]~~ means of the system LSI. In the case of the system into which the ASIC is built, in order to extend the battery life, the power reduction as well as the matters related thereto ~~[[is]]~~ are requested to be described in the specification of the system, and it becomes not rare that such low power consumption technique is incorporated into the core CPU of the system.

Please replace the paragraph beginning on page 10, line 16 with the following amended paragraph:

A2
The quartz oscillator for use in a wristwatch may be used for obtaining the frequency of 32.768 kHz. With use of the clock of which the frequency is very low comparing compared to the ordinary operation mode which is operated at the frequency of several tens of MHz through several hundreds, it becomes possible to realize the substantial wait mode.

Please replace the paragraph beginning on page 13, line 2 with the following amended paragraph:

A3
The external clock terminal 546 is connected with a clock generation circuit placed on the system LSI ~~[[560]]~~ 550 and supplies the external clock to a system control circuit 534. In addition, an external interruption control circuit 559 is provided to be connected with the interruption signal terminal 545. The embodiment of the invention as mentioned above is characterized by a system control circuit 534 and a clock generation circuit 558. These two circuits 534 and 558 will be explained in the following, with reference to Figs. 3 and 4, respectively.

Please replace the paragraph beginning on page 16, line 15 with the following amended paragraph:

A4
The processor 511 as used in the current embodiment has two operation modes,

A4
one being a fast bus mode and the other being a synchronous mode. The fast bus mode is an operation mode wherein the clock BCLK as used for access from the dedicated peripheral bus 521 is used by both of the processor 511 and the dedicated peripheral bus 521. The synchronous mode is an operation mode wherein the operation clock FCLK of the core CPU ~~[[510]]~~ 512 is used in the processor 511 while the clock BCLK for access use is used in the dedicated peripheral bus 521.

Please replace the paragraph beginning on page 19, line 9 with the following amended paragraph:

A5
The clock speed in high-speed operation mode is slower than that in the highest-speed operation mode (STN1), but the application can be operated at a sufficient speed in this operation mode. The reason why the mode like this is separately provided is for smoothly executing the clock gear, thereby optimizing reduction of the power consumption by the ~~[[enter]]~~ entire system.

Please replace the paragraph beginning on page 20, line 9 with the following amended paragraph:

A6
The halt mode is the mode for halting the clock supply to principal constituents of the CPU 510 as shown in Fig. 1, that is, the processor 511, the CPU bridge 520, the peripheral bridge 530, the bus arbitration arbitrary device 524, and so forth. Transition to the halt mode is executed, from the application side, by setting HALT of the clock halt

me
register 564 in the system control circuit 534 as shown in Fig. 3. With this, the operation of almost all devices operated with high-speed clocks is halted, so that the power consumption by the entire system can be reduced to a great extent. However, peripheral devices are still in operation even under this condition. For instance, as the interruption control circuit 525 is still in operation, it can accept the external interruption, thus being able to reopen the clock supply by a means other than resetting it.

Please replace the paragraph beginning on page 22, line 29 with the following amended paragraph:

A1
Further, in order to reduce the power consumption of the entire system without losing the versatility of the core CPU 512 [[521]], there are provided in the CPU 510 the system control circuit 534 and the clock generation circuit 558 according to the invention. In this way, in the dynamic clock control according to the invention, the clock of the core CPU 512 in the system LSI 550 as well as the CPU 510 can be controlled simultaneously.

Please replace the abstract with the following amended abstract:

138
~~There is disclosed a~~ A system LSI ~~capable of dynamically and speedily controls~~ controlling clocks of various frequencies as used in ~~[[the]]~~ a wide range of operation modes ~~[[mode,]]~~ from ~~[[the]]~~ high-speed ~~operation mode~~ to ~~[[the]]~~ low-speed operation modes ~~one and, in addition, enabling~~ ~~[[the]]~~ user selection of ~~to select~~ a system of the

AA
low power consumption type[[,]] which is most suitable for his own system. The system LSI includes a ROM that stores ~~551 storing~~ a clock control library for carrying out [[the]] clock state ~~transition~~ transitions between [[the]] ordinary operation modes[[,]]; and a system control circuit [[534]] having a register [[and]] for carrying out [[the]] clock state transitions ~~transition~~ between [[the]] ordinary operation [[mode]] modes and [[the]] special modes responsive mode in response to changes in the change of the value of the register, and also carrying out [[the]] clock state ~~transition~~ transitions among [[the]] ordinary operation modes responsive in response to the clock control library. The call Calling of the clock control library and changing change of the register value are controlled by [[the]] an application program. The main library of the clock control library is described and called in the C language and is called by also using [[the]] C language.

Amendments to the Claims

This listing of claims will replace all prior versions, and listings of claims in the application:

Listing of Claims:

Claim 1 (Currently amended): A system LSI having a plurality of ordinary operation modes and a plurality of special modes in response to ~~[[the]]~~ clock ~~[[state]]~~ frequencies supplied to a central processing unit, comprising:

A9 ~~[[the]]~~ a first memory means storing that stores a clock control library for controlling ~~[[the]]~~ a clock ~~[[state]]~~ frequency transition between said ordinary operation modes;

a system control circuit which has having a register, wherein said system control circuit carries and carrying out the clock frequency ~~[[state]]~~ transition between said ordinary operation ~~[[mode]]~~ modes and said special modes ~~[[mode]]~~ in response to ~~[[the]]~~ a change of ~~[[the]]~~ a value ~~[[of]]~~ in said register, and also carries carrying out the clock frequency ~~[[state]]~~ transition among said ordinary operation modes in response to said clock control library;

a clock generation circuit that receives receiving a plurality of standard clocks and generating the, wherein said clock generation circuit generates a clock supplied to said central processing unit according to ~~[[the]]~~ control ~~[[of]]~~ by said system control circuit; and

[[the]] a second memory that stores ~~means storing~~ an application program[[:]].
wherein calling [[call]] of said clock control library and changing ~~change~~ of said register
value are programmably controlled by said application program to enable user
selectable clock frequency transitions.

Claim 2 (Currently amended): A system LSI as claimed in claim 1, wherein said clock
control library comprises:

a plurality of libraries that [[which]] control said system control circuit and said
clock generation circuit ~~as well to transit~~ transition the clock [[state]] frequencies
supplied to said central processing unit; and

a main library which is called by said application program and selects any one of
said libraries in correspondence with the clock [[state]] frequency supplied to said
central processing unit.

Claim 3 (Currently amended): A system LSI as claimed in claim 2, wherein said main
library is described [[in the]] using a same program language as said application
program.

Claim 4 (Currently amended): A system LSI as claimed in claim 3, wherein said
application program and said main library are described [[in the]] using C language.

Claim 5 (Currently amended): A system LSI as claimed in claim 2, wherein each of said libraries is described ~~[[in]]~~ using a program language capable of directly controlling said clock generation circuit and said system control circuit ~~as well~~.

Claim 6 (Currently amended): A system LSI as claimed in claim 5, wherein each of said libraries is described ~~[[in]]~~ using an assembler language.

Claim 7 (Currently amended): A system LSI as claimed in claim 1, wherein said special ~~modes comprise~~ mode comprises:

a ~~[[the]]~~ first special mode in which ~~[[the]]~~ clock supply to ~~[[the]]~~ principal constituents of said central processing unit is halted;

a ~~[[the]]~~ second special mode in which ~~[[the]]~~ clock supply to an entirety of said ~~of the entire~~ central processing unit is halted; and

a ~~[[the]]~~ third special mode in which supply of ~~[[the]]~~ power ~~source of~~ to the entire entirety of said central processing unit is halted.

Claim 8 (Currently amended): A system LSI as claimed in claim 7, wherein said system control circuit comprises:

a frequency division ratio setting register that ~~[[which]]~~ sets a ~~[[the]]~~ frequency division ratio of the clock ~~[[in]]~~ generated by said clock generation circuit;

a clock halting register that ~~[[which]]~~ receives the clock ~~signal~~ from said clock

generation circuit and individually sets the clock signal to be halted or supplied; and
a status register that ~~[[which]]~~ judges ~~[[the]]~~ a state of said central processing unit immediately after being released from said third special mode.

Claim 9 (Currently amended): A system LSI as claimed in claim 1, wherein said clock generation circuit comprises:

a PLL that receives ~~receiving~~ a plurality of standard clocks and generates the clock generating ~~[[,]]~~ if needed ~~need be, the clock obtained~~ by multiplying said standard clocks; and

a frequency division/selection portion that carries ~~carrying~~ out ~~[[the]]~~ frequency division or selection of said standard ~~[[clock]]~~ clocks or said multiplied standard clock.

Claim 10 (Original): A system LSI as claimed in claim 9 wherein one of said standard clocks uses a frequency of 32.768 kHz as a base oscillation.

Claim 11 (Currently amended): A system LSI as claimed in claim 1, wherein said first memory ~~[[means]]~~ and said second memory ~~[[means]]~~ are ~~constituted as two~~ independent ~~memory means~~ memories which are separated from each other.

Claim 12 (Currently amended): A system LSI as claimed in claim 1, wherein said first memory ~~[[means]]~~ and said second memory ~~[[means]]~~ are formed to coexist in one

memory [[means]], sharing [[the]] memory area of said one memory [[means]].

Remarks/Arguments

Claims 1-12 are pending in the present application. Claims 1-9, 11 and 12 have been amended.

Priority Under 35 U.S.C. 119

Applicant notes the Examiner's acknowledgment of the Claim for Priority under 35 U.S.C. 119, and receipt of the certified copy of the priority document.

Drawings

Applicant notes the Examiner's acceptance of the drawings as filed along with the present application on September 23, 2002.

Information Disclosure Citation Forms

The Office Action Summary Form PTO-326 as provided along with the Office Action dated July 2, 2003, indicates that a Notice of References Cited Form PTO-892 and an Information Disclosure Citation Form PTO-1449 are attached to the Office Action. However, copies of the corresponding PTO-892 form and PTO-1449 form have not been received along with the current Office Action. **The Examiner is respectfully requested to provide a copy of the Notice of References Cited Form PTO-892, and a signed and dated copy of the PTO-1449 form that was submitted along with the Information Disclosure Statement filed on September 23, 2002, so as to confirm**

that all the references as relied upon in the present application will be cited of record.

Specification

The abstract has been amended to be limited to a single paragraph within the range of 50-150 words. The Examiner is respectfully requested to acknowledge receipt and acceptance of the amended abstract.

Claim Rejections-35 U.S.C. 102

Claims 1-3, 7 and 8 have been rejected under 35 U.S.C. 102(e) as being anticipated by the Kung et al. reference (U.S. Patent No. 6,574,739). This rejection, insofar as it may pertain to the presently pending claims, is traversed for the following reasons.

The system LSI of claim 1 includes in combination a first memory "that stores a clock control library for controlling a clock frequency transition between said ordinary operation modes", a system control circuit "which has a register, wherein said system control circuit carries out the clock frequency transition between said ordinary operation modes and said special modes in response to a change of a value in said register, and also carries out the clock frequency transition among said ordinary operation modes in response to said clock control library", and a second memory "that stores an application program, wherein calling of said clock control library and changing of said register value

are programmably controlled by said application program to enable user selectable clock frequency transitions". Applicant respectfully submits that the prior art as relied upon by the Examiner does not disclose these features.

Applicant emphasizes that adjustment or changing of the internal clock frequencies of the CPU in the Kung et al. reference is based upon perceived CPU processing load as determined by the computer system. That is, the system of the Kung et al. reference does not store an application program wherein calling of a clock control library and changing of a register value of a system control circuit are programmably controlled by the application program, to enable user selectable clock frequency transitions as featured in claim 1. Clock frequency transitions are not programmably controlled to be user selectable in the Kung et al. reference, but are merely controlled directly based on processing load of the CPU.

Particularly, as described beginning in column 2, line 16 of the Kung et al. reference, the CPU of the preferred embodiment has a status signal line M/IO, wherein the state of the M/IO line indicates whether the CPU is performing a read/write operation to memory or to an I/O port. As further described beginning in column 2, line 47 of the Kung et al. reference, CPU activity monitoring circuit 50 is used for monitoring processing loads of CPU 10, and generates a load parameter that corresponds to a perceived processing load of CPU 10. Thereafter, CPU activity adjusting program 40 adjusts the internal clock frequency and operating voltage of CPU 10 according to the load parameter. Accordingly, adjustment or changing of internal clock frequencies of

the CPU in the Kung et al. reference is directly based on a determined load parameter that corresponds to the perceived processing load of CPU 10.

Moreover, the Examiner has interpreted memory 36 as the first memory of claim 1, and CPU activity adjusting program 40 as stored in memory 36 as the application program of claim 1. However, memory 36 of the Kung et al. reference as specifically relied upon by the Examiner is not described as including clock control libraries. Also, CPU activity adjusting program 40 of the Kung et al. reference as specifically relied upon by the Examiner is not described as programmably controlling calling of a clock control library and changing of a register value to enable user selectable clock frequency transitions, because the system of the Kung et al. reference is not described as including clock control libraries and is further characterized as adjusting internal frequencies of the CPU based on determined load parameters corresponding to perceived processing load of the CPU. Accordingly, Applicant respectfully submits that the system LSI of claim 1 distinguishes over the Kung et al. reference as relied upon by the Examiner, and that this rejection, insofar as it may pertain to claims 1-3, 7 and 8, is improper for at least these reasons.

Also, the system LSI of claim 1 is further featured as including in combination a clock generation circuit "that receives a plurality of standard clocks, wherein said clock generation circuit generates a clock supplied to said central processing unit according to control by said system control circuit". Clock 16 of the Kung et al. reference is described in column 2, lines 42-44 as providing a fixed frequency. Clock 16 is further

described in the alternative in column 5, lines 57-61 of the Kung et al. reference as one that has a variable, selectable frequency. **The selected frequency** is delivered from clock 16 to CPU 10, not **a plurality of standard clocks**, as featured in claim 1.

Applicant therefore respectfully submits that the system LSI of claim 1 distinguishes over the Kung et al. reference as relied upon by the Examiner, and that this rejection, insofar as it may pertain to claims 1-3, 7 and 8, is improper for at least these additional reasons.

Claim Rejections 35 U.S.C. 103

Claims 4-6 and 9-12 have been rejected under 35 U.S.C. 103(a) as being unpatentable over the Kung et al. reference. Applicant respectfully submits that claims 4-6 and 9-12 distinguish over and would not have been obvious in view of the Kung et al. reference as relied upon by the Examiner for at least the same reasons as set forth above with respect to claim 1.

Conclusion

Except as otherwise stated in the above Remarks, the claim amendments have been made merely to place the application in better form, not to otherwise narrow scope. Accordingly, such amendments should not be construed as narrowing scope within the meaning of *Festo*.

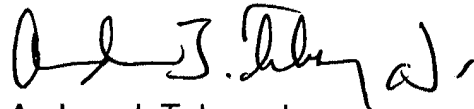
The Examiner is respectfully requested to reconsider and withdraw the corresponding rejections, and to pass the claims of the present application to issue, for at least the above reasons.

In the event that there are any outstanding matters remaining in the present application, please contact Andrew J. Telesz, Jr. (Reg. No. 33,581) at (703) 715-0870 in the Washington, D.C. area, to discuss these matters.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment for any additional fees that may be required, or credit any overpayment, to Deposit Account No. 50-0238.

Respectfully submitted,

VOLENTINE FRANCOS, P.L.L.C.



Andrew J. Telesz, Jr.
Registration No. 33,581

VOLENTINE FRANCOS, P.L.L.C.
12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Telephone No.: (703) 715-0870
Facsimile No.: (703) 715-0877



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
10/251,755	09/23/2002	Hitoshi Endo	OKI.396	4191

7590 07/02/2003
VOLENTINE FRANCOS, PLLC
Suite 150
12200 Sunrise Vally Drive
Reston, VA 20191

EXAMINER

KIM, HAROLD J

ART UNIT PAPER NUMBER

2182

DATE MAILED: 07/02/2003

Please find below and/or attached an Office communication concerning this application or proceeding.

Office Action Summary

Applicati n N .

10/251,755

Applicant(s)

ENDO, HITOSHI

Examiner

Harold Kim

Art Unit

2182

-- The MAILING DATE of this c mmunicati n app ars on the cover sheet with the corresp ndence address --

Period for R ply

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE 3 MONTH(S) FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If the period for reply specified above is less than thirty (30) days, a reply within the statutory minimum of thirty (30) days will be considered timely.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133).
- Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

Status

- 1) Responsive to communication(s) filed on 23 September 2002 .
- 2a) This action is FINAL. 2b) This action is non-final.
- 3) Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

Disp sition of Claims

- 4) Claim(s) 1-12 is/are pending in the application.
4a) Of the above claim(s) _____ is/are withdrawn from consideration.
- 5) Claim(s) _____ is/are allowed.
- 6) Claim(s) 1-12 is/are rejected.
- 7) Claim(s) _____ is/are objected to.
- 8) Claim(s) _____ are subject to restriction and/or election requirement.

Application Papers

- 9) The specification is objected to by the Examiner.
- 10) The drawing(s) filed on 23 September 2002 is/are: a) accepted or b) objected to by the Examiner.
Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).
- 11) The proposed drawing correction filed on _____ is: a) approved b) disapproved by the Examiner.
If approved, corrected drawings are required in reply to this Office action.
- 12) The oath or declaration is objected to by the Examiner.

Priority under 35 U.S.C. §§ 119 and 120

- 13) Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).
a) All b) Some * c) None of:
1. Certified copies of the priority documents have been received.
2. Certified copies of the priority documents have been received in Application No. _____ .
3. Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).
* See the attached detailed Office action for a list of the certified copies not received.
- 14) Acknowledgment is made of a claim for domestic priority under 35 U.S.C. § 119(e) (to a provisional application).
a) The translation of the foreign language provisional application has been received.
- 15) Acknowledgment is made of a claim for domestic priority under 35 U.S.C. §§ 120 and/or 121.

Attachment(s)

- 1) Notice of References Cited (PTO-892)
- 2) Notice of Draftsperson's Patent Drawing Review (PTO-948)
- 3) Information Disclosure Statement(s) (PTO-1449) Paper No(s) 2 .
- 4) Interview Summary (PTO-413) Paper No(s). _____ .
- 5) Notice of Informal Patent Application (PTO-152)
- 6) Other: _____ .

DETAILED ACTION

1. Claims 1-12 are presented for examination.
2. Applicant is reminded of the proper language and format for an abstract of the disclosure.

The abstract should be in narrative form and generally limited to a single paragraph on a separate sheet within the range of 50 to 150 words. It is important that the abstract **not exceed 150 words** in length since the space provided for the abstract on the computer tape used by the printer is limited. The form and legal phraseology often used in patent claims, such as "means" and "said," should be avoided. The abstract should describe the disclosure sufficiently to assist readers in deciding whether there is a need for consulting the full patent text for details.

Claim Rejections - 35 USC § 102

3. The following is a quotation of the appropriate paragraphs of 35 U.S.C. 102 that form the basis for the rejections under this section made in this Office action:

A person shall be entitled to a patent unless --

(e) the invention was described in (1) an application for patent, published under section 122(b), by another filed in the United States before the invention by the applicant for patent or (2) a patent granted on an application for patent by another filed in the United States before the invention by the applicant for patent, except that an international application filed under the treaty defined in section 351(a) shall have the effects for purposes of this subsection of an application filed in the United States only if the international application designated the United States and was published under Article 21(2) of such treaty in the English language.

4. **Claims 1-3, 7 and 8 are rejected under 35 U.S.C. 102(e) as being anticipated by Kung et al., US Patent no. 6,574,739.**

5. In re claim 1, Kung et al. shows a system LSI [fig 1] having a plurality of ordinary operation modes [col 5, lines 38-50] and a plurality of special modes [col 5, lines 38-50] in response to the clock state supplied to a central processing unit [10, fig 1], comprising:

the first memory means [36] storing a clock control library [col 4, line 16; col 5, lines 1-4; col 5, lines 38-50; fig 2] for controlling the clock state transition between said ordinary modes;

a system control circuit [14] having a register [14] and carrying out the clock state transition between said ordinary operation mode and said special mode in response to the change of the value of said register, and also carrying out the clock state transition among said ordinary operation modes in response to said clock control library [col 4, line 16; col 5, lines 1-4; col 5, lines 38-50; fig 2];

a clock generation circuit [16] receiving a plurality of standard clocks [col 5, lines 57-59] and generating the clock supplied to said central processing unit according to the control of said system control circuit; and

the second memory means [40] storing an application program;

wherein call of said clock control library and change of said register value are controlled by said application program.

6. In re claims 2-3, 7, Kung et al. shows the claimed limitations [col 4, line 16; col 5, lines 1-4; col 5, lines 38-50; fig 2].

7. In re claim 8, Kung et al. shows a frequency division ratio setting register [col 5, lines 50-55], a clock halting register [14, fig 1 when value is zero], a status register [29].

Claim Rejections - 35 USC § 103

8. The following is a quotation of 35 U.S.C. 103(a) which forms the basis for all obviousness rejections set forth in this Office action:

(a) A patent may not be obtained though the invention is not identically disclosed or described as set forth in section 102 of this title, if the differences between the subject matter sought to be patented and the prior art are such that the subject matter as a whole would have been obvious at the time the invention was made to a person having

Art Unit: 2182

ordinary skill in the art to which said subject matter pertains. Patentability shall not be negated by the manner in which the invention was made.

9. This application currently names joint inventors. In considering patentability of the claims under 35 U.S.C. 103(a), the examiner presumes that the subject matter of the various claims was commonly owned at the time any inventions covered therein were made absent any evidence to the contrary. Applicant is advised of the obligation under 37 CFR 1.56 to point out the inventor and invention dates of each claim that was not commonly owned at the time a later invention was made in order for the examiner to consider the applicability of 35 U.S.C. 103(c) and potential 35 U.S.C. 102(f) or (g) prior art under 35 U.S.C. 103(a).

10. Claims 4-6, and 9-12 are rejected under 35 U.S.C. 103(a) as being unpatentable over Kung et al., US Patent no. 6,574,739, as applied to claims 1-3, 7 and 8 above.

11. In re claims 4-6, and 9-12, Kung et al. fails to teach said application program and said main library are described in the C and assembler languages that capable of directly controlling clock generation circuit and system control circuit, PLL, frequency of 32.768 kHz as a base oscillation, two memory means are constituted as two independent memory means, and said two memory means are formed to coexist in one memory means. Official Notice is taken that both the concept and the advantages of providing for writing application program and data set (main library) in the C and assembler languages that capable of directly controlling clock generation circuit and system control circuit, PLL, frequency of 32.768 kHz as a base oscillation, two memory means are constituted as two independent memory means, and said two memory means are formed to coexist in one memory means are old and well known in the art. Therefore, it would have been obvious to the ordinary skilled person in the art at the time the invention was made to include writing application program and data set (main

Art Unit: 2182

library) in the C and assembler languages that capable of directly controlling clock generation circuit and system control circuit, PLL, frequency of 32.768 kHz as a base oscillation, two memory means are constituted as two independent memory means, and said two memory means are formed to coexist in one memory means are very well known to provide necessary functions that user want (user friendly) and more flexible device by allowing it to operate in multiple configurations.

Conclusion

The prior art made of record and not relied upon is considered pertinent to applicant's disclosure. Further references of interest are cited on Form PLO-892, which is attachment to this office action.

Any response to this action should be mailed to:

Commissioner of Patents and Trademarks
Washington, D.C. 20231

or faxed to:

(703) 746-7239 for regular communications (for informal or draft communications, please label "PROPOSED" or "DRAFT"), and

(703) 746-7238 for After Final communications.

Hand-delivered responses should be brought to Crystal Park II, 2121 Crystal Drive, Arlington, VA, Fourth Floor (Receptionist).

Any inquiry of a general nature or relating to the status of this application should be directed to the technology center receptionist whose telephone number is (703) 306-5631.

Direct any inquiries concerning drawing review to the Drawing Review Branch (703) 305-8404.

Any inquiry concerning this communication or earlier communications from the examiner should be directed to Harold Kim whose telephone number is (703) 305-1948. The examiner can normally be reached on Monday-Thursday 6 AM - 4:30 PM.

Application/Control Number: 10/251,755
Art Unit: 2182

Page 7

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Jeffrey Gaffin can be reached on (703) 308-3301.

ik

Harold J. Kim
Patent Examiner
June 29, 2003/HK

Recent Statutory Changes to 35 U.S.C. § 102(e)

On November 2, 2002, President Bush signed the 21st Century Department of Justice Appropriations Authorization Act (H.R. 2215) (Pub. L. 107-273, 116 Stat. 1758 (2002)), which further amended 35 U.S.C. § 102(e), as revised by the American Inventors Protection Act of 1999 (AIPA) (Pub. L. 106-113, 113 Stat. 1501 (1999)). The revised provisions in 35 U.S.C. § 102(e) are completely retroactive and effective immediately for all applications being examined or patents being reexamined. Until all of the Office's automated systems are updated to reflect the revised statute, citation to the revised statute in Office actions is provided by this attachment. This attachment also substitutes for any citation of the text of 35 U.S.C. § 102(e), if made, in the attached Office action.

The following is a quotation of the appropriate paragraph of 35 U.S.C. § 102 in view of the AIPA and H.R. 2215 that forms the basis for the rejections under this section made in the attached Office action:

A person shall be entitled to a patent unless –

(e) the invention was described in (1) an application for patent, published under section 122(b), by another filed in the United States before the invention by the applicant for patent or (2) a patent granted on an application for patent by another filed in the United States before the invention by the applicant for patent, except that an international application filed under the treaty defined in section 351(a) shall have the effects for purposes of this subsection of an application filed in the United States only if the international application designated the United States and was published under Article 21(2) of such treaty in the English language.

35 U.S.C. § 102(e), as revised by the AIPA and H.R. 2215, applies to all qualifying references, except when the reference is a U.S. patent resulting directly or indirectly from an international application filed before November 29, 2000. For such patents, the prior art date is determined under 35 U.S.C. § 102(e) as it existed prior to the amendment by the AIPA (pre-AIPA 35 U.S.C. § 102(e)).

The following is a quotation of the appropriate paragraph of 35 U.S.C. § 102 prior to the amendment by the AIPA that forms the basis for the rejections under this section made in the attached Office action:

A person shall be entitled to a patent unless –

() the invention was described in a patent granted on an application for patent by another filed in the United States before the invention thereof by the applicant for patent, or on an international application by another who

Art Unit: 2182

has fulfilled the requirements of paragraphs (1), (2), and (4) of section 371(c) of this title for the invention thereof by the applicant for patent.

For more information on revised 35 U.S.C. § 102(e) visit the USPTO website at www.uspto.gov or call the Office of Patent Legal Administration at (703) 305-1622.

Notice of References Cited	Application/Control No. 10/251,755	Applicant(s)/Patent Under Reexamination ENDO, HITOSHI	
	Examiner Harold Kim	Art Unit 2182	Page 1 of 1

U.S. PATENT DOCUMENTS

*	Document Number Country Code-Number-Kind Code	Date MM-YYYY	Name	Classification
A	US-6,574,739	06-2003	Kung et al.	713/322
B	US-			
C	US-			
D	US-			
E	US-			
F	US-			
G	US-			
H	US-			
I	US-			
J	US-			
K	US-			
L	US-			
M	US-			

FOREIGN PATENT DOCUMENTS

*	Document Number Country Code-Number-Kind Code	Date MM-YYYY	Country	Name	Classification
N					
O					
P					
Q					
R					
S					
T					

NON-PATENT DOCUMENTS

*	Include as applicable: Author, Title Date, Publisher, Edition or Volume, Pertinent Pages)
U	
V	
W	
X	

*A copy of this reference is not being furnished with this Office action. (See MPEP § 707.05(a).)
Dates in MM-YYYY format are publication dates. Classifications may be US or foreign.

US-PAT-NO: 5811987

DOCUMENT-IDENTIFIER: US 5811987 A

TITLE: Block clock and initialization circuit for a complex high density PLD

KWIC

Detailed Description Text - DETX (48)

Programmable block clock generator circuit 550 receives a plurality of clock input signals on clock input lines 521 to 523, and a set of logic signals on the plurality of logic signal lines 420i. In this embodiment, the plurality of logic signal lines 420i are dedicated product terms from a programmable logic array. However, in another embodiment (not shown), the plurality of logic signal lines 420i could be shared. Programmable block clock generator circuit 550 is configured by programming a plurality of architectural cells 516 to 518 to select one or more of the functions specified in Table 1.

[54] BLOCK CLOCK AND INITIALIZATION CIRCUIT FOR A COMPLEX HIGH DENSITY PLD

5,670,896 9/1997 Diba et al. 326/39

[75] Inventors: Benjamin Howard Ashmore, Jr.; Jeffrey Mark Marshall, both of Austin, Tex.; Bryon Irwin Moyer, Cupertino, Calif.; John David Porter, Boise, Id.; Nicholas A. Schmitz, Sunnyvale; Bradley A. Sharpe-Geisler, San Jose, both of Calif.

Primary Examiner—Edward P. Westin
Assistant Examiner—Richard Rosen
Attorney, Agent, or Firm—Skjorven, Morrill, MacPherson, Franklin & Friel LLP; Forrest E. Gunnison

[57] ABSTRACT

A block clock and initialization circuit for a programmable logic block in a complex very high density programmable logic device generates a plurality of block clock signals and block initialization signals for elements in the programmable logic block. The block clock and initialization circuit includes a block clock generator circuit and a block initialization circuit. The block clock generator circuit receives a first set of product terms in a plurality of product terms and a plurality of clock signals as input signals. In response to the input signals, the block clock generator circuit generates output signals on a plurality of block clock lines. The block initialization circuit receives a second set of product terms in the plurality of product terms as input signals. In response to the input signals, the block initialization circuit generates a plurality of output signals on the block initialization lines.

[73] Assignee: Advanced Micro Devices, Inc., Sunnyvale, Calif.

[21] Appl. No.: 740,948

[22] Filed: Nov. 5, 1996

Related U.S. Application Data

[63] Continuation-in-part of Ser. No. 653,186, May 24, 1996, which is a continuation of Ser. No. 459,960, Jun. 2, 1995, Pat. No. 5,521,529, and Ser. No. 458,865, Jun. 2, 1995, Pat. No. 5,589,782.

[51] Int. Cl. H03K 7/38

[52] U.S. Cl. 326/39; 326/38

[58] Field of Search 326/39, 38, 40

References Cited

U.S. PATENT DOCUMENTS

5,598,112 1/1997 Phillips 326/39

50 Claims, 13 Drawing Sheets

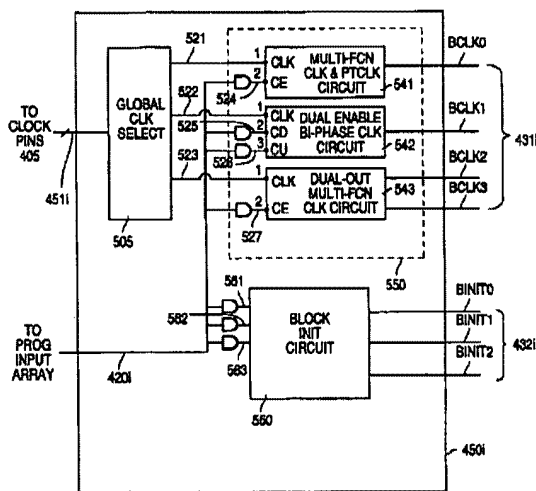


Table with 5 columns: Document ID, Issue Date, Current, Title, P. Row 4: US 5811987 A, 19980922, 326/39, Block clock and initialization circuit for a complex high density PLD. Row 5: US 5699389 A, 19971216, 375/371, Oversampling correlator with virtual clock phase for a...

US-PAT-NO: 5630148

DOCUMENT-IDENTIFIER: US 5630148 A

TITLE: Dynamic processor performance and power management in a computer system

----- KWIC -----

Abstract Text - ABTX (1):

A computer system is disclosed comprising a clock generator circuit having a clock speed register and circuitry for generating a processor clock signal at a frequency determined by the clock speed register, wherein the processor executes a performance manager program that writes the clock speed register according to a performance state selected by an application program. The application program selects the performance state to maximize performance during processor intensive functions and to maximize power conservation during interactive functions.

Brief Summary Text - BSTX (19):

These and other objects of the invention are provided by a computer system comprising a clock generator circuit having a clock speed register and circuitry for generating a processor clock signal at a frequency determined by the clock speed register. The computer system further comprises a processor coupled to receive the processor clock signal to synchronize the processor. The processor executes a performance manager program that writes the clock speed register according to a performance state selected by an application program executing on the computer system.

Brief Summary Text - BSTX (20):

The processor writes the clock speed register with a value specified in a performance state table maintained by the performance manager program. The

	U	1	Document ID	Issue Dat	Current	Title	P
6			US 5630148 A	19970513	713/322	Dynamic processor performance and power management in a computer system	
7			US 5423045 A	19950606	713/322	System for distributed power management in portable	

Norris

[45] Date of Patent: May 13, 1997

[54] DYNAMIC PROCESSOR PERFORMANCE AND POWER MANAGEMENT IN A COMPUTER SYSTEM 5,086,387 2/1992 Arroyo et al. 395/550
 5,142,684 8/1992 Penny et al. 395/750
 5,230,074 7/1993 Canova, Jr. et al. 395/750
 5,292,341 3/1994 Snell 607/90

[75] Inventor: David Norris, Portland, Oreg.

[73] Assignee: Intel Corporation, Santa Clara, Calif.

[21] Appl. No.: 613,778

[22] Filed: Feb. 28, 1996

[63] Continuation of Ser. No. 261,457, Jun. 17, 1994, abandoned.
 [51] Int. Cl.⁶ G06F 13/00
 [52] U.S. Cl. 395/750; 395/348
 [58] Field of Search 395/750, 159; 364/707

References Cited

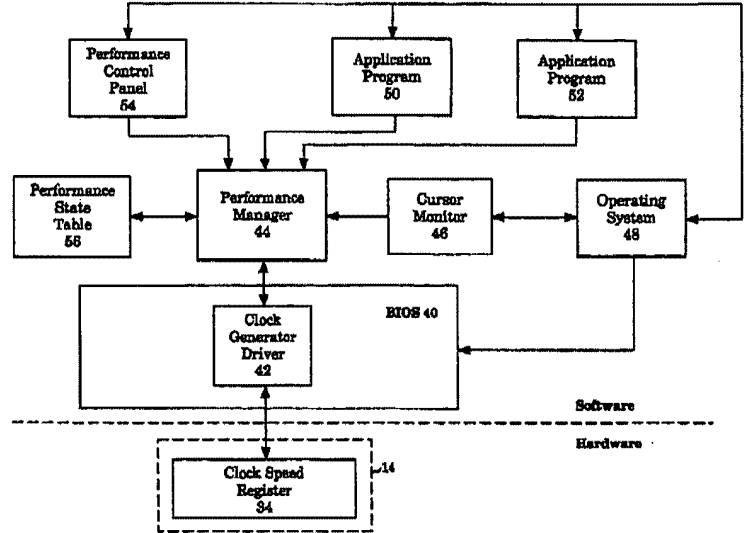
U.S. PATENT DOCUMENTS
 4,775,935 10/1983 Youick 364/401

Primary Examiner—Jack B. Harvey
 Assistant Examiner—John Travis
 Attorney, Agent, or Firm—Blakely, Sokoloff, Taylor & Zisman

[57] ABSTRACT

A computer system is disclosed comprising a clock generator circuit having a clock speed register and circuitry for generating a processor clock signal at a frequency determined by the clock speed register, wherein the processor executes a performance manager program that writes the clock speed register according to a performance state selected by an application program. The application program selects the performance state to maximize performance during processor intensive functions and to maximize power conservation during interactive functions.

15 Claims, 6 Drawing Sheets



DOCUMENT-IDENTIFIER: US 5632040 A

TITLE: Microcomputer having reduced power consumption through impedance control and frequency reduction

KWIC

Brief Summary Text - BSTX (6):

FIG. 14 is a block diagram showing a configuration of an oscillating circuit and the peripheral portion of the oscillating circuit of a conventional single-chip microcomputer which has a function of selecting a frequency of the system clock. In this figure, reference numeral 1 denotes an oscillating circuit which outputs a pulse signal having a predetermined frequency. 2 denotes a frequency divider which divides the frequency of the pulse signal outputted from the oscillating circuit 1. 3 denotes a selector which selects one as a system clock between a pulse signal outputted from the oscillating circuit 1 and a pulse signal outputted from the frequency divider 2. 4 denotes a register in which a signal to drive the selector 3 is stored. For example, when an "H" signal is stored in the register 4, the selector 3 selects a signal outputted from the oscillating circuit 1 and when an "L" signal is stored in the register 4, the selector 3 selects a signal outputted from the frequency divider 2.

Brief Summary Text - BSTX (7):

A program which runs on a single-chip microcomputer consists of variety of modules and each of the modules requires a certain processing speed. For example, a module which polls reception of events does not require a high speed of processing, whereas a module performing a large amount of calculations requires a high speed of processing. Therefore, when a module which does not require a high speed processing is performed in a program, the program writes an "L" signal in the register 4, thereby the pulse signal S2 outputted from the

[54] MICROCOMPUTER HAVING REDUCED POWER CONSUMPTION THROUGH IMPEDANCE CONTROL AND FREQUENCY REDUCTION	4,670,837	6/1987	Sheets	395/550
[75] Inventor: Toyokatsu Nakajima, Hyogo, Japan	5,021,679	6/1991	Fairbanks et al.	307/66
[73] Assignee: Mitsubishi Electric Semiconductor Software Co., Ltd., Hyogo; Mitsubishi Denki Kabushiki Kaisha, Tokyo, both of Japan	5,153,535	10/1992	Fairbanks et al.	331/143
	5,184,025	2/1993	McCurry et al.	307/66
	5,426,755	6/1995	Yokouchi et al.	395/428
	5,442,314	8/1995	Hara	327/543
	5,461,266	10/1995	Kawada et al.	307/125
	5,469,561	11/1995	Takeda	395/550

Primary Examiner—Gopal C. Ray
Attorney, Agent, or Firm—Loydig, Voit & Mayer

- [21] Appl. No.: 564,940
- [22] Filed: Nov. 30, 1995
- [30] Foreign Application Priority Data
Jul. 24, 1995 [JP] Japan 7-187255
- [51] Int. Cl.⁴ G06F 1/26; G06F 1/32
- [52] U.S. Cl. 395/750; 364/707; 364/273.1; 364/273.2; 364/273.3; 364/DIG. 1; 395/558
- [58] Field of Search 395/750, 775, 395/550; 364/707, 492; 363/227; 327/542; 307/66, 48, 34

[37] ABSTRACT

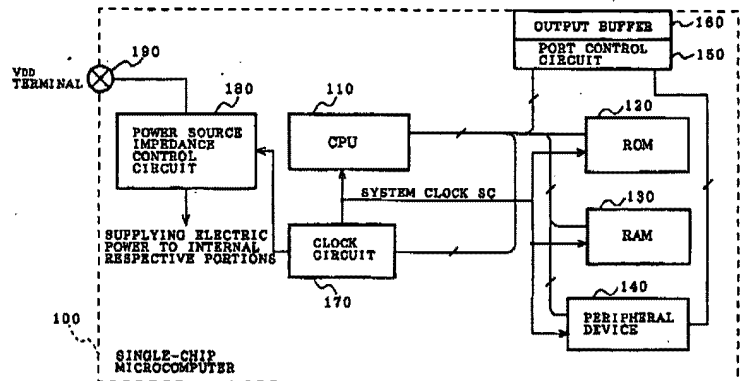
A microcomputer comprising a clock circuit which selects a pulse signal as a system clock of the microcomputer from among a plurality of pulse signals and a power source impedance controlling circuit which controls an impedance between a power input terminal and the units of the microcomputer based on the frequency of the pulse signal selected by the clock circuit to provide the electric power to the units of the microcomputer. The power source impedance controlling circuit controls the impedance such that the power source impedance is made lower as the frequency of the selected pulse signal is higher.

[50] References Cited

U.S. PATENT DOCUMENTS

4,570,219 2/1986 Shibukawa et al. 395/775

18 Claims, 15 Drawing Sheets



U	Document ID	Issue Date	Current	Title
1	US 6574739 B	20030603	7/13/322	Dynamic power saving by monitoring CPU
2	US 5632040 A	19970520	7/13/322	Microcomputer having reduced power con
3	US 5479648 A	19951226	7/13/322	Method and apparatus for switching clock
4	US 6314440 B	20011106	7/08/250	Pseudo random number generator

DOCUMENT-IDENTIFIER: US 6574739 B1

TITLE: Dynamic power saving by monitoring CPU utilization

----- KWIC -----

Detailed Description Text - DETX (7):

A clock 16 is electrically connected to the CPU 10. The clock 16 provides a fixed frequency to the CPU 10. The frequency of the clock 16 is multiplied by the multiplier value stored in the clock multiplier register 14 to provide the internal clock frequency of the CPU 10. Hence, by changing the multiplier value stored in its clock multiplier register 14, the CPU can change its internal clock frequency.

Detailed Description Text - DETX (9):

When operating at a high internal clock frequency, the CPU 10 requires a relatively high voltage. When operating at lower clock frequencies, the CPU 10 can use lower voltages, thereby using less energy. Consequently, to conserve energy during periods of little processor activity, the multiplier value stored in the clock multiplier register 14 is first reduced to lower the CPU internal clock frequency. Then, the VID value stored in the VID register 12 is changed to one that selects an appropriately lower voltage from the power regulator 18. The instruction set of the CPU activity adjusting program 40 executed in the CPU 10 provides instructions to change the contents of the clock multiplier register 14 and the VID register 12.

Detailed Description Text - DETX (20):

It should be clear from the above discussion that the method described does not require five bands, and their corresponding modes of operation, for the CPU 10. A greater or lesser number of bands may be employed, the actual number

- (54) DYNAMIC POWER SAVING BY MONITORING CPU UTILIZATION 5,930,516 A * 7/1999 Watts, Jr. et al. 713/322
5,996,084 A * 11/1999 Watts 713/322
6,006,336 A * 12/1999 Watts, Jr. et al. 713/322
- (75) Inventors: Shao-Tsu Kung, Taipei (TW); Chih-Chuan Cheng, Taipei (TW); Chun-Chih Liu, Taipei (TW); Yi-Chang Chen, Taipei (TW) 6,158,012 A * 12/2000 Watts, Jr. 713/322
6,173,409 B1 * 1/2001 Watts, Jr. et al. 713/322
6,397,340 B2 * 5/2002 Watts, Jr. et al. 713/322
6,427,211 B2 * 7/2002 Watts, Jr. 713/320

(73) Assignee: Compal Electronics, Inc., Neihu (TW)

* cited by examiner

(*) Notice: Subject to any disclaimer, the term of this patent is extended or adjusted under 35 U.S.C. 154(b) by 0 days.

Primary Examiner—Thomas M. Heckler
(74) Attorney, Agent, or Firm—Winston Hsu

(21) Appl. No.: 09/550,321

(22) Filed: Apr. 14, 2000

(51) Int. Cl.⁷ G06F 1/32

(52) U.S. Cl. 713/322; 713/320

(58) Field of Search 713/300, 320, 713/322-340, 501

(57) ABSTRACT

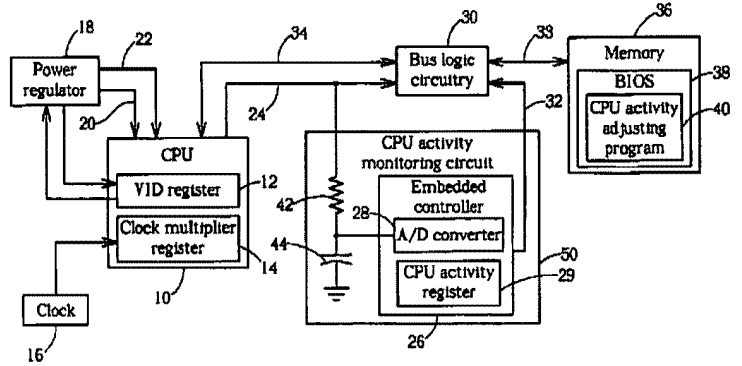
A CPU activity monitoring circuit is electrically connected to a CPU. This circuit monitors the state of a bus signal line on the CPU, as there is a strong correlation between the state of this line and the processing load of the CPU. This circuit can interrupt the processor to force an interrupt service call to a BIOS routine. This BIOS routine will adjust the internal clock frequency, or internal operating voltage, of the CPU based upon the perceived processing load of the CPU.

(56) References Cited

U.S. PATENT DOCUMENTS

5,218,704 A * 6/1993 Watts, Jr. et al. 713/322

12 Claims, 2 Drawing Sheets



U	Document ID	Issue Dat	Current	Title
1	<input type="checkbox"/> US 6574739 B	20030603	713/322	Dynamic power saving by monitoring CPU
2	<input type="checkbox"/> US 5632040 A	19970520	713/322	Microcomputer having reduced power cons
3	<input type="checkbox"/> US 5479648 A	19951226	713/322	Method and apparatus for switching clock si
4	<input type="checkbox"/> US 6314440 B	20011106	708/250	Pseudo random number generator

in the clock multiplier register 14 is first reduced to lower the CPU internal clock frequency. Then, the VID value stored in the VID register 12 is changed to one that selects an appropriately lower voltage from the power regulator 18. The instruction set of the CPU activity adjusting program 40 executed in the CPU 10 provides instructions to change the contents of the clock multiplier register 14 and the VID register 12.

Detailed Description Text - DETX (20):

It should be clear from the above discussion that the method described does not require five bands, and their corresponding modes of operation, for the CPU 10. A greater or lesser number of bands may be employed, the actual number depending upon the hardware restrictions of the CPU 10. That is, a CPU that permits a greater range of internal clock frequencies would permit the graph of FIG. 2 to be broken up into more than just five bands. On the other hand, a processor that permitted only two values to choose from for its internal clock frequency would necessitate a division of the graph into just two bands.

Claims Text - CLTX (7):

7. The computer system of claim 1 further comprising a clock with a predetermined frequency electrically connected to the CPU, and the CPU comprising a clock multiplier register with a multiplier value stored therein, the internal clock frequency of the CPU being determined by the product of the frequency of the clock and the multiplier value stored in the clock multiplier register.

Claims Text - CLTX (8):

8. The computer system of claim 7 wherein the CPU activity adjusting program changes the internal clock frequency of the CPU by changing the multiplier value stored in the clock multiplier register.

Current US Original Classification - CCOR (1):
713/322

(54) DYNAMIC POWER SAVING BY MONITORING CPU UTILIZATION	5,930,516 A	* 7/1999	Watts, Jr. et al.	713/322
	5,996,084 A	* 11/1999	Watts	713/322
	6,006,336 A	* 12/1999	Watts, Jr. et al.	713/322
(75) Inventors: Shao-Tsu Kung, Taipei (TW); Chih-Chuan Cheng, Taipei (TW); Chun-Chih Liu, Taipei (TW); Yi-Chang Chen, Taipei (TW)	6,158,012 A	* 12/2000	Watts, Jr. et al.	713/322
	6,173,409 B1	* 1/2001	Watts, Jr. et al.	713/322
	6,397,340 B2	* 5/2002	Watts, Jr. et al.	713/322
	6,427,211 B2	* 7/2002	Watts, Jr.	713/320

(73) Assignee: Compal Electronics, Inc., Neihu (TW)

* cited by examiner

(*) Notice: Subject to any disclaimer, the term of this patent is extended or adjusted under 35 U.S.C. 154(b) by 0 days.

Primary Examiner—Thomas M. Heckler
(74) Attorney, Agent, or Firm—Winston Hsu

- (21) Appl. No.: 09/550,321
- (22) Filed: Apr. 14, 2000
- (51) Int. Cl.⁷: G06F 1/32
- (52) U.S. Cl.: 713/322; 713/320
- (58) Field of Search: 713/300, 320, 713/322-340, 501

(57) ABSTRACT

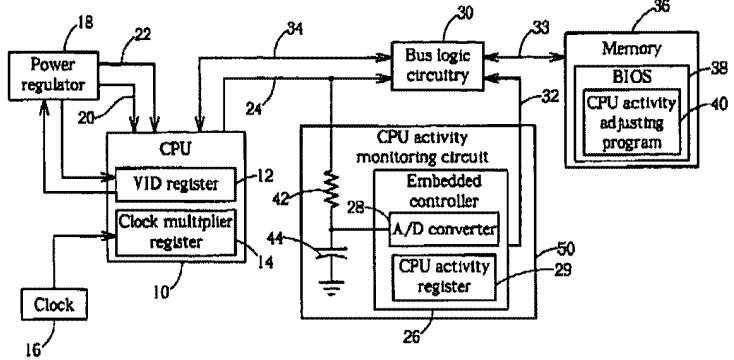
A CPU activity monitoring circuit is electrically connected to a CPU. This circuit monitors the state of a bus signal line on the CPU, as there is a strong correlation between the state of this line and the processing load of the CPU. This circuit can interrupt the processor to force an interrupt service call to a BIOS routine. This BIOS routine will adjust the internal clock frequency, or internal operating voltage, of the CPU based upon the perceived processing load of the CPU.

(56) References Cited

U.S. PATENT DOCUMENTS

5,218,704 A * 6/1993 Watts, Jr. et al. 713/322

12 Claims, 2 Drawing Sheets



U	Document ID	Issue Date	Current	Title
1	US 6574739 B	20030603	713/322	Dynamic power saving by monitoring CPU
2	US 5632040 A	19970520	713/322	Microcomputer having reduced power con
3	US 5479648 A	19951226	713/322	Method and apparatus for switching clock
4	US 6314440 B	20011106	708/250	Pseudo random number generator

Express Mail Label No.

UTILITY PATENT APPLICATION TRANSMITTAL (Large Entity)

(Only for new nonprovisional applications under 37 CFR 1.53(b))

Docket No.

OKI.396

Total Pages in this Submission

4

TO THE ASSISTANT COMMISSIONER FOR PATENTS

Box Patent Application
Washington, D.C. 20231

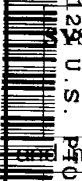
Transmitted herewith for filing under 35 U.S.C. 111(a) and 37 C.F.R. 1.53(b) is a new utility patent application for an invention entitled:

SYSTEM LSI

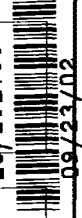
Invented by:

Hitoshi ENDO

09/23/02



10/25/02
10/25/02
U.S. PTO
10/25/02



If a **CONTINUATION APPLICATION**, check appropriate box and supply the requisite information:

Continuation Divisional Continuation-in-part (CIP) of prior application No.: _____

Which is a:

Continuation Divisional Continuation-in-part (CIP) of prior application No.: _____

Which is a:

Continuation Divisional Continuation-in-part (CIP) of prior application No.: _____

Enclosed are:

Application Elements

1. Filing fee as calculated and transmitted as described below
2. Specification having 31 pages and including the following:
 - a. Descriptive Title of the Invention
 - b. Cross References to Related Applications (if applicable)
 - c. Statement Regarding Federally-sponsored Research/Development (if applicable)
 - d. Reference to Sequence Listing, a Table, or a Computer Program Listing Appendix
 - e. Background of the Invention
 - f. Brief Summary of the Invention
 - g. Brief Description of the Drawings (if filed)
 - h. Detailed Description
 - i. Claim(s) as Classified Below
 - j. Abstract of the Disclosure

**UTILITY PATENT APPLICATION TRANSMITTAL
(Large Entity)**

(Only for new nonprovisional applications under 37 CFR 1.53(b))

Docket No.
OKI.396

Total Pages in this Submission
4

Application Elements (Continued)

- 3. Drawing(s) *(when necessary as prescribed by 35 USC 113)*
 - a. Formal Number of Sheets 10
 - b. Informal Number of Sheets _____
- 4. Oath or Declaration
 - a. Newly executed *(original or copy)* Unexecuted
 - b. Copy from a prior application (37 CFR 1.63(d)) *(for continuation/divisional application only)*
 - c. With Power of Attorney Without Power of Attorney
 - d. DELETION OF INVENTOR(S)
Signed statement attached deleting inventor(s) named in the prior application, see 37 C.F.R. 1.63(d)(2) and 1.33(b).
- 5. Incorporation By Reference *(usable if Box 4b is checked)*
The entire disclosure of the prior application, from which a copy of the oath or declaration is supplied under Box 4b, is considered as being part of the disclosure of the accompanying application and is hereby incorporated by reference therein.
- 6. CD ROM or CD-R in duplicate, large table or Computer Program (Appendix)
- 7. Application Data Sheet (See 37 CFR 1.76)
- 8. Nucleotide and/or Amino Acid Sequence Submission *(if applicable, all must be included)*
 - a. Computer Readable Form (CRF)
 - b. Specification Sequence Listing on:
 - i. CD-ROM or CD-R (2 copies); or
 - ii. Paper
 - c. Statement(s) Verifying Identical Paper and Computer Readable Copy

Accompanying Application Parts

- 9. Assignment Papers *(cover sheet & document(s))*
- 10. 37 CFR 3.73(B) Statement *(when there is an assignee)*
- 11. English Translation Document *(if applicable)*
- 12. Information Disclosure Statement/PTO-1449 Copies of IDS Citations
- 13. Preliminary Amendment
- 14. Return Receipt Postcard (MPEP 503) *(Should be specifically itemized)*
- 15. Certified Copy of Priority Document(s) *(if foreign priority is claimed)*
- 16. Certificate of Mailing
 - First Class Express Mail *(Specify Label No.):* _____

**UTILITY PATENT APPLICATION TRANSMITTAL
(Large Entity)**

(Only for new nonprovisional applications under 37 CFR 1.53(b))

Docket No.
OKI.396

Total Pages in this Submission
4

Accompanying Application Parts (Continued)

17. Additional Enclosures *(please identify below):*

Request That Application Not Be Published Pursuant To 35 U.S.C. 122(b)(2)

18. Pursuant to 35 U.S.C. 122(b)(2), Applicant hereby requests that this patent application not be published pursuant to 35 U.S.C. 122(b)(1). Applicant hereby certifies that the invention disclosed in this application has not and will not be the subject of an application filed in another country, or under a multilateral international agreement, that requires publication of applications 18 months after filing of the application.

Warning

An applicant who makes a request not to publish, but who subsequently files in a foreign country or under a multilateral international agreement specified in 35 U.S.C. 122(b)(2)(B)(i), must notify the Director of such filing not later than 45 days after the date of the filing of such foreign or international application. A failure of the applicant to provide such notice within the prescribed period shall result in the application being regarded as abandoned, unless it is shown to the satisfaction of the Director that the delay in submitting the notice was unintentional.

**UTILITY PATENT APPLICATION TRANSMITTAL
(Large Entity)**

(Only for new nonprovisional applications under 37 CFR 1.53(b))

Docket No.
OKI.396

Total Pages in this Submission
4

Fee Calculation and Transmittal

CLAIMS AS FILED

For	#Filed	#Allowed	#Extra	Rate	Fee
Total Claims	12	- 20 =	0	x \$18.00	\$0.00
Indep. Claims	1	- 3 =	0	x \$84.00	\$0.00
Multiple Dependent Claims (check if applicable) <input type="checkbox"/>					\$0.00
BASIC FEE					\$740.00
OTHER FEE (specify purpose) ASSIGNMENT RECORDAL FEE					\$40.00
TOTAL FILING FEE					\$780.00

- A check in the amount of **\$780.00** to cover the filing fee is enclosed.
- The Commissioner is hereby authorized to charge and credit Deposit Account No. **50-0238** as described below. A duplicate copy of this sheet is enclosed.
 - Charge the amount of _____ as filing fee.
 - Credit any overpayment.
 - Charge any additional filing fees required under 37 C.F.R. 1.16 and 1.17.
 - Charge the issue fee set in 37 C.F.R. 1.18 at the mailing of the Notice of Allowance, pursuant to 37 C.F.R. 1.311(b).

Signature

**ADAM C. VOLENTINE
REG. NO. 33,289**

**VOLENTINE FRANCOS, P.L.L.C.
12200 SUNRISE VALLEY DRIVE, SUITE 150
RESTON VA 20191**

TEL. NO. (703) 715-0870

Dated: **September 23, 2002**

cc:

System LSI

Background of the Invention

1. Field of the Invention

The present invention relates to a system LSI having a core CPU and, more particularly, to a system LSI capable of executing the dynamic clock control from the side of an application program.

2. Description of the Related Art

In case of battery-powered devices, for instance a mobile telephone, which belong to the application field of a microcontroller constituted by mean of a system LSI, it is seemed that many of them are still requested to improve themselves such that their consumption of electric power (referred to simply as "power" hereinafter) is reduced as lower as possible for the sake of their users' convenience and benefit, and there have been developed various techniques for responding to such request. Owing to these techniques, it has become possible to reduce the power consumption of the entire system, though gradually, by properly changing the clock speed corresponding to the need, for instance by supplying the high-speed clock when the high speed processing is necessary and supplying the low-speed clock when the wait state is needed. In the recent years, in the almost all application field, an application specific integrated circuit (ASIC) is provided for the microcontroller constituted by mean of the system LSI. In case of the system into which ASIC is built, in order to extend the battery life, the power reduction as well as the matters related thereto is requested to be described in the specification of the system, and it becomes not rare that such low

power consumption technique is incorporated into the core CPU of the system.

To begin with, a core CPU ST7 (referred to as "ST7 core" hereinafter), a product of a US firm "ST Microelectronics" will be explained as an example of a conventional core CPU with reference to Figs. 9 and 10 of the accompanying drawings. Fig. 9 is a block diagram for explaining a clock control circuit 40 of the ST7 core while Fig. 10 is an illustration for explaining the clock operation mode of the ST7 core.

As shown in Fig. 9, an oscillation portion 41 includes two oscillation terminals OSC1 and OSC2 and is connected with an oscillator such as a quartz oscillator through these oscillation terminals, thereby generating clock signals. A clock correction portion 42 is made up of a clock filter 43 and a clock rearrangement portion 44. The clock filters 43 removes the clock in which a spike noise or the like is mixed, and rearranges the clock in a predetermined wave forms. If the clocks are sparsely lined as a result of the above rearrangement of wave form thereof, the rearrangement portion 44 operates to narrow the frequency bandwidth of the clock.

A main clock control circuit 45 is made up of a setting register 46 and a clock frequency dividing portion 47. The setting register 46 sets the frequency division ratio of the clock to be 1/4, 1/8, 1/16, and 1/32. The frequency divided clocks fcpu are supplied to the ST7 core and peripheral devices, and are outputted from the I/O terminal CLKOUT to the external portion through an I/O switching portion 48.

The ST7 core is operable in four kinds of clock operation modes as shown in Fig. 10, under the control of the above clock control circuit 40. To put it more concretely, the ST7 core

operates at the frequency of 1/2 of the oscillation frequency in the high-speed operation mode. In the low-speed operation mode, it operates at the frequency of 1/4, 1/8, 1/16, and 1/32 of the oscillation frequency, respectively. In the wait mode, the clock of the CPU is halted while peripheral devices are in operation. In the halt mode, the oscillation per se halts so that the power consumption of the ST7 core is then minimized. Like this, if each operation mode is selectively used in correspondence with the processing by the CPU, a considerable amount of the power consumption can be saved in total.

On one hand, in case of constituting a microcontroller by means of the system LSI, there are some cases where the low power consumption technique is incorporated in the core CPU. An ARM920T (referred to as ARM core hereinafter), a product of a British firm "ARM", may be a good example of such core CPU. In case of the ARM core, it is premised that a power management portion is formed on the side of the system LSI.

There are two reasons why the ARM core adopts the constitution like the above. The first reason is that if the clock control mechanism is built in the core CPU side, a certain restriction is given to the design of the system LSI, as a result of which the core CPU would come to lose versatility thereof. On the side of the system LSI using the core CPU, there might take place a case where the clock drops its speed down and halts, eventually. In such case, it would become necessary to detect and examine such state and to adjust the timing of the internal memory, the internal timer, and so forth.

The second reason is as follows. The ARM core is provided with a joint test action group (JTAG) interface test terminal, and transmits the internal state of the core CPU to the external

portion through an in-circuit emulator (ICE), and operates the debugger, thereby giving convenience to the development of the application program. Consequently, the clock change on the core CPU side results in restriction of such use of the test terminal. Therefore, in order to effectively carry out the power management free from such restriction as mentioned above, it is preferable for them to provide the power management portion not on the side of the core CPU but on the side of the system LSI, thereby achieving the total power management.

In recent years, the system LSI has been sophisticated more and more and it becomes so difficult for the core CPU to directly and quickly respond to various demands coming from ASIC only by the core CPU itself. Then, in order to comply with the above problem, it would be considered to provide a versatile microcontroller mounting the same core CPU thereon. In other words, it is the thought of collecting common elements which are usually used by the system LSI, for instance, peripheral devices of the CPU, memory architectures and so forth, and have the basic function of executing an operating system (OS) at real time, and of presenting a versatile microcontroller provided with the elements and function as described above.

In order to achieve a total power management by mean of a versatile microcontroller like this, it is necessary for the versatile power management to be carried out taking account of not only the core CPU but also the inherent function of the application.

In the power management by the prior art microcontroller, however, the clock is just simply changed similar to the case of the ST7 core as mentioned above. In case of the ST7 core, as shown in Fig. 10, there are just simply changed the four operation modes which are the high-speed operation mode, the

low-speed operation mode, the wait mode and the halt mode. However, when the power management portion is provided not on the side of the core CPU but on the side of the system LSI, it is demanded that the clock of the core CPU and that of the system LSI have to be separately controlled. Consequently, it is not possible to carry out a fine control by means of the simple model like this.

Furthermore, it has been tried to dynamically control the clock from the application program side. For instance, in case of the ST7 core, the circuit related to the clock control is controlled by means of an assembler language which can be directly controlled. However, the clock control by using the assembler language is apt to receive many restrictions from the point of view of the application program development. Accordingly, it is preferable, if possible, to provide a flexible interface constituted by using the high-level program language like the C language that is usually adopted in the current software development. Unfortunately, however, there has been no support allowing a real power management by using the programming language like this.

Summary of the Invention

The present invention has been made in consideration of various problems the prior art system LSI has encountered so far, and an object of the invention is to provide a novel and improved system LSI wherein the power consumption of it can be suitably reduced by dynamically and speedily controlling the clock having various frequencies as used in a wide mode range from the high-speed operation mode to the low-speed operation mode and, in addition, a real power management is executed from the side of

an application program by using such a programming language as usually and widely adopted in the software development, thereby enabling the user to select the low power consumption system most suitable for his own system.

In order to solve the problems as mentioned above, according to the first aspect of the invention, there is provided a system LSI having a plurality of ordinary operation modes and a plurality of special modes in response to the clock state supplied to a central processing unit. The system LSI includes: the first memory means (551) storing a clock control library for controlling the clock state transition between the ordinary operation modes; a system control circuit (534) having a register and carrying out the clock state transition between the ordinary operation mode and the special mode in response to the change of the value of the register, and also carrying out the clock state transition among the ordinary operation modes in response to the clock control library; a clock generation circuit (558) receiving a plurality of standard clocks and generating the clock supplied to the central processing unit according to the control of the system control circuit; and the second memory means (551) storing an application program (31); wherein call of the clock control library and change of the register value are controlled by the application program.

The first memory means storing the clock control library and the second memory means storing the application program may be constituted as two independent memory means which are separated from each other. The first memory means and the second memory means may be formed to coexist in a single memory means, sharing the memory area of the above single memory means.

The prior art system has used a single standard clock system and realized only the high-speed operation mode and the low-speed operation mode by executing the frequency division of the above standard clock. On this point, different from the above prior art system LSI, the present invention adopts a plurality of standard clock systems. Accordingly, the clock generation circuit (558) is made up of a PLL (573) which receives a plurality of standard clocks (MCLK0, MCLK1, MCLK2) and generates, if need be, the clock obtained by multiplying the standard clocks, and a frequency division/selection portion (574) which divides the frequency of the standard clock or the multiplied standard clock, or selects the same. With this, it becomes possible to construct the system LSI having a variety of ordinary operation modes (highest-speed operation mode, high-speed operation mode, low-speed operation mode, lowest-speed operation mode, and so on).

Furthermore, when expressing the relation between the current clock state and the clock state after transition by using a function (clkgear) in the form of the clock control library, it becomes possible to dynamically and speedily control a plurality of clocks in the ordinary operation mode, as if it were a gear-change operation. In this way, the clock state can be controlled more finely.

Still further, according to the invention, the system control circuit includes a register, and the control making the ordinary operation mode transit to the special mode is carried out by changing the value of this register. At this time, as the register setting is kept unchanged after completion of transition to the special mode, the reverse transition from the special mode to the ordinary operation mode can be carried out by just releasing the

special mode with the help of the external interruption, thus, the transition control being made much easier.

It is preferable that the clock control library is made up of a plurality of libraries and a main library, the former controlling the system control circuit and the clock generation circuit as well to transit the clock state supplied to the central processing unit and the latter being called by the application program and selecting any one of the libraries in correspondence with the clock state supplied to the central processing unit.

As described above, the clock control library is made up of the main library and a plurality of libraries. With execution of the function (clkgear) corresponding to the library as selected by the main library, it becomes possible to dynamically control the circuits associated with the clock control, that is, the clock generation circuit and the system control circuit.

It is preferable for the main library to be described in the same programming language as the application program.

The main library and the application program are described in the same programming language and the application calls the main library by using the above same language. With this, it becomes possible to realize a flexible interface enabling the user to handle it with ease and also enabling the user to select the power management system which is the most suitable to his system. At present, with regard to the above-mentioned language, the invention assumes the C language, which is a high-level language and, now a day, is widely adopted in the development of the software. Even though a certain higher-level language would come out in future, it is needless to say that the descriptive language of the library could be suitably altered without causing any change in the essential constitution of the

invention.

Furthermore, it is preferable for each library to be described in a programming language which is able to directly control the clock generation circuit and the system control circuit as well.

With use of such language, the hardware in association with the clock control, that is, the clock generation circuit and the system control circuit can be directly controlled by the library. As an example of such language, the invention supposes the assembler language for the time being.

The special mode includes the first special mode (Halt Mode) which halts the clock supply to the principal constituents of the central processing unit, the second special mode (Stop Mode) which stops the clock of the entire central processing unit, and the third special mode (Sleep Mode) which puts the power source of the entire central processing unit into the sleeping state.

With provision of the above-mentioned three modes, it becomes possible to establish the constitution which can freely manages the reduction of the power consumption

It is preferable for the system control circuit to be provided with the frequency division ratio setting register (563) for setting the frequency division ratio of the clock in the clock generation circuit, the clock halt registers (564, 565) which receive the clock signal from the clock generation circuit to carry out the setting for stopping or supplying the individual clock signal, and the status register (567) for judging the status of the central processing unit immediately after being released from the third special mode. The above three registers, that is, the frequency setting register, the clock halt register, and the status register may be constituted by separately using a single register or by complexly using two or more registers. The design of the bit

length and the meaning of each bit may be suitably changed to meet the specification of the system.

With provision of the clock halt register as the register of the system control circuit, it becomes possible to control the transition of the clock state to the first special mode (Halt Mode) which halts the clock supply to the principal constituents of the central processing unit, and also the transition to the second special mode (Stop Mode) which stops the clock of the entire central processing unit. Furthermore, with the provision of the status register, it becomes possible to control the transition of the clock state to the third special mode (Sleep Mode) which puts the power source of the entire central processing unit into the sleeping state.

It is preferable for one of the standard clocks to use the frequency of 32.768 kHz.

The quartz oscillator for use in a wristwatch may be used for obtaining the frequency of 32.768 kHz. With use of the clock of which the frequency is very low comparing the ordinary operation mode which is operated at the frequency of several tens MHz through several hundreds, it becomes possible to realize the substantial wait mode.

Brief Description of the Drawings

Certain embodiments of the system LSI according to the invention will now be described in detail by way of examples and with reference to the accompanying drawings, wherein parts having substantially like function and constitution in each of several figures are identified by the like reference numeral or character, and wherein:

Fig. 1 is a block diagram for explaining the constitution of a

CPU,

Fig. 2 is a block diagram for explaining the constitution of a system LSI using the CPU as shown in Fig. 1,

Fig. 3 is a block diagram for explaining a system control circuit,

Fig. 4 is a block diagram for explaining a clock generation circuit.

Fig. 5 is a block diagram showing an example of clock operation mode and the state transition thereof,

Fig. 6 is a block diagram for explaining the constitution of a clock control library,

Fig. 7 is a table for explaining call of the clock control library,

Fig. 8 is a table for explaining parameters possessed by the library, wherein (a) indicates input parameters to the library and (b) indicates the contents of the input parameters,

Fig. 9 is a block diagram for explaining a prior art clock control circuit, and

Fig. 10 is an illustration for explaining conventional clock operation modes.

Detailed Description of the Preferred Embodiments

(CPU 510)

Referring to Fig. 1, a CPU 510 includes a processor 511 in its inside. A CPU bridge 520 is between the processor 511 and a dedicated high-speed bus 521 and connected with both of them, respectively. On one hand, a peripheral bridge 530 is between the dedicated high-speed bus 521 and a dedicated peripheral bus 531 and connected with both of them, respectively. The processor 511 includes a core CPU 512 as a main constituent thereof and further includes an internal data cache RAM 513 and

an internal instruction cache RAM 514 as well.

A system control circuit 534 is connected with the peripheral bridge 530 and is able to receive an external clock from an external circuit through an external clock terminal 546. This system control circuit 534 has the function of supplying the clock to the processor 511 and the other constituents of the CPU 510 and also has the function of controlling them.

All of a test interface 522 connected to the dedicated high-speed bus 521, a memory control circuit 523, a bus arbitration device 524 and an interruption control circuit 525 belongs to the other constituents of the CPU 510. The test interface 522 is connected with an external test bus 542, the memory control circuit 523 is connected with an external memory bus 543, and the interruption control circuit 525 is connected with an interruption signal terminal 545. The dedicated high-speed bus 521 is provided with an external terminal 544, and the system LSI can be constituted by connecting a user device with this external terminal 544.

In addition to the system control circuit 534, a timer 532 and a serial interface 533 having a communication port 547 are also connected with a dedicated peripheral bus 531.

A JTAG terminal 541 is used as a test interface of the processor 511 itself.

(System LSI 550)

Referring to Fig. 2, a system LSI 550 includes the CPU 510 shown in Fig. 1 as a principal constituent thereof and a dedicated high-speed bus 521 extended from the external terminal 544. The extended dedicated high-speed bus 521 is connected with a read only memory (ROM) 551 storing a clock control library and an application program which will be described later, a random

access memory (RAM) 552, and a user original circuit group 553.

Furthermore, a peripheral bridge 554 connected with the dedicated high-speed bus 521 is connected with a power down control circuit 556 and a user original clock generation circuit 557, both of which are on a dedicated peripheral bus 555. The power down control circuit 556 realizes the power down by controlling the clock distribution over the entire system LSI.

The external clock terminal 546 is connected with a clock generation circuit placed on the system LSI 560 and supplies the external clock to a system control circuit 534. In addition, an external interruption control circuit 559 is provided to be connected with the interruption signal terminal 545. The embodiment of the invention as mentioned above is characterized by a system control circuit 534 and a clock generation circuit 558. These two circuits 534 and 558 will be explained in the following, with reference to Figs. 3 and 4, respectively.

(System Control Circuit 534)

Referring to Fig. 3, the system control circuit 534 has the function of supplying the clock to the processor 511 and other constituents of the CPU 510 and controlling those. A dedicated peripheral bus 561 is connected with a various sorts of registers, by which the clock supplied to the CPU 510 is controlled. Each of these registers will be explained in the following.

A clock supply wait register 562 is a register having the function of setting up the start time of the oscillation of a reference clock and ensuring a stabilized period of time during which a phase-locked loop (PLL) 573 reaches its locked state. This register 562 outputs a control signal CKWT.

A frequency-division ratio setting register 563 is a register for controlling the clock generation circuit 558. This register 563

determines a clock frequency-division ratio and outputs the control signal CGC.

A clock halt register 564 is the register that designates two clock operation modes of the CPU510, that is, a halt mode (the first special mode) halting the clock supply to the principal constituents of the CPU 510, and a stop mode (the second special mode) stopping the clock all over the entirety of the CPU 510. This register 564 outputs a control signal PMP. Designation of the operation mode and which constituent of the CPU 510 is to be given a halt command on the clock supply, are decided by setting a specific bit of the register.

A clock halt control register 565 is a register which outputs a clock signal HCLK according to the instruction from the clock halt register 564. A clock signal BCLK (IN) causing the above instruction is supplied from a clock generation circuit 558 which will be described later.

An ID register 566 is a register for reading out a system ID which identifies a sort of the CPU 510 and so on.

A status register 567 is a register for indicating the status of respective peripheral devices. This status register 567 notifies the handshaking state in the inside peripheral devices of the CPU 510, immediately after being released from the Sleeping mode (the third special mode), which is one of the clock operation modes of the CPU 510 and halts the entire power source of the CPU 510. The notice of the handshaking state is executed by setting a specific bit of the register.

Each value of registers 562 through 567 is directly designated by the processor 511 through the dedicated peripheral bus 561.

Having explained in detail the constitution and function of the system control circuit 534 in the above, we now move to the clock

generation circuit 558.

(Clock Generation Circuit 558)

Referring to Fig. 4, the clock generation circuit 558 supplies the external clock to the system control circuit 534. The output of each quartz oscillator is inputted to each of terminals MCLK0 (62.5 MHz), MCLK1 (50 MHz), and MCLK2 (32.768 KHz), of which each constitutes a base oscillation of various clocks supplied to the system.

A clock control portion 571 controls various sorts of clocks. A control signal CKWT inputted to the clock control portion 571 is an input signal from the clock supply wait register 562 of the system control circuit 534 and is used for ensuring the stabilized period of time of the PLL 573.

A control portion 572 controls the entirety of the clock generation circuit 558. The control signal CGBSTP inputted to the control portion 572 is a signal which halts the clock of the clock generation circuit 558 itself. In the sleep mode which will be described later, halt of oscillation is instructed by an output signal OSCEN. Moreover, the control portion 572 outputs a signal CLKEN controlling the supply/halt of the clock to a frequency-division/selection portion 574.

The PLL 573 generates the stabilized high frequency clock (48 through 240 MHz) in synchronization with the clock MCLK0 as supplied. Thus, it is possible to select four clock systems in total if combined with the above various sorts of clocks. The PLL 573 can be halted with a control signal PLEN.

All the clocks are divided into frequencies and selected in the frequency division/selection portion 574, of which the principal output signals are a clock FCLK of the core CPU 512, a clock BCLK (OUT) as used for access from the dedicated peripheral bus

521, and a timer clock TMCLK. Control signals used in the frequency division/selection portion are the operation clock FCLK, a control signal CSEL over the clock BCLK (OUT) as used for access from the dedicated peripheral bus 521, and a control signal TMSEL over the timer clock TMCLK.

As described before, the further object of the invention is to most suitably reduce the power consumption of the system LSI by dynamically and speedily control a lot of various frequencies as used in various modes from the high-speed operation mode to the low-speed operation mode. As shown in Fig. 2, the system LSI 550 is made up of the CPU 510 using the processor 511 and the user original circuit group 553. Therefore, the clock supplied to the processor 511 has to be able to respond to the request of the processor 511.

The processor 511 as used in the current embodiment has two operation modes, one being a fast bus mode and the other being a synchronous mode. The fast bus mode is an operation mode wherein the clock BCLK as used for access from the dedicated peripheral bus 521 is used by both of the processor 511 and the dedicated peripheral bus 521. The synchronous mode is an operation mode wherein the operation clock FCLK of the core CPU 510 is used in the processor 511 while the clock BCLK for access use is used in the dedicated peripheral bus 521.

The clock BCLK for access use of the dedicated peripheral bus 521 is processed by means of the frequency division/selection portion 574 as shown in Fig. 4 to have a frequency equal to or $1/2$ of the clock FCLK for use in the core CPU. The switchover of these modes is carried out by setting the register of the core CPU 512.

In case of the CPU 510, the clock FCLK for use in the core CPU

and others could be set in detail in the register group inside the system control circuit 534 as shown in Fig. 3. The function capable of dynamically and speedily controlling the clock group like this will be called "Clock Gear" hereinafter in the present specification. In the following description on the current embodiment, however, it is assumed that the clock gear control is possible only in the fast bus mode.

Fig. 5 shows, by way of an example, some clock operation modes which can be taken according to the current embodiment, more particularly, those which can be taken by such a circuit constitution having a dynamic random access memory (DRAM) inside the system LSI and allowing the lowest-speed operation mode to exist. Transition between these modes is carried out by means of the above-mentioned clock gear, which is described in detail in the following.

As shown in Fig. 5, the embodiment provides eight operation modes STNn (n: integer of 0 through 7). Five operation modes STN0 through STN4 belong to an ordinary operation mode 11 while remaining three operation modes STN5 through STN7 belong to a special mode 12.

In the ordinary operation mode 11, there are an initial operation mode STN0, a highest-speed operation mode STN1, a high-speed operation mode STN2, a low-speed operation mode STN3, and a lowest-speed operation mode STN4, of which the last four (i.e. STN1 to STN4) are responsive to the operation speed of the CPU 510.

Furthermore, in the special mode 12, there are included a halt mode STN5 halting the clock supply to the principal constituents of the CPU 510, a stop mode STN6 stopping all the clocks of the CPU510, and a sleep mode STN7 halting all the power sources of

the CPU 510. In Fig. 5, several frequencies as written in the ordinary operation mode 11 indicate those of the clock BCLK as used for access from the dedicated peripheral bus 521.

The base oscillation of the clock (including an overtone) has three frequencies of 62.5 MHz, 50 MHz, and 32.768 KHz, which correspond to terminals MCLK0, MCLK1, and MCLK2 as shown in Fig. 4, respectively. The frequency of 32.768 KHz is generated by using the quartz oscillator for use in a wristwatch. The output of the PLL 573 is synchronized with the base oscillation MCLK0 and is multiplied up to the maximum of 240 MHz. Therefore, in the system LSI 550, it becomes possible to select the clock including those which are multiplied by the PLL 573 from the four clock systems in total.

In Fig. 5, the above-mentioned frequencies 62.5 MHz, 50 MHz, and 32.768 KHz, or a half of the first two i.e. 31.25 MHz and 25 MHz is shown as the clock BCLK for access use. In this case, however, an upper limit is determined with regard to the operation clock FCLK of the core CPU 12 depending on a specification. Also, there is limited the maximum frequency at which the clock BCLK for access use is allowed to be used.

In the following, five ordinary operation modes and three special modes will be explained with reference to Fig. 5. The ordinary operation mode will be first explained.

(STN0: Initial Operation Mode, 25 MHz)

The initial operation mode is used for setting initial values and so on immediately after being reset. As it is difficult for some of I/O devices connected with the dedicated high-speed bus 521, the dedicated peripheral bus 531 and so forth to make a high-speed response, the initial setting is carried out in the initial operation mode by means of the low-speed clock.

Immediately after being reset, the core CPU 512 is in the fast mode.

(STN1: Highest-Speed Operation Mode, 62.5 MHz)

The highest-speed mode is the mode for operating the dedicated high-speed bus 521 and the dedicated peripheral bus 531 at high-speed. Consequently, the power consumption by the entire system becomes large.

(STN2: High-Speed Operation Mode, 50 MHz)

The clock speed in high-speed operation mode is slower than that in the highest-speed operation mode (STN1), but the application can be operated at a sufficient speed in this operation mode. The reason why the mode like this is separately provided is for smoothly executing the clock gear, thereby optimizing reduction of the power consumption by the enter system.

(STN3: Low-speed Operation Mode, 31.25 MHz)

The low-speed operation mode is the mode which substantially reduces the power consumption by the entire system. If operating a low-speed device like a key board, this mode functions sufficiently.

(STN4: Lowest-Speed Operation Mode, 32.768 KHz)

The lowest-speed operation mode substantially realizes the wait mode of the system and reduces the power consumption of the entire system to a great extent. In this case, however, as the clock supply to the system is not completely halted, this operation mode can quickly transit to the above-mentioned low-speed operation mode and others.

The memory control circuit 523 as shown in Fig. 1 controls the external DRAM and others by means of an external memory bus 543. At this time, the above-mentioned base frequency 32.768 KHz is used as a clock for refreshing the DRAM. As this is

depending on the standard of the DRAM, if taking a frequency lower than the above frequency in the lowest-speed operation mode (STN4), the memory control circuit 523 controlling the DRAM has to be operated in the self-refresh mode.

Five ordinary operation modes according to the invention have been explained in the above. Now, we move to the explanation of special modes.

(STN5: Halt Mode (First Special Mode))

The halt mode is the mode for halting the clock supply to principal constituents of the CPU 510 as shown in Fig. 1, that is, the processor 511, the CPU bridge 520, the peripheral bridge 530, the bus arbitrary device, and so forth. Transition to the halt mode is executed, from the application side, by setting HALT of the clock halt register 564 in the system control circuit 534 as shown in Fig. 3. With this, the operation of almost devices operated with high-speed clocks is halted, so that the power consumption by the entire system can be reduced to a great extent. However, peripheral devices are still in operation even under this condition. For instance, as the interruption control circuit 525 is still in operation, it can accept the external interruption, thus being able to reopen the clock supply by a means other than resetting it.

(STN6: Stop Mode (Second Special Mode))

The stop mode is the mode for stopping the clocks of the entire CPU 510. Transition to the stop mode is executed, from the application side, by setting STOP of the clock halt register 564 in the system control circuit 534 as shown in Fig. 3. The control signal CGBSTP as shown in Fig. 4 instructs the stop of the clock generation circuit 558 according to the embodiment of the invention. As a result, the power consumption of the entire

system comes to mainly depend on the leakage current. Accordingly, this very effectively works in a battery-powered portable device. If the internal RAM 552 is constituted with a DRAM, the memory control circuit 523 has to be kept in the self-refresh mode.

(STN7: Sleep Mode (Third Special Mode))

The sleep mode is the mode for stopping all the power sources of the CPU 510. The control of this mode is executed by a power MOS (not shown) connected in series with the power source. Transition to the sleep mode is executed, from the application side, by setting the internal register of the power down control circuit 556. Release from the sleep mode is carried out by using a hardware signal to the power-down control circuit 556 which is the peripheral device not stopped yet. At that time, as the data stored in the internal DRAM and so on is erased upon the stop of clocks, it would take a considerably long time for completely recovery the application.

It is possible to make transition from any one of ordinary operation modes to any one of special mode. The application program is able to make the ordinary operation mode transit to the special mode by calling the call function of an objective special mode as designated. Inversely, in order to return from the special mode to the ordinary operation mode, it is needed only to release the special mode because the setting of the register in the system control circuit 534 is kept unchanged. Release of the special mode is carried out usually by the external interruption which is controlled by means of the interruption control circuit 525 as shown in Fig. 1 or, if need be, by means of the external interruption control circuit 595 as shown in Fig. 2.

In Fig. 5, a plurality of parenthesized numerals appended to

each of arrows transiting among various states (modes) indicate libraries corresponding to those state transitions. The above parenthesized numeral is referred to as "state transition number." The library will be explained later.

Comparing the clock operation mode of the invention with the case of the ST7 core as shown in Fig. 9, it will be understood that the ST7 core divides the frequency of the clock from a single clock system and assigns the divided one to the low-speed operation mode while in the embodiment of the invention, the clock from the four clock systems can be put in a proper use. Especially, the output from the PLL 573 is added to one of choices as a new clock system. Furthermore, a substantial wait mode has been realized by using the frequency of 32.768 KHz generated by the quartz oscillator for use in the wristwatch as a base oscillation. This has been done for the purpose of the invention, which is to dynamically and quickly control the clock with a lot of frequencies covering the wide range of the operation modes from the high-speed operation mode to the low-speed operation mode based on the concept we call the clock gear.

The special mode of the clock operation is full of varieties. The invention further includes the sleep mode in addition to two modes, that is, the halt mode and the stop mode which are usually equipped, thereby freely control the reduction of the power consumption. Especially, it belongs to the characteristics of the invention that the transition from the ordinary operation mode to the special mode can be freely set from the side of the application program and also that the reverse transition can be executed with ease by means of the external interruption.

Further, in order to reduce the power consumption of the entire system without losing the versatility of the core CPU 521, there

are provided in the CPU 510 the system control circuit 534 and the clock generation circuit 558 according to the invention. In this way, in the dynamic clock control according to the invention, the clock of the core CPU 512 in the system LSI 550 as well as the CPU 510 can be controlled simultaneously.

The control program group (referred to as a clock control library hereinafter) for embodying the concept of the above clock gear will be explained in the following.

The clock control library makes it possible to realize a real power management from the side of the application program by using the C language. Fig. 6 shows the structure of the clock control library 32 according to the embodiment of the invention.

When calling libraries 34 from an application program 31, the first thing to be done is to call a main library 33. This call is done by using the C language. The main library 33 is compiled also with the C language. The main library 33 selects either one of the libraries 34 in correspondence with the state of the application program 31 and achieves the transition between operation modes of the clock.

All the libraries 34 are compiled with the assembler language. This is because the clock control associated hardware has to be controlled directly. To put it concretely, the system control circuit 534 as shown in Fig. 3 and the clock generation circuit 558 as shown in Fig. 4 belong to the clock control associated hardware.

The operation of calling and selecting the library 34 by the main library 33 is carried out by involving the input parameter and others related thereto as shown in a table of Fig. 7. Furthermore, this figure shows a library function which is called in correspondence with the state transition of the clock, the input

parameter and the jump table number. Still further, the jump table number indicates the relative address where the library 34 is located. The table also shows that a different library function is used depending on whether or not the DRAM is included in the system LSI and whether or not the lowest-speed operation mode is included as the clock mode.

A table as shown in Fig. 8 indicates what parameters each library has. With these parameters, the library executes the processing of setting the memory parameter, switching of the clock, switching the clock mode, and so forth. Fig. 8 (a) indicates the library and the input parameter group as designated thereby. In each column ([1]) to ([8]) of the table, there are listed up the value of the input parameter.

In the next, the contents of each input parameter will be explained with reference to Fig. 8 (b).

A memory parameter changing pattern [1] executes the change of the parameter setting in the memories (RAM, ROM, I/O, DRAM existing in the system LSI, and so forth) for operating them to meet the clock speed. For instance, when changing (gear up) from the lower-speed operation mode to the high-speed operation mode, the value 0x00 is designated, thereby the memory parameter being changed to the memory parameter for high-speed use. Inversely, when changing (gear down) from the high-speed operation mode to the low-speed operation mode, the value 0x01 is designated, thereby the memory parameter being changed to the memory parameter for low-speed use.

A CPU clock mode [2] designates the changeover between two operation modes, that is, the synchronous mode and the fast bus mode. The value 0x00 is designated in the fast bus mode while the value 0x01 is designated in the synchronous mode.

Continuing to explain other input parameters, an external ROM memory parameter [3] designates a ROM type. An external SRAM memory parameter [4] designates a SRAM type. An external I/O memory parameter [5] designates an I/O type. The value of SDRAM/EDO - RAM parameter [6] is made available in the range of 0x00 through 0x09 if the DRAM is SDRAM, and also made available in the range values of 0x00 through 0x0a if the DRAM is EDO-RAM. PCGBCNT0 SET VALUE [7] or PCGBCNT1 SET VALUE [8] determines a value to be set to the frequency division ratio setting register 563 as shown in Fig. 3, and designates the base oscillation, the clock frequency division ratio, and so forth. In all the parameters as mentioned above, there is no need for any input parameter to be set if its value is 0xff.

In Fig. 5, a plurality of parenthesized numerals appended to each of arrows transiting among various states (state transition number) indicate libraries corresponding to those state transitions. If the clock state transition is desired on the side of the application program s, just call the library corresponding to the state transition number by designating it, and the state transition will take place as desired.

The library function and the state transition number not always have a relation of one to one correspondence. One library function may realize a plurality of state transitions in response to the above-mentioned memory parameter change pattern. For instance, assuming that the application program 31 has carried out the control for switching the clock from the low-speed operation mode to the high-speed operation mode at the first line of the table as show in Fig. 8 (b), the main library 33 calls the library 0, to put it concretely, calls the library function clkgear 9 to the relative address 0x00 by means of the input parameter

to construct a system LSI having a variety of ordinary operation modes (highest-speed operation mode, high-speed operation mode, low-speed operation mode, lowest-speed operation mode, and so on).

Furthermore, when expressing the relation between the current clock state and the clock state after transition by using a function (clkgear) in the form of the clock control library, it becomes possible to dynamically and speedily control a plurality of clocks in the ordinary operation mode, as if it were gear-change operation. In this way, the clock state can be controlled more finely.

Still further, according to the invention, the system control circuit is provided with the register, and the control making the ordinary operation mode transit to the special mode is carried out by changing the value of this register. At this time, as the register setting is kept unchanged after completion of transition to the special mode, the transition from the special mode to the ordinary operation mode is carried out just releasing the special mode by means of the external interruption. Consequently, the transition control is made much easier.

Still further, according to the invention, the main library of the clock control library and the application program are described by using the same program language, and call of the main library from the side of the application program is carried out also by using the same program language. This makes it possible to realize such a flexible interface as handled by the user with ease, thus enabling the user to select the power management system which is the most suitable to his system.

What is claimed is:

1. A system LSI having a plurality of ordinary operation modes and a plurality of special modes in response to the clock state supplied to a central processing unit, comprising:

the first memory means storing a clock control library for controlling the clock state transition between said ordinary operation modes;

a system control circuit having a register and carrying out the clock state transition between said ordinary operation mode and said special mode in response to the change of the value of said register, and also carrying out the clock state transition among said ordinary operation modes in response to said clock control library;

a clock generation circuit receiving a plurality of standard clocks and generating the clock supplied to said central processing unit according to the control of said system control circuit; and

the second memory means storing an application program;

wherein call of said clock control library and change of said register value are controlled by said application program.

2. A system LSI as claimed in claim 1 wherein said clock control library comprises:

a plurality of libraries which control said system control circuit and said clock generation circuit as well to transit the clock state supplied to said central processing unit; and

a main library which is called by said application program and selects any one of said libraries in correspondence with the

clock state supplied to said central processing unit.

3. A system LSI as claimed in claim 2 wherein said main library is described in the same program language as said application program.

4. A system LSI as claimed in claim 3 wherein said application program and said main library are described in the C language.

5. A system LSI as claimed in claim 2 wherein each of said libraries is described in a program language capable of directly controlling said clock generation circuit and said system control circuit as well.

6. A system LSI as claimed in claim 5 wherein each of said libraries is described in an assembler language.

7. A system LSI as claimed in claim 1 wherein said special mode comprises:

the first special mode in which the clock supply to the principal constituents of said central processing unit is halted;

the second special mode in which the clock of the entire central processing unit is halted; and

the third special mode in which the power source of the entire central processing unit is halted.

8. A system LSI as claimed in claim 7 wherein said system control circuit comprises:

a frequency division ratio setting register which sets the frequency division ratio of the clock in said clock generation

circuit;

a clock halting register which receives the clock signal from said clock generation circuit and individually sets the clock signal to be halted or supplied; and

a status register which judges the state of said central processing unit immediately after being released from said third special mode.

9. A system LSI as claimed in claim 1 wherein said clock generation circuit comprises:

a PLL receiving a plurality of standard clocks and generating, if need be, the clock obtained by multiplying said standard clocks; and

a frequency division/selection portion carrying out the frequency division or selection of said standard clock or said multiplied standard clock.

10. A system LSI as claimed in claim 9 wherein one of said standard clocks uses a frequency of 32.768 kHz as a base oscillation.

11. A system LSI as claimed in claim 1 wherein said first memory means and said second memory means are constituted as two independent memory means which are separated from each other.

12. A system LSI as claimed in claim 1 wherein said first memory means and said second memory means are formed to coexist in one memory means, sharing the memory area of said one memory means.

Abstract of the Disclosure

There is disclosed a system LSI capable of dynamically and speedily controlling clocks of various frequencies as used in the wide range of operation mode, from the high-speed operation mode to the low-speed one and, in addition, enabling the user to select a system of the low power consumption type, which is most suitable for his own system. The system LSI includes a ROM 551 storing a clock control library for carrying out the clock state transition between the ordinary operation modes, and a system control circuit 534 having a register and carrying out the clock state transition between the ordinary operation mode and the special mode in response to the change of the value of the register, and also carrying out the clock state transition among the ordinary operation modes in response to the clock control library.

The call of the clock control library and change of the register value are controlled by the application program.

The main library of the clock control library is described in the C language and is called by also using the C language.

FIG.1

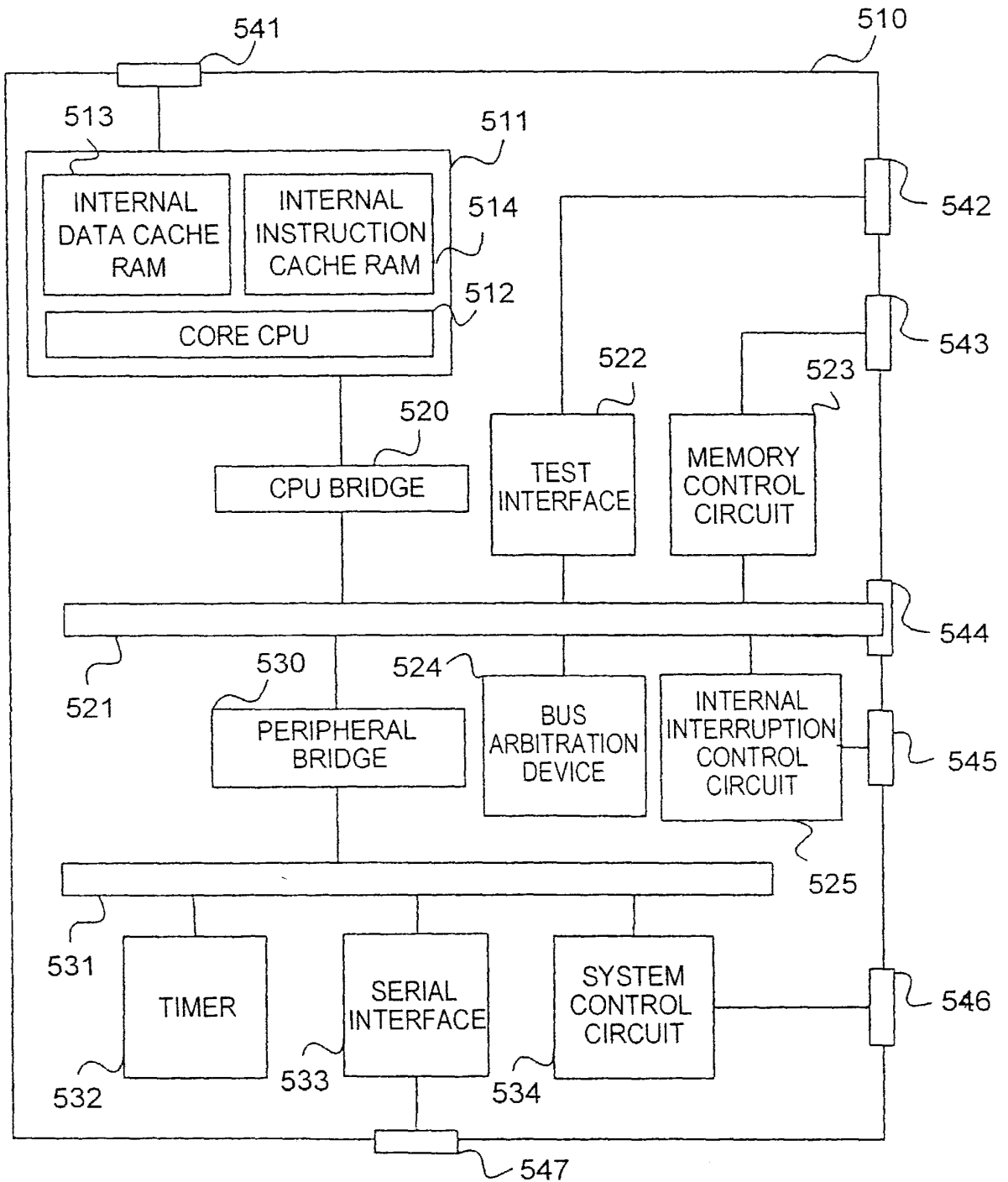


FIG.2

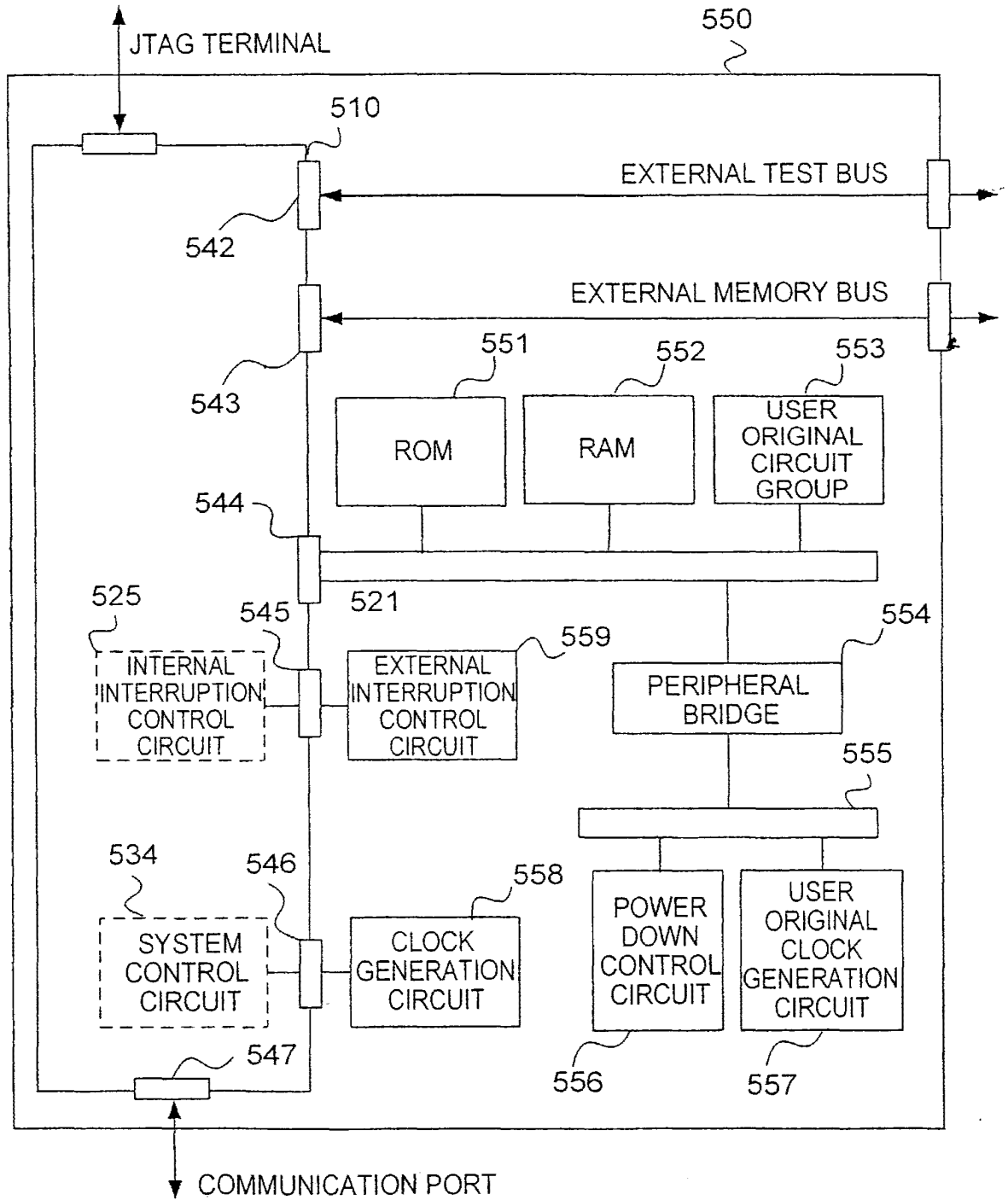


FIG.3

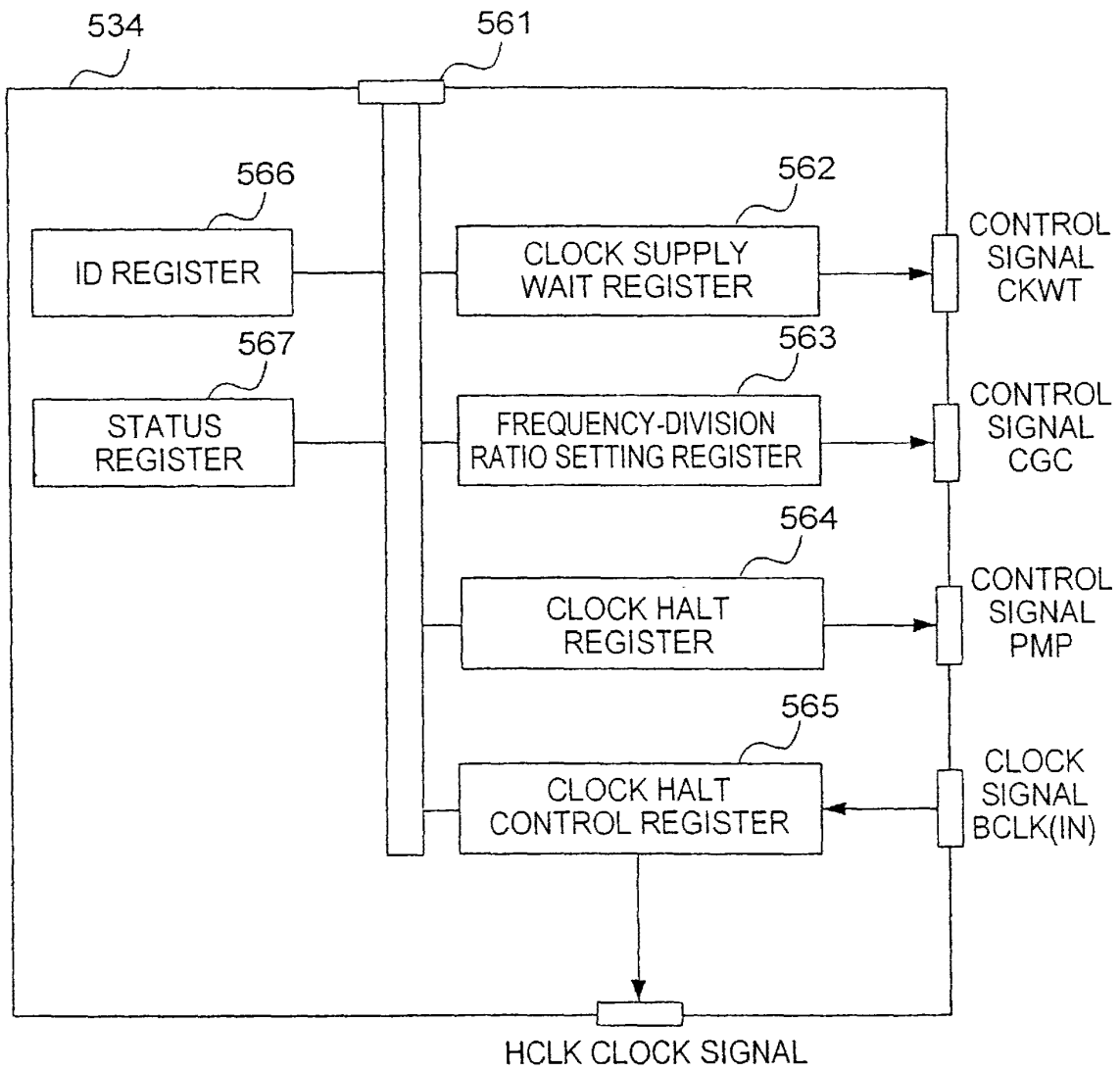


FIG.4

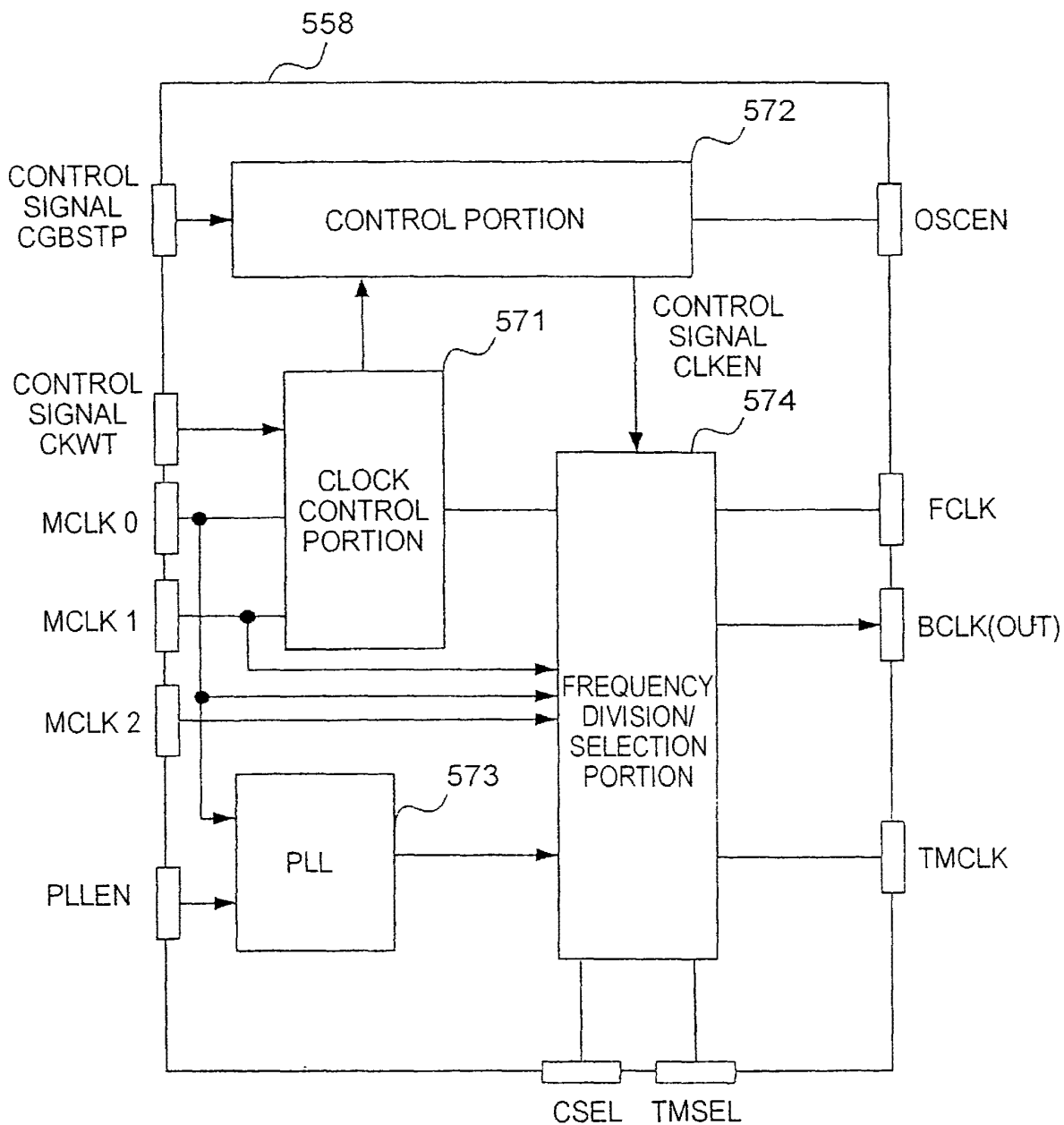


FIG.5

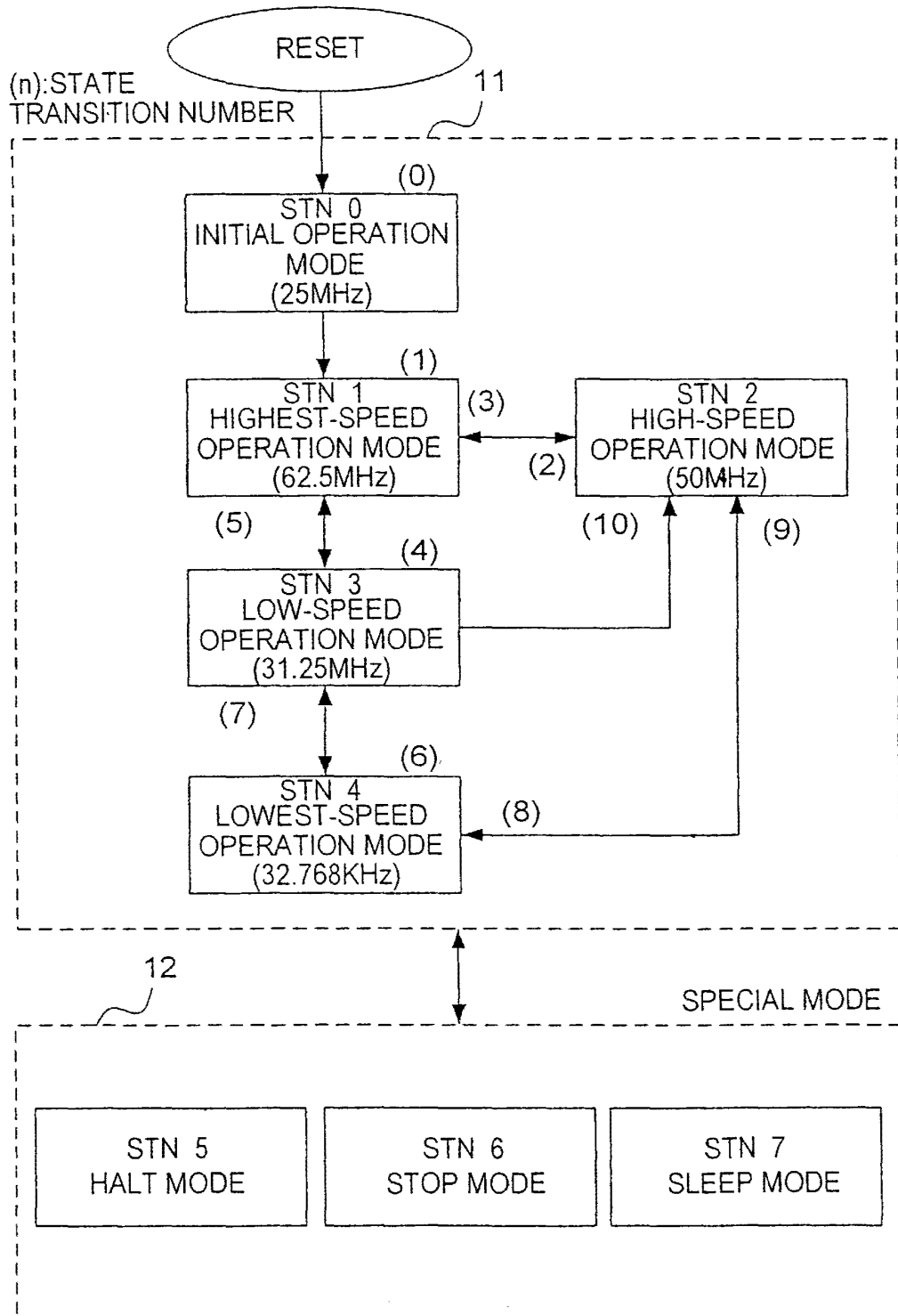


FIG. 6

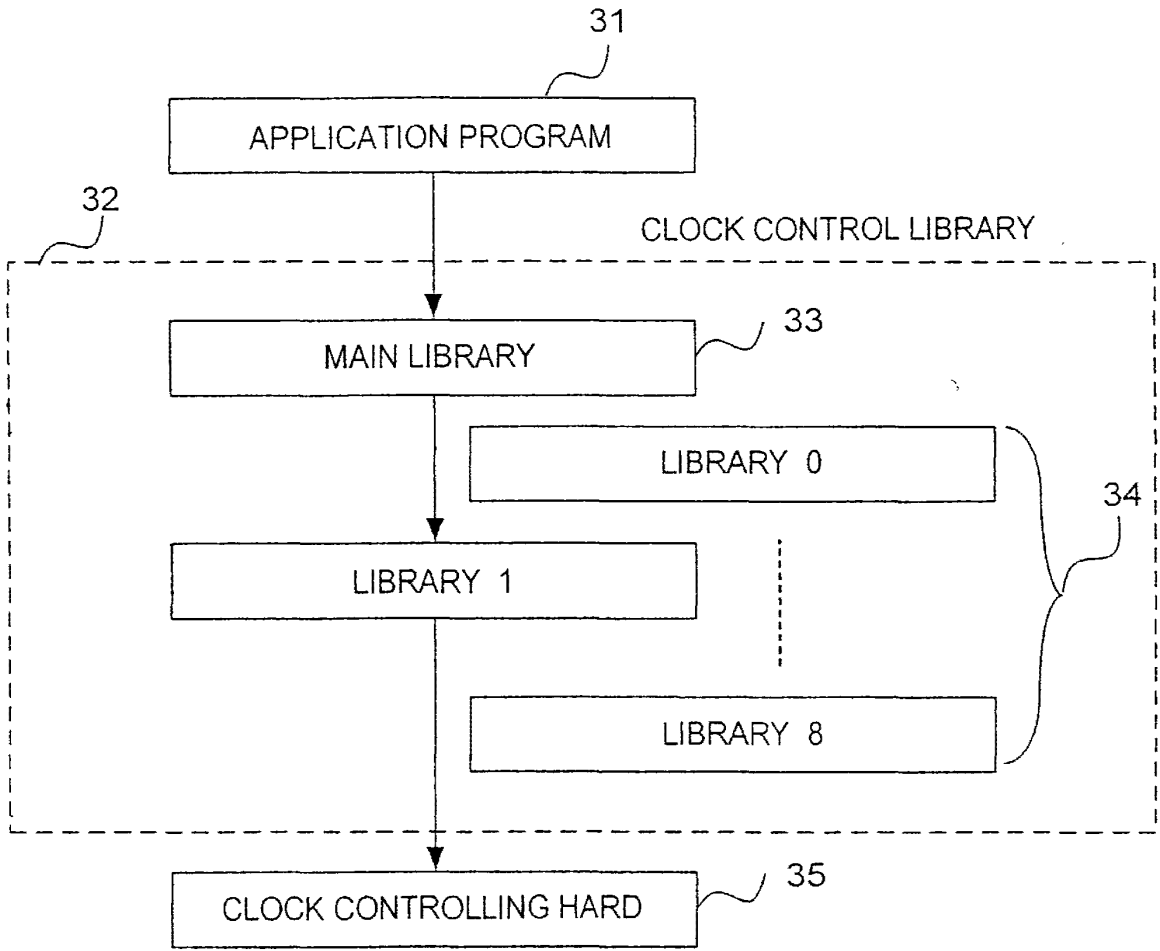


FIG.7

CLOCK STATE TRANSITION		INPUT PARAMETER	JUMP TABLE NO.	LIBRARY FUNCTION NAME
SYSTEM w/o DRAM	LOW-SPEED > HIGH-SPEED OR HIGHEST-SPEED	0x00	0x00	clkgear0
	HIGH-SPEED OR HIGHEST-SPEED >LOW-SPEED	0x01	0x01	clkgear1
	NO CHANGE IN MEMORY PARAMETER	0x02	0x02	clkgear2
SYSTEM w. DRAM w/o LOWEST SPEED	LOW-SPEED > HIGH-SPEED OR HIGHEST-SPEED	0x00	0x10	clkgear3
	HIGH-SPEED OR HIGHEST-SPEED >LOW-SPEED	0x01	0x11	clkgear4
	NO CHANGE IN MEMORY PARAMETER	0x02	0x12	clkgear5
SYSTEM w. DRAM w. LOWEST SPEED	LOWEST-SPEED > LOW-SPEED, HIGH-SPEED OR HIGHEST-SPEED	0x13	0x23	clkgear6
	LOW-SPEED, HIGH-SPEED OR HIGHEST-SPEED >LOWEST-SPEED	0x14	0x24	clkgear7
	CLOCK CHANGE IN LOWEST-SPEED	0x15	0x25	clkgear8

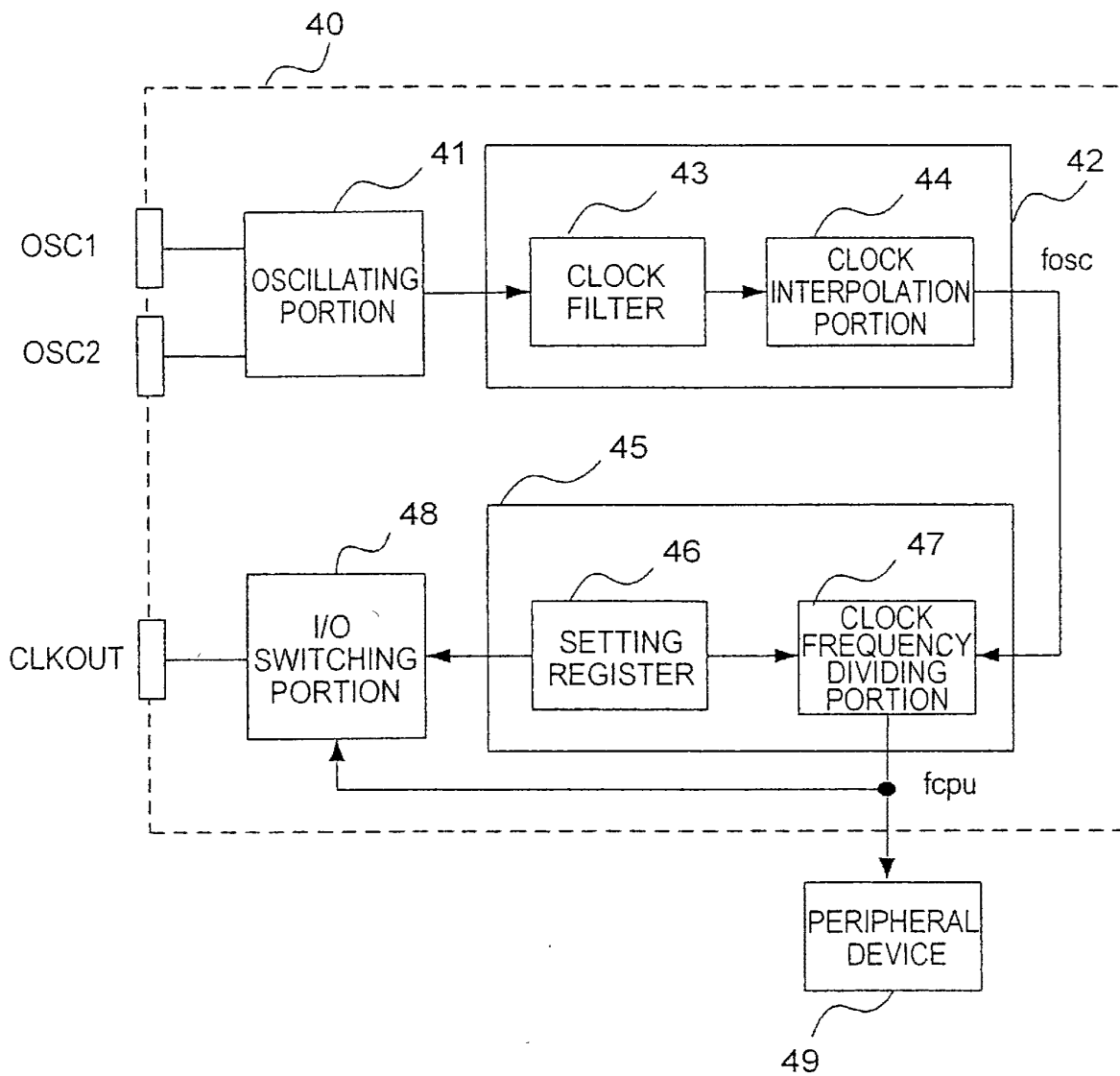
FIG.8(a)

STATE TRANSITION NO.	INPUT PARAMETER							
	①	②	③	④	⑤	⑥	⑦	⑧
0	1	0	1	1	1	6	1	0xff
1	0	1	3	3	3	8	7	0xff
2	1	0	0xff	0xff	1	6	1	0xff
3	0	1	0xff	0xff	3	8	7	0xff
4	1	1	1	1	1	6	0xff	0xff
5	0	1	3	3	3	8	7	0xff
6	0x14	0	0	0	0	2	2	0xff
7	0x13	1	1	1	1	6	0x0f	0xff
8	0x14	0	0	0	0	2	2	0xff
9	0x13	0	3	3	1	6	1	0xff
10	0	0	3	3	0xff	0xff	1	0xff

FIG.8(b)

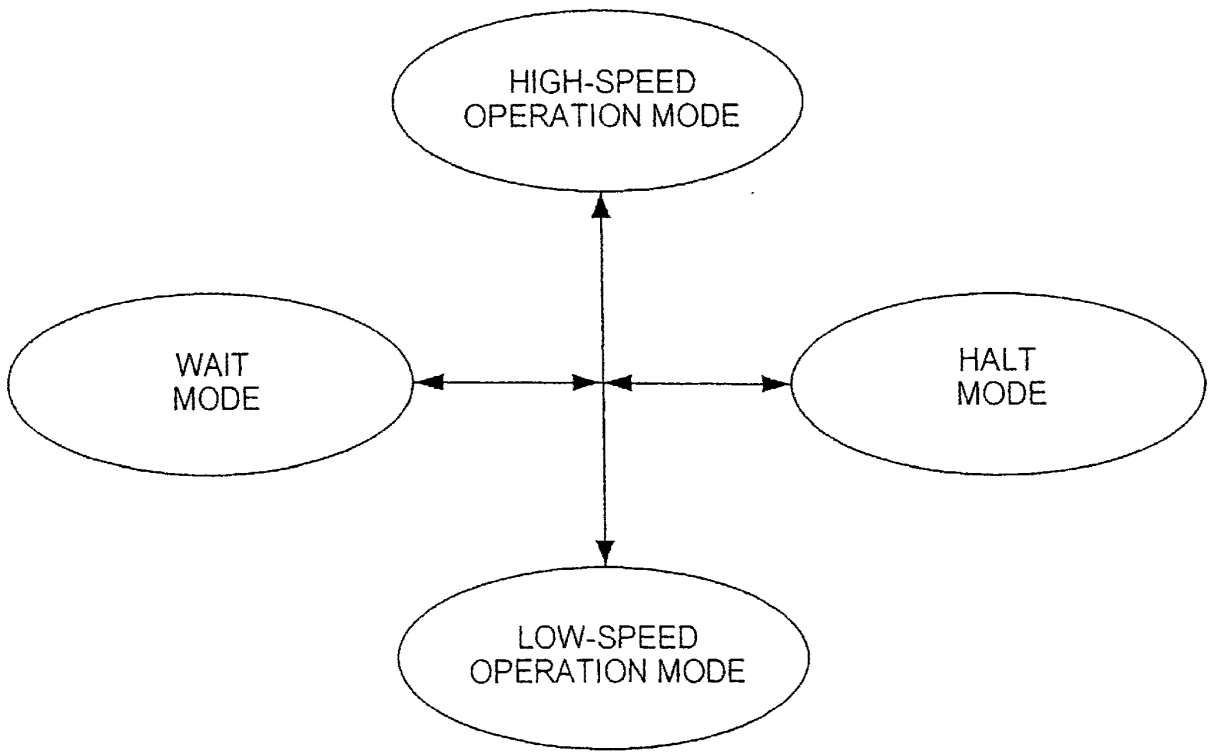
	b7	b0
①	MEMORY PARAMETER CHANGE PATTERN	
②	CPU CLOCK MODE	
③	EXTERNAL ROM MEMORY PARAMETER	
④	EXTERNAL RAM MEMORY PARAMETER	
⑤	EXTERNAL I/O PARAMETER	
⑥	SDRAM/EDO-RAM	
⑦	PCGBCNT0 SET VALUE	
⑧	PCGBCNT1 SET VALUE	

FIG.9



10/10

FIG.10



Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number

Declaration and Power of Attorney For Patent Application

特許出願宣言書及び委任状

Japanese Language Declaration

日本語宣言書

下記の氏名の発明者として、私は以下の通り宣言します。

As a below named inventor, I hereby declare that:

私の住所、私書箱、国籍は下記の私の氏名の後に記載された通りです。

My residence, post office address and citizenship are as stated next to my name

下記の名称の発明に関して請求範囲に記載され、特許出願している発明内容について、私が最初かつ唯一の発明者（下記の氏名が一つの場合）もしくは最初かつ共同発明者であると（下記の名称が複数の場合）信じています。

I believe I am the original, first and sole inventor (if only one name is listed below) or an original, first and joint inventor (if plural names are listed below) of the subject matter which is claimed and for which a patent is sought on the invention entitled

System LSI

上記発明の明細書（下記の欄で×印がついていない場合は、本書に添付）は、

the specification of which is attached hereto unless the following box is checked:

月 日に提出され、米国出願番号または特許協定条約
国際出願番号を _____ とし、
(該当する場合) _____ に訂正されました。

was filed on _____
as United States Application Number or
PCT International Application Number
_____ and was amended on
_____ (if applicable).

私は、特許請求範囲を含む上記訂正後の明細書を検討し、内容を理解していることをここに表明します。

I hereby state that I have reviewed and understand the contents of the above identified specification, including the claims, as amended by any amendment referred to above

私は、連邦規則法典第37編第1条56項に定義されるとおり、特許資格の有無について重要な情報を開示する義務があることを認めます。

I acknowledge the duty to disclose information which is material to patentability as defined in Title 37, Code of Federal Regulations, Section 1.56

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

Japanese Language Declaration (日本語宣言書)

委任状： 私は下記の発明者として、本出願に関する一切の
手続きを米特許商標局に対して遂行する弁理士または代理人
として、下記の者を指名いたします。(弁護士、または代理
人の氏名及び登録番号を明記のこと)

Raymond C. Jones (Reg.No.34,631) and Adam C. Volentine (Reg.No.33,289)

POWER OF ATTORNEY: As a named inventor, I hereby appoint
the following attorney(s) and/or agent(s) to prosecute this
application and transact all business in the Patent and Trademark
Office connected therewith (*list name and registration number*)

書類送付先

Send Correspondence to:

VOLENTINE FRANCOS, PLLC
12200 Sunrise Vally Drive Suite 150, Reston, Virginia 20191

直接電話連絡先： (名前及び電話番号)

Direct Telephone Calls to: (*name and telephone number*)

Adam C. Volentine
VOLENTINE FRANCOS, PLLC

Telephone: (703) 715-0870, Fax: (703) 715-0877

唯一または第一発明者名		Full name of sole or first inventor	
Hitoshi ENDO		Hitoshi ENDO	
発明者の署名	日付	Inventor's signature	Date
		<i>Hitoshi Endo</i>	<i>September 9, 2002</i>
住所		Residence	
Tokyo, Japan		Tokyo, Japan	
国籍		Citizenship	
Japanese		Japanese	
私書箱		Post Office Address	
c/o Oki Electric Industry Co., Ltd.		c/o Oki Electric Industry Co., Ltd.	
7-12, Toranomom 1-chome, Minato-ku, Tokyo, Japan		7-12, Toranomom 1-chome, Minato-ku, Tokyo, Japan	
第二共同発明者名		Full name of second joint inventor, if any	
第二共同発明者の署名	日付	Second inventor's signature	Date
住所		Residence	
国籍		Citizenship	
私書箱		Post Office Address	

(第三以降の共同発明者についても同様に記載し、署名をすること)

(Supply similar information and signature for third and subsequent joint inventors.)

10997 U.S. PTO
10/25/755
09/23/02

PATENT NUMBER and
ISSUE DATE

U.S. UTILITY Patent Application

APPL NUM 10251755	FILING DATE 09/23/2002	CLASS 700 712	SUBCLASS 600	GAU 2121 2125	EXAMINER Lee H. Kim
**APPLICANTS: Endo Hitoshi;					
**CONTINUING DATA VERIFIED: NONE HK, 6/8/03					
** FOREIGN APPLICATIONS VERIFIED: yes HK, 6/8/03 JAPAN JP2002-047696 02/25/2002					
PG-PUB	DO NOT PUBLISH <input type="checkbox"/>	RESCIND <input type="checkbox"/>			
Foreign priority claimed <input checked="" type="checkbox"/> yes <input type="checkbox"/> no			ATTORNEY DOCKET NO		
35 USC 119 conditions met <input checked="" type="checkbox"/> yes <input type="checkbox"/> no			OKI.396		
Verified and Acknowledged Examiners's initials HK					
TITLE : System LSI					

10251755

BEST AVAILABLE COPY

NOTICE OF ALLOWANCE MAILED		CLAIMS ALLOWED		
		Assistant Examiner		Total Claims
				Print Claim for O.G
ISSUE FEE		DRAWING		
Amount Due	Date Paid	Primary Examiner		Shoots Drwg.
				Figs.Drwg.
				Print Fig.
<input type="checkbox"/> TERMINAL DISCLAIMER		PREPARED FOR ISSUE		Application Examiner
<p>WARNING: The information disclosed herein may be restricted. Unauthorized disclosure may be prohibited by the United States Code Title 35, Sections 122, 181 and 368, Possession outside the U.S. Patent & Trademark Office is restricted to authorized employees and contractors only.</p>				

FILED WITH: DISK (CRF) CD-ROM
(Attached in pocket on right inside flap)

SEARCH

Class	Sub.	Date	Exmr.
713	322 300 320 600	6/28/03	nk
	updated above searches	12/14/03	nk

INTERFERENCE SEARCHED

Class	Sub.	Date	Exmr.

SEARCH NOTES

(List databases searched. Attach search strategy inside.)

	Date	Exmr.
USPAT, JPO, EPD IEEE, KPL	6/28/03	nk
updated above searches	12/14/03	nk

BEST AVAILABLE COPY

Express Mail Label No.

UTILITY PATENT APPLICATION TRANSMITTAL (Large Entity)

(Only for new nonprovisional applications under 37 CFR 1.53(b))

Docket No.
OKI.396

Total Pages in this Submission
4

TO THE ASSISTANT COMMISSIONER FOR PATENTS

Box Patent Application
Washington, D.C. 20231

Transmitted herewith for filing under 35 U.S.C. 111(a) and 37 C.F.R. 1.53(b) is a new utility patent application for an invention entitled:

SYSTEM LSI

Invented by:

Hitoshi ENDO

09/23/02

10/25/02
U.S. PTO
10/25/02

If a **CONTINUATION APPLICATION**, check appropriate box and supply the requisite information:

Continuation Divisional Continuation-in-part (CIP) of prior application No.: _____

Which is a:

Continuation Divisional Continuation-in-part (CIP) of prior application No.: _____

Which is a:

Continuation Divisional Continuation-in-part (CIP) of prior application No.: _____

Enclosed are:

Application Elements

1. Filing fee as calculated and transmitted as described below
2. Specification having 31 pages and including the following:
 - a. Descriptive Title of the Invention
 - b. Cross References to Related Applications (if applicable)
 - c. Statement Regarding Federally-sponsored Research/Development (if applicable)
 - d. Reference to Sequence Listing, a Table, or a Computer Program Listing Appendix
 - e. Background of the Invention
 - f. Brief Summary of the Invention
 - g. Brief Description of the Drawings (if filed)
 - h. Detailed Description
 - i. Claim(s) as Classified Below
 - j. Abstract of the Disclosure

UTILITY PATENT APPLICATION TRANSMITTAL (Large Entity)

(Only for new nonprovisional applications under 37 CFR 1.53(b))

Docket No.
OKI.396

Total Pages in this Submission
4

Application Elements (Continued)

3. Drawing(s) (when necessary as prescribed by 35 USC 113)
- a. Formal Number of Sheets 10
- b. Informal Number of Sheets _____
4. Oath or Declaration
- a. Newly executed (original or copy) Unexecuted
- b. Copy from a prior application (37 CFR 1.63(d)) (for continuation/divisional application only)
- c. With Power of Attorney Without Power of Attorney
- d. DELETION OF INVENTOR(S)
Signed statement attached deleting inventor(s) named in the prior application,
see 37 C.F.R. 1.63(d)(2) and 1.33(b).
5. Incorporation By Reference (usable if Box 4b is checked)
The entire disclosure of the prior application, from which a copy of the oath or declaration is supplied under Box 4b, is considered as being part of the disclosure of the accompanying application and is hereby incorporated by reference therein.
6. CD ROM or CD-R in duplicate, large table or Computer Program (Appendix)
7. Application Data Sheet (See 37 CFR 1.76)
8. Nucleotide and/or Amino Acid Sequence Submission (if applicable, all must be included)
- a. Computer Readable Form (CRF)
- b. Specification Sequence Listing on:
- i. CD-ROM or CD-R (2 copies); or
- ii. Paper
- c. Statement(s) Verifying Identical Paper and Computer Readable Copy

Accompanying Application Parts

9. Assignment Papers (cover sheet & document(s))
10. 37 CFR 3.73(B) Statement (when there is an assignee)
11. English Translation Document (if applicable)
12. Information Disclosure Statement/PTO-1449 Copies of IDS Citations
13. Preliminary Amendment
14. Return Receipt Postcard (MPEP 503) (Should be specifically itemized)
15. Certified Copy of Priority Document(s) (if foreign priority is claimed)
16. Certificate of Mailing
- First Class Express Mail (Specify Label No.): _____

**UTILITY PATENT APPLICATION TRANSMITTAL
(Large Entity)**

(Only for new nonprovisional applications under 37 CFR 1.53(b))

Docket No.

OKI.396

Total Pages in this Submission

4

Accompanying Application Parts (Continued)

17. Additional Enclosures *(please identify below)*:

Request That Application Not Be Published Pursuant To 35 U.S.C. 122(b)(2)

18. Pursuant to 35 U.S.C. 122(b)(2), Applicant hereby requests that this patent application not be published pursuant to 35 U.S.C. 122(b)(1). Applicant hereby certifies that the invention disclosed in this application has not and will not be the subject of an application filed in another country, or under a multilateral international agreement, that requires publication of applications 18 months after filing of the application.

Warning

An applicant who makes a request not to publish, but who subsequently files in a foreign country or under a multilateral international agreement specified in 35 U.S.C. 122(b)(2)(B)(i), must notify the Director of such filing not later than 45 days after the date of the filing of such foreign or international application. A failure of the applicant to provide such notice within the prescribed period shall result in the application being regarded as abandoned, unless it is shown to the satisfaction of the Director that the delay in submitting the notice was unintentional.

UTILITY PATENT APPLICATION TRANSMITTAL (Large Entity)

(Only for new nonprovisional applications under 37 CFR 1.53(b))

Docket No.
OKI.396

Total Pages in this Submission
4

Fee Calculation and Transmittal

CLAIMS AS FILED

For	#Filed	#Allowed	#Extra	Rate	Fee
Total Claims	12	- 20 =	0	x \$18.00	\$0.00
Indep. Claims	1	- 3 =	0	x \$84.00	\$0.00
Multiple Dependent Claims (check if applicable) <input type="checkbox"/>					\$0.00
BASIC FEE					\$740.00
OTHER FEE (specify purpose) <u>ASSIGNMENT RECORDAL FEE</u>					\$40.00
TOTAL FILING FEE					\$780.00

- A check in the amount of **\$780.00** to cover the filing fee is enclosed.
- The Commissioner is hereby authorized to charge and credit Deposit Account No. **50-0238** as described below. A duplicate copy of this sheet is enclosed.
- Charge the amount of _____ as filing fee.
- Credit any overpayment.
- Charge any additional filing fees required under 37 C.F.R. 1.16 and 1.17.
- Charge the issue fee set in 37 C.F.R. 1.18 at the mailing of the Notice of Allowance, pursuant to 37 C.F.R. 1.311(b).

Signature

ADAM C. VOLENTINE
REG. NO. 33,289

VOLENTINE FRANCOS, P.L.L.C.
12200 SUNRISE VALLEY DRIVE, SUITE 150
RESTON VA 20191

TEL. NO. (703) 715-0870

Dated: September 23, 2002

cc:

FIG.1

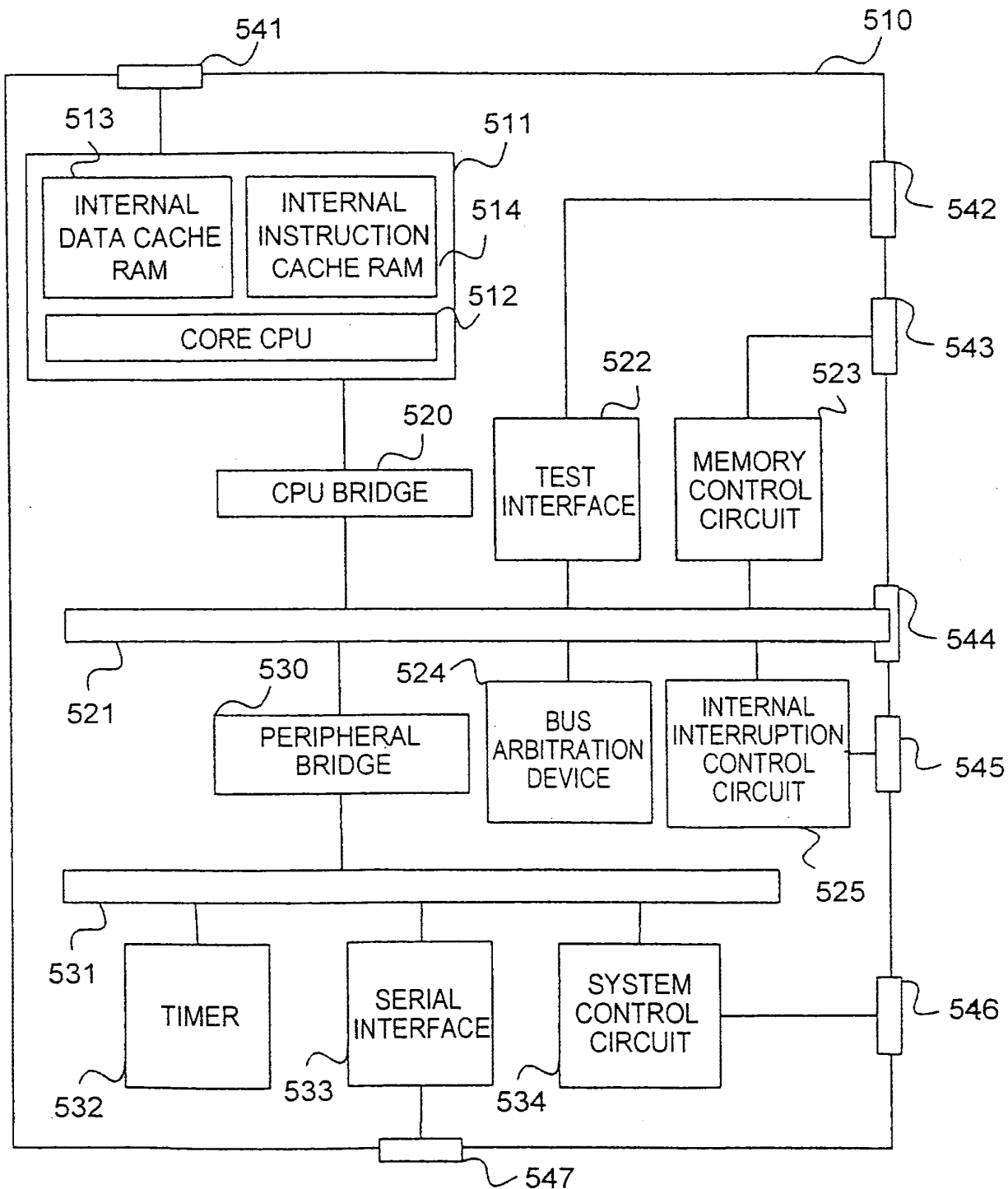


FIG.2

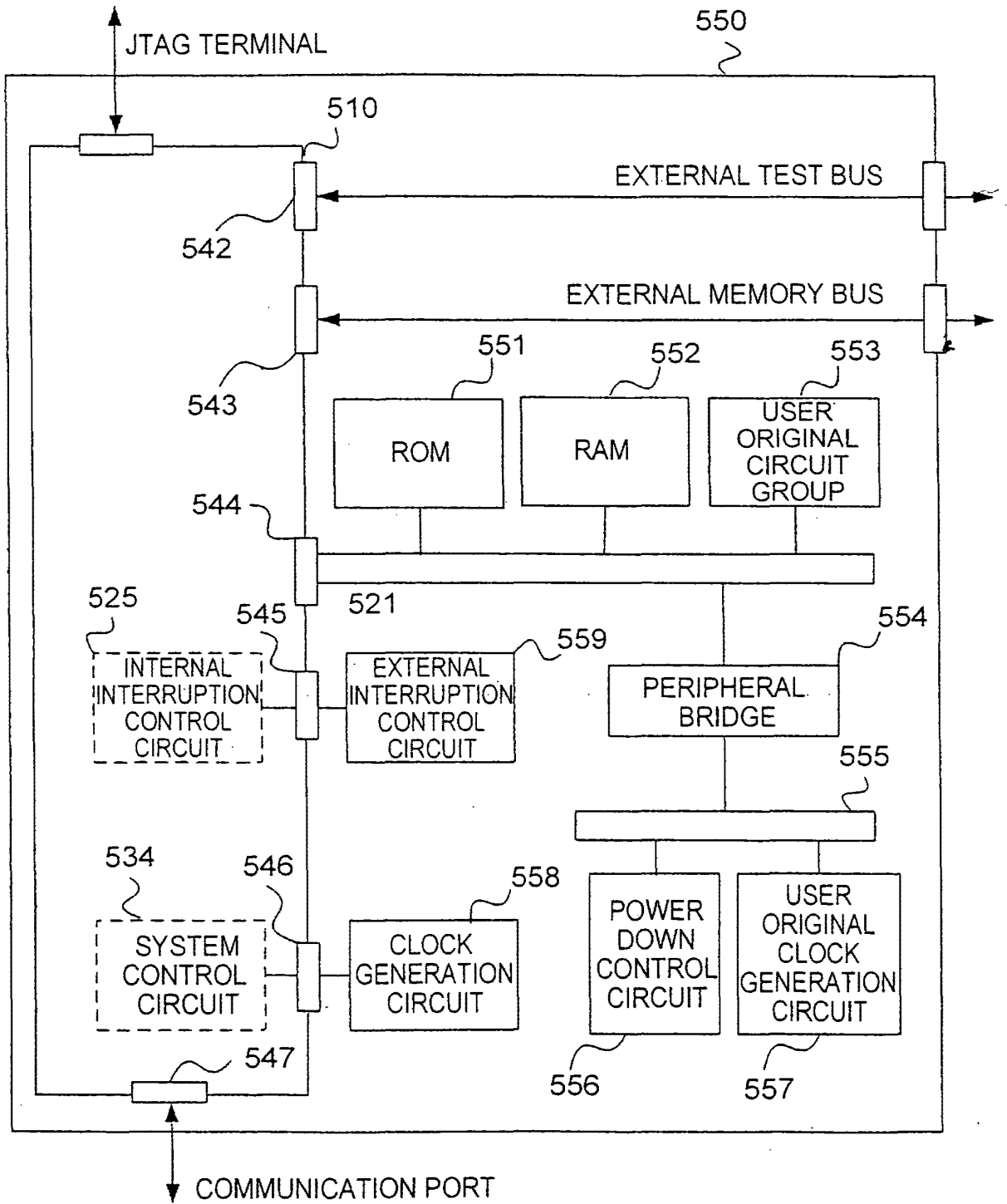


FIG.3

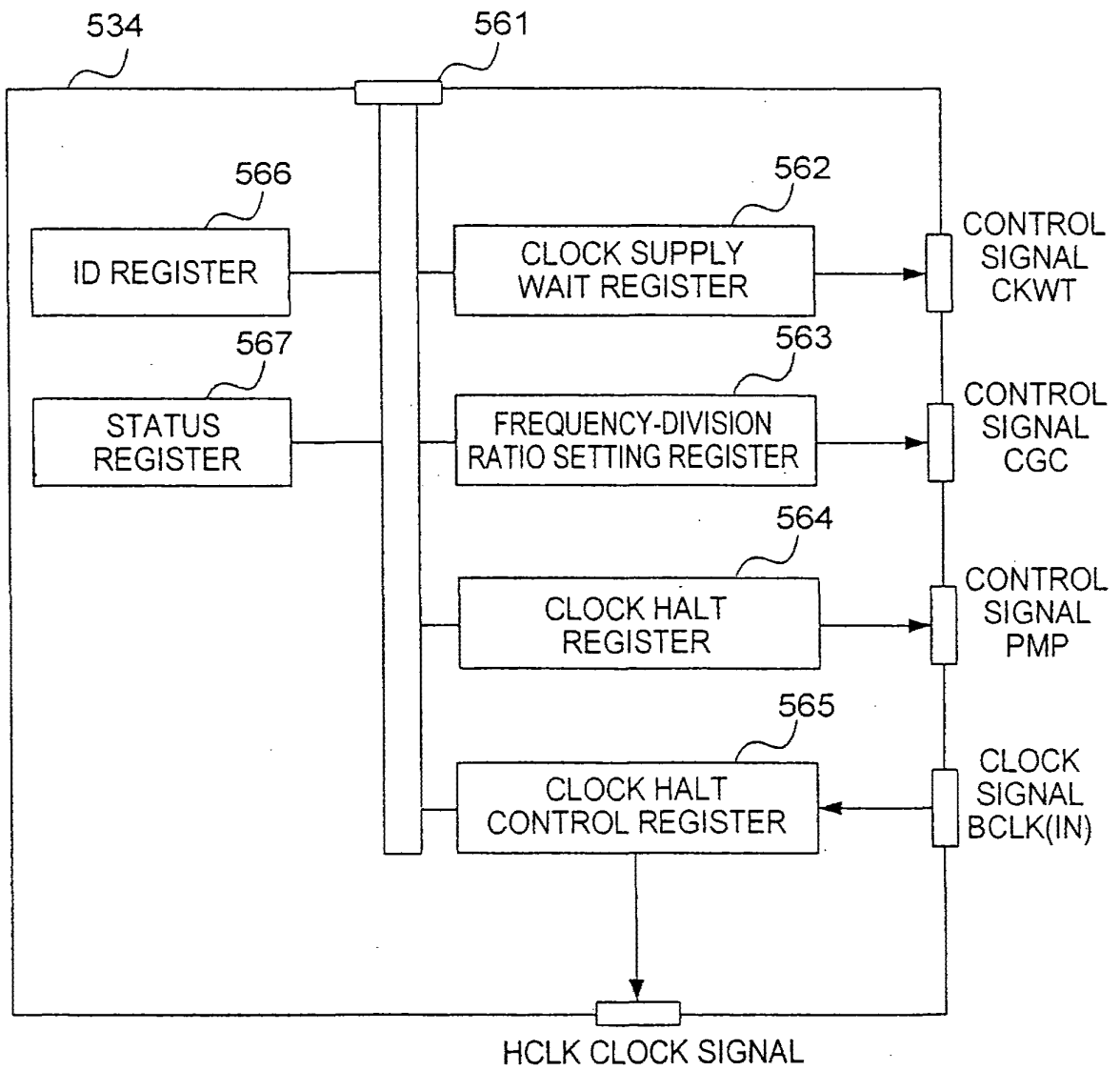


FIG.4

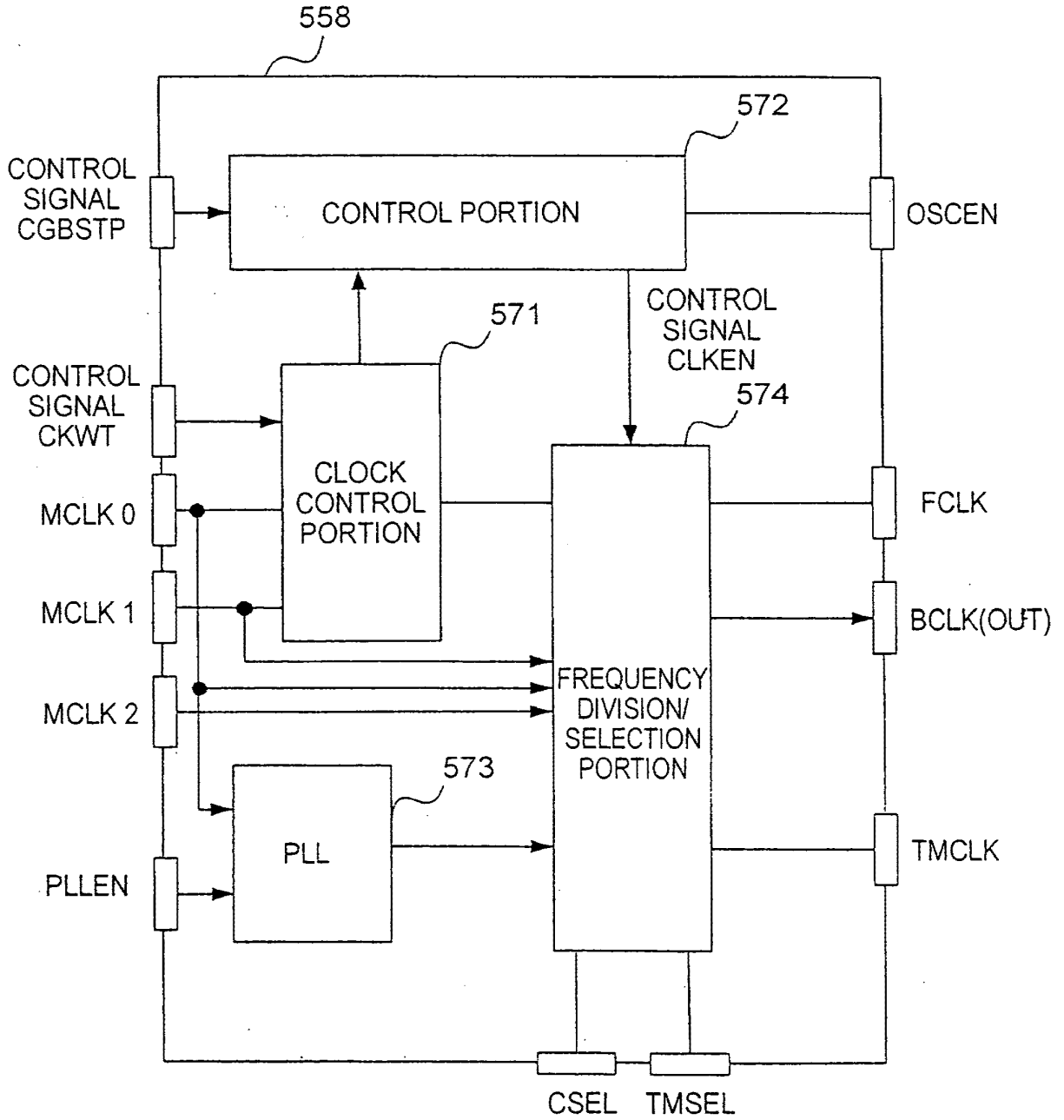
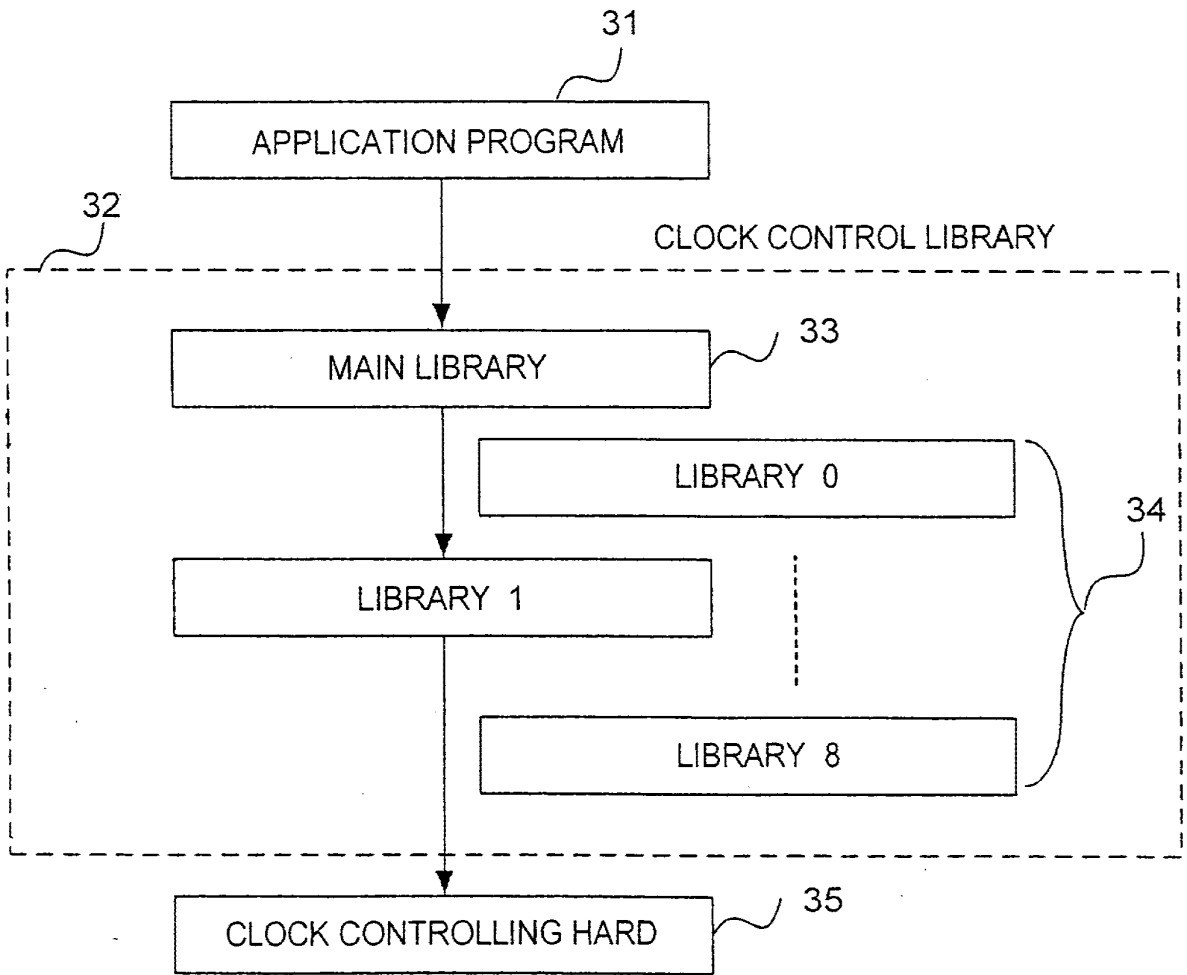


FIG.6



7/10

FIG.7

CLOCK STATE TRANSITION		INPUT PARAMETER	JUMP TABLE NO.	LIBRARY FUNCTION NAME
SYSTEM w/o DRAM	LOW-SPEED > HIGH-SPEED OR HIGHEST-SPEED	0x00	0x00	clkgear0
	HIGH-SPEED OR HIGHEST-SPEED > LOW-SPEED	0x01	0x01	clkgear1
	NO CHANGE IN MEMORY PARAMETER	0x02	0x02	clkgear2
SYSTEM w. DRAM w/o LOWEST SPEED	LOW-SPEED > HIGH-SPEED OR HIGHEST-SPEED	0x00	0x10	clkgear3
	HIGH-SPEED OR HIGHEST-SPEED > LOW-SPEED	0x01	0x11	clkgear4
	NO CHANGE IN MEMORY PARAMETER	0x02	0x12	clkgear5
SYSTEM w. DRAM w. LOWEST SPEED	LOWEST-SPEED > LOW-SPEED, HIGH-SPEED OR HIGHEST-SPEED	0x13	0x23	clkgear6
	LOW-SPEED, HIGH-SPEED OR HIGHEST-SPEED > LOWEST-SPEED	0x14	0x24	clkgear7
	CLOCK CHANGE IN LOWEST-SPEED	0x15	0x25	clkgear8

FIG.8(a)

STATE TRANSITION NO.	INPUT PARAMETER							
	①	②	③	④	⑤	⑥	⑦	⑧
0	1	0	1	1	1	6	1	0xff
1	0	1	3	3	3	8	7	0xff
2	1	0	0xff	0xff	1	6	1	0xff
3	0	1	0xff	0xff	3	8	7	0xff
4	1	1	1	1	1	6	0xff	0xff
5	0	1	3	3	3	8	7	0xff
6	0x14	0	0	0	0	2	2	0xff
7	0x13	1	1	1	1	6	0x0f	0xff
8	0x14	0	0	0	0	2	2	0xff
9	0x13	0	3	3	1	6	1	0xff
10	0	0	3	3	0xff	0xff	1	0xff

FIG.8(b)

	b7	b0
①	MEMORY PARAMETER CHANGE PATTERN	
②	CPU CLOCK MODE	
③	EXTERNAL ROM MEMORY PARAMETER	
④	EXTERNAL RAM MEMORY PARAMETER	
⑤	EXTERNAL I/O PARAMETER	
⑥	SDRAM/EDO-RAM	
⑦	PCGBCNT0 SET VALUE	
⑧	PCGBCNT1 SET VALUE	

FIG.9

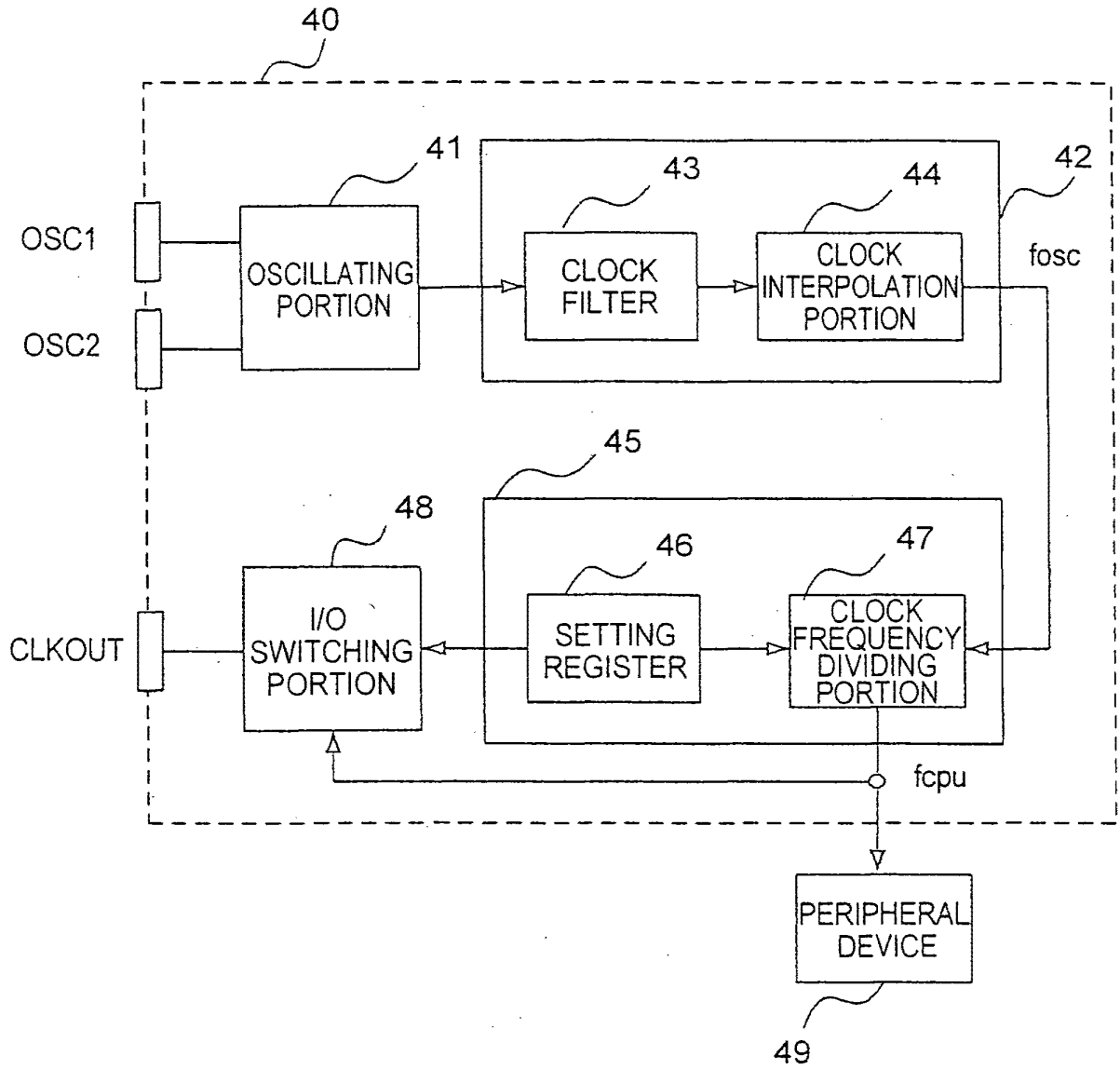
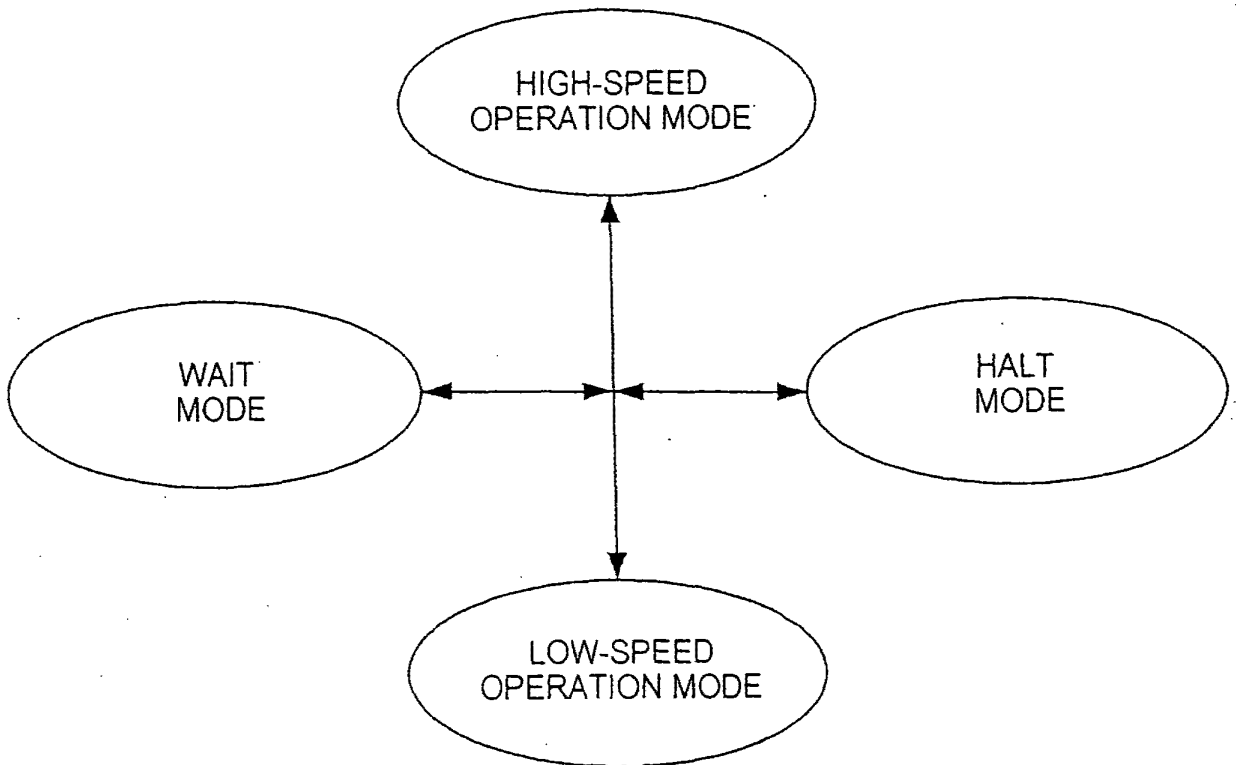


FIG.10



System LSI

Background of the Invention

1. Field of the Invention

The present invention relates to a system LSI having a core CPU and, more particularly, to a system LSI capable of executing the dynamic clock control from the side of an application program.

2. Description of the Related Art

Qm *AT* In case of battery-powered devices, for instance a mobile telephone, which belong to the application field of a microcontroller constituted by mean of a system LSI, it is seemed that many of them are still requested to improve themselves such that their consumption of electric power (referred to simply as "power" hereinafter) is reduced as lower as possible for the sake of their users' convenience and benefit, and there have been developed various techniques for responding to such request. Owing to these techniques, it has become possible to reduce the power consumption of the entire system, though gradually, by properly changing the clock speed corresponding to the need, for instance by supplying the high-speed clock when the high speed processing is necessary and supplying the low-speed clock when the wait state is needed. In the recent years, in the almost all application field, an application specific integrated circuit (ASIC) is provided for the microcontroller constituted by mean of the system LSI. In case of the system into which ASIC is built, in order to extend the battery life, the power reduction as well as the matters related thereto is requested to be described in the specification of the system, and it becomes not rare that such low

power consumption technique is incorporated into the core CPU of the system.

To begin with, a core CPU ST7 (referred to as "ST7 core" hereinafter), a product of a US firm "ST Microelectronics" will be explained as an example of a conventional core CPU with reference to Figs. 9 and 10 of the accompanying drawings. Fig. 9 is a block diagram for explaining a clock control circuit 40 of the ST7 core while Fig. 10 is an illustration for explaining the clock operation mode of the ST7 core.

As shown in Fig. 9, an oscillation portion 41 includes two oscillation terminals OSC1 and OSC2 and is connected with an oscillator such as a quartz oscillator through these oscillation terminals, thereby generating clock signals. A clock correction portion 42 is made up of a clock filter 43 and a clock rearrangement portion 44. The clock filters 43 removes the clock in which a spike noise or the like is mixed, and rearranges the clock in a predetermined wave forms. If the clocks are sparsely lined as a result of the above rearrangement of wave form thereof, the rearrangement portion 44 operates to narrow the frequency bandwidth of the clock.

A main clock control circuit 45 is made up of a setting register 46 and a clock frequency dividing portion 47. The setting register 46 sets the frequency division ratio of the clock to be $1/4$, $1/8$, $1/16$, and $1/32$. The frequency divided clocks f_{cpu} are supplied to the ST7 core and peripheral devices, and are outputted from the I/O terminal CLKOUT to the external portion through an I/O switching portion 48.

The ST7 core is operable in four kinds of clock operation modes as shown in Fig. 10, under the control of the above clock control circuit 40. To put it more concretely, the ST7 core

operates at the frequency of $1/2$ of the oscillation frequency in the high-speed operation mode. In the low-speed operation mode, it operates at the frequency of $1/4$, $1/8$, $1/16$, and $1/32$ of the oscillation frequency, respectively. In the wait mode, the clock of the CPU is halted while peripheral devices are in operation. In the halt mode, the oscillation per se halts so that the power consumption of the ST7 core is then minimized. Like this, if each operation mode is selectively used in correspondence with the processing by the CPU, a considerable amount of the power consumption can be saved in total.

On one hand, in case of constituting a microcontroller by means of the system LSI, there are some cases where the low power consumption technique is incorporated in the core CPU. An ARM920T (referred to as ARM core hereinafter), a product of a British firm "ARM", may be a good example of such core CPU. In case of the ARM core, it is premised that a power management portion is formed on the side of the system LSI.

There are two reasons why the ARM core adopts the constitution like the above. The first reason is that if the clock control mechanism is built in the core CPU side, a certain restriction is given to the design of the system LSI, as a result of which the core CPU would come to lose versatility thereof. On the side of the system LSI using the core CPU, there might take place a case where the clock drops its speed down and halts, eventually. In such case, it would become necessary to detect and examine such state and to adjust the timing of the internal memory, the internal timer, and so forth.

The second reason is as follows. The ARM core is provided with a joint test action group (JTAG) interface test terminal, and transmits the internal state of the core CPU to the external

portion through an in-circuit emulator (ICE), and operates the debugger, thereby giving convenience to the development of the application program. Consequently, the clock change on the core CPU side results in restriction of such use of the test terminal. Therefore, in order to effectively carry out the power management free from such restriction as mentioned above, it is preferable for them to provide the power management portion not on the side of the core CPU but on the side of the system LSI, thereby achieving the total power management.

In recent years, the system LSI has been sophisticated more and more and it becomes so difficult for the core CPU to directly and quickly respond to various demands coming from ASIC only by the core CPU itself. Then, in order to comply with the above problem, it would be considered to provide a versatile microcontroller mounting the same core CPU thereon. In other words, it is the thought of collecting common elements which are usually used by the system LSI, for instance, peripheral devices of the CPU, memory architectures and so forth, and have the basic function of executing an operating system (OS) at real time, and of presenting a versatile microcontroller provided with the elements and function as described above.

In order to achieve a total power management by mean of a versatile microcontroller like this, it is necessary for the versatile power management to be carried out taking account of not only the core CPU but also the inherent function of the application.

In the power management by the prior art microcontroller, however, the clock is just simply changed similar to the case of the ST7 core as mentioned above. In case of the ST7 core, as shown in Fig. 10, there are just simply changed the four operation modes which are the high-speed operation mode, the

low-speed operation mode, the wait mode and the halt mode. However, when the power management portion is provided not on the side of the core CPU but on the side of the system LSI, it is demanded that the clock of the core CPU and that of the system LSI have to be separately controlled. Consequently, it is not possible to carry out a fine control by means of the simple model like this.

Furthermore, it has been tried to dynamically control the clock from the application program side. For instance, in case of the ST7 core, the circuit related to the clock control is controlled by means of an assembler language which can be directly controlled. However, the clock control by using the assembler language is apt to receive many restrictions from the point of view of the application program development. Accordingly, it is preferable, if possible, to provide a flexible interface constituted by using the high-level program language like the C language that is usually adopted in the current software development. Unfortunately, however, there has been no support allowing a real power management by using the programming language like this.

Summary of the Invention

The present invention has been made in consideration of various problems the prior art system LSI has encountered so far, and an object of the invention is to provide a novel and improved system LSI wherein the power consumption of it can be suitably reduced by dynamically and speedily controlling the clock having various frequencies as used in a wide mode range from the high-speed operation mode to the low-speed operation mode and, in addition, a real power management is executed from the side of

an application program by using such a programming language as usually and widely adopted in the software development, thereby enabling the user to select the low power consumption system most suitable for his own system.

In order to solve the problems as mentioned above, according to the first aspect of the invention, there is provided a system LSI having a plurality of ordinary operation modes and a plurality of special modes in response to the clock state supplied to a central processing unit. The system LSI includes: the first memory means (551) storing a clock control library for controlling the clock state transition between the ordinary operation modes; a system control circuit (534) having a register and carrying out the clock state transition between the ordinary operation mode and the special mode in response to the change of the value of the register, and also carrying out the clock state transition among the ordinary operation modes in response to the clock control library; a clock generation circuit (558) receiving a plurality of standard clocks and generating the clock supplied to the central processing unit according to the control of the system control circuit; and the second memory means (551) storing an application program (31); wherein call of the clock control library and change of the register value are controlled by the application program.

The first memory means storing the clock control library and the second memory means storing the application program may be constituted as two independent memory means which are separated from each other. The first memory means and the second memory means may be formed to coexist in a single memory means, sharing the memory area of the above single memory means.

The prior art system has used a single standard clock system and realized only the high-speed operation mode and the low-speed operation mode by executing the frequency division of the above standard clock. On this point, different from the above prior art system LSI, the present invention adopts a plurality of standard clock systems. Accordingly, the clock generation circuit (558) is made up of a PLL (573) which receives a plurality of standard clocks (MCLK0, MCLK1, MCLK2) and generates, if need be, the clock obtained by multiplying the standard clocks, and a frequency division/selection portion (574) which divides the frequency of the standard clock or the multiplied standard clock, or selects the same. With this, it becomes possible to construct the system LSI having a variety of ordinary operation modes (highest-speed operation mode, high-speed operation mode, low-speed operation mode, lowest-speed operation mode, and so on).

Furthermore, when expressing the relation between the current clock state and the clock state after transition by using a function (clkgear) in the form of the clock control library, it becomes possible to dynamically and speedily control a plurality of clocks in the ordinary operation mode, as if it were a gear-change operation. In this way, the clock state can be controlled more finely.

Still further, according to the invention, the system control circuit includes a register, and the control making the ordinary operation mode transit to the special mode is carried out by changing the value of this register. At this time, as the register setting is kept unchanged after completion of transition to the special mode, the reverse transition from the special mode to the ordinary operation mode can be carried out by just releasing the

special mode with the help of the external interruption, thus, the transition control being made much easier.

It is preferable that the clock control library is made up of a plurality of libraries and a main library, the former controlling the system control circuit and the clock generation circuit as well to transit the clock state supplied to the central processing unit and the latter being called by the application program and selecting any one of the libraries in correspondence with the clock state supplied to the central processing unit.

As described above, the clock control library is made up of the main library and a plurality of libraries. With execution of the function (clkgear) corresponding to the library as selected by the main library, it becomes possible to dynamically control the circuits associated with the clock control, that is, the clock generation circuit and the system control circuit.

It is preferable for the main library to be described in the same programming language as the application program.

The main library and the application program are described in the same programming language and the application calls the main library by using the above same language. With this, it becomes possible to realize a flexible interface enabling the user to handle it with ease and also enabling the user to select the power management system which is the most suitable to his system. At present, with regard to the above-mentioned language, the invention assumes the C language, which is a high-level language and, now a day, is widely adopted in the development of the software. Even though a certain higher-level language would come out in future, it is needless to say that the descriptive language of the library could be suitably altered without causing any change in the essential constitution of the

invention.

Furthermore, it is preferable for each library to be described in a programming language which is able to directly control the clock generation circuit and the system control circuit as well.

With use of such language, the hardware in association with the clock control, that is, the clock generation circuit and the system control circuit can be directly controlled by the library. As an example of such language, the invention supposes the assembler language for the time being.

The special mode includes the first special mode (Halt Mode) which halts the clock supply to the principal constituents of the central processing unit, the second special mode (Stop Mode) which stops the clock of the entire central processing unit, and the third special mode (Sleep Mode) which puts the power source of the entire central processing unit into the sleeping state.

With provision of the above-mentioned three modes, it becomes possible to establish the constitution which can freely manages the reduction of the power consumption

It is preferable for the system control circuit to be provided with the frequency division ratio setting register (563) for setting the frequency division ratio of the clock in the clock generation circuit, the clock halt registers (564, 565) which receive the clock signal from the clock generation circuit to carry out the setting for stopping or supplying the individual clock signal, and the status register (567) for judging the status of the central processing unit immediately after being released from the third special mode. The above three registers, that is, the frequency setting register, the clock halt register, and the status register may be constituted by separately using a single register or by complexly using two or more registers. The design of the bit

length and the meaning of each bit may be suitably changed to meet the specification of the system.

With provision of the clock halt register as the register of the system control circuit, it becomes possible to control the transition of the clock state to the first special mode (Halt Mode) which halts the clock supply to the principal constituents of the central processing unit, and also the transition to the second special mode (Stop Mode) which stops the clock of the entire central processing unit. Furthermore, with the provision of the status register, it becomes possible to control the transition of the clock state to the third special mode (Sleep Mode) which puts the power source of the entire central processing unit into the sleeping state.

It is preferable for one of the standard clocks to use the frequency of 32.768 kHz.

Jm AZ The quartz oscillator for use in a wristwatch may be used for obtaining the frequency of 32.768 kHz. With use of the clock of which the frequency is very low comparing the ordinary operation mode which is operated at the frequency of several tens MHz through several hundreds, it becomes possible to realize the substantial wait mode.

Brief Description of the Drawings

Certain embodiments of the system LSI according to the invention will now be described in detail by way of examples and with reference to the accompanying drawings, wherein parts having substantially like function and constitution in each of several figures are identified by the like reference numeral or character, and wherein:

Fig. 1 is a block diagram for explaining the constitution of a

CPU,

Fig. 2 is a block diagram for explaining the constitution of a system LSI using the CPU as shown in Fig. 1,

Fig. 3 is a block diagram for explaining a system control circuit,

Fig. 4 is a block diagram for explaining a clock generation circuit.

Fig. 5 is a block diagram showing an example of clock operation mode and the state transition thereof,

Fig. 6 is a block diagram for explaining the constitution of a clock control library,

Fig. 7 is a table for explaining call of the clock control library,

Fig. 8 is a table for explaining parameters possessed by the library, wherein (a) indicates input parameters to the library and (b) indicates the contents of the input parameters,

Fig. 9 is a block diagram for explaining a prior art clock control circuit, and

Fig. 10 is an illustration for explaining conventional clock operation modes.

Detailed Description of the Preferred Embodiments

(CPU 510)

Referring to Fig. 1, a CPU 510 includes a processor 511 in its inside. A CPU bridge 520 is between the processor 511 and a dedicated high-speed bus 521 and connected with both of them, respectively. On one hand, a peripheral bridge 530 is between the dedicated high-speed bus 521 and a dedicated peripheral bus 531 and connected with both of them, respectively. The processor 511 includes a core CPU 512 as a main constituent thereof and further includes an internal data cache RAM 513 and

an internal instruction cache RAM 514 as well.

A system control circuit 534 is connected with the peripheral bridge 530 and is able to receive an external clock from an external circuit through an external clock terminal 546. This system control circuit 534 has the function of supplying the clock to the processor 511 and the other constituents of the CPU 510 and also has the function of controlling them.

All of a test interface 522 connected to the dedicated high-speed bus 521, a memory control circuit 523, a bus arbitration device 524 and an interruption control circuit 525 belongs to the other constituents of the CPU 510. The test interface 522 is connected with an external test bus 542, the memory control circuit 523 is connected with an external memory bus 543, and the interruption control circuit 525 is connected with an interruption signal terminal 545. The dedicated high-speed bus 521 is provided with an external terminal 544, and the system LSI can be constituted by connecting a user device with this external terminal 544.

In addition to the system control circuit 534, a timer 532 and a serial interface 533 having a communication port 547 are also connected with a dedicated peripheral bus 531.

A JTAG terminal 541 is used as a test interface of the processor 511 itself.

(System LSI 550)

Referring to Fig. 2, a system LSI 550 includes the CPU 510 shown in Fig. 1 as a principal constituent thereof and a dedicated high-speed bus 521 extended from the external terminal 544. The extended dedicated high-speed bus 521 is connected with a read only memory (ROM) 551 storing a clock control library and an application program which will be described later, a random

access memory (RAM) 552, and a user original circuit group 553.

Q12 A2) Furthermore, a peripheral bridge 554 connected with the dedicated high-speed bus 521 is connected with a power down control circuit 556 and a user original clock generation circuit 557, both of which are on a dedicated peripheral bus 555. The power down control circuit 556 realizes the power down by controlling the clock distribution over the entire system LSI.

The external clock terminal 540 is connected with a clock generation circuit placed on the system LSI 560 and supplies the external clock to a system control circuit 534. In addition, an external interruption control circuit 559 is provided to be connected with the interruption signal terminal 545. The embodiment of the invention as mentioned above is characterized by a system control circuit 534 and a clock generation circuit 558. These two circuits 534 and 558 will be explained in the following, with reference to Figs. 3 and 4, respectively.

(System Control Circuit 534)

Referring to Fig. 3, the system control circuit 534 has the function of supplying the clock to the processor 511 and other constituents of the CPU 510 and controlling those. A dedicated peripheral bus 561 is connected with a various sorts of registers, by which the clock supplied to the CPU 510 is controlled. Each of these registers will be explained in the following.

A clock supply wait register 562 is a register having the function of setting up the start time of the oscillation of a reference clock and ensuring a stabilized period of time during which a phase-locked loop (PLL) 573 reaches its locked state. This register 562 outputs a control signal CKWT.

A frequency-division ratio setting register 563 is a register for controlling the clock generation circuit 558. This register 563

determines a clock frequency-division ratio and outputs the control signal CGC.

A clock halt register 564 is the register that designates two clock operation modes of the CPU510, that is, a halt mode (the first special mode) halting the clock supply to the principal constituents of the CPU 510, and a stop mode (the second special mode) stopping the clock all over the entirety of the CPU 510. This register 564 outputs a control signal PMP. Designation of the operation mode and which constituent of the CPU 510 is to be given a halt command on the clock supply, are decided by setting a specific bit of the register.

A clock halt control register 565 is a register which outputs a clock signal HCLK according to the instruction from the clock halt register 564. A clock signal BCLK (IN) causing the above instruction is supplied from a clock generation circuit 558 which will be described later.

An ID register 566 is a register for reading out a system ID which identifies a sort of the CPU 510 and so on.

A status register 567 is a register for indicating the status of respective peripheral devices. This status register 567 notifies the handshaking state in the inside peripheral devices of the CPU 510, immediately after being released from the Sleeping mode (the third special mode), which is one of the clock operation modes of the CPU 510 and halts the entire power source of the CPU 510. The notice of the handshaking state is executed by setting a specific bit of the register.

Each value of registers 562 through 567 is directly designated by the processor 511 through the dedicated peripheral bus 561.

Having explained in detail the constitution and function of the system control circuit 534 in the above, we now move to the clock

generation circuit 558.

(Clock Generation Circuit 558)

Referring to Fig. 4, the clock generation circuit 558 supplies the external clock to the system control circuit 534. The output of each quartz oscillator is inputted to each of terminals MCLK0 (62.5 MHz), MCLK1 (50 MHz), and MCLK2 (32.768 KHz), of which each constitutes a base oscillation of various clocks supplied to the system.

A clock control portion 571 controls various sorts of clocks. A control signal CKWT inputted to the clock control portion 571 is an input signal from the clock supply wait register 562 of the system control circuit 534 and is used for ensuring the stabilized period of time of the PLL 573.

A control portion 572 controls the entirety of the clock generation circuit 558. The control signal CGBSTP inputted to the control portion 572 is a signal which halts the clock of the clock generation circuit 558 itself. In the sleep mode which will be described later, halt of oscillation is instructed by an output signal OSCEN. Moreover, the control portion 572 outputs a signal CLKEN controlling the supply/halt of the clock to a frequency-division/selection portion 574.

The PLL 573 generates the stabilized high frequency clock (48 through 240 MHz) in synchronization with the clock MCLK0 as supplied. Thus, it is possible to select four clock systems in total if combined with the above various sorts of clocks. The PLL 573 can be halted with a control signal PLEN.

All the clocks are divided into frequencies and selected in the frequency division/selection portion 574, of which the principal output signals are a clock FCLK of the core CPU 512, a clock BCLK (OUT) as used for access from the dedicated peripheral bus

521, and a timer clock TMCLK. Control signals used in the frequency division/selection portion are the operation clock FCLK, a control signal CSEL over the clock BCLK (OUT) as used for access from the dedicated peripheral bus 521, and a control signal TMSEL over the timer clock TMCLK.

As described before, the further object of the invention is to most suitably reduce the power consumption of the system LSI by dynamically and speedily control a lot of various frequencies as used in various modes from the high-speed operation mode to the low-speed operation mode. As shown in Fig. 2, the system LSI 550 is made up of the CPU 510 using the processor 511 and the user original circuit group 553. Therefore, the clock supplied to the processor 511 has to be able to respond to the request of the processor 511.

Qm 24 → The processor 511 as used in the current embodiment has two operation modes, one being a fast bus mode and the other being a synchronous mode. The fast bus mode is an operation mode wherein the clock BCLK as used for access from the dedicated peripheral bus 521 is used by both of the processor 511 and the dedicated peripheral bus 521. The synchronous mode is an operation mode wherein the operation clock FCLK of the core CPU 510 is used in the processor 511 while the clock BCLK for access use is used in the dedicated peripheral bus 521.

The clock BCLK for access use of the dedicated peripheral bus 521 is processed by means of the frequency division/selection portion 574 as shown in Fig. 4 to have a frequency equal to or 1/2 of the clock FCLK for use in the core CPU. The switchover of these modes is carried out by setting the register of the core CPU 512.

In case of the CPU 510, the clock FCLK for use in the core CPU

and others could be set in detail in the register group inside the system control circuit 534 as shown in Fig. 3. The function capable of dynamically and speedily controlling the clock group like this will be called "Clock Gear" hereinafter in the present specification. In the following description on the current embodiment, however, it is assumed that the clock gear control is possible only in the fast bus mode.

Fig. 5 shows, by way of an example, some clock operation modes which can be taken according to the current embodiment, more particularly, those which can be taken by such a circuit constitution having a dynamic random access memory (DRAM) inside the system LSI and allowing the lowest-speed operation mode to exist. Transition between these modes is carried out by means of the above-mentioned clock gear, which is described in detail in the following.

As shown in Fig. 5, the embodiment provides eight operation modes STNn (n: integer of 0 through 7). Five operation modes STN0 through STN4 belong to an ordinary operation mode 11 while remaining three operation modes STN5 through STN7 belong to a special mode 12.

In the ordinary operation mode 11, there are an initial operation mode STN0, a highest-speed operation mode STN1, a high-speed operation mode STN2, a low-speed operation mode STN3, and a lowest-speed operation mode STN4, of which the last four (i.e. STN1 to STN4) are responsive to the operation speed of the CPU 510.

Furthermore, in the special mode 12, there are included a halt mode STN5 halting the clock supply to the principal constituents of the CPU 510, a stop mode STN6 stopping all the clocks of the CPU510, and a sleep mode STN7 halting all the power sources of

the CPU 510. In Fig. 5, several frequencies as written in the ordinary operation mode 11 indicate those of the clock BCLK as used for access from the dedicated peripheral bus 521.

The base oscillation of the clock (including an overtone) has three frequencies of 62.5 MHz, 50 MHz, and 32.768 KHz, which correspond to terminals MCLK0, MCLK1, and MCLK2 as shown in Fig. 4, respectively. The frequency of 32.768 KHz is generated by using the quartz oscillator for use in a wristwatch. The output of the PLL 573 is synchronized with the base oscillation MCLK0 and is multiplied up to the maximum of 240 MHz. Therefore, in the system LSI 550, it becomes possible to select the clock including those which are multiplied by the PLL 573 from the four clock systems in total.

In Fig. 5, the above-mentioned frequencies 62.5 MHz, 50 MHz, and 32.768 KHz, or a half of the first two i.e. 31.25 MHz and 25 MHz is shown as the clock BCLK for access use. In this case, however, an upper limit is determined with regard to the operation clock FCLK of the core CPU 12 depending on a specification. Also, there is limited the maximum frequency at which the clock BCLK for access use is allowed to be used.

In the following, five ordinary operation modes and three special modes will be explained with reference to Fig. 5. The ordinary operation mode will be first explained.

(STN0: Initial Operation Mode, 25 MHz)

The initial operation mode is used for setting initial values and so on immediately after being reset. As it is difficult for some of I/O devices connected with the dedicated high-speed bus 521, the dedicated peripheral bus 531 and so forth to make a high-speed response, the initial setting is carried out in the initial operation mode by means of the low-speed clock.

Immediately after being reset, the core CPU 512 is in the fast mode.

(STN1: Highest-Speed Operation Mode, 62.5 MHz)

The highest-speed mode is the mode for operating the dedicated high-speed bus 521 and the dedicated peripheral bus 531 at high-speed. Consequently, the power consumption by the entire system becomes large.

(STN2: High-Speed Operation Mode, 50 MHz)

Ans A3 → The clock speed in high-speed operation mode is slower than that in the highest-speed operation mode (STN1), but the application can be operated at a sufficient speed in this operation mode. The reason why the mode like this is separately provided is for smoothly executing the clock gear, thereby optimizing reduction of the power consumption by the enter system.

(STN3: Low-speed Operation Mode, 31.25 MHz)

The low-speed operation mode is the mode which substantially reduces the power consumption by the entire system. If operating a low-speed device like a key board, this mode functions sufficiently.

(STN4: Lowest-Speed Operation Mode, 32.768 KHz)

The lowest-speed operation mode substantially realizes the wait mode of the system and reduces the power consumption of the entire system to a great extent. In this case, however, as the clock supply to the system is not completely halted, this operation mode can quickly transit to the above-mentioned low-speed operation mode and others.

The memory control circuit 523 as shown in Fig. 1 controls the external DRAM and others by means of an external memory bus 543. At this time, the above-mentioned base frequency 32.768 KHz is used as a clock for refreshing the DRAM. As this is

depending on the standard of the DRAM, if taking a frequency lower than the above frequency in the lowest-speed operation mode (STN4), the memory control circuit 523 controlling the DRAM has to be operated in the self-refresh mode.

Five ordinary operation modes according to the invention have been explained in the above. Now, we move to the explanation of special modes.

(STN5: Halt Mode (First Special Mode))

Mr Me The halt mode is the mode for halting the clock supply to principal constituents of the CPU 510 as shown in Fig. 1, that is, the processor 511, the CPU bridge 520, the peripheral bridge 530, the bus arbitrary device, and so forth. Transition to the halt mode is executed, from the application side, by setting HALT of the clock halt register 564 in the system control circuit 534 as shown in Fig. 3. With this, the operation of almost devices operated with high-speed clocks is halted, so that the power consumption by the entire system can be reduced to a great extent. However, peripheral devices are still in operation even under this condition. For instance, as the interruption control circuit 525 is still in operation, it can accept the external interruption, thus being able to reopen the clock supply by a means other than resetting it.

(STN6: Stop Mode (Second Special Mode))

The stop mode is the mode for stopping the clocks of the entire CPU 510. Transition to the stop mode is executed, from the application side, by setting STOP of the clock halt register 564 in the system control circuit 534 as shown in Fig. 3. The control signal CGBSTP as shown in Fig. 4 instructs the stop of the clock generation circuit 558 according to the embodiment of the invention. As a result, the power consumption of the entire

system comes to mainly depend on the leakage current. Accordingly, this very effectively works in a battery-powered portable device. If the internal RAM 552 is constituted with a DRAM, the memory control circuit 523 has to be kept in the self-refresh mode.

(STN7: Sleep Mode (Third Special Mode))

The sleep mode is the mode for stopping all the power sources of the CPU 510. The control of this mode is executed by a power MOS (not shown) connected in series with the power source. Transition to the sleep mode is executed, from the application side, by setting the internal register of the power down control circuit 556. Release from the sleep mode is carried out by using a hardware signal to the power-down control circuit 556 which is the peripheral device not stopped yet. At that time, as the data stored in the internal DRAM and so on is erased upon the stop of clocks, it would take a considerably long time for completely recovery the application.

It is possible to make transition from any one of ordinary operation modes to any one of special mode. The application program is able to make the ordinary operation mode transit to the special mode by calling the call function of an objective special mode as designated. Inversely, in order to return from the special mode to the ordinary operation mode, it is needed only to release the special mode because the setting of the register in the system control circuit 534 is kept unchanged. Release of the special mode is carried out usually by the external interruption which is controlled by means of the interruption control circuit 525 as shown in Fig. 1 or, if need be, by means of the external interruption control circuit 595 as shown in Fig. 2.

In Fig. 5, a plurality of parenthesized numerals appended to

each of arrows transiting among various states (modes) indicate libraries corresponding to those state transitions. The above parenthesized numeral is referred to as "state transition number." The library will be explained later.

Comparing the clock operation mode of the invention with the case of the ST7 core as shown in Fig. 9, it will be understood that the ST7 core divides the frequency of the clock from a single clock system and assigns the divided one to the low-speed operation mode while in the embodiment of the invention, the clock from the four clock systems can be put in a proper use. Especially, the output from the PLL 573 is added to one of choices as a new clock system. Furthermore, a substantial wait mode has been realized by using the frequency of 32.768 KHz generated by the quartz oscillator for use in the wristwatch as a base oscillation. This has been done for the purpose of the invention, which is to dynamically and quickly control the clock with a lot of frequencies covering the wide range of the operation modes from the high-speed operation mode to the low-speed operation mode based on the concept we call the clock gear.

The special mode of the clock operation is full of varieties. The invention further includes the sleep mode in addition to two modes, that is, the halt mode and the stop mode which are usually equipped, thereby freely control the reduction of the power consumption. Especially, it belongs to the characteristics of the invention that the transition from the ordinary operation mode to the special mode can be freely set from the side of the application program and also that the reverse transition can be executed with ease by means of the external interruption.

Ans A7 → Further, in order to reduce the power consumption of the entire system without losing the versatility of the core CPU 521, there

A7
are provided in the CPU 510 the system control circuit 534 and the clock generation circuit 558 according to the invention. In this way, in the dynamic clock control according to the invention, the clock of the core CPU 512 in the system LSI 550 as well as the CPU 510 can be controlled simultaneously.

The control program group (referred to as a clock control library hereinafter) for embodying the concept of the above clock gear will be explained in the following.

The clock control library makes it possible to realize a real power management from the side of the application program by using the C language. Fig. 6 shows the structure of the clock control library 32 according to the embodiment of the invention.

When calling libraries 34 from an application program 31, the first thing to be done is to call a main library 33. This call is done by using the C language. The main library 33 is compiled also with the C language. The main library 33 selects either one of the libraries 34 in correspondence with the state of the application program 31 and achieves the transition between operation modes of the clock.

All the libraries 34 are compiled with the assembler language. This is because the clock control associated hardware has to be controlled directly. To put it concretely, the system control circuit 534 as shown in Fig. 3 and the clock generation circuit 558 as shown in Fig. 4 belong to the clock control associated hardware.

The operation of calling and selecting the library 34 by the main library 33 is carried out by involving the input parameter and others related thereto as shown in a table of Fig. 7. Furthermore, this figure shows a library function which is called in correspondence with the state transition of the clock, the input

parameter and the jump table number. Still further, the jump table number indicates the relative address where the library 34 is located. The table also shows that a different library function is used depending on whether or not the DRAM is included in the system LSI and whether or not the lowest-speed operation mode is included as the clock mode.

A table as shown in Fig. 8 indicates what parameters each library has. With these parameters, the library executes the processing of setting the memory parameter, switching of the clock, switching the clock mode, and so forth. Fig. 8 (a) indicates the library and the input parameter group as designated thereby. In each column ([1]) to ([8]) of the table, there are listed up the value of the input parameter.

In the next, the contents of each input parameter will be explained with reference to Fig. 8 (b).

A memory parameter changing pattern [1] executes the change of the parameter setting in the memories (RAM, ROM, I/O, DRAM existing in the system LSI, and so forth) for operating them to meet the clock speed. For instance, when changing (gear up) from the lower-speed operation mode to the high-speed operation mode, the value 0x00 is designated, thereby the memory parameter being changed to the memory parameter for high-speed use. Inversely, when changing (gear down) from the high-speed operation mode to the low-speed operation mode, the value 0x01 is designated, thereby the memory parameter being changed to the memory parameter for low-speed use.

A CPU clock mode [2] designates the changeover between two operation modes, that is, the synchronous mode and the fast bus mode. The value 0x00 is designated in the fast bus mode while the value 0x01 is designated in the synchronous mode.

Continuing to explain other input parameters, an external ROM memory parameter [3] designates a ROM type. An external SRAM memory parameter [4] designates a SRAM type. An external I/O memory parameter [5] designates an I/O type. The value of SDRAM/EDO - RAM parameter [6] is made available in the range of 0x00 through 0x09 if the DRAM is SDRAM, and also made available in the range values of 0x00 through 0x0a if the DRAM is EDO-RAM. PCGBCNT0 SET VALUE [7] or PCGBCNT1 SET VALUE [8] determines a value to be set to the frequency division ratio setting register 563 as shown in Fig. 3, and designates the base oscillation, the clock frequency division ratio, and so forth. In all the parameters as mentioned above, there is no need for any input parameter to be set if its value is 0xff.

In Fig. 5, a plurality of parenthesized numerals appended to each of arrows transiting among various states (state transition number) indicate libraries corresponding to those state transitions. If the clock state transition is desired on the side of the application program s, just call the library corresponding to the state transition number by designating it, and the state transition will take place as desired.

The library function and the state transition number not always have a relation of one to one correspondence. One library function may realize a plurality of state transitions in response to the above-mentioned memory parameter change pattern. For instance, assuming that the application program 31 has carried out the control for switching the clock from the low-speed operation mode to the high-speed operation mode at the first line of the table as show in Fig. 8 (b), the main library 33 calls the library 0, to put it concretely, calls the library function clkgear 9 to the relative address 0x00 by means of the input parameter

0x00.

At this time, if the current clock mode is the low-speed mode (STN3), the state transition number becomes (5) as shown in Fig. 5, and if the current clock mode is the high-speed mode (STN2), the state transition number becomes (3). Besides the clock control like the above, the library 33 is able to cope with various jobs such as halting PLL, setting the time, setting the frequency division ratio of an external circuit, and so forth.

As explained in the above, in the system LSI according to the invention, the main library 33 is prepared as an interface using the C language, so that the application program 31 is able to call, with ease, an individual library 34 necessary for the clock transition under the control of the main library 33. Furthermore, all the libraries 34 are compiled in the assembler language, which is very suitable and helpful for the control of the system control circuit 534 as described above. The structure of the clock control library 32 as mentioned above makes it possible to realize the system LSI of the Low power consumption type with ease, which has been earnestly desired by a lot of users.

The system LSI according to the invention has been discussed so far by way of an exemplary example and with reference to the accompanying drawings, but the invention should not be limited to this example. It is apparent that one who is skilled in the art may make various variation or modification of the invention within the category of the technical thoughts as recited in the scope of claims for patent attached hereto. It is understood that such variation or modification naturally belongs to the technical scope of the invention.

The following are principal effects brought by the invention.

With a plurality of standard clock systems, it becomes possible

to construct a system LSI having a variety of ordinary operation modes (highest-speed operation mode, high-speed operation mode, low-speed operation mode, lowest-speed operation mode, and so on).

Furthermore, when expressing the relation between the current clock state and the clock state after transition by using a function (clkgear) in the form of the clock control library, it becomes possible to dynamically and speedily control a plurality of clocks in the ordinary operation mode, as if it were gear-change operation. In this way, the clock state can be controlled more finely.

Still further, according to the invention, the system control circuit is provided with the register, and the control making the ordinary operation mode transit to the special mode is carried out by changing the value of this register. At this time, as the register setting is kept unchanged after completion of transition to the special mode, the transition from the special mode to the ordinary operation mode is carried out just releasing the special mode by means of the external interruption. Consequently, the transition control is made much easier.

Still further, according to the invention, the main library of the clock control library and the application program are described by using the same program language, and call of the main library from the side of the application program is carried out also by using the same program language. This makes it possible to realize such a flexible interface as handled by the user with ease, thus enabling the user to select the power management system which is the most suitable to his system.

What is claimed is:

Sub AG 1. A system LSI having a plurality of ordinary operation modes and a plurality of special modes in response to the clock state supplied to a central processing unit, comprising:

the first memory means storing a clock control library for controlling the clock state transition between said ordinary operation modes;

a system control circuit having a register and carrying out the clock state transition between said ordinary operation mode and said special mode in response to the change of the value of said register, and also carrying out the clock state transition among said ordinary operation modes in response to said clock control library;

a clock generation circuit receiving a plurality of standard clocks and generating the clock supplied to said central processing unit according to the control of said system control circuit; and

the second memory means storing an application program;

wherein call of said clock control library and change of said register value are controlled by said application program.

2. A system LSI as claimed in claim 1 wherein said clock control library comprises:

a plurality of libraries which control said system control circuit and said clock generation circuit as well to transit the clock state supplied to said central processing unit; and

a main library which is called by said application program and selects any one of said libraries in correspondence with the

clock state supplied to said central processing unit.

AG
3. A system LSI as claimed in claim 2 wherein said main library is described in the same program language as said application program.

4. A system LSI as claimed in claim 3 wherein said application program and said main library are described in the C language.

5. A system LSI as claimed in claim 2 wherein each of said libraries is described in a program language capable of directly controlling said clock generation circuit and said system control circuit as well.

6. A system LSI as claimed in claim 5 wherein each of said libraries is described in an assembler language.

7. A system LSI as claimed in claim 1 wherein said special mode comprises:

the first special mode in which the clock supply to the principal constituents of said central processing unit is halted;

the second special mode in which the clock of the entire central processing unit is halted; and

the third special mode in which the power source of the entire central processing unit is halted.

8. A system LSI as claimed in claim 7 wherein said system control circuit comprises:

a frequency division ratio setting register which sets the frequency division ratio of the clock in said clock generation

circuit;

AG a clock halting register which receives the clock signal from said clock generation circuit and individually sets the clock signal to be halted or supplied; and

a status register which judges the state of said central processing unit immediately after being released from said third special mode.

9. A system LSI as claimed in claim 1 wherein said clock generation circuit comprises:

a PLL receiving a plurality of standard clocks and generating, if need be, the clock obtained by multiplying said standard clocks; and

a frequency division/selection portion carrying out the frequency division or selection of said standard clock or said multiplied standard clock.

10. A system LSI as claimed in claim 9 wherein one of said standard clocks uses a frequency of 32.768 kHz as a base oscillation.

11. A system LSI as claimed in claim 1 wherein said first memory means and said second memory means are constituted as two independent memory means which are separated from each other.

12. A system LSI as claimed in claim 1 wherein said first memory means and said second memory means are formed to coexist in one memory means, sharing the memory area of said one memory means.

Abstract of the Disclosure

SWDAS

There is disclosed a system LSI capable of dynamically and speedily controlling clocks of various frequencies as used in the wide range of operation mode, from the high-speed operation mode to the low-speed one and, in addition, enabling the user to select a system of the low power consumption type, which is most suitable for his own system. The system LSI includes a ROM 551 storing a clock control library for carrying out the clock state transition between the ordinary operation modes, and a system control circuit 534 having a register and carrying out the clock state transition between the ordinary operation mode and the special mode in response to the change of the value of the register, and also carrying out the clock state transition among the ordinary operation modes in response to the clock control library.

The call of the clock control library and change of the register value are controlled by the application program.

The main library of the clock control library is described in the C language and is called by also using the C language.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

Declaration and Power of Attorney For Patent Application

特許出願宣言書及び委任状

Japanese Language Declaration

日本語宣言書

下記の氏名の発明者として、私は以下の通り宣言します。

As a below named inventor, I hereby declare that:

私の住所、私書箱、国籍は下記の私の氏名の後に記載された通りです。

My residence, post office address and citizenship are as stated next to my name.

下記の名称の発明に関して請求範囲に記載され、特許出願している発明内容について、私が最初かつ唯一の発明者（下記の氏名が一つの場合）もしくは最初かつ共同発明者であると（下記の名称が複数の場合）信じています。

I believe I am the original, first and sole inventor (if only one name is listed below) or an original, first and joint inventor (if plural names are listed below) of the subject matter which is claimed and for which a patent is sought on the invention entitled

System LSI

上記発明の明細書（下記の欄で×印がついていない場合は、本書に添付）は、

the specification of which is attached hereto unless the following box is checked:

月 日に提出され、米国出願番号または特許協定条約
国際出願番号を _____ とし、
(該当する場合) _____ に訂正されました。

was filed on _____
as United States Application Number or
PCT International Application Number
_____ and was amended on
_____ (if applicable).

私は、特許請求範囲を含む上記訂正後の明細書を検討し、内容を理解していることをここに表明します。

I hereby state that I have reviewed and understand the contents of the above identified specification, including the claims, as amended by any amendment referred to above.

私は、連邦規則法典第37編第1条56項に定義されるとおり、特許資格の有無について重要な情報を開示する義務があることを認めます。

I acknowledge the duty to disclose information which is material to patentability as defined in Title 37, Code of Federal Regulations, Section 1.56.

Page 1 of 3

Burden Hour Statement: This form is estimated to take 0.4 hours to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner of Patents and Trademarks, Washington, DC 20231.

*Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

Japanese Language Declaration (日本語宣言書)

私は、米国法典第35編119条(a)-(d)項又は365条(b)項に基づき下記の、米国以外の国の少なくとも一カ国を指定している特許協力条約365(a)項に基づく国際出願、又は外国での特許出願もしくは発明者証の出願についての外国優先権をここに主張するとともに、優先権を主張している、本出願の前に出願された特許または発明者証の外国出願を以下に、枠内をマークすることで、示しています。

Prior Foreign Application(s)

外国での先行出願

JP2002-047696

(Number)

(番号)

JAPAN

(Country)

(国名)

(Number)

(番号)

(Country)

(国名)

私は、第35編米国法典119条(e)項に基づいて下記の米国外特許出願規定に記載された権利をここに主張いたします。

(Application No.)

(出願番号)

(Filing Date)

(出願日)

私は、下記の米国法典第35編120条に基づいて下記の米国外特許出願に記載された権利、又は米国を指定している特許協力条約365条(c)に基づく権利をここに主張します。また、本出願の各請求範囲の内容が米国法典第35編112条第1項又は特許協力条約で規定された方法で先行する米国外特許出願に開示されていない限り、その先行米国外出願書提出日以後で本出願書の日本国内または特許協力条約国際提出日までの期間中に入手された、連邦規則法典第37編1条56項で定義された特許資格の有無に関する重要な情報について開示義務があることを認識しています。

(Application No.)

(出願番号)

(Filing Date)

(出願日)

(Application No.)

(出願番号)

(Filing Date)

(出願日)

私は、私自身の知識に基づいて本宣言書中で私が行なう表明が真実であり、かつ私の入手した情報と私の信じているところに基づく表明が全て真実であると信じていること、さらに故意になされた虚偽の表明及びそれと同等の行為は米国法典第18編第1001条に基づき、罰金または拘禁、もしくはその両方により処罰されること、そしてそのような故意による虚偽の声明を行なえば、出願した、又は既に許可された特許の有効性が失われることを認識し、よってここに上記のごとく宣誓を致します。

I hereby claim foreign priority under Title 35, United States Code, Section 119 (a)-(d) or 365 (b) of any foreign application(s) for patent or inventor's certificate, or 365 (a) of any PCT International application which designated at least one country other than the United States, listed below and have also identified below, by checking the box, any foreign application for patent of inventor's certificate, or PCT International application having a filing date before that of the application on which priority is claimed.

Priority Not Claimed

優先権主張なし

February 25, 2002

(Day/Month/Year Filed)

(出願年月日)

(Day/Month/Year Filed)

(出願年月日)

I hereby claim the benefit under Title 35, United States Code, Section 119(e) of any United States provisional application(s) listed below.

(Application No.)

(出願番号)

(Filing Date)

(出願日)

I hereby claim benefit under Title 35, United States Code, Section 120 of any United States application(s), or 365(c) of any PCT International application designating the United States, listed below and, insofar as the subject matter of each of the claims of this application is not disclosed in the prior United States of PCT International application in the manner provided by the first paragraph of Title 35, United States Code Section 112, I acknowledge the duty to disclose information which is material to patentability as defined in Title 37, Code of Federal Regulations, Section 1.56 which became available between the filing date of the prior application and the national or PCT International filing date of application.

(Status: Patented, Pending, Abandoned)

(現況: 特許許可済、係属中、放棄済)

(Status: Patented, Pending, Abandoned)

(現況: 特許許可済、係属中、放棄済)

I hereby declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code and the such willful false statements may jeopardize the validity of the application or any patent issued thereon.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

Japanese Language Declaration (日本語宣言書)

委任状： 私は下記の発明者として、本出願に関する一切の
手続きを米特許商標局に対して遂行する弁理士または代理人
として、下記の者を指名いたします。(弁護士、または代理
人の氏名及び登録番号を明記のこと)

Raymond C. Jones (Reg.No.34,631) and Adam C. Volentine (Reg.No.33,289)

POWER OF ATTORNEY: As a named inventor, I hereby appoint
the following attorney(s) and/or agent(s) to prosecute this
application and transact all business in the Patent and Trademark
Office connected therewith (*list name and registration number*)

書類送付先

Send Correspondence to:

VOLENTINE FRANCOS, PLLC
12200 Sunrise Vally Drive Suite 150, Reston, Virginia 20191

直接電話連絡先： (名前及び電話番号)

Direct Telephone Calls to: (*name and telephone number*)

Adam C. Volentine
VOLENTINE FRANCOS, PLLC

Telephone: (703) 715-0870, Fax: (703) 715-0877

唯一または第一発明者名		Full name of sole or first inventor	
		Hitoshi ENDO	
発明者の署名	日付	Inventor's signature	Date
		<i>Hitoshi Endo</i>	September 9, 2002
住所		Residence	
		Tokyo, Japan	
国籍		Citizenship	
Japanese			
私書箱		Post Office Address	
c/o Oki Electric Industry Co., Ltd.			
7-12, Toranomon 1-chome, Minato-ku, Tokyo, Japan			
第二共同発明者名		Full name of second joint inventor, if any	
第二共同発明者の署名	日付	Second inventor's signature	Date
住所		Residence	
国籍		Citizenship	
私書箱		Post Office Address	

(第三以降の共同発明者についても同様に記載し、署名を
すること)

(Supply similar information and signature for third and subsequent
joint inventors.)

PATENT APPLICATION SERIAL NO. _____

U.S. DEPARTMENT OF COMMERCE
PATENT AND TRADEMARK OFFICE
FEE RECORD SHEET

09/24/2002 HMARZ11 00000080 10251755

01 FC:101

740.00 0P

PTO-1556
(5/87)

PATENT APPLICATION FEE DETERMINATION RECORD
Effective October 1, 2001

Application or Docket Number

10251755

CLAIMS AS FILED - PART I

SMALL ENTITY TYPE OR **OTHER THAN SMALL ENTITY**

	(Column 1)	(Column 2)
TOTAL CLAIMS	12	
FOR	NUMBER FILED	NUMBER EXTRA
TOTAL CHARGEABLE CLAIMS	12 minus 20 = *	0
INDEPENDENT CLAIMS	12 minus 3 = *	0
MULTIPLE DEPENDENT CLAIM PRESENT <input type="checkbox"/>		

RATE	FEE	OR	RATE	FEE
BASIC FEE	370.00	OR	BASIC FEE	740.00
X\$ 9=		OR	X\$18=	
X42=		OR	X84=	
+140=		OR	+280=	
TOTAL		OR	TOTAL	710

* If the difference in column 1 is less than zero, enter "0" in column 2

CLAIMS AS AMENDED - PART II

SMALL ENTITY OR **OTHER THAN SMALL ENTITY**

AMENDMENT A	(Column 1)	(Column 2)	(Column 3)
	CLAIMS REMAINING AFTER AMENDMENT	HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA
Total	*	Minus **	=
Independent	*	Minus ***	=
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM <input type="checkbox"/>			

RATE	ADDITIONAL FEE	OR	RATE	ADDITIONAL FEE
X\$ 9=		OR	X\$18=	
X42=		OR	X84=	
+140=		OR	+280=	
TOTAL ADDIT. FEE		OR	TOTAL ADDIT. FEE	

AMENDMENT B	(Column 1)	(Column 2)	(Column 3)
	CLAIMS REMAINING AFTER AMENDMENT	HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA
Total	*	Minus **	=
Independent	*	Minus ***	=
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM <input type="checkbox"/>			

RATE	ADDITIONAL FEE	OR	RATE	ADDITIONAL FEE
X\$ 9=		OR	X\$18=	
X42=		OR	X84=	
+140=		OR	+280=	
TOTAL ADDIT. FEE		OR	TOTAL ADDIT. FEE	

AMENDMENT C	(Column 1)	(Column 2)	(Column 3)
	CLAIMS REMAINING AFTER AMENDMENT	HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA
Total	*	Minus **	=
Independent	*	Minus ***	=
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM <input type="checkbox"/>			

RATE	ADDITIONAL FEE	OR	RATE	ADDITIONAL FEE
X\$ 9=		OR	X\$18=	
X42=		OR	X84=	
+140=		OR	+280=	
TOTAL ADDIT. FEE		OR	TOTAL ADDIT. FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.
 ** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20."
 *** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3."
 The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

BEST AVAILABLE COPY

CLAIMS ONLY

SERIAL NO.

11251155

FILING DATE

9-23-02

APPLICANT(S)

CLAIMS

	AS FILED		AFTER 1st AMENDMENT		AFTER 2nd AMENDMENT		*	*		*	
	IND.	DEP.	IND.	DEP.	IND.	DEP.		IND.	DEP.	IND.	DEP.
1											
2											
3											
4											
5											
6											
7											
8											
9											
10											
11											
12											
13											
14											
15											
16											
17											
18											
19											
20											
21											
22											
23											
24											
25											
26											
27											
28											
29											
30											
31											
32											
33											
34											
35											
36											
37											
38											
39											
40											
41											
42											
43											
44											
45											
46											
47											
48											
49											
50											
TOTAL IND.											
TOTAL DEP.											
TOTAL CLAIMS											
51											
52											
53											
54											
55											
56											
57											
58											
59											
60											
61											
62											
63											
64											
65											
66											
67											
68											
69											
70											
71											
72											
73											
74											
75											
76											
77											
78											
79											
80											
81											
82											
83											
84											
85											
86											
87											
88											
89											
90											
91											
92											
93											
94											
95											
96											
97											
98											
99											
100											
TOTAL IND.											
TOTAL DEP.											
TOTAL CLAIMS											

BEST AVAILABLE COPY

* MAY BE USED FOR ADDITIONAL CLAIMS OR AMENDMENTS

#3
2-24-03 ul

1c997 U.S. PTO
10/25/755
09/23/02

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :
Hitoshi ENDO :
Serial No.: [NEW] : Attn: Applications Branch
Filed: September 23, 2002 : Attorney Docket No.: OKI.396
For: SYSTEM LSI

CLAIM OF PRIORITY

Honorable Assistant Commissioner for Patents and Trademarks,
Washington, D.C. 20231

Sir:

Applicant, in the above-identified application, hereby claims the priority date
under the International Convention of the following Japanese application:


Appln. No. 2002-047696 filed February 25, 2002

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC


Adam C. Volentine
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Date: September 23, 2002

日 本 国 特 許 庁
JAPAN PATENT OFFICE

JC997 U.S. PTO
10/251755
09/23/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application: 2002年 2月25日

出 願 番 号
Application Number: 特願2002-047696

[ST.10/C]: [JP2002-047696]

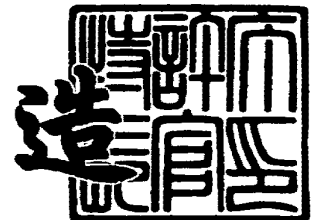
出 願 人
Applicant(s): 沖電気工業株式会社



2002年 5月17日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2002-3036263

【書類名】 特許願

【整理番号】 KT000410

【提出日】 平成14年 2月25日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 G06F 1/32
G06F 1/08

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会
社内

【氏名】 遠藤 仁志

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100095957

【弁理士】

【氏名又は名称】 亀谷 美明

【電話番号】 03-5919-3808

【選任した代理人】

【識別番号】 100096389

【弁理士】

【氏名又は名称】 金本 哲男

【電話番号】 03-3226-6631

【選任した代理人】

【識別番号】 100101557

【弁理士】

【氏名又は名称】 萩原 康司

【電話番号】 03-3226-6631

【手数料の表示】

【予納台帳番号】 040224

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707549

【包括委任状番号】 9707550

【包括委任状番号】 9707551

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 システムLSI

【特許請求の範囲】

【請求項1】 中央処理装置に供給されるクロック状態に応じて、複数の通常動作モードと、特殊モードとを有するシステムLSIであって：

前記通常動作モード間のクロック状態の遷移を行うためのクロック制御ライブラリが格納された第1の記憶手段と；

レジスタを有し、該レジスタ値の変更により、前記通常動作モードと前記特殊モードとの間のクロック状態の遷移を行うとともに、前記クロック制御ライブラリに応じて、前記通常動作モード間のクロック状態の遷移を行うシステム制御回路と；

複数の基準クロックが入力されて、前記システム制御回路の制御に応じて、前記中央処理装置に供給されるクロックを生成するクロック生成回路と；

アプリケーションプログラムが格納された第2の記憶手段と；
を備え、

前記アプリケーションプログラムにより、前記クロック制御ライブラリの呼び出し、および、前記レジスタ値の変更が制御されることを特徴とする、システムLSI。

【請求項2】 前記クロック制御ライブラリは、

前記システム制御回路および前記クロック生成回路を制御して前記中央処理装置に供給されるクロック状態を遷移させるための複数のライブラリと、

前記アプリケーションプログラムにより呼び出されて、前記中央処理装置に供給されるクロック状態に応じて、前記ライブラリのいずれかを選択するメインライブラリと、

から成ることを特徴とする、請求項1に記載のシステムLSI。

【請求項3】 前記メインライブラリは、前記アプリケーションプログラムと同一のプログラム言語で記述されていることを特徴とする、請求項2に記載のシステムLSI。

【請求項4】 前記各ライブラリは、前記クロック生成回路および前記シス

テム制御回路を直接制御可能なプログラム言語で記述されていることを特徴とする、請求項 2 または 3 に記載のシステム L S I。

【請求項 5】 前記特殊モードは、

前記中央処理装置の主要な構成要素に対しクロックの供給を停止する第 1 の特殊モードと、

中央処理装置全体のクロックを停止する第 2 の特殊モードと、

中央処理装置全体の電源を停止する第 3 の特殊モードと、

から成ることを特徴とする、請求項 1, 2, 3 または 4 のいずれかに記載のシステム L S I。

【請求項 6】 前記システム制御回路は、

前記クロック生成回路におけるクロックの分周比を設定するための分周比設定レジスタと、

前記クロック生成回路からクロック信号が供給されて、個別のクロック信号を停止または供給するための設定を行うためのクロック停止用レジスタと、

前記第 3 の特殊モードから解除した直後の前記中央処理装置の状態を判断するステータスレジスタと、

を備えたことを特徴とする、請求項 5 に記載のシステム L S I。

【請求項 7】 前記クロック生成回路は、

前記複数の基準クロックが入力されて、必要に応じて該基準クロックを逡倍したクロックを生成する P L L と、

前記基準クロックまたは前記逡倍された基準クロックを分周または選択する分周／選択部と、

を備えたことを特徴とする、請求項 1, 2, 3, 4, 5 または 6 のいずれかに記載のシステム L S I。

【請求項 8】 一の前記基準クロックは、原振として 3 2 . 7 6 8 k H z を用いることを特徴とする、請求項 7 に記載のシステム L S I。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、コアCPUを有するシステムLSIにかかり、特に、アプリケーションプログラムの側からのクロックの動的制御に特徴を有するシステムLSIに関する。

【0002】

【従来の技術】

システムLSIで構成されるマイクロコントローラの応用分野のうち、例えば携帯電話のように電池を使う携帯機器では、消費電力を極力抑えて利用者の利便を図りたいものが多い。その場合にシステムのクロックを使い分けてシステム全体の消費電力を低減させる技術がある。すなわち、高速の処理が要求される場合にはその高速のクロックを供給し、待機時には低速のクロックにして、適宜使い分けることによりシステム全体の消費電力を低減させることが可能である。近年、システムLSIで構成されるマイクロコントローラには、あらゆる応用分野にASIC (Application Specific Integrated Circuit) が提供されている。ASICが組み込まれたシステムでは、電池の寿命を少しでも延ばすために、消費電力を下げることを仕様として要求されており、そのコアCPUに上記低消費電力技術が組み込まれていることが少なくない。

【0003】

従来のコアCPUの一例として、米国STMicroelectronics社のST7 (以下、ST7コアという。) について説明する。図9は、ST7コアのクロック制御回路40の説明図である。図10は、ST7コアのクロック動作モードの説明図である。

【0004】

図9に示したように、発振端子OSC1, OSC2を持つ発振部41は、発振端子OSC1, OSC2に水晶発振子(クォーツ)等を取り付けることによりクロックを生成する。クロック補正部42はクロックフィルタ43とクロック補完部44から構成される。クロックフィルタ43はスパイクノイズ等の混入したクロックを取り除き、波形整形する働きをする。クロック補完部44は、上記波形整形の結果、クロックがまばらになった場合にクロックを補完し、クロックの周

波数帯域を狭める働きをする。

【0005】

メインクロック制御回路45は、設定レジスタ46とクロック分周部47から構成される。設定レジスタ46は、クロックの分周比を設定したり、入出力端子CLKOUTの切替の設定を行う。クロック分周部47は、クロックfoscを分周比1/4、1/8、1/16および1/32に分周する。分周されたクロックfcpuはST7コアと周辺装置49に供給され、入出力切替部48を通じて入出力端子CLKOUTから外部に出力される。

【0006】

ST7コアは、上記クロック制御回路40の制御により、図10に示した4つのクロック動作モードを有する。高速動作モードでは発振周波数の1/2の周波数で動作し、低速動作モードでは発振周波数の1/4、1/8、1/16および1/32で動作する。待機モードではCPUのクロックは停止するが、周辺装置は動作している。停止モードでは発振自体が停止し、ST7コアの消費電力は最小になる。このような各モードをCPUの処理に応じて使い分けると、総合的に相当の消費電力を抑えることができる。

【0007】

一方、マイクロコントローラがシステムLSIで構成される場合に、コアCPUに低消費電力技術が組み込まれていない場合もある。このようなCPUコアの一例として、例えば、英国ARM社のARM920T（以下、ARMコアという。）がある。ARMコアの場合は、パワーマネジメント部がシステムLSIの側に作られることを前提としている。

【0008】

ARMコアがこのような構成を採用する理由としては、第一に、クロック制御機構をコアCPU側に内蔵させてしまうとシステムLSIを設計する側に制限を与えてしまい、結果的にコアCPUの汎用性が失われてしまうからである。コアCPUを使うシステムLSI側では、クロックが低速になったり、停止した場合に、その状態を検出して内部メモリのタイミングや内部タイマの調整をしなければならなくなる。

【0009】

第二に、ARMコアにはJTAG (Joint Test Action Group) インタフェースのテスト端子が設けられていて、インサーキット・エミュレータ (ICE) を通じてコアCPUの内部状態を外部に伝え、デバッグを動作させてアプリケーションプログラム開発の便宜に提供されているので、コアCPU側のクロックの変更はそのようなテスト端子の活用をも制限することになるからである。それゆえ、上記制限を受けずにパワーマネジメントを効率的に行うには、コアCPU側ではなくシステムLSI側にパワーマネジメント部を設け、総合的なパワーマネジメントを達成するのが好ましい。

【0010】

近年システムLSIがさらに複雑化し、コアCPUだけでは様々な要求を持つASICに直接的に応え、これに迅速に対応するのが難しくなっている。そこで、同じコアCPUを搭載する汎用性のあるマイクロコントローラを提供して、上記要求に対応することが考えられる。すなわち、CPU周辺装置、メモリアーキテクチャ等、システムLSIで通常用いる共通な要素であって、リアルタイムOS等を実行可能な基本的な機能をまとめて、汎用性のあるマイクロコントローラとして提供しようとする考え方である。

【0011】

このような汎用性のあるマイクロコントローラで総合的なパワーマネジメントを達成させるには、コアCPUばかりでなく、アプリケーション固有の機能をも考慮した汎用性のあるパワーマネジメントを行う必要がある。

【0012】

【発明が解決しようとする課題】

ところで、従来のマイクロコントローラのパワーマネジメントは、上記ST7コアの場合と同様に、クロックの変化は単純なものが多かった。ST7コアでは、図10に示したように、高速動作モード、低速動作モード、待機モード、および、停止モードの各モードを単純に変化させているだけであった。しかし、コアCPUでなくシステムLSI側にパワーマネジメント部を持つ場合には、コアCPUのクロックとシステムLSI側のクロックとの双方を制御せねばならず、こ

のような単純なモデルではきめ細かな制御を達成することはできない。

【 0 0 1 3 】

また、アプリケーションプログラムの側からクロックの動的制御を行う試みもなされている。このような場合、例えばST7コアでは、クロック制御に関連する回路を直接制御可能なアセンブラ言語で制御している。しかしながら、制御をアセンブラ言語で行うと、アプリケーションプログラムの開発の制約が多い。本来高級プログラム言語であって今日のソフト開発に通常用いられるプログラム言語、例えばC言語により、柔軟なインタフェースを持たせることが望ましい。しかしながら、このようなプログラム言語による本格的なパワーマネジメントを行うサポートは存在しなかった。

【 0 0 1 4 】

本発明は、従来のシステムLSIが有する上記問題点に鑑みてなされたものであり、本発明の第1の目的は、高速動作モードから低速動作モードに至る多数の周波数においてクロックを動的、かつ、迅速に制御することにより、システムLSIの消費電力を最適に低減させることの可能な、新規かつ改良されたシステムLSIを提供することである。

【 0 0 1 5 】

さらに、本発明の第2の目的は、アプリケーションプログラムの側から、ソフト開発に通常用いられるプログラム言語による本格的なパワーマネジメントを行うことにより、ユーザが自らのシステムに最適な低消費電力システムを選択できるようにすることの可能な、新規かつ改良されたシステムLSIを提供することである。

【 0 0 1 6 】

【課題を解決するための手段】

上記課題を解決するため、本発明の第1の観点によれば、中央処理装置に供給されるクロック状態に応じて、複数の通常動作モードと、特殊モードとを有するシステムLSIが提供される。本発明のシステムLSIは、前記通常動作モード間のクロック状態の遷移を行うためのクロック制御ライブラリが格納された第1の記憶手段(551)と；レジスタを有し、該レジスタ値の変更により、前記通

常動作モードと前記特殊モードとの間のクロック状態の遷移を行うとともに、前記クロック制御ライブラリに応じて、前記通常動作モード間のクロック状態の遷移を行うシステム制御回路（534）と；複数の基準クロックが入力されて、前記システム制御回路の制御に応じて、前記中央処理装置に供給されるクロックを生成するクロック生成回路（558）と；アプリケーションプログラム（31）が格納された第2の記憶手段（551）とを備え、前記アプリケーションプログラムにより、前記クロック制御ライブラリの呼び出し、および、前記レジスタ値の変更が制御されることを特徴とする。

【0017】

なお、クロック制御ライブラリが格納された第1の記憶手段とアプリケーションプログラムが格納された第2の記憶手段は、別個独立した2つの記憶手段として構成してもよく、1つの記憶手段の異なる記憶領域を以て、前記第1の記憶手段および前記第2の記憶手段と称してもよい。

【0018】

従来は1系統の基準クロックを用い、基準クロックを分周することにより、高速動作モードと低速動作モードのみを実現していた。この点本発明では、複数系統の基準クロックを用いている。そして、前記クロック生成回路（558）の構成として、例えば、前記複数の基準クロック（MCLK0, MCLK1, MCLK2）が入力されて、必要に応じて該基準クロックを逡倍したクロックを生成するPLL（573）と、前記基準クロックまたは前記逡倍された基準クロックを分周または選択する分周／選択部（574）とを備える構成とすることにより、基準クロックに加えて、基準クロックを逡倍したクロックをもシステム内で用いることができる。このようにして、多様な通常動作モード（最高速動作モード、高速動作モード、低速動作モード、極低速動作モードなど）を有するシステムを構築することができる。

【0019】

また、現在のクロック状態と遷移させた後のクロック状態との関係を、クロック制御ライブラリという形で関数化することにより、通常動作モードにおける複数のクロック状態を、あたかもギアチェンジさせるように動的かつ迅速に制御す

ることができる（かかる概念を本明細書中「クロックギア」と称する。）。このようにして、クロック状態のより細かな制御が可能となった。

【 0 0 2 0 】

さらに、本発明では、クロック制御回路内にレジスタを有し、通常動作モードから特殊モードにクロック状態を遷移させる際の制御を、このレジスタ値の変更により行っている。この際、特殊モードに遷移した後もレジスタの設定は何ら変更されないので、特殊モードから通常動作モードへと再び遷移する際には、外部割込などにより特殊モードを解除するだけでよく、制御が容易に行える。

【 0 0 2 1 】

前記クロック制御ライブラリは、前記システム制御回路および前記クロック生成回路を制御して前記中央処理装置に供給されるクロック状態を遷移させるための複数のライブラリと、前記アプリケーションプログラムにより呼び出されて、前記中央処理装置に供給されるクロック状態に応じて、前記ライブラリのいずれかを選択するメインライブラリとから成ることが好ましい。

【 0 0 2 2 】

クロック制御ライブラリが、メインライブラリと複数のライブラリとから成り、メインライブラリにより選択されたライブラリに対応する関数（`clk gear`）が実行されることによって、クロック制御に関連する回路である前記クロック生成回路および前記システム制御回路を動的に制御することが可能である。

【 0 0 2 3 】

前記メインライブラリは、前記アプリケーションプログラムと同一のプログラム言語で記述されていることが好ましい。

【 0 0 2 4 】

メインライブラリがアプリケーションプログラムと同一のプログラム言語で記述され、アプリケーションからメインライブラリの呼び出しも同一のプログラム言語で行われることにより、ユーザが取り扱いやすいような柔軟なインタフェースを実現し、ユーザが自らのシステムに最適なパワーマネジメントシステムを選択することが可能である。本発明では、このようなプログラム言語の一例として、本来高級プログラム言語であって今日のソフト開発に広く用いられている、

C言語を想定している。ただし、将来におけるプログラム言語の使用状況の変化に応じて、メインライブラリの記述言語を適宜変更できることは言うまでもない。

【 0 0 2 5 】

また、前記各ライブラリは、前記クロック生成回路および前記システム制御回路を直接制御可能なプログラム言語で記述されていることが好ましい。

【 0 0 2 6 】

各ライブラリを、クロック生成回路およびシステム制御回路を直接制御可能なプログラム言語で記述することにより、クロックの制御に関連するハードウェアであるクロック生成回路およびシステム制御回路を、ライブラリにより直接制御することが可能である。本発明では、このようなプログラム言語の一例として、アセンブリ言語を想定している。

【 0 0 2 7 】

前記特殊モードは、前記中央処理装置の主要な構成要素に対しクロックの供給を停止する第1の特殊モードと、中央処理装置全体のクロックを停止する第2の特殊モードと、中央処理装置全体の電源を停止する第3の特殊モードとから成ることが好ましい。

【 0 0 2 8 】

中央処理装置の主要な構成要素に対しクロックの供給を停止する第1の特殊モード（HALTモード）や、中央処理装置全体のクロックを停止する第2の特殊モード（STOPモード）の他に、中央処理装置全体の電源を停止する第3の特殊モード（SLEEPモード）有し、消費電力の削減を自在に実現できる構成としている。

【 0 0 2 9 】

前記システム制御回路は、前記クロック生成回路におけるクロックの分周比を設定するための分周比設定レジスタ（563）と、前記クロック生成回路からクロック信号が供給されて、個別のクロック信号を停止または供給するための設定を行うためのクロック停止用レジスタ（564，565）と、前記第3の特殊モードから解除した直後の前記中央処理装置の状態を判断するステータスレジスタ

(567)とを備えることが好ましい。なお、これら分周比設定レジスタ、クロック停止用レジスタあるいはステータスレジスタは、1のレジスタであってもよく、2以上のレジスタを複合的に用いてもよい。また、レジスタのビット長や各ビットの意味などは、システムの仕様に応じて適宜設計変更することができる。

【0030】

システム制御回路のレジスタとして、クロック停止用レジスタを備えることにより、中央処理装置の主要な構成要素に対しクロックの供給を停止する第1の特殊モード(HALTモード)や、中央処理装置全体のクロックを停止する第2の特殊モード(STOPモード)へのクロック状態の遷移を制御可能である。また、ステータスレジスタを備えることにより、中央処理装置全体の電源を停止する第3の特殊モード(SLEEPモード)へのクロック状態の遷移を制御可能である。

【0031】

一の前記基準クロックは、原振として32.768kHzを用いることが好ましい。

【0032】

原振として32.768kHzを得るには、腕時計などに用いられる水晶振動子(クォーツ)を用いることができる。数十MHz~数百MHzのクロックで動作する通常動作モードに比べて、極めて低い周波数のクロックを用いることにより、実質的な待機モードを実現することができる。

【0033】

【発明の実施の形態】

以下に添付図面を参照しながら、本発明にかかるシステムLSIの好適な実施の形態について詳細に説明する。図1はCPUの構成を示す説明図である。図2は、図1のCPUを用いたシステムLSIの構成を示す説明図である。なお、本明細書および図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

【0034】

(CPU510)

CPU510は、図1に示したように、その内部にプロセッサ511を有しており、専用高速バス521と専用ペリフェラルバス531がそれぞれCPUブリッジ520とペリフェラルブリッジ530により結合している。プロセッサ511は、コアCPU512その主要な構成要素とし、この他に内部データキャッシュRAM513および内部命令キャッシュRAM514により構成されている。

【0035】

システム制御回路534はペリフェラルブリッジ530に結合しており、外部クロック端子546により外部回路から外部クロックを受け入れることができる。このシステム制御回路534は、プロセッサ511およびその他のCPU510の構成要素にクロックを供給し、かつ制御する機能を有する。

【0036】

その他のCPU510の構成要素としては、専用高速バス521に結合されるテストインタフェース522、メモリ制御回路523、バス調停装置524および割込制御回路525がある。テストインタフェース522は外部テストバス542と結合され、メモリ制御回路523は外部メモリバス543と結合され、割込制御回路525は割込信号端子545と結合されている。専用高速バス521は外部端子544を備えており、この外部端子544にユーザの装置を結合することによってシステムLSIを構成することができる。

【0037】

また、専用ペリフェラルバス531には、システム制御回路534の他、タイマ532と、通信ポート547を持つシリアルインタフェース533が結合している。

【0038】

JTAG端子541は、プロセッサ511自体のテストインタフェース等に使われる。

【0039】

(システムLSI550)

システムLSI550は、図2に示したように、図1に示したCPU510をその主要な構成要素とし、外部端子544から専用高速バス521が拡張されて

いる。そして、専用高速バス521には、後述するクロック制御ライブラリやアプリケーションプログラム等を格納するROM (Read Only Memory) 551と、RAM (Random Access Memory) 552と、ユーザオリジナルの回路群553とが結合している。

【0040】

また、専用高速バス521に結合するペリフェラルブリッジ554により、専用ペリフェラルバス555上のパワーダウン制御回路556およびユーザオリジナルのクロック生成回路557と結合している。パワーダウン制御回路556は、システムLSI550全体のクロック分配等を制御することでパワーダウンを実現している。

【0041】

外部クロック端子546にはシステムLSI550上に置かれたクロック生成回路558が結合され、システム制御回路534に外部クロックを供給している。その他、割込端子545に外部割込制御回路559を設けている。本実施の形態は、システム制御回路534およびクロック生成回路558に特徴を有する。以下に、システム制御回路534について図3を、クロック生成回路558について図4を、それぞれ参照しながら説明する。

【0042】

(システム制御回路534)

図3は、システム制御回路534の説明図である。

システム制御回路534は、プロセッサ511およびその他のCPU510の構成要素にクロックを供給し、かつ、制御する機能を有する。図3に示したように、専用ペリフェラルバス561には各種レジスタが結合し、これらレジスタにより、CPU510に供給されるクロックを制御する。以下に、各レジスタについて説明する。

【0043】

クロック供給待ちレジスタ562は、基準クロックの発振の開始時やPLL573のロックに至るまでの安定時間を確保するための設定をするレジスタであり、制御信号CKWTを出力する。

【0044】

分周比設定レジスタ563は、クロック生成回路558を制御するためのレジスタであり、クロック分周比を定め、制御信号CGCを出力する。

【0045】

クロック停止レジスタ564は、CPU510内のクロック動作モードのうち、CPU510の主要な構成要素に対しクロックの供給を停止するHALTモード（第1の特殊モード）と、CPU510の全体のクロックを停止するSTOPモード（第2の特殊モード）の指定を行うためのレジスタであり、制御信号PMPを出力する。モードの指定やCPU510のいずれの構成要素に対しクロックの供給を停止するかについての指定は、レジスタの特定のビットを設定することにより行っている。

【0046】

クロック停止制御レジスタ565は、クロック停止レジスタ564の指定に従ったクロック信号HCLKを出力するためのレジスタである。この元になるクロック信号BCLK(IN)は後述するクロック生成回路558から供給される。

【0047】

IDレジスタ566は、CPU510の種別などを与えるシステムIDを読み出すためのレジスタである。

【0048】

ステータスレジスタ567は、周辺装置のステータスを示すレジスタである。ステータスレジスタ567は、CPU510内のクロック動作モードのうち、CPU510の全体の電源を停止するSLEEPモード（第3の特殊モード）から解除した直後、CPU510内部の周辺装置におけるハンドシェイクの状態を通知する。ハンドシェイクの状態の通知は、レジスタの特定のビットを設定することにより行っている。

【0049】

これら各レジスタ562～567は、専用ペリフェラルバス561を通して、プロセッサ511がその値を直接指定することができる。

【0050】

以上、システム制御回路534について説明した。

次いで、クロック生成回路558について説明する。

【0051】

(クロック生成回路558)

図4は、クロック生成回路558の説明図である。

クロック生成回路558はシステム制御回路534に外部クロックを供給している。MCLK0(62.5MHz)、MCLK1(50MHz)、およびMCLK2(32.768KHz)の各端子には各水晶発信器等からの出力がそれぞれ入力され、システムに供給される各種クロックの原振となる。

【0052】

クロック制御部571は、各種クロックの制御を行う。クロック制御部571に入力される制御信号CKWTは、システム制御回路534内のクロック供給待ちレジスタ562からの入力であり、PLL574等の安定時間を確保するために用いられる。

【0053】

制御部572は、クロック生成回路558全体の制御を行う。制御部572に入力される制御信号CGBSTPはクロック生成回路558自体のクロックを停止する信号である。後述するSLEEPモードでは、出力信号OSCENにより発振の停止を指示する。この他、制御部572は、クロックの供給/停止を制御する制御信号CLKENを分周/選択部574に出力する。

【0054】

PLL573は、供給されたクロックMCLK0に同期して、安定した高周波クロック(48~240MHz)を生成する。上記各種クロックと併せると、全部で4系統のクロックを選択することができる。なお、PLL573は、制御信号PLLENにより停止することができる。

【0055】

すべてのクロックは分周/選択部574において分周され、かつ選択される。分周/選択部574の主な出力信号は、コアCPU512の動作クロックFCLK、専用ペリフェラルバス521のアクセス用クロックBCLK(OUT)、お

よび、タイマクロックTMCLKである。分周／選択に用いられる制御信号は、動作クロックFCLK、専用ペリフェラルバス521のアクセス用クロックBCLK(OUT)については制御信号CSELが用いられ、タイマクロックTMCLKについては制御信号TMSELが用いられる。

【0056】

本実施の形態では、高速動作モードから低速動作モードに至る多数の周波数において、クロックを動的、かつ、迅速に制御することにより、システムLSIの消費電力を最適に低減させることを第一の目的としている。システムLSI550は、図2に示したように、プロセッサ511を用いたCPU510と、ユーザオリジナルの回路群553で構成されている。従って、プロセッサ511に供給されるクロックはプロセッサ511の要請に応えるものでなければならない。

【0057】

本実施の形態のプロセッサ511は、ファストバス(FAST BUS)モードと同期モードの2つの動作モードを有する。ファストバスモードとは、専用ペリフェラルバス521のアクセス用クロックBCLKを、プロセッサ511と専用ペリフェラルバス521の双方で使用する動作モードを言う。同期モードとは、プロセッサ511ではコアCPU510の動作クロックFCLKを使用し、専用ペリフェラルバス521ではアクセス用クロックBCLKを使用する動作モードを言う。

【0058】

専用ペリフェラルバス521のアクセス用クロックBCLKは、図4に示した分周／選択部574により、コアCPU用クロックFCLKと同一、もしくはその1/2の周波数を持つ。なお、これらのモードの切替はコアCPU512のレジスタ設定により行っている。

【0059】

CPU510の場合、図3に示したシステム制御回路534内のレジスタ群において、コアCPU用クロックFCLK等につき詳細な設定をすることができた。このようにクロック群を動的、かつ、迅速に制御する機能を、本明細書中「クロックギア」と称する。なお、本実施の形態では、クロックギアによるクロック

制御はファストバスモードにおいてのみ可能であるものとして説明する。

【0060】

本実施の形態のクロック動作モードの一例を図5に示した。図5はシステムLSI内にDRAM (Dynamic Random Access Memory) を有し、かつ、極低速動作モードが存在する回路構成を採用した場合のクロック動作モードである。これらの各モード間での遷移は上記クロックギアによって行われる。これについて以下に詳細に説明する。

【0061】

本実施の形態のクロック動作モードは、図5に示したように、8つの動作モードSTN_n (n=0~7) を有する。このうち、STN0~STN4の5つが通常動作モード11に属し、STN5~STN7の3つが特殊モード12に属する。

【0062】

通常動作モード11には、(STN0:初期動作モード)の他、CPU510の動作速度に応じて、(STN1:最高速動作モード)、(STN2:高速動作モード)、(STN3:低速動作モード)、(STN4:極低速動作モード)がある。

【0063】

また、特殊モード12には、CPU510の主要な構成要素に対しクロックの供給を停止するモード(STN5:HALTモード)、CPU510全体のクロックを停止するモード(STN6:STOPモード)、CPU510全体の電源を停止するモード(STN7:SLEEPモード)がある。図5において、通常動作モード11内に記載した周波数は、専用ペリフェラルバス521のアクセス用クロックBCLKの周波数である。

【0064】

クロックの原振(オーバトーン発振を含む)は62.5MHz、50MHz、および32.768KHzの3つであり、これらは、図4に示したMCLK0、MCLK1、およびMCLK2の各端子に対応する。ここで32.768KHzは、腕時計用水晶振動子(クォーツ)を用いている。PLL573の出力は原振

MCLK0に同期し、最大で240MHzまで通倍される。そこで、システムLSI550では、PLL573で通倍した後のクロックを含め、全部で4系統のクロックを選択することができる。

【0065】

上記周波数(62.5MHz, 50MHz, 32.768KHz)もしくはその半分の周波数(31.25MHz, 25MHz)は、図5において、アクセス用クロックBCLKとして表示されている。なお、コアCPU512の動作クロックFCLKはその仕様により上限が定められるものとし、アクセス用クロックBCLKも、使用できる最大周波数は制限されるものとする。

【0066】

以下に、図5を参照しながら、5つの通常動作モードおよび3つの特殊モードについて説明する。まず、通常動作モードについて説明する。

【0067】

(STN0:初期動作モード, 25MHz)

初期動作モードは、リセット直後の初期値設定等のために使われる。専用高速バス521, 専用ペリフェラルバス531に接続される入出力装置の中には高速の応答が難しいものもあり、低速のクロックである初期動作モードで初期設定が行われる。なお、リセット直後、コアCPU512はファストバスモードとなる。

【0068】

(STN1:最高速動作モード, 62.5MHz)

最高速動作モードは、専用高速バス521, 専用ペリフェラルバス531を最高速で動作させるモードである。従ってシステム全体の消費電力も大きい。

【0069】

(STN2:高速動作モード, 50MHz)

高速動作モードは、最高速動作モード(STN1)よりクロックが遅いが、十分な速度でアプリケーションを動作させるモードである。このようなモードを別個に設けたのは、クロックギアを円滑に実行し、システム全体の消費電力の低減を最適にするためである。

【 0 0 7 0 】

(S T N 3 : 低速動作モード, 3 1 . 2 5 M H z)

低速動作モードは、クロックを低速にしてシステム全体の消費電力を実質的に低減させるモードである。キーボードのような低速デバイスのみを動作させている場合には、このモードで十分に機能する。

【 0 0 7 1 】

(S T N 4 : 極低速動作モード, 3 2 . 7 6 8 K H z)

極低速動作モードは、実質的にシステムの待機状態 (W A I T モード) を実現し、システム全体の消費電力を大幅に低減させる。ただし、システムへのクロックの供給が停止されているわけではないので、速やかに上記低速動作モード等に遷移できる。

【 0 0 7 2 】

なお、図 1 に示したメモリ制御回路 5 2 3 は外部メモリバス 5 4 3 により外部の DRAM 等を制御するが、その際、DRAM のリフレッシュ用クロックとして上記原振 3 2 . 7 6 8 K H z が用いられている。これは DRAM の規格から来るものであるため、極低速動作モード (S T N 4) においてこれ以下の周波数を採用する場合は、DRAM を制御するメモリ制御回路 5 2 3 をセルフリフレッシュモードで動作させなければならない。

【 0 0 7 3 】

以上、5 つの通常動作モードについて説明した。

次いで、特殊モードについて説明する。

【 0 0 7 4 】

(S T N 5 : H A L T モード (第 1 の特殊モード))

H A L T モードは、図 1 に示した CPU 5 1 0 の主要な構成要素であるプロセッサ 5 1 1, CPU ブリッジ 5 2 0, ペリフェラルブリッジ 5 3 0, バス調停装置 5 2 4 等) に対しクロックの供給を停止するモードである。H A L T モードへは、アプリケーションの側から、図 3 に示したシステム制御回路 5 3 4 内のクロック停止レジスタ 5 6 4 の H A L T 設定を行うと遷移する。これにより、クロックが速く動く大部分の装置の動作を停止するので、システム全体の消費電力を大

きく低減させることができる。しかし、周辺装置はまだ動作しており、例えば割込制御回路 5 2 5 は動作しているので外部割込を受け付けることができ、リセット以外の手段によってクロックの供給を再開することができる。

【 0 0 7 5 】

(S T N 6 : S T O P モード (第 2 の特殊モード))

S T O P モードは、 C P U 5 1 0 全体のクロックを停止するモードである。 S T O P モードへは、アプリケーションの側から、図 3 に示したシステム制御回路 5 3 4 内のクロック停止レジスタ 5 6 4 の S T O P 設定を行うと遷移する。図 4 に示した制御信号 C G B S T P は、本実施の形態に係るクロック生成回路 5 5 8 の停止を指示する。この結果、システム全体の消費電力は主にリーク電流に依存してくる。携帯機器で電池動作をするシステムではこのモードが有効に働く。なお、内部 R A M 5 5 2 が D R A M である場合には、メモリ制御回路 5 2 3 をセルフリフレッシュモードにしておかなければならない。

【 0 0 7 6 】

(S T N 7 : S L E E P モード (第 3 の特殊モード))

S L E E P モードは C P U 5 1 0 全体の電源を停止するモードであり、電源に直列に接続したパワー M O S (不図示) によりその制御を行う。 S L E E P モードへは、アプリケーションの側からパワーダウン制御回路 5 5 6 の内部レジスタ設定を行うと遷移する。 S L E E P モードの解除は、まだ停止していない周辺装置であるパワーダウン制御回路 5 5 6 へのハードウェア信号を使う。その際、クロックの停止により内部 D R A M 等のデータが失われているので、アプリケーションを復旧するには相当の時間が必要となる。

【 0 0 7 7 】

すべての通常動作モードにおいて特殊モードに遷移することができる。アプリケーションプログラムは、遷移させる特殊モードの呼び出し関数を呼び出すことにより、通常動作モードから特殊モードへ遷移することができる。逆に、遷移した特殊モードから通常動作モードに復帰するにはその特殊モードを解除するだけでよい。システム制御回路 5 3 4 内のレジスタの設定は何ら変更されていないからである。その特殊モードの解除は、通常、外部割込により行われ、図 1 に示し

た割込制御回路525が制御する。必要に応じて、図2に示した外部割込制御回路559も使われる。

【0078】

図5において各状態間を遷移する矢印に括弧書き数字で付された数字（以下、状態遷移番号という）は、その状態遷移に対応するライブラリを表している。ライブラリについては、後述する。

【0079】

本実施の形態のクロック動作モードを、図9に示したST7コアの場合と比較したとき、ST7コアが1系統のクロックを分周して低速動作モードに割り当てているのに対し、本実施の形態では4系統のクロックを使い分けることができた。特に、PLL573の出力を新たなクロック系統として選択枝に加えている。さらに、クロックの中には原振として腕時計用水晶振動子の32.768KHzを用い、実質的な待機モードを実現することができた。これは本実施の形態がクロックギアと言う概念の元で高速動作モードから低速動作モードに至る多数の周波数においてクロックを動的、かつ、迅速に制御する目的だからである。

【0080】

クロック動作の特殊モードも多彩である。通常備えるHALTモードやSTOPモードの他にSLEEPモードを有し、消費電力の削減を自在に実現できる構成としている。特に、通常動作モードから特殊モードへの遷移がアプリケーションプログラムから自由に設定でき、かつ、外部割込等により復帰できることは本実施の形態の優れた特徴である。

【0081】

また、コアCPU512の汎用性を失わせることなくシステムLSI全体の消費電力を低減させるために、CPU500内に本実施の形態によるシステム制御回路534やクロック生成回路558を設けている。このようにして、本実施の形態にかかるクロックの動的制御においては、システムLSI550内部のコアCPU512のクロックとCPU510とを同時に制御することができる。

【0082】

以下に、上記クロックギアの概念を実現するための制御プログラム群（以下、

クロック制御ライブラリと称する。)について説明する。

【0083】

本実施の形態ではアプリケーションプログラムの側からC言語による本格的なパワーマネジメントを行うことを目的としている。これを実現するための手段がクロック制御ライブラリである。図6は、本実施の形態のクロック制御ライブラリ3.2の構造を示した説明図である。

【0084】

図6に示したように、アプリケーションプログラム31からライブラリ34を呼び出す場合には、まずメインライブラリ33を呼び出す。この呼び出しはC言語で行われ、メインライブラリ33自体もC言語で組まれている。メインライブラリ33は、アプリケーションプログラム31の状態に応じ、ライブラリ34のいずれかを選択してクロックの動作モード間遷移を達成する。

【0085】

ライブラリ34はすべてアセンブリ言語で組まれている。これはクロック制御関連ハード35を直接制御する必要からである。クロック制御関連ハード35とは、具体的には、図3に示したシステム制御回路534や、図4に示したクロック生成回路558である。

【0086】

メインライブラリ33がライブラリ34のいずれかを選択して呼び出す場合には、図7に示した入力パラメータ等を伴って行われる。図7は、クロックの状態遷移と、入力パラメータおよびジャンプテーブル番号とに応じて呼び出されるライブラリ関数を示した説明図である。なお、ジャンプテーブル番号はライブラリ34の置かれた相対アドレスを示している。この対応表ではシステムLSI内にDRAMを有するか、クロックモードとして極低速動作モードを有するかにより、使われるライブラリ関数が異なる。

【0087】

図8は、各ライブラリがどのようなパラメータを有しているかを示す表である。これらのパラメータにより、ライブラリは、メモリパラメータの設定、クロック切替、CPUクロックモードの切替等の処理を実行する。図8(a)は、ライ

ブラリとそこで指定する入力パラメータ群を表している。各列 (①～⑧) には入力パラメータの値がリストアップされている。

【0088】

入力パラメータの内容について、図8(b)を参照しながら説明する。

メモリパラメータ変更パターン (①) は、クロックの速度に合わせてメモリ等の動作を行わせるためにメモリ等のパラメータの設定変更を行う。例えば、低速動作モードから高速動作モードに変更 (ギアアップ) するときには、値 0×00 を指定することにより高速用メモリパラメータへ変更する。逆に、高速動作モードから低速動作モードに変更 (ギアダウン) するときには、値 0×01 を指定することにより低速用パラメータへ変更する。なお、ここでいうメモリ等とは、例えば、RAM、ROM、I/OそしてシステムLSI内に存在するときのDRAMである。

【0089】

CPUクロックモード (②) は、プロセッサ511の2つの動作モードである同期モードとファストバスモードとを切り替える場合に指定する。ファストバスモードでは値 0×00 を指定し、同期モードでは値 0×01 を指定する。

【0090】

その他の入力パラメータについて説明すると、外部ROMメモリパラメータ (③) ではROMのタイプを指定する。外部SRAMメモリパラメータ (④) ではSRAMのタイプを指定する。外部I/Oメモリパラメータ (⑤) ではI/Oのタイプを指定する。SDRAM/EDO-RAMのパラメータ (⑥) は、そのDRAMがSDRAMである場合の値 $0 \times 00 \sim 0 \times 09$ と、そのDRAMがEDO-RAMである場合の値 $0 \times 00 \sim 0 \times 0a$ とがある。PCGBCNT0設定値 (⑦) もしくはPCGBCNT1設定値 (⑧) は、図3に示した分周比設定レジスタ563にセットする値を定め、使用する原振やクロック分周比等を指定する。上記すべてのパラメータにおいて、値が $0 \times ff$ の場合はその入力パラメータの設定は不要である。

【0091】

図5において各状態間を遷移する矢印に括弧書き数字で付された数字 (状態遷

移番号)は、その状態遷移に対応するライブラリを表している。アプリケーションプログラムにおいてクロックの状態を遷移させたいと考えた場合、状態遷移番号に対応するライブラリを呼び出し、これを実行することで状態遷移を実現している。

【0092】

ライブラリ関数と状態遷移番号とは一対一ではなく、一のライブラリ関数が上記メモリ変更パターンに応じて複数の状態遷移を実現する。例えば第一行目において、アプリケーションプログラム31がクロックを低速動作モードから高速動作モードへ切り替える制御を行った場合、メインライブラリ33はライブラリ0を呼び出すが、具体的には入力パラメータ0x00を伴い、ライブラリ関数clkgear0を相対アドレス0x00から呼び出す。

【0093】

この時、現在のクロックモードが低速動作モード(STN3)であれば、図5に示したように、状態遷移番号(5)となり、現在のクロックモードが高速動作モード(STN2)であれば状態遷移番号(3)となる。また、ライブラリ34は、クロック制御の他に、PLLの停止、タイマ設定、外部回路の分周比の設定等の処理を併せて行うことも可能である。

【0094】

以上説明したように、本実施の形態をアプリケーションプログラム31の側からみると、C言語インタフェースとしてメインライブラリ33が準備され、その制御下でクロック遷移に必要な個別のライブラリ34を呼び出す。ライブラリ34はすべてアセンブリ言語で組まれているので、上記システム制御回路534等の制御に適している。従って、このようなクロック制御ライブラリ32の構造により、ユーザの希望する低消費電力システムLSIを容易に実現することが可能である。

【0095】

以上、添付図面を参照しながら本発明にかかるシステムLSIの好適な実施形態について説明したが、本実施の形態はかかる例に限定されない。当業者であれば、特許請求の範囲に記載された技術的思想の範疇内において各種の変更例また

は修正例に想到し得ることは明らかであり、それらについても当然に本実施の形態の技術的範囲に属するものと了解される。

【0096】

【発明の効果】

本発明の主要な効果を挙げれば以下の通りである。

【0097】

複数系統の基準クロックを用いることによって、多様な通常動作モード（最高速動作モード、高速動作モード、低速動作モード、極低速動作モードなど）を有するシステムを構築することができる。

【0098】

また、現在のクロック状態と遷移させた後のクロック状態との関係を、クロック制御ライブラリという形で関数化することにより、通常動作モードにおける複数のクロック状態を、あたかもギアチェンジさせるように動的かつ迅速に制御することができる。このようにして、クロック状態のより細かな制御が可能となった。

【0099】

さらに、本発明では、クロック制御回路内にレジスタを有し、通常動作モードから特殊モードにクロック状態を遷移させる際の制御を、このレジスタ値の変更により行っている。この際、特殊モードに遷移した後もレジスタの設定は何ら変更されないため、特殊モードから通常動作モードへと再び遷移する際には、外部割込などにより特殊モードを解除するだけでよく、制御が容易に行える。

【0100】

さらに、本発明では、クロック制御ライブラリのメインライブラリがアプリケーションプログラムと同一のプログラム言語で記述され、アプリケーションからメインライブラリの呼び出しも同一のプログラム言語で行われることにより、ユーザが取り扱いやすいような柔軟なインタフェースを実現し、ユーザが自らのシステムに最適なパワーマネジメントシステムを選択することが可能である。

【図面の簡単な説明】

【図1】

CPUの構成を示す説明図である。

【図2】

図1のCPUを用いたシステムLSIの構成を示す説明図である。

【図3】

システム制御回路の説明図である。

【図4】

クロック生成回路の説明図である。

【図5】

クロック動作モードとその状態遷移の一例を表した図である。

【図6】

クロック制御ライブラリの構造を示す説明図である。

【図7】

クロック制御ライブラリの呼び出しを示す説明図である。

【図8】

ライブラリが有するパラメータの説明図であり、図8(a)はライブラリへの入力パラメータを示し、図8(b)は入力パラメータの内容を示している。

【図9】

従来のクロック制御回路の説明図である。

【図10】

従来のクロック動作モードの説明図である。

【符号の説明】

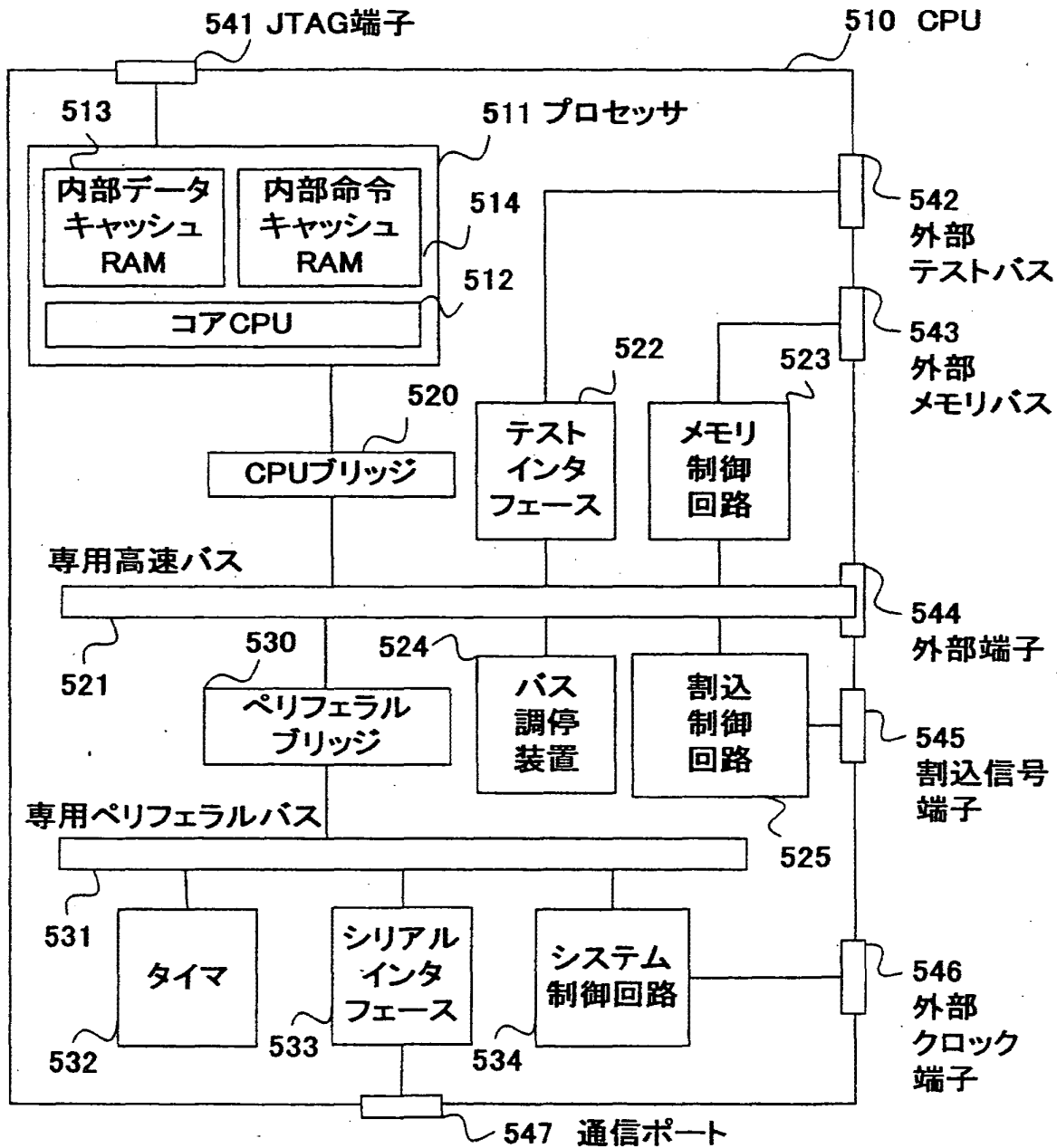
- 510 CPU
- 511 プロセッサ
- 512 コアCPU
- 513 内部データキャッシュRAM
- 514 内部命令キャッシュRAM
- 520 CPUブリッジ
- 521 専用高速バス
- 522 テストインタフェース

- 5 2 3 メモリ制御回路
- 5 2 4 バス調停装置
- 5 2 5 内部割込制御回路
- 5 3 1 専用ペリフェラルバス
- 5 3 2 タイマ
- 5 3 3 シリアルインタフェース
- 5 3 4 システム制御回路
- 5 4 1 J T A G 端子
- 5 4 2 外部テストバス
- 5 4 3 外部メモリバス
- 5 4 4 外部端子
- 5 4 5 割込信号端子
- 5 4 6 外部クロック端子
- 5 4 7 通信ポート
- 5 5 0 システム L S I
- 5 5 1 R O M
- 5 5 2 R A M
- 5 5 3 ユーザオリジナルの回路群
- 5 5 4 ペリフェラルブリッジ
- 5 5 5 専用ペリフェラルバス
- 5 5 6 パワーダウン制御回路
- 5 5 7 ユーザオリジナルのクロック生成回路
- 5 5 8 クロック生成回路
- 5 5 9 外部割込制御回路
- 5 6 1 専用ペリフェラルバス
- 5 6 2 クロック供給待ちレジスタ
- 5 6 3 分周比設定レジスタ
- 5 6 4 クロック停止レジスタ
- 5 6 5 クロック停止制御レジスタ

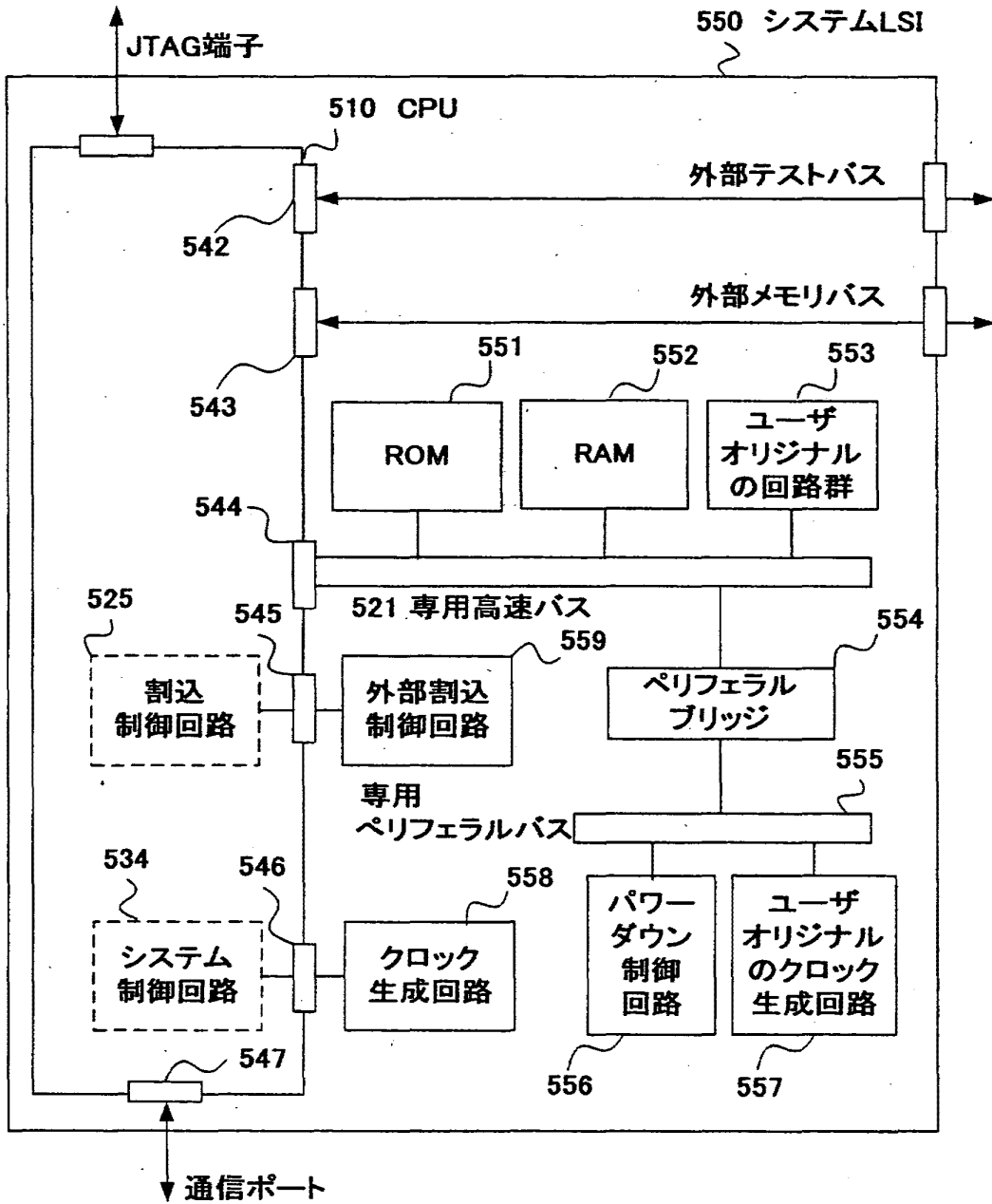
- 566 IDレジスタ
- 567 ステータスレジスタ
- 571 クロック制御部
- 572 制御部
- 573 PLL
- 574 分周／選択部

【書類名】 図面

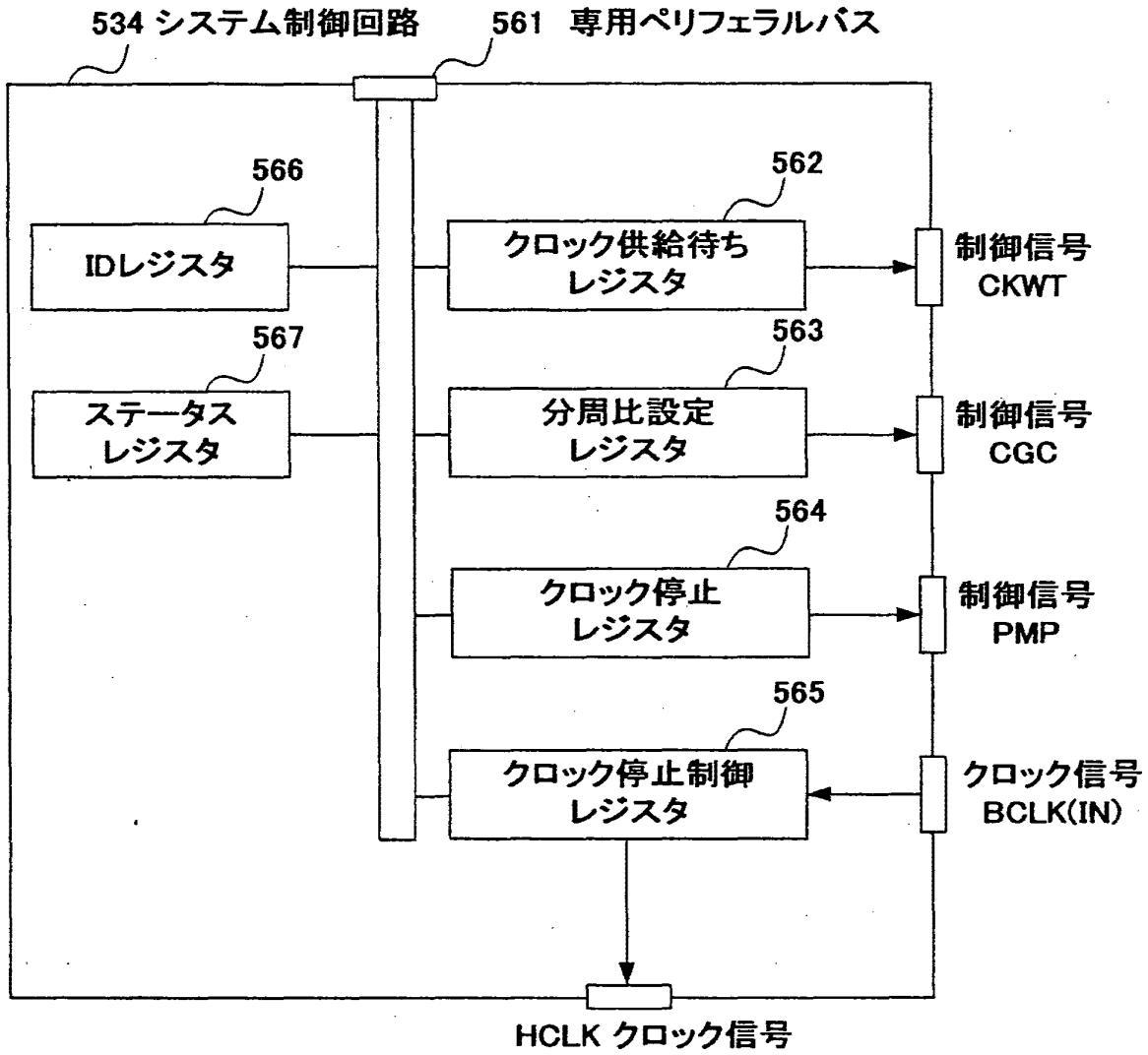
【図1】



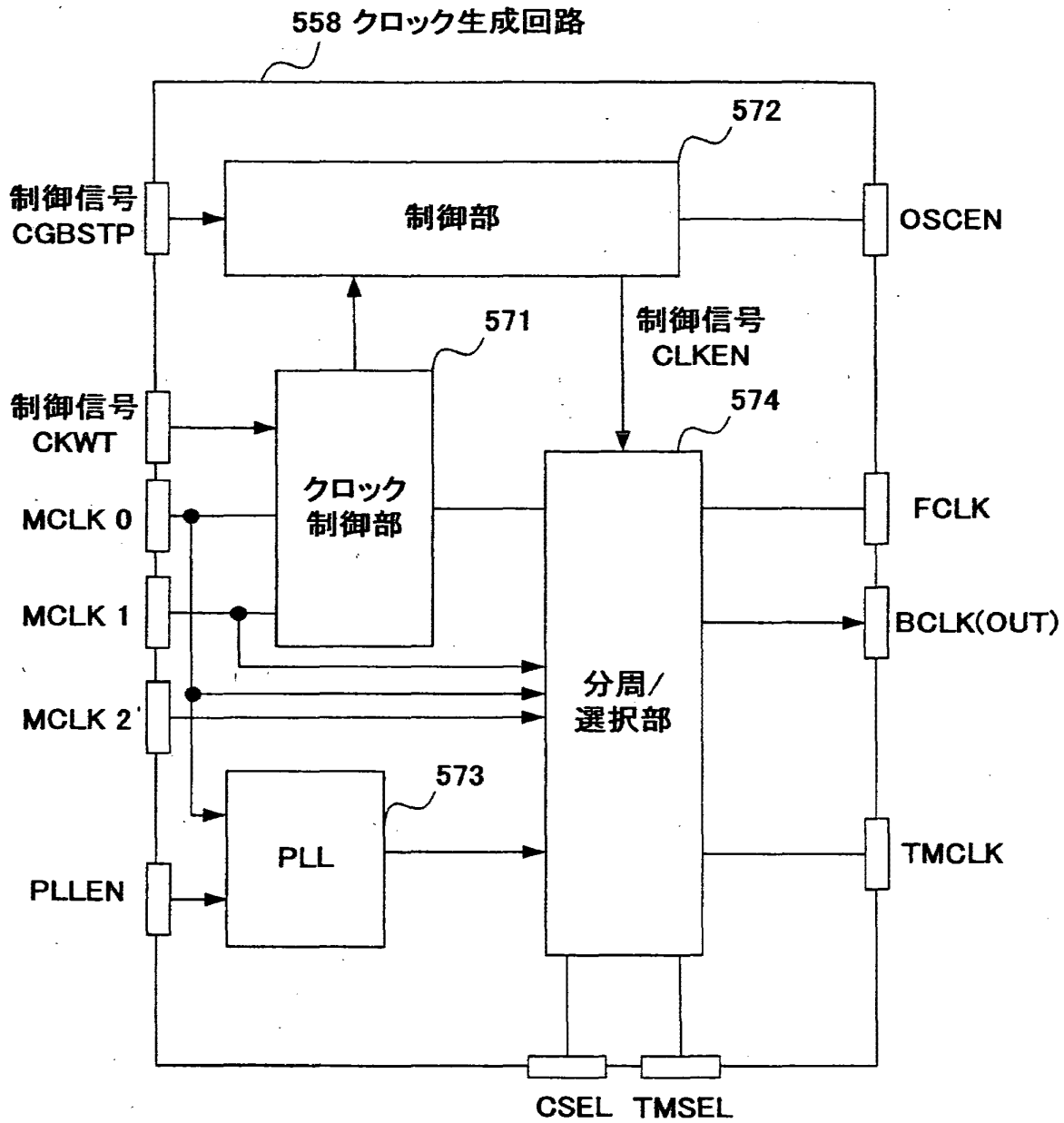
【図2】



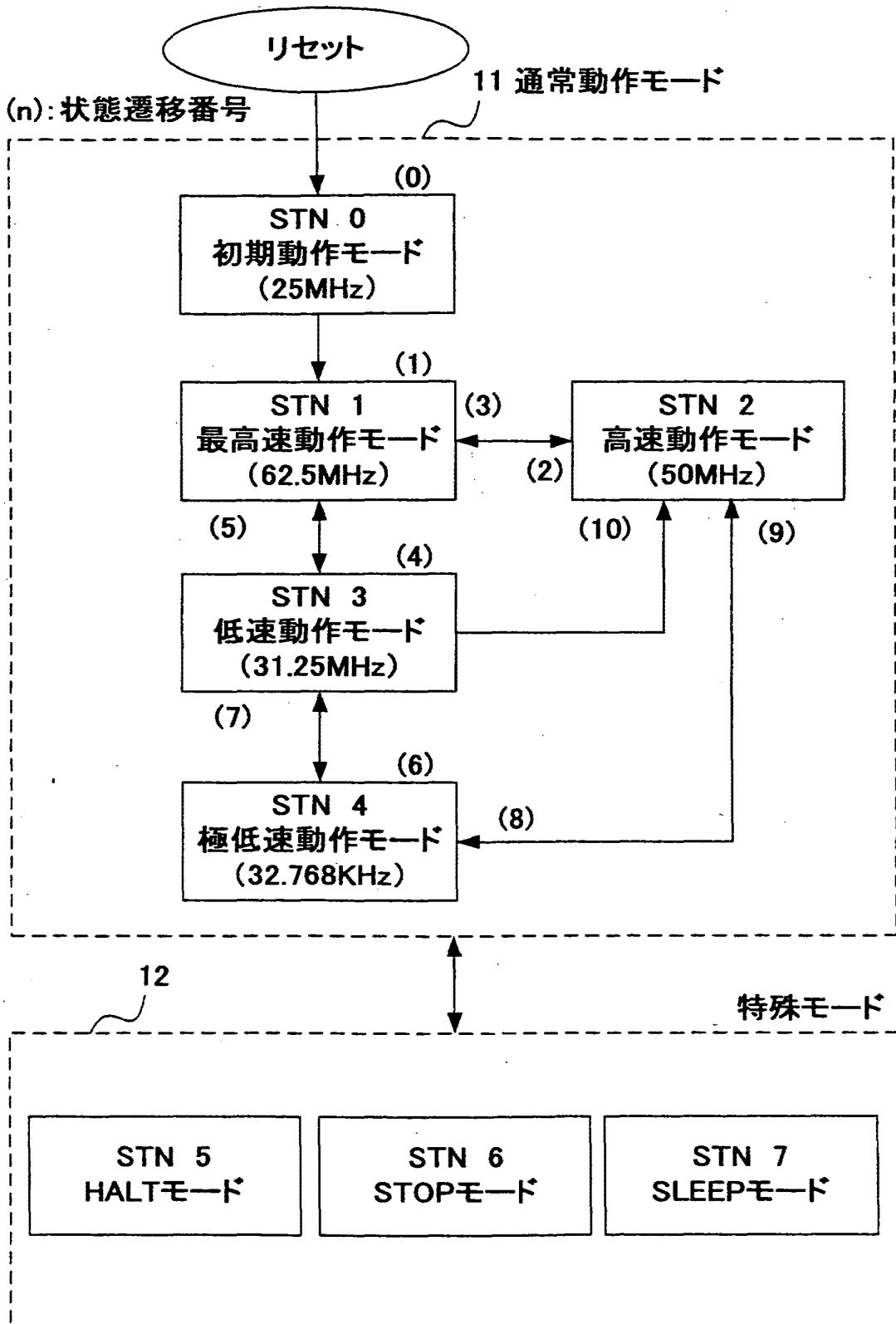
【図 3】



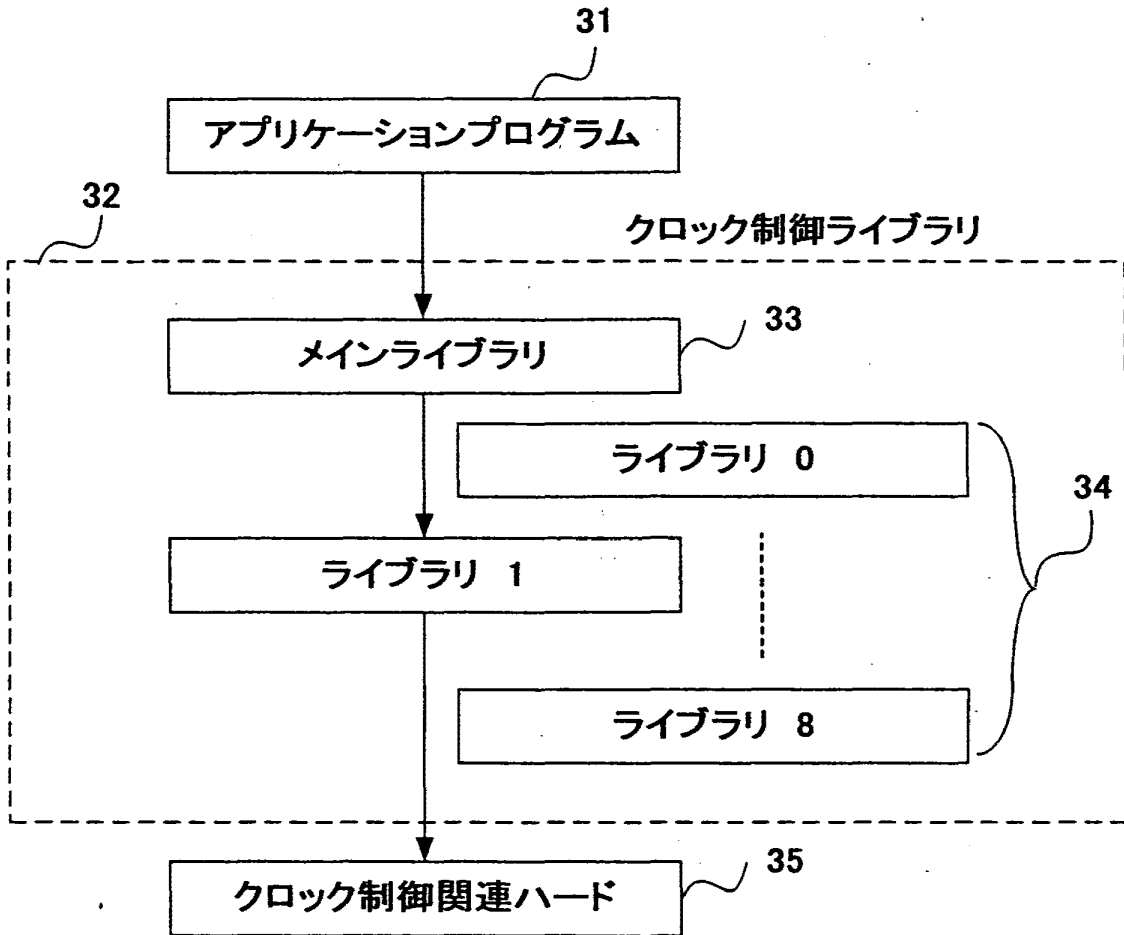
【図4】



【図5】



【図 6】



【図7】

クロックの状態遷移		入力 パラメータ	ジャンプ テーブル 番号	ライブラリ 関数名
DRAM無し システム	低速>高速 又は最高速	0x00	0x00	clkgear0
	高速又は 最高速>低速	0x01	0x01	clkgear1
	メモリ パラメータ 変更なし	0x02	0x02	clkgear2
DRAM有り 極低速無し システム	低速>高速 又は最高速	0x00	0x10	clkgear3
	高速又は 最高速>低速	0x01	0x11	clkgear4
	メモリ パラメータ 変更なし	0x02	0x12	clkgear5
DRAM有り 極低速有り システム	極低速>低速、 高速又は 最高速	0x13	0x23	clkgear6
	低速、高速 又は最高速 >極低速	0x14	0x24	clkgear7
	極低速内 クロック切替	0x15	0x25	clkgear8

【図8】

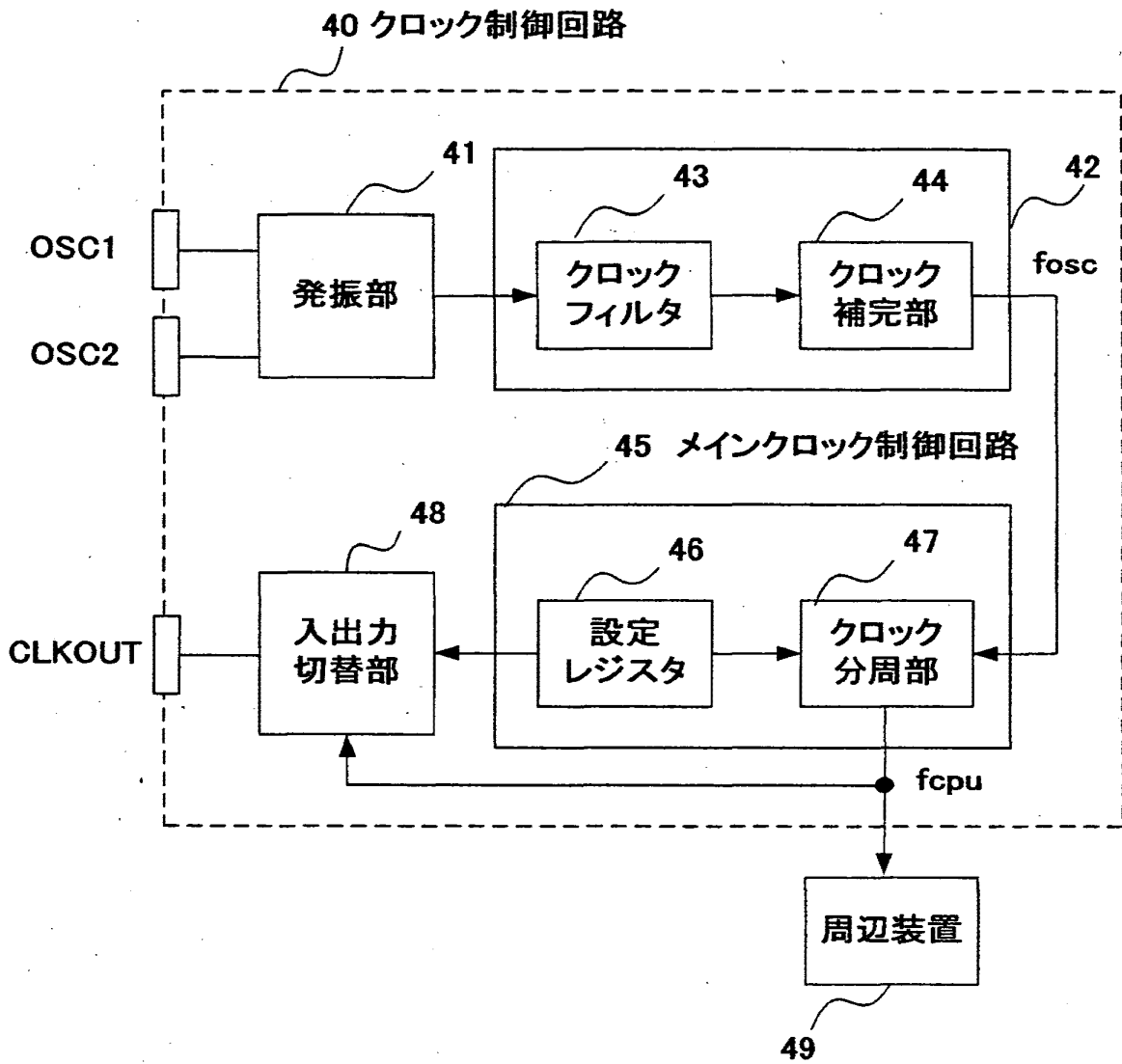
(a)

状態 遷移番号	入力 パラメータ							
	①	②	③	④	⑤	⑥	⑦	⑧
0	1	0	1	1	1	6	1	0xff
1	0	1	3	3	3	8	7	0xff
2	1	0	0xff	0xff	1	6	1	0xff
3	0	1	0xff	0xff	3	8	7	0xff
4	1	1	1	1	1	6	0xff	0xff
5	0	1	3	3	3	8	7	0xff
6	0x14	0	0	0	0	2	2	0xff
7	0x13	1	1	1	1	6	0x0f	0xff
8	0x14	0	0	0	0	2	2	0xff
9	0x13	0	3	3	1	6	1	0xff
10	0	0	3	3	0xff	0xff	1	0xff

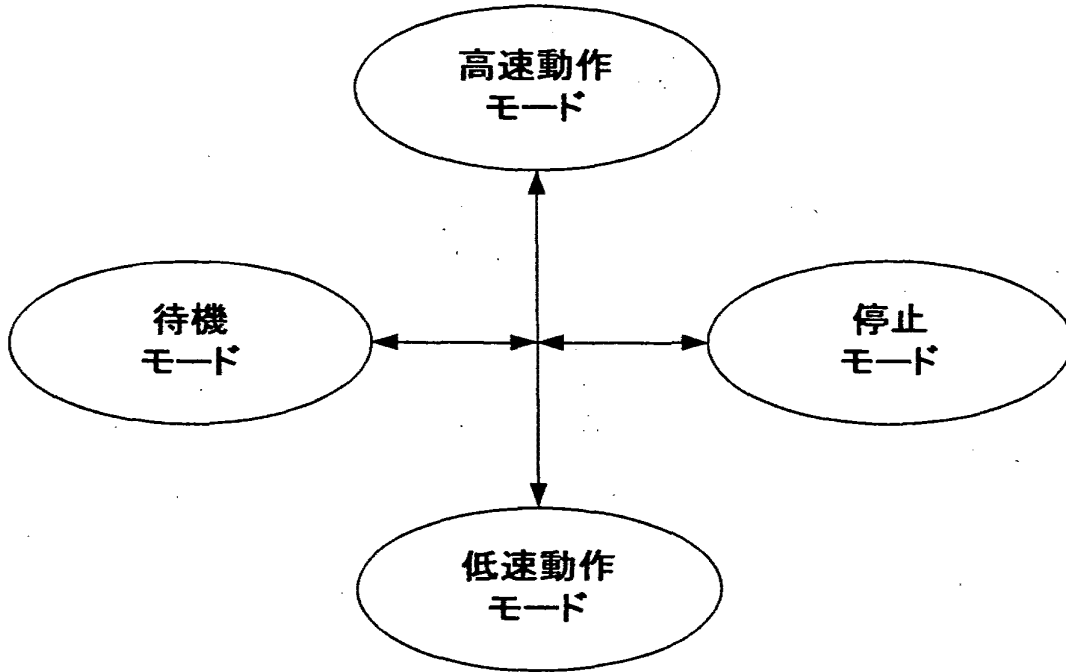
(b)

	b7	b0
①	メモリパラメータ変更パターン	
②	CPUクロックモード	
③	外部ROMメモリパラメータ	
④	外部RAMメモリパラメータ	
⑤	外部I/Oパラメータ	
⑥	SDRAM/EDO-RAM	
⑦	PCGBCNT0設定値	
⑧	PCGBCNT1設定値	

【図9】



【図10】



【書類名】 要約書

【要約】

【課題】 高速動作モードから低速動作モードに至る多数の周波数においてクロックを動的かつ迅速に制御すること、および、ユーザが自らのシステムに最適な低消費電力システムを選択できるようにすることの可能なシステムLSIを提供する。

【解決手段】 通常動作モード間のクロック状態の遷移を行うためのクロック制御ライブラリが格納されたROM551と、レジスタを有し、該レジスタ値の変更により、通常動作モードと特殊モードとの間のクロック状態の遷移を行うとともに、クロック制御ライブラリに応じて、通常動作モード間のクロック状態の遷移を行うシステム制御回路534とを備え、アプリケーションプログラムにより、クロック制御ライブラリの呼び出し、および、レジスタ値の変更が制御される。クロック制御ライブラリのメインライブラリはC言語で記述され、呼び出しもC言語で行われる。

【選択図】 図2

出願人履歴情報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日
[変更理由] 新規登録
住所 東京都港区虎ノ門1丁目7番12号
氏名 沖電気工業株式会社

#2
2,2403 al

TRANSMITTAL OF INFORMATION DISCLOSURE STATEMENT I
(Under 37 CFR 1.97(b) or 1.97(c))

Docket No.
OKI.396

In Re Application Of: **Hitoshi ENDO**

Serial No.	Filing Date	Examiner	Group Art Unit
NEW	September 23, 2002	TO BE ASSIGNED	TO BE ASSIGNED

Title: **SYSTEM LSI**

1c997 U.S. PTO
10/25/02
09/23/02

Address to:

Assistant Commissioner for Patents
Washington, D.C. 20231

37 CFR 1.97(b)

1. The Information Disclosure Statement submitted herewith is being filed within three months of the filing of a national application other than a continued prosecution application under 37 CFR 1.53(d); within three months of the date of entry of the national stage as set forth in 37 CFR 1.491 in an international application; before the mailing of a first Office Action on the merits, or before the mailing of a first Office Action after the filing of a request for continued examination under 37 CFR 1.114.

37 CFR 1.97(c)

2. The Information Disclosure Statement submitted herewith is being filed after the period specified in 37 CFR 1.97(b), provided that the Information Disclosure Statement is filed before the mailing date of a Final Action under 37 CFR 1.113, a Notice of Allowance under 37 CFR 1.311, or an Action that otherwise closes prosecution in the application, and is accompanied by one of:
- the statement specified in 37 CFR 1.97(e);
- OR**
- the fee set forth in 37 CFR 1.17(p).

TRANSMITTAL OF INFORMATION DISCLOSURE STATEMENT
(Under 37 CFR 1.97(b) or 1.97(c))

Docket No.
OKI.396

In Re Application: **Hitoshi ENDO**

Serial No. NEW	Filing Date September 23, 2002	Examiner TO BE ASSIGNED	Group Art Unit TO BE ASSIGNED
-------------------	-----------------------------------	----------------------------	----------------------------------

SYSTEM LSI

10/25/02
10/25/02
09/23/02

Payment of Fee

(Only complete if Applicant elects to pay the fee set forth in 37 CFR 1.17(p))

- A check in the amount of _____ is attached.
- The Assistant Commissioner is hereby authorized to charge and credit Deposit Account No. _____ as described below. A duplicate copy of this sheet is enclosed.
 - Charge the amount of _____
 - Credit any overpayment.
 - Charge any additional fee required.

Certificate of Transmission by Facsimile*

I certify that this document and authorization to charge deposit account is being facsimile transmitted to the United States Patent and Trademark Office (F

(Date)

Signature

Typed or Printed Name of Person Signing Certificate

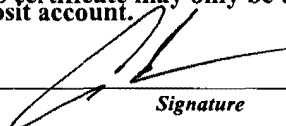
Certificate of Mailing by First Class Mail

I certify that this document and fee is being deposited with the U.S. Postal Service as first class mail under 37 C.F.R. 1.8 and is addressed to the Assistant Commissioner for Patents, Washington, D.C. 20231.

Signature of Person Mailing Correspondence

Typed or Printed Name of Person Mailing Certificate

*This certificate may only be used if paying by deposit account.


Signature

Dated: SEPT. 23, 2002

ADAM C. VOLENTINE
REG. NO. 33,289

VOLENTINE FRANCOS, P.L.L.C.
12200 SUNRISE VALLEY DRIVE, SUITE 150
RESTON VA 20191

TEL. NO. (703) 715-0870

CC:

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-202155

(43)Date of publication of application : 27.07.2001

(51)Int.Cl. G06F 1/06
G06F 1/04

(21)Application number : 2000-009303 (71)Applicant : HITACHI LTD

(22)Date of filing : 18.01.2000 (72)Inventor : KAMETANI
MASATSUGU
UMEKITA KAZUHIRO
YAMAMOTO
KENJIRO
KOYAMA MASAHIRO
MOMOI YASUYUKI
FUNATSU
TERUNOBU
IKE KATSUHISA

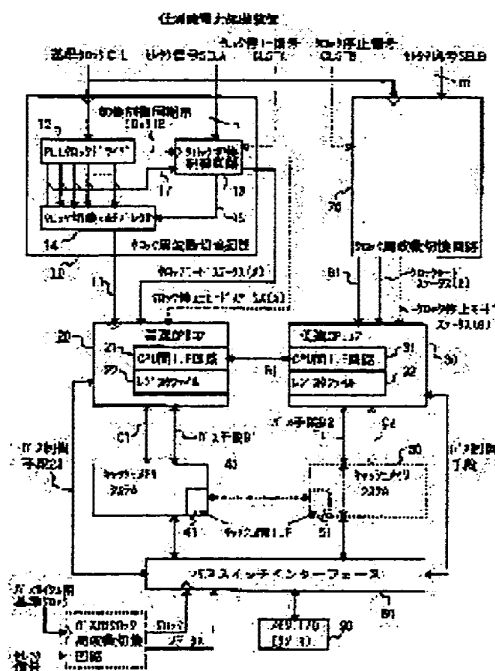
BEST AVAILABLE COPY

(54) LOW POWER CONSUMPTION PROCESSOR

(57)Abstract:

PROBLEM TO BE SOLVED: To finely control power consumption of a processor by enabling high speed, smooth and dynamic switching of multiple clocks and further enabling high speed and dynamic switching of multiple CPUs.

SOLUTION: High speed and smooth switching of clocks is realized by generating a switching signal 15 the clock levels of which before and after switching are the same and which is synchronized with a standard clock CL by a clock switching control circuit 13, taking out a clock from a PLL clock driver 12 by selecting it by a multiplexer 14 by the switching signal 15. The switching



is dynamically executed by outputting select signals SELA, SELB by execution of an instruction of the CPU. In the switching between CPUs 20, 30, when the CPU under operation executes a switching instruction of the CPUs, supply of clocks to other CPUs is started, the present CPU enters a stopped state and the CPUs to which the clocks are supplied stop the clocks of other CPUs and starts operation of the present CPU.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of application
other than the examiner's decision
of rejection or application
converted registration]

[Date of final disposal for
application]

[Patent number]

[Date of registration]

[Number of appeal against
examiner's decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

F-01E0252

P971

①

(19) 日本国特許庁 (J P) (12) 公開特許公報 (A) (11) 許出願公開番号 特開2001-202155 (P2001-202155A) (48) 公開日 平成13年7月27日 (2001.7.27)

(51) IntCl. G 06 F 1/06 1/04 3 0 1

F I G 06 F 1/04 3 0 1 C 5 B 0 7 9 3 1 0 A

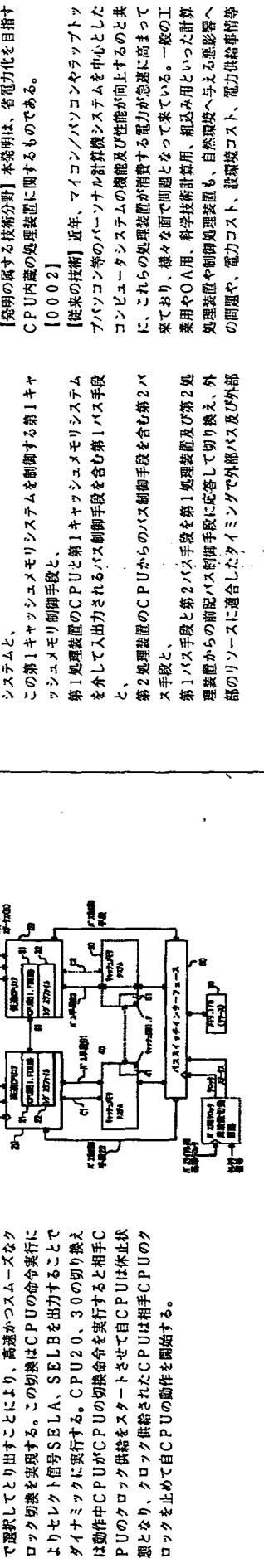
7-ロード (特許)

審査請求 未請求	請求項の概7 OL (全 15 頁)
(21) 出願番号	特開2000-8308 (P2000-8308)
(21) 出願人	000005108 株式会社日立製作所
(72) 発明者	東京青千代田区神田豊河台四丁目6番地 豊谷 新彌
(72) 発明者	茨城県土浦市神立町502番地 株式会社日立製作所機械研究所内 梅北 和弘
(74) 代理人	茨城県土浦市神立町502番地 株式会社日立製作所機械研究所内 100053872 弁理士 高橋 芳敏

(54) 【発明の名称】 低消費電力処理装置

(57) 【要約】 【課題】 複数クロックを高速かつスムーズに動的に切換え可能とし、さらに複数のCPUの高速で動的な切換え可能とし、処理装置の電力消費量をきめ細かく制御する。

【解決手段】 クロック切換制御回路13により切換前後のクロックレベルが同一でかつ基準クロックCLに同期した切換信号15を生成し、これによってPLLクロックドライバ12からのクロックをマルチプレクサ14で選択してとり出すことにより、高速かつスムーズなクロック切換を実現する。この切換はCPUの命令実行によりシレククト信号SELA、SELBを出力することによってダイナミックに実行する。CPU20、30の切り換えは動作中CPUがCPUの切換命令を実行すると相手CPUのクロック供給をスタートさせて自CPUは休止状態となり、クロック供給されたCPUは相手CPUのクロックを止めて自CPUの動作を開始する。



(2) 【特許請求の範囲】

【請求項1】 与えられた基準クロックに同期しかつ互いに異なる周波数を持つ複数のクロックを生成するPLLクロックドライバ、このPLLクロックドライバにより生成されたクロックの内1つを入力された切換信号に応じて選択し、切換後クロックとして出力するクロック切換マルチプレクサと、このクロック切換マルチプレクサにより切り換えの前に選択されていた切換前クロックと前記切換後クロックが同一信号レベルにありかつ前記基準クロックに同期したタイミングで与えられたクロック切換用セレクト信号に応じた信号を生成し、この信号を前記クロック切換マルチプレクサへの前記切換信号として出力するクロック切換手段と、前記クロック切換マルチプレクサより出力されるクロック出力にตอบสนองして動作するCPUと、

【請求項2】 請求項1記載の低消費電力処理装置において、前記クロック切換手段は、基準クロックに同期したクロックによって前記セレクト信号を同期化する同期用フリップフロップと、このフリップフロップによって同期化されたセレクト信号がアクティブになっておりかつ前記切換前クロックと切換後クロックが同じレベルに変化したタイミングでその状態がリセットされる、前記セレクト信号が非アクティブになったとき、かつ前記切換前クロックと切換後クロックが同じレベルに変化したタイミングでその状態がリセットされる選択用フリップフロップとを備え、この選択用フリップフロップの出力を前記切換信号として送出することを特徴とする低消費電力処理装置。

【請求項3】 請求項1の低消費電力処理装置を第1処理装置として備えるとともに、前記第1処理装置に含まれるCPUよりも低消費電力のCPUを含む第2処理装置と、

第1の処理装置及び第2の処理装置内の各CPUのレジスタファイル間の情報を同一に保つためのCPU間インターフェース手段と、第1処理装置のCPUに接続する第1キャッシュメモリシステムと、この第1キャッシュメモリシステムを制御する第1キャッシュメモリ制御手段と、

第1処理装置のCPUと第1キャッシュメモリシステムを介して入力されるバス制御手段を含む第1バス手段と、第2処理装置のCPUからのバス制御手段を含む第2バス手段と、

第1バス手段と第2バス手段を第1処理装置及び第2処理装置からの前記バス制御手段にตอบสนองして切り換え、外部のリソースに適合したタイミングで外部バス及び外部

制御信号を入力するバススイッチインタフェース手段と、

第1処理装置の動作と第2処理装置のいずれか一方を選択して動作させ、選択されなかった処理装置内のCPUを休止させるか又はアイドル状態に保つモード切換手段と、

【請求項4】 請求項3記載の低消費電力処理装置において、前記モード切換手段は、前記第1及び第2処理装置に組み込まれており、第1又は第2処理装置の動作中の一方の処理装置から他方の処理装置へ動作を移行するときは、動作中の処理装置のモード切換手段は他方の処理装置の停止又はアイドル状態を解除して当該処理装置はアイドル状態に移行するように制御し、これによって起動した前記他方の処理装置のモード切換手段はそれまで動作中であった処理装置へのクロック供給を停止するように制御して当該他方の処理装置はそれまで動作中であった処理装置の状態を引き継いで動作するように制御することを特徴とする低消費電力処理装置。

【請求項5】 請求項3記載の低消費電力処理装置において、動作中の処理装置が自身のレジスタファイルを書き換えた時、その書き換え結果と一致するように停止中の処理装置のレジスタファイルも前記CPU間インターフェースを介して書き換えておくようにしたことを特徴とする低消費電力処理装置。

【請求項6】 請求項1又は2に記載の低消費電力処理装置において、前記CPUは、前記クロック切換用セレクト信号を発生してクロック周波数をダイナミックに切換えるクロック切換命令と、前記モード切換手段により処理装置をダイナミックに切換えるCPU切換命令の少なくとも一方を具備したことを特徴とする低消費電力処理装置。

【請求項7】 請求項3ないし5の内の1つに記載の低消費電力処理装置において、前記第1及び第2処理装置のCPUは、前記クロック切換用セレクト信号を発生してクロック周波数をダイナミックに切換えるクロック切換命令と、前記モード切換手段により処理装置をダイナミックに切換えるCPU切換命令の少なくとも一方を具備したことを特徴とする低消費電力処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、省電力化を目指すCPU内蔵の処理装置に関するものである。

【0002】

【従来の技術】 近年、マイコン/パソコンやラップトップパソコン等のパーソナル計算機システムを中心としたコンピュータシステムの機能及び性能が向上するのと共に、これらの処理装置が消費する電力が急速に高まって来っており、様々な面で問題となって来ている。一般の工業用やOA用、科学技術計算用、組み込み用といった計算処理装置や制御処理装置も、自然環境へ与える悪影響への問題や、電力コスト、設置環境コスト、電力供給事情等

(4)

等に用いられ、スイッチング速度向上との相乗効果により...

[0015] (3) CPUを設計する際の低消費電力化の手法としては...

[0016] 上記(1)~(3)のCPU設計上の低消費電力化...

[0017] 図1は、上記の方針に基づいて構成した、本発明の低消費電力化処理装置の構成例を示すブロック図...

作中の一方の処理装置から他方の処理装置へ動作を移行するときは...

[0010] 更に本発明は、上記の低消費電力化処理装置において...

[0011] 更に本発明は、上記の低消費電力化処理装置において...

[0012] [発明の実施形態] 以下、本発明の実施形態を詳細に説明する...

[0013] (1) 年々大きくなりつつあるOS等の大規模な機能プログラムをストレスなく実行する処理能力がCPUに要求されて...

[0014] (2) CPUを高効率化するための主力技術として、CMOSプロセスを微細化(近年では0.1~0.2μmプロセスが用いられつつある)して、高集積化とトランジスタのスイッチング速度向上を実現し、そのプロセッサの性能向上を利用して、CPU(又はCPUコア)へ供給するクロックの周波数を向上させていく手法が待たれている...

(3)

性クロックに同期しかつ互いに異なる周波数を持つ複数のクロックを生成するPLLクロックドライバと、このPLLクロックドライバにより生成されたクロックの内の1つを入力された切替信号に応じて選択し、切替後クロックとして出力するクロック切替マルチプレクサと、このクロック切替マルチプレクサにより切り換えられる、選択されている切替後クロックと前記切替後クロックが同じ信号レベルにありかつ前記基準クロックに同期したタイミングで与えられた切替信号により出力される切替後クロックを生成し、この信号を前記クロック切替マルチプレクサへ前記切替信号として出力するクロック切替手段と、前記クロック切替マルチプレクサより出力されるクロック出力に回答して動作するCPUとを備えたことを特徴とする低消費電力化処理装置を開示する。

[0007] 更に本発明は、上記の低消費電力化処理装置において、前記クロック切替手段は、基準クロックに同期したクロックによって前記セレクタ信号を同期化する同期用フリップフロップと、このフリップフロップによって同期化されたセレクタ信号がアクティブになっているかつ前記切替後クロックと切替後クロックが同じレベルに変化したタイミングでその状態がセットされ、前記セレクタ信号が非アクティブになっており、かつ前記切替後クロックと切替後クロックが同レベルに変化したタイミングでその状態がリセットされる選択用フリップフロップとを備え、この選択用フリップフロップの出力を前記切替信号として送出することを特徴とする低消費電力化処理装置を開示する。

[0008] 更に本発明は、低消費電力化処理装置を第1処理装置として備え、前記第1処理装置に含まれるCPUよりも低消費電力のCPUを含む第2処理装置と、第1の処理装置及び第2の処理装置内の各CPUのレジスタファイル間の情報を同一に保つためのCPU間インターフェース手段と、第1処理装置のCPUに接続する第1キャッシュシステムと、この第1キャッシュシステムを制御する第1キャッシュメモリ制御手段と、第1処理装置のCPUと第1キャッシュメモリシステムとを介して入出力されるバス制御手段を含む第1バス手段と、第2処理装置のCPUからのバス制御手段を含む第2バス手段と、第1バス手段と第2バス手段を第1処理装置及び第2処理装置からの前記バス制御手段に回答して切り換え、外部のリソースに適合したタイミングで外部バス及び外部制御信号を入力するバススイッチングインターフェース手段と、第1処理装置の動作と第2処理装置のいずれか一方を選択して動作させ、選択されなかった処理装置内のCPUを停止させる又はアイドル状態に保つモード切替手段と、具備したことを特徴とする低消費電力化処理装置を開示する。

[0009] 更に本発明は、上記の低消費電力化処理装置において、前記モード切替手段は、前記第1及び第2処理装置に組み込まれており、第1又は第2処理装置の動作を制御する手段を開示する。

の問題から、今後省電力への要求が高まって来ると予想できる。特にラップトップパソコン等のハンドヘルド(持ち運び可能)処理装置は、電力供給が電池であることが使用環境上多く、使用可能時間に直結する省電力化は必須である。

[0003] 従来、省電力化を目指すパーソナルコンピュータ(PC)では、下記の2つの方法が最も省電力化に有効な手法として提案されて来た。その1つは、待機時8-241.45号に開示されているように、低速クロックと高速クロックを用意し、アイドル状態(PCが有効な処理を実行していない状態)やバックグラウンド処理(優先度の低い処理)では、低速クロックをCPUに供給する様に切り換えることで動作電力を低減するものであり、他の1つは、特開平11-7344号に開示されているように、低速CPUチップ(一般に消費電力が小さい)と高速チップ(一般に消費電力が大きい)を用意し、2つのCPUからのバスを共通に接続し、低速処理でも問題の無い処理を実行する際には低速CPUチップ側に切り換えることで動作電力を低減するものであり、またクロック速度を切り換える方法で、スムーズなクロック切替を行えるようにした技術が特開平10-91272号等に表示されている。

[0004] [発明が解決しようとする課題] 従来技術では以下の点で問題があり、その解決が課題となっている。

(a) 近年のCPUは内部動作周波数が非常に高くなってきており(300~600MHz)、CPUの外部(基板上等)でスムーズにクロックを切り換えることは実質不可能である。この点について、従来技術は何の解決策も開示していない。

(b) きめ細かい電力制御による低消費電力化が求められているが、従来技術はクロック切替やCPU切替のオーバーヘッドが大きくなり、その要求に応えることができない。

(c) CPUを切り換える従来技術においては、一般のCPUチップを用いることが前提となっており、CPU間の内部情報の一致化処理のオーバーヘッドが大きくなり、細かい切替処理操作が困難である。

(d) 高速CPUにはキャッシュメモリや高速バスシステム等の高速化技術が用いられるが、低消費電力CPUを構築するに際して、その高速化技術の扱いや新たに必要となるアーキテクチャについて従来技術は何も開示していない。

[0005] 本発明の目的は、クロック及びCPU切り換えをスムーズにかつ少ないオーバーヘッドできめ細かく行え、キャッシュメモリやバス切り換えも短時間でできるようなりして大幅な消費電力低減を可能とした処理装置を提供することにある。

[0006] [課題を解決するための手段] 本発明は、与えられた基

(6)

を実行する回路を構成することが出来る。なお、EXORゲート114からのハザードを除去したい場合は、ゲート114の出力を同期用クロックの正転又は反転、又は適当にクロックをディレイさせたクロックで駆動されるフリップフロップ115を介してNANDゲート101'、102'に供給すればよい。なお、EXORゲート114からのハザードにより、クロック切替信号15にハザードが乗ったとしても、マルチプレクサ14がトランスタザファアゲートスイッチを用いて構成されているので、後述するCMOSトランスタザファアゲートの特性によって、入力(A1, A2)の状態が同一レベルに安定しているタイミングで切替信号が変化する限り(ハザードも含む)、マルチプレクサ14の出力にハザードが発生することはないと考えてよい。従って、フリップフロップ115は存在した方がよいが、必須の要素ではないと考えられる。

【0025】図5は、図2の高速・低速の2クロックを切り換えるマルチプレクサ14の構成例を示しており、CMOSプロセスで構成したトランスタザファアゲートスイッチである。トランジスタ110P、111PはPタイプトランジスタと呼ばれ、そのゲート(S)入力が接続された端子に負電位が印加されている、A1(高速クロック)にA1入力の電位をバッファ112Bへ伝える。一方、トランジスタ110N、111NはNタイプトランジスタと呼ばれ、ゲートに正電位が印加されているときA2入力にこれより低い電位が印加されると導通し、A2(低速クロック)入力の電位をバッファ112Bへ伝える。従ってS入力の電位によってA1, A2入力の一方がバッファ112Bを介して端子Zへ出力でき、1〜2段のトランジスタでバスが構成されるから高速で2段のバッファ112Bが構成される以外の状態では各トランジスタの出力側はハイインピーダンスとなり、バッファ112Bの入力インピーダンスもCMOS回路高にハイインピーダンスであるので、トランジスタ出力とバッファ入力との間の接続部には電荷が蓄積され、しばらくの間はその状態になる直前の状態が維持され、これは出力端子Zにも反映される。従って、クロック切替信号15(S入力)の切替時に、インバータ112Gの遅延によって2つのトランジスタゲート入力がともに低レベルとなる瞬間があっても、A1入力、A2入力に印加される電位がそのとき安定していれば、バッファ112Bからハザードが発生することはない、スムーズなクロック切り換えが行われる。

【0026】図6は、2つのクロックを切り換えるマルチプレクサの別の構成例で、クロック切替制御回路の一部機能も有したものである。この回路の基本スイッチ600は、図5と同様にCMOSプロセスで構成したトランスタザファアゲートスイッチ600の切替信号15の形式が異

なクロック切り換えが行われる。

【0022】図3は、図2に示したクロック切替制御回路13の動作を示すタイミングチャートを示すもので、高速クロックは低速クロックの2倍の周波数として、これら高速及び低速クロックと同期用クロック16はすべてPLLクロックドライバ112と同期用クロック16とされる。クロック選択信号SCINがハイレベルに遷移し(時刻t0)、それをフリップフロップ107、106により同期化して得られたフリップフロップ106のQ出力がハイレベルに変化した後、最初に高速クロックAと低速クロックBともハイレベルに遷移するタイミング(時刻t1)を使ってクロック切替信号15がローレベルからハイレベルに切り換わり、クロック出力11も高速クロックから低速クロックに切り換えられる。逆に、クロック選択信号SCINがハイレベルからローレベルに遷移し(時刻t2)、それをフリップフロップ107、106により同期化して得られたフリップフロップ106のQ出力がハイレベルに変化した後、最初に高速クロックと低速クロックともハイレベルに遷移するタイミング(時刻t3)を使って、クロック切替信号15がハイレベルからローレベルに切り換えられる。それに応じてクロック出力11も低速クロックから高速クロックへ切り換えられる。ただし、時刻t3ではすでに高速、低速クロック共にハイレベルの状態になっているので、クロック切替信号15の変化タイミング直ちに切り換えが行われる。ここで切り換えるタイミングt1、t3は、同期用クロック16や高速、低速クロックとの間にゲート通過時間等から成る適当なディレイtsd1、tsd2を有しており、確実にその変化点が高速、低速クロック出力が共に安定してハイレベルにある時に存在する遅延となっており、これによって、切り換え時のハザード等の発生が防止される。

【0023】なお、図2に示したように、同期用クロック16の反転クロック108又はクロック16をディレイゲート109で遅延させたもの、あるいは、タイミングを揃たせば(マルチプレクサ14のA1, A2入力の状態が安定しているタイミングで信号15が変化するのであれば)、同期用クロック16そのものを用いたフリップフロップ出力をフリップフロップ105でシフトして、上記のタイミングを満足するように調整したものをクロック切替信号15として用いても、同様にハザード等を防止できる。

【0024】図4は、図2に示したクロック切替制御回路の構成例で、高速クロックと低速クロックの排他的論理和を(EXOR)ゲート114でとり、その反転出力を2入力のNANDゲート101'、102'に供給するようにしたもので、他は図2と同じである。この構成によると、高速クロック、低速クロックが共にローレベルの時でもハイレベルの時でも、単に同一レベルでさえあればクロック選択信号の変化点を基準に切り換え動作

(5)

制御同期クロック16(クロック17のうちのどれかを適用してもよい)に同期してセレクタ信号SEL Aに対応した切り換え信号15を生成してマルチプレクサ14へ送出するクロック切替制御回路13とから成る。マルチプレクサ14は、切り換え信号15によって選択されたクロック11をCPUコア20に与え、CPUコア20はこの動作クロック11に基づいて動作する。クロック周波数切替回路70も同様を構成するが、出力するクロック81の周波数は異なる。

【0020】上記のクロック周波数切替回路10の構成において、PLLを内蔵したクロックドライバ12を用いて、クロックを生成する場合には、a)外部入力で最も高速なクロックを用意する必要がある、b)生成できる周波数の自由度が低い(1/2, 1/4, 1/8...倍となる)、c)基本クロックに対し出力クロックの遅延が発生してしまう等の問題があるが、PLLを使用すればこれらすべての問題を解決できるからである。すなわち、基本クロックCLは周波数のものでもあり、内部のVCOで非常に高い周波数のクロックを生成し、これを分周して基本クロックとの位相比較を行うようにすればよく、かつVCOからの内部クロックを使用して複数種類のクロックを生成するように構成することでも、生成できる周波数の自由度も大きくできる。またVCOを複数搭載することもでき、生成できる周波数の自由度はさらに大きくできる。さらに、マルチプレクサ等の遅延に相当するディレイ要素を介してPLLに基準となるフイーダバッククロックを戻すことにより、目的とするクロック出力の遅延を基本入力クロックに対する出力クロックの遅延を除去したり、調整したりするのが容易になる。

【0021】図2は、クロック切替制御回路13の構成例を示すもので、この回路ではPLLクロックドライバ12からのクロック17が2つのクロック(高速クロックと低速クロック)の場合である。クロック選択信号SCINは、図1のセレクタ信号SEL A又はSEL B自体か、あるいはそれに応答して生成した信号であり、それをフリップフロップ(F)107、106に同期用クロック16に同期した信号、即ち、PLLクロックドライバ12からの複数のクロック17と一致に同期化した信号とする。この信号はフリップフロップ106のQ出力及びQN出力の互いに反転した2つの出力として出力される。3入力NANDゲート102、101へ入力される。NANDゲート102、101ではこれらと高速及び低速クロックとのNAND論理がとられ、それらNANDゲート出力は、ゲート104、103で構成されたラッチ用RSフリップフロップ113のセット端子S及びリセット端子Rにそれぞれ入力される。このRSフリップフロップ113のセット側の出力であるゲート104の出力がクロック切り換え信号15としてクロ

と、それほど高速ではないが低消費電力の低速CPUコア30と、両CPUコアに対してそれぞれ周波数切替可能なCPUコア11、81を供給するクロック周波数切替回路10、70とが設けられている。但し低速CPUコアに対するクロック81は周波数一定でもよく、そのときはクロック周波数の切替回路70は不要である。CPUコア20と30の間は各コア内のCPU間インターフェース回路21、31を介して接続され、2つのCPUコア内のレジスタファイル22、32間のコヒーレンシ制御(内容を同一に保つ制御)や、CPUコア間のステータス情報のやりとりを用いられる。各CPUコアには、キャッシュメモリ40、50がそれぞれ搭載されていることもある。特に高速CPUコア20には処理効率を向上させるために外部I/Oやメモリシステム等の外部リソース90上の情報をCPU内部に蓄えておくための高速アクセス可能なキャッシュメモリシステム40が必須であるケースが多い。外部リソース90(メモリ、I/O、システムバス等)へのアクセスを実現するため、各CPUコアからのバス手段B1、B2がそれぞれ存在するが、2つのCPUコアのうちアクティブな方を外部リソースに接続するためにバススイッチインタフェース60を具備している。バス手段B1、B2はキャッシュメモリシステム40、50が存在する場合に一度CPUコアからのキャッシュメモリ制御信号C1、C2と共にキャッシュメモリシステム40、50にそれぞれ接続され、キャッシュメモリ上に情報が存在しない場合のみバススイッチインタフェース60を介して外部リソース90から情報を入力する。なお、両CPUコアがキャッシュメモリを持つ時は、キャッシュメモリ間のコヒーレンシ制御を行うためのキャッシュ間インターフェース41、51を設ける。

【0018】以上を示した図1の構成で、クロック周波数切替回路10、70を各CPUコア20、30に対して設けているが、これらは、各CPUコアへのクロック周波数をその時の状況(処理内容や環境等)に応じて自在に切り換え、最適な処理速度や消費電力となるように各CPUコアの動作を制御する手段を提供する。このこと、高速CPUコア20、低速CPUコア30の切り換えによって、全体としてより最適な処理速度及び消費電力となるように処理装置全体を動的に制御する事で、従来より効率的な電力管理/動作速度管理を動作中にダイナミックに実施することが可能となり、結果的にシステム全体の総合的な消費電力を減少させることができる。

【0019】クロック周波数切替回路10は、動作の基本となる基本クロックCLから複数の互いに一致に同期したクロックを生成するPLL(フェイズ・ロックド・ループ)クロックドライバ12と、そこからの複数のクロック17から一つを選択するためのクロック切替マルチプレクサ14と、PLLクロックドライバ12からの切換

なっている。即ち、基本スイッチ600は、切換信号SA1が"0"のときA1入力、切換信号SA2が"0"のときA2入力を出力する。入力されるセレクタ信号SA1A1、SA1A2はそれぞれが"1"のときクロックのA1入力、A2入力を選択するためのCPUからの信号で、EXORゲート602とNANDゲート603、604によって、SelA1="1"、SelA2="0"のとき信号SA1="0"、SA2="1"となり、基本スイッチ600が完全にオフし、A1、A2両入力が入力されるのを防いでいる。

【0027】また、レジスタ601を用いてラッチクロックLCLによりいったんセレクタ信号をラッチして基本スイッチ600へ送るが、これは切換タイミングをクロックと同期化すること、ラッチした時に切換信号SA1、SA2を出力すること、切り換えるタイミング誤差を極小化し、基本スイッチ600の2入力がかぶらないようにする機能を持つ。ここで前者の同期化であるが、このためにはラッチクロックLCLを基本クロックCCLに厳密に同期化させておく必要がある。この方法としては、CPUからの切換指令を基本クロックCCLに同期させて出力するのが一般的である。

【0028】図8は、図6の回路を多段結合して4入力クロックL1~L4を切り換えるようにした回路例で、図6の基本スイッチ600を多段結合し、それらスタ804にラッチクロックLCLでラッチして生成した切換信号で切り換えるようにしたものである。なお、各基本スイッチ600出力増に接続されるバッファ(図6の112B)は各スイッチには不要で、多段結合最後の出力増にバッファ803を設けるだけでよく、これによってクロックドライバ3とす。

【0029】以上では高速・低速の2クロックを切り換えるためのクロック切換制御回路及びマルチプレクサの構成例と動作を図2~図6を用いて説明したが、より多くのクロックを切り換えるための各回路例を次に述べる。図7(a)は、4つのクロックL1~L4の1つを選択して出力する回路例で、図1のクロック切換制御回路13とマルチプレクサ14に相当する回路である。マルチプレクサ701~703は図5に示した2入力切換用のものであり、これらの多段結合でスイッチ部が構成されている。切換信号はレジスタ704の出力で与えられ、その切換タイミングは、図6で説明したのと同様の、基本クロックに同期したラッチクロックL1Cと与えられる。レジスタ704へ入力される選択信号

SelE1、SelE2は、CPUからのセレクタ信号SelC11~SelC14を図7(b)のようにエンコードして得られた信号である。これら選択信号SelE1、SelE2、レジスタ704、ラッチクロックがクロック切換制御回路の機能を実現していると考えられるが、選択信号とラッチクロックを生成する部分は図7では省略されている。なお、ここでは4クロックの例を示したが、さらに多数の切り換える回路を構成できる。

【0030】図7は、図5のマルチプレクサを多段結合した構成例であるが、図2または図4で説明したクロック切換制御回路13とマルチプレクサ14を組み合わせた回路を1つの単位回路として、これを多段結合して多数のクロック切り換えることができる。この場合、切り換える前と切り換えた後のそれぞれのクロックのみは依存して、それらのクロックが同レベルの論理にある時に切り換えるタイミングをセットする方法によって同様にスムーズな切り換えを実現する事ができる。すなわち、初段の回路において関係の無いクロック入力を入力した後、AND論理をとってNANDゲート101、102に入力すれば、例えば一方のクロック入力を"1"に固力すれば良い。例えば一方のクロック入力を"1"に固定すれば(マスク)、AND論理をとった場合でもEXOR+反転論理をとった場合でも、他方のクロックを通り過ぎる単なるバッファとなり、そのクロックが次に切り換わるべきクロックの場合のみそのクロックと同期化されたクロック選択信号とで切り換え動作が行われる事になる。また、両方のクロックが関係なければ、その回路ではクロック選択信号自体が変化しないはずであり、マルチプレクサ14の出力も"1"に固定されるはずである。この2つの条件から、最終的に生きているクロックパス、すなわち、現在選択されているクロックパスと、次に選択されるべきクロックのパスとを切り換えているマルチプレクサ及びその切り換え制御回路1組のみがこれまでに説明してきた基本となる2入力クロック切換制御回路として動作しているのみである。同様、同様のスムーズな切り換え動作が可能となる訳である。なお、新しく切り換えるべきクロックパスを選択するマルチプレクサ14の切換命令をデコードして対応する各マルチプレクサへのセレクタ信号を特定し、それらを必要論理に設定すれば良い。

【0031】図9は、多段入力時のクロック周波数切換回路とその中でPLLLクロックドライバの使用例を示す。マルチプレクサ911~917の各々は、例えば図5に示したマルチプレクサに図7のようにレジスタをつけ加え、このレジスタに周波数fのクロックを用いてセレクタ信号をラッチして同期化させるようにしたもので、これは図7の構成と同様である。このように、PLLからの最高周波数のクロックで同期化すれば、厳密な基本クロックへの同期化が可能になる。あるいは図6の回路

をこれら切換回路としてもよい。

【0032】図9では、フィードバックすべきクロック周波数fとして、それを基準にf/32の周波数の基本クロックを外部から入力し、f/2、f/3、f/4、f/6、f/10、f/16、f/22、f/32及びf/9の種の周波数を生成可能なPLLクロックドライバを想定している。なお、周波数fのクロッククロックとして使用している最も高周波クロックである。PLLクロックドライバ901は、基準クロックL(f/32)をリアレンスクロック(REFFCLK)として受け、フィードバッククロックCLBを内部で1/32倍した信号の位相にしてリアレンスクロックの位相とほぼ一致させるようにして上記9種のクロック位相を調整している。すなわち生成される各クロックは、最も高周波周波数fのクロックに厳密に同期して生成されるため、フィードバッククロックCLBの遅延に比べてその分だけ早い位相にPLLクロックドライバから出力されていることになる。従って、切換回路911~914の列、同915、916の列、及び同917の列の各遅延に相当する遅延補正回路921~923を図示したように同期回路(I)へ挿入して各段の同期用クロックを構成すると共に、遅延補正回路923出力をフィードバッククロックCLBとしてPLLクロックドライバに戻せば、CPUへ出力する最終段のクロック出力CLOの位相を結果的に基本クロック位相とほぼ一致させる厳密な同期化が可能となる。なお、PLLクロックドライバから生成されるクロック出力の位相は、ループレット(抵抗、コンデンサで補正)を外付け可能なPLLを用いれば微調整が可能である。

【0033】クロック周波数切換のためのPLLの使用は、今後CPUが高周波化されるに従ってCPUチップ内に内蔵されるべき必須となるべく考えられる。すなわち、現状でもLSIの内部クロックで500MHz級のCPUが存在し、外部のシステム(電子ボード上)で直接成る周波数ではない。従って、外部の基本クロックとしては100MHz以下程度に抑え、LSIチップ内部で高速周波数動作をさせる構成が必須となってくる。さらに図1の様なCPUシステムは、1チップLSIとしてまとめないで分立しなくてはならない事を意味しているとも言える。すなわち、500MHzを超えるクロックを厳密に同期化させて切り換え制御を行うためには、PLLクロックドライバを含むクロック周波数切換回路10、70とCPUコア20、30は少なくとも一体化して1チップ化する必要性が生じ、理想的には1チップCPUとして図1のシステム全体を構築していくことが自然な流れである。現状はこの様な思想の低消費電力1チップLSIは存在しないが、1チップCPUに集積していくことを考慮した場合成績上の特徴、新たに実現できる機能及び効果等について図1をベースに以下に検討を加える。

【0034】クロック周波数切換回路とCPUコアとを集積化する利点及び必要性は上述したとおりである。従って2つのCPUコア20、30を1チップLSIに集積化することによる機能及び効果をまず検討する。第1回図1、CPUコアによる通信レイテンシの短縮、スループットの飛躍的な向上が図れる。例えばレジスタファイル22、32間のコヒーレンス制御をリアルタイムで実現できる。動作中のCPUが自身のレジスタファイルを変更した時、書き込み対象レジスタ情報と変更データ情報及びライトコマンドを並行して他方のCPU内のレジスタファイルに送り、対応するレジスタ内容を同時期に変更しておくことが可能となる。これにより、CPU間の切り換えが発生しても改めてコンテキストのコピーを実施する必要はなく、余分なオーバーヘッド無しに直ちに処理を開始できるという効果が得られる。

【0035】第2に、クロック周波数切換回路10、70への切り換え信号や前述した入力クロックのマスク信号等から成るセレクタ信号SEL、SELB及びCPUコア間の切り換え制御信号/情報等を低レイテンシで高速生成できる様になる。従来では、これらの信号を生成する手段は、CPUの外部にステータスレジスタ等として用意し、CPUのMMIO命令やロード/ストア命令等を用いて値をセット、リセットする方法を探らざるを得なかったが、1チップ化することによりCPUの命令として、組み込みプログラム中に適切に配置することによって、それをCPUがフェッチした時、直ちに実行できる様に構成することができ、CPUコア内では結果的にクロック周波数切換回路10、70内の非同期的同期化処理用F/F107、106を除去できるか、又はF/F106のみで同期化可能とできる場合もあり、またCPU内部動作周波数は外部に対しては高周波であるという利点もある為、切り換えにかかるレイテンシを大幅に短縮することができ、CPU間の切り換え用制御信号の経路例やその切り換えプロトコル例は後述するが、これらのCPU間情報伝達がすばやく行え、それに対応する動作や処理も高応答ですばやく実行できるという利点が生まれる。結果的に、プログラム中できめ細かな電力制御を記述でき、さらなる低消費電力化を図ることができ、効果が得られる。

【0036】次にキャッシュメモリ部(キャッシュメモリシステム40、50)の1チップLSI内蔵化を考慮する。まず第1に、レジスタファイルのコヒーレンス制御と同様に、1チップ化によってマルチサイクル同期した高周波キャッシュ回インターフェースが構成できるため、リアルタイムでキャッシュメモリの内容を同一に保つことが可能となる。具体的には、動作中のCPUのキャッシュメモリが書き換わった時、並列して他方のCPUのキャッシュメモリの同じアドレス部分を書き換える処理を行う。動作中のCPU側から送る情報は、目

的とするキャッシュメモリアドレス及びキャッシュデータと書き込みコマンド信号であり、書き込みコマンドがアクティブになったら対応するキャッシュメモリのアドレスの内容を目的とするキャッシュデータにリアライズして書き換えていく。従来では、CPUチップが別々であることから、CPUが動作を再開した時には一度前のキャッシュ情報をフラッシュ（無効にする）する必要があったが、本方法によりCPU切り換え時のキャッシュメモリに関するオーバーヘッドを減少化することができ、なお、キャッシュメモリシステムを各CPUコアそれぞれに用意する場合は、メモリスシステムを構成を高速対応タイプと低消費電力タイプに分けてそれぞれ設計、前者を高速CPUコアに、後者を低速CPUコアに割り付けると、最も消費電力、動作速度の面で総合的に最適な構造を提供できる。また、キャッシュメモリ部のバス手段B1、B2、キャッシュメモリ制御信号C1、C2等の信号群を外部で結合する方法も考えられるが、すべてを1チップ化する場合には、明らかにCPUとリソース間のアクセスレイテンシは増大し、CPUシステムの性能にはマイナスであると言える。

【0037】第2に、1チップ化により、2組のキャッシュメモリを1組にする事も可能である。具体的には、1つのキャッシュメモリを2つのCPUコアが共有し、より有効にキャッシュメモリを利用する為に、高速CPUコアが動作中はクロック同期型のアクセス制御等高速アクセスを実行し、低速CPUコアが動作中は、リード/ライトコマンドによるスタティックなアクセス制御（CMOSプロセスの場合、コマンドによりアクセスしてはいない場合は消費電力がほぼゼロ）により低消費電力化を目指した方式を採用し、これにより、キャッシュメモリ間のコヒーレンス管理/制御が必要なくなるだけでなく、多量のトランジスタを必要とするメモリ部を1組分除去できることで、他の1組のキャッシュメモリ容量を増やしたり、チップのサイズを小さくすることができたり等、さらなる高速化又は低消費電力化を目指すことができ、この場合も必然的に上述した様なコヒーレンス制御や共有キャッシュメモリを実現するために、キャッシュメモリ制御アルゴリズム及び、キャッシュメモリスシステムの構造は両CPU共通であるという前提で、CPUコアのキャッシュアクセス制御回路が設計されていない場合、バススイッチインタフェース60は、2つのCPUからのバスを切換える方式のものでも無く、一体化されたキャッシュメモリシステムへのアクセスが失敗した時に、直ちに外部のアクセス動作が発生する様に制御される入出力用のバススイッチパッドとして構成しても良い。

【0038】バススイッチインタフェースユニット60は、別のLSIにまとめ、リソース90の近くに配置する方式も有効である。特にキャッシュメモリシステム

を1つにまとめ2つのCPUで共有化する場合は、バス手段B1、B2はキャッシュメモリで結合され、キャッシュメモリからはそのキャッシュメモリへのアクセスに失敗した時（キャッシュメモリ上に必要とするデータが存在しない時）に、外部リソースへのアクセスに向かう場合に必要となるバス手段が1つあれば良いことになる。この内部バス手段をCPUシステムのLSIチップの外部アクセスバスとして定義すれば、バススイッチインタフェースユニット60は、リソースシステムバス等へと定義することもでき、これをリソースバスとして定義することもできる。これをリソースバスと同一にLSIに集積すれば、各リソース又はローカルリソースプロックの近くに、1つ又は分散して複数配置する方法を採用することができる。集中して集積されたCPUチップから配線を引きまわす場合と比較して、パッド遅延やデコーダ遅延等が除去できる（リソースのそばに必要となるバススイッチICやデコーダの代りにバスインタフェースユニットを代用できる）分、高速化が図れる可能性がある。

【0039】次に図10、図11により、CPU間の切り換え制御について説明する。まず図10に、CPU間の切り換え制御及びクロック周波数制御のための信号接続を示す。高速CPU200、低速CPU300はそれぞれクロックレック制御回路202、203を有している（CPU内部に内蔵しているも良い）。CPUはクロック周波数設定/変更命令やCPU切換え命令をフェッチし実行を開始すると、対応するクロックレック制御回路202又は203が必要となる制御信号（Select、Stop等）を生成してクロック選択回路200、201を制御する。ここで、図10に示したクロック選択回路200、201は、図1のクロック周波数切換回路10、70の機能に相当する。また、信号Select (A)、(B)は、前述したクロック切換マルチプレクサの切換信号やクロック入力力マスタ信号等のコントロール信号を含むところの図1におけるセレクト信号SOLA、SELBの機能に相当し、信号Stop (A)、(B)は、図1のクロック停止信号CLSTA、CLSTBの機能に相当するものとする。

【0040】図10では、動作中に選択されているCPUのみにクロックが供給されている構成を想定して、互いに相手側のCPUによって自身に供給されるクロックの起動/停止処理が実行される様に、Stop信号をクロックに結合している。図11は、高速CPU200から低速CPU300への切り換えが実施される様子を図示しており、これについて詳しく説明する。まず動作中のCPUである高速CPU200がスイッチ命令（CPU300へのスイッチ）をフェッチすると、CPU300への再起動指令を生成し、アイドルスタートへ移行する。再起動指令は、クロックレック制御回路202へのクロック制御

指令203を伴い、CPU300へのクロック再起動を実行する（stop (B)を解除）と共に、CPU間通信ライン61を介してCPU300にクロック再起動後直ちにアイドルスタートにクロック再起動後直ちにアイドルスタートから抜け、次の処理ステップに移行する様に指示する。CPU300側はクロックが再起動されると、まずCPU200側のクロックを停止させるべく、クロックレック制御回路203を介して、stop (A)をアクティブにした後アイドルスタートを抜け、次の処理ステップに移行する。なお、CPU300は、自身のレジスタに格納されたCPU200の情報を、CPU200に引き継いで必要処理を実行している。処理手順や処理内容に矛盾を生じることはない。逆方向の、CPU300からCPU200への切り換えも同様である。

【0041】以上の様に、CPU間のスイッチ命令とCPUへのクロック周波数切り換え命令とをリアルタイム電力制御命令としてCPUの命令セットに組み込み、プログラム中でそれらの命令を自由に使用できる様構成することができ、それらリアルタイム電力制御命令の使用法について以下に説明する。

【0042】シーケンサ等の制御用コントローラにリアルタイム電力制御命令を使用する場合、図12に示した様に、各タスクのサンプリングタイムの違いが優先順位の違いに直接関係することが多い。すなわち、サンプリングタイム（図中三角印で指示）の間隔が短いタスク程、応答処理を要求される傾向が高く、優先順位が高いタスクであると言える。従って、これらのタスク間でタスクスイッチ（図中のswg）が発生する時、起動されたタスクの先頭又は、タスクスイッチをサポートするOSの中で電力制御命令を実行し、結果的にその優先順位に従って適切なCPU及びクロック周波数を選択する。例えば、最も優先順位の高いタスクTA1は高速CPUコア200を選択し、2番目の優先順位であるタスクTA2は低速CPUコア300のクロック周波数最高を選択設定に、最低の優先順位であるタスク3は低速CPUコア300のクロック周波数中程度の選択設定という様に、処理タスクに応じてCPUコアとクロック周波数を選択する。この様にタスクの優先順位が下がるに従って消費電力を少なくする選択モードに移行すると効果的である。また、どのタスクも実行しないスリープモード又はウェイトモード（サスペンドモード）等のアイドルモード時に、低速CPUコア300のクロック周波数最低の選択設定にしておけば、無駄な消費電力を極力抑えることができ、さらに効果的である。

【0043】図13は、マルチプロセッサ動作における各CPUのタスク処理の一例であり、プロセッサ間同期機構によって関連のあるタスク間で同期をとり、スケジューラされた並列処理を進めている様子を示している。SYNC-m-nはCPUmとCPU nが同期する事を示

しており、idleは空き時間（アイドル時間）を、NOPは何も処理しない状態（遊びタスク）を示している。本図で、idleとNOPはタスクをプリスケジューリングの際に認知できるもので、そこに電力制御命令を配置し、適切な消費電力モードに設定（例えば低速CPUコアのクロック周波数最低に設定）すれば効果的に省電力化を図ることができる。

【0044】次に、バッテリーシステムを用いて動作中

の処理装置、例えばノートパソコンにおけるパワーコントロール手段及び利用技術の一例を挙げる。
 (1) 動的に消費電力を調整するパワーコントロール手段と、バッテリーの残量を検出するバッテリーモニター手段とを有するバッテリー駆動処理装置において、プロセッサシステムをバッテリーで稼働させたい目標可動時間を設定した時、バッテリーの残量を参照しながら動的に消費電力を調整することにより、目標可動時間を保証する。

(2) 上記の(1)において、処理装置が優先順位をアップリケーションに対して処理負荷に応じて優先順位を上げ、より負荷の軽い処理ほど消費電力を下げ（＝処理速度も下げ）て実行することより、高負荷アプリケーション実行中にオペレータに負荷を感じさせずに、消費電力を調整する。

(3) (1)又は(2)において、スーパーバイザーとして処理装置のユーザーが直接処理の優先順位を選択できる手段（外部ハードスイッチ又はソフトウェアスイッチ等）を設け、選択した優先順位に対応した消費電力に調整（パワーコントロール）する。この操作は動作中にリアルタイムで実施しても良い。このような(1)～(3)の利用法で用いるパワーコントロール手段は、前述したCPU切換え（高速/低速CPU切換え）とクロック周波数切換えとのコンビネーションによる電力制御手段を用いると最も効果的である。

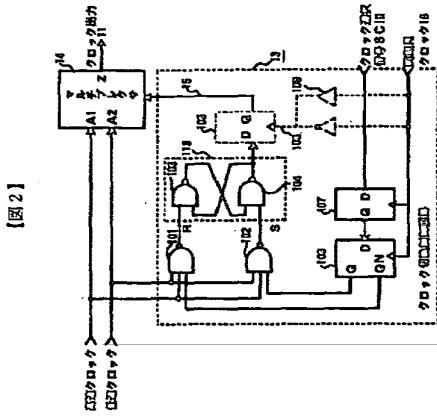
【0045】次に、同様に本発明のパワーコントロール（パワーセーブ）について一例を述べる。

(1) マルチタスクアプリケーションの優先度設定を行うコントローラを各ウインドウに設けるか、または各アプリケーション起動時に優先度の設定ウインドウを表示し、マウスにて優先度の設定を行う。消費電力設定コントローラは、各アプリケーションの処理頻度のコントロールや、全アプリケーションの優先状態、PCの全体消費電力及び電源状態から最適なクロック周波数を決定し、これによりユーザーの期待するPCのパフォーマンスを効率よくCPUのパワーに割り当てることでき

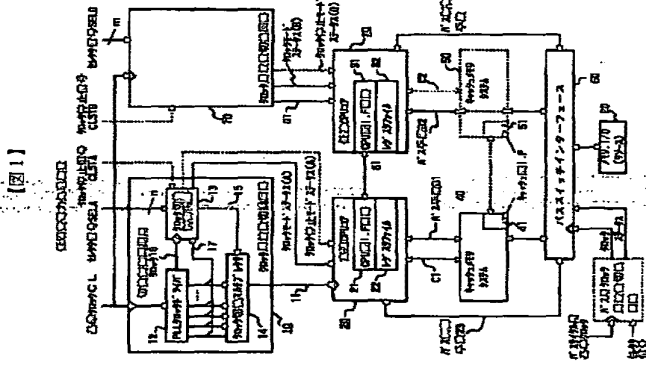
き、かつ低消費電力化が図れる。
 (2) PCの端末から離れる場合、消費電力設定ウインドウ画面にて、離れる時間、バックグラウンド高速演算が必要なアプリケーションの指定を行う。消費電力設定コントローラは、ディスプレイなどを必要の無いデバイス

113 ラッチ用RSフリップフロップ
114 EXORゲート

90 外部リソース
101、102 多入力NANDゲート
106、107 同期化処理用フリップフロップ

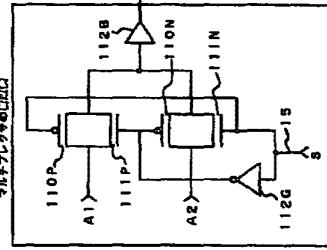


【図2】

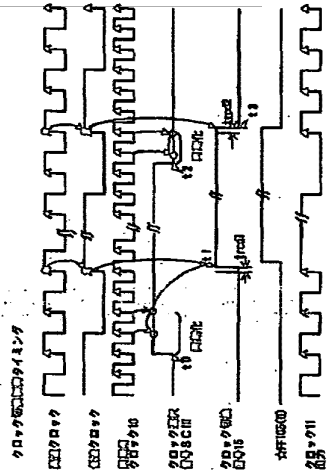


【図1】

【図5】



【図3】



CPUに切換え、命令を再処理し、誤動作を回避する等の高信頼化動作が可能となる。なおこの場合、エラーが発生した命令によるレジスタの変更を実施しないか、又はいくつかの過去の処理ステップのレジスタ内容をCPU内に保持しておき、再実行すべき時点の状態に選択されたCPUのレジスタ内容を復帰させる手段を備える必要がある。

【0050】
【発明の効果】本発明によれば、以下の効果が得られる。

- (1) 動的にかつき細かく高速に電力を制御することができ、それによって処理装置の低消費電力化を図る効果が得られる。
- (2) 低価格な1チップCPU化が可能な技術を提供しており、低消費電力化が必要な様々なアプリケーションに高いコストパフォーマンスを確保しながら適用できる効果が得られる。

【図面の簡単な説明】

- 【図1】本発明になる低消費電力処理装置の構成例を示すブロック図である。
- 【図2】クロック切換制御回路の構成例である。
- 【図3】図2のクロック切換制御回路の動作を示すタイムチャートである。
- 【図4】図2の回路の変形例である。
- 【図5】マルチプレクサの構成例である。
- 【図6】クロック切換回路の例である。
- 【図7】クロック切換回路の別の例である。
- 【図8】多数クロックの切換回路の例である。
- 【図9】多数クロック周波数切換回路の例である。
- 【図10】CPU切換制御の構成例である。
- 【図11】CPU10の動作説明図である。
- 【図12】シーケンサシステムなどのタスクスイッチング、サンプリングタイム及び優先順位例を示す図である。

【図13】マルチプロセッサ動作に於ける各CPUのタスク処理例を示す図である。

- 【符号の説明】
- 10、70 クロック周波数切換回路
 - 12 PLLクロックドライバ
 - 13 クロック切換制御回路
 - 14 クロック切換マルチプレクサ
 - 20 高速CPUコア
 - 21、31 CPU間I.F.回路
 - 22、32 レジスタファイル
 - 23 バス制御手段
 - 30 低速CPUコア
 - 40、50 キャッシュメモリシステム
 - 41、51 キャッシュ間I.F.
 - 60 バススイッチインターフェース
 - 61 CPU間通信ライン

の休止を即座に行い、利用者が戻るまでに行う演算と消費電力、電源状態の両方から最適なクロック周波数を決定する。これによりユーザがアクセスしない間の期待する処理を効率良く実行し、かつ低消費電力化が図れる。ここで端末から採れたデータをセンサする仕掛けとしては、入力デバイス（キーボード、マウス等）による検出、あるいは設定ウィンドウ画面において直接低消費電力モードへの移行の設定を行う等の方法を用いる。

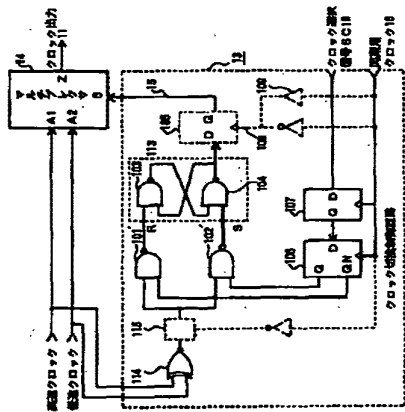
(3) 使用しないデバイスの指定をウィンドウにて指定し、休止状態とする。これによりユーザの利用状況に応じて消費電力を低減できる。
【0046】ここで、消費電力設定コントローラとは、やはり前述した本発明の電力制御手段（CPU切換えとクロック周波数切換えのコンビネーション）を操作する前述の電力制御命令セットを用いて記述されたプログラムモジュールである。なお高速コントローラが可能な場合、このコントローラはファームウェア化されている。CPU以外のファームウェア実行システムが存在する場合は、前記電力制御命令セットは、外部からのビット流又は情報は情報入出力手段等によってその実行システムから直接命令実行の指示ができ、それに応じてCPU、システム内の対応する電力制御命令を直ちに実行させる外部命令指示手段を設けておく必要がある。ファームウェア実行システムは、この外部命令指示手段を用いて必要な電力制御のための手続を実行する。

【0047】以上、利用技術について述べて来たが、これらの手続を記述するプログラムは、プリコンパイルで従来のプログラムに電力制御命令を条件にしたがって挿入して自動生成し、システムにダウンロードしたり、OSのドライバやシステムコールとして組み込み、OSが必要に応じて起動する仕掛けを用意したりする事でユーザーに直接負担をかけることなく実現することができる。

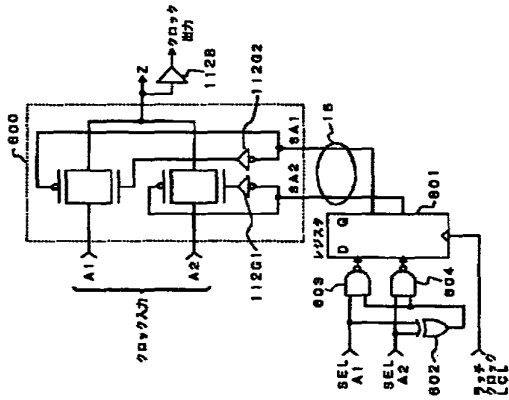
【0048】また、図1に示した処理装置は、最も実現し易い形態として2つのCPUを含む処理装置を構成することも可能である。そのうち有効に動作しているのは1つのCPUだけであり、そのCPUが動作中に変更したレジスタの内容は、2つのCPUで稼働する場合は同様、選択されていない他のCPUのレジスタに実時間でコピーし、コヒーレンスを保つことができる様にCPU間インターフェースは構成される。CPU間の切換え時は、切換え命令中で切換わるべきCPUを指定することになる。命令が実行されると、指定されたCPUと現在選択されているCPUとの間で本実施例中で説明した2つのCPU間の切換え操作手続が実施される。

【0049】この様な複数のCPUを含む処理装置は、フォールトトレラントシステムや異常時の代行処理付高信頼性システム等に適用することも可能である。すなわち、実行中の命令処理に異常を感知した場合（例えばバリエイタラ等）、CPU間の切換え手段を用いて他の

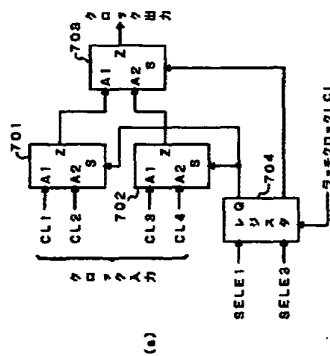
【図4】



【図6】



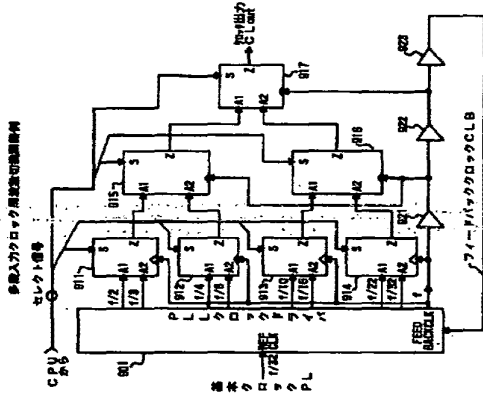
【図7】



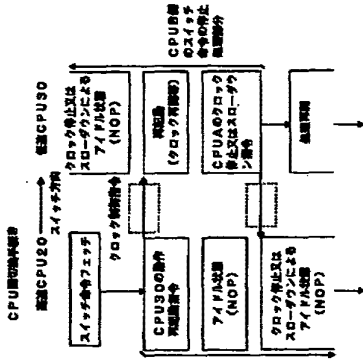
SELCL1	1	0	0	0
SELCL2	0	1	0	0
SELCL3	0	0	1	0
SELCL4	0	0	0	1
SEL1	0	1	0	1
SEL5	0	0	1	1

(b)

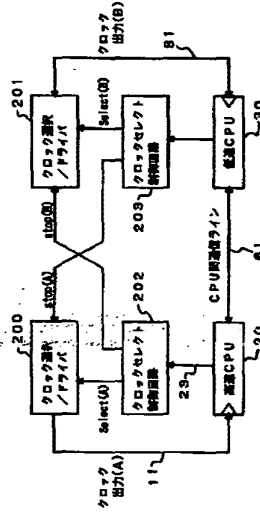
【図9】



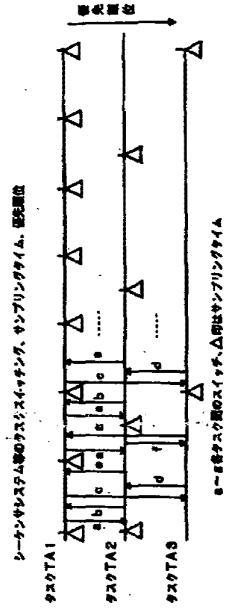
【図11】



【図10】



【図12】



【図13】

マルチプロセッサ動作におけるCPUのタスク説明

CPU0	CPU1	CPU2	CPU3	CPU4
タスク0-0	タスク1-0	NOP	タスク3-0	タスク4-0
タスク0-1	idle			
SYNC0-1	タスク1-1	タスク2-0	SYNC	idle
タスク0-1	SYNC1-2		S-4	
idle	タスク1-2	タスク2-1	NOP	タスク4-1
	SYNC0-1	1-2-3-4		

フロントページの続き

- | | | | |
|---------|----------------------|---------|------------------------------------|
| (72)発明者 | 山本 健次郎 | (72)発明者 | 株井 康行 |
| | 茨城県土浦市神立町502番地 株式会社日 | | 茨城県土浦市神立町502番地 株式会社日 |
| | 立製作所機械研究所内 | | 立製作所機械研究所内 |
| (72)発明者 | 小山 昌宏 | (72)発明者 | 船津 輝宣 |
| | 茨城県土浦市神立町502番地 株式会社日 | | 茨城県土浦市神立町502番地 株式会社日 |
| | 立製作所機械研究所内 | | 立製作所機械研究所内 |
| | | (72)発明者 | 池 勝久 |
| | | | 茨城県土浦市神立町502番地 株式会社日 |
| | | | 立製作所機械研究所内 |
| | | | Fターム(参考) 5B079 A006 BA02 BB01 BC01 |

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-119079

(43)Date of publication of application : 28.04.1994

(51)Int.Cl. G06F 1/06
 G06F 1/32
 G06F 1/28

(21)Application number : 04-263405 (71)Applicant : CANON INC

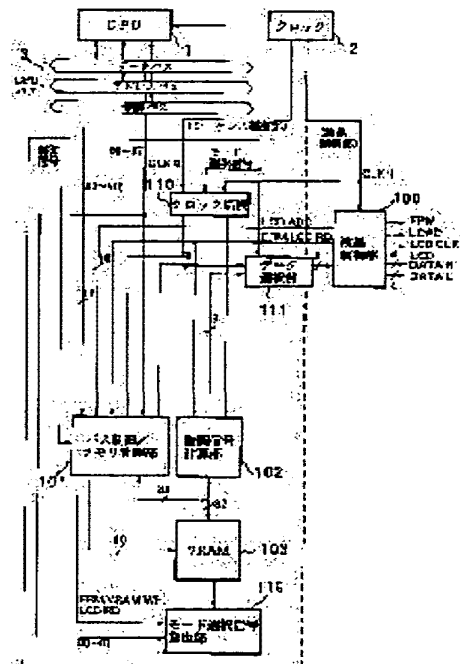
(22)Date of filing : 01.10.1992 (72)Inventor : SHIMADA
 KAZUTOSHI
 SUZUKI NORIYUKI
 NAGASAKI
 KATSUHIKO
 TATSUMI EISAKU
 SUNAKAWA
 SHINICHI

(54) PORTABLE INFORMATION PROCESSOR

(57)Abstract:

PURPOSE: To provide a portable information processor capable of operating in a long time and preventing malfunction caused by static electricity.

CONSTITUTION: Whether inputted picture data is binary data or multilevel data is investigated so as to output a mode selection signal to a clock switching part 110 based on the result. Receiving it, when input picture data is binary data, the clock switching part 110 switches a clock so that a bus control/ memory management part 101 operates in a relatively low frequency (CLK 1). On the other hand, when picture data is multilevel data, the clock switching part 110 switches the clock so that the bus control/memory



BEST AVAILABLE COPY

management part 101 and a multilevel signal calculation part 102 operate in a relatively high frequency (CLK 0).

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

Copyright (C); 1998,2000 Japan Patent Office

74-01E0252

P971 ②

特開平06-119079

【産業上の利用分野】本発明は携帯型情報処理装置に關し、特に、例えば、表示部に液晶パネルを備えたバッテリーで動作する携帯型情報処理装置に関する。

【0002】

【従来の技術】近年、液晶パネル(LCD)を表示部に備え、かつ、バッテリーによって動作する携帯型のワープロセッサやパーソナルコンピュータ、電子手帳などの情報処理装置が開発され、情報処理市場において大きなシェアを占めるようになってきている。このような携帯型情報処理装置はさらにバッテリーによる長時間の安定動作と、特に以下に示す分野において多くの改良が望まれている。

【0003】(1) 階調表現をもった画像表示

このような、いわゆる携帯型情報処理装置において、その装置で動作するソフトウェアの互換性や見えやすさの観点から、階調表現が可能なLCDが求められるようになってきている。LCDの階調駆動法としては、従来より(a) フレーム間引き、(b) PWM(パルス幅変調)の2つの方式があったが、PWM方式は駆動回路に特殊なものが必要でかつデータ転送速度を速くする必要があるので、フレーム間引きは既存の2値液晶パネルがそのまま使えることからフレーム間引き方式がLCDの階調駆動法の主流となっている。

【0004】図22はフレーム間引き方式を用いてLCDにあるドットを表示したときの、ドットの駆動波形である。この方式に従えば、例えばLCDに16段階の階調を表現するとき、15フレームの中で何回フレームをONとし、何回フレームをOFFとするかによって階調が制御される。例えば、湿度を最大湿度の1/3とした場合、図22に示すように、15フレームの内5回はON、10回はOFFとする。しかしながら、15フレームを1つの単位として階調表現を行うため、実質的に情報を表示可能なフレーム数が減少することとなるので、結果として表示情報のちらつきなどの問題が生じることになる。

【0005】図23はフレーム間引き方式に従って従来の階調表示用のグラフィックコントローラの表示データ制御部の構成を示すブロック図である。ただし説明を簡単にするため、図23では制御レジスタ及び画像変換に關する部分等は除いている。図23において、液晶タイミング発生部100は、LCDのタイミング信号とそれに伴った表示データをLCDに出力する部分である。

【0006】液晶タイミング発生部100からの出力信号の内、FMは1画面のフレーム同期をとる信号、LDは1ライン分のデータ出力時にドライバ側でデータをラッチするためのライン同期信号、LCD CLKはデータのシリアル転送時の同期クロック、LCD DATA、LCD DATAHはLCD表示データの、各々LCD上半面と下半面に対応するデータ、そして、LCD ADDRは、画像データをVRA

【特許請求の範囲】

【請求項1】 2値画像データと階調画像データを表示手段に表示可能な携帯型情報処理装置であって、少なくとも2つ以上の周波数のクロックを発生するクロック部と、

画像データを入力する入力手段と、前記入力手段によって入力された前記画像データを2値画像表示するか、或は、階調画像表示するかを選択する選択手段と、

前記選択手段による選択結果に基づいて、2値画像表示であるなら相対的に低い周波数のクロックを用いて前記表示手段への画像表示を行い、階調画像表示するなら相対的に高い周波数のクロックを用いて前記表示手段への画像表示を行うように制御する制御手段とを有すること

【請求項2】 電池を電源として動作し、画像データを表示する携帯型情報処理装置であって、

前記電池の残容量を検出する検出手段と、前記検出手段を表示する表示手段と、前記検出手段によって検出された前記電池の残容量に基づいて、前記表示手段への前記画像データの転送速度を変化させる制御手段とを有することを特徴とする携帯型情報処理装置。

【請求項3】 電池を電源として動作し、異なる複数の媒体に対してデータを入力する入力手段を備えた携帯型情報処理装置であって、

前記異なる複数の媒体に対するデータの出入り動作の状況を検出する検出手段と、前記電池から供給される電力を一定の電力に変換して供給する変換手段と、

前記検出手段によって検出された前記異なる複数の媒体に対するデータの出入り動作の状況に基づいて、前記入力手段への電力供給を制御する電力供給手段と、前記検出手段によって検出された前記異なる複数の媒体に対するデータの出入り動作の状況に基づいて、前記変換手段とを有することを特徴とする携帯型情報処理装置。

【請求項4】 種々の情報を入力して処理する携帯型情報処理装置であって、

前記情報を入力する入力手段と、前記入力手段に入力信号を入力する入力線と、前記入力手段に対して、前記入力手段が動作するよう電源部から電源を供給する電源供給線と、前記入力手段の接地をとる接地線と、前記入力線と前記電源供給線との間、及び、前記入力線と前記接地線との間に各々接続された静電気による誤動作防止のための静電気を逃がす比較的小容量のコンデンサとを有することを特徴とする携帯型情報処理装置。

【発明の詳細な説明】

【0001】

(19)日本特許庁(JIP) (12)公開特許公報(A) (11)特許出願公開番号

特開平6-119079

(43)公開日 平成6年(1994)4月28日

(5)Int.Cl.	行内整理番号	FI	技術表示箇所
G 06 F 1/08	7165-5B	G 06 F	3 10 A
1/32	7165-6B	1/ 00	3 32 B
1/28		特許請求 未請求	請求項の致4(全7頁) 最末页に抜く
(21)出願番号	特開平4-283405	(71)出願人	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22)出願日	平成4年(1992)10月1日	(72)発明者	島田 和敏 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
		(72)発明者	鈴木 昭彦 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
		(72)発明者	長崎 聖彦 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
		(74)代理人	弁理士 大塚 康樹 (外1名) 最末页に抜く

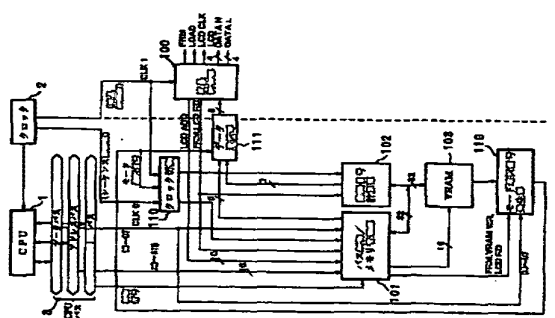
(54)【発明の名称】 携帯型情報処理装置

(57)【要約】

【目的】 長時間の動作可能な、かつ、静電気による誤動作の防止が可能な携帯型情報処理装置を提供する。

【構成】 入力された画像データが2値データであるか、階調データであるかを調べ、その結果に基づいて、モード選択信号をクロック切換部110に対して出力する。これを受けて、クロック切換部110では入力画像データが2値データであるなら、相対的に低い周波数(CLK1)でバス制御/メモリ管理部101が動作するようクロックを切り換える。また、画像データが階調データであるなら、相対的に高い周波数(CLK0)でバス制御/メモリ管理部101と階調信号計算部102が動作するようクロックを切り換える。

BEST AVAILABLE COPY



フレーム番号1~15による画面信号の駆動波形成のO/N/OFFを制御するものであるから、階調信号計算部102にはFRM(フレーム)信号によってフレーム番号をカウントするためのフレーム数カウンタ107を設けられる。そのフレーム番号(4ビット)と前記階調データ(4ビット)に基づいて、対応するフレーム間引きデータ106の表示データ1ビットをシリアル/パラレル変換部108へ出力する。この動作を4回繰返すことにより、入力された32ビット(4画素分)の画像データが表示データ(4ビット)に変換される。

【0010】そして、LCD表示画面へのデータ転送は、その上半面と下半面に対して交互に実行する。つまり図25に示すように、液晶の転送クロックLCD CLKに1周期につき、LCDの上半面と下半面に関して各々4画素分の画像データ(DATALO, DATAH)が入力されて、LCD DATA、LCD DATAH各々4ビットが計算される。図25において、CLK0は基本クロックを示し、24~32kHzの値が取られる。

【0011】以上階調表示について説明したが、2値表示は、①前述の4プレーンデータ構成において最下階調と最上階調のデータのみを用いることにより、②前述の4プレーンデータ構成においてカラーターナブルの出力側を2値に対応するように設定することにより、③従来の1プレーン、1画素1ビットで表示方式によって実現される。

【0012】(2)電池残容量が少ない時の処理 さて、図26は従来のLCDを搭載した携帯型情報処理装置のLCD表示部の構成を示すブロック図である。図26に示すような構成の装置において、CPU201から表示画像データがCPUインタフェース202に対して出力されると、そのデータは階調回路203においてタイミングを調整され、VRAM204に書き込まれる。一方、表示制御部207はVRAM204に格納されている画像データを順次読み出し、LCDモジュール208にデータ転送を行って画像の表示を行う。ここで、CPUインタフェース202と表示制御部の動作は、階調回路203によって、互いの動作(画像データの書き込みと読み出し)が重ならないように制御される。

【0013】この画像データの読み出しは、発振器105で生成されるクロックを分周回路106で分周して作られた転送クロックの周期毎に行われる。この転送クロックは、表示画面がちらつきが発生しないようにフレーム間内にデータ転送が完了するよう設定されている。例えば、LCDが640ドット(横)×480ドット(縦)のサイズであるなら、転送クロックは3.0MHz、フレーム周波数は70Hz程度の値が選ばれている(一般にはちらつきが発生しないように画面表示を行うためにはフレーム周波数は60Hz以上が必要とされている)。

【0014】なお図26において、209は装置全体に

動作電力を供給する電源線であり、ここで説明している携帯型情報処理装置の場合、マングン電池や充電可能なNiCd電池などが使用されている。従って、電池の容量が少なくなった場合には、内部データ保持のため、強制的に装置の動作を停止する制御も行っている。さらに、電池の残容量が少ない場合、LCDの駆動電圧の低下によって表示濃度が薄くなることで、過度調整用の可変抵抗を設けて、ユーザが表示濃度の調整可能とした構成をとる装置もある。

【0015】(3)スタンバイモード、給電停止による消費電力削減 また、携帯型情報処理装置はバッテリーで装置を駆動するため、電池電圧を一定の供給電圧(例えば、5V)に変換するためのDC-DCコンバータの変換効率を向上させる試みも多く行われている。この変換効率の最大値は、図28に示されているように装置の定格電力付近で得られるよう装置電源部の効率・電力特性の設計がなされている。

【0016】一方で、このような携帯型情報処理装置の動作可能時間を延ばすために、種々の省エネルギー対策の設計がなされている。図27に示すような構成をもった携帯型情報処理装置を例として考慮すると、各構成要素の使用状況に応じてクロックの停止や給電の停止を行なうような設計になっている。例えば、ある一定時間以上ハードディスク(HDD):30.5にアクセスがないハ

ードディスク(HDD):30.5にアクセスがないハードディスク(HDD)30.5の電源部315からの給電を停止する。そして、CPU301からハードディスク(HDD)30.5へのアクセスが停止した時点で再びハードディスク(HDD)30.5にアクセスが行われる。同様の制御は行って、実際のアクセスを実行している。同様の制御はフロッピーディスク(FDD)307や通信インタフェース309に關しても行われる。また、キーボード313からのキー操作が一定時間以上ない場合にはLCD311の表示輝度を落として消費電力の節減を行うなどの工夫もなされている。また、図27において、302は込みコントローラ、DMAなどの機能を有する周辺ICチップである。

【0017】このように装置構成要素の動作特性に注目して、各構成要素が独立したタイミングでスタンバイ状態や給電停止状態に移行してゆくための処理が行われる。

【0018】(4)静電気による誤動作の防止 以上のような消費電力を削減する試みに加えて、装置使用中に持ち置かずに発生する装置の誤動作を防止することも考慮されている。たいていの携帯型情報処理装置にはキーボードなどの入力部が設けられているが、例え

ば、装置使用者の手に(或は体全体に)蓄積された静電気が、指の先端部を通して、キーボードを経て装置内部に流れたり、或は、直接装置に指を触れなくとも指が近づいたときに火花放電によって静電気が装置内部に伝わることによって、装置に誤動作を引き起こさせる原因となる。

【0019】これは、キーボードだけでなく発生するものではなく、例えば、指をLCDの表面に触れることによって発生する放電放電によっても装置の誤動作の原因となる。電気がLCDドライバ部に伝わることになる。また、装置を持ち運ぶことによっても、静電気が装置内部に伝わり、スイッチOFFにおいて常時動作しているクロック線などに誤動作を引き起こすことがある。

【0020】こうした誤動作を防止するために従来より、例えば、図29に示すように、指401より火花放電402によって回路の一部403に伝わった静電気が信号線404、コンデンサ423を経て、デジタル信号が入力される半導体素子405の入力部(GND)と接地線(GND)との間にコンデンサ409に配置するよう回路構成となっている。

【0021】【発明が解決しようとする課題】しかしながら上述した4つの側面からの試みにもかかわらず、従来技術においては以下に述べるような問題点があった。その問題点を前述の従来技術の項目に対応させて説明する。

【0022】(1)階調表現をもった画像表示に関してアプリケーションプログラムや装置の用途によって2値表示の必要としない場合や、例えば、上述の①②の方法を採用すると、階調表示と全く同じ方式でデータをCDへ転送するために、高い周波数の基本クロック(CLK)が必要であり、その結果、電力消費が多くなる。また、③の方法を採用する場合、階調計算に用いる高い周波数の基本クロック(CLK)が必要でないにもかかわらず、グラフィック・コントローラICにCLKを供給していないならば、結果として、電力消費が多くなる。

【0023】(2)電池残容量が少ない時の処理に關して ユーザが装置使用中に電池残容量の閾値で突然電源をオフされると、外部電源を接続するか、或は、新しい電池と交換するまではユーザが内部データの操作が行えない。現在まで、電源オフの前に最小限の操作が行えるようにLED点灯、ブザー鳴動、メッセージ表示などの処理が考えられてきたが、これらはいずれも別途に電力を必要とする処理であるため、かえって電池の消費を抑えてしまうという欠点があった。

【0024】また、動作可能時間を長くするために、動

(6)

従来例と同じ構成要素や入力信号については同じ装置参照番号や同じ記号を付して説明を省略する。

【0039】この表示データ制御部にはCPU1からアドレスバスとアドレスバスと制御バスとで構成されるCPUバス3を通じて、8ビットデータ(D0~D7)と16ビットのアドレス(A0~A15)と制御バスとが供給される。また、クロック2からクロックがCPU1と表示データ制御部に供給される。表示データ制御部に供給されるには、高い周波数のクロック(CLK0)と低い周波数のクロック(CLK1)が供給される。

【0040】さて、図1に示したグラフィックコントローラの表示データ制御部の基本的な考えはLCDを動作させるためのタイミング信号を発生させる液晶制御部100とCPUバス3とのバス制御などを行うバス制御部メモリ管理部101や階調信号部102を含むシーケンサ制御部との分岐にある。即ち、液晶制御部100は、相対的に低い周波数のクロック(CLK1、例えば、6~10MHz)で常に動作させ、シーケンサ制御部は相対的に高い周波数のクロック(CLK0、例えば24MHz~30MHz)と低い周波数(図1ではCLK1を共用)とを動作条件によって切り換えて動作させる。この切り換えは、図1に示すように、モード選択信号発生部119によって発生されるモード選択信号に従ってクロック切換部110によってなされる。

【0041】次にモード選択について説明する。ここで、LCDに階調表示をする場合と2値表示をする場合で2つの処理モードがある。この階調表示は前述の4プレレンデータ構造のデータを用いるものとし、2値表示はその4プレレンデータ構造のデータの最低階調と最高階調のみを用いることによってなされるものとす。

【0042】図2は、画像データが前述の4プレレンデータ構造をもつときに階調データであるか2値データあるかを判定してモード選択信号を出力するモード選択信号発生部119の構成を示すブロック図である。画像データが4プレレンデータ構造をとっていないから、それが2値データであるなら、実際の値は"00H(16進表示)"又は"FFH(16進表示)"であるので、1画面データ比較部112では、画像データ1画面についてビット0~ビット7を比較して、全てが"1"であるか全て"0"であるかを調べる。この判定は、通常、LCDへのアドレスに従ってVRAM103から出力されるアドレスに従ってVRAM103がアクセスされる。この同時処理は、液晶制御部100から出力されるLCD RD RD信号をバス制御部メモリ管理部101経由で受信することによって同期がとられる。ここで、データが全て"0"又は全て"1"であれば不一致信号"LI"が出力される。図2では、このこととVRAM103の4つのプレレン各々に対して行わ

れていることが示されている。モード判定部113ではこれらの一致信号が、全フレームにわたって出力されているのか、又は一部でも不一致信号が出力されているのかをFRM信号と同期して判定する。

【0043】そして、全て一致信号のときは処理モードが2値モードであり、不一致信号が存在するときは処理モードが階調モードであると判定される。なお、処理モードのデフォルトは階調モードとしている。

【0044】VRAM書き込み(WR)データ比較回路114では、VRAM103にその書き込み済みのデータ(D0~D7)をVRAM103への書き込みが完了するタイミングを契機として同様に比較して階調データを書き込み時には、モード解除信号をモード判定部113へ送り、2値モードから階調モードに戻す。このタイミングは、バス制御部メモリ管理部101が発行するVRAMへの書き込み命令(VRAM WR)を検知することによって知ることができ、なお、1画面データ比較部112は、処理モードが2値モードに移行すればモード解除信号が入力されるまで、データ比較動作を停止する。

【0045】さて、図1で示した表示データ制御部に入力されるモード選択信号が2値モードとなると、クロック切換部110によってシーケンサ制御部の階調信号部102へのクロック供給は停止し、バス制御部メモリ管理部101へのクロックは低い周波数のクロック(CLK1)が送られる。このとき、高い周波数のクロック(CLK0)は発振そのものを停止させる。それと共に、バス制御部メモリ管理部101では、VRAM103に対するメモリアクセスを1メモリアクセスについてのみ実行する。なぜなら、前述のように画像データが2値データの場合、4プレレン共に同じ画像データが格納されているからである。その読み出された2値データは、バス制御部メモリ管理部101からデータ選択部111を通して階調モード100へ転送される。これに対して、処理モードが階調モードであるなら画像データはVRAM103から階調信号部102で階調データはVRAM103から階調信号部102で階調データが格納された後、データ選択部111を通して液晶制御部100へ転送される。

【0046】従って本実施例に従えば、画像データが2値データであるときは、高周波数のクロックで動作する階調信号部を停止させ、シーケンサ制御部の動作周波数を下げることによって消費電力を削減することができ、

【0047】上述の実施例では4プレレンデータ構造のデータの最低階調と最高階調のみを用いることを前提として、また、モード選択信号は表示データ制御部の外部にあるモード判定回路から供給されるとして説明したが、本発明はこれに限定されるものではなく、2値画像表現を従来技術で説明した階調信号部102のカラータンブル105の出力を2値とするとともに、モード選択信号を階調信号部内部から発生さ

(5)

【0030】また他の発明によれば、電池を電源として動作し、異なる複数の媒体に対してデータを入力出力する入出力手段を備えた携帯型情報処理装置であって、前記異なる複数の媒体に対するデータの入出力動作の状態を一定の電力に変換して供給する変換手段と、前記検出手段によって検出された前記異なる複数の媒体に対するデータの入出力動作の状態に基づいて、前記入出力手段への電力供給を制御する電力供給手段と、前記検出手段によって検出された前記異なる複数の媒体に対するデータの入出力動作の状態に基づいて、前記変換手段による変換の効率を最適化する携帯型情報処理装置を有する。

【0031】また他の発明によれば、種々の情報を入力して処理する携帯型情報処理装置であって、前記情報を入力する入力手段と、前記入出力手段に入力信号を入力する入力線と、前記入出力手段に対して、前記入出力手段が動作するよう電源部から電源を供給する電源供給線と、前記入出力手段の接地をとる接地線と、前記入出力線と前記電源供給線との間、及び、前記入出力線と前記接地線との間に各々接続された静電気による誤動作防止のための静電気を逃がす比較的小容量のコンデンサとを有することを特徴とする携帯型情報処理装置を備える。

【0032】【作用】以上の構成により本発明は、入力画像データを2値画像表示するなら相対的に低い周波数のクロックを用いて表示手段への画像表示を行い、入力画像データを階調画像表示するなら相対的に高い周波数のクロックを用いて表示手段への画像表示を行うように制御するよう動作する。

【0033】また他の発明によれば、電池の残容量に基づいて、表示手段への画像データの転送速度を変化させるよう動作する。

【0034】また他の発明によれば、異なる複数の媒体に対するデータの入出力動作の状態に基づいて、入出力手段に対する電力供給を制御するとともに変換手段による電池電力の変換の効率が最適になるよう制御する。

【0035】また他の発明によれば、入力線と電源供給線との間、及び、入力線と接地線との間に各々コンデンサとを設けて静電気を逃がすよう動作する。

【実施例】以下添付図面を参照して本発明の好適な実施例を詳細に説明する。

【0037】ここでは従来技術に対応して4つの観点から実施例を考える。

【0038】(1)階調表現をもった画像表示に関する電力消費の削減(図1~図6)

図1は、本実施例に従う階調表示用のグラフィックコントローラの表示データ制御部の構成を示すブロック図である。ただし、説明を簡単にするために図23で示した

作クロックを遅くして消費電力を下げる方法が有効であるが、LCDへの転送クロックやフレーム周波数が一定であるために、それらの調整は不可能であった。

【0025】(3)スタンバイモード、給電停止による消費電力削減に関して

【0026】(4)静電気による誤動作の防止に関して

【0027】本発明は上記従来例が抱えていた種々の問題点に鑑みてなされたもので、装置の消費電力を削減し、また、バッテリー電力を効率的に利用することによって長時間の動作が可能で、バッテリーの残容量が低下したときにもバッテリー消費に影響を与えず、これを報知することが可能で、かつ、静電気による誤動作を防止することが可能な携帯型情報処理装置を提供することを目的とする。

【0028】【課題を解決するための手段】上記目的を達成するため本発明の携帯型情報処理装置は以下のよう構成からなる。即ち、2値画像データと階調画像データを表示手段に表示可能な携帯型情報処理装置であって、少なくとも2以上の周波数のクロックを発生するクロック部と、画像データを入力する入力手段と、前記入出力手段によって入力された前記画像データを2値画像表示するか、或は、階調画像表示するかを選択する選択手段と、前記選択手段による選択結果に基づいて、2値画像表示であるなら相対的に低い周波数のクロックを用いて前記表示手段への画像表示を行い、階調画像表示するなら相対的に高い周波数のクロックを用いて前記表示手段への画像表示を行うように制御する制御手段とを有することを特徴とする携帯型情報処理装置を備える。

【0029】また他の発明によれば、電池を電源として動作し、画像データを表示する携帯型情報処理装置であって、前記電池の残容量を検出する検出手段と、前記画像データを表示する表示手段と、前記検出手段によって検出された前記電池の残容量に基づいて、前記表示手段への前記画像データの転送速度を変化させる制御手段とを有することを特徴とする携帯型情報処理装置を備える。

え、負荷が重い時(信号S0がハイレベル"H"になる)にはH側に、負荷が軽い時(信号S0がローレベル"L"になる)にはL側に切り替わる。これによって、DC-DCコンバータ324の電圧変動率は負荷の大きさに依存して図17に示すような、電力(W)・効率(%)の関係曲線を得ることができる。従って、図17に示す関係に従えば、負荷が比較的小さいスタンバイモード1、2においても、高い電力変換効率を保つまま電圧を引き出すことができる。このことは、負荷が比較的小さい時には電池電源の消費を低く抑えることを意味している。

【0085】また、図16で説明した総線型DC-DCコンバータ以外に、昇降降圧可能なチョップアップのものを採用することも可能である。

【0086】なお以上の実施例ではI/O関係の構成要素の動作状態と、CPUとその周辺回路の動作状況から装置の負荷を推定してDC-DCコンバータの変換効率を高く維持する場合について説明したが、本発明はこれに限られるものではない。例えば、図18に示すように、DC-DCコンバータに電流検出部345を設け負荷に流れる電流を直接測定することで負荷を推定し、電流値が高い場合に負荷が重いと判断して、信号S0をハイレベル"H"にすることで、また、電流値が低い場合は負荷が軽いと判断して、信号S0をローレベル"L"にすることで高い電力変換効率を保つようにすることができる。また、電力変換効率を保つためにトランジスタやその駆動周波数を要するとしても、複数のDC-DCコンバータを用い、信号S0の値(3つ以上の値をもつことも可能)によって適切なDC-DCコンバータを選択するようにもできる。

(4) 電圧による誤動作の防止(図19~図21)
次に指などが上記3つの実施例において説明した情報処理装置に接触したり、近づいたりすることによって、静電気が装置内に伝えられた場合に、電圧によって引き起こされる誤動作を防止する回路について説明する。

【0087】図19は本実施例に従う誤動作防止回路の構成を示す回路図である。図19において、従来技術に比べて図29に示す回路と同じ構成要素については同じ参照番号を付して説明を省略する。また図19において、406a、406b、406cは半導体素子405の入力端子SIGINI、SIGIN2、SIGIN3に各々入力されるデジタルデータ入力線、408は半導体素子405の動作電源端子(VCC、例えばVCC=5V)に供給される動作電源供給線、409a、409b、409cはデジタルデータ入力線406a、406b、406c各々と接地線(GND)407との間のコンデンサ、410a、410b、410cはデジタルデータ入力線406a、406b、406c各々と動作電源供給線408との間のコンデンサである。

【0088】以上の構成において、例えば、時間設定レジスタ336にHDDユニット305のスタバイモードに移行する時刻として直後にI/O動作が発生した時刻+1分を設定しておく、HDDユニット305に対してI/Oが1分以内に発生しないとき、比較回路337はこれを検出してCPU301に対して割り込み信号(VI)を発生させると共に、I/O電源制御部339に対してHDDユニット305に対する電源供給(VI)を停止する。これに対して、HDDユニット305に対してI/Oが1分以内に発生すると、引きつづき電源供給(FDDユニット307、通信ユニット307、LCD表示部311、キーボード313)に対しても行われる。

【0089】図15は装置の構成要素の動作状況とDC-DCコンバータ324の素子定数の変更を制御する信号S0の値及び装置の消費電力の関係を示した図である。図15に従えば、装置の各構成要素全てが動作状態(図中にOで示されている)にあるなら信号S0の値はハイレベル"H"となり、消費電力は定格電力となる。また、HDDユニット305或はFDDユニット306が動作停止状態(図中にXで示されている)にあるなら信号S0の値はハイレベル"L"となる。さらに、HDDユニット305、FDDユニット306、及び、キーボード313が動作停止状態にあるなら信号S0の値はローレベル"L"になり、消費電力はスタンバイモード2となる。さらにI/O関係の各構成要素が動作停止状態にあるなら、CPUとその周辺回路へのクロック供給が停止されているなら、信号S0の値はローレベル"L"で、消費電力はスタンバイモード1となる。

【0090】さて次に、上記のような動作条件に対応したDC-DCコンバータ324の動作について説明する。

【0091】図16は総線型DC-DCコンバータ324の詳細な構成を示すブロック図である。図16において、341は2次元に自割断するトランス定数を2割増したトランス、542はトランス341の1次側を駆動するトランジスタ、343はトランジスタ342の駆動周波数及びオンデュティ(ON DUTY)を制御する制御IC、344は信号S0によって切り替わる半導体スイッチ(SW)である。

【0092】スイッチ(SW)344は信号S0によって、トランス341のタップのH側とL側とを切り換

レーム周波数は78Hz程度となり良好な画質が得られ、高精細な画面を生かした作業が可能となる。また、セレクト211の出力値が"1"であるなら、LCD表示画面のフレーム周波数は52Hz程度となり、画面はややちらつく程度となる。さらに、セレクト211の出力値が"2"であるなら、LCD表示画面のフレーム周波数は39Hz程度となる。

【0076】最後に処理はステップS313において、タイマ216を再設定して処理を終了する。

【0077】従って本実施例に従えば、アプリケーションプログラムの実行開始時に駆送クロック周波数切り換え制御プログラム(IFLG)に値を設定することによって、各アプリケーションプログラムの特徴に合わせてユーザの操作性を犠牲にすることなく、効果的に消費電力の削減と電源電圧低下のユーザへの通知を行うことができる。

【0078】(3) スタンバイモード、給電停止による消費電力削減(図13~図18)
図13は本実施例に従うLCDを備えた携帯型情報処理装置の構成を示すブロック図である。図13に示す装置において、図27に示した従来例の装置と同じ装置構成要素には同じ装置参照番号を付して説明を省略する。図13において、326はHDDユニット305を制御するHDDコントローラ、316はFDDユニット307を制御するFDDコントローラ、318は通信ユニット309を制御する通信コントローラ、320はLCD311の表示制御を行うLCDコントローラ、322はキーボード313からの入力された情報を得るキーボードコントローラ、324は電源部315からの電圧を一定電圧に変換するDC-DCコンバータ、328は本装置のI/O関係の構成要素に関する電源供給(図中のV1~V5)の制御とDC-DCコンバータ324の素子定数の変更制御を信号S0によって行うパワーマネジメント部である。

【0079】図14はパワーマネジメント部328の詳細な構成を示すブロック図である。図14において、336は各I/O関係の構成要素(ここでは、HDDユニット305、FDDユニット307、通信ユニット307、LCD表示部311、キーボード313)が対応する)のスタバイモードに移行する時間を設定する時間設定レジスタ(REG)、337は上記各I/O関係の構成要素にI/O(入出力動作)が発生しなくなると経過した時間(I/O動作発生経過時間)と時間設定レジスタ(REG)336に設定された時間とを比較する比較回路、338はI/O動作発生経過時間を計測するタイマ、339は各I/O関係の構成要素への電源供給を制御するI/O電源制御部、330はCPU301やその周辺機器(メモリー302や周辺IC303など)が最大周波数(例えば、20MHz)で動作しているか、或は、CPUへのクロック供給が停止しているかを示す

【0069】さて次に、A/Dコンバータ215から得た電圧のデジタル値(以下V_Dという)が読み込まれた時の駆送クロック周波数の切り換え制御処理について、詳細に説明する。その読み込みは、タイマ216によるCPU割り込みが契機となる。

【0070】CPU割り込みが発生すると処理はステップS301において、A/Dコンバータ215に交換開始信号を出力して電池電圧のA/D変換を指示する。ステップS302ではA/D変換終了待ちとなり、A/D変換終了が終了すると、処理はステップS303に進み、A/Dコンバータ215から変換値(経数値V_D)を読み込む。

【0071】ステップS304では、V_Dの値が5、5以上であるかどうかを調べる。ここで、V_D ≧ 5、5Vであるなら処理はステップS306に進み、RAM214よりIFLGの値を読み込む。これに対して、V_D < 5、5Vであるなら、処理はステップS305に進み、電池の消耗が激しくこれ以上の変換動作は不可能であると判定して内部メモリの退避・保存を行う不可動状態に装置動作を終了する。さて、ステップS307では読み込んだIFLGの値を調べる。ここで、IFLG=0(駆送クロック周波数切り換え可能)であるなら処理はステップS308に進み、IFLG=1(駆送クロック周波数切り換え不可)であるなら処理はステップS312に進む。

【0072】ステップS308ではV_Dの値が6、0V以上であるかどうかを調べる。ここで、V_D ≧ 6、0Vであるなら処理はステップS310に進み、さらに続けて、V_Dの値が6、5V以上であるかどうかを調べる。これに対して、V_D < 6、0Vであるなら、処理はステップS309に進み、V_Dの範囲が5、5 ≦ V_D < 6、0であるかと判断して、セレクト211に"2"の値を出力するよう指示して処理はステップS313に進む。

【0073】ステップS310において、V_D ≧ 6、5Vであるなら処理はステップS312に進み、V_D < 6、5であるなら処理はステップS311に進み、V_Dの値の範囲が6、0 ≦ V_D < 6、5であるかと判断して、セレクト211に"1"の値を出力するよう指示して処理はステップS313に進む。

【0074】処理がステップS312に進んだ場合、V_D ≧ 6、5Vである駆送クロック周波数切り換え不可であるので、セレクト211に"0"の値を出力するよう指示して処理はステップS313に進む。

【0075】さて、本実施例の場合以上の説明で用いたセレクト211の値が、図8及び図10で示した値に対応して考えると、A/D変換して出力されたV_Dの値と指示されたIFLGの値に従って、分周数が定められ駆送クロック周波数が変化する。この結果、セレクト211の出力値が"0"であるなら、LCD表示画面のフ

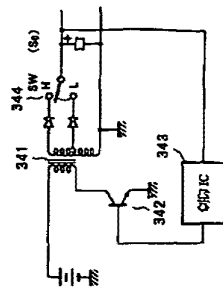
(12)

図である。
 【図24】図23に示す階層信号計算部の構成を示すブロック図である。
 【図25】入力画像データの処理タイミングを示すタイムチャートである。
 【図26】従来のLCDを搭載した携帯型情報処理装置の電源供給部と表示データ制御部の構成を示すブロック図である。
 【図27】従来のLCDを搭載した携帯型情報処理装置の一般的な構成を示すブロック図である。
 【図28】従来のDC-DCコンポジットの変換効率を示す電力(W) - 効率(%)の関係曲線である。
 【図29】従来の起動防止回路の構成を示す回路図である。

【符号の説明】

- 1 CPU
- 2 クロック
- 3 CPUバス
- 100 液晶制御部
- 101 バス制御部/メモリ管理部
- 102 画像信号計算部
- 103 VRAM
- 104 画像バッファ
- 105 カラーテーブル
- 106 フレーム間引きテーブル
- 107 フレーム数カウンタ
- 108 シリアル/パラレル変換部
- 109 タイミング制御部
- 110 クロック切換部
- 111 データ選択部
- 112 1画素データ比較部
- 113 モード判定部
- 114 VRAM WRデータ比較部
- 115 テーブル判定部

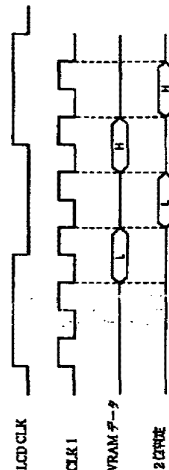
【図16】



【図8】電池電圧とLCD画面の画質との関係を示す図である。
 【図9】LCDを搭載した携帯型情報処理装置の電源供給部と表示データ制御部の別の実施例の構成を示すブロック図である。
 【図10】図9に示した装置の累積動作時間とLCD画面の画質との関係を示す図である。
 【図11】LCDへの画像データ転送の際の転送クロック周波数がCPU制御可能な携帯型情報処理装置の構成を示すブロック図である。
 【図12】図11で示した装置が実行する転送クロック周波数制御処理を示すフローチャートである。
 【図13】スタンバイモードへの移行や給電停止によって電力供給制御の可能な携帯型情報処理装置の構成を示すブロック図である。

【図14】図13に示すパワーマネージメント回路の詳細な構成を示すブロック図である。
 【図15】図13に示す装置の各構成要素の動作状況と信号S0の値及び装置の消費電力の関係を示した図である。
 【図16】絶縁型のDC-DCコンバータ324の詳細な構成を示す回路図である。
 【図17】DC-DCコンバータ324の変換効率を示す電力(W) - 効率(%)の関係曲線である。
 【図18】DC-DCコンバータ324の別の構成を示す回路図である。
 【図19】起動防止回路の構成を示す回路図である。
 【図20】起動防止回路の別の構成を示す回路図である。
 【図21】起動防止回路のさらに別の構成を示す回路図である。
 【図22】従来の階層実現のための画像信号とフレーム番号の関係を示す図である。
 【図23】従来のLCDを搭載した携帯型情報処理装置の階層表示用の表示データ制御部の構成を示すブロック図である。

【図6】



(11)

【0094】以上、いくつかの回路構成を示したが本実施例によれば、デジタル信号が入力される半導体素子405の入力端子前、接地線(GND)と入力端子との間、及び、動作電源供給線と入力端子との間に比較的小容量のコンデンサを接続することによって、入力デジタル信号の立ち上がり立ち下がりをまらせることができ、ノイズ信号の電流を逃がすことができる。
 【0095】尚、本発明は、複数の機器から構成されるシステムに適用しても良いし、1つの機器から成る装置に適用しても良い。また、本発明は、システム或は装置にプログラムを供給することによって達成される場合にも適用できることはいずれでもない。

【0096】

【発明の効果】以上説明したように本発明によれば、画像データを2値表示するときには低い周波数のクロックを用い、階調表示するときには高い周波数のクロックを用いるので、2値表示時の装置の消費電力を階調表示時のそれに比べて削減できるという効果がある。
 【0097】また他の発明によれば、電池の残容量に従って画像データの転送速度を変化させることができ、これによって表示画面の画質が変化するので、装置利用者に電池残容量を報知することができるという効果がある。
 【0098】また他の発明によれば、種々の媒体に対するデータ入出力動作の状態に従って入出力手段に対する電力供給を制御するとともに電池電力の変換効率を制御できるので、電池による装置の長時間使用が可能となるという効果がある。
 【0099】また他の発明によれば、比較的小容量のコンデンサによって入力信号を逃がすことができるので、入力信号の波形を歪ませることなく、起動動作電流を吸収することができる。

【図面の簡単な説明】

【図1】本発明の代表的な実施例であるLCDを搭載した携帯型情報処理装置の階層表示用の表示データ制御部の構成を示すブロック図である。
 【図2】モード信号選択回路の構成を示すブロック図である。
 【図3】携帯型情報処理装置の階調表示用の表示データ制御部の別の実施例の構成を示すブロック図である。
 【図4】階調信号計算部に2値/階調判定回路を備えた場合の構成を示すブロック図である。
 【図5】図3で示した2値判定回路の詳細な構成を示すブロック図である。
 【図6】2値判定処理のタイミングを示すタイムチャートである。
 【図7】LCDを搭載した携帯型情報処理装置の電源供給部と表示データ制御部の構成を示すブロック図である。

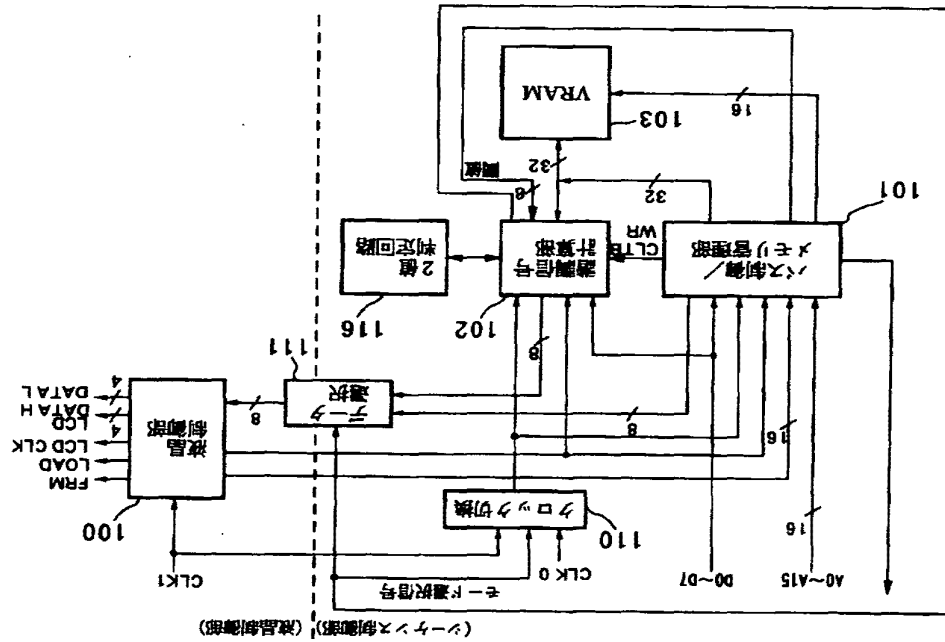
印加点403に火花放電された静電気がノイズは信号線404から種々の信号を帯びてGND線407やデジタルデータ入力線406a、406b、406cに伝えられる。従って、最終的にGND線407やデジタルデータ入力線406a、406b、406cに伝えられる静電気がによって引き起こされたノイズ信号は、その伝達経路に依存して、その振幅や位相はまちまちのものとなる。
 【0089】このような入力されたノイズ信号に対し、コンデンサ409a、409b、409cによってデジタルデータ入力線406a、406b、406cと動作電源供給線408との間に発生したノイズ信号の電流は逃がされ、またコンデンサ410a、410b、410cによってデジタルデータ入力線406a、406b、406cと接地線(GND)407との間に発生したノイズ信号の電流は逃がされることになる。

【0090】その結果、本実施例に従えば、図29で示した従来のコンデンサの静電容量が100pF程度必要であるのに対して、図19で示した回路のコンデンサ409a、409b、409c、410a、410b、410cの静電容量は各々、10pF程度でノイズ信号の電流を逃がすことができる。このため、静電容量を小さく保ちながらも、即ち、入力デジタル信号の立ち上がり立ち下がりをまらせることなく、ノイズ電圧レベルを上げるのが可能になる。
 【0091】さて、入力信号の波形を乱すことなく、効果的にノイズ信号の電流を逃がすことができる回路は、図19に示す回路に限定されるものではない。入力信号の性質、例えば、信号のオンオフのスウィッチング頻度に応じて、種々の回路構成をとることができる。

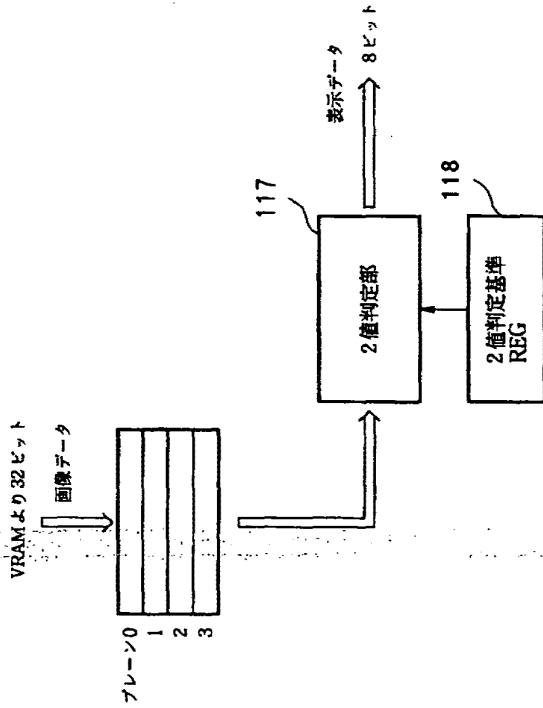
【0092】図20は、入力デジタル信号のオンオフのスウィッチング頻度が高い場合に於いては起動防止回路を示す回路である。図20において、431は動作電源供給線408と動作電源端子(VCC)との間に直列接続されたフェライトビーズ、432は接地線(GND)407とGND端子との間に直列接続されたフェライトビーズ、433はハイパスコンデンサである。この回路において、フェライトビーズ431は動作電源供給線408から半導体素子405に伝えられる高周波ノイズ電流を防ぐために、また、フェライトビーズ432は接地線(GND)407から半導体素子405に伝えられる高周波ノイズ電流を防ぐために用いられる。このフェライトビーズは高周波電流に対しては抵抗値が小さいので、入力回路全体の消費電力を増やさないという利点もある。

【0093】また、入力デジタル信号のオンオフのスウィッチング頻度が低い場合には、図21に示すように高周波フェライトビーズの代わりに安価な抵抗441を用いることによって、動作電源供給線408から半導体素子405に伝えられる高周波ノイズ電流を防ぐことができる。

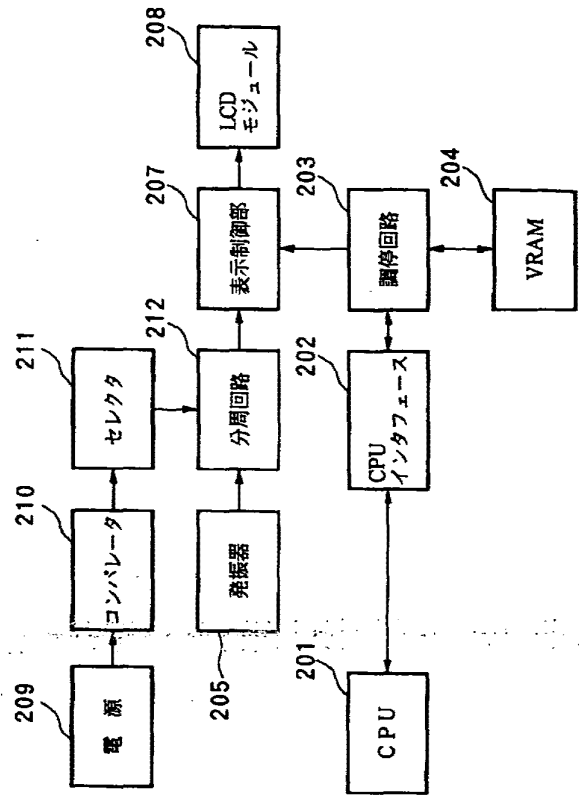
【図3】



【図5】

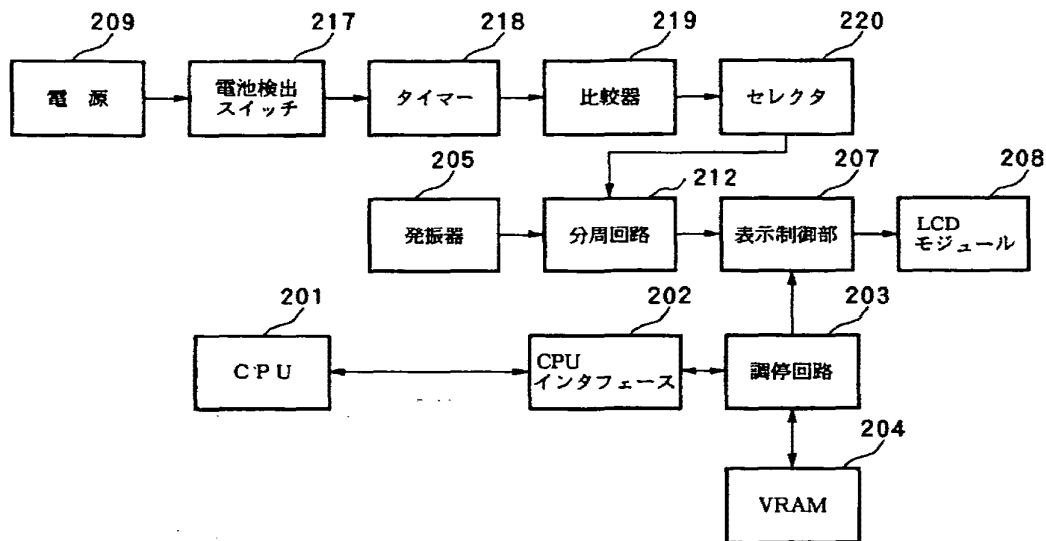


【図7】



電池電圧 (V)	セレクト	分周数	転送クロック周波数	フレーム周波数	画質
6.5 ~	0	2	3.0 MHz	78 Hz	良好
6.0 ~ 6.5	1	3	2.0 MHz	52 Hz	やや ちらつく
5.5 ~ 6.0	2	4	1.5 MHz	39 Hz	ちらつく

【図 8】



(17)

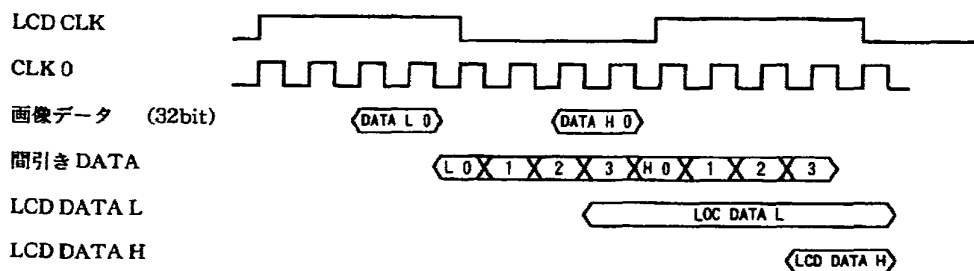
【図 9】

特開平06-119079

動作時間	セレクト	分周数	転送クロック周波数	フレーム周波数	画質
0 ~ 2h	0	2	3.0 MHz	78 Hz	良好
2 ~ 2.5h	1	3	2.0 MHz	52 Hz	やや ちらつく
2.5 ~	2	4	1.5 MHz	39 Hz	ちらつく

【図 10】

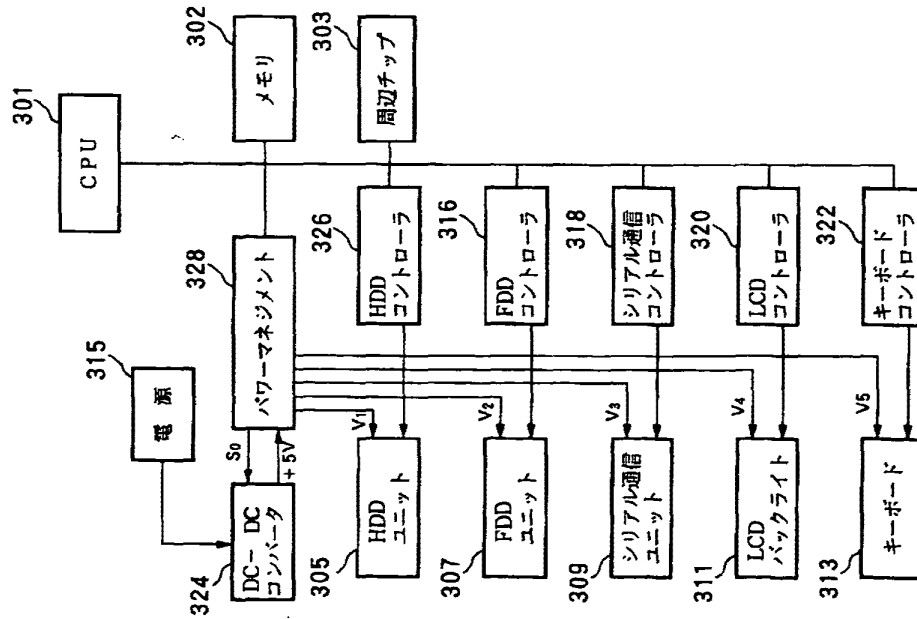
(18)



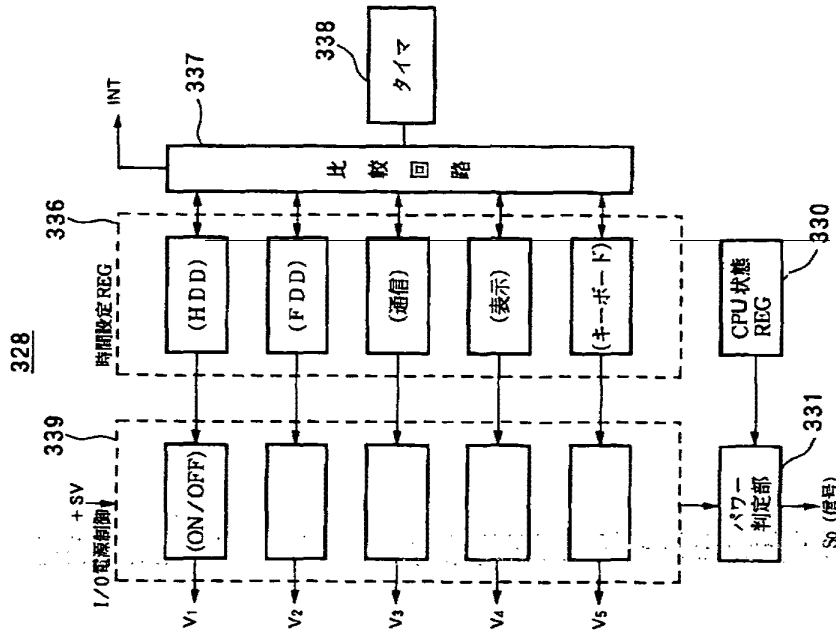
【図 25】

特開平06-119079

【図13】



【図14】

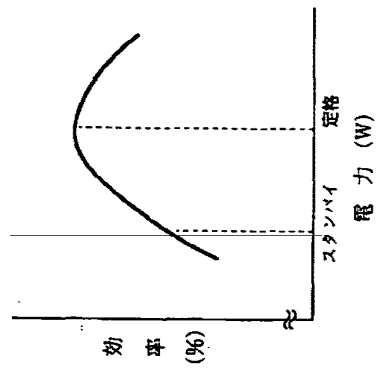


【図15】

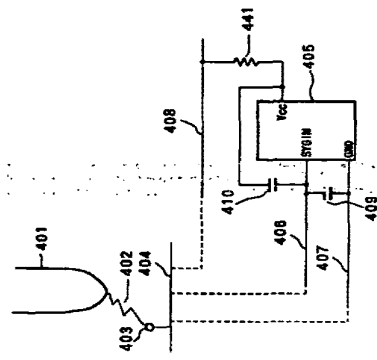
	S0 = 'H'		S0 = 'L'	
	定時	スタンバイ	スタンバイ	スタンバイ1
CPU+周辺	○	○	○	クロック停止
HDD	○	○	○	X
FDD	○	{ X or ○	X	X
通信	○	○	○	X
LCD	○	○	○	X
キーボード	○	○	X	X

(24)

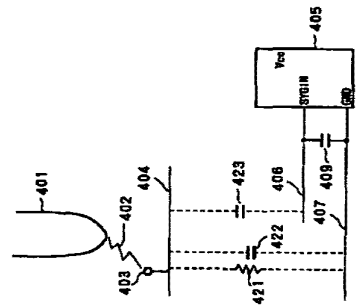
【図28】



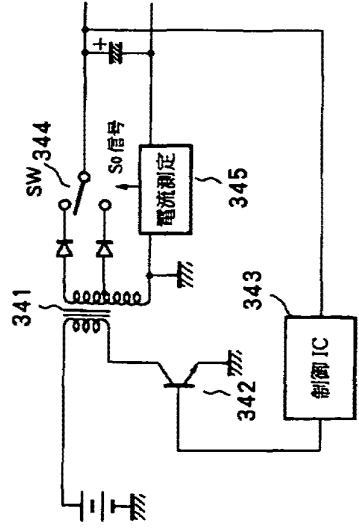
【図21】



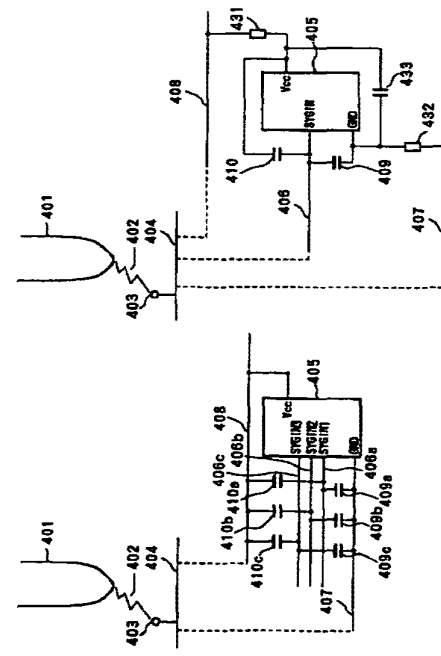
【図29】



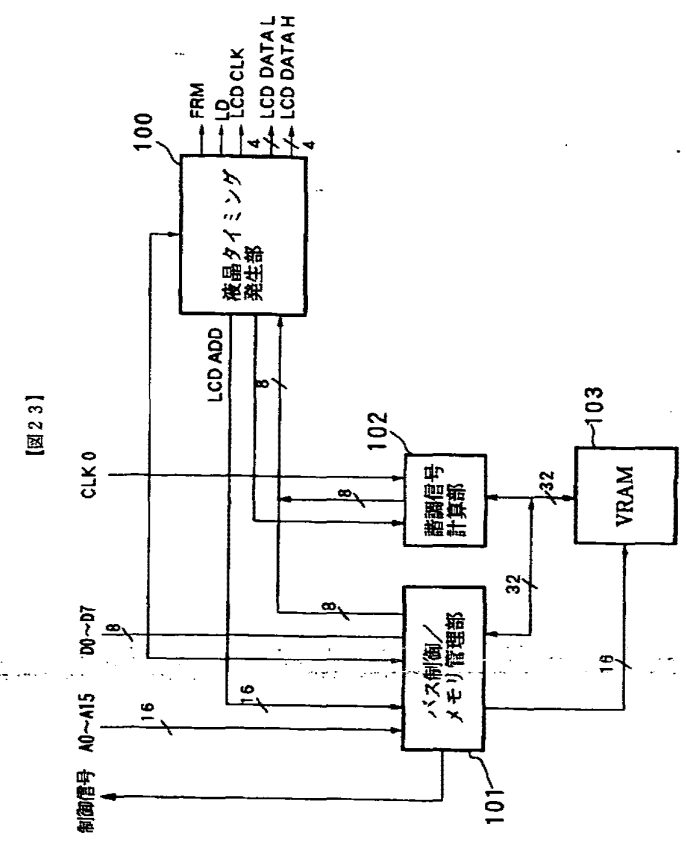
【図18】



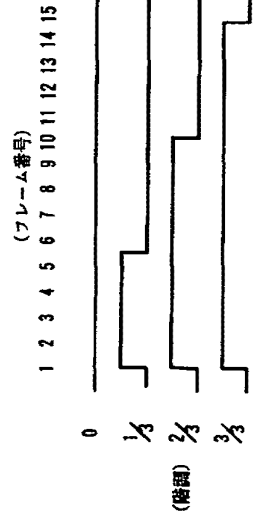
【図19】



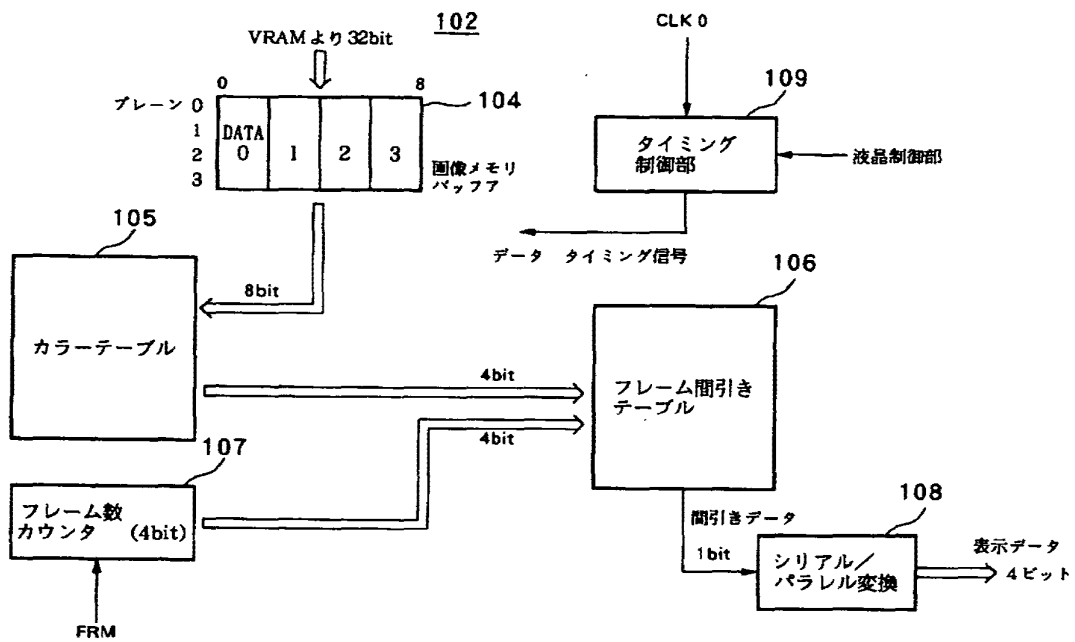
【図23】



【図22】



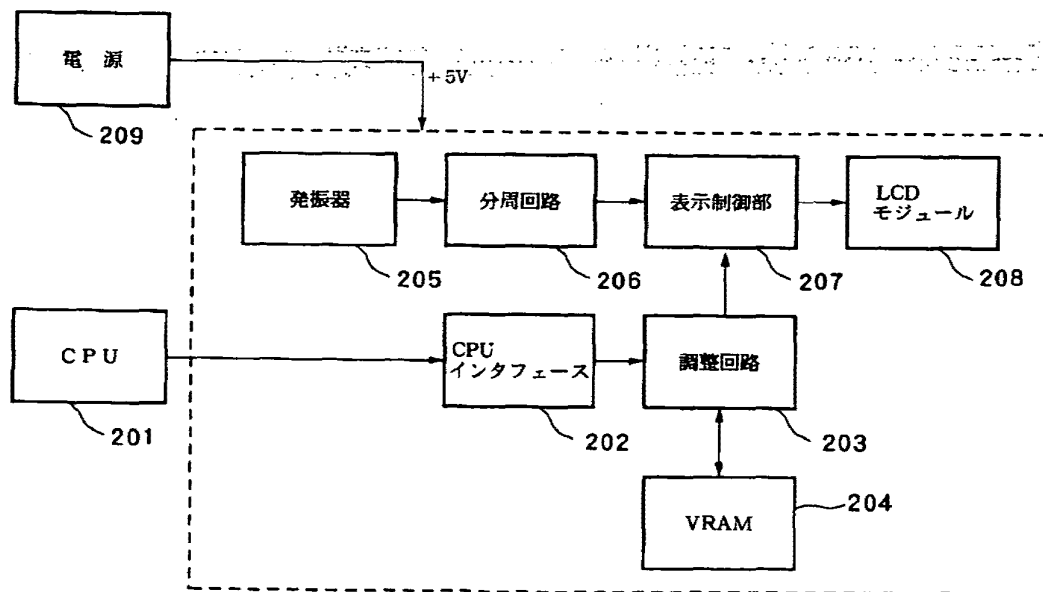
(23)



【図24】

(25)

特開平06-119079

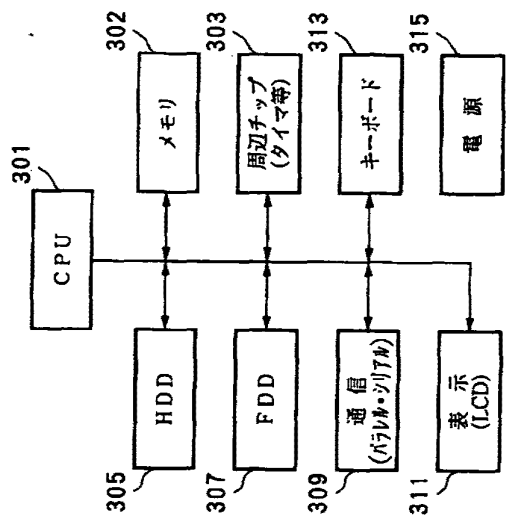


【図26】

(26)

特開平06-119079

【図27】



フロントページの続き

(51)Int. Cl. 5 識別記号 庁内整理番号 7165-5B FI G 0 6 F 1/00 3 3 3 C 技術表示箇所

(72)発明者 興 栄作 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72)発明者 砂川 伸一 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-149237

(43)Date of publication of application : 02.06.1998

(51)Int.Cl. G06F 1/32
G06F 1/08

(21)Application number : 08-309150

(71)Applicant : KYUSHU SYST
JOHO GIJUTSU
KENKYUSHO
MATSUSHITA
ELECTRIC IND CO
LTD

(22)Date of filing : 20.11.1996 (72)Inventor : KAI YASUSHI

BEST AVAILABLE COPY

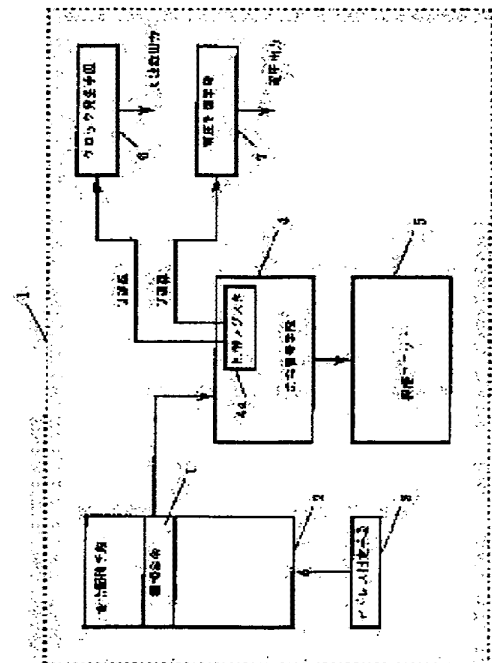
ISHIHARA TORU
YASUURA HIROTO

(54) SEMICONDUCTOR CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To control the power consumption of a semiconductor in accordance with the remaining capacity of a battery or the state of a load and to extend the application time of a portable electronic equipment.

SOLUTION: Normally a machine instruction I stored in an instruction storing means 2 is decoded in an instruction decoding means 4 and arithmetic processing is executed by a function unit 5, but when the decoded machine instruction I is a previously determined power consumption controlling instruction, operation voltage and clock frequency are changed by controlling a voltage control means 7 for transforming voltage inputted from the outside of the semiconductor and supplying the transformed voltage to respective



circuits in the semiconductor and a clock generation means 6 for supplying clocks to respective circuits in the semiconductor. Since the means for controlling power consumption based on a program is included, accurate control for power consumption can be executed.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本電気株式会社 (JP) (22) 公開特許公報 (A) 特開平10-149237
 (49) 公開日 平成10年(1998)6月2日

(51) Int. Cl.
 G 06 F 1/32 1/06
 G 06 F 1/00 3 3 2 Z
 1/04 3 2 0 A

請求項 未請求 請求項 3 OL (全 7 頁)

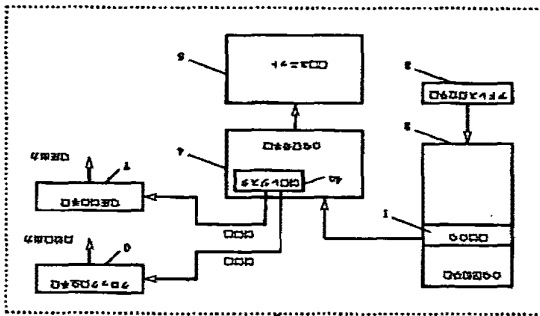
- (21) 出口番号 特許第8-309150
- (22) 出口日 平成8年(1996)11月20日
- (71) 出口人 598134387 財団法人九州システム技術研究所
- (71) 出口人 000009321 福岡市早良区百道浜二丁目1番22号
- 後下口郵便株式会社
- 大塚洋行株式会社 大手門10085号地
- (72) 発明者 甲斐 昌司
- 福岡市早良区百道浜2丁目1番22号 財団
- 法人 九州システム技術研究所内
- (72) 発明者 石原 亨
- 福岡市早良区百道浜1-42-5-335
- (72) 発明者 安口 良人
- 福岡市早良区百道浜4丁目1番10の403
- (74) 代理人 弁理士 小畑 益 (外1名)

(54) 【発明の名称】 半導体回路

(57) 【要約】

【課題】 電池の残量や負荷の状況に応じて半導体の消費電力を制御し、携帯電子機器の使用時間を長くすること。

【解決手段】 通常は、命令記憶手段2に記憶した機械命令1を命令復号手段4で復号し、機械ユニット5で演算処理を行うが、復号した機械命令2が予め決められた消費電力制御用の命令である場合、半導体外部から入力した電圧を変圧して半導体内部の各回路に供給する電圧制御手段7と、半導体内部の各回路にクロック供給するクロック発生手段6とを制御して動作電圧およびクロック周波数を変化させる。このようにプログラムから消費電力を制御する手段を設けることで、きめ細かい消費電力制御を行うことを可能とする。



BEST AVAILABLE COPY

(2)

【特許請求の範囲】
 【請求項1】 機械命令を記憶する記憶手段と、前記記憶手段に記憶した機械命令を復号して制御信号を出力する命令復号手段と、

前記命令復号手段の出力する制御信号を保持する制御信号保持手段と、

前記制御信号保持手段の出力する制御信号に依り出力電圧を制御する電圧制御手段と、

前記制御信号保持手段の出力する制御信号に依りクロック出力の周波数を制御するクロック発生手段とを備えており、

前記機械命令に依り前記半導体回路の動作電圧と動作周波数を変化させることを特徴とする半導体回路。

【請求項2】 前記機械命令が、電圧と動作周波数を制御するために予め定められた機械命令であることを特徴とする請求項1記載の半導体回路。

【請求項3】 前記機械命令が、データ転送命令であることを特徴とする請求項1記載の半導体回路。

【請求項4】 前記機械命令が、データ転送命令であることを特徴とする請求項1記載の半導体回路。

【請求項5】 前記機械命令が、データ転送命令であることを特徴とする請求項1記載の半導体回路。

【請求項6】 前記機械命令が、データ転送命令であることを特徴とする請求項1記載の半導体回路。

【請求項7】 前記機械命令が、データ転送命令であることを特徴とする請求項1記載の半導体回路。

【請求項8】 前記機械命令が、データ転送命令であることを特徴とする請求項1記載の半導体回路。

【請求項9】 前記機械命令が、データ転送命令であることを特徴とする請求項1記載の半導体回路。

【請求項10】 前記機械命令が、データ転送命令であることを特徴とする請求項1記載の半導体回路。

【請求項11】 前記機械命令が、データ転送命令であることを特徴とする請求項1記載の半導体回路。

【請求項12】 前記機械命令が、データ転送命令であることを特徴とする請求項1記載の半導体回路。

【請求項13】 前記機械命令が、データ転送命令であることを特徴とする請求項1記載の半導体回路。

【請求項14】 前記機械命令が、データ転送命令であることを特徴とする請求項1記載の半導体回路。

【請求項15】 前記機械命令が、データ転送命令であることを特徴とする請求項1記載の半導体回路。

【請求項16】 前記機械命令が、データ転送命令であることを特徴とする請求項1記載の半導体回路。

【請求項17】 前記機械命令が、データ転送命令であることを特徴とする請求項1記載の半導体回路。

【請求項18】 前記機械命令が、データ転送命令であることを特徴とする請求項1記載の半導体回路。

【請求項19】 前記機械命令が、データ転送命令であることを特徴とする請求項1記載の半導体回路。

し、イネーブル信号によりクロック信号の伝搬をオン/オフする方式であり、新たにデータを保持する必要がある場合に、レジスタのスライシングを行わないようにす。これを用いて、一定の期間だけ使用しないことが予想されている回路ブロックについて、クロックを入力しないことで回路の不必要なスライシング動作を停止させて消費電力の低下を図っている。

【0005】 ゲーテッドクロック方式の回路をプログラムで制御するためには、アンド素子を入力するクロックの制御信号を専用の制御レジスタなどから供給するようにし、専用の命令あるいはデータ転送命令により制御レジスタをセット/リセットすることで実現できる。

【0006】 2つ目は動作周波数を制御する方式である。電池の残量や負荷の状況に応じてクロック発生器の出力する周波数を切替えることで消費電力を制御する。このクロック発生器としては、異なる周波数を発生するクロック・ジェネレータの出力を選択する方法、VCO(電圧制御発生器)を用いる方法などがある。また制御の方法として、第1の方法と同様に、命令あるいはデータ転送命令を用いて制御レジスタのフラグを設定することで、任意の周波数を発生することが可能となる。

【0007】 さらに3つ目の方法として、特開平5-210433号公報に記載されているような消費電力制御用の専用回路を設けて、システムを構成する各半導体の電圧を個々に制御する方法がある。

【0008】 【発明が解決しようとする課題】 しかしながら、上述した1つ目の方法、すなわち、ゲーテッドクロック方式では、回路動作のオン/オフの制御しきれないため、負荷の状況に応じて処理能力を随時変更することは困難であった。

【0009】 2つ目の方法、すなわち、動作周波数を制御する方式であれば、この問題は解消されるが、電圧2乗が消費電力に比例することから、周波数の制御だけでは低消費電力化は不十分であった。

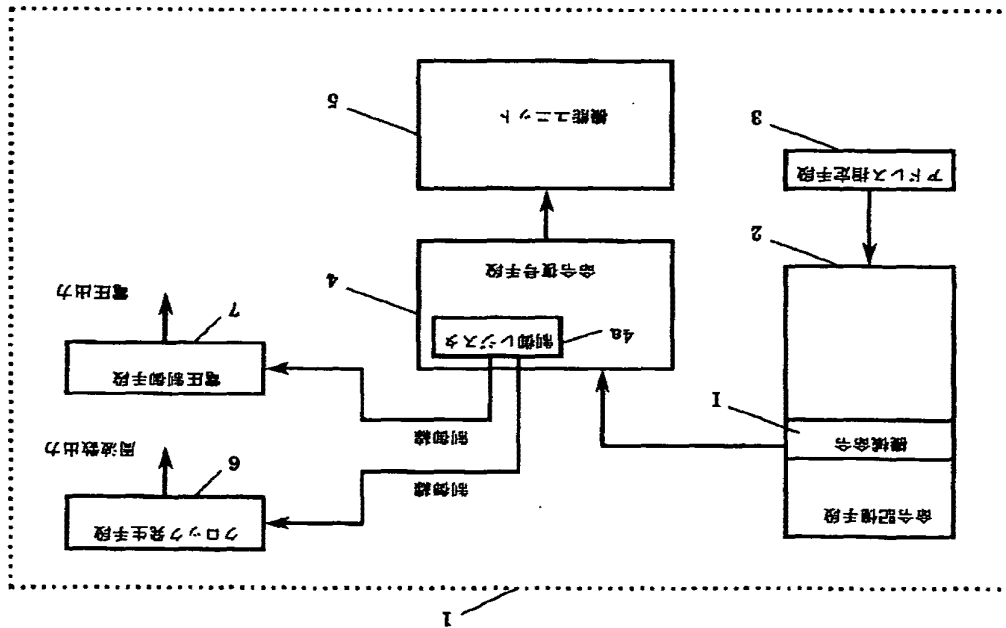
【0010】 さらに、電圧の制御を行えるようにしたのが3つ目の方法であるが、これは電力制御用の回路を専用で設けて、システムを構成する各ブロック単位で電圧や周波数を制御するものであるため、ハードウェアが増加するという問題があり、また、アプリケーション・プログラムと電力制御用のプログラムが独立に動作することから、同一アプリケーション中の負荷の状況に応じて、きめ細かく電力消費を抑えることが困難である問題を抱えている。

【0011】 本発明は上記問題点に鑑み、簡易なハードウェアでアプリケーションプログラムから半導体回路の電力消費量を制御することを目的とする。

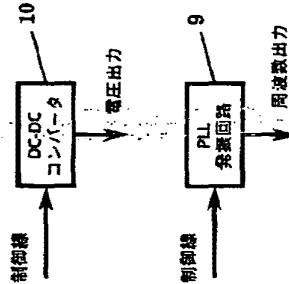
【0012】 【課題を解決するための手段】 上記問題点を解決する第1の発明は、機械命令を記憶する記憶手段と、前記記憶

【符号の説明】
 ドレス指定手段、5…機能ユニット、6…クロック発生手段、7…電圧制御手段、8…制御レジスタ、1…機械命令
 1…半導体回路、2命令記憶手段、3…アドレス指定手段、4…命令復号手段、4 a…制御レジスタ、4 b…7
 段、4…命令復号手段、4 a…制御レジスタ、4 b…7

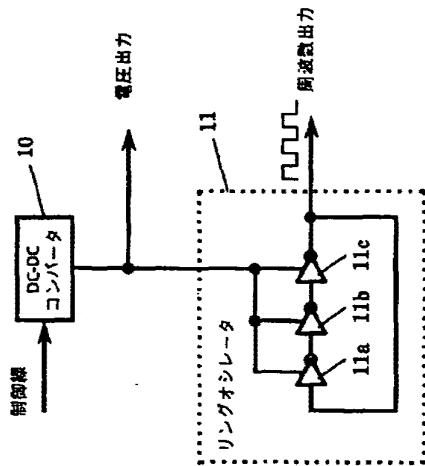
【図1】



【図2】



【図3】



【図5】

