



UNITED STATES PATENT AND TRADEMARK OFFICE

49

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
10/251,755	09/23/2002	Hitoshi Endo	OKI.396	4191

20987 7590 03/10/2005
VOLENTINE FRANCOS, & WHITT PLLC
 ONE FREEDOM SQUARE
 11951 FREEDOM DRIVE SUITE 1260
 RESTON, VA 20190

EXAMINER

KIM, HAROLD J

ART UNIT	PAPER NUMBER
2182	

2182

DATE MAILED: 03/10/2005

Please find below and/or attached an Office communication concerning this application or proceeding.



UNITED STATES DEPARTMENT OF COMMERCE

U.S. Patent and Trademark Office

Address : COMMISSIONER FOR PATENTS

P.O. Box 1450

Alexandria, Virginia 22313-1450

APPLICATION NO./ CONTROL NO.	FILING DATE	FIRST NAMED INVENTOR / PATENT IN REEXAMINATION	ATTORNEY DOCKET NO.
---------------------------------	-------------	---	---------------------

EXAMINER

ART UNIT	PAPER
----------	-------

03032005

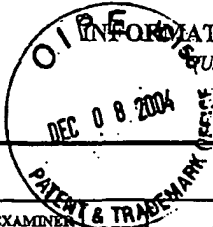
DATE MAILED:

Please find below and/or attached an Office communication concerning this application or proceeding.

Commissioner for Patents

Attached the IDS filed on 11/10/2004.

26



Docket Number (Optional) OKI.396	Application Number 10/251,755
Applicant(s) Hitoshi Endo	
Filing Date September 23, 2002	Group Art Unit 2182

U.S. PATENT DOCUMENTS

EXAMINER INITIAL	REF	DOCUMENT NUMBER	DATE	NAME	CLASS	SUBCLASS	FILING DATE IF APPROPRIATE

U.S. PATENT APPLICATION PUBLICATIONS

EXAMINER INITIAL	REF	DOCUMENT NUMBER	DATE	NAME	CLASS	SUBCLASS	FILING DATE IF APPROPRIATE

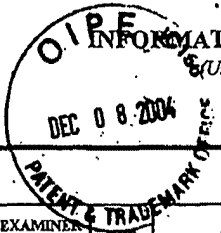
FOREIGN PATENT DOCUMENTS

	REF	DOCUMENT NUMBER	DATE	COUNTRY	CLASS	SUBCLASS	Translation	
							YES	NO
<i>NR</i>	A	11-194849	07/21/99	Japan			✓	
	B	11-073237	03/16/99	Japan			✓	
	C	2001-238190	08/31/01	Japan			✓	
	D	09-062397	03/07/97	Japan			✓	
<i>NR</i>	E	06-217049	08/05/94	Japan			✓	

OTHER DOCUMENTS (Including Author, Title, Date, Pertinent Pages, Etc.)

EXAMINER <i>Harold K.</i>	DATE CONSIDERED <i>3/10/2005</i>
------------------------------	-------------------------------------

EXAMINER: Initial if citation considered, whether or not citation is in conformance with MPEP Section 609; Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

	Docket Number (Optional) OKI.396	Application Number 10/251,755
	Applicant(s) Hitoshi Endo	
	Filing Date September 23, 2002	Group Art Unit 2182

U.S. PATENT DOCUMENTS

EXAMINER INITIAL	REF	DOCUMENT NUMBER	DATE	NAME	CLASS	SUBCLASS	FILING DATE IF APPROPRIATE

U.S. PATENT APPLICATION PUBLICATIONS

EXAMINER INITIAL	REF	DOCUMENT NUMBER	DATE	NAME	CLASS	SUBCLASS	FILING DATE IF APPROPRIATE

FOREIGN PATENT DOCUMENTS

	REF	DOCUMENT NUMBER	DATE	COUNTRY	CLASS	SUBCLASS	Translation	
							YES	NO
nk	F	2000-091976	03/31/00	Japan			✓	
nk	G	2000-116887	04/25/00	Japan			✓	
nk	H	2002-182776	06/26/02	Japan			✓	

OTHER DOCUMENTS (Including Author, Title, Date, Pertinent Pages, Etc.)

EXAMINER <i>Arnold G.</i>	DATE CONSIDERED 3/10/2005
------------------------------	------------------------------

EXAMINER: Initial if citation considered, whether or not citation is in conformance with MPEP Section 609; Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), to: **Mail**

**Mail Stop ISSUE FEE
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450
or Fax (703) 746-4000**

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

20987 7590 09/14/2004

VOLENTINE FRANCOS, & WHITT PLLC
ONE FREEDOM SQUARE
11951 FREEDOM DRIVE SUITE 1260
RESTON, VA 20190



Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (703) 746-4000, on the date indicated below.

(Depositor's name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
-----------------	-------------	----------------------	---------------------	------------------

10/251,755 09/23/2002 Hitoshi Endo OKI.396 4191

TITLE OF INVENTION: SYSTEM LSI

12/10/2004 GWORDFE 00000045 500238 10251755

01 FC:1504 300.00 OP
02 FC:8001 15.00 OP
03 FC:1501 1370.00 OP

APPLN. TYPE	SMALL ENTITY	ISSUE FEE	PUBLICATION FEE	TOTAL FEE(S) DUE	DATE DUE
-------------	--------------	-----------	-----------------	------------------	----------

nonprovisional NO \$1330 1370 \$300 \$1630 12/14/2004

EXAMINER	ART UNIT	CLASS-SUBCLASS
----------	----------	----------------

KIM, HAROLD J 2182 713-322000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).

2. For printing on the patent front page, list
- (1) the names of up to 3 registered patent attorneys or agents OR, alternatively,
 - (2) the name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.

VOLENTINE FRANCOS & WHITT, PLLC
1 _____
2 _____
3 _____

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE

(B) RESIDENCE: (CITY and STATE OR COUNTRY)

Oki Electric Industry Co., Ltd.

Tokyo, Japan

Please check the appropriate assignee category or categories (will not be printed on the patent): Individual Corporation or other private group entity Government

4a. The following fee(s) are enclosed:

- Issue Fee
- Publication Fee (No small entity discount permitted)
- Advance Order - # of Copies 5

4b. Payment of Fee(s):

- A check in the amount of the fee(s) is enclosed.
- Payment by credit card. Form PTO-2038 is attached.
- The Director is hereby authorized by charge the required fee(s), or credit any overpayment, to Deposit Account Number 50-0238 (enclose an extra copy of this form).

5. Change in Entity Status (from status indicated above)

- a. Applicant claims SMALL ENTITY status. See 37 CFR 1.27.
- b. Applicant is no longer claiming SMALL ENTITY status. See 37 CFR 1.27(g)(2).

The Director of the USPTO is requested to apply the Issue Fee and Publication Fee (if any) or to re-apply any previously paid issue fee to the application identified above. NOTE: The Issue Fee and Publication Fee (if required) will not be accepted from anyone other than the applicant; a registered attorney or agent; or the assignee or other party in interest as shown by the records of the United States Patent and Trademark Office.

Authorized Signature Andrew J. Telesz, Jr.
Typed or printed name ANDREW J. TELESZ, JR.

Date 12-08-04
Registration No. 33,581

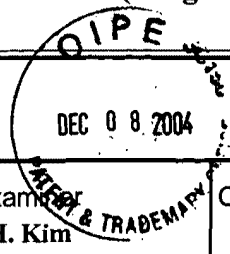
This collection of information is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMITTAL OF PAYMENT OF ISSUE FEE (Large Entity)
(37 C.F.R. 1.311)

Docket No.
OKI.396

Applicant(s): **Hitoshi Endo**



Application No. 10/251,755	Filing Date September 23, 2002	Examined by H. Kim	Customer No.	Group Art Unit 2182	Confirmation No. 4191
--------------------------------------	--	------------------------------	--------------	-------------------------------	---------------------------------

Invention: **SYSTEM LSI**

Mail Stop Issue Fee
COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, VA 22313-1450

Transmitted herewith are the following for the above-identified application.

- Issue Fee Transmittal Form PTOL-85
- Utility Fee: \$ 1370.00 Design Fee: _____ Plant Fee: _____
- Publication Fee: \$ 300.00
- A check in the amount of **\$1,685.00** is attached.
- The Director is hereby authorized to charge and credit Deposit Account No. **50-0238** as described below.
 - Charge the amount of
 - Credit any overpayment.
 - Charge any additional fee required.
- Payment by credit card. Form PTO-2038 is attached.

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

Signature

Dated: **December 8, 2004**

ANDREW J. TELESZ, JR.
REG. NO. 33,581

VOLENTINE FRANCOS & WHITT, P.L.L.C.
ONE FREEDOM SQUARE
11951 FREEDOM DRIVE, SUITE 1260
RESTON, VA 20190
TEL. NO. (703) 715-0870

CC:

Certificate of Transmission by Facsimile
This certificate may only be used if paying by deposit account.

I certify that this document and authorization to charge deposit account is being facsimile transmitted to the United States and Trademark Office (Fax No. _____) on _____ _____ (Date) _____ _____ Signature _____ _____ Typed or Printed Name of Person Signing Certificate

Certificate of Mailing by First Class Mail

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to "Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450" [37 CFR 1.8(a)] on _____ _____ (Date) _____ _____ Signature of Person Mailing Correspondence _____ _____ Typed or Printed Name of Person Mailing Correspondence



OKI.396

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of

Hitoshi Endo

Group Art Unit: 2182

Serial No.: 10/251,755

Examiner: H. Kim

Filed: September 23, 2002

Conf. No.: 4191

FOR: SYSTEM LSI

LETTER RESUBMITTING EARLIER FILED INFORMATION DISCLOSURE STATEMENT

U.S. Patent and Trademark Office
220 20th Street S.
Customer Window, **Mail Stop Issue Fee**
Crystal Plaza Two, Lobby, Room 1B03
Arlington, VA 22202

Date: December 8, 2004

Sir:

Enclosed please find copies of the Information Disclosure Statement and two (2) PTO-1449 forms filed on November 10, 2004. Also enclosed is a copy of a dated, stamped postcard receipt provided as evidence that the above noted Information Disclosure Statement was received by the U.S. Patent Office on November 10, 2004.

Applicant respectfully requests the Examiner to acknowledge that the Information Disclosure Statement has been received, and to confirm that the documents will be cited of record.

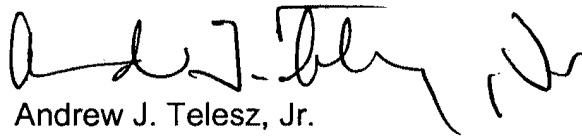
In the event that there are any outstanding matters remaining in the present application, please contact Andrew J. Telesz, Jr. (Reg. No. 33,581) at (703) 715-0870

in the Washington, D.C. area, to discuss these matters.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment for any additional fees that may be required, or credit any overpayment, to Deposit Account No. 50-0238.

Respectfully submitted,

VOLENTINE FRANCO & WHITT, P.L.L.C.



Andrew J. Telesz, Jr.
Registration No. 33,581

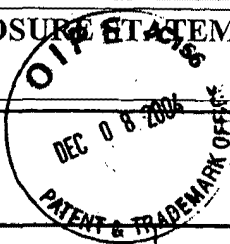
One Freedom Square
11951 Freedom Drive, Suite 1260
Reston, Virginia 20190
Telephone No.: (703) 715-0870
Facsimile No.: (703) 715-0877

- Enclosures:
- Copies of Information Disclosure Statement and two (2) PTO-1449 forms filed on November 10, 2004
 - Copy of dated, stamped postcard receipt

TRANSMITTAL OF INFORMATION DISCLOSURE STATEMENT
(Under 37 CFR 1.97(d))

Docket No.
OKI.396

In Re Application Of: Hitoshi Endo



Application No.	Filing Date	Examiner	Customer No.	Group Art Unit	Confirmation No.
10/251,755	September 23, 2002	H. Kim		2182	4191

Title: SYSTEM LSI

Address to:
Commissioner for Patents

The Information Disclosure Statement submitted herewith is being filed after the period specified in 37 CFR 1.97(c), and on or before payment of the issue fee, and is accompanied by the Statement as specified in 37 CFR 1.97(e) and the fee set forth in 37 CFR 1.17(p).

- A check in the amount of _____ is attached.
- Charge Deposit Account No. 50-0238 in the amount of \$180.00
- Payment by credit card. Form PTO-2038 is attached.

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

Certificate of Transmission by Facsimile*

I certify that this document and authorization to charge deposit account is being facsimile transmitted to the United States Patent and Trademark Office (Fax no. _____) on _____ (Date) _____ Signature _____ Typed or Printed Name of Person Signing Certificate

Certificate of Mailing by First Class Mail

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to "Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450" [37 CFR 1.8(a)] on _____ (Date) _____ Signature of Person Mailing Correspondence _____ Typed or Printed Name of Person Mailing Certificate
--

*This certificate may only be used if paying by deposit account.

Signature

Dated: November 10, 2004

ANDREW J. TELESZ, JR.
REG. NO. 33,581

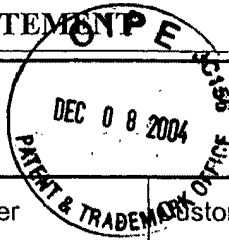
VOLENTINE FRANCO & WHITT, P.L.L.C.
ONE FREEDOM SQUARE
11951 FREEDOM DRIVE, SUITE 1260
RESTON, VA 20190
TEL. NO. (703) 715-0870

cc:

**STATEMENT UNDER 37 CFR 1.97(e) ACCOMPANYING
INFORMATION DISCLOSURE STATEMENT**

Docket No.
OKI.396

In Re Application Of: **Hitoshi Endo**



Application No. 10/251,755	Filing Date September 23, 2002	Examiner H. Kim	Customer No.	Group Art Unit 2182	Confirmation No. 4191
-------------------------------	-----------------------------------	--------------------	--------------	------------------------	--------------------------

Invention: **SYSTEM LSI**

COMMISSIONER FOR PATENTS:

This is a statement under the provisions of 37 CFR 1.97(e) in the above-identified application.

Check applicable statement herebelow:

Statement Under 37 CFR 1.97(e)(1)

- Each item of information contained in the accompanying Information Disclosure Statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the Information Disclosure Statement.

Statement Under 37 CFR 1.97(e)(2)

- No item of information contained in the accompanying Information Disclosure Statement was cited in a communication from a foreign patent office in a counterpart foreign application, and, to the knowledge of the undersigned person, after making reasonable inquiry, no item of information contained in the accompanying Information Disclosure Statement was known to any individual designated in 37 CFR 1.56(c) more than three months prior to the filing of the Information Disclosure Statement.

Signature

Dated: November 10, 2004

ANDREW J. TELESZ, JR.
REG. NO. 33,581

VOLENTINE FRANCO & WHITT, P.L.L.C.
ONE FREEDOM SQUARE
11951 FREEDOM DRIVE, SUITE 1260
RESTON, VA 20190
TEL. NO. (703) 715-0870

Certificate of Mailing by First Class Mail

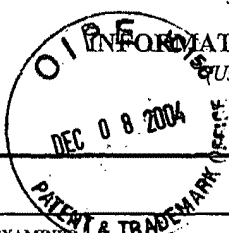
I certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to "Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450" [37 CFR 1.8(a)] on

(Date)

Signature of Person Mailing Correspondence

Typed or Printed Name of Person Mailing Correspondence

CC:



INFORMATION DISCLOSURE CITATION
(Use several sheets if necessary)

Docket Number (Optional) OKI.396	Application Number 10/251,755
Applicant(s) Hitoshi Endo	
Filing Date September 23, 2002	Group Art Unit 2182

U.S. PATENT DOCUMENTS

EXAMINER INITIAL	REF	DOCUMENT NUMBER	DATE	NAME	CLASS	SUBCLASS	FILING DATE IF APPROPRIATE

U.S. PATENT APPLICATION PUBLICATIONS

EXAMINER INITIAL	REF	DOCUMENT NUMBER	DATE	NAME	CLASS	SUBCLASS	FILING DATE IF APPROPRIATE

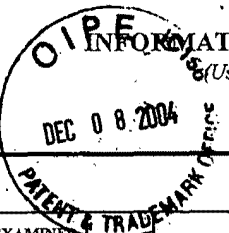
FOREIGN PATENT DOCUMENTS

REF	DOCUMENT NUMBER	DATE	COUNTRY	CLASS	SUBCLASS	Translation	
						YES	NO
A	11-194849	07/21/99	Japan			✓	
B	11-073237	03/16/99	Japan			✓	
C	2001-238190	08/31/01	Japan			✓	
D	09-062397	03/07/97	Japan			✓	
E	06-217049	08/05/94	Japan			✓	

OTHER DOCUMENTS *(Including Author, Title, Date, Pertinent Pages, Etc.)*

EXAMINER	DATE CONSIDERED
----------	-----------------

EXAMINER: Initial if citation considered, whether or not citation is in conformance with MPEP Section 609; Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.



Docket Number (Optional) OKI.396	Application Number 10/251,755
Applicant(s) Hitoshi Endo	
Filing Date September 23, 2002	Group Art Unit 2182

U.S. PATENT DOCUMENTS

EXAMINER INITIAL	REF	DOCUMENT NUMBER	DATE	NAME	CLASS	SUBCLASS	FILING DATE IF APPROPRIATE

U.S. PATENT APPLICATION PUBLICATIONS

EXAMINER INITIAL	REF	DOCUMENT NUMBER	DATE	NAME	CLASS	SUBCLASS	FILING DATE IF APPROPRIATE

FOREIGN PATENT DOCUMENTS

REF	DOCUMENT NUMBER	DATE	COUNTRY	CLASS	SUBCLASS	Translation	
						YES	NO
F	2000-091976	03/31/00	Japan			✓	
G	2000-116887	04/25/00	Japan			✓	
H	2002-182776	06/26/02	Japan			✓	

OTHER DOCUMENTS (Including Author, Title, Date, Pertinent Pages, Etc.)

EXAMINER	DATE CONSIDERED
----------	-----------------

EXAMINER: Initial if citation considered, whether or not citation is in conformance with MPEP Section 609; Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.



ATTY DOCKET #: OKI.396

APPLICANT: Hitoshi Endo

DUE DATE:

SERIAL NO.: 10/251,755

FILING DATE: September 23, 2002

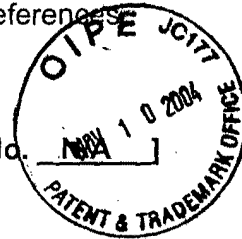
TITLE: SYSTEM LSI

RECEIPT OF THE FOLLOWING PAPERS IS ACKNOWLEDGED:

Transmittal of Information Disclosure Statement; Statement Under 37 C.F.R. 1.97(e) Accompanying Information Disclosure Statement; PTO-1449 Form; English translation of Japanese Office Action; and eight (8) references.

DATE: November 10, 2004 ATTY: AJT

[Check No. 104]



93/216218

TRANSMITTAL OF INFORMATION DISCLOSURE STATEMENT

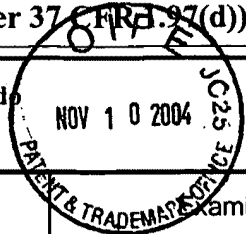
(Under 37 CFR 1.97(d))

Docket No.

OKI.396

JFW

In Re Application Of: **Hitoshi Endo**



Application No. 10/251,755	Filing Date September 23, 2002	Examiner H. Kim	Customer No.	Group Art Unit 2182	Confirmation No. 4191
-------------------------------	-----------------------------------	--------------------	--------------	------------------------	--------------------------

Title: **SYSTEM LSI**

Address to:
Commissioner for Patents

The Information Disclosure Statement submitted herewith is being filed after the period specified in 37 CFR 1.97(c), and on or before payment of the issue fee, and is accompanied by the Statement as specified in 37 CFR 1.97(e) and the fee set forth in 37 CFR 1.17(p).

- A check in the amount of _____ is attached.
- Charge Deposit Account No. **50-0238** in the amount of **\$180.00**
- Payment by credit card. Form PTO-2038 is attached.

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

Certificate of Transmission by Facsimile*

Certificate of Mailing by First Class Mail

I certify that this document and authorization to charge deposit account is being facsimile transmitted to the United States Patent and Trademark Office
(Fax no. _____) on _____
(Date)

Signature

Typed or Printed Name of Person Signing Certificate

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to "Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450" [37 CFR 1.8(a)] on _____
(Date)

Signature of Person Mailing Correspondence

Typed or Printed Name of Person Mailing Certificate

*This certificate may only be used if paying by deposit account.

Andrew J. Telesz, Jr.
Signature

Dated: November 10, 2004

ANDREW J. TELESZ, JR.
REG. NO. 33,581

VOLENTINE FRANCOS & WHITT, P.L.L.C.
ONE FREEDOM SQUARE
11951 FREEDOM DRIVE, SUITE 1260
RESTON, VA 20190
TEL. NO. (703) 715-0870

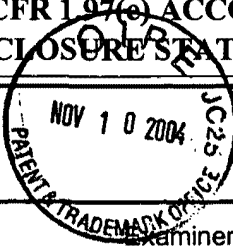
11/12/2004 SDENB081 00000069 500238 10251755
01 FC:1806 180.00 DA

cc:

STATEMENT UNDER 37 CFR 1.97(e) ACCOMPANYING
INFORMATION DISCLOSURE STATEMENT

Docket No.
OKI.396

In Re Application Of: Hitoshi Endo



Application No.	Filing Date	Examiner	Customer No.	Group Art Unit	Confirmation No.
10/251,755	September 23, 2002	H. Kim		2182	4191

Invention: SYSTEM LSI

COMMISSIONER FOR PATENTS:

This is a statement under the provisions of 37 CFR 1.97(e) in the above-identified application.

Check applicable statement herebelow:

Statement Under 37 CFR 1.97(e)(1)

- Each item of information contained in the accompanying Information Disclosure Statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the Information Disclosure Statement.

Statement Under 37 CFR 1.97(e)(2)

- No item of information contained in the accompanying Information Disclosure Statement was cited in a communication from a foreign patent office in a counterpart foreign application, and, to the knowledge of the undersigned person, after making reasonable inquiry, no item of information contained in the accompanying Information Disclosure Statement was known to any individual designated in 37 CFR 1.56(c) more than three months prior to the filing of the Information Disclosure Statement.

Signature

Dated: November 10, 2004

ANDREW J. TELESZ, JR.
REG. NO. 33,581

VOLENTINE FRANCOS & WHITT, P.L.L.C.
ONE FREEDOM SQUARE
11951 FREEDOM DRIVE, SUITE 1260
RESTON, VA 20190
TEL. NO. (703) 715-0870

Certificate of Mailing by First Class Mail

I certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to "Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450" [37 CFR 1.8(a)] on

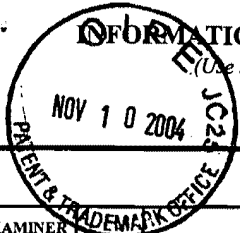
(Date)

Signature of Person Mailing Correspondence

Typed or Printed Name of Person Mailing Correspondence

CC:

Docket Number (Optional) OKI.396	Application Number 10/251,755
Applicant(s) Hitoshi Endo	
Filing Date September 23, 2002	Group Art Unit 2182



INFORMATION DISCLOSURE CITATION
(Use several sheets if necessary)

U.S. PATENT DOCUMENTS

*EXAMINER INITIAL	REF	DOCUMENT NUMBER	DATE	NAME	CLASS	SUBCLASS	FILING DATE IF APPROPRIATE

U.S. PATENT APPLICATION PUBLICATIONS

*EXAMINER INITIAL	REF	DOCUMENT NUMBER	DATE	NAME	CLASS	SUBCLASS	FILING DATE IF APPROPRIATE

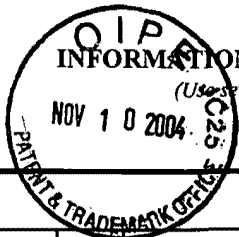
FOREIGN PATENT DOCUMENTS

	REF	DOCUMENT NUMBER	DATE	COUNTRY	CLASS	SUBCLASS	Translation	
							YES	NO
	A	11-194849	07/21/99	Japan			✓	
	B	11-073237	03/16/99	Japan			✓	
	C	2001-238190	08/31/01	Japan			✓	
	D	09-062397	03/07/97	Japan			✓	
	E	06-217049	08/05/94	Japan			✓	

OTHER DOCUMENTS (Including Author, Title, Date, Pertinent Pages, Etc.)

EXAMINER	DATE CONSIDERED
----------	-----------------

EXAMINER: Initial if citation considered, whether or not citation is in conformance with MPEP Section 609; Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.



INFORMATION DISCLOSURE CITATION

(Use several sheets if necessary)

Docket Number (Optional) OKI.396	Application Number 10/251,755
Applicant(s) Hitoshi Endo	
Filing Date September 23, 2002	Group Art Unit 2182

U.S. PATENT DOCUMENTS

*EXAMINER INITIAL	REF	DOCUMENT NUMBER	DATE	NAME	CLASS	SUBCLASS	FILING DATE IF APPROPRIATE

U.S. PATENT APPLICATION PUBLICATIONS

*EXAMINER INITIAL	REF	DOCUMENT NUMBER	DATE	NAME	CLASS	SUBCLASS	FILING DATE IF APPROPRIATE

FOREIGN PATENT DOCUMENTS

	REF	DOCUMENT NUMBER	DATE	COUNTRY	CLASS	SUBCLASS	Translation	
							YES	NO
	F	2000-091976	03/31/00	Japan			✓	
	G	2000-116887	04/25/00	Japan			✓	
	H	2002-182776	06/26/02	Japan			✓	

OTHER DOCUMENTS *(Including Author, Title, Date, Pertinent Pages, Etc.)*

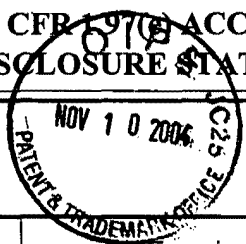
EXAMINER	DATE CONSIDERED
----------	-----------------

EXAMINER: Initial if citation considered, whether or not citation is in conformance with MPEP Section 609; Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

**STATEMENT UNDER 37 CFR 1.97(e) ACCOMPANYING
INFORMATION DISCLOSURE STATEMENT**

Docket No.
OKI.396

In Re Application Of: **Hitoshi Endo**



Application No.	Filing Date	Examiner	Customer No.	Group Art Unit	Confirmation No.
10/251,755	September 23, 2002	H. Kim		2182	4191

Invention: **SYSTEM LSI**

COMMISSIONER FOR PATENTS:

This is a statement under the provisions of 37 CFR 1.97(e) in the above-identified application.

Check applicable statement herebelow:

Statement Under 37 CFR 1.97(e)(1)

- Each item of information contained in the accompanying Information Disclosure Statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the Information Disclosure Statement.

Statement Under 37 CFR 1.97(e)(2)

- No item of information contained in the accompanying Information Disclosure Statement was cited in a communication from a foreign patent office in a counterpart foreign application, and, to the knowledge of the undersigned person, after making reasonable inquiry, no item of information contained in the accompanying Information Disclosure Statement was known to any individual designated in 37 CFR 1.56(c) more than three months prior to the filing of the Information Disclosure Statement.

Signature

Dated: November 10, 2004

ANDREW J. TELESZ, JR.
REG. NO. 33,581

VOLENTINE FRANCOS & WHITT, P.L.L.C.
ONE FREEDOM SQUARE
11951 FREEDOM DRIVE, SUITE 1260
RESTON, VA 20190
TEL. NO. (703) 715-0870

Certificate of Mailing by First Class Mail

I certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to "Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450" [37 CFR 1.8(a)] on

(Date)

Signature of Person Mailing Correspondence

Typed or Printed Name of Person Mailing Correspondence

cc:

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-182776

(43)Date of publication of application : 26.06.2002

(51)Int.Cl. G06F 1/04
G06F 1/32

(21)Application number : 2000-383247 (71)Applicant : KENWOOD CORP

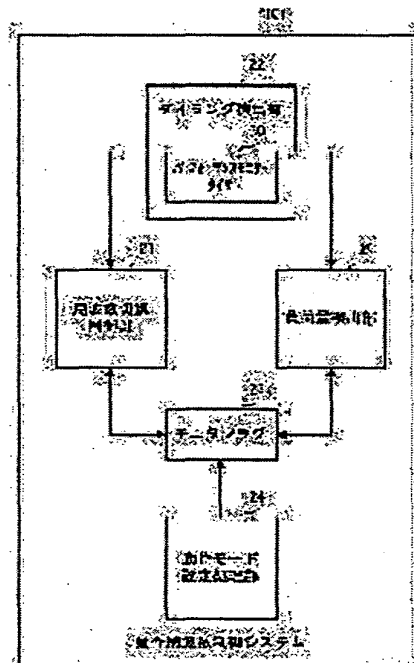
(22)Date of filing : 18.12.2000 (72)Inventor : UEDA NOBUAKI

(54) SYSTEM AND METHOD FOR CONTROLLING OPERATING FREQUENCY

(57)Abstract:

PROBLEM TO BE SOLVED: To appropriately control the operating frequency of a processor.

SOLUTION: A timing detecting part 22 detects task switching timing, the performance start/end timing of interrupt processing and timing when a predetermined time Tmon elapses. A load quantity detecting part 20 performs processing for detecting the load quantity of the processor by accumulating the count value (tick value) of a tick counter when the timing detecting part 22 detects the task switching timing and the performance start/end timing of the interrupt processing. A frequency switching controlling part 21 performs processing for automatically switching operation frequencies in accordance with the use situation of the processor when the timing detecting part 22 detects that the predetermined time Tmon has elapsed by a performance monitor timer 30.



LEGAL STATUS

[Date of request for examination] 25.02.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIP I are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The clock-frequency control system characterized by what it has for a timing detection means are a clock frequency control system for switching the clock frequency of a processor automatically, and detect the 1st timing which comes whenever predetermined time amount passes, and the frequency-control means which switches the clock frequency of a processor according to the use situation which specified the use situation of a processor and was specified when the 1st timing was detected by said timing detection means.

[Claim 2] It has a burden detection means to detect the burden of a processor. Said timing detection means If the 2nd timing contained in predetermined time amount until the 1st timing comes is detected Activation of the processing for detecting the burden of a processor for said burden detection means is directed. Said frequency control means The clock frequency control system according to claim 1 characterized by what the use situation of a processor is specified based on the burden of the processor which said burden detection means detected, and the clock frequency of a processor is switched for.

[Claim 3] Said timing detection means is a clock frequency control system according to claim 2 characterized by what the change-over timing of the task which a processor performs, and the activation initiation timing and activation termination timing of interrupt processing are detected for as the 2nd timing.

[Claim 4] Said burden detection means is a clock frequency control system according to claim 2 or 3 characterized by what the burden of a processor is detected for by integrating the tic value spent on the processing which the processor performed.

[Claim 5] Said frequency control means is a clock frequency control system given in any 1 term of claims 1-4 characterized by what the clock frequency of a processor is switched for according to the directions from the user program which a processor performs.

[Claim 6] It is a clock frequency control system given in any 1 term of claims 2-5 which are equipped with a storage means to memorize the data which matched the burden of a processor, and clock frequency, and are characterized by what said frequency-control means specifies the clock frequency corresponding to the burden of the processor detected by said burden detection means with reference to the data memorized by said storage means, and switches the clock frequency of a processor for.

[Claim 7] It has a power source for supplying supply voltage to a processor, and a power control means to control the magnitude of the supply voltage supplied to a processor from said power source. Said storage means The data in which the magnitude of the electrical potential difference supplied to a processor is shown are memorized with the data which matched the burden and clock frequency of a processor. Said frequency control means With reference to the data memorized by said storage means, the magnitude of the supply voltage corresponding to the burden of the processor detected by said burden detection means is specified. With said power control means The clock frequency control system according to claim 6 characterized by what is made for the magnitude of the specified supply voltage to control the magnitude of the supply voltage supplied to a processor from said power source.

[Claim 8] The clock frequency control system characterized by what the clock frequency of a

processor is switched for according to the use situation of having specified and specified the use situation of a processor based on the burden which carried out monitoring whenever it is a clock frequency control system for switching the clock frequency of a processor automatically, it carries out monitoring of the burden of a processor to predetermined timing and predetermined time amount passes.

[Claim 9] The clock frequency control system according to claim 8 characterized by what the clock frequency of a processor is switched for according to the directions from the user program which a processor performs.

[Claim 10] The clock frequency control approach characterized by what the clock frequency of a processor is switched for according to the use situation of having specified and specified the use situation of a processor based on the burden which carried out monitoring whenever it is the clock frequency control approach for switching the clock frequency of a processor automatically, it carries out monitoring of the burden of a processor to predetermined timing and predetermined time amount passes.

[Claim 11] The clock frequency control approach according to claim 10 characterized by what the clock frequency of a processor is switched for according to the directions from the user program which a processor performs.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the clock frequency control system and the clock frequency control approach for controlling the clock frequency of a processor, and relates to the clock frequency control system and the clock frequency control approach of switching the clock frequency of a processor appropriately especially.

[0002]

[Description of the Prior Art] Processors [, such as CPU for pocket information processing terminals (Central Processing Unit) and MPU (MicroProcessing Unit)], such as a portable telephone, and PDA (Personal Digital Assistant) and a notebook computer, can be driven in response to supply of power from the cell (rechargeable battery) which can be charged.

[0003] As a technique for reducing the power consumption in the processor for such pocket information processing terminals, the clock frequency control system which controls the clock frequency of a processor dynamically is known. This clock frequency control system is realized when a processor starts OS (it is called OS Operating System and the following).

[0004] The processing speed and power consumption of a processor change by switching clock frequency, as shown in drawing 17 . Then, in case a clock frequency control system performs application with a light load called the program for displaying for example, telephone directory data, data or a still picture etc. in which an electronic mail is shown, it reduces clock frequency and controls the consumption of power. On the other hand, in case a clock frequency control system performs application with a heavy load called the program for reproducing an animation and voice, it increases clock frequency, and it controls clock frequency so that a user does not sense sense of incongruity.

[0005] In order to realize such a function, in the former, throughput related with frequency control actuation application including the processing which requires many heavy loads for a processor, and had changed the clock frequency of a processor at the time of activation initiation of the application concerned, and termination, for example.

[0006] For example, as shown in drawing 18 , at the time of the heavy load application activation including the processing which requires a heavy load for a processor, the conventional clock frequency control system is changed into different magnitude from the electrical potential difference which supplies the magnitude of the electrical potential difference supplied to a processor at the time of normal operation, and increases clock frequency.

[0007]

[Problem(s) to be Solved by the Invention] It was controlling by the above-mentioned conventional technique to switch the clock frequency of a processor only at the time of activation initiation of application including the processing which requires a heavy load for a processor, and termination. for this reason -- for example, although the load concerning a processor increased when much applications with little throughput were performed, there was a problem that clock frequency could not be switched appropriately.

[0008] Moreover, even if it is while performing one application, the load applied to a processor by time amount may change like the timing which much interrupt processing generates, and the

timing seldom generated. In such a case, during activation of application, it was maintaining to the same clock frequency and clock frequency was not able to be appropriately controlled by the conventional clock frequency control system according to the use situation of an actual processor.

[0009] This invention is made in view of the above-mentioned actual condition, and aims at offering the clock frequency control system which can control the clock frequency of a processor appropriately, and the clock frequency control approach.

[0010]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, the clock frequency control system concerning the 1st viewpoint of this invention A timing detection means to be for switching the clock frequency of a processor automatically, and to detect the 1st timing which comes whenever predetermined time amount passes, If the 1st timing is detected by said timing detection means, the use situation of a processor will be specified and it will be characterized by what it has the frequency control means which switches the clock frequency of a processor according to the specified use situation for.

[0011] According to this invention, if the 1st timing which comes whenever predetermined time amount passes is detected by the timing detection means, a frequency control means can specify the use situation of a processor, and can switch clock frequency. Thereby, it is controllable to switch the clock frequency of a processor appropriately according to the use situation of a processor.

[0012] A detail is equipped more with a burden detection means to detect the burden of a processor. Said timing detection means If the 2nd timing contained in predetermined time amount until the 1st timing comes is detected Activation of the processing for detecting the burden of a processor for said burden detection means is directed, and, as for said frequency control means, it is desirable to specify the use situation of a processor based on the burden of the processor which said burden detection means detected, and to switch the clock frequency of a processor.

[0013] For example, as for said timing detection means, it is desirable to detect the change-over timing of the task which a processor performs, and the activation initiation timing and activation termination timing of interrupt processing as the 2nd timing.

[0014] Moreover, as for said burden detection means, it is desirable to detect the burden of a processor by integrating the tic value spent on the processing which the processor performed.

[0015] Said frequency control means may switch the clock frequency of a processor according to the directions from the user program which a processor performs.

[0016] It has a storage means to memorize the data which matched the burden of a processor, and clock frequency, and, as for said frequency-control means, it is desirable to specify the clock frequency corresponding to the burden of the processor detected by said burden detection means, and to switch the clock frequency of a processor with reference to the data memorized by said storage means.

[0017] It has a power source for supplying supply voltage to a processor, and a power control means to control the magnitude of the supply voltage supplied to a processor from said power source. Furthermore, said storage means The data in which the magnitude of the electrical potential difference supplied to a processor is shown are memorized with the data which matched the burden and clock frequency of a processor. Said frequency control means With reference to the data memorized by said storage means, the magnitude of the supply voltage corresponding to the burden of the processor detected by said burden detection means is specified. With said power control means It is desirable to make the magnitude of the specified supply voltage control the magnitude of the supply voltage supplied to a processor from said power source.

[0018] Moreover, the clock frequency control system concerning the 2nd viewpoint of this invention is for switching the clock frequency of a processor automatically, and whenever it carries out monitoring of the burden of a processor to predetermined timing and predetermined time amount passes, it is characterized by what the clock frequency of a processor is switched for according to the use situation of having specified and specified the use situation of a

processor based on the burden which carried out monitoring.

[0019] According to this invention, by carrying out monitoring of the burden of a processor, the use situation of a processor can be specified and the clock frequency of a processor can be switched according to the specified use situation. Thereby, it is controllable to switch the clock frequency of a processor appropriately according to the use situation of a processor.

[0020] Moreover, you may make it switch the clock frequency of a processor according to the directions from the user program which a processor performs.

[0021] The clock frequency control approach concerning the 3rd viewpoint of this invention is an approach for switching the clock frequency of a processor automatically, and whenever it carries out monitoring of the burden of a processor to predetermined timing and predetermined time amount passes, it is characterized by what the clock frequency of a processor is switched for according to the use situation of having specified and specified the use situation of a processor based on the burden which carried out monitoring.

[0022] Moreover, the clock frequency of a processor may be switched according to the directions from the user program which a processor performs.

[0023]

[Embodiment of the Invention] Below, with reference to a drawing, the case where it applies to the pocket information processing terminal 100 is explained to an example in a detail about the clock frequency control system concerning the gestalt of implementation of this invention.

[0024] This pocket information processing terminal 100 is the terminal unit which can operate also in the condition of having separated from the source power supply, such as a portable telephone, and PDA (Personal Digital Assistant) and a notebook computer, and has the configuration as shown in drawing 1. This pocket information processing terminal 100 is equipped with a processor 1, ROM (Read Only Memory)2 and RAM (Random Access Memory)3, the input section 4, a display and control section 5, a display 6, the power control section 7, and a power source 8 so that it may illustrate.

[0025] A processor 1 is for consisting of a CPU (Central Processing Unit) or MPU (Micro Processing Unit), and controlling actuation of this pocket information processing terminal 100 whole. A processor 1 reads the program currently recorded under [2] control of OS (operating system) (for example, ROM), and performs various kinds of applications etc. In addition, a processor 1 may read a program from the record medium of arbitration, such as a magnetic disk drive which is not illustrated, and may perform application etc. Moreover, the processor 1 is equipped with the tic counter 10 counted up for tic [every]. Here, tic [one] is equivalent to one clock signal supplied to a processor 1. That is, the tic counter 10 is counted up by counting the number of clocks to the timing of the rising edge of the clock signal supplied to a processor 1.

[0026] ROM2 is the store circuit of the read only which stores a device driver, a loader program, OS, an application program, etc. Moreover, ROM2 has memorized the clock frequency data table 11 which is illustrated to drawing 2 (a).

[0027] The clock frequency data table 11 contains the data for specifying the magnitude of the electrical potential difference supplied to the clock frequency and the processor 1 which are set up to a processor 1 from the tic value spent on the task which the processor 1 performed within the predetermined period, or interrupt processing. For example, the clock frequency data table 11 consists of data, such as "TICKmax" which shows the maximum of the "clock frequency" which shows the clock frequency which can be set up to a processor 1, and a tic value, "TICKmin" which shows the minimum value of a tic value, and "supply voltage" which shows the magnitude of the supply voltage to a processor 1.

[0028] RAM3 is a rewritable store circuit which offers the work area at the time of a processor 1 performing a program, and enables temporary storage of data etc. For example, RAM3 saves the clock frequency request administrator table 12 which is illustrated to drawing 2 (b).

[0029] The clock frequency request administrator table 12 is a table for managing the clock frequency demanded from the user program which a processor 1 performs, and consists of data, such as a "demand frequency" etc. which shows the "management number" which shows the management number for identifying clock frequency for every demand from a user program, and

the demanded clock frequency.

[0030] The input section 4 is for inputting the directions information which consists of a keypad, a mouse, a pointing device, etc. and directs actuation of this pocket information processing terminal 100, the data in which an alphabetic character and a figure are shown.

[0031] A display and control section 5 is for controlling actuation of a display 6 according to the image data which a VRAM (Video-RAM), a LCD (Liquid Crystal Display) driver, etc. were consisted of, and was received from the processor 1.

[0032] A display 6 is for displaying the image which consisted of for example, LCD panels etc. and followed control of a display and control section 5.

[0033] The power control section 7 is for consisting of switching regulators etc., specifying the supply voltage supplied from the power source 8 to a predetermined electrical-potential-difference value, and supplying a processor 1 etc. Here, the power control section 7 adjusts a supply voltage by changing the magnitude of the electrical potential difference supplied to a processor 1, and enables control of clock frequency. Moreover, when it connects with the charge device which this pocket information processing terminal 100 does not illustrate, the power control section 7 notifies the purport set to the charge device to a processor 1, and starts charge of a power source 8. On the other hand, if connection between this pocket information processing terminal 100 and a charge device is released, the power control section 7 will notify that to a processor 1, and will end charge of a power source 8.

[0034] A power source 8 is for supplying power for consisting of cells (rechargeable battery) which can be charged and driving this pocket information processing terminal 100, such as a lithium ion battery and a nickel hydrogen ion cell.

[0035] Next, the logical construction of the clock frequency control system 101 realized when a processor 1 starts OS in the pocket information processing terminal 100 which has the above-mentioned configuration is explained with reference to drawing 3. This clock frequency control system 101 is equipped with the burden detecting element 20, the frequency change-over control section 21, the timing detecting element 22, the monitor flag 23, and the mode-of-operation setting processing section 24, and is constituted so that it may illustrate.

[0036] The burden detecting element 20 performs processing for detecting the burden applied to a processor 1 using the counted value of the tic counter 10. For example, by integrating the counted value (tic value) of the tic counter 10, the burden detecting element 20 calculates the tic value which the task performed in fixed time amount and interrupt processing took, and sets it up as variable Total_ticks. Here, the burden detecting element 20 performs processing for integrating counted value using variable Tick_Reg_OLD and variable Tick_Reg which show the counted value of the tic counter 10.

[0037] Variable Tick_Reg_OLD shows the counted value of the tic counter 10 in the timing to which the processor 1 switched processing to the task under current activation, and the timing which starts activation of interrupt processing. Moreover, variable Tick_Reg shows the counted value of the tic counter 10 in current.

[0038] The frequency change-over control section 21 controls a change-over of the clock frequency of a processor 1 based on variable Total_ticks set up by the burden detecting element 20. In case the frequency change-over control section 21 switches the clock frequency of a processor 1, it directs a change-over of the magnitude of the supply voltage supplied to a processor 1 to the power control section 7. Under the present circumstances, the frequency change-over control section 21 specifies the magnitude of the supply voltage supplied to a processor 1 from the power control section 7 with reference to the clock frequency data table 11 stored in ROM2.

[0039] The timing detecting element 22 is for detecting the timing to which is equipped with the performance-monitor timer 30 and the burden detecting element 20 and the frequency change-over control section 21 perform various kinds of processings. That is, the timing detecting element 22 directs activation of the processing for integrating the counted value of the tic counter 10 to the burden detecting element 20, if the change-over timing of the task which a processor 1 performs, and activation initiation / termination timing of interrupt processing are detected. Moreover, the timing detecting element 22 directs activation of the processing for

switching clock frequency automatically according to the use situation of a processor 1 to the frequency change-over control section 21, if the performance-monitor timer 30 detects that the time amount Tmon defined beforehand passed.

[0040] The performance-monitor timer 30 is for detecting that the predetermined time amount Tmon used as the period which evaluates the use situation of a processor 1 passed, whenever processing for switching clock frequency according to the use situation of a processor 1 is performed, it is reset, and it starts measurement of elapsed time again (restart).

[0041] The monitor flag 23 is to show whether it is the mode of operation to which the pocket information processing terminal 100 switches clock frequency automatically according to the use situation of a processor 1. That is, the monitor flag 23 serves as "ON", when it is the mode of operation (performance monitor mode M2 mentioned later) to which the pocket information processing terminal 100 carries out monitoring of the burden of a processor 1, and switches clock frequency automatically. Moreover, the monitor flag 23 serves as "OFF", when it is the mode of operation (fixed frequency mode of operation M3 mentioned later) which operates a processor 1 with the clock frequency according to the directions from the user program performed by the processor 1.

[0042] The mode-of-operation setting processing section 24 sets up the mode of operation of this pocket information processing terminal 100 by performing predetermined initialization processing, when a power source 8 is switched on.

[0043] Below, actuation of the pocket information processing terminal 100 concerning the gestalt of implementation of this invention is explained.

[0044] Drawing 4 is drawing showing the mode of operation of the pocket information processing terminal 100. This pocket information processing terminal 100 is equipped with the others and performance monitor mode M2 and the fixed frequency mode of operation M3 so that it may illustrate. [mode / M1 / power-source off]

[0045] The performance monitor mode M2 carries out monitoring of the burden of a processor 1, specifies a use situation, and is a switchable mode of operation automatically about clock frequency according to the specified use situation.

[0046] The fixed frequency mode of operation M3 is a mode of operation which operates a processor 1 with the clock frequency according to the directions from the user program which a processor 1 performs.

[0047] If a power source 8 is switched on, the clock frequency control system 101 will start and, as for this pocket information processing terminal 100, a mode of operation will be set up by the mode-of-operation setting processing section 24.

[0048] That is, the mode-of-operation setting processing section 24 receives directions of the purport which switches on a power source 8 using the directions information inputted from the input section 4 in the power-source off mode M1. Under the present circumstances, the mode-of-operation setting processing section 24 sets the mode of operation of the pocket information processing terminal 100 as the performance monitor mode M2 by performing performance-monitor initialization processing shown in the flow chart of drawing 5. Or the mode-of-operation setting processing section 24 sets the mode of operation of the pocket information processing terminal 100 as the fixed frequency mode of operation M3 by performing fixed frequency actuation initialization processing shown in the flow chart of drawing 6.

[0049] The mode-of-operation setting processing section 24 performs performance-monitor initialization processing which shows in the flow chart of drawing 5 based on the directions information inputted from the input section 4 when the injection of a power source 8 was directed, the mode of operation when disconnecting a power source 8 last time, etc., or fixed frequency actuation initialization processing which shows in the flow chart of drawing 6.

[0050] Below, the performance-monitor initialization processing shown in the flow chart of drawing 5 is explained.

[0051] The mode-of-operation setting processing section 24 will distinguish whether the monitor flag 23 is "OFF", if performance-monitor initialization processing is started (step S1).

[0052] The mode-of-operation setting processing section 24 ends performance-monitor initialization processing as it is noting that the mode of operation of the pocket information

processing terminal 100 is already the performance monitor mode M2, if it distinguishes that the monitor flag 23 is "ON" (it is NO at step S1).

[0053] On the other hand, if the mode-of-operation setting processing section 24 distinguishes that the monitor flag 23 is "OFF" (it is YES at step S1), it will make zero variable Total_ticks used in order that the burden detecting element 20 may integrate the counted value of the tic counter 10, and will initialize it (step S2).

[0054] Also about variable Tick_Reg and variable Tick_Reg_OLD which the burden detecting element 20 and the frequency change-over control section 21 use, the mode-of-operation setting processing section 24 is considering as zero similarly, and is initialized (step S3).

[0055] Moreover, the mode-of-operation setting processing section 24 resets the performance-monitor timer 30, and starts measurement of elapsed time (step S4).

[0056] After this, the mode-of-operation setting processing section 24 sets the mode of operation of the pocket information processing terminal 100 as the performance monitor mode M2 by setting the monitor flag 23 to "ON" (step S5), and ends performance-monitor initialization processing.

[0057] Next, the fixed frequency actuation initialization processing shown in the flow chart of drawing 6 is explained.

[0058] The mode-of-operation setting processing section 24 will distinguish whether the monitor flag 23 is "ON", if fixed frequency actuation initialization processing is started (step S10).

[0059] If the mode-of-operation setting processing section 24 distinguishes that the monitor flag 23 is "ON" (it is YES at step S10), measurement of the elapsed time by the performance-monitor timer 30 will be stopped (step S11).

[0060] Moreover, the mode-of-operation setting processing section 24 sets the mode of operation of the pocket information processing terminal 100 as the fixed frequency mode of operation M3 by setting the monitor flag 23 to "OFF" (step S12).

[0061] In addition, if the mode-of-operation setting processing section 24 distinguishes that the monitor flag 23 is "OFF" at the above-mentioned step S10 (it is NO at step S10), it will skip processing of the above-mentioned steps S11 and S12.

[0062] After this, the mode-of-operation setting processing section 24 initializes the clock frequency request administrator table 12 saved at RAM3 (step S13), and ends fixed frequency actuation initialization processing.

[0063] Moreover, the mode-of-operation setting processing section 24 sets a mode of operation as the fixed frequency mode of operation M3 by performing fixed frequency actuation initialization processing, when the mode of operation of the pocket information processing terminal 100 is the performance monitor mode M2. Or the mode-of-operation setting processing section 24 sets a mode of operation as the performance monitor mode M2 by performing performance-monitor initialization processing, when the mode of operation of the pocket information processing terminal 100 is the fixed frequency mode of operation M3.

[0064] If a power source 8 is switched on in this pocket information processing terminal 100, as for the clock frequency control system 101, the timing to which the change-over timing of a task, activation initiation / termination timing of interrupt processing, and the time amount Tmon defined beforehand passed [the timing detecting element 22] will be detected.

[0065] The timing detecting element 22 directs activation of the Total_ticks addition processing shown in the flow chart of drawing 7 to the burden detecting element 20, if the change-over timing of a task and activation initiation / termination timing of interrupt processing are detected. This Total_ticks addition processing is processing for integrating the counted value of the tic counter 10 and detecting the burden of a processor 1.

[0066] Below, the Total_ticks addition processing shown in the flow chart of drawing 7 is explained.

[0067] If the burden detecting element 20 answers directions from the timing detecting element 22 and Total_ticks addition processing is started, it will distinguish whether the monitor flag 23 is "ON" (step S20).

[0068] If the burden detecting element 20 distinguishes that the monitor flag 23 is "OFF" (it is NO at step S20), it will end Total_ticks addition processing as it is.

[0069] On the other hand, if the burden detecting element 20 distinguishes that the monitor flag 23 is "ON" (it is YES at step S20), processing for setting up variable Total_ticks will be performed (step S21). That is, the burden detecting element 20 newly sets up as variable Total_ticks what added the current value of variable Total_ticks to the value which deducted variable Tick_Reg_OLD from variable Tick_Reg. Thereby, the tic value corresponding to the burden of a processor 1 is integrated by variable Total_ticks, and specification of the use situation of a processor 1 is attained at it.

[0070] The burden detecting element 20 ends Total_ticks addition processing, after newly setting up the current value of variable Tick_Reg as variable Tick_Reg_OLD (step S22).

[0071] Moreover, the timing detecting element 22 directs activation of the clock frequency automatic change-over processing which shows in the flow chart of drawing 8 to the frequency change-over control section 21, if it detects that the time amount Tmon defined beforehand passed with the performance-monitor timer 30. This clock frequency automatic change-over processing is processing for switching clock frequency automatically according to the use situation of a processor 1.

[0072] Below, the clock frequency automatic change-over processing shown in the flow chart of drawing 8 is explained.

[0073] If the frequency change-over control section 21 answers directions from the timing detecting element 22 and clock frequency automatic change-over processing is started, it will distinguish whether a processor 1 is performing a current task (step S30).

[0074] If the frequency change-over control section 21 distinguishes [that a task is under activation, and] (it is YES at step S30), it will perform processing for setting up variable Total_ticks (step S31). That is, the frequency change-over control section 21 newly sets up as variable Total_ticks what added the current value of variable Total_ticks to the value which deducted variable Tick_Reg_OLD from variable Tick_Reg.

[0075] On the other hand, if the processor 1 is not performing the task and the frequency change-over control section 21 will be distinguished (it is NO at step S30), it will skip processing of step S31.

[0076] After this, the setting frequency Fcpu newly set up as clock frequency of a processor 1 is specified (step S32). Under the present circumstances, the frequency change-over control section 21 specifies the clock frequency of the processor 1 which suited the tic value which variable Total_ticks shows with reference to the clock frequency data table 11 memorized by ROM2. That is, the frequency change-over control section 21 compares with variable Total_ticks the data "TICKmax" and "TICKmin" which are contained in the clock frequency data table 11, and when fulfilling the conditions shown in a formula 1, it specifies data "clock frequency" as a setting frequency Fcpu.

[Equation 1] $TICKmin \leq Total_ticks < TICKmax$ [0077] It distinguishes whether the frequency change-over control section 21 has the specified setting frequency Fcpu larger than the current clock frequency in a processor 1 (step S33).

[0078] If the frequency change-over control section 21 has the setting frequency Fcpu larger than current clock frequency and it will be distinguished (it is YES at step S33), it will perform clock frequency clock up processing mentioned later (step S34), and will carry out clock up of the clock frequency of a processor 1. In addition, unlike a clock signal for the tic counter 10 to count up, the clock signal which specifies the clock frequency of a processor 1 is supplied at least to each part of this pocket information processing terminal 100.

[0079] On the other hand, it distinguishes whether the frequency change-over control section 21 has the setting frequency Fcpu smaller than the current clock frequency in a processor 1, when the setting frequency Fcpu distinguishes that it is below current clock frequency (it is NO at step S33) (step S35).

[0080] If the frequency change-over control section 21 has the setting frequency Fcpu smaller than current clock frequency and it will be distinguished (it is YES at step S35), it will perform clock frequency clock down processing mentioned later (step S36), and will carry out the clock down of the clock frequency of a processor 1.

[0081] On the other hand, if the frequency change-over control section 21 has the setting

frequency F_{cpu} equal to current clock frequency and it will be distinguished (it is NO at step S35), it will skip processing of step S36.

[0082] After this, the frequency change-over control section 21 makes variable Total_ticks zero, and initializes it (step S37).

[0083] Moreover, also about variable Tick_Reg and variable Tick_Reg_OLD, the frequency change-over control section 21 is considering as zero similarly, and is initialized (step S38).

[0084] The frequency change-over control section 21 resets the performance-monitor timer 30, makes measurement of elapsed time start again (restart) (step S39), and ends clock frequency automatic change-over processing.

[0085] Next, the frequency change-over control section 21 explains the clock frequency clock up processing performed at step S34 of the clock frequency automatic change-over processing mentioned above with reference to the flow chart of drawing 9.

[0086] The frequency change-over control section 21 will distinguish whether the setting frequency F_{cpu} differs from the current clock frequency in a processor 1, if clock frequency clock up processing is started (step S40).

[0087] If the setting frequency F_{cpu} does not differ from current clock frequency, namely, the setting frequency F_{cpu} and current clock frequency of the frequency change-over control section 21 correspond and it will be distinguished (it is NO at step S40), it will end clock frequency clock up processing as it is.

[0088] On the other hand, if the setting frequency F_{cpu} differs from current clock frequency and the frequency change-over control section 21 will be distinguished (it is YES at step S40), it specifies the supply voltage value V_{cc} supplied to a processor 1 corresponding to the setting frequency F_{cpu} (step S41). Under the present circumstances, the frequency change-over control section 21 specifies the magnitude of the electrical potential difference supplied to a processor 1 corresponding to the setting frequency F_{cpu} with reference to the clock frequency data table 11 memorized by ROM2. That is, the frequency change-over control section 21 specifies the thing corresponding to the data "clock frequency" specified as a setting frequency F_{cpu} among the data "supply voltage" contained in the clock frequency data table 11 as a supply voltage value V_{cc} .

[0089] The frequency change-over control section 21 distinguishes whether the specified supply voltage value V_{cc} differs from the magnitude of the electrical potential difference by which current supply is carried out at the processor 1 from the power control section 7 (step S42).

[0090] If the supply voltage value V_{cc} differs from the magnitude of current supply voltage and the frequency change-over control section 21 will be distinguished (it is YES at step S42), it will control the power control section 7 and will change the magnitude of the electrical potential difference supplied to a processor 1 according to the supply voltage value V_{cc} (step S43).

[0091] On the other hand, if the supply voltage value V_{cc} does not differ from the magnitude of current supply voltage, namely, the supply voltage value V_{cc} and the magnitude of the frequency change-over control section 21 of current supply voltage correspond and it will be distinguished (it is NO at step S42), it will skip processing of step S43.

[0092] After this, clock up of the frequency change-over control section 21 is carried out by changing the clock frequency of a processor 1 according to the setting frequency F_{cpu} (step S44), and it ends clock frequency clock up processing.

[0093] Next, the frequency change-over control section 21 explains the clock frequency clock down processing performed at step S36 of the clock frequency automatic change-over processing mentioned above with reference to the flow chart of drawing 10.

[0094] The frequency change-over control section 21 will distinguish whether the setting frequency F_{cpu} differs from the current clock frequency in a processor 1, if clock frequency clock down processing is started (step S50).

[0095] If the setting frequency F_{cpu} does not differ from current clock frequency, namely, the setting frequency F_{cpu} and current clock frequency of the frequency change-over control section 21 correspond and it will be distinguished (it is NO at step S50), it will end clock frequency clock down processing as it is.

[0096] On the other hand, if the setting frequency F_{cpu} differs from current clock frequency and

the frequency change-over control section 21 will be distinguished (it is YES at step S50), it specifies the supply voltage value V_{cc} supplied to a processor 1 corresponding to the setting frequency F_{cpu} (step S51). Under the present circumstances, the frequency change-over control section 21 specifies the magnitude of the electrical potential difference supplied to a processor 1 corresponding to the setting frequency F_{cpu} with reference to the clock frequency data table 11 memorized by ROM2. That is, the frequency change-over control section 21 specifies the thing corresponding to the data "clock frequency" specified as a setting frequency F_{cpu} among the data "supply voltage" stored in the clock frequency data table 11 as a supply voltage value V_{cc} .

[0097] Moreover, the frequency change-over control section 21 carries out a clock down by changing the clock frequency of a processor 1 according to the setting frequency F_{cpu} in this case (step S52).

[0098] After this, the frequency change-over control section 21 distinguishes whether the specified supply voltage value V_{cc} differs from the magnitude of the electrical potential difference by which current supply is carried out at the processor 1 from the power control section 7 (step S53).

[0099] If the supply voltage value V_{cc} differs from the magnitude of current supply voltage and the frequency change-over control section 21 will be distinguished (it is YES at step S53), it will control the power control section 7, will change the magnitude of the electrical potential difference supplied to a processor 1 according to the supply voltage value V_{cc} (step S54), and will end clock frequency clock down processing.

[0100] On the other hand, if the supply voltage value V_{cc} does not differ from the magnitude of current supply voltage, namely, the supply voltage value V_{cc} and the magnitude of the frequency change-over control section 21 of current supply voltage correspond and it will be distinguished (it is NO at step S53), it will skip processing of step S54 and will end clock frequency clock down processing.

[0101] Thus, the clock frequency control system 101 can switch clock frequency automatically according to the use situation of a processor 1, when the mode of operation of the pocket information processing terminal 100 is the performance monitor mode M2.

[0102] For example, as shown in the timing chart of drawing 11, the time amount T_{mon} beforehand defined between the timing t_0 after the power source 8 was switched on at the pocket information processing terminal 100, and timing t_7 shall exist. Moreover, in the timing t_1 , t_2 , —, t_6 contained from timing t_0 before timing t_7 , the change-over of a task, and the activation initiation and termination of interrupt processing which a processor 1 performs should occur. For example, to timing t_1 , the task which a processor 1 performs is switched to Task TAY from Task TAX. Moreover, to timing t_2 , activation of interrupt processing IPb is started during activation of Task TAY.

[0103] In this case, the timing detecting element 22 directs activation of the Total_ticks addition processing for integrating the counted value of the tic counter 10 to the burden detecting element 20 in timing t_1 , t_2 , —, t_6 . The burden detecting element 20 answers directions from the timing detecting element 22, and performs Total_ticks addition processing in each of timing t_1 , t_2 , —, t_6 .

[0104] After this, the timing detecting element 22 detects that time amount T_{mon} passed with the performance-monitor timer 30 in timing t_7 . Then, the timing detecting element 22 directs activation of the clock frequency automatic change-over processing for switching clock frequency automatically according to the use situation of a processor 1 to the frequency change-over control section 21. The frequency change-over control section 21 answers directions from the timing detecting element 22, and performs clock frequency automatic change-over processing in timing t_7 . Thereby, the clock frequency control system 101 can switch clock frequency automatically according to the use situation of the processor 1 of a before [from timing t_0 / timing t_7], when the mode of operation of the pocket information processing terminal 100 is the performance monitor mode M2.

[0105] For example, the use situation of a processor 1 can be specified in the timing t_0 , t_{10} , t_{20} , —, t_{90} which comes whenever the predetermined time amount T_{mon} passes, as shown in

drawing 12., and clock frequency and supply voltage can be switched appropriately.

[0106] Moreover, when the mode of operation of the pocket information processing terminal 100 is the performance monitor mode M2, the clock frequency control system 101 answers directions from a user program, and controls the clock frequency of a processor 1.

[0107] That is, the clock frequency control system 101 changes the clock frequency of a processor 1 into the frequency which followed directions from the user program, when the frequency change-over control section 21 performs performance-monitor forcible setting processing shown in the flow chart of drawing 13.

[0108] Below, the performance-monitor forcible setting processing shown in the flow chart of drawing 13 is explained.

[0109] If the frequency change-over control section 21 answers directions from the user program which a processor 1 performs and performance-monitor forcible setting processing is started, it will distinguish whether the monitor flag 23 is "ON" (step S60).

[0110] If the frequency change-over control section 21 distinguishes that the monitor flag 23 is "OFF" (it is NO at step S60), after it will notify an error to a user program (step S61), it ends performance-monitor forcible setting processing. That is, the frequency change-over control section 21 does not change clock frequency by performing this performance-monitor forcible setting processing, when the mode of operation of the pocket information processing terminal 100 is the fixed frequency mode of operation M3.

[0111] On the other hand, if the frequency change-over control section 21 distinguishes that the monitor flag 23 is "ON" (it is YES at step S60), measurement of the elapsed time by the performance-monitor timer 30 will be stopped (step S62).

[0112] Moreover, the frequency change-over control section 21 specifies the clock frequency specified by the user program as a setting frequency Fcpu (step S63).

[0113] It distinguishes whether the frequency change-over control section 21 has the setting frequency Fcpu larger than the current clock frequency in a processor 1 (step S64).

[0114] If the frequency change-over control section 21 has the setting frequency Fcpu larger than the present clock frequency and it will be distinguished (it is YES at step S64), it will perform clock frequency clock up processing shown in the flow chart of drawing 9 mentioned above (step S65), and will carry out clock up of the clock frequency of a processor 1.

[0115] It distinguishes whether the frequency change-over control section 21 has the setting frequency Fcpu smaller than the current clock frequency in a processor 1, when the setting frequency Fcpu distinguishes that it is below current clock frequency (it is NO at step S64) (step S66).

[0116] If the frequency change-over control section 21 has the setting frequency Fcpu smaller than the present clock frequency and it will be distinguished (it is YES at step S66), it will perform clock frequency clock down processing shown in the flow chart of drawing 10 mentioned above (step S67), and will carry out the clock down of the clock frequency of a processor 1.

[0117] On the other hand, if the frequency change-over control section 21 has the setting frequency Fcpu equal to current clock frequency and it will be distinguished (it is NO at step S66), it will skip processing of step S67.

[0118] After this, the frequency change-over control section 21 makes variable Total_ticks zero, and initializes it (step S68).

[0119] Moreover, also about variable Tick_Reg and variable Tick_Reg_OLD, the frequency change-over control section 21 is considering as zero similarly, and is initialized (step S69).

[0120] The frequency change-over control section 21 resets the performance-monitor timer 30, makes measurement of elapsed time start again (restart) (step S70), and ends performance-monitor forcible setting processing.

[0121] Moreover, the clock frequency control system 101 usually specifies the clock frequency of a processor 1 to lowest frequency, when the mode of operation of this pocket information processing terminal 100 is the fixed frequency mode of operation M3. Under the present circumstances, the clock frequency control system 101 answers directions from the user program which a processor 1 is performing, and carries out clock up of the clock frequency of a processor 1.

[0122] That is, the clock frequency control system 101 changes the clock frequency of a processor 1 into the frequency which followed directions from the user program, when the frequency change-over control section 21 performs fixed frequency clock up processing shown in the flow chart of drawing 14. Moreover, in order that the clock frequency control system 101 may return the clock frequency of the processor 1 which carried out clock up by performing fixed frequency clock up processing (it cancels), the frequency change-over control section 21 performs fixed frequency clock up discharge processing shown in the flow chart of drawing 15.

[0123] Below, the fixed frequency clock up processing shown in the flow chart of drawing 14 is explained.

[0124] If the frequency change-over control section 21 answers directions from the user program which a processor 1 performs and fixed frequency clock up processing is started, it will distinguish whether the monitor flag 23 is "ON" (step S80).

[0125] If the frequency change-over control section 21 distinguishes that the monitor flag 23 is "ON" (it is YES at step S80), after it will notify an error to a user program (step S81), it ends fixed frequency clock up processing. That is, the frequency change-over control section 21 does not change clock frequency by performing this fixed frequency clock up processing, when the mode of operation of the pocket information processing terminal 100 is the performance monitor mode M2.

[0126] On the other hand, if the frequency change-over control section 21 distinguishes that the monitor flag 23 is "OFF" (it is NO at step S80), it specifies the clock frequency specified by the user program as a setting frequency Fcpu (step S82).

[0127] Moreover, the frequency change-over control section 21 registers into the clock frequency request administrator table 12 the clock frequency demanded by the user program, and its management number, and saves them at RAM3 (step S83). Namely, the frequency change-over control section 21 attaches the management number for identifying clock frequency for every demand from a user program, and registers it into the data "a management number" of the clock frequency request administrator table 12. Moreover, the frequency change-over control section 21 matches with a management number the data in which the clock frequency demanded from the user program is shown, and registers them into the data "a demand frequency" of the clock frequency request administrator table 12.

[0128] Under the present circumstances, the frequency change-over control section 21 notifies the management number registered into the clock frequency request administrator table 12 to a user program (step S84).

[0129] After this, it distinguishes whether the frequency change-over control section 21 has the setting frequency Fcpu larger than the current clock frequency in a processor 1 (step S85).

[0130] If the frequency change-over control section 21 has the setting frequency Fcpu larger than the present clock frequency and it will be distinguished (it is YES at step S85), it will perform clock frequency clock up processing shown in the flow chart of drawing 9 mentioned above, will change the clock frequency of a processor 1 (step S86), and will end fixed frequency clock up processing.

[0131] On the other hand, if the setting frequency Fcpu distinguishes that it is below current clock frequency (it is NO at step S85), the frequency change-over control section 21 will skip processing of step S86, and will end fixed frequency clock up processing.

[0132] Next, the fixed frequency clock up discharge processing shown in the flow chart of drawing 15 is explained.

[0133] If the frequency change-over control section 21 answers directions from the user program which a processor 1 performs and fixed frequency clock up discharge processing is started, it will distinguish whether the monitor flag 23 is "ON" (step S90).

[0134] If the frequency change-over control section 21 distinguishes that the monitor flag 23 is "ON" (it is YES at step S90), after it will notify an error to a user program (step S91), it ends fixed frequency clock up discharge processing. That is, since clock frequency of a processor 1 is not changed by performing fixed frequency clock up processing mentioned above when the mode of operation of the pocket information processing terminal 100 is the performance monitor mode M2, clock frequency is not returned.

[0135] On the other hand, if the frequency change-over control section 21 distinguishes that the monitor flag 23 is "OFF" (it is NO at step S90), it will acquire from a user program what serves as a candidate for actuation among the management numbers registered into the clock frequency request administrator table 12 (step S92).

[0136] Moreover, the frequency change-over control section 21 deletes the data in which the clock frequency corresponding to the management number acquired from the user program and the management number concerned is shown from the clock frequency request administrator table 12 (step S93).

[0137] It distinguishes whether the frequency change-over control section 21 has registration of a management number and clock frequency in the clock frequency request administrator table 12 (step S94).

[0138] If there is no registration in the clock frequency request administrator table 12 and the frequency change-over control section 21 will be distinguished (it is NO at step S94), it specifies the lowest frequency which can be set up as clock frequency of a processor 1 as a setting frequency Fcpu (step S95).

[0139] On the other hand, if the frequency change-over control section 21 has registration in the clock frequency request administrator table 12 and it will be distinguished (it is YES at step S94), it searches the clock frequency request administrator table 12, detects the highest clock frequency from data "a demand frequency", and specifies it as a setting frequency Fcpu (step S96).

[0140] After this, it distinguishes whether the frequency change-over control section 21 has the setting frequency Fcpu smaller than the current clock frequency in a processor 1 (step S97).

[0141] If the frequency change-over control section 21 has the setting frequency Fcpu smaller than the present clock frequency and it will be distinguished (it is YES at step S97), it will perform clock frequency clock down processing shown in the flow chart of drawing 10 mentioned above, will change the clock frequency of a processor 1 (step S98), and will end fixed frequency clock up discharge processing.

[0142] On the other hand, if the setting frequency Fcpu distinguishes that it is more than current clock frequency (it is NO at step S97), the frequency change-over control section 21 will skip processing of step S98, and will end fixed frequency clock up discharge processing.

[0143] Thus, the clock frequency control system 101 can switch clock frequency according to the directions from the user program which a processor 1 performs, when the mode of operation of the pocket information processing terminal 100 is the fixed frequency mode of operation M3.

[0144] Whenever the predetermined time amount Tmon passes according to this invention when the mode of operation of the pocket information processing terminal 100 is the performance monitor mode M2 as explained above, monitoring of the burden of a processor 1 can be carried out, and clock frequency can be automatically switched according to the use situation of having specified and specified the use situation. Thereby, the clock frequency of a processor 1 can be appropriately switched according to a use situation.

[0145] Moreover, when the mode of operation of the pocket information processing terminal 100 is the fixed frequency mode of operation M3, directions can be answered from the user program which a processor 1 performs, and clock frequency can be switched. Thereby, the clock frequency of a processor 1 can be appropriately switched according to the directions from a user program.

[0146] This invention is not limited to the gestalt of the above-mentioned implementation, but various deformation and application are possible for it. For example, you may enable it to set predetermined time amount Tmo<SUB>n used as the period which carries out monitoring of the burden of a processor 1 as arbitration according to the directions information inputted by the input section 4.

[0147] Moreover, ROM2 memorizes two or more clock frequency data tables 11 with which setup differs, and may enable it to choose from from the class of mode of operation which switches the clock frequency of a processor 1 among two or more modes. That is, you may enable it to choose the table used when two or more things from which a setup of the data "TICKmax" and data "TICKmin" which constitute the clock frequency data table 11 differs are prepared and the

mode of operation of the pocket information processing terminal 100 turns into the performance monitor mode M2. In this case, it becomes the mode which it is [clock-down-] hard to make clock up of the clock frequency of a processor 1 easy to carry out by setting the tic value which data "TICKmax" show as a small value. Moreover, it becomes the mode which it is [clock-down-] easy to make clock up of the clock frequency of a processor 1 hard to carry out by setting the tic value which data "TICKmax" show as a big value.

[0148] Although the processor 1 explained as a thing equipped with the tic counter 10 with the gestalt of the above-mentioned implementation, it is not limited to this. That is, as shown, for example in drawing 16 , RTC (Real Time Clock)40 which can count a tic value may be formed in the exterior of a processor 1, and you may use for measurement of the monitoring of the burden of a processor 1, or the predetermined time amount Tmon.

[0149]

[Effect of the Invention] Like the above explanation, according to this invention, whenever predetermined time amount passes, the use situation of a processor can be specified, and clock frequency can be switched appropriately. Moreover, according to this invention, according to the directions from the user program which a processor performs, the clock frequency of a processor can be switched appropriately.

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-182776
(P2002-182776A)

(43) 公開日 平成14年6月26日 (2002.6.26)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
G 0 6 F 1/04 1/32	3 0 1	G 0 6 F 1/04 1/00	3 0 1 C 5 B 0 1 1 3 3 2 Z 5 B 0 7 9

審査請求 未請求 請求項の数11 OL (全 15 頁)

(21) 出願番号 特願2000-383247(P2000-383247)

(22) 出願日 平成12年12月18日 (2000.12.18)

(71) 出願人 000003595
株式会社ケンウッド
東京都渋谷区道玄坂1丁目14番6号

(72) 発明者 上田 宣彰
東京都渋谷区道玄坂1丁目14番6号 株式会社ケンウッド内

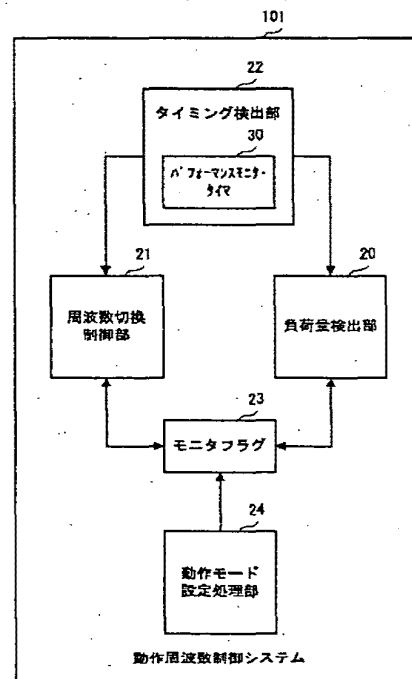
(74) 代理人 100077850
弁理士 芦田 哲仁朗 (外1名)
Fターム(参考) 5B011 DC06 LL02 LL12 LL13
5B079 BA01 BB01 BB04 BC01 BC07

(54) 【発明の名称】 動作周波数制御システム及び動作周波数制御方法

(57) 【要約】

【課題】 プロセッサの動作周波数を適切に制御する。

【解決手段】 タイミング検出部22は、タスクの切換タイミングや割込処理の実行開始・終了タイミング、及び予め定められた時間 T_{mon} が経過したタイミングを検出する。負荷量検出部20は、タイミング検出部22がタスクの切換タイミングや割込処理の実行開始・終了タイミングを検出すると、チック・カウンタのカウント値(チック値)を積算してプロセッサの負荷量を検出するための処理を実行する。周波数切換制御部21は、タイミング検出部22がパフォーマンスモニタ・タイマ30により予め定められた時間 T_{mon} が経過したことを検出すると、プロセッサの利用状況に応じて動作周波数を自動的に切り換えるための処理を実行する。



【特許請求の範囲】

【請求項 1】プロセッサの動作周波数を自動的に切り換えるための動作周波数制御システムであって、所定の時間が経過するごとに到来する第 1 のタイミングを検出するタイミング検出手段と、

前記タイミング検出手段により第 1 のタイミングが検出されると、プロセッサの利用状況を特定し、特定した利用状況に応じてプロセッサの動作周波数を切り換える周波数制御手段とを備える、ことを特徴とする動作周波数制御システム。

【請求項 2】プロセッサの負荷量を検出する負荷量検出手段を備え、

前記タイミング検出手段は、第 1 のタイミングが到来するまでの所定の時間内に含まれる第 2 のタイミングを検出すると、前記負荷量検出手段に、プロセッサの負荷量を検出するための処理の実行を指示し、

前記周波数制御手段は、前記負荷量検出手段が検出したプロセッサの負荷量に基づいてプロセッサの利用状況を特定し、プロセッサの動作周波数を切り換える、ことを特徴とする請求項 1 に記載の動作周波数制御システム。

【請求項 3】前記タイミング検出手段は、プロセッサが実行するタスクの切替タイミングと、割込処理の実行開始タイミング及び実行終了タイミングとを、第 2 のタイミングとして検出する、

ことを特徴とする請求項 2 に記載の動作周波数制御システム。

【請求項 4】前記負荷量検出手段は、プロセッサが実行した処理に費やされたチック値を積算することにより、プロセッサの負荷量を検出する、

ことを特徴とする請求項 2 又は 3 に記載の動作周波数制御システム。

【請求項 5】前記周波数制御手段は、プロセッサが実行するユーザプログラムからの指示に応じてプロセッサの動作周波数を切り換える、

ことを特徴とする請求項 1 から 4 のいずれか 1 項に記載の動作周波数制御システム。

【請求項 6】プロセッサの負荷量と、動作周波数とを対応付けたデータを記憶する記憶手段を備え、

前記周波数制御手段は、前記記憶手段に記憶されているデータを参照して、前記負荷量検出手段により検出されたプロセッサの負荷量に対応した動作周波数を特定し、プロセッサの動作周波数を切り換える、

ことを特徴とする請求項 2 から 5 のいずれか 1 項に記載の動作周波数制御システム。

【請求項 7】プロセッサに電源電圧を供給するための電源と、

前記電源からプロセッサに供給される電源電圧の大きさを制御する電源制御手段とを備え、

前記記憶手段は、プロセッサに供給する電圧の大きさを

示すデータを、プロセッサの負荷量と動作周波数とを対応付けたデータとともに記憶し、

前記周波数制御手段は、前記記憶手段に記憶されているデータを参照して、前記負荷量検出手段により検出されたプロセッサの負荷量に対応した供給電圧の大きさを特定し、前記電源制御手段により、前記電源からプロセッサに供給される電源電圧の大きさを、特定した供給電圧の大きさに制御させる、ことを特徴とする請求項 6 に記載の動作周波数制御システム。

【請求項 8】プロセッサの動作周波数を自動的に切り換えるための動作周波数制御システムであって、

所定のタイミングにてプロセッサの負荷量をモニタリングし、所定の時間が経過するごとに、モニタリングした負荷量に基づいてプロセッサの利用状況を特定し、特定した利用状況に応じてプロセッサの動作周波数を切り換える、

ことを特徴とする動作周波数制御システム。

【請求項 9】プロセッサが実行するユーザプログラムからの指示に応じてプロセッサの動作周波数を切り換える、

ことを特徴とする請求項 8 に記載の動作周波数制御システム。

【請求項 10】プロセッサの動作周波数を自動的に切り換えるための動作周波数制御方法であって、

所定のタイミングにてプロセッサの負荷量をモニタリングし、所定の時間が経過するごとに、モニタリングした負荷量に基づいてプロセッサの利用状況を特定し、特定した利用状況に応じてプロセッサの動作周波数を切り換える、

ことを特徴とする動作周波数制御方法。

【請求項 11】プロセッサが実行するユーザプログラムからの指示に応じてプロセッサの動作周波数を切り換える、

ことを特徴とする請求項 10 に記載の動作周波数制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、プロセッサの動作周波数を制御するための動作周波数制御システム及び動作周波数制御方法に係り、特に、プロセッサの動作周波数を適切に切り換えることができる動作周波数制御システム及び動作周波数制御方法に関する。

【0002】

【従来の技術】携帯電話機や PDA (Personal Digital Assistant)、ノートパソコンといった携帯情報処理端末向けの CPU (Central Processing Unit) や MPU (MicroProcessing Unit) 等のプロセッサは、充電可能な電池 (二次電池) 等から電力の供給を受けて駆動することができる。

【0003】こうした携帯情報処理端末向けのプロセッサにおける消費電力を低減させるための技術として、プロセッサの動作周波数を動的に制御する動作周波数制御システムが知られている。この動作周波数制御システムは、例えば、プロセッサがOS (Operating System、以下、OSという) を起動することにより実現される。

【0004】プロセッサの処理速度や消費電力は、例えば図17に示すように、動作周波数を切り換えることで変化する。そこで、動作周波数制御システムは、例えば電話帳データや電子メールを示すデータあるいは静止画等を表示するためのプログラムといった、負荷が軽いアプリケーションを実行する際には、動作周波数を低減して電力の消費量を抑制する。他方、動作周波数制御システムは、動画や音声を再生するためのプログラムといった、負荷が重いアプリケーションを実行する際には、動作周波数を増大して、ユーザが違和感を感じることがないように動作周波数を制御する。

【0005】こうした機能を実現するため、従来では、例えば、処理量が多くプロセッサに重い負荷がかかる処理を含んだアプリケーションを、周波数制御動作と関連付け、当該アプリケーションの実行開始時及び終了時に、プロセッサの動作周波数を変更していた。

【0006】例えば図18に示すように、従来の動作周波数制御システムは、プロセッサに重い負荷がかかる処理を含んだ高負荷アプリケーション実行時には、プロセッサに供給する電圧の大きさを、通常動作時において供給する電圧とは異なる大きさに変更して、動作周波数を増大させる。

【0007】

【発明が解決しようとする課題】上記従来技術では、プロセッサに重い負荷がかかる処理を含んだアプリケーションの実行開始時及び終了時にのみ、プロセッサの動作周波数を切り換えるように制御していた。このため、例えば処理量の少ないアプリケーションを多数実行した場合等には、プロセッサにかかる負荷が増大するにも関わらず、動作周波数を適切に切り換えることができないという問題があった。

【0008】また、1つのアプリケーションを実行している間であっても、割込処理が多数発生するタイミングと、あまり発生しないタイミングのように、時間によってプロセッサにかかる負荷が変化することがある。こうした場合、従来の動作周波数制御システムでは、アプリケーションの実行中は同一の動作周波数に維持しており、実際のプロセッサの利用状況に合わせて適切に動作周波数を制御することができなかった。

【0009】この発明は、上記実状に鑑みてなされたものであり、プロセッサの動作周波数を適切に制御することができる動作周波数制御システム、及び動作周波数制御方法を、提供することを目的とする。

【0010】

【課題を解決するための手段】上記目的を達成するため、この発明の第1の観点に係る動作周波数制御システムは、プロセッサの動作周波数を自動的に切り換えるためのものであって、所定の時間が経過するごとに到来する第1のタイミングを検出するタイミング検出手段と、前記タイミング検出手段により第1のタイミングが検出されると、プロセッサの利用状況を特定し、特定した利用状況に応じてプロセッサの動作周波数を切り換える周波数制御手段とを備える、ことを特徴とする。

【0011】この発明によれば、周波数制御手段は、所定の時間が経過するごとに到来する第1のタイミングがタイミング検出手段により検出されると、プロセッサの利用状況を特定して動作周波数を切り換えることができる。これにより、プロセッサの動作周波数を、プロセッサの利用状況に合わせて適切に切り換えるように制御することができる。

【0012】より詳細には、プロセッサの負荷量を検出する負荷量検出手段を備え、前記タイミング検出手段は、第1のタイミングが到来するまでの所定の時間内に含まれる第2のタイミングを検出すると、前記負荷量検出手段に、プロセッサの負荷量を検出するための処理の実行を指示し、前記周波数制御手段は、前記負荷量検出手段が検出したプロセッサの負荷量に基づいてプロセッサの利用状況を特定し、プロセッサの動作周波数を切り換えることが望ましい。

【0013】例えば、前記タイミング検出手段は、プロセッサが実行するタスクの切換タイミングと、割込処理の実行開始タイミング及び実行終了タイミングとを、第2のタイミングとして検出することが望ましい。

【0014】また、前記負荷量検出手段は、プロセッサが実行した処理に費やされたチック値を積算することにより、プロセッサの負荷量を検出することが望ましい。

【0015】前記周波数制御手段は、プロセッサが実行するユーザプログラムからの指示に応じてプロセッサの動作周波数を切り換えてもよい。

【0016】プロセッサの負荷量と、動作周波数とを対応付けたデータを記憶する記憶手段を備え、前記周波数制御手段は、前記記憶手段に記憶されているデータを参照して、前記負荷量検出手段により検出されたプロセッサの負荷量に対応した動作周波数を特定し、プロセッサの動作周波数を切り換えることが望ましい。

【0017】さらに、プロセッサに電源電圧を供給するための電源と、前記電源からプロセッサに供給される電源電圧の大きさを制御する電源制御手段とを備え、前記記憶手段は、プロセッサに供給する電圧の大きさを示すデータを、プロセッサの負荷量と動作周波数とを対応付けたデータとともに記憶し、前記周波数制御手段は、前記記憶手段に記憶されているデータを参照して、前記負荷量検出手段により検出されたプロセッサの負荷量に対応した供給電圧の大きさを特定し、前記電源制御手段に

より、前記電源からプロセッサに供給される電源電圧の大きさを、特定した供給電圧の大きさに制御させることが望ましい。

【0018】また、この発明の第2の観点に係る動作周波数制御システムは、プロセッサの動作周波数を自動的に切り換えるためのものであって、所定のタイミングにてプロセッサの負荷量をモニタリングし、所定の時間が経過するごとに、モニタリングした負荷量に基づいてプロセッサの利用状況を特定し、特定した利用状況に応じてプロセッサの動作周波数を切り換える、ことを特徴とする。

【0019】この発明によればプロセッサの負荷量をモニタリングすることでプロセッサの利用状況を特定し、特定した利用状況に合わせてプロセッサの動作周波数を切り換えることができる。これにより、プロセッサの動作周波数を、プロセッサの利用状況に合わせて適切に切り換えるように制御することができる。

【0020】また、プロセッサが実行するユーザプログラムからの指示に応じてプロセッサの動作周波数を切り換えるようにしてもよい。

【0021】この発明の第3の観点に係る動作周波数制御方法は、プロセッサの動作周波数を自動的に切り換えるための方法であって、所定のタイミングにてプロセッサの負荷量をモニタリングし、所定の時間が経過するごとに、モニタリングした負荷量に基づいてプロセッサの利用状況を特定し、特定した利用状況に応じてプロセッサの動作周波数を切り換える、ことを特徴とする。

【0022】また、プロセッサが実行するユーザプログラムからの指示に応じてプロセッサの動作周波数を切り換えてもよい。

【0023】

【発明の実施の形態】以下に、図面を参照して、この発明の実施の形態に係る動作周波数制御システムについて、携帯情報処理端末100に適用した場合を例に、詳細に説明する。

【0024】この携帯情報処理端末100は、例えば、携帯電話機やPDA(Personal Digital Assistant)、ノートパソコンといった、商用電源から切り離れた状態でも動作可能な端末装置であり、図1に示すような構成を有している。図示するように、この携帯情報処理端末100は、プロセッサ1と、ROM(Read Only Memory)2と、RAM(Random Access Memory)3と、入力部4と、表示制御部5と、表示部6と、電源制御部7と、電源8とを備えている。

【0025】プロセッサ1は、例えばCPU(Central Processing Unit)、あるいはMPU(Micro Processing Unit)等から構成され、この携帯情報処理端末100全体の動作を制御するためのものである。プロセッサ1は、OS(オペレーティングシステム)の制御の下、例えばROM2に記録されているプログラムを読み出し

て、各種のアプリケーション等を実行する。なお、プロセッサ1は、図示せぬ磁気ディスク装置等の任意の記録媒体からプログラムを読み出してアプリケーション等を実行してもよい。また、プロセッサ1は、1チックごとにカウントアップするチック・カウンタ10を備えている。ここで、1チックは、プロセッサ1に供給される1つのクロック信号に相当する。すなわち、チック・カウンタ10は、例えばプロセッサ1に供給されるクロック信号の立ち上がりエッジのタイミングでクロック数をカウントすることにより、カウントアップする。

【0026】ROM2は、デバイスドライバやローダープログラム、OS、アプリケーションプログラム等を格納する読出専用の記憶回路である。また、ROM2は、図2(a)に例示するような動作周波数データテーブル11を記憶している。

【0027】動作周波数データテーブル11は、プロセッサ1が所定の期間内に実行したタスクや割込処理に費やされたチック値から、プロセッサ1に対して設定する動作周波数及びプロセッサ1に供給する電圧の大きさを特定するためのデータを含んでいる。例えば、動作周波数データテーブル11は、プロセッサ1に対して設定可能な動作周波数を示す「動作周波数」、チック値の最大値を示す「TICKmax」、チック値の最小値を示す「TICKmin」、プロセッサ1への供給電圧の大きさを示す「供給電圧」等のデータから構成される。

【0028】RAM3は、プロセッサ1がプログラムを実行する際のワークエリアを提供し、データの一時的な記憶等を可能とする書換可能な記憶回路である。例えば、RAM3は、図2(b)に例示するような動作周波数要求管理テーブル12を保存する。

【0029】動作周波数要求管理テーブル12は、プロセッサ1が実行するユーザプログラムから要求された動作周波数を管理するためのテーブルであり、ユーザプログラムからの要求ごとに動作周波数を識別するための管理番号を示す「管理番号」、要求された動作周波数を示す「要求周波数」等のデータから構成される。

【0030】入力部4は、例えばキーボードやマウス、ポインティングデバイス等から構成され、この携帯情報処理端末100の動作を指示する指示情報や、文字及び数字を示すデータ等を入力するためのものである。

【0031】表示制御部5は、例えばVRAM(Video-RAM)、LCD(Liquid Crystal Display)ドライバ等から構成され、プロセッサ1から受けた画像データ等に応じて表示部6の動作を制御するためのものである。

【0032】表示部6は、例えばLCDパネル等から構成され、表示制御部5の制御に従った画像等を表示するためのものである。

【0033】電源制御部7は、例えばスイッチングレギュレータ等から構成され、電源8から供給された電源電圧を所定の電圧値に規定し、プロセッサ1などに供給す

るためのものである。ここで、電源制御部7は、プロセッサ1に供給する電圧の大きさを変更することで供給電力を調整し、動作周波数の制御を可能とする。また、電源制御部7は、この携帯情報処理端末100が図示せぬ充電機器に接続された場合、充電機器にセットされた旨をプロセッサ1に通知し、電源8の充電を開始する。他方、電源制御部7は、この携帯情報処理端末100と充電機器との接続が解放されると、その旨をプロセッサ1に通知して、電源8の充電を終了する。

【0034】電源8は、例えばリチウムイオン電池やニッケル水素イオン電池といった、充電可能な電池（二次電池）から構成され、この携帯情報処理端末100を駆動するための電力を供給するためのものである。

【0035】次に、上記構成を有する携帯情報処理端末100においてプロセッサ1がOSを起動することにより実現される動作周波数制御システム101の論理的構成を、図3を参照して説明する。図示するように、この動作周波数制御システム101は、負荷量検出部20と、周波数切換制御部21と、タイミング検出部22と、モニタフラグ23と、動作モード設定処理部24とを備えて構成される。

【0036】負荷量検出部20は、チック・カウンタ10のカウンタ値を用いてプロセッサ1にかかる負荷量を検出するための処理を実行する。例えば、負荷量検出部20は、チック・カウンタ10のカウンタ値（チック値）を積算することにより、一定の時間内に実行されたタスクや割込処理にて要したチック値を求め、変数Total_ticksとして設定する。ここで、負荷量検出部20は、チック・カウンタ10のカウンタ値を示す変数Tick_Reg_OLD及び変数Tick_Regを用いて、カウンタ値を積算するための処理を実行する。

【0037】変数Tick_Reg_OLDは、プロセッサ1が現在実行中のタスクに処理を切り換えたタイミングや、割込処理の実行を開始するタイミングにおけるチック・カウンタ10のカウンタ値を示す。また、変数Tick_Regは、現在におけるチック・カウンタ10のカウンタ値を示す。

【0038】周波数切換制御部21は、負荷量検出部20により設定された変数Total_ticksに基づいて、プロセッサ1の動作周波数の切換を制御する。周波数切換制御部21は、プロセッサ1の動作周波数を切り換える際に、電源制御部7に対して、プロセッサ1に供給する電源電圧の大きさの切換を指示する。この際、周波数切換制御部21は、ROM2に格納されている動作周波数データテーブル11を参照して、電源制御部7からプロセッサ1に供給される電源電圧の大きさを規定する。

【0039】タイミング検出部22は、パフォーマンスモニタ・タイマ30を備え、負荷量検出部20及び周波数切換制御部21が各種の処理を実行するタイミングを検出するためのものである。すなわち、タイミング検出

部22は、プロセッサ1が実行するタスクの切換タイミングや、割込処理の実行開始・終了タイミングを検出すると、チック・カウンタ10のカウンタ値を積算するための処理の実行を、負荷量検出部20に指示する。また、タイミング検出部22は、予め定められた時間 T_{mon} が経過したことをパフォーマンスモニタ・タイマ30により検出すると、プロセッサ1の利用状況に応じて動作周波数を自動的に切り換えるための処理の実行を、周波数切換制御部21に指示する。

【0040】パフォーマンスモニタ・タイマ30は、プロセッサ1の利用状況を評価する周期となる所定の時間 T_{mon} が経過したことを検出するためのものであり、プロセッサ1の利用状況に応じて動作周波数を切り換えるための処理が実行されるごとにリセットされて、再び経過時間の計測を開始（リスタート）する。

【0041】モニタフラグ23は、携帯情報処理端末100がプロセッサ1の利用状況に応じて動作周波数を自動的に切り換える動作モードであるか否かを示すためのものである。すなわち、モニタフラグ23は、携帯情報処理端末100がプロセッサ1の負荷量をモニタリングして動作周波数を自動的に切り換える動作モード（後述するパフォーマンスモニタモードM2）であるとき、“ON”となる。また、モニタフラグ23は、プロセッサ1により実行されるユーザプログラムからの指示に応じた動作周波数でプロセッサ1を動作させる動作モード（後述する固定周波数動作モードM3）であるとき、“OFF”となる。

【0042】動作モード設定処理部24は、電源8を投入した時などに所定の初期化処理を実行することにより、この携帯情報処理端末100の動作モードを設定する。

【0043】以下に、この発明の実施の形態に係る携帯情報処理端末100の動作を説明する。

【0044】図4は、携帯情報処理端末100の動作モードを示す図である。図示するように、この携帯情報処理端末100は、電源オフモードM1のほか、パフォーマンスモニタモードM2と、固定周波数動作モードM3とを備えている。

【0045】パフォーマンスモニタモードM2は、プロセッサ1の負荷量をモニタリングして利用状況を特定し、特定した利用状況に応じて動作周波数を自動的に切換可能な動作モードである。

【0046】固定周波数動作モードM3は、プロセッサ1が実行するユーザプログラムからの指示に応じた動作周波数でプロセッサ1を動作させる動作モードである。

【0047】この携帯情報処理端末100は、電源8が投入されると、動作周波数制御システム101が起動し、動作モード設定処理部24により、動作モードが設定される。

【0048】すなわち、動作モード設定処理部24は、

電源オフモードM1にて、例えば入力部4から入力された指示情報により電源8を投入する旨の指示を受ける。この際、動作モード設定処理部24は、図5のフローチャートに示すパフォーマンスモニタ初期化処理を実行することにより、携帯情報処理端末100の動作モードをパフォーマンスモニタモードM2に設定する。あるいは、動作モード設定処理部24は、図6のフローチャートに示す固定周波数動作初期化処理を実行することにより、携帯情報処理端末100の動作モードを固定周波数動作モードM3に設定する。

【0049】動作モード設定処理部24は、例えば、電源8の投入が指示された際に入力部4から入力された指示情報や、電源8を前回切断した時における動作モード等に基づいて、図5のフローチャートに示すパフォーマンスモニタ初期化処理、あるいは図6のフローチャートに示す固定周波数動作初期化処理を実行する。

【0050】以下に、図5のフローチャートに示すパフォーマンスモニタ初期化処理について説明する。

【0051】動作モード設定処理部24は、パフォーマンスモニタ初期化処理を開始すると、モニタフラグ23が”OFF”であるか否かを判別する(ステップS1)。

【0052】動作モード設定処理部24は、モニタフラグ23が”ON”であると判別すると(ステップS1にてNO)、携帯情報処理端末100の動作モードが既にパフォーマンスモニタモードM2となっているとして、そのままパフォーマンスモニタ初期化処理を終了する。

【0053】一方、動作モード設定処理部24は、モニタフラグ23が”OFF”であると判別すると(ステップS1にてYES)、負荷量検出部20がチック・カウンタ10のカウント値を積算するために用いる変数Total_ticksをゼロとして、初期化する(ステップS2)。

【0054】動作モード設定処理部24は、負荷量検出部20や周波数切換制御部21が用いる変数Tick_Reg及び変数Tick_Reg_OLDについても同様にゼロとすることで、初期化する(ステップS3)。

【0055】また、動作モード設定処理部24は、パフォーマンスモニタ・タイマ30をリセットして、経過時間の計測をスタートさせる(ステップS4)。

【0056】このうち、動作モード設定処理部24は、モニタフラグ23を”ON”として携帯情報処理端末100の動作モードをパフォーマンスモニタモードM2に設定し(ステップS5)、パフォーマンスモニタ初期化処理を終了する。

【0057】次に、図6のフローチャートに示す固定周波数動作初期化処理について説明する。

【0058】動作モード設定処理部24は、固定周波数動作初期化処理を開始すると、モニタフラグ23が”ON”であるか否かを判別する(ステップS10)。

【0059】動作モード設定処理部24は、モニタフラ

グ23が”ON”であると判別すると(ステップS10にてYES)、パフォーマンスモニタ・タイマ30による経過時間の計測を停止させる(ステップS11)。

【0060】また、動作モード設定処理部24は、モニタフラグ23を”OFF”として携帯情報処理端末100の動作モードを固定周波数動作モードM3に設定する(ステップS12)。

【0061】なお、動作モード設定処理部24は、上記ステップS10にて、モニタフラグ23が”OFF”であると判別すると(ステップS10にてNO)、上記ステップS11、S12の処理をスキップする。

【0062】このうち、動作モード設定処理部24は、RAM3に保存されている動作周波数要求管理テーブル12を初期化して(ステップS13)、固定周波数動作初期化処理を終了する。

【0063】また、動作モード設定処理部24は、携帯情報処理端末100の動作モードがパフォーマンスモニタモードM2であるときに、固定周波数動作初期化処理を実行することにより、動作モードを固定周波数動作モードM3に設定する。あるいは、動作モード設定処理部24は、携帯情報処理端末100の動作モードが固定周波数動作モードM3であるときに、パフォーマンスモニタ初期化処理を実行することにより、動作モードをパフォーマンスモニタモードM2に設定する。

【0064】動作周波数制御システム101は、この携帯情報処理端末100において電源8が投入されると、タイミング検出部22が、タスクの切換タイミングや割込処理の実行開始・終了タイミング、及び予め定められた時間 T_{con} が経過したタイミングを検出する。

【0065】タイミング検出部22は、タスクの切換タイミングや割込処理の実行開始・終了タイミングを検出すると、図7のフローチャートに示すTotal_ticks積算処理の実行を、負荷量検出部20に指示する。このTotal_ticks積算処理は、チック・カウンタ10のカウント値を積算してプロセッサ1の負荷量を検出するための処理である。

【0066】以下に、図7のフローチャートに示すTotal_ticks積算処理について説明する。

【0067】負荷量検出部20は、タイミング検出部22からの指示に回答してTotal_ticks積算処理を開始すると、モニタフラグ23が”ON”であるか否かを判別する(ステップS20)。

【0068】負荷量検出部20は、モニタフラグ23が”OFF”であると判別すると(ステップS20にてNO)、そのままTotal_ticks積算処理を終了する。

【0069】一方、負荷量検出部20は、モニタフラグ23が”ON”であると判別すると(ステップS20にてYES)、変数Total_ticksを設定するための処理を実行する(ステップS21)。すなわち、負荷量検出部20は、変数Tick_Regから変数Tick_Reg_OLDを差し引い

た値に、変数Total_ticksの現在値を加え合わせたものを、新たに変数Total_ticksとして設定する。これにより、変数Total_ticksには、プロセッサ1の負荷量に対応したチック値が積算され、プロセッサ1の利用状況が特定可能となる。

【0070】負荷量検出部20は、変数Tick_Regの現在値を、新たに変数Tick_Reg_OLDとして設定したのち（ステップS22）、Total_ticks積算処理を終了する。

【0071】また、タイミング検出部22は、パフォーマンスモニタ・タイマ30により、予め定められた時間T_{mon}が経過したことを検出すると、図8のフローチャートに示す動作周波数自動切換処理の実行を、周波数切換制御部21に指示する。この動作周波数自動切換処理は、プロセッサ1の利用状況に応じて動作周波数を自動的に切り換えるための処理である。

【0072】以下に、図8のフローチャートに示す動作周波数自動切換処理について説明する。

【0073】周波数切換制御部21は、タイミング検出部22からの指示に回答して動作周波数自動切換処理を開始すると、プロセッサ1が現在タスクを実行中であるか否かを判別する（ステップS30）。

【0074】周波数切換制御部21は、タスクを実行中であると判別すると（ステップS30にてYES）、変数Total_ticksを設定するための処理を実行する（ステップS31）。すなわち、周波数切換制御部21は、変数Tick_Regから変数Tick_Reg_OLDを差し引いた値に、変数Total_ticksの現在値を加えたものを、新たに変数Total_ticksとして設定する。

【0075】一方、周波数切換制御部21は、プロセッサ1がタスクを実行していないと判別すると（ステップS30にてNO）、ステップS31の処理をスキップする。

【0076】こののち、プロセッサ1の動作周波数として新たに設定する設定周波数F_{cpu}を特定する（ステップS32）。この際、周波数切換制御部21は、ROM2に記憶されている動作周波数データテーブル11を参照し、変数Total_ticksが示すチック値に適合したプロセッサ1の動作周波数を特定する。すなわち、周波数切換制御部21は、動作周波数データテーブル11に含まれるデータ「TICKmax」及び「TICKmin」と、変数Total_ticksとを比較し、数式1に示す条件を満たす場合に対応したデータ「動作周波数」を、設定周波数F_{cpu}として特定する。

【数1】 $TICKmin \leq Total_ticks < TICKmax$

【0077】周波数切換制御部21は、特定した設定周波数F_{cpu}が、プロセッサ1における現在の動作周波数より大きいか否かを判別する（ステップS33）。

【0078】周波数切換制御部21は、設定周波数F_{cpu}が現在の動作周波数より大きいと判別すると（ステップS33にてYES）、後述する動作周波数クロック

アップ処理を実行し（ステップS34）、プロセッサ1の動作周波数をクロックアップする。なお、プロセッサ1の動作周波数を規定するクロック信号は、チック・カウンタ10がカウントアップするためのクロック信号とは異なるものであり、この携帯情報処理端末100の各部位に供給されるものである。

【0079】一方、周波数切換制御部21は、設定周波数F_{cpu}が現在の動作周波数以下であると判別すると（ステップS33にてNO）、設定周波数F_{cpu}が、プロセッサ1における現在の動作周波数より小さいか否かを判別する（ステップS35）。

【0080】周波数切換制御部21は、設定周波数F_{cpu}が現在の動作周波数より小さいと判別すると（ステップS35にてYES）、後述する動作周波数クロックダウン処理を実行し（ステップS36）、プロセッサ1の動作周波数をクロックダウンする。

【0081】一方、周波数切換制御部21は、設定周波数F_{cpu}が現在の動作周波数と等しいと判別すると（ステップS35にてNO）、ステップS36の処理をスキップする。

【0082】こののち、周波数切換制御部21は、変数Total_ticksをゼロとして、初期化する（ステップS37）。

【0083】また、周波数切換制御部21は、変数Tick_Reg及び変数Tick_Reg_OLDについても同様にゼロとすることで、初期化する（ステップS38）。

【0084】周波数切換制御部21は、パフォーマンスモニタ・タイマ30をリセットして、再び経過時間の計測を開始（リスタート）させ（ステップS39）、動作周波数自動切換処理を終了する。

【0085】次に、周波数切換制御部21が、前述した動作周波数自動切換処理のステップS34にて実行する動作周波数クロックアップ処理について、図9のフローチャートを参照して説明する。

【0086】周波数切換制御部21は、動作周波数クロックアップ処理を開始すると、設定周波数F_{cpu}が、プロセッサ1における現在の動作周波数と異なっているか否かを判別する（ステップS40）。

【0087】周波数切換制御部21は、設定周波数F_{cpu}が現在の動作周波数と異なっていない、すなわち、設定周波数F_{cpu}と現在の動作周波数とが一致していると判別すると（ステップS40にてNO）、そのまま動作周波数クロックアップ処理を終了する。

【0088】一方、周波数切換制御部21は、設定周波数F_{cpu}が現在の動作周波数と異なっていると判別すると（ステップS40にてYES）、設定周波数F_{cpu}に対応してプロセッサ1に供給する供給電圧値V_{cc}を特定する（ステップS41）。この際、周波数切換制御部21は、ROM2に記憶されている動作周波数データテーブル11を参照し、設定周波数F_{cpu}に対応してプロセ

ッサ1に供給する電圧の大きさを特定する。すなわち、周波数切換制御部21は、動作周波数データテーブル11に含まれるデータ「供給電圧」のうち、設定周波数 F_{cpu} として特定されたデータ「動作周波数」に対応したものを、供給電圧値 V_{cc} として特定する。

【0089】周波数切換制御部21は、特定した供給電圧値 V_{cc} が、電源制御部7からプロセッサ1に現在供給されている電圧の大きさと異なっているか否かを判別する(ステップS42)。

【0090】周波数切換制御部21は、供給電圧値 V_{cc} が現在の供給電圧の大きさと異なっていると判別すると(ステップS42にてYES)、電源制御部7を制御して、プロセッサ1に供給する電圧の大きさを供給電圧値 V_{cc} に合わせて変更する(ステップS43)。

【0091】一方、周波数切換制御部21は、供給電圧値 V_{cc} が現在の供給電圧の大きさと異なっていない、すなわち、供給電圧値 V_{cc} と現在の供給電圧の大きさとが一致していると判別すると(ステップS42にてNO)、ステップS43の処理をスキップする。

【0092】このうち、周波数切換制御部21は、プロセッサ1の動作周波数を設定周波数 F_{cpu} に合わせて変更することでクロックアップして(ステップS44)、動作周波数クロックアップ処理を終了する。

【0093】次に、周波数切換制御部21が、前述した動作周波数自動切換処理のステップS36にて実行する動作周波数クロックダウン処理について、図10のフローチャートを参照して説明する。

【0094】周波数切換制御部21は、動作周波数クロックダウン処理を開始すると、設定周波数 F_{cpu} が、プロセッサ1における現在の動作周波数と異なっていると判別すると(ステップS50)。

【0095】周波数切換制御部21は、設定周波数 F_{cpu} が現在の動作周波数と異なっていない、すなわち、設定周波数 F_{cpu} と現在の動作周波数とが一致していると判別すると(ステップS50にてNO)、そのまま動作周波数クロックダウン処理を終了する。

【0096】一方、周波数切換制御部21は、設定周波数 F_{cpu} が現在の動作周波数と異なっていると判別すると(ステップS50にてYES)、設定周波数 F_{cpu} に対応してプロセッサ1に供給する供給電圧値 V_{cc} を特定する(ステップS51)。この際、周波数切換制御部21は、ROM2に記憶されている動作周波数データテーブル11を参照し、設定周波数 F_{cpu} に対応してプロセッサ1に供給する電圧の大きさを特定する。すなわち、周波数切換制御部21は、動作周波数データテーブル11に格納されているデータ「供給電圧」のうち、設定周波数 F_{cpu} として特定されたデータ「動作周波数」に対応したものを、供給電圧値 V_{cc} として特定する。

【0097】また、この際、周波数切換制御部21は、プロセッサ1の動作周波数を設定周波数 F_{cpu} に合わせ

て変更することでクロックダウンする(ステップS52)。

【0098】このうち、周波数切換制御部21は、特定した供給電圧値 V_{cc} が、電源制御部7からプロセッサ1に現在供給されている電圧の大きさと異なっているか否かを判別する(ステップS53)。

【0099】周波数切換制御部21は、供給電圧値 V_{cc} が現在の供給電圧の大きさと異なっていると判別すると(ステップS53にてYES)、電源制御部7を制御して、プロセッサ1に供給する電圧の大きさを供給電圧値 V_{cc} に合わせて変更し(ステップS54)、動作周波数クロックダウン処理を終了する。

【0100】一方、周波数切換制御部21は、供給電圧値 V_{cc} が現在の供給電圧の大きさと異なっていない、すなわち、供給電圧値 V_{cc} と現在の供給電圧の大きさとが一致していると判別すると(ステップS53にてNO)、ステップS54の処理をスキップして、動作周波数クロックダウン処理を終了する。

【0101】このようにして、動作周波数制御システム101は、携帯情報処理端末100の動作モードがパフォーマンスモニタモードM2であるときに、プロセッサ1の利用状況に応じて動作周波数を自動的に切り換えることができる。

【0102】例えば、図11のタイミングチャートに示すように、携帯情報処理端末100にて電源8が投入されたのちのタイミング t_0 とタイミング t_7 との間に、予め定められた時間 T_{mon} が存在するものとする。また、タイミング t_0 からタイミング t_7 までの間に含まれるタイミング t_1 、 t_2 、…、 t_6 において、プロセッサ1が実行するタスクの切換や割込処理の実行開始・終了が発生したものとする。例えば、タイミング t_1 では、プロセッサ1が実行するタスクが、タスク TA_x からタスク TA_y に切り換えられている。また、タイミング t_2 では、タスク TA_y の実行中に、割込処理 IP_b の実行が開始されている。

【0103】この場合、タイミング検出部22は、タイミング t_1 、 t_2 、…、 t_6 において、チック・カウンタ10のカウンタ値を積算するためのTotal_ticks積算処理の実行を、負荷量検出部20に指示する。負荷量検出部20は、タイミング検出部22からの指示に回答して、タイミング t_1 、 t_2 、…、 t_6 のそれぞれにおいて、Total_ticks積算処理を実行する。

【0104】このうち、タイミング検出部22は、タイミング t_7 において、パフォーマンスモニタ・タイマ30により時間 T_{mon} が経過したことを検出する。そこで、タイミング検出部22は、プロセッサ1の利用状況に応じて動作周波数を自動的に切り換えるための動作周波数自動切換処理の実行を、周波数切換制御部21に指示する。周波数切換制御部21は、タイミング検出部22からの指示に回答して、タイミング t_7 において、動

作周波数自動切換処理を実行する。これにより、動作周波数制御システム101は、携帯情報処理端末100の動作モードがパフォーマンスモニタモードM2であるときに、タイミング t_0 からタイミング t_7 までの間におけるプロセッサ1の利用状況に応じて、動作周波数を自動的に切り換えることができる。

【0105】例えば図12に示すように、所定の時間 T_{min} が経過するごとに到来するタイミング t_0 、 t_{10} 、 t_{20} 、…、 t_{90} においてプロセッサ1の利用状況を特定し、動作周波数及び供給電圧を適切に切り換えることができる。

【0106】また、動作周波数制御システム101は、携帯情報処理端末100の動作モードがパフォーマンスモニタモードM2であるときに、ユーザプログラムからの指示にตอบสนองして、プロセッサ1の動作周波数を制御する。

【0107】すなわち、動作周波数制御システム101は、周波数切換制御部21が図13のフローチャートに示すパフォーマンスモニタ強制設定処理を実行することにより、プロセッサ1の動作周波数をユーザプログラムからの指示に従った周波数に変更する。

【0108】以下に、図13のフローチャートに示すパフォーマンスモニタ強制設定処理について説明する。

【0109】周波数切換制御部21は、プロセッサ1が実行するユーザプログラムからの指示にตอบสนองしてパフォーマンスモニタ強制設定処理を開始すると、モニタフラグ23が”ON”であるか否かを判別する(ステップS60)。

【0110】周波数切換制御部21は、モニタフラグ23が”OFF”であると判別すると(ステップS60にてNO)、ユーザプログラムにエラーを通知したのち(ステップS61)、パフォーマンスモニタ強制設定処理を終了する。すなわち、周波数切換制御部21は、携帯情報処理端末100の動作モードが固定周波数動作モードM3であるときには、このパフォーマンスモニタ強制設定処理を実行することによる動作周波数の変更を行わない。

【0111】一方、周波数切換制御部21は、モニタフラグ23が”ON”であると判別すると(ステップS60にてYES)、パフォーマンスモニタ・タイマ30による経過時間の計測を停止させる(ステップS62)。

【0112】また、周波数切換制御部21は、ユーザプログラムにより指定された動作周波数を、設定周波数 F_{cpu} として特定する(ステップS63)。

【0113】周波数切換制御部21は、設定周波数 F_{cpu} が、プロセッサ1における現在の動作周波数より大きいか否かを判別する(ステップS64)。

【0114】周波数切換制御部21は、設定周波数 F_{cpu} が現在の動作周波数より大きいと判別すると(ステップS64にてYES)、前述した図9のフローチャー

トに示す動作周波数クロックアップ処理を実行し(ステップS65)、プロセッサ1の動作周波数をクロックアップする。

【0115】周波数切換制御部21は、設定周波数 F_{cpu} が現在の動作周波数以下であると判別すると(ステップS64にてNO)、設定周波数 F_{cpu} が、プロセッサ1における現在の動作周波数より小さいか否かを判別する(ステップS66)。

【0116】周波数切換制御部21は、設定周波数 F_{cpu} が現在の動作周波数より小さいと判別すると(ステップS66にてYES)、前述した図10のフローチャートに示す動作周波数クロックダウン処理を実行し(ステップS67)、プロセッサ1の動作周波数をクロックダウンする。

【0117】一方、周波数切換制御部21は、設定周波数 F_{cpu} が現在の動作周波数と等しいと判別すると(ステップS66にてNO)、ステップS67の処理をスキップする。

【0118】こののち、周波数切換制御部21は、変数Total_ticksをゼロとして、初期化する(ステップS68)。

【0119】また、周波数切換制御部21は、変数Tick_Reg及び変数Tick_Reg_OLDについても同様にゼロとすることで、初期化する(ステップS69)。

【0120】周波数切換制御部21は、パフォーマンスモニタ・タイマ30をリセットして、再び経過時間の計測を開始(リスタート)させ(ステップS70)、パフォーマンスモニタ強制設定処理を終了する。

【0121】また、動作周波数制御システム101は、この携帯情報処理端末100の動作モードが固定周波数動作モードM3であるときには、通常、プロセッサ1の動作周波数を最低周波数に規定する。この際、動作周波数制御システム101は、プロセッサ1が実行中のユーザプログラムからの指示にตอบสนองして、プロセッサ1の動作周波数をクロックアップする。

【0122】すなわち、動作周波数制御システム101は、周波数切換制御部21が図14のフローチャートに示す固定周波数クロックアップ処理を実行することにより、プロセッサ1の動作周波数をユーザプログラムからの指示に従った周波数に変更する。また、動作周波数制御システム101は、固定周波数クロックアップ処理を実行することによりクロックアップしたプロセッサ1の動作周波数を元に戻す(解除する)ため、周波数切換制御部21が図15のフローチャートに示す固定周波数クロックアップ解除処理を実行する。

【0123】以下に、図14のフローチャートに示す固定周波数クロックアップ処理について説明する。

【0124】周波数切換制御部21は、プロセッサ1が実行するユーザプログラムからの指示にตอบสนองして固定周波数クロックアップ処理を開始すると、モニタフラグ2

3が”ON”であるか否かを判別する(ステップS80)。

【0125】周波数切換制御部21は、モニタフラグ23が”ON”であると判別すると(ステップS80にてYES)、ユーザプログラムにエラーを通知したのち(ステップS81)、固定周波数クロックアップ処理を終了する。すなわち、周波数切換制御部21は、携帯情報処理端末100の動作モードがパフォーマンスモニタモードM2であるときには、この固定周波数クロックアップ処理を実行することによる動作周波数の変更、を行

【0126】一方、周波数切換制御部21は、モニタフラグ23が”OFF”であると判別すると(ステップS80にてNO)、ユーザプログラムにより指定された動作周波数を、設定周波数 F_{cpu} として特定する(ステップS82)。

【0127】また、周波数切換制御部21は、ユーザプログラムにより要求された動作周波数と、その管理番号とを、動作周波数要求管理テーブル12に登録し、RAM3に保存する(ステップS83)。すなわち、周波数切換制御部21は、ユーザプログラムからの要求ごとに動作周波数を識別するための管理番号を付して、動作周波数要求管理テーブル12のデータ「管理番号」に登録する。また、周波数切換制御部21は、ユーザプログラムから要求された動作周波数を示すデータを管理番号に対応付けて、動作周波数要求管理テーブル12のデータ「要求周波数」に登録する。

【0128】この際、周波数切換制御部21は、動作周波数要求管理テーブル12に登録した管理番号をユーザプログラムに通知する(ステップS84)。

【0129】こののち、周波数切換制御部21は、設定周波数 F_{cpu} が、プロセッサ1における現在の動作周波数より大きいか否かを判別する(ステップS85)。

【0130】周波数切換制御部21は、設定周波数 F_{cpu} が現在の動作周波数より大きいと判別すると(ステップS85にてYES)、前述した図9のフローチャートに示す動作周波数クロックアップ処理を実行して、プロセッサ1の動作周波数を変更し(ステップS86)、固定周波数クロックアップ処理を終了する。

【0131】一方、周波数切換制御部21は、設定周波数 F_{cpu} が現在の動作周波数以下であると判別すると(ステップS85にてNO)、ステップS86の処理をスキップして、固定周波数クロックアップ処理を終了する。

【0132】次に、図15のフローチャートに示す固定周波数クロックアップ解除処理について説明する。

【0133】周波数切換制御部21は、プロセッサ1が実行するユーザプログラムからの指示に回答して固定周波数クロックアップ解除処理を開始すると、モニタフラグ23が”ON”であるか否かを判別する(ステップS

90)。

【0134】周波数切換制御部21は、モニタフラグ23が”ON”であると判別すると(ステップS90にてYES)、ユーザプログラムにエラーを通知したのち(ステップS91)、固定周波数クロックアップ解除処理を終了する。すなわち、携帯情報処理端末100の動作モードがパフォーマンスモニタモードM2であるときには、前述した固定周波数クロックアップ処理を実行することによってプロセッサ1の動作周波数を変更することはないので、動作周波数を元に戻すこともない。

【0135】一方、周波数切換制御部21は、モニタフラグ23が”OFF”であると判別すると(ステップS90にてNO)、動作周波数要求管理テーブル12に登録されている管理番号のうちで操作対象となるものを、ユーザプログラムから取得する(ステップS92)。

【0136】また、周波数切換制御部21は、ユーザプログラムから取得した管理番号及び当該管理番号に対応する動作周波数を示すデータを、動作周波数要求管理テーブル12から削除する(ステップS93)。

【0137】周波数切換制御部21は、動作周波数要求管理テーブル12に、管理番号及び動作周波数の登録があるか否かを判別する(ステップS94)。

【0138】周波数切換制御部21は、動作周波数要求管理テーブル12に登録がないと判別すると(ステップS94にてNO)、プロセッサ1の動作周波数として設定可能な最低周波数を、設定周波数 F_{cpu} として特定する(ステップS95)。

【0139】一方、周波数切換制御部21は、動作周波数要求管理テーブル12に登録があると判別すると(ステップS94にてYES)、動作周波数要求管理テーブル12を検索して、データ「要求周波数」から最高の動作周波数を検出し、設定周波数 F_{cpu} として特定する(ステップS96)。

【0140】こののち、周波数切換制御部21は、設定周波数 F_{cpu} が、プロセッサ1における現在の動作周波数より小さいか否かを判別する(ステップS97)。

【0141】周波数切換制御部21は、設定周波数 F_{cpu} が現在の動作周波数より小さいと判別すると(ステップS97にてYES)、前述した図10のフローチャートに示す動作周波数クロックダウン処理を実行して、プロセッサ1の動作周波数を変更し(ステップS98)、固定周波数クロックアップ解除処理を終了する。

【0142】一方、周波数切換制御部21は、設定周波数 F_{cpu} が現在の動作周波数以上であると判別すると(ステップS97にてNO)、ステップS98の処理をスキップして、固定周波数クロックアップ解除処理を終了する。

【0143】このようにして、動作周波数制御システム101は、携帯情報処理端末100の動作モードが固定周波数動作モードM3であるときに、プロセッサ1が実

行するユーザプログラムからの指示に応じて動作周波数を切り換えることができる。

【0144】以上説明したように、この発明によれば、携帯情報処理端末100の動作モードがパフォーマンスモニタモードM2であるときには、所定の時間 T_{mon} が経過するごとに、プロセッサ1の負荷量をモニタリングして利用状況を特定し、特定した利用状況に応じて動作周波数を自動的に切り換えることができる。これにより、プロセッサ1の動作周波数を、利用状況に応じて適切に切り換えることができる。

【0145】また、携帯情報処理端末100の動作モードが固定周波数動作モードM3であるときには、プロセッサ1が実行するユーザプログラムからの指示に回答して、動作周波数を切り換えることができる。これにより、プロセッサ1の動作周波数を、ユーザプログラムからの指示に応じて適切に切り換えることができる。

【0146】この発明は、上記実施の形態に限定されず、様々な変形及び応用が可能である。例えば、プロセッサ1の負荷量をモニタリングする周期となる所定の時間 T_{mon} は、入力部4により入力された指示情報に応じて任意に設定できるようにしてもよい。

【0147】また、ROM2が設定の異なる動作周波数データテーブル11を複数記憶し、プロセッサ1の動作周波数を切り換える動作モードの種類を、複数のモードのうちから選択できるようにしてもよい。すなわち、動作周波数データテーブル11を構成するデータ「TICKmax」及びデータ「TICKmin」の設定が異なるものを複数用意して、携帯情報処理端末100の動作モードがパフォーマンスモニタモードM2となったときに用いるテーブルを選択できるようにしてもよい。この場合、データ「TICKmax」が示すチック値を小さい値に設定することにより、プロセッサ1の動作周波数をクロックアップし易くクロックダウンし難いモードとなる。また、データ「TICKmax」が示すチック値を大きな値に設定することにより、プロセッサ1の動作周波数をクロックアップし難くクロックダウンし易いモードとなる。

【0148】上記実施の形態では、プロセッサ1がチック・カウンタ10を備えているものとして説明したが、これに限定されない。すなわち、例えば図16に示すように、プロセッサ1の外部にチック値をカウントすることができるRTC (Real Time Clock) 40を設け、プロセッサ1の負荷量のモニタリングや所定の時間 T_{mon} の計測に用いてもよい。

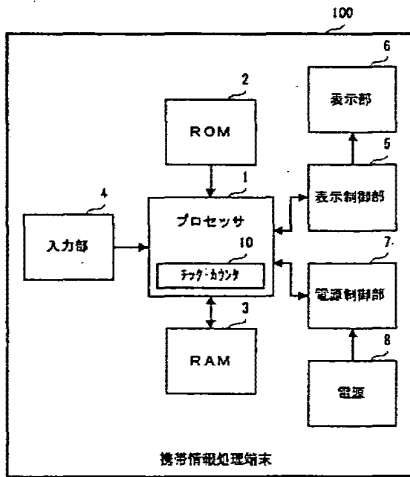
【0149】
【発明の効果】以上の説明のように、この発明によれば、所定の時間が経過するごとにプロセッサの利用状況を特定して、動作周波数を適切に切り換えることができる。また、この発明によれば、プロセッサが実行するユーザプログラムからの指示に応じて、プロセッサの動作周波数を適切に切り換えることができる。

- 【図面の簡単な説明】
- 【図1】この発明の実施の形態に係る動作周波数制御システムが適用される携帯情報処理端末の構成を示す図である。
 - 【図2】(a)は、動作周波数データテーブルを例示する図であり、(b)は、動作周波数要求管理テーブルを例示する図である。
 - 【図3】動作周波数制御システムの論理的構成を示す図である。
 - 【図4】携帯情報処理端末の動作モードを示す図である。
 - 【図5】パフォーマンスモニタ初期化処理を説明するためのフローチャートである。
 - 【図6】固定周波数動作初期化処理を説明するためのフローチャートである。
 - 【図7】Total_ticks積算処理を説明するためのフローチャートである。
 - 【図8】動作周波数自動切換処理を説明するためのフローチャートである。
 - 【図9】動作周波数クロックアップ処理を説明するためのフローチャートである。
 - 【図10】動作周波数クロックダウン処理を説明するためのフローチャートである。
 - 【図11】動作周波数制御システムの動作を説明するためのタイミングチャートである。
 - 【図12】動作周波数と供給電圧の切換動作を説明するためのタイミングチャートである。
 - 【図13】パフォーマンスモニタ強制設定処理を説明するためのフローチャートである。
 - 【図14】固定周波数クロックアップ処理を説明するためのフローチャートである。
 - 【図15】固定周波数クロックアップ解除処理を説明するためのフローチャートである。
 - 【図16】この発明の実施の形態に係る動作周波数制御システムが適用される携帯情報処理端末の変形例を示す図である。
 - 【図17】処理速度及び消費電力と、動作周波数との関係を説明するための図である。
 - 【図18】従来の動作周波数制御システムにおける、動作周波数と供給電圧の切換動作を説明するためのタイミングチャートである。
- 【符号の説明】
- 1 プロセッサ
 - 2 ROM
 - 3 RAM
 - 4 入力部
 - 5 表示制御部
 - 6 表示部
 - 7 電源制御部
 - 8 電源

- 10 チック・カウンタ
- 11 動作周波数データテーブル
- 12 動作周波数要求管理テーブル
- 20 負荷量検出部
- 21 周波数切換制御部
- 22 タイミング検出部
- 23 モニタフラグ
- 24 動作モード設定処理部

- 30 パフォーマンスモニタ・タイマ
- 40 RTC
- 100 携帯情報処理端末
- 101 動作周波数制御システム
- M1 電源オフモード
- M2 パフォーマンスモニタモード
- M3 固定周波数動作モード

【図1】



【図2】

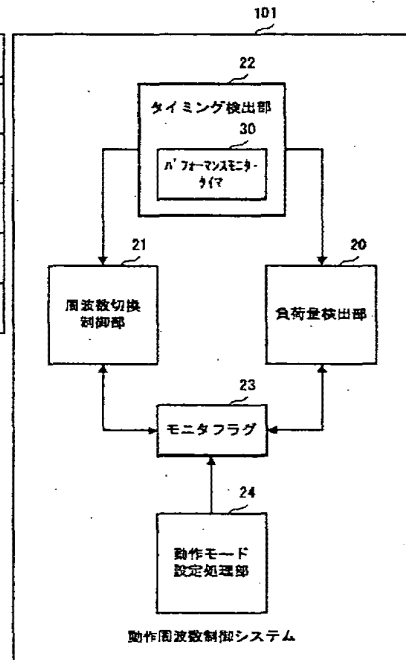
(a)

動作周波数	TICKmax	TICKmin	供給電圧
50MHz	*****	0	0.75V
150MHz	*****	*****	0.75V
400MHz	*****	*****	1.0V
600MHz	*****	*****	1.3V
800MHz	*****	*****	1.65V

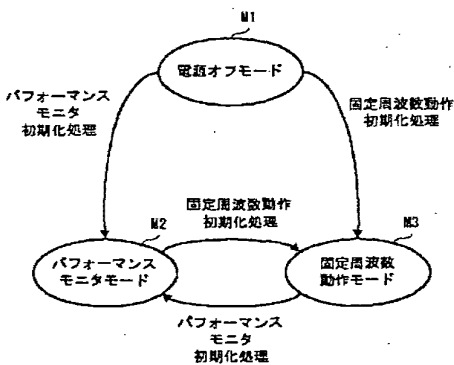
(b)

管理番号	要求周波数
1	50MHz
24	400MHz
290	600MHz
37	50MHz

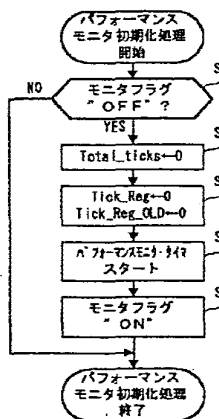
【図3】



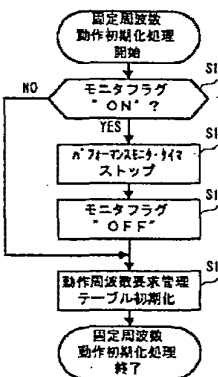
【図4】



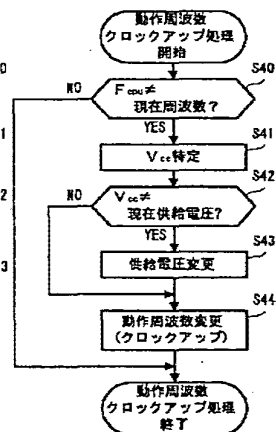
【図5】



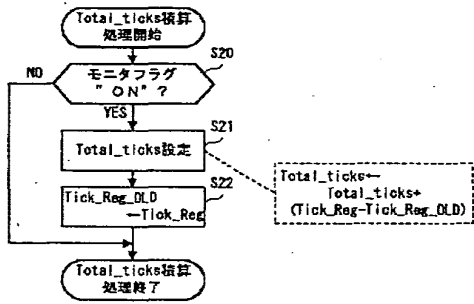
【図6】



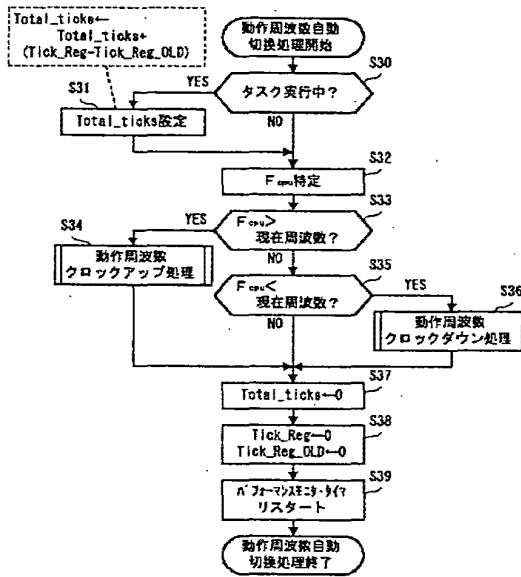
【図9】



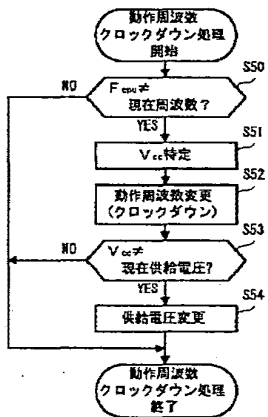
【図7】



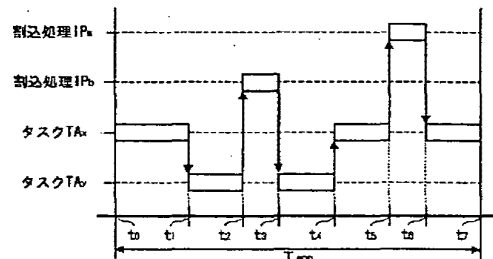
【図8】



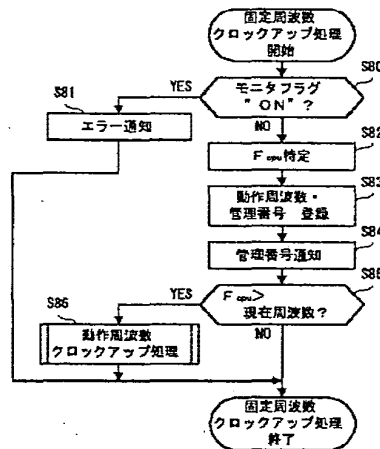
【図10】



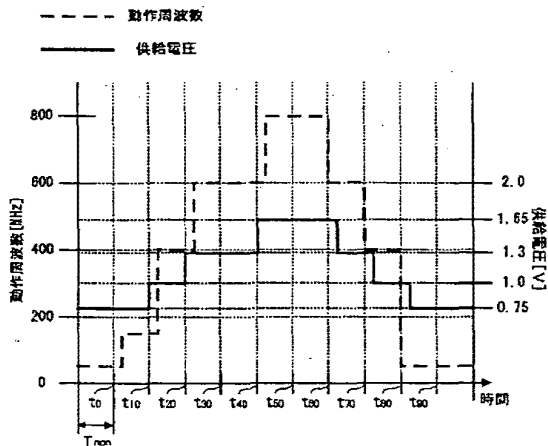
【図11】



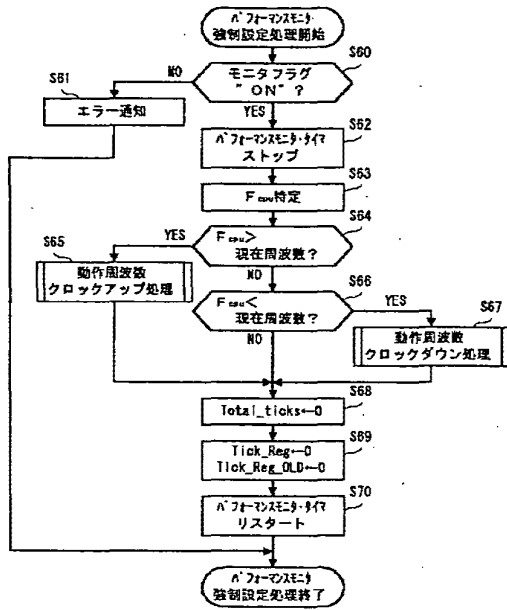
【図14】



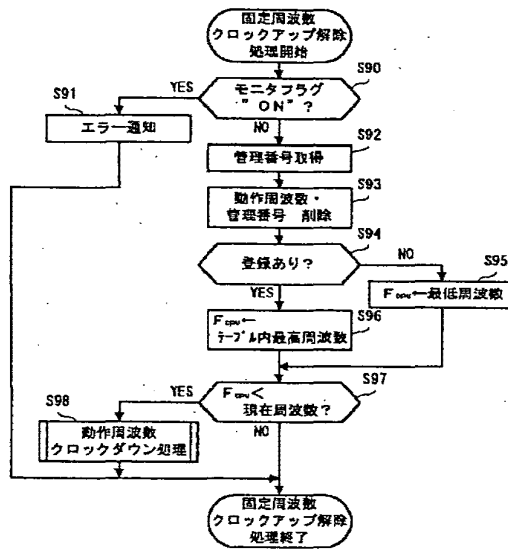
【図12】



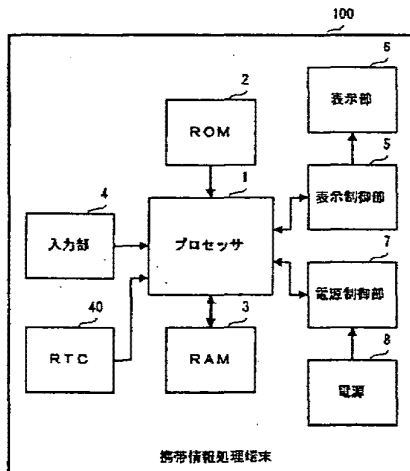
【図13】



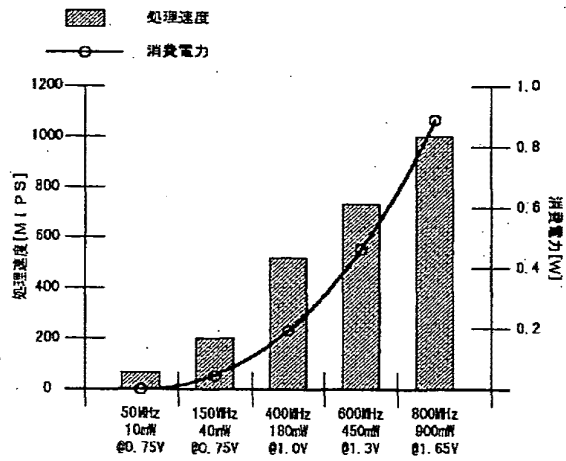
【図15】



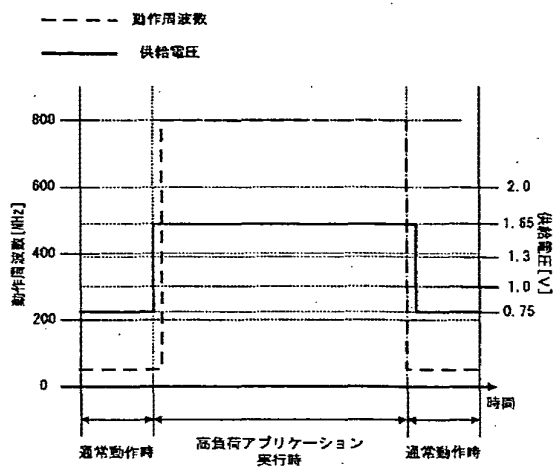
【図16】



【図17】



【図18】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-194849

(43)Date of publication of application : 21.07.1999

(51)Int.Cl. G06F 1/04
G06F 1/08
G06F 9/06
H04B 1/04
H04B 1/16

(21)Application number : 09-360502

(71)Applicant : NEC CORP

(22)Date of filing : 26.12.1997

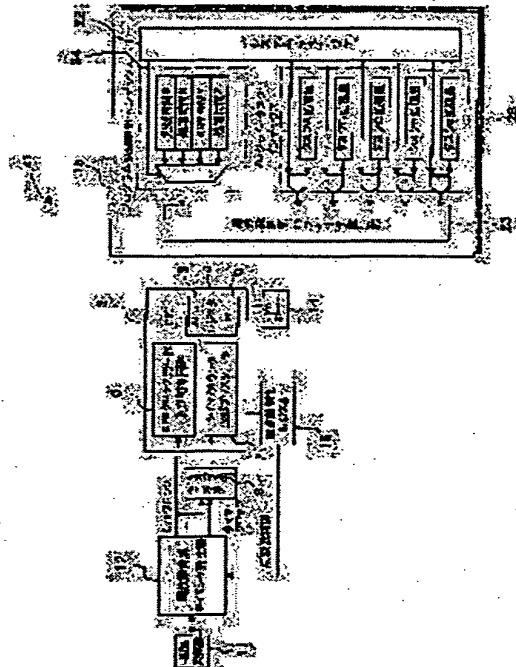
(72)Inventor : KANBAYASHI HISAMI

(54) METHOD AND DEVICE FOR DATA PROCESSING, AND INFORMATION STORAGE MEDIUM

(57)Abstract:

PROBLEM TO BE SOLVED: To make it possible to surely complete a specific processing operation in a specific processing time when a microcomputer switches its processing speed corresponding to processing operation and to make the processing speed not unnecessarily fast.

SOLUTION: The processing capacity and processing time when the microcomputer 2 performs various processing operation are registered in a capacity storage means 23 and a time storage means 24, and when the microcomputer 2 performs processing operation, the corresponding processing capacity and processing time are selected and the processing speed of the microcomputer 2 is calculated by dividing the processing capacity by the processing time to vary the frequency of a reference clock. Since the processing speed of the microcomputer 2 is varied corresponding to the processing capacity and processing time, a specific processing operation can be completed in a specific processing time and the frequency of the reference clock can be set to an optimum value, and an unnecessary increase in power consumption can be prevented.



LEGAL STATUS

[Date of request for examination] 26.12.1997

[Date of sending the examiner's decision of rejection] 10.01.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

THIS PAGE BLANK (USPTO)

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] At least one system manager and various kinds of application programs are registered. It is the data-processing approach of a data processor of performing various kinds of processing actuation corresponding to a system manager and various kinds of application programs with the processing speed corresponding to a reference clock. Register the processing capacity in the case of performing various kinds of processing actuation, and the processing time in the case of performing various kinds of processing actuation is registered. The data-processing approach which elected processing capacity and the processing time when various kinds of processing actuation was performed, did the division of this elected processing capacity by the processing time, computes the processing speed of processing actuation and was made to carry out adjustable [of the frequency of a reference clock] corresponding to this computed processing speed.

[Claim 2] At least one system manager and various kinds of application programs are registered. By performing various kinds of processing actuation corresponding to a system manager and various kinds of application programs with the processing speed corresponding to a reference clock in the sequence corresponding to a time format While changing into a communication link electric wave the sound signal by which an external input is carried out and carrying out wireless transmission It is the data-processing approach of the data processor which changes into a sound signal the communication link electric wave which carries out wireless reception, and carries out an external output. The processing capacity in the case of performing various kinds of processing actuation, such as signal transmission and signal reception, is registered. The processing time corresponding to the time format in the case of performing various kinds of processing actuation is registered. The data-processing approach which elected processing capacity and the processing time when various kinds of processing actuation was performed in order, did the division of this elected processing capacity by the processing time, computes the processing speed of processing actuation and was made to carry out adjustable [of the frequency of a reference clock] corresponding to this computed processing speed.

[Claim 3] A manager storage means by which at least one system manager is registered, A program store means by which various kinds of application programs are registered, The microcomputer which performs various kinds of processing actuation corresponding to a clock generation means to generate a reference clock, and a system manager and various kinds of application programs, with the processing speed corresponding to a reference clock, A capacity storage means by which processing capacity in case this microcomputer performs various kinds of processing actuation is registered, A time amount storage means by which the processing time in case said microcomputer performs various kinds of processing actuation is registered, A data election means to elect processing capacity and the processing time from said capacity storage means and said time amount storage means when various kinds of processing actuation is performed with said microcomputer, A rate calculation means to compute the processing speed of said microcomputer by doing the division of the processing capacity elected by this data election means by the processing time, The data processor possessing the clock adjustable means which carries out adjustable [of the frequency of the reference clock supplied to said

THIS PAGE BLANK (USPTO)

microcomputer from said clock generation means corresponding to the processing speed computed by this rate calculation means] .

[Claim 4] While changing into a communication link electric wave the sound signal by which an external input is carried out by performing various kinds of processing actuation by the sequence and time amount corresponding to the time format set up in advance and carrying out wireless transmission A manager storage means by which are the data processor which changes into a sound signal the communication link electric wave which carries out wireless reception, and carries out an external output, and at least one system manager is registered, A program store means by which various kinds of application programs are registered, A clock generation means to generate a reference clock, The microcomputer which performs various kinds of processing actuation, such as signal transmission, signal reception, etc. corresponding to a system manager and various kinds of application programs, with the processing speed corresponding to a reference clock in the sequence corresponding to a time format, A capacity storage means by which processing capacity in case this microcomputer performs various kinds of processing actuation, such as signal transmission and signal reception, is registered, A time amount storage means by which the processing time corresponding to a time format in case said microcomputer performs various kinds of processing actuation is registered, A data election means to elect processing capacity and the processing time from said capacity storage means and said time amount storage means when various kinds of processing actuation is performed with said microcomputer, A rate calculation means to compute the processing speed of said microcomputer by doing the division of the processing capacity elected by this data election means by the processing time, The data processor possessing the clock adjustable means which carries out adjustable [of the frequency of the reference clock supplied to said microcomputer from said clock generation means corresponding to the processing speed computed by this rate calculation means] .

[Claim 5] It is the data processor according to claim 3 or 4 which said data election means elects two or more processing capacity to the one processing time as occasion demands, and computes processing speed by said rate calculation means doing the division of the sum total of two or more processing capacity by the one processing time when two or more processing capacity is elected to the one processing time.

[Claim 6] It is the data processor according to claim 3 or 4 which said data election means elects two or more processing times to one processing capacity as occasion demands, and computes processing speed by said rate calculation means doing the division of the one processing capacity in the sum total of two or more processing times when two or more processing times are elected to one processing capacity.

[Claim 7] It is the data processor according to claim 3 or 4 which said data election means elects two or more processing capacity to two or more processing times as occasion demands, and computes processing speed by said rate calculation means doing the division of the sum total of two or more processing capacity in the sum total of two or more processing times when two or more processing capacity is elected to two or more processing times.

[Claim 8] A program input means by which the external input of the application program is carried out, A program storing means to store in said program store means the application program by which the external input was carried out to this program input means, A capacity input means by which the external input of the processing capacity is carried out, and a capacity storing means to store in said capacity storage means the processing capacity by which the external input was carried out to this capacity input means, Claim 3 which possesses further a time amount input means by which the external input of the processing time is carried out, and a time amount storing means to store in said time amount storage means the processing time by which the external input was carried out to this time amount input means thru/or the data processor of any 1 publication of 7.

[Claim 9] In the information storage medium by which the software which the microcomputer which performs various kinds of processing actuation corresponding to a system manager and various kinds of application programs with the processing speed corresponding to a reference clock can read is stored Various kinds of application programs are saved [saving at least one

THIS PAGE BLANK (USPTO)

system manager,], Processing capacity in case said microcomputer performs various kinds of processing actuation is saved, The processing time in case said microcomputer performs various kinds of processing actuation is saved, When various kinds of processing actuation is performed with said microcomputer, elect processing capacity and the processing time from said capacity storage means and said time amount storage means, The processing speed of said microcomputer is computed by doing the division of this elected processing capacity by the processing time, The information storage medium characterized by carrying out adjustable [of the frequency of the reference clock supplied to said microcomputer corresponding to this computed processing speed], and storing the program for performing said microcomputer. [Claim 10]. With a system manager In the information storage medium by which the software which the microcomputer which performs various kinds of processing actuation, such as signal transmission, signal reception, etc. corresponding to various kinds of application programs, with the processing speed corresponding to a reference clock in the sequence corresponding to a time format can read is stored Various kinds of application programs are saved [saving at least one system manager,], Processing capacity in case said microcomputer performs various kinds of processing actuation, such as signal transmission and signal reception, is saved, The processing time corresponding to a time format in case said microcomputer performs various kinds of processing actuation is saved, When various kinds of processing actuation is performed with said microcomputer, elect processing capacity and the processing time from said capacity storage means and said time amount storage means, The processing speed of said microcomputer is computed by doing the division of this elected processing capacity by the processing time, The information storage medium characterized by carrying out adjustable [of the frequency of the reference clock supplied to said microcomputer corresponding to this computed processing speed], and storing the program for performing said microcomputer.

[Translation done.]

THIS PAGE BLANK (USPTO)

* NOTICES *

JPO and NCIPJ are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

 DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the data-processing approach and equipment which perform processing actuation corresponding to a system manager and an application program with the processing speed corresponding to a reference clock, and the information storage medium by which the program for making a microcomputer perform the data-processing approach of this data processor is stored.

[0002]

[Description of the Prior Art] Conventionally, the migration communication terminal which are data processors, such as PDC (Personal Digital Cellular) and PHS (Personal Handy-Phone System), changes into a sound signal the communication link electric wave which carries out wireless reception, and carries out an external output while it changes into a communication link electric wave the sound signal by which an external input is carried out by performing various kinds of processing actuation in order corresponding to a time format and carries out wireless transmission.

[0003] The time format for performing various kinds of processing actuation in order is prescribed by the standard, and various kinds of processing actuation corresponding to this time format is performed with the processing speed corresponding to a reference clock by CPU (Central Processing Unit) which is a microcomputer.

[0004] In order that radiocommunicating the digital data of not only a sound signal but a computer by migration communication terminals, such as current and PDC, may also be performed and it may carry out data processing of the mass digital data, improvement in the processing speed of CPU is demanded. Although it is necessary to accelerate a reference clock in order to raise the processing speed of CPU, the power consumption of CPU will increase in this case.

[0005] However, since a migration communication terminal needs to build in a power source inevitably and small lightweight-ization is also demanded, it is not desirable that power consumption increases unnecessarily. In order to solve such a technical problem, JP,8-76874,A, JP,4-12842,A, JP,5-22249,A, etc. are proposed.

[0006] By the technique indicated by the above-mentioned official report, the frequency of a reference clock is set as beforehand at various kinds for every task which are various kinds of processing actuation, and when CPU performs various kinds of tasks, the frequency of a reference clock is switched. In this case, required processing speed can be realized for every task, and power consumption is not made to increase unnecessarily.

[0007] The 1 conventional example of such a data processor is explained below with reference to drawing 5. In addition, this drawing is a block diagram showing a data processor. The data processor 1 illustrated here possesses CPU2 as a microcomputer, and this CPU2 possesses ALU (Arithmetic and Logical Unit)3, the register 4, PC (ProgramCounter)5, the control circuit unit 6 possessing a clock generation machine, the prescaler unit 7 possessing a timer count, etc.

[0008] Moreover, the data processor 1 also possesses the criteria oscillator 11, and the timer

THIS PAGE BLANK (USPTO)

selector 13 is connected to this criteria oscillator 11 through the timing generator 12 which is a clock generation means. The timing generator 12 is connected also to the control circuit unit 6 of CPU2, and the timer selector 13 is connected to the prescaler unit 7 of CPU2.

[0009] Moreover, the memory unit 15 which consists of the I/O (Input/Output) port 14, a ROM, or RAM, the frequency-control register 16 which is a clock adjustable means are connected to CPU2, and feedback connection of this frequency-control register 16 is made at the control terminal of the above-mentioned timing generator 12.

[0010] The criteria oscillator 11 consists of a crystal oscillator etc., and generates the clock signal of predetermined frequency. A timing generator 12 consists for example, of a PLL (Phase Locked Loop) synthesizer etc., and generates various standard-of-frequency clocks from a clock signal.

[0011] One system manager and various kinds of application programs are registered into the memory unit 15, and, as for the data processor 1 of the above structures, CPU2 performs various kinds of tasks corresponding to a system manager and an application program.

[0012] Since a reference clock is generated by the timing generator 12 from the clock signal which the criteria oscillator 11 generates at this time, CPU2 performs various kinds of tasks with the processing speed corresponding to this reference clock. At this time, CPU2 carries out motion control of the frequency-control register 16 corresponding to the task to perform, and since the frequency of the reference clock which a timing generator 12 generates is switched, various kinds of tasks will be performed with the optimal processing speed for each.

[0013]

[Problem(s) to be Solved by the Invention] The above data processors 1 switch the frequency of the reference clock supplied to CPU2 corresponding to a task in order to realize required processing speed, preventing the unnecessary increment in power consumption.

[0014] However, the time format is prescribed by the standard and it is necessary to complete to the processing time of a convention of a predetermined task by migration communication terminals, such as PDC, as mentioned above. In order to realize this, it is necessary to compute processing speed by doing the division of the regular processing time to beforehand by the processing capacity of a task, and to set up the frequency of the reference clock which realizes this processing speed.

[0015] However, since it is necessary to compute and set up the clock frequency which realizes proper processing speed in order to realize this, this activity is complicated and is not desirable. And since it is necessary to do the above activities each time also when the processing capacity of a task changes with registration of an application program etc., this activity is complicated to the degree of pole, and is not desirable.

[0016] If an error and a mistake exist in such calculation and a setup especially, a task required for the regular processing time is not completed, but malfunction may occur. Although it can assume fully setting processing speed as a high speed so that a task required for the regular processing time may be completed in order to prevent this, now, the power consumption of CPU will increase unnecessarily and is not desirable.

[0017] Even when predetermined processing actuation can be completed to the predetermined processing time and the processing capacity of a task changes, without making this invention in view of the above technical problems, and making power consumption increase unnecessarily, it aims at offering the information storage with which the program for making a microcomputer perform the data-processing approach of the data-processing approach and equipment with an easy setup, and this data processor is stored.

[0018]

[Means for Solving the Problem] The data-processing approach of invention according to claim 1 registers at least one system manager and various kinds of application programs. It is the data-processing approach of a data processor of performing various kinds of processing actuation corresponding to a system manager and various kinds of application programs with the processing speed corresponding to a reference clock. Register the processing capacity in the case of performing various kinds of processing actuation, and the processing time in the case of performing various kinds of processing actuation is registered. When various kinds of processing

THIS PAGE BLANK (USPTO)

actuation was performed, processing capacity and the processing time were elected, the division of this elected processing capacity was done by the processing time, and the processing speed of processing actuation is computed and it was made to carry out adjustable [of the frequency of a reference clock] corresponding to this computed processing speed.

[0019] Therefore, when performing various kinds of processing actuation by the data-processing approach of this invention, various kinds of processing actuation with the processing speed corresponding to the reference clock to which adjustable [of the frequency] was carried out will be performed. Since adjustable [of the frequency of a reference clock] is carried out corresponding to the processing time and processing capacity, predetermined processing actuation is completed by the predetermined processing time, and the power consumption of the data processor in that case does not increase unnecessarily. When the processing capacity and the processing time of processing actuation change with registration of an application program etc., need to compute the optimal processing speed and it is not necessary to register it that what is necessary is just to register this processing capacity and processing time.

[0020] In addition, the system manager as used in the field of this invention is registered into a data processor in advance on a manufacturer side so that integrated control of this may be carried out to various kinds of application programs registered into a data processor free on a user side, and he permits the so-called OS (Operating System) etc.

[0021] The data-processing approach of invention according to claim 2 registers at least one system manager and various kinds of application programs. By performing various kinds of processing actuation corresponding to a system manager and various kinds of application programs with the processing speed corresponding to a reference clock in the sequence corresponding to a time format While changing into a communication link electric wave the sound signal by which an external input is carried out and carrying out wireless transmission It is the data-processing approach of the data processor which changes into a sound signal the communication link electric wave which carries out wireless reception, and carries out an external output. The processing capacity in the case of performing various kinds of processing actuation, such as signal transmission and signal reception, is registered. The processing time corresponding to the time format in the case of performing various kinds of processing actuation is registered. When various kinds of processing actuation was performed in order, processing capacity and the processing time were elected, the division of this elected processing capacity was done by the processing time, and the processing speed of processing actuation is computed and it was made to carry out adjustable [of the frequency of a reference clock] corresponding to this computed processing speed.

[0022] Therefore, when performing processing actuation of signal transmission, signal reception, etc. by the data-processing approach of this invention, various kinds of processing actuation with the processing speed corresponding to the reference clock to which adjustable [of the frequency] was carried out will be performed. Since adjustable [of the frequency of a reference clock] is carried out corresponding to the processing time and processing capacity, predetermined processing actuation of signal transmission, signal reception, etc. is completed by the predetermined processing time corresponding to a time format, and the power consumption of the data processor in that case does not increase unnecessarily. When the processing capacity and the processing time of processing actuation change with registration of an application program etc., need to compute the optimal processing speed and it is not necessary to register it that what is necessary is just to register this processing capacity and processing time.

[0023] In addition, the time frame of the TDMA (Time Division Multiple Access) method which the time format as used in the field of this invention is what arranged various kinds of processing times by which various kinds of processing actuation is performed in predetermined sequence, for example, is specified to the standard of PDC etc. is permitted.

[0024] A manager storage means by which, as for the data processor of invention according to claim 3, at least one system manager is registered, A program store means by which various kinds of application programs are registered, The microcomputer which performs various kinds of processing actuation corresponding to a clock generation means to generate a reference clock,

THIS PAGE BLANK (USPTO)

and a system manager and various kinds of application programs, with the processing speed corresponding to a reference clock, A capacity storage means by which processing capacity in case this microcomputer performs various kinds of processing actuation is registered, A time amount storage means by which the processing time in case said microcomputer performs various kinds of processing actuation is registered, A data election means to elect processing capacity and the processing time from said capacity storage means and said time amount storage means when various kinds of processing actuation is performed with said microcomputer, A rate calculation means to compute the processing speed of said microcomputer by doing the division of the processing capacity elected by this data election means by the processing time, The clock adjustable means which carries out adjustable [of the frequency of the reference clock supplied to said microcomputer from said clock generation means corresponding to the processing speed computed by this rate calculation means] is provided.

[0025] Therefore, in performing processing actuation with the data processor of this invention, at least one system manager is registered into the manager storage means in advance, various kinds of application programs are registered into the program store means in advance, processing capacity in case a microcomputer performs various kinds of processing actuation is registered into the capacity storage means in advance, and it registers the processing time in case a microcomputer performs various kinds of processing actuation for a time amount storage means in advance. In such the condition, a microcomputer performs various kinds of processing actuation corresponding to a system manager and various kinds of application programs with the processing speed corresponding to a reference clock. However, when various kinds of processing actuation is performed with a microcomputer in this way, the processing speed of a microcomputer is computed by the division of the processing capacity as which a corresponding processing capacity and the corresponding processing time were elected by the data election means from the capacity storage means and the time amount storage means, and were elected by the rate calculation means being done by the processing time. Since adjustable [of the frequency of the reference clock supplied to a microcomputer from a clock generation means corresponding to this computed processing speed] is carried out by the clock adjustable means, a microcomputer will perform processing actuation with the processing speed corresponding to the reference clock to which adjustable [of this frequency] was carried out. Since adjustable [of the frequency of a reference clock] is carried out corresponding to the processing time and processing capacity, a microcomputer completes predetermined processing actuation to the predetermined processing time, and the power consumption of the microcomputer in that case does not increase it to it unnecessarily. When the processing capacity and the processing time of processing actuation change with registration of an application program etc., need to compute the optimal processing speed and it is not necessary to register it that what is necessary is just to register this processing capacity and processing time into a capacity storage means or a time amount storage means.

[0026] In addition, the various means as used in the field of this invention permit the hardware of dedication, the microcomputer with which the proper function was given by the program, the functions realized inside the microcomputer by the proper program, such combination, and ** that what is necessary is to just be formed so that the function may be realized. For example, various kinds of storage means mentioned above permit the storage area of information storage media, such as RAM (Random Access Memory), etc. that what is necessary is just what memorizes the information registered.

[0027] While the data processor of invention according to claim 4 changes into a communication link electric wave the sound signal by which an external input is carried out by performing various kinds of processing actuation by the sequence and time amount corresponding to the time format set up in advance and carrying out wireless transmission A manager storage means by which are the data processor which changes into a sound signal the communication link electric wave which carries out wireless reception, and carries out an external output, and at least one system manager is registered, A program store means by which various kinds of application programs are registered, A clock generation means to generate a reference clock, The microcomputer which performs various kinds of processing actuation, such as signal

THIS PAGE BLANK (USPTO)

transmission, signal reception, etc. corresponding to a system manager and various kinds of application programs, with the processing speed corresponding to a reference clock in the sequence corresponding to a time format. A capacity storage means by which processing capacity in case this microcomputer performs various kinds of processing actuation, such as signal transmission and signal reception, is registered. A time amount storage means by which the processing time corresponding to a time format in case said microcomputer performs various kinds of processing actuation is registered. A data election means to elect processing capacity and the processing time from said capacity storage means and said time amount storage means when various kinds of processing actuation is performed with said microcomputer. A rate calculation means to compute the processing speed of said microcomputer by doing the division of the processing capacity elected by this data election means by the processing time. The clock adjustable means which carries out adjustable [of the frequency of the reference clock supplied to said microcomputer from said clock generation means corresponding to the processing speed computed by this rate calculation means] is provided.

[0028] therefore, in performing processing actuation of signal transmission, signal reception, etc. with the data processor of this invention At least one system manager is registered into the manager storage means in advance. Various kinds of application programs are registered into the program store means in advance. Processing capacity in case a microcomputer performs various kinds of processing actuation, such as signal transmission and signal reception, is registered into the capacity storage means in advance. The processing time corresponding to a time format in case a microcomputer performs various kinds of processing actuation for a time amount storage means is registered in advance. In such the condition, a microcomputer performs various kinds of processing actuation, such as signal transmission, signal reception, etc. corresponding to a system manager and various kinds of application programs, with the processing speed corresponding to a reference clock by the sequence corresponding to a time format. However, when various kinds of processing actuation is performed with a microcomputer in this way, the processing speed of a microcomputer is computed by the division of the processing capacity as which a corresponding processing capacity and the corresponding processing time were elected by the data election means from the capacity storage means and the time amount storage means, and were elected by the rate calculation means being done by the processing time. Since adjustable [of the frequency of the reference clock supplied to a microcomputer from a clock generation means corresponding to this computed processing speed] is carried out by the clock adjustable means, a microcomputer will perform processing actuation with the processing speed corresponding to the reference clock to which adjustable [of this frequency] was carried out. Since adjustable [of the frequency of a reference clock] is carried out corresponding to the processing time and processing capacity, a microcomputer completes predetermined processing actuation of signal transmission, signal reception, etc. to the predetermined processing time corresponding to a time format, and the power consumption of the microcomputer in that case does not increase it unnecessarily. When the processing capacity and the processing time of processing actuation change with registration of an application program etc., need to compute the optimal processing speed and it is not necessary to register it that what is necessary is just to register this processing capacity and processing time into a capacity storage means or a time amount storage means.

[0029] Invention according to claim 5 is a data processor according to claim 3 or 4, said data election means elects two or more processing capacity to the one processing time as occasion demands, and said rate calculation means computes processing speed by doing the division of the sum total of two or more processing capacity by the one processing time, when two or more processing capacity is elected to the one processing time. Therefore, since processing speed is computed by two or more processing capacity being elected by the data election means to the one processing time, and the division of the sum total of two or more processing capacity being done by the one processing time by the rate calculation means when a microcomputer performs two or more processing actuation to the one processing time, a microcomputer performs two or more processing actuation to the one processing time with the standard-of-frequency clock corresponding to this processing speed.

THIS PAGE BLANK (USPTO)

[0030] Invention according to claim 6 is a data processor according to claim 3 or 4, said data election means elects two or more processing times to one processing capacity as occasion demands, and said rate calculation means computes processing speed by doing the division of the one processing capacity in the sum total of two or more processing times, when two or more processing times are elected to one processing capacity. Therefore, when a microcomputer performs one processing actuation by two or more continuous processing times, Since processing speed is computed by one processing capacity being elected by the data election means to two or more processing times, and the division of the one processing capacity being done by the rate calculation means in the sum total of two or more processing times A microcomputer performs one processing actuation to two or more continuous processing times with the standard-of-frequency clock corresponding to this processing speed.

[0031] Invention according to claim 7 is a data processor according to claim 3 or 4, said data election means elects two or more processing capacity to two or more processing times as occasion demands, and said rate calculation means computes processing speed by doing the division of the sum total of two or more processing capacity in the sum total of two or more processing times, when two or more processing capacity is elected to two or more processing times.

[0032] Therefore, since processing speed is computed by two or more processing capacity being elected by the data election means to two or more processing times, and the division of the sum total of two or more processing capacity being done by the rate calculation means in the sum total of two or more processing times when a microcomputer performs two or more processing actuation by two or more continuous processing times, a microcomputer is performed with the standard-of-frequency clock corresponding to this processing speed to two or more processing times which continue two or more processing actuation.

[0033] A program input means by which invention according to claim 8 is claim 3 thru/or the data processor of any 1 publication of 7, and the external input of the application program is carried out, A program storing means to store in said program store means the application program by which the external input was carried out to this program input means, A capacity input means by which the external input of the processing capacity is carried out, and a capacity storing means to store in said capacity storage means the processing capacity by which the external input was carried out to this capacity input means, A time amount input means by which the external input of the processing time is carried out, and a time amount storing means to store in said time amount storage means the processing time by which the external input was carried out to this time amount input means are provided further.

[0034] Therefore, when the external input of the application program is carried out to a program input means, this application program by which the external input was carried out is stored in a program store means by the program storing means. When the external input of the processing capacity is carried out to a capacity input means, this processing capacity by which the external input was carried out is stored in a capacity storage means by the capacity storing means. When the external input of the processing time is carried out to a time amount input means, this processing time by which the external input was carried out is stored in a time amount storage means by the time amount storing means. For this reason, even if compute the frequency of a reference clock and it will not register it if the processing capacity and the processing time corresponding to this are registered when a user registers an application program by request, adjustable [of the reference clock] is automatically carried out to a proper frequency henceforth.

[0035] In the information storage medium by which the software [the information storage medium of invention according to claim 9] which the microcomputer which performs various kinds of processing actuation corresponding to a system manager and various kinds of application programs with the processing speed corresponding to a reference clock can read is stored Various kinds of application programs are saved [saving at least one system manager,], Processing capacity in case said microcomputer performs various kinds of processing actuation is saved, The processing time in case said microcomputer performs various kinds of processing actuation is saved, When various kinds of processing actuation is performed with said

THIS PAGE BLANK (USPTO)

microcomputer, elect processing capacity and the processing time from said capacity storage means and said time amount storage means, The processing speed of said microcomputer is computed by doing the division of this elected processing capacity by the processing time, The program for making carrying out adjustable and said microcomputer perform the frequency of the reference clock supplied to said microcomputer corresponding to this computed processing speed is stored.

[0036] Therefore, when processing actuation which a microcomputer is made to read the program stored in the information storage medium of this invention, and corresponds is performed, this microcomputer will perform processing actuation with the processing speed corresponding to the reference clock to which adjustable [of the frequency] was carried out. Since adjustable [of the frequency of a reference clock] is carried out corresponding to the processing time and processing capacity, a microcomputer completes predetermined processing actuation to the predetermined processing time, and the power consumption of the microcomputer in that case does not increase it to it unnecessarily. When the processing capacity and the processing time of processing actuation change with registration of an application program etc., need to compute the optimal processing speed and it is not necessary to register it that what is necessary is just to register this processing capacity and processing time.

[0037] In addition, with the information storage medium as used in the field of this invention, ROM (Read Only Memory) currently fixed to the equipment which makes a microcomputer a part that the program for performing various processings should just be stored in a microcomputer in advance as software, HDD (Hard Disc Drive), CD(Compact Disc)-ROM, FD (Floppy Disc) with which the equipment which makes a microcomputer a part is loaded free [attachment and detachment], etc. are permitted.

[0038] Moreover, the equipment by which various devices, such as ROM, RAM, and I/F (Interface), were connected to this as occasion demands is permitted by making CPU into a subject that the microcomputer as used in the field of this invention should just be equipment which can perform processing actuation which reads the program which consists of software and corresponds.

[0039] In addition, in the case of FD etc., that making various data save by this invention at a microcomputer stores various data in information storage media, such as RAM to which the microcomputer is connected in advance, or storing various data in the internal memory which the microcomputer's possesses as a part, and the information storage medium of this invention permit [a microcomputer] storing various data etc. there. The information storage medium of invention according to claim 10 With a system manager In the information storage medium by which the software which the microcomputer which performs various kinds of processing actuation, such as signal transmission, signal reception, etc. corresponding to various kinds of application programs, with the processing speed corresponding to a reference clock in the sequence corresponding to a time format can read is stored Various kinds of application programs are saved [saving at least one system manager,], Processing capacity in case said microcomputer performs various kinds of processing actuation, such as signal transmission and signal reception, is saved, The processing time corresponding to a time format in case said microcomputer performs various kinds of processing actuation is saved, When various kinds of processing actuation is performed with said microcomputer, elect processing capacity and the processing time from said capacity storage means and said time amount storage means, The processing speed of said microcomputer is computed by doing the division of this elected processing capacity by the processing time, The program for performing said microcomputer is stored [carrying out adjustable / of the frequency of the reference clock supplied to said microcomputer corresponding to this computed processing speed /, and].

[0040] Therefore, when processing actuation which a microcomputer is made to read the program stored in the information storage medium of this invention, and corresponds is performed, this microcomputer will perform processing actuation with the processing speed corresponding to the reference clock to which adjustable [of the frequency] was carried out. Since adjustable [of the frequency of a reference clock] is carried out corresponding to the

THIS PAGE BLANK (USPTO)

processing time and processing capacity, a microcomputer completes predetermined processing actuation of signal transmission, signal reception, etc. to the predetermined processing time corresponding to a time format, and the power consumption of the microcomputer in that case does not increase it unnecessarily. When the processing capacity and the processing time of processing actuation change with registration of an application program etc., need to compute the optimal processing speed and it is not necessary to register it that what is necessary is just to register this processing capacity and processing time.

[0041]

[Embodiment of the Invention] One gestalt of operation of this invention is explained below with reference to a drawing. In addition, detailed explanation is omitted using a name and a sign with the same, same part as the 1 conventional example mentioned above about the gestalt of this operation. The block diagram in which drawing 1 shows the data processor of the gestalt of this operation, the mimetic diagram showing the storage structure of a capacity storage means by which drawing 2 (a) is a capacity storage means, and drawing 2 (b) are the mimetic diagrams showing the storage structure of the time amount storage means which is a time amount storage means. Drawing 3 is the mimetic diagram showing a time format, and drawing 4 is the mimetic diagram showing the condition of performing various kinds of tasks corresponding to a time format.

[0042] The data processor 21 of the gestalt of this operation is used for the transceiver processing section of PDC which is a data processor, and although the structure of hardware is the same as that of the data processor 1 of the 1 conventional example, as for the data processor 1 of the 1 conventional example, the contents of the software mounted in the memory unit 15 are different.

[0043] That is, the memory unit 15 which is the frequency-control register 16 and information storage medium which are the clock adjustable means which the data processor 21 of the gestalt of this operation is also connected to CPU2 which is a microcomputer through the timing generator 12 whose criteria oscillator 11 is a clock generation means, and was connected to this timing generator 12 is connected to CPU2.

[0044] However, software of the contents which are different in the data processor 1 of the 1 conventional example is mounted in the memory unit 15, and various functions are realized by the data processor 21 of the gestalt of this operation as various means by performing processing actuation which CPU2 reads this software and corresponds etc.

[0045] As such various means, the data processor 21 of the gestalt of this operation possesses logically the task index 23 which are the manager storage means 22, a program store means, and a capacity storage means, the time index 24 which is a time amount storage means, a data election means, the rate calculation means 25, a program input means, a program storing means, the capacity input means, the capacity storing means, the time amount input means, the time amount storing means, etc.

[0046] The manager storage means 22 is equivalent to the predetermined storage area secured to the memory unit 15, and at least one system manager is stored. A program store means is also equivalent to the predetermined storage area secured to the memory unit 15, and various kinds of application programs are registered.

[0047] In addition, since the data processor 1 of the gestalt of this operation is used for the transceiver processing section of PDC as mentioned above, the system manager and application program which were mounted in the memory unit 15 are formed in the contents corresponding to tasks, such as signal transmission by PDC, and signal reception.

[0048] As the task index 23 is also equivalent to the predetermined storage area secured to the memory unit 15 and is shown in drawing 2 (a), the processing capacity in the case of performing the task whose CPUs2 are various kinds of processing actuation, such as signal transmission and signal reception, is registered. As the time index 24 is also equivalent to the predetermined storage area secured to the memory unit 15 and is shown in drawing 2 (b), the processing time of the time slot corresponding to a time format in case CPU2 performs various kinds of tasks is registered.

[0049] In addition, an above-mentioned task and a time format are specified to "RCRSTD-27F"

THIS PAGE BLANK (USPTO)

which is the standard of PDC, and as shown in drawing 3, they are set up by the TDMA method corresponding to various kinds of tasks performed in order for every time slot.

[0050] A data election means elects processing capacity and the processing time from the task index 23 and the time index 24, when it is equivalent to processing actuation of CPU2 corresponding to a system manager and various kinds of tasks are performed by CPU2.

[0051] It is equivalent to processing actuation of CPU2 corresponding to a system manager, and the division of the processing capacity elected by the data election means is done by the processing time, the processing speed of CPU2 is computed and the rate calculation means 25 is also inputted into the frequency-control register 16 by using this processing speed as a control parameter.

[0052] In addition, a data election means elects two or more processing capacity to the one processing time as occasion demands, and the rate calculation means 25 computes processing speed by doing the division of the sum total of two or more processing capacity by the one processing time, when two or more processing capacity is elected to the one processing time.

[0053] A program input means is equivalent to I/O Port 14, and the external input of the application program is carried out. A program storing means stores in a program store means the application program by which the external input was carried out to the program input means, when CPU2 stores in the memory unit 15 the various data by which an external input is carried out from I/O Port 14.

[0054] Like the following, a capacity input means is also equivalent to I/O Port 14, and the external input of the processing capacity is carried out. A capacity storing means also stores in the task index 23 the processing capacity by which the external input was carried out to the capacity input means, when CPU2 stores in the memory unit 15 the various data by which an external input is carried out from I/O Port 14. As for a time amount input means, the external input of the processing time is carried out, and a time amount storing means stores in the time index 24 the processing time by which the external input was carried out to the time amount input means.

[0055] Although the various above means are realized as occasion demands using the hardware of I/O Port 14 grade, the subject is realized corresponding to the software stored in the memory unit 15, when CPU2 which is a microcomputer performs predetermined processing actuation.

[0056] Such software For example, the thing for which at least one system manager is saved, Processing capacity in case saving various kinds of application programs and CPU2 perform various kinds of tasks, such as signal transmission and signal reception, is saved, The processing time of a time slot in case CPU2 performs various kinds of tasks is saved, When various kinds of tasks are performed by CPU2, elect processing capacity and the processing time from the task index 23 and the time index 24, The processing speed of CPU2 is computed by doing the division of this elected processing capacity by the processing time, It is stored in the memory unit 15 as a control program for making CPU2 perform processing actuation of carrying out adjustable [of the frequency of the reference clock supplied to CPU2 from a timing generator 12 corresponding to this computed processing speed] to the frequency-control register 16.

[0057] In addition, making the various above data save at CPU2, it realizes as mentioned above because CPU2 stores various data in the memory unit 15. Software for making CPU2 perform the above processing actuation can be realized as a system manager.

[0058] In the above configurations, the data-processing approach by the data processor 21 of the gestalt of this operation is explained below. Since the data processor 21 of the gestalt of this operation is used for the transceiver processing section of PDC as mentioned above, as shown in drawing 4, it performs various kinds of tasks by the sequence and time amount of a time format which were set up in advance.

[0059] Thus, PDC which used this data processor 21 for the transceiver processing section when a data processor 21 performed various kinds of tasks for every time slot can change into a sound signal the communication link electric wave which carries out wireless reception, and an external output can be carried out while it changes into a communication link electric wave the sound signal by which an external input is carried out and carries out wireless transmission.

[0060] When a data processor 21 operates as mentioned above, various kinds of tasks, such as

THIS PAGE BLANK (USPTO)

signal transmission, signal reception, etc. corresponding to the system manager stored in the memory unit 15 and various kinds of application programs, are performed by CPU2 with the processing speed corresponding to a reference clock in the sequence corresponding to a time format.

[0061] Thus, when various kinds of tasks are performed for every time slot by CPU2, the processing speed of CPU2 is computed by the division of the processing capacity as which a corresponding processing capacity and the corresponding processing time were elected from the task index 23 and the time index 24, and were elected by the rate calculation means 25 being done by the processing time.

[0062] Since adjustable [of the frequency of the reference clock supplied to CPU2 from a timing generator 12 corresponding to this computed processing speed] is carried out with the frequency-control register 16, CPU2 will perform a task with the processing speed corresponding to the reference clock to which adjustable [of this frequency] was carried out.

[0063] However, in the data processor 21 of the gestalt of this operation, adjustable [of the frequency of the reference clock supplied to CPU2 as mentioned above] is carried out corresponding to the processing capacity for every task, and the processing time of a time slot. That is, since adjustable [of the frequency of the reference clock supplied to CPU2] is carried out to an optimum value, CPU2 can complete predetermined tasks, such as signal transmission and signal reception, certainly to the processing time of a time slot, and since CPU2 does not drive with the processing speed beyond the need, the unnecessary increment in the power consumption of CPU2 is also prevented.

[0064] And in the data processor 21 of the gestalt of this operation, if this processing capacity and processing time are registered into the task index 23 or the time index 24 even when the processing capacity and the processing time of a task change with registration of an application program etc., adjustable [of the reference clock] will be automatically carried out to the optimal frequency henceforth. For this reason, a user needs to compute the frequency of the optimal reference clock and does not need to register it, and various kinds of setup is easy and it can mitigate a user's activity burden.

[0065] Furthermore, in the data processor 21 of the gestalt of this operation, when performing two or more tasks to the one processing time, processing speed is computed by two or more processing capacity being elected to the one processing time, and the division of the sum total of two or more processing capacity being done by the one processing time by the rate calculation means 25. In this case, since CPU2 performs two or more tasks to the one processing time with the standard-of-frequency clock corresponding to this processing speed, two or more tasks can be completed to the one processing time.

[0066] For example, adjustable [of the frequency of a reference clock] is carried out so that CPU2 may realize processing speed of C/X since the task of the level measurement of the processing capacity C to the processing time X of dedication is performed in the time slot of LM as shown in drawing 4 in the case of general PDC.

[0067] Similarly, in the time slot of RX, since the task of the reception of the processing capacity A is performed by the processing time Y , adjustable [of the reference clock] is carried out so that it may usually become the processing speed of A/Y , but when the task of interrupt processing of the processing capacity D occurs in this middle, adjustable [of the reference clock] is carried out so that processing speed may be set to $(A+D)/Y$, until this task is completed.

[0068] In addition, since adjustable [of the reference clock] will be carried out to the frequency corresponding to a time slot or a task if the frequency of a reference clock is set as a peak price independently [a time slot a task, etc.], initial setting is completed and a system is stabilized at initial setting immediately after the injection of a power source in PDC, the data-processing approach of the data processor 21 of the gestalt this operation supports this condition.

[0069] In addition, this invention is not limited to the above-mentioned gestalt, and permits various kinds of deformation in the range which does not deviate from the summary. For example, although it illustrated using a data processor 21 for the transceiver processing section of PDC, the data processor and approach of this invention can be applied to various kinds of

THIS PAGE BLANK (USPTO)

processing time from said capacity storage means and said time amount storage means, The processing speed of said microcomputer is computed by doing the division of this elected processing capacity by the processing time, By storing the program for performing said microcomputer, carrying out adjustable [of the frequency of the reference clock supplied to said microcomputer corresponding to this computed processing speed] When processing actuation which a microcomputer is made to read the program stored in the information storage medium of this invention, and corresponds is performed, this microcomputer Since the frequency of a reference clock can be set as an optimum value, while being able to complete processing actuation of signal transmission, signal reception, etc. to the processing time corresponding to a time format Even when the unnecessary increment in power consumption can also be prevented and the processing capacity and the processing time of processing actuation change with registration of an application program etc. Since adjustable [of the frequency of a reference clock] will be carried out to an optimum value if this processing capacity and processing time are registered, a user needs to compute the frequency of the optimal reference clock, and does not need to register it, and a user's activity burden can be mitigated.

[Translation done.]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-194849

(43) 公開日 平成11年(1999)7月21日

(51) Int.Cl. ⁸	識別記号	F I	
G 0 6 F	1/04	G 0 6 F	1/04 B
	1/08		9/06 4 1 0 S
	9/06		
H 0 4 B	1/04	H 0 4 B	1/04 Z
	1/16		1/16 Z
		G 0 6 F	1/04 3 2 0 A

審査請求 有 請求項の数10 OL (全 14 頁)

(21) 出願番号 特願平9-360502

(22) 出願日 平成9年(1997)12月26日

(71) 出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 神林 久美
東京都港区芝五丁目7番1号 日本電気株式会社内

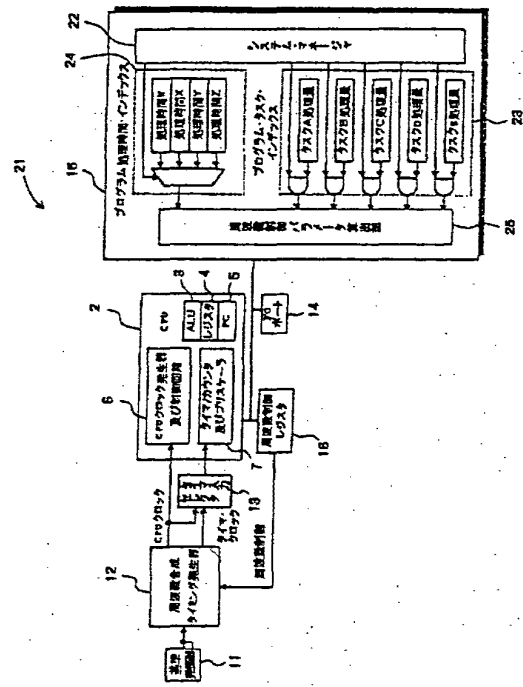
(74) 代理人 弁理士 若林 忠 (外4名)

(54) 【発明の名称】 データ処理方法および装置、情報記憶媒体

(57) 【要約】

【課題】 マイクロコンピュータで処理速度を処理動作に対応して切り換えるとき、所定の処理動作を所定の処理時間に確実に完了でき、それでいて処理速度を無用に高速としないようにする。

【解決手段】 マイクロコンピュータ2が各種の処理動作を実行する場合の処理容量と処理時間を容量記憶手段23と時間記憶手段24とに登録しておき、マイクロコンピュータ2が各種の処理動作を実行する場合に対応する処理容量および処理時間を選出し、処理容量を処理時間で除算してマイクロコンピュータ2の処理速度を算出して基準クロックの周波数を可変する。マイクロコンピュータ2の処理速度を処理容量と処理時間に対応して可変するので、所定の処理動作を所定の処理時間に確実に完了でき、基準クロックの周波数を最適値に設定できるので、消費電力の無用な増加も防止できる。



BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

THIS PAGE BLANK (USPTO)

【特許請求の範囲】

【請求項1】 少なくとも一つのシステムマネージャと各種のアプリケーションプログラムとを登録しておき、システムマネージャと各種のアプリケーションプログラムとに対応した各種の処理動作を基準クロックに対応した処理速度で実行するデータ処理装置のデータ処理方法であって、

各種の処理動作を実行する場合の処理容量を登録しておき、

各種の処理動作を実行する場合の処理時間を登録しておき、

各種の処理動作が実行される場合に対応する処理容量および処理時間を選出し、

この選出された処理容量を処理時間で除算して処理動作の処理速度を算出し、

この算出された処理速度に対応して基準クロックの周波数を可変するようにしたデータ処理方法。

【請求項2】 少なくとも一つのシステムマネージャと各種のアプリケーションプログラムとを登録しておき、システムマネージャと各種のアプリケーションプログラムとに対応した各種の処理動作をタイムフォーマットに対応した順番で基準クロックに対応した処理速度で実行することにより、外部入力される音声信号を通信電波に変換して無線送信するとともに、無線受信する通信電波を音声信号に変換して外部出力するデータ処理装置のデータ処理方法であって、

信号送信や信号受信などの各種の処理動作を実行する場合の処理容量を登録しておき、

各種の処理動作を実行する場合のタイムフォーマットに対応した処理時間を登録しておき、

各種の処理動作が順番に実行される場合に対応する処理容量および処理時間を選出し、

この選出された処理容量を処理時間で除算して処理動作の処理速度を算出し、

この算出された処理速度に対応して基準クロックの周波数を可変するようにしたデータ処理方法。

【請求項3】 少なくとも一つのシステムマネージャが登録されているマネージャ記憶手段と、

各種のアプリケーションプログラムが登録されているプログラム記憶手段と、

基準クロックを発生するクロック発生手段と、

システムマネージャと各種のアプリケーションプログラムとに対応した各種の処理動作を基準クロックに対応した処理速度で実行するマイクロコンピュータと、

該マイクロコンピュータが各種の処理動作を実行する場合の処理容量が登録されている容量記憶手段と、

前記マイクロコンピュータが各種の処理動作を実行する場合の処理時間が登録されている時間記憶手段と、

前記マイクロコンピュータにより各種の処理動作が実行される場合に対応する処理容量および処理時間を前記容

量記憶手段および前記時間記憶手段から選出するデータ選出手段と、

該データ選出手段により選出された処理容量を処理時間で除算して前記マイクロコンピュータの処理速度を算出する速度算出手段と、

該速度算出手段により算出された処理速度に対応して前記クロック発生手段から前記マイクロコンピュータに供給される基準クロックの周波数を可変するクロック可変手段と、を具備しているデータ処理装置。

【請求項4】 事前に設定されたタイムフォーマットに対応した順番および時間で各種の処理動作を実行することにより、外部入力される音声信号を通信電波に変換して無線送信するとともに、無線受信する通信電波を音声信号に変換して外部出力するデータ処理装置であって、少なくとも一つのシステムマネージャが登録されているマネージャ記憶手段と、

各種のアプリケーションプログラムが登録されているプログラム記憶手段と、

基準クロックを発生するクロック発生手段と、

システムマネージャと各種のアプリケーションプログラムとに対応した信号送信や信号受信などの各種の処理動作をタイムフォーマットに対応した順番で基準クロックに対応した処理速度で実行するマイクロコンピュータと、

該マイクロコンピュータが信号送信や信号受信などの各種の処理動作を実行する場合の処理容量が登録されている容量記憶手段と、

前記マイクロコンピュータが各種の処理動作を実行する場合のタイムフォーマットに対応した処理時間が登録されている時間記憶手段と、

前記マイクロコンピュータにより各種の処理動作が実行される場合に対応する処理容量および処理時間を前記容量記憶手段および前記時間記憶手段から選出するデータ選出手段と、

該データ選出手段により選出された処理容量を処理時間で除算して前記マイクロコンピュータの処理速度を算出する速度算出手段と、

該速度算出手段により算出された処理速度に対応して前記クロック発生手段から前記マイクロコンピュータに供給される基準クロックの周波数を可変するクロック可変手段と、を具備しているデータ処理装置。

【請求項5】 前記データ選出手段は、必要により一つの処理時間に対して複数の処理容量を選出し、

前記速度算出手段は、一つの処理時間に対して複数の処理容量が選出された場合に複数の処理容量の合計を一つの処理時間で除算して処理速度を算出する請求項3または4記載のデータ処理装置。

【請求項6】 前記データ選出手段は、必要により一つの処理容量に対して複数の処理時間を選出し、

前記速度算出手段は、一つの処理容量に対して複数の処

THIS PAGE BLANK (USPTO)

理時間が選出された場合に一つの処理容量を複数の処理時間の合計で除算して処理速度を算出する請求項3または4記載のデータ処理装置。

【請求項7】 前記データ選出手段は、必要により複数の処理時間に対して複数の処理容量を選出し、前記速度算出手段は、複数の処理時間に対して複数の処理容量が選出された場合に複数の処理容量の合計を複数の処理時間の合計で除算して処理速度を算出する請求項3または4記載のデータ処理装置。

【請求項8】 アプリケーションプログラムが外部入力されるプログラム入力手段と、
該プログラム入力手段に外部入力されたアプリケーションプログラムを前記プログラム記憶手段に格納するプログラム格納手段と、
処理容量が外部入力される容量入力手段と、
該容量入力手段に外部入力された処理容量を前記容量記憶手段に格納する容量格納手段と、
処理時間が外部入力される時間入力手段と、
該時間入力手段に外部入力された処理時間を前記時間記憶手段に格納する時間格納手段とを、さらに具備している請求項3ないし7の何れか記載のデータ処理装置。

【請求項9】 システムマネージャと各種のアプリケーションプログラムとに対応した各種の処理動作を基準クロックに対応した処理速度で実行するマイクロコンピュータが読取自在なソフトウェアが格納されている情報記憶媒体において、

少なくとも一つのシステムマネージャを保存すること、
各種のアプリケーションプログラムを保存すること、
前記マイクロコンピュータが各種の処理動作を実行する場合の処理容量を保存すること、
前記マイクロコンピュータが各種の処理動作を実行する場合の処理時間を保存すること、
前記マイクロコンピュータにより各種の処理動作が実行される場合に対応する処理容量および処理時間を前記容量記憶手段および前記時間記憶手段から選出すること、
この選出された処理容量を処理時間で除算して前記マイクロコンピュータの処理速度を算出すること、
この算出された処理速度に対応して前記マイクロコンピュータに供給される基準クロックの周波数を可変させること、
を前記マイクロコンピュータに実行させるためのプログラムが格納されていることを特徴とする情報記憶媒体。

【請求項10】 システムマネージャと各種のアプリケーションプログラムとに対応した信号送信や信号受信などの各種の処理動作をタイムフォーマットに対応した順番で基準クロックに対応した処理速度で実行するマイクロコンピュータが読取自在なソフトウェアが格納されている情報記憶媒体において、

少なくとも一つのシステムマネージャを保存すること、
各種のアプリケーションプログラムを保存すること、

前記マイクロコンピュータが信号送信や信号受信などの各種の処理動作を実行する場合の処理容量を保存すること、

前記マイクロコンピュータが各種の処理動作を実行する場合のタイムフォーマットに対応した処理時間を保存すること、

前記マイクロコンピュータにより各種の処理動作が実行される場合に対応する処理容量および処理時間を前記容量記憶手段および前記時間記憶手段から選出すること、
この選出された処理容量を処理時間で除算して前記マイクロコンピュータの処理速度を算出すること、

この算出された処理速度に対応して前記マイクロコンピュータに供給される基準クロックの周波数を可変させること、
を前記マイクロコンピュータに実行させるためのプログラムが格納されていることを特徴とする情報記憶媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、システムマネージャとアプリケーションプログラムとに対応した処理動作を基準クロックに対応した処理速度で実行するデータ処理方法および装置と、このデータ処理装置のデータ処理方法をマイクロコンピュータに実行させるためのプログラムが格納されている情報記憶媒体とに関する。

【0002】

【従来の技術】 従来、PDC(Personal Digital Cellular)やPHS(Personal Handy-Phone System)などのデータ処理装置である移動通信端末は、タイムフォーマットに対応して各種の処理動作を順番に実行することにより、外部入力される音声信号を通信電波に変換して無線送信するとともに、無線受信する通信電波を音声信号に変換して外部出力する。

【0003】 各種の処理動作を順番に実行するためのタイムフォーマットは標準規格により規定されており、このタイムフォーマットに対応した各種の処理動作はマイクロコンピュータであるCPU(Central Processing Unit)により基準クロックに対応した処理速度で実行される。

【0004】 現在、PDCなどの移動通信端末で音声信号だけでなくコンピュータのデジタルデータを無線通信することも実行されており、大容量のデジタルデータをデータ処理するためにCPUの処理速度の向上が要望されている。CPUの処理速度を向上させるためには基準クロックを高速化する必要があるが、この場合はCPUの消費電力が増大することになる。

【0005】 しかし、移動通信端末は必然的に電源を内蔵する必要があり、小型軽量化も要望されているので、消費電力が無用に増大することは好ましくない。このような課題を解決するため、例えば、特開平8-76874号公報、特開平4-12842号公報、特開平5-2

2249号公報、等が提案されている。

【0006】上記公報に開示された手法では、事前に各種の処理動作であるタスクごとに基準クロックの周波数を各種に設定しておき、CPUが各種のタスクを実行するときに基準クロックの周波数を切り換える。この場合、タスクごとに必要な処理速度を実現することができ、消費電力を無用に増加させることもない。

【0007】このようなデータ処理装置の一従来例を図5を参照して以下に説明する。なお、同図はデータ処理装置を示すブロック図である。ここで例示するデータ処理装置1は、マイクロコンピュータとしてCPU2を具備しており、このCPU2は、ALU(Arithmetic and Logical Unit)3、レジスタ4、PC(Program Counter)5、クロック発生器を具備した制御回路ユニット6、タイマカウンタを具備したプリスケアラユニット7、等を具備している。

【0008】また、データ処理装置1は、基準発振器11も具備しており、この基準発振器11にはクロック発生手段であるタイミング発生器12を介してタイマセレクト13が接続されている。タイミング発生器12は、CPU2の制御回路ユニット6にも接続されており、タイマセレクト13は、CPU2のプリスケアラユニット7に接続されている。

【0009】また、CPU2には、I/O(Input/Output)ポート14、ROMやRAMからなるメモリユニット15、クロック可変手段である周波数制御レジスタ16、等も接続されており、この周波数制御レジスタ16が前述のタイミング発生器12の制御端子にフィードバック接続されている。

【0010】基準発振器11は、例えば、水晶発振器などからなり、所定周波数のクロック信号を発生する。タイミング発生器12は、例えば、PLL(Phase Locked Loop)シンセサイザなどからなり、クロック信号から各種周波数の基準クロックを生成する。

【0011】上述のような構造のデータ処理装置1は、例えば、メモリユニット15に一つのシステムマネージャと各種のアプリケーションプログラムとが登録され、CPU2はシステムマネージャとアプリケーションプログラムとに対応して各種のタスクを実行する。

【0012】このとき、基準発振器11が発生するクロック信号からタイミング発生器12により基準クロックが生成されるので、この基準クロックに対応した処理速度でCPU2は各種のタスクを実行する。このとき、CPU2は実行するタスクに対応して周波数制御レジスタ16を動作制御し、タイミング発生器12が生成する基準クロックの周波数を切り換えるので、各種のタスクは各々に最適な処理速度で実行されることになる。

【0013】

【発明が解決しようとする課題】上述のようなデータ処理装置1は、消費電力の無用な増加を防止しながら必要

な処理速度を実現するため、CPU2に供給される基準クロックの周波数をタスクに対応して切り換える。

【0014】しかし、前述のようにPDC等の移動通信端末では、標準規格によりタイムフォーマットが規定されており、所定のタスクを規定の処理時間に完了する必要がある。これを実現するためには、事前にタスクの処理容量で規定の処理時間を除算して処理速度を算出し、この処理速度を実現する基準クロックの周波数を設定しておく必要がある。

【0015】しかし、これを実現するためには、適正な処理速度を実現するクロック周波数を算出して設定する必要があるので、この作業が煩雑で好ましくない。しかも、アプリケーションプログラムの登録などによりタスクの処理容量が変化する場合にも、上述のような作業を毎回実行する必要があるので、この作業が極度に煩雑で好ましくない。

【0016】特に、このような算出や設定に誤差や間違いが存在すると、規定の処理時間に必要なタスクが完了されず誤動作が発生する可能性がある。これを防止するためには、規定の処理時間に必要なタスクが完了されるように、十分に高速に処理速度を設定することが想定できるが、これではCPUの消費電力が無用に増大することになって好ましくない。

【0017】本発明は上述のような課題に鑑みてなされたものであり、消費電力を無用に増加させることなく所定の処理時間に所定の処理動作を完了することができ、タスクの処理容量が変化する場合でも設定作業が簡単なデータ処理方法および装置、このデータ処理装置のデータ処理方法をマイクロコンピュータに実行させるためのプログラムが格納されている情報記憶媒体、を提供することを目的とする。

【0018】

【課題を解決するための手段】請求項1記載の発明のデータ処理方法は、少なくとも一つのシステムマネージャと各種のアプリケーションプログラムとを登録しておき、システムマネージャと各種のアプリケーションプログラムとに対応した各種の処理動作を基準クロックに対応した処理速度で実行するデータ処理装置のデータ処理方法であって、各種の処理動作を実行する場合の処理容量を登録しておき、各種の処理動作を実行する場合の処理時間を登録しておき、各種の処理動作が実行される場合に対応する処理容量および処理時間を選出し、この選出された処理容量を処理時間で除算して処理動作の処理速度を算出し、この算出された処理速度に対応して基準クロックの周波数を可変するようにした。

【0019】従って、本発明のデータ処理方法で各種の処理動作を実行する場合、周波数が可変された基準クロックに対応した処理速度で各種の処理動作が実行されることになる。基準クロックの周波数が処理時間と処理容量とに対応して可変されるので、所定の処理時間に所定

の処理動作が完了され、その場合のデータ処理装置の消費電力が無用にも増加することもない。アプリケーションプログラムの登録などにより処理動作の処理容量や処理時間が変化する場合、この処理容量や処理時間を登録すれば良く、最適な処理速度を算出して登録する必要はない。

【0020】なお、本発明で云うシステムマネージャとは、ユーザサイドでデータ処理装置に自在に登録される各種のアプリケーションプログラムに対し、これを統合制御するようにメーカサイドでデータ処理装置に事前に登録されるもので、いわゆるOS (Operating System)などを許容する。

【0021】請求項2記載の発明のデータ処理方法は、少なくとも一つのシステムマネージャと各種のアプリケーションプログラムとを登録しておき、システムマネージャと各種のアプリケーションプログラムとに対応した各種の処理動作をタイムフォーマットに対応した順番で基準クロックに対応した処理速度で実行することにより、外部入力される音声信号を通信電波に変換して無線送信するとともに、無線受信する通信電波を音声信号に変換して外部出力するデータ処理装置のデータ処理方法であって、信号送信や信号受信などの各種の処理動作を実行する場合の処理容量を登録しておき、各種の処理動作を実行する場合のタイムフォーマットに対応した処理時間を登録しておき、各種の処理動作が順番に実行される場合に対応する処理容量および処理時間を選出し、この選出された処理容量を処理時間で除算して処理動作の処理速度を算出し、この算出された処理速度に対応して基準クロックの周波数を可変するようにした。

【0022】従って、本発明のデータ処理方法で信号送信や信号受信などの処理動作を実行する場合、周波数が可変された基準クロックに対応した処理速度で各種の処理動作が実行されることになる。基準クロックの周波数が処理時間と処理容量とに対応して可変されるので、タイムフォーマットに対応した所定の処理時間に信号送信や信号受信などの所定の処理動作が完了され、その場合のデータ処理装置の消費電力が無用にも増加することもない。アプリケーションプログラムの登録などにより処理動作の処理容量や処理時間が変化する場合、この処理容量や処理時間を登録すれば良く、最適な処理速度を算出して登録する必要はない。

【0023】なお、本発明で云うタイムフォーマットとは、各種の処理動作が実行される各種の処理時間を所定の順番に配列したようなものであり、例えば、PDCの標準規格に規定されているTDMA (Time Division Multiple Access)方式のタイムフレームなどを許容する。

【0024】請求項3記載の発明のデータ処理装置は、少なくとも一つのシステムマネージャが登録されている

ラムが登録されているプログラム記憶手段と、基準クロックを発生するクロック発生手段と、システムマネージャと各種のアプリケーションプログラムとに対応した各種の処理動作を基準クロックに対応した処理速度で実行するマイクロコンピュータと、該マイクロコンピュータが各種の処理動作を実行する場合の処理容量が登録されている容量記憶手段と、前記マイクロコンピュータが各種の処理動作を実行する場合の処理時間が登録されている時間記憶手段と、前記マイクロコンピュータにより各種の処理動作が実行される場合に対応する処理容量および処理時間を前記容量記憶手段および前記時間記憶手段から選出するデータ選出手段と、該データ選出手段により選出された処理容量を処理時間で除算して前記マイクロコンピュータの処理速度を算出する速度算出手段と、該速度算出手段により算出された処理速度に対応して前記クロック発生手段から前記マイクロコンピュータに供給される基準クロックの周波数を可変するクロック可変手段と、を具備している。

【0025】従って、本発明のデータ処理装置で処理動作を実行する場合には、マネージャ記憶手段に少なくとも一つのシステムマネージャを事前に登録しておき、プログラム記憶手段に各種のアプリケーションプログラムを事前に登録しておき、容量記憶手段にマイクロコンピュータが各種の処理動作を実行する場合の処理容量を事前に登録しておき、時間記憶手段にマイクロコンピュータが各種の処理動作を実行する場合の処理時間を事前に登録しておく。このような状態で、マイクロコンピュータはシステムマネージャと各種のアプリケーションプログラムとに対応した各種の処理動作を基準クロックに対応した処理速度で実行する。ただし、このようにマイクロコンピュータにより各種の処理動作が実行される場合、対応する処理容量および処理時間がデータ選出手段により容量記憶手段および時間記憶手段から選出され、速度算出手段により選出された処理容量が処理時間で除算されてマイクロコンピュータの処理速度が算出される。この算出された処理速度に対応してクロック発生手段からマイクロコンピュータに供給される基準クロックの周波数がクロック可変手段により可変されるので、この周波数が可変された基準クロックに対応した処理速度でマイクロコンピュータは処理動作を実行することになる。基準クロックの周波数が処理時間と処理容量とに対応して可変されるので、マイクロコンピュータは所定の処理時間に所定の処理動作を完了し、その場合のマイクロコンピュータの消費電力が無用にも増加することもない。アプリケーションプログラムの登録などにより処理動作の処理容量や処理時間が変化する場合、この処理容量や処理時間を容量記憶手段や時間記憶手段に登録すれば良く、最適な処理速度を算出して登録する必要はない。

【0026】なお、本発明で云う各種手段は、その機能

を実現するように形成されていれば良く、例えば、専用のハードウェア、適正な機能がプログラムにより付与されたマイクロコンピュータ、適正なプログラムによりマイクロコンピュータの内部に実現された機能、これらの組み合わせ、等を許容する。例えば、上述した各種の記憶手段は登録される情報を記憶するものであれば良く、例えば、RAM(Random Access Memory)等の情報記憶媒体の記憶エリアなどを許容する。

【0027】請求項4記載の発明のデータ処理装置は、事前に設定されたタイムフォーマットに対応した順番および時間で各種の処理動作を実行することにより、外部入力される音声信号を通信電波に変換して無線送信するとともに、無線受信する通信電波を音声信号に変換して外部出力するデータ処理装置であって、少なくとも一つのシステムマネージャが登録されているマネージャ記憶手段と、各種のアプリケーションプログラムが登録されているプログラム記憶手段と、基準クロックを発生するクロック発生手段と、システムマネージャと各種のアプリケーションプログラムとに対応した信号送信や信号受信などの各種の処理動作をタイムフォーマットに対応した順番で基準クロックに対応した処理速度で実行するマイクロコンピュータと、該マイクロコンピュータが信号送信や信号受信などの各種の処理動作を実行する場合の処理容量が登録されている容量記憶手段と、前記マイクロコンピュータが各種の処理動作を実行する場合のタイムフォーマットに対応した処理時間が登録されている時間記憶手段と、前記マイクロコンピュータにより各種の処理動作が実行される場合に対応する処理容量および処理時間を前記容量記憶手段および前記時間記憶手段から選出するデータ選出手段と、該データ選出手段により選出された処理容量を処理時間で除算して前記マイクロコンピュータの処理速度を算出する速度算出手段と、該速度算出手段により算出された処理速度に対応して前記クロック発生手段から前記マイクロコンピュータに供給される基準クロックの周波数を可変するクロック可変手段と、を具備している。

【0028】従って、本発明のデータ処理装置で信号送信や信号受信などの処理動作を実行する場合には、マネージャ記憶手段に少なくとも一つのシステムマネージャを事前に登録しておき、プログラム記憶手段に各種のアプリケーションプログラムを事前に登録しておき、容量記憶手段にマイクロコンピュータが信号送信や信号受信などの各種の処理動作を実行する場合の処理容量を事前に登録しておき、時間記憶手段にマイクロコンピュータが各種の処理動作を実行する場合のタイムフォーマットに対応した処理時間を事前に登録しておく。このような状態で、マイクロコンピュータはシステムマネージャと各種のアプリケーションプログラムとに対応した信号送信や信号受信などの各種の処理動作をタイムフォーマットに対応した順番で基準クロックに対応した処理速度で

実行する。ただし、このようにマイクロコンピュータにより各種の処理動作が実行される場合、対応する処理容量および処理時間がデータ選出手段により容量記憶手段および時間記憶手段から選出され、速度算出手段により選出された処理容量が処理時間で除算されてマイクロコンピュータの処理速度が算出される。この算出された処理速度に対応してクロック発生手段からマイクロコンピュータに供給される基準クロックの周波数がクロック可変手段により可変されるので、この周波数が可変された基準クロックに対応した処理速度でマイクロコンピュータは処理動作を実行することになる。基準クロックの周波数が処理時間と処理容量とに対応して可変されるので、マイクロコンピュータはタイムフォーマットに対応した所定の処理時間に信号送信や信号受信などの所定の処理動作を完了し、その場合のマイクロコンピュータの消費電力が無用が増加することもない。アプリケーションプログラムの登録などにより処理動作の処理容量や処理時間が変化する場合、この処理容量や処理時間を容量記憶手段や時間記憶手段に登録すれば良く、最適な処理速度を算出して登録する必要はない。

【0029】請求項5記載の発明は、請求項3または4記載のデータ処理装置であって、前記データ選出手段は、必要により一つの処理時間に対して複数の処理容量を選出し、前記速度算出手段は、一つの処理時間に対して複数の処理容量が選出された場合に複数の処理容量の合計を一つの処理時間で除算して処理速度を算出する。従って、マイクロコンピュータが一つの処理時間に複数の処理動作を実行する場合、データ選出手段により一つの処理時間に対して複数の処理容量が選出され、速度算出手段により複数の処理容量の合計が一つの処理時間で除算されて処理速度が算出されるので、この処理速度に対応した周波数の基準クロックによりマイクロコンピュータは一つの処理時間に複数の処理動作を実行する。

【0030】請求項6記載の発明は、請求項3または4記載のデータ処理装置であって、前記データ選出手段は、必要により一つの処理容量に対して複数の処理時間を選出し、前記速度算出手段は、一つの処理容量に対して複数の処理時間が選出された場合に一つの処理容量を複数の処理時間の合計で除算して処理速度を算出する。従って、マイクロコンピュータが一つの処理動作を連続する複数の処理時間で実行する場合、データ選出手段により複数の処理時間に対して一つの処理容量が選出され、速度算出手段により一つの処理容量が複数の処理時間の合計で除算されて処理速度が算出されるので、この処理速度に対応した周波数の基準クロックによりマイクロコンピュータは一つの処理動作を連続する複数の処理時間に実行する。

【0031】請求項7記載の発明は、請求項3または4記載のデータ処理装置であって、前記データ選出手段は、必要により複数の処理時間に対して複数の処理容量

を選出し、前記速度算出手段は、複数の処理時間に対して複数の処理容量が選出された場合に複数の処理容量の合計を複数の処理時間の合計で除算して処理速度を算出する。

【0032】従って、マイクロコンピュータが複数の処理動作を連続する複数の処理時間で実行する場合、データ選出手段により複数の処理時間に対して複数の処理容量が選出され、速度算出手段により複数の処理容量の合計が複数の処理時間の合計で除算されて処理速度が算出されるので、この処理速度に対応した周波数の基準クロックによりマイクロコンピュータは複数の処理動作を連続する複数の処理時間に実行する。

【0033】請求項8記載の発明は、請求項3ないし7の何れか一記載のデータ処理装置であって、アプリケーションプログラムが外部入力されるプログラム入力手段と、該プログラム入力手段に外部入力されたアプリケーションプログラムを前記プログラム記憶手段に格納するプログラム格納手段と、処理容量が外部入力される容量入力手段と、該容量入力手段に外部入力された処理容量を前記容量記憶手段に格納する容量格納手段と、処理時間が外部入力される時間入力手段と、該時間入力手段に外部入力された処理時間を前記時間記憶手段に格納する時間格納手段とを、さらに具備している。

【0034】従って、アプリケーションプログラムがプログラム入力手段に外部入力されると、この外部入力されたアプリケーションプログラムがプログラム格納手段によりプログラム記憶手段に格納される。処理容量が容量入力手段に外部入力されると、この外部入力された処理容量が容量格納手段により容量記憶手段に格納される。処理時間が時間入力手段に外部入力されると、この外部入力された処理時間が時間格納手段により時間記憶手段に格納される。このため、ユーザが所望によりアプリケーションプログラムを登録するとき、これに対応した処理容量と処理時間とを登録すれば、基準クロックの周波数を算出して登録しなくとも、以後は基準クロックが自動的に適正な周波数に可変される。

【0035】請求項9記載の発明の情報記憶媒体は、システムマネージャと各種のアプリケーションプログラムとに対応した各種の処理動作を基準クロックに対応した処理速度で実行するマイクロコンピュータが読取自在なソフトウェアが格納されている情報記憶媒体において、少なくとも一つのシステムマネージャを保存すること、各種のアプリケーションプログラムを保存すること、前記マイクロコンピュータが各種の処理動作を実行する場合の処理容量を保存すること、前記マイクロコンピュータが各種の処理動作を実行する場合の処理時間を保存すること、前記マイクロコンピュータにより各種の処理動作が実行される場合に対応する処理容量および処理時間を前記容量記憶手段および前記時間記憶手段から選出すること、この選出された処理容量を処理時間で除算して

前記マイクロコンピュータの処理速度を算出すること、この算出された処理速度に対応して前記マイクロコンピュータに供給される基準クロックの周波数を可変させること、前記マイクロコンピュータに実行させるためのプログラムが格納されている。

【0036】従って、本発明の情報記憶媒体に格納されているプログラムをマイクロコンピュータに読み取らせて対応する処理動作を実行させると、このマイクロコンピュータは、周波数が可変された基準クロックに対応した処理速度で処理動作を実行することになる。基準クロックの周波数が処理時間と処理容量とに対応して可変されるので、マイクロコンピュータは所定の処理時間に所定の処理動作を完了し、その場合のマイクロコンピュータの消費電力が無用が増加することもない。アプリケーションプログラムの登録などにより処理動作の処理容量や処理時間が変化する場合、この処理容量や処理時間を登録すれば良く、最適な処理速度を算出して登録する必要はない。

【0037】なお、本発明で云う情報記憶媒体とは、マイクロコンピュータに各種処理を実行させるためのプログラムがソフトウェアとして事前に格納されたものであれば良く、例えば、マイクロコンピュータを一部とする装置に固定されているROM(Read Only Memory)やHDD(Hard Disc Drive)、マイクロコンピュータを一部とする装置に着脱自在に装填されるCD(Compact Disc)-ROMやFD(Floppy Disc)、等を許容する。

【0038】また、本発明で云うマイクロコンピュータとは、ソフトウェアからなるプログラムを読み取って対応する処理動作を実行できる装置であれば良く、例えば、CPUを主体として、これにROMやRAMやI/F(Interface)等の各種デバイスが必要により接続された装置などを許容する。

【0039】なお、本発明でマイクロコンピュータに各種データを保存させることは、例えば、マイクロコンピュータが事前に接続されているRAM等の情報記憶媒体に各種データを格納することや、マイクロコンピュータが一部として具備している内部メモリに各種データを格納することや、本発明の情報記憶媒体がFD等の場合に、そこにマイクロコンピュータが各種データを格納すること、等を許容する。請求項10記載の発明の情報記憶媒体は、システムマネージャと各種のアプリケーションプログラムとに対応した信号送信や信号受信などの各種の処理動作をタイムフォーマットに対応した順番で基準クロックに対応した処理速度で実行するマイクロコンピュータが読取自在なソフトウェアが格納されている情報記憶媒体において、少なくとも一つのシステムマネージャを保存すること、各種のアプリケーションプログラムを保存すること、前記マイクロコンピュータが信号送信や信号受信などの各種の処理動作を実行する場合の処

理容量を保存すること、前記マイクロコンピュータが各種の処理動作を実行する場合のタイムフォーマットに対応した処理時間を保存すること、前記マイクロコンピュータにより各種の処理動作が実行される場合に対応する処理容量および処理時間を前記容量記憶手段および前記時間記憶手段から選出すること、この選出された処理容量を処理時間で除算して前記マイクロコンピュータの処理速度を算出すること、この算出された処理速度に対応して前記マイクロコンピュータに供給される基準クロックの周波数を可変すること、を前記マイクロコンピュータに実行させるためのプログラムが格納されている。

【0040】従って、本発明の情報記憶媒体に格納されているプログラムをマイクロコンピュータに読み取らせて対応する処理動作を実行させると、このマイクロコンピュータは、周波数が可変された基準クロックに対応した処理速度で処理動作を実行することになる。基準クロックの周波数が処理時間と処理容量とに対応して可変されるので、マイクロコンピュータはタイムフォーマットに対応した所定の処理時間に信号送信や信号受信などの所定の処理動作を完了し、その場合のマイクロコンピュータの消費電力が無用に増加することもない。アプリケーションプログラムの登録などにより処理動作の処理容量や処理時間が変化する場合、この処理容量や処理時間を登録すれば良く、最適な処理速度を算出して登録する必要はない。

【0041】

【発明の実施の形態】本発明の実施の一形態を図面を参照して以下に説明する。なお、本実施の形態に関して前述した一従来例と同一の部分は、同一の名称および符号を使用して詳細な説明は省略する。図1は本実施の形態のデータ処理装置を示すブロック図、図2(a)は容量記憶手段である容量記憶手段の記憶構造を示す模式図、図2(b)は時間記憶手段である時間記憶手段の記憶構造を示す模式図である。図3はタイムフォーマットを示す模式図であり、図4はタイムフォーマットに対応して各種のタスクを実行する状態を示す模式図である。

【0042】本実施の形態のデータ処理装置21は、データ処理装置であるPDCの送受信処理部に利用されており、ハードウェアの構造は一従来例のデータ処理装置1と同一であるが、メモリユニット15に実装されたソフトウェアの内容が一従来例のデータ処理装置1とは相違している。

【0043】つまり、本実施の形態のデータ処理装置21も、マイクロコンピュータであるCPU2に基準発振器11がクロック発生手段であるタイミング発生器12などを介して接続されており、このタイミング発生器12に接続されたクロック可変手段である周波数制御レジスタ16や情報記憶媒体であるメモリユニット15などもCPU2に接続されている。

【0044】しかし、メモリユニット15には一従来例

のデータ処理装置1とは相違する内容のソフトウェアが実装されており、このソフトウェアをCPU2が読み取って対応する処理動作を実行することなどにより、本実施の形態のデータ処理装置21には各種機能が各種手段として実現されている。

【0045】このような各種手段として、本実施の形態のデータ処理装置21は、マネージャ記憶手段22、プログラム記憶手段、容量記憶手段であるタスクインデックス23、時間記憶手段であるタイムインデックス24、データ選出手段、速度算出手段25、プログラム入力手段、プログラム格納手段、容量入力手段、容量格納手段、時間入力手段、時間格納手段、等を論理的に具備している。

【0046】マネージャ記憶手段22は、メモリユニット15に確保された所定の記憶エリアに相当し、少なくとも一つのシステムマネージャが格納されている。プログラム記憶手段も、メモリユニット15に確保された所定の記憶エリアに相当し、各種のアプリケーションプログラムが登録されている。

【0047】なお、前述のように本実施の形態のデータ処理装置1はPDCの送受信処理部に利用されているので、メモリユニット15に実装されたシステムマネージャやアプリケーションプログラムは、PDCでの信号送信や信号受信などのタスクに対応した内容に形成されている。

【0048】タスクインデックス23も、メモリユニット15に確保された所定の記憶エリアに相当し、図2(a)に示すように、CPU2が信号送信や信号受信などの各種の処理動作であるタスクを実行する場合の処理容量が登録されている。タイムインデックス24も、メモリユニット15に確保された所定の記憶エリアに相当し、図2(b)に示すように、CPU2が各種のタスクを実行する場合のタイムフォーマットに対応したタイムスロットの処理時間が登録されている。

【0049】なお、上述のタスクおよびタイムフォーマットは、PDCの標準規格である“RCRSTD-27F”に規定されたものであり、図3に示すように、TDMA方式でタイムスロットごとに順番に実行される各種のタスクに対応して設定されている。

【0050】データ選出手段は、例えば、システムマネージャに対応したCPU2の処理動作に相当し、CPU2により各種のタスクが実行される場合に、対応する処理容量および処理時間をタスクインデックス23およびタイムインデックス24から選出する。

【0051】速度算出手段25も、システムマネージャに対応したCPU2の処理動作に相当し、データ選出手段により選出された処理容量を処理時間で除算してCPU2の処理速度を算出し、この処理速度を制御パラメータとして周波数制御レジスタ16に入力する。

【0052】なお、データ選出手段は、必要により一つ

の処理時間に対して複数の処理容量を選出し、速度算出手段 25 は、一つの処理時間に対して複数の処理容量が選出された場合には、複数の処理容量の合計を一つの処理時間で除算して処理速度を算出する。

【0053】プログラム入力手段は、例えば、I/Oポート 14 に相当し、アプリケーションプログラムが外部入力される。プログラム格納手段は、I/Oポート 14 から外部入力される各種データを CPU 2 がメモリユニット 15 に格納することにより、プログラム入力手段に外部入力されたアプリケーションプログラムをプログラム記憶手段に格納する。

【0054】以下同様に、容量入力手段も I/Oポート 14 に相当し、処理容量が外部入力される。容量格納手段も、I/Oポート 14 から外部入力される各種データを CPU 2 がメモリユニット 15 に格納することにより、容量入力手段に外部入力された処理容量をタスクインデックス 23 に格納する。時間入力手段は処理時間が外部入力され、時間格納手段は、時間入力手段に外部入力された処理時間をタイムインデックス 24 に格納する。

【0055】上述のような各種手段は、必要により I/Oポート 14 等のハードウェアを利用して実現されるが、その主体はメモリユニット 15 に格納されたソフトウェアに対応して、マイクロコンピュータである CPU 2 が所定の処理動作を実行することにより実現されている。

【0056】このようなソフトウェアは、例えば、少なくとも一つのシステムマネージャを保存すること、各種のアプリケーションプログラムを保存すること、CPU 2 が信号送信や信号受信などの各種のタスクを実行する場合の処理容量を保存すること、CPU 2 が各種のタスクを実行する場合のタイムスロットの処理時間を保存すること、CPU 2 により各種のタスクが実行される場合に対応する処理容量および処理時間をタスクインデックス 23 およびタイムインデックス 24 から選出すること、この選出された処理容量を処理時間で除算して CPU 2 の処理速度を算出すること、この算出された処理速度に対応してタイミング発生器 12 から CPU 2 に供給される基準クロックの周波数を周波数制御レジスタ 16 に可変させること、等の処理動作を CPU 2 に実行させるための制御プログラムとしてメモリユニット 15 に格納されている。

【0057】なお、上述のような各種データを CPU 2 に保存させることは、前述のように CPU 2 が各種データをメモリユニット 15 に格納することで実現される。上述のような処理動作を CPU 2 に実行させるためのソフトウェアは、例えば、システムマネージャとして実現することが可能である。

【0058】上述のような構成において、本実施の形態のデータ処理装置 21 によるデータ処理方法を以下に説

明する。本実施の形態のデータ処理装置 21 は、前述のように PDC の送受信処理部に利用されているので、図 4 に示すように、事前に設定されたタイムフォーマットの順番および時間で各種のタスクを実行する。

【0059】このようにデータ処理装置 21 が各種のタスクをタイムスロットごとに実行することにより、このデータ処理装置 21 を送受信処理部に利用した PDC は、外部入力される音声信号を通信電波に変換して無線送信するとともに、無線受信する通信電波を音声信号に変換して外部出力することができる。

【0060】上述のようにデータ処理装置 21 が動作するとき、メモリユニット 15 に格納されているシステムマネージャと各種のアプリケーションプログラムとに対応した信号送信や信号受信などの各種のタスクが、CPU 2 によりタイムフォーマットに対応した順番で基準クロックに対応した処理速度で実行される。

【0061】このように CPU 2 により各種のタスクがタイムスロットごとに実行される場合、対応する処理容量および処理時間がタスクインデックス 23 およびタイムインデックス 24 から選出され、速度算出手段 25 により選出された処理容量が処理時間で除算されて CPU 2 の処理速度が算出される。

【0062】この算出された処理速度に対応してタイミング発生器 12 から CPU 2 に供給される基準クロックの周波数が周波数制御レジスタ 16 により可変されるので、この周波数が可変された基準クロックに対応した処理速度で CPU 2 はタスクを実行することになる。

【0063】ただし、本実施の形態のデータ処理装置 21 では、上述のように CPU 2 に供給される基準クロックの周波数が、タスクごとの処理容量とタイムスロットの処理時間とに対応して可変される。つまり、CPU 2 に供給される基準クロックの周波数が最適値に可変されるので、CPU 2 はタイムスロットの処理時間に信号送信や信号受信などの所定のタスクを確実に完了することができ、必要以上の処理速度で CPU 2 が駆動されることもないので、CPU 2 の消費電力の無用な増加も防止される。

【0064】しかも、本実施の形態のデータ処理装置 21 では、アプリケーションプログラムの登録などによりタスクの処理容量や処理時間が変化する場合でも、この処理容量や処理時間をタスクインデックス 23 やタイムインデックス 24 に登録すれば、以後は基準クロックが自動的に最適な周波数に可変される。このため、最適な基準クロックの周波数をユーザが算出して登録する必要はなく、各種の設定作業が簡単でユーザの作業負担を軽減することができる。

【0065】さらに、本実施の形態のデータ処理装置 21 では、一つの処理時間に複数のタスクを実行する場合、一つの処理時間に対して複数の処理容量が選出され、速度算出手段 25 により複数の処理容量の合計が一

つの処理時間で除算されて処理速度が算出される。この場合、この処理速度に対応した周波数の基準クロックによりCPU 2は一つの処理時間に複数のタスクを実行するので、一つの処理時間に複数のタスクを完了することができる。

【0066】例えば、一般的なPDCの場合、図4に示すように、LMのタイムスロットでは、専用の処理時間Xに処理容量Cのレベル測定タスクが実行されるので、CPU 2がC/Xの処理速度を実現するように基準クロックの周波数が可変される。

【0067】同様に、RXのタイムスロットでは、処理時間Yに処理容量Aの受信処理タスクが実行されるので、通常はA/Yの処理速度となるように基準クロックが可変されるが、この途中で処理容量Dの割込処理タスクが発生した場合は、このタスクが完了するまで処理速度が(A+D)/Yとなるように基準クロックが可変される。

【0068】なお、PDCでは電源の投入直後の初期設定では基準クロックの周波数はタイムスロットやタスク等とは無関係に最高値に設定され、初期設定が完了してシステムが安定するとタイムスロットやタスクに対応した周波数に基準クロックが可変されるので、この状態に本実施の形態のデータ処理装置21のデータ処理方法は対応している。

【0069】なお、本発明は上記形態に限定されるものではなく、その要旨を逸脱しない範囲で各種の変形を許容する。例えば、データ処理装置21をPDCの送受信処理部に利用することを例示したが、本発明のデータ処理装置および方法は各種の電子機器に適用することが可能である。

【0070】また、上記形態では一つの処理時間に複数の処理動作を実行することを例示したが、一つの処理動作を連続する複数の処理時間で実行することや、複数の処理動作を連続する複数の処理時間で実行することも可能である。前者の場合は、一つの処理容量に対して複数の処理時間を選出し、一つの処理容量を複数の処理時間の合計で除算して処理速度を算出すれば良く、後者の場合は、複数の処理時間に対して複数の処理容量を選出し、複数の処理容量の合計を複数の処理時間の合計で除算して処理速度を算出すれば良い。

【0071】また、上記形態ではメモリユニット15等にソフトウェアとして格納されている制御プログラムに従ってCPU 2が動作することにより、データ処理装置21の各種手段が論理的に実現されることを例示した。しかし、このような各種手段の各々を固有のハードウェアとして形成することも可能であり、一部をソフトウェアとしてメモリユニット15等に格納するとともに一部をハードウェアとして形成することも可能である。

【0072】

【発明の効果】本発明は以上説明したように構成されて

いるので、以下に記載するような効果を奏する。

【0073】請求項1記載の発明のデータ処理方法は、各種の処理動作を実行する場合の処理容量を登録しておき、各種の処理動作を実行する場合の処理時間を登録しておき、各種の処理動作が実行される場合に対応する処理容量および処理時間を選出し、この選出された処理容量を処理時間で除算して処理動作の処理速度を算出し、この算出された処理速度に対応して基準クロックの周波数を可変するようにしたことにより、基準クロックの周波数を最適値に設定することができるので、各種の処理容量の処理動作を所定の処理時間に完了することができるのと同時に、データ処理装置の消費電力の無用な増加も防止することができ、アプリケーションプログラムの登録などにより処理動作の処理容量や処理時間が変化する場合でも、この処理容量や処理時間を登録すれば基準クロックの周波数は最適値に可変されるので、ユーザが最適な基準クロックの周波数を算出して登録する必要はなく、ユーザの作業負担を軽減することができる。

【0074】請求項2記載の発明のデータ処理方法は、信号送信や信号受信などの各種の処理動作を実行する場合の処理容量を登録しておき、各種の処理動作を実行する場合のタイムフォーマットに対応した処理時間を登録しておき、各種の処理動作が順番に実行される場合に対応する処理容量および処理時間を選出し、この選出された処理容量を処理時間で除算して処理動作の処理速度を算出し、この算出された処理速度に対応して基準クロックの周波数を可変するようにしたことにより、基準クロックの周波数を最適値に設定することができるので、信号送信や信号受信などの処理動作をタイムフォーマットに対応した処理時間に完了することができるのと同時に、データ処理装置の消費電力の無用な増加も防止することができ、アプリケーションプログラムの登録などにより処理動作の処理容量や処理時間が変化する場合でも、この処理容量や処理時間を登録すれば基準クロックの周波数は最適値に可変されるので、ユーザが最適な基準クロックの周波数を算出して登録する必要はなく、ユーザの作業負担を軽減することができる。

【0075】請求項3記載の発明のデータ処理装置は、少なくとも一つのシステムマネージャが登録されているマネージャ記憶手段と、各種のアプリケーションプログラムが登録されているプログラム記憶手段と、基準クロックを発生するクロック発生手段と、システムマネージャと各種のアプリケーションプログラムとに対応した各種の処理動作を基準クロックに対応した処理速度で実行するマイクロコンピュータと、該マイクロコンピュータが各種の処理動作を実行する場合の処理容量が登録されている容量記憶手段と、前記マイクロコンピュータが各種の処理動作を実行する場合の処理時間が登録されている時間記憶手段と、前記マイクロコンピュータにより各種の処理動作が実行される場合に対応する処理容量およ

び処理時間を前記容量記憶手段および前記時間記憶手段から選出するデータ選出手段と、該データ選出手段により選出された処理容量を処理時間で除算して前記マイクロコンピュータの処理速度を算出する速度算出手段と、該速度算出手段により算出された処理速度に対応して前記クロック発生手段から前記マイクロコンピュータに供給される基準クロックの周波数を可変するクロック可変手段と、を具備していることにより、基準クロックの周波数を最適値に設定することができるので、各種の処理容量の処理動作を所定の処理時間に完了することができるのと同時に、マイクロコンピュータの消費電力の無用な増加も防止することができ、アプリケーションプログラムの登録などにより処理動作の処理容量や処理時間が変化する場合でも、この処理容量や処理時間を登録すれば基準クロックの周波数は最適値に可変されるので、ユーザが最適な基準クロックの周波数を算出して登録する必要はなく、ユーザの作業負担を軽減することができる。

【0076】請求項4記載の発明のデータ処理装置は、少なくとも一つのシステムマネージャが登録されているマネージャ記憶手段と、各種のアプリケーションプログラムが登録されているプログラム記憶手段と、基準クロックを発生するクロック発生手段と、システムマネージャと各種のアプリケーションプログラムとに対応した信号送信や信号受信などの各種の処理動作をタイムフォーマットに対応した順番で基準クロックに対応した処理速度で実行するマイクロコンピュータと、該マイクロコンピュータが信号送信や信号受信などの各種の処理動作を実行する場合の処理容量が登録されている容量記憶手段と、前記マイクロコンピュータが各種の処理動作を実行する場合のタイムフォーマットに対応した処理時間が登録されている時間記憶手段と、前記マイクロコンピュータにより各種の処理動作が実行される場合に対応する処理容量および処理時間を前記容量記憶手段および前記時間記憶手段から選出するデータ選出手段と、該データ選出手段により選出された処理容量を処理時間で除算して前記マイクロコンピュータの処理速度を算出する速度算出手段と、該速度算出手段により算出された処理速度に対応して前記クロック発生手段から前記マイクロコンピュータに供給される基準クロックの周波数を可変するクロック可変手段と、を具備していることにより、基準クロックの周波数を最適値に設定することができるので、信号送信や信号受信などの処理動作をタイムフォーマットに対応した処理時間に完了することができるのと同時に、マイクロコンピュータの消費電力の無用な増加も防止することができ、アプリケーションプログラムの登録などにより処理動作の処理容量や処理時間が変化する場合でも、この処理容量や処理時間を登録すれば基準クロックの周波数は最適値に可変されるので、ユーザが最適な基準クロックの周波数を算出して登録する必要はなく、ユーザの作業負担を軽減することができる。

【0077】請求項5記載の発明は、請求項3または4記載のデータ処理装置であって、前記データ選出手段は、必要により一つの処理時間に対して複数の処理容量を選出し、前記速度算出手段は、一つの処理時間に対して複数の処理容量が選出された場合に複数の処理容量の合計を一つの処理時間で除算して処理速度を算出することにより、一つの処理時間に複数の処理動作を完了することができ、これを実現する最適な周波数に基準クロックを設定することができる。

【0078】請求項6記載の発明は、請求項3または4記載のデータ処理装置であって、前記データ選出手段は、必要により一つの処理容量に対して複数の処理時間を選出し、前記速度算出手段は、一つの処理容量に対して複数の処理時間が選出された場合に一つの処理容量を複数の処理時間の合計で除算して処理速度を算出することにより、一つの処理動作を連続する複数の処理時間に完了することができ、これを実現する最適な周波数に基準クロックを設定することができる。

【0079】請求項7記載の発明は、請求項3または4記載のデータ処理装置であって、前記データ選出手段は、必要により複数の処理時間に対して複数の処理容量を選出し、前記速度算出手段は、複数の処理時間に対して複数の処理容量が選出された場合に複数の処理容量の合計を複数の処理時間の合計で除算して処理速度を算出することにより、複数の処理動作を連続する複数の処理時間に完了することができ、これを実現する最適な周波数に基準クロックを設定することができる。

【0080】請求項8記載の発明は、請求項3ないし7の何れか記載のデータ処理装置であって、アプリケーションプログラムが外部入力されるプログラム入力手段と、該プログラム入力手段に外部入力されたアプリケーションプログラムを前記プログラム記憶手段に格納するプログラム格納手段と、処理容量が外部入力される容量入力手段と、該容量入力手段に外部入力された処理容量を前記容量記憶手段に格納する容量格納手段と、処理時間が外部入力される時間入力手段と、該時間入力手段に外部入力された処理時間を前記時間記憶手段に格納する時間格納手段とを、さらに具備していることにより、ユーザが所望によりアプリケーションプログラムを登録するとき、これに対応した処理容量と処理時間とを登録すれば、基準クロックの周波数を算出して登録しなくても、以後は基準クロックが自動的に適正な周波数に可変されるので、ユーザの作業負担を軽減することができる。

【0081】請求項9記載の発明の情報記憶媒体は、少なくとも一つのシステムマネージャを保存すること、各種のアプリケーションプログラムを保存すること、前記マイクロコンピュータが各種の処理動作を実行する場合の処理容量を保存すること、前記マイクロコンピュータが各種の処理動作を実行する場合の処理時間を保存する

こと、前記マイクロコンピュータにより各種の処理動作が実行される場合に対応する処理容量および処理時間を前記容量記憶手段および前記時間記憶手段から選出すること、この選出された処理容量を処理時間で除算して前記マイクロコンピュータの処理速度を算出すること、この算出された処理速度に対応して前記マイクロコンピュータに供給される基準クロックの周波数を可変させること、前記マイクロコンピュータに実行させるためのプログラムが格納されていることにより、本発明の情報記憶媒体に格納されているプログラムをマイクロコンピュータに読み取らせて対応する処理動作を実行させると、このマイクロコンピュータは、基準クロックの周波数を最適値に設定することができるので、各種の処理容量の処理動作を所定の処理時間に完了することができるとともに、消費電力の無用な増加も防止することができ、アプリケーションプログラムの登録などにより処理動作の処理容量や処理時間が変化する場合でも、この処理容量や処理時間を登録すれば基準クロックの周波数は最適値に可変されるので、ユーザが最適な基準クロックの周波数を算出して登録する必要はなく、ユーザの作業負担を軽減することができる。

【0082】請求項10記載の発明の情報記憶媒体は、少なくとも一つのシステムマネージャを保存すること、各種のアプリケーションプログラムを保存すること、前記マイクロコンピュータが信号送信や信号受信などの各種の処理動作を実行する場合の処理容量を保存すること、前記マイクロコンピュータが各種の処理動作を実行する場合のタイムフォーマットに対応した処理時間を保存すること、前記マイクロコンピュータにより各種の処理動作が実行される場合に対応する処理容量および処理時間を前記容量記憶手段および前記時間記憶手段から選出すること、この選出された処理容量を処理時間で除算して前記マイクロコンピュータの処理速度を算出すること、この算出された処理速度に対応して前記マイクロコンピュータに供給される基準クロックの周波数を可変すること、を前記マイクロコンピュータに実行させるためのプログラムが格納されていることにより、本発明の情

報記憶媒体に格納されているプログラムをマイクロコンピュータに読み取らせて対応する処理動作を実行させると、このマイクロコンピュータは、基準クロックの周波数を最適値に設定することができるので、信号送信や信号受信などの処理動作をタイムフォーマットに対応した処理時間に完了することができるとともに、消費電力の無用な増加も防止することができ、アプリケーションプログラムの登録などにより処理動作の処理容量や処理時間が変化する場合でも、この処理容量や処理時間を登録すれば基準クロックの周波数は最適値に可変されるので、ユーザが最適な基準クロックの周波数を算出して登録する必要はなく、ユーザの作業負担を軽減することができる。

【図面の簡単な説明】

【図1】本発明の実施の一形態のデータ処理装置を示すブロック図である。

【図2】(a)は容量記憶手段である容量記憶手段の記憶構造を示す模式図であり、(b)は時間記憶手段である時間記憶手段の記憶構造を示す模式図である。

【図3】タイムフォーマットを示す模式図である。

【図4】タイムフォーマットに対応して処理動作である各種のタスクを実行する状態を示す模式図である。

【図5】一従来例のデータ処理装置を示すブロック図である。

【符号の説明】

- 2 マイクロコンピュータであるCPU
- 12 クロック発生手段に相当するタイミング発生器
- 14 各種の入力手段に相当するI/Oポート
- 15 情報記憶媒体であるメモリユニット
- 16 クロック可変手段に相当する周波数制御レジスタ
- 21 データ処理装置
- 22 マネージャ記憶手段
- 23 容量記憶手段であるタスクインデックス
- 24 時間記憶手段であるタイムインデックス
- 25 速度算出手段

【図2】

(a)

(b)

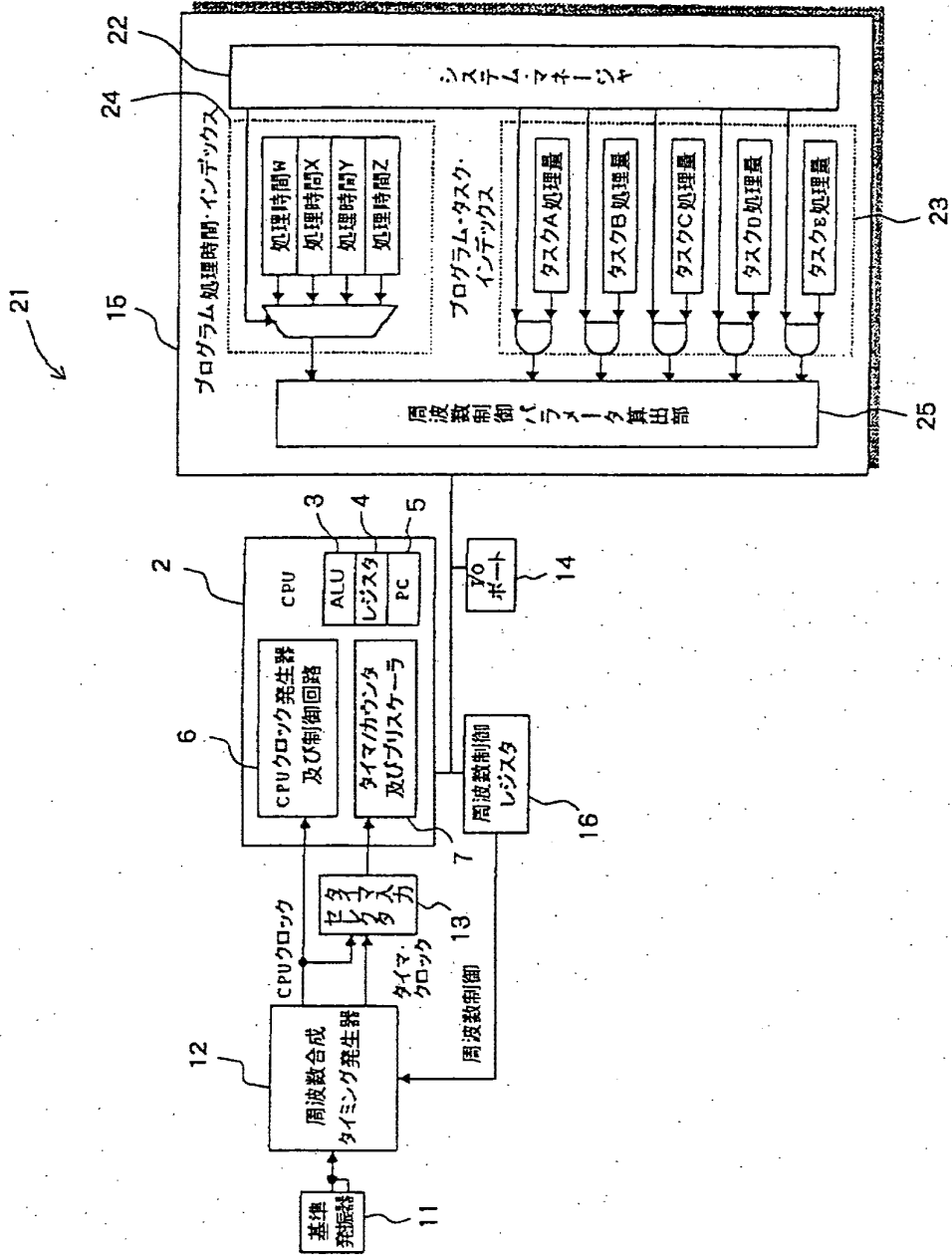
23

24

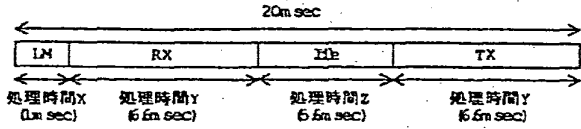
タスクA処理量	受信処理
タスクB処理量	送信処理
タスクC処理量	レベル測定処理
タスクD処理量	割り込み処理①
タスクE処理量	割り込み処理②

処理時間W	割り込み時
処理時間X	レベル測定時(1m sec)
処理時間Y	送信および受信(6.6m sec)
処理時間Z	アイドル時

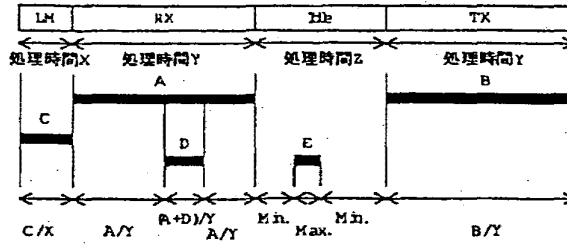
【図1】



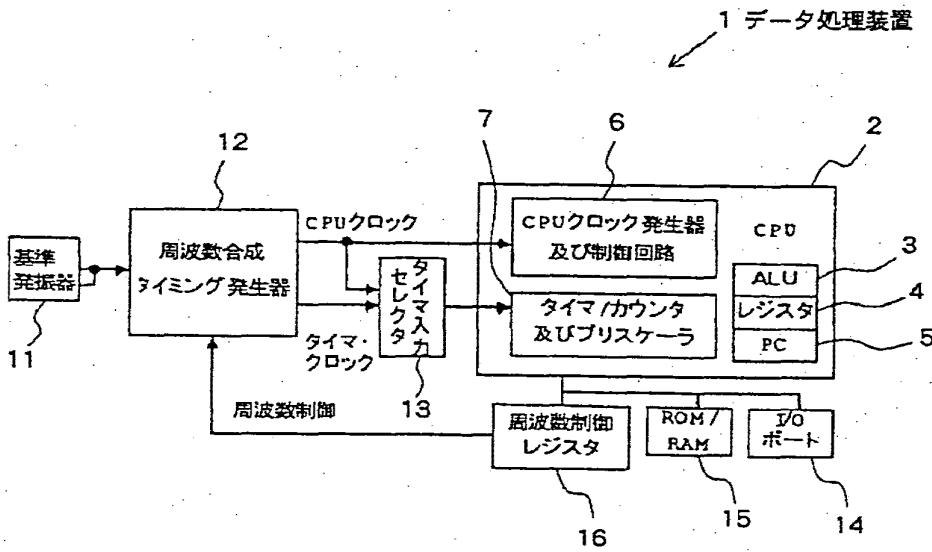
【図3】



【図4】



【図5】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-073237

(43)Date of publication of application : 16.03.1999

(51)Int.Cl. G06F 1/08

(21)Application number : 09-235012

(71)Applicant : FUJITSU LTD
FUJITSU KIDEN LTD

(22)Date of filing : 29.08.1997

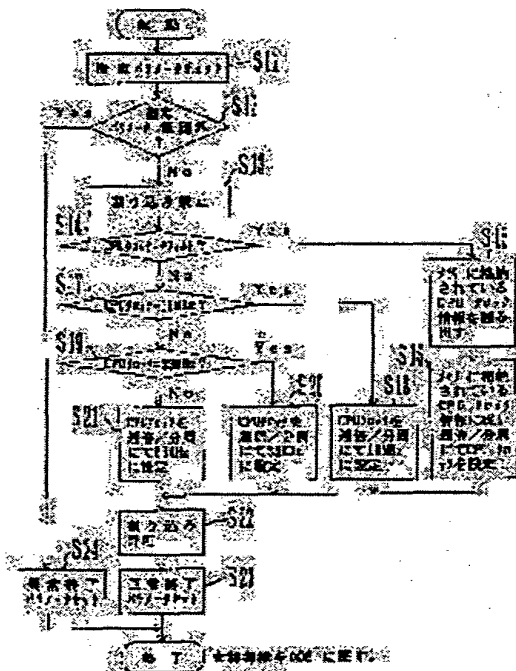
(72)Inventor : MANIWA TATSUNARI
YOKOYAMA HIDEKI

(54) DATA PROCESSOR AND CLOCK SWITCHING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce power consumption at the time of a normal operation, and to realize a high speed processing.

SOLUTION: At the time of receiving a command for instructing the switching of the clock frequencies of a main CPU from an application program, the value of a parameter added to the command is discriminated, and when the parameter is '0', a clock signal is switched to default frequencies (S15 and S16), and when the parameter is '1', the frequencies of the clock signal are switched to 16 MHz (S18). Also, when the parameter is '2', the frequencies of the clock signal are switched to 33 MHz, and when the parameter is a value other than those above mentioned values, the frequencies are switched to 66 MHz (S21).



LEGAL STATUS

[Date of request for examination] 21.05.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3179054

[Date of registration] 13.04.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

THIS PAGE BLANK (USPTO)

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The data processor characterized by having the clock switch means which switches the frequency of the clock signal which serves as criteria of actuation of CPU based on the clock switch information notified from an application program, and an activation means to perform said application program based on the clock signal of the frequency switched with said clock switch means.

[Claim 2] Said clock switch means is a data processor according to claim 1 characterized by switching the frequency of said clock signal based on the data added to the command which directs a switch of the frequency notified as clock switch information, and this command from said application program.

[Claim 3] Said clock switch means is a data processor according to claim 1 or 2 which makes the frequency of said clock signal higher than the frequency at the time of normal operation based on the clock switch information notified from said application program, and is characterized by returning this clock signal to the frequency at the time of normal operation at the time of termination of this application program.

[Claim 4] It is the data processor according to claim 1 or 2 which said application program is a data transfer program which performs data transfer, and is characterized by said clock switch means consisting of a clock generation circuit which generates the clock signal of the frequency specified by the frequency switch program started by assignment of said data transfer program, and this frequency switch program.

[Claim 5] The data processor characterized by having a detection means to detect starting of processing to perform at a rate quicker than usual, and the clock switch means which switches the frequency of the clock signal used as the criteria of actuation of CPU to a frequency higher than the time of normal operation when starting of said processing is detected by said detection means.

[Claim 6] It is the data processor according to claim 5 characterized by for said detection means outputting an interrupt signal when starting of said processing is detected, and constituting said clock switch means as a program of BIOS, starting this BIOS by the interrupt signal outputted from said detection means, and performing a switch of the frequency of a clock signal by the clock switch means of this BIOS.

[Claim 7] A transmission-speed storage means to memorize the transmission-speed data in which the transmission speed of data is shown, A detection means to detect whether access to said transmission-speed storage means was performed, The read-out means which reads the transmission-speed data memorized by said transmission-speed storage means when it is detected that access to said transmission-speed storage means was performed with said detection means, The data processor characterized by having the clock switch means which switches the frequency of the clock signal which serves as criteria of actuation of CPU according to said read transmission-speed data.

[Claim 8] It has a transfer data storage means to memorize transfer data. Said detection means When access to said transmission-speed storage means is detected, the interrupt signal which shows initiation of data transfer processing is outputted and access to said transfer data storage

THIS PAGE BLANK (USPTO)

means is no longer performed beyond fixed time amount, The interrupt signal which shows termination of data transfer processing is outputted. Said read-out means and a clock switch means It is constituted as a program of BIOS and BIOS is started by the interrupt signal which shows initiation of said data transfer processing. Said read-out means of this BIOS reads transmission-speed data from said transmission-speed storage means. The data processor according to claim 7 characterized by returning the frequency of said clock signal to the original frequency when the interrupt signal which said clock switch means switches the frequency of said clock signal based on these transmission-speed data, and shows termination of said data transfer processing is detected.

[Claim 9] The data processor characterized by having a storage means to memorize a setting means to set up the frequency of the clock signal of CPU when performing this processing with a processing name at least at the time of a setup, and the frequency of the clock signal when performing the processing name and this processing which were set up with said setting means.

[Claim 10] The data processor according to claim 9 characterized by having the clock switch means which switches the frequency of a clock signal to the frequency corresponding to this processing when processing memorized by said storage means is performed.

[Claim 11] The clock switch approach characterized by consisting of a clock switch step which switches the frequency of the clock signal which serves as criteria of actuation of CPU based on the clock switch information notified from an application program, and a step which performs said application program based on the clock signal with which said frequency was switched.

[Claim 12] Said clock switch step is the clock switch approach according to claim 11 characterized by switching the frequency of said clock signal based on the data added to the command which directs a switch of the frequency notified as clock switch information, and this command from said application program.

[Claim 13] Said clock switch step is the clock switch approach according to claim 11 or 12 which makes the frequency of said clock signal higher than the frequency at the time of normal operation based on the clock switch information notified from said application program, and is characterized by returning this clock signal to the frequency at the time of normal operation at the time of termination of this application program.

[Claim 14] The clock switch approach characterized by consisting of a clock switch step which switches the frequency of the clock signal used as the criteria of actuation of CPU to a frequency higher than the time of normal operation when the detection step which detects starting of processing to perform at a rate quicker than usual, and starting of said processing are detected.

[Claim 15] It is the clock switch approach according to claim 14 characterized by for said detection step outputting an interrupt signal when starting of said processing is detected, and constituting said clock switch step as a program of BIOS, starting this BIOS by said interrupt signal, and a switch of the frequency of a clock signal being performed by this BIOS.

[Claim 16] The step which makes the transmission-speed storage section memorize the transmission-speed data in which the transmission speed of data is shown, The detection step which detects whether access to said transmission-speed storage section was performed, The read-out step which reads the transmission-speed data memorized by this transmission-speed storage section when access to said transmission-speed storage section is detected, The clock switch approach characterized by consisting of a clock switch step which switches the frequency of the clock signal which serves as criteria of actuation of CPU according to said read transmission-speed data.

[Claim 17] The clock switch approach characterized by consisting of a step which memorizes the step which sets up the frequency of the clock signal of CPU when performing this processing with a processing name at least at the time of a setup, and the frequency of the clock signal when performing said set-up processing name and this processing.

[Translation done.]

THIS PAGE BLANK (USPTO)

* NOTICES *

JPO and NCIPJ are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the data processor and the clock switch approach of having the switch function of the frequency of a clock signal.

[0002]

[Description of the Prior Art] While the throughput of a microprocessor increases, the clock of operation is also accelerated. In the personal computer of the pocket mold driven by the cell, in order to lengthen the available time of a device, the device of power saving is performed. Since the power consumption of a microprocessor increases in proportion to the frequency of a clock of operation, while the microprocessor is not performing processing, making it operate with a low-speed clock, and cutting down power consumption is performed. For example, when a key input is not performed beyond fixed time amount by the ON state, a power source switches a clock frequency to a low speed, and lessens power consumption.

[0003] On the other hand, it has the input section and a display, the data read in the optical reading sections, such as a bar code reader, or the data inputted from the input section is memorized in internal memory, and personal digital assistant equipments, such as a handy terminal which can transmit the memorized data to a host computer etc., are used widely. Since personal digital assistant equipment is also driven by the cell as well as a pocket mold personal computer, in order to lengthen usable time amount, when an input is not performed, the power-saving mode which switches a clock to a low speed is formed.

[0004] Moreover, as a user is switched in the frequency of the clock of a microprocessor of operation, what could be made to do ** which lengthens the available time of a device because a user sets up the frequency of a clock low is considered.

[0005]

[Problem(s) to be Solved by the Invention] However, if the clock frequency of a microprocessor is low set up in order to lengthen usable time amount, even if the usual processing is enough as processing speed, the problem that the transmission speed in which the activation at the time of data transfer is possible becomes slow, for example will arise.

[0006] The technical problem of this invention is lessening power consumption at the time of normal operation, and realizing high-speed processing.

[0007]

[Means for Solving the Problem] The data processor of invention according to claim 1 is equipped with the clock switch means which switches the frequency of the clock signal which serves as criteria of actuation of CPU based on the clock switch information notified from an application program, and an activation means to perform an application program based on the clock signal switched with the clock switch means.

[0008] According to invention according to claim 1, since a switch of the frequency of the clock signal of CPU (a microprocessor etc. is included) can be directed from an application program side, for example, the frequency of the clock signal when performing communications processing can be made higher than the time of normal operation, high-speed processing is realized, power consumption can be lessened in operating CPU on a frequency lower than it at the time of

THIS PAGE BLANK (USPTO)

normal operation, and it can lengthen the available time of equipment.

[0009] The data processor of invention according to claim 5 is equipped with a detection means to detect starting of processing to perform at a rate quicker than usual, and the clock switch means which switches the frequency of the clock signal used as the criteria of actuation of CPU to a frequency higher than the time of normal operation when starting of the processing is detected by the detection means.

[0010] Since the clock signal of CPU when performing processing which needs high-speed processing can be made higher than the time of normal operation according to invention according to claim 5, power consumption at the time of normal operation is lessened, and high-speed processing can be realized.

[0011] A transmission-speed storage means to memorize the transmission-speed data which the data processor of invention according to claim 7 shows the transmission speed of data, A detection means to detect whether access to a transmission-speed storage means was performed, The read-out means which reads the transmission-speed data memorized by the transmission-speed storage means when it is detected that access to a transmission-speed storage means was performed with the detection means, It has the clock switch means which switches the frequency of the clock signal which serves as criteria of actuation of CPU according to the read transmission-speed data.

[0012] According to invention according to claim 7, since CPU can be operated with the clock signal of the frequency according to transmission speed at the time of data communication, CPU can be operated with the processing speed with which are satisfied of the transmission speed demanded.

[0013] The data processor of invention according to claim 9 is equipped with a storage means to memorize a setting means to set up the frequency of the clock signal of CPU when performing this processing with a processing name at least at the time of a setup, and the frequency of the clock signal when performing the processing with the processing name set up with the setting means.

[0014] According to invention according to claim 9, at the time of a setup, since a processing name to process at high speed and its activation frequency can be set up, CPU is operated on a comparatively low frequency, power consumption of equipment is lessened, CPU can be operated on a frequency high only at the time of specific processing at the time of normal operation, and it can shorten the processing time.

[0015]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained, referring to a drawing. Hereafter, the case where this invention is applied to a handheld terminal is explained. A handheld terminal is the input terminal unit of a pocket mold, it has the input section which inputs data, a display, and the communications department, memorizes the inputted data or the processing result of the data inside, and has the function to transmit the memorized data to a host computer etc.

[0016] A chip set 11 consists of Main CPU 12, the clock generator 13 included digital PLL (DPLL), a real time clock (RTC) 15, and programmable interval timer (PIT) 16 grade in drawing 1.

[0017] Clock generators 13 are multiplying and a circuit which carries out dividing and generates the clock signal of a desired frequency about the 32kHz reference clock signal generated with a crystal oscillator 14. digital one PLL (phase locked loop; — a phase comparator —) which carries out multiplying of the 32kHz signal generated with a crystal oscillator 14 as a clock generator 13 is shown in drawing 2 It consists of an error amplifier, a voltage controlled oscillator, etc. A circuit 21 and the frequency divider 22 which carries out dividing of the signal by which multiplying was carried out in the digital PLL circuit 21 to 1/2, 1/3, and 1/4, and outputs signals, such as 66MHz, 33MHz, and 16 etc.MHz, The frequency divider 23 which carries out dividing of the signal outputted from the digital PLL circuit 21, and the signal outputted from a frequency divider 22, The selector which chooses and outputs one side of the output of a frequency divider 23, and the 14.318MHz signal outputted from the digital PLL circuit 21, It consists of frequency divider 26 grades which carry out dividing of the output signal of the output circuit 25 which

THIS PAGE BLANK (SEE ...)

decides whether output the output of a selector 24 outside, or not output, and its output circuit 25 to one half, and output it to it.

[0018] The setup menu mentioned later or the frequency specified by the application program is written in the CPU clock change register 27 of a clock generator 13 by Maine CPU 12. The rate of multiplying of the digital PLL circuit 21 and the division ratio of a frequency divider 22 are decided, and the clock signal of the specified frequency is generated by the frequency written in this CPU clock change register 27.

[0019] The data for carrying out dividing of the signal by which dividing was carried out in the signal by which multiplying was carried out in the digital PLL circuit 21, or the frequency divider 22 further are written in the CPU clock dividing register 28. For example, the data for making the clock signal of low frequency output from a frequency divider 23 at the time of a sleep mode are written in.

[0020] It is the register with which the data which specify whether the 14MHz setting effective register 29 chooses a 14.318MHz clock signal by the selector 24 are written in, and the data which repeal a setup of a 14.318MHz clock signal are written in so that a selector 24 may usually choose the output signal of a frequency divider 23. And the data which confirm a setup of a 14.318MHz signal at the time of a switch of the frequency of a clock signal are written in the 14MHz setting effective register 29, and a selector 24 chooses a 14.318MHz clock signal. Thereby, once the frequency of a clock signal is switched to 14.318MHz at the time of a switch of the frequency of a clock signal, it is switched to the specified frequency.

[0021] It is the register with which the data which specify whether the CPU clock authorization register 30 outputs a clock signal from an output circuit 25 or it does not output are memorized, and when the data which usually permit the output of a clock signal are written in, for example, it stops actuation of CPU in a sleep mode, the data which make the output of a clock signal disapproval are written in.

[0022] the time check whose return and real time clock 15 clock a date and time of day to drawing 1 — it has the section and the memory which memorizes the operating condition set up with a setup menu, and it is backed up by the cell so that the time check of a date and time of day can be performed also at the time of power-source OFF.

[0023] A programmable interval timer 16 consists of three independent timer/counters, and these timers/counters are used by the program. The programmable interrupt controller (PIC) 17 receives the interrupt request from the outside, and applies interruption to Maine CPU 12.

[0024] Communication link IC 18 is a circuit for transmitting and receiving data, transmit data is outputted from RS-232C port 42 through a driver / receiver 41, and received data are inputted into communication link IC 18 through RS-232C port 42, and the driver/receiver 41.

[0025] a data input — carrying out — a keyboard — (— KB —) — 43 — a liquid crystal display — the section (LCD) — 44 — a touch panel — (— TP —) — 45 — a keyboard — a controller — 46 — connecting — having — **** — a touch panel — 44 — or — a keyboard — 43 — actuation — a signal — a keyboard — a controller — 46 — detecting — having — a chip set — 11 — outputting — having . The keyboard controller 46 has CPU inside and operates based on the clock generated with an oscillator 47.

[0026] The liquid crystal display section 44 displays the graphic form in which the contents of an input key or the input key are shown on the part of the switch of the transparence touch panel 45 while displaying the data inputted from the keyboard 43. A video graphic array (VGA) is a circuit which controls the display of the liquid crystal display section 44. The PC card controller 49 is a controller which controls the PC card inserted in PC Card slots 50 and 51, and has the function which can carry out immediate execution of the program code of ROM or RAM in a PC card. The keyboard controller 46, the video graphic array 48, and the PC card controller 49 which were mentioned above are connected to the chip set 11 through ISA Bus 53.

[0027] The controller 52 for a communication link is a controller which controls the data transfer by the infrared radiation performed through luminescence and a photo detector 54. The sending signal outputted from the controller 52 for a communication link is outputted to luminescence and a photo detector 54 through a driver 55, and the input signal received by luminescence and the photo detector 54 is outputted to the controller 52 for a communication link through a driver

THIS PAGE BLANK (USPTO)

55.

[0028] A flash ROM 56 is 16M bit ROM which memorizes application programs, such as a control program which controls the whole circuit, and data transfer processing. RAM57 consists of two 2M bit DRAMs which memorize the data inputted from the keyboard 43. RAM58 is 2M which memorize the parity data of the data memorized by RAM57, or 4M bit DRAM. Such ROM56 and RAM 57 and 58 are connected to the chip set 11 by the local bus 59 in which high-speed data transfer is possible.

[0029] A printer controller 60 is a circuit which controls printing of a printer 61, and has CPU for control. The signal outputted from this printer controller 60 is amplified by the driver 62, the print head of a printer 61 is supplied, and printing is performed.

[0030] The power control section 63 rectifies the alternating voltage supplied from the charge terminal 64, it is the circuit which creates the supply voltage for driving each part of a circuit, and supplies the electrical potential difference after rectification to a lithium secondary battery 65, and charges a lithium secondary battery 65. Moreover, the power control section 63 supplies the electrical potential difference of a lithium cell 66 to the memory of a real time clock 15 etc., and even when the time of power-source OFF or a lithium secondary battery 65 discharges, he is trying to protect the data of memory.

[0031] Next, drawing 3 is the block diagram showing the configuration of communication link IC 18. Selection/control logic 72 is the address data A0-A2 outputted from Maine CPU 12, and a circuit which controls the writing, read-out, etc. of data to selection of the register in communication link IC 18, and its selected register according to control signals, such as the lead signal RD and the light signal WR. Once the data D0-D7 sent from Maine CPU 12 are stored in a data buffer 71, they are transmitted to the register which corresponds to the origin of control of selection/control logic 72 through an internal data bus.

[0032] The modem control register 73 is a register with which the data which control the modem control logic 74 are written in, and the modem control logic 74 transmits and receives a modem status signal between the modems of a communications partner, and defines the condition of a transmitting side and a receiving side according to the data written in the modem control register 73. The modem status register 75 is a register which memorizes the data in which the condition of the modem control logic 74 is shown.

[0033] When transmitting data, the transmission-speed data in which transmission speed is shown first are written in a data buffer 71, and are written in the communication link rate setting register 76 at the origin of control of the transmission-speed data of the data buffer 71 of selection/control logic 72. A baud rate generator 77 generates the baud rate clock of the frequency corresponding to transmission-speed data, and outputs it to the transmit timing control 78 and the exterior.

[0034] Next, if transmit data is written in a data buffer 71, the data will be transmitted to a transmit register 79, will be further changed into serial data by the transmitter shift register 80, and will be outputted outside. The shift action of a transmitter shift register 80 is controlled by the transmit timing control 78, and the shift action of the communication link shift register 80 is performed to the timing which synchronized with the baud rate clock of a baud rate generator 77.

[0035] When receiving data, serial received data are changed into parallel data with the receiving shift register 81, and it is written in the receiving buffer register 82, and further, the parallel data are written in a data buffer 71, and are transmitted to Maine CPU 12. The shift action of the receiving shift register 81 is performed to the timing which synchronized with the receive clock received by the receiving timing control 83.

[0036] Next, in the handheld terminal of the above configurations, the actuation in the case of switching the frequency of the clock signal of specific processing is explained. First, a setup menu explains the gestalt of the operation of the 1st of this invention which sets up the frequency of a clock signal with reference to the flow chart of drawing 4.

[0037] The clock information which shows the frequency of a clock signal etc. is memorized by the memory of the real time clock 15 of a chip set 11, and this memory is backed up by the cell so that data may be held also at the time of power-source OFF.

THIS PAGE BLANK (USPTO)

[0038] ON of a power source starts the initial setting of BIOS (system which controls an input unit by a part of function of operation system) (drawing 4 , S1). Starting of an initial setting distinguishes [next] whether the specific key was operated at the time of starting (S2). If the specific key is not operated, the clock information at the time of the normal operation which progresses to step S3 and is memorized by the memory of a real time clock 15 is read. And according to the clock information memorized, the frequency of a clock signal is written in the CPU clock change register 27 of a clock generator 13.

[0039] On the other hand, when it is distinguished that the specific key was operated at step S2, setup processing is started and a setup screen is displayed (S5). Since three kinds, 16M, 33M, and 66MHz, are displayed as a frequency of the clock signal at the time of normal operation and three kinds of frequencies are further displayed as a processing name in this setup processing as a frequency of the clock signal which performs that processing A user chooses the frequency at the time of normal operation, processing (for example, data transfer processing) to perform among the processings currently displayed at high speed, and the frequency of the clock signal when performing the processing.

[0040] And it is distinguished whether selection of a switch of the frequency of a clock signal was completed (S6). After selection of a processing name and a frequency is completed, it is written in the memory of the real time clock 15 which the selected clock information, such as a processing name and a frequency, mentioned above (S7).

[0041] When a processing name is not chosen at step S6 but only the frequency at the time of normal operation is set up, the clock information memorized by memory till then is rewritten by the newly chosen frequency. Moreover, when both frequencies of a processing name and a clock signal are chosen, the frequency of the clock signal when performing the processing with a processing name is written in another memory area of the memory of a real time clock 15 as clock information.

[0042] If a system is reset after the clock information on memory is rewritten, BIOS will read the frequency memorized by the memory of a real time clock 15, and will write in the CPU clock change register 27 of the clock generator 13 which mentioned the read frequency above. Thereby, from a clock generator 13, the clock signal of the specified frequency is outputted and Main CPU 12 operates with the clock of the frequency.

[0043] Moreover, when the processing chosen with the setup program is started, the frequency memorized corresponding to the processing name is read to the memory of a real time clock 15, and the frequency is written in the CPU clock change register 27. When specified processing is performed by this, the frequency of the clock signal outputted from a clock generator 13 is switched.

[0044] As mentioned above, the frequency of the clock signal for example, at the time of normal operation can be made low by a user enabling it to set up the frequency of the clock signal at the time of normal operation, and the frequency of the clock signal when performing specific processing with a setup menu, and the frequency of the clock signal at the time of activation of the data transfer processing of which high-speed processing is required can be made high. By this, power consumption at the time of normal operation is lessened, the available time of a handy terminal is lengthened, and high-speed data transfer can be realized to coincidence.

[0045] Next, the gestalt of the operation of the 2nd of this invention which directs a switch of the frequency of a clock signal from an application program side is explained. Drawing 5 is the explanatory view of the command which directs a switch of the frequency of a clock signal. The command which directs a switch of a frequency is "SYSCLK" and specifies a frequency with the value of the parameter following a command. For example, if "0" is specified as a parameter, the frequency of a clock signal will be switched to a default value, i.e., the frequency at the time of starting. If "1" is specified as a parameter, the frequency of a clock signal will be switched to 16MHz, if "2" is specified as a parameter, the frequency of a clock signal will be switched to 33MHz, and if "3" is specified as a parameter, the frequency of a clock signal will be switched to 66MHz.

[0046] Drawing 6 is drawing showing an example of the program which switches the frequency of a clock signal from an application program side. This drawing shows the program created by C

THIS PAGE BLANK (USPTO)

and is system ("command"). "command" It is the instruction which performs the shown character string as a command of DOS.

[0047] Supposing a default frequency is 16MHz, A processing will be performed by the 16MHz clock signal. If A processing is completed and system ("sysclk 3") is performed by the next B processing, the program specified by the command will be started.

[0048] Drawing 7 is the flow chart of the switch processing of a frequency started by the command of an application program. First, the specified parameter is checked (drawing 7 , S11), and it distinguishes whether 0-3 have the value of a parameter out of range (S12). When the value of a parameter is out of range, the parameter which progresses to step S24 and shows abnormal termination is set up, and processing is ended.

[0049] At step S12, when the specified parameter is distinguished within the limits, it progresses to step S13, and during a switch of a clock signal, it interrupts and Maine CPU 12 is changed into the condition of prohibition so that a control may not be passed to other processings. And the value of a parameter distinguishes whether they are directions of a switch in the frequency of a default [be / it / "0"] (S14). When the value of a parameter is distinguished from "0" by this distinction, the default clock information (frequency of a clock signal) which progresses to step S15 and is memorized by the memory of a real time clock 15 is read. And the read frequency is written in the CPU clock change register 27 (S16). Thereby, the frequency of the clock signal generated with a clock generator 13 is switched to a default value (for example, 16MHz).

[0050] in addition, in case the contents of the CPU clock change register 27 are rewritten Once confirming the 14MHz setting effective register 29 beforehand, making a 14.318MHz signal choose by the selector 24 and switching the frequency of a clock signal to 14.318MHz, After rewriting the frequency of the CPU clock switch register 27 and completing a switch of a frequency, he makes the 14MHz setting effective register 29 into an invalid, and is trying to choose the clock signal of the frequency after modification by the selector 24.

[0051] When the value of a parameter was not "0" in distinction of step S14 and it is distinguished, it progresses to step S17 and the value of a parameter distinguishes whether they are directions of the switch whether it is "1" to 16MHz. In directions of the switch of the value of a parameter to 16MHz by "1", it progresses at step S18, and the value of 16MHz is written in the CPU clock change register 27. Thereby, the frequency of the clock signal generated with a clock generator 13 is switched to 16MHz.

[0052] the case where it is distinguished when the value of a parameter was not "1" at step S17 — the following step S19 — progressing — the value of a parameter — "2." That is, it distinguishes whether they are directions of the switch to 33MHz. When it is directions of the switch of the value of a parameter to 33MHz by "2", it progresses to step S20 and the value of 33MHz is written in the CPU clock change register 27. Thereby, the frequency of the clock signal generated with a clock generator 13 is switched to 33MHz.

[0053] Since the value of a parameter is the case where the switch to 66MHz is directed by "3" when the value of a parameter was not "2" at step S19 and it is distinguished, it progresses to step S21 and the value of 66MHz is written in the CPU clock change register 27. The frequency of the clock signal generated with a clock generator 13 by this is switched to 66MHz.

[0054] If a switch of the frequency of a clock signal is completed as mentioned above, it will progress to step S22 and interruption to Maine CPU 12 will be permitted. Since switch processing of a frequency was completed by this, a normal termination parameter is set up (S23), frequency switch processing is ended, and a control is returned to DOS.

[0055] If the frequency of a clock signal is switched by the processing mentioned above, the frequency of a clock signal can be returned to 16MHz of origin by executing the command with which processing B of drawing 6 is performed with the clock signal which is 66MHz, and switches the frequency of a clock signal to a default (in this case, 16MHz) at the last of B processing.

[0056] According to the gestalt of this 2nd operation, since the clock frequency of Maine CPU 12 can be switched from an application program side, Maine CPU 12 is usually operated on a low frequency, the consumed electric current can be lessened, the available time of equipment can be lengthened, when performing processing of which high-speed processing speed is required, Maine CPU 12 can be operated on a high frequency, and the processing time can be shortened.

THIS PAGE BLANK (USPTO)

[0057] Next, access to a specific register is detected and the gestalt of operation of the 3rd of this invention which switched the frequency of a clock signal is explained with reference to drawing 8 and drawing 9.

[0058] Drawing 8 is the circuit block diagram of the access detector 90 which detects access to the communication link IC 18 at the time of data transfer. In transmitting data to a host computer from a handy terminal, in order to set up transmission speed, transmission speed is written in the communication link rate setting register 76 of communication link IC 18 from Maine CPU 12. The decoding circuit 91 decodes the address data outputted from Maine CPU 12, and if it detects the address data which are in agreement with the address of the communication link rate setting register 76, it will output an address coincidence signal to the access supervisory circuit 92. The access supervisory circuit 92 starts an internal counter while it directs it in the interruption generating circuit 93 and it makes an interrupt signal output, when an address coincidence signal is received from the decoding circuit 91.

[0059] Since transmit data will be written in a transmit register 79 for every fixed time amount if data transfer is started after transmission speed is set as the communication link rate setting register 76 of communication link IC 18, if the address is in agreement in the decoding circuit 91 in the address data outputted from Maine CPU 12 as compared with the address of a transmit register 79, an address coincidence signal will be outputted to the access supervisory circuit 92. Whenever the access supervisory circuit 92 receives the address coincidence signal of a transmit register 79, it resets a counter.

[0060] Since the address coincidence signal of a transmit register 79 is no longer outputted from the decoding circuit 91 after data transmission is completed and access to a transmit register 79 is completed, the counter of the access supervisory circuit 92 counts up. The access supervisory circuit 92 directs the output of an interrupt signal to the interruption generating circuit 93, if a counter counts up.

[0061] That is, since an interrupt signal is outputted from the interruption generating circuit 93 when setting up the transmission speed at the time of performing data transmission, and when data transmission is completed, data transfer processing can be processed at high speed by switching the frequency of a clock signal, when this interrupt signal is detected by the BIOS side.

[0062] Next, drawing 9 is a flow chart which shows the contents of processing in the case of interrupting and switching a frequency with the interrupt signal from the generating circuit 93. If an interrupt signal is detected, it will interrupt with reference to the register of the programmable interrupt controller 17, and a factor will be checked (drawing 9, S31). an interruption factor distinguishes whether it is access of first as opposed to [if it comes out] the communication link rate setting register 76 about data transfer (S32). When distinguished from access to the communication link rate setting register 76 at step S32, the transmission speed which progresses to step S33 and is memorized by the communication link rate setting register 76 is read. and the read transmission speed — below a predetermined value (for example, 38.4KBPS) — or it distinguishes whether it is over the predetermined value (S34) If the read transmission speed is below a predetermined value, it will progress to step S35 and 33MHz will be written in the CPU clock change register 27 of a clock generator 13 as a frequency of a clock signal. Thereby, a 33MHz clock signal is outputted as a clock of Maine CPU 12 of operation from a clock generator 13.

[0063] On the other hand, when transmission speed was over the predetermined value at step S34 and it is distinguished, it progresses to step S36 and 66MHz is written in the CPU clock change register 27 of a clock generator 13 as a frequency of a clock signal. Thereby, a 66MHz clock signal is outputted as a clock of Maine CPU 12 of operation from a clock generator 13.

[0064] When it was not access to the communication link rate register 76 at step S32 and is distinguished, it distinguishes whether it progressed to step S37 and the counter of the access supervisory circuit 92 counted up. When the counter is counting up, it is judged as what data transfer processing ended, and progresses to step S38, and the default clock information memorized by the memory of a real time clock 15 is read. And the read frequency is written in the CPU clock change register 27 of a clock generator 13 (S39). Thereby, the clock signal of the

THIS PAGE BLANK (USPTO)

frequency. at the time of normal operation is outputted to Maine CPU 12 from a clock generator 13.

[0065] According to the gestalt of this 3rd operation, access to memory, such as a register by the processing for which high-speed processing of data transfer processing etc. is needed, is detected by hardware. Since the frequency of the clock signal of CPU was made high during activation of the processing, or it switched to the frequency according to transmission speed, and it was made to switch to the frequency at the time of normal operation if processing was completed Operate Maine CPU 12 with the clock signal of a low frequency at the time of normal operation, and it lessens power consumption. Usable time amount of equipment is lengthened, when performing processing as which high-speed processing speed is required, Maine CPU 12 is operated with the clock signal of a high frequency, and high-speed processing can be realized.

[0066] With the gestalt of operation mentioned above, although explained taking the case of data transfer processing, this invention is applicable not only to this but other processings in which high-speed processing speed is needed. Moreover, in the gestalt of the 3rd operation, the address accessed when specific processing is started is memorized, starting of processing of the specification is detected by detecting access to the address, and the frequency of a clock signal can be then switched.

[0067] Furthermore, although the gestalt of operation mentioned above explained the case where this invention was applied to a handy terminal, it is applicable not only to this but data processors, such as a pocket mold personal computer and pocket mold small terminal.

[0068]

[Effect of the Invention] According to this invention, when performing the program which needs high-speed processing, by making the frequency of the clock of CPU of operation higher than the time of normal operation, power consumption at the time of normal operation is lessened, the available time of equipment is lengthened, and high-speed processing can be realized to coincidence. Moreover, since it enabled it to switch the frequency of a clock signal from an application program side, CPU can be operated with the processing speed suitable for the program, and power consumption is lessened, and the processing time can be shortened. Furthermore, when performing data communication, in operating CPU on the frequency according to transmission speed, power consumption is lessened and high-speed data communication can be realized.

[Translation done.]

THIS PAGE BLANK (USPTO)

(51)Int.Cl.⁶
G 0 6 F 1/08

識別記号

F I
G 0 6 F 1/04

3 2 0 A

審査請求 未請求 請求項の数17 O L (全 14 頁)

(21)出願番号 特願平9-235012
(22)出願日 平成9年(1997)8月29日

(71)出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番1号
(71)出願人 000237639
富士通機電株式会社
東京都稲城市矢野口1776番地
(72)発明者 真庭 達成
東京都稲城市矢野口1776番地 富士通機電株式会社内
(72)発明者 横山 秀樹
東京都稲城市矢野口1776番地 富士通機電株式会社内
(74)代理人 弁理士 大首 義之 (外1名)

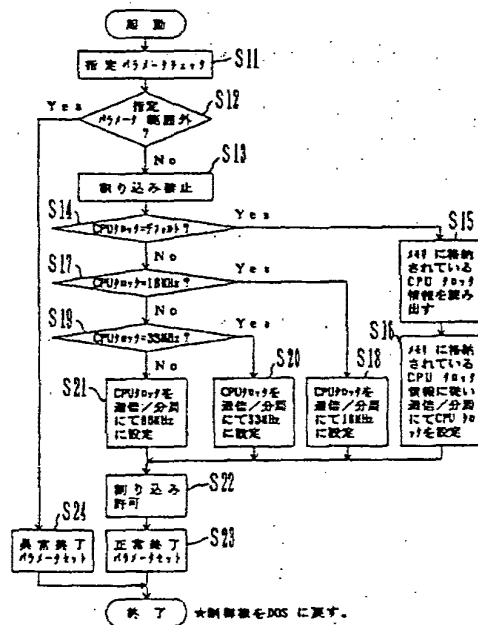
(54)【発明の名称】 データ処理装置及びクロック切換方法

(57)【要約】

【課題】本発明の課題は、通常動作時の消費電力を少なくし、かつ高速処理を実現することである。

【解決手段】アプリケーションプログラムからメインCPU12のクロック周波数の切り換えを指示するコマンドを受け取ると、コマンドに付加されているパラメータの値を判別し、パラメータが「0」であればデフォルトの周波数にクロック信号を切り換え(図7、S15、S16)、パラメータが「1」であれば、クロック信号の周波数を16MHzに切り換える(S18)。また、パラメータ「2」であれば、クロック信号の周波数を33MHzに切り換え、パラメータが上記の値以外であれば周波数を66MHzに切り換える(S21)。

第2の実施の形態の周波数切り換え処理のフローチャート



【特許請求の範囲】

【請求項 1】アプリケーションプログラムから通知されるクロック切り換え情報に基づいて CPU の動作の基準となるクロック信号の周波数を切り換えるクロック切り換え手段と、前記クロック切り換え手段で切り換えられた周波数のクロック信号に基づいて前記アプリケーションプログラムを実行する実行手段とを備えることを特徴とするデータ処理装置。

【請求項 2】前記クロック切り換え手段は、前記アプリケーションプログラムからクロック切り換え情報として通知される周波数の切り換えを指示するコマンドと該コマンドに付加されるデータに基づいて前記クロック信号の周波数を切り換えることを特徴とする請求項 1 記載のデータ処理装置。

【請求項 3】前記クロック切り換え手段は、前記アプリケーションプログラムから通知されるクロック切り換え情報に基づいて前記クロック信号の周波数を通常動作時の周波数より高くし、該アプリケーションプログラムの終了時に、該クロック信号を通常動作時の周波数に戻すことを特徴とする請求項 1 または 2 記載のデータ処理装置。

【請求項 4】前記アプリケーションプログラムは、データ転送を行うデータ転送プログラムであり、前記クロック切り換え手段は、前記データ転送プログラムの指定により起動される周波数切り換えプログラムと、該周波数切り換えプログラムにより指定される周波数のクロック信号を生成するクロック発生回路とからなることを特徴とする請求項 1 または 2 記載のデータ処理装置。

【請求項 5】通常より速い速度で実行したい処理の起動を検出する検出手段と、前記検出手段で前記処理の起動が検出されたとき、CPU の動作の基準となるクロック信号の周波数を通常動作時より高い周波数に切り換えるクロック切り換え手段とを備えることを特徴とするデータ処理装置。

【請求項 6】前記検出手段は前記処理の起動を検出したとき割り込み信号を出力し、前記クロック切り換え手段は BIOS のプログラムとして構成され、前記検出手段から出力される割り込み信号により該 BIOS が起動され、該 BIOS のクロック切り換え手段によりクロック信号の周波数の切り換えが行われることを特徴とする請求項 5 記載のデータ処理装置。

【請求項 7】データの通信速度を示す通信速度データを記憶する通信速度記憶手段と、前記通信速度記憶手段に対するアクセスが行われたか否かを検出する検出手段と、前記検出手段で前記通信速度記憶手段に対するアクセスが行われたことが検出された場合に、前記通信速度記憶

手段に記憶されている通信速度データを読み出す読み出し手段と、

前記読み出された通信速度データに応じて CPU の動作の基準となるクロック信号の周波数を切り換えるクロック切り換え手段とを備えることを特徴とするデータ処理装置。

【請求項 8】転送データを記憶する転送データ記憶手段を有し、

前記検出手段は、前記通信速度記憶手段に対するアクセスを検出したとき、データ転送処理の開始を示す割り込み信号を出力し、前記転送データ記憶手段に対するアクセスが一定時間以上行われなくなったとき、データ転送処理の終了を示す割り込み信号を出力し、

前記読み出し手段及びクロック切り換え手段は、BIOS のプログラムとして構成され、前記データ転送処理の開始を示す割り込み信号により BIOS が起動され、該 BIOS の前記読み出し手段が前記通信速度記憶手段から通信速度データを読み出し、前記クロック切り換え手段が該通信速度データに基づいて前記クロック信号の周波数を切り換え、前記データ転送処理の終了を示す割り込み信号を検出したとき、前記クロック信号の周波数を元の周波数に戻すことを特徴とする請求項 7 記載のデータ処理装置。

【請求項 9】セットアップ時に少なくとも処理名と該処理を実行するときの CPU のクロック信号の周波数とを設定する設定手段と、

前記設定手段で設定された処理名と該処理を実行するときのクロック信号の周波数とを記憶する記憶手段とを備えることを特徴とするデータ処理装置。

【請求項 10】前記記憶手段に記憶されている処理が実行されるとき、クロック信号の周波数を該処理に対応する周波数に切り換えるクロック切り換え手段を有することを特徴とする請求項 9 記載のデータ処理装置。

【請求項 11】アプリケーションプログラムから通知されるクロック切り換え情報に基づいて CPU の動作の基準となるクロック信号の周波数を切り換えるクロック切り換えステップと、

前記周波数の切り換えられたクロック信号に基づいて前記アプリケーションプログラムを実行するステップとからなることを特徴とするクロック切り換え方法。

【請求項 12】前記クロック切り換えステップは、前記アプリケーションプログラムからクロック切り換え情報として通知される周波数の切り換えを指示するコマンドと該コマンドに付加されるデータに基づいて前記クロック信号の周波数を切り換えることを特徴とする請求項 11 記載のクロック切り換え方法。

【請求項 13】前記クロック切り換えステップは、前記アプリケーションプログラムから通知されるクロック切り換え情報に基づいて前記クロック信号の周波数を通常動作時の周波数より高くし、該アプリケーションプログ

10
20
30
40
50

ラムの終了時に、該クロック信号を通常動作時の周波数に戻すことを特徴とする請求項 1 1 または 1 2 記載のクロック切り換え方法。

【請求項 1 4】通常より速い速度で実行したい処理の起動を検出する検出ステップと、

前記処理の起動が検出されたとき、CPU の動作の基準となるクロック信号の周波数を通常動作時より高い周波数に切り換えるクロック切り換えステップとからなることを特徴とするクロック切り換え方法。

【請求項 1 5】前記検出ステップは前記処理の起動を検出したとき割り込み信号を出力し、

前記クロック切り換えステップは BIOS のプログラムとして構成され、前記割り込み信号により該 BIOS が起動され、該 BIOS によりクロック信号の周波数の切り換えが行われることを特徴とする請求項 1 4 記載のクロック切り換え方法。

【請求項 1 6】データの通信速度を示す通信速度データを通信速度記憶部に記憶させるステップと、

前記通信速度記憶部に対するアクセスが行われたか否かを検出する検出ステップと、

前記通信速度記憶部に対するアクセスが検出された場合に、該通信速度記憶部に記憶されている通信速度データを読み出す読み出しステップと、前記読み出された通信速度データに応じて CPU の動作の基準となるクロック信号の周波数を切り換えるクロック切り換えステップとからなることを特徴とするクロック切り換え方法。

【請求項 1 7】セットアップ時に少なくとも処理名と該処理を実行するときの CPU のクロック信号の周波数を設定するステップと、

前記設定された処理名と該処理を実行するときのクロック信号の周波数とを記憶するステップとからなることを特徴とするクロック切り換え方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、クロック信号の周波数の切り換え機能を有するデータ処理装置及びクロック切り換え方法に関する。

【0002】

【従来の技術】マイクロプロセッサの処理能力が高まると共に、その動作クロックも高速化してきている。電池で駆動される携帯型のパーソナルコンピュータなどでは、機器の使用可能時間を長くするために省電力の工夫が行われている。マイクロプロセッサの消費電力は動作クロックの周波数に比例して増加するので、マイクロプロセッサが処理を実行していないときには、低速のクロックで動作させて消費電力を減らすことが行われている。例えば、電源がオン状態でキー入力がある一定時間以上行われないときには、クロック周波数を低速に切り換えて消費電力を少なくしている。

【0003】他方、入力部と表示部を備え、バーコードリーダ等の光学読み取り部で読み取ったデータ、あるいは入力部から入力されたデータを内部のメモリに記憶しておいて、記憶したデータをホストコンピュータ等に転送できるハンディターミナル等の携帯端末装置が広く利用されてきている。携帯端末装置も携帯型パーソナルコンピュータと同様に電池により駆動されるので、使用可能な時間を長くするために、入力が行われないときクロックを低速に切り換える省電力モードが設けられている。

【0004】また、マイクロプロセッサの動作クロックの周波数をユーザが切り換えられるようにして、ユーザがクロックの周波数を低く設定することで、機器の使用可能時間を長くすることができるようにしたものも考えられている。

【0005】

【発明が解決しようとする課題】しかしながら、使用可能な時間を長くするためにマイクロプロセッサのクロック周波数を低く設定すると、通常の処理では処理速度が充分であっても、例えばデータ転送時の実行可能な通信速度が遅くなるという問題が生じる。

【0006】本発明の課題は、通常動作時の消費電力を少なくし、かつ高速処理を実現することである。

【0007】

【課題を解決するための手段】請求項 1 記載の発明のデータ処理装置は、アプリケーションプログラムから通知されるクロック切り換え情報に基づいて CPU の動作の基準となるクロック信号の周波数を切り換えるクロック切り換え手段と、クロック切り換え手段で切り換えられたクロック信号に基づいてアプリケーションプログラムを実行する実行手段とを備える。

【0008】請求項 1 記載の発明によれば、アプリケーションプログラム側から CPU (マイクロプロセッサ等を含む) のクロック信号の周波数の切り換えを指示できるので、例えば、通信処理を実行するときのクロック信号の周波数を通常動作時より高くして高速の処理を実現し、通常動作時はそれより低い周波数で CPU を動作させることで消費電力を少なくし、装置の使用可能時間を長くすることができる。

【0009】請求項 5 記載の発明のデータ処理装置は、通常より速い速度で実行したい処理の起動を検出する検出手段と、検出手段でその処理の起動が検出されたとき、CPU の動作の基準となるクロック信号の周波数を通常動作時より高い周波数に切り換えるクロック切り換え手段とを備える。

【0010】請求項 5 記載の発明によれば、高速の処理を必要とする処理を実行するときの CPU のクロック信号を通常動作時より高くできるので、通常動作時の消費電力を少なくし、かつ高速処理を実現できる。

【0011】請求項 7 記載の発明のデータ処理装置は、

データの通信速度を示す通信速度データを記憶する通信速度記憶手段と、通信速度記憶手段に対するアクセスが行われたか否かを検出する検出手段と、検出手段で通信速度記憶手段に対するアクセスが行われたことが検出された場合に、通信速度記憶手段に記憶されている通信速度データを読み出す読み出し手段と、読み出された通信速度データに応じてCPUの動作の基準となるクロック信号の周波数を切り換えるクロック切り換え手段とを備える。

【0012】請求項7記載の発明によれば、データ通信のとき、通信速度に応じた周波数のクロック信号でCPUを動作させることができるので、要求される通信速度を満足する処理速度でCPUを動作させることができる。

【0013】請求項9記載の発明のデータ処理装置は、セットアップ時に少なくとも処理名と該処理を実行するときのCPUのクロック信号の周波数を設定する設定手段と、設定手段で設定された処理名とその処理を実行するときのクロック信号の周波数とを記憶する記憶手段とを備える。

【0014】請求項9記載の発明によれば、セットアップ時に、高速で処理したい処理名とその実行周波数とを設定することができるので、通常動作時は比較的低い周波数でCPUを動作させて装置の消費電力を少なくし、特定の処理のときだけ高い周波数でCPUを動作させて処理時間を短くすることができる。

【0015】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照しながら説明する。以下、本発明をハンドヘルドターミナルに適用した場合について説明する。ハンドヘルドターミナルは、携帯型の入力端末装置であり、データを入力する入力部と、表示部と、通信部とを有し、入力したデータ、あるいはそのデータの処理結果を内部に記憶しておいて、記憶したデータをホストコンピュータ等に転送する機能を有している。

【0016】図1において、チップセット11は、メインCPU12、デジタルPLL(DPLL)含むクロックジェネレータ13、リアルタイムクロック(RTC)15、プログラマブルインターバルタイマ(PIT)16等からなる。

【0017】クロックジェネレータ13は、水晶発振器14で生成される32KHzの基準クロック信号を通信倍、分周して、所望の周波数のクロック信号を生成する回路である。クロックジェネレータ13は、図2に示すように水晶発振器14で生成される32KHzの信号を通信倍するデジタルPLL(phase locked loop;位相比較器、誤差増幅器、電圧制御発振器等からなる)回路21と、そのデジタルPLL回路21で通信された信号を、1/2、1/3、1/4に分周して66MHz、33MHz、16MHz等の信号を出力する分周回路22

と、デジタルPLL回路21から出力される信号と分周回路22から出力される信号とを分周する分周回路23と、分周回路23の出力とデジタルPLL回路21から出力される14.318MHzの信号との一方を選択して出力するセレクタと、セレクタ24の出力を外部に出力するか、それとも出力しないかを定める出力回路25と、その出力回路25の出力信号を1/2に分周して出力する分周回路26等で構成されている。

【0018】クロックジェネレータ13のCPUクロック切替レジスタ27には、後述するセットアップメニュー、あるいはアプリケーションプログラムにより指定される周波数がメインCPU12により書き込まれる。このCPUクロック切替レジスタ27に書き込まれる周波数により、デジタルPLL回路21の通信倍率、分周回路22の分周比が決められ、指定された周波数のクロック信号が生成される。

【0019】CPUクロック分周レジスタ28には、デジタルPLL回路21で通信された信号または分周回路22で分周された信号を、さらに分周する為のデータが書き込まれる。例えば、スリープモードのときに低周波数のクロック信号を分周回路23から出力させるためのデータが書き込まれる。

【0020】14MHz設定有効レジスタ29は、セレクタ24で14.318MHzのクロック信号を選択するか否かを指定するデータが書き込まれるレジスタであり、通常はセレクタ24が分周回路23の出力信号を選択するように、14.318MHzのクロック信号の設定を無効とするデータが書き込まれている。そして、クロック信号の周波数の切り換え時に、14.318MHzの信号の設定を有効にするデータが14MHz設定有効レジスタ29に書き込まれ、セレクタ24は14.318MHzのクロック信号を選択する。これにより、クロック信号の周波数の切り換え時には、クロック信号の周波数が一旦14.318MHzに切り換えられた後、指定された周波数に切り換えられる。

【0021】CPUクロック許可レジスタ30は、出力回路25からクロック信号を出力するか、それとも出力しないかを指定するデータが記憶されるレジスタであり、通常はクロック信号の出力を許可するデータが書き込まれており、例えば、スリープモードにおいてCPUの動作を停止させる場合に、クロック信号の出力を不可とするデータが書き込まれる。

【0022】図1に戻り、リアルタイムクロック15は、日付及び時刻を計時する計時部と、セットアップメニューで設定される動作条件等を記憶するメモリとを有し、電源オフ時にも日付及び時刻の計時を行えるように電池によりバックアップされている。

【0023】プログラマブルインターバルタイマ16は、独立した3個のタイマ/カウンタからなり、これらのタイマ/カウンタはプログラムにより使用される。プ

ログラマブルインターラプトコントローラ (PIC) 17は、外部からの割り込み要求を受け付け、メインCPU12に対して割り込みをかける。

【0024】通信IC18は、データを送受信するための回路であり、送信データはドライバ/レシーバ41を介してRS232Cポート42から出力され、受信データはRS232Cポート42、ドライバ/レシーバ41を介して通信IC18に入力される。

【0025】データ入力を行うキーボード (KB) 43と液晶表示部 (LCD) 44のタッチパネル (TP) 45は、キーボードコントローラ46に接続されており、タッチパネル44またはキーボード43の操作信号がキーボードコントローラ46により検出されてチップセット11に出力される。キーボードコントローラ46は内部にCPUを有し、発振器47で生成されるクロックに基づいて動作する。

【0026】液晶表示部44は、キーボード43から入力されたデータを表示すると共に、透明タッチパネル45のスイッチの部分に入力キー、あるいは入力キーの内容を示す図形等を表示する。ビデオグラフィックアレイ (VGA) は、液晶表示部44の表示を制御する回路である。PCカードコントローラ49は、PCカードスロット50、51に挿入されるPCカードの制御を行うコントローラであり、PCカード内のROMまたはRAMのプログラムコードを直接実行できる機能を有している。上述したキーボードコントローラ46、ビデオグラフィックアレイ48及びPCカードコントローラ49はISAバス53を介してチップセット11に接続されている。

【0027】通信用コントローラ52は、発光・受光素子54を介して行う赤外線によるデータ転送を制御するコントローラである。通信用コントローラ52から出力される送信信号はドライバ55を介して発光・受光素子54に出力され、発光・受光素子54で受光された受信信号はドライバ55を介して通信用コントローラ52に出力される。

【0028】フラッシュROM56は、回路全体の制御を行う制御プログラム及びデータ転送処理等のアプリケーションプログラムを記憶する16MビットのROMである。RAM57は、キーボード43から入力されたデータ等を記憶する2Mビットの2個のDRAMからなる。RAM58は、RAM57に記憶されるデータのパリティデータを記憶する2Mまたは4MビットのDRAMである。これらのROM56、RAM57、58は、高速なデータ転送が可能なローカルバス59によりチップセット11に接続されている。

【0029】プリンタコントローラ60は、プリンタ61の印字を制御する回路であり、制御用のCPUを有している。このプリンタコントローラ60から出力される信号はドライバ62で増幅されてプリンタ61の印字へ

ッドに供給されて印字が行われる。

【0030】電源制御部63は、充電端子64から供給される交流電圧を整流して、回路各部を駆動するための電源電圧を作成する回路であり、整流後の電圧をリチウム二次電池65に供給してリチウム二次電池65の充電を行う。また、電源制御部63は、リチウム電池66の電圧をリアルタイムクロック15のメモリ等に供給して、電源オフ時、あるいはリチウム二次電池65が放電した場合でもメモリのデータを保護するようにしている。

【0031】次に、図3は、通信IC18の構成を示すブロック図である。セレクト/コントロールロジック72は、メインCPU12から出力されるアドレスデータA0~A2と、リード信号RD、ライト信号WR等の制御信号に従って通信IC18内のレジスタの選択及びその選択したレジスタへのデータの書き込み及び読み出し等の制御を行う回路である。メインCPU12から送られてくるデータD0~D7は、一旦データバッファ71に格納された後、セレクト/コントロールロジック72の制御の元に内部データバスを介して該当するレジスタに転送される。

【0032】モデム制御レジスタ73は、モデム制御ロジック74を制御するデータが書き込まれるレジスタであり、モデム制御ロジック74はモデム制御レジスタ73に書き込まれたデータに従って、通信相手のモデムとの間でモデムステータス信号を送受信して送信側及び受信側の状態を定める。モデムステータスレジスタ75は、モデム制御ロジック74の状態を示すデータを記憶するレジスタである。

【0033】データを送信する場合には、先ず通信速度を示す通信速度データがデータバッファ71に書き込まれ、そのデータバッファ71の通信速度データがセレクト/コントロールロジック72の制御の元に通信レイト設定レジスタ76に書き込まれる。ボーレイトジェネレータ77は、通信速度データに対応する周波数のボーレイトクロックを生成して送信タイミングコントロール78及び外部に出力する。

【0034】次に、送信データがデータバッファ71に書き込まれると、そのデータが送信レジスタ79に転送され、さらに送信シフトレジスタ80でシリアルデータに変換されて外部に出力される。送信シフトレジスタ80のシフト動作は、送信タイミングコントロール78により制御されており、通信シフトレジスタ80のシフト動作はボーレイトジェネレータ77のボーレイトクロックに同期したタイミングで行われる。

【0035】データを受信する場合には、受信シフトレジスタ81でシリアルを受信データがパラレルデータに変換され受信バッファレジスタ82に書き込まれ、さらにそのパラレルデータがデータバッファ71に書き込まれてメインCPU12に転送される。受信シフトレジ

タ 8 1 のシフト動作は、受信タイミングコントロール 8 3 で受信される受信クロックに同期したタイミングで行われる。

【0036】次に、以上のような構成のハンドヘルドターミナルにおいて、特定の処理のクロック信号の周波数を切り換える場合の動作を説明する。まず、セットアップメニューでクロック信号の周波数を設定する本発明の第 1 の実施の形態を、図 4 のフローチャートを参照して説明する。

【0037】クロック信号の周波数等を示すクロック情報はチップセット 1 1 のリアルタイムクロック 1 5 のメモリに記憶されており、このメモリは電源オフ時にもデータが保持されるように電池でバックアップされている。

【0038】電源をオンすると、BIOS (オペレーションシステムの機能の一部で入力装置の制御をするシステム) のイニシャル処理が起動される (図 4, S 1)。イニシャル処理が起動されると、次に、起動時に特定のキーが操作されたか否かが判別される (S 2)。特定のキーが操作されていない場合は、ステップ S 3 に進みリアルタイムクロック 1 5 のメモリに記憶されている通常動作時のクロック情報を読み出す。そして、その記憶されているクロック情報に従って、クロックジェネレータ 1 3 の CPU クロック切替レジスタ 2 7 にクロック信号の周波数を書き込む。

【0039】他方、ステップ S 2 で特定のキーが操作されたか判別された場合には、セットアップ処理が起動され、セットアップ画面が表示される (S 5)。このセットアップ処理では、通常動作時のクロック信号の周波数として 1 6 M、3 3 M、6 6 M H z の 3 種類が表示され、さらに処理名とその処理を実行するクロック信号の周波数として 3 種類の周波数が表示されるので、ユーザは通常動作時の周波数と、表示されている処理の中で高速で実行したい処理 (例えば、データ転送処理) と、その処理を実行するときのクロック信号の周波数とを選択する。

【0040】そして、クロック信号の周波数の切り換えの選択が終了したか否かが判別される (S 6)。処理名及び周波数の選択が終了すると、選択された処理名、周波数等のクロック情報が前述したリアルタイムクロック 1 5 のメモリに書き込まれる (S 7)。

【0041】ステップ S 6 で処理名が選択されず、通常動作時の周波数のみが設定された場合には、それまでメモリに記憶されていたクロック情報が新たに選択された周波数に書き換えられる。また、処理名とクロック信号の周波数の両方が選択された場合には、リアルタイムクロック 1 5 のメモリの別のメモリエリアに、処理名とその処理を実行するときのクロック信号の周波数がクロック情報として書き込まれる。

【0042】メモリのクロック情報が書き換えられた後

にシステムをリセットすると、BIOS がリアルタイムクロック 1 5 のメモリに記憶されている周波数を読み出し、その読み出した周波数を前述したクロックジェネレータ 1 3 の CPU クロック切替レジスタ 2 7 に書き込む。これにより、クロックジェネレータ 1 3 から、指定された周波数のクロック信号が出力され、メイン CPU 1 2 はその周波数のクロックで動作する。

【0043】また、セットアッププログラムで選択された処理が起動されるときに、リアルタイムクロック 1 5 のメモリに処理名に対応して記憶されている周波数が読み出され、その周波数が CPU クロック切替レジスタ 2 7 に書き込まれる。これにより、指定された処理が実行されるとき、クロックジェネレータ 1 3 から出力されるクロック信号の周波数が切り換えられる。

【0044】上述したようにセットアップメニューで通常動作時のクロック信号の周波数と、特定の処理を実行するときのクロック信号の周波数をユーザが設定できるようにすることで、例えば通常動作時のクロック信号の周波数を低くし、高速処理を要求されるデータ転送処理等の実行時のクロック信号の周波数を高くすることができる。これにより、通常動作時の消費電力を少なくしてハンディターミナルの使用可能時間を長くし、同時に高速なデータ転送を実現できる。

【0045】次に、アプリケーションプログラム側からクロック信号の周波数の切り換えを指示する本発明の第 2 の実施の形態を説明する。図 5 は、クロック信号の周波数の切り換えを指示するコマンドの説明図である。周波数の切り換えを指示するコマンドは「SYSC L K」であり、コマンドに続くパラメータの値で周波数を指定するようになっている。例えば、パラメータとして「0」が指定されると、クロック信号の周波数がデフォルトの値、つまり起動時の周波数へ切り換えられる。パラメータとして「1」が指定されると、クロック信号の周波数が 1 6 M H z に切り換えられ、パラメータとして「2」が指定されると、クロック信号の周波数が 3 3 M H z に切り換えられ、パラメータとして「3」が指定されると、クロック信号の周波数が 6 6 M H z に切り換えられる。

【0046】図 6 は、アプリケーションプログラム側からクロック信号の周波数を切り換えるプログラムの一例を示す図である。同図は C 言語により作成されたプログラムを示しており、system("command") は、"command" が示す文字列を DOS のコマンドとして実行する命令である。

【0047】デフォルトの周波数が 1 6 M H z であるとすると、A 処理は 1 6 M H z のクロック信号により実行される。A 処理が終了し、次の B 処理で system("sysclk 3") が実行されると、そのコマンドで指定されるプログラムが起動される。

【0048】図 7 は、アプリケーションプログラムのコ

マンドにより起動される周波数の切り換え処理のフローチャートである。まず、指定されたパラメータをチェックし(図7、S11)、パラメータの値が0~3の範囲外か否かを判別する(S12)。パラメータの値が範囲外のときには、ステップS24に進み異常終了を示すパラメータを設定して処理を終了する。

【0049】ステップS12で、指定されたパラメータが範囲内と判別されたときには、ステップS13に進みクロック信号の切り換え中は制御権を他の処理に渡さないようにメインCPU12を割り込み禁止の状態にする。そして、パラメータの値が「0」か否か、すなわちデフォルトの周波数への切り換えの指示か否かを判別する(S14)。この判別でパラメータの値が「0」と判別されたときには、ステップS15に進みリアルタイムクロック15のメモリに記憶されているデフォルトのクロック情報(クロック信号の周波数)を読み出す。そして、その読み出した周波数をCPUクロック切替レジスタ27に書き込む(S16)。これにより、クロックジェネレータ13で生成されるクロック信号の周波数が、デフォルトの値(例えば、16MHz)に切り換えられる。

【0050】なお、CPUクロック切替レジスタ27の内容を書き換える際には、予め14MHz設定有効レジスタ29を有効にして、セレクタ24で14.318MHzの信号を選択させてクロック信号の周波数を一旦14.318MHzに切り換えた後、CPUクロック切り換えレジスタ27の周波数を書き換え、周波数の切り換えが完了してから、14MHz設定有効レジスタ29を無効にして、セレクタ24で変更後の周波数のクロック信号を選択するようにしている。

【0051】ステップS14の判別でパラメータの値が「0」でないと判別されたときには、ステップS17に進みパラメータの値が「1」か否か、すなわち16MHzへの切り換えの指示か否かを判別する。パラメータの値が「1」で16MHzへの切り換えの指示の場合には、ステップS18に進みCPUクロック切替レジスタ27に16MHzの値を書き込む。これにより、クロックジェネレータ13で生成されるクロック信号の周波数が16MHzに切り換えられる。

【0052】ステップS17でパラメータの値が「1」ではないと判別された場合には、次のステップS19に進みパラメータの値が「2」か否か、すなわち33MHzへの切り換えの指示か否かを判別する。パラメータの値が「2」で、33MHzへの切り換えの指示であったときには、ステップS20に進みCPUクロック切替レジスタ27に33MHzの値を書き込む。これにより、クロックジェネレータ13で生成されるクロック信号の周波数が33MHzに切り換えられる。

【0053】ステップS19でパラメータの値が「2」ではないと判別された場合には、パラメータの値が

「3」で66MHzへの切り換えが指示された場合であるので、ステップS21に進みCPUクロック切替レジスタ27に66MHzの値を書き込む。これによりクロックジェネレータ13で生成されるクロック信号の周波数が66MHzに切り換えられる。

【0054】以上のようにしてクロック信号の周波数の切り換えが終了したなら、ステップS22に進みメインCPU12に対する割り込みを許可する。これにより周波数の切り換え処理が終了したので、正常終了パラメータを設定して(S23)、周波数切り換え処理を終了し、制御権をDOSに戻す。

【0055】上述した処理によりクロック信号の周波数が切り換えられると、図6の処理Bが66MHzのクロック信号で実行され、B処理の最後でクロック信号の周波数をデフォルト(この場合は16MHz)に切り換えるコマンドを実行することにより、クロック信号の周波数を元の16MHzに戻すことができる。

【0056】この第2の実施の形態によれば、アプリケーションプログラム側からメインCPU12の動作周波数を切り換えることができるので、通常はメインCPU12を低い周波数で動作させて消費電流を少なくして、装置の使用可能時間を長くし、高速の処理速度を要求される処理を実行するときにはメインCPU12を高い周波数で動作させ、処理時間を短縮することができる。

【0057】次に、特定のレジスタに対するアクセスを検出して、クロック信号の周波数を切り換えるようにした本発明の第3の実施の形態を、図8及び図9を参照して説明する。

【0058】図8は、データ転送時の通信IC18に対するアクセスを検出するアクセス検出回路90の回路ブロック図である。ハンディターミナルからホストコンピュータにデータを送信する場合には、通信速度を設定するために、メインCPU12から通信IC18の通信レイト設定レジスタ76に通信速度が書き込まれる。デコード回路91は、メインCPU12から出力されるアドレスデータをデコードして、通信レイト設定レジスタ76のアドレスと一致するアドレスデータを検出したなら、アクセス監視回路92にアドレス一致信号を出力する。アクセス監視回路92は、デコード回路91からアドレス一致信号を受け取ると、割り込み発生回路93に指示して割り込み信号を出力させると共に、内部のカウンタを起動する。

【0059】通信IC18の通信レイト設定レジスタ76に通信速度が設定された後、データ転送が開始されると、送信レジスタ79に一定時間毎に送信データが書き込まれるので、デコード回路91でメインCPU12から出力されるアドレスデータを送信レジスタ79のアドレスと比較してアドレスが一致したならアドレス一致信号をアクセス監視回路92に出力する。アクセス監視回路92は、送信レジスタ79のアドレス一致信号を受信

する毎にカウンタをリセットする。

【0060】データ送信が終了して送信レジスタ79に対するアクセスが終了すると、デコード回路91から送信レジスタ79のアドレス一致信号が出力されなくなるので、アクセス監視回路92のカウンタがカウントアップする。アクセス監視回路92は、カウンタがカウントアップすると、割り込み発生回路93に対して割り込み信号の出力を指示する。

【0061】すなわち、割り込み発生回路93からは、データ送信を行う際の通信速度を設定するとき、データ送信が終了したときに割り込み信号が出力されるので、BIOS側でこの割り込み信号を検出したときクロック信号の周波数を切り換えることで、データ転送処理を高速で処理することができる。

【0062】次に、図9は割り込み発生回路93からの割り込み信号により周波数を切り換える場合の処理内容を示すフローチャートである。割り込み信号を検出したなら、プログラマブルインターラプトコントローラ17のレジスタを参照して割り込み要因をチェックする(図9、S31)。割り込み要因がデータ転送に関するものであれば、まず、通信レイト設定レジスタ76に対するアクセスか否かを判別する(S32)。ステップS32で通信レイト設定レジスタ76に対するアクセスと判別された場合には、ステップS33に進み通信レイト設定レジスタ76に記憶されている通信速度を読み出す。そして、その読み出した通信速度が所定値(例えば、38.4KBPS)以下か、それとも所定値を超えているかを判別する(S34)

読み出した通信速度が所定値以下であればステップS35に進み、クロック信号の周波数として33MHzをクロックジェネレータ13のCPUクロック切替レジスタ27に書き込む。これによりクロックジェネレータ13から33MHzのクロック信号がメインCPU12の動作クロックとして出力される。

【0063】他方、ステップS34で通信速度が所定値を超えていると判別されたときには、ステップS36に進み、クロック信号の周波数として66MHzをクロックジェネレータ13のCPUクロック切替レジスタ27に書き込む。これにより、クロックジェネレータ13から66MHzのクロック信号がメインCPU12の動作クロックとして出力される。

【0064】ステップS32で通信レイトレジスタ76に対するアクセスではないと判別された場合には、ステップS37に進みアクセス監視回路92のカウンタがカウントアップしたか否かを判別する。カウンタがカウントアップしている場合には、データ転送処理が終了したものと判断して、ステップS38に進み、リアルタイムクロック15のメモリに記憶されているデフォルトのクロック情報を読み出す。そして、その読み出した周波数をクロックジェネレータ13のCPUクロック切替レ

スタ27に書き込む(S39)。これにより、クロックジェネレータ13から通常動作時の周波数のクロック信号がメインCPU12に出力される。

【0065】この第3の実施の形態によれば、データ転送処理等の高速な処理が必要となる処理によるレジスタ等のメモリへのアクセスをハードウェアで検出し、その処理の実行中はCPUのクロック信号の周波数を高くし、あるいは通信速度に応じた周波数に切り換え、処理が終了したなら通常動作時の周波数に切り換えるようにしたので、通常動作時は低い周波数のクロック信号でメインCPU12を動作させて消費電力を少なくして、装置の使用可能な時間を長くし、高速な処理速度が要求される処理を実行するときには高い周波数のクロック信号でメインCPU12を動作させて高速の処理を実現できる。

【0066】上述した実施の形態では、データ転送処理を例にとり説明したが、これに限らず、高速な処理速度が必要となる他の処理にも本発明は適用できる。また、第3の実施の形態において、例えば特定の処理が起動されるときにアクセスされるアドレスを記憶しておいて、そのアドレスに対するアクセスを検出することでその特定の処理の起動を検出し、そのときクロック信号の周波数を切り換えるようにすることもできる。

【0067】さらに、上述した実施の形態は本発明をハンディターミナルに適用した場合について説明したが、これに限らず携帯型パーソナルコンピュータ、携帯型小型端末等のデータ処理装置にも適用できる。

【0068】

【発明の効果】本発明によれば、高速処理が必要なプログラムを実行するときには、CPUの動作クロックの周波数を通常動作時より高くすることで、通常動作時の消費電力を少なくして装置の使用可能時間を長くし、同時に高速な処理を実現できる。また、クロック信号の周波数の切り換えをアプリケーションプログラム側から行えるようにしたので、そのプログラムに適した処理速度でCPUを動作させることができ、消費電力を少なくし、かつ処理時間を短縮できる。さらに、データ通信を行うとき、通信速度に応じた周波数でCPUを動作させることで、消費電力を少なくし、かつ高速なデータ通信を実現できる。

【図面の簡単な説明】

【図1】本発明の実施の形態のハンディターミナルのブロック図である。

【図2】クロックジェネレータ13のブロック図である。

【図3】通信IC18のブロック図である。

【図4】第1の実施の形態の周波数切り換え処理のフローチャートである。

【図5】第2の実施の形態において、クロック信号の周波数の切り換えを指示するコマンドの説明図である。

【図6】第2の実施の形態のアプリケーション側のプログラムの一例を示す図である。

【図7】第2の実施の形態の周波数切り換え処理のフローチャートである。

【図8】通信IC18へのアクセスを検出するアクセス監視回路の回路ブロック図である。

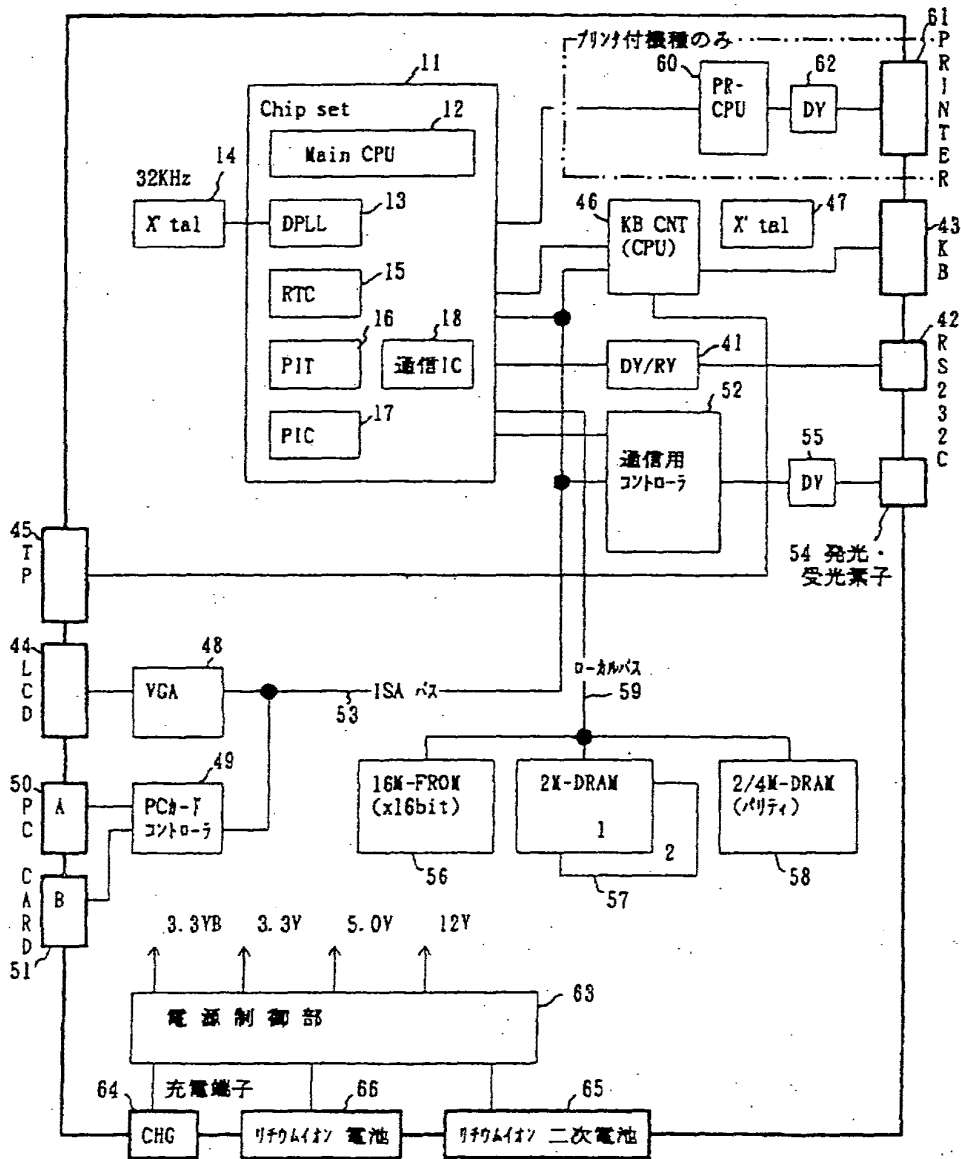
【図9】第3の実施の形態の周波数切り換え処理のフローチャートである。

【符号の説明】

- 1 1 チップセット
- 1 2 メインCPU
- 1 3 クロックジェネレータ
- 1 8 通信IC
- 2 7 CPUクロック切替レジスタ
- 7 6 通信レイト設定レジスタ
- 9 1 デコード回路
- 9 2 アクセス監視回路

【図1】

ハンドヘルドターミナルのブロック図

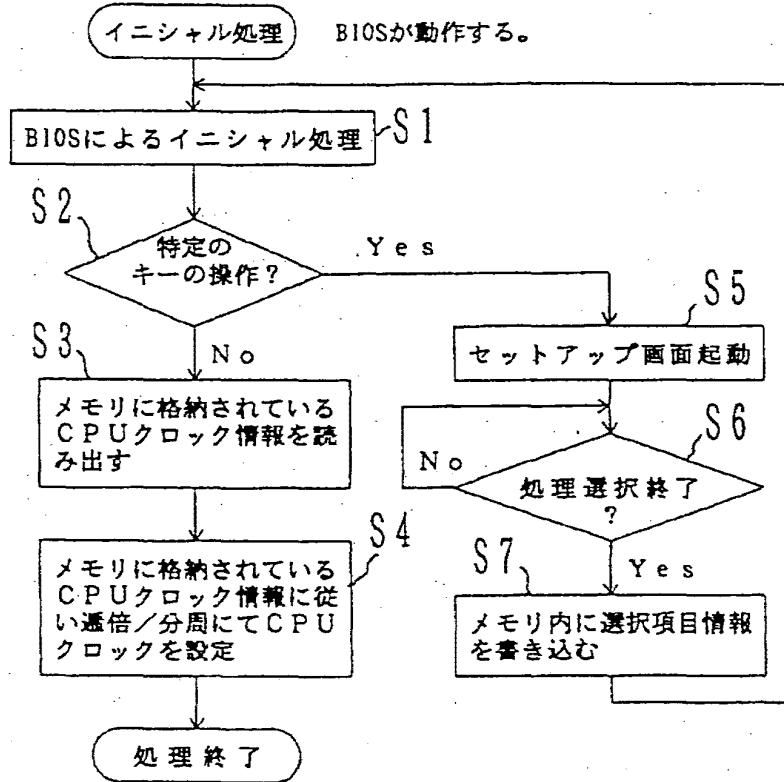
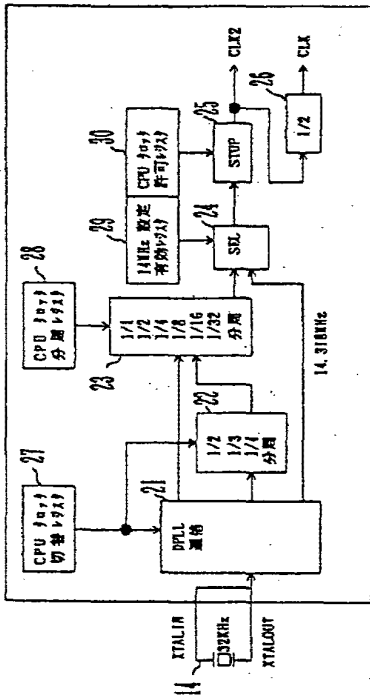


【図2】

【図4】

クロックジェネレータ13のブロック図

第1の実施の形態の周波数切り換処理のフローチャート



【図5】

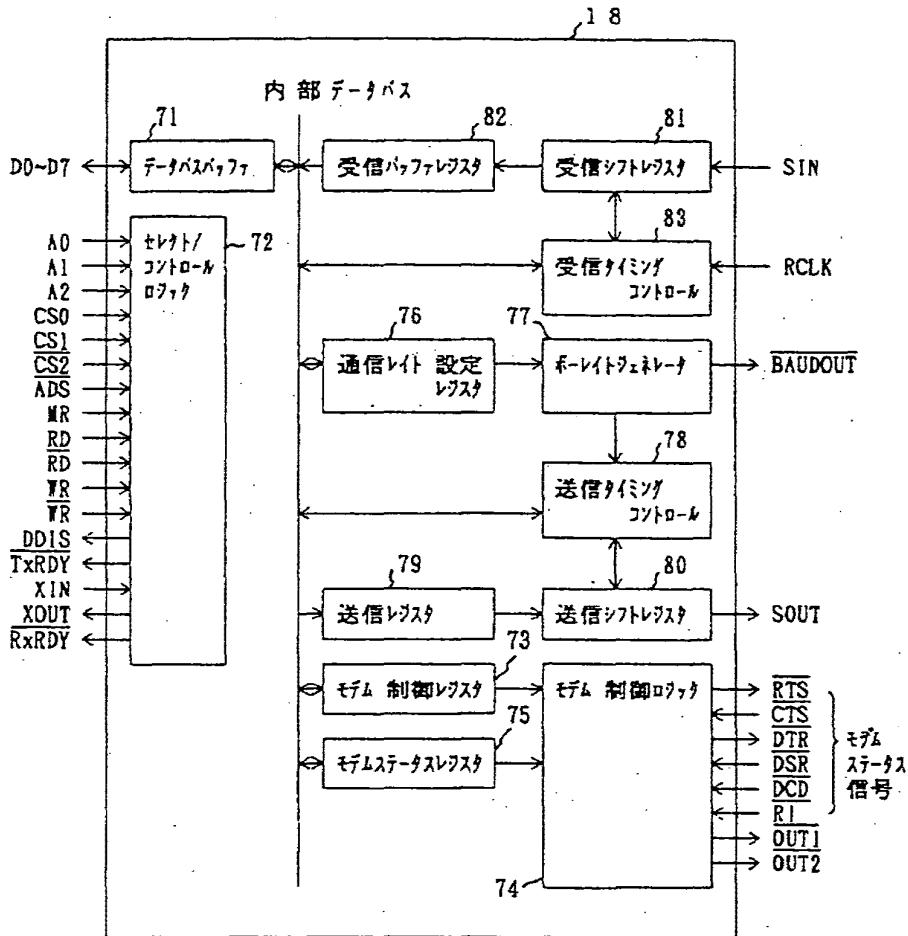
第2の実施の形態において、クロック信号の周波数の切り換えを指示するコマンドの説明図

SYSCLK [パラメータ]

- 【指定パラメータ】 0: CPU 周波数を71MHzにする(立ち上がり時のCPU 周波数)
- 1: CPU 周波数を16MHzへ切り替える。
- 2: CPU 周波数を33MHzへ切り替える。
- 3: CPU 周波数を66MHzへ切り替える。

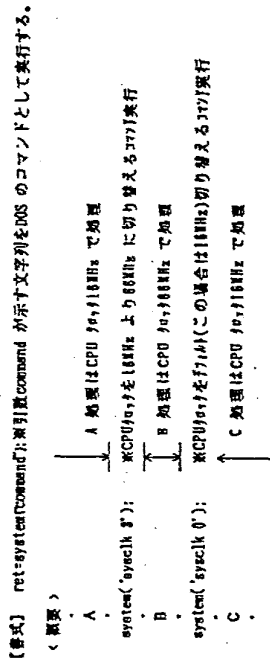
【図3】

通信 I C 1 8 の ブ ロ ッ ク 図



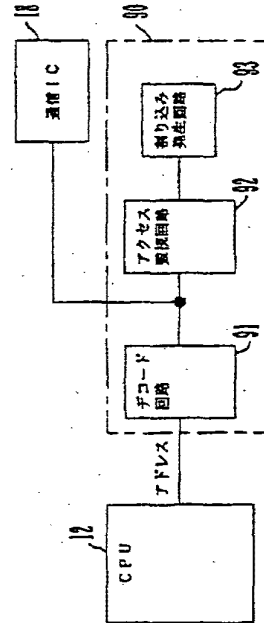
【図6】

第2の実施形態の
アプリケーション側のプログラムの一例を示す図



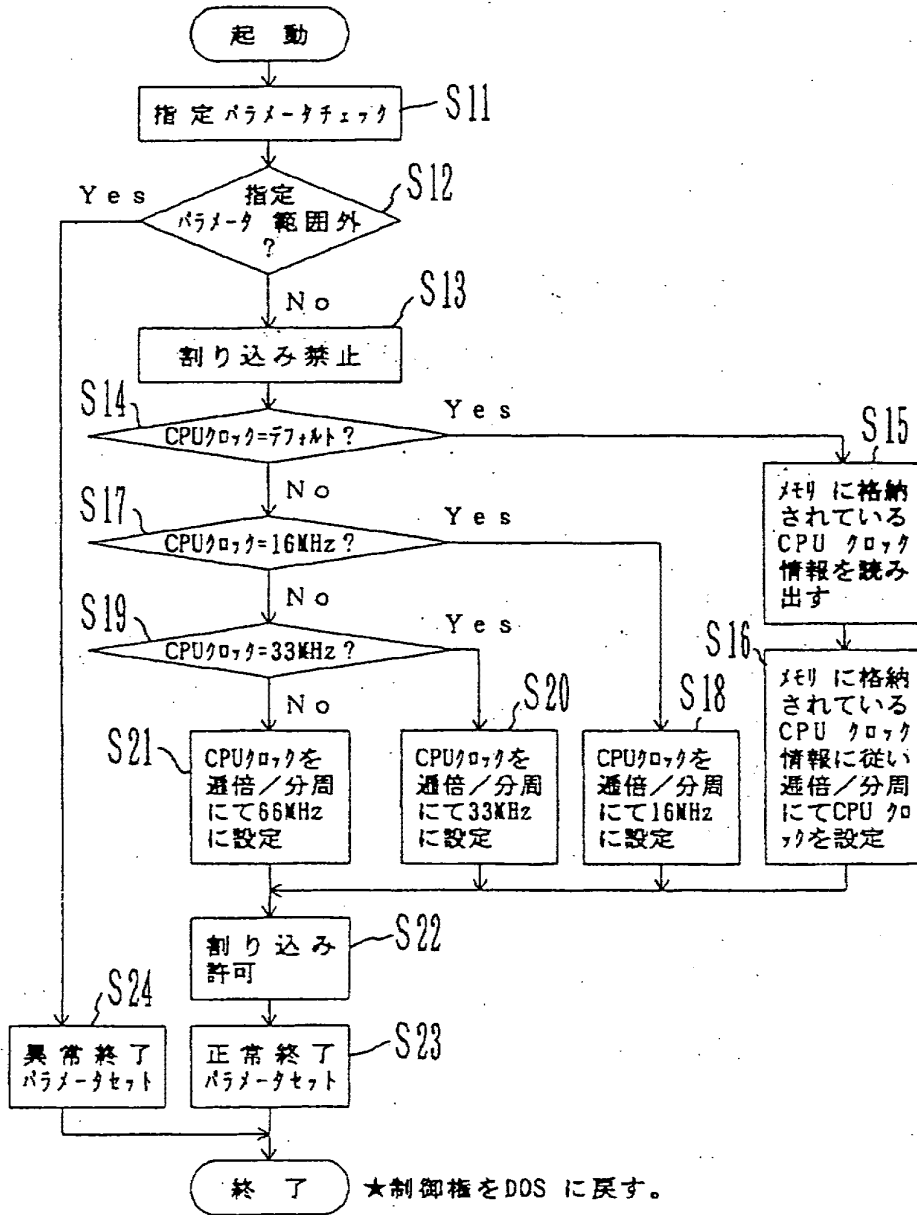
【図8】

通信IC 18へのアクセスを検出する
アクセス検出回路 90の回路ブロック図



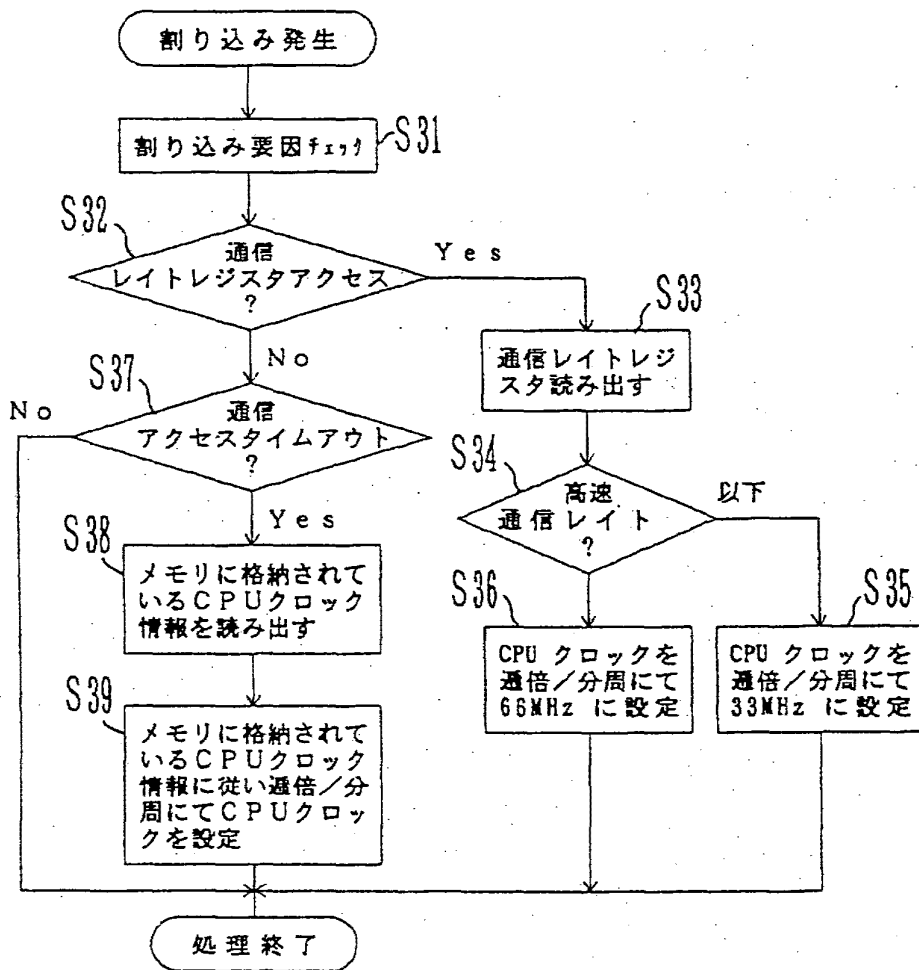
【図7】

第2の実施の形態の周波数切り換処理のフローチャート



【図9】

第3の実施の形態の周波数切り換え処理のフローチャート



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-238190

(43)Date of publication of application : 31.08.2001

(51)Int.Cl. H04N 7/15
 G06F 1/32
 G06F 1/04
 H04N 5/232
 // H04N 7/14
 H04N101:00

(21)Application number : 2000-049690 (71)Applicant : CANON INC

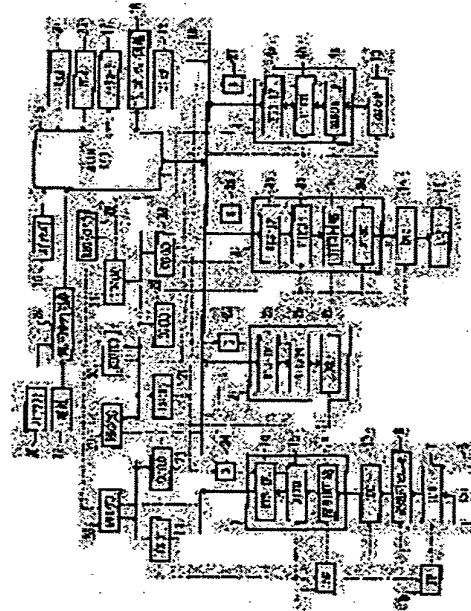
(22)Date of filing : 25.02.2000 (72)Inventor : SHIRAGAMI SHINJI

(54) IMAGE PROCESSING APPARATUS AND ITS CONTROL PROCESSING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress power consumption of an image processing apparatus by controlling a clock signal and a power supply voltage applied to a processing circuit corresponding to each processing block in response to an operation mode for the processing apparatus.

SOLUTION: In the image processing apparatus where an image processor 2 applies image processing to an image signal captured by an image capturing controller 1 and a display controller 3 displays the processed image, the image capturing controller 1 captures image data with a resolution designated in an operating mode and at a frame rate and the display controller 3 displays the image data with a resolution at a frame rate designated in response to the operation mode. A CPU 5 decides a minimum power supply voltage at which this apparatus can be operated and a frequency of a clock signal on the basis of a setting value stored in a ROM 36 and controls the voltage and the frequency of the clock signal outputted from clock generators 1-23 and regulators 28-32 supplying the clock signal and the power supply voltage to each controller.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

THIS PAGE BLANK (USPTO)

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

*** NOTICES ***

JPO and NCIPJ are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A directions means to be the image processing system which has two or more modes of operation, and to direct either of said two or more modes of operation, Two or more processing means to perform processing which has the processing circuit which became independent, respectively and is different, respectively, A clock signal supply means to supply the clock signal of predetermined frequency to the processing circuit corresponding to said two or more processing means, An electric power supply means to supply supply voltage to the processing circuit corresponding to said two or more processing means, The image processing system characterized by having the control means which controls the supply voltage supplied from the frequency and said electric power supply means of the clock signal supplied from said clock signal supply means corresponding to the mode of operation directed by said directions means.

[Claim 2] One of said two or more of the processing means is an image processing system according to claim 1 characterized by to have a conversion means change the photoed picture signal into an electrical signal, an image generation means generate image data from the electrical signal changed by said conversion means, and an infanticide processing means beforehand set up to said image data thin out and perform infanticide processing of data according to a method.

[Claim 3] One of said two or more of the processing means is an image processing system according to claim 1 characterized by having a interpolation means to interpolate data according to the interpolation method beforehand set up to image data, and a display means to display an image based on the image data interpolated by said interpolation means.

[Claim 4] Said mode of operation is an image processing system given in claim 1 characterized by including either electronic viewfinder mode, photography mode, a playback mode and TV phone mode thru/or any 1 term of 3.

[Claim 5] Said control means is an image processing system given in claim 1 characterized by controlling to suspend supply of a clock signal in the processing circuit which is not used by said mode of operation, or supply of supply voltage thru/or any 1 term of 4.

[Claim 6] It is an image processing system given in claim 1 which has further a storage means memorize the information about the frequency of the clock signal supplied to each processing circuit from said clock signal supply means, and the supply voltage supplied to each processing circuit from said electric power supply means, corresponding to each of two or more of said modes of operation, and is characterized by to control said control means based on said information memorized by said storage means thru/or any 1 term of 5.

[Claim 7] The directions process which is a control art in the image processing system which has two or more modes of operation, and directs either of said two or more modes of operation, The clock signal supply process which supplies the clock signal of a predetermined frequency to each of two or more processing circuits which performs different processing which became independent, respectively, The electric power supply process which supplies supply voltage to each of two or more of said processing circuits, The control art in the image processing system characterized by having the control process which controls the supply voltage supplied at the

THIS PAGE BLANK (USPTO)

frequency and said electric power supply process of the clock signal supplied at said clock signal supply process corresponding to the mode of operation directed at said directions process.

[Claim 8] One of said two or more of the processing circuits is a control art according to claim 7 characterized by having the conversion circuit which changes the photoed picture signal into an electrical signal, the image generation circuit which generates image data from the electrical signal changed by said conversion circuit, and the infanticide processing circuit which was beforehand set up to said image data, and which thins out and performs infanticide processing of data according to a method.

[Claim 9] One of said two or more of the processing circuits is a control art according to claim 7 characterized by having the interpolation circuit which interpolates data according to the interpolation method beforehand set up to image data, and the display circuit which displays an image based on the image data interpolated in said interpolation circuit.

[Claim 10] Said mode of operation is a control art given in claim 7 characterized by including either electronic viewfinder mode, photography mode, a playback mode and TV phone mode thru/or any 1 term of 9.

[Claim 11] A control art given in claim 7 characterized by controlling by said control process to suspend supply of a clock signal in the processing circuit which is not used by said mode of operation, or supply of supply voltage thru/or any 1 term of 10.

[Claim 12] A control art given in claim 7 characterized by to have further the memory which memorizes the information about the frequency of the clock signal supplied to each processing circuit at said clock signal supply process, and the supply voltage supplied to each processing circuit at said electric power supply process corresponding to each of two or more of said modes of operation, and to control by said control process based on said information memorized by said memory thru/or any 1 term of 11.

[Claim 13] It is the storage in which read is possible by the computer which memorized the program which performs the control art of a publication in claim 7 thru/or any 1 term of 12.

[Translation done.]

THIS PAGE BLANK (USPTO)

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the motion-control art in an image processing system applicable to for example, a digital still camera, a TV phone terminal unit or the camera built-in note PC, etc., and said equipment.

[0002]

[Description of the Prior Art] In recent years, generally the photography equipment of the pocket mold which can be driven by cell which is represented by the digital still camera came to be used with progress of techniques, such as a miniaturization of solid state cameras, such as CCD, power-saving and high integration of LSI, advanced features, and low-power-izing. Furthermore, the pocket mold TV phone terminal which contained the cellular-phone function is developed. With such cell drive mold photography equipment, various devices for extending the operating time by the cell have been devised. For example, when a cell residue is always displayed and the residue has decreased, it demands turning off the power to eye the top from a user. Or according to the mode of operation which the user chose, the electric power supply for a non-right hand side or clock supply is intercepted.

[0003] Moreover, with the conventional technique, the frame rate and resolution of an image which are photoed are fixed, or the user could set up alternatively at most, and the linkage with a power saving function was not made.

[0004] Generally, with photography equipment, since the image amount of data which should be processed to per unit time amount increases so that the frame rate and resolution of an image which are photoed become large, the electronic circuitry treating an image needs a high clock frequency of operation. Moreover, supply voltage cannot be lowered, so that an electronic circuitry is usually operated on a high frequency. Since power consumption is proportional to a clock frequency and proportional to the square of supply voltage, the frame rate of an image and increase of resolution bring about increase of power consumption. Therefore, it is better to make a frame rate and resolution small as much as possible, in order to reduce power consumption.

[0005]

[Problem(s) to be Solved by the Invention] However, with photography equipment, the demands to the frame rate and resolution of a picture signal which are incorporated by the mode of operation differ. For example, in electronic viewfinder mode (following EVF mode), although a frame rate is so good that it is large since the screen which displays the electronic view image is a small screen built in the device in many cases, although it is desirable to display a smooth dynamic image as much as possible, resolution is not required so much. Moreover, in still picture incorporation mode (following photography mode), it is required that a frame rate is easy to be the minimum (a still picture is sufficient) that resolution should be max. Moreover, in a playback mode, incorporation of a picture signal is not performed but only image display is performed by the degree of maximal solution image. Furthermore, both a frame rate and resolution are determined by the data transfer capacity of the telephone line in TV phone mode.

[0006] The amounts of data which should be processed to per unit time amount according to the mode of operation differ, and it always is not necessary to operate with the maximum frequency

THIS PAGE BLANK (USPTO)

in each functional block which constitutes such photography equipment, for example, a photography block, an image-processing block, and a display block, so that clearly from the above-mentioned example. Nevertheless, in a Prior art, since it was only turning off the electric power supply to functional block which is non-operating state completely for power saving of equipment, reduction processing of effective power consumption was not able to be performed.

[0007] This invention was made in view of the above-mentioned conventional example, and aims at offering the image processing system which can stop the power consumption of equipment, and its control art by controlling the clock signal and supply voltage which are supplied to the processing circuit corresponding to each processing block according to the mode of operation to which equipment operates.

[0008] Moreover, the purpose of this invention is to offer the image processing system which can realize optimal power saving automatically, and its control art according to the mode of operation of equipment.

[0009]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, the image processing system of this invention is equipped with the following configurations. Namely, a directions means to be the image processing system which has two or more modes of operation, and to direct either of said two or more modes of operation, Two or more processing means to perform processing which has the processing circuit which became independent, respectively and is different, respectively, A clock signal supply means to supply the clock signal of predetermined frequency to the processing circuit corresponding to said two or more processing means, An electric power supply means to supply supply voltage to the processing circuit corresponding to said two or more processing means, It is characterized by having the control means which controls the supply voltage supplied from the frequency and said electric power supply means of the clock signal supplied from said clock signal supply means corresponding to the mode of operation directed by said directions means.

[0010] In order to attain the above-mentioned purpose, the control art in the image processing system of this invention is equipped with the following processes. Namely, the directions process which is a control art in the image processing system which has two or more modes of operation, and directs either of said two or more modes of operation, The clock signal supply process which supplies the clock signal of a predetermined frequency to each of two or more processing circuits which performs different processing which became independent, respectively, The electric power supply process which supplies supply voltage to each of two or more of said processing circuits, It is characterized by having the control process which controls the supply voltage supplied at the frequency and said electric power supply process of the clock signal supplied at said clock signal supply process corresponding to the mode of operation directed at said directions process.

[0011]

[Embodiment of the Invention] Hereafter, the gestalt of suitable operation of this invention is explained to a detail with reference to an accompanying drawing.

[0012] Drawing 1 is the block diagram showing the configuration of the TV phone terminal unit of the pocket mold concerning the gestalt 1 of operation of this invention. In drawing 1, a thick continuous line illustrates connection of a data system among the lines which connect between each functional block, a thin continuous line illustrates connection of a control system, and the dotted line is illustrating connection of a clock system. However, all connection is not illustrated and only typical wiring connection required for explanation was illustrated.

[0013] It has the memory controller 4 which performs the memory control for making memory memorize the image incorporation controller 1 which performs processing about incorporation of the picturized picture signal as main block configurations of this TV phone terminal unit, the digital signal processor 2 which performs an image processing to the image data generated from that picture signal, the display controller 3 which performs processing in connection with the image display based on image data, and image data, and CPU 5 which perform control of the whole equipment.

[0014] First, each in EVF (electronic viewfinder) mode, photography mode, a playback mode, and

THIS PAGE BLANK (USPTO)

TV phone mode is explained in actuation as a typical mode of operation.

[0015] By carrying out image formation of the image for [explanation of image incorporation controller 1] image pick-up on CCD7 through the lens module 6, the picture signal according to the image is outputted from CCD7. In addition, this lens module 6 is equipped with the drive system for the drive system for a lens and an auto iris, and an automatic focus etc., and control of these drive systems is performed by CPU5 with the control signal which is not illustrated. The picture signal outputted from CCD7 is inputted into the pretreatment module (CDS-AGC) 8. In the gestalt 1 of this operation, the number of effective pixels which CCD7 incorporates is 640x480 pixels (an equivalent for VGA). The pretreatment module 8 is equipped with CDS (correlation duplex sampling) and an AGC (automatic gain control) function. Moreover, the clock and timing signal over CCD7 and the pretreatment module 8 are supplied from the timing generation circuit (TG) 9. The image data to which pretreatment was performed by the pretreatment module 8 is changed into 10-bit digital data by A/D converter (ADC) 10, and is inputted into the image incorporation controller 1 synchronizing with the pixel clock (Pixel Clock) generated by the timing generation circuit (SG) 11.

[0016] Infanticide processing of the image data inputted into the image incorporation controller 1 is carried out by infanticide circuit 1a, and the data which are the result of being thinned out are written in FIFO1b. The infanticide method in this infanticide circuit 1a is beforehand set up by CPU5 with the control signal which is not illustrated.

[0017] Drawing 2 (A) is a timing chart which shows an example of actuation of infanticide circuit 1a. The pixel counter which carries out counting of the pixel clock (Pixel Clock) into which infanticide circuit 1a is inputted from SG11 (Pixel Count), The infanticide method which is equipped with the line counter (Line Num) which carries out counting of the number of Rhine of an image based on the horizontal and the Vertical Synchronizing signal which is not illustrated, and was beforehand set up by CPU5, Based on the enumerated data of these counters, the digital image data inputted from ADC10 is latched, and the clock (Latch Clock) for writing in FIFO1b is generated.

[0018] level in the example of drawing 2 (A) — the case (320x240 pixels: an equivalent for CIF) where one half is operated on a curtailed schedule by level and the perpendicular to 640 pixels and the data of the perpendicular of 480 lines is illustrated. Therefore, effective Rhine is odd lines and a signal to show this period is an Active Line signal. Moreover, an effective pixel is odd pixels and the signal which shows this is an Active Pixel signal.

[0019] Based on these signals, as shown in drawing 2 (B), the AND of Pixel Clock, an Active Line signal, and an Active Pixel signal is taken, and it becomes a Latch Clock signal for this to write in FIFO1b. In addition, in drawing 2 (A), the data written in FIFO1b are Data to FIFO.

[0020] In addition, this infanticide circuit 1a can be made a configuration equipped also with an inter-frame length function. In this case, what is necessary is to generate an Active Frame signal, when forming a frame counter further, for example, incorporating one frame every four frames and a frame counter is "the multiple +1 of 4", and just to make it add to the input of the AND circuit shown in drawing 2 (B).

[0021] If FIFO1b detects the condition (any data are written in) that it is not empty, bus interface circuit (BUS IF) 1c will generate the bus transaction of data writing on Maine Bath (MB), and will transmit the data read from FIFO1b to the memory controller 4. Bus interface circuit 1c is usually operating by the asynchronous bus clock with the image incorporation clock (Latch Clock). Therefore, the write-in clock (Latch Clock) of FIFO1b of the read-out clock of FIFO1b is asynchronous, and since this asynchronous data transfer is buffered, it has FIFO1b.

[0022] In addition, two or more bus transactions may occur in coincidence in this Maine Bath MB in those (a digital signal processor 2, the display controller 3, CPU5, etc.) by which two or more connection of the bus master which otherwise generates a bus transaction is made. Therefore, a bus arbiter 12 arbitrates a bus so that only one bus master can generate a bus transaction at a time.

[0023] [Explanation of memory controller 4] memory controller 4 writes the memory address which should store the image data which should receive and store a bus transaction in bus interface circuit (BUS IF) 4a, and its image data in FIFO4b temporarily. SDRAM interface-

THIS PAGE BLANK (USPTO)

circuitry (SDRAM IF) 4c outputs the memory address and image data which were stored in FIFO4b to SDRAM13 while outputting the various control signals to SDRAM13 which is an image memory. With the bus clock, in order the memory clock is asynchronous and to deal in it, it is buffered by FIFO4b here. SDRAM interface-circuitry 4c is also operating synchronizing with a memory clock, and performs control for writing the memory address and data which were read from the read-out port of FIFO4b synchronizing with the memory clock in SDRAM13.

[0024] [Explanation of digital signal processor 2] digital signal processor 2 generates the bus transaction for read-out of image data, and reads the image data incorporated by the image incorporation controller from an image memory by bus interface circuit (BUS IF) 2a which operates by the bus clock. In this way, the read image data is written in work-piece memory 2b synchronizing with a bus clock. DSP(digital signal processor)2c is operating with a different clock (DSP clock) from a bus clock, accesses the data of work-piece memory 2b synchronizing with this DSP clock, performs YC separation by color matrix processing, and it processes color correction, edge enhancement, white balance adjustment, a gamma correction, etc. continuously. Thus, the obtained image data is used for the display to a monitor 15, and also it is used for picture compression. When using for the display to a monitor 15, bus interface circuit 2a is started, the bus transaction of writing is generated, and data are transmitted to SDRAM13 so that the display controller 3 can be read.

[0025] In [explanation of EVF mode] EVF mode, the continuous frame is incorporated to an image memory 13 by repeating the actuation mentioned above for every frame. As a field of the image memory with which a digital signal processor 2 writes in image data, it is good in the actuation which overwrites the same field. The display controller 3 obtains an indicative data by reading image data from the field of the image memory. In that case, the display controller 3 generates the bus transaction for reading image data, and reads the image data which should be displayed from an image memory 13 by bus interface circuit (BUS IF) 3a which operates by the bus clock. The display controller 3 inputs this read image data into the write-in port of FIFO3b further synchronizing with a bus clock. Since a display generally needs to be refreshed for a screen continually so that it may be represented by the monitor and liquid crystal display of NTSC, it must continue operating with a certain pixel clock during a usual picture area period. Therefore, bus interface circuit 3a continues reading image data from an image memory until FIFO3b will be in a full condition.

[0026] Next, interpolation circuit 3c reads image data from FIFO3b synchronizing with a display pixel clock. Interpolation circuit 3c is equipped with the Rhine memory, and the image data read from FIFO3b is first stored in this Rhine memory. When the image data stored in this Rhine memory has no interpolation, it is read sequentially from a head and inputted into NTSC encoder 3d, and it is changed into the image data of an NTSC format. In this case, interpolation circuit 3c reads the image data for 1 pixel from FIFO3b, shortly after the image data for 1 pixel is read. When performing Rhine interpolation here, after sending out the Rhine data of a part (one Rhine to interpolate) to NTSC encoder 3d, whenever next Rhine sends out the image data for 1 pixel to NTSC encoder 3d, it reads the image data for 1 pixel from FIFO3b. For example, when performing 4 times as many interpolation as this in the direction of Rhine here, three lines is displayed by the image data from the Rhine memory, and in the case of the display of the 4th line, actuation of reading the image data of next Rhine from FIFO3b is performed, displaying the Rhine.

[0027] After the image data changed into the NTSC format by NTSC encoder 3d are changed into an analog signal by D/A converter (DAC) 14, they are displayed by the monitor 15 of NTSC.

[0028] By performing the above-mentioned actuation continuously for every frame, it becomes actuation in EVF mode. In this EVF mode, though the image incorporation controller 1 is performing inter-frame length, it is necessary to read the image data for each frame. In this case, although the image displayed becomes top dropping, it is because a monitor 15 needs to continue operating by the fixed frame rate.

[0029] [Explanation of photography mode], next actuation with photography mode are explained. In this photography mode, after incorporating the image data for one frame, JPEG compression of this image data is carried out, and it records on external memory, such as a memory card 17, etc.

THIS PAGE BLANK (USPTO)

[0030] First, if the depression of the shutter release of the switch group 16 containing a shutter release etc. is detected by CPU5, it is directed that CPU5 incorporates the image data of one frame as follows to the image incorporation controller 1 with the control signal which is not illustrated, and does not incorporate the image data of the frame after it. Similarly, it notifies that compression processing is performed to the image data of one frame as follows to a digital signal processor 2.

[0031] If unlike the case in the above-mentioned EVF mode the image incorporation controller 1 captures the image of one frame and it finishes transmitting image data to an image memory 13, it will suspend actuation. A digital signal processor 2 reads the image data for one frame stored in this memory 13, and performs image processings, such as YC separation, color correction, edge enhancement, white balance adjustment, and a gamma correction, completely like the case where the image data for a display is generated in EVF mode. Then, the coded data immediately obtained to the image data by performing DCT data processing, quantization processing, variable-length-coding processing, etc. is written in a field other than the image data area for a display in an image memory 13.

[0032] CPU5 reads the image data memorized in the image memory 13, and after adding a required marker etc. and considering as JPEG data, it stores it in a memory card 17. In this way, after storing of the image data for one frame is completed, it notifies that the picture signal in EVF mode incorporates CPU5, and it is resumed to the image incorporation controller 1.

[0033] In addition, the encoded image data which was stored in the memory card 17 can be accessed from PC etc. through the communication circuit 18 which realizes an interface with host computers, such as PC. In the gestalt 1 of this operation, the communication circuit 18 contains serial interface, USB and IrDA, a cellular-phone module, etc.

[0034] [Explanation which is a playback mode] Actuation of a playback mode is explained below. Actuation of the image incorporation controller 1 has stopped in this playback mode. CPU5 reads the encoded compressed data which was stored in the memory card 17, and writes it in SDRAM13. A digital signal processor 2 reads the code data written in this SDRAM13, and after it performs image expanding processing of a decryption, reverse quantization, reverse DCT conversion, etc. and considers as the image data which can be displayed, it returns it to SDRAM13 again. The display controller 3 reads this displayable data from SDRAM13, and performs a display action.

[0035] [Explanation of TV phone mode], next actuation in TV phone mode are explained. In the photography mode mentioned above, after incorporating the image data of one frame, the image incorporation controller 1 suspended actuation temporarily. However, in this TV phone mode, the image data of the frame which continues one after another is incorporated, without interrupting incorporation processing of image data. The incorporation frame rate at this time is determined based on the infanticide method set up by CPU5. In this way, an image processing, and picture compression and coding processing are performed by the digital signal processor 2, and the incorporated image data is written in SDRAM13 by the same processing as the case in photography mode. In this way, the code data written in SDRAM13 is transmitted to a message partner through the telephone line with the cellular-phone module of the communication circuit 18, after being read by CPU5 and inserting a predetermined marker etc.

[0036] On the other hand, the code data which received from the message partner through the telephone line is written in SDRAM13 via CPU5 from the communication circuit 18. A digital signal processor 2 reads the code data written in this SDRAM13, and after it performs image expanding processing of a decryption, reverse quantization, reverse DCT conversion, etc. and considers as the image data which can be displayed, it returns it to SDRAM13 again. The display controller 3 performs a display action so that the image data which should be displayed may be read from SDRAM13 and it may display on a monitor 15.

[0037] While transmitting the image picturized by CCD7 as mentioned above to a message partner, the image data sent from a communications partner can be received, and it can display on a monitor 15.

[0038] The clock supplied to each of [explanation of a clock] next the image incorporation controller 1, a digital signal processor 2, the display controller 3, and the memory controller 4 is

THIS PAGE BLANK (USPTO)

explained.

[0039] Clock generation machine (CG) 19, 20, 21, 22, and 23 are adjustable clock generation machines which generate the clock signal of the frequency set up by CPU5. The clock generation machine (CG (C)) 19 generates the clock of the image incorporation section (infanticide circuit 1a, FIFO1b) of SG11 and the image incorporation controller 1 of operation. The clock generation machine (CG (D)) 20 generates the clock of DSP2c of operation. The clock generation machine (CG (B)) 21 generates the clock of the bus interface section of each controller of operation. The clock generation machine (CG (L)) 22 generates FIFO3b [of the display controller 3], interpolation circuit 3c, and NTSC encoder 3d, and the clock of D/A converter 14 of operation. The clock generation machine 23 (CG (M)) generates FIFO4b of the memory controller 4, SDRAM-IF4c, and the clock of SDRAM13 of operation.

[0040] Moreover, although the bus clock outputted from the clock generation machine 21 is supplied to the bus interface circuit of each controller, it is equipped with the clock gate circuit (G) 24, and 25, 26 and 27 so that clock supply can be suspended for every controller. These clock gate circuits (G) are controlled by CPU5 by the control signal which is not illustrated.

[0041] [Explanation about a setup of each controller corresponding to power-source information], next the supply voltage supplied to each controller are explained.

[0042] Regulators 28, 29, 30, 31, and 32 are adjustable voltage regulators who generate the electrical potential difference respectively set up by CPU5. A regulator (REG (C)) 28 for the image incorporation controller 1 To a digital signal processor 2, a regulator (REG (S)) 29 a regulator (REG (D)) 30 for the display controller 3 In a regulator (REG (M)) 31, the memory controller 4 and a regulator (REG (CPU)) 32 supply supply voltage to CPU5, respectively. Moreover, the cell 33 is connected to these regulators 28-32 in common.

[0043] Next, it explains how it thins out according to the condition of supply voltage, and a setup of circuit 1a, interpolation circuit 3c, the clock generation machines 19-23, and regulators 28-32 is adjusted, and actuation of this whole equipment is explained.

[0044] A change of a mode of operation is made by switch actuation of the switch group 16 by the user. Although various examples can be considered in the configuration of the switch of this switch group, a dial and a push button shall constitute from the gestalt of this operation. That is, the candidate of a mode of operation does renewal of sequential by rotation of a dial, it is displayed, and the candidate of a mode of operation is chosen by the depression of a push button. An interrupt occurs in CPU5 by the event of this candidate selection, the interrupt handler stored in ROM36 is performed, and mode-of-operation modification processing is called.

[0045] The newly chosen mode of operation is read in this mode-of-operation modification manipulation routine. The factory default set point to infanticide circuit 1a and interpolation circuit 3c corresponding to this read mode of operation is stored in ROM36. When a user changes the set point corresponding to each mode of operation here, the correspondence of a part which added the modification with the flag which shows that it changed is memorized by RAM37.

[0046] Drawing 3 is drawing which explains the set point of the infanticide method corresponding to it, and a interpolation method to be each mode of operation.

[0047] In drawing 3, four kinds, EVF (electronic viewfinder mode), photography mode, a playback mode, and TV phone mode, are defined as a mode of operation. It thins out here, and a method is divided into resolution (it is written as size (size) by a diagram), and a frame rate (it is written as a frame (frame) by a diagram), and is shown, and the interpolation method has shown only resolution. With the gestalt of this operation, it is because a display is an output in NTSC, so its frame rate is fixed. Infanticide and interpolation method of resolution show the case of every direction 1 / 2 infanticide, and interpolation as "CIF", and show the case of every direction 1 / 4 infanticide, and interpolation as "QCIF." Moreover, the frame rate is shown like 30 [a frame (frame)/s], if 30 frames becomes during a second. Moreover, when a idle state is shown, it is illustrating with "-."

[0048] When the new mode of operation which the mode-of-operation modification manipulation routine read is "EVF mode" according to drawing 3, infanticide / interpolation method of resolution is "CIF", and a frame rate sets up with 30 [a frame/s]. In "photography mode", it has

THIS PAGE BLANK (USPTO)

stopped (a interpolation method is "--"), and a display is set up so that only one VGA may be incorporated as image incorporation. Moreover, in the case of a "playback mode", image incorporation is suspended, and it displays VGA as a display. Furthermore, in the case of "TV phone mode", infanticide / interpolation method of resolution is "QCIF", and a frame rate sets up with 15 [a frame/s].

[0049] Therefore, in the above-mentioned interruption handling routine, CPU5 can read the data equivalent to the contents shown in drawing 3 from ROM36 or RAM37, and can acquire the set point of the infanticide method in infanticide circuit 1a and interpolation circuit 3c, and a interpolation method.

[0050] Thus, if the infanticide method and interpolation method corresponding to each mode of operation are obtained, CPU5 will compute the minimum clock frequency which may operate equipment normally in these infanticide method and a interpolation method, and the minimum supply voltage. The easiest thing as an example of this calculation approach shall be the approach of determining with reference to the table which made each infanticide method and a interpolation method correspond, and made a clock frequency and supply voltage memorize, and this referring to the table shall be used for it with the gestalt of this operation.

[0051] It seems that this table is stored in ROM36 and the example of contents of the information memorized as this table is shown in drawing 4 thru/or drawing 7.

[0052] Each of drawing 4, drawing 5, drawing 6, and drawing 7 shows the frequency of each clock corresponding to the infanticide method of the resolution in each in EVF mode, photography mode, a playback mode, and TV phone mode, and the electrical-potential-difference value which should be set as each regulator. The clock frequency which sets "bus clk" as the clock generation machine 21, the clock frequency which sets "ccd clk" as the clock generation machine 19, the clock frequency which sets "disp clk" as the clock generation machine 22, the clock frequency which sets "dsp clk" as the clock generation machine 20, and "mem clk" show the clock frequency set as the clock generation machine 23, respectively. Moreover, the electrical-potential-difference value which sets "ccd vol" as a regulator 28, the electrical-potential-difference value which sets "dsp vol" as a regulator 29, the electrical-potential-difference value which sets "disp vol" as a regulator 30, and "mem vol" show the electrical-potential-difference value set as a regulator 31, respectively.

[0053] For example, if a mode of operation is changed into EVF mode, as shown in drawing 3, an infanticide method will serve as "CIF." In this case, if the column of "CIF" of drawing 4 is referred to, 40MHz will be set to the clock generation machine 21 (bus clk). 13.5MHz is set to the clock generation machines 19 (ccdclk) and 22 (disp clk). Set 100MHz to the clock generation machine 20 (dspclk), and 40MHz is set to the clock generation machine 23 (mem clk), respectively. It turns out that what is necessary is to set 3.0V to regulators 28 (ccd vol), 29 (dsp vol), and 31 (mem vol), and just to set 3.3V to a regulator 30 (disp vol), respectively. As for these setting processings, CPU5 is performed by reading the various set points from ROM36, and setting it as each clock generation machine and a regulator.

[0054] Drawing 5 is drawing showing the example of the set point in photography mode.

[0055] this drawing 5 -- setting -- being careful -- it is a setup of the clock generation machine 22 (disp clk) and a regulator 30 (disp vol). That is, in photography mode, since the display controller 3 does not need to operate, the clock signal to this display controller 3 and electrical-potential-difference supply are stopped. Furthermore, the clock supply to bus interface circuit 3a of the display controller 3 is also suspended by the clock gate circuit 26. In addition, when stopping the electric power supply to the display controller 3, isolation of the signal linked to Maine Bath MB of bus interface circuit 3a needs to be carried out electrically. Therefore, electrical-potential-difference supply for the display controller 3 serves as a configuration [make / to suspend only supply of a clock signal, maintaining / simpler in circuit].

[0056] Drawing 6 is drawing explaining the set point in a playback mode, and is the clock generation machine 19 (ccd clk), a regulator 28 (ccd vol), and a clock gate circuit (G) like the case in photography mode in this case. 24 is made into a stop condition.

[0057] Drawing 7 is drawing explaining the set point in visual telephone mode, and in this case, since there is [to process] too much amount of data, resolution VGA must not perform a setup

THIS PAGE BLANK (USPTO)

of VGA.

[0058] Drawing 8 is a flow chart which shows interrupt processing by CPU5 of the image pick-up equipment of the gestalt of this operation.

[0059] If the switch of the switch group 16 is operated and a mode of operation is directed, an interrupt will occur to CPU5, and the mode of operation set up by the switch of the switch group 16 at step S1 is distinguished first. Next, it progresses to step S2, ROM36 is accessed in order to read the various set points corresponding to the mode of operation, and the set point memorized by the table of the ROM36 is read. That is, the resolution (size) corresponding to the mode of operation shown in drawing 3 and a frame rate are read. Next, it progresses to step S3, and a circuit is set up so that it may correspond to the frame rate read by step S2. For example, in EVF mode, if the frame rate was set up with 10 [a frame/s], since the image incorporation controller 1 and a digital signal processor 2 should process only one per three frames, the period for two frames stops clock supply among three frames which does not incorporate with the clock gate circuits 24 and 25 and the clock generation vessel 20 (dsp clk).

[0060] Next, it progresses to step S4, the various set points corresponding to the resolution read by a mode of operation and step S2 are further read from ROM36 (refer to drawing 4 - drawing 7), and it is set as each of the gates 24-27, the clock generation machines 19-23, and regulators 28-31.

[0061] According to the setting approach of an infanticide method as shown in the gestalt of this operation, a interpolation method, a clock frequency, and supply voltage, the resolution and the frame rate which a user desires can be set up in all modes of operation. Moreover, since the clock frequency and supply voltage for operating normally by the resolution and frame rate are automatically set up corresponding to the resolution and the frame rate which the user set up, the maximum power-saving effectiveness also in all situations of operation is acquired.

[0062] Moreover, when it has composition which can extend the capacity of SDRAM13 as other modes concerning the gestalt of this operation, the usage that resolution is restricted according to the memory space of the SDRAM is also possible. That is, memory of a minimum configuration is mounted, and when it has only the capacity in which this can store only for example, a QCIF image, a setup of the degree of maximal solution image of an infanticide method and a interpolation method is restricted to QCIF in any modes of operation. A resolution setup is not restricted when the capacity which extends memory and can store a VGA image on the other hand is able to be secured. In the case of such directions, according to the memory space, resolution can be set up flexibly.

[0063] In addition, even if it applies this invention to the system which consists of two or more devices (for example, a host computer, an interface device, a reader, a printer, etc.), it may be applied to the equipments (for example, a copying machine, facsimile apparatus, etc.) which consist of one device.

[0064] Moreover, the purpose of this invention supplies the storage (or record medium) which recorded the program code of the software which realizes the function of the operation gestalt mentioned above to a system or equipment, and is attained also by reading and performing the program code with which the computer (or CPU and MPU) of the system or equipment was stored in the storage. In this case, the function of the operation gestalt which the program code itself read from the storage mentioned above will be realized, and the storage which memorized that program code will constitute this invention. Moreover, by performing the program code which the computer read, a part or all of processing that the operating system (OS) which the function of the operation gestalt mentioned above is not only realized, but is working on a computer based on directions of the program code is actual is performed, and also when the function of the operation gestalt mentioned above by the processing is realized, it is contained.

[0065] Furthermore, after the program code read from the storage is written in the memory with which the functional expansion unit connected to the functional expansion card inserted in the computer or the computer is equipped, a part or all of processing that CPU with which the functional expansion card and functional expansion unit are equipped is actual performs, and also when the function of the operation gestalt mentioned above by the processing is realized, it is contained based on directions of the program code.

THIS PAGE BLANK (USPTO)

THIS PAGE BLANK (USPTO)

[0066] As stated above, according to the photography equipment concerning the gestalt of this operation, control of the flexible image quality according to a user's use gestalt becomes realizable very easily, and it is effective in the ability to perform the maximum power consumption reduction also in what kind of mode of operation.

[0067] Since the resolution of an image can be flexibly changed as other effectiveness in the gestalt of this operation according to the capacity of memory, it is effective in dealing with extension of memory very easily being possible.

[0068]

[Effect of the Invention] As explained above, according to this invention, according to the mode of operation to which equipment operates, the power consumption of equipment can be stopped by controlling the clock signal and supply voltage which are supplied to the processing circuit corresponding to each processing block.

[0069] Moreover, according to this invention, according to the mode of operation of equipment, it is effective in the optimal power saving being automatically realizable.

[Translation done.]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-238190
(P2001-238190A)

(43) 公開日 平成13年8月31日 (2001.8.31)

(51) Int.Cl.	識別記号	F I	テラコード (参考)
H 0 4 N 7/15	6 3 0	H 0 4 N 7/15	6 3 0 Z 5 B 0 1 1
G 0 6 F 1/32		G 0 6 F 1/04	3 0 1 C 5 B 0 7 9
	3 0 1	H 0 4 N 5/232	Z 5 C 0 2 2
H 0 4 N 5/232		H 0 4 N 7/14	5 C 0 6 4
// H 0 4 N 7/14		H 0 4 N 101:00	

審査請求 未請求 請求項の数13 O L (全 14 頁) 最終頁に続く

(21) 出願番号 特願2000-49690(P2000-49690)

(22) 出願日 平成12年2月25日(2000.2.25)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 白神 慎二

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74) 代理人 100076428

弁理士 大塚 康徳 (外2名)

Fターム(参考) 5B011 DA02 EA10 LL02 LL13

5B079 BA01 BB01 BC01

5C022 AA12 AA13 AB67 AC03 AC42
AC69

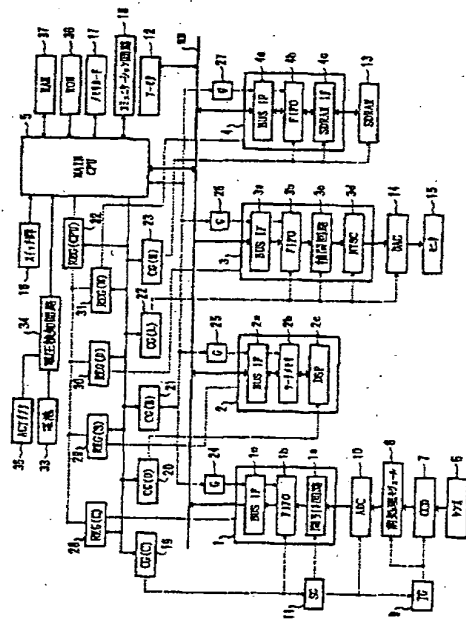
5C064 AA01 AA04 AC02 AC13 AD02
AD08 AD14 AD18

(54) 【発明の名称】 画像処理装置及びその制御処理方法

(57) 【要約】

【課題】 装置の動作する動作モードに応じて、各処理ブロックに対応する処理回路に供給するクロック信号及び電源電圧を制御することにより装置の消費電力を抑える。

【解決手段】 画像取り込みコントローラ1で取り込んだ画像信号に信号処理プロセッサ2によって画像処理を行って表示コントローラ3によって表示する画像処理装置において、画像取り込みコントローラ1は動作モードに応じて指定された解像度及びフレームレートで画像データを取り込み、表示コントローラ3は動作モードに応じて指定された解像度及びフレームレートで表示する。CPU5は、設定された動作モードと解像度及びフレームレートにより、この装置が動作可能な最低限の電源電圧、クロック信号の周波数をROM36に格納された設定値を基に決定し、これら各コントローラにクロック信号や電源電圧を供給する各クロック発生器19~23、レギュレータ28~32の出力するクロック信号の周波数、電圧値を制御する。



【特許請求の範囲】

【請求項1】 複数の動作モードを有する画像処理装置であって、

前記複数の動作モードのいずれかを指示する指示手段と、

それぞれ独立した処理回路を有し、それぞれ異なる処理を実行する複数の処理手段と、

前記複数の処理手段に対応する処理回路に所定周波数のクロック信号を供給するクロック信号供給手段と、

前記複数の処理手段に対応する処理回路に電源電圧を供給する電力供給手段と、

前記指示手段により指示された動作モードに対応して、前記クロック信号供給手段から供給されるクロック信号の周波数及び前記電力供給手段から供給される電源電圧を制御する制御手段と、を有することを特徴とする画像処理装置。

【請求項2】 前記複数の処理手段の1つは、撮影した画像信号を電気信号に変換する変換手段と、前記変換手段により変換された電気信号から画像データを生成する画像生成手段と、

前記画像データに対して予め設定された間引き方式に応じてデータの間引き処理を行う間引き処理手段と、を有することを特徴とする請求項1に記載の画像処理装置。

【請求項3】 前記複数の処理手段の1つは、画像データに対して予め設定された補間方式に応じてデータを補間する補間手段と、

前記補間手段により補間された画像データに基づいて画像を表示する表示手段と、を有することを特徴とする請求項1に記載の画像処理装置。

【請求項4】 前記動作モードは、電子ビューファインダモード、撮影モード、再生モード、及びテレビ電話モードのいずれかを含むことを特徴とする請求項1乃至3のいずれか1項に記載の画像処理装置。

【請求項5】 前記制御手段は、前記動作モードにより使用されない処理回路へのクロック信号の供給、或は電源電圧の供給を停止するように制御することを特徴とする請求項1乃至4のいずれか1項に記載の画像処理装置。

【請求項6】 前記複数の動作モードのそれぞれに対応して、前記クロック信号供給手段より各処理回路に供給されるクロック信号の周波数、前記電力供給手段から各処理回路に供給される電源電圧に関する情報を記憶する記憶手段を更に有し、

前記制御手段は、前記記憶手段に記憶された前記情報に基づいて制御することを特徴とする請求項1乃至5のいずれか1項に記載の画像処理装置。

【請求項7】 複数の動作モードを有する画像処理装置における制御処理方法であって、

前記複数の動作モードのいずれかを指示する指示工程と、

それぞれ独立した異なる処理を実行する複数の処理回路のそれぞれに所定の周波数のクロック信号を供給するクロック信号供給工程と、

前記複数の処理回路のそれぞれに電源電圧を供給する電力供給工程と、

前記指示工程で指示された動作モードに対応して、前記クロック信号供給工程で供給されるクロック信号の周波数及び前記電力供給工程で供給される電源電圧を制御する制御工程と、を有することを特徴とする画像処理装置における制御処理方法。

【請求項8】 前記複数の処理回路の1つは、撮影した画像信号を電気信号に変換する変換回路と、前記変換回路で変換された電気信号から画像データを生成する画像生成回路と、

前記画像データに対して予め設定された間引き方式に応じてデータの間引き処理を行う間引き処理回路と、を有することを特徴とする請求項7に記載の制御処理方法。

【請求項9】 前記複数の処理回路の1つは、画像データに対して予め設定された補間方式に応じてデータを補間する補間回路と、

前記補間回路で補間された画像データに基づいて画像を表示する表示回路と、を有することを特徴とする請求項7に記載の制御処理方法。

【請求項10】 前記動作モードは、電子ビューファインダモード、撮影モード、再生モード、及びテレビ電話モードのいずれかを含むことを特徴とする請求項7乃至9のいずれか1項に記載の制御処理方法。

【請求項11】 前記制御工程では、前記動作モードにより使用されない処理回路へのクロック信号の供給、或は電源電圧の供給を停止するように制御することを特徴とする請求項7乃至10のいずれか1項に記載の制御処理方法。

【請求項12】 前記複数の動作モードのそれぞれに対応して、前記クロック信号供給工程で各処理回路に供給されるクロック信号の周波数、前記電力供給工程で各処理回路に供給される電源電圧に関する情報を記憶するメモリを更に有し、

前記制御工程では、前記メモリに記憶された前記情報に基づいて制御することを特徴とする請求項7乃至11のいずれか1項に記載の制御処理方法。

【請求項13】 請求項7乃至12のいずれか1項に記載の制御処理方法を実行するプログラムを記憶した、コンピュータにより読取り可能な記憶媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えばデジタル・スチルカメラやテレビ電話端末装置、或はカメラ内蔵型ノートPC等に適用できる画像処理装置及び前記装置における動作制御処理方法に関するものである。

【0002】

【従来の技術】近年、CCD等の固体撮像装置の小型化、省電力化およびLSIの高集積化、高機能化、低消費電力化などの技術の進展に伴い、デジタルスチルカメラに代表されるような電池で駆動可能な携帯型の撮影装置が一般に利用されるようになった。さらには、携帯電話機能を内蔵した携帯型テレビ電話端末等も開発されている。このような電池駆動型撮影装置では、電池による動作時間を延長するためのさまざまな工夫が考案されてきた。例えば、電池残量を常に表示し、残量が少なくなってきた場合はユーザに電源をこまめに切ることを促す。あるいは、ユーザの選んだ動作モードに応じて非動作部分の電力供給またはクロック供給を遮断したりする。

【0003】また、従来技術では、撮影される画像のフレームレートや解像度は固定的であるか、せいぜいユーザが選択的に設定可能なものであり、省電力機能との連動はなされていなかった。

【0004】一般に、撮影装置では撮影される画像のフレームレートと解像度が大きくなるほど単位時間当たり処理すべき画像データ量は増大するため、画像を扱う電子回路は高い動作クロック周波数を必要とする。また、通常電子回路を高い周波数で動作させるほど電源電圧を下げるができない。消費電力はクロック周波数に比例し電源電圧の2乗に比例するため、画像のフレームレートと解像度の増大は消費電力の増大をもたらす。したがって、消費電力を低減するためには極力フレームレートと解像度を小さくするほうがよい。

【0005】

【発明が解決しようとする課題】しかしながら撮影装置では、その動作モードによって取り込む画像信号のフレームレートや解像度に対する要求が異なる。例えば、電子ビューファインダ・モード（以下EVFモード）においては、極力スムーズな動画が表示されることが望ましいが、その電子ビュー画像を表示する画面は機器に内蔵された小さな画面であることが多いため、フレームレートは大きい程よいが、解像度はそれほど要求されない。また静止画取り込みモード（以下撮影モード）では、フレームレートは最低でよい（静止画でよい）が、解像度が最大であることが要求される。また再生モードでは、画像信号の取り込みは行わず、画像表示のみが最大解像度で行われる。更にテレビ電話モードでは、フレームレート及び解像度の両方は電話回線のデータ転送能力によって決定される。

【0006】上記例からも明らかなように、このような撮影装置を構成する各々の機能ブロック、例えば撮影ブロック、画像処理ブロック、表示ブロックなどでは、その動作モードに応じて単位時間当たり処理すべきデータ量が異なり、常に最大周波数で動作する必要はない。にもかかわらず従来の技術では、装置の省電力のために、完全に非動作状態となっている機能ブロックへの電

力供給をオフするのみであったため有効な消費電力の削減処理を行うことができなかった。

【0007】本発明は上記従来例に鑑みてなされたもので、装置の動作する動作モードに応じて、各処理ブロックに対応する処理回路に供給するクロック信号及び電源電圧を制御することにより、装置の消費電力を抑えることができる画像処理装置及びその制御処理方法を提供することを目的とする。

【0008】また本発明の目的は、装置の動作モードに応じて、最適な省電力を自動的に実現できる画像処理装置及びその制御処理方法を提供することにある。

【0009】

【課題を解決するための手段】上記目的を達成するために本発明の画像処理装置は以下のような構成を備える。即ち、複数の動作モードを有する画像処理装置であって、前記複数の動作モードのいずれかを指示する指示手段と、それぞれ独立した処理回路を有し、それぞれ異なる処理を実行する複数の処理手段と、前記複数の処理手段に対応する処理回路に所定周波数のクロック信号を供給するクロック信号供給手段と、前記複数の処理手段に対応する処理回路に電源電圧を供給する電力供給手段と、前記指示手段により指示された動作モードに対応して、前記クロック信号供給手段から供給されるクロック信号の周波数及び前記電力供給手段から供給される電源電圧を制御する制御手段と、を有することを特徴とする。

【0010】上記目的を達成するために本発明の画像処理装置における制御処理方法は以下のような工程を備える。即ち、複数の動作モードを有する画像処理装置における制御処理方法であって、前記複数の動作モードのいずれかを指示する指示工程と、それぞれ独立した異なる処理を実行する複数の処理回路のそれぞれに所定の周波数のクロック信号を供給するクロック信号供給工程と、前記複数の処理回路のそれぞれに電源電圧を供給する電力供給工程と、前記指示工程で指示された動作モードに対応して、前記クロック信号供給工程で供給されるクロック信号の周波数及び前記電力供給工程で供給される電源電圧を制御する制御工程と、を有することを特徴とする。

【0011】

【発明の実施の形態】以下、添付図面を参照して本発明の好適な実施の形態を詳細に説明する。

【0012】図1は、本発明の実施の形態1に係る携帯型のテレビ電話端末装置の構成を示すブロック図である。図1において、各機能ブロック間を接続する線のうち、データ系の接続を太い実線で図示し、制御系の接続を細い実線で図示し、クロック系の接続を点線で図示している。但し、全ての接続が図示されているわけではなく、説明に必要な代表的な配線接続のみを図示した。

【0013】このテレビ電話端末装置の主要なブロック

構成として、撮像した画像信号の取り込みに関する処理
 を実行する画像取り込みコントローラ1、その画像信号
 から生成した画像データに対して画像処理を実行する信
 号処理プロセッサ2、画像データに基づく画像表示に関
 わる処理を行う表示コントローラ3、画像データをメモ
 リに記憶させるためのメモリ制御を行うメモリコント
 ローラ4、装置全体の制御を行うCPU5を有している。

【0014】まず、代表的な動作モードとして、EVF
 (電子ビューファインダ)モード、撮影モード、再生モ
 ード及びテレビ電話モードのそれぞれについて動作を説
 10 明を行う。

【0015】[画像取り込みコントローラ1の説明]撮
 像対象の画像がレンズモジュール6を介してCCD7上
 に結像されることにより、その画像に応じた画像信号が
 CCD7から出力される。尚、このレンズモジュール6
 は、レンズ、オート・アイリスのための駆動系、オート
 フォーカスのための駆動系等を備えており、これら駆動
 系の制御は図示しない制御信号によってCPU5によっ
 て行われる。CCD7から出力される画像信号は前処理
 モジュール(CDS・AGC)8に入力される。本実施の形態
 20 1においては、CCD7の取り込む有効画素数は640
 ×480画素(VGA相当)である。前処理モジュール
 8は、CDS(相関二重サンプリング)及びAGC(自
 動利得制御)機能を備えている。また、CCD7及び前
 処理モジュール8に対するクロック及びタイミング信号
 は、タイミング生成回路(TG)9より供給される。前処
 理モジュール8で前処理が施された画像データは、A/
 D変換器(ADC)10により10ビットのデジタルデ
 ータに変換され、タイミング生成回路(SG)11により
 30 生成されるピクセルクロック(Pixel Clock)に同期し
 て画像取り込みコントローラ1に入力される。

【0016】画像取り込みコントローラ1に入力された
 画像データは間引き回路1aによって間引き処理され、
 間引かれた結果であるデータがFIFO1bに書き込ま
 れる。この間引き回路1aにおける間引き方式は、図示
 しない制御信号によってCPU5によって予め設定され
 ている。

【0017】図2(A)は、間引き回路1aの動作の一
 例を示すタイミングチャートである。間引き回路1a
 は、SG11から入力されるピクセルクロック(Pixel C
 lock)を計数するピクセルカウンタ(Pixel Count)、図示
 しない水平・垂直同期信号に基づいて、画像のライン数
 を計数するラインカウンタ(Line Num)を備えており、C
 PU5によって予め設定された間引き方式と、これらの
 カウンタの計数値に基づいて、ADC10から入力され
 るデジタル画像データをラッチし、FIFO1bに書き
 込むためのクロック(Latch Clock)を生成する。

【0018】図2(A)の例では、水平640ピクセ
 ル、垂直480ラインのデータに対し水平・垂直とも1
 /2の間引きを行う場合(320×240画素:CIF
 50

相当)が例示されている。従って、有効ラインは奇数ラ
 インであり、この期間を示すための信号がActive Line
 信号である。また、有効ピクセルは奇数ピクセルであ
 り、これを示す信号がActive Pixel信号である。

【0019】これら信号を基に、図2(B)に示すよう
 にPixel Clock、Active Line信号及びActive Pixel信号
 の論理積が取られ、これがFIFO1bに書き込むための
 Latch Clock信号となる。なお、図2(A)におい
 て、FIFO1bに書き込まれるデータがData to FIFO
 1bである。

【0020】尚、この間引き回路1aは、フレーム間引
 き機能も備える構成にすることが可能である。この場合
 は、更にフレームカウンタを設け、例えば4フレームご
 とに1フレームを取り込む場合にはフレームカウンタが
 「4の倍数+1」のときにActive Frame信号を生成し、
 図2(B)に示すAND回路の入力に加えるようにすれ
 ばよい。

【0021】バスインターフェース回路(BUS IF)1c
 は、FIFO1bが空でない状態(何等のデータが書込
 まれている)を検知すると、メインバス(MB)上にデー
 タ書き込みのバストランザクションを発生し、メモリコ
 ントローラ4にFIFO1bから読み出したデータを転
 送する。バスインターフェース回路1cは、通常、画像
 取り込みクロック(Latch Clock)とは非同期のバスク
 ロックで動作している。従って、FIFO1bの読み出し
 クロックは、FIFO1bの書き込みクロック(Latch
 Clock)とは非同期であり、FIFO1bはこの非同期
 のデータ転送を緩衝するために備えられている。

【0022】尚、このメインバスMBには、他にもバス
 トランザクションを発生するバスマスタが複数接続さ
 れている(信号処理プロセッサ2、表示コントローラ3、
 CPU5など)ので、同時に複数のバストランザクシ
 ョンが発生する可能性がある。そのためバスアービタ12
 は、1度に1つだけのバスマスタがバストランザクシ
 ョンを発生できるようにバスを調停する。

【0023】[メモリコントローラ4の説明]メモリコ
 ントローラ4は、バスインターフェース回路(BUS IF)
 4aにおいてバストランザクションを受信し、格納すべ
 き画像データ及びその画像データを格納すべきメモリア
 ドレスを一時FIFO4bに書き込む。SDRAMイン
 ターフェース回路(SDRAM IF)4cは、画像メモリであ
 るSDRAM13への各種制御信号を出力するととも
 に、FIFO4bに格納されたメモリアドレス及び画像
 データをSDRAM13に出力する。ここでメモリクロ
 ックはバスクロックとは非同期でありうるため、FIF
 O4bにより緩衝している。SDRAMインターフェ
 ース回路4cもまたメモリクロックに同期して動作して
 おり、FIFO4bの読み出しポートからメモリクロック
 に同期して読み出されたメモリアドレスとデータをSD
 RAM13に書き込むための制御を行う。

【0024】 [信号処理プロセッサ2の説明] 信号処理プロセッサ2は、画像データの読み出しのためのバストランザクションを発生し、バスクロックで動作するバスインターフェース回路 (BUS IF) 2 aによって、画像取り込みコントローラによって取り込まれた画像データを画像メモリから読み出す。こうして読み出された画像データはバスクロックに同期してワークメモリ2 bに書き込まれる。DSP (デジタル信号プロセッサ) 2 cは、バスクロックとは異なるクロック (DSPクロック) で動作しており、このDSPクロックに同期してワークメモリ2 bのデータにアクセスして、カラーマトリクス処理によりYC分離を行い、続いて色補正、エッジ強調、ホワイトバランス調整、ガンマ補正などの処理を行う。このようにして得られた画像データは、モニタ15への表示に用いられる他、画像圧縮にも用いられる。モニタ15への表示用に用いる場合は、表示コントローラ3が読み出せるように、バスインターフェース回路2 aを起動して、書き込みのバストランザクションを発生し、SDRAM13にデータを転送する。

【0025】 [EVFモードの説明] EVFモードにおいては、上述した動作をフレーム毎に繰り返すことによって、連続したフレームを画像メモリ13に取り込む。信号処理プロセッサ2が画像データを書き込む画像メモリの領域としては、同一領域を上書きする動作でよい。表示コントローラ3は、その画像メモリの領域より画像データを読み出すことにより表示データを得る。その際、表示コントローラ3は、画像データを読み出すためのバストランザクションを発生し、バスクロックで動作するバスインターフェース回路 (BUS IF) 3 aによって画像メモリ13から表示すべき画像データを読み出す。表示コントローラ3は更に、この読み出した画像データをバスクロックに同期してFIFO3 bの書き込みポートに入力する。NTSCのモニタや液晶ディスプレイに代表されるように、一般に表示装置は画面を絶え間なくリフレッシュする必要があるため、有効画面期間中は、あるピクセルクロックで動作し続けなければならない。そのためバスインターフェース回路3 aは、FIFO3 bがフル状態になるまで画像メモリから画像データを読み出し続ける。

【0026】 次に補間回路3 cは、表示ピクセルクロックに同期してFIFO3 bより画像データを読み出す。補間回路3 cはラインメモリを備えており、FIFO3 bより読み出された画像データは、まずこのラインメモリに格納される。このラインメモリに格納された画像データは、補間なしの場合は先頭から順に読み出されてNTSCエンコーダ3 dに入力され、NTSCフォーマットの映像データに変換される。この場合、補間回路3 cは、1ピクセル分の画像データが読み出されると、直ちに1ピクセル分の画像データをFIFO3 bから読み出す。ここでライン補間を行う場合は、(補間するライン

数-1) 分のラインデータをNTSCエンコーダ3 dに送出した後、次のラインは1ピクセル分の画像データをNTSCエンコーダ3 dに送出する毎に、FIFO3 bから1ピクセル分の画像データを読み出す。例えば、ここでライン方向に4倍の補間を施すときは、3ライン分をそのラインメモリからの画像データで表示し、4ライン目の表示の際には、そのラインの表示を行いながらFIFO3 bから次のラインの画像データを読み込んでくるという動作を行う。

【0027】 NTSCエンコーダ3 dによってNTSCフォーマットに変換された映像データは、D/A変換器 (DAC) 14によってアナログ信号に変換された後、NTSCのモニタ15によって表示される。

【0028】 上記の動作をフレームごとに連続して行うことにより、EVFモードの動作となる。このEVFモードでは、画像取り込みコントローラ1がフレーム間引きを行っていたとしても、各フレーム分の画像データを読み出す必要がある。この場合、表示される画像はこま落しになるが、モニタ15は一定のフレームレートで動作し続ける必要があるからである。

【0029】 [撮影モードの説明] 次に、撮影モードでの動作を説明する。この撮影モードでは、1フレーム分の画像データを取り込んだ後、この画像データをJPEG圧縮してメモリカード17などの外部記憶等に記録する。

【0030】 まず、シャッター・ボタン等含むスイッチ群16のシャッター・ボタンの押下がCPU5によって検出されると、CPU5は図示しない制御信号により画像取り込みコントローラ1に対し、次の1フレームの画像データを取り込み、それ以降のフレームの画像データを取り込まないように指示する。同様に、信号処理プロセッサ2に対し、次の1フレームの画像データに対して圧縮処理を行うように通知する。

【0031】 画像取り込みコントローラ1は、前述のEVFモードの場合とは異なり、1フレームの画像を取り込んで画像メモリ13に画像データを転送し終わると、動作を一時停止する。信号処理プロセッサ2は、このメモリ13に格納された1フレーム分の画像データを読み出して、EVFモードで表示用の画像データを生成した場合と全く同様にしてYC分離、色補正、エッジ強調、ホワイトバランス調整、ガンマ補正等の画像処理を行う。その後、直ちにその画像データに対して、DCT演算処理、量子化処理、可変長符号化処理などを施して得られた符号化データを、画像メモリ13内の表示用画像データ領域とは別の領域に書き込む。

【0032】 CPU5は、画像メモリ13に記憶された画像データを読み出し、必要なマーク等を付加してJPEGデータとした後に、メモリカード17に格納する。こうして1フレーム分の画像データの格納が終了すると、CPU5は画像取り込みコントローラ1に対して、

E V Fモードでの画像信号の取り込み再開するように通知する。

【0033】なお、メモ리카ード17に格納された符号化された画像データは、P C等のホストコンピュータとのインターフェースを実現するコミュニケーション回路18を介して、P C等からアクセスすることが可能である。本実施の形態1においてはコミュニケーション回路18は、例えばシリアルインターフェース、U S B、I r D A、携帯電話モジュールなどを含んでいる。

【0034】【再生モードの説明】次に再生モードの動作を説明する。この再生モードでは、画像取り込みコントローラ1の動作は停止している。C P U 5はメモ리카ード17に格納された符号化された圧縮データを読み出してS D R A M 13に書き込む。信号処理プロセッサ2は、このS D R A M 13に書込まれた符号データを読み出して、復号化、逆量子化、逆D C T変換等の画像伸長処理を行って表示可能な画像データとした後、再びS D R A M 13に書き戻す。表示コントローラ3は、この表示可能データをS D R A M 13より読み出して表示動作を行う。

【0035】【テレビ電話モードの説明】次に、テレビ電話モードの動作を説明する。前述した撮影モードでは、1フレームの画像データを取り込んだ後、画像取り込みコントローラ1は一時動作を停止した。しかし、このテレビ電話モードでは、画像データの取り込み処理を中断せずに、次々に連続するフレームの画像データを取り込む。このときの取り込みフレームレートは、C P U 5によって設定された間引き方式に基づいて決定される。こうして取り込まれた画像データは撮影モードの場合と同様の処理によって信号処理プロセッサ2により画像処理及び画像圧縮・符号化処理が施されて、S D R A M 13に書き込まれる。こうしてS D R A M 13に書き込まれた符号データは、C P U 5により読み出され、所定のマーカ等が挿入された後、コミュニケーション回路18の携帯電話モジュールによって電話回線を通じて通話相手に伝送される。

【0036】一方、電話回線を通じて通話相手より受信した符号データは、コミュニケーション回路18からC P U 5を経由してS D R A M 13に書き込まれる。信号処理プロセッサ2は、このS D R A M 13に書込まれた符号データを読み出して、復号化、逆量子化、逆D C T変換等の画像伸長処理を行って表示可能な画像データとした後、再びS D R A M 13に書き戻す。表示コントローラ3は、表示すべき画像データをS D R A M 13より読み出してモニタ15に表示するように表示動作を行う。

【0037】以上のようにして、C C D 7により撮像した画像を通話相手に電送するとともに、通信相手から送られてくる画像データを受信してモニタ15に表示することができる。

【0038】【クロックの説明】次に、画像取り込みコントローラ1、信号処理プロセッサ2、表示コントローラ3及びメモ리카ード4のそれぞれに供給されるクロックについて説明する。

【0039】クロック発生器(CG)19、20、21、22、23は、C P U 5により設定される周波数のクロック信号を生成する可変クロック発生器である。クロック発生器(CG(C))19は、S G 11及び画像取り込みコントローラ1の画像取り込み部(間引き回路1a、F I F O 1b)の動作クロックを生成する。クロック発生器(CG(D))20は、D S P 2cの動作クロックを生成する。クロック発生器(CG(B))21は、各コントローラのバスインターフェース部の動作クロックを生成する。クロック発生器(CG(L))22は、表示コントローラ3のF I F O 3b、補間回路3c、N T S Cエンコーダ3d及びD/A変換器14の動作クロックを生成する。クロック発生器23(CG(M))は、メモ리카ード4のF I F O 4b、S D R A M 13の動作クロックを生成する。

【0040】またクロック発生器21から出力されるバスクロックは、各コントローラのバスインターフェース回路に供給されるが、各コントローラ毎にクロック供給を停止できるようにクロックゲート回路(G)24、25、26、27を備えている。これらのクロックゲート回路(G)は、図示しない制御信号によりC P U 5によって制御される。

【0041】【電源情報に対応する各コントローラの設定に関する説明】次に、各コントローラに供給される電源電圧について説明する。

【0042】レギュレータ28、29、30、31、32は各々C P U 5によって設定される電圧を発生する可変電圧レギュレータであり、レギュレータ(REG(C))28は画像取り込みコントローラ1に、レギュレータ(REG(S))29は信号処理プロセッサ2に、レギュレータ(REG(D))30は表示コントローラ3に、レギュレータ(REG(M))31はメモ리카ード4に、そしてレギュレータ(REG(CPU))32はC P U 5にそれぞれ電源電圧を供給する。またこれらレギュレータ28~32には電池33が共通に接続されている。

【0043】次に、電源電圧の状態に応じて間引き回路1a、補間回路3c、クロック発生器19~23、レギュレータ28~32の設定をどのように調整するかを説明して、この装置全体の動作を説明する。

【0044】動作モードの変更は、ユーザによるスイッチ群16のスイッチ操作によって行われる。このスイッチ群のスイッチの構成には様々な例が考えられるが、本実施の形態では、ダイヤルと押しボタンにより構成するものとする。即ち、ダイヤルの回転により動作モードの候補が順次更新して表示され、押しボタンの押下により動作モードの候補が選択される。この候補選択のイベン

トによりCPU5に割り込みが発生し、ROM36に格納された割り込み処理ルーチンが実行されて、動作モード変更処理がコールされる。

【0045】この動作モード変更処理ルーチンでは、新たに選択された動作モードを読み取る。この読み取られた動作モードに対応する間引き回路1a及び補間回路3cへの工場出荷時のデフォルト設定値は、ROM36に格納されている。ここでユーザが、各動作モードに対応する設定値を変更した場合は、変更したことを示すフラグとともに、その変更を加えた部分の対応がRAM37に記憶される。

【0046】図3は、各動作モードと、それに対応する間引き方式、補間方式の設定値を説明する図である。

【0047】図3において、動作モードとしてEVF（電子ビューファインダ・モード）、撮影モード、再生モード、テレビ電話モードの4種類が定義されている。ここで間引き方式は、解像度（図ではサイズ(size)と表記）とフレームレート（図ではフレーム(frame)と表記）とに分けて示しており、補間方式は解像度のみを示してある。なぜなら、本実施の形態では、表示はNTSCでの出力なのでフレームレートが一定だからである。解像度の間引き及び補間方式は、縦横1/2間引き・補間の場合を「CIF」として示し、縦横1/4間引き・補間の場合を「QCIF」として示している。またフレームレートは、秒間30フレームならば30 [フレーム(frame)/s] のように示している。また、停止状態を示す場合は「-」と図示している。

【0048】図3によれば、動作モード変更処理ルーチンが読み取った新たな動作モードが「EVFモード」だった場合は、解像度の間引き・補間方式は「CIF」であり、フレームレートは30 [フレーム/s] と設定する。「撮影モード」では、表示は停止しており（補間方式は「-」）、画像取り込みとしてはVGAを1フレームだけ取り込むように設定する。また「再生モード」の場合は、画像取り込みは停止しており、表示としてはVGAを表示する。更に「テレビ電話モード」の場合、解像度の間引き・補間方式は「QCIF」であり、フレームレートは15 [フレーム/s] と設定する。

【0049】従って、CPU5は、前述の割り込み処理ルーチンにおいて、図3に示す内容に相当するデータをROM36又はRAM37より読み出して、間引き回路1a、補間回路3cにおける間引き方式及び補間方式の設定値を得ることができる。

【0050】このようにして、各動作モードに対応する間引き方式及び補間方式が得られると、CPU5は、それら間引き方式及び補間方式において装置を正常に動作させ得る最低のクロック周波数と最低の電源電圧を算出する。この算出方法の一例として最も簡単なものは、各間引き方式及び補間方式に対応させてクロック周波数と電源電圧を記憶させたテーブルを参照して決定する方法

であり、本実施の形態では、このテーブル参照を用いるものとする。

【0051】このテーブルはROM36に格納されており、このテーブルとして記憶されている情報の内容例は、例えば図4乃至図7に示す如くである。

【0052】図4、図5、図6、図7のそれぞれは、EVFモード、撮影モード、再生モード、テレビ電話モードのそれぞれにおける解像度の間引き方式に対応する各クロックの周波数、各レギュレータに設定すべき電圧値を示している。「bus clk」は、クロック発生器21に設定するクロック周波数、「ccd clk」はクロック発生器19に設定するクロック周波数、「disp clk」はクロック発生器22に設定するクロック周波数、「dsp clk」はクロック発生器20に設定するクロック周波数、そして「mem clk」はクロック発生器23に設定するクロック周波数をそれぞれ示している。また「ccd vol」はレギュレータ28に設定する電圧値、「dsp vol」はレギュレータ29に設定する電圧値、「disp vol」はレギュレータ30に設定する電圧値、そして「mem vol」はレギュレータ31に設定する電圧値をそれぞれ示している。

【0053】例えば、動作モードがEVFモードに変更されると、図3に示すように、間引き方式は「CIF」となる。この場合、図4の「CIF」の欄を参照すると、クロック発生器21 (bus clk)には40MHzを設定し、クロック発生器19 (ccclk)及び22 (disp clk)には13.5MHzを設定し、クロック発生器20 (dsp clk)には100MHzを設定し、クロック発生器23 (mem clk)には40MHzをそれぞれ設定し、レギュレータ28 (ccd vol)、29 (dsp vol)、31 (mem vol)には3.0Vを設定し、レギュレータ30 (disp vol)には3.3Vをそれぞれ設定すれば良いことがわかる。これらの設定処理は、CPU5がROM36より各種設定値を読み出して、各クロック発生器及びレギュレータに設定することにより行われる。

【0054】図5は、撮影モードにおける設定値の例を示す図である。

【0055】この図5において注意すべきは、クロック発生器22 (disp clk)及びレギュレータ30 (disp vol)の設定である。即ち、撮影モードにおいては、表示コントローラ3は動作する必要がないので、この表示コントローラ3へのクロック信号及び電圧供給を停止させる。更に、クロックゲート回路26によって、表示コントローラ3のバスインターフェース回路3aへのクロック供給も停止する。尚、表示コントローラ3への電力供給を停止させる場合には、バスインターフェース回路3aのメインバスMBへ接続している信号は電気的にアイソレーションされる必要がある。そのため、表示コントローラ3への電圧供給は保ったままでクロック信号の供給のみを停止させる方が、回路的には簡易な構成となる。

【0056】図6は、再生モードにおける設定値を説明する図で、この場合には、撮影モードの場合と同様に、クロック発生器19(ccd clk)、レギュレータ28(ccd vol)、クロックゲート回路(G)24をストップ状態とする。

【0057】図7は、テレビジョン電話モードにおける設定値を説明する図で、この場合は解像度VGAは、データ量が多すぎて処理できないのでVGAの設定は行っていない。

【0058】図8は本実施の形態の撮像装置のCPU5による割り込み処理を示すフローチャートである。

【0059】スイッチ群16のスイッチが操作されて動作モードが指示されるとCPU5に対して割り込みが発生し、まずステップS1で、スイッチ群16のスイッチにより設定された動作モードが判別される。次にステップS2に進み、その動作モードに対応する各種設定値を読み出すべく、ROM36にアクセスして、そのROM36のテーブルに記憶されている設定値を読み出す。即ち、図3に示した動作モードに対応する解像度(size)、フレームレートを読み出す。次にステップS3に進み、ステップS2により読み出されたフレームレートに対応するように回路を設定する。例えば、EVFモードにおいて、フレームレートが10[フレーム/s]と設定されていたならば、画像取り込みコントローラ1及び信号処理プロセッサ2は、3フレームにつき1フレームだけを処理すればよいので、取り込みを行わない3フレーム中2フレーム分の期間はクロックゲート回路24及び25とクロック発生器20(dsp clk)によりクロック供給をストップする。

【0060】次にステップS4に進み、動作モードとステップS2により読み出された解像度に対応する各種設定値を更にROM36から読み出し(図4~図7参照)、ゲート24~27、クロック発生器19~23及びレギュレータ28~31のそれぞれに設定する。

【0061】本実施の形態に示したような間引き方式、補間方式、クロック周波数及び電源電圧の設定方法によれば、あらゆる動作モードにおいて、ユーザが望む解像度やフレームレートを設定できる。また、ユーザが設定した解像度やフレームレートに対応して、その解像度やフレームレートで正常に動作するためのクロック周波数や電源電圧が自動的に設定されるので、あらゆる動作状況においても最大限の省電力効果が得られる。

【0062】また本実施の形態に係る他の態様として、SDRAM13の容量が増設可能な構成になっているような場合には、そのSDRAMのメモリ容量に応じて解像度を制限するような利用方法も可能である。即ち、最小構成のメモリが実装されており、これが例えばQCIF画像しか格納することができない容量しか備えていない場合は、間引き方式、補間方式の最大解像度の設定をいかなる動作モードにおいてもQCIFに制限する。一

方、メモリを増設してVGA画像が格納できる容量が確保できた場合は、解像度設定の制限を行わない。このような利用法の場合は、そのメモリ容量に応じて柔軟に解像度を設定できる。

【0063】なお本発明は、複数の機器(例えばホストコンピュータ、インターフェース機器、リーダ、プリンタなど)から構成されるシステムに適用しても、一つの機器からなる装置(例えば、複写機、ファクシミリ装置など)に適用してもよい。

【0064】また、本発明の目的は、前述した実施形態の機能を実現するソフトウェアのプログラムコードを記録した記憶媒体(または記録媒体)を、システムあるいは装置に供給し、そのシステムあるいは装置のコンピュータ(またはCPUやMPU)が記憶媒体に格納されたプログラムコードを読み出し実行することによっても達成される。この場合、記憶媒体から読み出されたプログラムコード自体が前述した実施形態の機能を実現することになり、そのプログラムコードを記憶した記憶媒体は本発明を構成することになる。また、コンピュータが読み出したプログラムコードを実行することにより、前述した実施形態の機能が実現されるだけでなく、そのプログラムコードの指示に基づき、コンピュータ上で稼働しているオペレーティングシステム(OS)などが実際の処理の一部または全部を行い、その処理によって前述した実施形態の機能が実現される場合も含まれる。

【0065】さらに、記憶媒体から読み出されたプログラムコードが、コンピュータに挿入された機能拡張カードやコンピュータに接続された機能拡張ユニットに備わるメモリに書込まれた後、そのプログラムコードの指示に基づき、その機能拡張カードや機能拡張ユニットに備わるCPUなどが実際の処理の一部または全部を行い、その処理によって前述した実施形態の機能が実現される場合も含まれる。

【0066】以上に述べたように本実施の形態に係る撮像装置によれば、ユーザの利用形態に応じた柔軟な画質の制御が極めて容易に実現可能となり、またいかなる動作モードにおいても最大限の消費電力削減を行えるという効果がある。

【0067】本実施の形態における他の効果としては、メモリの容量に応じて画像の解像度を柔軟に変更できるため、メモリの増設に非常に容易に対応することが可能であるという効果がある。

【0068】

【発明の効果】以上説明したように本発明によれば、装置の動作する動作モードに応じて、各処理ブロックに対応する処理回路に供給するクロック信号及び電源電圧を制御することにより、装置の消費電力を抑えることができる。

【0069】また本発明によれば、装置の動作モードに応じて、最適な省電力を自動的に実現できるという効果

がある。

【図面の簡単な説明】

【図1】本発明の実施の形態に係る携帯型テレビ電話端末の構成を示すブロック図である。

【図2】本実施の形態のテレビ電話端末の間引き回路の動作例を示すタイミングチャート(A)及びこの間引き回路におけるラッチクロックの生成を説明する図(B)である。

【図3】本実施の形態に係るテレビ電話端末での動作モードと間引き方式及び補間方式の対応を説明する図である。

【図4】EVFモードにおける解像度とクロック発生器およびレギュレータのそれぞれの設定値を説明する図で

ある。

【図5】撮影モードにおける解像度とクロック発生器およびレギュレータのそれぞれの設定値を説明する図である。

【図6】再生モードにおける解像度とクロック発生器およびレギュレータのそれぞれの設定値を説明する図である。

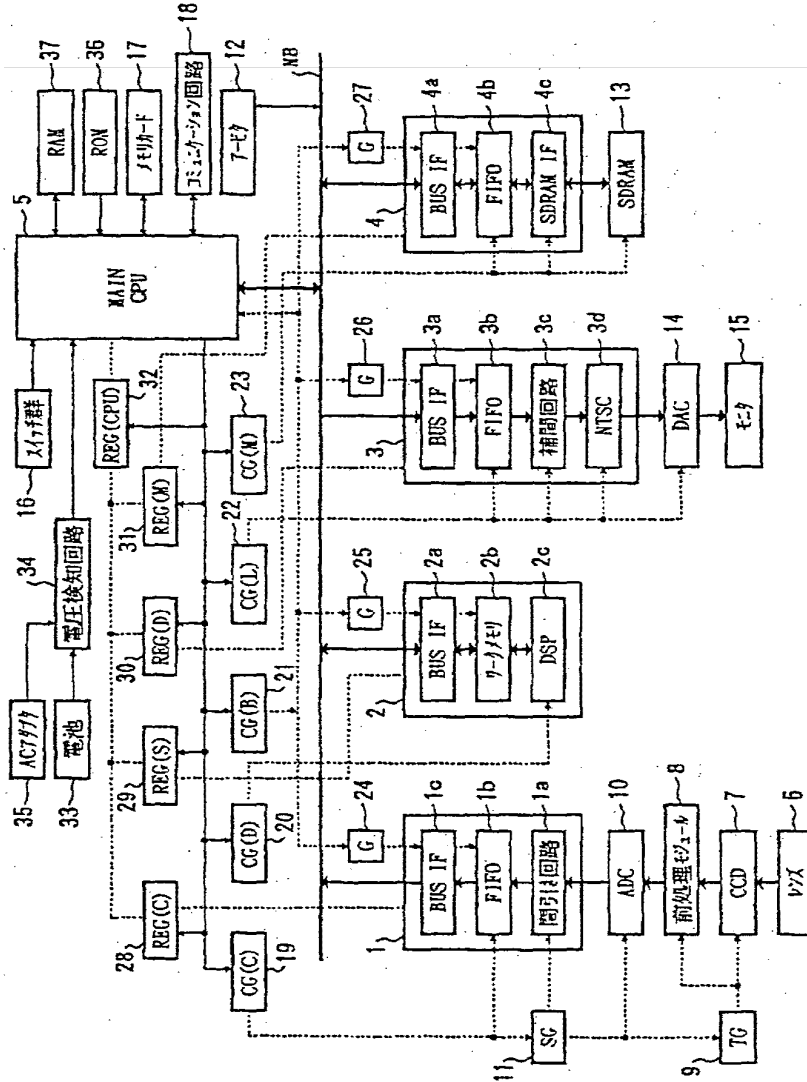
【図7】テレビ電話モードにおける解像度とクロック発生器およびレギュレータのそれぞれの設定値を説明する図である。

【図8】本発明の実施の形態に係る携帯型テレビ電話端末における動作モード設定処理を示すフローチャートである。

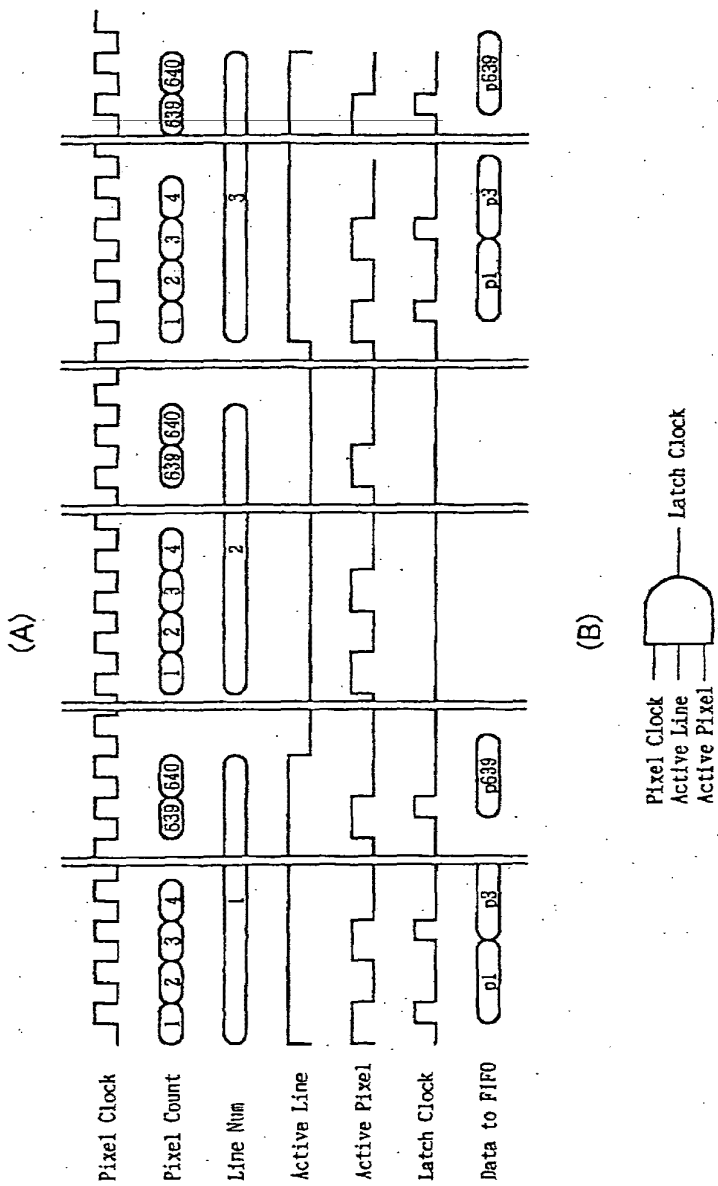
【図3】

動作モード	間引き方式(size)	間引き方式(frame)	補間方式
EVF	CIF	30 frames/s	CIF
撮影	VGA	1 frame	-
再生	-	-	VGA
テレビ電話	QCIF	15 frames/s	QCIF

【図1】



【図2】



【図4】

EVFモードの設定

size	bus clk	ccd clk	disp clk	dsp clk	mem clk	ccd vol	dsp vol	disp vol	mem vol
VGA	80MHz	13.5MHz	13.5MHz	200MHz	80MHz	3.3V	3.3V	3.3V	3.3V
CIF	40MHz	13.5MHz	13.5MHz	100MHz	40MHz	3.0V	3.0V	3.3V	3.0V
QCIF	20MHz	13.5MHz	13.5MHz	50MHz	20MHz	2.7V	2.7V	3.3V	2.7V

【図5】

撮影モードの設定

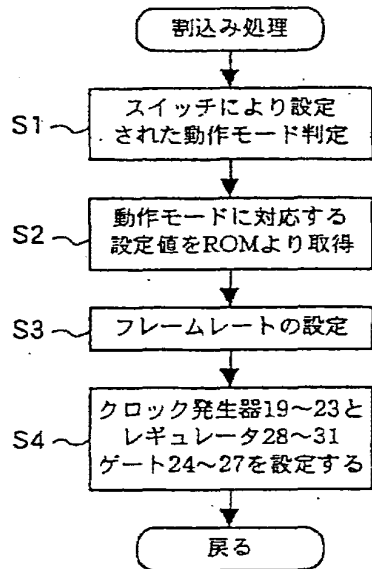
size	bus clk	ccd clk	disp clk	dsp clk	mem clk	ccd vol	dsp vol	disp vol	mem vol
VGA	40MHz	13.5MHz	0MHz	100MHz	40MHz	3.0V	3.0V	0V	3.0V
CIF	20MHz	13.5MHz	0MHz	50MHz	20MHz	2.7V	2.7V	0V	2.7V
QCIF	10MHz	13.5MHz	0MHz	25MHz	10MHz	2.4V	2.4V	0V	2.4V

【図6】

再生モードの設定

size	bus clk	ccd clk	disp clk	dsp clk	mem clk	ccd vol	dsp vol	disp vol	mem vol
VGA	40MHz	0MHz	13.5MHz	100MHz	40MHz	0V	3.0V	3.3V	3.0V
CIF	20MHz	0MHz	13.5MHz	50MHz	20MHz	0V	2.7V	3.3V	2.7V
QCIF	10MHz	0MHz	13.5MHz	25MHz	10MHz	0V	2.4V	2.3V	2.4V

【図8】



【図7】

テレビ電話モードの設定

size	bus clk	ccd clk	disp clk	dsp clk	mem clk	ccd vol	dsp vol	disp vol	mem vol
VGA	NA	NA	NA	NA	NA	NA	NA	NA	NA
CIF	80MHz	13.5MHz	13.5MHz	200MHz	80MHz	3.3V	3.3V	3.3V	3.3V
QCIF	40MHz	13.5MHz	13.5MHz	100MHz	40MHz	3.0V	3.0V	3.3V	3.0V

フロントページの続き

(51) Int.Cl.⁷
H04N 101:00

識別記号

F I
G 0 6 F 1/00

テ-マ-コ-ド (参考)

3 3 2 Z

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-062397

(43)Date of publication of application : 07.03.1997

(51)Int.Cl. G06F 1/08
H03K 3/02

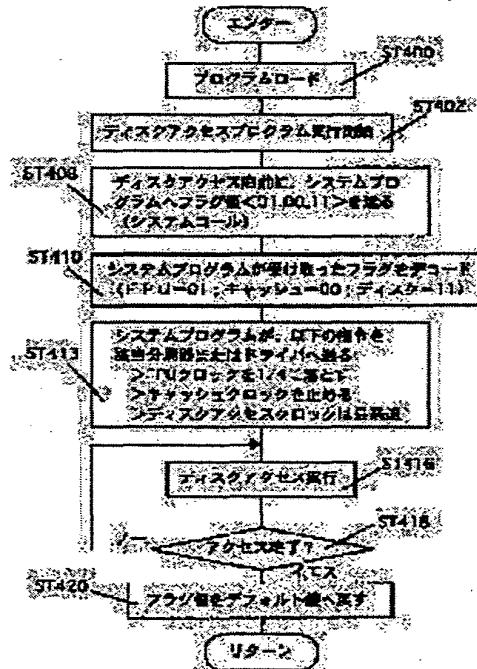
(21)Application number : 07-221681 (71)Applicant : NKK CORP
(22)Date of filing : 30.08.1995 (72)Inventor : SASAKI YASUKI

(54) OPERATING CLOCK CONTROL SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress a power consumption current by software without lowering global system performance.

SOLUTION: When a disk access program which makes access to a disk device is executed under the control of as system program (ST402), flag data(01;00;11) intrinsic to an application program is sent to the system program (ST408), and the content the flag data is decoded (ST410), and an FPU clock is omitted based on the decoded content of the flag data, and also, a cache clock is stopped (ST413), and the application program is excited in such state (ST416). In this way, power consumption is reduced by an amt. eyuiv to the lowering of an FPU and the cache clock.



LEGAL STATUS

- [Date of request for examination]
- [Date of sending the examiner's decision of rejection]
- [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
- [Date of final disposal for application]
- [Patent number]
- [Date of registration]
- [Number of appeal against examiner's decision of rejection]
- [Date of requesting appeal against examiner's decision of rejection]
- [Date of extinction of right]

THIS PAGE BLANK (USPTO)

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

* NOTICES *

JPO and NCIPJ are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In what controls actuation of the 2nd unit which operates with the 2nd clock which can take the 1st unit which operates with the 1st clock which can take two or more sorts of frequencies, and two or more sorts of frequencies An activation means to perform one or more programs; the clock control system of operation characterized by providing a clock modification means to change at least one clock frequency of said 1st unit and the 2nd unit of operation, corresponding to said contents of program execution.

[Claim 2] In what controls actuation of the 2nd unit which operates with the 2nd clock which can take the 1st unit which operates with the 1st clock which can take two or more sorts of frequencies, and two or more sorts of frequencies An activation means to perform one or more programs; It corresponds to the contents of activation before said program execution initiation. The clock control system of operation characterized by providing a clock modification means to change so that one clock frequency of said 1st unit and the 2nd unit of operation may become lower than the clock frequency of another side of operation.

[Claim 3] In the computer operation system which the system program which manages the clock of each 2nd unit which operates with the 2nd clock which can take the 1st unit which operates with the 1st clock which can take two or more sorts of frequencies, and two or more sorts of frequencies of operation runs When the application program which operates said 2nd unit is performed under management of said system program Send the flag data of a proper to this application program to said system program, and it is based on the contents of the flag data by which decoded the contents of said flag data with the; aforementioned system program, and the; aforementioned decode was carried out. Where said system program dropped the clock frequency of said 1st unit of operation and the clock frequency of the 1st unit of; above of operation is dropped The clock control approach of operation characterized by operating said 2nd unit by performing said application program.

[Claim 4] The clock control approach [according to claim 3] of operation characterized by returning the contents of said flag data to the condition before this application program activation after termination of said 2nd unit by said application program of operation.

[Claim 5] The clock control approach [according to claim 3 or 4] of operation characterized by compiling or assembling the predetermined source code corresponding to said application program, outputting object code, linking the flag data of said application program proper to the; aforementioned object code, and generating said application program which actually runs under said system program.

[Claim 6] Said flag data are the clock control approach [according to claim 3 to 5] of operation that said system program is characterized by performing two or more kinds of clock modification processings to coincidence, based on the contents of the clock modification command of these two or more classes including two or more kinds of clock modification commands.

[Translation done.]

THIS PAGE BLANK (USPTO)

*** NOTICES ***

JPO and NCIPJ are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the clock control system of operation which can change dynamically the clock of operation to each processing section which constitutes a system according to the system operating status of a system.

[0002]

[Description of the Prior Art] Digital equipments, such as a personal computer, contain two or more processing sections which operate with various clocks. For example, in a microcomputer chip, the processing section of the integer arithmetic or floating point arithmetic using an internal register is operated with the highest clock frequency, and operating relatively loading/store of the consecutiveness instruction performed during the data processing with a low clock frequency is performed. Or operating the low-speed I/O devices (8-bit modem card etc.) of the interior with a 1MHz clock, operating a system bus by 8MHz, and operating the part which performs heavy processing of bitmapped image output processing etc. by 16MHz, for example in the notebook mold personal computer of a dc-battery drive, is performed.

[0003] In a digital processor, the power-source consumed electric current increases in proportion to a clock frequency of operation (since the count of charge and discharge per [to the capacity component of the interior power circuit of equipment] unit time amount increases in proportion to a clock frequency). For example, when the digital processing card of a 1MHz clock is operating with the power source of 5V100mA, if a clock of operation is raised to 8MHz, the power-source consumed electric current will increase to 800mA. When the consumed electric current increases, generation of heat of the part into which this current flows increases, and the cure against heat dissipation is needed depending on the case. Moreover, by the device of dc-battery actuation, the problem that the continuous duty possible time amount of a dc-battery becomes short is also produced.

[0004] The following treatment is needed in order to mitigate the above-mentioned problem. Namely, high-speed operation supplies a high-speed clock (maximum clock frequency) only to a required part, the clock frequency of a part is lowered [if the high-speed clock part is working, high-speed operation is not needed, and also] sharply, or the circuit part of needlessness of operation stops circuit actuation by making a clock frequency into zero. If it does in this way, a required part will become possible [pressing down the power-source consumed electric current comparatively small], moving at high speed, if it sees as the whole equipment.

[0005]

[Problem(s) to be Solved by the Invention] Although the part which needs a high-speed clock does not always need the high-speed clock, when it does not know when a high-speed clock is needed, it becomes what (or the clock of a low-speed processing part is stopped suitably) a high-speed clock is always supplied to a high-speed processing part, and a low-speed clock is always supplied for to a low-speed processing part. Since it will continue consuming a big power-source current while a high-speed processing part receives a high-speed clock also in the period which does not need high-speed processing if it does so, it is difficult to press down effectively the above-mentioned power-source consumed electric current.

THIS PAGE RI AMV

THIS PAGE BLANK (USPTO)

[0006] Moreover, if a part of clock supplies are easily stopped in order to press down the power-source consumed electric current effectively, actuation of the circuit part which was able to stop clock supply will stop completely, and processing there will be interrupted. About this halt circuit part of operation, even if it resumes clock supply, self-reset cannot be carried out, but there is a possibility that the situation which must be redone from starting (reboot) of a system may arise. Since possibility that a partial halt of a clock will lead to system-wide degradation is high even if it is the case where this problem is clearable, the circuit part which can stop a clock is restricted.

[0007] The purpose of this invention is offering the clock control system of operation which can press down the power-source consumed electric current, without dropping system performance, as a high-speed clock is supplied to a required part, only when required.

[0008]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, the clock control system of this invention of operation In what controls actuation of the 2nd unit (32X) which operates with the 2nd clock (CLK2) which can take the 1st unit (31X) which operates with the 1st clock (CLK1) which can take two or more sorts of frequencies, and two or more sorts of frequencies An activation (step ST 100 step ST102/step ST 400 - step ST 402) means to perform one or more programs (PRG1-n) (10); before said program execution initiation It corresponds to the contents of activation (for example, disk accessing). So that the clock frequency [on the other hand / (31X)] of said 1st unit (31X) and the 2nd unit (32X) of operation may become lower than the clock frequency of another side (32X) of operation A clock (maximum high-speed clock [a clock halt and 32X / dividing] without step ST 208 step ST214/step ST 408 - step ST413;31X) modification means (20) to change is provided.

[0009] Thereby, while the another side unit (32X) which is the processing object of said program is an original high-speed clock and operates, the clock besides a processing object which is a unit (31X) on the other hand is dropped (a clock suspended depending on the case), and the part power consumption reduces it.

[0010] moreover, by the clock control approach of this invention of operation Two or more sorts of frequencies In the computer operation system which the system program which operates with the 2nd clock (CLK2) which can take the 1st unit (31X) which operates with the 1st clock (CLK1) which can be taken, and two or more sorts of frequencies, and which manages each clock of operation the 2nd unit (32X) runs When the application program (drawing 11) which operates said 2nd unit (32X) is performed under management of said system program (the step ST 402 of drawing 12) this application program -- the flag data (00 for example, 11) of a proper -- said system program -- delivery (step ST 408); -- with said system program It is based on the contents (00 11) of said decoded flag data. the contents (00 11) of said flag data -- decoding --; (step ST 410) -- said system program -- the clock frequency of said 1st unit (31X) of operation -- dropping (step ST 413) --; where the clock frequency of said 1st unit (31X) of operation is dropped (clock halt) It is made to operate by what (step ST 416) said application program (drawing 11) is performed for about said 2nd unit (32X) (disk accessing).

[0011] Thereby, while the 2nd unit (32X) which is the processing object of said application program operates with an original high-speed clock, the clock of the 1st unit besides a processing object (31X) is dropped (a clock suspended with the gestalt of 1 operation), and the part power consumption reduces it.

[0012]

[Embodiment of the Invention] Hereafter, with reference to a drawing, the clock control system of operation concerning the gestalt of 1 implementation of this invention is explained.

[0013] Drawing 1 shows the configuration of the hardware (equipment) of the clock control system of operation concerning the gestalt of 1 implementation of this invention. Moreover, drawing 2 is a timing chart explaining actuation of this equipment.

[0014] The input clock CLK0 has been obtained from the system clock generating circuit which is not illustrated. For example, when obtaining the 16MHz clock CLK0, this system clock generating circuit can consist of a 32MHz crystal oscillator and a flip-flop (1/2 counting-down circuit) which shapes that output in waveform to the square wave of 50% of duty ratios. If this

THIS PAGE BLANK (USPTO)

system clock generating circuit is constituted from a CMOS circuit, since the power-source consumed electric current of this generating circuit will be made to few things, it does not carry out stopping oscillation actuation of this CMOS clock generation circuit itself.

[0015] The clock CLK0 from the above-mentioned system clock generating circuit is inputted into a frequency divider 20 while it is given to the dividing actuation decision circuit (change-over signal circuit) 10 as a timing signal. This circuit 10 contains frequency control circuit 10a which controls clock frequency change-over actuation (division ratio setting-operation), and circuit of the highest priority (or priority circuit) 10b which consists of CPUs, memory, etc. which operate with a clock CLK0. Initiation of operation and a halt of operation of frequency control circuit 10a are controlled by processing initiation / termination input (a signal or instruction) from circuit of the highest priority 10b, or the various circuit units 40.

[0016] In the dividing actuation decision circuit 10, if a processing initiation instruction is inputted into frequency control circuit 10a from the interior CPU of circuit of the highest priority (or priority circuit) 10b, frequency control circuit 10a will start the actuation to the timing of a clock CLK0. If predetermined conditions (the conditions of the highest priority or priority conditions) are fulfilled in that case, an active signal Act will be generated. For example, if the conditions (keyboard entry waiting state from a user etc.) that there is no need that Maine CPU of a personal computer (not shown) operates at top speed continue predetermined time (for example, 1 minute), some conditions of the highest priority (or priority conditions) will be satisfied, and the instruction on which the frequency of a system clock is dropped will be inputted into frequency control circuit 10a. Then, the dividing actuation decision circuit 10 generates an active signal Act (time amount t_s of drawing 2).

[0017] An active signal Act is inputted into a frequency divider 20. A frequency divider 20 starts the circuit actuation of the highest priority during the period which has received the active signal Act corresponding to the instruction of the contents "on which a system clock frequency is dropped" (t_s - t_e of drawing 2; period with which are satisfied of some conditions of the highest priority).

[0018] If an active signal Act is received, a frequency divider 20 will carry out dividing of the clock CLK0 one by one to (t_s) and the clock timing of an input clock CLK0, and will generate the clocks CLK1-CLK3 by which are the timing (t_1 , t_2 , t_3) which shifted at a time one clock, for example, dividing was carried out to one half. In this way, the obtained low-speed clocks CLK1-CLK3 are supplied to the 1st actuation unit 31 which constitutes the unit group 30 of operation - the 3rd actuation unit 33, respectively. The 1st actuation unit 31 - the 3rd actuation unit 33 perform processing predetermined with required sufficient working speed as little power-source consumed electric current is also by the supplied low-speed clocks CLK1-CLK3, respectively.

[0019] It says making the circuit which "circuit actuation of the highest priority" here drops the system clock frequency of a specific circuit part, gives top priority to it over others, and is operated exist. if it puts in another way, even if it is operating this specific circuit part with the high-speed clock, and is satisfactory in any way, and the direction which was operating with the high-speed clock is advantageous on the working speed of other circuit parts or, the system clock frequency to this specific circuit part will be dropped on "circuit actuation of the highest priority." If it has still more nearly another way of speaking, top priority (or only priority) of the direction of the circuit part on which a clock frequency is not dropped on the engine performance of operation will be carried out rather than the specific circuit part from which a clock frequency is dropped on "circuit actuation of the highest priority."

[0020] Moreover, it becomes the conditions which may carry out dividing of the clocks CLK1-CLK3 of operation which it does not illustrate and also are supplied to the 1st actuation unit 31 - the 3rd actuation unit 33 irrespective of the situation affair of a circuit of operation to "the conditions of the highest priority (or priority conditions)" here one half.

[0021] For example, suppose that it takes a maximum of 1ms (Mississippi) after starting the processing which exists when the unit 31 of operation is operating with the 16MHz clock until a processing result comes out. When it can wait 2ms or more for the program which is running on Maine CPU which is not illustrated after requesting this processing until it obtains that result, the unit 31 of operation may operate with a 8MHz clock. In such a case, (it can wait for 2ms),

THIS PAGE BLANK (USPTO)

the above "the conditions of the highest priority (or priority conditions)" is satisfied, and the dividing actuation decision circuit 10 (frequency-control circuit 10a) generates the active signal Act for carrying out 1 / 2 dividing of the input clock CLK0.

[0022] It may be suitably changed not according to the thing of the fixed contents but according to a system configuration and the contents of the program under operation with "the conditions of the highest priority (or priority conditions)" stated with the gestalt of this operation so that clearly from the above-mentioned explanation.

[0023] If the 1st actuation unit 31 which dropped the clock - the 3rd actuation unit 33 become the stage to operate with the high-speed clock CLK0 again (te of drawing 2), frequency control circuit 10a will receive a processing termination input from CPU (or various circuit units 40) of circuit of the highest priority 10b.

[0024] It is as follows when it collects above. CPU of circuit of the highest priority 10b inputs a processing initiation instruction into frequency control circuit 10a first (in order to save electricity by lowering a clock). If "the conditions of the highest priority" corresponding to the contents of an instruction when this instruction was received is judged and this condition is satisfied, the active signal Act which performs predetermined period (t_s - t_e of drawing 2) top priority actuation will be outputted. [a / frequency control circuit 10] The power-source consumed electric current is reduced only for the part which dropped the clock frequency during this actuation period of the highest priority.

[0025] The gestalt of the above-mentioned implementation has the following operation effectiveness.

[0026] First, since the clock frequency to the unit of a low priority which does not need a high-speed clock is lowered, the part consumed electric current decreases.

[0027] The dividing timing of each unit is shifted in the case where there are two or more units of operation which lower a clock (t_1 - t_3 of drawing 2). Then, the power-source current peak (the shape of a pulse) in a clock modification time does not concentrate on a coincidence term, but the power-source noise level accompanying clock modification becomes small. For this reason, when equipment is IC-ized, even if it reduces the number of the power-source pin of an IC package, and grand pins (the source impedance of a part which relays IC pin becomes high), it is hard coming to appear an error in circuit actuation with the power-source noise level accompanying clock modification (if the number of a power-source pin and grand pins can be reduced, the cost of an IC package can be lowered).

[0028] Drawing 3 shows the configuration of the clock control system of operation concerning the gestalt of other operations of this invention. In drawing 3 , the input clock CLK0 from the system clock generating circuit which is not illustrated is inputted into a frequency divider 20 while it is given to 1st frequency control circuit 101a and 2nd frequency control circuit 102a as a timing signal.

[0029] A frequency divider 20 carries out dividing of the input clock CLK0 according to the contents of the combination of the active signal Act1 from frequency-control circuit 101a, and the active signal Act2 from frequency-control circuit 102a, and gives four kinds of clocks CLK1-CLK4 to four units 31-34 of operation, respectively. Each units 31-34 of operation are the rates corresponding to the frequency of the given clocks CLK1-CLK4, and perform own processing.

[0030] A frequency divider 20 gives an input clock CLK0 to 1st priority circuit 101b and 2nd priority circuit 102b again. 1st priority circuit 101b which operates to the timing of a clock CLK0 contains CPU, and processing initiation / termination input #1 (1st processing initiation instruction #1) is suitably generated according to the program execution condition which this CPU performs. Similarly 2nd priority circuit 102b which operates to the timing of a clock CLK0 also contains CPU, and processing initiation / termination input #2 (2nd processing initiation instruction #2) is suitably generated according to the program execution condition which this CPU performs.

[0031] If frequency control circuit 101a receives processing initiation / termination input #1 from priority circuit 101b, when predetermined conditions (priority conditions 1) are fulfilled, an active signal Act1 will be generated (time amount t_{s1} of drawing 5). Similarly, if frequency control circuit 102a receives processing initiation / termination input #2 from priority circuit 102b, when

THIS PAGE BLANK (USPTO)

other predetermined conditions (priority conditions 2) are fulfilled, an active signal Act2 will be generated (time amount ts_2 of drawing 5).

[0032] Active signals Act1 and Act2 are inputted into a frequency divider 20. A frequency divider 20 starts priority circuit actuation during the period which has received the combination of the active signals Act1 and Act2 corresponding to the instruction of the contents "on which a system clock frequency is dropped" (ts_1 or subsequent ones of drawing 2; period with which are satisfied of the 1st or 2nd priority condition).

[0033] Drawing 4 is table of truth value which illustrates the correspondence relation between the combination of active signals Act1 and Act2, and four kinds of dividing actuation to a clock CLK0. When the combination of the active signals Act1 and Act2 decided by the contents of processing initiation instruction (processing initiation / termination input) #1 and #2 is 0/0, all the division ratios to four kinds of clocks CLK1-CLK4 are set to "1." namely, the clocks CLK1-CLK4 -- each frequency becomes the same as an input clock CLK0.

[0034] When the combination of the active signals Act1 and Act2 decided by the contents of processing initiation instruction (processing initiation / termination input) #1 and #2 is 0/1, all the division ratios to four kinds of clocks CLK1-CLK4 are set to "2" (or when it is 1/0). namely, the clocks CLK1-CLK4 -- each frequency is set to one half of input clocks CLK0.

[0035] When the combination of the active signals Act1 and Act2 decided by the contents of processing initiation instruction (processing initiation / termination input) #1 and #2 is 1/1, all the division ratios to four kinds of clocks CLK1-CLK4 are set to "4." namely, the clocks CLK1-CLK4 -- each frequency is set to one fourth of input clocks CLK0.

[0036] When the combination of active signals Act1 and Act2 changes with time amount, frequency change of the clocks CLK1-CLK4 accompanying actuation and it of the priority circuits 101b and 102b comes to be shown in drawing 5.

[0037] That is, before [time amount ts_1], since the combination of active signals Act1 and Act2 is 0/0 and a division ratio is "1", the frequency of clocks CLK1-CLK4 is in agreement with an input clock CLK0.

[0038] Between $ts(es)_2$, since the combination of active signals Act1 and Act2 is 1/0, a division ratio is set to "2" from time amount ts_1 . Then, those frequencies change to one half of input clocks CLK0 in order of clocks CLK1, CLK2, CLK3, and CLK4 (time amount t_1 , t_2 , t_3 , and t_4).

[0039] Henceforth [time amount ts_2], since the combination of active signals Act1 and Act2 is 1/1, a division ratio is set to "4." Then, those frequencies change to one fourth of input clocks CLK0 in order of clocks CLK1, CLK2, CLK3, and CLK4 (time amount t_{21} , t_{22} , t_{23} , and t_{24}).

[0040] If the combination of active signals Act1 and Act2 returns to 0/0 after that, priority circuit actuation will be completed and clocks CLK1-CLK4 will return similarly to the frequency of an input clock CLK0. The return of this clock frequency can be notified to Main CPU which is not illustrated from priority circuit 101b and/or 102b.

[0041] That is, when CPU of the priority circuits 101b and 102b gives suitably processing initiation instruction (processing initiation / termination input) #1 and #2 to the frequency control circuits 101a and 102a during the program execution, each units 31-34 of operation are the rates corresponding to the frequency of the clocks CLK1-CLK4 changed suitably, and perform own processing. By dynamic modification (clock frequency fall) of this clock frequency, the power-source consumed electric current (power consumption) of the unit group 30 of operation can be cut down as a whole.

[0042] The gestalt of the above-mentioned implementation has the following operation effectiveness.

[0043] Since the number of combination of dividing in a frequency divider 20 can be increased by using two or more priority circuits (101b, 102b), this invention is applicable to the complicated system which consists of units of a large number which operate with a different clock.

[0044] Drawing 6 shows the configuration of the clock control system of this invention of operation further applied to the gestalt of other operations. Moreover, drawing 7 is a flow chart explaining actuation of this equipment.

[0045] The instruction code from CPU which is not illustrated is inputted into the instruction decoder 110 of the dividing actuation decision circuit 10 interior. A decoder 110 is the

THIS PAGE BLANK (USPTO)

combination according to the contents of the inputted instruction, and generates three kinds of active signals Act1-Act3. These active signals Act1-Act3 are given to the 1st input edge of AND gates G21-G23 in a frequency divider 20 with the selection circuitry 120 which consists of gate arrays etc. The clock CLK0 in front of dividing is inputted into the 2nd input edge of AND gates G21-G23 in a frequency divider 20.

[0046] AND gate G21 supplies an input clock CLK0 to the 1st frequency divider 21, only when an active signal Act1 is "1" level. Similarly, AND gate G22 supplies an input clock CLK0 to the 2nd frequency divider 22, only when an active signal Act2 is "1" level, and AND gate G23 supplies an input clock CLK0 to the 3rd frequency divider 23, only when an active signal Act3 is "1" level.

[0047] The 1st - the 3rd frequency divider 21-23 perform frequency divider actuation, only when having received the selection signals SL1-SL3 of "1" level from the selection circuitry 120. selection signals SL1-SL3 -- each level is determined by the combination of active signals Act1-Act3.

[0048] For example, if it is the run command of the integer-arithmic unit (ALU) 31 as a result of decoding the instruction inputted into the decoder 110 (the step ST 10 of drawing 7) (12 step ST#1), while signal Act1= "1" which makes it flow through the gate G21 will be outputted from a decoder 110, the signal SL 1 which sets the division ratio of a frequency divider 21 to "1" is supplied to a circuit 21 (step ST 14). Thereby, the integer-arithmic unit 31 operates with the clock CLK1 (= CLK0) of the maximum high speed.

[0049] If the instruction (the working speed of the integer-arithmic unit 31 is given top priority) then decoded, on the other hand, includes loading/store instruction of data (to memory or register) and it is not necessary to execute this instruction at the maximum high speed, as for a frequency divider 22, a division ratio will be set as "2" by the signal SL 2 (step ST 16). Thereby, the power-source current to loading/store control unit 32 is reduced. Moreover, if it is the instruction with which a floating point arithmetic is not performed, signal Act3= "0" will be outputted from a decoder 110, and the gate G23 will be in non-switch-on. Then, the clocked into to a frequency divider 23 is suspended (step ST 16), and a floating point processing unit (FPU) 33 suspends actuation (a unit 33 hardly consumes power in this case).

[0050] If it is the run command of loading/store control unit 32 as a result of decoding the instruction inputted into the decoder 110 (step ST 10) (12 step ST#2), while signal Act2= "1" which makes it flow through the gate G22 will be outputted from a decoder 110, the signal SL 2 which sets the division ratio of a frequency divider 22 to "1" is supplied to a circuit 22 (step ST 18). Thereby, loading/store control unit 32 performs an instruction, or loading/store of data with the clock CLK2 (= CLK0) of the maximum high speed.

[0051] If the instruction (the working speed of loading/store control unit 32 is given top priority) then decoded, on the other hand, includes for example, the integer-arithmic instruction and it is not necessary to execute this instruction at the maximum high speed, as for a frequency divider 21, a division ratio will be set as "2" by the signal SL 1 (step ST 20). Thereby, the power-source current to the integer-arithmic unit 31 is reduced.

[0052] Moreover, if the instruction (the working speed of loading/store control unit 32 is given top priority) then decoded includes for example, the floating point arithmetic instruction and does not need to execute this instruction at the maximum high speed, either, as for a frequency divider 23, a division ratio will be set as "2" by the signal SL 3 (step ST 20). Thereby, the power-source current to a floating point processing unit 33 is reduced.

[0053] If it is the run command of a floating point processing unit (FPU) 31 as a result of decoding the instruction inputted into the decoder 110 (step ST 10) (12 step ST#3), while signal Act3= "1" which makes it flow through the gate G23 will be outputted from a decoder 110, the signal SL 3 which sets the division ratio of a frequency divider 23 to "1" is supplied to a circuit 23 (step ST 22). Thereby, a floating point processing unit 33 operates with the clock CLK3 (= CLK0) of the maximum high speed.

[0054] If the instruction (the working speed of a floating point processing unit 33 is given top priority) then decoded, on the other hand, includes loading/store instruction of data (to memory or register) and it is not necessary to execute this instruction at the maximum high speed, as for a frequency divider 22, a division ratio will be set as "2" by the signal SL 2 (step ST 24).

THIS PAGE BLANK (USPTO)

Thereby, the power-source current to loading/store control unit 32 is reduced. Moreover, if it is the instruction with which an integer arithmetic is not performed, signal Act1= "0" will be outputted from a decoder 110, and the gate G21 will be in non-switch-on. Then, the clocked into a frequency divider 21 is suspended (step ST 24), and the integer-arithmetic unit (ALU) 31 suspends actuation (a unit 31 hardly consumes power in this case).

[0055] The gestalt of the above-mentioned implementation has the following operation effectiveness.

[0056] The unit which should operate with the maximum high-speed clock according to the contents of an instruction which it is going to perform from now on can be specified dynamically. that is, the clock of a unit without the need of moving by the contents of an instruction with the maximum high-speed clock falls suitably -- making -- the contents of an instruction -- completely -- actuation -- a clock can be stopped about an unnecessary unit (even if it stops, when an error does not come out). If it does so, the power-source consumed electric current as the whole equipment can be decreased effectively, without dropping the performance as the whole system substantially.

[0057] Drawing 8 shows the configuration of the clock control system of this invention of operation further applied to the gestalt of other operations. CPU10b which performs two or more programs PRG for the dividing actuation decision circuit 10 suitably here, Interface (I/F) 10d which mediates an exchange of memory 10c which CPU10b uses at the time of actuation, the various units of operation in the unit group 30 of operation (31X-33X), data, and a command, It constitutes from system management port 110X which changes each program execution result (COM1 - COMn; contents **** of a clock modification flag) into the active signal (Act1 X- Act3X) which decodes and corresponds.

[0058] Here, memory 10c consists of a ROM (or EEPROM) which stored the system program. (operating system), and RAM used for the temporary storage of a program code or data at the time of various program executions. In addition, there is no need that the system program is not necessarily ROM-ized, and you may make it use a system program for RAM in a system from the exterior, loading it (with a network or disk course).

[0059] Cache counting-down circuit 21X which a frequency divider (adjustable clock supply circuit) 20 carries out dividing of the high-speed system clock suitably, and generates the clock CLK1 of cache memory of operation, Disk counting-down circuit 22X which carries out dividing of this system clock suitably, and generates the clock CLK2 of disk units (hard disk drive etc.) of operation, It consists of FPU counting-down circuit 23X which carries out dividing of this system clock suitably, and generates the clock CLK3 of FPU (or KO processors, such as digital signal processor DSP which assists CPU actuation) of operation.

[0060] The unit group 30 of operation consists of cache memory 31X which operates with the clock rate of the clock CLK1 from cache counting-down circuit 21X, disk unit 32X which operates with the clock rate of the clock CLK2 from disk counting-down circuit 22X, and FPU33X which operates with the clock rate of the clock CLK3 from FPU counting-down circuit 23X.

[0061] Each device in the unit group 30 of operation (31X-33X) can perform now an exchange of CPU10b, data, and a command through data / command bus 50, and 10d of I/F sections.

[0062] Drawing 9 is a flow chart explaining the procedure which adds a clock modification flag to the application program performed by the system of drawing 8.

[0063] The source code (what was indicated by C, an assembler, etc.) of the programs (thing accompanied by disk accessing etc.) which use the device (for example, disk drive) which operates with a certain clock frequency is read for example, from disk unit (hard disk) 32X by CPU10b of drawing 8 (step ST 100). The read code is compiled by the usual compiler (or assembler) (step ST 102). (or assemble) Thereby, the object module (object code) for performing the contents of specific processing (for example, disk accessing) is generated (step ST 104).

[0064] When the generated object module (disk accessing) is performed and it turns out at the time of a programming that the devices (FPU etc.) to which a clock may be dropped exist, the flag which returns the command to which the clock of such a device of operation is dropped to a system program (operating system) is taken out from the library of a compiler (step ST 106).

THIS PAGE BLANK (USPTO)

Moreover, other compiled object modules performed with this object module are taken out from memory 10c (step ST 108).

[0065] The object module of the taken-out flag, a library, and others is linked to the object module generated at a step ST 104 (step ST 110). In this way, an executable program with a clock modification flag (load module) is completed (step ST 112).

[0066] In addition, the clock modification flag added to an executable program is the number of bits according to the number of combination of the way of clock modification, and is constituted. For example, when changing and setting up the clock of three kinds of devices separately during disk accessing, this clock modification flag consists of 2 bits.

[0067] Drawing 10 is a flow chart explaining the clock control of operation in the case of performing the program generated by the procedure of drawing 9 by the system of drawing 8.

[0068] First, an executable program with a clock modification flag (load module) is loaded and (step ST 200) performed (step ST 202). If a clock modification flag is detected during program execution (no [step ST204]) (step ST206 yes), the contents of this flag will be transmitted to a system program (operating system) by the system call (interruption) (step ST 208).

[0069] According to the contents of the flag which the system program has recognized to recognize the transmitted flag, the device (unit of operation) used as the object which drops a clock (a clock is stopped depending on the case) is chosen (step ST 212). (step ST 210) Through system management port 110X of drawing 8, this selection result becomes active signal Act1X, Act2X, and —, and is transmitted to a corresponding counting-down circuit (21X-).

[0070] The counting-down circuit (21X-) which received this active signal (Act1X-) carries out dividing of the system clock at a predetermined rate according to those contents, and gives it to the unit (31X-) of operation which corresponds the clock after dividing (CLK1-). The clock frequency of the selected unit of operation is dropped on the division ratio specified by this based on the flag to which the system call was applied (step ST 214).

[0071] Then, CPU10b performs the contents of the object with the above-mentioned flag to the various units to which the clock of operation was dropped suitably (step ST 216). If activation of this object ends (step ST218 yes), the flag to which the system call was applied will be canceled (step ST 220), and the clock of various units of operation will be reset by the default (condition before a clock frequency is dropped).

[0072] If a clock modification flag is again detected after a clock of operation is reset by the default (step ST222 yes), a return will be carried out to a step ST 208. If a clock modification flag is not detected (no [step ST222]), a return is carried out to a step ST 202.

[0073] In addition, when making a clock change (minute attachment law) of multiple times in the same program, flag detection (step ST 222) is performed here because.

[0074] (Step ST206 Yes and step ST222 yes), henceforth, processing accompanied by [whenever a clock modification flag is detected during program execution] clock modification which was mentioned above is performed (a step ST 208 – a step ST 220). If this program is completed (step ST204 yes), processing of drawing 10 will be finished.

[0075] Drawing 11 is what rewrote the flow chart of drawing 9 according to the concrete contents of processing (disk accessing), and is a flow chart explaining the procedure which adds a clock modification flag to the disk-accessing program performed by the system of drawing 8.

[0076] First, the source code (what was indicated by C, an assembler, etc.) of the program which accesses the disk unit which operates with a predetermined clock frequency is read (step ST 300). The read code is compiled by the usual compiler (or assembler) (step ST 302). (or assemble) Thereby, the object code for performing disk accessing is generated (step ST 304).

[0077] When generated disk-accessing object code is performed, the specific devices (cache memory, FPU, etc.) to which a clock may be dropped are known at the time of a programming. Then, the flag (here, three kinds of contents, "01", "00", and "11" are assigned as a value of a flag) which returns the command to which the clock of such a specific device of operation is dropped (or a clock is stopped) to a system program (operating system) is taken out from the library of a compiler (step ST 306). [i.e.,]

[0078] The flag and the various libraries which were taken out are linked to the object code generated previously (step ST 310). In this way, the disk-accessing program with a clock

THIS PAGE BLANK (USPTO)

modification flag (load module) which can be performed is completed (step ST 312).

[0079] Drawing 12 is a flow chart explaining the clock control of operation in the case of performing the program generated by the procedure of drawing 11 by the system of drawing 8.

[0080] First, a disk-accessing program with a clock modification flag <01, 00, 11> is loaded and (step ST 400) performed (step ST 402). Just before accessing disk unit 32X by this program execution, this program sends a flag value <01, 00, 11> to a system by the system call (step ST 408).

[0081] A system program will decode the contents of the flag, if the above-mentioned flag is received (step ST 410). Here, a flag "01" orders it the clock down of FPU33X, a flag "00" orders it a clock halt of cache memory 31X, and a flag "11" orders it the maximum high-speed clock of disk unit 32X.

[0082] The above-mentioned clock command is decoded by system management port 110X, and is transmitted to counting-down circuits 21X-23X. The clock down of the clock frequency of FPU33X of operation is carried out by command "FPU=01" from 32MHz at 8MHz. (This appointed destination also has the case of software called the not hardware but a "device driver" a "counting-down circuit".) The clock of cache memory 31X of operation is suspended by command "cache =00", and it is set to the maximum high-speed clock on which this equipment 32X is the quickest and the clock frequency of disk unit 32X of operation can operate by command "disk =11" (step ST 413).

[0083] Then, CPU10b performs the contents of the object with the above-mentioned flag to the various (or stopped) units to which the clock of operation was dropped suitably (step ST 416). If activation of this object ends (step ST418 yes), the flag to which the system call was applied will be canceled and the clock of various units (FPU, cache) of operation will be reset by the default (condition before a clock frequency is dropped) (step ST 420).

[0084] The gestalt of the above-mentioned implementation has the following operation effectiveness.

[0085] The change-over control of various clocks of a device (31X-33X) of operation can be dynamically carried out by the working program at the time. It not only reduces power consumption by only dropping a clock frequency on this approach, but it can hold down efficient overall power consumption, maintaining overall performance of operation, since the clock frequency of only the device (or high-speed processing is not required) which is not required for the program which is running at that time can be alternatively reduced suitably at a favorite rate. Moreover, since software performs clock frequency change-over control by this approach, it can apply comparatively easily to the complicated system which consists of units of a large number which operate with a different clock.

[0086]

[Effect of the Invention] The clock of operation to each processing section (31X-33X) which constitutes a system according to the system operating status (the contents of the program performed) of a system was changed dynamically, and the clock of the processing section of operation which becomes the outside of the processing object of an executive program is dropped. If it puts in another way, only when required, according to the contents of software, the high-speed clock will be made to be supplied to a required part. Thereby, the power-source consumed electric current can be pressed down, without dropping system performance.

[Translation done.]

THIS PAGE BLANK (USPTO)

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 1/08			G 0 6 F 1/04	3 2 0 A
H 0 3 K 3/02			H 0 3 K 3/02	Z

審査請求 未請求 請求項の数 6 OL (全 13 頁)

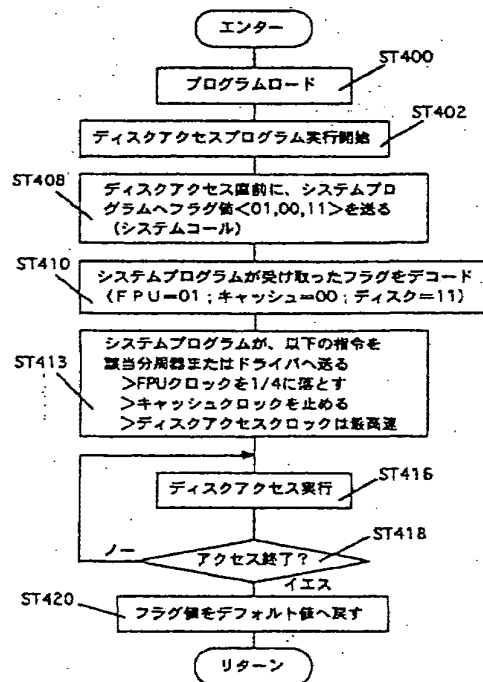
(21)出願番号	特願平7-221681	(71)出願人	000004123 日本鋼管株式会社 東京都千代田区丸の内一丁目1番2号
(22)出願日	平成7年(1995)8月30日	(72)発明者	佐々木 泰樹 東京都千代田区丸の内一丁目1番2号 日 本鋼管株式会社内
		(74)代理人	弁理士 長谷川 和音

(54)【発明の名称】 動作クロック制御システム

(57)【要約】

【課題】 全体的なシステム性能を落とさずにソフトウェアにより電源消費電流を押さえる。

【解決手段】 ディスク装置にアクセスするディスクアクセスプログラムがシステムプログラムの管理下で実行される (ST402) とき、このアプリケーションプログラムに固有のフラグデータ (01;00;11) をシステムプログラムへ送り (ST408) ; このフラグデータの内容を解読し (ST410) ; 解読されたフラグデータの内容 (01;00;11) に基づいてFPUクロックを落とすと同時にキャッシュクロックを止め (ST413) ; この状態でアプリケーションプログラムを実行する (ST416)。これにより、FPUとキャッシュのクロック低下分、消費電力が少なくなる。



【特許請求の範囲】

【請求項1】2種以上の周波数を取り得る第1クロックで動作する第1ユニットおよび2種以上の周波数を取り得る第2クロックで動作する第2ユニットの動作を制御するものにおいて、

1以上のプログラムを実行する実行手段と；前記プログラムの実行内容に対応して、前記第1ユニットおよび第2ユニットの少なくとも1つの動作クロック周波数を変更するクロック変更手段とを具備したことを特徴とする動作クロック制御システム。

【請求項2】2種以上の周波数を取り得る第1クロックで動作する第1ユニットおよび2種以上の周波数を取り得る第2クロックで動作する第2ユニットの動作を制御するものにおいて、

1以上のプログラムを実行する実行手段と；前記プログラムの実行開始前に、その実行内容に対応して、前記第1ユニットおよび第2ユニットの一方の動作クロック周波数が他方の動作クロック周波数より低くなるように変更するクロック変更手段とを具備したことを特徴とする動作クロック制御システム。

【請求項3】2種以上の周波数を取り得る第1クロックで動作する第1ユニットおよび2種以上の周波数を取り得る第2クロックで動作する第2ユニットそれぞれの動作クロックを管理するシステムプログラムが走るコンピュータ稼働システムにおいて、

前記第2ユニットを動作させるアプリケーションプログラムが前記システムプログラムの管理下で実行されるときは、このアプリケーションプログラムに固有のフラグデータを前記システムプログラムへ送り；前記システムプログラムにより前記フラグデータの内容を解釈し；前記解釈されたフラグデータの内容に基づいて、前記システムプログラムにより前記第1ユニットの動作クロック周波数を落とし；前記第1ユニットの動作クロック周波数が落とされた状態で、前記アプリケーションプログラムを実行することにより前記第2ユニットの動作を行なうことを特徴とする動作クロック制御方法。

【請求項4】前記アプリケーションプログラムによる前記第2ユニットの動作終了後、前記フラグデータの内容を、このアプリケーションプログラム実行前の状態に戻すことを特徴とする請求項3に記載の動作クロック制御方法。

【請求項5】前記アプリケーションプログラムに対応する所定のソースコードをコンパイルまたはアSEMBルしてオブジェクトコードを出力し；前記オブジェクトコードに前記アプリケーションプログラム固有のフラグデータをリンクして、前記システムプログラム下で実際に走る前記アプリケーションプログラムを生成することを特徴とする請求項3または請求項4に記載の動作クロック制御方法。

【請求項6】前記フラグデータは複数種類のクロック変

更指令を含み、これら複数種類のクロック変更指令の内容に基づいて、前記システムプログラムが、複数種類のクロック変更処理を同時に行なうことを特徴とする請求項3ないし請求項5のいずれかに記載の動作クロック制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、システムを構成する各処理部への動作クロックをシステムの稼働状況に応じてダイナミックに変更できる動作クロック制御システムに関する。

【0002】

【従来の技術】パーソナルコンピュータなどのデジタル装置は、種々なクロックで動作する複数の処理部を含んでいる。たとえばマイクロコンピュータチップにおいて、内部レジスタを用いた整数演算または浮動小数点演算の処理部は最高のクロック周波数で動作させ、その演算処理中に行われる後続命令のロード/ストア等は相対的に低いクロック周波数で動作させる、といったことが行われる。あるいは、たとえばバッテリー駆動のノートブック型パーソナルコンピュータにおいて、その内部の低速I/O装置（8ビットモデムカードなど）を1MHzクロックで動作させ、システムバスを8MHzで動作させ、ビットマップ画像出力処理などの重たい処理を行う部分を16MHzで動作させる、といったことが行われる。

【0003】デジタル処理装置においては、その電源消費電流は動作クロック周波数に比例して増加する（装置内部電源回路の容量成分に対する単位時間当たりの充放電回数がクロック周波数に比例して増えるため）。たとえば1MHzクロックのデジタル処理カードが5V100mAの電源で動作している場合、動作クロックを8MHzに上げると電源消費電流は800mAに増えてしまう。消費電流が増えたとこの電流が流れる部分の発熱が増え、場合によっては放熱対策が必要になる。またバッテリー動作の機器ではバッテリーの連続使用可能時間が短くなるという問題も生じる。

【0004】上記問題を軽減するためには、次のような処置が必要となる。すなわち、高速動作が必要な個所だけに高速クロック（最高クロック周波数）を供給し、その高速クロック部分が動作中では、高速動作を必要としない他部分のクロック周波数を大幅に下げ、あるいは動作不要の回路部分はクロック周波数をゼロとして回路動作を止める。このようにすると、必要な個所は高速で動かしながら、装置全体としてみれば電源消費電流を比較的小さく押さえることが可能となる。

【0005】

【発明が解決しようとする課題】高速クロックを必要とする個所が常に高速クロックを必要としているとは限らないが、いつ高速クロックが必要となるかが分からない

ときは、高速処理部分には常に高速クロックを供給し、低速処理部分には常に低速クロックを供給する（あるいは低速処理部分のクロックを適宜止める）ことになる。そうすると、高速処理が必要でない期間においても高速処理部分が高速クロックを受けながら大きな電源電流を消費し続けているので、上記電源消費電流を効果的に押さえることは難しい。

【0006】また、電源消費電流を効果的に押さえるために一部のクロック供給を無造作に止めてしまうと、クロック供給を止められた回路部分の動作が完全に止まってしまいそこでの処理が中断する。この動作停止回路部分については、クロック供給を再開しても自己復帰できず、システムの立ち上げ（リブート）からやり直さなければならない事態が生じる恐れがある。この問題をクリアできる場合であっても、クロックの部分的な停止はシステム全体の性能低下に繋がる可能性が高いので、クロックを止めることのできる回路部分は限られてくる。

【0007】この発明の目的は、必要な部分へ必要な時にだけ高速クロックを供給するようにしてシステム性能を落とすことなく電源消費電流を押さえることのできる動作クロック制御システムを提供することである。

【0008】

【課題を解決するための手段】上記目的を達成するために、この発明の動作クロック制御システムは、2種以上の周波数を取り得る第1クロック（CLK1）で動作する第1ユニット（31X）および2種以上の周波数を取り得る第2クロック（CLK2）で動作する第2ユニット（32X）の動作を制御するものにおいて、1以上のプログラム（PRG1～n）を実行する（ステップST100～ステップST102/ステップST400～ステップST402）実行手段（10）と；前記プログラムの実行開始前に、その実行内容（たとえばディスクアクセス）に対応して、前記第1ユニット（31X）および第2ユニット（32X）の一方（31X）の動作クロック周波数が他方（32X）の動作クロック周波数より低くなるように変更する（ステップST208～ステップST214/ステップST408～ステップST413；31Xはクロック停止、32Xは分周なしの最高速クロック）クロック変更手段（20）とを具備している。

【0009】これにより、前記プログラムの処理対象である他方ユニット（32X）は本来の高速クロックで動作する一方で、処理対象外の方ユニット（31X）のクロックは落とされ（場合によってはクロックが停止され）、その分消費電力が低減する。

【0010】また、この発明の動作クロック制御方法では、2種以上の周波数を取り得る第1クロック（CLK1）で動作する第1ユニット（31X）および2種以上の周波数を取り得る第2クロック（CLK2）で動作する第2ユニット（32X）それぞれの動作クロックを管

理するシステムプログラムが走るコンピュータ稼働システムにおいて、前記第2ユニット（32X）を動作させるアプリケーションプログラム（図11）が前記システムプログラムの管理下で実行される（図12のステップST402）ときは、このアプリケーションプログラムに固有のフラグデータ（たとえば00、11）を前記システムプログラムへ送り（ステップST408）；前記システムプログラムにより前記フラグデータの内容（00、11）を解釈し（ステップST410）；前記解釈されたフラグデータの内容（00、11）に基づいて、前記システムプログラムにより前記第1ユニット（31X）の動作クロック周波数を落とし（ステップST413）；前記第1ユニット（31X）の動作クロック周波数が落とされた状態（クロック停止）で、前記アプリケーションプログラム（図11）を実行する（ステップST416）ことにより前記第2ユニット（32X）の動作（ディスクアクセス）を行なうようにしている。

【0011】これにより、前記アプリケーションプログラムの処理対象である第2ユニット（32X）は本来の高速クロックで動作する一方で、処理対象外の第1ユニット（31X）のクロックは落とされ（一実施の形態ではクロックが停止され）、その分消費電力が低減する。

【0012】

【実施の形態】以下、図面を参照して、この発明の一実施の形態に係る動作クロック制御システムを説明する。

【0013】図1は、この発明の一実施の形態に係る動作クロック制御システムのハードウェア（装置）の構成を示す。また、図2はこの装置の動作を説明するタイミングチャートである。

【0014】入力クロックCLK0は、図示しないシステムクロック発生回路から得ている。たとえば16MHzのクロックCLK0を得る場合、このシステムクロック発生回路は、32MHzの水晶発振器と、その出力をデューティ比50%の矩形波に波形整形するフリップフロップ（1/2分周器）で構成できる。このシステムクロック発生回路をCMOS回路で構成しておくこと、この発生回路の電源消費電流は僅かなもののできる、このCMOSクロック発生回路自体の発振動作を止めることはしない。

【0015】上記システムクロック発生回路からのクロックCLK0は、タイミング信号として分周動作決定回路（切換信号回路）10に与えられるとともに、分周回路20に入力される。この回路10は、クロック周波数切換動作（分周比設定動作）を制御する周波数制御回路10aと、たとえばクロックCLK0で動作するCPUおよびメモリなどで構成される最優先回路（または優先回路）10bとを含んでいる。周波数制御回路10aの動作開始および動作停止は、最優先回路10bまたは各種回路ユニット40からの処理開始/終了入力（信号あるいは命令）によって制御される。

【0016】分周動作決定回路10において、最優先回路(または優先回路)10bの内部CPUから周波数制御回路10aへ処理開始命令が入力されると、周波数制御回路10aは、クロックCLK0のタイミングでその動作を開始する。その際、所定の条件(最優先条件または優先条件)が満たされると、アクティブ信号Actが発生される。たとえば、パーソナルコンピュータのメインCPU(図示せず)が最高速度で動作する必要のない状態(ユーザからのキーボード入力待ち状態など)が所定時間(たとえば1分)続くと、ある最優先条件(または優先条件)が満足され、システムクロックの周波数を落とす命令が周波数制御回路10aに入力される。すると、分周動作決定回路10はアクティブ信号Actを発生する(図2の時間ts)。

【0017】アクティブ信号Actは、分周回路20に入力される。分周回路20は、「システムクロック周波数を落とす」内容の命令に対応したアクティブ信号Actを受けている期間中(図2のts~te;ある最優先条件が満足されている期間)、最優先回路動作に入る。

【0018】分周回路20は、アクティブ信号Actを受けると(ts)、入力クロックCLK0のクロックタイミングでクロックCLK0を順々に分周し、1クロックづつずれたタイミング(t1, t2, t3)で、たとえば1/2に分周されたクロックCLK1~CLK3を発生する。こうして得られた低速クロックCLK1~CLK3は、それぞれ、動作ユニット群30を構成する第1動作ユニット31~第3動作ユニット33に供給される。第1動作ユニット31~第3動作ユニット33は、それぞれ、供給された低速クロックCLK1~CLK3により、少ない電源消費電流でもって、必要十分な動作速度で所定の処理を実行する。

【0019】ここでの「最優先回路動作」とは、特定回路部分のシステムクロック周波数を落とし、他に最優先して動かす回路を存在させることをいう。換言すると、この特定回路部分を高速クロックで動作させていて何等問題がなくても(あるいは高速クロックで動作していた方が他の回路部分の動作速度上有利であっても)、「最優先回路動作」では、この特定回路部分へのシステムクロック周波数が落とされる。さらに別の言い方をすれば、「最優先回路動作」では、クロック周波数が落とされる特定回路部分よりも、クロック周波数が落とされない回路部分の方が、動作性能上最優先(あるいは単に優先)される。

【0020】また、ここでの「最優先条件(または優先条件)」とは、図示しない他回路の動作状況に拘わらず、第1動作ユニット31~第3動作ユニット33へ供給される動作クロックCLK1~CLK3を1/2に分周しても良い条件となる。

【0021】たとえば、動作ユニット31が16MHzクロックで動作している場合にある処理を開始してから

処理結果が出るまで最大1ms(ミリ秒)掛かるとする。図示しないメインCPU上で走っているプログラムにとって、この処理をリクエストしてからその結果を得るまで2ms以上待てるときは、動作ユニット31が8MHzクロックで動作してもかまわないことになる。このような場合(2ms待てる)に、前記「最優先条件(または優先条件)」が満足され、分周動作決定回路10(周波数制御回路10a)は、入力クロックCLK0を1/2分周させるためのアクティブ信号Actを発生する。

【0022】上記説明から明らかなように、この実施の形態で述べている「最優先条件(または優先条件)」とは固定された内容のものではなく、システム構成や稼働中のプログラムの内容によって適宜変更され得る。

【0023】クロックを落とした第1動作ユニット31~第3動作ユニット33が再び高速クロックCLK0で動作する時期になると(図2のte)、周波数制御回路10aは処理終了入力を最優先回路10bのCPU(あるいは各種回路ユニット40)から受信する。

【0024】以上まとめると、次のようになる。まず最優先回路10bのCPUが(クロックを下げて節電を行うために)処理開始命令を周波数制御回路10aに入力する。この命令を受けると、周波数制御回路10aは、命令内容に応じた「最優先条件」の判定を行い、この条件が満足されると、所定期間(図2のts~te)最優先動作を行うアクティブ信号Actを出力する。この最優先動作期間中はクロック周波数を落とした分だけ電源消費電流が低減される。

【0025】上記実施の形態は、次のような作用効果を持つ。

【0026】まず、高速クロックを必要としない低優先度のユニットへのクロック周波数を下げるから、その分消費電流が減る。

【0027】クロックを下げる動作ユニットが複数ある場合には、各ユニットの分周タイミングをずらしている(図2のt1~t3)。するとクロック変更時点での電源電流ピーク(パルス状)が同時期に集中せず、クロック変更に伴う電源ノイズレベルが小さくなる。このため、装置をIC化した場合において、ICパッケージの電源ピン、グランドピンの数を減らしても(ICピンを中継する部分の電源インピーダンスは高くなるが)、クロック変更に伴う電源ノイズレベルで回路動作にエラーが出にくくなる(電源ピン、グランドピンの数を減らせば、ICパッケージのコストを下げるができる)。

【0028】図3は、この発明の他の実施の形態に係る動作クロック制御システムの構成を示す。図3において、図示しないシステムクロック発生回路からの入力クロックCLK0は、タイミング信号として第1の周波数制御回路101aおよび第2の周波数制御回路102a

に与えられるとともに、分周回路20に入力される。

【0029】分周回路20は、周波数制御回路101aからのアクティブ信号Act1および周波数制御回路102aからのアクティブ信号Act2の組み合わせの内容に応じて入力クロックCLK0を分周して、4種類のクロックCLK1~CLK4を、それぞれ4つの動作ユニット31~34に与える。各動作ユニット31~34は、与えられたクロックCLK1~CLK4の周波数に対応した速度で、自身の処理を実行するようになっている。

【0030】分周回路20はまた、入力クロックCLK0を第1の優先回路101bおよび第2の優先回路102bに与える。クロックCLK0のタイミングで動作する第1の優先回路101bはCPUを含んでおり、このCPUが実行するプログラムの実行状態に応じて、適宜、処理開始/終了入力#1(第1の処理開始命令#1)が発生される。同様に、クロックCLK0のタイミングで動作する第2の優先回路102bもCPUを含んでおり、このCPUが実行するプログラムの実行状態に応じて、適宜、処理開始/終了入力#2(第2の処理開始命令#2)が発生される。

【0031】周波数制御回路101aは、優先回路101bから処理開始/終了入力#1を受け取ると、所定の条件(優先条件1)が満たされたときにアクティブ信号Act1を発生する(図5の時間ts1)。同様に、周波数制御回路102aは、優先回路102bから処理開始/終了入力#2を受け取ると、他の所定条件(優先条件2)が満たされたときにアクティブ信号Act2を発生する(図5の時間ts2)。

【0032】アクティブ信号Act1およびAct2は、分周回路20に入力される。分周回路20は、「システムクロック周波数を落とす」内容の命令に対応したアクティブ信号Act1およびAct2の組み合わせを受けている期間中(図2のts1以降;第1または第2の優先条件が満足されている期間)、優先回路動作に入る。

【0033】図4は、アクティブ信号Act1およびAct2の組み合わせとクロックCLK0に対する4種類の分周動作との対応関係を例示する真理値表である。処理開始命令(処理開始/終了入力)#1および#2の内容によって決まるアクティブ信号Act1およびAct2の組み合わせが0/0の場合は、4種類のクロックCLK1~CLK4に対する分周比は全て「1」となる。すなわちクロックCLK1~CLK4各々の周波数は入力クロックCLK0と同じになる。

【0034】処理開始命令(処理開始/終了入力)#1および#2の内容によって決まるアクティブ信号Act1およびAct2の組み合わせが0/1の場合(あるいは1/0の場合)は、4種類のクロックCLK1~CLK4に対する分周比は全て「2」となる。すなわちクロ

ックCLK1~CLK4各々の周波数は入力クロックCLK0の1/2になる。

【0035】処理開始命令(処理開始/終了入力)#1および#2の内容によって決まるアクティブ信号Act1およびAct2の組み合わせが1/1の場合は、4種類のクロックCLK1~CLK4に対する分周比は全て「4」となる。すなわちクロックCLK1~CLK4各々の周波数は入力クロックCLK0の1/4になる。

【0036】アクティブ信号Act1およびAct2の組み合わせが時間とともに変化する場合、優先回路101bおよび102bの動作とそれに伴うクロックCLK1~CLK4の周波数変化は、たとえば図5に示すようになる。

【0037】すなわち、時間ts1以前では、アクティブ信号Act1およびAct2の組み合わせが0/0なので分周比は「1」であるから、クロックCLK1~CLK4の周波数は入力クロックCLK0と一致している。

【0038】時間ts1からts2の間では、アクティブ信号Act1およびAct2の組み合わせが1/0なので分周比は「2」となる。すると、クロックCLK1、CLK2、CLK3、CLK4の順で、それらの周波数が入力クロックCLK0の1/2に変化する(時間t1、t2、t3、t4)。

【0039】時間ts2以降では、アクティブ信号Act1およびAct2の組み合わせが1/1なので分周比は「4」となる。すると、クロックCLK1、CLK2、CLK3、CLK4の順で、それらの周波数が入力クロックCLK0の1/4に変化する(時間t21、t22、t23、t24)。

【0040】その後アクティブ信号Act1およびAct2の組み合わせが0/0に戻ると、優先回路動作が終了し、クロックCLK1~CLK4は入力クロックCLK0の周波数と同じに戻る。このクロック周波数の復帰は、優先回路101bおよび/または102bから図示しないメインCPUに通知することができる。

【0041】つまり、優先回路101bおよび102bのCPUがそのプログラム実行中に処理開始命令(処理開始/終了入力)#1および#2を周波数制御回路101aおよび102aへ適宜与えることにより、各動作ユニット31~34は、適宜変更されたクロックCLK1~CLK4の周波数に対応した速度で、自身の処理を実行する。このクロック周波数のダイナミックな変更(クロック周波数低下)により、全体として、動作ユニット群30の電源消費電流(電力消費量)を減らすことができる。

【0042】上記実施の形態は、次のような作用効果を持つ。

【0043】優先回路(101b、102b)を複数用いることにより、分周回路20における分周の組み合わ

せ数を増やすことができるから、異なるクロックで動作する多数のユニットで構成される複雑なシステムへ、この発明を応用できる。

【0044】図6は、この発明のさらに他の実施の形態に係る動作クロック制御システムの構成を示す。また、図7はこの装置の動作を説明するフローチャートである。

【0045】図示しないCPUからの命令コードは分周動作決定回路10内部の命令デコーダ110に入力される。デコーダ110は、入力された命令の内容に応じた組み合わせで、3種類のアクティブ信号Act1~Act3を発生する。これらのアクティブ信号Act1~Act3は、ゲートアレイなどで構成される選択回路120とともに、分周回路20内のアンドゲートG21~G23の第1入力端に与えられる。分周回路20内のアンドゲートG21~G23の第2入力端には、分周前のクロックCLK0が入力される。

【0046】アンドゲートG21は、アクティブ信号Act1が「1」レベルのときにだけ、入力クロックCLK0を第1の分周回路21へ供給する。同様に、アンドゲートG22はアクティブ信号Act2が「1」レベルのときにだけ入力クロックCLK0を第2の分周回路22へ供給し、アンドゲートG23はアクティブ信号Act3が「1」レベルのときにだけ入力クロックCLK0を第3の分周回路23へ供給する。

【0047】第1~第3の分周回路21~23は、選択回路120から「1」レベルの選択信号SL1~SL3を受けているときにだけ分周回路動作を行う。選択信号SL1~SL3それぞれのレベルは、アクティブ信号Act1~Act3の組み合わせによって決定される。

【0048】たとえば、デコーダ110に入力された命令をデコードした結果(図7のステップST10)、整数演算ユニット(ALU)31の実行命令であれば(ステップST12の#1)、ゲートG21を導通させる信号Act1=「1」がデコーダ110から出力されるとともに、分周回路21の分周比を「1」にする信号SL1が回路21に供給される(ステップST14)。これにより、整数演算ユニット31は最高速のクロックCLK1(=CLK0)で動作する。

【0049】一方、そのときデコードされた命令(整数演算ユニット31の動作速度が最優先されている)が、たとえばデータの(メモリあるいはレジスタへの)ロード/ストア命令を含んでおり、この命令を最高速で実行する必要がないならば、分周回路22は信号SL2により分周比が「2」に設定される(ステップST16)。これによりロード/ストア制御ユニット32への電源電流が低減される。また、浮動小数点演算が実行されない命令であれば、信号Act3=「0」がデコーダ110から出力され、ゲートG23が非導通状態になる。すると分周回路23へのクロック入力(ステップ

ST16)、浮動小数点演算ユニット(FPU)33は動作を停止する(この場合、ユニット33は殆ど電力を消費しない)。

【0050】デコーダ110に入力された命令をデコードした結果(ステップST10)、ロード/ストア制御ユニット32の実行命令であれば(ステップST12の#2)、ゲートG22を導通させる信号Act2=「1」がデコーダ110から出力されるとともに、分周回路22の分周比を「1」にする信号SL2が回路22に供給される(ステップST18)。これにより、ロード/ストア制御ユニット32は最高速のクロックCLK2(=CLK0)で命令あるいはデータのロード/ストアを実行する。

【0051】一方、そのときデコードされた命令(ロード/ストア制御ユニット32の動作速度が最優先されている)が、たとえば整数演算命令を含んでおり、この命令を最高速で実行する必要がないならば、分周回路21は信号SL1により分周比が「2」に設定される(ステップST20)。これにより整数演算ユニット31への電源電流が低減される。

【0052】また、そのときデコードされた命令(ロード/ストア制御ユニット32の動作速度が最優先されている)が、たとえば浮動小数点演算命令を含んでおり、この命令も最高速で実行する必要がないならば、分周回路23は信号SL3により分周比が「2」に設定される(ステップST20)。これにより浮動小数点演算ユニット33への電源電流が低減される。

【0053】デコーダ110に入力された命令をデコードした結果(ステップST10)、浮動小数点演算ユニット(FPU)31の実行命令であれば(ステップST12の#3)、ゲートG23を導通させる信号Act3=「1」がデコーダ110から出力されるとともに、分周回路23の分周比を「1」にする信号SL3が回路23に供給される(ステップST22)。これにより、浮動小数点演算ユニット33は最高速のクロックCLK3(=CLK0)で動作する。

【0054】一方、そのときデコードされた命令(浮動小数点演算ユニット33の動作速度が最優先されている)が、たとえばデータの(メモリあるいはレジスタへの)ロード/ストア命令を含んでおり、この命令を最高速で実行する必要がないならば、分周回路22は信号SL2により分周比が「2」に設定される(ステップST24)。これによりロード/ストア制御ユニット32への電源電流が低減される。また、整数演算が実行されない命令であれば、信号Act1=「0」がデコーダ110から出力され、ゲートG21が非導通状態になる。すると分周回路21へのクロック入力(ステップST24)、整数演算ユニット(ALU)31は動作を停止する(この場合、ユニット31は殆ど電力を消費しない)。

【0055】上記実施の形態は、次のような作用効果を持つ。

【0056】これから実行しようとする命令内容に応じて最高速クロックで動作すべきユニットをダイナミックに指定できる。すなわち、その命令内容では最高速クロックで動く必要のないユニットのクロックは適宜低下させ、その命令内容では全く動作不要なユニットについてはクロックを止めることができる（止めてもエラーが出ない場合）。そうするとシステム全体としてのパフォーマンスを実質的に落とさずに装置全体としての電源消費電流を効果的に減少させることができる。

【0057】図8は、この発明のさらに他の実施の形態に係る動作クロック制御システムの構成を示す。ここでは、分周動作決定回路10を、複数プログラムPRGを適宜実行するCPU10bと、CPU10bが動作時に使用するメモリ10cと、動作ユニット群30内の各種動作ユニット(31X~33X)とデータおよびコマンドのやりとりを仲介するインターフェイス(I/F)10dと、各プログラムの実行結果(COM1~COMn; クロック変更フラグの内容含む)をデコードして対応するアクティブ信号(Act1X~Act3X)に変換するシステム管理ポート110Xとで、構成している。

【0058】ここで、メモリ10cは、システムプログラム(オペレーティングシステム)を格納したROM(あるいはEEPROM)と、種々なプログラム実行時にプログラムコードやデータの一時格納に使用されるRAMとで構成されている。なお、システムプログラムは必ずしもROM化されている必要は無く、システムプログラムを外部から(ネットワークあるいはディスク経由で)システム内のRAMにロードして使用するようにしてもよい。

【0059】分周回路(可変クロック供給回路)20は、高速システムクロックを適宜分周してキャッシュメモリの動作クロックCLK1を発生するキャッシュ分周器21Xと、同システムクロックを適宜分周してディスク装置(ハードディスクドライブなど)の動作クロックCLK2を発生するディスク分周器22Xと、同システムクロックを適宜分周してFPU(あるいはCPU動作を補助するデジタル信号プロセッサDSPなどのコ・プロセッサ)の動作クロックCLK3を発生するFPU分周器23Xとで構成されている。

【0060】動作ユニット群30は、キャッシュ分周器21XからのクロックCLK1のクロックレートで動作するキャッシュメモリ31Xと、ディスク分周器22XからのクロックCLK2のクロックレートで動作するディスク装置32Xと、FPU分周器23XからのクロックCLK3のクロックレートで動作するFPU33Xとで構成されている。

【0061】動作ユニット群30内の各デバイス(31

X~33X)は、データ/コマンドバス50およびI/F部10dを介して、CPU10bとデータおよびコマンドのやりとりを行えるようになっている。

【0062】図9は、図8のシステムで実行されるアプリケーションプログラムにクロック変更フラグを付加する手順を説明するフローチャートである。

【0063】あるクロック周波数で動作するデバイス(たとえばディスクドライブ)を使用するプログラム(ディスクアクセスを伴うものなど)のソースコード(C言語やアセンブラなどで記載されたもの)が、図8のCPU10bにより、たとえばディスク装置(ハードディスク)32Xから読み込まれる(ステップST100)。読み込まれたコードは、通常のコンパイラ(またはアセンブラ)によってコンパイル(またはアセンブル)される(ステップST102)。これにより、特定処理内容(たとえばディスクアクセス)を実行するためのオブジェクトモジュール(オブジェクトコード)が生成される(ステップST104)。

【0064】生成されたオブジェクトモジュール(ディスクアクセス)が実行されるときにクロックを落としてもよいデバイス(FPUなど)が存在することがプログラム作成時に分かっている場合は、そのようなデバイスの動作クロックを落とす指令をシステムプログラム(オペレーティングシステム)に返すフラグが、コンパイラのライブラリから取り出される(ステップST106)。また、このオブジェクトモジュールとともに実行される他のコンパイル済みオブジェクトモジュールが、たとえばメモリ10cから取り出される(ステップST108)。

【0065】取り出されたフラグ、ライブラリ、その他のオブジェクトモジュールは、ステップST104で生成されたオブジェクトモジュールにリンクされる(ステップST110)。こうして、クロック変更フラグ付の実行可能プログラム(ロードモジュール)が完成する(ステップST112)。

【0066】なお、実行可能プログラムに付加されるクロック変更フラグは、クロック変更のやり方の組み合わせ数に応じたビット数で、構成されている。たとえばディスクアクセス中に3種類のデバイスのクロックを別々に変更・設定する場合は、このクロック変更フラグは2ビットで構成される。

【0067】図10は、図9の手順により生成されたプログラムを図8のシステムで実行する場合の動作クロック制御を説明するフローチャートである。

【0068】まず、クロック変更フラグ付の実行可能プログラム(ロードモジュール)がロードされ(ステップST200)、実行される(ステップST202)。プログラム実行中(ステップST204ノーマル)にクロック変更フラグが検出されると(ステップST206イエス)、このフラグの内容が、システムコール(割り込

み)によりシステムプログラム(オペレーティングシステム)に転送される(ステップST208)。

【0069】転送されてきたフラグを認識すると(ステップST210)、システムプログラムは、認識したフラグの内容にしたがって、クロックを落とす(場合によってはクロックを止める)対象となるデバイス(動作ユニット)を選択する(ステップST212)。この選択結果は、図8のシステム管理ポート110Xを介して、アクティブ信号Act1X、Act2X、…となって、対応する分周器(21X〜)に転送される。

【0070】このアクティブ信号(Act1X〜)を受け取った分周器(21X〜)は、その内容に応じてシステムクロックを所定の割合で分周し、分周後のクロック(CLK1〜)を対応する動作ユニット(31X〜)に与える。これにより、システムコールをかけたフラグに基づいて、指定された分周比で、選択されたユニットの動作クロック周波数が落とされる(ステップST214)。

【0071】その後、CPU10bは上記フラグ付のオブジェクトの内容を、動作クロックが適宜落とされた各種ユニットに対して、実行させる(ステップST216)。このオブジェクトの実行が済むと(ステップST218イエス)、システムコールをかけたフラグがキャンセルされ(ステップST220)、各種ユニットの動作クロックがデフォルト状態(クロック周波数が落とされる前の状態)にリセットされる。

【0072】動作クロックがデフォルト状態にリセットされたあと、再びクロック変更フラグが検出されると(ステップST222イエス)、ステップST208にリターンする。クロック変更フラグが検出されなければ(ステップST222ノー)、ステップST202にリターンする。

【0073】なお、ここでフラグ検出(ステップST222)を行っているのは、同一プログラム中で複数回のクロック変更(分周設定)を行なう場合に対応するためである。

【0074】以後、プログラム実行中にクロック変更フラグが検出される度に(ステップST206イエス、ステップST222イエス)、上述したようなクロック変更を伴う処理が実行される(ステップST208〜ステップST220)。このプログラムが終了すれば(ステップST204イエス)、図10の処理は終わる。

【0075】図11は、図9のフローチャートを具体的な処理内容(ディスクアクセス)に合わせて書き直したもので、図8のシステムで実行されるディスクアクセスプログラムにクロック変更フラグを付加する手順を説明するフローチャートである。

【0076】まず、所定のクロック周波数で動作するディスク装置にアクセスするプログラムのソースコード(C言語やアセンブラなどで記載されたもの)が読み込

まれる(ステップST300)。読み込まれたコードは、通常のコパイラ(またはアセンブラ)によってコンパイル(またはアセンブル)される(ステップST302)。これにより、ディスクアクセスを実行するためのオブジェクトコードが生成される(ステップST304)。

【0077】生成されたディスクアクセスオブジェクトコードが実行されるときには、クロックを落としてもよい特定のデバイス(キャッシュメモリ、FPUなど)がプログラム作成時に分かっている。そこで、このような特定デバイスの動作クロックを落とす(またはクロックを止める)指令をシステムプログラム(オペレーティングシステム)に返すフラグ(ここでは3種類の内容、すなわち「01」、「00」、「11」がフラグの値として割り当てられる)が、コパイラのライブラリから取り出される(ステップST306)。

【0078】取り出されたフラグおよび各種ライブラリは、先に生成されたオブジェクトコードにリンクされる(ステップST310)。こうして、クロック変更フラグ付の実行可能ディスクアクセスプログラム(ロードモジュール)が完成する(ステップST312)。

【0079】図12は、図11の手順により生成されたプログラムを図8のシステムで実行する場合の動作クロック制御を説明するフローチャートである。

【0080】まず、クロック変更フラグ<01、00、11>付のディスクアクセスプログラムがロードされ(ステップST400)、実行される(ステップST402)。このプログラム実行によりディスク装置32Xにアクセスする直前に、このプログラムは、システムコールにより、システムへフラグ値<01、00、11>を送る(ステップST408)。

【0081】システムプログラムは、上記フラグを受け取ると、フラグの内容をデコードする(ステップST410)。ここでは、フラグ「01」がFPU33Xのクロックダウンを指令し、フラグ「00」がキャッシュメモリ31Xのクロック停止を指令し、フラグ「11」がディスク装置32Xの最高速クロックを指令するようになっている。

【0082】上記クロック指令は、システム管理ポート110Xでデコードされ、分周器21X〜23Xに転送される。(この指定転送先は、「分周器」というハードウェアでなく、「デバイスドライバ」というソフトウェアの場合もある。)指令「FPU=01」によりFPU33Xの動作クロック周波数はたとえば32MHzから8MHzにクロックダウンされ、指令「キャッシュ=00」によりキャッシュメモリ31Xの動作クロックが停止され、指令「ディスク=11」によりディスク装置32Xの動作クロック周波数は、この装置32Xが最も速く動作できるような最高速クロックにセットされる(ステップST413)。

【0083】その後、CPU10bは上記フラグ付のオブジェクトの内容を、動作クロックが適宜落とされた（あるいは停止された）各種ユニットに対して、実行させる（ステップST416）。このオブジェクトの実行が済むと（ステップST418イエス）、システムコールをかけたフラグがキャンセルされ、各種ユニット（FPU、キャッシュ）の動作クロックがデフォルト状態（クロック周波数が落とされる前の状態）にリセットされる（ステップST420）。

【0084】上記実施の形態は、次のような作用効果を持つ。

【0085】種々なデバイス（31X~33X）の動作クロックを、その時点で動作中のプログラムによりダイナミックに切換制御できる。この方法では、単にクロック周波数を落とすことで消費電力を低減させるだけでなく、その時点で走っているプログラムにとって必要でない（あるいは高速処理が要求されない）デバイスのみクロック周波数を選択的に好きな割合で適宜低下させることができるから、全体的な動作パフォーマンスを維持しながら、効率よく全体的な消費電力を抑え込むことができる。また、この方法ではソフトウェアによりクロック周波数切換制御を行なうので、異なるクロックで動作する多数のユニットで構成される複雑なシステムへ比較的容易に応用できる。

【0086】

【発明の効果】システムの稼働状況（実行されるプログラムの内容）に応じてシステムを構成する各処理部（31X~33X）への動作クロックをダイナミックに変更して、実行プログラムの処理対象外となる処理部の動作クロックを落としている。換言すれば、ソフトウェアの内容に応じて必要な部分へ必要な時にだけ高速クロックが供給されるようにしている。これにより、システム性能を落とすことなく電源消費電流を押さえることができる。

【図面の簡単な説明】

【図1】この発明の一実施の形態に係る動作クロック制御システムの構成を示すブロック図。

【図2】図1の実施の形態の動作を説明するタイミングチャート図。

【図3】この発明の他の実施の形態に係る動作クロック

制御システムの構成を示すブロック図。

【図4】図3の実施の形態の分周回路の動作を説明する真理値表図。

【図5】図3の実施の形態の動作を説明するタイミングチャート図。

【図6】この発明のさらに他の実施の形態に係る動作クロック制御システムの構成を示すブロック図。

【図7】図6の実施の形態の動作を説明するフローチャート。

【図8】この発明のさらに他の実施の形態に係る動作クロック制御システムの構成を示すブロック図。

【図9】図8のシステムで実行されるアプリケーションプログラムにクロック変更フラグを付加する手順を説明するフローチャート。

【図10】図9の手順により生成されたプログラムを図8のシステムで実行する場合の動作クロック制御を説明するフローチャート。

【図11】図8のシステムで実行されるディスクアクセスプログラムにクロック変更フラグを付加する手順を説明するフローチャート。

【図12】図11の手順により生成されたプログラムを図8のシステムで実行する場合の動作クロック制御を説明するフローチャート。

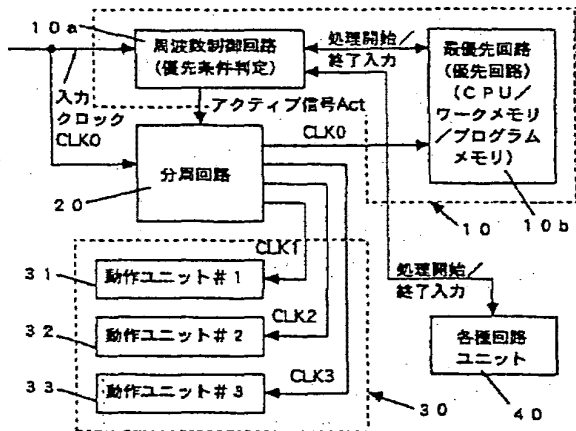
【符号の説明】

10…分周動作決定回路（切換信号回路／実行手段）、10a、101a、102a…周波数制御回路、10b、101b、102b…最優先回路（CPU）、20…分周回路（可変クロック供給回路／クロック変更手段）、30…動作ユニット群、31…動作ユニット#1（ALU）、32…動作ユニット#2（ロード／ストア）、33…動作ユニット#3（FPU）、34…動作ユニット#4、40…各種回路ユニット、21…分周回路#1、22…分周回路#2、23…分周回路#3、G21~G23…アンドゲート、10c…メモリ、10d…I/F（インターフェイス）、PRG…プログラム1~n、110x…システム管理ポート／デコーダ、21X…キャッシュ分周器、22X…ディスク分周器、23X…FPU分周器、31X…キャッシュ、32X…ディスク装置、33X…FPU。

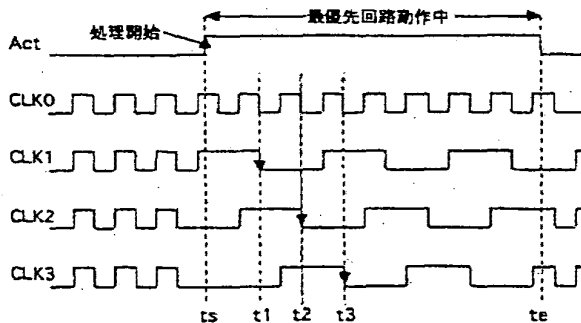
【図4】

Act1/Act2	ck1	ck2	ck3	ck4
0/0	1	1	1	1
0/1	2	2	2	2
1/0	2	2	2	2
1/1	4	4	4	4

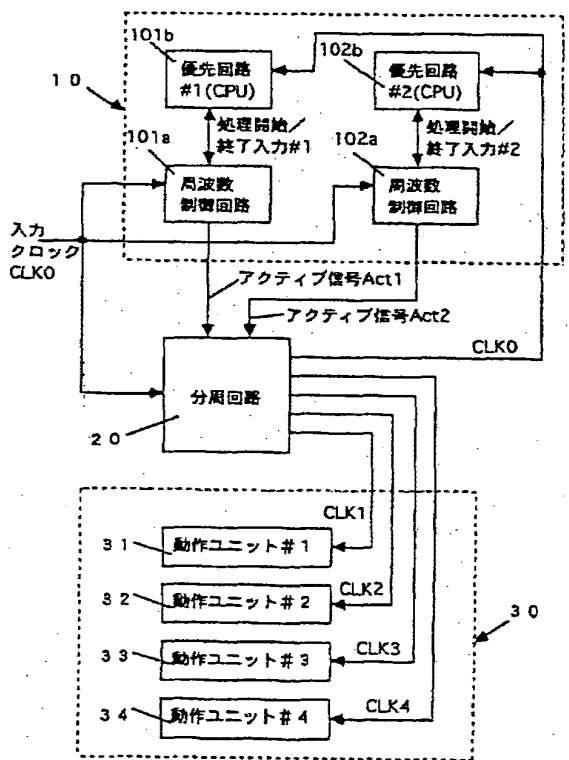
【図1】



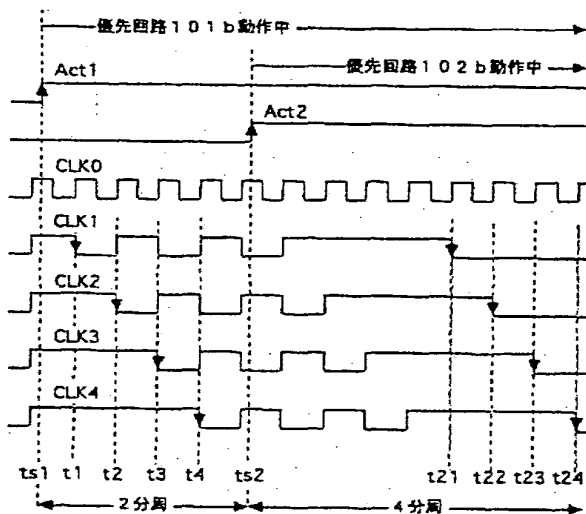
【図2】



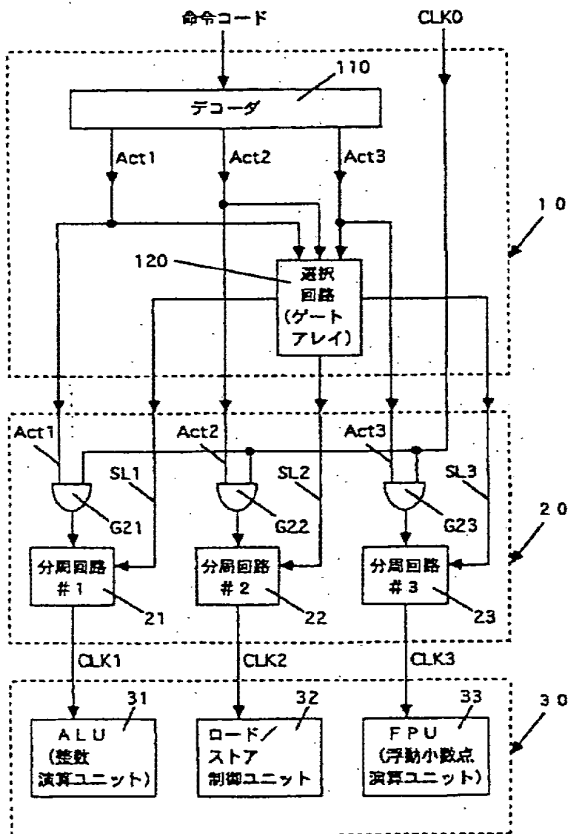
【図3】



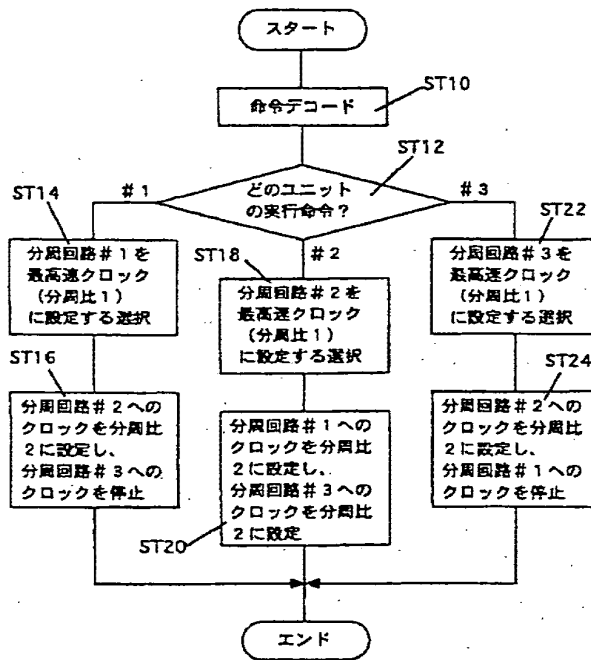
【図5】



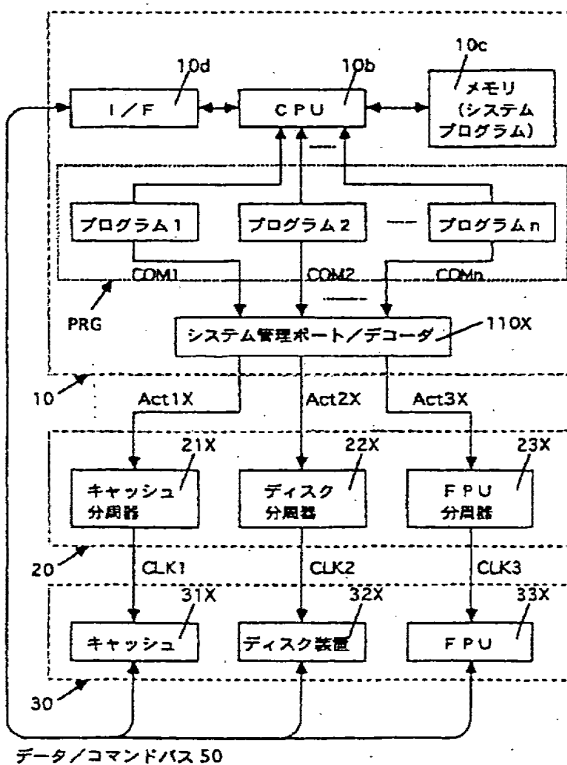
【図6】



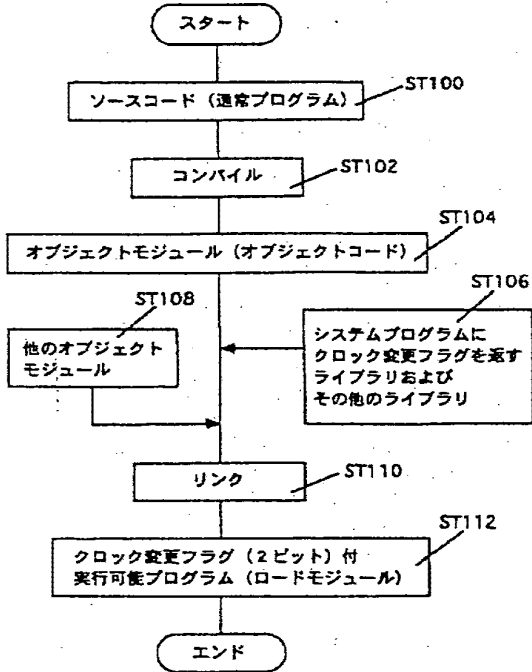
【図7】



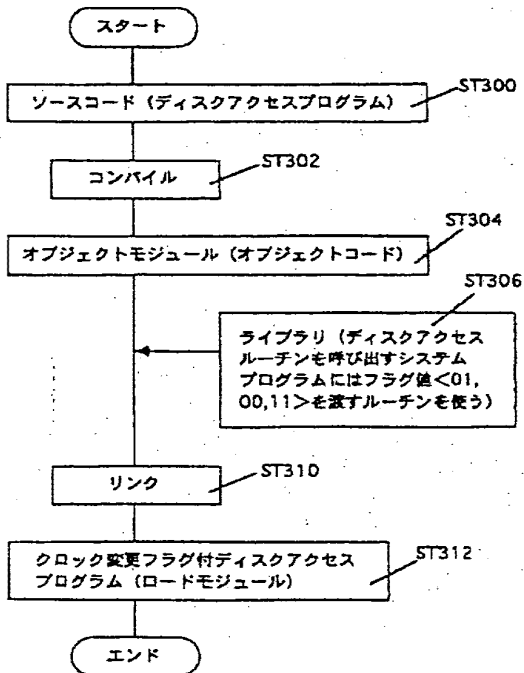
【図8】



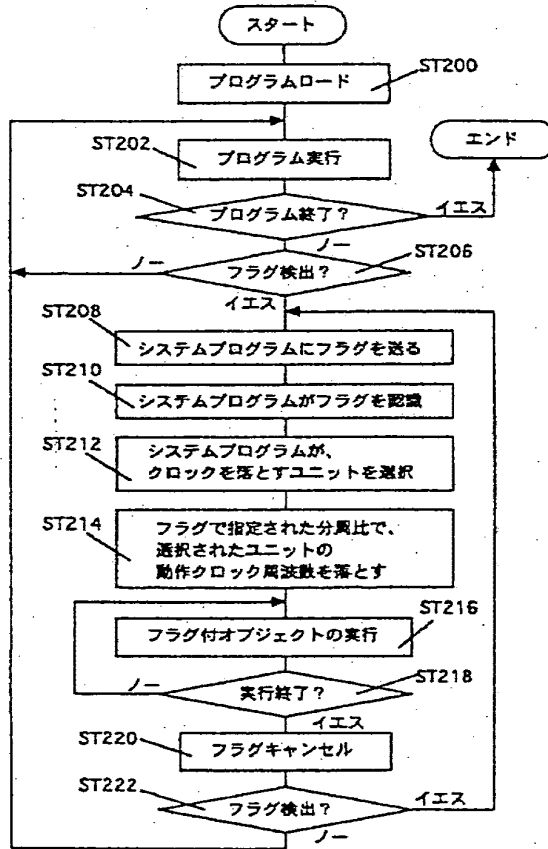
【図9】



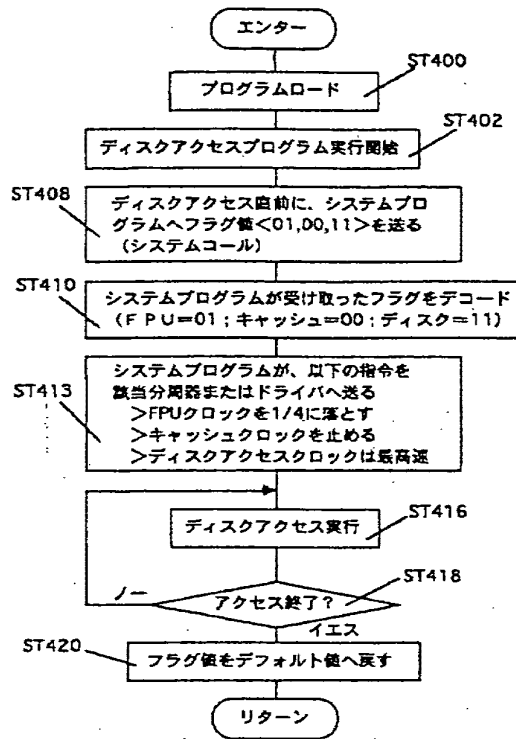
【図11】



【図10】



【図12】



THIS PAGE BLANK (USPTO)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-217049

(43)Date of publication of application : 05.08.1994

(51)Int.Cl.

H04N 1/00

(21)Application number : 05-020479

(71)Applicant : MURATA MACH LTD

(22)Date of filing : 13.01.1993

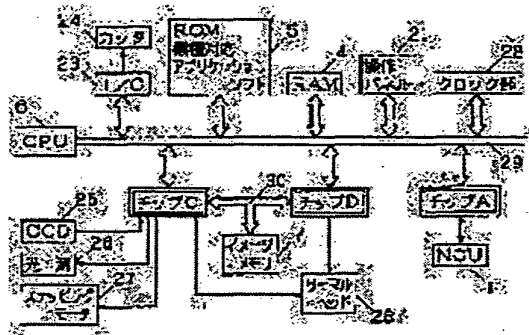
(72)Inventor : HATASHITA MASAHIRO
OKUBO MASAYUKI

(54) FACSIMILE EQUIPMENT

(57)Abstract:

PURPOSE: To provide a facsimile equipment whose kind development can be simplified by devising a chip constitution.

CONSTITUTION: A chip A is the chip of a modem in which modulation and demodulation whose highest speed is 14.4kbps can be attained, and connected through an NCU 1 with a line. A chip C is the chip of a peripheral equipment control part which controls input and output data for reading and printing, and a chip D is the chip of a hard codec part. A program, fixed data, soft codec corresponding to the kind are stored in a ROM 5. Also, the chip of the modem in which the modulation and demodulation whose highest speed is 9.6kbps can be attained is prepared as a chip B. The chip A or the chip B is selected, and the presence or absence of the chip D is selected, so that the kind development corresponding to the highest communication speed or the selection of a printer can be attained.



LEGAL STATUS

[Date of request for examination] 16.06.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3087493

[Date of registration] 14.07.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right] 04.02.2002

THIS PAGE BLANK (USPTO)

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

* NOTICES *

JPO and NCIP1 are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Facsimile apparatus characterized by constituting the modem section, the sign decryption section, and a peripheral-device control section from a chip according to individual, respectively.

[Translation done.]

THIS PAGE BLANK (USPTO)

* NOTICES *

JPO and NCIPJ are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

 DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention is the facsimile apparatus and the thing concerning the chip configuration of facsimile apparatus especially which transmit and receive image data.

[0002]

[Description of the Prior Art] Since facsimile apparatus can carry out a printout, transmitting and receiving reading a manuscript and it can transmit and receive a document and a graphic form real time, it spreads widely and it is coming to use it even for ordinary homes. So, the gestalt of use is various, and while a short form is developed, a high speed, high efficiency, and multi-functionalization are also progressing. Development of facsimile apparatus copes with such various demands, and the model expansion to many models is demanded. When development of hardware and software needed to be carried out for every model and the model increased by diversification of a model, there was a problem that development took time amount in development of a new model.

[0003]

[Problem(s) to be Solved by the Invention] This invention was made in order to solve the trouble mentioned above, and it aims to let model expansion offer easy facsimile apparatus by devising a chip configuration.

[0004]

[Means for Solving the Problem] This invention is characterized by constituting the modem section, the sign decryption section, and a peripheral-device control section from a chip according to individual, respectively in facsimile apparatus.

[0005]

[Function] By having constituted the modem section, the sign decryption section, and a peripheral-device control section from a chip according to individual, respectively, by substituting a chip, model expansion can be performed and, according to this invention, development becomes easy.

[0006]

[Example] Drawing 1 is the outline block diagram of the important section of one example of the facsimile apparatus of this invention. NCU (network control section) and 2 among drawing one A modem (chip A / chip B), In an image memory and 4, RAM and 5 CPU and 7 for ROM and 6 Image memory, [3] 8 hard CODEC and 10 for the hard CODEC section (chip D) and 9 The print data control section, 11 a sensor driver and 13 for a peripheral-device control section (chip C) and 12 The image-processing section, 14 and 15 — for RL-image code translation section and 18, as for a thermal head printing control section and 20, Motor Driver, and SW1-SW5 are [the Rhine memory and 16 / the image-RL code translation section and 17 / the image output section and 19] the signal change-over sections. NCU1 performs connection control with the circuit which is not illustrated.

[0007] It restores to the signal which the modem 2 modulated the facsimile signal, and sent it out to the circuit through NCU1, and was received from the circuit, and consists of one chips, and full speed can be equivalent to the transmission speed (the CCITT advice V.17, V.29) of

THIS PAGE BLANK (USPTO)

14.4kbps(es) and 9.6kbps(es) in this example. This chip will be called Chip A. Moreover, in the model which does not require the transmission speed of 14.4kbps, for example, the chip which made 9.6kbps the highest transmission speed (CCITT advice V.29) is prepared, and this can be substituted. By a diagram, this was illustrated as a chip B. In addition, it has the modem function (CCITT advice V.21) of FSK for any chip to carry out the strange recovery of the binary communication procedure signal (CCITT advice T.30).

[0008] An image memory 3 is RAM memorized in the form which encoded image data, and can be called sign memory. RAM4 is Working RAM and carries out memory of the primary data. ROM5 is accumulating fixed data and a program. CPU6 distinguishes the command from the control unit which does not perform and illustrate the program of ROM5 etc., and controls each part of facsimile apparatus.

[0009] Image memory 7 stores the bit image data which stored the bit image data at the time of encoding by hard CODEC9, and were decrypted by hard CODEC9. Since coding and a decryption are performed updating memory one by one, if there is memory space of about six lines, it is enough. Therefore, you may make it include image memory 7 in the chip of the hard CODEC section 8. However, from the 0th street of image memory 7, the data of all whites are stored and 256 bytes (2048 bits) (i.e., one line) are used as reference Rhine mentioned later. These 256 bytes may be constituted from a ROM, or it is constituted as RAM, and you may make it write in the data of all whites at the time of starting of facsimile apparatus. That is, all the white data for one line are memorized by image memory fixed. As a printer, when using high-speed printers, such as an LED printer and a laser beam printer, page memory can also be used for image memory 7. You may make it constitute page memory as an add in memory of image memory 7.

[0010] The print data control section 10 outputs printing data and a transfer clock corresponding to decryption actuation of hard CODEC9. The hard CODEC section which consists of hard CODEC9 and the print data control section 10 consists of one chips as hardware, for example, a DSP. This chip is expressed as a chip D. Hard CODEC9 is the high speed CODEC in which coding and a decryption of 14.4kbps are possible. In hard CODEC9, RL data from image-RL code translation section [besides the input data from the image output section 18] 16 grade are encoded to MH, MR, and MMR, and MH, MR, and MMR data can be decrypted to RL data.

[0011] The peripheral-device control section 11 performs processing of the printing data for the reading data from a sensor and a printer, and motor control, and consists of one chips as ASIC. This chip is carried out to expressing as a chip C. The sensor driver 12 receives delivery and a picture signal for a driving signal in the CCD sensor which is not illustrated. The image-processing section 13 performs suitable image processings, such as binary-ized processing, dither halftone processing, or halftone processing according the image data from a sensor driver to an error diffusion method. The data of one line by which the image processing was carried out reverse the signal change-over sections SW1 and SW2, are written in the Rhine memory 14 and 15 by turns, are read by turns, and can obtain the image data in every line. Image data is chosen in the signal change-over section SW3, is the image-RL code translation section 16, is changed into RL sign, and can be accumulated in an image memory 3. Moreover, the image data accumulated in the image memory 3 is read, it changes into an image data by the image-RL transducer 16, and is added to the thermal head printing control section 19 through the signal change-over section SW4, and while outputting to the thermal printer which does not illustrate a printing pulse signal, printing data and a transfer clock are outputted and a printout is carried out to SW5 with the thermal printer which is not illustrated. Motor Driver 20 controls the motor which performs the drive of the manuscript in the case of transmission, and the drive of the recording paper.

[0012] The output of the Rhine memory 14 and 15 can also be applied to the direct thermal head printing control section 19 by selection of the signal change-over section SW3, without carrying out RL code translation. Introducing into image memory 7 the output of the Rhine memory 14 and 15 introduced into the image output section 18, it encodes by hard CODEC9, and it can accumulate in an image memory 3, or can send out to a circuit through NCU1 from a modem 2. When accumulating in an image memory 3, it can encode and accumulate in MMR. When encoding to MMR data, the 1st Rhine supposes all white Rhine and is encoded by MR data. In this case, as

THIS PAGE BLANK (USPTO)

all white Rhine, all the white data stored in the field for 256 bytes are encoded as reference Rhine from the 0th street of image memory 7.

[0013] When the highest transmission speed is 9.6 or less kbpses, the program stored in ROM5 can perform coding and a decryption. This is called Software CODEC. With Software CODEC, RL data are encoded to MH, MR, and MMR data, and MH, MR, and MMR data can be decrypted to RL data. RAM4 is used as image memory used for Software CODEC. At the time of starting of Software CODEC, the data of all the whites for one line are written in the predetermined address of RAM4, and it is similarly used as reference Rhine.

[0014] Dual processing becomes easy by having prepared two CODEC. If hard CODEC is using it by one processing, another processing can use Software CODEC. For example, dual processing is possible as a transmitting manuscript is read during reception by 14.4kbps and the image data accumulated in the image memory 3 by MMR is accumulated in the image memory 3 by MMR using Software CODEC using hard CODEC. High-speed processing can take charge of hard CODEC by having formed hard CODEC and Software CODEC. Moreover, during use of hard CODEC, dual processing can be coped with with Software CODEC, and the cost rise of equipment can be suppressed as compared with the case where it has two hard CODEC. If it is made to declare by DIS by making 9.6kbps into communication link full speed when a message is received in printing processing or are recording processing while using hard CODEC, it is receivable using Software CODEC.

[0015] Drawing 2 is the block diagram of the facsimile apparatus of the 1st expansion model constituted on the basis of the facsimile apparatus of an example explained by drawing 1. the inside of drawing, and 1 — NCU (network control section) and 4 — RAM and 5 — ROM and 6 — CPU and 21 — a control panel and 22 — the clock section and 23 — I/O and 24 — for the light source and 27, as for a thermal head and 29, a stepping motor and 28 are [a cutter and 25 / a CCD sensor and 26 / a data bus and 30] image data buses. Full speed is the chip of the modem in which the modulation and recovery of 14.4kbps(es) are possible, and Chip A is connected to a circuit through NCU1. Chip C is a chip of the peripheral-device control section which controls the I / O data for reading and printing, and a signal is delivered and received by RL data in a data bus 29. Chip D is a chip of the hard CODEC section. The image data bus 30 is formed between Chip C and Chip D, and an image signal is transmitted to it.

[0016] The program and fixed data corresponding to this model are stored in ROM5, and it is prepared for it as a facsimile software library. It has Software CODEC. A control panel 21 gives the input signal from the outside to facsimile apparatus, and the clock section 22 counts a clock pulse and it outputs the data of time of day or time. A cutter 24 cuts the recording paper by the cutting command given through I/O23. The CCD sensor 25 is for reading the manuscript data illuminated by the light source 26, and a stepping motor 27 drives a manuscript and the recording paper. The thermal head 28 is constituted as an array of a heater element, and performs thermal recording according to printing data.

[0017] Therefore, the highest transmission speed is 14.4kbps(es) and this model is a model using a thermographic recording paper. Moreover, the expansion to the model which performs record by the hot printing method using a donor film is also easy. In this case, in order to use a cut sheet, I/O23 and a cutter 24 become unnecessary.

[0018] Drawing 3 is the block diagram of the facsimile apparatus of the 2nd expansion model constituted on the basis of the facsimile apparatus of an example explained by drawing 1. Among drawing, the same sign is given to the same part as drawing 2, and explanation is omitted. 31 is an LED printer and 32 is page memory. The highest transmission speed is 14.4kbps (es) like the 1st expansion model. As LED printer 32, a laser beam printer and other high speed printers can be used.

[0019] Drawing 4 is the block diagram of the facsimile apparatus of the 3rd expansion model constituted on the basis of the facsimile apparatus of an example explained by drawing 1. Among drawing, the same sign is given to the same part as drawing 2, and explanation is omitted. From this model, 9.6kbps is made into communication link full speed, and a thermographic recording paper is used. Since it is not necessary to use hard CODEC, Chip D is not carried in a modulation and a recovery. Printing control to a thermal head is performed by

THIS PAGE BLANK (USPTO)

Chip C.

[0020] Drawing 5 is the explanatory view which illustrated notionally the software part of model expansion explained by drawing 2 thru/or drawing 4 . For 33, as for I/O-hardware-control software and 35, the application software corresponding to a model and 34 are [a drive circuit and 36] modems among drawing. Corresponding to the model expansion explained by drawing 2 thru/or drawing 4 , the application software 33 corresponding to a model is applied also for the part of software. This application software 33 corresponding to a model controls the hardware mentioned above through the I/O-hardware-control software 34. As I/O-hardware-control software 34, the software for performing the communication link with copy control, are recording of the data to memory, a printer, and other CPUs etc. is prepared as a software library, and the drive circuit 35 which needs each software is controlled, or the drive circuit 35 is ordered, and each function is realized. The drive circuit 35 is the hardware explained by drawing 1 thru/or drawing 4 , for example, contains hard CODEC9, the print data control section 10, the thermal head printing control section 19, an image memory 3 and various kinds of switches, etc. Moreover, the application software 33 corresponding to a model also has a function as software CODEC while controlling a modem 36 directly.

[0021] The application software 33 and the I/O-hardware-control software 34 corresponding to a model are supplied as ROM5. Such software can make a function select and carry according to a model. At this time, the application software 33 and the I/O-hardware-control software 34 corresponding to a model are constituted as a separate ROM, and as common, the I/O-hardware-control software 34 can be carried in all models, and can constitute only the application software 33 corresponding to a model exchangeable for every model. Of course, the I/O-hardware-control software 34 may also be constituted exchangeable, and both software may be contained to one ROM. Moreover, it divides into the software part for every above-mentioned function, and the device driver part which controls the drive circuit 35 directly, and the I/O-hardware-control software 34 can also be constituted. These software configurations can be suitably constituted by well-known technique.

[0022]

[Effect of the Invention] According to this invention, it is effective in the ability to perform model expansion by substituting a chip by having constituted the modem section, the sign decryption section, and a peripheral-device control section from a chip according to individual, respectively so that clearly from the above explanation.

[Translation done.]

THIS PAGE BLANK (USPTO)

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-217049

(43)公開日 平成6年(1994)8月5日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 1/00	D	7046-5C		

審査請求 未請求 請求項の数1 FD (全7頁)

(21)出願番号 特願平5-20479

(22)出願日 平成5年(1993)1月13日

(71)出願人 000006297

村田機械株式会社

京都府京都市南区吉祥院南落合町3番地

(72)発明者 畑下 真広

京都府京都市伏見区竹田向代町136番地

村田機械株式会社本社工場内

(72)発明者 大久保 誠之

京都府京都市伏見区竹田向代町136番地

村田機械株式会社本社工場内

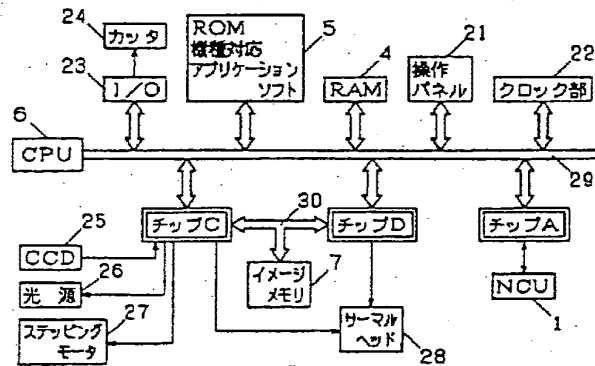
(74)代理人 弁理士 石井 康夫 (外1名)

(54)【発明の名称】 ファクシミリ装置

(57)【要約】

【目的】 チップ構成を工夫することによって、機種展開が容易なファクシミリ装置を提供する。

【構成】 チップAは、最高速度が14.4kbpsの変調・復調が可能なモデムのチップであり、NCUを介して、回線に接続される。チップCは、読取および印字のための入出力データの制御を行なう周辺機器制御部のチップであり、チップDは、ハードCODEC部のチップである。ROM5には、この機種に対応するプログラムや固定データやソフトCODECが格納されている。また、最高速度が9.6kbpsの変調・復調が可能なモデムのチップがチップBとして用意される。チップAまたはチップBの選択を行ない、また、チップDの有無を選択することにより、最高通信速度やプリンタの選択に対応した機種展開ができる。



【特許請求の範囲】

【請求項1】 モデム部、符号復号化部、周辺機器制御部をそれぞれ個別のチップで構成したことを特徴とするファクシミリ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、画像データを送受信するファクシミリ装置、特に、ファクシミリ装置のチップ構成に関するものである。

【0002】

【従来の技術】 ファクシミリ装置は、原稿を読み取りながら送信し、また、受信しながら印字出力できるので、文書、図形を即時的に送受信できるので、広く普及し、一般家庭にまで利用されるようになりつつある。それだけに利用の形態はさまざまであり、簡易型が開発される一方、高速、高性能、多機能化も進んでいる。ファクシミリ装置の開発は、このような多様な要求に対処して、多機種への機種展開が要求されている。新規機種の開発には、機種が多様化によって、機種ごとにハードウェア、ソフトウェアの開発をする必要があり、機種が多くなると、開発に時間がかかるという問題があった。

【0003】

【発明が解決しようとする課題】 本発明は、上述した問題点を解決するためになされたもので、チップ構成を工夫することによって、機種展開が容易なファクシミリ装置を提供することを目的とするものである。

【0004】

【課題を解決するための手段】 本発明は、ファクシミリ装置において、モデム部、符号復号化部、周辺機器制御部をそれぞれ個別のチップで構成したことを特徴とするものである。

【0005】

【作用】 本発明によれば、モデム部、符号復号化部、周辺機器制御部をそれぞれ個別のチップで構成したことによって、チップを差し替えることにより機種展開を行なうことができ、開発が容易となる。

【0006】

【実施例】 図1は、本発明のファクシミリ装置の一実施例の要部の概略構成図である。図中、1はNCU（網制御部）、2はモデム（チップA/チップB）、3は画像メモリ、4はRAM、5はROM、6はCPU、7はイメージメモリ、8はハードCODEC部（チップD）、9はハードCODEC、10はプリントデータ制御部、11は周辺機器制御部（チップC）、12はセンサドライバ、13は画像処理部、14、15はラインメモリ、16はイメージRL符号変換部、17はRL-イメージ符号変換部、18はイメージ出力部、19はサーマルヘッド印字制御部、20はモータドライバ、SW1~SW5は信号切換部である。NCU1は、図示しない回線との接続制御を行なう。

【0007】 モデム2は、ファクシミリ信号を変調してNCU1を介して回線に送出し、また、回線から受信した信号を復調するものであり、ワンチップで構成され、この実施例では、最高速度が14.4kbpsおよび9.6kbpsの通信速度（CCITT勧告V.17、V.29）に対応できる。このチップをチップAと呼ぶことにする。また、14.4kbpsの通信速度を要求しない機種においては、例えば、9.6kbpsを最高通信速度（CCITT勧告V.29）としたチップを用意してこれを差し替えるようにできる。図では、これをチップBとして図示した。なお、いずれのチップでも、バイナリの通信手順信号（CCITT勧告T.30）を変復調するためのFSKのモデム機能（CCITT勧告V.21）を有している。

【0008】 画像メモリ3は、画像データを符号化した形で記憶するRAMであり、符号メモリとすることができる。RAM4は、ワーキングRAMであり、一次的なデータをメモリする。ROM5は、固定データやプログラムを蓄積している。CPU6は、ROM5のプログラムを実行し、また、図示しない操作部からの指令等を判別してファクシミリ装置各部の制御を行なう。

【0009】 イメージメモリ7は、ハードCODEC9により符号化される際のビットイメージデータを蓄積し、また、ハードCODEC9で復号化したビットイメージデータを蓄積する。メモリ容量は、順次メモリを更新しながら符号化・復号化が行なわれるので、6ライン程度あれば十分である。したがって、イメージメモリ7は、ハードCODEC部8のチップに組み込むようにしてもよい。しかし、イメージメモリ7の例えば、0番地から256バイト（2048ビット分）、すなわち、1ライン分は、全白のデータが蓄積されて、後述する参照ラインとして利用される。この256バイト分はROMで構成してもよく、あるいは、RAMとして構成し、ファクシミリ装置の起動時に全白のデータを書き込むようにしてもよい。つまり、1ライン分の全白データが、イメージメモリに固定的に記憶されているのである。プリンタとして、LEDプリンタやレーザプリンタ等、高速のプリンタを用いる場合には、イメージメモリ7には、ページメモリを用いることもできる。ページメモリは、イメージメモリ7の増設メモリとして構成するようにしてもよい。

【0010】 プリントデータ制御部10は、ハードCODEC9の復号化動作に対応して、印字データと転送クロックを出力する。ハードCODEC9とプリントデータ制御部10よりなるハードCODEC部は、ハードウェア、例えば、DSPとして、ワンチップで構成されている。このチップをチップDとして表す。ハードCODEC9は、14.4kbpsの符号化・復号化が可能な高速CODECである。ハードCODEC9では、イメージ出力部18からの入力データのほか、イメージR

L符号変換部16等からのRLデータをMH, MR, MMRに符号化し、また、MH, MR, MMRデータをRLデータに復号化できる。

【0011】周辺機器制御部11は、センサからの読み取りデータおよびプリンタのための印字データの処理やモータ制御を行なうもので、ASICとしてワンチップで構成されている。このチップをチップCとして表すことにする。センサドライバ12は、図示しないCCDセンサに駆動信号を送り、画信号を受け取る。画像処理部13は、センサドライバからの画像データを、2値化処理、あるいは、ディザ中間調処理、あるいは、誤差拡散法による中間調処理など、適当な画像処理を行なう。画像処理された1ラインのデータは、信号切換部SW1とSW2を反転させて、ラインメモリ14と15とに交互に書き込まれ、交互に読み出されて、1ラインごとの画像データを得ることができる。画像データは、信号切換部SW3で選択されて、イメージRL符号変換部16で、RL符号に変換され、画像メモリ3に蓄積できる。また、画像メモリ3に蓄積した画像データを読み出して、イメージRL変換部16でイメージデータに変換して信号切換部SW4を介して、サーマルヘッド印字制御部19に加えられ、印字パルス信号を図示しないサーマルプリンタに出力するとともに、SW5に印字データと転送クロックを出力して、図示しないサーマルプリンタで印字出力される。モータドライバ20は、送信の際の原稿の駆動や、記録紙の駆動を行なうモータの制御を行なう。

【0012】信号切換部SW3の選択により、RL符号変換をすることなく、ラインメモリ14, 15の出力を、直接サーマルヘッド印字制御部19に加えることもできる。イメージ出力部18に導入されたラインメモリ14, 15の出力をイメージメモリ7に導入しながら、ハードCODEC9で符号化し、画像メモリ3に蓄積したり、モデム2からNCU1を介して回線に送出することができる。画像メモリ3に蓄積する場合には、MMRに符号化して蓄積することができる。MMRデータに符号化する場合には、第1番目のラインは、全白ラインを仮想してMRデータに符号化される。この場合、全白ラインとしては、イメージメモリ7の0番地から256バイト分の領域に格納された全白データを参照ラインとして符号化される。

【0013】最高通信速度が9.6kbps以下である場合には、ROM5に格納されたプログラムによって、符号化・復号化を行なうことができる。これをソフトCODECと呼ぶ。ソフトCODECで、RLデータをMH, MR, MMRデータに符号化し、また、MH, MR, MMRデータをRLデータに復号化できる。ソフトCODECに用いるイメージメモリとしては、RAM4が用いられる。ソフトCODECの起動時には、RAM4の所定のアドレスに、1ライン分の全白のデータが書

き込まれ、同様に参照ラインとして利用される。

【0014】CODECを2つ設けたことによりデュアル処理が容易となる。1つの処理でハードCODECが使用中であれば、もう1つの処理は、ソフトCODECを用いることができる。例えば、画像メモリ3にMMRで蓄積された画像データをハードCODECを用いて、14.4kbpsで受信中に、送信原稿を読み込み、ソフトCODECを用いて、MMRで画像メモリ3に蓄積するというように、デュアル処理が可能である。ハードCODECとソフトCODECを設けたことにより、高速の処理はハードCODECが担当できる。また、ハードCODECの使用中は、ソフトCODECでデュアル処理に対処でき、ハードCODECを2つ備える場合に比較して、装置のコストアップを抑えることができる。印字処理や蓄積処理でハードCODECの使用中に着信した場合には、9.6kbpsを通信最高速度としてDISで宣言するようにすれば、ソフトCODECを用いて受信できる。

【0015】図2は、図1で説明した実施例のファクシミリ装置を基本として構成した第1の展開機種種のファクシミリ装置のブロック図である。図中、1はNCU(網制御部)、4はRAM、5はROM、6はCPU、21は操作パネル、22はクロック部、23はI/O、24はカッタ、25はCCDセンサ、26は光源、27はステッピングモータ、28はサーマルヘッド、29はデータバス、30はイメージデータバスである。チップAは、最高速度が14.4kbpsの変調・復調が可能なモデムのチップであり、NCU1を介して、回線に接続される。チップCは、読取および印字のための入出力データの制御を行なう周辺機器制御部のチップであり、データバス29とは、RLデータで信号の授受を行なう。チップDは、ハードCODEC部のチップである。チップCとチップDとの間には、イメージデータバス30が設けられ、イメージ信号を伝送する。

【0016】ROM5には、この機種に対応するプログラムや固定データが格納されており、ファクシミリソフトウェアライブラリとして用意されたものである。ソフトCODECも有している。操作パネル21は、ファクシミリ装置に対して外部からの入力信号を与えるものであり、クロック部22は、クロックパルスのカウントを行なって、時刻または日時のデータを出力するものである。カッタ24は、I/O23を介して与えられる切断指令により、記録紙の切断を行なう。CCDセンサ25は、光源26により照明された原稿データを読み取るためのものであり、ステッピングモータ27は、原稿や記録紙を駆動するものである。サーマルヘッド28は、発熱素子のアレイとして構成されており、印字データに従って、感熱記録を行なうものである。

【0017】したがって、この機種は、最高通信速度が14.4kbpsであり、感熱記録紙を用いた機種であ

る。また、ドナーフィルムを用いた熱転写方式による記録を行なう機種への展開も容易である。この場合には、カット紙を用いるため、I/O23とカット24は不要となる。

【0018】図3は、図1で説明した実施例のファクシミリ装置を基本として構成した第2の展開機種のファクシミリ装置のブロック図である。図中、図2と同様な部分には同じ符号を付して説明を省略する。31はLEDプリンタ、32はページメモリである。第1の展開機種と同様に、最高通信速度は14.4kbpsである。LEDプリンタ32としては、レーザプリンタや他の高速プリンタを用いることができる。

【0019】図4は、図1で説明した実施例のファクシミリ装置を基本として構成した第3の展開機種のファクシミリ装置のブロック図である。図中、図2と同様な部分には同じ符号を付して説明を省略する。この機種では、9.6kbpsを通信最高速度とし、感熱記録紙を用いたものである。変調・復調には、ハードCODECを用いる必要はないので、チップDは搭載しない。サーマルヘッドへの印字制御は、チップCにより行なわれる。

【0020】図5は、図2乃至図4で説明した機種展開のソフトウェア部分を概念的に図示した説明図である。図中、33は機種対応アプリケーションソフトウェア、34はI/O制御ソフトウェア、35は駆動回路、36はモデムである。図2乃至図4で説明した機種展開に対応して、ソフトウェアの部分も、機種対応アプリケーションソフトウェア33が適用される。この機種対応アプリケーションソフトウェア33は、I/O制御ソフトウェア34を介して上述したハードウェアを制御する。I/O制御ソフトウェア34としては、コピー制御、メモリへのデータの蓄積、プリンタ、他のCPUとの通信等を行なうためのソフトウェアがソフトウェアライブラリとして用意されており、それぞれのソフトウェアが必要な駆動回路35を制御し、または、駆動回路35に指令し、それぞれの機能を実現する。駆動回路35は、図1乃至図4で説明したハードウェアであり、例えば、ハードCODEC9や、プリントデータ制御部10、サーマルヘッド印字制御部19、画像メモリ3、各種のスイッチ類等を含む。また、機種対応アプリケーションソフトウェア33は、モデム36を直接制御するとともに、ソフトCODECとしての機能も有する。

【0021】機種対応アプリケーションソフトウェア3

3およびI/O制御ソフトウェア34は、ROM5として供給される。これらのソフトウェアは、機種に応じて、機能を取捨選択して搭載させることができる。このとき、機種対応アプリケーションソフトウェア33およびI/O制御ソフトウェア34を別々のROMとして構成し、I/O制御ソフトウェア34は共通として、全ての機種に搭載し、機種対応アプリケーションソフトウェア33のみを機種毎に交換可能に構成することができる。もちろん、I/O制御ソフトウェア34も交換可能に構成してもよいし、両方のソフトウェアを1つのROMに収納してもよい。また、I/O制御ソフトウェア34は、上述の各機能毎のソフトウェア部分と、駆動回路35を直接制御するデバイスドライバ部分とに分けて構成することも可能である。これらのソフトウェア構成は、周知の技法により適宜構成することができる。

【0022】

【発明の効果】以上の説明から明らかなように、本発明によれば、モデム部、符号復号化部、周辺機器制御部をそれぞれ個別のチップで構成したことによって、チップを差し替えることにより機種展開を行なうことができるという効果がある。

【図面の簡単な説明】

【図1】本発明のファクシミリ装置の一実施例の要部のブロック図である。

【図2】第1の展開機種のファクシミリ装置のブロック図である。

【図3】第2の展開機種のファクシミリ装置のブロック図である。

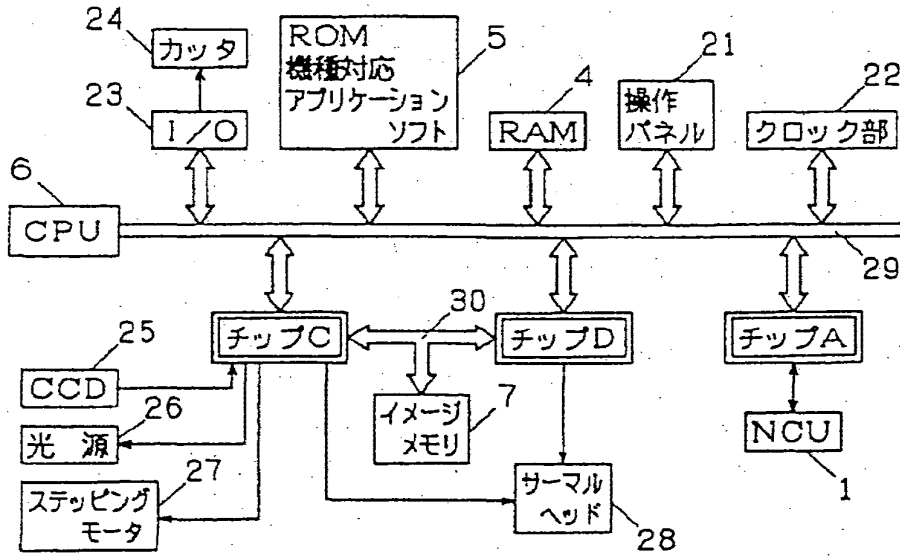
【図4】第3の展開機種のファクシミリ装置のブロック図である。

【図5】機種展開のソフトウェア部分を概念的に図示した説明図である。

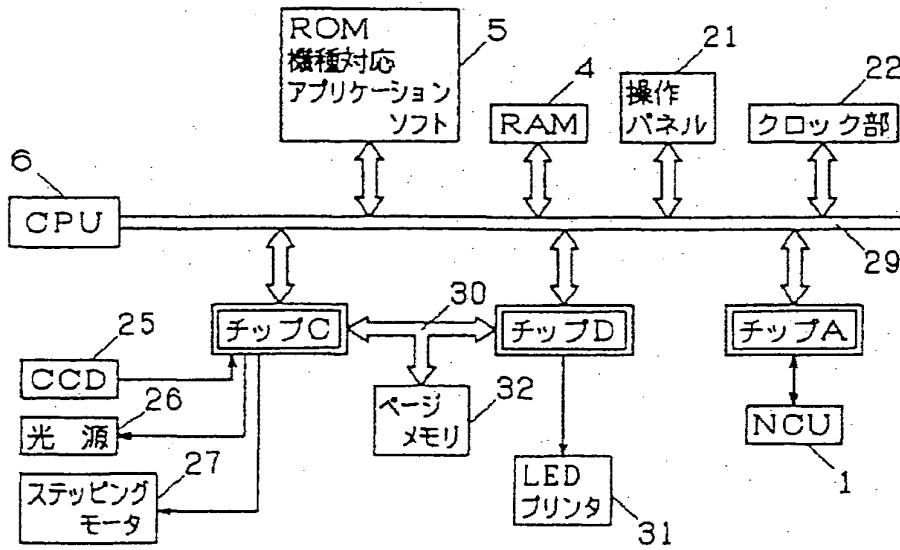
【符号の説明】

- 1 NCU (網制御部)
- 2 モデム (チップA/チップB)
- 6 CPU
- 7 イメージメモリ
- 8 ハードCODEC部 (チップD)
- 11 周辺機器制御部 (チップC)
- 33 機種対応アプリケーションソフトウェア
- 34 I/O制御ソフトウェア
- 35 駆動回路
- 36 モデム

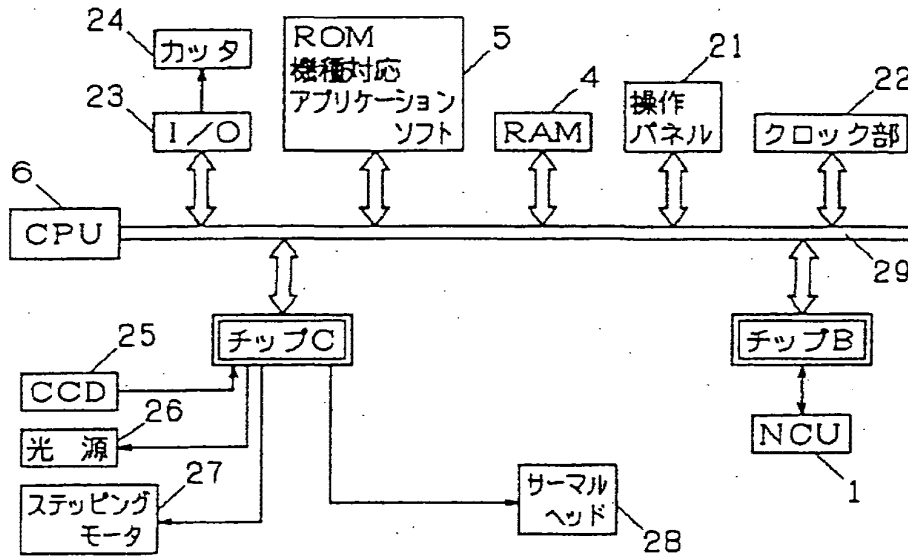
【図2】



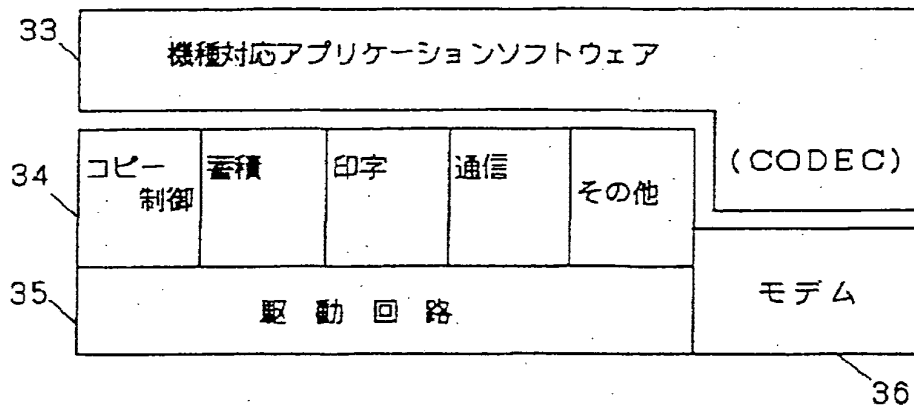
【図3】



【図4】



【図5】



THIS PAGE BLANK (USPTO)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-091976

(43)Date of publication of application : 31.03.2000

(51)Int.Cl.

H04B 7/26

(21)Application number : 10-262609

(71)Applicant : SUMITOMO ELECTRIC IND LTD

(22)Date of filing : 17.09.1998

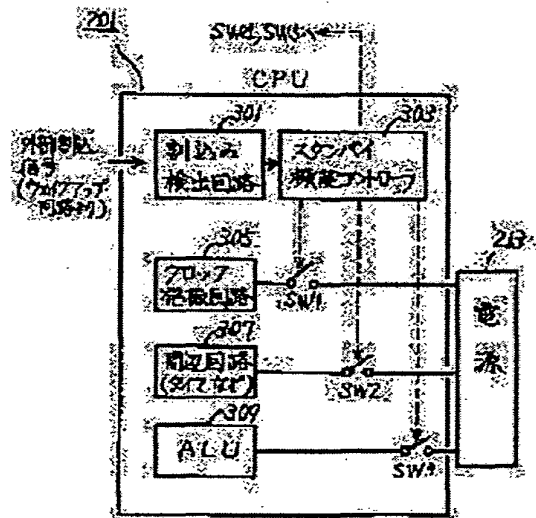
(72)Inventor : SHIRONAGA HIDEAKI
YANO SHUICHI
SASAMOTO TORU

(54) PORTABLE TERMINAL

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a portable terminal whose battery service life can be extended.

SOLUTION: A standby function controller 303 controls a power source for a block oscillation circuit 305, a peripheral circuit 307 and an ALU 309 included in the portable terminal TAG. The standby function controller 303 controls the power source for the circuits 305, 307, 309 so as to select a mode where all the power sources are energized, a mode where all the power sources are de-energized or a mode where the power source of the clock oscillation circuit 305 is energized and the power sources of the other circuits are de-energized. Energizing only the clock oscillation circuit 305 and de-energizing the other circuits reduce the entire power consumption. Furthermore, a standby time up to stable oscillation required when the clock oscillation circuit is activated from an inactive state is eliminated.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

THIS PAGE BLANK (USPTO)

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Personal digital assistant equipment which is personal digital assistant equipment which answers receiving an electric wave from the exterior and transmits an electric wave, and is characterized by switching the mode in which equipment is operated by power saving, and the other mode, according to predetermined conditions.

[Claim 2] Personal digital assistant equipment according to claim 1 characterized by switching equipment to the mode in which it is made to operate by power saving when predetermined time amount passes.

[Claim 3] Personal digital assistant equipment according to claim 1 characterized by switching equipment to the mode in which it is made to operate by power saving when the instruction from the outside is received.

[Claim 4] Personal digital assistant equipment according to claim 3 characterized by carrying out fixed time amount maintenance of the mode in which equipment is operated by power saving irrespective of the instruction from the outside.

[Claim 5] The modification circuit which changes the operating state of equipment by receiving the electric wave from the outside, The oscillator circuit which generates the clock signal for actuation of equipment, and the processing circuit which performs processing for actuation of equipment, The 1st mode which turns OFF said oscillator circuit and said processing circuit, turning ON said modification circuit, Personal digital assistant equipment equipped with the means for switching which switches the 2nd mode which turns OFF said processing circuit, and the 3rd mode which turns all of said modification circuit, said oscillator circuit, and said processing circuit ON, turning ON said modification circuit and said oscillator circuit.

[Translation done.]

THIS PAGE BLANK (USPTO)

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] About personal digital assistant equipment, especially this invention relates to the personal digital assistant equipment which can control supply of the power source to each part of that circuit, in order to prolong the life of a cell.

[0002]

[Description of the Prior Art] It is conventionally carried in a car etc. and the personal digital assistant equipment (it is also called TAG) which transmits automatically the ID number given beforehand is known to the demand by the electric wave from a machine on the street.

[0003]

[Problem(s) to be Solved by the Invention] However, there was a fault that the cell will be exhausted immediately, in conventional personal digital assistant equipment. Then, this invention aims at offering the personal digital assistant equipment which can prolong the life of a cell.

[0004]

[Means for Solving the Problem] If an aspect of affairs with this invention is followed in order to attain the above-mentioned purpose, the personal digital assistant equipment which answers receiving an electric wave from the exterior and transmits an electric wave will be characterized by switching the mode in which equipment is operated by power saving, and the other mode, according to predetermined conditions.

[0005] Preferably, personal digital assistant equipment is characterized by switching equipment to the mode in which it is made to operate by power saving, when predetermined time amount passes.

[0006] Preferably, personal digital assistant equipment is characterized by switching equipment to the mode in which it is made to operate by power saving, when the instruction from the outside is received.

[0007] Personal digital assistant equipment is characterized by carrying out fixed time amount maintenance of the mode in which equipment is operated by power saving irrespective of the instruction from the outside still more preferably.

[0008] Since the mode in which equipment is operated by power saving, and the other mode will switch according to predetermined conditions if these invention is followed, it becomes possible to offer the personal digital assistant equipment which can prolong the life of a cell.

[0009] If other aspects of affairs of this invention are followed in order to attain the above-mentioned purpose, the personal digital assistant equipment which has a power control function The modification circuit which changes the operating state of equipment by receiving the electric wave from the outside, The oscillator circuit which generates the clock signal for actuation of equipment, and the processing circuit which performs processing for actuation of equipment, The 1st mode which turns OFF an oscillator circuit and a processing circuit, turning ON a modification circuit, It has the means for switching which switches the 2nd mode which turns OFF a processing circuit, turning ON a modification circuit and an oscillator circuit, and the 3rd mode which turns all of a modification circuit, an oscillator circuit, and a processing circuit ON.

[0010] Since the power source of each circuit of equipment will be controlled by the 1st, 2nd,

THIS PAGE BLANK (USPTO)

and 3rd modes if this invention is followed, it becomes possible to offer the personal digital assistant equipment which can prolong the life of a cell.

[0011]

[Embodiment of the Invention] Drawing 1 is the block diagram showing the configuration of the communication system using TAG in one of the gestalten of operation of this invention. In this communication system, TAG is carried in a car, and a machine on the street reads ID in TAG, and shows it to the destination of a car based on that ID.

[0012] The machine 101 on the street with which communication system controls the whole system with reference to drawing, The vehicle detector 103 which senses that the car approached using sensor head 103a, The antenna 105 which receives TAG200 to delivery and ID for ID claim signal to TAG200 carried in the car, It consists of the annunciator machine 107 to which it shows a car according to ID, the management PC 109 and the uninterruptible power source 115 which perform management of a system, a printer 111, and a TAG reader 113 which reads the data of TAG200a for rewriting of ID of TAG200a etc.

[0013] Drawing 2 is the block diagram showing the configuration of TAG. CPU201 by which TAG200 controls the whole equipment with reference to drawing, The antenna pattern 203 which receives the electric wave from the outside, and the detection diode 205, The Wake rise circuit 207 which changes the operating state of equipment according to the received electric wave, It consists of the demodulator circuit 209 which restores to the received electric wave, a modulation circuit 211 used in the case of transmission of ID, EEPROM215 which memorizes ID etc., and a power source 213 which consists of a cell etc.

[0014] To the Wake rise circuit 207, a power source is always supplied. The supply of a power source to a demodulator circuit 209 and a modulation circuit 211 is controlled by switches SW4 and SW5. Switches SW4 and SW5 are switched on / turned off by the signal from CPU201. When a modulation and a recovery are unnecessary, the life of a cell can be prolonged by making switches SW4 and SW5 off.

[0015] Drawing 3 is the block diagram showing the internal configuration of CPU201. The interrupt detector 301 where CPU201 detects the external-interruption signal from the Wake rise circuit 207 with reference to drawing, The standby function controller 303 which controls the power source in CPU201 based on an external-interruption signal etc., The clock oscillator circuit 305 which generates the clock signal for actuation of equipment, It consists of circumference circuits 307, such as a timer, ALU309 which performs computation, and switches SW1-SW3 which control supply of the power source to the clock oscillator circuit 305, the circumference circuit 307, and ALU309.

[0016] Drawing 4 is drawing for explaining the condition of the mode set as CPU of TAG, and switches SW1-SW3. CPU of TAG has the three modes (RUN mode, HALT mode, and STOP mode).

[0017] RUN mode is the mode which supplies a power source to all the circuits of CPU. HALT mode operates only the clock oscillator circuit 305, and is the mode which turns OFF the circumference circuit 307 and ALU309. It is because time amount will be taken by the stability of an oscillation even if it next turns ON once it turns OFF the clock oscillator circuit 305 to operate only the clock oscillator circuit 305 in HALT mode. Therefore, quick starting of TAG can be performed, saving power in HALT mode.

[0018] STOP mode is the mode which makes off all the clock oscillator circuits 305, the circumference circuits 307, and ALUs309.

[0019] It is controlled in RUN mode so that all the switches SW1-SW3 serve as ON, it is controlled in HALT mode so that a switch SW1 serves as ON and it becomes off switching [SW2 and SW3] it, and it is controlled in STOP mode so that all the switches SW1-SW3 become off.

[0020] Drawing 5 is a flow chart for explaining actuation of TAG. Let CPU be STOP mode (for switches SW1-SW3 to be off) in step S1 with reference to drawing. Moreover, switches SW4 and SW5 were made off, and have stopped the modulation circuit 211 and the demodulator circuit 209. If the electric wave of the strength more than [with an antenna pattern 203] fixed is caught in this condition, the Wake rise circuit 207 will output an external-interruption signal. The interrupt detector 301 notifies detection of an external-interruption signal to the standby

THIS PAGE BLANK (USPTO)

function controller 303. Then, TAG moves to actuation of step S3.

[0021] Let CPU be HALT mode (for a switch SW1 to be ON and for SW2 and SW3 to be off) in step S3. Switches SW4 and SW5 are still off. In this mode, the clock oscillator circuit 305 begins actuation. If time amount until an oscillation is stabilized passed, it will move to step S5.

[0022] Let CPU be RUN mode (for switches SW1–SW3 to be turned on) in step S5. Next, in step S7, switches SW4 and SW5 serve as ON, and TAG will be in the condition which can be transmitted and received. When fixed time amount passes in this condition, without detecting an electric wave, it moves to step S9.

[0023] Let CPU be HALT mode (for a switch SW1 to be ON and for SW2 and SW3 to be off) in step S9. When the electric wave of the strength more than constant value with TAG is received in this condition, it can return to step S7. Since the clock oscillator circuit 305 is still ON at this time, the latency time until an oscillation is stabilized is unnecessary.

[0024] On the other hand, if fixed time amount passed without detecting an electric wave by step S9, after SW4 and SW5 become off, let return and CPU be STOP modes (for SW1–SW3 to be off) at step S1.

[0025] Moreover, in step S7, when a sleep instruction is received from a machine on the street, it moves to step S11. In step S11, CPU is made into HALT mode (a switch SW1 is ON and SW2 and SW3 are off), and SW4 and SW5 are made off. And this power-saving condition is maintained, without answering during 1 scheduled time, even if it detects an electric wave. If fixed time amount passes, it will move to step S9. This sleep instruction is effective because of reduction of power consumption, when TAG may receive an unnecessary electric wave continuously.

[0026] Drawing 6 is drawing showing the timing of the communication link performed between a machine on the street and TAG. Let CPU of TAG be STOP mode in time of day T1. If the claim of ID was performed from the machine on the street to TAG at this time, let CPU be RUN mode in time of day T2 through HALT mode. The time amount from this time of day T1 to T2 is equivalent to the time amount from step S1 of drawing 5 to S7.

[0027] By time-of-day T3 which vacated predetermined spacing, a machine on the street performs ID claim again. On the other hand, TAG transmits ID to a machine on the street using a modulation circuit 211 (ID response).

[0028] When fixed time amount passes without TAG detecting an electric wave, let CPU be HALT mode in time-of-day T four (S9 of drawing 5). When fixed time amount passes without furthermore detecting an electric wave, let CPU be STOP mode in time of day T5 (S1 of drawing 5).

[0029] If there was a claim of ID at time of day T6, the same actuation will be repeated again. Drawing 7 is drawing showing the timing of the communication link performed between machines on the street and TAG in case a machine on the street performs a sleep instruction. TAG's reception of a sleep instruction makes CPU HALT mode in time of day T14 (S11 of drawing 5). Even if fixed time amount receives ID claim like time of day T15 after this, CPU maintains HALT mode and does not perform ID response. After fixed time amount passes, in time of day T16, CPU is made into STOP mode and will be in the state waiting for ID claim.

[0030] Thus, in TAG in the gestalt of this operation, since a power source is controlled by STOP mode, HALT mode, and actuation of switches SW4 and SW5, power-saving of TAG can be attained and the life of a cell can be prolonged.

[0031] Moreover, since a clock oscillator circuit continues being ON in HALT mode, TAG can be made to shift to RUN mode quickly after that. For example, in order for TAG to answer ID from STOP mode with reference to drawing 6, two ID claims, time of day T1 and T3, are required, but supposing ID claim is made between time of day T5 from time-of-day T four, TAG shifts to RUN mode in an instant, and can answer ID.

[0032] Moreover, also when TAG exists in the field which can receive an electric wave for a long time, it can hold down consuming power superfluously by publishing a sleep instruction.

[Translation done.]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-91976
(P2000-91976A)

(43) 公開日 平成12年3月31日 (2000.3.31)

(51) Int.Cl. ⁷	識別記号	FI	テーマコード(参考)
H04B 7/26		H04B 7/26	X 5K067

審査請求 未請求 請求項の数 5 OL (全 6 頁)

(21) 出願番号 特願平10-262609
 (22) 出願日 平成10年9月17日 (1998.9.17)

(71) 出願人 000002130
住友電気工業株式会社
大阪府大阪市中央区北浜四丁目5番33号
 (72) 発明者 白永 英晃
大阪市此花区島屋一丁目1番3号 住友電気工業株式会社大阪製作所内
 (72) 発明者 矢野 修一
大阪市此花区島屋一丁目1番3号 住友電気工業株式会社大阪製作所内
 (74) 代理人 100064746
弁理士 深見 久郎 (外2名)

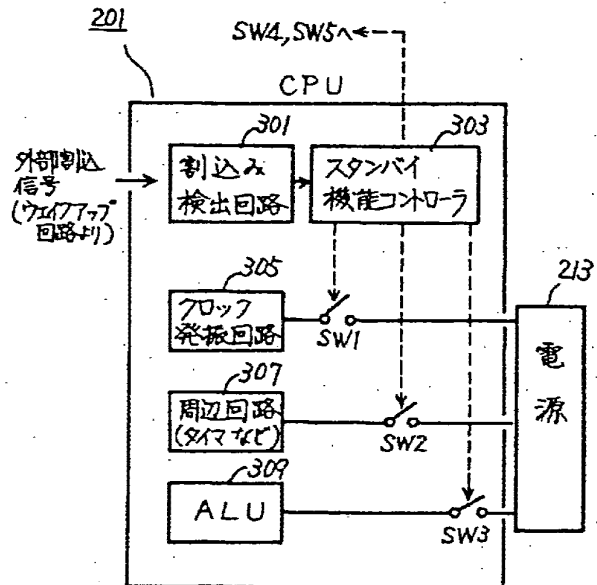
最終頁に続く

(54) 【発明の名称】 携帯端末装置

(57) 【要約】

【課題】 電池の寿命を延ばすことができる携帯端末装置を提供する。

【解決手段】 携帯端末装置 (TAG) に含まれるクロック発振回路305、周辺回路307およびALU309の電源をスタンバイ機能コントローラ303により制御する。すべての電源をオンにするモードと、すべての電源をオフにするモードと、クロック発振回路305のみをオンとし、他をオフとするモードとが切換えられるようにスタンバイ機能コントローラ303は制御を行なう。クロック発振回路305のみをオンとし、他をオフとすることで、消費される電力を削減することができる。また、クロック発振回路をオフの状態からオンの状態とするときに必要となる発振安定までの待機時間をなくすることができる。



【特許請求の範囲】

【請求項 1】 外部から電波を受信することに対応して電波を送信する携帯端末装置であって、装置を省電力で動作させるモードと、それ以外のモードとを所定の条件により切換えることを特徴とする、携帯端末装置。

【請求項 2】 所定の時間が経過したときに装置を省電力で動作させるモードに切換えることを特徴とする、請求項 1 に記載の携帯端末装置。

【請求項 3】 外部からの命令を受信したときに装置を省電力で動作させるモードに切換えることを特徴とする、請求項 1 に記載の携帯端末装置。

【請求項 4】 外部からの命令に拘らず、装置を省電力で動作させるモードを一定時間維持することを特徴とする、請求項 3 に記載の携帯端末装置。

【請求項 5】 外部からの電波を受信することによって装置の動作状態を変更する変更回路と、装置の動作のためのクロック信号を発生させる発振回路と、

装置の動作のための処理を行なう処理回路と、前記変更回路をオンにしたまま、前記発振回路および前記処理回路をオフにする第 1 のモードと、前記変更回路および前記発振回路をオンにしたまま、前記処理回路をオフにする第 2 のモードと、前記変更回路、前記発振回路および前記処理回路をすべてオンにする第 3 のモードとを切換える切換手段とを備えた、携帯端末装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は携帯端末装置に関し、特に電池の寿命を延ばすためにその回路の各部への電源の供給の制御を行なうことができる携帯端末装置に関する。

【0002】

【従来の技術】 従来より車両などに搭載され、路上機からの電波による要求に対し、予め付与された ID 番号などを自動的に送信する携帯端末装置 (TAG ともいう) が知られている。

【0003】

【発明が解決しようとする課題】 しかしながら、従来の携帯端末装置においては、その電池がすぐに消耗してしまうという欠点があった。そこでこの発明は、電池の寿命を延ばすことができる携帯端末装置を提供することを目的としている。

【0004】

【課題を解決するための手段】 上記目的を達成するためこの発明のある局面に従うと、外部から電波を受信することに対応して電波を送信する携帯端末装置は、装置を省電力で動作させるモードと、それ以外のモードとを所定の条件により切換えることを特徴とする。

【0005】 好ましくは携帯端末装置は、所定の時間が

経過したときに装置を省電力で動作させるモードに切換えることを特徴とする。

【0006】 好ましくは携帯端末装置は、外部からの命令を受信したときに装置を省電力で動作させるモードに切換えることを特徴とする。

【0007】 さらに好ましくは携帯端末装置は、外部からの命令に拘らず、装置を省電力で動作させるモードを一定時間維持することを特徴とする。

【0008】 これらの発明に従うと装置を省電力で動作させるモードとそれ以外のモードとが所定の条件により切換わるため、電池の寿命を延ばすことができる携帯端末装置を提供することが可能となる。

【0009】 上記目的を達成するためこの発明の他の局面に従うと、電源制御機能を有する携帯端末装置は、外部からの電波を受信することによって装置の動作状態を変更する変更回路と、装置の動作のためのクロック信号を発生させる発振回路と、装置の動作のための処理を行なう処理回路と、変更回路をオンにしたまま、発振回路および処理回路をオフにする第 1 のモードと、変更回路および発振回路をオンにしたまま処理回路をオフにする第 2 のモードと、変更回路、発振回路および処理回路をすべてオンにする第 3 のモードとを切換える切換手段とを備える。

【0010】 この発明に従うと第 1、第 2 および第 3 のモードにより装置の各回路の電源が制御されるため、電池の寿命を延ばすことができる携帯端末装置を提供することが可能となる。

【0011】

【発明の実施の形態】 図 1 は、本発明の実施の形態の 1 つにおける TAG を用いた通信システムの構成を示すブロック図である。この通信システムにおいては車両に TAG が搭載され、路上機は TAG から ID を読み取り、その ID に基づいて車両の行先の案内を行なう。

【0012】 図を参照して、通信システムは、システム全体の制御を行なう路上機 101 と、感知器ヘッド 103a を用いて車両が接近をしたことを感知する車両感知器 103 と、車両に搭載された TAG 200 へ ID 請求信号を送り、TAG 200 から ID を受信するアンテナ 105 と、ID に応じて車両の案内を行なう案内表示器 107 と、システムの管理を行なう管理 PC 109 と、無停電電源 115 と、プリンタ 111 と、TAG 200a の ID の書換などのために TAG 200a のデータを読み取る TAG 読取機 113 とから構成される。

【0013】 図 2 は、TAG の構成を示すブロック図である。図を参照して、TAG 200 は、装置全体の制御を行なう CPU 201 と、外部からの電波を受信するアンテナパターン 203 と、検波ダイオード 205 と、受信された電波に応じて装置の動作状態を変更するウェイクアップ回路 207 と、受信された電波の復調を行なう復調回路 209 と、ID の送信の際に用いられる変調回

路211と、IDなどを記憶するEEPROM215と、電池などからなる電源213とから構成される。

【0014】ウェイクアップ回路207に対しては常に電源が供給される。復調回路209および変調回路211への電源の供給はスイッチSW4、SW5により制御される。スイッチSW4、SW5はCPU201からの信号によりオン/オフされる。変調、復調が不要であるときには、スイッチSW4、SW5をオフとすることで電池の寿命を延ばすことができる。

【0015】図3は、CPU201の内部構成を示すブロック図である。図を参照して、CPU201は、ウェイクアップ回路207からの外部割込信号を検出する割込検出回路301と、外部割込信号などに基づいてCPU201内の電源を制御するスタンバイ機能コントローラ303と、装置の動作のためのクロック信号を発生させるクロック発振回路305と、タイマなどの周辺回路307と、計算処理を行なうALU309と、クロック発振回路305、周辺回路307およびALU309への電源の供給の制御を行なうスイッチSW1～SW3とから構成される。

【0016】図4は、TAGのCPUに設定されたモードとスイッチSW1～SW3の状態を説明するための図である。TAGのCPUは3つのモード（RUNモード、HALTモード、およびSTOPモード）を有する。

【0017】RUNモードとは、CPUのすべての回路に電源を供給するモードである。HALTモードとは、クロック発振回路305のみを動作させ、周辺回路307およびALU309はオフにするモードである。HALTモードにおいてクロック発振回路305のみを動作させるのは、クロック発振回路305を一度オフにすると、次にオンにしても発振の安定までに時間がかかってしまうからである。したがって、HALTモードにおいては電力を節約しながらTAGの迅速な起動を行なうことができる。

【0018】STOPモードは、クロック発振回路305、周辺回路307およびALU309のすべてをオフとするモードである。

【0019】RUNモードでは、スイッチSW1～SW3のすべてがオンとなるように制御され、HALTモードではスイッチSW1がオンとなり、スイッチSW2、SW3がオフとなるように制御され、STOPモードではすべてのスイッチSW1～SW3がオフとなるように制御される。

【0020】図5は、TAGの動作について説明するためのフローチャートである。図を参照して、ステップS1において、CPUはSTOPモード（スイッチSW1～SW3はオフ）とされている。また、スイッチSW4、SW5はオフとされ、変調回路211および復調回路209は停止している。この状態で、アンテナパター

ン203がある一定以上の強さの電波を捕らえると、ウェイクアップ回路207は外部割込信号を出力する。割込検出回路301は外部割込信号の検出をスタンバイ機能コントローラ303に通知する。そこで、TAGがステップS3の動作に移る。

【0021】ステップS3において、CPUはHALTモード（スイッチSW1はオン、SW2、SW3はオフ）とされる。スイッチSW4、SW5はオフのままである。このモードにおいて、クロック発振回路305は動作を始める。発振が安定するまでの時間が経過したのであれば、ステップS5に移る。

【0022】ステップS5において、CPUはRUNモード（スイッチSW1～SW3はオン）とされる。次にステップS7において、スイッチSW4、SW5がオンとなり、TAGは送受信可能な状態となる。この状態で、電波を検出することなく一定時間が経過した場合は、ステップS9に移る。

【0023】ステップS9において、CPUはHALTモード（スイッチSW1はオン、SW2、SW3はオフ）とされる。この状態で、TAGがある一定値以上の強さの電波を受信したときには、ステップS7に戻ることができる。このとき、クロック発振回路305はオンのままであるため、発振が安定するまでの待ち時間が不要である。

【0024】一方、ステップS9で電波を検出することなく一定時間が経過したのであれば、SW4、SW5がオフとなった後、ステップS1に戻り、CPUはSTOPモード（SW1～SW3はオフ）とされる。

【0025】また、ステップS7において、路上機からスリープ命令を受信した場合は、ステップS11に移る。ステップS11において、CPUはHALTモード（スイッチSW1はオン、SW2、SW3はオフ）とされ、SW4、SW5はオフとされる。そして一定時間、たとえ電波を検出しても応答することなく、この省電力状態を維持する。一定時間が経過したなら、ステップS9に移る。このスリープ命令は、TAGが連続して不必要な電波を受信する可能性がある場合に、消費電力の低減のために有効である。

【0026】図6は、路上機とTAGとの間で行なわれる通信のタイミングを示す図である。時刻T1において、TAGのCPUはSTOPモードとされている。このとき、路上機からTAGへIDの請求が行なわれたのであれば、HALTモードを経て、時刻T2において、CPUはRUNモードとされる。この時刻T1からT2までの時間は、図5のステップS1からS7までの時間に相当する。

【0027】所定の間隔を空けた時刻T3で、路上機は再びID請求を行なう。これに対し、TAGは変調回路211を用いてIDを路上機へ送信（ID応答）する。

【0028】TAGが電波を検出することなく一定時間

が経過した場合には、時刻T4において、CPUはHALTモードとされる(図5のS9)。さらに電波を検出することなく一定時間が経過した場合は、時刻T5においてCPUはSTOPモードとされる(図5のS1)。

【0029】時刻T6でIDの請求があったのであれば、同じ動作が再度繰返される。図7は、路上機がスリープ命令を行なう場合の、路上機とTAGとの間で行なわれる通信のタイミングを示す図である。TAGがスリープ命令を受信すると、時刻T14において、CPUはHALTモードとされる(図5のS11)。この後一定時間は、時刻T15のようにID請求を受信しても、CPUはHALTモードを維持しID応答を行なわない。一定時間が経過した後、時刻T16においてCPUはSTOPモードとされ、ID請求待ち状態になる。

【0030】このように、本実施の形態におけるTAGでは、STOPモードと、HALTモードとスイッチSW4、SW5の操作とにより電源が制御されるため、TAGの省電力化を図ることができ、電池の寿命を延ばすことができる。

【0031】また、HALTモードにおいてはクロック発振回路がオンのままであるため、その後RUNモードにTAGを迅速に移行させることができる。たとえば、図6を参照してSTOPモードからTAGがIDを応答するためには、時刻T1とT3の2回のID請求が必要であるが、時刻T4から時刻T5の間にID請求がなされたとすると、TAGは瞬時にRUNモードに移行し、IDを応答することができる。

【0032】また、TAGが電波を受信可能な領域に長時間存在してしまうような場合にも、スリープ命令を発

行することにより、不必要に電力を消費することを抑えることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態の1つにおけるTAGを用いた通信システムの構成を示すブロック図である。

【図2】TAG200の構成を示すブロック図である。

【図3】CPU201の内部構成を示すブロック図である。

【図4】TAGのCPUに設定されたモードとスイッチSW1～SW3の状態を説明するための図である。

【図5】TAGの動作について説明するためのフローチャートである。

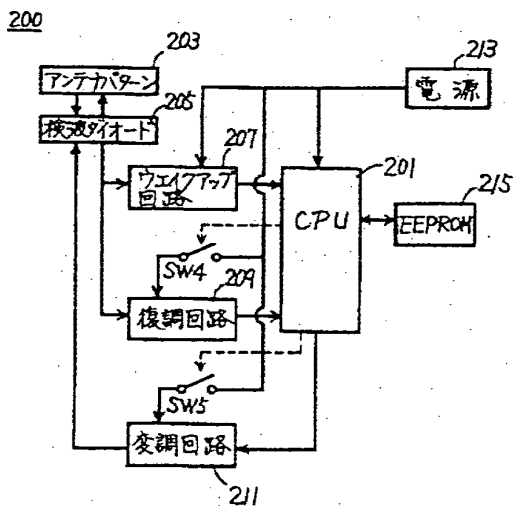
【図6】路上機とTAGとの間で行なわれる通信のタイミングを示す図である。

【図7】スリープ命令を受信したTAGの動作を説明するための図である。

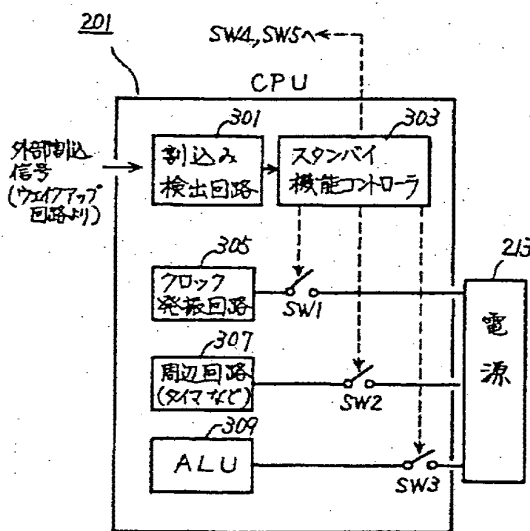
【符号の説明】

- 200 携帯端末装置 (TAG)
- 201 CPU
- 203 アンテナパターン
- 207 ウェイクアップ回路
- 209 復調回路
- 211 変調回路
- 213 電源
- 303 スタンバイ機能コントローラ
- 305 クロック発振回路
- 307 周辺回路 (RAM等)
- 309 ALU
- SW1～SW5 スイッチ

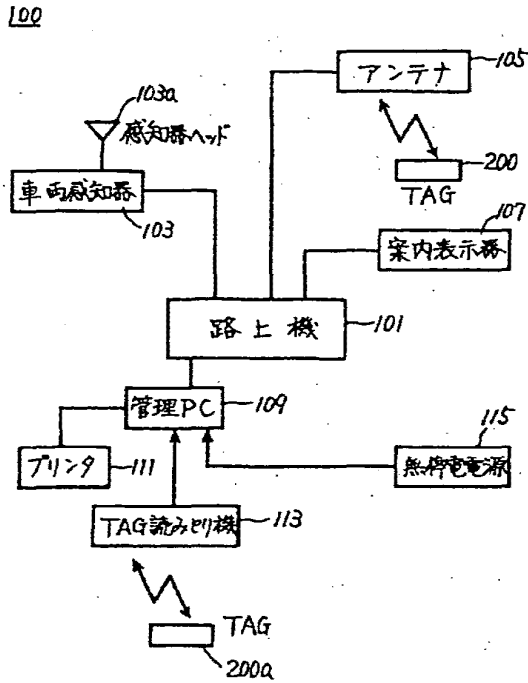
【図2】



【図3】



【図1】



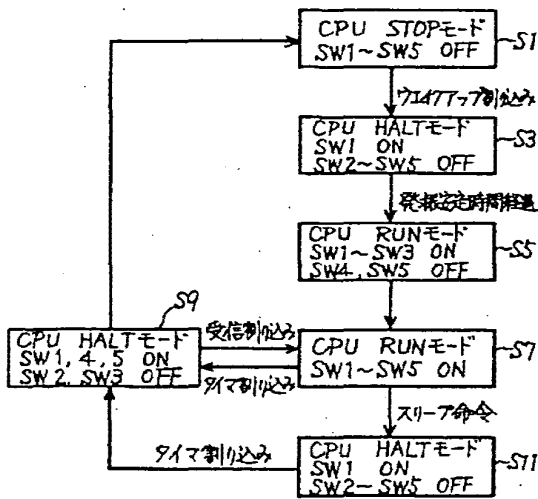
【図4】

動作 SW

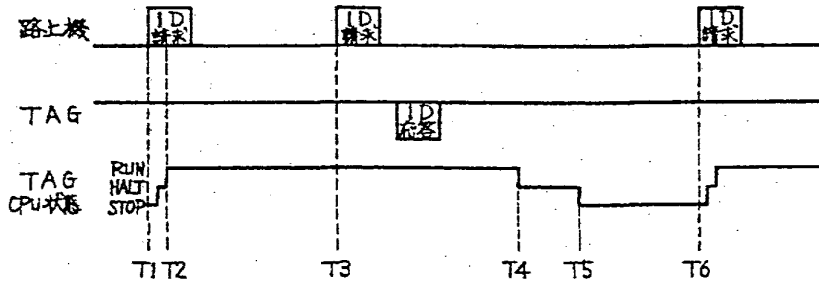
	SW1	SW2	SW3
RUN	○	○	○
HALT	○	X	X
STOP	X	X	X

○ : ON
X : OFF

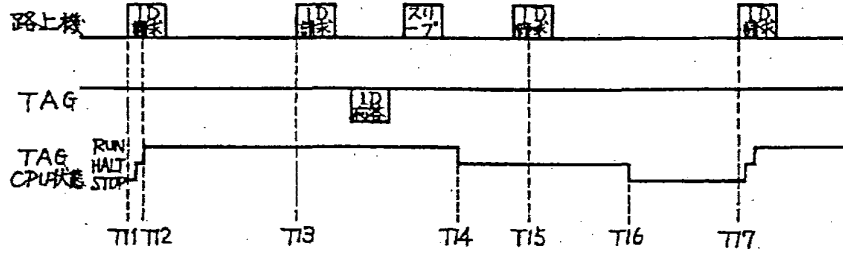
【図5】



【図6】



【図7】



フロントページの続き

(72)発明者 笹本 融
 大阪市此花区島屋一丁目1番3号 住友電
 気工業株式会社大阪製作所内

Fターム(参考) 5K067 AA43 BB04 CC21 DD13 DD24
 GG01 GG11 KK05

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-116887

(43)Date of publication of application : 25.04.2000

(51)Int.Cl. A63F 7/02
G06F 19/00

(21)Application number : 10-294283

(71)Applicant : SANKYO KK

(22)Date of filing : 15.10.1998

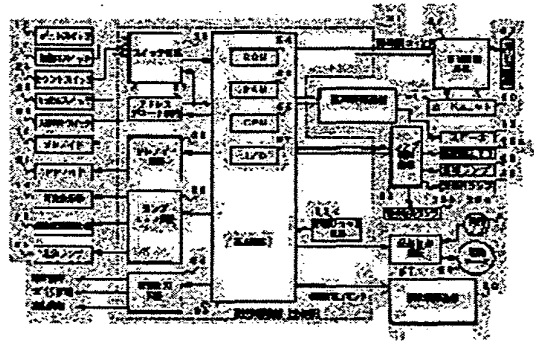
(72)Inventor : UGAWA SHOHACHI
FUKUDA TAKASHI

(54) GAME MACHINE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a game machine capable of improving a random property of a count value of a counter for extracting a random number.

SOLUTION: A CPU 56 sets a clock monitor register included in the CPU 56 to a clock monitor enable state for bringing the clock monitor control into an operatable state. A stack setting process is executed for setting a designation address of a stack pointer. A system checking process of a RAM 55 clear or the like is executed. A random number updating process for display is repeatedly executed. The other game control is executed by an interruption process by the periodically generated internal timer interruption.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

זוהי עמוד ריק (USPTO)

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is the game machine which can shift to the specific game condition which becomes advantageous for a game person based on having become like. winning a prize of the game medium to the specific winning-a-prize section -- specially -- a game -- carrying out -- voice specially predetermined in the result of a game -- The game machine characterized by the game mean for controlling progress which controls game advance including interrupt processing which performs the main routine which repeats and performs processing which updates a numeric value, and the routine which is interrupt processing started for every predetermined time under main routine activation, and includes game control.

[Claim 2] The numeric value updated by the main routine is a game machine according to claim 1 which is a numeric value for deciding the display result of the adjustable display specially used by the game at least.

[Claim 3] A main routine is a game machine according to claim 1 or 2 constituted so that processing which updates a numeric value may be repeated and performed after initialization processing.

[Claim 4] Interrupt processing is claim 1 which is the internal timer interrupt of a microprocessor thru/or a game machine according to claim 3.

[Claim 5] To the numeric value updated by the main routine, interrupt processing including the processing which updates the numeric value for generating the random-number value for a specific game judging by predetermined numeric-value within the limits The numeric value used in order to generate the specific game decision value which is a decision value for judging whether it is compared with said random-number value for a specific game judging, and shifts to a specific game condition is included. Claim 1 equipped with a decision value extract means for specific games to extract the numeric value for generating said specific game decision value a condition [the input of the detecting signal from predetermined game ball detection equipment], and to determine the decision value for specific games in a predetermined game condition thru/or a game machine according to claim 4.

[Translation done.]

THIS PAGE BLANK (USPTO)

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

 DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] About game machines with which a game is performed according to actuation of a game person, such as a pachinko game machine and a coin game machine, this invention relates to the game machine which can shift to the specific game condition which becomes advantageous to a game person, when predetermined conditions are satisfied especially.

[0002]

[Description of the Prior Art] The adjustable display which has the adjustable display from which a display condition can change as a game machine is prepared, and when the display result of an adjustable display becomes the specific display mode defined beforehand; there are some which were constituted so that it might shift to the specific game condition which becomes advantageous to a game person. Two or more adjustable displays are shown in an adjustable display, and it is constituted so that a stage may be changed and the display result of two or more adjustable displays may usually be displayed.

[0003] An adjustable indication of two or more identification information, such as a pattern, is given at an adjustable display. It is usually called "great success" that the display result of an adjustable display serves as combination of the specific display mode defined beforehand. In addition, game value is the condition of adjustable winning-a-prize ball equipment prepared in the game field of a game machine being in the condition advantageous to a game person that a hit ball tends to win a prize, or generating the right for being in the advantageous condition for a game person.

[0004] moreover, the display voice of the "blanks" other than the combination of "great success" -- the display voice of specification [the display mode of the adjustable display by which a derivation indication of the display result is already given in the phase where a derivation indication of the part of the display results of two or more adjustable displays is not yet given among combination / like] -- the condition fulfill the display condition used as combination [like] is called "reach." A game person performs a game, enjoying how great success is generated.

[0005] In such a game machine, if great success occurs, it will shift to the great success game condition as a specific game condition that large winning-a-prize opening carries out count disconnection of predetermined, and a hit ball tends to win a prize for example. And in each open period, if winning a prize to large winning-a-prize opening of a predetermined individual (for example, ten pieces) is, large winning-a-prize opening will be closed. And the count of disconnection of large winning-a-prize opening is being fixed to the count of predetermined (for example, 15 rounds). In addition, a released time (for example, 29.5 seconds) is decided about each disconnection, and if a released time passes even if the number of winning a prize does not reach a predetermined individual, large winning-a-prize opening will be closed. Moreover, when large winning-a-prize opening closes and predetermined conditions (for example, winning a prize in V zone prepared in large winning-a-prize opening) are not satisfied, a great success game condition is ended.

THIS PAGE BLANK (USPTO)

[0006] In the game control in such a game machine, it is desirable for the combination of the display mode of the "blank" which has two or more kinds to occur at random. Moreover, it is desirable to also generate at random the combination of the display mode of the "reach" which has two or more kinds too. Furthermore, it is desirable to also generate at random the combination of the display mode of "great success" which generally has two or more kinds. one or more specific display voice -- the display voice of others [combination / like] -- generating frequently compared with combination [like] -- if -- it is because a doubtful feeling may be made to hold in a game person.

[0007] Then, in order to determine the combination of a display mode, the combination of a display mode is determined according to the random-number value which was made to generate a random number and was generated in the game inside of a plane. Generally, a random number will be generated by extracting the counter value at that time, if a predetermined counter is counted up and it becomes random-number value generating timing. Then, the random nature of the combination of a display mode will be dependent on the random nature of the counted value of a counter.

[0008]

[Problem(s) to be Solved by the Invention] As mentioned above, in the game machine constituted so that it could shift to a specific game condition according to the display result of an adjustable display, it has been an important technical problem how the random nature of the counted value of the counter for extracting the random number which determines the combination of a display mode is raised.

[0009] Software realizes and game control applies reset to the microcomputer which performs a game control program in hardware with a predetermined time interval (every [for example,] 2ms), and it consists of game machines, such as a pachinko game machine, in many cases so that a game control program may be rebooted periodically. Moreover, count-up of the counter for extracting a random number is too realized by software in many cases. In that case, count-up of a counter is constituted so that it may perform repeatedly by time amount not much after required game control was made.

[0010] If a microcomputer is reset, initialization processing will be performed, and in initialization processing, RAM clear processing is usually performed. Then, the counted value of the counter for extracting the random number formed in RAM will also be cleared. That is, since the counter for extracting a random number is cleared periodically, the continuity of counted value will be disrupted. Consequently, the random nature of the random-number value generated from counted value will be checked. Since it is desirable to count up continuously, the counted value of the counter for extracting a random number performs RAM clear processing only to the power up of a game machine, and even if reset periodically, it also has henceforth the game machine constituted so that RAM clear processing might not be performed. However, even if constituted such, when it is reset periodically, it needs to be initialization processed other than RAM clear processing. Then, since the period for performing such initialization processing at the time of fixed reset is always required, the time amount spent on count-up of the counter for extracting a random number will decrease that much. If a predetermined upper limit is set to counted value and a upper limit is generally exceeded, it will be returned to initial value. If there is little time amount spent on count-up when from initial value to the upper limit was made into 1 round and the upper limit is set up highly, the processing period based on one fixed reset will be completed at the last time rather than counted value takes 1 round. That is, before counted value is progressing so much, game control by the following fixed reset is performed. If a random-number value timing extraction occurs in the game control, a random-number value will be extracted from from among the numeric values of the narrow range, and the random nature of a random-number value will fall substantially. As mentioned above, in the conventional game machine, since the continuity of the counted value of the counter for extracting a random number is disrupted or the time amount spent on count-up processing of a counter decreases, a bias may arise about the combination of the display mode which the random nature of the random-number value for determining the combination of a display mode may fall, consequently appears.

[0011] This invention is made in order to solve such a technical problem, and it aims at offering

THIS PAGE BLANK (USPTO)

the game machine which can raise more the random nature of the counted value of the counter for extracting a random number.

[0012]

[Means for Solving the Problem] The game machine by this invention performs a game specially by winning a prize of the game medium to the specific winning-a-prize section. It is the game machine which can shift to the specific game condition which becomes advantageous for a game person based on having become like, voice specially predetermined in the result of a game -- The game mean for controlling progress which controls game advance is constituted so that interrupt processing which performs the main routine which repeats and performs processing which updates a numeric value, and the routine which is started for every predetermined time under main routine activation, and includes game control may be included.

[0013] The numeric value updated by the main routine is a numeric value for deciding the display result of the adjustable display specially used by the game at least. Moreover, the main routine may be constituted so that processing which updates a numeric value may be repeated and performed after initialization processing.

[0014] Interrupt processing is the internal timer interrupt of a microprocessor.

[0015] To the numeric value updated by the main routine, interrupt processing including the processing which updates the numeric value for generating the random-number value for a specific game judging by predetermined numeric-value within the limits The numeric value used in order to generate the specific game decision value which is a decision value for judging whether it is compared with the random-number value for a specific game judging, and shifts to a specific game condition is included. Furthermore, you may have a decision value extract means for specific games to extract the numeric value for generating a specific game decision value a condition [the input of the detecting signal from predetermined game ball detection equipment], and to determine the decision value for specific games in a predetermined game condition.

[0016]

[Embodiment of the Invention] Hereafter, 1 operation gestalt of this invention is explained with reference to a drawing. First, the configuration of the whole pachinko game machine which is an example of a game machine is explained. The front view with which drawing 1 saw the pachinko game machine 1 from the transverse plane, the whole rear view in which drawing 2 shows the internal structure of the pachinko game machine 1, and drawing 3 are the rear view which saw the game board of the pachinko game machine 1 from the tooth back. In addition, although a pachinko game machine is shown as an example of a game machine, this invention may not be restricted to a pachinko game machine, for example, may be a coin game machine etc. here.

[0017] As shown in drawing 1, the pachinko game machine 1 has the glass door frame 2 formed in the shape of a frame. The hit ball supply pan 3 is shown in the lower front face of the glass door frame 2. The hit ball actuation handle (operating knob) 5 which discharges the surplus ball saucer 4 which stores the premium ball with which it overflowed from the hit ball supply pan 3, and a hit ball is formed in the lower part of the hit ball supply pan 3. Behind the glass door frame 2, the game board 6 is attached removable. Moreover, the game field 7 is established in the front face of the game board 6.

[0018] The adjustable display 8 containing the image display section 9 using CRT for indicating two or more kinds of patterns by adjustable and the adjustable drop 10 by the 7 segment LED is formed near the center of the game field 7. With the gestalt of this operation, there is three pattern display area, the "left", "inside", and the "right", in the image display section 9. The passage gate 11 to which a hit ball is led is established in the flank of the adjustable display 8. The hit ball which passed through the passage gate 11 is led to the direction of the starting winning-a-prize opening 14 through the ball-feeding opening 13. There is a gate switch 12 which detects the hit ball which passed through the passage gate 11 in the path between the passage gate 11 and the ball-feeding opening 13. Moreover, the winning-a-prize ball included in the starting winning-a-prize opening 14 is led to the tooth back of the game board 6, and is detected by the starting opening switch 17. Moreover, the adjustable winning-a-prize ball equipment 15 which performs a switching action is formed in the lower part of the starting winning-a-prize opening 14. Adjustable winning-a-prize ball equipment 15 is made an open condition by the

THIS PAGE BLANK (USPTO)

solenoid 16.

[0019] The closing motion plate 20 made an open condition by the solenoid 21 in a specific game condition (great success condition) is formed in the lower part of adjustable winning-a-prize ball equipment 15. With the gestalt of this operation, the closing motion plate 20 serves as a means to open and close large winning-a-prize opening. The winning-a-prize ball into which it went on the other hand (V zone) among the winning-a-prize balls led to the tooth back of the game board 6 from the closing motion plate 20 is detected by V count switch 22. Moreover, the winning-a-prize ball from the closing motion plate 20 is detected by the count switch 23. The starting winning-a-prize storage drop 18 which has four displays which display the number of winning-a-prize balls included in the starting winning-a-prize opening 14 on the lower part of the adjustable display 8 is formed. In this example, whenever there is starting winning a prize by making four pieces into an upper limit, the starting winning-a-prize storage drop 18 increases every one turned-on display. And whenever the adjustable display of the image display section 9 is started, one turned-on display is reduced.

[0020] Two or more winning-a-prize openings 19 and 24 are formed in the game board 6. On the outskirts of right and left of the game field 7, the ornament lamp 25 by which it is indicated by flashing is formed into a game, and there is out opening 26 which absorbs the hit ball which did not win a prize in the lower part. Moreover, two loudspeakers 27 which emit a sound effect are formed in the right-and-left upper part of the outside of the game field 7. Game effectiveness LED28a and the game effectiveness lamps 28b and 28c are formed in the periphery of the game field 7.

[0021] And in this example, the awarded-balls lamp 51 turned on at the time of premium ball expenditure is formed near one loudspeaker 27, and the ball piece lamp 52 turned on when a supply ball goes out is formed near the loudspeaker 27 of another side. Furthermore, it is adjoined and installed in the pachinko game base 1 by drawing 1, and the card unit 50 which makes a ball loan possible is also shown to it by by inserting a prepaid card.

[0022] In a card unit 50 Whether it is in an usable condition The shown use good display lamp 151, Whether the edge numeral switch 152 for displaying the fraction on the frequency display LED in which it is prepared near the hit ball supply pan 3, when a fraction (less than 100 yen number) exists in the balance information recorded in the card, and the card unit 50 support which near pachinko game machine 1 As the card injection display lamp 154 in which it is shown that the card is thrown in in the shown direction drop 153 of a connection base and a card unit 50, and a record medium When checking the device of a card reader writer prepared in the rear face of the card slot 155 in which a ** card is inserted, and a card slot 155, the card unit lock 156 for releasing a card unit 50 is formed.

[0023] The hit ball discharged from the hit ball launcher goes into the game field 7 through a hit ball rail, and gets down from the game field 7 after that. If it is in the condition which can start fluctuation of a pattern when a hit ball is detected by the gate switch 12 through the passage gate 11, the display figure of the adjustable drop 10 which usually indicates the pattern by adjustable will be in the condition of changing continuously. If it is not in the condition which can usually start fluctuation of a pattern, gate passage storage will be increased one. Moreover, if it is in the condition which can start fluctuation of a pattern when a hit ball goes into the starting winning-a-prize opening 14 and is detected by the starting opening switch 17, the special pattern in the image display section 9 will begin rotation. If it is not in the condition which can start fluctuation of a pattern specially, starting winning-a-prize storage will be increased one. In addition, starting winning-a-prize storage is explained in detail later.

[0024] Rotation of the image in the image display section 9 stops, when fixed time amount passes. The combination of the image at the time of a halt shifts that it is the combination of a great success pattern to a great success game condition. That is, it opens until the closing motion plate 20 carries out fixed time amount progress, or until the hit ball of the predetermined number (for example, ten pieces) wins a prize. And if a hit ball wins a prize to a specific winning-a-prize field during disconnection of the closing motion plate 20 and it is detected by V count switch 22, the right of continuation will occur and disconnection of the closing motion plate 20 will be performed again. Count (for example, 15 rounds) permission of predetermined of the

THIS PAGE BLANK (USPTO)

generating of the right of continuation is carried out.

[0025] When the combination of the image in the image display section 9 at the time of a halt is the combination of the great success pattern accompanied by probability fluctuation, the probability which is becoming it a great success next becomes high. Namely, it will be in the still more advantageous condition for a game person called a high probability condition. Moreover, when the halt pattern in the adjustable drop 10 is a predetermined pattern (hit pattern), only in predetermined time, adjustable winning-a-prize ball equipment 15 will be in an open condition. Furthermore, in the high probability condition, while the probability which the halt pattern in the adjustable drop 10 hits, and becomes a pattern is raised, the released time and the count of disconnection of adjustable winning-a-prize ball equipment 15 are raised.

[0026] Next, the structure of the rear face of the pachinko game machine 1 is explained with reference to drawing 2. At the tooth back of the adjustable display 8, as shown in drawing 2, the premium ball tank 38 is formed in the upper part of the device plate 36, and where the pachinko game machine 1 is installed in a game machine installation island, a premium ball is supplied to the premium ball tank 38 from the upper part. The premium ball in the premium ball tank 38 results in ball expenditure equipment through a guide 39.

[0027] The awarded-balls control board 37 in which the microcomputer for awarded-balls control which performs the junction substrate 33 for relaying the signal between the game control boards (the main substrate) 31, and the adjustable display-control units 29 and the game control boards 31 in which it was covered with the adjustable display-control unit 29 and the substrate case 32 which control the image display section 9 through the junction substrate 30, and the microcomputer for game control etc. was carried, and expenditure control of a premium ball was carried is installed in the device plate 36. Furthermore, the lamp control board 35 for sending a signal to the hit ball launcher 34 which discharges a hit ball to the game field 7 using the turning effort of a motor, the game effectiveness lamp and LED 28a, 28b, and 28c and the awarded-balls lamp 51, and the ball piece lamp 52 is installed in the device plate 36.

[0028] Moreover, drawing 3 is the rear view which saw the game board of the pachinko game machine 1 from the tooth back. As shown in drawing 3, the winning-a-prize ball set covering 40 to which the winning-a-prize ball which won a prize of each winning-a-prize opening and winning-a-prize ball equipment is led in accordance with a predetermined winning-a-prize path is formed in the rear face of the game board 6. What won a prize through the closing motion plate 20 among the winning-a-prize balls led to the winning-a-prize ball set covering 40 is controlled so that ball expenditure equipment (not shown in drawing 3) pays out many numbers of premium balls (for example, 15 pieces) relatively. What won a prize through the starting winning-a-prize opening 14 is controlled so that ball expenditure equipment pays out the small number of premium balls (for example, six pieces) relatively. And what won a prize through the other winning-a-prize openings 24 and winning-a-prize ball equipment is controlled so that ball expenditure equipment pays out the number of premium balls of whenever [middle] (for example, ten pieces) relatively. In addition, the junction substrate 33 is illustrated by drawing 3.

[0029] In order to perform awarded-balls expenditure control, the signal from the winning-a-prize ball pilot switch 99, the starting opening switch 17, and V count switch 22 is sent to the main substrate 31. Although it is detected by the winning-a-prize ball pilot switch 99 that there was winning a prize, if the ON signal of the winning-a-prize ball pilot switch 99 is sent to the main substrate 31, awarded-balls control command will be sent to the awarded-balls control board 37 from the main substrate 31. For example, if the awarded-balls control command which shows the awarded-balls number "6" when the winning-a-prize ball pilot switch 99 turns on corresponding to ON of the starting opening switch 17 is outputted and the winning-a-prize ball pilot switch 99 turns on corresponding to ON of the count switch 23 or V count switch 22, the awarded-balls control command which shows the awarded-balls number "15" will be outputted. And if the winning-a-prize ball pilot switch 99 turns on when those switches do not turn on, the awarded-balls control command which shows the awarded-balls number "10" will be outputted.

[0030] Drawing 4 is the block diagram showing an example of the circuitry in the main substrate 31. In addition, the awarded-balls control board 37, the lamp control board 35, the voice control board 70, the discharge control board 91, and the display-control substrate 80 are also shown in

THIS PAGE BLANK (USPTO)

drawing 4 . The basic circuit 53 which controls the pachinko game machine 1 in the main substrate 31 according to a program, The switching circuit 58 which gives the signal from the gate switch 12, the starting opening switch 17, V count switch 22, the count switch 23, and the winning-a-prize ball pilot switch 99 to the basic circuit 53, The solenoid circuit 59 which drives the solenoid 21 which opens and closes the solenoid 16 and the closing motion plate 20 which open and close adjustable winning-a-prize ball equipment 15 according to the command from the basic circuit 53, While performing lighting and **** of the starting storage drop 18, the lamp and the LED circuit 60 which drives the adjustable drop 10 and the ornament lamp 25 by the 7 segment LED are included.

[0031] Moreover, the information output circuit 64 which outputs the great success information which shows generating of great success according to the data given from the basic circuit 53, the effective starting information which shows the number of the starting winning-a-prize ball used for image display initiation of the image display section 9, the probability-changing information which shows that probability fluctuation arose to host computers, such as a hole management computer, is included.

[0032] The basic circuit 53 contains ROM54 which memorizes the program for game control etc., RAM55 used as work-piece memory, CPU56 which performs control action according to the program for control, and the I/O Port section 57. In addition, ROM54 and RAM55 may be built in CPU56.

[0033] Furthermore, the address decoding circuit 67 which outputs the signal for decoding the address signal given to a power up from the initial reset circuit 65 and the basic circuit 53 for resetting the basic circuit 53 to the main substrate 31, and choosing the I/O Port of either of the I/O Port sections 57 as it is formed. In addition, although there is also switch information inputted into the main substrate 31 from ball expenditure equipment 97, they are omitted in drawing 4 .

[0034] The hit ball launcher which hits a game ball and is discharged is driven with the drive motor 94 controlled by the circuit on the discharge control board 91. And the driving force of a drive motor 94 is adjusted according to the control input of an operating knob 5. That is, it is controlled by the circuit on the discharge control board 91 so that a hit ball is discharged at the rate according to the control input of an operating knob 5.

[0035] Next, actuation is explained. Drawing 5 and drawing 6 are flow charts which show actuation of the basic circuit 53 in the main substrate 31. Drawing 5 shows the Maine processing which the basic circuit 53 performs, and drawing 6 shows interrupt processing. If the reset at the time of power-source ON of the basic circuit 53 solves, in order that CPU56 may change clock monitor control first into the condition which can be operated, the clock monitor register built in CPU56 is set as clock monitor enabling state (step S1). In addition, clock monitor control is control which generates reset automatically inside CPU56, when a fall or a halt of the clock signal inputted is detected.

[0036] Subsequently, CPU56 performs stack set processing for setting the appointed address of a stack pointer (step S2). In this example, 00FFH(s) are set as a stack pointer. And system check processing is performed (step S3). In system check processing, CPU56 processes initializing RAM55 etc., when it judges and the error is included, whether the error is included in RAM55, and. Since the contents of RAM55 are unfixed to a power up, clear processing of RAM55 will be performed to it after all. moreover -- being periodical (every [for example,] 2ms) -- initial setting of a CPU internal timer is performed so that a timer interruption may start.

[0037] And the random-number update process for a display is repeated and performed (step S4). Drawing 7 is the explanatory view showing each random number used with a game machine. Each random number is used as follows.

- (1) Random 1 : determine whether generate great success (for a great success judging).
- (2) Random 3 random 2-1 - for [2-3:] the blank pattern decision under right and left (3) : determine the combination of the pattern at the time of great success (for great success pattern decision = for a specific pattern judging).
- (4) Determine whether random 4: shift and sometimes carry out reach (for a reach judging).
- (5) Random 5 : determine a reach class (for reach actuation decision).

THIS PAGE BLANK (USPTO)

(6) Random 6 : determine a great success decision value (for great success decision value decision).

[0038] In addition, in order to heighten the game effectiveness, random numbers other than the random number of above-mentioned (1) - (6) are also used. For example, there are a random number for determining whether consider as a hit based on the display result of the adjustable drop 10 which usually displays a pattern, a random number which determines the halt pattern of the adjustable drop 10.

[0039] In processing of step S4, count-up (1 addition) of the counter which generates the random number the random number for the blank pattern decision of (2), the random number for the reach judging of (4), the object for reach actuation of (5), and for great success decision value decision is performed. However, random 2-2 is counted up when carry of random 2-1 arises (i.e., when the value of random 2-1 is set to "15" and returned to "0"). Moreover, random 2-3 is counted up when carry of random 2-2 arises (i.e., when the value of random 2-2 is set to "15" and returned to "0").

[0040] The processing shown in drawing 6 is started by the timer interruption of the CPU56 interior. In interrupt processing, CPU56 performs processing which outputs (the display-control data setting processing: step S11) and a display-control command, after performing processing which sets the display-control command sent out to the display-control substrate 80 as the predetermined field of RAM55 (display-control data-transmission processing: step S12).

[0041] Subsequently, processing which outputs the contents of the storing field of various output data to each output port is performed (data-output processing: step S13). Moreover, processing which updates the timer for determining lighting / **** pattern modification timing of the lamp and LED prepared in the perimeter of the game field 7 is performed (step S14).

Furthermore, while setting up the output data of the storing field of various output data, output-data setting processing in which output data, such as great success information outputted to a hole administrative computer, starting information, and probability fluctuation information, are set as a storing field is performed (step S15). Furthermore, various abnormality diagnostic processes are performed by the self-checking function with which the interior of the pachinko game machine 1 is equipped, and according to the result, if required, an alarm will be emitted (error processing: step S16).

[0042] Next, processing which updates each counter for generating each random number for a judgment, such as a random number for a great success judging used for game control, is performed (step S17). With the gestalt of this operation, the counter for generating the random number for a great success judging of (1) and the random number for a great success pattern judging of (3) among each counter for generating each random number shown in drawing 7 is counted up (1 addition).

[0043] Next, CPU56 performs pattern process processing specially (step S18). By pattern process control, processing to which it corresponds according to a pattern process flag specially in order to control the pachinko game machine 1 in predetermined sequence according to a game condition is selected and performed specially. And the value of a pattern process flag is specially updated during each processing according to a game condition. Moreover, pattern process processing is usually performed (step S19). By pattern process processing, processing to which it usually corresponds according to a pattern process flag in order to control the adjustable drop 10 by the 7 segment LED in predetermined sequence is usually selected and performed. And the value of a pattern process flag is usually updated during each processing according to a game condition.

[0044] Furthermore, it judges whether through the switching circuit 58, CPU56 inputted the condition of the gate switch 12, the starting opening switch 17, and the count switch 23, and had winning a prize to each winning-a-prize opening or winning-a-prize equipment (switch processing: step S20). Moreover, control which sends out a signal to the voice control board 70 is performed so that a predetermined sound may be emitted from a loudspeaker 27 according to advance of a game (step S21).

[0045] CPU56 performs processing which updates each counter for generating the same random number for a display as processing of step S4 here (step S15). Specifically, the counter which

THIS PAGE BLANK (USPTO)

generates the random number the random number for the blank pattern decision of (2), the random number for the reach judging of (4), the object for reach actuation of (5), and for the great success decision value decision of (6) is counted up (1 addition).

[0046] Moreover, CPU56 performs winning-a-prize ball signal processing between the awarded-balls control boards 37 (step S23). That is, formation of predetermined conditions outputs an awarded-balls number signal to the awarded-balls control board 37. CPU for awarded-balls control carried in the awarded-balls control board 37 drives ball expenditure equipment 97 according to an awarded-balls number signal.

[0047] If processing between step S11 - S23 is completed, interrupt processing will be ended and it will return to the processing currently performed by being at the interrupt generating time in the Maine processing. As shown in drawing 5, the processing currently performed by being at the interrupt generating time is a random-number update process for a display of step S4.

[0048] Drawing 8 is a flow chart which shows the concrete processing of the random-number update process for a display (step S4, S22) shown in drawing 5 and drawing 6. In the random-number update process for a display, CPU56 first performs processing which updates the random number for blank pattern decision (random 2-1, 2-2, 2-3) (step S31). That is, while counting up random 2-1 (1 addition), if carry of random 2-1 arises, random 2-2 will be counted up, and if carry of random 2-2 arises, random 2-3 will be counted up.

[0049] Moreover, the counter for generating the counter for generating the random number for a reach judging (random 4) and the random number for reach actuation (random 5) is counted up (steps S32 and S33). And the counter (counter for great success decision value decision) for generating the random number for great success decision value decision (random 6) is counted up (step S34).

[0050] In addition, in the processing shown in drawing 5 and drawing 6, in step S4 and step S22, although the update process (step S34) of the counter for great success decision value decision was performed, as shown in drawing 9 and drawing 10, only in the endless-loop period in the Maine processing, you may update the counter for great success decision value decision (step S5). In interrupt processing shown in the Maine processing and drawing 10 which were shown in drawing 9, an update process of the counter for great success decision value decision is not performed in step S4A and S2A.

[0051] Moreover, although it will always perform, an update process of the counter for great success decision value decision may consist of processings shown in drawing 5 and drawing 9 so that it may be updated only in a predetermined period. A predetermined period is during the period which does not perform the comparison with the random number for a great success judging, and a great success decision value, for example, is among a great success game.

[0052] Drawing 11 is the timing chart showing an example of the relation between the Maine processing and interrupt processing. If a power source turns on as shown in drawing 11, first, processing of steps S1-S3 in the Maine processing will be performed, and processing (or S4 and processing of S5) of step S4 will be performed after that repeatedly. Deadline of the timer for interrupt generating generates a timer interruption. And in the interrupt processing, processing of steps S11-S23 is performed. If the completion of activation is carried out, return and the random-number update process for a display (or random-number update process for random-number update process (it does not update random 6) + great success decision value decision for a display) will be carried out to processing (or S4 and processing of S5) of step S4.

[0053] In drawing 11, the random-number update process for a display (or random-number update process for random-number update process (it does not update random 6) + great success decision value decision for a display) is shown by the shadow area. Moreover, when an interrupt occurred, the counted value of the counter treated by the random-number update process for a display (or random-number update process for random-number update process (it does not update random 6) + great success decision value decision for a display) was "n" and it returns from interrupt processing, counted value begins from "n." That is, counted value continues. In addition, since the time amount which steps S11-S23 take according to a game advance situation changes, the period of the part shown with the slash in drawing 11 is not fixed, and is random.

THIS PAGE BLANK (USPTO)

[0054] Thus, the time amount which counts up the counted value of the counter for extracting a random number continuously before and after an interrupt, and are spent on the random-number update process for a display (or random-number update process for random-number update process (it does not update random 6) + great success decision value decision for a display) is extended rather than the conventional case. Although the white rectangle part equivalent to the initialization processing in the Maine processing etc. appears only in a power up in the control shown in drawing 11, it is because initialization processing etc. was always performed in the conventional control in front of each shadow area which shows the random-number update process for a display (or random-number update process for random-number update process (it does not update random 6) + great success decision value decision for a display).

[0055] Therefore, the time amount which the continuity of the counted value of the counter for extracting a random number is not disrupted compared with the conventional game machine, and are spent on count-up processing of a counter can increase, and the random nature of the counted value of the counter for extracting a random number can be raised more.

[0056] Next, based on winning a prize (starting winning a prize) to the starting winning-a-prize opening 14, the decision approach of the pattern by which it is indicated by adjustable is explained to the image display section 9 with reference to the flow chart of drawing 12 - drawing 14. Drawing 12 shows the processing whose hit ball judges having won a prize of the starting winning-a-prize opening 14, and drawing 13 shows processing of a great success judging. Moreover, drawing 14 is a flow chart which shows the processing which determines the halt pattern of the adjustable display in the image display section 9.

[0057] If a hit ball wins a prize of the starting winning-a-prize opening 14 prepared in the game board 6, the starting opening switch 17 turns on. In switch processing of step S20 in interrupt processing, what the starting opening switch 17 turned on the basic circuit 53 for through the switching circuit 58 is judged (step S41). When having turned on is detected, CPU56 checks whether the decision value modification flag is set (step S46). If not set, the counted value at that time of the counter for great success decision value decision is extracted, and it considers as a great success decision value (step S47). Moreover, a decision value modification flag is set (step S48).

[0058] And CPU56 checks whether the number of starting winning-a-prize storage amounts to 4 which is a starting storage upper limit (step S42). If the number of starting winning-a-prize storage has not reached a starting storage upper limit, the number of starting winning-a-prize storage is increased one (step S43), and the value of the random number for a great success judging is extracted. And the random number extracted to the random-number value storage area prepared corresponding to each several n ($n=1, 2, 3, 4$) starting winning-a-prize storage is stored (step S44). When the number of starting winning-a-prize storage has reached the starting storage upper limit, steps S43 and S44 are not processed.

[0059] If CPU56 will be in the condition that the adjustable display of the image display section 9 can be started, it will perform processing shown in the flow chart of drawing 14. First, the value of the number of starting winning-a-prize storage is checked (step S50). if the number of starting winning-a-prize storage is not 0 -- the number of starting winning-a-prize storage -- while reading the value stored in the random-number value storage area corresponding to $=1$ (step S51), the value of the number of starting winning-a-prize storage is reduced by one, and the value of each random-number value storage area is shifted (step S52). namely, the value stored in the random-number value storage area corresponding to number of starting winning-a-prize storage $=n$ ($3 \leq n \leq 4$) -- the number of starting winning-a-prize storage -- it stores in the random-number value storage area corresponding to $=n-1$.

[0060] And in CPU56, based on the value read at step S51, i.e., the random-number value for a great success judging currently extracted, hit/determines a gap (step S53). With the gestalt of this operation, the random number for a great success judging is made to take the value of the range of 0-249. And as shown in drawing 13, the value of the random number for a great success judging (random 1) currently extracted at the time of starting winning a prize is compared with a great success decision value. And if the value of random 1 is in agreement with a great success decision value, it is decided that it will be great success, and in being the other

THIS PAGE BLANK (USPTO)

value, it will decide that it will be a blank.

[0061] In addition, when a specific pattern gathers [the combination of the halt pattern in the image display section 9], while great success occurs, it will be in the condition of a high probability. In the condition of a high probability, while time amount while the probability for great success to occur next is raised, until the pattern after adjustable display initiation is decided by the adjustable drop 10 is shortened, the open condition of adjustable winning-a-prize ball equipment 15 is set up for a long time at the time of hit generating by the adjustable drop 10. Namely, at the time of a high probability, it will be in the very advantageous condition for a game person. At the time of a low probability (at the time [Usually]), although it considers as one piece, if a great success decision value is made [two or more] at the time of a high probability and the value of a great success decision value of the random 1 currently extracted corresponds with one of great success decision values, it will be decided that it will be great success.

[0062] When judged with great success, CPU56 determines a halt pattern based on the value of the random number for a great success pattern judging (random 3). Here, when the limiter is operating, a halt pattern is determined from the table which does not contain the probability-changing figure which causes a high probability condition (steps S54 and S56). A limiter is for restricting that great success by the probability-changing figure occurs continuously, i.e., a high probability condition continues continuously. For example, if a high probability condition continues continuously 4 times, a limiter will be in an operating state. Therefore, in a limiter operating state, a halt pattern is determined from the table which does not include the specific pattern to which probability fluctuation is carried out. The halt pattern from the table which includes a complete diagram shank if it becomes to which a limiter is not operating is determined (steps S54 and S55).

[0063] Furthermore, CPU56 determines a reach class according to the value of random 5 (step S74), and the pattern and reach class of a case of great success are set [whether it considers as great success, and] as a predetermined storage area (step S75). In addition, a storage area is established in RAM55 in the basic circuit 53.

[0064] When judged with the blank in step S53, it judges whether CPU56 is made into reach (step S59). For example, when the values of the random number for a reach judging shown in drawing 7 are either 0-104, it determines to carry out reach. When it determines to carry out reach, a basic circuit determines a halt pattern. With the gestalt of this operation, a right-and-left pattern is determined according to the value of random 2-1 (step S60). Moreover, an inside pattern is determined according to the value of random 2-2 (step S61). When a pattern is in agreement with a right-and-left pattern while being determined, the pattern corresponding to the value added to the value of the random number corresponding to an inside pattern one time is made not in agreement with a great success pattern here as a definite pattern of an inside pattern.

[0065] Furthermore, CPU56 determines a reach class according to the value of random 5 (step S62). And "reach", a reach pattern, and a reach class are set as a predetermined storage area (step S63). The lottery result in step S59 separates and comes out, in a certain case, it shifts and comes out to a predetermined storage area, and a certain thing is set up (step S64).

[0066] Drawing 15 is a flow chart which shows an example of the program of pattern process processing specially. The special pattern process processing shown in drawing 15 is concrete processing of step S18 in the flow chart of drawing 6 and drawing 10. In case CPU56 of the basic circuit 53 performs pattern process processing specially, it processes either of the steps S300-S309 shown in drawing 15 according to the internal state. The following processings are performed in each processing.

[0067] Waiting processing for special pattern fluctuation (step S300): Wait to carry out hit ball winning a prize at the starting winning-a-prize opening 14 (the gestalt of this operation winning-a-prize opening of adjustable winning-a-prize ball equipment 15), and for the starting opening switch 17 to turn on. If ON of the starting opening switch 17 is detected, processing shown in drawing 12 will be performed. Special pattern judging processing (step S301): If it will be in the condition that the adjustable display of a pattern can be started specially, the number of starting winning-a-prize storage will be checked. If the number of starting winning-a-prize storage is not

THIS PAGE BLANK (USPTO)

0, it will determine whether to consider as a gap whether according to the value of the random 1 already extracted, it considers as great success. Halt pattern setting processing (step S302): Determine the halt pattern of a pattern during right and left according to the value of random 2 or random 3.

[0068] Reach actuation setting processing (step S303): While determining whether carry out reach actuation according to the value of the random number for a reach judging (random 4), determine the fluctuation mode of reach actuation according to the value of the random number for reach actuation (random 5).

[0069] Complete-diagram shank fluctuation initiation processing (step S304): Control so that fluctuation initiation of the complete diagram shank is carried out in the image display section 9. Moreover, when a background and a character are also displayed on the image display section 9, it controls so that the display-control command data according to it are sent out to the display-control substrate 80. Waiting processing for a complete-diagram shank halt (step S305): If predetermined time passes, it will control so that the complete diagram shank displayed in the image display section 9 is stopped. Moreover, it controls so that the display-control command data according to the background and character which are suitably displayed in the image display section 9 to the timing of a complete diagram shank halt while controlling so that a right-and-left pattern is stopped to predetermined timing are sent out to the display-control substrate 80.

[0070] Great-success display processing (step S306): When a halt pattern is the combination of a great success pattern, while controlling so that the display-control command data of a great success display are sent out to the display-control substrate 80, update an internal state (process flag) so that it may shift to step S307. When that is not right, an internal state is updated so that it may shift to step S309. In addition, the combination of a great success pattern is the combination to which the pattern was equal during right and left. Moreover, the circuit of the game control board 80 performs a great success display in the image display section 9 according to display-control command data. A great success display is made in order to report generating of great success to a game person. Large winning-a-prize opening disconnection initiation processing (step S307): Start the control which opens large winning-a-prize opening. While initializing a counter and a flag, a solenoid 21 is driven and, specifically, large winning-a-prize opening is opened.

[0071] under large winning-a-prize opening disconnection -- processing (step S308): -- processing which checks the control which the display-control command data of a large winning-a-prize opening round display send out to the display-control substrate 80, and formation of the closing conditions of large winning-a-prize opening is performed. If the closing conditions of large winning-a-prize opening are satisfied, and the terminating condition of a great success game condition is not satisfied, an internal state will be updated so that it may shift to step S307. If the terminating condition of a great success game condition is satisfied, an internal state will be updated so that it may shift to step S309.

[0072] Great-success post process (step S309): Perform the display for reporting to a game person that the great success game condition was completed. If the display is completed, an internal flag etc. will be returned to an initial state, and an internal state will be updated so that it may shift to step S300.

[0073] The module which performs processing which sends out the display-control command data in a game control program according to processing of each above-mentioned step outputs a strobe signal to an output port while outputting corresponding display-control command data to an output port. In addition, with the gestalt of this operation, processing is performed for each [in a great success game condition] round of every during large winning-a-prize opening disconnection of large winning-a-prize opening disconnection initiation processing of step S307, and step S308.

[0074] With the gestalt of this operation, as shown in the flow chart of drawing 12 , when there was winning a prize of the beginning to starting winning-a-prize opening, the value of the counter for great success decision value decision was extracted, and the great success decision value was updated (steps S46-S48). Since the decision value modification flag is cleared by the initialization processing performed by the power up, as shown in the timing chart of drawing 16 ,

THIS PAGE BLANK (USPTO)

when the beginning has starting winning a prize, a great success decision value will be changed after powering on of a game machine.

[0075] the first starting winning a prize — changing — the beginning behind powering on — when the conditions of pattern fluctuation initiation are usually satisfied, it may be made to change a great success decision value. Drawing 17 is a flow chart which shows such processing. In addition, with the gestalt of this operation, the conditions of pattern fluctuation initiation are usually game ball passage of the passage gate 11.

[0076] If a hit ball passes through the passage gate 11 established in the game board 6, the gate switch 12 turns on. In switch processing of step S20 in interrupt processing, what the gate switch 12 turned on the basic circuit 53 for through the switching circuit 58 is judged (step S71). When having turned on is detected, CPU56 checks whether the decision value modification flag is set (step S76). If not set, the counted value at that time of the counter for great success decision value decision is extracted, and it considers as a great success decision value (step S77). Moreover, a decision value modification flag is set (step S78).

[0077] And CPU56 checks whether the number of gate passage storage amounts to 4 which is a upper limit (step S72). If the number of gate passage storage has not reached a upper limit, the number of gate passage storage is increased one (step S73), and the value of the random number for a hit judging with a pattern is usually extracted. And the random number extracted to the random-number value storage area prepared corresponding to each several n (n= 1, 2, 3, 4) gate passage storage is stored (step S74). When the number of gate passage storage has reached the upper limit, steps S73 and S74 are not processed. In addition, the random number stored in the random-number value storage area is referred to in the processing which performs the judgment [in / usually / pattern process processing] of step S19 of interrupt processing shown in drawing 6 and drawing 10 .

[0078] By the above processings, as shown in the timing chart of drawing 18 , when the conditions for usually fluctuating a pattern to the beginning after powering on of a game machine are satisfied, a great success decision value will be changed.

[0079] And with the gestalt of this operation, if the count switch 23 turns on if a great success game condition is started, large winning-a-prize opening opens wide first and there is winning a prize of the beginning to large winning-a-prize opening in that round as shown in the timing chart of drawing 19 namely, the counted value of the counter for great success decision value decision at that time will be extracted, and a great success decision value will be changed.

[0080] Drawing 20 is a flow chart which shows processing of processing (step S3 <DP N=0010> 08 in drawing 15) during the large winning-a-prize opening disconnection which performs control as shown in drawing 19 . In processing, CPU56 checks first whether the timer is carrying out the time-out during large winning-a-prize opening disconnection (step S381). This timer clocks 29.5 seconds and measures the large winning-a-prize opening disconnection allowed time of one round. Therefore, if the time-out is carried out, it will control to stop the drive of a solenoid 21, large winning-a-prize opening will be closed (step S395), and a process flag will be set to the value according to a great success post process (step S396).

[0081] When the timer has not carried out a time-out, it is confirmed whether the count switch 23 turned on (step S385). When the count switch 23 turns on, the number counter of winning a prize is carried out +one (step S386). And if the number counter of winning a prize is m, the value of the random 6 at that time will be extracted (steps S387, S388, and S389). Specifically, the counted value at that time of the counter for great success decision value decision is extracted. The value of the extracted random 6 is used as a next great success decision value. In addition, the example shown in drawing 19 is an example of m= 1.

[0082] If the value of the number counter of winning a prize is 10, CPU56 will be controlled to stop the drive of a solenoid 21, and will close large winning-a-prize opening (step S391), and it will check whether the round is the last round (steps S391 and S392). It is judged with the value of the count counter of disconnection whether it is the last round. If it is the last round, it will shift to processing of step S396. Moreover, if it is not the last round, it will check whether V count switch 22 has turned on during V count switch shelf-life in the round (step S393). If V count switch 22 turns on, a process flag will be set to the value according to large winning-a-

THIS PAGE BLANK (USPTO)

prize opening disconnection initiation processing in order to start the next round (step S394). If V count switch 22 does not turn on, it shifts to processing of step S396.

[0083] Although it was an example which extracts the value of the counter for great success decision value decision at that time when the example shown in drawing 19 had winning a prize of the beginning to large winning-a-prize opening in the round when large winning-a-prize opening opens wide first, it may extract the counter value for great success decision value decision in the round of arbitration. In the round of the arbitration in a great success game condition, when drawing 21 has winning a prize of the beginning to large winning-a-prize opening, it shows the example which extracts the value of the counter for great success decision value decision at that time.

[0084] Moreover, in the round of arbitration, when winning a prize to large winning-a-prize opening of the number eye of arbitration is, the counter for great success decision value decision may be extracted. In a certain round, when drawing 22 has winning a prize to large winning-a-prize opening of the predetermined number, it is [be / it / under / great success game / setting] the timing chart showing the example which extracts the random-number value for great success decision value decision, and switches a great success decision value. In drawing 22, the predetermined individual for extracting the random-number value for great success decision value decision is expressed as s.

[0085] Drawing 23 is a flow chart which shows processing of processing (step S308) during the large winning-a-prize opening disconnection which performs control as shown in drawing 22. In processing, CPU56 checks first whether the timer is carrying out the time-out during large winning-a-prize opening disconnection (step S381). If the time-out is carried out, large winning-a-prize opening will be closed (step S395), and a process flag will be set to the value according to a great success post process (step S396).

[0086] When the timer has not carried out a time-out, the count counter of disconnection is carried out +one (step S382). When the count switch 23 turns on, the number counter of winning a prize is carried out +one (steps S385 and S386). And it checks whether the value of the count counter of disconnection is N (step S401). If the value of the count counter of disconnection is N, processing after step S402 for switching a great success decision value will be performed. In addition, N is the any value of 1-15.

[0087] In step S402, CPU56 will extract the value of the random 6 at that time, if the number counter of winning a prize is s (step S389). The value of the extracted random 6 is used as a next great success decision value. Then, processing after step S390 shown in drawing 20 and same processing are performed.

[0088] As mentioned above, by carrying out stepping of the counter for great success decision value decision by the endless loop (step S4 in drawing 5, or step S5 in drawing 9), and extracting the counted value of the counter for great success decision value decision to predetermined timing, the random number for great success decision value decision was extracted, and the great success decision value was switched. The change-over opportunity of a great success decision value is generated at random based on winning a prize to large winning-a-prize opening of the game ball which the game person discharged. That is, since a change-over of a great success decision value is performed at random, it is impossible to specify a change-over opportunity from the exterior. Even if it attaches an inaccurate substrate, it becomes impossible therefore, to shoot at great success. In addition, although explanation was advanced here taking the case of the counter for great success decision value decision, it may be made to carry out stepping of other counters used for game control by the endless loop.

[0089] Moreover, in the gestalt of each above-mentioned operation, the switch of a great success decision value is performed ignited by ON of the count switch 23. For example, if it constitutes so that a decision value may be switched ignited by ON of V count switch 22, V count switch 22 does not turn on and a decision value switch may not be performed. However, generally, since it is easy to turn on the count switch 23 rather than V count switch 22, if it constitutes so that a decision value may be switched ignited by ON of the count switch 23, possibility that such un-arranging will arise will be reduced. Moreover, generally, when the count switch 23 does not turn on a game machine once in a specific game condition, it considers as an

THIS PAGE BLANK (USFC)

error and a game is interrupted.

[0090] Furthermore, when the conditions of fluctuation initiation of the special pattern of the beginning behind powering on of a game machine or a common pattern were satisfied, it changed into the great success decision value. Since a change of a great success decision value is not made until it goes into the 1st great success game condition after powering on of a game machine when a change of the great success decision value based on such conditions is not made, a great success decision value may be held over a long period of time at constant value. Then, there is also a possibility that the timing whose value of the random number for a great success judging corresponds with a great success decision value with a certain fraud between the long period of time may be recognized. However, the possibility of the special pattern of the beginning behind powering on of a game machine or recognition of the timing by fraud if the conditions of fluctuation initiation of a pattern are usually satisfied and it constitutes so that a great success decision value may be changed can be reduced.

[0091] In addition, in the example mentioned above, formation of the conditions of fluctuation initiation of the special pattern of the beginning behind powering on of a game machine or a common pattern changed the great success decision value. However, the modification timing of a great success decision value may be eye a predetermined time not only the 1st time but behind powering on. Drawing 24 is a flow chart which shows the processing which extracts the value of the counter for great success decision value decision by the Mth starting winning a prize after powering on, and makes an extract value a great success decision value.

[0092] If what the starting opening sensor 17 turned on CPU56 for is detected as shown in drawing 24 (step S41), a starting winning-a-prize counter will be carried out +one (step S95). And if a starting winning-a-prize counter is set to M (step S96), the value of the random number for great success decision value decision (random 6) will be extracted (step S97). And let the random-number value extracted here be a great success decision value. Moreover, the starting winning-a-prize counter is cleared (step S98).

[0093] Subsequently, it checks whether the number of starting winning-a-prize storage amounts to 4 which is a starting storage upper limit (step S42). If the number of starting winning-a-prize storage has not reached a starting storage upper limit, the number of starting winning-a-prize storage is increased one (step S43), and the value of the random number for a great success judging is extracted. And the random number extracted to the random-number value storage area prepared corresponding to each several n (n= 1, 2, 3, 4) starting winning-a-prize storage is stored (step S44). When the number of starting winning-a-prize storage has reached the starting storage upper limit, steps S43 and S44 are not processed.

[0094] In addition, a small value is adopted so that the period when a great success-after powering on decision value is not changed may not become long as a count M of predetermined. Moreover, if there is ball passage of the passage gate of eye an after [powering on] predetermined time, you may make it change a great success decision value, although the great success decision value was changed into it when starting winning a prize of eye an after [powering on] predetermined time was shown in drawing 24 .

[0095] In the above-mentioned example, although the random nature (the specification from = outside is impossible) of a change-over opportunity is secured as a change-over opportunity of a great success decision value, since winning a prize to winning-a-prize opening produced at random based on a game person's game is based on winning a prize to winning-a-prize opening based on a game person's game also as a change-over opportunity in the game condition performed according to winning a prize to winning-a-prize opening, the random nature of a change-over opportunity is securable.

[0096] For example, you may make it switch a great success decision value at the time of decision of reach etc. at the time of decision of great success at the time of initiation of an adjustable display of the special pattern based on starting winning a prize. That is, you may make it switch a great success decision value to suitable timing after performing the comparison with a great success decision value and the random-number value for a great success judging until it shifts to a great success game condition. You may make it great success and reach switch predetermined regeneration **** and a great success decision value in that case. Furthermore,

THIS PAGE BLANK (USPTO)