

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2002年5月30日 (30.05.2002)

PCT

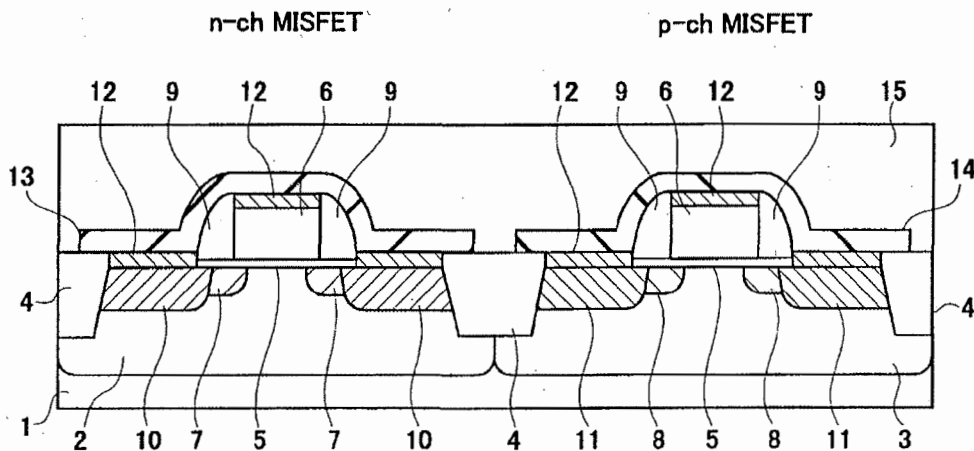
(10) 国際公開番号
WO 02/43151 A1

- (51) 国際特許分類: H01L 27/092, 21/8238 ULSI SYSTEMS CO., LTD. [JP/JP]; 〒187-8522 東京都小平市上水本町5丁目22番1号 Tokyo (JP).
- (21) 国際出願番号: PCT/JP01/05633
- (22) 国際出願日: 2001年6月29日 (29.06.2001) (72) 発明者; および (75) 発明者/出願人 (米国についてのみ): 清水昭博 (SHIMIZU, Akihiro) [JP/JP]. 大木長斗司 (OOKI, Nagatoshi) [JP/JP]; 〒187-8522 東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内 Tokyo (JP). 野中裕介 (NONAKA, Yusuke) [JP/JP]. 一瀬勝彦 (ICHINOSE, Katsuhiko) [JP/JP]; 〒198-8512 東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内 Tokyo (JP).
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2000-356497 2000年11月22日 (22.11.2000) JP (74) 代理人: 秋田収喜 (AKITA, Shuki); 〒114-0013 東京都北区東田端1丁目13番9号 ツインビル田端B 2階 Tokyo (JP).
- (71) 出願人 (米国を除く全ての指定国について): 株式会社日立製作所 (HITACHI, LTD) [JP/JP]; 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo (JP). 株式会社日立超エル・エス・アイ・システムズ (HITACHI (81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CR, CU, CZ, DE, DK, DM,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME

(54) 発明の名称: 半導体装置及びその製造方法



(57) Abstract: A semiconductor device comprising an n-channel conductivity type field-effect transistor having a channel forming region in a first region in one major surface of a semiconductor substrate, and a p-channel conductivity type field-effect transistor having a channel forming region in a second region different from the first region in the one major surface of the semiconductor substrate, wherein the inner stress generated in the channel forming region of the n-channel conductivity type field-effect transistor is different from the inner stress generated in the channel forming region of the p-channel conductivity type field-effect transistor. The inner stress generated in the channel forming region of the n-channel conductivity type field-effect transistor is a tensile stress and the inner stress generated in the channel forming region of the p-channel conductivity type field-effect transistor is a compressive stress.

[続葉有]



WO 02/43151 A1



DZ, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW.

LU, MC, NL, PT, SE, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

半導体基板の一主面の第1の領域にチャンネル形成領域が構成されたnチャンネル導電型電界効果トランジスタと、前記半導体基板の一主面の第1の領域と異なる第2の領域にチャンネル形成領域が構成されたpチャンネル導電型電界効果トランジスタとを有する半導体装置であって、前記nチャンネル導電型電界効果トランジスタのチャンネル形成領域に発生する内部応力と、前記pチャンネル導電型電界効果トランジスタのチャンネル形成領域に発生する内部応力が、各々で異なっている。前記nチャンネル導電型電界効果トランジスタのチャンネル形成領域に発生する内部応力は引っ張り応力であり、前記pチャンネル導電型電界効果トランジスタのチャンネル形成領域に発生する内部応力は圧縮応力である。

明 細 書

半導体装置及びその製造方法

技術分野

本発明は、半導体装置及びその製造技術に関し、特に、同一基板に n
5 チャンネル導電型 M I S F E T 及び p チャンネル導電型 M I S F E T を有す
る半導体装置及びその製造技術に適用して有効な技術に関するものであ
る。

背景技術

- 10 半導体装置に搭載される電界効果トランジスタとして、M I S F E T
(Metal Insulator Semiconductor Field Effect Transistor)
と呼称される絶縁ゲート型電界効果トランジスタが知られている。この
M I S F E T は、高集積化し易いという特徴を持っていることから、集
積回路を構成する回路素子として広く用いられている。
- 15 M I S F E T は、n チャンネル導電型及び p チャンネル導電型を問わず、
一般的に、チャンネル形成領域、ゲート絶縁膜、ゲート電極、ソース領域
及びドレイン領域等を有する構成となっている。ゲート絶縁膜は、半導
体基板の回路形成面（一主面）の素子形成領域に設けられ、例えば酸化
シリコン膜で形成されている。ゲート電極は、半導体基板の回路形成面
20 の素子形成領域上にゲート絶縁膜を介在して設けられ、例えば抵抗値を
低減する不純物が導入された多結晶シリコン膜で形成されている。チャ
ネル形成領域は、ゲート電極と対向する半導体基板の領域（ゲート電極
直下）に設けられている。ソース領域及びドレイン領域は、チャンネル形
成領域のチャンネル長方向における両側に設けられた半導体領域（不純物

拡散領域)で形成されている。

- なお、MISFETにおいて、ゲート絶縁膜が酸化シリコン膜からなるものは、通常、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) と呼ばれている。また、チャンネル形成領域とは、
- 5 ソース領域とドレイン領域とを結ぶ電流通路 (チャンネル) が形成される領域を言う。

発明の開示

- ところで、 $0.1 \mu\text{m}$ レベル時代の超微細CMIS (Complementary M
- 10 IS) プロセスでは、新素材の導入、MISFETの短チャンネル効果抑制等の理由から低温化が進んでいる。これは、素子中にプロセス起因の残留応力を残しやすい。プロセス起因の残留応力は、半導体基板の回路形成面の表層部、即ちMISFETのチャンネル形成領域に働く。

- 一般的なCMIS (相補型MIS) プロセスでは、例えば半導体基板
- 15 の回路形成面上に層間絶縁膜を形成する場合、nチャンネル導電型MISFET及びpチャンネル導電型MISFET上で同一材料を用いてきた結果、同一チップ内においてMISFETのチャンネル形成領域に働く応力はほぼ同じであった。また、通常は、プロセス的な工夫により、nチャンネル導電型MISFET及びpチャンネル導電型MISFETのチャンネル
- 20 形成領域に働く応力の低減化を図ってきた。

また、チャンネル形成領域の応力に対するトランジスタ特性の変化については、ドレイン電流 (I_d) が流れる方向 (ゲート長方向) と同じ向きに応力をかけた場合、

- (1) nチャンネル導電型MISFETのドレイン電流は、圧縮応力で減少し、引っ張り応力で増加すること、
- 25 (2) pチャンネル導電型MISFETのドレイン電流は、圧縮応力で増

加し、引っ張り応力で減少することが知られている。

しかし、その変化は高々数%以下であった（文献：IEEE TRANSACTIONS ON ELECTRON DEVICES .VOL.38.NO.4.APRIL 1991 p898～p900 参照）。これは、例えばゲート長寸法が $1\mu\text{m}$ のような長寸法のプロセス世代では、
5 十分高温長時間のアニールがなされていたことにもよる。

本発明者等は、前述の技術を検討した結果、以下の問題点を見出した。

MISFETのゲート長を $0.1\mu\text{m}$ 付近まで微細化し、プロセスを低温化すると、残留応力が増大し、チャンネル形成領域の応力によるトランジスタ特性への影響がとて大きくなることがわかった。

10 例えば、MISFETの形成後に層間絶縁膜を兼ねたセルフアラインコンタクト用のプラズマCVD窒化膜（プラズマCVD法によって形成される窒化膜）の形成条件を変えると、膜中の応力が圧縮方向から引っ張り方向へと大きく変化し、これに応じてMISFETのトランジスタ特性も大きく変化することがわかった。これを第2図のドレイン電流の
15 層間絶縁膜応力依存性に示す。但し、図中の応力の値は、MISFETのチャンネル形成領域の内部応力を現すものではなく、層間絶縁膜を被膜した後のウェーハの反りから換算して求めた層間絶縁膜自身の値である。

応力による影響は、前述の文献と同じ傾向であるが、その大きさが士
10 10～20%と一桁以上大きくなっている。更に、nチャンネル導電型MISFETとpチャンネル導電型MISFETとでは、膜の応力に応じてドレイン電流の増減が明らかに逆の方向を示す。
20

従って、層間絶縁膜等の形成条件を変えて内部応力の大きさが変わると、nチャンネル導電型MISFET及びpチャンネル導電型MISFETのドレイン電流が相反する動きを示し、両素子のドレイン電流を同時
25 に向上できないという問題があった。

また、更に、 $0.1\mu\text{m}$ レベル以降では、この応力によるドレイン電

Explore Litigation Insights

Docket Alarm provides insights to develop a more informed litigation strategy and the peace of mind of knowing you're on top of things.

Real-Time Litigation Alerts



Keep your litigation team up-to-date with **real-time alerts** and advanced team management tools built for the enterprise, all while greatly reducing PACER spend.

Our comprehensive service means we can handle Federal, State, and Administrative courts across the country.

Advanced Docket Research



With over 230 million records, Docket Alarm's cloud-native docket research platform finds what other services can't. Coverage includes Federal, State, plus PTAB, TTAB, ITC and NLRB decisions, all in one place.

Identify arguments that have been successful in the past with full text, pinpoint searching. Link to case law cited within any court document via Fastcase.

Analytics At Your Fingertips



Learn what happened the last time a particular judge, opposing counsel or company faced cases similar to yours.

Advanced out-of-the-box PTAB and TTAB analytics are always at your fingertips.

API

Docket Alarm offers a powerful API (application programming interface) to developers that want to integrate case filings into their apps.

LAW FIRMS

Build custom dashboards for your attorneys and clients with live data direct from the court.

Automate many repetitive legal tasks like conflict checks, document management, and marketing.

FINANCIAL INSTITUTIONS

Litigation and bankruptcy checks for companies and debtors.

E-DISCOVERY AND LEGAL VENDORS

Sync your system to PACER to automate legal marketing.