

[特許]1995-330112 (07.12.19)

出願 (1) ( 07-330112)(07.12.19) 記号 (2020270244) 出願種別(01 )新法  
公開 ( 09-172063)(09.06.30) 公開基準日 (07.12.19) 国内優先 (0)  
公告 ( ) ( ) 優先 ( ) 他 国  
審判 ( ) ( ) ( ) 担当 (4M00-7920) ( )  
登録 ( ) ( ) 異議 ( 0) 請求項数 ( 10) 出願料金 ( 21,000)  
公決 (起 ) (担 ) 文献 ( ) 新規性 (0) 菌寄託 (0) 公害 ( )  
査定 (2) (起17.03.18)(担7920) 前置 ( ) 解除 ( ) 公序・要約(0)  
(発17.03.29)(官 ) 審査・評価請求( 1- ) 未請求(0) 自動起案( )  
最終 ( ) ( ) 公開準備 (1) 早期審査 ( )  
変更先 ( ) ( ) ( ) 審決 ( ) ( )  
原出願( ) ( ) ( ) 種別( )  
期間延長 ( ) 最新起案日 (17.03.18)  
公表 ( ) ( ) 翻訳提出 ( ) 国際出願( )  
再公表 ( ) ( ) 国際公開 ( )  
公開IPC4 H01L 21/76 NFIC 指定分類IPC H01L 21/  
公告IPC  
名称 半導体装置及びその製造方法  
出願人 代表( ) 種(2)コード(000005821) 国(27) パナソニック株式会社 \*  
大阪府門真市大字門真1006番地  
代理人 種(1)コード(100077931) 前田 弘  
種(1)コード( ) 小山 廣毅  
中間 (A63 ) 特許願 07.12.19( 21,000) 完 (A96-1 ) 職権訂正08.01.23( )  
記録 (A84-1 ) 優先請求08.06.06( ) (A52-3 ) 補正書 08.07.16( ) 完  
(A96-1 ) 職権訂正08.08.22( ) (A62-1 ) 審査請求12.10.24(104,300) 完  
(A971-007) 検索報告14.02.20( ) (A971-011) 利用状況15.02.10( )  
(A13-1 ) 拒絶理由15.02.18(9545-20) (A53 ) 意見書 15.04.17( ) 完  
(A52-3 ) 補正書 15.04.17( ) 完 (A52-3 ) 補正書 15.04.23( 4,000) 完  
(A96-5 ) 職権訂正15.04.25( ) (A273 ) 職権訂正15.04.30(7475- )  
(A971-010) 予備見解16.02.23( ) (A13-1 ) 拒絶理由16.03.23(7819-22)  
(A53 ) 意見書 16.04.23( ) 完 (A52-3 ) 補正書 16.04.23( ) 完  
(A971-010) 予備見解16.11.22( ) (A13-1 ) 拒絶理由16.11.30(7920-22)  
(A02 ) 拒絶査定17.03.29(7920- ) (A86-1 ) 閲覧請求17.06.20( )  
(A86-1 ) 閲覧請求22.04.15( ) (A86-1 ) 閲覧請求26.09.08( )  
新出願  
国内優先(先)  
国内優先(後)

【書類名】 特許願

【整理番号】 2020270244

【提出日】 平成 7年12月19日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/76

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 12

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社  
社内

【氏名】 藪 俊樹

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社  
社内

【氏名】 上原 隆

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社  
社内

【氏名】 瀬川 瑞樹

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社  
社内

【氏名】 中林 隆

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社  
社内

【氏名】 山下 恭司

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社  
社内

【氏名】 受田 高明

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社  
社内

【氏名】 荒井 雅利

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社  
社内

【氏名】 山田 隆順

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社  
社内

【氏名】 松元 道一

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代表者】 森下 洋一

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【手数料の表示】

【納付方法】 予納

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9006026

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板と、

上記半導体基板の一部に設けられた素子形成領域と、

上記素子形成領域を取り囲み、上記素子形成領域との間に上記素子形成領域の半導体基板よりもステップ状に高くなる段差部を有し絶縁性材料からなる溝型素子分離と、

上記素子形成領域と溝型素子分離との間の段差部の側面上に形成された段差部サイドウォールと

を備えていることを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、

上記段差部サイドウォールは、絶縁性材料で構成されていることを特徴とする半導体装置。

【請求項 3】 請求項 1 記載の半導体装置において、

上記素子形成領域には、ゲート電極、該ゲート電極の両側面上の電極部サイドウォールを有するM I S F E Tが形成されており、

上記段差部サイドウォールは、上記電極部サイドウォールと同時に形成されていることを特徴とする半導体装置。

【請求項 4】 請求項 3 記載の半導体装置において、

上記電極部サイドウォールは、ゲート電極の側面及び上記半導体基板の上に亘って保護酸化膜を介して形成されたほぼ一定の厚みのL字状シリコン窒化膜で構成され、

上記段差部サイドウォールは、上記素子形成領域と溝型素子分離との間の段差部の側面及び半導体基板の上に亘って保護酸化膜を介して形成されたほぼ一定厚みのL字状シリコン窒化膜で構成されていることを特徴とする半導体装置。

【請求項 5】 請求項 3 記載の半導体装置において、

上記電極部サイドウォール及び段差部サイドウォールはいずれもシリコン膜で構成されており、

上記電極部サイドウォールと上記ゲート電極及びシリコン基板との間に介設された絶縁膜と、

上記電極部サイドウォール上から上記素子形成領域のソース・ドレイン領域上を経て上記段差部サイドウォールに至る領域の上に形成され、シリサイドからなるソース・ドレイン電極とをさらに備えていることを特徴とする半導体装置。

【請求項 6】 半導体基板上に酸化膜を形成する第 1 の工程と、

上記酸化膜の上に上記酸化膜とは異なる材料で構成されるエッチングストップ膜を堆積する第 2 の工程と、

上記エッチングストップ膜のうち素子分離を形成しようとする領域を開口し、この開口部の半導体基板をエッチングして溝部を形成する第 3 の工程と、

上記溝部の深さ及び上記エッチングストップ膜の膜厚を加えた値以上の厚みの絶縁膜を全面に堆積する第 4 の工程と、

上記絶縁膜が堆積された状態の半導体基板を少なくとも上記エッチングストップ膜の表面が露出するまで平坦化するとともに、上記溝部に上記素子形成領域を取り囲む溝型素子分離を形成する第 5 の工程と、

エッチングにより、少なくとも上記エッチングストップ膜及び酸化膜を除去し、上記素子形成領域と上記溝型素子分離との間に上記溝型素子分離の側が上記素子形成領域の半導体基板よりもステップ状に高くなる段差部を露出させる第 6 の工程と、

上記基板上にゲート酸化膜及び導電膜を堆積した後、該導電膜から少なくともゲート電極をパターンニングする第 7 の工程と、

基板の全面上に絶縁膜を堆積した後、異方性エッチングにより、上記ゲート電極及び上記段差部の各側面上に上記絶縁膜からなるサイドウォールを形成する第 8 の工程と、

上記ゲート電極の両側の素子形成領域の半導体基板内に不純物を導入してソース・ドレイン領域を形成する第 9 の工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項 7】 請求項 6 記載の半導体装置の製造方法において、

上記第 2 の工程では、少なくとも上記第 8 の工程におけるオーバーエッチング量を考慮して、上記第 6 の工程で所定値以上の高低差を有する段差部が露出されるようにエッチングストップ膜の膜厚を定めることを特徴とする半導体装置の製造方法。

【請求項 8】 半導体基板上に酸化膜を形成する第 1 の工程と、

上記酸化膜の上にゲート電極となる第 1 の導電膜を堆積する第 2 の工程と、

上記第 1 の導電膜のうち溝型素子分離を形成しようとする領域を開口し、この開口部の半導体基板をエッチングして溝部を形成する第 3 の工程と、

上記溝部の深さ及び上記第 1 の導電膜の膜厚を加えた値以上の厚みの絶縁膜を全面に堆積する第 4 の工程と、

上記絶縁膜が堆積された状態の半導体基板を、少なくとも上記第 1 の導電膜の表面が露出するまで平坦化するとともに、上記溝部に上記素子形成領域を取り囲む溝型素子分離を形成する第 5 の工程と、

上記平坦化された基板の全面上に少なくとも上部ゲート電極となる第 2 の導電膜を堆積する第 6 の工程と、

上記第 1 及び第 2 の導電膜から少なくともゲート電極をパターニングするとともに、上記素子形成領域と溝型素子分離との間に上記素子分離の側が上記素子形成領域の半導体基板よりもステップ状に高くなる段差部を露出させる第 7 の工程と、

基板の全面上に絶縁膜を堆積した後、異方性エッチングにより、上記ゲート電極及び上記段差部の各側面上に上記絶縁膜からなるサイドウォールを形成する第 8 の工程と、

上記ゲート電極の両側の素子形成領域の半導体基板内に不純物を導入してソース・ドレイン領域を形成する第 9 の工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項 9】 請求項 8 記載の半導体装置の製造方法において、

上記第 2 の工程では、少なくとも上記第 8 の工程におけるオーバーエッチング量を考慮して、上記第 7 の工程で所定値以上の高低差を有する段差が露出される

ように上記第1の導電膜の膜厚を定めることを特徴とする半導体装置の製造方法。

【請求項10】 請求項6又は8記載の半導体装置の製造方法において、  
上記第9の工程を終了した後に、少なくとも上記ソース・ドレイン領域の表面付近の領域をシリサイド化する工程をさらに備えていることを特徴とする半導体装置の製造方法。

【請求項11】 請求項6又は8記載の半導体装置の製造方法において、  
上記第7の工程の後上記第8の工程の前に基板の全面上に保護用酸化膜を堆積する工程をさらに備え、

上記第8の工程では、上記保護用酸化膜の上にサイドウォール形成用シリコン窒化膜とマスク用膜とを順次堆積し、上記マスク用膜をエッチバックして上記ゲート電極及び段差部の側方に上記シリコン窒化膜をパターニングするためのマスクを残し、該マスクを用いて上記シリコン窒化膜から上記ゲート電極及び段差部の側方にサイドウォールとなるL字状シリコン窒化膜をパターニングした後、上記マスクを除去するように行うことを特徴とする半導体装置の製造方法。

【請求項12】 請求項6又は8の半導体装置の製造方法において、  
上記第7の工程では、上記導電膜の上にさらに第1の保護用絶縁膜を堆積し、  
該第1の保護用絶縁膜をゲート電極とともにパターニングし、

上記第7の工程の後上記第8の工程の前に基板の全面上に第2の保護用絶縁膜を堆積する工程をさらに備え、

上記第8の工程では、上記第2の保護用絶縁膜の上にサイドウォール形成用シリコン膜を堆積し、上記ゲート電極及び段差部の側面上に上記からなる電極部サイドウォール及び段差部サイドウォールを形成し、

上記第9の工程の後に、上記電極部サイドウォール、上記ソース・ドレイン領域及び上記段差部サイドウォールに跨る領域をシリサイド化する工程をさらに備えていることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術の分野】

本発明は、溝埋め込み分離型の素子分離を有する半導体装置の構造及びその製造方法の改良に関する。

【0002】

【従来の技術】

近年、半導体装置の高集積化、高性能化の進展にともない、益々微細化の要求が高まっている。そのため従来の技術の改良だけではそれらの要求に追随できず、新規技術導入が余儀なくされている技術分野もある。例えば素子分離形成方法として、従来はその製法の簡便さと低コスト性の観点からLOCOS分離法により素子分離が形成されてきたが、最近では、より微細な半導体装置を形成するには溝埋め込み分離型の素子分離（以下、単に溝型素子分離という）を設けた方が有利であると考えられてきている。

【0003】

すなわち、LOCOS分離法は、選択酸化の方式をとっているため、その酸化を防止するためのマスクとの境界でいわゆるバズビークが発生し、実際のマスク寸法よりも素子領域側に分離領域の絶縁膜が侵入して寸法変化が生じ、この変化量が $0.5\mu\text{m}$ 世代以降の微細化には許容できない数値となる。そのため、量産技術の分野においても寸法シフトのきわめて少ないトレンチ分離法への転換が始まりつつある。例えばIBM社が $0.5\mu\text{m}$ CMOSプロセスとしてMPUの量産に溝型素子分離構造を導入している（参考文献：IBM Journal of Research and Development、VOL. 39、NO. 1/2、1995、33-42頁）。

【0004】

図6は、従来のトレンチ分離とMOSFETとが設けられた半導体装置の例を示す断面図である。同図に示すように、シリコン基板101には溝型の素子分離105aが形成されている。そして、素子分離105aによって囲まれた活性領域上には、ゲート絶縁膜103a及びゲート電極107aと、ゲート電極107

a の両側面上の電極部サイドウォール 108a とが設けられている。また、活性領域においてゲート電極 107a の両側方に位置する領域に低濃度ソース・ドレイン両い 106a と、高濃度ソース・ドレイン領域 106b とが設けられ、素子分離 105a の下方にチャンネルストップ領域 115 が設けられている。また、素子分離 105a の及び活性領域として機能しないシリコン基板 101 の上に亘ってゲート電極 107a と同じポリシリコン膜からなるゲート配線 107b がゲート絶縁膜 103b を介して設けられ、その両側面上には配線部サイドウォール 108b が設けられている。さらに、ゲート電極 107a、ゲート配線 107b 及び高濃度ソース・ドレイン領域 106b の上には、それぞれシリサイドからなる上部ゲート電極 109a と、上部ゲート配線 109b と、ソース・ドレイン電極 109c とが設けられている。さらに、シリコン酸化膜からなる層間絶縁膜 11 と、層間絶縁膜 111 上に形成された金属配線 112 と、層間絶縁膜 111 内に形成されたコンタクトホール内に埋め込まれ、金属配線 112 とソース・ドレイン電極 109c との間を接続するコンタクト部 113 とが設けられている。

#### 【0005】

次に、図 7 (a) ~ (e) を参照しながら、上記図 6 に示す従来の溝型素子分離と MOSFET とを有する半導体装置の製造工程について説明する。

#### 【0006】

まず、図 7 (a) に示すように、シリコン酸化膜 105 (図示せず) を堆積してから、シリコン窒化膜 117 の表面が露出するまで全面を平坦化する。この工程によって、素子分離領域 Reiso には、上記溝部 104 に埋め込まれたシリコン酸化膜からなる溝型の素子分離 105a が形成される。その後、いったんシリコン酸化膜 116 を除去した後、ゲート酸化膜 103 を全面に形成する。

#### 【0007】

次に、図 7 (c) に示すように、素子分離 105a の下方に不純物イオンの打ち込みを行って、チャンネルストップ領域 115 を形成した後、全面にポリシリコン膜 107 を堆積し、その上にゲート形成領域以外の領域を開口させたフォトリソ膜 121 を形成する。

**【0008】**

次に、図7（d）に示すように、フォトリジスト膜121をマスクとして、ポリシリコン膜107のドライエッチングを行い、素子形成領域Refet内のMOSFETのゲート電極107aと、素子分離105a上からシリコン基板101上に跨るゲート配線107bとを形成する。そして、フォトリジスト膜121を除去した後、ゲート電極107aをマスクとしてシリコン基板101内に不純物イオンの注入を行って、低濃度ソース・ドレイン領域106aを形成する。その後、基板の全面上にシリコン酸化膜108を堆積する。

**【0009】**

次に、図7（e）に示すように、シリコン酸化膜108の異方性ドライエッチングを行ってゲート電極107a及びゲート配線107bの両側面上に、それぞれ電極部サイドウォール108a及び配線部サイドウォール108bを形成する。その際、シリコン酸化膜108下方のゲート酸化膜103も同時に除去され、ゲート電極107aの下方のゲート酸化膜103aと、ゲート配線107bの下方のゲート酸化膜103bのみが残る。その後、ゲート電極107a及び電極部サイドウォール108aをマスクとして不純物イオンを斜め方向から注入し、高濃度ソース・ドレイン領域106bを形成する。その後、全面にTi膜を堆積した後、高温熱処理を行って、Ti膜とTi膜に直接接触するシリコンで構成される部材とを反応させてシリサイドからなる上部ゲート電極109aと、上部ゲート配線109bと、ソース・ドレイン電極109cとを形成する。

**【0010】**

その後の工程は省略し、MOSFETの最終的な構造を図5に示す。図5において、層間絶縁膜111の上に金属配線112が形成され、金属配線112とソース・ドレイン電極109cとの間には、コンタクトホールを埋め込んだWプラグ等からなるコンタクト部113により接続されている。

**【0011】**

上述のような溝型素子分離構造を採用する場合、熱酸化により厚いシリコン酸化膜を形成するLOCOS法のようなバースピークつまり活性領域内への酸化膜の入り込みがないので、ソース・ドレイン領域の寸法シフトが抑制される。そし

て、図7(c)に示す工程では、素子分離105aと素子形成領域Refetのシリコン基板101とが平坦化されている。

#### 【0012】

##### 【発明が解決しようとする課題】

しかしながら、上述のようなトレンチ構造の素子分離を有する半導体装置では、以下のような問題があった。

#### 【0013】

すなわち、図7(d)に示す状態から同図(e)に示す状態に移行する際に、シリコン酸化膜108の異方性エッチングを行って各サイドウォール108a, 108bを形成するが、そのときオーバーエッチングを行う必要がある。このオーバーエッチングによって、素子分離105aの表面がある程度下方まで掘り込まれる。

#### 【0014】

図8(a), (b)は、このときの高濃度ソース・ドレイン領域106bと素子分離105aとの境界付近を拡大して示す断面図である。

#### 【0015】

同図(a)に示すように、図7(d)に示す工程と図7(e)に示す工程との間で、不純物イオンを斜め方向から注入して高濃度ソース・ドレイン領域106bを形成する工程を行うが、素子分離105aが下方まで掘れ下がっているので、このイオン注入の際、素子分離105aの端部の下方にまで高濃度ソース・ドレイン領域106bが形成されてしまう。したがって、高濃度ソース・ドレイン領域106bとチャネルストップ領域115との近接が生じ、接合耐圧劣化や接合リークの増大等の不具合を招く。

#### 【0016】

また、図8(b)に示すように、高濃度ソース・ドレイン領域106bの上にTi膜等を堆積して下方のシリコンと反応させるシリサイド化を行うものでは、シリサイド層がシリコン基板101と素子分離105aとの界面に侵食しやすくなり、シリサイドからなるソース・ドレイン電極109cとチャネルストップ領域115との間で短絡電流の発生を招く虞れもあった。

**【0017】**

本発明は斯かる点に鑑みてなされたものであり、その目的は、上述のサイドウォール形成の際のオーバーエッチングによる溝型素子分離領域の掘り下がり防止する手段を講ずることにより、溝型素子分離構造を有しながら、接合リークや接合耐圧の劣化、短絡電流等のない微細かつ高性能な半導体装置及びその製造方法を提供することにある。

**【0018】**

**【課題を解決するための手段】**

上記目的を達成するために、本発明の講じた解決手段は、素子形成領域の半導体基板と溝型素子分離との間に、溝型素子分離の側が高くなるような段差部を形成し、この段差部にサイドウォールを設けたものである。具体的には、請求項1～5に記載される半導体装置と、請求項6～12に記載される半導体装置の製造方法とに関する手段を講じている。

**【0019】**

本発明の半導体装置は、請求項1に記載されるように、半導体基板と、上記半導体基板の一部に設けられた素子形成領域と、上記素子形成領域を取り囲み、上記素子形成領域との間に上記素子形成領域の半導体基板よりもステップ状に高くなる段差部を有し絶縁性材料からなる溝型素子分離と、上記素子形成領域と溝型素子分離との間の段差部の側面上に形成された段差部サイドウォールとを備えている。

**【0020】**

この構成により、溝型素子分離の端部に溝型素子分離の表面が素子形成領域の半導体基板表面よりも高くなった段差部が設けられているので、半導体装置の不純物拡散層を形成する際の不純物イオンの注入の際に素子分離の端部下方への不純物イオンの注入が阻止される。また、シリサイドからなるソース・ドレイン電極を設ける構造を採用する場合にも、段差部サイドウォールによってシリサイド層の奥方への侵入が阻止されているので、ソース・ドレイン電極とチャンネルストップ領域等の基板領域との間に短絡電流が発生するのを防止することができる。したがって、溝型素子分離における各半導体装置間の分離機能の低下が防止され

ることになる。

**【0021】**

請求項2に記載されるように、請求項1において、上記段差部サイドウォールを、絶縁性材料で構成することができる。

**【0022】**

請求項3に記載されるように、請求項1において、上記素子形成領域に、ゲート電極、該ゲート電極の両側面上の電極部サイドウォールを有するMISFETを形成し、上記段差部サイドウォールの少なくとも一部を、上記電極部サイドウォールと同時に形成することができる。

**【0023】**

請求項4に記載されるように、請求項3において、上記電極部サイドウォールを、ゲート電極の側面及び上記半導体基板の上に亘って保護酸化膜を介して形成されたほぼ一定の厚みのL字状シリコン窒化膜で構成し、上記段差部サイドウォールを、上記素子形成領域と溝型素子分離との間の段差部の側面及び半導体基板の上に亘って保護酸化膜を介して形成されたほぼ一定厚みのL字状シリコン窒化膜で構成することができる。

**【0024】**

この構成により、段差部に設けられたL字状シリコン窒化膜によって溝型素子分離における各半導体装置間の分離機能の低下が防止される。しかも、サイドウォールを形成する際のオーバーエッチングによっても溝型素子分離の膜厚が低減することのない構造となるので、段差の値を小さくすることが可能となる。したがって、ゲート電極をパターニングする際の活性領域上の半導体基板と溝型素子分離とがフラットな状態に近付くので、ゲートの仕上がり寸法精度が向上することになる。

**【0025】**

請求項5に記載されるように、請求項3において、上記電極部サイドウォール及び段差部サイドウォールをいずれもシリコン膜で構成し、上記電極部サイドウォールと上記ゲート電極及びシリコン基板との間に介設された絶縁膜と、上記電極部サイドウォール上から上記素子形成領域のソース・ドレイン領域上を経て上

記段差部サイドウォールに至る領域の上に形成され、シリサイドからなるソース・ドレイン電極とをさらに設けることができる。

**【0026】**

この構成により、段差部サイドウォールによる不純物イオンの注入阻止機能と、シリサイド化工程におけるシリサイド層の奥方への侵入阻止機能とが得られる。しかも、電極部サイドウォール、ソース・ドレイン領域及び段差部サイドウォールに亘る広い領域の上にシリサイド層からなるソース・ドレイン電極が設けられているので、上層の配線からのコンタクトの形成が容易かつ確実となり、信頼性が向上するとともに素子形成領域の面積の低減が可能となる。

**【0027】**

本発明に係る第1の半導体装置の製造方法は、請求項6に記載されるように、半導体基板上に酸化膜を形成する第1の工程と、上記酸化膜の上に上記酸化膜とは異なる材料で構成されるエッチングストップ膜を堆積する第2の工程と、上記エッチングストップ膜のうち素子分離を形成しようとする領域を開口し、この開口部の半導体基板をエッチングして溝部を形成する第3の工程と、上記溝部の深さ及び上記エッチングストップ膜の膜厚を加えた値以上の厚みの絶縁膜を全面に堆積する第4の工程と、上記絶縁膜が堆積された状態の半導体基板を少なくとも上記エッチングストップ膜の表面が露出するまで平坦化するとともに、上記溝部に上記素子形成領域を取り囲む溝型素子分離を形成する第5の工程と、エッチングにより、少なくとも上記エッチングストップ膜及び酸化膜を除去し、上記素子形成領域と溝型素子分離との間に上記溝型素子分離の側が上記素子形成領域の半導体基板よりもステップ状に高くなった段差部を露出させる第6の工程と、上記基板上にゲート酸化膜及び導電膜を堆積した後、該導電膜から少なくともゲート電極をパターンニングする第7の工程と、基板の全面上に絶縁膜を堆積した後、異方性エッチングにより、上記ゲート電極及び上記段差部の各側面上に上記絶縁膜からなるサイドウォールを形成する第8の工程と、上記ゲート電極の両側の素子形成領域の半導体基板内に不純物を導入してソース・ドレイン領域を形成する第9の工程とを備えている。

**【 0 0 2 8 】**

この方法により、第6の工程が終了した段階で素子形成領域の半導体基板と溝型素子分離との間に段差部が形成されているので、第9の工程における不純物イオンの注入の際に、溝型素子分離の端部下方への不純物イオンの注入が阻止される。また、後にソース・ドレイン領域の表面付近をシリサイド化する場合にも、絶縁膜からなる段差部のサイドウォールによってシリサイド層の奥方への侵入は阻止される。したがって、接合耐圧の劣化や接合リーク等を防止できるとともに、ソース・ドレイン電極とチャンネルストップ領域等の基板領域との短絡電流の発生を防止できる。

**【 0 0 2 9 】**

請求項7に記載されるように、請求項6において、上記第2の工程では、少なくとも上記第8の工程におけるオーバーエッチング量を考慮して、上記第6の工程で所定値以上の高低差を有する段差部が露出されるようにエッチングストップ膜の膜厚を定めることができる。

**【 0 0 3 0 】**

この方法により、第6の工程においてエッチングストップ膜を除去したときに、オーバーエッチング量による溝型素子分離の膜減りを見込んだ高低差が確保される。したがって、請求項6の作用が有効に得られることになる。

**【 0 0 3 1 】**

本発明に係る第2の半導体装置の製造方法は、請求項8に記載されるように、半導体基板上に酸化膜を形成する第1の工程と、上記酸化膜の上にゲート電極となる第1の導電膜を堆積する第2の工程と、上記第1の導電膜のうち溝型素子分離を形成しようとする領域を開口し、この開口部の半導体基板をエッチングして溝部を形成する第3の工程と、上記溝部の深さ及び上記第1の導電膜の膜厚を加えた値以上の厚みの絶縁膜を全面に堆積する第4の工程と、上記絶縁膜が堆積された状態の半導体基板を、少なくとも上記第1の導電膜の表面が露出するまで平坦化するとともに、上記溝部に上記素子形成領域を取り囲む溝型素子分離を形成する第5の工程と、上記平坦化された基板の全面上に少なくとも上部ゲート電極となる第2の導電膜を堆積する第6の工程と、上記第1及び第2の導電膜から少

なくともゲート電極をパターニングするとともに、上記素子形成領域と溝型素子分離との間に上記溝型素子分離の側が上記素子形成領域の半導体基板よりもステップ状に高くなった段差部を露出させる第7の工程と、基板の全面上に絶縁膜を堆積した後、異方性エッチングにより、上記ゲート電極及び上記段差部の各側面上に上記絶縁膜からなるサイドウォールを形成する第8の工程と、上記ゲート電極の両側の素子形成領域の半導体基板内に不純物を導入してソース・ドレイン領域を形成する第9の工程とを備えている。

**【0032】**

この方法により、請求項6と同様の作用が得られるとともに、ゲート電極のパターニング工程では、基板全面がフルフラットな状態となっているので、ゲート電極のパターニング精度が向上する。

**【0033】**

請求項9に記載されるように、請求項8において、上記第2の工程では、少なくとも上記第8の工程におけるオーバーエッチング量を考慮して、上記第7の工程で所定値以上の高低差を有する段差が露出されるように上記導電膜の膜厚を定めることができる。

**【0034】**

この方法により、請求項7と同様の作用が得られる。

**【0035】**

請求項10に記載されるように、請求項6又は8において、上記第9の工程を終了した後に、少なくとも上記ソース・ドレイン領域の表面付近の領域をシリサイド化する工程をさらに設けることができる。

**【0036】**

この工程により、低抵抗のソース・ドレイン電極が形成されるので、低電圧かつ高速で作動する半導体装置が形成されることになる。

**【0037】**

請求項11に記載されるように、請求項6又は8において、上記第7の工程の後上記第8の工程の前に基板の全面上に保護用酸化膜を堆積する工程をさらに設け、上記第8の工程では、上記保護用酸化膜の上にサイドウォール形成用シリコ

ン窒化膜とマスク用膜とを順次堆積し、上記マスク用膜をエッチバックして上記ゲート電極及び段差部の側方に上記シリコン窒化膜をパターニングするためのマスクを残し、該マスクを用いて上記シリコン窒化膜から上記ゲート電極及び段差部の側方にサイドウォールとなるL字状シリコン窒化膜をパターニングした後、上記マスクを除去するように行うことができる。

#### 【0038】

この方法により、段差部に残されたL字状の窒化膜からなる段差部サイドウォールの存在によって、第9の工程におけるイオン注入の際における素子分離の端部下方への不純物イオンの注入が阻止される。また、シリサイドからなるソース・ドレイン電極を設ける工程を後に行うようにした場合にも、シリコン窒化膜からなる段差部サイドウォールによってシリサイド層の奥方への侵入が阻止される。しかも、第8の工程において、サイドウォールを形成する際のオーバーエッチングが行われても、溝型素子分離の上に保護用酸化膜が堆積されているので、溝型素子分離の膜減りが生じない。したがって、その分溝型素子分離と活性領域内の半導体基板との間の段差を小さくすることができ、第7の工程でゲート電極をパターニングする際の段差が低減することで、ゲート電極のパターニング精度が向上する。

#### 【0039】

請求項12に記載されるように、請求項6又は8において、上記第7の工程では、上記導電膜の上にさらに第1の保護用絶縁膜を堆積し、該第1の保護用絶縁膜をゲート電極とともにパターニングし、上記第7の工程の後上記第8の工程の前に基板の全面上に第2の保護用絶縁膜を堆積する工程をさらに備え、上記第8の工程では、上記第2の保護用絶縁膜の上にサイドウォール形成用シリコン膜を堆積し、上記ゲート電極及び段差部の側面上に上記シリコン膜からなる電極部サイドウォール及び段差部サイドウォールを形成し、上記第9の工程の後に、上記電極部サイドウォール、上記ソース・ドレイン領域及び上記段差部サイドウォールに跨る領域をシリサイド化する工程をさらに設けることができる。

#### 【0040】

この方法により、請求項6又は請求項8と同様の作用が得られる。また、ソー

ス・ドレイン領域の表面付近をシリサイド化する工程において、シリコン膜からなるからなる段差部のサイドウォールの表面がシリサイド化されるものの、シリサイド層の奥方への侵入は阻止される。したがって、ソース・ドレイン電極とチャンネルストップ領域等の基板領域との短絡電流の発生を防止することが可能となる。しかも、電極部サイドウォールーソース・ドレイン領域ー段差部サイドウォールの広い範囲に跨ってシリサイド化されたソース・ドレイン電極が形成されるので、上層配線からのコンタクト部の形成が容易となり、半導体装置の占有面積の低減も可能となる。

#### 【0041】

##### 【発明の実施の形態】

##### (第1の実施形態)

まず、第1の実施形態について、図1及び図2(a)～(e)を参照しながら説明する。図1は、本実施形態に係る半導体装置の構造を示す断面図であり、図2(a)～(e)は、図1に示す半導体装置の構造を実現するための製造工程を示す断面図である。

#### 【0042】

図1において、一導電型のシリコン基板(又はウェル)1上に、シリコン基板1の表面付近の領域を多数の素子形成領域Refetに区画する素子分離領域Reisoには、溝型の素子分離5aが形成されている。この素子分離5aの表面は素子形成領域Refetのシリコン基板1の表面よりも十分に高く、両者間には所定の高低差を有する段差部が形成されている。この素子分離5aは、後述のようにシリコン基板1に形成された溝内に絶縁性材料を埋め込んで形成されたものである。そして、少なくとも素子分離5aの底部には、シリコン基板1と同一導電型のチャンネルストップ領域15が形成されている。

#### 【0043】

一方、上記素子分離5aにより画成された素子形成領域Refetには、ゲート電極4、ゲート酸化膜3、電極部サイドウォール8a、低濃度ソース・ドレイン領域6a、高濃度ソース・ドレイン領域6bからなるMOSトランジスタが形成されている。また、高濃度の不純物拡散層からなるソース・ドレイン電極5等を有

するMOS形トランジスタ等が形成されている。また、素子形成領域Refet以外の半導体基板上及び素子分離5 a上にも、上記ゲート電極7 aと同時に形成されたゲート配線7 b及び配線部サイドウォール7 bが形成されている。さらに、ゲート電極7 a、ゲート配線7 b及び高濃度ソース・ドレイン領域6 bの上部は、それぞれチタンシリサイド(TiSi<sub>2</sub>)で構成された上部ゲート電極9 a、上部ゲート配線9 b及びソース・ドレイン電極9 cが形成されている。

#### 【0044】

ここで、本実施形態の特徴として、上記素子分離5 aの段差部側面には、上記電極部サイドウォール8 a、配線部サイドウォール8 bと同時に形成された段差部サイドウォール8 cが形成されている。この段差部サイドウォール8 cの一部は上記電極部サイドウォール8 a及び配線部サイドウォール8 bとつながる構造となっている。

#### 【0045】

また、上記素子分離5 aやゲート電極7 a等が形成された基板の全面上には層間絶縁膜1 1及び第1層目金属配線1 2が形成されており、第1層目金属配線1 2はコンタクト部1 3を介して素子形成領域の上部ゲート電極9 aやソース・ドレイン電極9 cと接続されている。

#### 【0046】

次に、上記図1の構造を実現するための製造工程について、図2(a)～(e)を参照しながら説明する。

#### 【0047】

まず、図2(a)に示すように、シリコン基板1上に、シリコン酸化膜1 6及びシリコン窒化膜1 7を堆積し、素子分離領域Reisoを開口し素子形成領域Refetを覆うフォトレジスト膜2 0をパターニングした後、フォトレジスト膜2 0をマスクとして、上記シリコン窒化膜1 7及びシリコン酸化膜1 6を選択的に除去し、さらに、シリコン基板1をエッチングして、溝部4を形成する。このとき、従来の溝部方法とは異なり、シリコン窒化膜1 7の膜厚を150～200 nm程度に厚くしておく、ただし、シリコン酸化膜1 6の膜厚は従来の方法と同様に10～20 nmである。そして、溝部4の深さも従来の方法と同程度でよく、50

0 nm程度である。その後、後に形成されるソース・ドレイン領域に注入される不純物の導電型とは逆導電型の不純物イオンの注入を行って、チャンネルストップ領域15を形成する。

#### 【0048】

次に、図2(b)に示すように、上記フォトレジスト膜20を除去した後、溝部4の深さ及び残存するシリコン窒化膜17の厚みを加えた値つまり溝部4の底からシリコン窒化膜17の表面までの高さよりも十分な厚さの絶縁膜5(図示せず)を堆積し、化学的機械研磨(CMP)を行ってこの絶縁膜5をシリコン窒化膜17の表面が露出するまで除去し、基板面全体を平坦化する。この工程によって、素子分離領域Reisoに、絶縁膜5で構成される溝型の素子分離5aが形成される。この平坦化方法については、本実施形態に限定されるものではなく、フォトレジスト膜で素子形成領域Refetの反転パターンを用いてエッチバックする方法などを用いてもよい。

#### 【0049】

その後、図示しないが、上記シリコン窒化膜17をリン酸ボイル液などを用いて除去し、さらにフッ酸系のウェットエッチング液などを用いてシリコン酸化膜16を除去して、素子形成領域Refetのシリコン基板1表面を露出させる。この時点で、素子形成領域Refetのシリコン基板1表面と素子分離5aの表面との間に十分な高低差を有する段差部が露出されていることが本実施形態の特徴であり、その高低差は後述のサイドウォール形成工程におけるオーバーエッチング量等を考慮して、50~100 nm程度である。ただし、本実施形態の効果を有効に得るためには、次に行われるサイドウォール形成時のサイドウォール用絶縁膜の厚さ及びオーバーエッチング量を適正に定める必要がある。

#### 【0050】

次に、図2(c)に示すように、シリコン基板1及び素子分離5aの上にポリシリコン膜7を堆積し、その上に、ゲート電極及びゲート配線が形成される領域以外の領域を開口したフォトレジスト膜21を形成する。そして、図示しないが、このフォトレジスト膜21をマスクとして、ドライエッチングを行って、ゲート電極7a及びゲート配線7bをパターンニングする。

**【0051】**

次に、図2(d)に示すように、基板の全面上に絶縁膜(シリコン酸化膜)を堆積し、この絶縁膜の異方性エッチングを行って、図2(e)に示すように、ゲート電極7aの側面上には電極部サイドウォール8aを、ゲート配線7bの側面上には配線部サイドウォール8bを形成する。その際、素子形成領域Refetのシリコン基板1と素子分離5aとの間の段差部の側面上にも段差部サイドウォール8cが形成される。そして、この状態で不純物イオンの注入を行って、高濃度ソース・ドレイン領域6bを形成する。この時点でも、素子形成領域Refetのシリコン基板1と素子分離5aとの間の段差部の高低差が十分確保されている。

**【0052】**

その後の工程の図示は省略するが、シリサイド工程による上部ゲート電極9a、上部ゲート配線9b及びソース・ドレイン電極9cの形成と、層間絶縁膜11の堆積及びコンタクトホール形成と、コンタクトホールへの金属の埋め込み及び第1層目金属配線12の形成とを経て、図1に示す溝埋め込み型分離構造を有するMOS型トランジスタが形成される。

**【0053】**

なお、上記工程では、LDD構造を有するトランジスタを形成するために電極部サイドウォール8a等を形成したが、ソース・ドレイン領域とチャネル領域との間に逆導電型の不純物を注入してパンチスルーストップを設けるいわゆるポケット注入構造を有するトランジスタにおいても、電極部サイドウォール8a等を形成することがあり、本発明はかかるポケット注入構造を有するトランジスタにも適用される。

**【0054】**

本実施形態のごとく、1 $\mu$ m以下のゲート長を有するMOSトランジスタを形成する場合には、短チャネル効果を抑制しトランジスタの信頼性を確保するためのLDD構造やポケット注入構造を有するトランジスタを形成するためにゲート電極7aの側壁に電極部サイドウォール8aを形成する必要がある。このときの電極部サイドウォール8aの厚さは必要とされるデバイスの特性から決定されるが、異方性の強いドライエッチング技術で形成するため、膜厚の制御としてはほ

ば堆積膜厚で一意に決めることができる。しかしながら、ウェハ面内におけるエッチング速度のバラツキや堆積膜厚のバラツキなどを考慮して、通常10～30%程度のオーバーエッチングを行っている。例えば100nm厚さの絶縁膜から電極部サイドウォール8aを形成する場合、110～130nmの厚みの絶縁膜を除去するのに相当する時間だけエッチングを施す。

#### 【0055】

このとき、酸化膜で構成される素子分離5aは素子形成領域Refetのシリコン基板1よりも高い選択比でエッチングされるので、例えば10～30nm程度の膜減りが発生する。そのため、従来の構造では、図8(a), (b)に示すように、素子分離105aの表面がシリコン基板101の表面よりも低くなり、上述のような不具合を生じる。それに対し、本実施形態では、図2(d)に示す状態で、素子分離5aの表面が素子形成領域Refetのシリコン基板面よりも高くなるような段差部が形成されているので、上述のような不具合を有効に防止することができる。すなわち、高濃度ソース・ドレイン領域8bの形成の際に斜め方向から不純物イオンが注入されても、段差部の素子分離5aの膜厚が十分あるので、不純物イオンの素子分離5aの端部下方への打ち込みが阻止される。したがって、高濃度ソース・ドレイン領域6bとチャネルストップ領域15との間の距離はほぼ一定に保持され、接合耐圧の劣化や接合リークの増大を未然に防止することができる。また、高濃度ソース・ドレイン領域6bの上にシリサイドからなるソース・ドレイン電極9cを形成する際にも、段差部サイドウォール8cによって、シリサイド層がシリコン基板1と素子分離5aとの境界面に浸蝕しようとするのを阻止し得る。したがって、ソース・ドレイン電極9cとチャネルストップ領域15との間で短絡電流が生じるのを有効に防止することができる。

#### 【0056】

ただし、本実施形態において、上述のような効果を有効に発揮するためには、少なくともサイドウォール形成工程におけるオーバーエッチング量つまり10～30nm程度の膜減り以上の高低差があることが好ましい。また、実際には素子分離5aの形成後にもシリコン酸化膜16の除去工程を始め素子分離5aを構成するシリコン酸化膜の膜減りが伴う工程があるため、この膜減り量なども考慮し

た高い高低差を有する段差を事前に形成しておくことが好ましい。したがって、上記図2(a)に示す工程において堆積されるシリコン窒化膜17の膜厚の下限値は、オーバーエッチング量やシリコン酸化膜16の除去工程のエッチング量から決定されることになる。

#### 【0057】

ただし、本実施形態では溝部4を形成するためのエッチングマスクとしてシリコン窒化膜17を用いたが、この膜の材質はシリコン酸化膜よりもエッチング選択比の小さい材質であれば良く、例えばポリシリコン膜等で代用することも可能である。

#### 【0058】

なお、本実施形態では、低抵抗化のために上部ゲート電極9aとソース・ドレイン電極9cとが同時に自己整合的にシリサイド化されたいわゆるサリサイド構造を有する実施形態について説明したが、ゲート電極をあらかじめポリサイド電極で形成し、後にソース・ドレイン電極のみシリサイド化した構造としてもよいことは言うまでもない。

#### 【0059】

(第2の実施形態)

次に、図3(a)～(e)を参照しながら、第2の実施形態について説明する。本実施形態と上記第1の実施形態とが異なる点は、溝型素子分離を形成する前にゲート酸化膜及びゲート電極となるポリシリコン膜の堆積を終了している点である。

#### 【0060】

まず、図3(a)に示すように、シリコン基板1上に、ゲート酸化膜3及びMOS型トランジスタのゲート電極となるポリシリコン膜7を順次堆積し、その上に、素子分離形成領域Reisoを開口し素子形成領域Refetを覆うフォトレジスト膜20をパターニングする。このフォトレジスト膜20をマスクとして、上記ポリシリコン膜7及びゲート酸化膜3を選択的に除去し、さらに、シリコン基板1をエッチングして、素子分離領域となる溝部4を形成する。このとき、従来の溝部方法とは異なり、ポリシリコン膜7の膜厚は、上記第1の実施形態におけるシ

リコン窒化膜とほぼ同じ程度つまり150～200nm程度にしておく、ゲート酸化膜3の膜厚は10～20nmである。溝部4の深さは、500nm程度である。その後、後に形成されるソース・ドレイン領域に注入される不純物の導電型とは逆導電型の不純物イオンの注入を行って、チャンネルストップ領域15を形成する。

#### 【0061】

次に、フォトレジスト膜20を除去した後、溝部4の深さ及び残存するポリシリコン膜7の厚みを加えた値つまり溝部4の底からポリシリコン膜7の表面までの高さよりも十分な厚さの絶縁膜5（図示せず）を堆積し、化学的機械研磨（CMP）を行ってこの絶縁膜5をポリシリコン膜7の表面が露出するまで除去し、基板面全体を平坦化する。この工程によって、素子分離領域Reisoに、絶縁膜5で構成される溝型の素子分離5aが形成される。この平坦化方法については、本実施形態に限定されるものではなく、フォトレジスト膜で素子形成領域Refetの反転パターンを用いてエッチバックする方法などを用いてもよい。

#### 【0062】

次に、図3（b）に示すように、平坦化された基板上にゲート電極配線層となる導電膜18（導電性ポリシリコン膜でもよいし、WSiやTiSi等のシリサイド膜でもよい。さらに低抵抗化のためにTiN等のバリアメタルを介してW等の高融点金属を用いてもよい。）と絶縁膜からなる保護膜19とを堆積し、ゲート電極及びゲート配線が形成される領域以外の領域を開口したフォトレジスト膜21を形成する。そして、図示しないが、このフォトレジスト膜21をマスクとして、ドライエッチングを行って、ゲート電極7a、上部ゲート電極18a及び保護膜19aと、ゲート配線7b、上部ゲート配線18b及び保護膜19bとをパターンニングする。この時点で、素子形成領域Refetのシリコン基板1表面と素子分離5aの表面との間に十分な高低差を有する段差部が露出されていることが本実施形態の特徴であり、その高低差は後述のサイドウォール形成工程におけるオーバーエッチング量等を考慮して、50～100nm程度である。ただし、本実施形態の効果を有効に得るためには、次に行われるサイドウォール形成時のサイドウォール用絶縁膜の厚さ及びオーバーエッチング量を適正に定める必要がある。

る。

#### 【0063】

次に、図3(c)に示すように、第1の実施形態と同様に、基板の全面上に絶縁膜(シリコン酸化膜)を堆積し、この絶縁膜の異方性エッチングを行って、図3(d)に示すように、ゲート電極7a等の側面上には電極部サイドウォール8aを、ゲート配線7b等の側面上には配線部サイドウォール8bを形成する。その際、素子形成領域Refetのシリコン基板1と素子分離5aとの間の段差部の側面上にも段差部サイドウォール8cが形成される。そして、この状態で不純物イオンの注入を行って、高濃度ソース・ドレイン領域6bを形成する。この時点でも、素子形成領域Refetのシリコン基板1と素子分離5aとの間の段差部の高低差が十分確保されている。

#### 【0064】

次に、図3(e)に示すように、高濃度ソース・ドレイン領域6bの上のみにシリサイドからなるソース・ドレイン電極9cを形成する。

#### 【0065】

その後の工程の図示は省略するが、層間絶縁膜11の堆積及びコンタクトホール12の形成と、コンタクトホールへの金属の埋め込み及び第1層目金属配線13の形成とを経て、図1に示す構造と類似した溝埋め込み型分離構造を有するMOS型トランジスタが形成される。ただし、本実施形態では、ゲート電極7a及びゲート配線7bの上に、それぞれ導電性ポリシリコン、あるいはシリサイド等からなる上部ゲート電極18a、上部ゲート配線18bと、絶縁膜からなる保護膜19a、19bとが形成され、シリサイドからなるソース・ドレイン電極9cは上部ゲート電極18aや上部ゲート配線18bとは別の工程で形成されている。

#### 【0066】

以上のように、本実施形態によれば、素子形成領域Refetのシリコン基板1と素子分離5aとの間に素子分離5a側が高い段差部が形成され、段差部の側面上に段差部サイドウォール8cが形成されているので、工程数を削減しながら、上記第1の実施形態と同様の効果を発揮することができる。

**【0067】**

加えて、本実施形態では、図3(b)に示す状態からゲート電極7a及びゲート配線7bをパターニングする工程を、素子分離5aの端部における段差部の影響を全く受けることなくフルフラットな状態で実施できるため、微細パターンを安定に形成できるという利点がある。

**【0068】**

(第3の実施形態)

次に、第3の実施形態について説明する。図4(a)～(f)は、第3の実施形態に係る半導体装置の製造工程を示す断面図である。

**【0069】**

図4(a)に示す状態に至るまでに、溝型の素子分離5a, チャネルストップ領域15, 低濃度ソース・ドレイン領域6a, ゲート絶縁膜3, ゲート電極7a, ゲート配線7b等を上記第1の実施形態と同様の工程によって形成した後、基板上に保護酸化膜31と、サイドウォール用のシリコン窒化膜32と、マスク用ポリシリコン膜33とを、いずれもCVD法により堆積する。このとき、ゲート電極7a及びゲート配線7bを構成するポリシリコン膜の厚みは330nm, 最小線幅は0.35ミクロンであり、保護酸化膜31の厚みは約20nmであり、シリコン窒化膜32の厚さは約30nmであり、ポリシリコン膜33の厚さは約100nmである。

**【0070】**

次に、図4(b)に示すように、RIEにより、ポリシリコン膜33をエッチバックし、ゲート電極7a, ゲート配線7b及び段差部の各側面上にそれぞれ電極部ポリシリコンマスク33a, 配線部ポリシリコンマスク33b及び段差部ポリシリコンマスク33cを形成する。このとき、ポリシリコン膜33とシリコン窒化膜32とのエッチング選択比は大きい。

**【0071】**

次に、図4(c)に示すように、残存するポリシリコンマスク33a, 33b, 33cをマスクとしてH<sub>3</sub>PO<sub>4</sub>(150℃の熱燐酸)によるウェットエッチングを行ない、シリコン窒化膜32のうち各ポリシリコンマスク33a, 33b

、 3 3 c に覆われた部分のみ残し他の部分を除去する。このとき、シリコン窒化膜 3 2 とポリシリコンマスク 3 3 a, 3 3 b, 3 3 c とのエッチングの選択比は、 3 0 : 1 程度にすることができる。この工程により、ゲート電極 7 a, ゲート配線 7 b 及び段差部の各側方に、いずれも L 字状の電極部サイドウォール 3 2 a, 配線部サイドウォール 3 2 b 及び段差部サイドウォール 3 2 c が残存する状態となる。

#### 【 0 0 7 2 】

次に、図 4 ( d ) に示すように、ゲート電極 7 a, 保護酸化膜 3 1, 電極部ポリシリコンマスク 3 3 a, 電極部サイドウォール 3 2 a, 段差部ポリシリコンマスク 3 3 c 及び段差部サイドウォール 3 2 c をマスクとして、活性領域のシリコン基板 1 内に不純物イオンを高濃度で注入し、高濃度ソース・ドレイン領域 6 b を形成する。

#### 【 0 0 7 3 】

その後、図 4 ( e ) に示すように、ドライエッチング又はウェットエッチングにより、ポリシリコンマスク 3 3 a, 3 3 b, 3 3 c を除去する。

#### 【 0 0 7 4 】

次に、図 4 ( f ) に示すように、HF 系のエッチング液を用いて、基板上で露出した部分の保護酸化膜 3 1 を除去する。その後、チタン膜を堆積し、1 回目の R T A 処理を行なって、チタンとシリコンとの反応により T i S i 2 膜からなるシリサイド層を形成する。そして、チタン膜を除去した後、2 回目の R T A 処理を行なって、ゲート電極 7 a, ゲート配線 7 b 及びソース・ドレイン領域 6 b の上に抵抗率の低いシリサイド層からなる上部電極 9 a, 上部配線 9 b 及びソース・ドレイン電極 9 c をそれぞれ形成する。その後、層間絶縁膜の堆積、平坦化、コンタクトホールの開孔、金属配線膜の堆積、金属配線の形成等を行って、L S I を形成する。

#### 【 0 0 7 5 】

本実施形態の方法では、図 4 ( f ) に示す工程で、段差部の側面上に保護酸化膜 3 1 c 及び L 字状の段差部サイドウォール 3 2 c が形成されているので、活性領域のシリコン基板 1 と素子分離 5 a との境界へのシリサイド層の侵入を有効に

防止することができる。

**【0076】**

また、図4(c), (d)に示す工程で、保護酸化膜31が素子分離5a及び活性領域のシリコン基板1の上に形成されているので、L字状のサイドウォール32a, 32b, 32cを形成する際に素子分離5aの膜厚の減小が生じない。したがって、その分素子分離5aとシリコン基板1との間の段差を低減することができ、ゲートのパターニング精度の向上を図ることができる。

**【0077】**

なお、ゲート電極を形成する工程は、上記第2の実施形態と同様に第1, 第2の導電膜で形成するようにしてもよく、その場合にも本実施形態と同様の効果を発揮することができる。

**【0078】**

(第4の実施形態)

上記各実施形態では、上記各サイドウォールを絶縁材料であるシリコン酸化膜又はシリコン窒化膜で構成したが、各サイドウォールを導電性材料例えばポリシリコン膜で構成してもよい。図5(a)～(e)は、導電性のサイドウォールを形成した場合における半導体装置の製造工程を示す断面図である。

**【0079】**

図5(a)に示す状態に至るまでに、溝型の素子分離5a, チャネルストップ領域15, 低濃度ソース・ドレイン領域6a, ゲート絶縁膜3, ゲート電極7a, ゲート配線7b等を上記第1の実施形態と同様の工程によって形成した後、基板上に保護酸化膜31と、サイドウォール用のポリシリコン膜34とを、いずれもCVD法により堆積する。ただし、本実施形態では、ゲート電極7a及びゲート配線7bの上には、それぞれ保護酸化膜10a, 10bが形成されている。このとき、ゲート電極7a及びゲート配線7bを構成するポリシリコン膜の厚みは330nm, 最小線幅は0.35ミクロンであり、保護酸化膜31の厚みは約20nmであり、ポリシリコン膜34の厚さは約100nmである。

**【0080】**

次に、図5(b)に示すように、RIEにより、ポリシリコン膜34をエッチ

バックして、ゲート電極 7 a, ゲート配線 7 b 及び段差部の各側方に、ポリシリコン膜からなる電極部サイドウォール 3 2 a, 配線部サイドウォール 3 2 b 及び段差部サイドウォール 3 2 c を形成する。

#### 【0081】

次に、図 5 (c) に示すように、ゲート電極 7 a, 保護酸化膜 3 1, 電極部サイドウォール 3 4 a 及び段差部サイドウォール 3 4 c をマスクとして、活性領域のシリコン基板 1 内に不純物イオンを高濃度で注入し、高濃度ソース・ドレイン領域 6 b を形成する。

#### 【0082】

その後、図 5 (d) に示すように、HF 系のエッチング液を用いて、基板上で露出した部分の保護酸化膜 3 1 を除去する。その後、チタン膜を堆積し、1 回目の R T A 処理を行なって、チタンとシリコンとの反応により T i S i<sub>2</sub> 膜からなるシリサイド層を形成する。そして、チタン膜を除去した後、2 回目の R T A 処理を行なって、電極部サイドウォール 3 4 a, 高濃度ソース・ドレイン領域 6 b 及び段差部サイドウォール 3 4 c の上に跨るシリサイド層からなるソース・ドレイン電極 9 d を形成する。なお、配線部サイドウォール 3 4 b の上にもシリサイド層が形成されるので、そのままでは、このシリサイド層はソース・ドレイン電極と接続され得る。本実施形態では、素子分離 5 a 上で、フォトレジスト膜等を用いて、エッチングを行い、ゲート配線 7 b の両側方の配線部サイドウォール 3 4 b 及びその上のシリサイド層を選択的に除去して、各活性領域のソース・ドレイン電極 9 d が相互に接続されないようにしている。ただし、ポリシリコン膜からなるサイドウォール 3 4 a, 3 4 b, 3 4 c を形成した後、すぐにゲート配線 7 b の両側方の配線部サイドウォール 3 4 b のみを選択的に除去するようにしてもよい。

#### 【0083】

その後、層間絶縁膜の堆積、平坦化、コンタクトホールの開孔、金属配線膜の堆積、金属配線の形成等を行って、L S I を形成する。

#### 【0084】

本実施形態では、最終的に電極部サイドウォール 3 4 a - 高濃度ソース・ドレ

イン領域 6 b 一段差部サイドウォール 8 c 間に跨る広い範囲にシリサイド層からなるソース・ドレイン電極 9 c が形成される。したがって、素子形成領域 Refet と素子分離 5 a との間の段差の存在によって不純物イオンの注入時における高濃度ソース・ドレイン領域 6 b とチャンネルストップ領域 1 5 との近接を有効に防止することができる。また、高濃度ソース・ドレイン領域 6 b の上にシリサイドからなるソース・ドレイン電極 9 c を形成する際に、段差部サイドウォール 3 4 c もある程度の厚み分だけシリサイド化されるものの、シリサイド層の奥方への侵入は阻止されるので、シリサイド層の素子分離—シリコン基板間の界面への浸透に起因するソース・ドレイン電極 9 c とチャンネルストップ領域 1 5 との短絡電流の発生を有効に防止することができる。しかも、このような実施形態では、電極部サイドウォール 3 4 a から高濃度ソース・ドレイン領域 6 b を経て段差部サイドウォール 3 4 c に至る広い領域がシリサイド化されるので、上方の第 1 層目配線とのコンタクト部を形成するのが極めて容易となり、その分、素子形成領域 Refet の面積を低減し得る。つまり、半導体装置の集積度を向上させることができる利点がある。なお、電極部サイドウォール 3 4 a 及び配線部サイドウォール 3 4 b が導電膜であるポリシリコンで構成されているものの、各サイドウォール 3 4 a, 3 4 b とゲート電極 7 a, ゲート配線 7 b との間が保護酸化膜 3 1 で絶縁されているので、サイドウォール—ゲート間で短絡等を生じる虞れはない。

#### 【0085】

なお、ゲート電極を形成する工程は、上記第 2 の実施形態と同様に第 1, 第 2 の導電膜で形成するようにしてもよく、その場合にも本実施形態と同様の効果を発揮することができる。

#### 【0086】

また、本実施形態では、各サイドウォールをポリシリコン膜で構成したが、アモルファスシリコン膜で構成してもよい。さらに、シリコン膜だけでなく、他の金属等の導電性材料からなるサイドウォールを形成してもよく、サイドウォールをシリサイド化する必要は必ずしもない。

**【0087】**

**【発明の効果】**

以上説明したように、請求項1～3の半導体装置によれば、溝型素子分離構造を有する半導体装置において、素子形成領域の半導体基板と溝型素子分離との間に溝型素子分離の方がステップ状に高くなる段差部を形成し、この段差部の側面上にサイドウォールを形成する構造としたので、接合耐圧劣化や接合リーク増大の防止と、ソース・ドレイン電極のシリサイド化によるソース・ドレイン電極と基板領域との間の短絡電流の発生を防止することができる。

**【0088】**

請求項4によれば、上記各サイドウォールを保護酸化膜を介して形成されたL字状のシリコン窒化膜で構成したので、請求項1の効果に加えて、段差の低減によるゲート電極の仕上がり寸法の向上を図ることができる。

**【0089】**

請求項5によれば、上記各サイドウォールをシリコン膜で形成し、さらに電極部サイドウォール、ソース・ドレイン領域及び段差部サイドウォールに亘る広い領域に跨るシリサイド層からなるソース・ドレイン電極を設けたので、請求項1の効果に加えて、上層配線からのコンタクトの形成を容易とし、半導体装置の集積度の向上を図ることができる。

**【0090】**

請求項6又は7によれば、溝型素子分離構造を有する半導体装置の製造方法として、溝型素子分離を形成した後エッチングストップ膜を除去したときに、溝型素子分離側が素子形成領域の半導体基板よりも高い段差部を露出させ、ゲート電極のサイドウォール形成と同時に段差部の側面にもサイドウォールが形成されるようにしたので、請求項1の効果を発揮する半導体装置の製造の容易化を図ることができる。

**【0091】**

請求項8又は9によれば、上記請求項6又は7の方法におけるエッチングストップ膜をゲート電極として機能し得る第1の導電膜で構成し、ゲート電極をこの第1の導電膜とその上に堆積された第2の導電膜とで形成するようにしたので、

ゲート電極をパターニングする工程をフルフラットな状態で行うことができ、上記請求項 6 又は 7 の方法の効果に加え、ゲート電極のパターニング精度の向上を図ることができる。

**【0092】**

請求項 10 によれば、請求項 6 又は 8 において、ソース・ドレイン領域をシリサイド化する工程をさらに設けたので、低抵抗のソース・ドレイン電極を有し、低電圧かつ高速で作動する半導体装置の製造を図ることができる。

**【0093】**

請求項 11 によれば、請求項 6 又は 8 において、ゲート電極をパターニングした後、基板上に保護酸化膜、サイドウォール用シリコン窒化膜及びマスク用膜を堆積し、エッチバックにより形成したマスクを用いてシリコン窒化膜から L 字状のサイドウォールをパターニングするようにしたので、請求項 6 又は 8 の効果に加えて、ゲート電極のパターニング精度の向上を図ることができる。

**【0094】**

請求項 12 によれば、請求項 6 又は 8 において、ゲート電極及び段差部のサイドウォールをシリコン膜で構成し、ゲート電極の側面からソース・ドレイン領域の表面を経て段差部の側面に至る領域の上にシリサイドからなるソース・ドレイン電極を形成するようにしたので、信頼性の高いかつ集積度の高い半導体装置の製造を図ることができる。

**【図面の簡単な説明】**

**【図 1】**

第 1 の実施形態における半導体装置の構造を示す断面図である。

**【図 2】**

第 1 の実施形態に係る半導体装置の製造工程を示す断面図である。

**【図 3】**

第 2 の実施形態に係る半導体装置の製造工程を示す断面図である。

**【図 4】**

第 3 の実施形態に係る半導体装置の製造工程を示す断面図である。

【図 5】

第 4 の実施形態に係る半導体装置の製造工程を示す断面図である。

【図 6】

従来の溝型素子分離構造を有する半導体装置の構造を示す断面図である。

【図 7】

従来の溝型素子分離を有する半導体装置の製造工程を示す断面図である。

【図 8】

従来の溝型素子分離を有する半導体装置の不純物イオン注入工程とシリサイド  
化工程とにおける不具合を示すための部分断面図である。

【符号の説明】

- 1 シリコン基板（半導体基板）
- 3 ゲート酸化膜
- 4 溝部
- 5 シリコン酸化膜（絶縁膜）
- 5 a 溝型素子分離
- 6 a 低濃度ソース・ドレイン領域
- 6 b 高濃度ソース・ドレイン領域
- 7 ポリシリコン膜（導電膜）
- 7 a ゲート電極
- 7 b ゲート配線
- 8 シリコン酸化膜
- 8 a 電極部サイドウォール
- 8 b 配線部サイドウォール
- 8 c 段差部サイドウォール
- 9 a 上部ゲート電極
- 9 b 上部ゲート配線
- 9 c ソース・ドレイン電極
- 1 1 層間絶縁膜
- 1 2 第 1 層目金属配線

1 3    コンタクト部

1 5    チャネルストップ領域

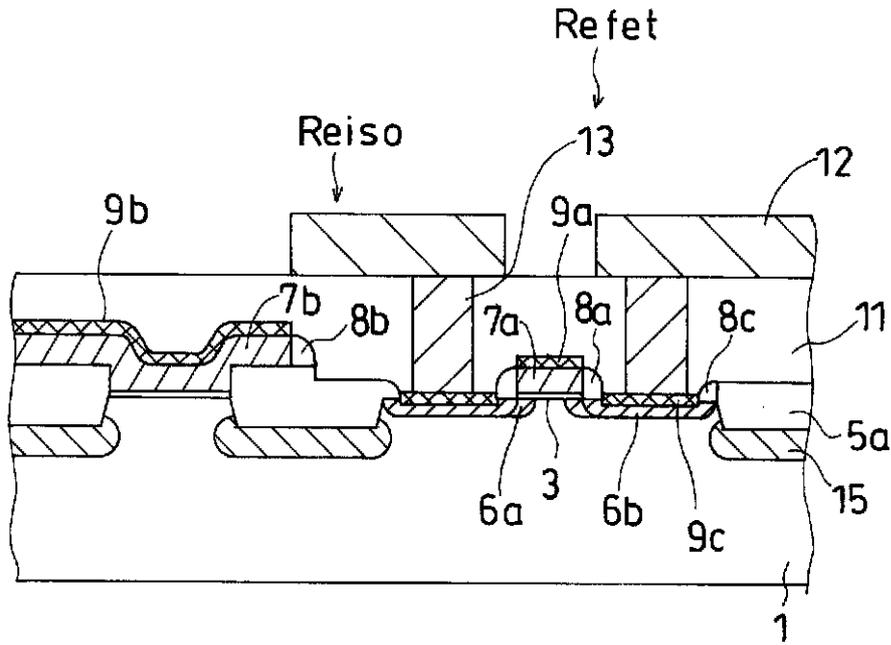
1 6    シリコン酸化膜

1 7    シリコン窒化膜 (エッチングストップ膜)

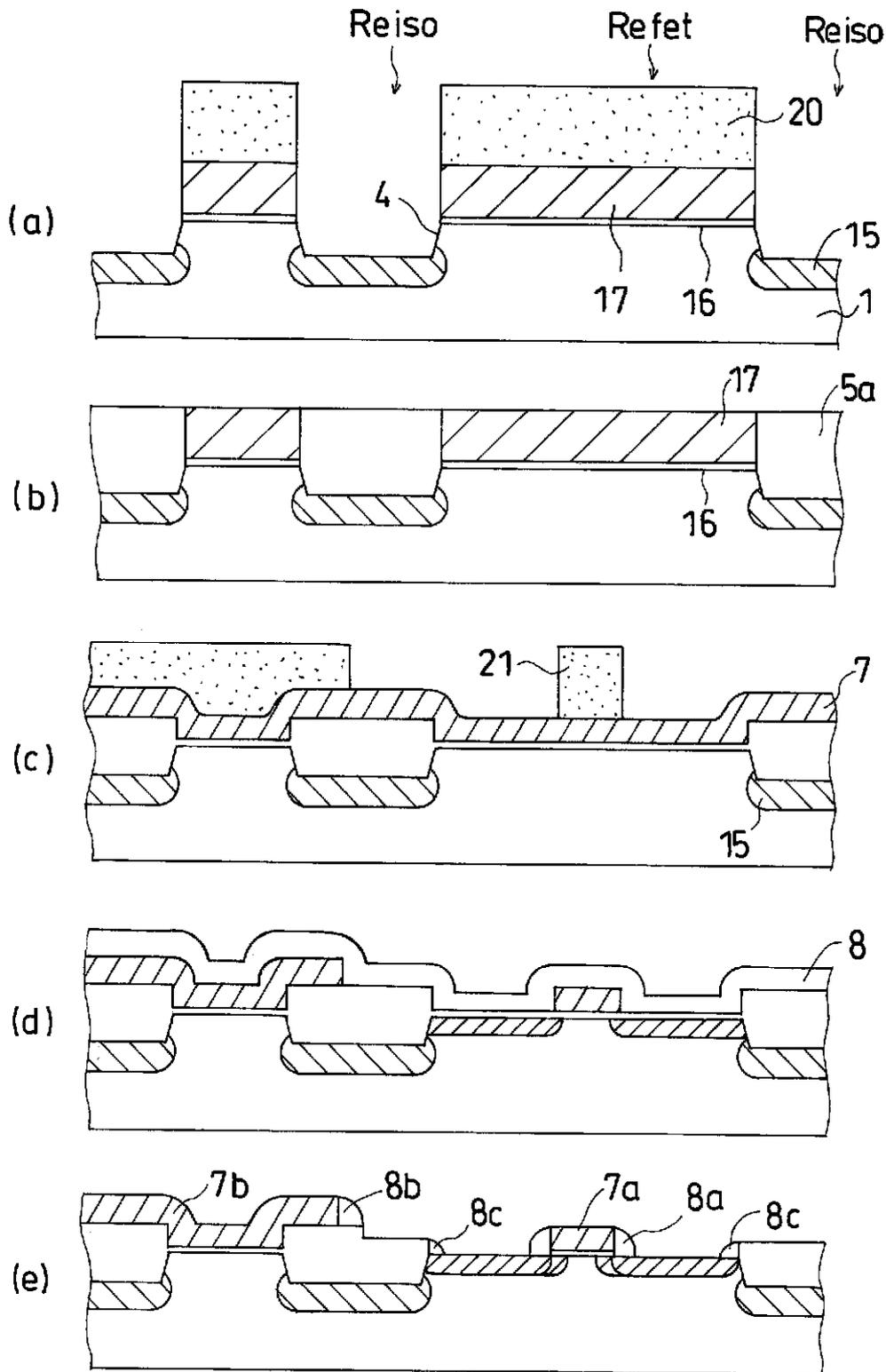
2 0, 2 1    フォトレジスト膜

【書類名】 図面

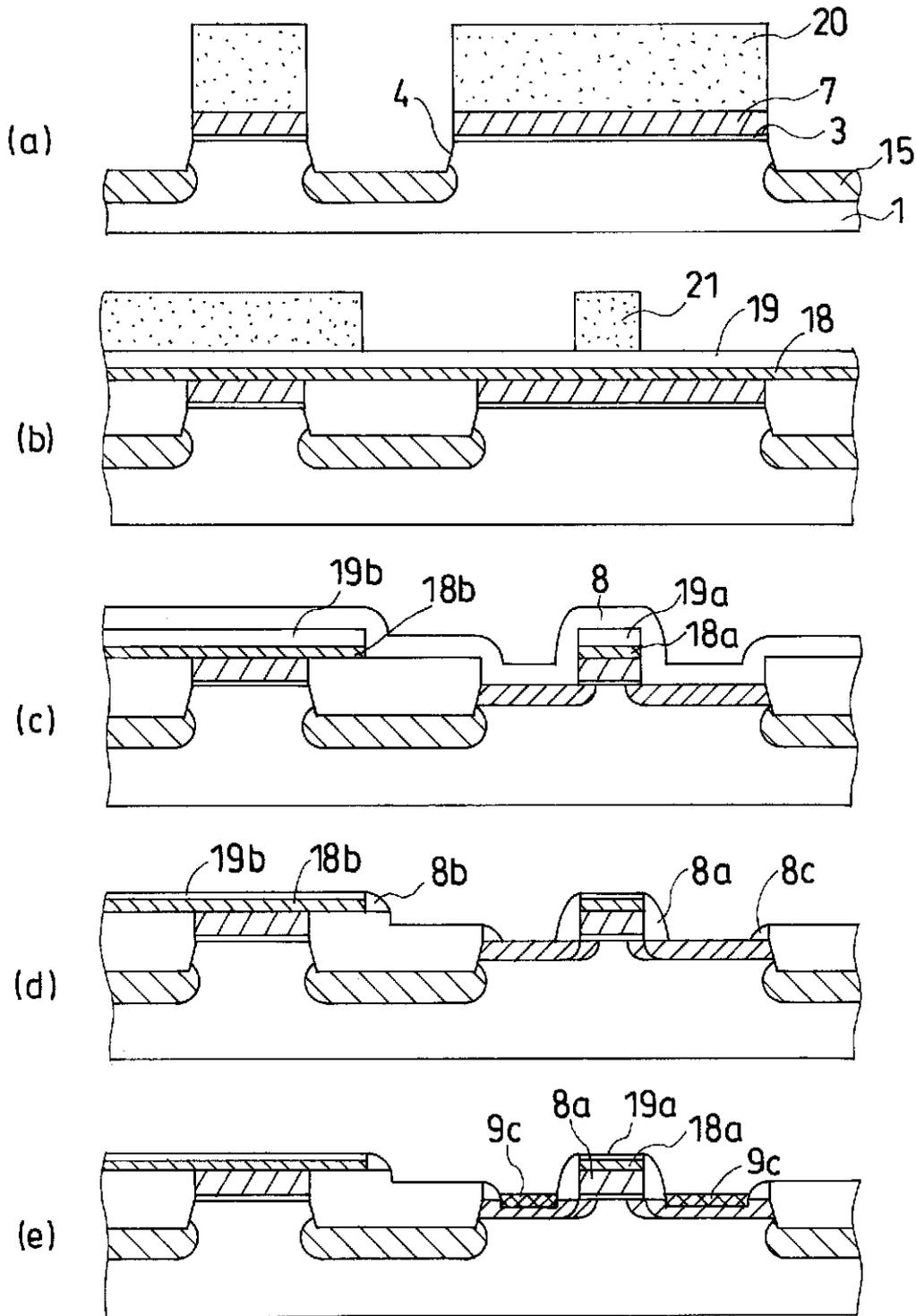
【図 1】



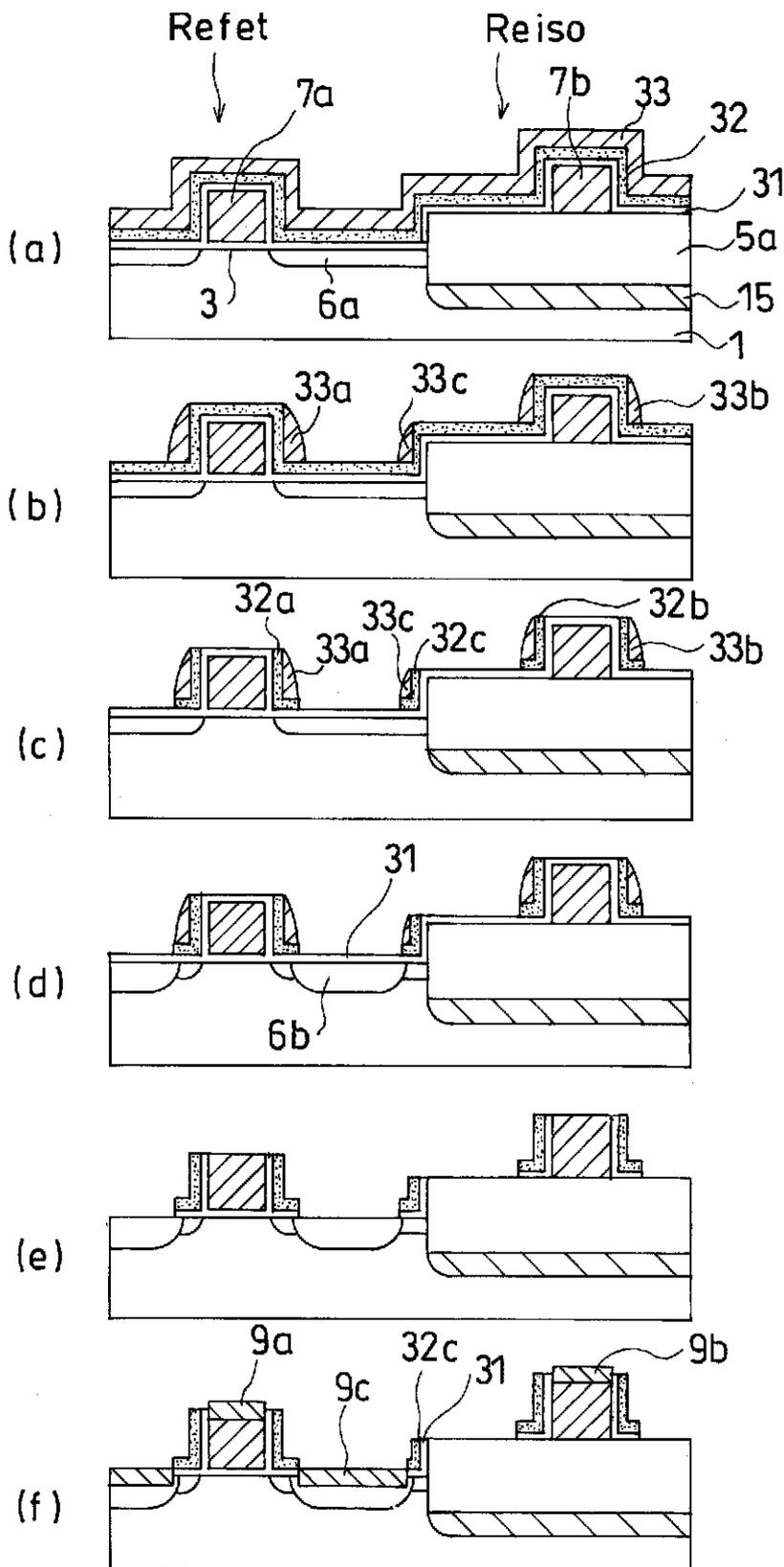
【図 2】



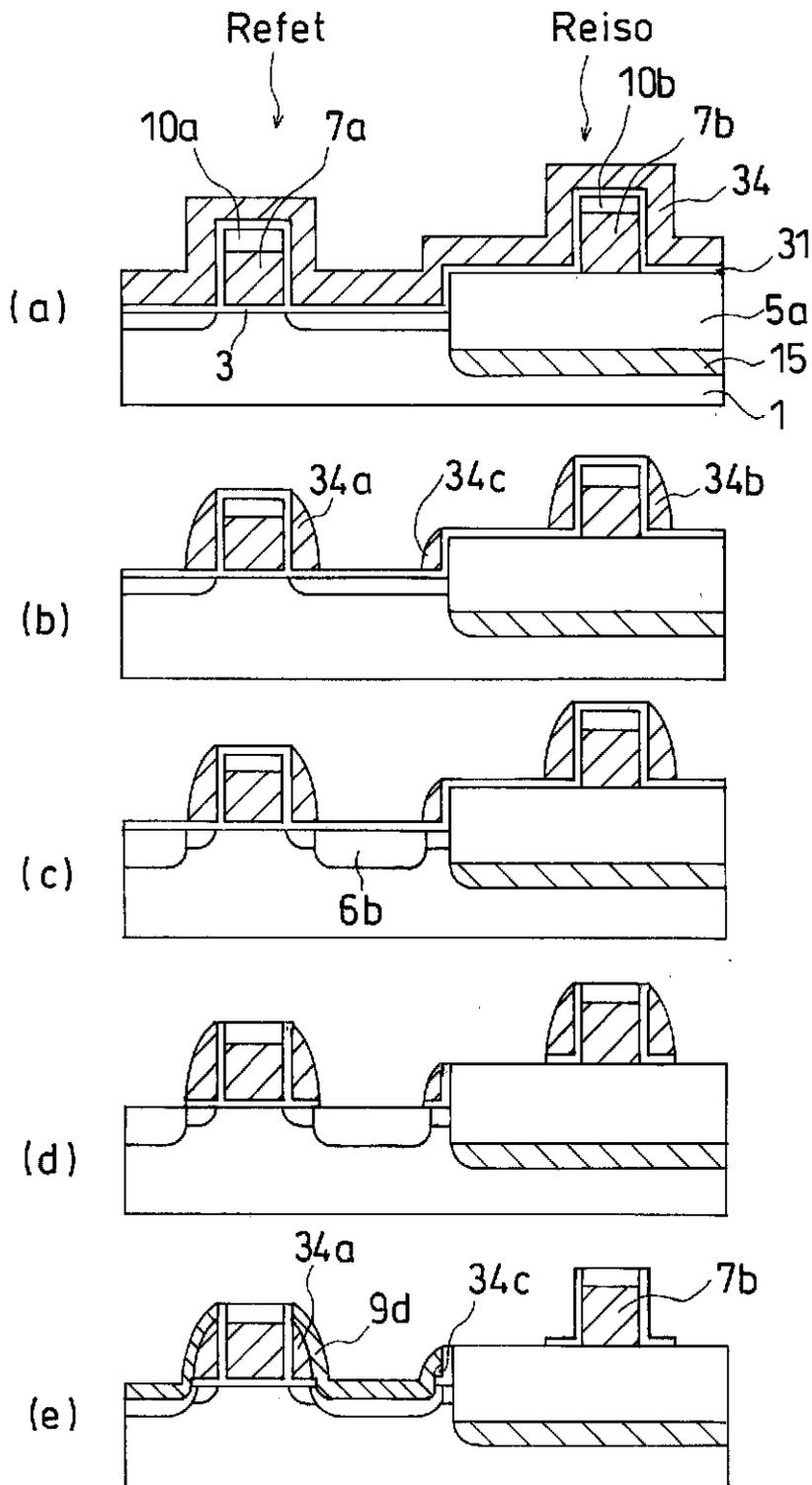
【図 3】



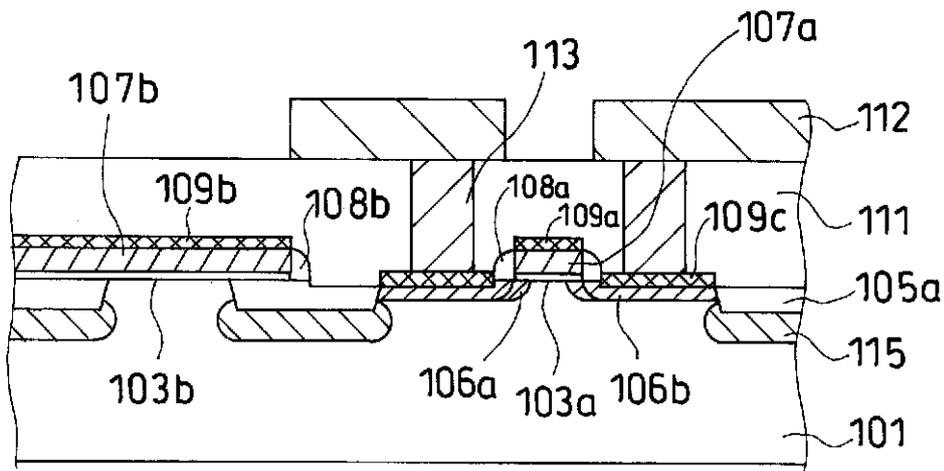
【図 4】



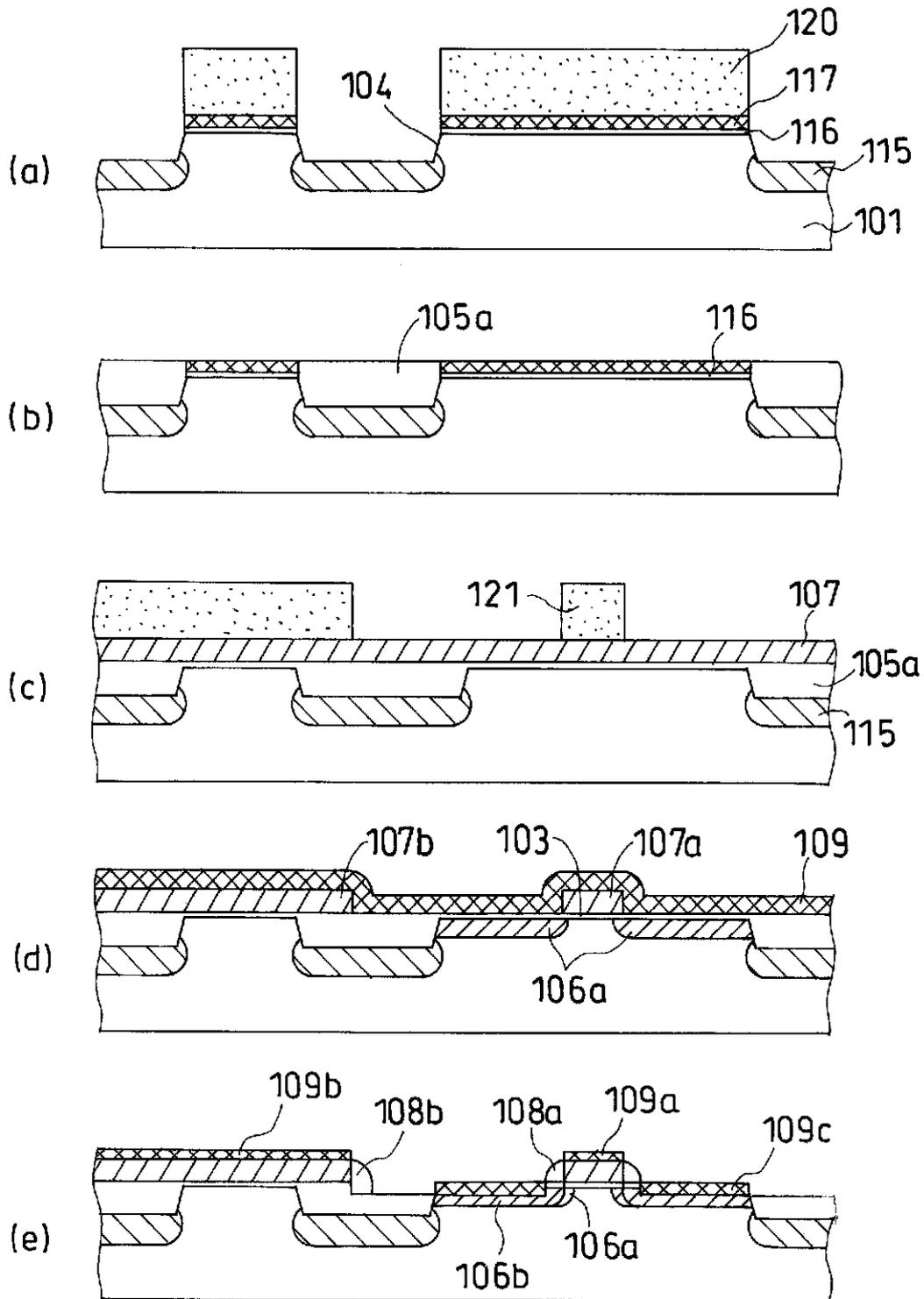
【図 5】



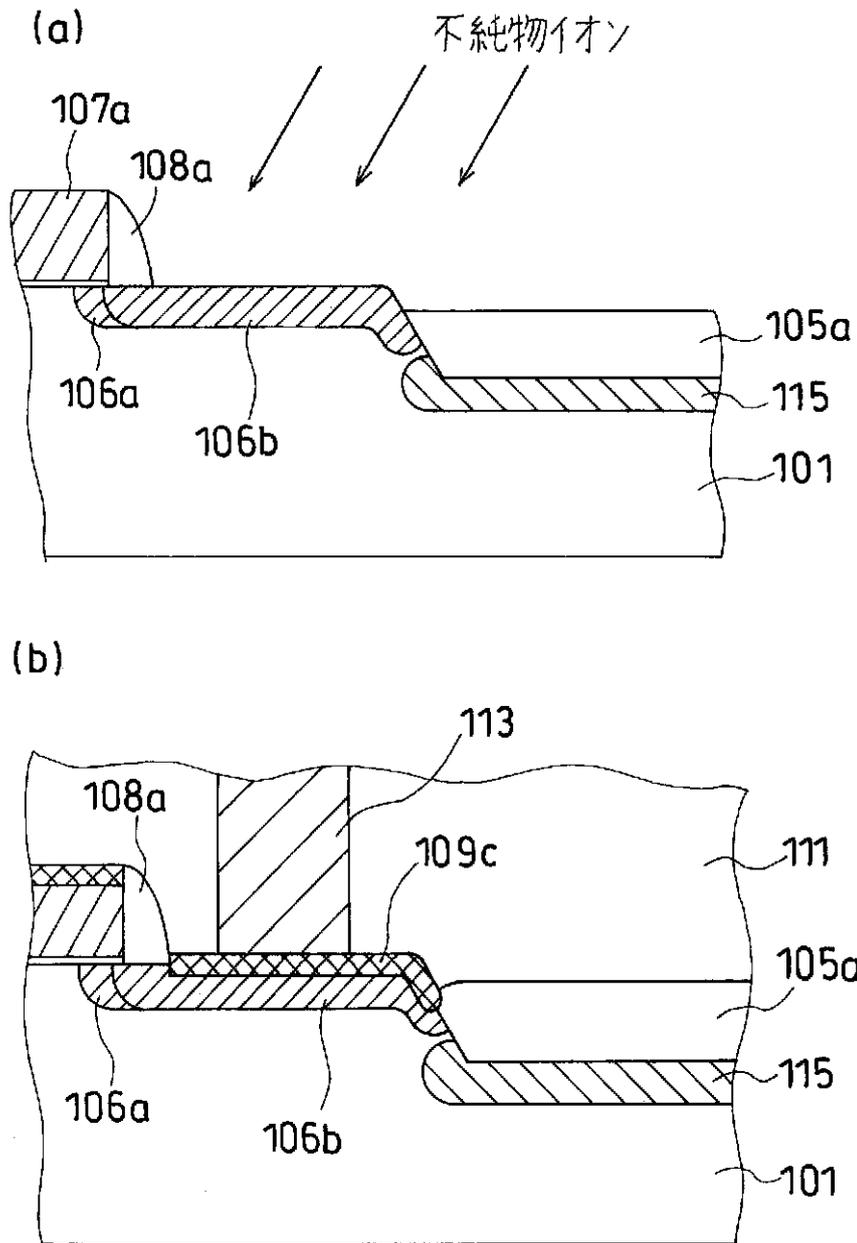
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 接合リークや接合耐圧の劣化、短絡電流等のない溝埋め込み分離法による微細かつ高性能な半導体装置及びその製造方法を提供する。

【解決手段】 素子形成領域Refetと溝型の素子分離5 a との間に素子分離5 a の側がステップ状に高くなった段差部が形成されている。そして、ゲート電極7 a と段差部の側面上には、互いに同時に形成された電極部サイドウォール8 a と段差部サイドウォール8 c とが形成されている。高濃度ソース・ドレイン領域6 bの上には、シリサイド化されたソース・ドレイン電極9 cが形成されている。素子形成領域Refetと素子分離5 a との間の段差部と、段差部サイドウォールとによって、不純物イオンの素子分離5 a の端部下方への侵入とシリサイド層のシリコン基板1と素子分離5 a との間の界面への侵入とを阻止する。

【選択図】 図1

【書類名】 職権訂正データ

【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000005821

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地

【氏名又は名称】 松下電器産業株式会社

【代理人】 申請人

【識別番号】 100077931

【住所又は居所】 大阪府大阪市西区靱本町 1 丁目 4 番 8 号 太平ビル  
前田特許事務所

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【住所又は居所】 大阪府大阪市西区靱本町 1 丁目 4 番 8 号 太平ビル  
前田特許事務所

【氏名又は名称】 小山 廣毅

【書類名】 手続補正書

【整理番号】 P7-330112T

【提出日】 平成 8年 7月16日

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 平成 7年特許願第330112号

【補正をする者】

【事件との関係】 特許出願人

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代表者】 森下 洋一

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【手続補正 1】

【補正対象書類名】 明細書

【補正対象項目名】 全文

【補正方法】 変更

【補正の内容】 1

【手続補正 2】

【補正対象書類名】 図面

【補正対象項目名】 図 7

【補正方法】 変更

【補正の内容】 29

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板の複数の活性領域にそれぞれ半導体素子を配設してなる半導体装置において、

上記活性領域の表面よりも高い上面を有し、かつ上記活性領域との境界に段差部を形成しながら上記各活性領域を分離するように取り囲む溝型素子分離と、

上記溝型素子分離の段差部の側面上に形成された段差部サイドウォールとを備えていることを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、

上記段差部サイドウォールは、絶縁性材料で構成されていることを特徴とする半導体装置。

【請求項 3】 請求項 1 記載の半導体装置において、

上記半導体素子は、

上記活性領域の上に形成されたゲート絶縁膜及びゲート電極と、

上記活性領域の上記ゲート電極の両側方に位置する領域に形成されたソース・ドレイン領域とを備えたM I S F E Tであり、

上記ゲート電極の両側面上に形成された電極部サイドウォールをさらに備え、

上記段差部サイドウォールは、上記電極部サイドウォールと同時に形成されたものであることを特徴とする半導体装置。

【請求項 4】 請求項 1 記載の半導体装置において、

少なくとも上記活性領域の表面付近の部分をシリサイド化してなるソース・ドレイン電極をさらに備えていることを特徴とする半導体装置。

【請求項 5】 半導体基板上に下敷き絶縁膜を形成する第 1 の工程と、

上記下敷き絶縁膜の上にエッチングストップ膜を堆積する第 2 の工程と、

上記エッチングストップ膜及び上記下敷き絶縁膜のうち素子分離を形成しようとする領域を開口し、この開口部の半導体基板をエッチングして溝部を形成する第 3 の工程と、

基板の全面上に分離用絶縁膜を堆積した後、基板を少なくとも上記エッチングストップ膜の表面が露出するまで平坦化するとともに、上記溝部に素子形成領域を取り囲む溝型素子分離を形成する第4の工程と、

エッチングにより、少なくとも上記エッチングストップ膜及び上記下敷き絶縁膜を除去し、上記素子形成領域と上記溝型素子分離との間に段差部を露出させる第5の工程と、

上記基板上にゲート酸化膜及び導電膜を堆積した後、該導電膜から少なくともゲート電極をパターンニングする第6の工程と、

基板の全面上にサイドウォール用絶縁膜を堆積した後、異方性エッチングを行って、上記ゲート電極及び上記段差部の各側面上に上記絶縁膜からなる電極部サイドウォール及び段差部サイドウォールをそれぞれ形成する第7の工程と、

上記ゲート電極の両側の素子形成領域の半導体基板内に不純物を導入してソース・ドレイン領域を形成する第8の工程と  
を備えていることを特徴とする半導体装置の製造方法。

【請求項6】 請求項5記載の半導体装置の製造方法において、

上記第2の工程では、少なくとも上記第7の工程におけるオーバーエッチング量を考慮して、上記第5の工程で所定値以上の高低差を有する段差部が露出されるようにエッチングストップ膜の膜厚を定めることを特徴とする半導体装置の製造方法。

【請求項7】 半導体基板上にゲート絶縁膜を形成する第1の工程と、

上記ゲート絶縁膜の上にゲート電極となる第1の導電膜を堆積する第2の工程と、

上記第1の導電膜のうち溝型素子分離を形成しようとする領域を開口し、この開口部の半導体基板をエッチングして溝部を形成する第3の工程と、

基板の全面上に分離用絶縁膜を堆積した後、基板を少なくとも上記第1の導電膜の表面が露出するまで平坦化するとともに、上記溝部に素子形成領域を取り囲む溝型素子分離を形成する第4の工程と、

上記平坦化された基板の全面上に少なくとも上部ゲート電極となる第2の導電膜を堆積する第5の工程と、

上記第1及び第2の導電膜から少なくともゲート電極をパターニングするとともに、上記素子形成領域と溝型素子分離との間に段差部を露出させる第6の工程と、

基板の全面上にサイドウォール用絶縁膜を堆積した後、異方性エッチングを行って、上記ゲート電極及び上記段差部の各側面上に上記絶縁膜からなる電極部サイドウォール及び段差部サイドウォールを形成する第7の工程と、

上記ゲート電極の両側の素子形成領域の半導体基板内に不純物を導入してソース・ドレイン領域を形成する第8の工程と  
を備えていることを特徴とする半導体装置の製造方法。

【請求項8】 請求項7記載の半導体装置の製造方法において、

上記第2の工程では、少なくとも上記第7の工程におけるオーバーエッチング量を考慮して、上記第5の工程で所定値以上の高低差を有する段差が露出されるように上記第1の導電膜の膜厚を定めることを特徴とする半導体装置の製造方法。

【請求項9】 請求項5又は7記載の半導体装置の製造方法において、

上記第8の工程を終了した後に、少なくとも上記ソース・ドレイン領域の表面付近の領域をシリサイド化する工程をさらに備えていることを特徴とする半導体装置の製造方法。

【請求項10】 請求項5又は7の半導体装置の製造方法において、

上記第6の工程では、上記導電膜の上にさらに第1の保護用絶縁膜を堆積し、該第1の保護用絶縁膜をゲート電極とともにパターニングし、

上記第6の工程の後上記第7の工程の前に基板の全面上に第2の保護用絶縁膜を堆積する工程をさらに備え、

上記第7の工程では、サイドウォール用シリコン膜としてシリコン酸化膜を堆積し、

上記第8の工程の後に、上記電極部サイドウォール、上記ソース・ドレイン領域及び上記段差部サイドウォールに跨る領域をシリサイド化する工程をさらに備えていることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術の分野】

本発明は、溝埋め込み分離型の素子分離を有する半導体装置の構造及びその製造方法の改良に関する。

【0002】

【従来の技術】

近年、半導体装置の高集積化、高性能化の進展にともない、益々微細化の要求が高まっている。そのため従来の技術の改良だけではそれらの要求に追随できず、新規技術導入が余儀なくされている技術分野もある。例えば素子分離形成方法として、従来はその製法の簡便さと低コスト性の観点からLOCOS分離法により素子分離が形成されてきたが、最近では、より微細な半導体装置を形成するには溝埋め込み分離型の素子分離（以下、単に溝型素子分離という）を設けた方が有利であると考えられてきている。

【0003】

すなわち、LOCOS分離法は、選択酸化の方式をとっているため、その酸化を防止するためのマスクとの境界でいわゆるバズビークが発生し、実際のマスク寸法よりも素子領域側に分離領域の絶縁膜が侵入して寸法変化が生じ、この変化量が $0.5\mu\text{m}$ 世代以降の微細化には許容できない数値となる。そのため、量産技術の分野においても寸法シフトのきわめて少ないトレンチ分離法への転換が始まりつつある。例えばIBM社が $0.5\mu\text{m}$ CMOSプロセスとしてMPUの量産に溝型素子分離構造を導入している（参考文献：IBM Journal of Research and Development、VOL. 39、NO. 1/2、1995、33-42頁）。

【0004】

図6は、従来のトレンチ分離とサリサイド構造を有するMOSFETとが設けられた半導体装置の例を示す断面図である。同図に示すように、シリコン基板101には溝型の素子分離105aが形成されている。そして、素子分離105aによって囲まれた活性領域上には、ゲート絶縁膜103a及びゲート電極107

a と、ゲート電極 107 a の両側面上の電極部サイドウォール 108 a とが設けられている。また、活性領域においてゲート電極 107 a の両側方に位置する領域に低濃度ソース・ドレイン領域 106 a と、高濃度ソース・ドレイン領域 106 b とが設けられ、素子分離 105 a の下方にチャンネルストップ領域 115 が設けられている。また、素子分離 105 a 及び活性領域として機能しないシリコン基板 101 の上に亘ってゲート電極 107 a と同じポリシリコン膜からなるゲート配線 107 b がゲート絶縁膜 103 b を介して設けられ、その両側面上には配線部サイドウォール 108 b が設けられている。さらに、ゲート電極 107 a , ゲート配線 107 b 及び高濃度ソース・ドレイン領域 106 b の上には、それぞれシリサイドからなる上部ゲート電極 109 a と、上部ゲート配線 109 b と、ソース・ドレイン電極 109 c とが設けられている。さらに、シリコン酸化膜からなる層間絶縁膜 111 と、層間絶縁膜 111 上に形成された金属配線 112 と、層間絶縁膜 111 内に形成されたコンタクトホール内に埋め込まれ、金属配線 112 とソース・ドレイン電極 109 c との間を接続するコンタクト部 113 とが設けられている。

#### 【0005】

次に、図 7 (a) ~ (e) を参照しながら、上記図 6 に示す従来の溝型素子分離と MOSFET とを有する半導体装置の製造工程について説明する。

#### 【0006】

まず、図 7 (a) に示すように、シリコン基板 101 の上に、シリコン酸化膜 116 及びシリコン窒化膜 117 を順次堆積し、素子分離領域を開口し素子形成領域を覆うレジスト膜 120 をシリコン窒化膜 117 の上に形成した後、レジスト膜 120 をマスクとしてエッチングを行なって、上記シリコン窒化膜 116 及びシリコン酸化膜 117 を選択的に除去し、さらに、シリコン基板 101 をエッチングして、溝部 104 を形成する。さらに、溝部 104 の底部に不純物イオンを注入してチャンネルストップ領域 115 を形成する。

#### 【0007】

次に、図 7 (b) に示すように、シリコン酸化膜 (図示せず) を堆積してから、シリコン窒化膜 117 の表面が露出するまで全面を平坦化する。この工程によ

って、素子分離領域Reisoには、上記溝部104に埋め込まれたシリコン酸化膜からなる溝型の素子分離105aが形成される。

**【0008】**

次に、図7(c)に示すように、いったんシリコン窒化膜117及びシリコン酸化膜116を除去した後、シリコン基板101の上に、ゲート酸化膜103を形成し、さらに基板の全面上ポリシリコン膜107を堆積した後、ポリシリコン膜107の上にゲート形成領域以外の領域を開口させたフォトリジスト膜121を形成する。

**【0009】**

次に、図7(d)に示すように、フォトリジスト膜121をマスクとして、ポリシリコン膜107のドライエッチングを行い、ポリシリコン膜107及びゲート酸化膜103を選択的に除去して、素子形成領域Refet内のMOSFETのゲート電極107aと、素子分離105a上からシリコン基板101上に跨るゲート配線107bとを形成する。そして、フォトリジスト膜121を除去した後、ゲート電極107aをマスクとしてシリコン基板101内に不純物イオンの注入を行って、低濃度ソース・ドレイン領域106aを形成する。その後、基板の全面上にシリコン酸化膜108を堆積する。

**【0010】**

次に、図7(e)に示すように、シリコン酸化膜108の異方性ドライエッチングを行ってゲート電極107a及びゲート配線107bの両側面上に、それぞれ電極部サイドウォール108a及び配線部サイドウォール108bを形成する。その際、シリコン酸化膜108下方のゲート酸化膜103も同時に除去され、ゲート電極107aの下方のゲート酸化膜103aと、ゲート配線107bの下方のゲート酸化膜103bのみが残る。その後、ゲート電極107a及び電極部サイドウォール108aをマスクとして不純物イオンを斜め方向から注入し、高濃度ソース・ドレイン領域106bを形成する。その後、全面にTi膜を堆積した後、高温熱処理を行って、Ti膜とTi膜に直接接触するシリコンで構成される部材とを反応させてシリサイドからなる上部ゲート電極109aと、上部ゲート配線109bと、ソース・ドレイン電極109cとを形成する。

**【0011】**

その後の工程は省略するが、最終的に図6に示される構造を有するMOSFETを備えた半導体装置が得られる。図6において、層間絶縁膜111の上に金属配線112が形成され、金属配線112とソース・ドレイン電極109cとの間は、コンタクトホールを埋め込んだWプラグ等からなるコンタクト部113により接続されている。

**【0012】**

上述のような溝型素子分離構造を採用する場合、熱酸化により厚いシリコン酸化膜を形成するLOCOS法のようなバズビークつまり活性領域内への酸化膜の入り込みがないので、ソース・ドレイン領域の寸法シフトが抑制される。そして、図7(c)に示す工程では、素子分離105aと素子形成領域Refetのシリコン基板101とが平坦化されている。

**【0013】**

**【発明が解決しようとする課題】**

しかしながら、上述のようなトレンチ構造の素子分離を有する半導体装置では、以下のような問題があった。

**【0014】**

すなわち、図7(d)に示す状態から同図(e)に示す状態に移行する際に、シリコン酸化膜108の異方性エッチングを行って各サイドウォール108a, 108bを形成するが、そのときオーバーエッチングを行う必要がある。このオーバーエッチングによって、素子分離105aの表面がある程度下方まで掘り込まれる。

**【0015】**

図8(a), (b)は、このときの高濃度ソース・ドレイン領域106bと素子分離105aとの境界付近を拡大して示す断面図である。

**【0016】**

同図(a)に示すように、図7(d)に示す工程と図7(e)に示す工程との間で、不純物イオンを斜め方向から注入して高濃度ソース・ドレイン領域106bを形成する工程を行うが、素子分離105aが下方まで掘れ下がっているので

、このイオン注入の際、素子分離 1 0 5 a の端部の下方にまで高濃度ソース・ドレイン領域 1 0 6 b が形成されてしまう。したがって、高濃度ソース・ドレイン領域 1 0 6 b とチャネルストップ領域 1 1 5 との近接が生じ、接合耐圧劣化や接合リークの増大等の不具合を招く。

#### 【0017】

また、図 8 (b) に示すように、高濃度ソース・ドレイン領域 1 0 6 b の上に T i 膜等を堆積して下方のシリコンと反応させるシリサイド化を行うものでは、シリサイド層がシリコン基板 1 0 1 と素子分離 1 0 5 a との界面に侵食しやすくなり、シリサイドからなるソース・ドレイン電極 1 0 9 c とチャネルストップ領域 1 1 5 との間で短絡電流の発生を招く虞れもあった。

#### 【0018】

本発明は斯かる点に鑑みてなされたものであり、その目的は、上述のサイドウォール形成の際のオーバーエッチングによる溝型素子分離領域の掘り下がりを防止する手段を講ずることにより、溝型素子分離構造を有しながら、接合リークや接合耐圧の劣化、短絡電流等のない微細かつ高性能な半導体装置及びその製造方法を提供することにある。

#### 【0019】

##### 【課題を解決するための手段】

上記目的を達成するために、本発明の講じた解決手段は、素子形成領域の半導体基板と溝型素子分離との間に、溝型素子分離の側が高くなるような段差部を形成し、この段差部にサイドウォールを設けたものである。具体的には、請求項 1 ～ 4 に記載される半導体装置と、請求項 5 ～ 1 0 に記載される半導体装置の製造方法とに関する手段を講じている。

#### 【0020】

本発明の半導体装置は、請求項 1 に記載されるように、半導体基板の複数の活性領域にそれぞれ半導体素子を配設してなる半導体装置において、上記活性領域の表面よりも高い上面を有し、かつ上記活性領域との境界に段差部を形成しながら上記各活性領域を分離するように取り囲む溝型素子分離と、上記溝型素子分離の段差部の側面上に形成された段差部サイドウォールとを備えている。

【0021】

この構成により、溝型素子分離の端部に溝型素子分離の表面が素子形成領域の半導体基板表面よりも高くなった段差部が設けられているので、半導体装置の不純物拡散層を形成する際の不純物イオンの注入の際に素子分離の端部下方への不純物イオンの注入が阻止される。また、シリサイドからなるソース・ドレイン電極を設ける構造を採用する場合にも、段差部サイドウォールによってシリサイド層の奥方への侵入が阻止されているので、ソース・ドレイン電極とチャンネルストップ領域等の基板領域との間に短絡電流が発生するのを防止することができる。したがって、溝型素子分離における各半導体装置間の分離機能の低下が防止されることになる。

【0022】

請求項2に記載されるように、請求項1において、上記段差部サイドウォールを、絶縁性材料で構成することができる。

【0023】

請求項3に記載されるように、請求項1において、上記半導体素子は、上記活性領域の上に形成されたゲート絶縁膜及びゲート電極と、上記活性領域の上記ゲート電極の両側方に位置する領域に形成されたソース・ドレイン領域とを備えたMISFETであり、上記ゲート電極の両側面上に形成された電極部サイドウォールをさらに備え、上記段差部サイドウォールは、上記電極部サイドウォールと同時に形成されたものであるように構成することができる。

【0024】

請求項4に記載されるように、請求項1において、少なくとも上記活性領域の表面付近の部分をシリサイド化してなるソース・ドレイン電極をさらに備えることができる。

【0025】

この構成により、段差部サイドウォールによる不純物イオンの注入阻止機能と、シリサイド化工程におけるシリサイド層の奥方への侵入阻止機能とが得られる。しかも、電極部サイドウォール、ソース・ドレイン領域及び段差部サイドウォールに亘る広い領域の上にシリサイド層からなるソース・ドレイン電極が設けら

れているので、上層の配線からのコンタクトの形成が容易かつ確実となり、信頼性が向上するとともに素子形成領域の面積の低減が可能となる。

#### 【0026】

本発明に係る第1の半導体装置の製造方法は、請求項5に記載されるように、半導体基板上に下敷き絶縁膜を形成する第1の工程と、上記下敷き絶縁膜の上にエッチングストップ膜を堆積する第2の工程と、上記エッチングストップ膜及び上記下敷き絶縁膜のうち素子分離を形成しようとする領域を開口し、この開口部の半導体基板をエッチングして溝部を形成する第3の工程と、基板の全面上に分離用絶縁膜を堆積した後、基板を少なくとも上記エッチングストップ膜の表面が露出するまで平坦化するとともに、上記溝部に上記素子形成領域を取り囲む溝型素子分離を形成する第4の工程と、エッチングにより、少なくとも上記エッチングストップ膜及び上記下敷き絶縁膜を除去し、上記素子形成領域と上記溝型素子分離との間に段差部を露出させる第5の工程と、上記基板上にゲート酸化膜及び導電膜を堆積した後、該導電膜から少なくともゲート電極をパターニングする第6の工程と、基板の全面上にサイドウォール用絶縁膜を堆積した後、異方性エッチングを行って、上記ゲート電極及び上記段差部の各側面上に上記絶縁膜からなる電極部サイドウォール及び段差部サイドウォールをそれぞれ形成する第7の工程と、上記ゲート電極の両側の素子形成領域の半導体基板内に不純物を導入してソース・ドレイン領域を形成する第8の工程とを備えている。

#### 【0027】

この方法により、第6の工程が終了した段階で素子形成領域の半導体基板と溝型素子分離との間に段差部が形成されているので、第8の工程における不純物イオンの注入の際に、溝型素子分離の端部下方への不純物イオンの注入が阻止される。また、後にソース・ドレイン領域の表面付近をシリサイド化する場合にも、絶縁膜からなる段差部のサイドウォールによってシリサイド層の奥方への侵入は阻止される。したがって、接合耐圧の劣化や接合リーク等を防止できるとともに、ソース・ドレイン電極とチャンネルストップ領域等の基板領域との短絡電流の発生を防止できる。

【0028】

請求項6に記載されるように、請求項5において、上記第2の工程では、少なくとも上記第8の工程におけるオーバーエッチング量を考慮して、上記第5の工程で所定値以上の高低差を有する段差部が露出されるようにエッチングストップ膜の膜厚を定めることができる。

【0029】

この方法により、第5の工程においてエッチングストップ膜を除去したときに、オーバーエッチング量による溝型素子分離の膜減りを見込んだ高低差が確保される。したがって、請求項5の作用が有効に得られることになる。

【0030】

本発明に係る第2の半導体装置の製造方法は、請求項7に記載されるように、半導体基板上にゲート絶縁膜を形成する第1の工程と、上記ゲート絶縁膜の上にゲート電極となる第1の導電膜を堆積する第2の工程と、上記第1の導電膜のうち溝型素子分離を形成しようとする領域を開口し、この開口部の半導体基板をエッチングして溝部を形成する第3の工程と、基板の全面上に分離用絶縁膜を堆積した後、基板を少なくとも上記第1の導電膜の表面が露出するまで平坦化するとともに、上記溝部に上記素子形成領域を取り囲む溝型素子分離を形成する第4の工程と、上記平坦化された基板の全面上に少なくとも上部ゲート電極となる第2の導電膜を堆積する第5の工程と、上記第1及び第2の導電膜から少なくともゲート電極をパターニングするとともに、上記素子形成領域と溝型素子分離との間に段差部を露出させる第6の工程と、基板の全面上にサイドウォール用絶縁膜を堆積した後、異方性エッチングを行って、上記ゲート電極及び上記段差部の各側面上に上記絶縁膜からなる電極部サイドウォール及び段差部サイドウォールを形成する第7の工程と、上記ゲート電極の両側の素子形成領域の半導体基板内に不純物を導入してソース・ドレイン領域を形成する第8の工程とを備えている。

【0031】

この方法により、請求項5と同様の作用が得られるとともに、ゲート電極のパターニング工程では、基板全面がフルフラットな状態となっているので、ゲート電極のパターニング精度が向上する。

**【0032】**

請求項8に記載されるように、請求項8において、上記第2の工程では、少なくとも上記第7の工程におけるオーバーエッチング量を考慮して、上記第5の工程で所定値以上の高低差を有する段差が露出されるように上記導電膜の膜厚を定めることができる。

**【0033】**

この方法により、請求項6と同様の作用が得られる。

**【0034】**

請求項9に記載されるように、請求項5又は7において、上記第8の工程を終了した後に、少なくとも上記ソース・ドレイン領域の表面付近の領域をシリサイド化する工程をさらに設けることができる。

**【0035】**

この工程により、低抵抗のソース・ドレイン電極が形成されるので、低電圧かつ高速で作動する半導体装置が形成されることになる。

**【0036】**

請求項10に記載されるように、請求項5又は7において、上記第6の工程では、上記導電膜の上にさらに第1の保護用絶縁膜を堆積し、該第1の保護用絶縁膜をゲート電極とともにパターニングし、上記第6の工程の後上記第7の工程の前に基板の全面上に第2の保護用絶縁膜を堆積する工程をさらに備え、上記第7の工程では、上記サイドウォール用シリコン膜としてシリコン酸化膜を堆積し、上記第8の工程の後に、上記電極部サイドウォール、上記ソース・ドレイン領域及び上記段差部サイドウォールに跨る領域をシリサイド化する工程をさらに設けることができる。

**【0037】**

この方法により、請求項5又は請求項7と同様の作用が得られる。また、ソース・ドレイン領域の表面付近をシリサイド化する工程において、シリコン膜からなるからなる段差部のサイドウォールの表面がシリサイド化されるものの、シリサイド層の奥方への侵入は阻止される。したがって、ソース・ドレイン電極とチャネルストップ領域等の基板領域との短絡電流の発生を防止することが可能とな

る。しかも、電極部サイドウォールソース・ドレイン領域一段差部サイドウォールの広い範囲に跨ってシリサイド化されたソース・ドレイン電極が形成されるので、上層配線からのコンタクト部の形成が容易となり、半導体装置の占有面積の低減も可能となる。

### 【0038】

#### 【発明の実施の形態】

##### (第1の実施形態)

まず、第1の実施形態について、図1及び図2(a)～(e)を参照しながら説明する。図1は、本実施形態に係る半導体装置の構造を示す断面図であり、図2(a)～(e)は、図1に示す半導体装置の構造を実現するための製造工程を示す断面図である。

### 【0039】

図1において、一導電型のシリコン基板(又はウェル)1上に、シリコン基板1の表面付近の領域を多数の素子形成領域Refetに区画する素子分離領域Reisoには、溝型の素子分離5aが形成されている。この素子分離5aの表面は素子形成領域Refetのシリコン基板1の表面よりも十分に高く、両者間には所定の高低差を有する段差部が形成されている。この素子分離5aは、後述のようにシリコン基板1に形成された溝内に絶縁性材料を埋め込んで形成されたものである。そして、少なくとも素子分離5aの底部には、シリコン基板1と同一導電型のチャネルストップ領域15が形成されている。

### 【0040】

一方、上記素子分離5aにより画成された素子形成領域Refetには、ゲート電極4、ゲート酸化膜3、電極部サイドウォール8a、低濃度ソース・ドレイン領域6a、高濃度ソース・ドレイン領域6bからなるMOSトランジスタが形成されている。また、素子形成領域Refet以外の半導体基板上及び素子分離5a上にも、上記ゲート電極7aと同時に形成されたゲート配線7b及び配線部サイドウォール7bが形成されている。さらに、ゲート電極7a、ゲート配線7b及び高濃度ソース・ドレイン領域6bの上部は、それぞれチタンシリサイド(TiSi<sub>2</sub>)で構成された上部ゲート電極9a、上部ゲート配線9b及びソース・ドレイ

ン電極 9 c が形成されている。

**【 0 0 4 1 】**

ここで、本実施形態の特徴として、上記素子分離 5 a の段差部側面には、上記電極部サイドウォール 8 a、配線部サイドウォール 8 b と同時に形成された段差部サイドウォール 8 c が形成されている。この段差部サイドウォール 8 c の一部は上記電極部サイドウォール 8 a 及び配線部サイドウォール 8 b とつながる構造となっている。

**【 0 0 4 2 】**

また、上記素子分離 5 a やゲート電極 7 a 等が形成された基板の全面上には層間絶縁膜 1 1 及び第 1 層目金属配線 1 2 が形成されており、第 1 層目金属配線 1 2 はコンタクト部 1 3 を介して素子形成領域の上部ゲート電極 9 a やソース・ドレイン電極 9 c と接続されている。

**【 0 0 4 3 】**

次に、上記図 1 の構造を実現するための製造工程について、図 2 ( a ) ~ ( e ) を参照しながら説明する。

**【 0 0 4 4 】**

まず、図 2 ( a ) に示すように、シリコン基板 1 上に、シリコン酸化膜 1 6 及びエッチングストップ膜となるシリコン窒化膜 1 7 を堆積し、素子分離領域 Reiso を開口し素子形成領域 Refet を覆うフォトレジスト膜 2 0 をパターンニングした後、フォトレジスト膜 2 0 をマスクとして、上記シリコン窒化膜 1 7 及びシリコン酸化膜 1 6 を選択的に除去し、さらに、シリコン基板 1 をエッチングして、溝部 4 を形成する。このとき、従来の溝部方法とは異なり、シリコン窒化膜 1 7 の膜厚を 1 5 0 ~ 2 0 0 n m 程度に厚くしておく、ただし、シリコン酸化膜 1 6 の膜厚は従来の方法と同様に 1 0 ~ 2 0 n m である。そして、溝部 4 の深さも従来の方法と同程度でよく、 5 0 0 n m 程度である。その後、後に形成されるソース・ドレイン領域に注入される不純物の導電型とは逆導電型の不純物イオンの注入を行って、チャンネルストップ領域 1 5 を形成する。

**【 0 0 4 5 】**

次に、図 2 ( b ) に示すように、上記フォトレジスト膜 2 0 を除去した後、溝

部4の深さ及び残存するシリコン窒化膜17の厚みを加えた値つまり溝部4の底からシリコン窒化膜17の表面までの高さよりも十分な厚さの絶縁膜5（図示せず）を堆積し、化学的機械研磨（CMP）を行ってこの絶縁膜5をシリコン窒化膜17の表面が露出するまで除去し、基板面全体を平坦化する。この工程によって、素子分離領域Reisoに、絶縁膜5で構成される溝型の素子分離5aが形成される。この平坦化方法については、本実施形態に限定されるものではなく、フォトレジスト膜で素子形成領域Refetの反転パターンを用いてエッチバックする方法などを用いてもよい。

#### 【0046】

その後、図示しないが、上記シリコン窒化膜17をリン酸ボイル液などを用いて除去し、さらにフッ酸系のウェットエッチング液などを用いてシリコン酸化膜16を除去して、素子形成領域Refetのシリコン基板1表面を露出させる。この時点で、素子形成領域Refetのシリコン基板1表面と素子分離5aの表面との間に十分な高低差を有する段差部が露出されていることが本実施形態の特徴であり、その高低差は後述のサイドウォール形成工程におけるオーバーエッチング量等を考慮して、50～100nm程度である。ただし、本実施形態の効果を有効に得るためには、次に行われるサイドウォール形成時のサイドウォール用絶縁膜の厚さ及びオーバーエッチング量を適正に定める必要がある。

#### 【0047】

次に、図2（c）に示すように、シリコン基板1及び素子分離5aの上にポリシリコン膜7を堆積し、その上に、ゲート電極及びゲート配線が形成される領域以外の領域を開口したフォトレジスト膜21を形成する。そして、図示しないが、このフォトレジスト膜21をマスクとして、ドライエッチングを行って、ゲート電極7a及びゲート配線7bを形成する。

#### 【0048】

次に、図2（d）に示すように、ゲート電極7aをマスクとして低濃度の不純物イオンを注入を行って低濃度ソース・ドレイン領域6aを形成した後、基板の全面上に絶縁膜（シリコン酸化膜）を堆積する。

**【0049】**

次に、図2(e)に示すように、この絶縁膜の異方性エッチングを行って、ゲート電極7aの側面上には電極部サイドウォール8aを、ゲート配線7bの側面上には配線部サイドウォール8bを形成する。その際、素子形成領域Refetのシリコン基板1と素子分離5aとの間の段差部の側面上にも段差部サイドウォール8cが形成される。そして、この状態で不純物イオンの注入を行って、高濃度ソース・ドレイン領域6bを形成する。この時点でも、素子形成領域Refetのシリコン基板1と素子分離5aとの間の段差部の高低差が十分確保されている。

**【0050】**

その後の工程の図示は省略するが、シリサイド工程による上部ゲート電極9a、上部ゲート配線9b及びソース・ドレイン電極9cの形成と、層間絶縁膜11の堆積及びコンタクトホール形成と、コンタクトホールへの金属の埋め込み及び第1層目金属配線12の形成とを経て、図1に示す溝埋め込み型分離構造を有するMOS型トランジスタが形成される。

**【0051】**

なお、上記工程では、LDD構造を有するトランジスタを形成するために電極部サイドウォール8a等を形成したが、ソース・ドレイン領域とチャネル領域との間に逆導電型の不純物を注入してパンチスルーストップを設けるいわゆるポケット注入構造を有するトランジスタにおいても、電極部サイドウォール8a等を形成することがあり、本発明はかかるポケット注入構造を有するトランジスタにも適用される。

**【0052】**

本実施形態のごとく、1 $\mu$ m以下のゲート長を有するMOSトランジスタを形成する場合には、短チャネル効果を抑制しトランジスタの信頼性を確保するためのLDD構造やポケット注入構造を有するトランジスタを形成するためにゲート電極7aの側壁に電極部サイドウォール8aを形成する必要がある。このときの電極部サイドウォール8aの厚さは必要とされるデバイスの特性から決定されるが、異方性の強いドライエッチング技術で形成するため、膜厚の制御としてはほぼ堆積膜厚で一意に決めることができる。しかしながら、ウェハ面内におけるエ

エッチング速度のバラツキや堆積膜厚のバラツキなどを考慮して、通常10～30%程度のオーバーエッチングを行っている。例えば100nm厚さの絶縁膜から電極部サイドウォール8aを形成する場合、110～130nmの厚みの絶縁膜を除去するのに相当する時間だけエッチングを施す。

#### 【0053】

このとき、酸化膜で構成される素子分離5aは素子形成領域Refetのシリコン基板1よりも高い選択比でエッチングされるので、例えば10～30nm程度の膜減りが発生する。そのため、従来の構造では、図8(a)、(b)に示すように、素子分離105aの表面がシリコン基板101の表面よりも低くなり、上述のような不具合を生じる。それに対し、本実施形態では、図2(d)に示す状態で、素子分離5aの表面が素子形成領域Refetのシリコン基板面よりも高くなるような段差部が形成されているので、上述のような不具合を有効に防止することができる。すなわち、高濃度ソース・ドレイン領域8bの形成の際に斜め方向から不純物イオンが注入されても、段差部の素子分離5aの膜厚が十分あるので、不純物イオンの素子分離5aの端部下方への打ち込みが阻止される。したがって、高濃度ソース・ドレイン領域6bとチャネルストップ領域15との間の距離はほぼ一定に保持され、接合耐圧の劣化や接合リークの増大を未然に防止することができる。また、高濃度ソース・ドレイン領域6bの上にシリサイドからなるソース・ドレイン電極9cを形成する際にも、段差部サイドウォール8cによって、シリサイド層がシリコン基板1と素子分離5aとの境界面に浸蝕しようとするのを阻止し得る。したがって、ソース・ドレイン電極9cとチャネルストップ領域15との間で短絡電流が生じるのを有効に防止することができる。

#### 【0054】

ただし、本実施形態において、上述のような効果を有効に発揮するためには、少なくともサイドウォール形成工程におけるオーバーエッチング量つまり10～30nm程度の膜減り以上の高低差があることが好ましい。また、実際には素子分離5aの形成後にもシリコン酸化膜16の除去工程を始め素子分離5aを構成するシリコン酸化膜の膜減りが伴う工程があるため、この膜減り量なども考慮した高い高低差を有する段差を事前に形成しておくことが好ましい。したがって、

上記図 2 (a) に示す工程において堆積されるシリコン窒化膜 17 の膜厚の下限値は、オーバーエッチング量やシリコン酸化膜 16 の除去工程のエッチング量から決定されることになる。

#### 【0055】

ただし、本実施形態では溝部 4 を形成するためのエッチングマスクとしてシリコン窒化膜 17 を用いたが、この膜の材質はシリコン酸化膜よりもエッチング選択比の小さい材質であれば良く、例えばポリシリコン膜等で代用することも可能である。

#### 【0056】

なお、本実施形態では、低抵抗化のために上部ゲート電極 9 a とソース・ドレイン電極 9 c とが同時に自己整合的にシリサイド化されたいわゆるシリサイド構造を有する実施形態について説明したが、ゲート電極をあらかじめポリサイド電極で形成し、後にソース・ドレイン電極のみシリサイド化した構造としてもよいことは言うまでもない。

#### 【0057】

(第 2 の実施形態)

次に、図 3 (a) ~ (e) を参照しながら、第 2 の実施形態について説明する。本実施形態と上記第 1 の実施形態とが異なる点は、溝型素子分離を形成する前にゲート酸化膜及びゲート電極となるポリシリコン膜の堆積を終了している点である。

#### 【0058】

まず、図 3 (a) に示すように、シリコン基板 1 上に、ゲート酸化膜 3 及び MOS 型トランジスタのゲート電極となるポリシリコン膜 7 を順次堆積し、その上に、素子分離形成領域 Reiso を開口し素子形成領域 Refet を覆うフォトレジスト膜 20 をパターンニングする。このフォトレジスト膜 20 をマスクとして、上記ポリシリコン膜 7 及びゲート酸化膜 3 を選択的に除去し、さらに、シリコン基板 1 をエッチングして、素子分離領域となる溝部 4 を形成する。このとき、従来の溝部の形成方法とは異なり、ポリシリコン膜 7 の膜厚は、上記第 1 の実施形態におけるシリコン窒化膜とほぼ同じ程度つまり 150 ~ 200 nm 程度にしておく、

ゲート酸化膜 3 の膜厚は 10 ～ 20 nm である。溝部 4 の深さは、500 nm 程度である。その後、後に形成されるソース・ドレイン領域に注入される不純物の導電型とは逆導電型の不純物イオンの注入を行って、チャンネルストップ領域 15 を形成する。

#### 【0059】

次に、フォトレジスト膜 20 を除去した後、溝部 4 の深さ及び残存するポリシリコン膜 7 の厚みを加えた値つまり溝部 4 の底からポリシリコン膜 7 の表面までの高さよりも十分な厚さの絶縁膜 5 (図示せず) を堆積し、化学的機械研磨 (CMP) を行ってこの絶縁膜 5 をポリシリコン膜 7 の表面が露出するまで除去し、基板面全体を平坦化する。この工程によって、素子分離領域 Reiso に、絶縁膜 5 で構成される溝型の素子分離 5 a が形成される。この平坦化方法については、本実施形態に限定されるものではなく、フォトレジスト膜で素子形成領域 Refet の反転パターンを用いてエッチバックする方法などを用いてもよい。

#### 【0060】

次に、図 3 (b) に示すように、平坦化された基板上にゲート配線層となる導電膜 18 (導電性ポリシリコン膜でもよいし、WSi や TiSi 等のシリサイド膜でもよい。さらに低抵抗化のために TiN 等のバリアメタルを介して W 等の高融点金属を用いてもよい。) と絶縁膜からなる保護膜 19 とを堆積し、ゲート電極及びゲート配線が形成される領域以外の領域を開口したフォトレジスト膜 21 を形成する。そして、図示しないが、このフォトレジスト膜 21 をマスクとして、ドライエッチングを行って、ゲート電極 7 a, 上部ゲート電極 18 a 及び保護膜 19 a と、ゲート配線 7 b, 上部ゲート配線 18 b 及び保護膜 19 b とをパターンニングする。この時点で、素子形成領域 Refet のシリコン基板 1 表面と素子分離 5 a の表面との間に十分な高低差を有する段差部が露出されていることが本実施形態の特徴であり、その高低差は後述のサイドウォール形成工程におけるオーバーエッチング量等を考慮して、50 ～ 100 nm 程度である。ただし、本実施形態の効果を有効に得るためには、次に行われるサイドウォール形成時のサイドウォール用絶縁膜の厚さ及びオーバーエッチング量を適正に定める必要がある。

**【0061】**

次に、図3(c)に示すように、第1の実施形態と同様に、活性領域内のゲート電極7aの両側方に位置する領域に低濃度ソース・ドレイン領域6aを形成した後、基板の全面上に絶縁膜(シリコン酸化膜)を堆積し、この絶縁膜の異方性エッチングを行って、図3(d)に示すように、ゲート電極7a等の側面上には電極部サイドウォール8aを、ゲート配線7b等の側面上には配線部サイドウォール8bを形成する。その際、素子形成領域 $R_{efet}$ のシリコン基板1と素子分離5aとの間の段差部の側面上にも段差部サイドウォール8cが形成される。そして、この状態で不純物イオンの注入を行って、高濃度ソース・ドレイン領域6bを形成する。この時点でも、素子形成領域 $R_{efet}$ のシリコン基板1と素子分離5aとの間の段差部の高低差が十分確保されている。

**【0062】**

次に、図3(e)に示すように、高濃度ソース・ドレイン領域6bの上のみにシリサイドからなるソース・ドレイン電極9cを形成する。

**【0063】**

その後の工程の図示は省略するが、層間絶縁膜11の堆積及びコンタクトホール形成と、コンタクトホールへの金属の埋め込み及び第1層目金属配線12の形成とを経て、図1に示す構造と類似した溝埋め込み型分離構造を有するMOS型トランジスタが形成される。ただし、本実施形態では、ゲート電極7a及びゲート配線7bの上に、それぞれ導電性ポリシリコン、あるいはシリサイド等からなる上部ゲート電極18a、上部ゲート配線18bと、絶縁膜からなる保護膜19a、19bとが形成され、シリサイドからなるソース・ドレイン電極9cは上部ゲート電極18aや上部ゲート配線18bとは別の工程で形成されている。

**【0064】**

以上のように、本実施形態によれば、素子形成領域 $R_{efet}$ のシリコン基板1と素子分離5aとの間に素子分離5a側が高い段差部が形成され、段差部の側面上に段差部サイドウォール8cが形成されているので、工程数を削減しながら、上記第1の実施形態と同様の効果を発揮することができる。

### 【0065】

加えて、本実施形態では、図3(b)に示す状態からゲート電極7a及びゲート配線7bをパターニングする工程を、素子分離5aの端部における段差部の影響を全く受けることなくフルフラットな状態で実施できるため、微細パターンを安定に形成できるという利点がある。

### 【0066】

(第3の実施形態)

次に、第3の実施形態について説明する。図4(a)～(f)は、第3の実施形態に係る半導体装置の製造工程を示す断面図である。

### 【0067】

図4(a)に示す状態に至るまでに、溝型の素子分離5a、チャネルストップ領域15、低濃度ソース・ドレイン領域6a、ゲート絶縁膜3、ゲート電極7a、ゲート配線7b等を上記第1の実施形態と同様の工程によって形成した後、基板上に保護酸化膜31と、サイドウォール用のシリコン窒化膜32と、マスク用ポリシリコン膜33とを、いずれもCVD法により堆積する。このとき、ゲート電極7a及びゲート配線7bを構成するポリシリコン膜の厚みは330nm、最小線幅は0.35ミクロンであり、保護酸化膜31の厚みは約20nmであり、シリコン窒化膜32の厚さは約30nmであり、ポリシリコン膜33の厚さは約100nmである。

### 【0068】

次に、図4(b)に示すように、RIEにより、ポリシリコン膜33をエッチバックし、ゲート電極7a、ゲート配線7b及び段差部の各側面上にそれぞれ電極部ポリシリコンマスク33a、配線部ポリシリコンマスク33b及び段差部ポリシリコンマスク33cを形成する。このとき、ポリシリコン膜33とシリコン窒化膜32とのエッチング選択比は大きい。

### 【0069】

次に、図4(c)に示すように、残存するポリシリコンマスク33a、33b、33cをマスクとしてH<sub>3</sub>PO<sub>4</sub>(150℃の熱リン酸)によるウェットエッチングを行ない、シリコン窒化膜32のうち各ポリシリコンマスク33a、33b

、33cに覆われた部分のみ残り他の部分を除去する。このとき、シリコン窒化膜32とポリシリコンマスク33a、33b、33cとのエッチングの選択比は、30:1程度にすることができる。この工程により、ゲート電極7a、ゲート配線7b及び段差部の各側方に、いずれもL字状の電極部サイドウォール32a、配線部サイドウォール32b及び段差部サイドウォール32cが残存する状態となる。

#### 【0070】

次に、図4(d)に示すように、ゲート電極7a、保護酸化膜31、電極部ポリシリコンマスク33a、電極部サイドウォール32a、段差部ポリシリコンマスク33c及び段差部サイドウォール32cをマスクとして、活性領域のシリコン基板1内に不純物イオンを高濃度で注入し、高濃度ソース・ドレイン領域6bを形成する。

#### 【0071】

その後、図4(e)に示すように、ドライエッチング又はウェットエッチングにより、ポリシリコンマスク33a、33b、33cを除去する。

#### 【0072】

次に、図4(f)に示すように、HF系のエッチング液を用いて、基板上で露出した部分の保護酸化膜31を除去する。その後、チタン膜を堆積し、1回目のRTA処理を行なって、チタンとシリコンとの反応によりTiSi<sub>2</sub>膜からなるシリサイド層を形成する。そして、チタン膜を除去した後、2回目のRTA処理を行なって、ゲート電極7a、ゲート配線7b及びソース・ドレイン領域6bの上に抵抗率の低いシリサイド層からなる上部電極9a、上部配線9b及びソース・ドレイン電極9cをそれぞれ形成する。その後、層間絶縁膜の堆積、平坦化、コンタクトホール<sub>の</sub>開口、金属配線膜の堆積、金属配線の形成等を行って、LSIを形成する。

#### 【0073】

本実施形態の方法では、図4(f)に示す工程で、段差部の側面上に保護酸化膜31及びL字状の段差部サイドウォール32cが形成されているので、活性領域のシリコン基板1と素子分離5aとの境界へのシリサイド層の侵入を有効に防

止することができる。

**【0074】**

また、図4(c), (d)に示す工程で、保護酸化膜31が素子分離5a及び活性領域のシリコン基板1の上に形成されているので、L字状のサイドウォール32a, 32b, 32cを形成する際に素子分離5aの膜厚の減小が生じない。したがって、その分素子分離5aとシリコン基板1との間の段差を低減することができ、ゲートのパターニング精度の向上を図ることができる。

**【0075】**

なお、ゲート電極を形成する工程は、上記第2の実施形態と同様に第1, 第2の導電膜で形成するようにしてもよく、その場合にも本実施形態と同様の効果を発揮することができる。

**【0076】**

(第4の実施形態)

上記各実施形態では、上記各サイドウォールを絶縁材料であるシリコン酸化膜又はシリコン窒化膜で構成したが、各サイドウォールを導電性材料例えばポリシリコン膜で構成してもよい。図5(a)～(e)は、導電性のサイドウォールを形成した場合における半導体装置の製造工程を示す断面図である。

**【0077】**

図5(a)に示す状態に至るまでに、溝型の素子分離5a, チャネルストップ領域15, 低濃度ソース・ドレイン領域6a, ゲート絶縁膜3, ゲート電極7a, ゲート配線7b等を上記第1の実施形態と同様の工程によって形成した後、基板上に保護酸化膜31と、サイドウォール用のポリシリコン膜34とを、いずれもCVD法により堆積する。ただし、本実施形態では、ゲート電極7a及びゲート配線7bの上には、それぞれ保護酸化膜10a, 10bが形成されている。このとき、ゲート電極7a及びゲート配線7bを構成するポリシリコン膜の厚みは330nm, 最小線幅は0.35ミクロンであり、保護酸化膜31の厚みは約20nmであり、ポリシリコン膜34の厚さは約100nmである。

**【0078】**

次に、図5(b)に示すように、RIEにより、ポリシリコン膜34をエッチ

バックして、ゲート電極 7 a, ゲート配線 7 b 及び段差部の各側方に、ポリシリコン膜からなる電極部サイドウォール 3 2 a, 配線部サイドウォール 3 2 b 及び段差部サイドウォール 3 2 c を形成する。

#### 【0079】

次に、図 5 (c) に示すように、ゲート電極 7 a, 保護酸化膜 3 1, 電極部サイドウォール 3 4 a 及び段差部サイドウォール 3 4 c をマスクとして、活性領域のシリコン基板 1 内に不純物イオンを高濃度で注入し、高濃度ソース・ドレイン領域 6 b を形成する。

#### 【0080】

その後、図 5 (d) に示すように、HF 系のエッチング液を用いて、基板上で露出した部分の保護酸化膜 3 1 を除去する。その後、チタン膜を堆積し、1 回目の R T A 処理を行なって、チタンとシリコンとの反応により  $T i S i_2$  膜からなるシリサイド層を形成する。そして、チタン膜を除去した後、2 回目の R T A 処理を行なって、電極部サイドウォール 3 4 a, 高濃度ソース・ドレイン領域 6 b 及び段差部サイドウォール 3 4 c の上に跨るシリサイド層からなるソース・ドレイン電極 9 d を形成する。なお、配線部サイドウォール 3 4 b の上にもシリサイド層が形成されるので、そのままでは、このシリサイド層はソース・ドレイン電極と接続され得る。本実施形態では、素子分離 5 a 上で、フォトレジスト膜等を用いて、エッチングを行い、ゲート配線 7 b の両側方の配線部サイドウォール 3 4 b 及びその上のシリサイド層を選択的に除去して、各活性領域のソース・ドレイン電極 9 d が相互に接続されないようにしている。ただし、ポリシリコン膜からなるサイドウォール 3 4 a, 3 4 b, 3 4 c を形成した後、すぐにゲート配線 7 b の両側方の配線部サイドウォール 3 4 b のみを選択的に除去するようにしてもよい。

#### 【0081】

その後、層間絶縁膜の堆積、平坦化、コンタクトホールの開孔、金属配線膜の堆積、金属配線の形成等を行って、L S I を形成する。

#### 【0082】

本実施形態では、最終的に電極部サイドウォール 3 4 a - 高濃度ソース・ドレ

イン領域 6 b - 段差部サイドウォール 8 c 間に跨る広い範囲にシリサイド層からなるソース・ドレイン電極 9 d が形成される。したがって、素子形成領域 Refet と素子分離 5 a との間の段差の存在によって不純物イオンの注入時における高濃度ソース・ドレイン領域 6 b とチャンネルストップ領域 1 5 との近接を有効に防止することができる。また、高濃度ソース・ドレイン領域 6 b の上にシリサイドからなるソース・ドレイン電極 9 c を形成する際に、段差部サイドウォール 3 4 c もある程度の厚み分だけシリサイド化されるものの、シリサイド層の奥方への侵入は阻止されるので、シリサイド層の素子分離-シリコン基板間の界面への浸透に起因するソース・ドレイン電極 9 c とチャンネルストップ領域 1 5 との短絡電流の発生を有効に防止することができる。しかも、このような実施形態では、電極部サイドウォール 3 4 a から高濃度ソース・ドレイン領域 6 b を経て段差部サイドウォール 3 4 c に至る広い領域がシリサイド化されるので、上方の第 1 層目配線とのコンタクト部を形成するのが極めて容易となり、その分、素子形成領域 Refet の面積を低減し得る。つまり、半導体装置の集積度を向上させることができる利点がある。なお、電極部サイドウォール 3 4 a 及び配線部サイドウォール 3 4 b が導電膜であるポリシリコンで構成されているものの、各サイドウォール 3 4 a, 3 4 b とゲート電極 7 a, ゲート配線 7 b との間が保護酸化膜 3 1 で絶縁されているので、サイドウォール-ゲート間で短絡等を生じる虞れはない。

#### 【0083】

なお、ゲート電極を形成する工程は、上記第 2 の実施形態と同様に第 1, 第 2 の導電膜で形成するようにしてもよく、その場合にも本実施形態と同様の効果を発揮することができる。

#### 【0084】

また、本実施形態では、各サイドウォールをポリシリコン膜で構成したが、アモルファスシリコン膜で構成してもよい。さらに、シリコン膜だけでなく、他の金属等の導電性材料からなるサイドウォールを形成してもよく、サイドウォールをシリサイド化する必要は必ずしもない。

【0085】

【発明の効果】

以上説明したように、請求項1～4によれば、溝型素子分離構造を有する半導体装置において、素子形成領域の半導体基板と溝型素子分離との間に溝型素子分離の方がステップ状に高くなる段差部を形成し、この段差部の側面上にサイドウォールを形成する構造としたので、接合耐圧劣化や接合リーク増大の防止と、ソース・ドレイン電極のシリサイド化によるソース・ドレイン電極と基板領域との間の短絡電流の発生を防止することができる。

【0086】

請求項5～10によれば、溝型素子分離構造を有する半導体装置の製造方法として、溝型素子分離を形成した後エッチングストップ膜又はゲート電極となる第1の導電膜を除去したときに、溝型素子分離側が素子形成領域の半導体基板よりも高い段差部を露出させ、ゲート電極のサイドウォール形成と同時に段差部の側面にもサイドウォールが形成されるようにしたので、請求項1～4の効果を発揮する半導体装置の製造の容易化を図ることができる。

【図面の簡単な説明】

【図1】

第1の実施形態における半導体装置の構造を示す断面図である。

【図2】

第1の実施形態に係る半導体装置の製造工程を示す断面図である。

【図3】

第2の実施形態に係る半導体装置の製造工程を示す断面図である。

【図4】

第3の実施形態に係る半導体装置の製造工程を示す断面図である。

【図5】

第4の実施形態に係る半導体装置の製造工程を示す断面図である。

【図6】

従来の溝型素子分離構造を有する半導体装置の構造を示す断面図である。

【図 7】

従来の溝型素子分離を有する半導体装置の製造工程を示す断面図である。

【図 8】

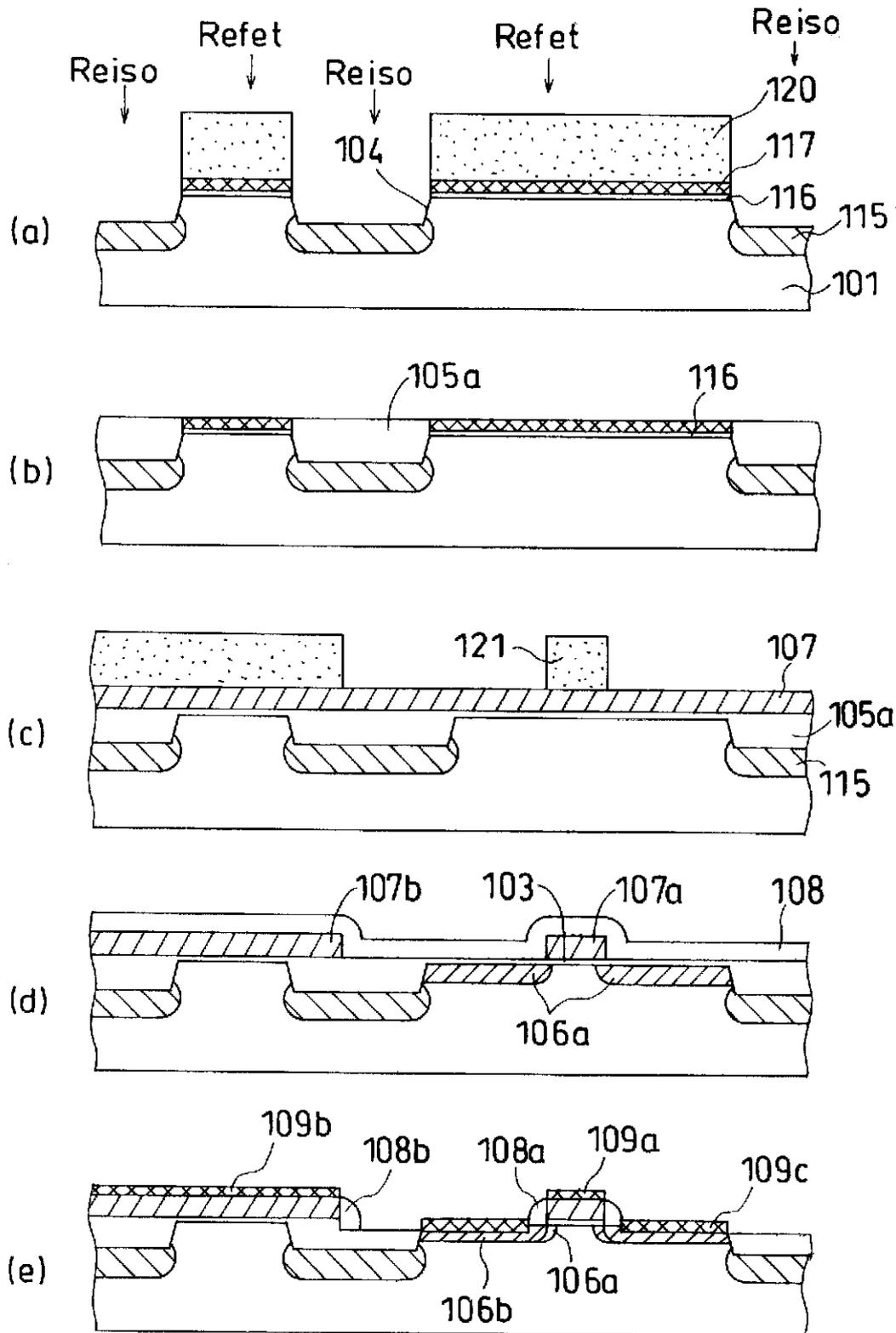
従来の溝型素子分離を有する半導体装置の不純物イオン注入工程とシリサイド  
化工程とにおける不具合を示すための部分断面図である。

【符号の説明】

- 1 シリコン基板（半導体基板）
- 3 ゲート酸化膜
- 4 溝部
- 5 シリコン酸化膜（絶縁膜）
- 5 a 溝型素子分離
- 6 a 低濃度ソース・ドレイン領域
- 6 b 高濃度ソース・ドレイン領域
- 7 ポリシリコン膜（導電膜）
- 7 a ゲート電極
- 7 b ゲート配線
- 8 シリコン酸化膜
- 8 a 電極部サイドウォール
- 8 b 配線部サイドウォール
- 8 c 段差部サイドウォール
- 9 a 上部ゲート電極
- 9 b 上部ゲート配線
- 9 c ソース・ドレイン電極
- 1 1 層間絶縁膜
- 1 2 第 1 層目金属配線
- 1 3 コンタクト部
- 1 5 チャネルストップ領域
- 1 6 シリコン酸化膜
- 1 7 シリコン窒化膜（エッチングストップ膜）

20, 21 フォトレジスト膜

【図 7】



【書類名】 職権訂正データ

【訂正書類】 手続補正書

<認定情報・付加情報>

【補正をする者】

【識別番号】 000005821

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地

【氏名又は名称】 松下電器産業株式会社

【代理人】 申請人

【識別番号】 100077931

【住所又は居所】 大阪府大阪市西区鞠本町 1 丁目 4 番 8 号 太平ビル  
前田特許事務所

【氏名又は名称】 前田 弘

【書類名】 出願審査請求書  
【提出日】 平成12年10月24日  
【あて先】 特許庁長官 殿  
【出願の表示】  
【出願番号】 平成 7年特許願第330112号  
【請求項の数】 10  
【請求人】  
【識別番号】 000005821  
【氏名又は名称】 松下電器産業株式会社  
【代理人】  
【識別番号】 100077931  
【弁理士】  
【氏名又は名称】 前田 弘  
【手数料の表示】  
【予納台帳番号】 014409  
【納付金額】 104,300円  
【プルーフの要否】 要

## 検索報告書

### 書誌事項

指導者名	飛鳥井 春雄
指導者コード	L059
検索者名	萩村 和夫
検索者コード	KL73
レコード種別	161
テーマコード	5F032
特許出願の番号	特願平07-330112
外注番号	2001524266
区分	1 (1:通常 2:クロス 3:対話対象 4:クロス・対話対象)
対話実施日	
事前評価指定	2 (1:通常 2:事前評価)
検索日	2002年 2月 5日
検索報告書作成日	2002年 2月14日
まとめ種別	無し

### 1. 本願発明の特徴

本願発明の特徴を表す図面番号: 図

<<本願発明の特徴>>

本願明細書の特許請求の範囲参照。

### 2. 検索論理式

年月範囲: 年 月 日～1995年12月19日

No.

1

クレームNo.

C1-10

テーマコード

検索論理式

AA33\*DA30\*AC01\*CA17\*[段差+突出+側面]

件数

19

No.

2

クレームNo.

C1-10

テーマコード

検索論理式

AA33\*DA30\*AC01\*CA17-¥1

件数

72

No.

3

クレームNo.

C1-10

テーマコード

検索論理式

AA33\*DA30\*CA17-¥1-¥2

件数

88

スクリーニング件数合計: 179

3. スクリーニングサーチの結果 (提示文献毎の表示)

No.

1

提示文献

特開平04-048647号公報

代表カテゴリ

Y

式N o.

1

N o.

2

提示文献

特開昭59-181062号公報

代表カテゴリ

X

式N o.

1

N o.

3

提示文献

特開平09-162392号公報

代表カテゴリ

EX

式N o.

3

N o.

4

提示文献

特開平03-079033号公報

代表カテゴリ

X

式N o.

3

提示文献数: 4

#### 4. スクリーニングサーチの結果 (クレーム別形式)

クレームN o.

1

文献N o.

2

カテゴリー

X

関連個所

本願発明との対比相違点及び発見できなかった構成について

1 2 ○ ○

クレームN o.

文献N o.

3

カテゴリー

EX

関連個所

本願発明との対比相違点及び発見できなかった構成について

1 2 ○ ○

クレームN o.

文献N o.

4

カテゴリー

X

関連個所

本願発明との対比相違点及び発見できなかった構成について

1 2 ○ ○

クレームN o.

2

文献N o.

2

カテゴリー

X

関連個所

本願発明との対比相違点及び発見できなかった構成について

3 + C 1 ○

クレームN o .

文献N o .

3

カテゴリー

EX

関連個所

本願発明との対比相違点及び発見できなかった構成について

3 + C 1 ○

クレームN o .

文献N o .

4

カテゴリー

X

関連個所

本願発明との対比相違点及び発見できなかった構成について

3 + C 1 ○

クレームN o .

3

文献N o .

2

カテゴリー

X

関連個所

本願発明との対比相違点及び発見できなかった構成について

4 + C 1 ○

クレームN o .

文献N o .

3

カテゴリー

EX

関連個所

本願発明との対比相違点及び発見できなかった構成について

4 + C 1 ○

クレームN o .

文献N o .

4

カテゴリー

X

関連個所

本願発明との対比相違点及び発見できなかった構成について

4 + C 1 ○

クレームN o .

4

文献N o .

3

カテゴリー

EX

関連個所

本願発明との対比相違点及び発見できなかった構成について

5 + C 1 ○

クレームN o .

文献N o .

4

カテゴリー

X

関連個所

本願発明との対比相違点及び発見できなかった構成について

5 + C 1 ○

クレームNo.

5

文献No.

1

カテゴリ

Y

関連箇所

本願発明との対比相違点及び発見できなかった構成について

6 7 8 ○ △ 構成6: 図示では素子領域が凹形状。

構成7: 段差部の記載なし。

クレームNo.

文献No.

2

カテゴリ

Y

関連箇所

本願発明との対比相違点及び発見できなかった構成について

6 7 8 △ △ ○ 構成6・7: 下敷き絶縁膜, エッチングスト

ッパ膜の記載なし。

クレームNo.

文献No.

3

カテゴリ

A

関連箇所

本願発明との対比相違点及び発見できなかった構成について

6 7 8 ○ ○ △ 構成8: サイドウォール後ソース・ドレイ

ン形成で 本願とは順序が逆。

クレームNo.

文献N o.

4

カテゴリー

Y

関連個所

本願発明との対比相違点及び発見できなかった構成について

6 7 8 △ △ ○

構成6・7: 下敷き絶縁膜, エッチングスト

oppa膜の記載なし。

クレームN o.

6

文献N o.

2

カテゴリー

Y

関連個所

本願発明との対比相違点及び発見できなかった構成について

9 + C 5 △

構成9: エッチングストップpa膜の記載なし。

クレームN o.

7

文献N o.

2

カテゴリー

A

関連個所

本願発明との対比相違点及び発見できなかった構成について

10 11 12 ○

クレームN o.

文献N o.

3

カテゴリー

A

関連個所

本願発明との対比相違点及び発見できなかった構成について

10 11 12           △ 構成12: サイドウォール後ソース・ドレイン形成で  
本願とは順序が逆。

クレームNo.

文献No.

4

カテゴリー

A

関連個所

本願発明との対比相違点及び発見できなかった構成について

10 11 12           ○

クレームNo.

8

文献No.

カテゴリー

関連個所

本願発明との対比相違点及び発見できなかった構成について

13   +C 7

クレームNo.

9

文献No.

3

カテゴリー

A

関連個所

本願発明との対比相違点及び発見できなかった構成について

14   +C 5 or C 7○

クレームNo.

文献No.

4

カテゴリー

Y

関連箇所

本願発明との対比相違点及び発見できなかった構成について

14 + C 5 or C 7 Δ

構成14: 第8の工程 (S/D形成) 終了後

の記載なし。

クレームNo.

10

文献No.

2

カテゴリー

A

関連箇所

本願発明との対比相違点及び発見できなかった構成について

15 + C 5 or C 7 Δ

構成15: 第1の保護用絶縁膜のみ記載。

## 5. 備考 (検索者用)

請求項 8, 10, において以下を誤記と解釈した。

請求項 8 : 「上記第 5 の工程」は「上記第 6 の工程」の誤記。

請求項 9 : 「サイドウォール用シリコン膜としてシリコン酸化膜」を  
「サイドウォール用シリコン膜とシリコン窒化膜」の誤記。

## 検索外注利用状況票

平成15年 2月10日

テーマコード 5 F 0 3 2  
外注番号 2 0 0 1 5 2 4 2 6 6  
出願番号 平成 7年 特許願 第 3 3 0 1 1 2 号  
審査官 菅野 智子 9 5 4 5 4 L 0 0

検索外注後の第一回起案 拒絶理由通知書第 2 9 条第 1 項、第 2 9 条第 2 項、第 2 9 条の 2、第 3 6 条

検索報告書不採用の有無 無  
評価 ー

### 提示文献

NO	利用	提示文献名
1	○	特開平 0 4 - 0 4 8 6 4 7 号公報
2	○	特開昭 5 9 - 1 8 1 0 6 2 号公報
3	○	特開平 0 9 - 1 6 2 3 9 2 号公報
4	○	特開平 0 3 - 0 7 9 0 3 3 号公報

追加サーチの有無 無

追加サーチの検索式

### 追加引用文献

NO	テーマ内	テーマ	追加引用文献名
----	------	-----	---------

追加引用文献数 0  
自テーマ引用文献数 0  
他テーマ引用文献数 0

対話型検索実施の有無 無

対話型検索の実施日

備考

## 拒絶理由通知書

特許出願の番号 平成 7年 特許願 第330112号  
起案日 平成15年 2月10日  
特許庁審査官 菅野 智子 9545 4M00  
特許出願人代理人 前田 弘 (外 1名) 様  
適用条文 第29条第1項、第29条第2項、第29条の2、第36条

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

### 理 由

1. この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の記事に記載された発明であるから、特許法第29条第1項第3号に該当し、特許を受けることができない。
2. この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の記事に記載された発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。
3. この出願の下記の請求項に係る発明は、その出願の日前の特許出願であって、その出願後に公開された下記の特許出願の願書に最初に添付された明細書又は図面に記載された発明と同一であり、しかも、この出願の発明者がその出願前の特許出願に係る上記の発明をした者と同一ではなく、またこの出願の時に、その出願人が上記特許出願の出願人と同一でもないため、特許法第29条の2の規定により、特許を受けることができない。
4. この出願は、特許請求の範囲の記載が下記の点で、特許法第36条第6項第2号に規定する要件を満たしていない。
5. この出願は、特許請求の範囲の記載が下記の点で、特許法第36条第6項第1号に規定する要件を満たしていない。

記 (引用文献等については引用文献等一覧参照)

- ・ 請求項 1, 2, 3  
理由 1, 2

引用文献等 1

備考

下記引用例 1 の実施例及び第 3 図を参照のこと。

・請求項 1, 2, 3, 4

理由 1, 2

引用文献等 2

備考

下記引用例 4 の第 1 の実施例及び第 1 図を参照のこと。

・請求項 1, 2, 3, 4, 5, 6, 9

理由 3

引用文献等 3

備考

下記先願 3 の願書に最初に添付された明細書等の実施の形態及び図 1 ～図 1 0 を参照のこと。

・請求項 5, 6, 9

理由 2

引用文献等 1, 2, 4

備考

半導体基板をエッチングして溝部を形成する際に、酸化膜、窒化膜を形成し、マスクとしてエッチングすることは、例えば下記引用例 4 を参照して当業者が容易に設計し得たことである。

・請求項 8

理由 4

備考

請求項 8 には、「上記第 5 の工程で所定値以上の高低差を有する段差が露出されるように」と記載しているが、「第 6 の工程」の誤記と思われる。

・請求項 1 0

理由 4

備考

請求項 1 0 は、請求項 5 又は 7 を引用しているが、請求項 1 0 に記載の「第 1 の保護用絶縁膜」、「第 2 の保護用絶縁膜」、「サイドウォール用シリコン膜」と、請求項 5 又は 7 に記載のそれぞれの構成要素、及び各工程との相関関係が不明瞭である。

・請求項 1 0

理由 5

備考

請求項 1 0 記載の発明は、本願の発明の詳細な説明のどこに記載されたものであるのか不明瞭である。発明の詳細な説明中に記載された事項との関係を説明されたい。

この拒絶理由通知書中で指摘した請求項以外の請求項に係る発明については、現時点では、拒絶の理由を発見しない。拒絶の理由が新たに発見された場合には拒絶の理由が通知される。

引用文献等一覧

1. 特開昭 5 9 - 1 8 1 0 6 2 号公報
2. 特開平 0 3 - 0 7 9 0 3 3 号公報
3. 特願平 0 7 - 3 1 8 0 9 8 号 (特開平 0 9 - 1 6 2 3 9 2 号)
4. 特開平 0 4 - 4 8 6 4 7 号公報

-----  
(1) 明細書を補正した場合は、補正により記載を変更した個所に下線を引くこと (特許法施行規則様式第 1 3 備考 6)。

(2) 補正の際には、補正は、この出願の出願当初の明細書又は図面に記載した事項のほか、出願当初の明細書又は図面に記載した事項から当業者が直接的かつ一義的に導き出すことができる事項に限られる点に注意し、意見書で、各補正事項について補正が適法なものである理由を、根拠となる出願当初の明細書の記載箇所を明確に示したうえで主張されたい。意見書の記載形式は、特許異議申立における訂正請求書の記載形式を参考にされたい。

先行技術文献調査結果の記録

- ・調査した分野      I P C 第 7 版  
                         H 0 1 L    2 1 / 7 0 - 2 1 / 7 4 ,  
                         H 0 1 L    2 1 / 7 6 - 2 1 / 7 6 5 ,  
                         H 0 1 L    2 1 / 7 7

この先行技術文献調査結果の記録は、拒絶理由を構成するものではない。

---

部長／代理	審査長／代理	審査官	審査官補
_____	河口 雅英	菅野 智子	_____
	8 4 2 1	9 5 4 5	

---

【書類名】 意見書

【提出日】 平成15年 4月17日

【あて先】 特許庁審査官 菅野 智子 殿

【事件の表示】

【出願番号】 平成 7年特許願第330112号

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【発送番号】 045997

【意見の内容】 1

【プルーフの要否】 要

## 1. 拒絶理由の要点

本願の各請求項に対し、平成15年2月10日付けにて、

- 1) 特開昭59-181062号公報（以下では、引用文献1とよぶ）
- 2) 特開平03-079033号公報（以下では、引用文献2とよぶ）
- 3) 特願平07-318098号（以下では、引用文献3とよぶ）
- 4) 特開昭04-48647号公報（以下では、引用文献4とよぶ）

を引用されて、「請求項1-3が、引用文献1の引用により、特許法第29条第1項第3号および同法第29条第2項の規定に該当し、請求項1-4が、引用文献2の引用により、同法第29条第1項第3号および同法第29条第2項の規定に該当し、請求項1-4, 5, 6, 9が、引用文献3の引用により、同法第29条の2の規定に該当し、請求項5, 6, 9が、引用文献1, 2および4の引用により、同法第29条第2項の規定に該当し、請求項8が、同法第36条第6項第2号の規定に違反し、請求項10が、同法第36条第6項第1号の規定に違反するので、特許を受けることができない。」とする拒絶理由の通知がありました。

## 2. 本願が特許されるべき理由

—補正—

上記の拒絶理由通知に対し、本願出願人は、今般、別途提出の手続き補正書によって、特許請求の範囲を限縮し、誤記を訂正し、さらに明瞭にする補正を行うとともに、それに準じて明細書全文の補正を行いました。

補正後の新請求項と、補正前の旧請求項との関係は以下の通りです。

新請求項	旧請求項
1 (独立)	1 (独立)
2	2
3	3
4	4
5 (独立)	5 (独立)
6	6
7	新規
8	新規

9	7 (拒絶理由なし)
1 0	8
1 1	9
1 2 (独立)	1 0

－補正の根拠－

今般の補正において、

新請求項 1 に追加された事項は、出願当初の明細書における段落【0071】（平成8年7月16日提出の手続き補正書の明細書の段落【0069】）の記載から直接的に導かれます。

新請求項 3 に追加された事項は、出願当初の明細書における段落【0071】（平成8年7月16日提出の手続き補正書の明細書の段落【0069】）の記載から直接的に導かれます。

新請求項 4 に追加された事項は、出願当初の明細書における段落【0074】（平成8年7月16日提出の手続き補正書の明細書の段落【0072】）の記載から直接的に導かれます。

新請求項 5 に追加された事項は、出願当初の明細書における段落【0048】（平成8年7月16日提出の手続き補正書の明細書の段落【0045】）の記載から直接的に導かれます。

新たに追加された新請求項 7 の記載事項は、出願当初の明細書における段落【0071】－【0075】（平成8年7月16日提出の手続き補正書の明細書の段落【0069】－【0073】）の記載から直接的に導かれます。

新たに追加された新請求項 8 の記載事項は、出願当初の明細書における段落【0074】（平成8年7月16日提出の手続き補正書の明細書の段落【0072】）の記載から直接的に導かれます。

新たに独立項となった新請求項 12 の記載事項は、出願当初の明細書における段落番号【0079】－【0084】（平成8年7月16日提出の手続き補正書の明細書の段落【0077】－【0082】）の記載および図5から直接的に導かれます。

(1) 請求項 1 が特許されるべき理由

## イ. 請求項 1 の発明の説明

新請求項 1 に記載の半導体装置は、

a) 活性領域の表面よりも高い上面を有し、かつ活性領域との境界に段差部を形成する溝型素子分離と、

b) 溝型素子分離の段差部の側面上に形成された L 字状の段差部サイドウォールと

を備えています。

これにより、請求項 1 の発明では、「溝型素子分離の端部に溝型素子分離の表面が素子形成領域の半導体基板表面よりも高くなった段差部が設けられているので、半導体装置の不純物拡散層を形成する際の不純物イオンの注入の際に素子分離の端部下方への不純物イオンの注入が阻止される。また、シリサイドからなるソース・ドレイン電極を設ける構造を採用する場合にも、段差部サイドウォールによってシリサイド層の奥方への侵入が阻止されているので、ソース・ドレイン電極とチャンネルストップ領域等の基板領域との間に短絡電流が発生するのを防止することができる。したがって、溝型素子分離における各半導体装置間の分離機能の低下が防止されることになる。」という出願当初の明細書の段落【0020】（平成 8 年 7 月 16 日提出の手続き補正書の明細書の段落【0021】）に記載された効果を得ることができます。

ここで、出願当初の明細書の段落【0075】（平成 8 年 7 月 16 日提出の手続き補正書の明細書の段落【0073】）に記載されているように、段差部サイドウォールが L 字状であることにより、得られる効果をより有効なものにすることができると思料いたします。

## ロ. 各引用文献に記載された発明の説明

これに対し、引用文献 1 には、「ゲート電極と基板表面との段差よりも素子分離用絶縁膜と基板表面との段差を大きく形成し、各段差側壁部に該段差の大きさに比例する幅の絶縁膜をセルフアラインで形成」することと、この絶縁膜は「CVD-SiO<sub>2</sub> 膜」であることが開示されています（〔発明の概要〕の第 1 段落目）。

引用文献 2 には、「トレンチ分離領域(25)の上部突出部の側壁に SiO<sub>2</sub> 側壁

部(29a)を形成する（〔実施例〕の第4段落目）」ことが開示されています。

引用文献3には、「埋め込み絶縁膜2を基板表面より突出するように形成することにより、突出した埋め込み絶縁膜2の側面に側壁絶縁体9を自己整合的に形成する（段落【0041】）」ことが開示されています。

ハ. 請求項1の発明が、特許法第29条第1項第3号および同法第29条第2項の規定に該当しない理由

i. 請求項1と引用文献1との対比

引用文献1では、第3図(n)に示すように、「段差側壁部」の上には、「セルフアラインで」形成された板状の「CVD-SiO<sub>2</sub>膜」からなる「サイドウォール41」が形成されており、請求項1の発明の「L字状の段差部サイドウォール」についてはなんら開示されていません。

ii. 請求項1と引用文献2との対比

引用文献2では、第1図(F)に示すように、板状の「SiO<sub>2</sub>側壁部29a」が形成されており、請求項1の発明の「L字状の段差部サイドウォール」についてはなんら開示されていません。つまり、請求項1は、「L字状の段差部サイドウォール」を備えている点で、引用文献1および2とは異なります。したがって、請求項1は特許法第29条第1項第3号および同法第29条第2項の規定には該当しないものと思料いたします。

二. 請求項1が、特許法第29条の2の規定に該当しない理由

i. 請求項1と引用文献3との対比

引用文献3に記載された発明では、図10に示すように、「埋め込み絶縁膜3の側面に側壁絶縁体9を自己整合的に形成」しており、請求項1の発明の「L字状の段差部サイドウォール」についてはなんら開示されていません。

つまり、請求項1は、「L字状の段差部サイドウォール」を備えている点で引用文献3とは実質的に同一ではないと思料いたします。したがって、請求項1は、特許法第29条の2の規定に該当しないものであると思料いたします。

(2) 請求項5が特許されるべき理由

イ. 請求項5の発明の説明

請求項5に記載の半導体装置の製造方法は、

- a) 半導体基板上に下敷き絶縁膜を形成する第1の工程と、
- b) 下敷き絶縁膜の上にエッチングストップ膜を堆積する第2の工程と、
- c) 溝部を形成する第3の工程と、
- d) 基板の全面上に溝部の底面からエッチングストップ膜の表面までの高さよりも膜厚の厚い分離用絶縁膜を堆積した後、化学的機械研磨によって該分離用絶縁膜を少なくとも上記エッチングストップ膜の表面が露出するまで平坦化するとともに、上記溝部に溝型素子分離を形成する第4の工程と、
- e) 上記素子形成領域と上記溝型素子分離との間に段差部を露出させる第5の工程と、
- f) ゲート電極をパターンニングする第6の工程と、
- g) 上記ゲート電極及び上記段差部の各側面上に上記絶縁膜からなる電極部サイドウォール及び段差部サイドウォールをそれぞれ形成する第7の工程と、
- h) 上記第7の工程の後に、ソース・ドレイン領域を形成する第8の工程とを備えています。

この方法により、「第6の工程が終了した段階で素子形成領域の半導体基板と溝型素子分離との間に段差部が形成されているので、第9の工程（平成8年7月16日に提出された手続き補正書によって「第8の工程」に修正）における不純物イオンの注入の際に、溝型素子分離の端部下方への不純物イオンの注入が阻止される。また、後にソース・ドレイン領域の表面付近をシリサイド化する場合にも、絶縁膜からなる段差部のサイドウォールによってシリサイド層の奥方への侵入は阻止される。したがって、接合耐圧の劣化や接合リーク等を防止できるとともに、ソース・ドレイン電極とチャンネルストップ領域等の基板領域との短絡電流の発生を防止できる。」という出願当初の明細書の段落番号【0028】（平成8年7月16日提出の手続き補正書の明細書の段落【0027】）に記載された効果を得ることができます。

さらに、基板の全面上に、「上記溝部の底面から上記エッチングストップ膜の表面までの高さよりも膜厚の厚い分離用絶縁膜を堆積した後、化学的機械研磨によって該分離用絶縁膜を少なくとも上記エッチングストップ膜の表面が露出するまで平坦化する」ことにより、「基板面全体を平坦化する」という、出願当初の

明細書の段落【0048】（平成8年7月16日提出の手続き補正書の明細書の段落【0045】）に記載された効果を得ることができます。

ロ. 各引用文献の説明

引用文献1-3では、請求項1についての「各引用文献の説明」の欄で述べた内容に加えて、以下のような内容が開示されています。

引用文献1では、〔発明の実施例〕の第1段落目-第2段落目で、「レジスト32をマスクとして基板31を選択エッチング」することにより「溝」を形成した後、「CVD-SiO<sub>2</sub>膜34を溝深さと同程度被着」し、「レジスト35」および「レジスト36」を用いたエッチバックにより絶縁膜埋め込み工程を行った後、「露出した基板31の表面をエッチング」し、「素子形成領域をフィールド領域のCVD-SiO<sub>2</sub>膜34よりも低く」することが開示されています。

引用文献2では、〔実施例〕の第2段落目-第3段落目で、「シリコン基板(21)」に「トレンチ(22)を形成」した後、「トレンチ(22)内にSiO<sub>2</sub>を埋め込むよう」に「SiO<sub>2</sub>膜(23)」を形成し、「トレンチ(22)に対応するSiO<sub>2</sub>膜(23)上にレジストマスク(24)を形成」した後、「エッチバックによりトレンチ(22)以外のSiO<sub>2</sub>膜(23)を選択的に除去し」て「トレンチ分離領域(25)」を形成することが開示されています。

引用文献3では、段落【0024】-【0028】で、「p型シリコン基板1上」に、「酸化膜11」および「多結晶シリコン膜12」を形成した後、「素子分離形成予定領域の多結晶シリコン膜12と酸化膜11とシリコン基板1の一部を除去」して「絶縁膜2を堆積」し、「幅の広い素子分離領域上」に「多結晶シリコン膜13」を形成した後、CMP法を用いて、酸化膜2を研磨して多結晶シリコン膜12の表面を露出」し、「残存する多結晶シリコン膜12, および13」を「除去」することにより、「埋め込み素子分離領域」を形成することが開示されています。

引用文献4では、〔実施例〕の第3段落目-第6段落目で、「N-型半導体基板3」の上に「シリコン酸化膜4a及び窒化膜4b」を形成した後に、バイポーラトランジスタ（またはMOSトランジスタ）の形成領域Aを「レジストマスク5で覆い、反応性イオンエッチング法(RIE法)によって、レジストマス

ク5から露出した窒化膜4b、SiO<sub>2</sub>膜4aを除去するとともに、N-型半導体基板3を0.5μm程度エッチングして凹部を形成した後、「シリコン酸化膜(SiO<sub>2</sub>膜)6をCVD法により堆積し、これをケミカルポリッシング法とフッ酸バッファ液によって窒化膜4bが露出するまでエッチングする。そして、窒化膜4b及びSiO<sub>2</sub>膜4aをそれぞれリン酸とフッ酸により除去」することにより、基板表面と平坦な表面を有する凹部内にシリコン酸化膜が埋め込まれた素子分離領域を形成することが開示されています。

ハ. 請求項5が特許法第29条の2の規定に該当しない理由

i. 請求項5の発明と引用文献3の発明との対比

引用文献3には、トレンチに埋め込む酸化膜2の膜厚に関する記載はありません。しかしながら、引用文献3の図4に開示された限りでは、「素子分離領域」のトレンチの底面から「多結晶シリコン膜12」の表面までの高さよりも「酸化膜2」の膜厚を薄く形成する必要があると思料いたします。なぜならば、トレンチの底面から「多結晶シリコン膜12」の表面までの高さよりも「酸化膜2」の膜厚を厚く形成した場合には、「幅の広い素子分離領域」の上に「多結晶シリコン膜13」を形成して「CMP法により酸化膜2を研磨」すると、上面の高さが高い「多結晶シリコン膜13」がエッチングストッパーとなるので、「多結晶シリコン膜12」の表面を露出させることが困難になるためです。

これに対し、本願の請求項5の発明では、「上記溝部の底面から上記エッチングストッパ膜の表面までの高さよりも膜厚の厚い分離用絶縁膜を堆積し」ています。これにより、引用文献3における「多結晶シリコン膜13」のようなパターン膜を形成することなく、基板面全体を平坦化することができます。

よって、請求項5の発明と引用文献3の発明とは実質的に同一ではなく、請求項5は、特許法第29条の2の規定に該当しないものと思料いたします。

二. 請求項5が特許法第29条第2項の規定に該当しない理由

i. 請求項5と引用発明1との対比

引用文献1の発明は、「露出した基板31の表面をエッチング」することにより、素子分離領域をフィールド領域となる「CVD-SiO<sub>2</sub>膜34」よりも低く形成するものであり、請求項5の発明のように、「化学的機械研磨によって該

分離用絶縁膜を少なくとも上記エッチングストップ膜の表面が露出するまで平坦化する」ものでありません。

さらに、請求項5の発明は、「エッチングストップ膜を除去する」ことによって「段差部」を形成するものであり、引用文献1と異なります。

また、請求項5の発明は、「半導体基板」上に「下敷き絶縁膜」と「エッチングストップ膜」とを形成するものですが、これらは引用文献1には開示されていません。

ii. 請求項5と引用文献2との対比

引用文献2の発明は、「トレンチ(22)に対応するSiO<sub>2</sub>膜(23)上にレジストマスク(24)を形成」した後、「エッチバックによりトレンチ(22)以外のSiO<sub>2</sub>膜(23)を選択的に除去」することにより、「トレンチ分離領域(25)」を形成するものであり、請求項5の発明のように、「化学的機械研磨によって該分離用絶縁膜を少なくとも上記エッチングストップ膜の表面が露出するまで平坦化」し、「エッチングにより、少なくとも上記エッチングストップ膜」を「除去し」て「段差部」を形成するものではありません。

また、請求項5の発明は、「半導体基板」上に「下敷き絶縁膜」と「エッチングストップ膜」とを形成するものですが、これらは引用文献2には開示されていません。

iii. 請求項5と引用文献4との対比

引用文献4は、素子分離領域の「シリコン酸化膜6」の上面と「半導体基板1」の活性領域の表面とを同じ高さまで平坦に形成するものであります。これは、本願の出願当初の明細書における従来技術の欄（出願当初の明細書および平成8年7月16日提出の手続き補正書の明細書における段落【0004】～【0012】）および図7に記載している内容に相当するもので、本願の発明が解決しようとする課題の欄（出願当初の明細書および平成8年7月16日提出の手続き補正書の明細書における段落【0014】～【0017】）に記載しているような不具合を有しています。言い換えれば、引用文献4には、請求項5の発明のように、「上記素子形成領域と上記溝型素子分離との間に段差部」を形成するという技術思想は全くないと思料いたします。

iV. 請求項5の発明と引用文献1, 2および4, の組み合わせとの対比

引用文献1に記載された発明は、素子形成領域の基板をエッチングすることによって、基板表面に対して素子分離領域の上面を高くして段差部を形成するという技術思想を有するものであります。

引用文献2は、レジストマスクを用いて酸化膜をエッチングすることによって、基板表面に対して素子分離領域の上面を高くして段差部を形成するという技術思想を有するものであります。

引用文献4は、基板表面と素子分離領域の上面を平坦に形成するという技術思想を有するものであります。

以上のことから、引用文献1, 2, 4の素子分離形成の技術思想は異なるものであり、組み合わせる動機付けもありませんので、組み合わせることは困難であると思料いたします。

また、これらの引用文献1, 2, 4のいずれにも、請求項5の発明のように、化学的機械研磨のエッチングストッパーとなるエッチングストップ膜の膜厚を利用して段差部を形成するという技術思想はないため、たとえこれらの引用文献を組み合わせたとしても、請求項5の発明の構成を得ることはできません。

以上のことから、請求項5は、特許法第29条第2項の規定に該当しないものと思料いたします。

(3) 請求項10が特許されるべき理由

本願出願人は、請求項10において、「上記第5の工程で所定値以上の高低差を有する段差が露出されるように」の「第5の工程」を「第6の工程」とする補正を行いました。したがって、請求項10における特許法第36条第6項第2号の規定違反は解消したものと思料いたします。

(4) 請求項12が特許されるべき理由

本願出願人は、請求項12を独立項とする補正を行うとともに、記載を明瞭とする補正を行いました。

請求項12における「第1の保護用絶縁膜」、「第2の保護用絶縁膜」、「サイドウォール用シリコン膜」は、それぞれ、出願当初の明細書の段落【0079】および図5(a)～(f)に示す「保護酸化膜10a, 10b」、「保護酸化

膜 3 1」、「サイドウォール用のポリシリコン膜 3 4」に相当するものであります。これにより、請求項 1 2 の構成要素および各工程の相関関係が明瞭になったため、請求項 1 2 における特許法第 3 6 条第 6 項第 1 号の規定違反は解消したものと思料いたします。

### 3. 結び

以上のように、本願の各請求項は、別途提出の手続き補正書による補正並びに以上の説明から明らかなように、特許法第 2 9 条第 1 項第 3 号、第 2 項、2 9 条の 2、の規定に該当しないものと思料いたします。また、第 3 6 条第 6 項第 1 号および第 2 号の規定を満たすものと思料いたします。

よって、別途提出の手続き補正書によって再ご審理の上、何卒特許査定を賜りますようお願い上げる次第です。

以上、ご意見申し上げます。

【書類名】 手続補正書

【提出日】 平成15年 4月17日

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 平成 7年特許願第330112号

【補正をする者】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【発送番号】 045997

【手続補正 1】

【補正対象書類名】 明細書

【補正対象項目名】 全文

【補正方法】 変更

【補正の内容】 1

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板の複数の活性領域にそれぞれ半導体素子を配設してなる半導体装置において、

上記活性領域の表面よりも高い上面を有し、かつ上記活性領域との境界に段差部を形成しながら上記各活性領域を分離するように取り囲む溝型素子分離と、

上記溝型素子分離の段差部の側面上に形成されたL字状の段差部サイドウォールと

を備えていることを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、

上記段差部サイドウォールは、絶縁性材料で構成されていることを特徴とする半導体装置。

【請求項 3】 請求項 1 又は 2 に記載の半導体装置において、

上記半導体素子は、

上記活性領域の上に形成されたゲート絶縁膜及びゲート電極と、

上記活性領域の上記ゲート電極の両側方に位置する領域に形成されたソース・ドレイン領域とを備えた M I S F E T であり、

上記ゲート電極の両側面上に形成されたL字状の電極部サイドウォールをさらに備えていることを特徴とする半導体装置。

【請求項 4】 請求項 1 ～ 3 のうちいずれか 1 項 に記載の半導体装置において、

少なくとも上記活性領域の表面付近の部分をシリサイド化してなるソース・ドレイン電極をさらに備えていることを特徴とする半導体装置。

【請求項 5】 半導体基板上に下敷き絶縁膜を形成する第 1 の工程と、

上記下敷き絶縁膜の上にエッチングストップ膜を堆積する第 2 の工程と、

上記エッチングストップ膜及び上記下敷き絶縁膜のうち素子分離を形成しようとする領域を開口し、この開口部の半導体基板をエッチングして溝部を形成する第 3 の工程と、

基板の全面上に上記溝部の底面から上記エッチングストップ膜の表面までの高さよりも膜厚の厚い分離用絶縁膜を堆積した後、化学的機械研磨によって該分離用絶縁膜を少なくとも上記エッチングストップ膜の表面が露出するまで平坦化するとともに、上記溝部に素子形成領域を取り囲む溝型素子分離を形成する第4の工程と、

エッチングにより、少なくとも上記エッチングストップ膜及び上記下敷き絶縁膜を除去し、上記素子形成領域と上記溝型素子分離との間に段差部を露出させる第5の工程と、

上記第5の工程の後に、上記基板上にゲート酸化膜及び導電膜を堆積した後、該導電膜から少なくともゲート電極をパターンニングする第6の工程と、

基板の全面上にサイドウォール用絶縁膜を堆積した後、異方性エッチングを行って、上記ゲート電極及び上記段差部の各側面上に上記絶縁膜からなる電極部サイドウォール及び段差部サイドウォールをそれぞれ形成する第7の工程と、

上記第7の工程の後に、上記ゲート電極の両側の素子形成領域の半導体基板内に不純物を導入してソース・ドレイン領域を形成する第8の工程と  
を備えていることを特徴とする半導体装置の製造方法。

【請求項6】 請求項5記載の半導体装置の製造方法において、

上記第2の工程では、少なくとも上記第7の工程におけるオーバーエッチング量を考慮して、上記第5の工程で所定値以上の高低差を有する段差部が露出されるようにエッチングストップ膜の膜厚を定めることを特徴とする半導体装置の製造方法。

【請求項7】 請求項5記載の半導体装置の製造方法において、

上記第6の工程の後で上記第7の工程の前に、基板の全面上に保護酸化膜を堆積する工程を備え、

上記第7の工程は、

上記保護酸化膜上に上記サイドウォール用絶縁膜とマスク用膜を順次堆積する工程(a)と、

上記マスク用膜をエッチバックして上記ゲート電極及び段差部の各側面上に電極部マスク及び段差部マスクを形成する工程(b)と、

上記電極部マスク及び上記段差部マスクをマスクにして、上記サイドウォール用絶縁膜のエッチングを行なって、いずれもL字状の上記電極部サイドウォール及び上記段差部サイドウォールをそれぞれ形成する工程(c)とを有し、  
上記第8の工程の後に、上記電極部マスク及び上記段差部マスクを除去する第9の工程を備えていることを特徴とする半導体装置の製造方法。

【請求項8】 請求項7記載の半導体装置の製造方法において、  
上記第9の工程の後に、基板上で露出した部分の上記保護酸化膜を除去する工程と、上記ゲート電極及び上記ソース・ドレイン領域の上にシリサイド層を形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項9】 半導体基板上にゲート絶縁膜を形成する第1の工程と、  
上記ゲート絶縁膜の上にゲート電極となる第1の導電膜を堆積する第2の工程と、  
上記第1の導電膜のうち溝型素子分離を形成しようとする領域を開口し、この開口部の半導体基板をエッチングして溝部を形成する第3の工程と、  
基板の全面上に分離用絶縁膜を堆積した後、基板を少なくとも上記第1の導電膜の表面が露出するまで平坦化するとともに、上記溝部に素子形成領域を取り囲む溝型素子分離を形成する第4の工程と、  
上記平坦化された基板の全面上に少なくとも上部ゲート電極となる第2の導電膜を堆積する第5の工程と、  
上記第1及び第2の導電膜から少なくともゲート電極をパターニングするとともに、上記素子形成領域と溝型素子分離との間に段差部を露出させる第6の工程と、  
基板の全面上にサイドウォール用絶縁膜を堆積した後、異方性エッチングを行って、上記ゲート電極及び上記段差部の各側面上に上記絶縁膜からなる電極部サイドウォール及び段差部サイドウォールを形成する第7の工程と、  
上記第7の工程の後に、上記ゲート電極の両側の素子形成領域の半導体基板内に不純物を導入してソース・ドレイン領域を形成する第8の工程と  
を備えていることを特徴とする半導体装置の製造方法。

【請求項10】 請求項9記載の半導体装置の製造方法において、

上記第2の工程では、少なくとも上記第7の工程におけるオーバーエッチング量を考慮して、上記第6の工程で所定値以上の高低差を有する段差が露出されるように上記第1の導電膜の膜厚を定めることを特徴とする半導体装置の製造方法。

【請求項11】 請求項9又は10に記載の半導体装置の製造方法において

、  
上記第8の工程を終了した後に、少なくとも上記ソース・ドレイン領域の表面付近の領域をシリサイド化する工程をさらに備えていることを特徴とする半導体装置の製造方法。

【請求項12】 半導体基板上に下敷き絶縁膜を形成する第1の工程と、  
上記下敷き絶縁膜の上にエッチングストップ膜を堆積する第2の工程と、  
上記エッチングストップ膜及び上記下敷き絶縁膜のうち素子分離を形成しようとする領域を開口して開口部を形成し、上記開口部に露出する半導体基板をエッチングして溝部を形成する第3の工程と、

基板の全面上に分離用絶縁膜を堆積した後、化学的機械研磨を行なって該分離用絶縁膜を上記エッチングストップ膜の表面が露出するまで平坦化するとともに、  
上記溝部に素子形成領域を取り囲む溝型素子分離を形成する第4の工程と、  
エッチングにより、少なくとも上記エッチングストップ膜及び上記下敷き絶縁膜を除去し、上記素子形成領域と上記溝型素子分離との間に段差部を露出させる第5の工程と、

上記第5の工程の後に、上記基板上にゲート酸化膜、導電膜及び第1の保護用絶縁膜を堆積した後、該導電膜から少なくともゲート電極をパターニングするとともに、  
該第1の保護用絶縁膜をパターニングして上記ゲート電極上に保護絶縁膜を形成する第6の工程と、

上記第6の工程の後に、基板の全面上に第2の保護用絶縁膜を堆積する第7の工程と、

上記第2の保護用絶縁膜上にサイドウォール用シリコン膜を堆積した後、異方性エッチングを行って、上記ゲート電極及び上記段差部の各側面上に上記サイドウォール用シリコン膜からなる電極部サイドウォール及び段差部サイドウォール

をそれぞれ形成する第 8 の工程と、

上記第 8 の工程の後に、上記ゲート電極の両側の素子形成領域の半導体基板内に不純物を導入してソース・ドレイン領域を形成する第 9 の工程と、

上記第 9 の工程の後に、上記電極部サイドウォール、上記ソース・ドレイン領域及び上記段差部サイドウォールに跨る領域をシリサイド化する第 10 の工程とを備えていることを特徴とする半導体装置の製造方法。

**【発明の詳細な説明】**

**【発明の属する技術の分野】**

本発明は、溝埋め込み分離型の素子分離を有する半導体装置の構造及びその製造方法の改良に関する。

**【従来の技術】**

近年、半導体装置の高集積化、高性能化の進展にともない、益々微細化の要求が高まっている。そのため従来の技術の改良だけではそれらの要求に追随できず、新規技術導入が余儀なくされている技術分野もある。例えば素子分離形成方法として、従来はその製法の簡便さと低コスト性の観点から LOCOS 分離法により素子分離が形成されてきたが、最近では、より微細な半導体装置を形成するには溝埋め込み分離型の素子分離（以下、単に溝型素子分離という）を設けた方が有利であると考えられてきている。

すなわち、LOCOS 分離法は、選択酸化の方式をとっているため、その酸化を防止するためのマスクとの境界でいわゆるバズビークが発生し、実際のマスク寸法よりも素子領域側に分離領域の絶縁膜が侵入して寸法変化が生じ、この変化量が  $0.5 \mu\text{m}$  世代以降の微細化には許容できない数値となる。そのため、量産技術の分野においても寸法シフトのきわめて少ないトレンチ分離法への転換が始まりつつある。例えば IBM 社が  $0.5 \mu\text{m}$  CMOS プロセスとして MPU の量産に溝型素子分離構造を導入している（参考文献：IBM Journal of Research and Development、VOL. 39、NO. 1/2、1995、33-42 頁）。

図 6 は、従来のトレンチ分離とサリサイド構造を有する MOSFET とが設けられた半導体装置の例を示す断面図である。同図に示すように、シリコン基板 1

01には溝型の素子分離105aが形成されている。そして、素子分離105aによって囲まれた活性領域上には、ゲート絶縁膜103a及びゲート電極107aと、ゲート電極107aの両側面上の電極部サイドウォール108aとが設けられている。また、活性領域においてゲート電極107aの両側方に位置する領域に低濃度ソース・ドレイン領域106aと、高濃度ソース・ドレイン領域106bとが設けられ、素子分離105aの下方にチャンネルストップ領域115が設けられている。また、素子分離105a及び活性領域として機能しないシリコン基板101の上に亘ってゲート電極107aと同じポリシリコン膜からなるゲート配線107bがゲート絶縁膜103bを介して設けられ、その両側面上には配線部サイドウォール108bが設けられている。さらに、ゲート電極107a、ゲート配線107b及び高濃度ソース・ドレイン領域106bの上には、それぞれシリサイドからなる上部ゲート電極109aと、上部ゲート配線109bと、ソース・ドレイン電極109cとが設けられている。さらに、シリコン酸化膜からなる層間絶縁膜111と、層間絶縁膜111上に形成された金属配線112と、層間絶縁膜111内に形成されたコンタクトホール内に埋め込まれ、金属配線112とソース・ドレイン電極109cとの間を接続するコンタクト部113とが設けられている。

次に、図7(a)～(e)を参照しながら、上記図6に示す従来の溝型素子分離とMOSFETとを有する半導体装置の製造工程について説明する。

まず、図7(a)に示すように、シリコン基板101の上に、シリコン酸化膜116及びシリコン窒化膜117を順次堆積し、素子分離領域を開口し素子形成領域を覆うレジスト膜120をシリコン窒化膜117の上に形成した後、レジスト膜120をマスクとしてエッチングを行なって、上記シリコン窒化膜116及びシリコン酸化膜117を選択的に除去し、さらに、シリコン基板101をエッチングして、溝部104を形成する。さらに、溝部104の底部に不純物イオンを注入してチャンネルストップ領域115を形成する。

次に、図7(b)に示すように、シリコン酸化膜(図示せず)を堆積してから、シリコン窒化膜117の表面が露出するまで全面を平坦化する。この工程によって、素子分離領域Reisoには、上記溝部104に埋め込まれたシリコン酸化膜

からなる溝型の素子分離105aが形成される。

次に、図7(c)に示すように、いったんシリコン窒化膜117及びシリコン酸化膜116を除去した後、シリコン基板101の上に、ゲート酸化膜103を形成し、さらに基板の全面上ポリシリコン膜107を堆積した後、ポリシリコン膜107の上にゲート形成領域以外の領域を開口させたフォトレジスト膜121を形成する。

次に、図7(d)に示すように、フォトレジスト膜121をマスクとして、ポリシリコン膜107のドライエッチングを行い、ポリシリコン膜107及びゲート酸化膜103を選択的に除去して、素子形成領域Refet内のMOSFETのゲート電極107aと、素子分離105a上からシリコン基板101上に跨るゲート配線107bとを形成する。そして、フォトレジスト膜121を除去した後、ゲート電極107aをマスクとしてシリコン基板101内に不純物イオンの注入を行って、低濃度ソース・ドレイン領域106aを形成する。その後、基板の全面上にシリコン酸化膜108を堆積する。

次に、図7(e)に示すように、シリコン酸化膜108の異方性ドライエッチングを行ってゲート電極107a及びゲート配線107bの両側面上に、それぞれ電極部サイドウォール108a及び配線部サイドウォール108bを形成する。その際、シリコン酸化膜108下方のゲート酸化膜103も同時に除去され、ゲート電極107aの下方のゲート酸化膜103aと、ゲート配線107bの下方のゲート酸化膜103bのみが残る。その後、ゲート電極107a及び電極部サイドウォール108aをマスクとして不純物イオンを斜め方向から注入し、高濃度ソース・ドレイン領域106bを形成する。その後、全面にTi膜を堆積した後、高温熱処理を行って、Ti膜とTi膜に直接接触するシリコンで構成される部材とを反応させてシリサイドからなる上部ゲート電極109aと、上部ゲート配線109bと、ソース・ドレイン電極109cとを形成する。

その後の工程は省略するが、最終的に図6に示される構造を有するMOSFETを備えた半導体装置が得られる。図6において、層間絶縁膜111の上に金属配線112が形成され、金属配線112とソース・ドレイン電極109cとの間は、コンタクトホールを埋め込んだWプラグ等からなるコンタクト部113によ

り接続されている。

上述のような溝型素子分離構造を採用する場合、熱酸化により厚いシリコン酸化膜を形成するLOCOS法のようなバズビークつまり活性領域内への酸化膜の入り込みがないので、ソース・ドレイン領域の寸法シフトが抑制される。そして、図7(c)に示す工程では、素子分離105aと素子形成領域Refetのシリコン基板101とが平坦化されている。

#### 【発明が解決しようとする課題】

しかしながら、上述のようなトレンチ構造の素子分離を有する半導体装置では、以下のような問題があった。

すなわち、図7(d)に示す状態から同図(e)に示す状態に移行する際に、シリコン酸化膜108の異方性エッチングを行って各サイドウォール108a, 108bを形成するが、そのときオーバーエッチングを行う必要がある。このオーバーエッチングによって、素子分離105aの表面がある程度下方まで掘り込まれる。

図8(a), (b)は、このときの高濃度ソース・ドレイン領域106bと素子分離105aとの境界付近を拡大して示す断面図である。

同図(a)に示すように、図7(d)に示す工程と図7(e)に示す工程との間で、不純物イオンを斜め方向から注入して高濃度ソース・ドレイン領域106bを形成する工程を行うが、素子分離105aが下方まで掘れ下がっているので、このイオン注入の際、素子分離105aの端部の下方にまで高濃度ソース・ドレイン領域106bが形成されてしまう。したがって、高濃度ソース・ドレイン領域106bとチャネルストップ領域115との近接が生じ、接合耐圧劣化や接合リークの増大等の不具合を招く。

また、図8(b)に示すように、高濃度ソース・ドレイン領域106bの上にTi膜等を堆積して下方のシリコンと反応させるシリサイド化を行うものでは、シリサイド層がシリコン基板101と素子分離105aとの界面に侵食しやすくなり、シリサイドからなるソース・ドレイン電極109cとチャネルストップ領域115との間で短絡電流の発生を招く虞れもあった。

本発明は斯かる点に鑑みてなされたものであり、その目的は、上述のサイドウ

オール形成の際のオーバーエッチングによる溝型素子分離領域の掘り下がり防止する手段を講ずることにより、溝型素子分離構造を有しながら、接合リークや接合耐圧の劣化、短絡電流等のない微細かつ高性能な半導体装置及びその製造方法を提供することにある。

**【課題を解決するための手段】**

上記目的を達成するために、本発明の講じた解決手段は、素子形成領域の半導体基板と溝型素子分離との間に、溝型素子分離の側が高くなるような段差部を形成し、この段差部にサイドウォールを設けたものである。具体的には、請求項1～4に記載される半導体装置と、請求項5～12に記載される半導体装置の製造方法とに関する手段を講じている。

本発明の半導体装置は、半導体基板の複数の活性領域にそれぞれ半導体素子を配設してなる半導体装置において、上記活性領域の表面よりも高い上面を有し、かつ上記活性領域との境界に段差部を形成しながら上記各活性領域を分離するように取り囲む溝型素子分離と、上記溝型素子分離の段差部の側面上に形成されたL字状の段差部サイドウォールとを備えている。

この構成により、溝型素子分離の端部に溝型素子分離の表面が素子形成領域の半導体基板表面よりも高くなった段差部が設けられているので、半導体装置の不純物拡散層を形成する際の不純物イオンの注入の際に素子分離の端部下方への不純物イオンの注入が阻止される。また、シリサイドからなるソース・ドレイン電極を設ける構造を採用する場合にも、段差部サイドウォールによってシリサイド層の奥方への侵入が阻止されているので、ソース・ドレイン電極とチャンネルストップ領域等の基板領域との間に短絡電流が発生するのを防止することができる。したがって、溝型素子分離における各半導体装置間の分離機能の低下が防止されることになる。

上記段差部サイドウォールを、絶縁性材料で構成することができる。

上記半導体素子は、上記活性領域の上に形成されたゲート絶縁膜及びゲート電極と、上記活性領域の上記ゲート電極の両側方に位置する領域に形成されたソース・ドレイン領域とを備えたMISFETであり、上記ゲート電極の両側面上に形成されたL字状の電極部サイドウォールをさらに備えているように構成するこ

とができる。

少なくとも上記活性領域の表面付近の部分をシリサイド化してなるソース・ドレイン電極をさらに備えることができる。

この構成により、段差部サイドウォールによる不純物イオンの注入阻止機能と、シリサイド化工程におけるシリサイド層の奥方への侵入阻止機能とが得られる。しかも、電極部サイドウォール、ソース・ドレイン領域及び段差部サイドウォールに亘る広い領域の上にシリサイド層からなるソース・ドレイン電極が設けられているので、上層の配線からのコンタクトの形成が容易かつ確実となり、信頼性が向上するとともに素子形成領域の面積の低減が可能となる。

本発明に係る第1の半導体装置の製造方法は、半導体基板上に下敷き絶縁膜を形成する第1の工程と、上記下敷き絶縁膜の上にエッチングストップ膜を堆積する第2の工程と、上記エッチングストップ膜及び上記下敷き絶縁膜のうち素子分離を形成しようとする領域を開口し、この開口部の半導体基板をエッチングして溝部を形成する第3の工程と、基板の全面上に上記溝部の底面から上記エッチングストップ膜の表面までの高さよりも膜厚の厚い分離用絶縁膜を堆積した後、化学的機械研磨によって該分離用絶縁膜を少なくとも上記エッチングストップ膜の表面が露出するまで平坦化するとともに、上記溝部に素子形成領域を取り囲む溝型素子分離を形成する第4の工程と、エッチングにより、少なくとも上記エッチングストップ膜及び上記下敷き絶縁膜を除去し、上記素子形成領域と上記溝型素子分離との間に段差部を露出させる第5の工程と、上記第5の工程の後に、上記基板上にゲート酸化膜及び導電膜を堆積した後、該導電膜から少なくともゲート電極をパターンニングする第6の工程と、基板の全面上にサイドウォール用絶縁膜を堆積した後、異方性エッチングを行って、上記ゲート電極及び上記段差部の各側面上に上記絶縁膜からなる電極部サイドウォール及び段差部サイドウォールをそれぞれ形成する第7の工程と、上記第7の工程の後に、上記ゲート電極の両側の素子形成領域の半導体基板内に不純物を導入してソース・ドレイン領域を形成する第8の工程とを備えている。

この方法により、第6の工程が終了した段階で素子形成領域の半導体基板と溝型素子分離との間に段差部が形成されているので、第8の工程における不純物イ

オンの注入の際に、溝型素子分離の端部下方への不純物イオンの注入が阻止される。また、後にソース・ドレイン領域の表面付近をシリサイド化する場合にも、絶縁膜からなる段差部のサイドウォールによってシリサイド層の奥方への侵入は阻止される。したがって、接合耐圧の劣化や接合リーク等を防止できるとともに、ソース・ドレイン電極とチャンネルストップ領域等の基板領域との短絡電流の発生を防止できる。

上記第2の工程では、少なくとも上記第8の工程におけるオーバーエッチング量を考慮して、上記第5の工程で所定値以上の高低差を有する段差部が露出されるようにエッチングストップ膜の膜厚を定めることができる。

この方法により、第5の工程においてエッチングストップ膜を除去したときに、オーバーエッチング量による溝型素子分離の膜減りを見込んだ高低差が確保される。したがって、本発明に係る第1の半導体装置の製造方法の作用が有効に得られることになる。

上記第6の工程の後で上記第7の工程の前に、基板の全面上に保護酸化膜を堆積する工程を備え、上記第7の工程は、上記保護酸化膜上に上記サイドウォール用絶縁膜とマスク用膜を順次堆積する工程(a)と、上記マスク用膜をエッチバックして上記ゲート電極及び段差部の各側面上に電極部マスク及び段差部マスクを形成する工程(b)と、上記電極部マスク及び上記段差部マスクをマスクにして、上記サイドウォール用絶縁膜のエッチングを行なって、いずれもL字状の上記電極部サイドウォール及び上記段差部サイドウォールをそれぞれ形成する工程(c)とを有し、上記第8の工程の後に、上記電極部マスク及び上記段差部マスクを除去する第9の工程を備えていてもよい。

上記第9の工程の後に、基板上で露出した部分の上記保護酸化膜を除去する工程と、上記ゲート電極及び上記ソース・ドレイン領域の上にシリサイド層を形成する工程とを備えていることにより、L字状の電極部サイドウォールおよび段差部サイドウォールが形成されている場合には、基板と溝型素子分離との境界へのシリサイド層の進入をより有効に防止することができる。

第2の半導体装置の製造方法は、半導体基板上にゲート絶縁膜を形成する第1の工程と、上記ゲート絶縁膜の上にゲート電極となる第1の導電膜を堆積する第

2の工程と、上記第1の導電膜のうち溝型素子分離を形成しようとする領域を開口し、この開口部の半導体基板をエッチングして溝部を形成する第3の工程と、基板の全面上に分離用絶縁膜を堆積した後、基板を少なくとも上記第1の導電膜の表面が露出するまで平坦化するとともに、上記溝部に素子形成領域を取り囲む溝型素子分離を形成する第4の工程と、上記平坦化された基板の全面上に少なくとも上部ゲート電極となる第2の導電膜を堆積する第5の工程と、上記第1及び第2の導電膜から少なくともゲート電極をパターニングするとともに、上記素子形成領域と溝型素子分離との間に段差部を露出させる第6の工程と、基板の全面上にサイドウォール用絶縁膜を堆積した後、異方性エッチングを行って、上記ゲート電極及び上記段差部の各側面上に上記絶縁膜からなる電極部サイドウォール及び段差部サイドウォールを形成する第7の工程と、上記第7の工程の後に、上記ゲート電極の両側の素子形成領域の半導体基板内に不純物を導入してソース・ドレイン領域を形成する第8の工程とを備えている。

この方法により、本発明に係る第1の半導体装置の製造方法と同様の作用が得られるとともに、ゲート電極のパターニング工程では、基板全面がフルフラットな状態となっているので、ゲート電極のパターニング精度が向上する。

上記第2の工程では、少なくとも上記第7の工程におけるオーバーエッチング量を考慮して、上記第6の工程で所定値以上の高低差を有する段差が露出されるように上記導電膜の膜厚を定めることができる。

上記第8の工程を終了した後、少なくとも上記ソース・ドレイン領域の表面付近の領域をシリサイド化する工程をさらに備えていることができる。

この工程により、低抵抗のソース・ドレイン電極が形成されるので、低電圧かつ高速で作動する半導体装置が形成されることになる。

本発明に係る第3の半導体装置の製造方法は、半導体基板上に下敷き絶縁膜を形成する第1の工程と、上記下敷き絶縁膜の上にエッチングストップ膜を堆積する第2の工程と、上記エッチングストップ膜及び上記下敷き絶縁膜のうち素子分離を形成しようとする領域を開口して開口部を形成し、上記開口部に露出する半導体基板をエッチングして溝部を形成する第3の工程と、基板の全面上に分離用絶縁膜を堆積した後、化学的機械研磨を行なって該分離用絶縁膜を上記エッチン

グストップ膜の表面が露出するまで平坦化するとともに、上記溝部に素子形成領域を取り囲む溝型素子分離を形成する第4の工程と、エッチングにより、少なくとも上記エッチングストップ膜及び上記下敷き絶縁膜を除去し、上記素子形成領域と上記溝型素子分離との間に段差部を露出させる第5の工程と、上記第5の工程の後に、上記基板上にゲート酸化膜、導電膜及び第1の保護用絶縁膜を堆積した後、該導電膜から少なくともゲート電極をパターニングするとともに、該第1の保護用絶縁膜をパターニングして上記ゲート電極上に保護絶縁膜を形成する第6の工程と、上記第6の工程の後に、基板の全面上に第2の保護用絶縁膜を堆積する第7の工程と、上記第2の保護用絶縁膜上にサイドウォール用シリコン膜を堆積した後、異方性エッチングを行って、上記ゲート電極及び上記段差部の各側面上に上記サイドウォール用シリコン膜からなる電極部サイドウォール及び段差部サイドウォールをそれぞれ形成する第8の工程と、上記第8の工程の後に、上記ゲート電極の両側の素子形成領域の半導体基板内に不純物を導入してソース・ドレイン領域を形成する第9の工程と、上記第9の工程の後に、上記電極部サイドウォール、上記ソース・ドレイン領域及び上記段差部サイドウォールに跨る領域をシリサイド化する第10の工程とを備えている。

この方法により、本発明に係る第1および第2の半導体装置の製造方法と同様の作用が得られる。また、ソース・ドレイン領域の表面付近をシリサイド化する工程において、シリコン膜からなるからなる段差部のサイドウォールの表面がシリサイド化されるものの、シリサイド層の奥方への侵入は阻止される。したがって、ソース・ドレイン電極とチャンネルストップ領域等の基板領域との短絡電流の発生を防止することが可能となる。しかも、電極部サイドウォールーソース・ドレイン領域ー段差部サイドウォールの広い範囲に跨ってシリサイド化されたソース・ドレイン電極が形成されるので、上層配線からのコンタクト部の形成が容易となり、半導体装置の占有面積の低減も可能となる。

#### 【発明の実施の形態】

##### (第1の実施形態)

まず、第1の実施形態について、図1及び図2(a)～(e)を参照しながら説明する。図1は、本実施形態に係る半導体装置の構造を示す断面図であり、図

2 (a) ~ (e) は、図 1 に示す半導体装置の構造を実現するための製造工程を示す断面図である。

図 1 において、一導電型のシリコン基板（又はウェル）1 上に、シリコン基板 1 の表面付近の領域を多数の素子形成領域 Refet に区画する素子分離領域 Reiso には、溝型の素子分離 5 a が形成されている。この素子分離 5 a の表面は素子形成領域 Refet のシリコン基板 1 の表面よりも十分に高く、両者間には所定の高低差を有する段差部が形成されている。この素子分離 5 a は、後述のようにシリコン基板 1 に形成された溝内に絶縁性材料を埋め込んで形成されたものである。そして、少なくとも素子分離 5 a の底部には、シリコン基板 1 と同一導電型のチャネルストップ領域 1 5 が形成されている。

一方、上記素子分離 5 a により画成された素子形成領域 Refet には、ゲート電極 4、ゲート酸化膜 3、電極部サイドウォール 8 a、低濃度ソース・ドレイン領域 6 a、高濃度ソース・ドレイン領域 6 b からなる MOS トランジスタが形成されている。また、素子形成領域 Refet 以外の半導体基板上及び素子分離 5 a 上にも、上記ゲート電極 7 a と同時に形成されたゲート配線 7 b 及び配線部サイドウォール 7 b が形成されている。さらに、ゲート電極 7 a、ゲート配線 7 b 及び高濃度ソース・ドレイン領域 6 b の上部は、それぞれチタンシリサイド (TiSi<sub>2</sub>) で構成された上部ゲート電極 9 a、上部ゲート配線 9 b 及びソース・ドレイン電極 9 c が形成されている。

ここで、本実施形態の特徴として、上記素子分離 5 a の段差部側面には、上記電極部サイドウォール 8 a、配線部サイドウォール 8 b と同時に形成された段差部サイドウォール 8 c が形成されている。この段差部サイドウォール 8 c の一部は上記電極部サイドウォール 8 a 及び配線部サイドウォール 8 b とつながる構造となっている。

また、上記素子分離 5 a やゲート電極 7 a 等が形成された基板の全面上には層間絶縁膜 1 1 及び第 1 層目金属配線 1 2 が形成されており、第 1 層目金属配線 1 2 はコンタクト部 1 3 を介して素子形成領域の上部ゲート電極 9 a やソース・ドレイン電極 9 c と接続されている。

次に、上記図 1 の構造を実現するための製造工程について、図 2 (a) ~ (e)

) を参照しながら説明する。

まず、図 2 (a) に示すように、シリコン基板 1 上に、シリコン酸化膜 1 6 及びエッチングストップ膜となるシリコン窒化膜 1 7 を堆積し、素子分離領域 Reiso を開口し素子形成領域 Refet を覆うフォトレジスト膜 2 0 をパターンニングした後、フォトレジスト膜 2 0 をマスクとして、上記シリコン窒化膜 1 7 及びシリコン酸化膜 1 6 を選択的に除去し、さらに、シリコン基板 1 をエッチングして、溝部 4 を形成する。このとき、従来の溝部方法とは異なり、シリコン窒化膜 1 7 の膜厚を 1 5 0 ~ 2 0 0 n m 程度に厚くしておく、ただし、シリコン酸化膜 1 6 の膜厚は従来の方法と同様に 1 0 ~ 2 0 n m である。そして、溝部 4 の深さも従来の方法と同程度でよく、5 0 0 n m 程度である。その後、後に形成されるソース・ドレイン領域に注入される不純物の導電型とは逆導電型の不純物イオンの注入を行って、チャンネルストップ領域 1 5 を形成する。

次に、図 2 (b) に示すように、上記フォトレジスト膜 2 0 を除去した後、溝部 4 の深さ及び残存するシリコン窒化膜 1 7 の厚みを加えた値つまり溝部 4 の底からシリコン窒化膜 1 7 の表面までの高さよりも十分な厚さの絶縁膜 5 (図示せず) を堆積し、化学的機械研磨 (CMP) を行ってこの絶縁膜 5 をシリコン窒化膜 1 7 の表面が露出するまで除去し、基板面全体を平坦化する。この工程によって、素子分離領域 Reiso に、絶縁膜 5 で構成される溝型の素子分離 5 a が形成される。この平坦化方法については、本実施形態に限定されるものではなく、フォトレジスト膜で素子形成領域 Refet の反転パターンを用いてエッチバックする方法などを用いてもよい。

その後、図示しないが、上記シリコン窒化膜 1 7 をリン酸ボイル液などを用いて除去し、さらにフッ酸系のウェットエッチング液などを用いてシリコン酸化膜 1 6 を除去して、素子形成領域 Refet のシリコン基板 1 表面を露出させる。この時点で、素子形成領域 Refet のシリコン基板 1 表面と素子分離 5 a の表面との間に十分な高低差を有する段差部が露出されていることが本実施形態の特徴であり、その高低差は後述のサイドウォール形成工程におけるオーバーエッチング量等を考慮して、5 0 ~ 1 0 0 n m 程度である。ただし、本実施形態の効果を有効に得るためには、次に行われるサイドウォール形成時のサイドウォール用絶縁膜の厚

さ及びオーバーエッチング量を適正に定める必要がある。

次に、図 2 (c) に示すように、シリコン基板 1 及び素子分離 5 a の上にポリシリコン膜 7 を堆積し、その上に、ゲート電極及びゲート配線が形成される領域以外の領域を開口したフォトレジスト膜 2 1 を形成する。そして、図示しないが、このフォトレジスト膜 2 1 をマスクとして、ドライエッチングを行って、ゲート電極 7 a 及びゲート配線 7 b を形成する。

次に、図 2 (d) に示すように、ゲート電極 7 a をマスクとして低濃度の不純物イオンを注入を行って低濃度ソース・ドレイン領域 6 a を形成した後、基板の全面上に絶縁膜（シリコン酸化膜）を堆積する。

次に、図 2 (e) に示すように、この絶縁膜の異方性エッチングを行って、ゲート電極 7 a の側面上には電極部サイドウォール 8 a を、ゲート配線 7 b の側面上には配線部サイドウォール 8 b を形成する。その際、素子形成領域  $R_{\text{efet}}$  のシリコン基板 1 と素子分離 5 a との間の段差部の側面上にも段差部サイドウォール 8 c が形成される。そして、この状態で不純物イオンの注入を行って、高濃度ソース・ドレイン領域 6 b を形成する。この時点でも、素子形成領域  $R_{\text{efet}}$  のシリコン基板 1 と素子分離 5 a との間の段差部の高低差が十分確保されている。

その後の工程の図示は省略するが、シリサイド工程による上部ゲート電極 9 a , 上部ゲート配線 9 b 及びソース・ドレイン電極 9 c の形成と、層間絶縁膜 1 1 の堆積及びコンタクトホール形成と、コンタクトホールへの金属の埋め込み及び第 1 層目金属配線 1 2 の形成とを経て、図 1 に示す溝埋め込み型分離構造を有する MOS 型トランジスタが形成される。

なお、上記工程では、LDD 構造を有するトランジスタを形成するために電極部サイドウォール 8 a 等を形成したが、ソース・ドレイン領域とチャネル領域との間に逆導電型の不純物を注入してパンチスルーストップを設けるいわゆるポケット注入構造を有するトランジスタにおいても、電極部サイドウォール 8 a 等を形成することがあり、本発明はかかるポケット注入構造を有するトランジスタにも適用される。

本実施形態のごとく、 $1 \mu\text{m}$  以下のゲート長を有する MOS トランジスタを形成する場合には、短チャネル効果を抑制しトランジスタの信頼性を確保するため

のLDD構造やポケット注入構造を有するトランジスタを形成するためにゲート電極7aの側壁に電極部サイドウォール8aを形成する必要がある。このときの電極部サイドウォール8aの厚さは必要とされるデバイスの特性から決定されるが、異方性の強いドライエッチング技術で形成するため、膜厚の制御としてはほぼ堆積膜厚で一意に決めることができる。しかしながら、ウェハ面内におけるエッチング速度のバラツキや堆積膜厚のバラツキなどを考慮して、通常10～30%程度のオーバーエッチングを行っている。例えば100nm厚さの絶縁膜から電極部サイドウォール8aを形成する場合、110～130nmの厚みの絶縁膜を除去するのに相当する時間だけエッチングを施す。

このとき、酸化膜で構成される素子分離5aは素子形成領域Refetのシリコン基板1よりも高い選択比でエッチングされるので、例えば10～30nm程度の膜減りが発生する。そのため、従来の構造では、図8(a)、(b)に示すように、素子分離105aの表面がシリコン基板101の表面よりも低くなり、上述のような不具合を生じる。それに対し、本実施形態では、図2(d)に示す状態で、素子分離5aの表面が素子形成領域Refetのシリコン基板面よりも高くなるような段差部が形成されているので、上述のような不具合を有効に防止することができる。すなわち、高濃度ソース・ドレイン領域8bの形成の際に斜め方向から不純物イオンが注入されても、段差部の素子分離5aの膜厚が十分あるので、不純物イオンの素子分離5aの端部下方への打ち込みが阻止される。したがって、高濃度ソース・ドレイン領域6bとチャネルストップ領域15との間の距離はほぼ一定に保持され、接合耐圧の劣化や接合リークの増大を未然に防止することができる。また、高濃度ソース・ドレイン領域6bの上にシリサイドからなるソース・ドレイン電極9cを形成する際にも、段差部サイドウォール8cによって、シリサイド層がシリコン基板1と素子分離5aとの境界面に浸蝕しようとするのを阻止し得る。したがって、ソース・ドレイン電極9cとチャネルストップ領域15との間で短絡電流が生じるのを有効に防止することができる。

ただし、本実施形態において、上述のような効果を有効に発揮するためには、少なくともサイドウォール形成工程におけるオーバーエッチング量つまり10～30nm程度の膜減り以上の高低差があることが好ましい。また、実際には素子

分離5 aの形成後にもシリコン酸化膜16の除去工程を始め素子分離5 aを構成するシリコン酸化膜の膜減りが伴う工程があるため、この膜減り量なども考慮した高い高低差を有する段差を事前に形成しておくことが好ましい。したがって、上記図2(a)に示す工程において堆積されるシリコン窒化膜17の膜厚の下限値は、オーバーエッチング量やシリコン酸化膜16の除去工程のエッチング量から決定されることになる。

ただし、本実施形態では溝部4を形成するためのエッチングマスクとしてシリコン窒化膜17を用いたが、この膜の材質はシリコン酸化膜よりもエッチング選択比の小さい材質であれば良く、例えばポリシリコン膜等で代用することも可能である。

なお、本実施形態では、低抵抗化のために上部ゲート電極9 aとソース・ドレイン電極9 cとが同時に自己整合的にシリサイド化されたいわゆるサリサイド構造を有する実施形態について説明したが、ゲート電極をあらかじめポリサイド電極で形成し、後にソース・ドレイン電極のみシリサイド化した構造としてもよいことは言うまでもない。

#### (第2の実施形態)

次に、図3(a)～(e)を参照しながら、第2の実施形態について説明する。本実施形態と上記第1の実施形態とが異なる点は、溝型素子分離を形成する前にゲート酸化膜及びゲート電極となるポリシリコン膜の堆積を終了している点である。

まず、図3(a)に示すように、シリコン基板1上に、ゲート酸化膜3及びMOS型トランジスタのゲート電極となるポリシリコン膜7を順次堆積し、その上に、素子分離形成領域Reisoを開口し素子形成領域Refetを覆うフォトリジスト膜20をパターニングする。このフォトリジスト膜20をマスクとして、上記ポリシリコン膜7及びゲート酸化膜3を選択的に除去し、さらに、シリコン基板1をエッチングして、素子分離領域となる溝部4を形成する。このとき、従来の溝部の形成方法とは異なり、ポリシリコン膜7の膜厚は、上記第1の実施形態におけるシリコン窒化膜とほぼ同じ程度つまり150～200nm程度にしておく、ゲート酸化膜3の膜厚は10～20nmである。溝部4の深さは、500nm程

度である。その後、後に形成されるソース・ドレイン領域に注入される不純物の導電型とは逆導電型の不純物イオンの注入を行って、チャンネルストップ領域15を形成する。

次に、フォトレジスト膜20を除去した後、溝部4の深さ及び残存するポリシリコン膜7の厚みを加えた値つまり溝部4の底からポリシリコン膜7の表面までの高さよりも十分な厚さの絶縁膜5（図示せず）を堆積し、化学的機械研磨（CMP）を行ってこの絶縁膜5をポリシリコン膜7の表面が露出するまで除去し、基板面全体を平坦化する。この工程によって、素子分離領域Reisoに、絶縁膜5で構成される溝型の素子分離5aが形成される。この平坦化方法については、本実施形態に限定されるものではなく、フォトレジスト膜で素子形成領域Refetの反転パターンを用いてエッチバックする方法などを用いてもよい。

次に、図3（b）に示すように、平坦化された基板上にゲート配線層となる導電膜18（導電性ポリシリコン膜でもよいし、WSiやTiSi等のシリサイド膜でもよい。さらに低抵抗化のためにTiN等のバリアメタルを介してW等の高融点金属を用いてもよい。）と絶縁膜からなる保護膜19とを堆積し、ゲート電極及びゲート配線が形成される領域以外の領域を開口したフォトレジスト膜21を形成する。そして、図示しないが、このフォトレジスト膜21をマスクとして、ドライエッチングを行って、ゲート電極7a、上部ゲート電極18a及び保護膜19aと、ゲート配線7b、上部ゲート配線18b及び保護膜19bとをパターンニングする。この時点で、素子形成領域Refetのシリコン基板1表面と素子分離5aの表面との間に十分な高低差を有する段差部が露出されていることが本実施形態の特徴であり、その高低差は後述のサイドウォール形成工程におけるオーバーエッチング量等を考慮して、50～100nm程度である。ただし、本実施形態の効果を有効に得るためには、次に行われるサイドウォール形成時のサイドウォール用絶縁膜の厚さ及びオーバーエッチング量を適正に定める必要がある。

次に、図3（c）に示すように、第1の実施形態と同様に、活性領域内のゲート電極7aの両側方に位置する領域に低濃度ソース・ドレイン領域6aを形成した後、基板の全面上に絶縁膜（シリコン酸化膜）を堆積し、この絶縁膜の異方性エッチングを行って、図3（d）に示すように、ゲート電極7a等の側面上には

電極部サイドウォール 8 a を、ゲート配線 7 b 等の側面上には配線部サイドウォール 8 b を形成する。その際、素子形成領域  $R_{efet}$  のシリコン基板 1 と素子分離 5 a との間の段差部の側面上にも段差部サイドウォール 8 c が形成される。そして、この状態で不純物イオンの注入を行って、高濃度ソース・ドレイン領域 6 b を形成する。この時点でも、素子形成領域  $R_{efet}$  のシリコン基板 1 と素子分離 5 a との間の段差部の高低差が十分確保されている。

次に、図 3 (e) に示すように、高濃度ソース・ドレイン領域 6 b のの上のみにシリサイドからなるソース・ドレイン電極 9 c を形成する。

その後の工程の図示は省略するが、層間絶縁膜 1 1 の堆積及びコンタクトホール形成と、コンタクトホールへの金属の埋め込み及び第 1 層目金属配線 1 2 の形成とを経て、図 1 に示す構造と類似した溝埋め込み型分離構造を有する MOS 型トランジスタが形成される。ただし、本実施形態では、ゲート電極 7 a 及びゲート配線 7 b の上に、それぞれ導電性ポリシリコン、あるいはシリサイド等からなる上部ゲート電極 1 8 a、上部ゲート配線 1 8 b と、絶縁膜からなる保護膜 1 9 a、1 9 b とが形成され、シリサイドからなるソース・ドレイン電極 9 c は上部ゲート電極 1 8 a や上部ゲート配線 1 8 b とは別の工程で形成されている。

以上のように、本実施形態によれば、素子形成領域  $R_{efet}$  のシリコン基板 1 と素子分離 5 a との間に素子分離 5 a 側が高い段差部が形成され、段差部の側面上に段差部サイドウォール 8 c が形成されているので、工程数を削減しながら、上記第 1 の実施形態と同様の効果を発揮することができる。

加えて、本実施形態では、図 3 (b) に示す状態からゲート電極 7 a 及びゲート配線 7 b をパターンニングする工程を、素子分離 5 a の端部における段差部の影響を全く受けることなくフルフラットな状態で実施できるため、微細パターンを安定に形成できるという利点がある。

### (第 3 の実施形態)

次に、第 3 の実施形態について説明する。図 4 (a) ~ (f) は、第 3 の実施形態に係る半導体装置の製造工程を示す断面図である。

図 4 (a) に示す状態に至るまでに、溝型の素子分離 5 a、チャンネルストップ領域 1 5、低濃度ソース・ドレイン領域 6 a、ゲート絶縁膜 3、ゲート電極 7 a

、ゲート配線 7 b 等を上記第 1 の実施形態と同様の工程によって形成した後、基板上に保護酸化膜 3 1 と、サイドウォール用のシリコン窒化膜 3 2 と、マスク用ポリシリコン膜 3 3 とを、いずれも CVD 法により堆積する。このとき、ゲート電極 7 a 及びゲート配線 7 b を構成するポリシリコン膜の厚みは 330 nm、最小線幅は 0.35 ミクロンであり、保護酸化膜 3 1 の厚みは約 20 nm であり、シリコン窒化膜 3 2 の厚さは約 30 nm であり、ポリシリコン膜 3 3 の厚さは約 100 nm である。

次に、図 4 (b) に示すように、RIE により、ポリシリコン膜 3 3 をエッチバックし、ゲート電極 7 a、ゲート配線 7 b 及び段差部の各側面上にそれぞれ電極部ポリシリコンマスク 3 3 a、配線部ポリシリコンマスク 3 3 b 及び段差部ポリシリコンマスク 3 3 c を形成する。このとき、ポリシリコン膜 3 3 とシリコン窒化膜 3 2 とのエッチング選択比は大きい。

次に、図 4 (c) に示すように、残存するポリシリコンマスク 3 3 a、3 3 b、3 3 c をマスクとして H<sub>3</sub>PO<sub>4</sub> (150℃の熱燐酸) によるウェットエッチングを行ない、シリコン窒化膜 3 2 のうち各ポリシリコンマスク 3 3 a、3 3 b、3 3 c に覆われた部分のみ残し他の部分を除去する。このとき、シリコン窒化膜 3 2 とポリシリコンマスク 3 3 a、3 3 b、3 3 c とのエッチングの選択比は、30 : 1 程度にすることができる。この工程により、ゲート電極 7 a、ゲート配線 7 b 及び段差部の各側方に、いずれも L 字状の電極部サイドウォール 3 2 a、配線部サイドウォール 3 2 b 及び段差部サイドウォール 3 2 c が残存する状態となる。

次に、図 4 (d) に示すように、ゲート電極 7 a、保護酸化膜 3 1、電極部ポリシリコンマスク 3 3 a、電極部サイドウォール 3 2 a、段差部ポリシリコンマスク 3 3 c 及び段差部サイドウォール 3 2 c をマスクとして、活性領域のシリコン基板 1 内に不純物イオンを高濃度で注入し、高濃度ソース・ドレイン領域 6 b を形成する。

その後、図 4 (e) に示すように、ドライエッチング又はウェットエッチングにより、ポリシリコンマスク 3 3 a、3 3 b、3 3 c を除去する。

次に、図 4 (f) に示すように、HF 系のエッチング液を用いて、基板上で露

出した部分の保護酸化膜 3 1 を除去する。その後、チタン膜を堆積し、1 回目の R T A 処理を行なって、チタンとシリコンとの反応により T i S i<sub>2</sub> 膜からなるシリサイド層を形成する。そして、チタン膜を除去した後、2 回目の R T A 処理を行なって、ゲート電極 7 a, ゲート配線 7 b 及びソース・ドレイン領域 6 b の上に抵抗率の低いシリサイド層からなる上部電極 9 a, 上部配線 9 b 及びソース・ドレイン電極 9 c をそれぞれ形成する。その後、層間絶縁膜の堆積、平坦化、コンタクトホールの開孔、金属配線膜の堆積、金属配線の形成等を行って、L S I を形成する。

本実施形態の方法では、図 4 ( f ) に示す工程で、段差部の側面上に保護酸化膜 3 1 及び L 字状の段差部サイドウォール 3 2 c が形成されているので、活性領域のシリコン基板 1 と素子分離 5 a との境界へのシリサイド層の侵入を有効に防止することができる。

また、図 4 ( c ) , ( d ) に示す工程で、保護酸化膜 3 1 が素子分離 5 a 及び活性領域のシリコン基板 1 の上に形成されているので、L 字状のサイドウォール 3 2 a , 3 2 b , 3 2 c を形成する際に素子分離 5 a の膜厚の減少が生じない。したがって、その分素子分離 5 a とシリコン基板 1 との間の段差を低減することができ、ゲートのパターニング精度の向上を図ることができる。

なお、ゲート電極を形成する工程は、上記第 2 の実施形態と同様に第 1 , 第 2 の導電膜で形成するようにしてもよく、その場合にも本実施形態と同様の効果を発揮することができる。

#### (第 4 の実施形態)

上記各実施形態では、上記各サイドウォールを絶縁材料であるシリコン酸化膜又はシリコン窒化膜で構成したが、各サイドウォールを導電性材料例えばポリシリコン膜で構成してもよい。図 5 ( a ) ~ ( e ) は、導電性のサイドウォールを形成した場合における半導体装置の製造工程を示す断面図である。

図 5 ( a ) に示す状態に至るまでに、溝型の素子分離 5 a , チャネルストップ領域 1 5 , 低濃度ソース・ドレイン領域 6 a , ゲート絶縁膜 3 , ゲート電極 7 a , ゲート配線 7 b 等を上記第 1 の実施形態と同様の工程によって形成した後、基板上に保護酸化膜 3 1 と、サイドウォール用のポリシリコン膜 3 4 とを、いずれ

もCVD法により堆積する。ただし、本実施形態では、ゲート電極7a及びゲート配線7bの上には、それぞれ保護酸化膜10a, 10bが形成されている。このとき、ゲート電極7a及びゲート配線7bを構成するポリシリコン膜の厚みは330nm, 最小線幅は0.35ミクロンであり、保護酸化膜31の厚みは約20nmであり、ポリシリコン膜34の厚さは約100nmである。

次に、図5(b)に示すように、RIEにより、ポリシリコン膜34をエッチバックして、ゲート電極7a, ゲート配線7b及び段差部の各側方に、ポリシリコン膜からなる電極部サイドウォール32a, 配線部サイドウォール32b及び段差部サイドウォール32cを形成する。

次に、図5(c)に示すように、ゲート電極7a, 保護酸化膜31, 電極部サイドウォール34a及び段差部サイドウォール34cをマスクとして、活性領域のシリコン基板1内に不純物イオンを高濃度で注入し、高濃度ソース・ドレイン領域6bを形成する。

その後、図5(d)に示すように、HF系のエッチング液を用いて、基板上で露出した部分の保護酸化膜31を除去する。その後、チタン膜を堆積し、1回目のRTA処理を行なって、チタンとシリコンとの反応によりTiSi<sub>2</sub>膜からなるシリサイド層を形成する。そして、チタン膜を除去した後、2回目のRTA処理を行なって、電極部サイドウォール34a, 高濃度ソース・ドレイン領域6b及び段差部サイドウォール34cの上に跨るシリサイド層からなるソース・ドレイン電極9dを形成する。なお、配線部サイドウォール34bの上にもシリサイド層が形成されるので、そのままでは、このシリサイド層はソース・ドレイン電極と接続され得る。本実施形態では、素子分離5a上で、フォトリジスト膜等を用いて、エッチングを行い、ゲート配線7bの両側方の配線部サイドウォール34b及びその上のシリサイド層を選択的に除去して、各活性領域のソース・ドレイン電極9dが相互に接続されないようにしている。ただし、ポリシリコン膜からなるサイドウォール34a, 34b, 34cを形成した後、すぐにゲート配線7bの両側方の配線部サイドウォール34bのみを選択的に除去するようにしてもよい。

その後、層間絶縁膜の堆積、平坦化、コンタクトホールの開孔、金属配線膜の

堆積、金属配線の形成等を行って、LSIを形成する。

本実施形態では、最終的に電極部サイドウォール34a-高濃度ソース・ドレイン領域6b-一段差部サイドウォール8c間に跨る広い範囲にシリサイド層からなるソース・ドレイン電極9dが形成される。したがって、素子形成領域Refetと素子分離5aとの間の段差の存在によって不純物イオンの注入時における高濃度ソース・ドレイン領域6bとチャンネルストップ領域15との近接を有効に防止することができる。また、高濃度ソース・ドレイン領域6bの上にシリサイドからなるソース・ドレイン電極9cを形成する際に、一段差部サイドウォール34cもある程度の厚み分だけシリサイド化されるものの、シリサイド層の奥方への侵入は阻止されるので、シリサイド層の素子分離-シリコン基板間の界面への浸透に起因するソース・ドレイン電極9cとチャンネルストップ領域15との短絡電流の発生を有効に防止することができる。しかも、このような実施形態では、電極部サイドウォール34aから高濃度ソース・ドレイン領域6bを経て一段差部サイドウォール34cに至る広い領域がシリサイド化されるので、上方の第1層目配線とのコンタクト部を形成するのが極めて容易となり、その分、素子形成領域Refetの面積を低減し得る。つまり、半導体装置の集積度を向上させることができる利点がある。なお、電極部サイドウォール34a及び配線部サイドウォール34bが導電膜であるポリシリコンで構成されているものの、各サイドウォール34a, 34bとゲート電極7a, ゲート配線7bとの間が保護酸化膜31で絶縁されているので、サイドウォール-ゲート間で短絡等を生じる虞れはない。

なお、ゲート電極を形成する工程は、上記第2の実施形態と同様に第1, 第2の導電膜で形成するようにしてもよく、その場合にも本実施形態と同様の効果を発揮することができる。

また、本実施形態では、各サイドウォールをポリシリコン膜で構成したが、アモルファスシリコン膜で構成してもよい。さらに、シリコン膜だけでなく、他の金属等の導電性材料からなるサイドウォールを形成してもよく、サイドウォールをシリサイド化する必要は必ずしもない。

#### 【発明の効果】

以上説明したように、請求項1~4によれば、溝型素子分離構造を有する半導

体装置において、素子形成領域の半導体基板と溝型素子分離との間に溝型素子分離の方がステップ状に高くなる段差部を形成し、この段差部の側面上にサイドウォールを形成する構造としたので、接合耐圧劣化や接合リーク増大の防止と、ソース・ドレイン電極のシリサイド化によるソース・ドレイン電極と基板領域との間の短絡電流の発生を防止することができる。

請求項 5 ～ 12 によれば、溝型素子分離構造を有する半導体装置の製造方法として、溝型素子分離を形成した後エッチングストップ膜又はゲート電極となる第 1 の導電膜を除去したときに、溝型素子分離側が素子形成領域の半導体基板よりも高い段差部を露出させ、ゲート電極のサイドウォール形成と同時に段差部の側面にもサイドウォールが形成されるようにしたので、請求項 1 ～ 4 の効果を発揮する半導体装置の製造の容易化を図ることができる。

【図面の簡単な説明】

【図 1】

第 1 の実施形態における半導体装置の構造を示す断面図である。

【図 2】

第 1 の実施形態に係る半導体装置の製造工程を示す断面図である。

【図 3】

第 2 の実施形態に係る半導体装置の製造工程を示す断面図である。

【図 4】

第 3 の実施形態に係る半導体装置の製造工程を示す断面図である。

【図 5】

第 4 の実施形態に係る半導体装置の製造工程を示す断面図である。

【図 6】

従来の溝型素子分離構造を有する半導体装置の構造を示す断面図である。

【図 7】

従来の溝型素子分離を有する半導体装置の製造工程を示す断面図である。

【図 8】

従来の溝型素子分離を有する半導体装置の不純物イオン注入工程とシリサイド化工程とにおける不具合を示すための部分断面図である。

【符号の説明】

- 1 シリコン基板（半導体基板）
- 3 ゲート酸化膜
- 4 溝部
- 5 シリコン酸化膜（絶縁膜）
- 5 a 溝型素子分離
- 6 a 低濃度ソース・ドレイン領域
- 6 b 高濃度ソース・ドレイン領域
- 7 ポリシリコン膜（導電膜）
- 7 a ゲート電極
- 7 b ゲート配線
- 8 シリコン酸化膜
- 8 a 電極部サイドウォール
- 8 b 配線部サイドウォール
- 8 c 段差部サイドウォール
- 9 a 上部ゲート電極
- 9 b 上部ゲート配線
- 9 c ソース・ドレイン電極
- 1 1 層間絶縁膜
- 1 2 第1層目金属配線
- 1 3 コンタクト部
- 1 5 チャネルストップ領域
- 1 6 シリコン酸化膜
- 1 7 シリコン窒化膜（エッチングストップ膜）
- 2 0, 2 1 フォトレジスト膜

【プルーフの要否】 要

職権訂正履歴 (職権訂正)

特許出願の番号 平成 7年 特許願 第330112号  
受付番号 50300636620  
書類名 手続補正書  
担当官 関 浩次 7475  
作成日 平成15年 4月23日

<訂正内容1>

訂正ドキュメント

書誌

訂正原因

職権による訂正

訂正メモ

【図面の簡単な説明】の欄の文末に記載されていた「【図7】★」を削除訂正しました。

訂正前内容

【図面の簡単な説明】

【図1】

・

【符号の説明】

1 シリコン基板 (半導体基板)

・

【図7】

★

訂正後内容

【図面の簡単な説明】

【図1】

・

【符号の説明】

1 シリコン基板 (半導体基板)

・

次頁無

【書類名】 手続補正書

【提出日】 平成15年 4月23日

【あて先】 特許庁長官 殿

【事件の表示】

    【出願番号】 平成 7年特許願第330112号

【補正をする者】

    【識別番号】 000005821

    【氏名又は名称】 松下電器産業株式会社

【代理人】

    【識別番号】 100077931

    【弁理士】

    【氏名又は名称】 前田 弘

【手数料補正】

    【補正対象書類名】 手続補正書

    【予納台帳番号】 014409

    【納付金額】 4,000円

【プルーフの要否】 要

## ファイル訂正通知書

平成15年 4月25日  
特許庁長官

特許補正をする者代理人 前田 弘 様  
平成 7年 特許願 第330112号

この出願について、平成15年 4月17日付け提出の手続補正書に係る手続について、下記のとおり、特許庁の電子計算機に備えられたファイルへの記録を訂正したので通知します。

### 記

#### <訂正内容1>

訂正原因

職権による訂正

訂正箇所

【図面の簡単な説明】の欄の文末に記載されていた「【図7】★」を削除訂正しました。

訂正前内容

【図面の簡単な説明】

【図1】

・

【符号の説明】

1 シリコン基板 (半導体基板)

・

【図7】

★

訂正後内容

【図面の簡単な説明】

【図1】

・

続葉有

---

課長	上席主任方式審査専門官	主任方式審査専門官	方式審査専門官
	第五担当		関 浩次
	0094		7475

---

続 葉

【符号の説明】

1 シリコン基板 (半導体基板)

.

## 予備的見解書

平成16年 2月23日

特許出願の番号 平成 7年 特許願 第330112号  
特許審査調査員 平澤 伸幸

上記案件に関する調査の結果について、報告する。

## 拒絶理由通知書

特許出願の番号 平成 7年 特許願 第330112号  
起案日  
特許庁審査官  
特許出願人代理人 前田 弘 (外 1名) 様  
適用条文 第29条第1項、第29条第2項

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

### 理 由

1. この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の刊行物に記載された発明であるから、特許法第29条第1項第3号に該当し、特許を受けることができない。

2. この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の刊行物に記載された発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

### 【請求項5, 6】

- ・理由 1, 2
- ・引用文献等 1, 2
- ・備考

本願の請求項5, 6に係る発明と引用文献1 (特に図1~6参照) に記載さ

れた発明とを対比すると、引用文献1に記載された発明における「熱酸化膜12」及び「多結晶シリコン膜13」はそれぞれ、本願の請求項5, 6に係る発明における「下敷き絶縁膜」及び「エッチングストップ膜」に相当する。

したがって、本願の請求項5, 6に係る発明は、引用文献1に記載された発明である。

なお、本願の請求項5, 6に係る発明について、エッチングストップ膜を「シリコン窒化膜」に補正しても、CMP法において、エッチングストップ膜としてシリコン窒化膜を使用することは、引用文献2（特に図6～13参照）に記載されているから、引用文献1に記載された発明において、エッチングストップ膜としてシリコン窒化膜を使用することは、当業者が容易になし得ることである。

この拒絶理由通知書中で指摘した請求項以外の請求項1～4, 7～12に係る発明については、現時点では、拒絶の理由を発見しない。拒絶の理由が新たに発見された場合には拒絶の理由が通知される。

引 用 文 献 等 一 覧

1. 特開平07-273330号公報
2. 特開平06-045432号公報

---

部長／代理	審査長／代理	審査官	審査官補
-------	--------	-----	------

---

---

予備的見解書の採用状況について、以下の通り報告する。

- 採用
- 一部採用
- その他

## 拒絶理由通知書

特許出願の番号 平成 7年 特許願 第330112号  
起案日 平成16年 3月16日  
特許庁審査官 扇谷 高男 7819 4M00  
特許出願人代理人 前田 弘(外 1名) 様  
適用条文 第29条第1項、第29条第2項

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

## 理 由

1. この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の刊行物に記載された発明であるから、特許法第29条第1項第3号に該当し、特許を受けることができない。

2. この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の刊行物に記載された発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

## 【請求項5, 6】

- ・理由 1, 2
- ・引用文献等 1, 2
- ・備考

本願の請求項5, 6に係る発明と引用文献1(特に図1~6参照)に記載された発明とを対比すると、引用文献1に記載された発明における「熱酸化膜12」及び「多結晶シリコン膜13」はそれぞれ、本願の請求項5, 6に係る発明における「下敷き絶縁膜」及び「エッチングストップ膜」に相当する。

したがって、本願の請求項5, 6に係る発明は、引用文献1に記載された発明である。

なお、本願の請求項5, 6に係る発明について、エッチングストップ膜を「シリコン窒化膜」に補正しても、CMP法において、エッチングストップ膜とし

でシリコン窒化膜を使用することは、引用文献 2（特に図 6～13 参照）に記載されているから、引用文献 1 に記載された発明において、エッチングストップ膜としてシリコン窒化膜を使用することは、当業者が容易になし得ることである。

この拒絶理由通知書中で指摘した請求項以外の請求項 1～4，7～12 に係る発明については、現時点では、拒絶の理由を発見しない。拒絶の理由が新たに発見された場合には拒絶の理由が通知される。

#### 引用文献等一覧

1. 特開平 07-273330 号公報
2. 特開平 06-045432 号公報

---

#### 先行技術文献調査結果の記録

・調査した分野      I P C 第 7 版  
                          H 0 1 L   2 1 / 7 0 - 2 1 / 7 4 ,  
                          H 0 1 L   2 1 / 7 6 - 2 1 / 7 6 5 ,  
                          H 0 1 L   2 1 / 7 7

この先行技術文献調査結果の記録は、拒絶理由を構成するものではない。

---

<u>部長／代理</u>	<u>審査長／代理</u>	<u>審査官</u>	<u>審査官補</u>
_____	河 口 雅 英	扇 谷 高 男	_____
	8 4 2 1	7 8 1 9	

---

【書類名】 意見書  
【整理番号】 7411270244  
【提出日】 平成16年 4月23日  
【あて先】 特許庁審査官 扇谷 高男 殿  
【事件の表示】  
【出願番号】 平成 7年特許願第330112号  
【特許出願人】  
【識別番号】 000005821  
【氏名又は名称】 松下電器産業株式会社  
【代理人】  
【識別番号】 100077931  
【弁理士】  
【氏名又は名称】 前田 弘  
【発送番号】 102135  
【意見の内容】

### 1. 拒絶理由の要点

本願に対し、平成16年3月16日付けにて、下記の拒絶理由の通知がありました。

(理由1) 本願の請求項5, 6に係る発明は、下記の引用文献1, 2に記載された発明であるから、特許法第29条第1項第3号に該当し、特許を受けることができない。

(理由2) 本願の請求項5, 6に係る発明は、下記の引用文献1, 2に記載された発明に基づいて当業者が容易に発明することができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

引用文献1：特開平07-273330号公報

引用文献2：特開平06-045432号公報

### 2. 本願が特許されるべき理由

上記拒絶理由に対し、本願出願人は、今般、別途提出の手續補正書によって、拒絶理由を有する旧請求項5に拒絶理由のない旧請求項7の内容を追加して新請求項5とし、また、拒絶理由を有する旧請求項6を削除する補正を行いました。さらに、請求項の補正に対応して、明細書全文を補正しました。

補正後の新請求項と、補正前の旧請求項（平成16年4月17日に提出した手續補正書における請求項）との関係は以下の通りです。

新請求項	旧請求項
1 (独立)	1
2	2
3	3
4	4
5 (独立)	5 + 7
6	8
7 (独立)	9
:	:
10	12

この補正により、拒絶理由のない請求項のみを残しましたので、拒絶理由は解消されたものと思料いたします。

3. 以上の説明ならびに別途提出の手續補正書による補正から明らかなように、本願発明は特許法第29条第1項第3号および同法第29条第2項の規定に該当しないものになったものと思料いたします。

よって、別途提出の手續補正書によって再ご審理の上、何卒特許査定を賜りますよう

願い上げる次第です。

以上、ご意見申し上げます。

【書類名】 手続補正書  
【整理番号】 7411270244  
【提出日】 平成16年 4月23日  
【あて先】 特許庁長官 殿  
【事件の表示】  
【出願番号】 平成 7年特許願第330112号  
【補正をする者】  
【識別番号】 000005821  
【氏名又は名称】 松下電器産業株式会社  
【代理人】  
【識別番号】 100077931  
【弁理士】  
【氏名又は名称】 前田 弘  
【発送番号】 102135  
【手続補正1】  
【補正対象書類名】 明細書  
【補正対象項目名】 全文  
【補正方法】 変更  
【補正の内容】  
【書類名】 明細書  
【発明の名称】 半導体装置及びその製造方法  
【特許請求の範囲】

【請求項 1】半導体基板の複数の活性領域にそれぞれ半導体素子を配設してなる半導体装置において、

上記活性領域の表面よりも高い上面を有し、かつ上記活性領域との境界に段差部を形成しながら上記各活性領域を分離するように取り囲む溝型素子分離と、

上記溝型素子分離の段差部の側面上に形成されたL字状の段差部サイドウォールとを備えていることを特徴とする半導体装置。

【請求項 2】請求項 1 記載の半導体装置において、

上記段差部サイドウォールは、絶縁性材料で構成されていることを特徴とする半導体装置。

【請求項 3】請求項 1 又は 2 に記載の半導体装置において、

上記半導体素子は、

上記活性領域の上に形成されたゲート絶縁膜及びゲート電極と、

上記活性領域の上記ゲート電極の両側方に位置する領域に形成されたソース・ドレイン領域とを備えたMISFETであり、

上記ゲート電極の両側面上に形成されたL字状の電極部サイドウォールをさらに備えていることを特徴とする半導体装置。

【請求項 4】請求項 1～3 のうちいずれか 1 項に記載の半導体装置において、

少なくとも上記活性領域の表面付近の部分をシリサイド化してなるソース・ドレイン電極をさらに備えていることを特徴とする半導体装置。

【請求項 5】半導体基板上に下敷き絶縁膜を形成する第 1 の工程と、

上記下敷き絶縁膜の上にエッチングストップ膜を堆積する第 2 の工程と、

上記エッチングストップ膜及び上記下敷き絶縁膜のうち素子分離を形成しようとする領域を開口し、この開口部の半導体基板をエッチングして溝部を形成する第 3 の工程と、

基板の全面上に上記溝部の底面から上記エッチングストップ膜の表面までの高さよりも膜厚の厚い分離用絶縁膜を堆積した後、化学的機械研磨によって該分離用絶縁膜を少なくとも上記エッチングストップ膜の表面が露出するまで平坦化するとともに、上記溝部に素子形成領域を取り囲む溝型素子分離を形成する第 4 の工程と、

エッチングにより、少なくとも上記エッチングストップ膜及び上記下敷き絶縁膜を除去

し、上記素子形成領域と上記溝型素子分離との間に段差部を露出させる第5の工程と、

上記第5の工程の後に、上記基板上にゲート酸化膜及び導電膜を堆積した後、該導電膜から少なくともゲート電極をパターンニングする第6の工程と、

基板の全面上にサイドウォール用絶縁膜を堆積した後、異方性エッチングを行って、上記ゲート電極及び上記段差部の各側面上に上記絶縁膜からなる電極部サイドウォール及び段差部サイドウォールをそれぞれ形成する第7の工程と、

上記第7の工程の後に、上記ゲート電極の両側の素子形成領域の半導体基板内に不純物を導入してソース・ドレイン領域を形成する第8の工程とを備え、

上記第6の工程の後で上記第7の工程の前に、基板の全面上に保護酸化膜を堆積する工程を有し、

上記第7の工程は、上記保護酸化膜上に上記サイドウォール用絶縁膜とマスク用膜を順次堆積する工程(a)と、上記マスク用膜をエッチバックして上記ゲート電極及び段差部の各側面上に電極部マスク及び段差部マスクを形成する工程(b)と、上記電極部マスク及び上記段差部マスクをマスクにして、上記サイドウォール用絶縁膜のエッチングを行なって、いずれもL字状の上記電極部サイドウォール及び上記段差部サイドウォールをそれぞれ形成する工程(c)とを有し、

上記第8の工程の後に、上記電極部マスク及び上記段差部マスクを除去する第9の工程を備えていることを特徴とする半導体装置の製造方法。

【請求項6】請求項5記載の半導体装置の製造方法において、

上記第9の工程の後に、基板上で露出した部分の上記保護酸化膜を除去する工程と、上記ゲート電極及び上記ソース・ドレイン領域の上にシリサイド層を形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項7】半導体基板上にゲート絶縁膜を形成する第1の工程と、

上記ゲート絶縁膜の上にゲート電極となる第1の導電膜を堆積する第2の工程と、

上記第1の導電膜のうち溝型素子分離を形成しようとする領域を開口し、この開口部の半導体基板をエッチングして溝部を形成する第3の工程と、

基板の全面上に分離用絶縁膜を堆積した後、基板を少なくとも上記第1の導電膜の表面が露出するまで平坦化するとともに、上記溝部に素子形成領域を取り囲む溝型素子分離を形成する第4の工程と、

上記平坦化された基板の全面上に少なくとも上部ゲート電極となる第2の導電膜を堆積する第5の工程と、

上記第1及び第2の導電膜から少なくともゲート電極をパターンニングするとともに、上記素子形成領域と溝型素子分離との間に段差部を露出させる第6の工程と、

基板の全面上にサイドウォール用絶縁膜を堆積した後、異方性エッチングを行って、上記ゲート電極及び上記段差部の各側面上に上記絶縁膜からなる電極部サイドウォール及び段差部サイドウォールを形成する第7の工程と、

上記第7の工程の後に、上記ゲート電極の両側の素子形成領域の半導体基板内に不純物を導入してソース・ドレイン領域を形成する第8の工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項8】請求項7記載の半導体装置の製造方法において、

上記第2の工程では、少なくとも上記第7の工程におけるオーバーエッチング量を考慮して、上記第6の工程で所定値以上の高低差を有する段差が露出されるように上記第1の導電膜の膜厚を定めることを特徴とする半導体装置の製造方法。

【請求項9】請求項7又は8に記載の半導体装置の製造方法において、

上記第8の工程を終了した後に、少なくとも上記ソース・ドレイン領域の表面付近の領域をシリサイド化する工程をさらに備えていることを特徴とする半導体装置の製造方法。

【請求項10】半導体基板上に下敷き絶縁膜を形成する第1の工程と、

上記下敷き絶縁膜の上にエッチングストップ膜を堆積する第2の工程と、

上記エッチングストップ膜及び上記下敷き絶縁膜のうち素子分離を形成しようとする領域を開口して開口部を形成し、上記開口部に露出する半導体基板をエッチングして溝部を

形成する第3の工程と、

基板の全面上に分離用絶縁膜を堆積した後、化学的機械研磨を行なって該分離用絶縁膜を上記エッチングストップ膜の表面が露出するまで平坦化するとともに、上記溝部に素子形成領域を取り囲む溝型素子分離を形成する第4の工程と、

エッチングにより、少なくとも上記エッチングストップ膜及び上記下敷き絶縁膜を除去し、上記素子形成領域と上記溝型素子分離との間に段差部を露出させる第5の工程と、

上記第5の工程の後に、上記基板上にゲート酸化膜、導電膜及び第1の保護用絶縁膜を堆積した後、該導電膜から少なくともゲート電極をパターンニングするとともに、該第1の保護用絶縁膜をパターンニングして上記ゲート電極上に保護絶縁膜を形成する第6の工程と、

上記第6の工程の後に、基板の全面上に第2の保護用絶縁膜を堆積する第7の工程と、

上記第2の保護用絶縁膜上にサイドウォール用シリコン膜を堆積した後、異方性エッチングを行って、上記ゲート電極及び上記段差部の各側面上に上記サイドウォール用シリコン膜からなる電極部サイドウォール及び段差部サイドウォールをそれぞれ形成する第8の工程と、

上記第8の工程の後に、上記ゲート電極の両側の素子形成領域の半導体基板内に不純物を導入してソース・ドレイン領域を形成する第9の工程と、

上記第9の工程の後に、上記電極部サイドウォール、上記ソース・ドレイン領域及び上記段差部サイドウォールに跨る領域をシリサイド化する第10の工程とを備えていることを特徴とする半導体装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術の分野】

本発明は、溝埋め込み分離型の素子分離を有する半導体装置の構造及びその製造方法の改良に関する。

##### 【0002】

#### 【従来の技術】

近年、半導体装置の高集積化、高性能化の進展にともない、益々微細化の要求が高まっている。そのため従来の技術の改良だけではそれらの要求に追随できず、新規技術導入が余儀なくされている技術分野もある。例えば素子分離形成方法として、従来はその製法の簡便さと低コスト性の観点からLOCOS分離法により素子分離が形成されてきたが、最近では、より微細な半導体装置を形成するには溝埋め込み分離型の素子分離（以下、単に溝型素子分離という）を設けた方が有利であると考えられてきている。

##### 【0003】

すなわち、LOCOS分離法は、選択酸化の方式をとっているため、その酸化を防止するためのマスクとの境界でいわゆるバズビークが発生し、実際のマスク寸法よりも素子領域側に分離領域の絶縁膜が侵入して寸法変化が生じ、この変化量が $0.5\mu\text{m}$ 世代以降の微細化には許容できない数値となる。そのため、量産技術の分野においても寸法シフトのきわめて少ないトレンチ分離法への転換が始まりつつある。例えばIBM社が $0.5\mu\text{m}$  CMOSプロセスとしてMPUの量産に溝型素子分離構造を導入している（参考文献：IBM Journal of Research and Development、VOL. 39、NO. 1/2、1995、33-42頁）。

##### 【0004】

図6は、従来のトレンチ分離とサリサイド構造を有するMOSFETとが設けられた半導体装置の例を示す断面図である。同図に示すように、シリコン基板101には溝型の素子分離105aが形成されている。そして、素子分離105aによって囲まれた活性領域上には、ゲート絶縁膜103a及びゲート電極107aと、ゲート電極107aの両側面上の電極部サイドウォール108aとが設けられている。また、活性領域においてゲート電極107aの両側方に位置する領域に低濃度ソース・ドレイン領域106aと、高濃度ソース・ドレイン領域106bとが設けられ、素子分離105aの下方にチャンネルストップ領域115が設けられている。また、素子分離105a及び活性領域として機能しない

シリコン基板101の上に亘ってゲート電極107aと同じポリシリコン膜からなるゲート配線107bがゲート絶縁膜103bを介して設けられ、その両側面上には配線部サイドウォール108bが設けられている。さらに、ゲート電極107a、ゲート配線107b及び高濃度ソース・ドレイン領域106bの上には、それぞれシリサイドからなる上部ゲート電極109aと、上部ゲート配線109bと、ソース・ドレイン電極109cとが設けられている。さらに、シリコン酸化膜からなる層間絶縁膜111と、層間絶縁膜111上に形成された金属配線112と、層間絶縁膜111内に形成されたコンタクトホール内に埋め込まれ、金属配線112とソース・ドレイン電極109cとの間を接続するコンタクト部113とが設けられている。

**【0005】**

次に、図7(a)～(e)を参照しながら、上記図6に示す従来の溝型素子分離とMOSFETとを有する半導体装置の製造工程について説明する。

**【0006】**

まず、図7(a)に示すように、シリコン基板101の上に、シリコン酸化膜116及びシリコン窒化膜117を順次堆積し、素子分離領域を開口し素子形成領域を覆うレジスト膜120をシリコン窒化膜117の上に形成した後、レジスト膜120をマスクとしてエッチングを行なって、上記シリコン窒化膜116及びシリコン酸化膜117を選択的に除去し、さらに、シリコン基板101をエッチングして、溝部104を形成する。さらに、溝部104の底部に不純物イオンを注入してチャンネルストップ領域115を形成する。

**【0007】**

次に、図7(b)に示すように、シリコン酸化膜(図示せず)を堆積してから、シリコン窒化膜117の表面が露出するまで全面を平坦化する。この工程によって、素子分離領域Reisoには、上記溝部104に埋め込まれたシリコン酸化膜からなる溝型の素子分離105aが形成される。

**【0008】**

次に、図7(c)に示すように、いったんシリコン窒化膜117及びシリコン酸化膜116を除去した後、シリコン基板101の上に、ゲート酸化膜103を形成し、さらに基板の全面上ポリシリコン膜107を堆積した後、ポリシリコン膜107の上にゲート形成領域以外の領域を開口させたフォトレジスト膜121を形成する。

**【0009】**

次に、図7(d)に示すように、フォトレジスト膜121をマスクとして、ポリシリコン膜107のドライエッチングを行い、ポリシリコン膜107及びゲート酸化膜103を選択的に除去して、素子形成領域Refet内のMOSFETのゲート電極107aと、素子分離105a上からシリコン基板101上に跨るゲート配線107bとを形成する。そして、フォトレジスト膜121を除去した後、ゲート電極107aをマスクとしてシリコン基板101内に不純物イオンの注入を行って、低濃度ソース・ドレイン領域106aを形成する。その後、基板の全面上にシリコン酸化膜108を堆積する。

**【0010】**

次に、図7(e)に示すように、シリコン酸化膜108の異方性ドライエッチングを行ってゲート電極107a及びゲート配線107bの両側面上に、それぞれ電極部サイドウォール108a及び配線部サイドウォール108bを形成する。その際、シリコン酸化膜108下方のゲート酸化膜103も同時に除去され、ゲート電極107aの下方のゲート酸化膜103aと、ゲート配線107bの下方のゲート酸化膜103bのみが残る。その後、ゲート電極107a及び電極部サイドウォール108aをマスクとして不純物イオンを斜め方向から注入し、高濃度ソース・ドレイン領域106bを形成する。その後、全面にTi膜を堆積した後、高温熱処理を行って、Ti膜とTi膜に直接接触するシリコンで構成される部材とを反応させてシリサイドからなる上部ゲート電極109aと、上部ゲート配線109bと、ソース・ドレイン電極109cとを形成する。

**【0011】**

その後の工程は省略するが、最終的に図6に示される構造を有するMOSFETを備え

た半導体装置が得られる。図6において、層間絶縁膜111の上に金属配線112が形成され、金属配線112とソース・ドレイン電極109cとの間は、コンタクトホールを埋め込んだWプラグ等からなるコンタクト部113により接続されている。

#### 【0012】

上述のような溝型素子分離構造を採用する場合、熱酸化により厚いシリコン酸化膜を形成するLOCOS法のようなバズビークつまり活性領域内への酸化膜の入り込みがないので、ソース・ドレイン領域の寸法シフトが抑制される。そして、図7(c)に示す工程では、素子分離105aと素子形成領域Refetのシリコン基板101とが平坦化されている。

#### 【0013】

##### 【発明が解決しようとする課題】

しかしながら、上述のようなトレンチ構造の素子分離を有する半導体装置では、以下のような問題があった。

#### 【0014】

すなわち、図7(d)に示す状態から同図(e)に示す状態に移行する際に、シリコン酸化膜108の異方性エッチングを行って各サイドウォール108a, 108bを形成するが、そのときオーバーエッチングを行う必要がある。このオーバーエッチングによって、素子分離105aの表面がある程度下方まで掘り込まれる。

#### 【0015】

図8(a), (b)は、このときの高濃度ソース・ドレイン領域106bと素子分離105aとの境界付近を拡大して示す断面図である。

#### 【0016】

同図(a)に示すように、図7(d)に示す工程と図7(e)に示す工程との間で、不純物イオンを斜め方向から注入して高濃度ソース・ドレイン領域106bを形成する工程を行うが、素子分離105aが下方まで掘れ下がっているため、このイオン注入の際、素子分離105aの端部の下方にまで高濃度ソース・ドレイン領域106bが形成されてしまう。したがって、高濃度ソース・ドレイン領域106bとチャンネルストップ領域115との近接が生じ、接合耐圧劣化や接合リークの増大等の不具合を招く。

#### 【0017】

また、図8(b)に示すように、高濃度ソース・ドレイン領域106bの上にTi膜等を堆積して下方のシリコンと反応させるシリサイド化を行うものでは、シリサイド層がシリコン基板101と素子分離105aとの界面に侵食しやすくなり、シリサイドからなるソース・ドレイン電極109cとチャンネルストップ領域115との間で短絡電流の発生を招く虞れもあった。

#### 【0018】

本発明は斯かる点に鑑みてなされたものであり、その目的は、上述のサイドウォール形成の際のオーバーエッチングによる溝型素子分離領域の掘り下がり防止する手段を講ずることにより、溝型素子分離構造を有しながら、接合リークや接合耐圧の劣化、短絡電流等のない微細かつ高性能な半導体装置及びその製造方法を提供することにある。

#### 【0019】

##### 【課題を解決するための手段】

上記目的を達成するために、本発明の講じた解決手段は、素子形成領域の半導体基板と溝型素子分離との間に、溝型素子分離の側が高くなるような段差部を形成し、この段差部にサイドウォールを設けたものである。具体的には、請求項1～4に記載される半導体装置と、請求項5～10に記載される半導体装置の製造方法とに関する手段を講じている。

#### 【0020】

本発明の半導体装置は、半導体基板の複数の活性領域にそれぞれ半導体素子を配設してなる半導体装置において、上記活性領域の表面よりも高い上面を有し、かつ上記活性領域との境界に段差部を形成しながら上記各活性領域を分離するように取り囲む溝型素子分離と、上記溝型素子分離の段差部の側面上に形成されたL字状の段差部サイドウォールとを

備えている。

#### 【0021】

この構成により、溝型素子分離の端部に溝型素子分離の表面が素子形成領域の半導体基板表面よりも高くなった段差部が設けられているので、半導体装置の不純物拡散層を形成する際の不純物イオンの注入の際に素子分離の端部下方への不純物イオンの注入が阻止される。また、シリサイドからなるソース・ドレイン電極を設ける構造を採用する場合にも、段差部サイドウォールによってシリサイド層の奥方への侵入が阻止されているので、ソース・ドレイン電極とチャンネルストップ領域等の基板領域との間に短絡電流が発生するのを防止することができる。したがって、溝型素子分離における各半導体装置間の分離機能の低下が防止されることになる。

#### 【0022】

上記段差部サイドウォールを、絶縁性材料で構成することができる。

#### 【0023】

上記半導体素子は、上記活性領域の上に形成されたゲート絶縁膜及びゲート電極と、上記活性領域の上記ゲート電極の両側方に位置する領域に形成されたソース・ドレイン領域とを備えたMISFETであり、上記ゲート電極の両側面上に形成されたL字状の電極部サイドウォールをさらに備えているように構成することができる。

#### 【0024】

少なくとも上記活性領域の表面付近の部分をシリサイド化してなるソース・ドレイン電極をさらに備えることができる。

#### 【0025】

この構成により、段差部サイドウォールによる不純物イオンの注入阻止機能と、シリサイド化工程におけるシリサイド層の奥方への侵入阻止機能とが得られる。しかも、電極部サイドウォール、ソース・ドレイン領域及び段差部サイドウォールに亘る広い領域の上にシリサイド層からなるソース・ドレイン電極が設けられているので、上層の配線からのコンタクトの形成が容易かつ確実となり、信頼性が向上するとともに素子形成領域の面積の低減が可能となる。

#### 【0026】

本発明に係る第1の半導体装置の製造方法は、半導体基板上に下敷き絶縁膜を形成する第1の工程と、上記下敷き絶縁膜の上にエッチングストップ膜を堆積する第2の工程と、上記エッチングストップ膜及び上記下敷き絶縁膜のうち素子分離を形成しようとする領域を開口し、この開口部の半導体基板をエッチングして溝部を形成する第3の工程と、基板の全面上に上記溝部の底面から上記エッチングストップ膜の表面までの高さよりも膜厚の厚い分離用絶縁膜を堆積した後、化学的機械研磨によって該分離用絶縁膜を少なくとも上記エッチングストップ膜の表面が露出するまで平坦化するとともに、上記溝部に素子形成領域を取り囲む溝型素子分離を形成する第4の工程と、エッチングにより、少なくとも上記エッチングストップ膜及び上記下敷き絶縁膜を除去し、上記素子形成領域と上記溝型素子分離との間に段差部を露出させる第5の工程と、上記第5の工程の後に、上記基板上にゲート酸化膜及び導電膜を堆積した後、該導電膜から少なくともゲート電極をパターニングする第6の工程と、基板の全面上にサイドウォール用絶縁膜を堆積した後、異方性エッチングを行って、上記ゲート電極及び上記段差部の各側面上に上記絶縁膜からなる電極部サイドウォール及び段差部サイドウォールをそれぞれ形成する第7の工程と、上記第7の工程の後に、上記ゲート電極の両側の素子形成領域の半導体基板内に不純物を導入してソース・ドレイン領域を形成する第8の工程とを備え、上記第6の工程の後で上記第7の工程の前に、基板の全面上に保護酸化膜を堆積する工程を有し、上記第7の工程は、上記保護酸化膜上に上記サイドウォール用絶縁膜とマスク用膜を順次堆積する工程(a)と、上記マスク用膜をエッチバックして上記ゲート電極及び段差部の各側面上に電極部マスク及び段差部マスクを形成する工程(b)と、上記電極部マスク及び上記段差部マスクをマスクにして、上記サイドウォール用絶縁膜のエッチングを行なって、いずれもL字状の上記電極部サイドウォール及び上記段差部サイドウォールをそれぞれ形成する工程(c)とを

有し、上記第8の工程の後に、上記電極部マスク及び上記段差部マスクを除去する第9の工程を備えている。

**【0027】**

この方法により、第6の工程が終了した段階で素子形成領域の半導体基板と溝型素子分離との間に段差部が形成されているので、第8の工程における不純物イオンの注入の際に、溝型素子分離の端部下方への不純物イオンの注入が阻止される。また、後にソース・ドレイン領域の表面付近をシリサイド化する場合にも、絶縁膜からなる段差部のサイドウォールによってシリサイド層の奥方への侵入は阻止される。したがって、接合耐圧の劣化や接合リーク等を防止できるとともに、ソース・ドレイン電極とチャンネルストップ領域等の基板領域との短絡電流の発生を防止できる。

**【0028】**

上記第9の工程の後に、基板上で露出した部分の上記保護酸化膜を除去する工程と、上記ゲート電極及び上記ソース・ドレイン領域の上にシリサイド層を形成する工程とを備えていることにより、L字状の電極部サイドウォールおよび段差部サイドウォールが形成されている場合には、基板と溝型素子分離との境界へのシリサイド層の進入をより有効に防止することができる。

**【0029】**

第2の半導体装置の製造方法は、半導体基板上にゲート絶縁膜を形成する第1の工程と、上記ゲート絶縁膜の上にゲート電極となる第1の導電膜を堆積する第2の工程と、上記第1の導電膜のうち溝型素子分離を形成しようとする領域を開口し、この開口部の半導体基板をエッチングして溝部を形成する第3の工程と、基板の全面上に分離用絶縁膜を堆積した後、基板を少なくとも上記第1の導電膜の表面が露出するまで平坦化するとともに、上記溝部に素子形成領域を取り囲む溝型素子分離を形成する第4の工程と、上記平坦化された基板の全面上に少なくとも上部ゲート電極となる第2の導電膜を堆積する第5の工程と、上記第1及び第2の導電膜から少なくともゲート電極をパターンニングするとともに、上記素子形成領域と溝型素子分離との間に段差部を露出させる第6の工程と、基板の全面上にサイドウォール用絶縁膜を堆積した後、異方性エッチングを行って、上記ゲート電極及び上記段差部の各側面上に上記絶縁膜からなる電極部サイドウォール及び段差部サイドウォールを形成する第7の工程と、上記第7の工程の後に、上記ゲート電極の両側の素子形成領域の半導体基板内に不純物を導入してソース・ドレイン領域を形成する第8の工程とを備えている。

**【0030】**

この方法により、本発明に係る第1の半導体装置の製造方法と同様の作用が得られるとともに、ゲート電極のパターンニング工程では、基板全面がフルフラットな状態となっているので、ゲート電極のパターンニング精度が向上する。

**【0031】**

上記第2の工程では、少なくとも上記第7の工程におけるオーバーエッチング量を考慮して、上記第6の工程で所定値以上の高低差を有する段差が露出されるように上記導電膜の膜厚を定めることができる。

**【0032】**

上記第8の工程を終了した後に、少なくとも上記ソース・ドレイン領域の表面付近の領域をシリサイド化する工程をさらに備えていることができる。

**【0033】**

この工程により、低抵抗のソース・ドレイン電極が形成されるので、低電圧かつ高速で作動する半導体装置が形成されることになる。

**【0034】**

本発明に係る第3の半導体装置の製造方法は、半導体基板上に下敷き絶縁膜を形成する第1の工程と、上記下敷き絶縁膜の上にエッチングストップ膜を堆積する第2の工程と、上記エッチングストップ膜及び上記下敷き絶縁膜のうち素子分離を形成しようとする領域を開口して開口部を形成し、上記開口部に露出する半導体基板をエッチングして溝部を形

成する第3の工程と、基板の全面上に分離用絶縁膜を堆積した後、化学的機械研磨を行なって該分離用絶縁膜を上記エッチングストップ膜の表面が露出するまで平坦化するとともに、上記溝部に素子形成領域を取り囲む溝型素子分離を形成する第4の工程と、エッチングにより、少なくとも上記エッチングストップ膜及び上記下敷き絶縁膜を除去し、上記素子形成領域と上記溝型素子分離との間に段差部を露出させる第5の工程と、上記第5の工程の後に、上記基板上にゲート酸化膜、導電膜及び第1の保護用絶縁膜を堆積した後、該導電膜から少なくともゲート電極をパターンニングするとともに、該第1の保護用絶縁膜をパターンニングして上記ゲート電極上に保護絶縁膜を形成する第6の工程と、上記第6の工程の後に、基板の全面上に第2の保護用絶縁膜を堆積する第7の工程と、上記第2の保護用絶縁膜上にサイドウォール用シリコン膜を堆積した後、異方性エッチングを行って、上記ゲート電極及び上記段差部の各側面上に上記サイドウォール用シリコン膜からなる電極部サイドウォール及び段差部サイドウォールをそれぞれ形成する第8の工程と、上記第8の工程の後に、上記ゲート電極の両側の素子形成領域の半導体基板内に不純物を導入してソース・ドレイン領域を形成する第9の工程と、上記第9の工程の後に、上記電極部サイドウォール、上記ソース・ドレイン領域及び上記段差部サイドウォールに跨る領域をシリサイド化する第10の工程とを備えている。

#### 【0035】

この方法により、本発明に係る第1および第2の半導体装置の製造方法と同様の作用が得られる。また、ソース・ドレイン領域の表面付近をシリサイド化する工程において、シリコン膜からなるからなる段差部のサイドウォールの表面がシリサイド化されるものの、シリサイド層の奥方への侵入は阻止される。したがって、ソース・ドレイン電極とチャンネルストップ領域等の基板領域との短絡電流の発生を防止することが可能となる。しかも、電極部サイドウォールーソース・ドレイン領域ー段差部サイドウォールの広い範囲に跨ってシリサイド化されたソース・ドレイン電極が形成されるので、上層配線からのコンタクト部の形成が容易となり、半導体装置の占有面積の低減も可能となる。

#### 【0036】

##### 【発明の実施の形態】

##### (第1の実施形態)

まず、第1の実施形態について、図1及び図2(a)～(e)を参照しながら説明する。図1は、本実施形態に係る半導体装置の構造を示す断面図であり、図2(a)～(e)は、図1に示す半導体装置の構造を実現するための製造工程を示す断面図である。

#### 【0037】

図1において、一導電型のシリコン基板(又はウェル)1上に、シリコン基板1の表面付近の領域を多数の素子形成領域Refetに区画する素子分離領域Reisoには、溝型の素子分離5aが形成されている。この素子分離5aの表面は素子形成領域Refetのシリコン基板1の表面よりも十分に高く、両者間には所定の高低差を有する段差部が形成されている。この素子分離5aは、後述のようにシリコン基板1に形成された溝内に絶縁性材料を埋め込んで形成されたものである。そして、少なくとも素子分離5aの底部には、シリコン基板1と同一導電型のチャンネルストップ領域15が形成されている。

#### 【0038】

一方、上記素子分離5aにより画成された素子形成領域Refetには、ゲート電極4、ゲート酸化膜3、電極部サイドウォール8a、低濃度ソース・ドレイン領域6a、高濃度ソース・ドレイン領域6bからなるMOSトランジスタが形成されている。また、素子形成領域Refet以外の半導体基板上及び素子分離5a上にも、上記ゲート電極7aと同時に形成されたゲート配線7b及び配線部サイドウォール7bが形成されている。さらに、ゲート電極7a、ゲート配線7b及び高濃度ソース・ドレイン領域6bの上部は、それぞれチタンシリサイド(TiSi<sub>2</sub>)で構成された上部ゲート電極9a、上部ゲート配線9b及びソース・ドレイン電極9cが形成されている。

#### 【0039】

ここで、本実施形態の特徴として、上記素子分離5aの段差部側面には、上記電極部サ

イドウォール 8 a, 配線部サイドウォール 8 b と同時に形成された段差部サイドウォール 8 c が形成されている。この段差部サイドウォール 8 c の一部は上記電極部サイドウォール 8 a 及び配線部サイドウォール 8 b とつながる構造となっている。

**【0040】**

また、上記素子分離 5 a やゲート電極 7 a 等が形成された基板の全面上には層間絶縁膜 1 1 及び第 1 層目金属配線 1 2 が形成されており、第 1 層目金属配線 1 2 はコンタクト部 1 3 を介して素子形成領域の上部ゲート電極 9 a やソース・ドレイン電極 9 c と接続されている。

**【0041】**

次に、上記図 1 の構造を実現するための製造工程について、図 2 (a) ~ (e) を参照しながら説明する。

**【0042】**

まず、図 2 (a) に示すように、シリコン基板 1 上に、シリコン酸化膜 1 6 及びエッチングストップ膜となるシリコン窒化膜 1 7 を堆積し、素子分離領域 Reiso を開口し素子形成領域 Refet を覆うフォトレジスト膜 2 0 をパターンニングした後、フォトレジスト膜 2 0 をマスクとして、上記シリコン窒化膜 1 7 及びシリコン酸化膜 1 6 を選択的に除去し、さらに、シリコン基板 1 をエッチングして、溝部 4 を形成する。このとき、従来の溝部方法とは異なり、シリコン窒化膜 1 7 の膜厚を 150 ~ 200 nm 程度に厚くしておく、ただし、シリコン酸化膜 1 6 の膜厚は従来の方法と同様に 10 ~ 20 nm である。そして、溝部 4 の深さも従来の方法と同程度でよく、500 nm 程度である。その後、後に形成されるソース・ドレイン領域に注入される不純物の導電型とは逆導電型の不純物イオンの注入を行って、チャンネルストップ領域 1 5 を形成する。

**【0043】**

次に、図 2 (b) に示すように、上記フォトレジスト膜 2 0 を除去した後、溝部 4 の深さ及び残存するシリコン窒化膜 1 7 の厚みを加えた値つまり溝部 4 の底からシリコン窒化膜 1 7 の表面までの高さよりも十分な厚さの絶縁膜 5 (図示せず) を堆積し、化学的機械研磨 (CMP) を行ってこの絶縁膜 5 をシリコン窒化膜 1 7 の表面が露出するまで除去し、基板面全体を平坦化する。この工程によって、素子分離領域 Reiso に、絶縁膜 5 で構成される溝型の素子分離 5 a が形成される。この平坦化方法については、本実施形態に限定されるものではなく、フォトレジスト膜で素子形成領域 Refet の反転パターンを用いてエッチバックする方法などを用いてもよい。

**【0044】**

その後、図示しないが、上記シリコン窒化膜 1 7 を燐酸ボイル液などを用いて除去し、さらにフッ酸系のウェットエッチング液などを用いてシリコン酸化膜 1 6 を除去して、素子形成領域 Refet のシリコン基板 1 表面を露出させる。この時点で、素子形成領域 Refet のシリコン基板 1 表面と素子分離 5 a の表面との間に十分な高低差を有する段差部が露出されていることが本実施形態の特徴であり、その高低差は後述のサイドウォール形成工程におけるオーバーエッチング量等を考慮して、50 ~ 100 nm 程度である。ただし、本実施形態の効果を有効に得るためには、次に行われるサイドウォール形成時のサイドウォール用絶縁膜の厚さ及びオーバーエッチング量を適正に定める必要がある。

**【0045】**

次に、図 2 (c) に示すように、シリコン基板 1 及び素子分離 5 a の上にポリシリコン膜 7 を堆積し、その上に、ゲート電極及びゲート配線が形成される領域以外の領域を開口したフォトレジスト膜 2 1 を形成する。そして、図示しないが、このフォトレジスト膜 2 1 をマスクとして、ドライエッチングを行って、ゲート電極 7 a 及びゲート配線 7 b を形成する。

**【0046】**

次に、図 2 (d) に示すように、ゲート電極 7 a をマスクとして低濃度の不純物イオンを注入を行って低濃度ソース・ドレイン領域 6 a を形成した後、基板の全面上に絶縁膜 (シリコン酸化膜) を堆積する。

## 【0047】

次に、図2(e)に示すように、この絶縁膜の異方性エッチングを行って、ゲート電極7aの側面上には電極部サイドウォール8aを、ゲート配線7bの側面上には配線部サイドウォール8bを形成する。その際、素子形成領域Refetのシリコン基板1と素子分離5aとの間の段差部の側面上にも段差部サイドウォール8cが形成される。そして、この状態で不純物イオンの注入を行って、高濃度ソース・ドレイン領域6bを形成する。この時点でも、素子形成領域Refetのシリコン基板1と素子分離5aとの間の段差部の高低差が十分確保されている。

## 【0048】

その後の工程の図示は省略するが、シリサイド工程による上部ゲート電極9a、上部ゲート配線9b及びソース・ドレイン電極9cの形成と、層間絶縁膜11の堆積及びコンタクトホール形成と、コンタクトホールへの金属の埋め込み及び第1層目金属配線12の形成とを経て、図1に示す溝埋め込み型分離構造を有するMOS型トランジスタが形成される。

## 【0049】

なお、上記工程では、LDD構造を有するトランジスタを形成するために電極部サイドウォール8a等を形成したが、ソース・ドレイン領域とチャネル領域との間に逆導電型の不純物を注入してパンチスルーストップを設けるいわゆるポケット注入構造を有するトランジスタにおいても、電極部サイドウォール8a等を形成することがあり、本発明はかかるポケット注入構造を有するトランジスタにも適用される。

## 【0050】

本実施形態のごとく、1 $\mu$ m以下のゲート長を有するMOSトランジスタを形成する場合には、短チャネル効果を抑制しトランジスタの信頼性を確保するためのLDD構造やポケット注入構造を有するトランジスタを形成するためにゲート電極7aの側壁に電極部サイドウォール8aを形成する必要がある。このときの電極部サイドウォール8aの厚さは必要とされるデバイスの特性から決定されるが、異方性の強いドライエッチング技術で形成するため、膜厚の制御としてはほぼ堆積膜厚で一意に決めることができる。しかしながら、ウェハ面内におけるエッチング速度のバラツキや堆積膜厚のバラツキなどを考慮して、通常10～30%程度のオーバーエッチングを行っている。例えば100nm厚さの絶縁膜から電極部サイドウォール8aを形成する場合、110～130nmの厚みの絶縁膜を除去するのに相当する時間だけエッチングを施す。

## 【0051】

このとき、酸化膜で構成される素子分離5aは素子形成領域Refetのシリコン基板1よりも高い選択比でエッチングされるので、例えば10～30nm程度の膜減りが発生する。そのため、従来の構造では、図8(a)、(b)に示すように、素子分離105aの表面がシリコン基板101の表面よりも低くなり、上述のような不具合を生じる。それに対し、本実施形態では、図2(d)に示す状態で、素子分離5aの表面が素子形成領域Refetのシリコン基板面よりも高くなるような段差部が形成されているので、上述のような不具合を有効に防止することができる。すなわち、高濃度ソース・ドレイン領域8bの形成の際に斜め方向から不純物イオンが注入されても、段差部の素子分離5aの膜厚が十分あるので、不純物イオンの素子分離5aの端部下方への打ち込みが阻止される。したがって、高濃度ソース・ドレイン領域6bとチャネルストップ領域15との間の距離はほぼ一定に保持され、接合耐圧の劣化や接合リークの増大を未然に防止することができる。また、高濃度ソース・ドレイン領域6bの上にシリサイドからなるソース・ドレイン電極9cを形成する際にも、段差部サイドウォール8cによって、シリサイド層がシリコン基板1と素子分離5aとの境界面に浸蝕しようとするのを阻止し得る。したがって、ソース・ドレイン電極9cとチャネルストップ領域15との間で短絡電流が生じるのを有効に防止することができる。

## 【0052】

ただし、本実施形態において、上述のような効果を有効に発揮するためには、少なくとも

もサイドウォール形成工程におけるオーバーエッチング量つまり10～30nm程度の膜減り以上の高低差があることが好ましい。また、実際には素子分離5aの形成後にもシリコン酸化膜16の除去工程を始め素子分離5aを構成するシリコン酸化膜の膜減りが伴う工程があるため、この膜減り量なども考慮した高い高低差を有する段差を事前に形成しておくことが好ましい。したがって、上記図2(a)に示す工程において堆積されるシリコン窒化膜17の膜厚の下限値は、オーバーエッチング量やシリコン酸化膜16の除去工程のエッチング量から決定されることになる。

#### 【0053】

ただし、本実施形態では溝部4を形成するためのエッチングマスクとしてシリコン窒化膜17を用いたが、この膜の材質はシリコン酸化膜よりもエッチング選択比の小さい材質であれば良く、例えばポリシリコン膜等で代用することも可能である。

#### 【0054】

なお、本実施形態では、低抵抗化のために上部ゲート電極9aとソース・ドレイン電極9cとが同時に自己整合的にシリサイド化されたいわゆるサリサイド構造を有する実施形態について説明したが、ゲート電極をあらかじめポリサイド電極で形成し、後にソース・ドレイン電極のみシリサイド化した構造としてもよいことは言うまでもない。

#### 【0055】

(第2の実施形態)

次に、図3(a)～(e)を参照しながら、第2の実施形態について説明する。本実施形態と上記第1の実施形態とが異なる点は、溝型素子分離を形成する前にゲート酸化膜及びゲート電極となるポリシリコン膜の堆積を終了している点である。

#### 【0056】

まず、図3(a)に示すように、シリコン基板1上に、ゲート酸化膜3及びMOS型トランジスタのゲート電極となるポリシリコン膜7を順次堆積し、その上に、素子分離形成領域Reisoを開口し素子形成領域Refetを覆うフォトレジスト膜20をパターンニングする。このフォトレジスト膜20をマスクとして、上記ポリシリコン膜7及びゲート酸化膜3を選択的に除去し、さらに、シリコン基板1をエッチングして、素子分離領域となる溝部4を形成する。このとき、従来の溝部の形成方法とは異なり、ポリシリコン膜7の膜厚は、上記第1の実施形態におけるシリコン窒化膜とほぼ同じ程度つまり150～200nm程度にしておく、ゲート酸化膜3の膜厚は10～20nmである。溝部4の深さは、500nm程度である。その後、後に形成されるソース・ドレイン領域に注入される不純物の導電型とは逆導電型の不純物イオンの注入を行って、チャンネルストップ領域15を形成する。

#### 【0057】

次に、フォトレジスト膜20を除去した後、溝部4の深さ及び残存するポリシリコン膜7の厚みを加えた値つまり溝部4の底からポリシリコン膜7の表面までの高さよりも十分な厚さの絶縁膜5(図示せず)を堆積し、化学的機械研磨(CMP)を行ってこの絶縁膜5をポリシリコン膜7の表面が露出するまで除去し、基板面全体を平坦化する。この工程によって、素子分離領域Reisoに、絶縁膜5で構成される溝型の素子分離5aが形成される。この平坦化方法については、本実施形態に限定されるものではなく、フォトレジスト膜で素子形成領域Refetの反転パターンを用いてエッチバックする方法などを用いてもよい。

#### 【0058】

次に、図3(b)に示すように、平坦化された基板上にゲート配線層となる導電膜18(導電性ポリシリコン膜でもよいし、WSiやTiSi等のシリサイド膜でもよい。さらに低抵抗化のためにTiN等のバリアメタルを介してW等の高融点金属を用いてもよい。)と絶縁膜からなる保護膜19とを堆積し、ゲート電極及びゲート配線が形成される領域以外の領域を開口したフォトレジスト膜21を形成する。そして、図示しないが、このフォトレジスト膜21をマスクとして、ドライエッチングを行って、ゲート電極7a、上部ゲート電極18a及び保護膜19aと、ゲート配線7b、上部ゲート配線18b及び保護

膜19bとをパターンニングする。この時点で、素子形成領域Refetのシリコン基板1表面と素子分離5aの表面との間に十分な高低差を有する段差部が露出されていることが本実施形態の特徴であり、その高低差は後述のサイドウォール形成工程におけるオーバーエッチング量等を考慮して、50～100nm程度である。ただし、本実施形態の効果を有効に得るためには、次に行われるサイドウォール形成時のサイドウォール用絶縁膜の厚さ及びオーバーエッチング量を適正に定める必要がある。

#### 【0059】

次に、図3(c)に示すように、第1の実施形態と同様に、活性領域内のゲート電極7aの両側方に位置する領域に低濃度ソース・ドレイン領域6aを形成した後、基板の全面上に絶縁膜(シリコン酸化膜)を堆積し、この絶縁膜の異方性エッチングを行って、図3(d)に示すように、ゲート電極7a等の側面上には電極部サイドウォール8aを、ゲート配線7b等の側面上には配線部サイドウォール8bを形成する。その際、素子形成領域Refetのシリコン基板1と素子分離5aとの間の段差部の側面上にも段差部サイドウォール8cが形成される。そして、この状態で不純物イオンの注入を行って、高濃度ソース・ドレイン領域6bを形成する。この時点でも、素子形成領域Refetのシリコン基板1と素子分離5aとの間の段差部の高低差が十分確保されている。

#### 【0060】

次に、図3(e)に示すように、高濃度ソース・ドレイン領域6bの上のみにシリサイドからなるソース・ドレイン電極9cを形成する。

#### 【0061】

その後の工程の図示は省略するが、層間絶縁膜11の堆積及びコンタクトホール形成と、コンタクトホールへの金属の埋め込み及び第1層目金属配線12の形成とを経て、図1に示す構造と類似した溝埋め込み型分離構造を有するMOS型トランジスタが形成される。ただし、本実施形態では、ゲート電極7a及びゲート配線7bの上に、それぞれ導電性ポリシリコン、あるいはシリサイド等からなる上部ゲート電極18a、上部ゲート配線18bと、絶縁膜からなる保護膜19a、19bとが形成され、シリサイドからなるソース・ドレイン電極9cは上部ゲート電極18aや上部ゲート配線18bとは別の工程で形成されている。

#### 【0062】

以上のように、本実施形態によれば、素子形成領域Refetのシリコン基板1と素子分離5aとの間に素子分離5a側が高い段差部が形成され、段差部の側面上に段差部サイドウォール8cが形成されているので、工程数を削減しながら、上記第1の実施形態と同様の効果を発揮することができる。

#### 【0063】

加えて、本実施形態では、図3(b)に示す状態からゲート電極7a及びゲート配線7bをパターンニングする工程を、素子分離5aの端部における段差部の影響を全く受けることなくフルフラットな状態で実施できるため、微細パターンを安定に形成できるという利点がある。

#### 【0064】

(第3の実施形態)

次に、第3の実施形態について説明する。図4(a)～(f)は、第3の実施形態に係る半導体装置の製造工程を示す断面図である。

#### 【0065】

図4(a)に示す状態に至るまでに、溝型の素子分離5a、チャンネルストップ領域15、低濃度ソース・ドレイン領域6a、ゲート絶縁膜3、ゲート電極7a、ゲート配線7b等を上記第1の実施形態と同様の工程によって形成した後、基板上に保護酸化膜31と、サイドウォール用のシリコン窒化膜32と、マスク用ポリシリコン膜33とを、いずれもCVD法により堆積する。このとき、ゲート電極7a及びゲート配線7bを構成するポリシリコン膜の厚みは330nm、最小線幅は0.35ミクロンであり、保護酸化膜31の厚みは約20nmであり、シリコン窒化膜32の厚さは約30nmであり、ポリシリコン

膜33の厚さは約100nmである。

**【0066】**

次に、図4(b)に示すように、RIEにより、ポリシリコン膜33をエッチバックし、ゲート電極7a、ゲート配線7b及び段差部の各側面上にそれぞれ電極部ポリシリコンマスク33a、配線部ポリシリコンマスク33b及び段差部ポリシリコンマスク33cを形成する。このとき、ポリシリコン膜33とシリコン窒化膜32とのエッチング選択比は大きい。

**【0067】**

次に、図4(c)に示すように、残存するポリシリコンマスク33a、33b、33cをマスクとしてH<sub>3</sub>PO<sub>4</sub>(150℃の熱リン酸)によるウェットエッチングを行ない、シリコン窒化膜32のうち各ポリシリコンマスク33a、33b、33cに覆われた部分のみ残し他の部分を除去する。このとき、シリコン窒化膜32とポリシリコンマスク33a、33b、33cとのエッチングの選択比は、30:1程度にすることができる。この工程により、ゲート電極7a、ゲート配線7b及び段差部の各側方に、いずれもL字状の電極部サイドウォール32a、配線部サイドウォール32b及び段差部サイドウォール32cが残存する状態となる。

**【0068】**

次に、図4(d)に示すように、ゲート電極7a、保護酸化膜31、電極部ポリシリコンマスク33a、電極部サイドウォール32a、段差部ポリシリコンマスク33c及び段差部サイドウォール32cをマスクとして、活性領域のシリコン基板1内に不純物イオンを高濃度で注入し、高濃度ソース・ドレイン領域6bを形成する。

**【0069】**

その後、図4(e)に示すように、ドライエッチング又はウェットエッチングにより、ポリシリコンマスク33a、33b、33cを除去する。

**【0070】**

次に、図4(f)に示すように、HF系のエッチング液を用いて、基板上で露出した部分の保護酸化膜31を除去する。その後、チタン膜を堆積し、1回目のRTA処理を行なって、チタンとシリコンとの反応によりTiSi<sub>2</sub>膜からなるシリサイド層を形成する。そして、チタン膜を除去した後、2回目のRTA処理を行なって、ゲート電極7a、ゲート配線7b及びソース・ドレイン領域6bの上に抵抗率の低いシリサイド層からなる上部電極9a、上部配線9b及びソース・ドレイン電極9cをそれぞれ形成する。その後、層間絶縁膜の堆積、平坦化、コンタクトホール開口、金属配線膜の堆積、金属配線の形成等を行って、LSIを形成する。

**【0071】**

本実施形態の方法では、図4(f)に示す工程で、段差部の側面上に保護酸化膜31及びL字状の段差部サイドウォール32cが形成されているので、活性領域のシリコン基板1と素子分離5aとの境界へのシリサイド層の侵入を有効に防止することができる。

**【0072】**

また、図4(c)、(d)に示す工程で、保護酸化膜31が素子分離5a及び活性領域のシリコン基板1の上に形成されているので、L字状のサイドウォール32a、32b、32cを形成する際に素子分離5aの膜厚の減小が生じない。したがって、その分素子分離5aとシリコン基板1との間の段差を低減することができ、ゲートのパターンニング精度の向上を図ることができる。

**【0073】**

なお、ゲート電極を形成する工程は、上記第2の実施形態と同様に第1、第2の導電膜で形成するようにしてもよく、その場合にも本実施形態と同様の効果を発揮することができる。

**【0074】**

(第4の実施形態)

上記各実施形態では、上記各サイドウォールを絶縁材料であるシリコン酸化膜又はシリ

コン室化膜で構成したが、各サイドウォールを導電性材料例えばポリシリコン膜で構成してもよい。図5(a)～(e)は、導電性のサイドウォールを形成した場合における半導体装置の製造工程を示す断面図である。

**【0075】**

図5(a)に示す状態に至るまでに、溝型の素子分離5a、チャネルストップ領域15、低濃度ソース・ドレイン領域6a、ゲート絶縁膜3、ゲート電極7a、ゲート配線7b等を上記第1の実施形態と同様の工程によって形成した後、基板上に保護酸化膜31と、サイドウォール用のポリシリコン膜34とを、いずれもCVD法により堆積する。ただし、本実施形態では、ゲート電極7a及びゲート配線7bの上には、それぞれ保護酸化膜10a、10bが形成されている。このとき、ゲート電極7a及びゲート配線7bを構成するポリシリコン膜の厚みは330nm、最小線幅は0.35ミクロンであり、保護酸化膜31の厚みは約20nmであり、ポリシリコン膜34の厚さは約100nmである。

**【0076】**

次に、図5(b)に示すように、RIEにより、ポリシリコン膜34をエッチバックして、ゲート電極7a、ゲート配線7b及び段差部の各側方に、ポリシリコン膜からなる電極部サイドウォール32a、配線部サイドウォール32b及び段差部サイドウォール32cを形成する。

**【0077】**

次に、図5(c)に示すように、ゲート電極7a、保護酸化膜31、電極部サイドウォール34a及び段差部サイドウォール34cをマスクとして、活性領域のシリコン基板1内に不純物イオンを高濃度で注入し、高濃度ソース・ドレイン領域6bを形成する。

**【0078】**

その後、図5(d)に示すように、HF系のエッチング液を用いて、基板上で露出した部分の保護酸化膜31を除去する。その後、チタン膜を堆積し、1回目のRTA処理を行なって、チタンとシリコンとの反応によりTiSi<sub>2</sub>膜からなるシリサイド層を形成する。そして、チタン膜を除去した後、2回目のRTA処理を行なって、電極部サイドウォール34a、高濃度ソース・ドレイン領域6b及び段差部サイドウォール34cの上に跨るシリサイド層からなるソース・ドレイン電極9dを形成する。なお、配線部サイドウォール34bの上にもシリサイド層が形成されるので、そのままでは、このシリサイド層はソース・ドレイン電極と接続され得る。本実施形態では、素子分離5a上で、フォトリソ膜等を用いて、エッチングを行い、ゲート配線7bの両側方の配線部サイドウォール34b及びその上のシリサイド層を選択的に除去して、各活性領域のソース・ドレイン電極9dが相互に接続されないようにしている。ただし、ポリシリコン膜からなるサイドウォール34a、34b、34cを形成した後、すぐにゲート配線7bの両側方の配線部サイドウォール34bのみを選択的に除去するようにしてもよい。

**【0079】**

その後、層間絶縁膜の堆積、平坦化、コンタクトホールの開孔、金属配線膜の堆積、金属配線の形成等を行って、LSIを形成する。

**【0080】**

本実施形態では、最終的に電極部サイドウォール34a－高濃度ソース・ドレイン領域6b－段差部サイドウォール8c間に跨る広い範囲にシリサイド層からなるソース・ドレイン電極9dが形成される。したがって、素子形成領域Refetと素子分離5aとの間の段差の存在によって不純物イオンの注入時における高濃度ソース・ドレイン領域6bとチャネルストップ領域15との近接を有効に防止することができる。また、高濃度ソース・ドレイン領域6bの上にシリサイドからなるソース・ドレイン電極9cを形成する際に、段差部サイドウォール34cもある程度の厚み分だけシリサイド化されるものの、シリサイド層の奥方への侵入は阻止されるので、シリサイド層の素子分離－シリコン基板間の界面への浸透に起因するソース・ドレイン電極9cとチャネルストップ領域15との短絡電流の発生を有効に防止することができる。しかも、このような実施形態では、電極部サイドウォール34aから高濃度ソース・ドレイン領域6bを経て段差部サイドウォール34c

に至る広い領域がシリサイド化されるので、上方の第1層目配線とのコンタクト部を形成するのが極めて容易となり、その分、素子形成領域Refetの面積を低減し得る。つまり、半導体装置の集積度を向上させることができる利点がある。なお、電極部サイドウォール34a及び配線部サイドウォール34bが導電膜であるポリシリコンで構成されているものの、各サイドウォール34a、34bとゲート電極7a、ゲート配線7bとの間が保護酸化膜31で絶縁されているので、サイドウォールゲート間で短絡等を生じる虞はない。

**【0081】**

なお、ゲート電極を形成する工程は、上記第2の実施形態と同様に第1、第2の導電膜で形成するようにしてもよく、その場合にも本実施形態と同様の効果を発揮することができる。

**【0082】**

また、本実施形態では、各サイドウォールをポリシリコン膜で構成したが、アモルファスシリコン膜で構成してもよい。さらに、シリコン膜だけでなく、他の金属等の導電性材料からなるサイドウォールを形成してもよく、サイドウォールをシリサイド化する必要は必ずしもない。

**【0083】****【発明の効果】**

以上説明したように、請求項1～4によれば、溝型素子分離構造を有する半導体装置において、素子形成領域の半導体基板と溝型素子分離との間に溝型素子分離の方がステップ状に高くなる段差部を形成し、この段差部の側面上にサイドウォールを形成する構造としたので、接合耐圧劣化や接合リーク増大の防止と、ソース・ドレイン電極のシリサイド化によるソース・ドレイン電極と基板領域との間の短絡電流の発生を防止することができる。

**【0084】**

請求項5～10によれば、溝型素子分離構造を有する半導体装置の製造方法として、溝型素子分離を形成した後エッチングストップ膜又はゲート電極となる第1の導電膜を除去したときに、溝型素子分離側が素子形成領域の半導体基板よりも高い段差部を露出させ、ゲート電極のサイドウォール形成と同時に段差部の側面にもサイドウォールが形成されるようにしたので、請求項1～4の効果を発揮する半導体装置の製造の容易化を図ることができる。

**【図面の簡単な説明】****【図1】**

第1の実施形態における半導体装置の構造を示す断面図である。

**【図2】**

第1の実施形態に係る半導体装置の製造工程を示す断面図である。

**【図3】**

第2の実施形態に係る半導体装置の製造工程を示す断面図である。

**【図4】**

第3の実施形態に係る半導体装置の製造工程を示す断面図である。

**【図5】**

第4の実施形態に係る半導体装置の製造工程を示す断面図である。

**【図6】**

従来の溝型素子分離構造を有する半導体装置の構造を示す断面図である。

**【図7】**

従来の溝型素子分離を有する半導体装置の製造工程を示す断面図である。

**【図8】**

従来の溝型素子分離を有する半導体装置の不純物イオン注入工程とシリサイド化工程における不具合を示すための部分断面図である。

**【符号の説明】**

- 1 シリコン基板 (半導体基板)
- 3 ゲート酸化膜
- 4 溝部
- 5 シリコン酸化膜 (絶縁膜)
- 5 a 溝型素子分離
- 6 a 低濃度ソース・ドレイン領域
- 6 b 高濃度ソース・ドレイン領域
- 7 ポリシリコン膜 (導電膜)
- 7 a ゲート電極
- 7 b ゲート配線
- 8 シリコン酸化膜
- 8 a 電極部サイドウォール
- 8 b 配線部サイドウォール
- 8 c 段差部サイドウォール
- 9 a 上部ゲート電極
- 9 b 上部ゲート配線
- 9 c ソース・ドレイン電極
- 1 1 層間絶縁膜
- 1 2 第1層目金属配線
- 1 3 コンタクト部
- 1 5 チャネルストップ領域
- 1 6 シリコン酸化膜
- 1 7 シリコン窒化膜 (エッチングストップ膜)
- 2 0, 2 1 フォトレジスト膜

## 予備的見解書

平成16年11月22日

特許出願の番号 平成 7年 特許願 第330112号  
特許審査調査員 平澤 伸幸

上記案件に関する調査の結果について、報告する。

## 拒絶理由通知書

特許出願の番号 平成 7年 特許願 第330112号  
起案日  
特許庁審査官  
特許出願人代理人 前田 弘 (外 1名) 様  
適用条文 第29条第2項

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

### 理 由

1. この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の刊行物に記載された発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

### 【請求項1～6】

- ・理由 1
- ・引用文献等 1～4
- ・備考

引用文献1、2には、半導体基板の複数の活性領域にそれぞれ半導体素子を配設してなる半導体装置において、活性領域の表面より高い上面を有し、かつ活性領域との境界に段差部を形成しながら各活性領域を分離するように取り囲む溝型素子分離と、溝型素子分離の段差部の側面上に形成された段差部サイドウォー

ルとを備えている半導体装置、およびその製造方法が記載されており（特に、同文献1図1～6、同文献2図1～3参照）、本願の請求項1～6に係る発明は、段差部サイドウォールがL字状である点で、同文献1、2と相違する。

しかしながら、引用文献3、4には、電界効果型トランジスタ、及びその製造方法において、電界効果トランジスタのゲート電極の両側壁にL型サイドウォールを形成することが記載されており（特に、同文献3図1、5、同文献4図7、8参照）、このL型サイドウォールが溝型素子分離のサイドウォールに適用できることは、当業者には明らかであるから、同文献1、2に記載のサイドウォールに代えて、引用文献3、4に記載されているL型サイドウォールを用いることは、当業者が必要に応じて適宜なし得る程度のことである。

したがって、本願の請求項1～6に係る発明は、引用文献1～4に記載された発明に基いて、当業者が容易に発明をすることができたものである。

### 【請求項7～9】

- ・理由 1
- ・引用文献等 1, 2, 5
- ・備考

引用文献5には、半導体基板上にゲート絶縁膜を形成する第1の工程と、ゲート絶縁膜の上にゲート電極となる第1の導電膜を堆積する第2の工程と、第1の導電膜のうち溝型素子分離を形成しようとする領域を開口し、この開口部の半導体基板をエッチングして溝部を形成する第3の工程と、基板の全面上に分離絶縁膜を堆積した後、基板を少なくとも第1の導電膜の表面が露出するまで平坦化するとともに、溝部に素子形成領域を取り囲む素子分離を形成する第4の工程と平坦化された基板の全面上に少なくとも上部ゲート電極となる第2の導電膜を堆積する第5の工程と、第1及び第2の導電膜から少なくともゲート電極をパターンニングするとともに、素子形成領域と溝型素子分離との間に段差部を露出させる第6の工程と、を備える半導体装置の製造方法が記載されており（特に、図1～4、段落【0017】参照）、本願の請求項7～9に係る発明は、基板全面上にサイドウォール用絶縁膜を堆積した後、異方性エッチングを行って、ゲート電極及び段差部の各側面上に絶縁膜からなる電極部サイドウォール及び段差部サイドウォールを形成する第7の工程と、ゲート電極の両側の素子形成領域の半導体基板内に不純物を導入してソース・ドレイン領域を形成する第8の工程とを備える点で、同文献5と相違する。

しかしながら、引用文献1、2には、半導体装置の製造方法において、半導体基板全面上にサイドウォール用絶縁膜を堆積した後、異方性エッチングを行って、ゲート電極及び段差部の各側面上に絶縁膜からなる電極部サイドウォール及び段差部サイドウォールを形成し、その後、ゲート電極の両側の素子形成領域の半導体基板内に不純物を導入してソース・ドレイン領域を形成することが記載されており（特に、同文献1図1～6、同文献2図1～3参照）、同文献5の記載

の方法において、半導体装置を製造するために、基板全面上にサイドウォール用絶縁膜を堆積した後、異方性エッチングを行って、ゲート電極及び段差部の各側面上に絶縁膜からなる電極部サイドウォール及び段差部サイドウォールを形成する工程と、その後、ゲート電極の両側の素子形成領域の半導体基板内に不純物を導入してソース・ドレイン領域を形成する工程とを行うことは、当業者が必要に応じて適宜なし得る程度のことである。

したがって、本願の請求項7～9に係る発明は、引用文献1、2、5に記載された発明に基いて、当業者が容易に発明をすることができたものである。

【請求項10】

- ・理由 1
- ・引用文献等 1～3
- ・備考

引用文献1、2に記載されている半導体装置の製造方法（特に、同文献1図2～6、同文献2図1～3参照）と本願の請求項10に係わる発明を対比すると、本願の請求項10に係る発明は、第9工程の後に、電極サイドウォール、ソース・ドレイン領域及び段差部サイドウォールに跨る領域をシリサイド化する点で、同文献1、2と相違している。

しかしながら、引用文献3には、半導体装置の製造方法において、電極サイドウォール、ソース・ドレイン領域及び素子分離領域に跨る領域をシリサイド化することが記載されており（特に、図3参照）、同文献1、2の記載の方法において、ソース・ドレイン領域をシリサイド化するために、引用文献3の図3に記載された方法を適用して、電極サイドウォール、ソース・ドレイン領域及び段差部サイドウォールに跨る領域をシリサイド化することは、当業者が必要に応じて適宜なし得る程度のことである。

したがって、本願の請求項10に係る発明は、引用文献1～3に記載された発明に基いて、当業者が容易に発明をすることができたものである。

引用文献等一覧

1. 特開平07-273330号公報
2. 特開平06-021208号公報
3. 特開平07-142726号公報
4. 特開平06-196495号公報
5. 特開平06-177237号公報

---

部長／代理    審査長／代理    審査官    審査官補

---

---

予備的見解書の採用状況について、以下の通り報告する。

- 採用
- 一部採用
- その他

## 拒絶理由通知書

特許出願の番号 平成 7年 特許願 第330112号  
起案日 平成16年11月25日  
特許庁審査官 松本 貢 7920 4M00  
特許出願人代理人 前田 弘(外 1名) 様  
適用条文 第29条第2項

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

## 理 由

1. この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の刊行物に記載された発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

## 【請求項1～6】

- ・理由 1
- ・引用文献等 1～4
- ・備考

引用文献1、2には、半導体基板の複数の活性領域にそれぞれ半導体素子を配設してなる半導体装置において、活性領域の表面より高い上面を有し、かつ活性領域との境界に段差部を形成しながら各活性領域を分離するように取り囲む溝型素子分離と、溝型素子分離の段差部の側面上に形成された段差部サイドウォールとを備えている半導体装置、およびその製造方法が記載されており（特に、同文献1図1～6、同文献2図1～3参照）、本願の請求項1～6に係る発明は、段差部サイドウォールがL字状である点で、同文献1、2と相違する。

しかしながら、引用文献3、4には、電界効果型トランジスタ、及びその製造方法において、電界効果トランジスタのゲート電極の両側壁にL型サイドウォールを形成することが記載されており（特に、同文献3図1、5、同文献4図7、8参照）、このL型サイドウォールが溝型素子分離のサイドウォールに適用できることは、当業者には明らかであるから、同文献1、2に記載のサイドウォール

ルに代えて、引用文献 3， 4 に記載されている L 型サイドウォールを用いることは、当業者が必要に応じて適宜なし得る程度のことである。

したがって、本願の請求項 1～6 に係る発明は、引用文献 1～4 に記載された発明に基いて、当業者が容易に発明をすることができたものである。

【請求項 7～9】

- ・理由 1
- ・引用文献等 1， 2， 5
- ・備考

引用文献 5 には、半導体基板上にゲート絶縁膜を形成する第 1 の工程と、ゲート絶縁膜の上にゲート電極となる第 1 の導電膜を堆積する第 2 の工程と、第 1 の導電膜のうち溝型素子分離を形成しようとする領域を開口し、この開口部の半導体基板をエッチングして溝部を形成する第 3 の工程と、基板の全面上に分離絶縁膜を堆積した後、基板を少なくとも第 1 の導電膜の表面が露出するまで平坦化するとともに、溝部に素子形成領域を取り囲む素子分離を形成する第 4 の工程と平坦化された基板の全面上に少なくとも上部ゲート電極となる第 2 の導電膜を堆積する第 5 の工程と、第 1 及び第 2 の導電膜から少なくともゲート電極をパターンニングするとともに、素子形成領域と溝型素子分離との間に段差部を露出させる第 6 の工程と、を備える半導体装置の製造方法が記載されており（特に、図 1～4、段落【0017】参照）、本願の請求項 7～9 に係る発明は、基板全面上にサイドウォール用絶縁膜を堆積した後、異方性エッチングを行って、ゲート電極及び段差部の各側面上に絶縁膜からなる電極部サイドウォール及び段差部サイドウォールを形成する第 7 の工程と、ゲート電極の両側の素子形成領域の半導体基板内に不純物を導入してソース・ドレイン領域を形成する第 8 の工程とを備える点で、同文献 5 と相違する。

しかしながら、引用文献 1， 2 には、半導体装置の製造方法において、半導体基板全面上にサイドウォール用絶縁膜を堆積した後、異方性エッチングを行って、ゲート電極及び段差部の各側面上に絶縁膜からなる電極部サイドウォール及び段差部サイドウォールを形成し、その後、ゲート電極の両側の素子形成領域の半導体基板内に不純物を導入してソース・ドレイン領域を形成することが記載されており（特に、同文献 1 図 1～6， 同文献 2 図 1～3 参照）、同文献 5 の記載の方法において、半導体装置を製造するために、基板全面上にサイドウォール用絶縁膜を堆積した後、異方性エッチングを行って、ゲート電極及び段差部の各側面上に絶縁膜からなる電極部サイドウォール及び段差部サイドウォールを形成する工程と、その後、ゲート電極の両側の素子形成領域の半導体基板内に不純物を導入してソース・ドレイン領域を形成する工程とを行うことは、当業者が必要に応じて適宜なし得る程度のことである。

したがって、本願の請求項 7～9 に係る発明は、引用文献 1， 2， 5 に記載された発明に基いて、当業者が容易に発明をすることができたものである。

【請求項 10】

- ・理由 1
- ・引用文献等 1～3
- ・備考

引用文献 1, 2 に記載されている半導体装置の製造方法（特に、同文献 1 図 2～6, 同文献 2 図 1～3 参照）と本願の請求項 10 に係わる発明を対比すると、本願の請求項 10 に係る発明は、第 9 工程の後に、電極サイドウォール、ソース・ドレイン領域及び段差部サイドウォールに跨る領域をシリサイド化する点で、同文献 1、2 と相違している。

しかしながら、引用文献 3 には、半導体装置の製造方法において、電極サイドウォール、ソース・ドレイン領域及び素子分離領域に跨る領域をシリサイド化することが記載されており（特に、図 3 参照）、同文献 1、2 の記載の方法において、ソース・ドレイン領域をシリサイド化するために、引用文献 3 の図 3 に記載された方法を適用して、電極サイドウォール、ソース・ドレイン領域及び段差部サイドウォールに跨る領域をシリサイド化することは、当業者が必要に応じて適宜なし得る程度のことである。

したがって、本願の請求項 10 に係る発明は、引用文献 1～3 に記載された発明に基づいて、当業者が容易に発明をすることができたものである。

引 用 文 献 等 一 覧

1. 特開平 07-273330 号公報
2. 特開平 06-021208 号公報
3. 特開平 07-142726 号公報
4. 特開平 06-196495 号公報
5. 特開平 06-177237 号公報

部長／代理	審査長／代理	審査官	審査官補
	加藤 浩一	松本 貢	
	8 6 1 7	7 9 2 0	

## 拒絶査定

特許出願の番号 平成 7年 特許願 第330112号  
起案日 平成17年 3月18日  
特許庁審査官 松本 貢 7920 4M00  
発明の名称 半導体装置及びその製造方法  
特許出願人 松下電器産業株式会社  
代理人 前田 弘 (外 1名)

この出願については、平成16年11月25日付け拒絶理由通知書に記載した理由によって、拒絶をすべきものである。

---

部長／代理	審査長／代理	審査官	審査官補
_____	加藤 浩一	松本 貢	_____
	8617	7920	

---