



19 **BUNDESREPUBLIK  
DEUTSCHLAND**



**DEUTSCHES  
PATENT- UND  
MARKENAMT**

12 **Offenlegungsschrift**  
10 **DE 101 42 361 A 1**

51 Int. Cl.7:  
**G 11 C 5/02**

21 Aktenzeichen: 101 42 361.6  
22 Anmeldetag: 30. 8. 2001  
43 Offenlegungstag: 24. 4. 2003

**DE 101 42 361 A 1**

71 Anmelder:  
Infineon Technologies AG, 81669 München, DE

74 Vertreter:  
Müller - Hoffmann & Partner Patentanwälte, 81667 München

72 Erfinder:  
Kiehl, Oliver, Dr., 80802 München, DE

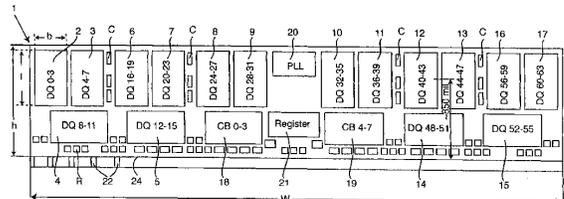
56 Entgegenhaltungen:  
DE 43 25 095 A1  
DE 6 96 10 662 T2

**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen**

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Speichermodul

57 Die Erfindung betrifft einen Speichermodul, bei dem Speicherchips (4-19) auf einer Schaltungsplatte (1) sowohl horizontal (4, 5, 14, 15, 18, 19) als auch vertikal (2, 3, 6 bis 13, 16, 17) angeordnet sind.



**DE 101 42 361 A 1**

**[0001]** Die vorliegende Erfindung betrifft einen Speichermodul aus einer Vielzahl von Speicherchips, die auf wenigstens einer ersten Oberfläche einer im Wesentlichen rechteckförmigen Schaltungsplatte vorgesehen sind, welche mindestens längs einer eine Connectorkante bildenden Seite Pins aufweist, die über einen Widerstand mit DQ-Anschlüssen (bzw. Datenanschlüssen) der Speicherchips verbunden sind, wobei die im Wesentlichen ebenfalls rechteckförmigen Speicherchips mit ihren kürzeren Seite in einer Reihe in der Längsrichtung der Schaltungsplatte so angeordnet sind, dass die längeren Seiten der Halbleiterchips parallel zueinander und senkrecht zur Längsrichtung der Schaltungsplatte verlaufen.

**[0002]** Derartige Speichermodule mit Pins auf beiden Seiten sind beispielsweise DIMMs (DIMM = Dual-In-Line-Memory-Module). Solche bestehende DIMMs, wie z. B. ein RDIMM (RDIMM = Registered DIMM) mit 184 Pins und ein UDIMM (UDIMM = Unbuffered DIMM) mit einer Länge bzw. Weite von 5,25 in (13,33 cm), sollten eine Breite bzw. Höhe von weniger als 1,2 in (3,048 cm) oder vorzugsweise von weniger als 1,125 in (2,85 cm) haben. Angestrebt wird unter Einhaltung dieser Abmessungen die Unterbringung von 36 DRAMs auf einer PCB (PCB = Printed Circuit Board bzw. Schaltungsplatte).

**[0003]** Bisher werden DRAMs (DRAM = Dynamic Random Access Memory bzw. dynamischer RAM bzw. Schreib/Lese-Speicher) in sogenannten TSOP-Gehäusen (TSOP = Thin-Small-Outline-Package) untergebracht, die ein Stapeln bzw. "stacking" erlauben. Dies bedeutet, dass hier zwei DRAMs aufeinander montiert werden können, wobei jeweils die Pins miteinander verbunden sind. Damit ist es beispielsweise möglich, 36 DRAMs beidseitig auf einer PCB mit Lotpads für 18 DRAMs auf jeder Oberflächenseite unterzubringen. Zukünftige DRAMs, wie beispielsweise DDR333 (DDR = Double-Data-Rate) werden für eine bessere elektrische Performance in BGA-Gehäusen (BGA = Ball-Grid-Array) vorgesehen, welche sich aber auf einfache Weise nicht stapeln lassen. Eine Vielzahl von 36 Chips lässt sich aber auf einem Modul auf einer geraden Strecke ohne Stapeln nicht unterbringen.

**[0004]** Module, die kein Stapeln der Speicherchips erfordern, verwenden dafür zwei im Abstand übereinander gelagerte Sub- bzw. Unter-PCBs in beispielsweise der sogenannten FEMMA-Technologie (FEMMA = Flexible Memory Module Assembly). Hier sind also letztlich zwei PCBs übereinander gestapelt, die jeweils beidseitig mit DRAMs versehen sind.

**[0005]** Beim Aufbau eines Moduls mit beispielsweise 36 DRAMs darf die Leitungslänge zwischen den DQ-Anschlüssen und den jeweiligen Pins nicht zu groß sein, da sonst Laufzeit- und Widerstandsprobleme auftreten können. So sollte dieser Abstand auf jeden Fall kleiner als etwa 1000 mil (25,4 mm; 1 mil =  $10^{-3}$  in) sein. Derartige Werte werden selbst mit der FEMMA-Technologie nicht erreicht.

**[0006]** In Speichermodulen mit zwei physikalischen Bänken werden bekanntlich zwei DQ-Anschlüsse von verschiedenen DRAMs zusammengeschaltet und gemeinsam an einen Widerstand angeschlossen, dessen anderer Anschluss mit DQ-Pins eines PCB-Connectors verbunden ist (vgl. JEDEC document: ddrregrev 1\_0.pdf, Seite 11). Mit anderen Worten, ein DQ-Anschluss von einem ersten DRAM und ein entsprechender DQ-Anschluss von einem zweiten DRAM sind miteinander verbunden und gemeinsam über einen Widerstand an einen Pin des PCBs angeschlossen. Ein solcher Widerstand, auch "Stub-Widerstand" genannt, dient

gen darstellt, und zwar genauer der Last der momentan nicht aktiven Bänke, von einem DQ-Signalfad zu entkoppeln. **[0007]** Fig. 4 zeigt hierzu DIMMs 0 bis DIMMs N aus Speicherchips B0, B1, . . . , BN, BN + 1, die jeweils aus einer oder zwei Bänken bestehen können. Jeweils zwei Speicherchips sind über einen Widerstand r mit einem DQ-Bus verbunden, der an einem Speichercontroller MC angeschlossen ist.

**[0008]** Es ist Aufgabe der vorliegenden Erfindung, einen Speichermodul anzugeben, bei dem bei geringer Höhe und kurzen Signalstrecken eine Vielzahl von DRAMs auf einer Schaltungsplatte untergebracht werden kann.

**[0009]** Diese Aufgabe wird bei einem Speichermodul der eingangs genannten Art erfindungsgemäß dadurch gelöst, dass zwischen der Reihe von Speicherchips und der Connectorkante auf der Schaltungsplatte mindestens ein weiterer Speicherchip angebracht ist, dessen längere Seite parallel zur Längsrichtung der Schaltungsplatte ist.

**[0010]** Bei der Erfindung werden also einige Speicherchips mit ihrer Längsrichtung senkrecht zu den in üblicher Weise auf der Schaltungsplatte gelegenen Speicherchips angeordnet. Dabei liegen diese einigen Speicherchips zwischen den in üblicher Weise ausgerichteten Speicherchips und der Connectorkante bzw. der die Pins aufweisenden Seite des Speichermoduls.

**[0011]** Auf diese Weise wird der Abstand zwischen den DQ-Anschlüssen der Speicherchips und der Connectorkante des PCBs auf höchstens etwa 990 mil (2,51 cm) eingeschränkt. Der resultierende Signalfad erweist sich so jedenfalls als kürzer als bei anderen Lösungen, wie insbesondere bei der FEMMA-Technik.

**[0012]** Diese kurze Signalstrecke wird erreicht, indem die einigen Speicherchips, die zu den in üblicher Weise gelegenen Speicherchips um  $90^\circ$  gedreht sind, weshalb sie weiter unten auch als gedrehte Speicherchips bezeichnet werden, mit ihrer Längsrichtung parallel zur Längsrichtung der Schaltungsplatte ausgerichtet werden. Dadurch liegen diese gedrehten Speicherchips mit der Ausdehnung ihrer Breite und nicht ihrer Länge zwischen den Pins und den in üblicher Weise auf der Schaltungsplatte vorhandenen Speicherchips. Die Signalstrecke ist also letztlich in Folge des quer zu dieser verlaufenden, gedrehten Speicherchips kurz.

**[0013]** Gegebenenfalls ist es möglich, bei dem erfindungsgemäßen Speichermodul auf jeder Seite der Schaltungsplatte beispielsweise jeweils 18 Speicherchips vorzusehen. Die Dicke des so erhaltenen Speichermoduls ist dann jedenfalls geringer als die Dicke von bestehenden Speichermodulen mit Dual-PCB und weniger als bei Verwendung von gestapelten TSOP-Gehäusen.

**[0014]** Bei dem erfindungsgemäßen Speichermodul haben so die einzelnen Speicherchips eine unterschiedliche Orientierung: die in üblicher Weise angeordneten Speicherchips liegen parallel zueinander mit ihrer Längsrichtung senkrecht zur Längsrichtung der Schaltungsplatte. Die gedrehten Speicherchips sind zu diesen parallel gelegenen Speicherchips um  $90^\circ$  verschwenkt und liegen mit ihrer Längsrichtung parallel zur Längsrichtung der Schaltungsplatte. Dadurch ist es möglich, die Signalstrecke erheblich zu verkürzen, wie dies bereits oben erläutert wurde.

**[0015]** Weiterhin kann bei dem erfindungsgemäßen Speichermodul jedem DQ-Anschluss jeweils ein separater Widerstand zugewiesen sein, so dass die DQ-Anschlüsse von zwei verschiedenen Speicherchips jeweils erst nach diesen Widerständen zusammengeführt und an einem Pin angeschlossen sind. Es hat sich gezeigt, dass durch eine derartige "doppelte" Ausführung der Widerstände die Entkopplung weiter verbessert werden kann.

Stub-Widerstandes zu einem DQ-Anschluss ein eigenständiges Merkmal der vorliegenden Erfindung ist. Das heißt, dieses Merkmal kann auch dann vorteilhaft angewandt werden, wenn die Speicherchips nicht in der im Patentanspruch 1 angegebenen Weise zueinander orientiert sind.

[0017] Weitere Komponenten bzw. Hilfsbausteine des Speichermoduls, wie beispielsweise PLL (PLL = Phase-Locked-Loop bzw. phasenverriegelte Schleife) oder Register können zwischen den gedrehten Speicherchips, die sich mit ihrer Längsrichtung parallel zur Längsrichtung der Schaltungsplatte erstrecken, und/oder zwischen den in üblicher Weise angeordneten Speicherchips gelegen sein. Dabei ist die Anordnung der PLL bzw. Register so möglich, dass diese beidseitig oder aber auch nur auf einer Seite der Schaltungsplatte liegen. Ebenso ist es möglich, Register und PLL im Mittenbereich zwischen den einzelnen Speicherchips vorzusehen.

[0018] Nachfolgend wird die Erfindung anhand der Zeichnungen näher erläutert. Es zeigen:

[0019] Fig. 1 eine Draufsicht auf ein erstes Ausführungsbeispiel des erfindungsgemäßen Speichermoduls,

[0020] Fig. 2 eine Draufsicht auf ein zweites Ausführungsbeispiel des erfindungsgemäßen Speichermoduls,

[0021] Fig. 3 ein Blockschaltbild zur Erläuterung der Stub-Widerstände bei dem erfindungsgemäßen Speichermodul und

[0022] Fig. 4 die Verbindung von Speicherchips mit einem Speichercontroller beim Stand der Technik

[0023] Fig. 1 zeigt eine PCB 1, auf der Speicherchips 2 bis 19 mit DQ-Anschlüssen 0 bis 63 und CB-Anschlüssen 0 bis 7 untergebracht sind. Die Zuordnung der DQ-Anschlüsse zu den Speicherchips ist nur beispielhaft. Selbstverständlich kann auch eine vollkommen andere Zuordnung gegeben sein. Außerdem sind noch eine PLL 20 und ein Register 21 etwa in der Mitte der PCB 1 vorgesehen.

[0024] Die Speicherchips 2 bis 19 haben eine Breite b von etwa 8 mm und eine Länge l von etwa 14 bis 16 mm. Der Abstand zwischen den einzelnen Chips beträgt ungefähr 0,5 mm, ein in der Zeichnung oberer Rand zwischen den Speicherchips 2, 3, 6 bis 9 und 10 bis 17 und der "oberen" Kante der PCB 1 misst ungefähr 0,5 mm, während ein unterer Rand zwischen den Speicherchips 4, 5, 14, 15, 18 und 19 und der unteren bzw. Connectorkante 24 der PCB 1 nur 4 mm beträgt. Damit ergibt sich eine Breite bzw. Höhe h der PCB 1 von etwa 27 mm und eine Länge bzw. Weite w von etwa 133 mm. Für die PLL 20 bzw. das Register 21 wird dabei ein Platzbedarf von 17 mm angenommen, während für Kondensatorreihen C ein Platzbedarf von etwa 8 mm unterstellt ist. Widerstandselemente R sind zwischen den Speicherchips 4, 5, 14, 15, 18 und 19 in der Nähe von Pins 22 angeordnet, die sich längs der Connectorkante 24 erstrecken.

[0025] Die Speicherchips 2, 3, 6 bis 9, 10 bis 13, 16 und 17 liegen in üblicher Weise in Längsrichtung der PCB 1 in einer Reihe, wobei die Längsrichtung der einzelnen Speicherchips senkrecht zur Längsrichtung der PCB 1 ist. Erfindungsgemäß sind nun die Speicherchips 4, 5, 14, 15, 18 und 19 senkrecht zu den Speicherchips der "üblichen" Reihe angeordnet, so dass diese gedrehten Speicherchips sich mit ihrer Längsrichtung in der Längsrichtung der PCB 1 erstrecken. Dabei sind die gedrehten Speicherchips 4, 5, 14, 15, 18 und 19 zwischen der Reihe der "üblichen" Speicherchips und den Pins 22 gelegen. Auf diese Weise wird erreicht, dass der längste Abstand zwischen den DQ-Anschlüssen der Speicherchips 2, 3, 6 bis 13, 16 und 17 und der Connectorkante 24 einen Wert von etwa 850 mil (2,16 cm) nicht überschreitet.

[0026] Fig. 2 zeigt eine Draufsicht auf ein weiteres Aus-

Unterschied zum Ausführungsbeispiel von Fig. 1 mit seiner Längsrichtung in der Längsrichtung der PCB 1 liegt, bei dem weiterhin die Widerstandselemente R im unteren Raumbereich vorgesehen sind und bei dem der obere Rand zwischen den Speicherchips 2, 3, 6 bis 13, 16 und 17 und der oberen Kante der PCB 1 nur eine Abmessung von etwa 0,05 mm hat. Für die Höhe h ergibt sich hier ein Wert von 28,5 mm, während die Weite w 132,8 mm beträgt.

[0027] Bei beiden Ausführungsbeispielen der Fig. 1 und 2 können auf der Unterseite der PCB 1 nochmals weitere Speicherchips in gleicher oder ähnlicher Anordnung angebracht sein. Außerdem ist es möglich, mehrere PCBs entsprechend der PCB 1 der Fig. 1 und 2 übereinander zu stapeln. Auch hier können die PCBs beidseitig oder nur auf einer Oberfläche mit Speicherchips usw. belegt sein.

[0028] Fig. 3 zeigt noch ein Blockschaltbild für zwei nebeneinanderliegende Speicherchips, beispielsweise die Speicherchips 4 und 5. Entsprechende DQ-Ausgänge sind hier über Widerstände r mit einem Pin 22 verbunden. Wesentlich ist dabei, dass jedem DQ-Anschluss jedes Speicherchips 4 bzw. 5 ein eigener Widerstand r zugewiesen ist. Bisher liegt ein Widerstand nämlich nur zwischen einem Knoten 23, an dem die DQ-Anschlüsse der beiden Speicherchips 4, 5 zusammengeführt sind, und dem Pin 22, wie dies in Fig. 4 gezeigt ist. Es hat sich aber gezeigt, dass durch die Verwendung von zwei Widerständen r, also der Verbindung eines separaten Widerstandes r mit jedem DQ-Anschluss, eine Verbesserung der Entkopplung zwischen den jeweiligen DQ-Anschlüssen und dem zugehörigen Bus erreicht wird.

#### Bezugszeichenliste

- 1 PCB
- 2 bis 19, B0, B1 . . . Speicherchips
- 20 PLL
- 21 Register
- 22 Pins
- 23 Schaltungsknoten
- 24 Connectorkante
- C1 bis C4 Kondensatoren
- R Widerstandselemente
- r Widerstand
- MC Speichercontroller

#### Patentansprüche

1. Speichermodul aus einer Vielzahl von Speicherchips (2 bis 19), die auf wenigstens einer ersten Oberfläche einer im Wesentlichen rechteckförmigen Schaltungsplatte (1) vorgesehen sind, welche mindestens längs einer eine Connectorkante (24) bildenden Seite Pins (22) aufweist, die über einen Widerstand mit DQ-Anschlüssen der Speicherchips (2 bis 19) verbunden sind, wobei die im Wesentlichen ebenfalls rechteckförmigen Speicherchips (2, 3, 6 bis 13, 16, 17) mit ihren kürzeren Seiten in einer Reihe in der Längsrichtung der Schaltungsplatte (1) so angeordnet sind, dass die längeren Seiten der Speicherchips (2, 3, 6 bis 13, 16, 17) parallel zueinander und senkrecht zur Längsrichtung der Schaltungsplatte (1) verlaufen, **dadurch gekennzeichnet**, dass zwischen der Reihe von Speicherchips (2, 3, 6 bis 13, 16, 17) und der Connectorkante (24) auf der Schaltungsplatte (1) mindestens ein weiterer Speicherchip (4, 5, 14, 15, 18, 19) angebracht ist, dessen längere Seite parallel zur Längsrichtung der Schaltungsplatte (1) ist.
2. Speichermodul insbesondere nach Anspruch 1, da-

pelten DQ-Anschlüssen von zwei verschiedenen Speicherchips (**4**, **5**) jeder der DQ-Anschlüsse über einen separaten Widerstand (r) an einen Pin (**22**) der Connectorkante (**24**) angeschlossen ist (vgl. **Fig. 3**).

3. Speichermodul nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass im Mittenbereich der Schaltungsplatte wenigstens ein Hilfsbaustein vorgesehen ist. 5

4. Speichermodul nach Anspruch 3, dadurch gekennzeichnet, dass der Hilfsbaustein eine PLL (**20**) und/oder wenigstens ein Register (**21**) ist. 10

5. Speichermodul nach Anspruch 4, dadurch gekennzeichnet, dass die PLL (**20**) und das wenigstens eine Register (**21**) mit ihrer Längsrichtung parallel und/oder senkrecht zur Längsrichtung der Schaltungsplatte (**1**) verlaufen. 15

6. Speichermodul nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, dass der längste Abstand zwischen DQ-Anschlüssen der Speicherchips (**2** bis **19**) und der Connectorkante (**24**) 2,16 cm (850 mil) nicht überschreitet. 20

---

Hierzu 3 Seite(n) Zeichnungen

---

25

30

35

40

45

50

55

60

65

- Leerseite -

# Explore Litigation Insights

Docket Alarm provides insights to develop a more informed litigation strategy and the peace of mind of knowing you're on top of things.

## Real-Time Litigation Alerts



Keep your litigation team up-to-date with **real-time alerts** and advanced team management tools built for the enterprise, all while greatly reducing PACER spend.

Our comprehensive service means we can handle Federal, State, and Administrative courts across the country.

## Advanced Docket Research



With over 230 million records, Docket Alarm's cloud-native docket research platform finds what other services can't. Coverage includes Federal, State, plus PTAB, TTAB, ITC and NLRB decisions, all in one place.

Identify arguments that have been successful in the past with full text, pinpoint searching. Link to case law cited within any court document via Fastcase.

## Analytics At Your Fingertips



Learn what happened the last time a particular judge, opposing counsel or company faced cases similar to yours.

Advanced out-of-the-box PTAB and TTAB analytics are always at your fingertips.

## API

Docket Alarm offers a powerful API (application programming interface) to developers that want to integrate case filings into their apps.

## LAW FIRMS

Build custom dashboards for your attorneys and clients with live data direct from the court.

Automate many repetitive legal tasks like conflict checks, document management, and marketing.

## FINANCIAL INSTITUTIONS

Litigation and bankruptcy checks for companies and debtors.

## E-DISCOVERY AND LEGAL VENDORS

Sync your system to PACER to automate legal marketing.