

FILE HISTORY

US 6,233,181

PATENT: 6,233,181

INVENTORS: Hidaka, Hideto

TITLE: Semiconductor memory device with
improved flexible redundancy scheme

APPLICATION NO: US1999251352A

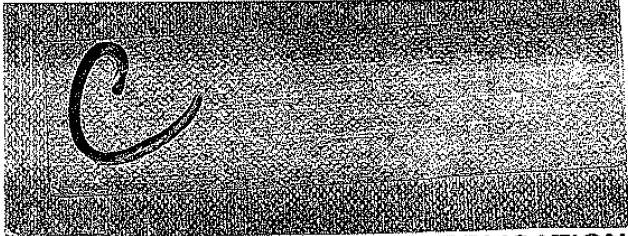
FILED: 17 FEB 1999

ISSUED: 15 MAY 2001

COMPILED: 19 MAR 2015

JCS51 U.S. PTO
09/25/352
02/17/99

365	200
Class	Subclass
ISSUE CLASSIFICATION	



PATENT NUMBER
6233181
6233181

U.S. UTILITY PATENT APPLICATION

SCANNED *BAW* O.A. *RG* PATENT DATE **MAY 15 2001**

SECTOR	CLASS	SUBCLASS	ART UNIT	EXAMINER
	<i>365</i>	<i>200</i>	<i>2824</i>	<i>Tran, Andrea</i>

FILED WITH: DISK (CRF) FICHE
(Attached in pocket on right inside flap)

PREPARED AND APPROVED FOR ISSUE

ISSUING CLASSIFICATION					
ORIGINAL		CROSS REFERENCE(S)			
CLASS	SUBCLASS	CLASS	SUBCLASS (ONE SUBCLASS PER BLOCK)		
<i>365</i>	<i>200</i>	<i>365</i>	<i>230.03</i>	<i>190</i>	<i>225.7</i>
INTERNATIONAL CLASSIFICATION					
<i>G11C</i>	<i>7/00</i>				

4-14-01 Formal Drawings (*31* sheets) set *2-17-99*

<input type="checkbox"/> TERMINAL DISCLAIMER <input type="checkbox"/> a) The term of this patent subsequent to _____ (date) has been disclaimed. <input type="checkbox"/> b) The term of this patent shall not extend beyond the expiration date of U.S. Patent No. _____ <input type="checkbox"/> c) The terminal _____ months of this patent have been disclaimed.	DRAWINGS Sheets Drwg. <i>31</i> Figs. Drwg. <i>66</i> Print Figs. <i>9 and 10</i>			CLAIMS ALLOWED Total Claims <i>7</i> Print Claim for O.G. <i>1</i>	
	ANDREW Q. TRAN PRIMARY EXAMINER <i>[Signature]</i> <i>01/12/01</i> (Primary Examiner) (Date)			NOTICE OF ALLOWANCE MAILED <i>1-16-01</i>	
	<i>Richard's</i> <i>1/30/01</i> (Legal Instruments Examiner) (Date)			ISSUE FEE <i>(W)</i> Amount Due <i>3,240.00</i> Date Paid <i>3-26-01</i>	
				ISSUE BATCH NUMBER <i>A63</i>	

WARNING:
The information disclosed herein may be restricted. Unauthorized disclosure may be prohibited by the United States Code Title 35, Sections 122, 161 and 368. Possession outside the U.S. Patent & Trademark Office is restricted to authorized employees and contractors only.

Form PTO-436A (Rev. 6/98)

(LABEL AREA)
ISSUE FEE IN FILE

(FACE)

6,233,181

SEMICONDUCTOR MEMORY DEVICE WITH IMPROVED FLEXIBLE
REDUNDANCY SCHEME

Transaction History

Date	Transaction Description
2/17/1999	Workflow - Drawings Finished
2/17/1999	Workflow - Drawings Matched with File at Contractor
2/17/1999	Workflow - Drawings Received at Contractor
2/17/1999	Request for Foreign Priority (Priority Papers May Be Included)
2/17/1999	Information Disclosure Statement (IDS) Filed
2/17/1999	Information Disclosure Statement (IDS) Filed
2/23/1999	Initial Exam Team nn
3/8/1999	IFW Scan & PACR Auto Security Review
3/16/1999	Application Dispatched from OIPE
3/24/1999	Case Docketed to Examiner in GAU
10/8/1999	Case Docketed to Examiner in GAU
1/10/2000	Mail Restriction Requirement
1/10/2000	Restriction/Election Requirement
2/10/2000	Response to Election / Restriction Filed
2/15/2000	Date Forwarded to Examiner
4/10/2000	Non-Final Rejection
4/12/2000	Mail Non-Final Rejection
10/11/2000	Response after Non-Final Action
10/11/2000	Request for Extension of Time - Granted
10/20/2000	Date Forwarded to Examiner
1/16/2001	Mail Notice of Allowance
1/16/2001	Notice of Allowance Data Verification Completed
2/21/2001	Workflow - File Sent to Contractor
3/26/2001	Issue Fee Payment Verified
4/14/2001	Workflow - Complete WF Records for Drawings
4/18/2001	Application Is Considered Ready for Issue
4/27/2001	Issue Notification Mailed
5/15/2001	Recordation of Patent Grant Mailed

PATENT APPLICATION



09251352



CONTENTS

INITIALS _____

MAR 05 99 29

Date received
(incl. C. of M.)
or
Date Mailed

Date received
(incl. C. of M.)
or
Date Mailed

1. Application <u>31</u> papers.	42.
2. <u>Pre See Auth</u> 2-17-99	43.
3. <u>IDS</u> 2-17-99	44.
4. <u>Priority Paper</u> 2-17-99	45.
5. <u>Restriction (1 int)</u> 1-10-00	46.
6. <u>Expection</u> 2/10/00	47.
7. <u>Rejection (3 months)</u> 4-12-00	48.
8. <u>Eff of Inve (3)</u> 10-11-00	49.
9. <u>Amend A</u> 10-11-00	50.
10. <u>PTOL-37/Ex Amend B</u> 1/16/01	51.
11.	52.
12.	53.
13.	54.
14.	55.
15.	56.
16.	57.
17.	58.
18.	59.
19.	60.
20.	61.
21.	62.
22.	63.
23.	64.
24.	65.
25.	66.
26.	67.
27.	68.
28.	69.
29.	70.
30.	71.
31.	72.
32.	73.
33.	74.
34.	75.
35.	76.
36.	77.
37.	78.
38.	79.
39.	80.
40.	81.
41.	82.

(LEFT OUTSIDE)

ISSUE SLIP STAPLE AREA (for additional cross references)

PDSITION	INITIALS	ID NO.	DATE
FEE DETERMINATION	D.B.	202008	2/24/99
D.I.P.E. CLASSIFIER		21	3/5/99
FDRMILITY REVIEW		166080	

INDEX OF CLAIMS

- ✓ Rejected
- ≡ Allowed
- (Through numeral) ... Canceled
- + Restricted
- N Non-elected
- I Interference
- A Appeal
- O Objected

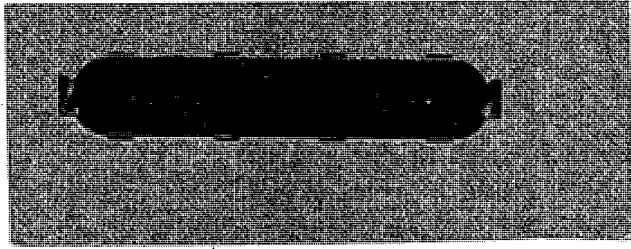
Claim	Final	Original	Date
1	4	07	01
2	5	08	01
3	6	08	01
4			
5			
6	21		11
7	22		11
8	23		11
9	24		11
10			
11			
12			
13			
14			
15			
16			
17			
18			
19			
20			
21			
22			
23			
24			
25			
26			
27			
28			
29			
30			
31			
32			
33			
34			
35			
36			
37			
38			
39			
40			
41			
42			
43			
44			
45			
46			
47			
48			
49			
50			

Claim	Final	Original	Date
51			
52			
53			
54			
55			
56			
57			
58			
59			
60			
61			
62			
63			
64			
65			
66			
67			
68			
69			
70			
71			
72			
73			
74			
75			
76			
77			
78			
79			
80			
81			
82			
83			
84			
85			
86			
87			
88			
89			
90			
91			
92			
93			
94			
95			
96			
97			
98			
99			
100			

Claim	Final	Original	Date
101			
102			
103			
104			
105			
106			
107			
108			
109			
110			
111			
112			
113			
114			
115			
116			
117			
118			
119			
120			
121			
122			
123			
124			
125			
126			
127			
128			
129			
130			
131			
132			
133			
134			
135			
136			
137			
138			
139			
140			
141			
142			
143			
144			
145			
146			
147			
148			
149			
150			

If more than 150 claims or 10 actions
staple additional sheet here

(LEFT INSIDE)



SEARCHED			
Class	Sub.	Date	Exmr.
365	200 230.03 190 208 225.7	04/08/00	at
AS ABOVE (UPDATED)		01/12/01	at

SEARCH NOTES (INCLUDING SEARCH STRATEGY)		
EAST	Date	Exmr.
	04/08/00	at

INTERFERENCE SEARCHED			
Class	Sub.	Date	Exmr.
365	ALL	01/12/01	at

(RIGHT OUTSIDE)



US006233181B1

(12) **United States Patent**
Hidaka

(10) **Patent No.:** US 6,233,181 B1
(45) **Date of Patent:** May 15, 2001

(54) **SEMICONDUCTOR MEMORY DEVICE WITH IMPROVED FLEXIBLE REDUNDANCY SCHEME**

(75) **Inventor:** Hideto Hidaka, Hyogo (JP)

(73) **Assignee:** Mitsubishi Denki Kabushiki Kaisha, Tokyo (JP)

(*) **Notice:** Subject to any disclaimer, the term of this patent is extended or adjusted under 35 U.S.C. 154(b) by 0 days.

(21) **Appl. No.:** 09/251,352

(22) **Filed:** Feb. 17, 1999

(30) **Foreign Application Priority Data**

Jun. 9, 1998 (JP) 10-160466
Oct. 15, 1998 (JP) 10-293421

(51) **Int. Cl.**⁷ G11C 7/00

(52) **U.S. Cl.** 365/200; 365/230.03; 365/190; 365/225.7

(58) **Field of Search** 365/200, 230.03, 365/190, 208, 225.7

(56) **References Cited**

U.S. PATENT DOCUMENTS

5,761,138 * 6/1998 Lee et al. 365/200

5,892,718 * 4/1999 Yamada 366/200

FOREIGN PATENT DOCUMENTS

6-232348 8/1994 (JP) H01L/27:04
6-237164 8/1994 (JP) H03K/19:0948

OTHER PUBLICATIONS

"A Flexible Redundancy Technique for High-Density DRAM's", by Horiguchi, et al., IEEE Journal of Solid State Circuits, vol. 26, No. 1, Jan. 1991, pp. 12-17.

"Ultra LSI Memory", Kiyoo ITO, Advanced Electronics Series I-9, published by Baifukan, pp. 350-371, Nov. 5, 1994.

* cited by examiner

Primary Examiner—Andrew Q. Tran

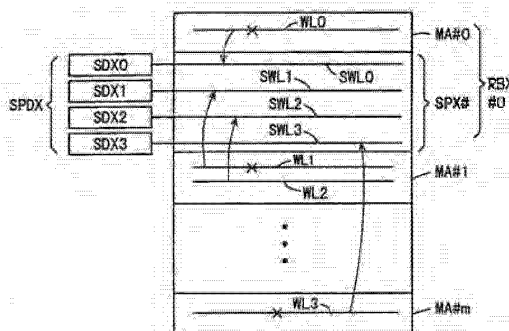
(74) *Attorney, Agent, or Firm*—McDermott, Will & Emery

(57) **ABSTRACT**

A spare memory array having spare memory cells common to a plurality of normal sub-arrays having a plurality of normal memory cells is provided. A spare line in the spare array can replace a defective line in the plurality of normal sub-arrays. The defective line is efficiently repaired by replacement in an array divided into blocks or sub-arrays.

7 Claims, 31 Drawing Sheets

X0	NORMAL MEMORY SUB-ARRAY	MA#0	} RBX#0
SPDX	SPARE ARRAY	SPX#	
X1	NORMAL MEMORY SUB-ARRAY	MA#1; RBX#1	} RBX#1
X2	NORMAL MEMORY SUB-ARRAY	MA#2; RBX#2	
*	*	*	} RBX#m
*	*	*	
Xm	NORMAL MEMORY SUB-ARRAY	MA#m; RBX#m	



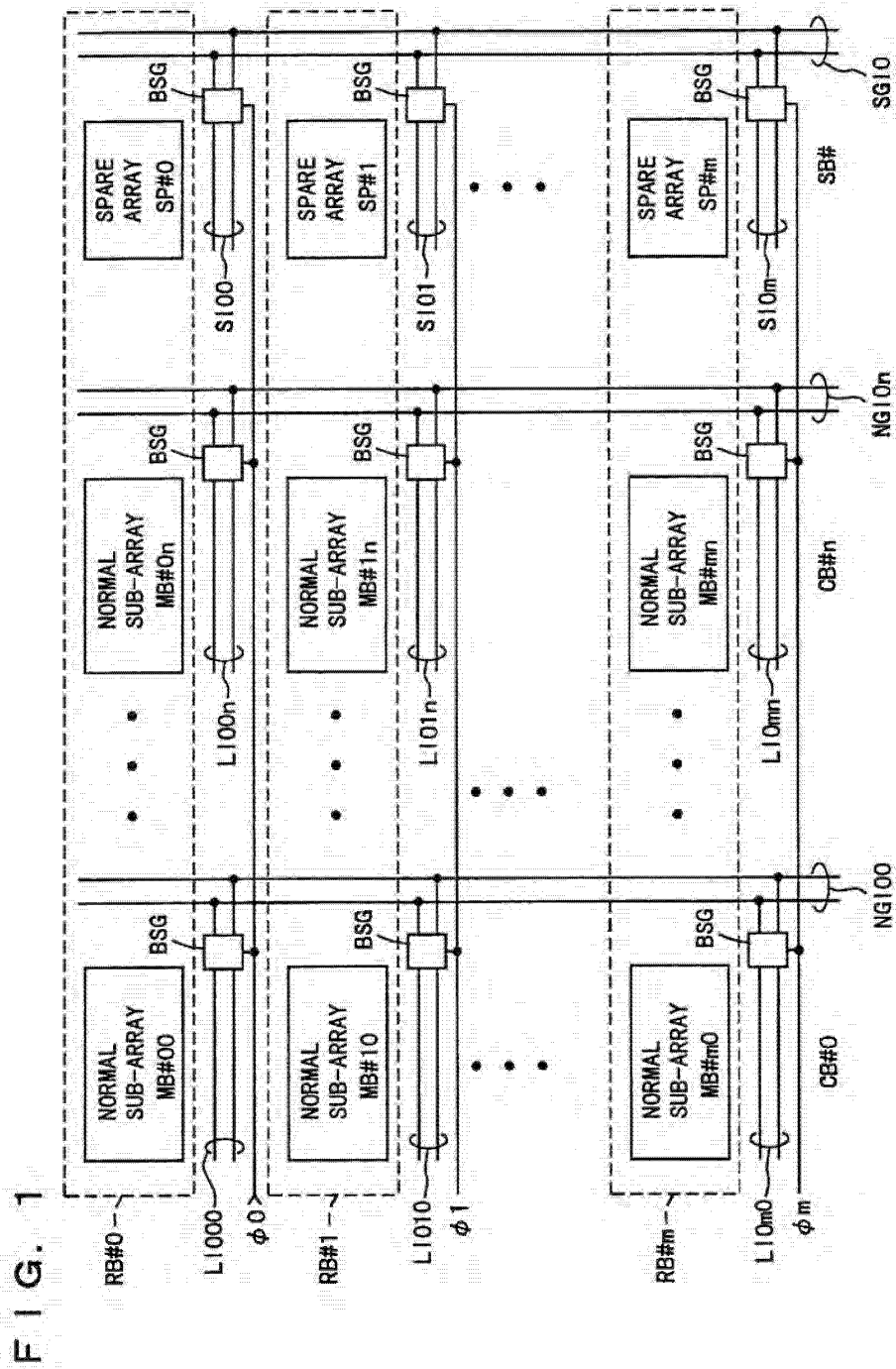


FIG. 2A

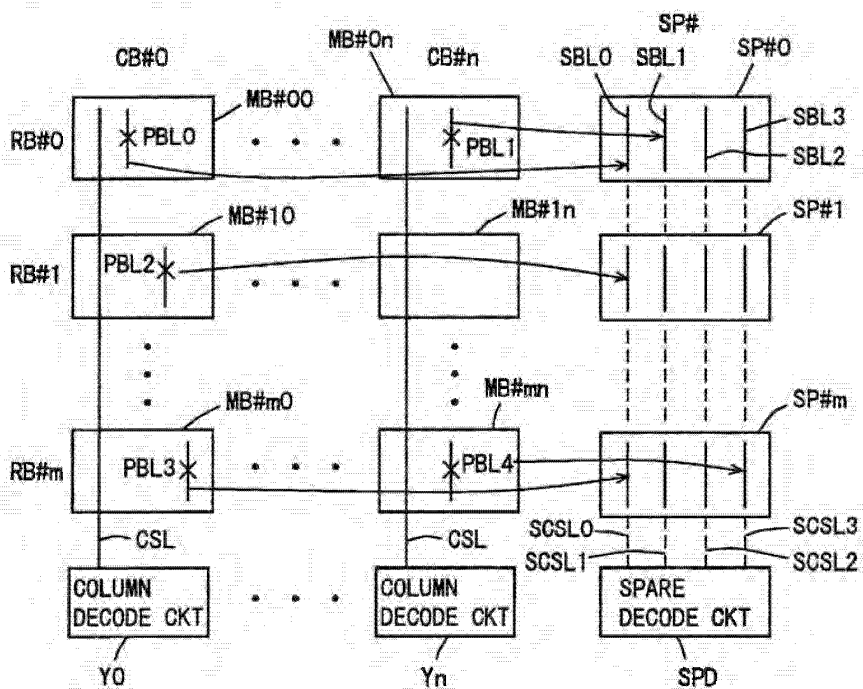


FIG. 2B

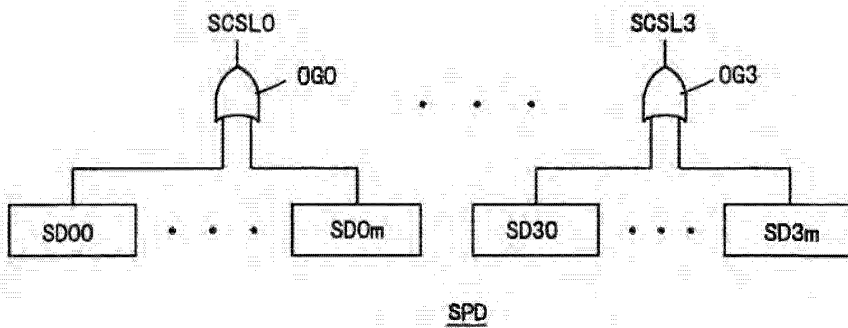


FIG. 3A

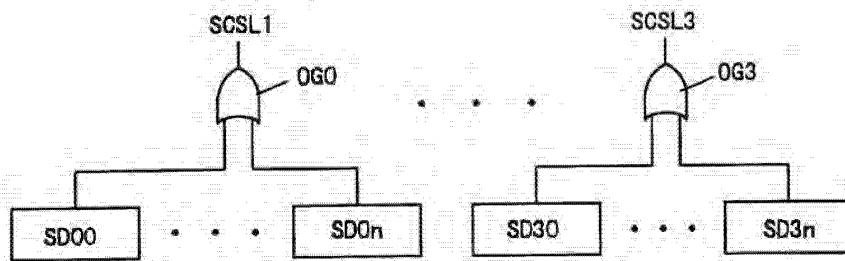


FIG. 3B

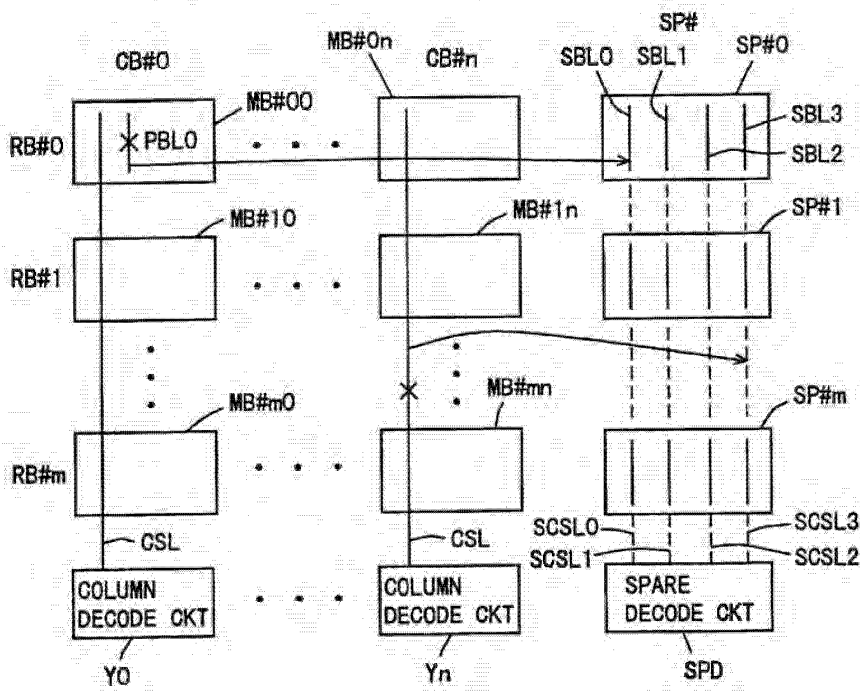


FIG. 4

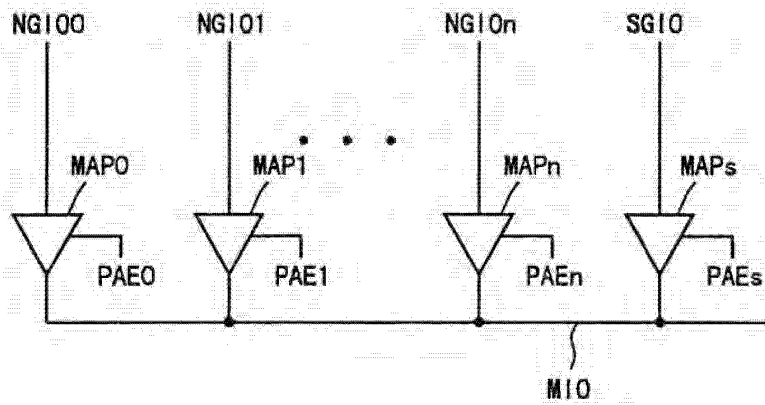
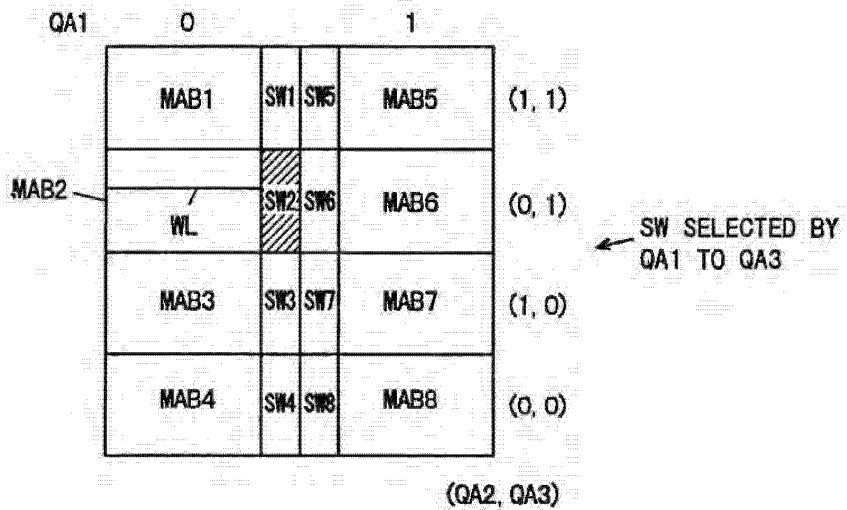


FIG. 24



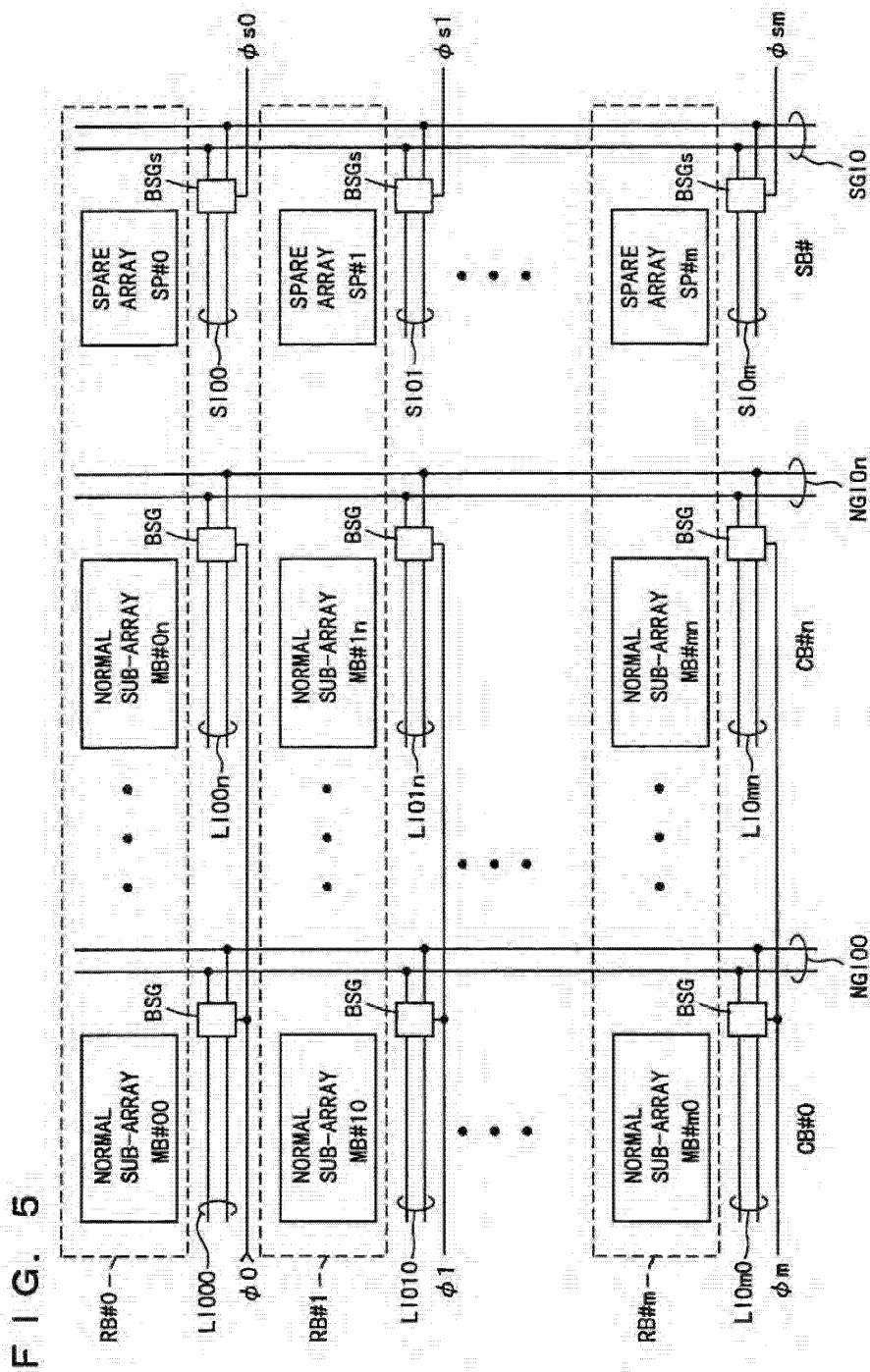


FIG. 5

FIG. 6

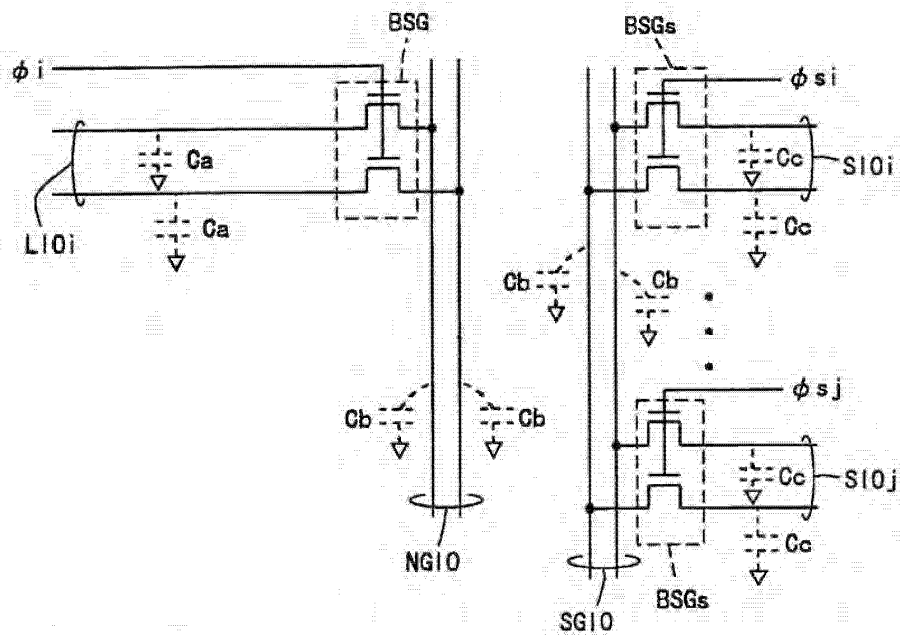


FIG. 7

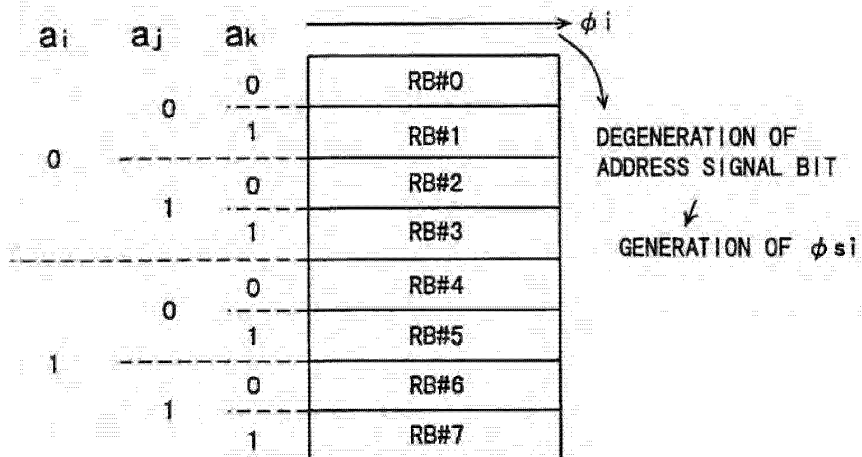


FIG. 8

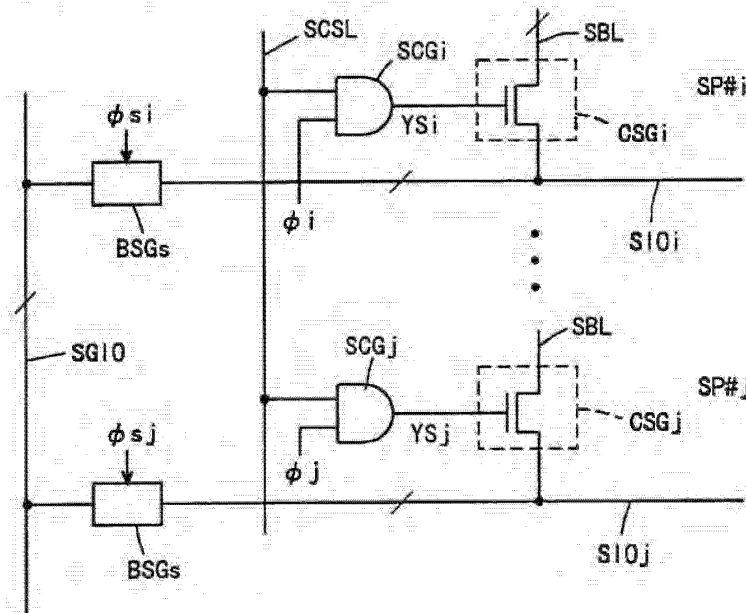


FIG. 9

X0	NORMAL MEMORY SUB-ARRAY	MA#0 } RBX#0
SPDX	SPARE ARRAY	
X1	NORMAL MEMORY SUB-ARRAY	MA#1; RBX#1
X2	NORMAL MEMORY SUB-ARRAY	MA#2; RBX#2
•	•	
•	•	
•	•	
Xm	NORMAL MEMORY SUB-ARRAY	MA#m; RBX#m

FIG. 10

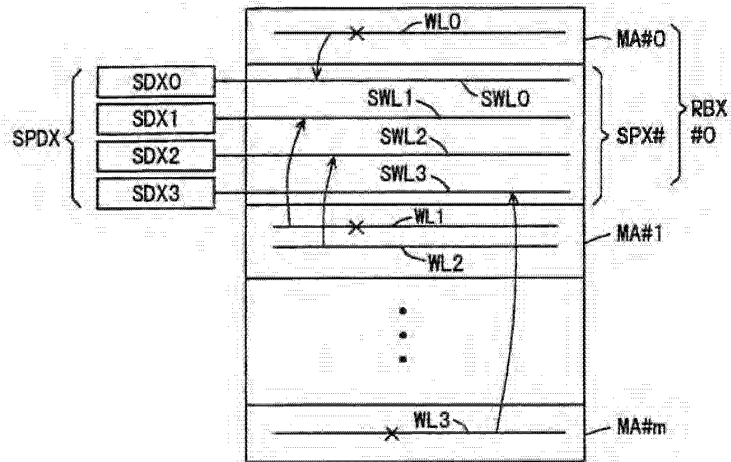


FIG. 11

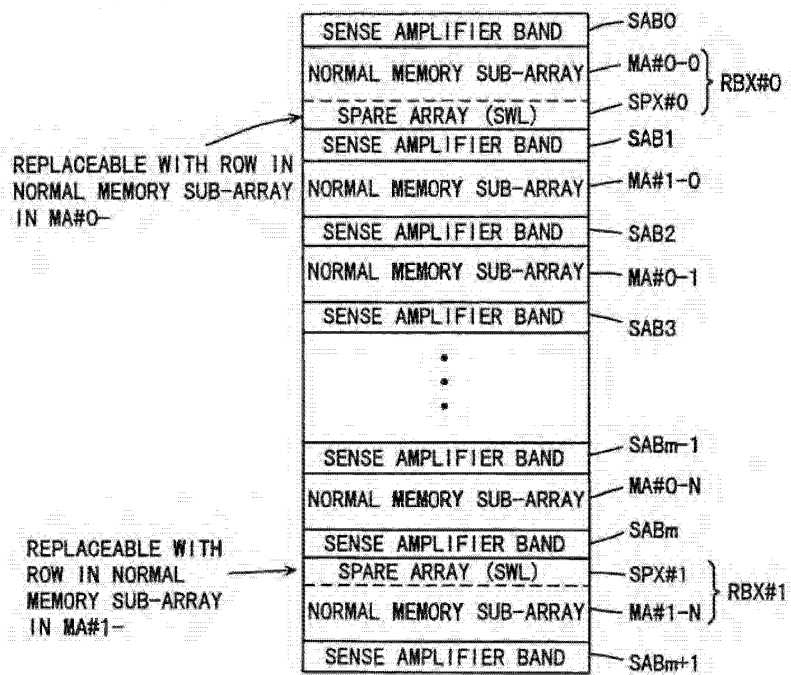


FIG. 12

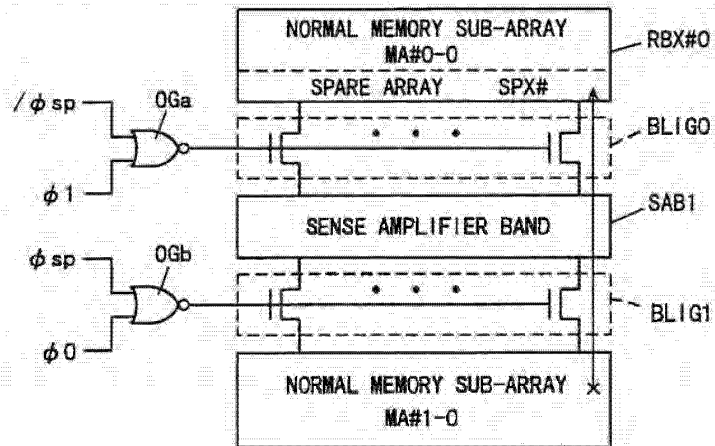


FIG. 13

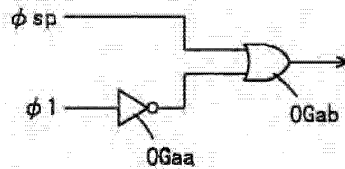


FIG. 14

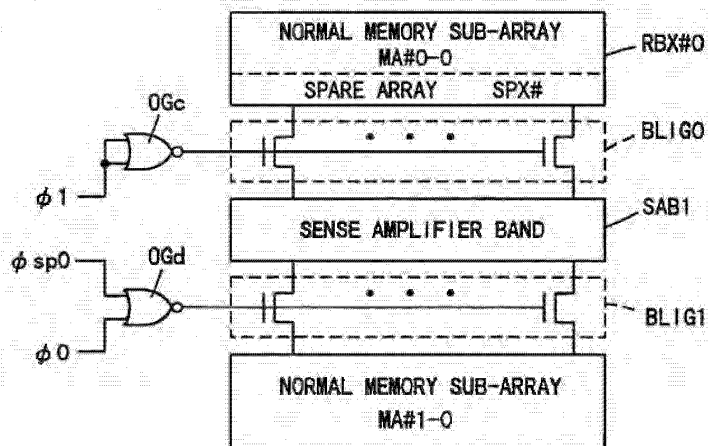


FIG. 15

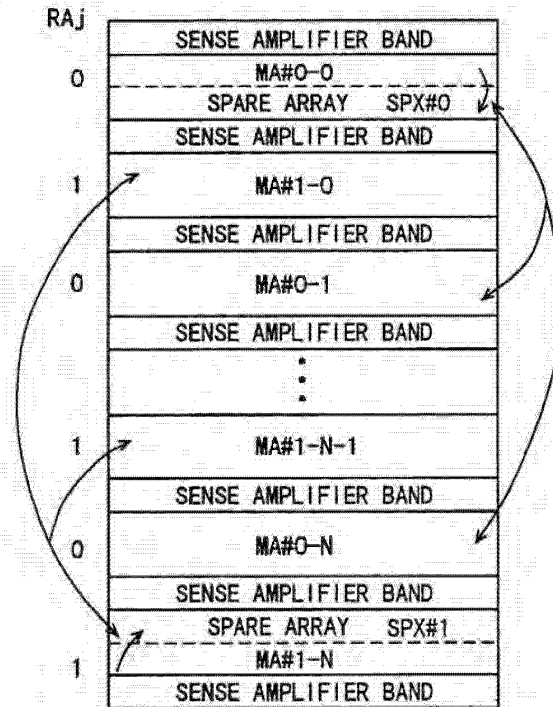


FIG. 16

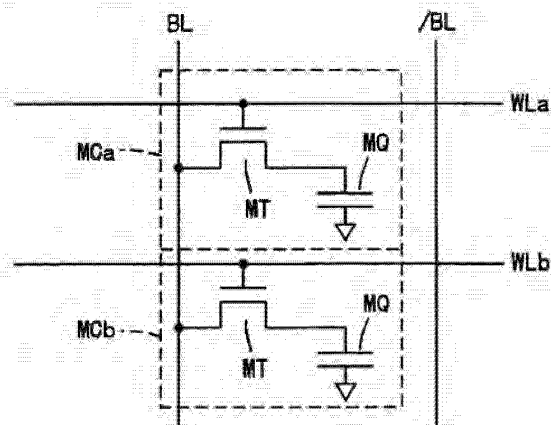


FIG. 17

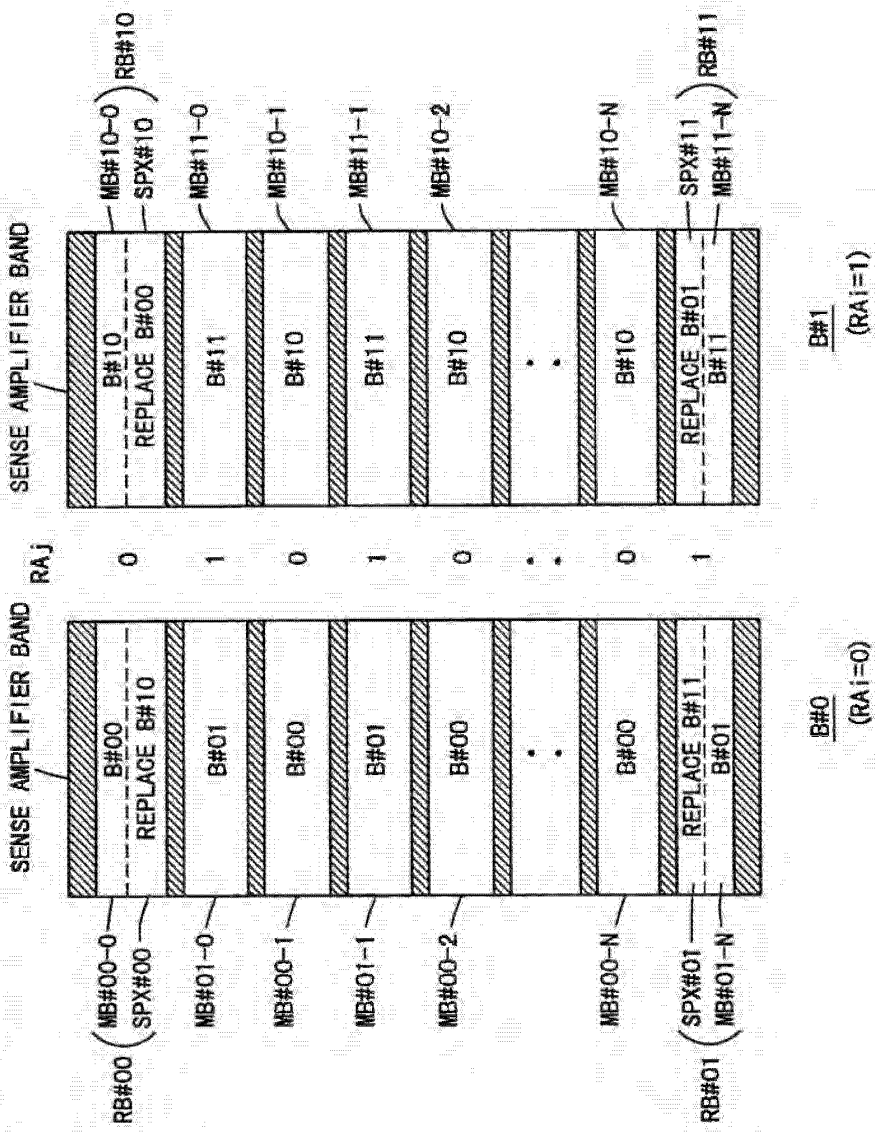


FIG. 18A

IN NORMAL MODE:

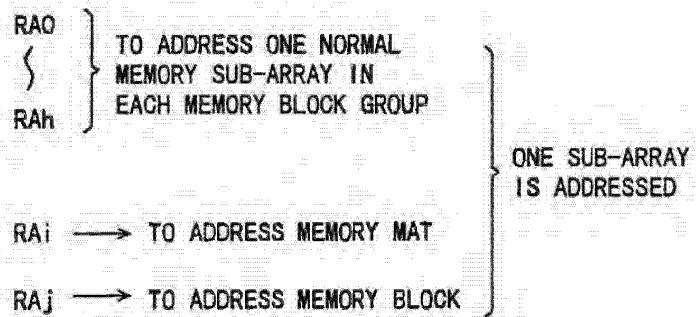


FIG. 18B

IN TEST MODE:

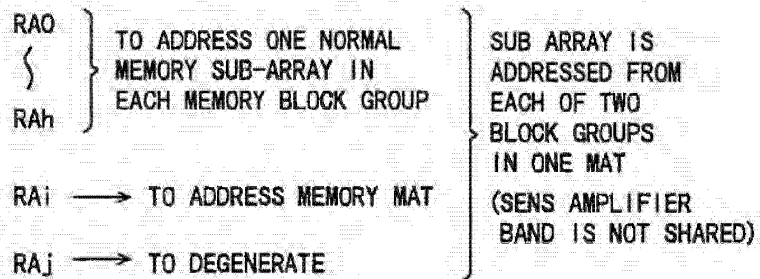


FIG. 19

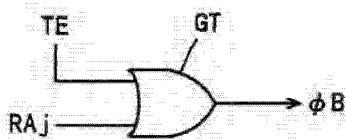


FIG. 20

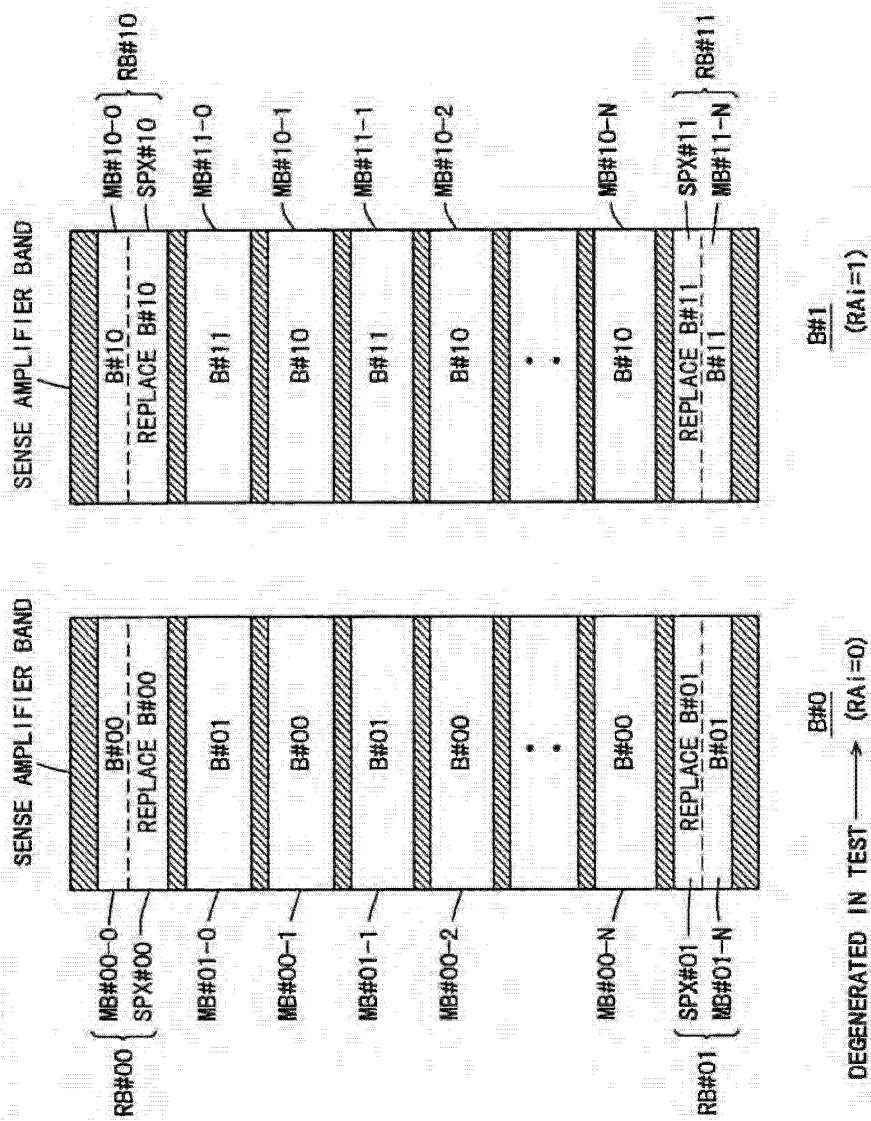


FIG. 21A

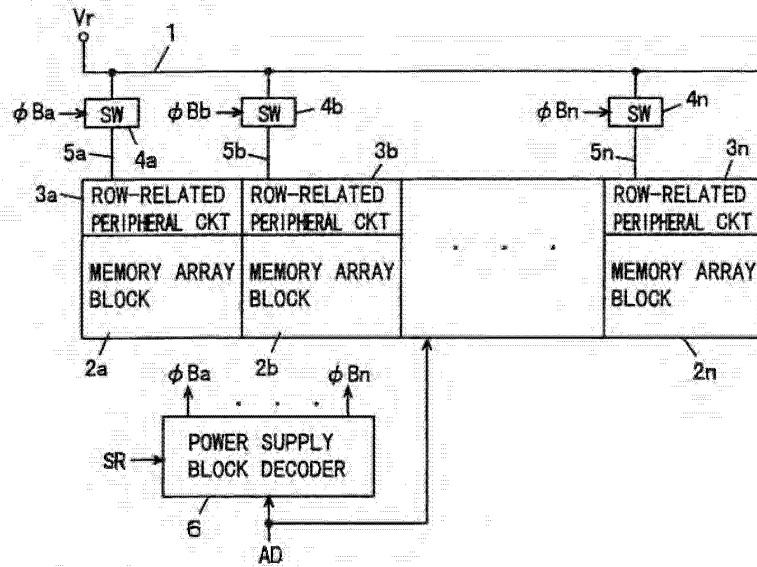


FIG. 21B

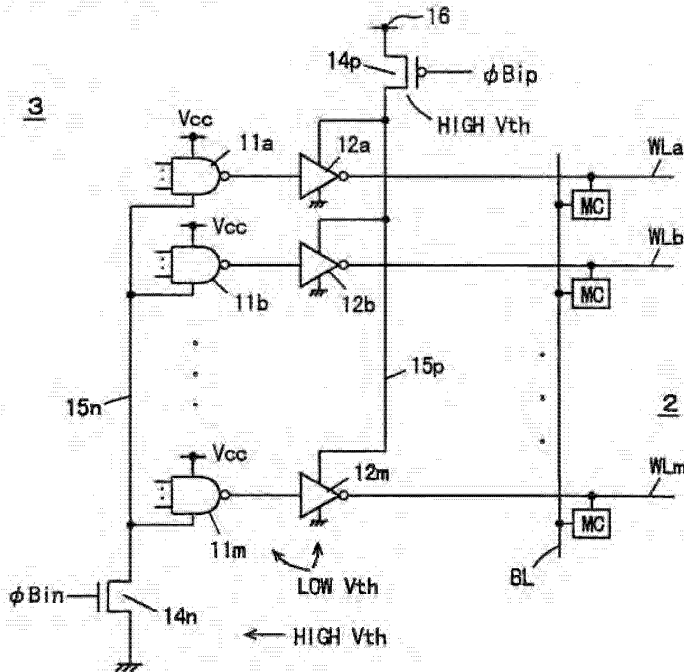


FIG. 22

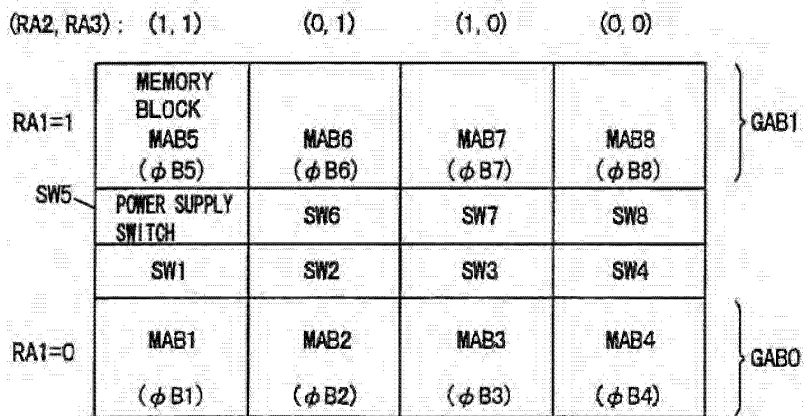


FIG. 23A

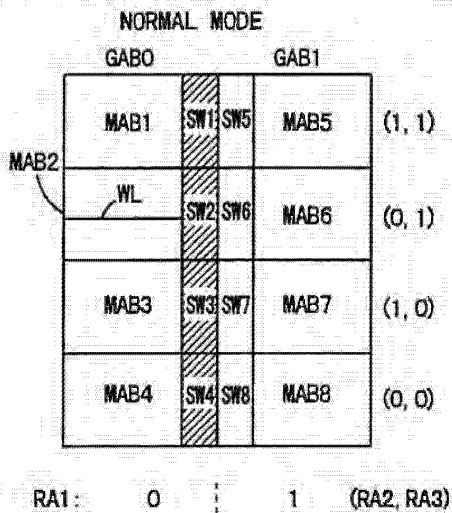


FIG. 23B

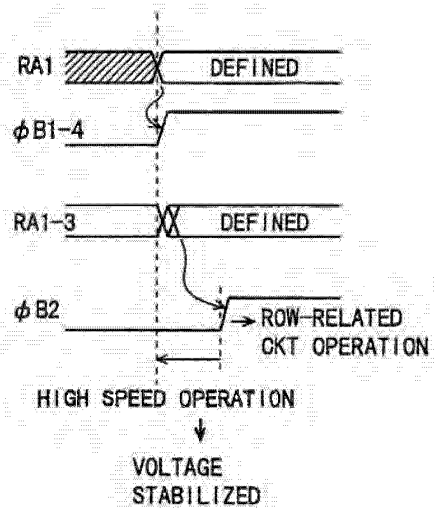


FIG. 25

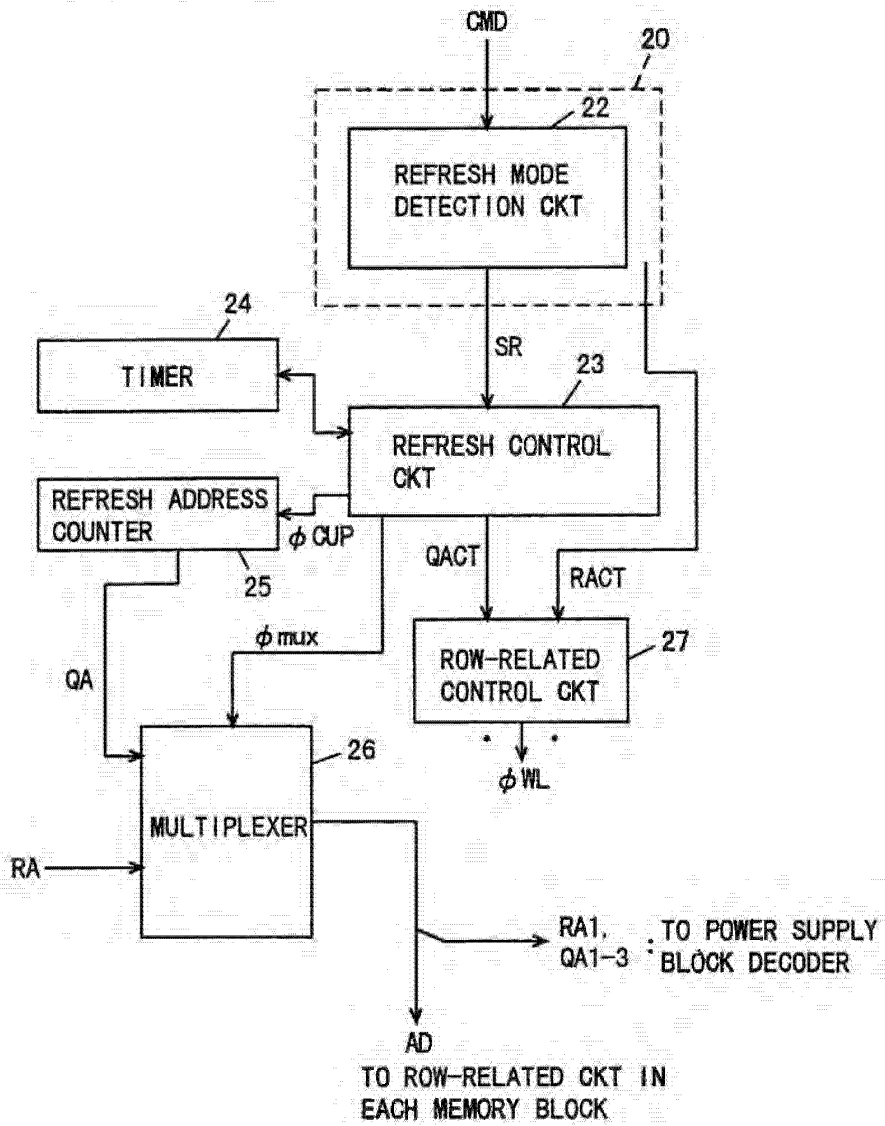


FIG. 26

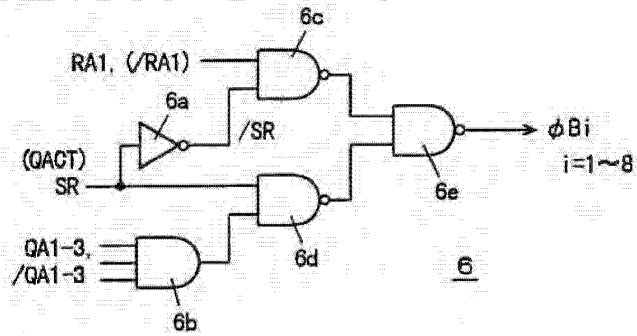


FIG. 27

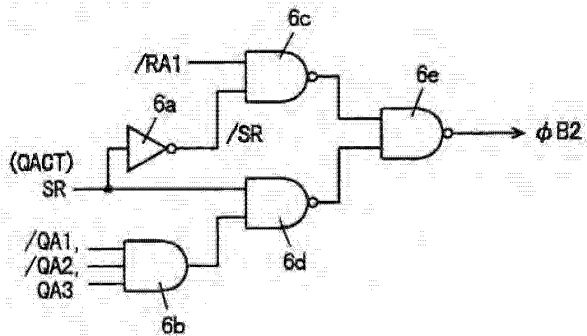


FIG. 28

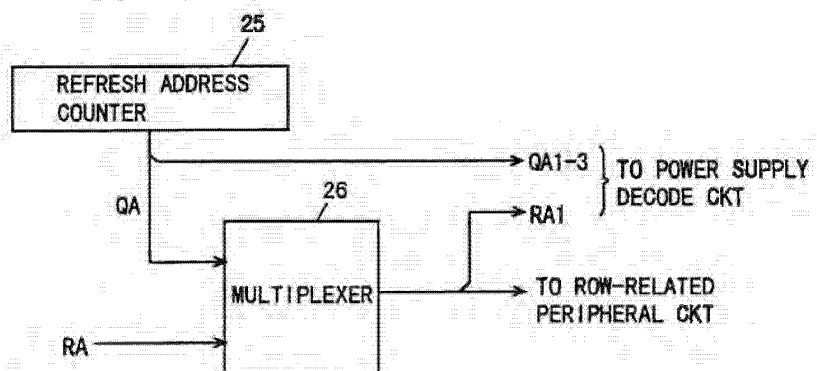


FIG. 29

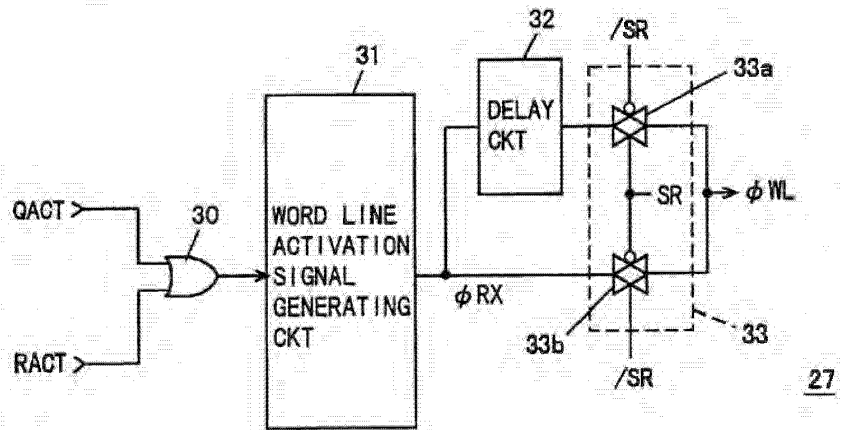


FIG. 30

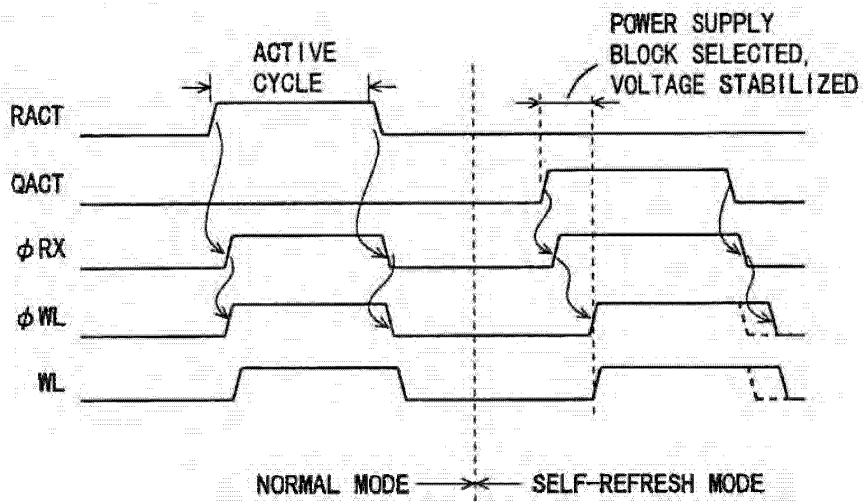


FIG. 31

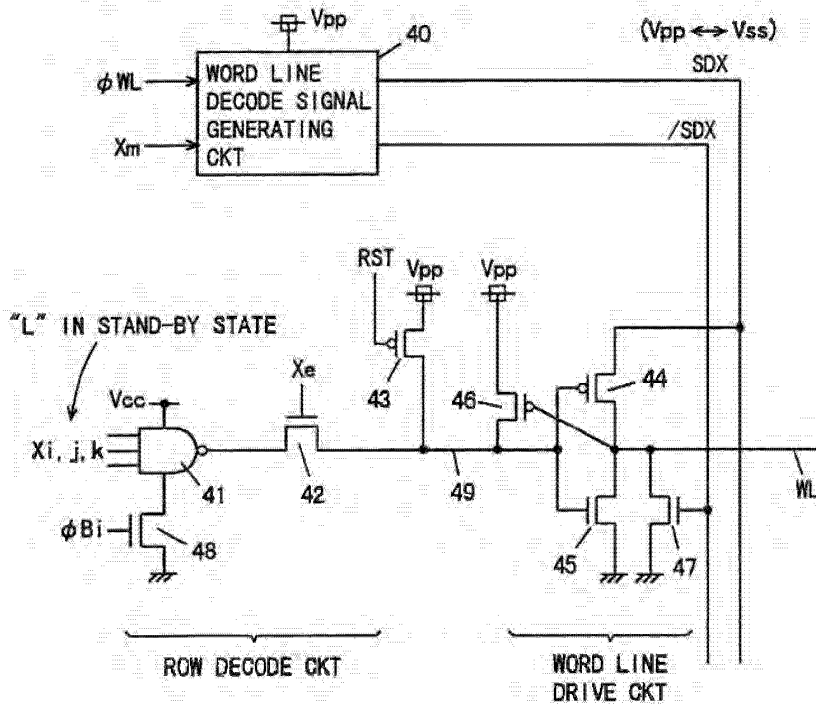


FIG. 32A

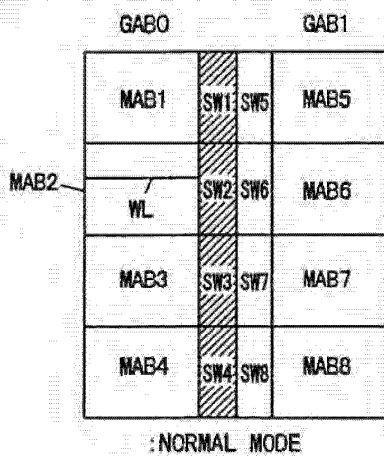


FIG. 32B

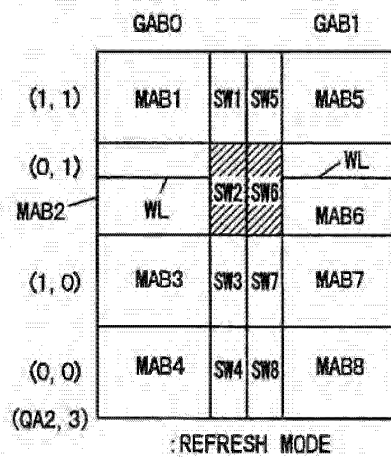


FIG. 33

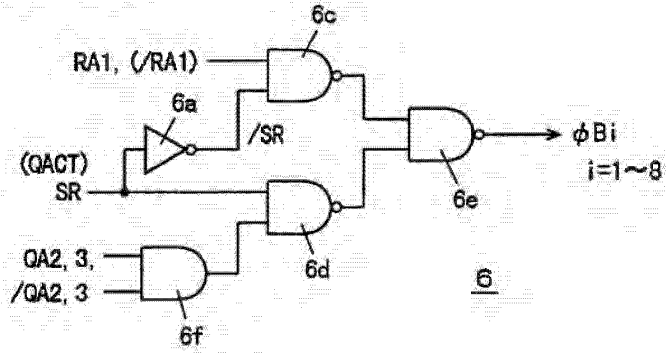


FIG. 34

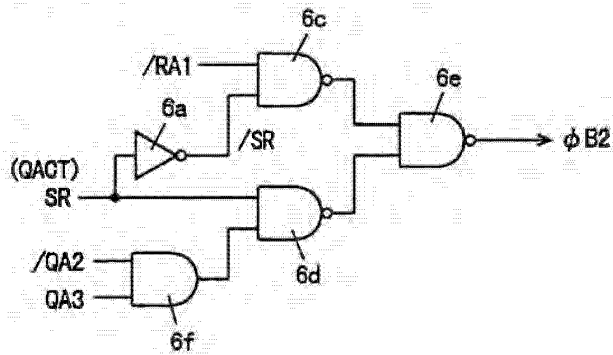


FIG. 35

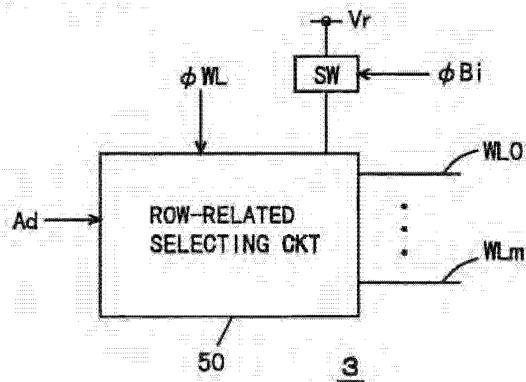


FIG. 36

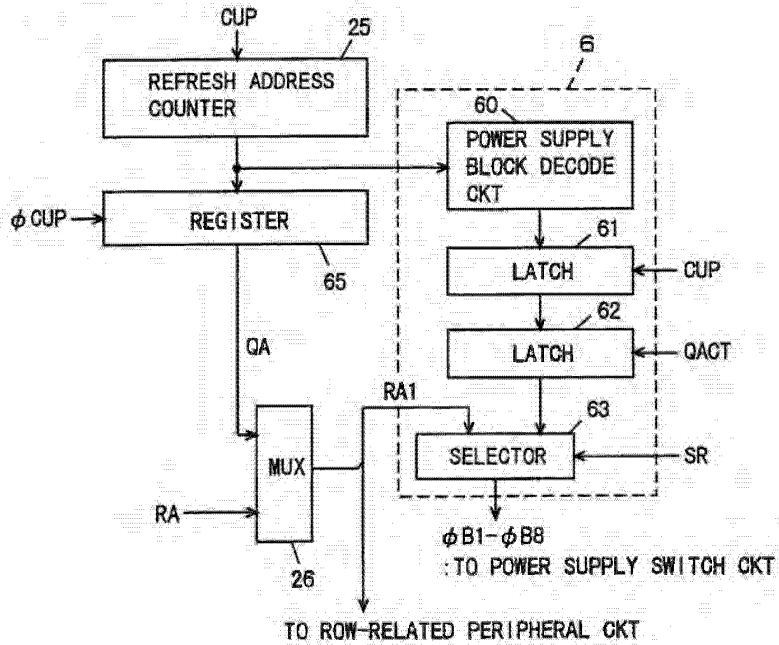


FIG. 37

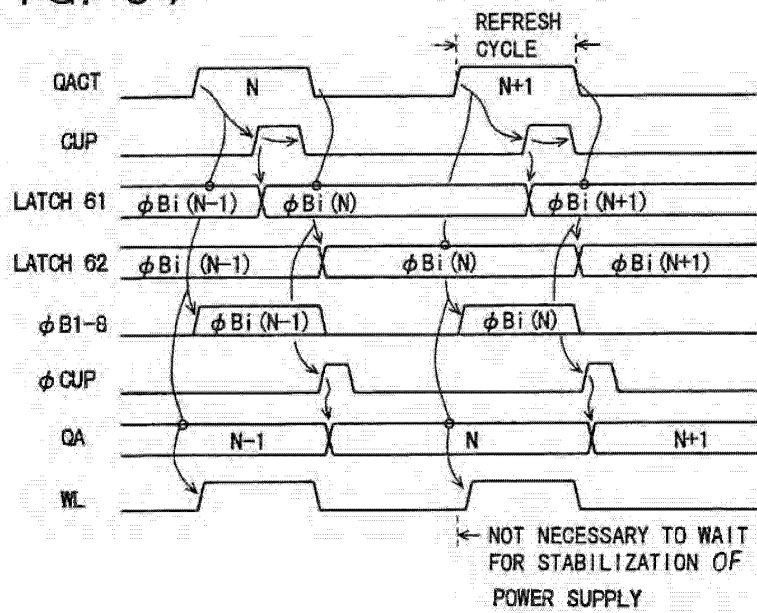


FIG. 38

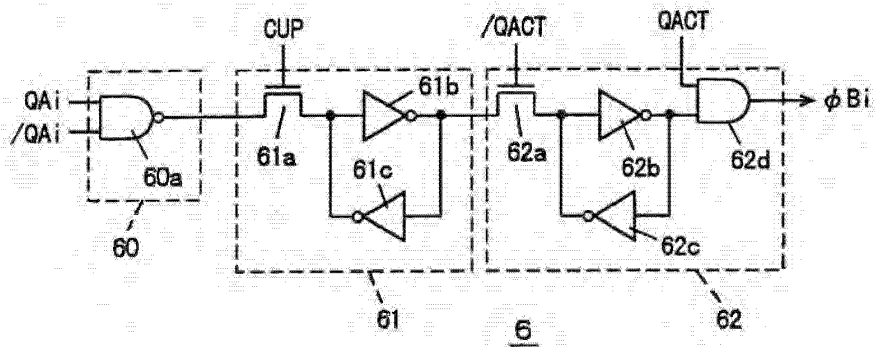


FIG. 39

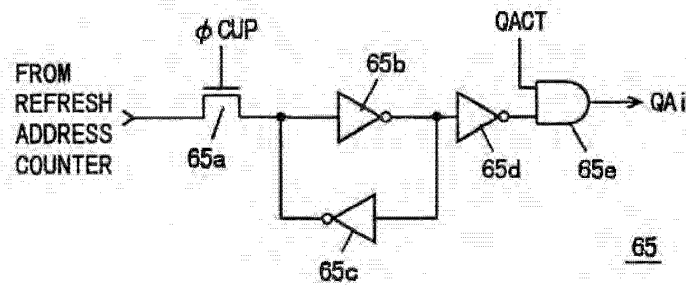


FIG. 40

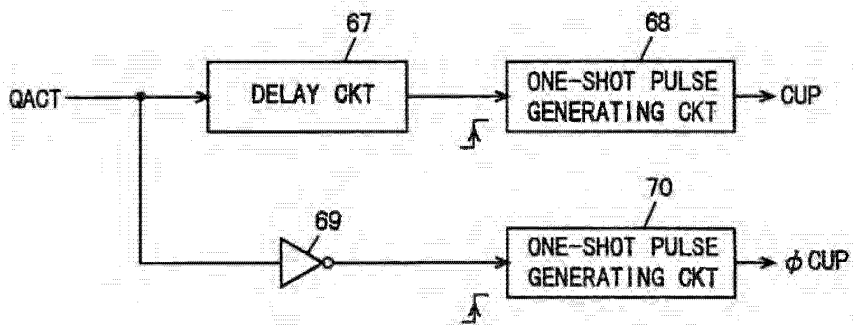


FIG. 41

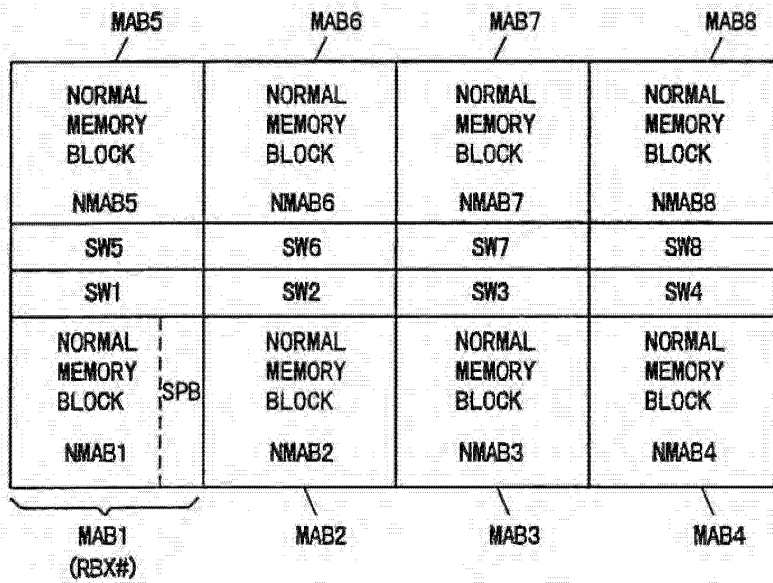


FIG. 42

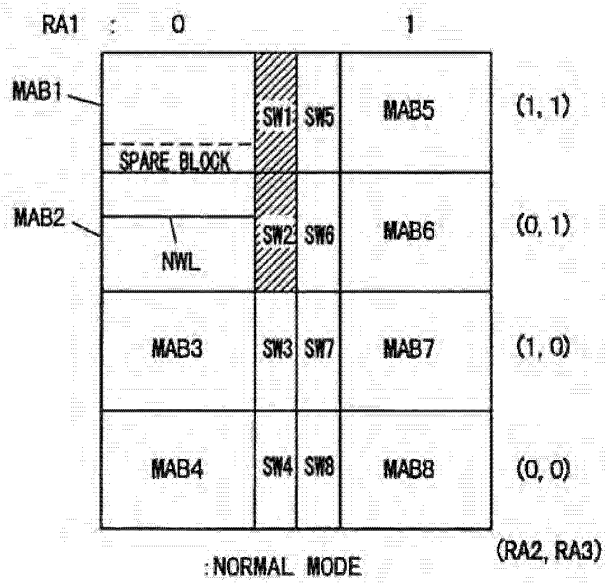


FIG. 43

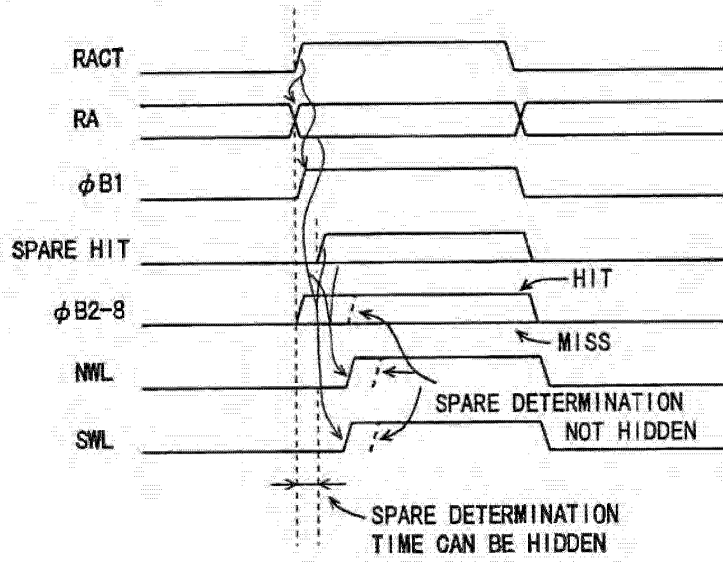


FIG. 44

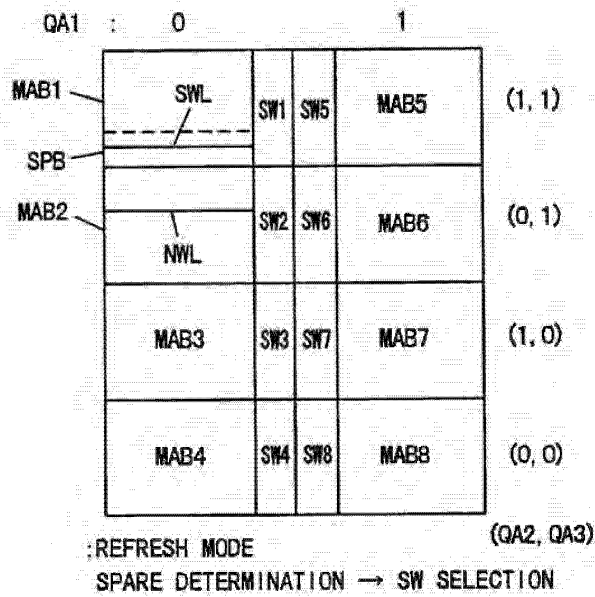


FIG. 45

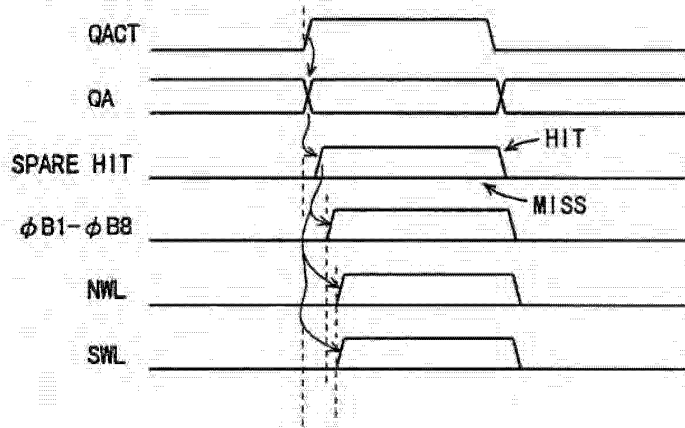


FIG. 46A

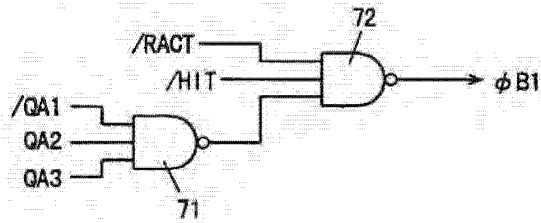


FIG. 46B

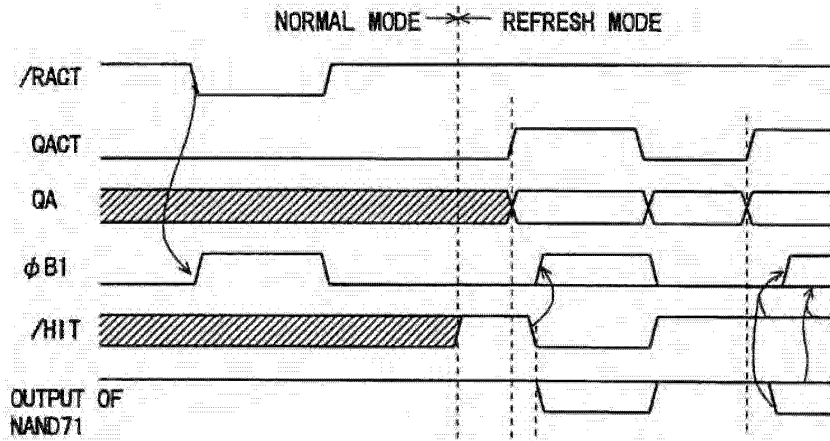


FIG. 47A

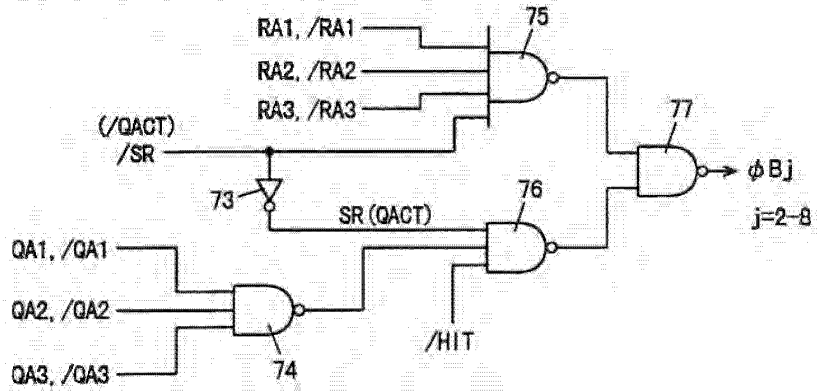


FIG. 47B

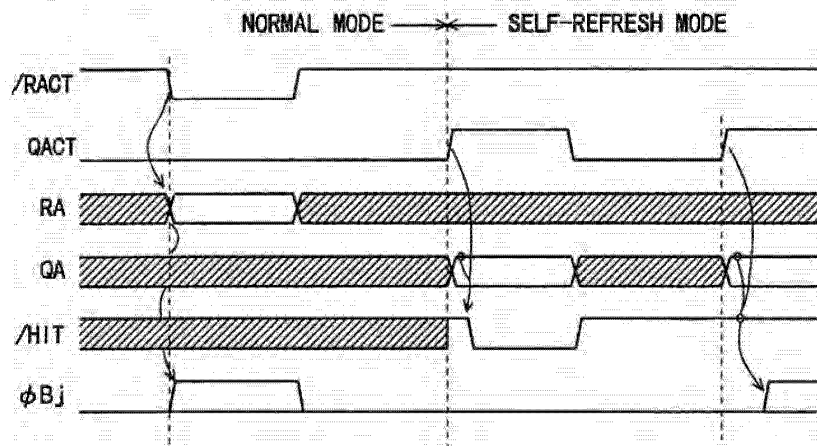


FIG. 48

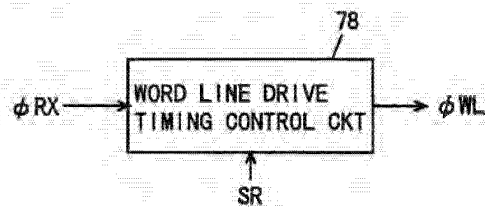


FIG. 49

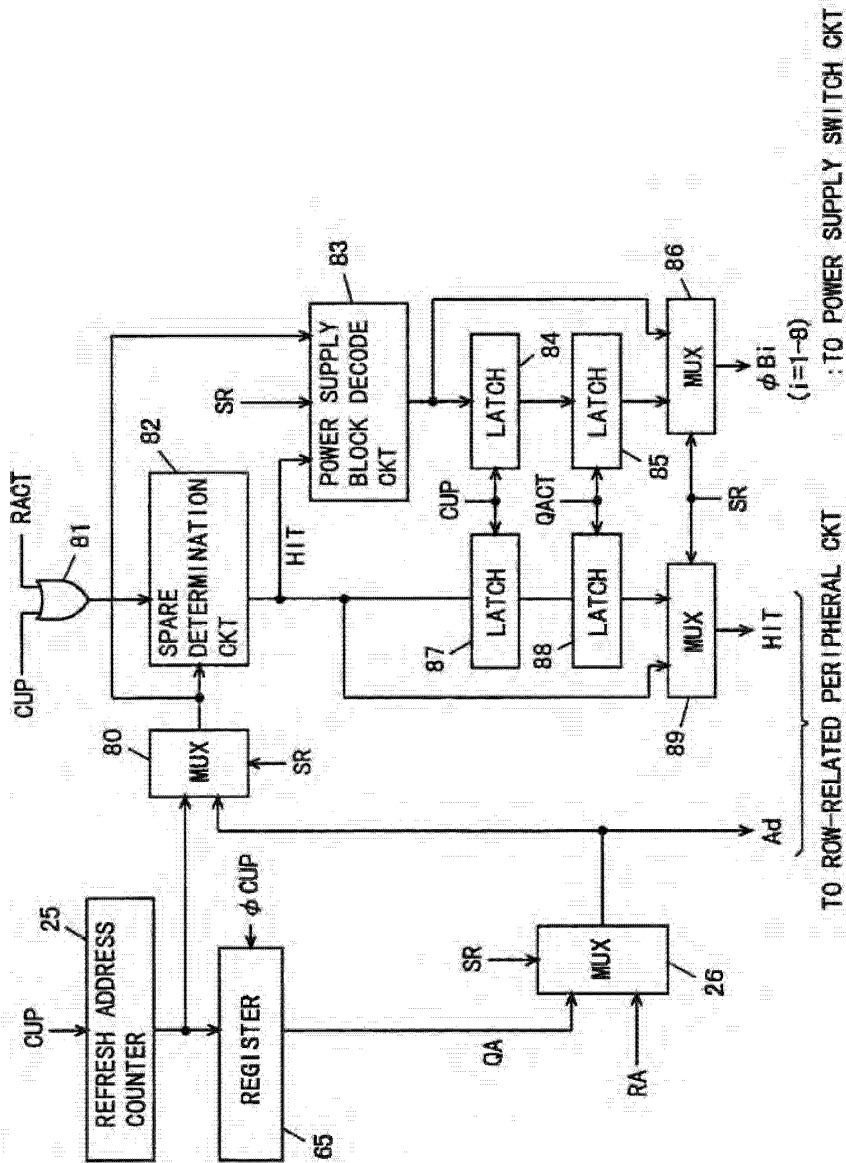
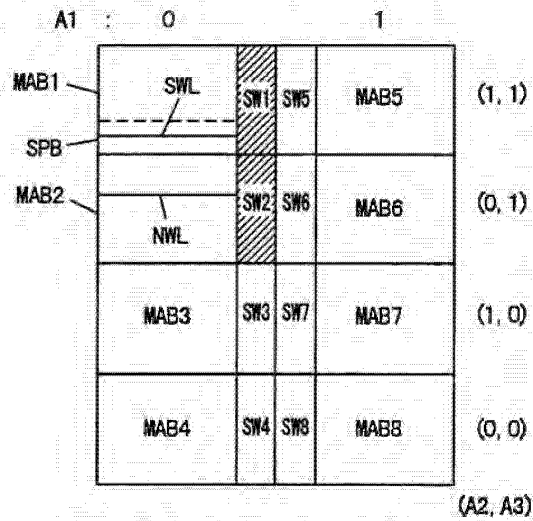
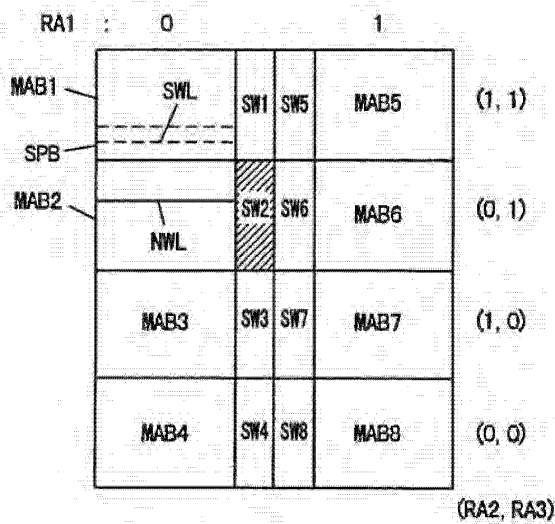


FIG. 50A



: BEFORE SPARE DETERMINATION DEFINED
NORMAL MODE

FIG. 50B



: AFTER SPARE DETERMINATION DEFINED
NORMAL MODE

FIG. 51A

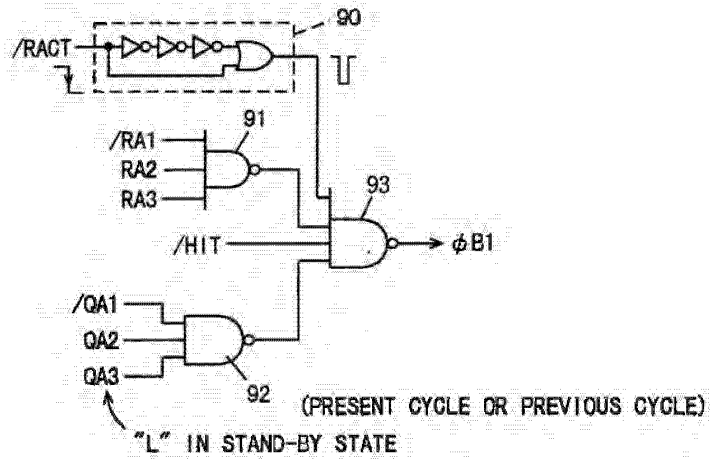


FIG. 51B

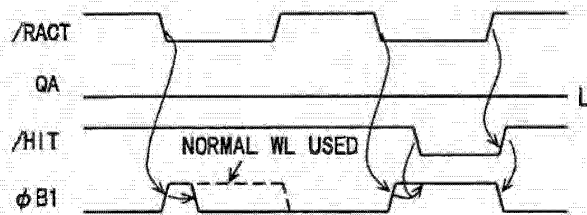


FIG. 52

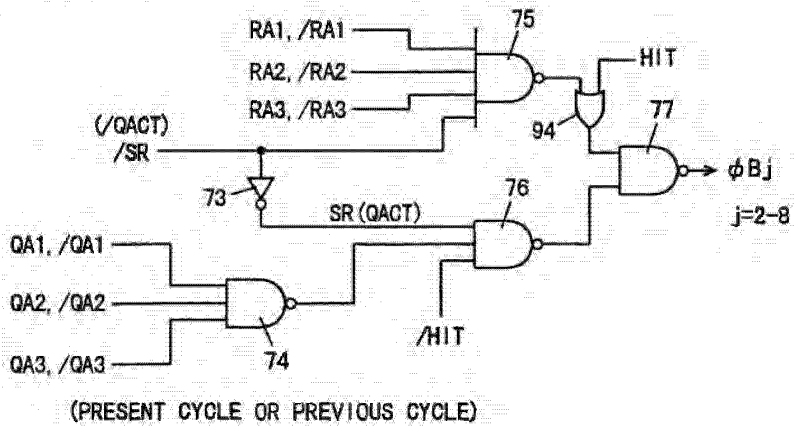


FIG. 53 PRIOR ART

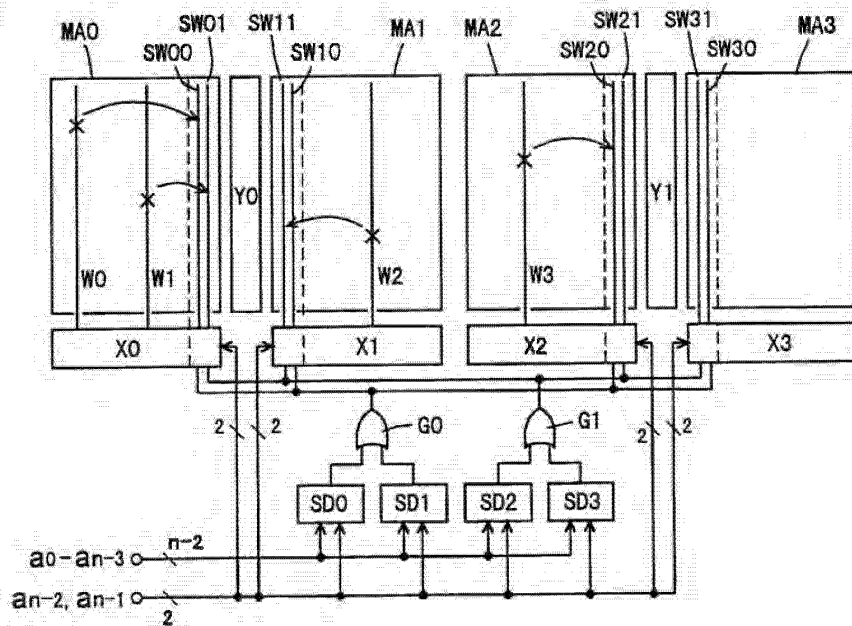


FIG. 54 PRIOR ART

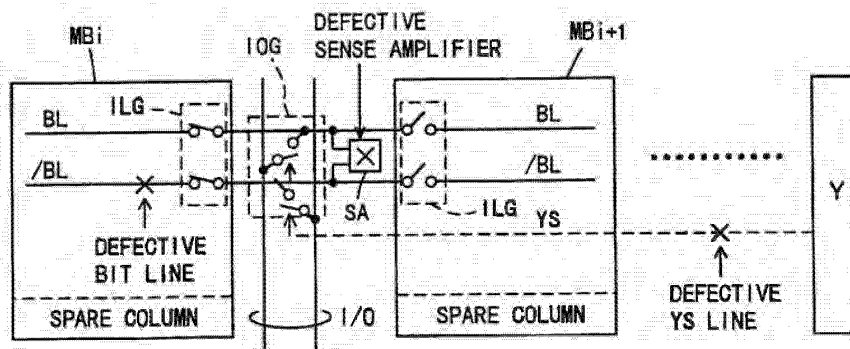


FIG. 55 PRIOR ART

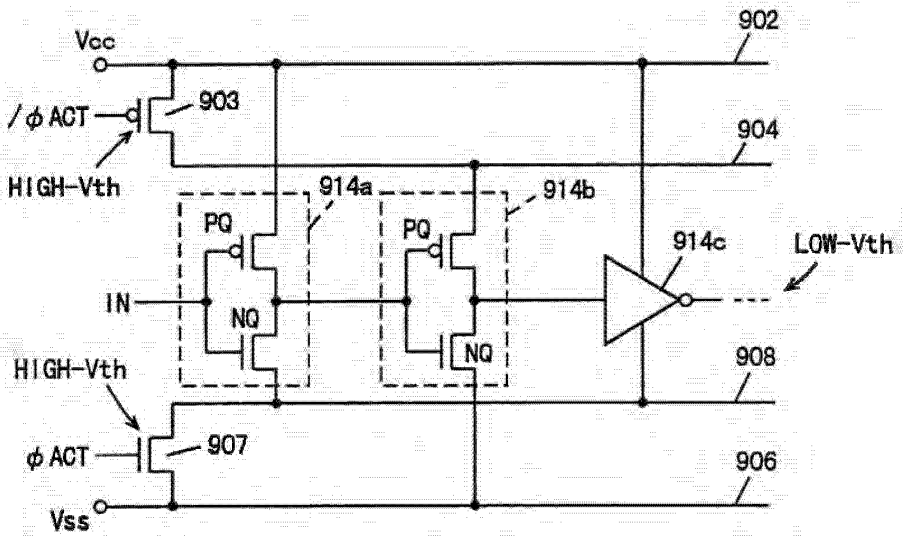
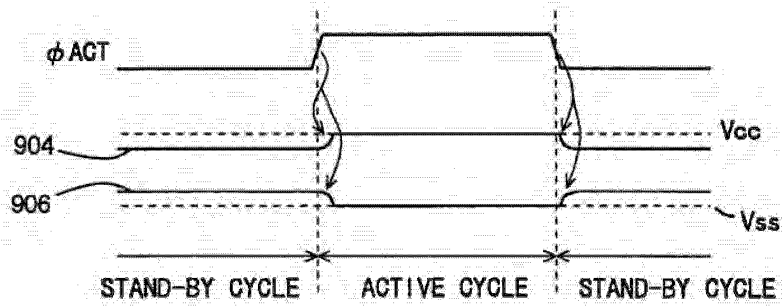


FIG. 56 PRIOR ART



1

**SEMICONDUCTOR MEMORY DEVICE
WITH IMPROVED FLEXIBLE
REDUNDANCY SCHEME**

BACKGROUND OF THE INVENTION

1. Field of the Invention

The present invention relates generally to semiconductor memory devices, and more particularly, to a semiconductor memory device having a memory array divided into a plurality of memory blocks. More specifically, the present invention relates to a redundancy circuit for repairing a defective memory cell in a semiconductor memory device having such an array-divided arrangement and a power supply circuit provided corresponding to each block.

2. Description of the Background Art

In the semiconductor memory device, a defective memory cell is replaced with a spare memory cell in order to equivalently repair the defective memory cell to raise the yield of the products. A flexible redundancy scheme has been proposed in order to improve the use efficiencies of spare lines (word lines or bit lines) and spare decoders for selecting spare lines in a redundancy circuit configuration including spare memory cells (spare word lines and bit lines) for repairing such defective memory cells (see, for example, "A Flexible Redundancy Technique for High-Density DRAM's", Horiguchi et al., IEEE Journal of Solid-State Circuits, Vol. 26, No. 1, January 1991, pp. 12 to 17).

FIG. 53 is a schematic diagram of the general configuration of a semiconductor memory device having a conventional flexible redundancy scheme. In FIG. 53, the semiconductor memory device includes four memory arrays MA0 to MA3. In each of memory arrays MA0 to MA3, a spare word line to repair a defective memory cell row is provided. In memory array MA0, spare word lines SW00 and SW01 are provided, and in memory array MA1, spare word lines SW11 and SW12 are provided. In memory array MA2, spare word line SW20 and SW21 are provided, and in memory array MA3, spare word lines SW30 and SW31 are provided.

Row decoders X0 to X3 each for decoding an address signal to drive a normal word line provided corresponding to an addressed row into a selected state are provided corresponding to memory arrays MA0 to MA3. A column decoder Y0 is provided between memory arrays MA0 and MA1 to decode a column address signal to select an addressed column, and also a column decoder Y1 is provided between memory arrays MA2 and MA3.

The semiconductor memory device further includes spare decoders SD0 to SD3 to store a row address at which a defective memory cell is present, maintain a word line (defective normal word line) corresponding to this defective row address in a non-selected state when the defective row is addressed and drive a corresponding spare word line into a selected state, an OR circuit G0 to receive output signals from spare decoders SD0 and SD1, and an OR circuit G1 to receive output signals from spare decoders SD2 and SD3.

The output signals of OR circuits G0 and G1 are provided in common to spare word line driving circuits included in row decoders X0 to X3. Spare decoders SD0 to SD3 are commonly provided with array address signal bits an-2 and an-1 to address one of memory arrays MA0 to MA3 and with intra-array address signals bits a0 to an-3 to address a row in the memory array. Row decoders X0 to X3 are provided with array address signal bits an-2 and an-1, and a row decoder is activated when a corresponding memory array is addressed. OR circuits G0 and G1 each correspond to two spare word lines provided for each of memory arrays MA0 to MA3.

2

Let us assume that normal word lines W0 and W1 are defective in memory array MA0, that a normal word line W2 in memory array MA1 is defective, and that a normal word line W3 in memory array MA2 is defective. In this state, the address of word line W0 is programmed in spare decoder SD0, while the address of word line W1 is programmed in spare decoder SD2. The address of normal word line W2 is programmed in spare decoder SD3, and the address of normal word line W3 is programmed in spare decoder SD1.

OR circuit G0 selects one of spare word lines SW00, SW10, SW20 and SW30, and the output signal of OR circuit G1 selects one of spare word lines SW01, SW11, SW21 and SW31.

When normal word line W0 is addressed, the output signal of spare decoder SD0 is driven into a selected state, and the output of OR circuit G0 is activated. In this state, array address signal bits an-2 and an-1 activate row decoder X0, and the remaining row decoders X1 to X3 are maintained in a non-active state. Thus, a word line driving circuit included in row decoder X0 drives spare word line SW00 into a selected state in response to the output signal of OR circuit G0. At this time, in row decoder X0, a decode circuit provided corresponding to normal word line W0 is maintained in a non-active state. As a result, defective normal word line W0 is replaced with spare word line SW00.

If defective normal word line W1 is addressed, the output signal of spare decoder SD2 attains an H level in a selected state, the output signal of OR circuit G1 attains an H level, and spare word line SW01 is selected. If defective normal word line W2 is addressed, the output signal of spare decoder SD3 attains an H level in a selected state, the output signal of OR circuit G1 attains an H level, and spare word line SW11 is selected. If defective normal word line W3 is addressed, the output signal of spare decoder SD1 attains an H level in a selected state, and spare word line SW20 is selected by OR circuit G0 accordingly. More specifically, defective normal word lines W0, W1, W2 and W3 are replaced with spare word lines SW00, SW01, SW11 and SW20, respectively.

In this flexible redundancy scheme shown in FIG. 53, a single spare word line can be activated by any of a plurality of spare decoders. For example, spare word line SW20 can be driven into a selected state by spare decoder SD0 or SD1. A single spare decoder can drive any of a plurality of spare word line into a selected state. For example, spare decoder SD0 can drive any of spare word lines SW00, SW10, SW20 and SW30 into a selected state. Thus, the spare word line and spare decoders do not correspond in one-to-one relation, and therefore the spare word lines and spare decoders can be more efficiently utilized. The number of spare word lines and the number of spare row decoders in a single memory array may be selected independently from each other as long as the numbers satisfy the following relation:

$$L \leq R \leq M \cdot l/m$$

wherein M is the number of physical memory arrays, m the number of memory arrays whose defective normal word lines are replaced with spare word lines simultaneously, R the number of spare row decoders, and L the number of spare word lines in a single memory array. More specifically, M/m is the number of memory arrays which are logically independent from one another. As a result, M·L/m represents the number of spare word lines which are logically independent from one another for the entire memory. Herein, the logically independent spare word lines are spare word lines selected by different row addresses. For example, in FIG. 53,

if a normal word line is simultaneously selected in memory arrays MA0 and MA2, memory arrays MA0 and MA2 are not logically independent from each other. In the arrangement shown in FIG. 53, $L=2$, $R=4$, $M=4$ and $m=1$.

By providing a spare row decoder common to memory arrays, a spare decoder does not have to be provided for each of spare word lines, which can restrain the chip area from increasing.

The flexible redundancy scheme shown in FIG. 53 may be employed for repairing a defective column as well. In repairing a defective column, the previously mentioned prior art document describes a method of repairing a defective column where a memory array is divided into a plurality of sub-arrays. The document particularly describes the way of repairing a defective column in multi-divided bit lines in a shared-sense amplifier arrangement and in a shared I/O scheme.

FIG. 54 is a schematic diagram of the configuration of an array portion in a semiconductor memory device according to a conventional flexible redundancy scheme. In FIG. 54, two memory blocks MBI and MBI+1 are shown. Memory blocks MBI and MBI+1 each include a normal bit line pair BL and /BL provided corresponding to each memory cell column and a spare bit line (spare column) for repairing a defective column. In FIG. 54, the spare bit line included in the spare column is not clearly shown.

Normal bit lines BL and /BL at the same column address in memory blocks MBI and MBI+1 share a sense amplifier SA. A bit line isolation gate ILG is provided between sense amplifier SA and memory blocks MBI and MBI+1. Sense amplifier SA is connected to an internal data line pair I/O through an IO gate IOG which conducts in response to a column selecting signal YS from column decoder Y. A memory block including a selected memory cell (MBI, for example) is connected to sense amplifier SA and data is read out therefrom. In this case, a non-selected memory block (MBI+1) is disconnected from sense amplifier SA.

In the above-described shared-sense amplifier arrangement, a defective column address must be programmed for each of defects in normal bit lines, in a single memory block column selecting lines (YS lines) and sense amplifiers SA. For a normal bit line defect, the defective column address is programmed on a memory block basis. For a sense amplifier defect, the defective column address is so programmed as to use a spare column for each of memory blocks MBI and MBI+1 which share this defective sense amplifier. For a column selecting line (YS line) defect, the defective column address is programmed for each of the memory blocks connected to this column selecting line (YS line).

At the time of programming, in order to use a single spare column decoder for a normal bit line defect, a sense amplifier defect and a column selecting line (YS line) defect, "Don't care" is programmed at the time of programming a defective column address, an address to specify a memory block is invalidated, and spare columns are replaced simultaneously in a plurality of memory blocks.

In the previously mentioned document, a defective row is repaired by replacing the defective row with a spare word line provided within a memory array including that defective row. Thus, a spare word line must be provided for each of memory arrays, and the spare word lines are not efficiently utilized. If a defective normal word line in one memory array is replaced with a spare word line in another memory array, the control of the memory array related circuits will be complicated, and therefore such arrangement must be avoided and is not considered at all.

In repairing a defective column, a spare column is provided for each of memory blocks, and spare columns are similarly not efficiently used. Although the shared I/O scheme has been considered for internal data line arrangement, the way to repair a defective column in a memory array having a local/global hierarchical data line arrangement used in a recent block-divided arrangement has never been considered.

Meanwhile, in a conventional CMOS (Complementary MOS) type semiconductor device, the size of components (MOS transistor: insulated gate type field effect transistor) is reduced to increase the integration density. In order to secure the reliability of the components thus miniaturized and to reduce the current consumed by the entire device, the power supply voltage is reduced. In order to allow the components to operate at a high speed, the threshold voltage of the MOS transistor must be lowered depending upon the power supply voltage. This is because if the ratio of the threshold voltage to the power supply voltage is large, the transition timing of the MOS transistor to the on state is delayed. If, however, the absolute value of the threshold voltage is lowered, sub-threshold leakage current to flow through the source-drain region when the MOS transistor is turned off increases. This is for the following reason. The threshold voltage is defined as the gate-source voltage to allow a prescribed drain current to flow. In an n-channel MOS transistor, if the threshold voltage is lowered, the drain current-gate voltage characteristic curve shifts toward the negative direction. The sub-threshold current is represented by the current value when gate voltage V_{gs} in the characteristic curve is 0V, and therefore the sub-threshold current increases as the threshold voltage is lowered.

When the semiconductor device operates, the ambient temperature increases, and the absolute value of the threshold voltage of the MOS transistor is lowered, resulting in more serious sub-threshold current leakage. When this sub-threshold leakage current increases, the DC current of the entire large scale integrated circuit increases, and particularly in a dynamic type semiconductor memory device, the stand-by current (current consumed in a stand-by state) increases.

In order to reduce the sub-threshold leakage current, a multi-threshold-voltage CMOS arrangement is employed.

FIG. 55 is a diagram showing a conventional multi-threshold-voltage CMOS arrangement by way of illustration. In FIG. 55, there are provided a main power supply line 902 transmitting a power supply voltage V_{cc} , a sub-power supply line 904 coupled to main power supply line 902 through a p-channel MOS transistor 903, a main ground line 906 transmitting a ground voltage V_{ss} , and a sub-ground line 908 coupled to main ground line 906 through an n-channel MOS transistor 907. MOS transistor 903 conducts when an activation signal ϕ_{ACT} is at an L level, while MOS transistor 907 conducts when an activation signal ϕ_{ACT} is at an H level. MOS transistors 903 and 907 each have a relatively high threshold voltage (high- V_{th}). The internal circuit operates, with a voltage from one of power supply lines 902 and 904 and a voltage from one of ground lines 906 and 908 used as both operation power supply voltages. In FIG. 55, as the internal circuit, three-stage, cascaded inverter circuits 914a, 914b and 914c are shown. Inverter circuit 914a includes a p-channel MOS transistor PQ having a source coupled to main power supply line 902, and an n-channel MOS transistor NQ having a source coupled to ground line 908. An input signal IN is provided in common to the gates of MOS transistors PQ and NQ. Input signal IN is set to an L level in a stand-by cycle.

5

Inverter circuit 914b operates using voltages on sub-power supply line 904 and main ground line 906 as both operation power supply voltages. Inverter circuit 914c operates with voltages on main power supply line 902 and sub-ground line 908 as both operation power supply voltages. MOS transistors PQ and NQ in each of these inverter circuits 914a to 914c have the absolute values of the threshold voltages set sufficiently small (low-V_{th}). The operation of the circuit shown in FIG. 55 will be now described with reference to FIG. 56.

In a stand-by cycle, input signal IN is set to an L level. Control signal ϕ ACT is at an L level, and control signal $\bar{\phi}$ ACT is at an H level (V_{cc} level). In inverter circuit 914b, MOS transistor PQ turns on, the source and drain thereof are at the same voltage level, and therefore no current is allowed to flow. Meanwhile, MOS transistor NQ is provided with input signal IN at the ground voltage level at its gate and is in an off state. However, the sub threshold leakage current allowed to flow through MOS transistor 907 in an off state is sufficiently reduced, because the threshold voltage of the transistor 907 is high. As a result, the sub-threshold current is reduced even if the threshold voltage of MOS transistor NQ is small. The sub-threshold current allowed to flow through MOS transistor 907 causes the voltage level on sub-ground line 908 to be higher than the ground voltage level, so that the gate-source region of MOS transistor NQ in inverter circuit 914a is set to a reverse bias state, and its sub-threshold current is further reduced.

In inverter circuit 914b, the input signal is at an H level, and MOS transistor NQ is turned on, the source and drain thereof are at the same voltage level and therefore no sub threshold leakage current is generated. Meanwhile, p-channel MOS transistor PQ is provided with a signal at power supply voltage V_{cc} level at its gate to allow sub-threshold leakage current to flow. However, since MOS transistor 903 is in an off state and MOS transistor 903 is a high-V_{th} transistor, the sub-threshold leakage current is sufficiently restrained. Thus, the sub-threshold leakage current in inverter circuit 914b is restrained. The sub-threshold leakage current of MOS transistor 903 causes the voltage level of sub-power supply line 904 to be lower than power supply voltage V_{cc}, and the gate-source region of MOS transistor PQ is reversely biased in inverter circuit 914b, the sub-threshold leakage current of which is further restrained. Similarly to inverter circuit 914a, the sub-threshold leakage current is restrained in inverter circuit 914c.

When an active cycle is started, control signal ϕ ACT attains an H level, control signal $\bar{\phi}$ ACT attains an L level. MOS transistors 903 and 907 are turned on, sub-power supply line 904 is coupled to main power supply line 902, and sub-ground line 908 is coupled to main ground line 906. Thus, these inverter circuits 914a to 914c are supplied with a current from a corresponding power supply line/ground line, their low-V_{th} transistors operate at a high speed, and their output signals are changed according to change in input signal IN.

In the power supply circuit arrangement as shown in FIG. 55, since the logical level of an input signal in a stand-by cycle is previously known, a connection path to a power source line is determined accordingly. If the logical state of input signal IN in a stand-by cycle is not predetermined, the logic gate is coupled to sub-power supply line 904 and sub-ground line 908.

As disclosed in Japanese Patent Laying-Open No. 6-232348, in a DRAM (Dynamic Random Access Memory), circuits having the same circuit configuration such as decode

6

circuits and word line drive circuits are provided. As the storage capacity increases, the number of such circuits significantly increases. In repeating circuitry having repeatedly provided decode circuits and word line drive circuits, a prescribed number of particular circuits (addressed circuits) are selectively driven among the circuits having the same configuration in response to an address signal. If these circuits are formed by low-V_{th} transistors, the power supply circuit arrangement as shown in FIG. 55 (hierarchical power supply arrangement: sub-threshold leakage current reducing circuit) may be employed. In this case, as shown in FIG. 53, activation/inactivation of a power supply to a decoder or a word line driver must be controlled for each of the blocks (because a word line is selected on a block basis.) Control signals ϕ ACT and $\bar{\phi}$ ACT are activated when an active cycle is started. As a result, the number of circuits connected to sub-power supply line 904 or sub-ground line 908 increases, and as the parasitic capacitance increases, it takes longer time until sub-power supply line 904 and sub-ground line 908 are driven to prescribed voltage (V_{cc} and ground voltage V_{ss}) levels and therefore the operation starting timings of the internal circuits should be delayed until these voltages becomes stable, which impedes high-speed accessing operations.

As previously described, when a defective row/column is repaired using a spare decoder, a row/column to be selected is determined after determining if a spare is to be used/not used. In this case, as shown in FIG. 53, if redundancy replacement is performed within the same block, a corresponding power supply circuit (a circuit transmitting any of the power supply voltage and ground voltage) can be selected in response to an address signal to control the connection. If, however, a spare row/column is used for repairing a defective cell in another memory block in the flexible redundancy arrangement, a memory block including a memory cell to be driven into a selected state must be specified according to a spare determination result, the power source voltage (power supply voltage and ground voltage) cannot be driven into a stable state at a high speed, and high speed accessing operations cannot be implemented.

SUMMARY OF THE INVENTION

It is an object of the present invention to provide an array-divided semiconductor memory device including a redundancy circuit, which permits the use efficiency of spare lines (spare word lines and spare bit line pairs) to be significantly improved.

Another object of the invention is to provide an array-divided semiconductor memory device including a redundancy circuit, which permits a defective normal line to be accurately repaired without erroneous operation.

Yet another object of the present invention is to provide an array-divided semiconductor memory device including a power supply circuit without increasing accessing time and current consumption.

A further object of the present invention is to provide an array-divided semiconductor memory device including a redundancy circuit which permits the spare line use efficiency to be improved and a power supply circuit which permits accessing time and power consumption to be reduced.

Briefly stated, in a semiconductor memory device according to the present invention, spare lines are provided together as a single array, a plurality of memory mats are provided corresponding to the spare arrays, and a defective normal line in these plurality of memory mats is made replaceable with a spare line in a corresponding spare array.

A power supply circuit corresponding to a spare block is driven into a selected state when an active cycle is started.

Furthermore, the selecting way of the power supply circuit is changed between a normal mode and a refresh mode.

By providing a spare array exclusively for a spare line, the spare line can be shared among a plurality of memory blocks or sub arrays, and therefore the use efficiency of the spare lines may be significantly improved over the case of providing a spare line for each memory block or sub array.

In the array-divided arrangement, the selecting way of the power supply circuit is changed between a normal mode and a refresh mode, the numbers of bits in an address signal to be decoded can be different, and therefore the power supply circuit can be driven into a selected state at a high speed in the normal mode. Meanwhile, since a high speed response is not required in the refresh mode, a large number of address signal bits are decoded to select a minimum necessary power supply circuit and current consumption is reduced.

If a spare element is included, in the normal mode power supply switch circuits for both a particular memory block including the spare element and an addressed memory block are driven into a selected state, so that the power supply circuits can be driven into a selected state without having to wait for a result of spare determination and that high speed accessing operations are implemented.

In the refresh mode, the power supply circuit corresponding to a memory block including a memory cell to be selected is driven into a selected state according to the spare determination result, so that the number of power supply circuits to be selected in the refresh mode can be a minimum necessary number, and the current consumption can be reduced. Thus, a semiconductor memory device with improved use efficiency of spare elements without increase accessing time and current consumption can be implemented.

The foregoing and other objects, features, aspects and advantages of the present invention will become more apparent from the following detailed description of the present invention when taken in conjunction with the accompanying drawings.

BRIEF DESCRIPTION OF THE DRAWINGS

FIG. 1 is a schematic diagram of a main part of a semiconductor memory device according to a first embodiment of the invention;

FIG. 2A is a schematic diagram depicting how a defective column in a memory array shown in FIG. 1 is repaired;

FIG. 2B is a schematic diagram of a spare decoder used for repairing a defective column;

FIG. 3A shows a modification of the spare decoder;

FIG. 3B is a diagram depicting how a defective column is repaired by the spare decoder shown in FIG. 3A;

FIG. 4 is a schematic diagram of an internal data reading portion in the array arrangement shown in FIG. 1;

FIG. 5 is a schematic diagram of a main part of a semiconductor memory device according to a second embodiment of the invention;

FIG. 6 is a schematic diagram depicting how a normal local data bus and a normal global data bus are connected and a spare local data bus and a spare global data bus are connected in the memory array shown in FIG. 5;

FIG. 7 is a diagram showing the way to generate a spare local data bus selecting signal;

FIG. 8 is a schematic diagram of a column selecting portion in a spare array in the memory array shown in FIG. 5;

FIG. 9 is a schematic diagram of a main part of a semiconductor memory device according to a third embodiment of the invention;

FIG. 10 is a diagram showing how a defective row in the memory array shown in FIG. 9 is repaired by way of illustration;

FIG. 11 is a schematic diagram of an array portion in a semiconductor memory device according to a fourth embodiment of the invention;

FIG. 12 is a diagram showing the effect of a memory block arrangement shown in FIG. 11;

FIG. 13 is a schematic diagram of a bit line isolation instruction signal generation portion for solving problems associated with the arrangement shown in FIG. 12;

FIG. 14 is a schematic diagram of a bit line isolation instruction signal generation portion in the memory block arrangement shown in FIG. 11;

FIG. 15 is a schematic diagram depicting how a defective normal row is replaced with a spare row according to the fourth embodiment;

FIG. 16 is a diagram of a memory cell structure;

FIG. 17 is a schematic diagram of an array portion in a semiconductor memory device according to a fifth embodiment of the invention;

FIG. 18A shows the correspondence between address signal bits and a selected memory portion in a normal operation mode in the array arrangement shown in FIG. 17;

FIG. 18B shows the correspondence between address signal bits and a selected memory block in a test mode;

FIG. 19 is a schematic diagram of an example of a control portion to select a memory block in the test mode shown in FIG. 18B;

FIG. 20 is a schematic diagram of a modification of the fifth embodiment;

FIG. 21A is a schematic diagram of a hierarchical power supply arrangement 1 according to a sixth embodiment of the invention;

FIG. 21B is a diagram of a power switch circuit in a row-related peripheral circuit shown in FIG. 21A;

FIG. 22 is a schematic diagram of a memory array and a power switch circuit according to the sixth embodiment;

FIG. 23A is a diagram showing the selected state of a power switch circuit in a normal mode in hierarchical power supply arrangement 1 according to the sixth embodiment;

FIG. 23B is a waveform diagram representing the operation;

FIG. 24 is a schematic diagram of the selected state of the hierarchical power supply arrangement in FIG. 22 in a refresh mode;

FIG. 25 is a schematic diagram of a row-related control portion in the semiconductor memory device according to the sixth embodiment;

FIG. 26 is a diagram of an example of a power supply block decoder shown in FIG. 21;

FIG. 27 is a diagram of a power supply block decode circuit for a power supply block selecting signal $\Phi B2$;

FIG. 28 is a schematic diagram depicting how address bits are allocated in hierarchical power supply arrangement 1 according to the sixth embodiment;

FIG. 29 is a diagram of a modification of the hierarchical power supply arrangement according to the sixth embodiment;

FIG. 30 is a signal waveform diagram representing the operation of the hierarchical power supply arrangement shown in FIG. 29;

FIG. 31 is a diagram of a repeating circuit in a row-related peripheral circuit in the modification of hierarchical power supply arrangement 1;

FIGS. 32A and 32B are diagrams showing the selected states of the power switch circuit in a normal mode and a refresh mode, respectively in a hierarchical power supply arrangement 2 according to the sixth embodiment of the invention;

FIG. 33 is a schematic diagram of a power supply block decoder for FIGS. 32A and 32B;

FIG. 34 is a diagram of a power block decode circuit for a particular power supply block selecting signal $\phi B2$;

FIG. 35 is a schematic diagram of a modification of hierarchical power supply arrangement 2 according to the sixth embodiment;

FIG. 36 is a schematic diagram of a control portion in a hierarchical power supply arrangement 3 according to the sixth embodiment;

FIG. 37 is a signal waveform chart representing the operation of hierarchical power supply arrangement 3 according to the sixth embodiment;

FIG. 38 is a diagram of an example of a power supply block decoder shown in FIG. 36;

FIG. 39 is a diagram of an example of a register shown in FIG. 36;

FIG. 40 is a schematic diagram of an example of a count up instruction signal generation portion shown in FIG. 36;

FIG. 41 is a schematic diagram of hierarchical power supply arrangement 1 according to a seventh embodiment of the invention;

FIG. 42 is a schematic diagram showing the selected state of the power switch circuit in hierarchical power supply arrangement 1 according to the seventh embodiment in a normal mode;

FIG. 43 is a signal waveform diagram representing the operation when the power switch circuit shown in FIG. 42 is selected;

FIG. 44 is a schematic diagram showing the selected state of the power supply switch circuit and hierarchical power supply arrangement 1 according to the seventh embodiment in a refresh mode;

FIG. 45 is a signal waveform diagram representing the operation corresponding to the selected state of the memory switch circuit shown in FIG. 44;

FIG. 46A is a diagram of an example of the power block decoder in hierarchical power supply arrangement 1 according to the seventh embodiment;

FIG. 46B is a signal waveform diagram representing the operation of the power supply block decode circuit shown in FIG. 46A;

FIG. 47A is a diagram of a power supply block decoder in hierarchical power supply arrangement 1 according to the seventh embodiment;

FIG. 47B is a signal waveform diagram representing the operation of the power supply block decoder shown in FIG. 47A;

FIG. 48 is a schematic diagram of a modification of hierarchical power supply arrangement 1 according to the seventh embodiment;

FIG. 49 is a schematic diagram of a control portion in hierarchical power supply arrangement 2 according to the seventh embodiment;

FIGS. 50A and 50B are schematic diagrams showing the selected state of power supply switch circuits in hierarchical power supply arrangement 2 according to the seventh embodiment;

FIG. 51A is a diagram of the power supply block decode circuit in hierarchical power supply arrangement 2 according to the seventh embodiment;

FIG. 51B is a waveform diagram representing the operation of the circuit of FIG. 51A;

FIG. 52 is a diagram of the power supply block decoder in hierarchical power supply arrangement 2 according to the seventh embodiment;

FIG. 53 is a schematic diagram of an array portion in a semiconductor memory device with a conventional flexible row redundancy arrangement;

FIG. 54 is a schematic diagram of an array portion in a conventional flexible column redundancy arrangement;

FIG. 55 is a diagram of an example of a conventional hierarchical power supply arrangement; and

FIG. 56 is a waveform diagram representing the operation of the hierarchical power supply arrangement shown in FIG. 55.

DESCRIPTION OF THE PREFERRED EMBODIMENTS

First Embodiment

FIG. 1 is a schematic diagram of an array portion in a semiconductor memory device according to a first embodiment of the invention. In FIG. 1, a memory array is divided into a plurality of sense amplifier blocks (row blocks) RB#0 to RB#m. These row blocks RB#0 to RB#m each share word lines. Row blocks RB#0 to RB#m are each divided into a plurality of sub-arrays. Row block RB#i (i=0 to m) is divided into normal sub-arrays MB#i0 to MB#in. These normal sub-arrays MB#i0 to MB#in each have a plurality of memory cells arranged in a matrix of rows and columns and share word lines (rows). A sensing operation is performed on the basis of a sense amplifier block.

Row blocks RB#0 to RB#m are provided with spare arrays SP#0 to SP#m respectively to repair a defective column (a column including a defective normal memory cell) in corresponding row blocks RB#0 to RB#m. These spare arrays SP#0 to SP#m each have memory cells (spare memory cells) arranged in a plurality of columns. (The number of rows of spare arrays SB#0 to SB#m is the same as the number of rows of memory cells included in a normal sub-array.)

Normal local data buses LIO00 to LIOm are provided to normal sub-arrays MB#00 to MB#mn, respectively. These normal local data buses LIO00 to LIOm communicate data only with corresponding normal sub-arrays MB#00 to MB#mn.

Normal sub-arrays arranged in alignment along the column direction form column blocks CB#0 to CB#n. Spare local data buses SIO0 to SIOm are similarly provided to spare arrays SP#0 to SP#m. These spare local data buses SIO0 to SIOm communicate data only with corresponding spare arrays SP#0 to SP#m. Normal global data buses NGIO0 to NGIOm are provided to normal sub-arrays arranged in alignment in the column direction, in other words, to column blocks CB#0 to CB#n, respectively. These normal global data buses NGIO0 to NGIOm are coupled to normal local data buses provided for normal sub-arrays in corresponding column blocks through respective block selecting gates BSG. Block selecting gate BSG conducts in response to a corresponding block selecting signal to con-

nect a corresponding normal local data bus and a corresponding normal global data bus, when a corresponding row block is selected. Spare local data buses SIO0 to SIOm are also coupled to spare global data bus SGIO through corresponding block selecting gates BSG. Block selecting gates BSG provided for spare arrays SP#0 to SP#m each conduct when a corresponding row block is selected, to connect a corresponding spare local data bus to spare global data bus SGIO.

By providing a spare array SP#i common to normal sub-arrays MB#i0 to MB#in in row block RB#i, spare columns included in spare array SP#i can be used for normal sub-arrays MB#i0 to MB#in, so that the use efficiency of spare columns is improved.

When a spare column is provided for each of normal sub-arrays and more defective columns than the spare columns provided in a normal sub-array are present, the defective columns can not be repaired. However, if, as shown in FIG. 1, spare arrays are provided and spare columns are collectively provided, a large number of defective columns present in a normal sub-array can be repaired by replacing the defective column with a spare column in a corresponding spare array, which improves the yields of the products.

FIG. 2A is a diagram showing how a defective normal column is repaired by way of illustration. In FIG. 2A, spare arrays SP#0 to SP#m each include four spare bit line pairs (spare columns) SBL0 to SBL3.

Column decode circuits Y0 to Yn are provided for column blocks CB#0 to CB#n, respectively. A spare decode circuit SPD is provided for spare block SP#. Column decode circuits Y0 to Yn transmit a column selecting signal through a column selecting line CSL common to memory sub-arrays included in a corresponding column block. Spare decode circuit SPD transmits a spare column selecting signal through spare column selecting lines SCSL0 to SCSL3 provided for spare bit line pairs SBL0 to SBL3, respectively. Let us now assume that normal columns (normal bit line pairs) are repaired by replacement independently from one another in normal memory sub-arrays MB#00 to MB#mn.

FIG. 2B is a diagram showing an example of spare decode circuit SPD shown in FIG. 2A. In FIG. 2B, spare decode circuit SPD includes OR circuits OG0 to OG3 provided corresponding to spare column selecting lines SCSL0 to SCSL3, respectively. For each of OR circuits OG0 to OG3, spare decoders provided corresponding to row block RB#0 to RB#m are disposed. For OR circuit OG0, spare decoders SG00 to SG0m are provided, and for OR circuit OG3, spare decoders SD30 to SD3m are provided. A defective normal bit line pair in each row block is programmed in a spare decoder provided for each OR circuit.

Now, as shown in FIG. 2A, normal bit line pair PBL0 in memory sub-array MB#00 is replaced with spare bit line pair SBL0 in spare array SP#0, and normal bit line pair PBL1 in memory sub-array MB#0n is replaced with spare bit line pair SBL1 in spare array SP#0. Normal bit line pair PBL2 in memory sub-array MB#10 is replaced with spare bit line pair SBL0 in spare array SP#1, and defective normal bit line pairs PBL3 and PBL4 included in memory sub-arrays MB#m0 and MB#mn respectively are replaced with spare bit line pairs SBL0 and SBL3 in spare array SP#m. In this case, the address of defective normal bit line pair PBL0 is programmed in spare decoder SD00, and the address of defective normal bit line pair PBL1 is programmed in the spare decoder provided for an OR circuit provided corresponding to spare column selecting lines CSL1. Defective normal bit line pair PBL2 has its address programmed in spare decoder SD01 provided for OR circuit OG0. Defective

normal bit line pairs PBL3 and PBL4 have their addresses programmed in spare decoders SD0m and SD3m. As a result, when a defective normal bit line pair is addressed, a corresponding spare column selecting line is driven into a selected state. At this time, according to the output signals of these OR circuits, the decoding operations of column decode circuits Y0 to Yn are stopped. More specifically, the use of the spare decode circuit shown in FIG. 2B permits defective normal bit line pairs to be repaired independently from one another among memory sub-arrays MB#00 to MB#mn.

In the configuration of the spare decode circuit shown in FIG. 2B, the address of a defective normal bit line pair can be programmed for each row block. It is therefore not requested that the spare decoders each store "Don't care" state. If normal column selecting line CSL is defective, each spare decoder has only to be programmed with the same address signal. In this case, however, by providing the spare decoder with the function of storing the "Don't care" state, defective normal bit line pairs can be repaired on a row block basis and defective normal bit line pairs can be also repaired by replacing a defective normal column selecting line as well.

Modification

FIG. 3A is a diagram of a modification of the spare decode circuit shown in FIG. 2A. In FIG. 3A, a spare decoder is disposed for a column block. More specifically, for OR circuit OG0, spare decoders SD00 to SD0n are provided, while for OR circuit OG3, spare decoders SD30 to SD3n are provided. Spare decoders SD00 to SD0n correspond to column blocks CB#0 to CB#n, respectively, while spare decoders SD30 to SD3n correspond to column blocks CB#0 to CB#n, respectively.

Let us now assume that a normal bit line pair PBL0 in memory sub-array MB#00 is defective, and that a column selecting line CSL from column decode circuit Yn is defective. In this case, the address of defective normal bit line pair PBL0 is programmed in spare decoder SD00, and the address of defective normal column selecting line CSL is programmed in spare decoder SD3n. When the address of defective normal column selecting line CSL is programmed, spare decoder SD3n has its column block address bit invalidated, and the output signal of spare decoder SD3n indicates a selected state if a normal bit line pair corresponding to a defective column selecting line CSL in any of memory sub-arrays MB#0n to MB#mn in column block CB#n is addressed.

In this case, defective normal bit line pair PBL0 is replaced with spare bit line pair SBL0 in spare array SP#0, and defective normal column selecting line CSL from column decode circuit Yn is replaced with spare column selecting line SCSL3.

Note that in the arrangement shown in FIG. 1, a single memory sub-array is selected and connected to a corresponding normal global data bus. As a result, 1-bit data is input/output.

FIG. 4 is a schematic diagram of a data reading portion. In FIG. 4, main amplifiers MAP0 to MAPn are provided to normal global data buses NGIO0 to NGIOm, respectively, and a spare main amplifier MAPs is provided corresponding to a spare global data bus SGIO. Main amplifier MAP0 to MAPn are selectively activated in response to activation of main amplifier activation signals PAE0 to PAEn, and spare main amplifier MAPs is activated in response to a spare main amplifier activation signal PAEs. When spare main amplifier activation signal PAEs is activated, main amplifier activation signals PAE0 to PAEn are all maintained in a non-active state. Thus, when a defective bit is repaired by

replacement, 1-bit data can be accurately read out. In order to write data, a write driver has only to be provided in place of a main amplifier.

Spare main amplifier activation signal PAEs is activated when any of the output signals of OR circuits OG0 to OG3 attains an H level.

Note that in the configuration of the reading portion in FIG. 4, normal global data buses NGIO0 to NGIO_n are connected to normal local data buses provided corresponding to a selected row block. However, since only one of column decode circuits Y0 to Y_n transmits an activated column selecting signal onto a column selecting line, only one of normal global data buses NGIO0 to NGIO_n receives the data of a selected memory cell (when a normal memory cell is accessed).

If all the memory sub-arrays are selected in a selected row block, a spare local data bus is provided for each of the spare sub-bit line pairs in each spare array, and spare global data buses are provided corresponding to these plurality of spare local data buses. Using spare decoders SD00 to SD3_n having the configuration shown in FIG. 3A, one of the spare main amplifiers provided for the plurality of spare global data buses is selectively activated. Alternatively, using the output signals of these spare decoders SD00 to SD3_n, a column block at which a defective normal column has been repaired is detected, and the output signal of the spare main amplifier provided for the detected column block is selected and transmitted. This can be implemented by using a switch circuit.

In FIGS. 2A and 3A, spare decoders are used for row blocks or column blocks. However, the number of spare decoders can be suitably determined depending upon the number of defective normal bit line pairs to be repaired in the entire memory array.

The number of spare bit line pairs in each of spare arrays SP#0 to SP#_m can be suitably determined. What is required is that a plurality of spare bit line pairs are provided per column block.

As described above, according to the first embodiment of the invention, a spare array is provided for each row block, and an arbitrary defective normal column in a plurality of sub-arrays included in a corresponding row block can be repaired, so that defective normal columns can be efficiently repaired in each row block.

A spare decoder to select a spare column (spare bit line pair) is shared among a plurality of memory sub-arrays, in other words, a spare decoder is not necessary for each of memory sub-arrays, which reduces the circuit occupying area and improves the use efficiency of spare decoders.

Second Embodiment

FIG. 5 is a schematic diagram of a memory array portion in a semiconductor memory device according to a second embodiment of the invention. In the array arrangement shown in FIG. 5, block selecting gates BSGs provided corresponding to spare arrays SP#0 to SP#_m receive signals ϕ_{s0} to ϕ_{sm} different from signals ϕ_0 to ϕ_m to select a corresponding row block. More specifically, when a defective normal column is repaired, a prescribed number of spare local data buses among spare local data buses SIO0 to SIO_m are simultaneously connected to spare global data bus SGIO. The other arrangement is the same as that in FIG. 1, and corresponding portions are denoted by the same reference characters.

FIG. 6 is a schematic diagram depicting how normal global data buses are connected to local data buses and spare local data buses. In FIG. 6, normal global data bus NGIO is connected to a local data bus LIO_i through a block selecting

gate BSG. Block selecting gate BSG conducts in response to a row block selecting signal ϕ_i . Meanwhile, spare global data bus SGIO is connected to spare local data bus SIO_i through spare block selecting gate BSGs and at the same time connected to a plurality of spare local data buses. FIG. 6 generically shows spare local data bus SIO_j connected to spare global data buses SGIO by way of illustration.

In a memory sub-array, normal memory cells are arranged in a matrix of rows and columns. In a spare-array, spare memory cells are arranged in a matrix of rows and columns. The number of columns in the spare array, however, is significantly smaller than the number of columns in a normal sub-array, because the spare array is provided to repair a defective column in a normal sub-array in a corresponding row block. As a result, when parasitic capacitance C_a is connected to bus lines to local data bus LIO_i, smaller parasitic capacitance C_c is present at bus lines of spare local data bus SIO_i.

Meanwhile, normal global data bus NGIO and spare global data bus SGIO are provided extending in the column direction in a memory array, and almost the same parasitic capacitance C_b is present on these buses. As a result, if only a single spare local data bus is connected to spare global data bus SGIO, the parasitic capacitance produced is C_b+C_c. At the time of accessing a normal memory cell, the parasitic capacitance produced on the bus line is C_a+C_b. At the time of accessing a spare memory cell, the parasitic capacitance on the bus is small, a signal changes in a timing faster than that in accessing a normal memory cell. Therefore, signal propagation delay is different between normal memory cell accessing and spare column selecting, the timings of changes in the internal signals are different, which could cause inconsistency in internal timings and erroneous operations. Particularly in the case where memory array as shown in FIG. 5 is provided in plurality and multiple-bit data is input/output, if a spare column is selected in a memory array and a normal column is selected in another memory array, the timings of transferring data are different, and therefore the set up/hold time of internal data could be different, which destabilizes the circuit operations.

Also when columns are selected sequentially in synchronization with a clock signal, data is externally read out alternately after it is read and latched in parallel with selected data in another memory cell array. If the transmission time of a data signal is different for selecting a normal memory cell and for selecting a spare column, the set up/hold time relative to the latch timing is different, which could make it difficult to read out data accurately.

Thus, as shown in FIG. 6, at the time of accessing a defective spare memory cell, a plurality of spare local data buses are simultaneously connected to spare global data bus SGIO. Thus, the signal propagation delay time is made equal between the case of selecting a normal memory cell and the case of accessing a spare memory cell.

The number of spare local data buses k driven simultaneously into a selected state is specifically given by the following expression:

$$C_b + C_a - C_c + k C_c$$

Therefore the following expression results:

$$C_c = k C_c$$

Thus, the problems associated with mismatch in the timings can be avoided.

Let us now assume that eight row blocks RB#0 to RB#7 are provided as shown in FIG. 7. Row blocks RB#0 to RB#7

15

are addressed by 3 address signal bits, a_i , a_j and a_k . These 3 address signal bits, a_i , a_j and a_k are decoded to generate a block selecting signal ϕ_i .

One of the group of row blocks RB#0 to RB#3 and the group of row blocks RB#4 to RB#7 is addressed by address signal bit a_i , one of the group of row blocks RB#0, RB#1, RB#4 and RB#5 and the group of row blocks RB#2, RB#3, RB#6 and RB#7 is addressed by address signal bit a_j , and one of the group of row blocks RB#0, RB#2, RB#4 and RB#6 and the group of row blocks RB#1, RB#3, RB#5 and RB#7 is addressed by address signal bit a_k . In this case, address signal bits a_i to a_k can be suitably invalidated (set to a "Don't care" state) to generate spare array block selecting signal ϕ_{si} .

If, for example, address signal bit a_k is invalidated, two row blocks are simultaneously addressed, two spare local data buses can be connected to a spare global data bus. If address signal bit a_j is invalidated, two row blocks can be similarly addressed. If address signal bits a_j and a_k are both invalidated, four row blocks can be simultaneously addressed. If 3 address signal bits a_i to a_k are all invalidated, all the row blocks can be addressed. Thus, by the use of this arrangement, spare local data buses for a necessary number (multiples of 2) of spare arrays can be connected to the spare global data bus.

FIG. 8 is a schematic diagram of a column selecting portion in a spare block. In FIG. 8, the configuration of two spare arrays SP#i and SP#j is shown.

Referring to FIG. 8, in spare array SP#i, a spare column selecting gate CSGi conducts to connect a spare bit line pair SBL to spare local data bus SIOi in response to a local column selecting signal YSi output from an AND circuit SCGi which in turn receives a column selecting signal and a row block address signal hi from a spare column decode circuit which is not shown. In spare array SP#j, a spare column selecting gate CSGj conducts to connect a spare bit line pair SBL and spare local data bus SIOj in response to a spare local column selecting signal YSj from an AND circuit SCGj which in turn receives a spare column selecting signal and a row block selecting signal ϕ_j transmitted onto a spare column selecting line SCSL from the spare column decode circuit. Spare local data buses SIOi to SIOj are connected to spare global data bus SGIO through spare block selecting gates BSGs which conduct in response to block selecting signals ϕ_{si} and ϕ_{sj} .

In the configuration shown in FIG. 8, when a spare array is accessed, spare local data buses SIOi to SIOj are coupled to spare global data bus SGIO in parallel. In this state, a spare bit line pair SBL for a spare array provided corresponding to a selected row block is connected to a corresponding spare local data bus. Thus, if a spare column selecting signal applied onto spare column selecting line SCSL from the spare column decode circuit is provided in common to spare arrays SP#0 to SP#m and a plurality of spare local data buses are simultaneously connected to the spare global data bus, a spare data column corresponding to an addressed defective column can be accurately selected for data accessing. Thus, such a situation can be prevented that a spare bit line pair held in a precharge state is connected to the spare global data bus through a corresponding spare local data bus and the spare memory data is destroyed.

In the foregoing description, an address signal bit for addressing a row block is set to a degenerated state (Don't care state) and a plurality of spare local data buses are simultaneously connected to the spare global data bus. However, a decode circuit may be separately provided, and a set of spare local data buses selected at a time for each

16

addressing of a row block may be determined based on the output of the decode circuit.

As described above, according to the second embodiment, a plurality of spare local data buses are connected to the spare global data bus in parallel, the signal propagation delay for the global data bus can be the same for accessing a normal memory cell and for accessing a spare memory cell, so that the problems associated with mismatch in the internal timings can be avoided and a stably operating semiconductor memory device can be implemented.

Third Embodiment

FIG. 9 is a schematic diagram of a main part of a semiconductor memory device according to a third embodiment of the invention. In FIG. 9, a memory array is divided into a plurality of row blocks (sense amplifier blocks) RBX#0 to RBX#m along the column direction. Row blocks RBX#1 to RBX#m are formed by normal memory sub-arrays MA#1 to MA#m having normal memory cells arranged in a matrix of rows and columns. Row block RBX#0 includes a normal memory sub-array MA#0 having normal memory cells arranged in a matrix of rows and columns, and a spare array SPX# having spare memory cells arranged in a plurality of rows and sharing the columns with normal memory sub-array MA#0. The plurality of spare rows (spare word lines) included in spare array SPX# can replace defective normal word lines included in normal memory sub-arrays MA#0 to MA#m. Row decoders X0 to Xm are provided for normal memory sub-arrays MA#0 to MA#m, respectively, and a spare row decode circuit SPDX is provided for spare array SPX#.

In the configuration shown in FIG. 9, spare array SPX# is provided in common to normal memory sub-arrays MA#0 to MA#m. As a result, if defective rows concentrate in one normal memory sub-array, spare word lines included in spare array SPX# can be used for repairing by replacement, and therefore the yields of the products can be improved. A spare row decoder is shared among a plurality of normal memory sub-arrays (row blocks) and therefore the number of spare decoders can be reduced.

FIG. 10 is a schematic diagram of spare row decode circuit SPDX shown in FIG. 9. FIG. 10 shows the configuration of spare row decode circuit SPDX when four spare word lines SWL0 to SWL3 are provided by way of illustration. Spare row decode circuit SPDX includes spare row decoders SDX0 to SDX3 provided corresponding to spare word lines SWL0 to SWL3, respectively. These spare row decoders SDX0 to SDX3 are programmed with both a block address to address a memory sub-array and a row address to address a row in a sub-array.

Let us now assume that a defective normal word line WL0 included in normal memory sub-array MA#0, defective normal word lines WL1 and WL2 included in normal memory sub-array MA#1, and a defective normal word line WL3 included in normal memory sub-array MA#m are repaired by replacement with spare word lines as shown in FIG. 10. In this case, the address (including a block address) of word line WL0 is programmed in spare row decoder SDX0, and the addresses of defective normal word lines WL1 and WL2 are programmed in spare row decoders SDX1 and SDX2, respectively, and the address of defective normal word line WL3 is programmed in spare row decoder SDX3. Therefore, defective normal word lines WL0, WL1, WL2 and WL3 are replaced with spare word lines SWL0, SWL1, SWL2 and SWL3, respectively.

Thus, since a spare row decoder is shared among normal memory sub-arrays MA#0 to MA#m, a spare row decoder is not necessary for each of the normal memory sub-arrays.

and therefore increase in the array occupied area can be restrained. Since spare word lines are shared among normal memory sub-arrays MA#0 to MA#m, and therefore the use efficiency of spare word lines can be improved.

By providing spare array SPX# in common to normal memory sub-arrays MA#0 to MA#m in row block RBX#0, spare word line SWL_i included in spare array SPX# can be used by an arbitrary normal memory sub-array, and the use efficiency of spare word lines can be improved.

Since spare array SPX# is included in normal memory sub-array MA#0, a sense amplifier provided for row block RBX0 has only to be activated when one of spare decoders SDX0 to SDX3 is selected, and therefore the control operation of the sense amplifier is simplified.

In the configuration shown in FIGS. 9 and 10, one row block is selected among row blocks RBX#0 to RBXm for sensing operation. (A word line is selected.)

The number of spare word lines SWL_i included in spare array SPX# is arbitrary.

As in the foregoing, according to the third embodiment of the invention, spare word lines are collectively provided in a single spare array for common use among a plurality of normal memory sub-arrays, the number of spare row decoders is reduced, and the use efficiency of spare word lines is improved.

Fourth Embodiment

FIG. 11 is a schematic diagram of an array portion in a semiconductor memory device according to a fourth embodiment of the invention. In FIG. 11, a memory array includes normal memory sub-arrays MA#0-0 to MA#0-N and normal memory sub-arrays MA#1-0 to MA#1-N provided in the column direction, alternately with normal memory sub-arrays MA#0-0 to MA#0-N. A spare array SPX#0 having a prescribed number of spare word lines SWL_i is provided for normal memory sub-array MA#0-0 to form one row block (sense amplifier block) RBX0, while in normal memory sub-array MA#1-N, a spare array SPX#1 having a prescribed number of spare word lines SWL_i is provided to form a row block RBX#1. Normal memory sub-arrays MA#0-0 to MA#0-N and MA#1-0 to MA#1-N each have normal memory cells arranged in a matrix of rows and columns.

Sense amplifier bands SAB1 to SABm are provided between memory sub-arrays adjacent to one another in the column direction. A sense amplifier band SAB0 is provided outside normal memory sub-array MA#0-0, and a sense amplifier band SABm+1 is provided adjacent to normal memory sub-array MA#1-N.

These sense amplifier bands SAB0 to SABm+1 have an alternate shared sense amplifier arrangement. When one normal memory sub-array or row block is selected, the sense amplifiers included in the sense amplifier bands provided on both sides are used for sensing operation.

Spare word lines in spare array SPX0 included in row block RBX#0 can replace normal word lines included in memory sub-arrays MA#0-0 to MA#0-N, and each spare word line in spare array SPX#1 provided in normal memory sub-array MA#1-N can replace each normal word line included in normal memory sub-arrays MA#1-0 to MA#1-N.

In a normal operation, one of normal memory sub-arrays MA#0-0 to MA#0-N is selected or one of normal memory sub-arrays MA#1-0 to MA#1-N is selected. More specifically, in the arrangement shown in FIG. 11, one normal memory sub-array is driven into a selected state. Now, advantages brought about by alternately arranging normal memory sub-arrays MA#0-0 to MA#0-N and normal

memory sub-arrays MA#1-0 to MA#1-N in the column direction and providing a spare array for each of the groups of sub-arrays will be described.

Let us now assume that spare word lines in spare array SPX# included in row block RBX0 as shown in FIG. 12 can replace defective normal word lines in all the normal memory sub-arrays. In the shared sense amplifier arrangement, row block RBX0 and normal memory sub-array MA#1-0 are provided on both sides of sense amplifier band SAB1. A bit line isolation gate BLIG0 is provided between sense amplifier band SAB1 and row block RBX0, and a bit line isolation gate BLIG1 is provided between sense amplifier band SAB1 and normal memory sub-array MA#1-0. Bit line isolation gate BLIG0 is supplied with the output signal of NOR circuit OGa receiving a replacement instruction signal ϕ_{sp} and a sub-array sub-array designating signal ϕ_1 as a bit line isolation control signal.

Bit line isolation gate BLIG1 is supplied with the output signal of an NOR circuit OGb receiving replacement instruction signal ϕ_{sp} and sub-array designating signal ϕ_0 as a bit line isolation instruction signal. Replacement instruction signal ϕ_{sp} is selectively pulled to an H level, active state when a defective normal cell is addressed and a spare word line included in spare array SPX# is selected. Sub-array designating signal ϕ_1 attains an active state, H level, when normal memory sub-array MA#1-0 is addressed, and sub-array designating signal ϕ_0 attains an active state, H level, when normal memory sub-array MA#0-0 is addressed.

Let us assume that a defective normal word line included in normal memory sub-array MA#1-0 is replaced with a spare word line included in spare array SPX#. When this defective normal word line in normal memory sub-array MA#1-0 is addressed, sub-array address signal ϕ_1 attains an H level, while sub-array designating signal ϕ_0 maintains an L level. As a result, the output signal of NOR circuit OGa attains an L level, bit line isolation gate BLIG0 attains a non-conductive state, the spare array SPX# is disconnected from sense amplifier band SAB1. Meanwhile, the defective normal word line is replaced with a spare word line included in spare array SPX#, replacement instruction signal ϕ_{sp} is driven into an H level, therefore the output signal of NOR circuit OGb attains an H level, and bit line isolation gate BLIG1 attains a non-conductive state. As a result, sense amplifier band SAB1 is disconnected from both spare array SPX# and normal memory sub-array MA#1-0, and the defective normal word line cannot be repaired.

For the purpose of avoiding this situation, the circuit shown in FIG. 13 could be used as the bit line isolation control circuit in order to turn on bit line isolation gate BLIG0 when a spare word line is used.

In FIG. 13, the bit line isolation control circuit includes an inverter OGaa which receives sub-array designating signal ϕ_1 , and an OR circuit OGab which receives the output signal of inverter OGaa and replacement instruction signal ϕ_{sp} . In the bit line isolation control circuit shown in FIG. 13, when a normal memory sub-array is addressed, the output signal of inverter OGaa attains an L level. When a defective normal word line is not addressed, replacement instruction signal ϕ_{sp} is at an L level, and therefore the output signal of OR circuit OGab attains an L level, which turns off bit line isolation gate BLIG0. Meanwhile, if replacement instruction signal ϕ_{sp} is activated and a spare word line included in the spare array is used, the output signal of OR circuit OGab attains an H level, which turns on bit line isolation gate BLIG0.

However, the bit line isolation control circuit shown in FIG. 13 has a different circuit configuration from the control

circuit provided for other bit line isolation gates and a different number of gate stages. (The OR circuit is formed by an NOR circuit and an inverter receiving the output of the NOR circuit.) As a result, the gate delay is different, the timing margin is reduced, and erroneous operation could be caused.

As shown in FIG. 11, in spare array SPX#0, by providing spare word lines which can replace defective normal word lines in normal memory sub-arrays MA#0-0 to MA#0-N, a spare word line included in a spare array included in this row block RBX#0 is not used if a defective normal word line in normal memory sub-array MA#1-0 is addressed. Therefore, in this case, the use of the bit line isolation control circuit shown in FIG. 14 permits a defective normal word line to be accurately repaired by replacement.

In FIG. 14, a 2-input NOR circuit OGe receiving sub-array designating signal $\phi 1$ is provided for bit line isolation gate BLIG0, and an NOR circuit OG receiving spare replacement instruction signal $\phi sp0$ and sub-array designating signal $\phi 0$ is provided for bit line isolation gate BLIG1. Spare replacement instruction signal $\phi sp0$ is driven into an active state, H level, when a defective normal word line is addressed in any of normal sub-arrays MA#0-0 to MA#0-N. Sub-array designating signal $\phi 0$ is driven into an active state, H level, when normal memory sub-array MA#0-0 is addressed, while sub-array designating signal $\phi 1$ is driven into an active state, H level, when normal memory sub-array MA#1-0 is addressed.

When spare array SPX#0 provided corresponding to sub-array MA#0-0 is used, normal memory sub-array MA#1-0 will not be addressed. This is because a spare word line included in spare array SPX#0 is selected when a defective normal word line included in normal memory sub-arrays MA#0-0 to MA#0-N is addressed. Also in this case, the output signal of NOR circuit OGe maintains an H level, the output signal of NOR circuit OGd attains an L level, and sense amplifier band SABL is connected to row block RBX#0 and disconnected from normal memory sub-array MA#1-0. Conversely, when normal memory sub-array MA#1-0 is addressed, the output signal of NOR circuit OGe attains an L level, row block RBX#0 is disconnected from sense amplifier band SABL, and normal memory sub-array MA#1-0 is connected to sense amplifier band SABL. (The output signal of NOR circuit OGd maintains an H level.)

The similar configuration is provided for the other row block RBX#1. Thus, a memory block including a spare array and a memory sub-array adjacent to this block will not be simultaneously addressed, so that defects can be accurately repaired.

FIG. 15 is a schematic diagram showing an example of replacement of a defective normal word line in the semiconductor memory device according to the fourth embodiment of the invention. In FIG. 15, spare array SPX#0 includes spare word lines which can replace defective normal word lines in normal memory sub-arrays MA#0-0 to MA#0-N. Spare array SPX#1 includes spare word lines which can replace defective normal word lines included in normal memory sub-arrays MA#1-0 to MA#1-N. Normal sub-arrays sharing a sense amplifier band have different values in address signal bit RAj. Thus, erroneous operation caused by access conflict (simultaneous selection of a normal/spare word line) can be prevented, so that defects can be accurately repaired.

Fifth Embodiment

FIG. 16 is a diagram of a memory cell included in a semiconductor memory device. In FIG. 16, two memory cells MCa and MCb disposed corresponding to the crossing

portions of word lines WLa and Wlb and a bit line BL are represented. Memory cells MCa and MCb each include a capacitor MQ and an access transistor MT formed by an n-channel MOS transistor and responsive to the signal potential of a corresponding word line (WLa or Wlb) for connecting capacitor MQ to bit line BL. These memory cells MCa and MCb are both a dynamic type memory cell, to which a pair of bit lines BL and /BL is provided, and the potential difference generated between bit lines BL and /BL is differentially amplified by a sense amplifier.

In the arrangement shown in FIG. 16, when word line WLa is driven into a selected state, the voltage level of non-selected word line Wlb rises through the capacitive coupling by parasitic capacitance between word lines WLa and Wlb, access transistor MT included in memory cell MCb is weakly turned on, and the stored charge of capacitor MQ is transmitted onto bit line BL. When selected word line WLa makes a transition to a non-selected state, the capacitive coupling between word line WLa and bit line BL causes the voltage level of bit line BL to be lowered (when bit line BL is driven to a ground voltage level), access transistor MT included in memory cell MCb connected to non-selected word line Wlb is weakly turned on, and the stored charge of the capacitor is allowed to flow to bit line BL. Such a phenomenon of causing current leakage in a memory cell connected to a non-selected word line as another word line is selected is called "disturb refresh". If the charge holding characteristic of a memory cell is poor, the stored data in the memory cell is lost before a refresh operation is performed at a prescribed cycle, and a soft-error is caused. In order to test such "disturb refresh" characteristic, word lines are sequentially driven into a selected state and the charge holding characteristics of memory cells are tested, in other words, a "disturb refresh test" is performed. In the "disturb refresh test", in order to provide a prescribed number of disturbances to each memory cell, a word line is driven into a selected state a prescribed number of times.

If the storage capacity of a semiconductor memory device increases, the number of word lines increases accordingly, and time required for this "disturb refresh test" increases as well. In order to perform such disturb refresh test at a high speed, a larger number of word lines than the number of word lines selected at a time in a normal operation mode are simultaneously driven into a selected state in this disturb refresh test. In this case, although depending upon the way to select a word line, if the flexible redundancy scheme is employed, a spare word line and a normal word line in one sub-array may be simultaneously driven into a selected state to cause access conflict, the stored data in the memory cell is destroyed, and the disturb refresh test can no longer be performed. The arrangement which can prevent a normal word line and a spare word line in one memory sub-array from being simultaneously selected even if a larger number of word lines than the number in the normal operation mode are driven into a selected state in a disturb refresh test will be now described.

FIG. 17 is a schematic diagram showing the arrangement of an array portion in the semiconductor memory device according to the fifth embodiment of the invention. In FIG. 17, the memory array includes two memory mats B#0 and B#1. Memory mat B#0 includes normal memory sub-arrays MB#00-0 to MB#00-N and normal memory sub-arrays MB#01-0 to MB#01-N. Normal memory sub-arrays MB#00-0 to MB#00-N and normal memory sub-arrays MB#01-0 to MB#01-N are alternately disposed. Sense amplifier bands represented by shadowed regions are disposed between these normal memory sub-arrays MB#00-0

to MB#00-N and MB#01-0 to MB#01-N. A spare array SPX#00 including spare word lines is provided for normal sub-array MB#00-0, and a spare array SPX#01 including spare word lines is provided for normal memory sub-array MB#01-N.

Normal memory sub-array MB#00-0 and spare array SPX#00 form a row block (sense amplifier block) RB#00, while normal memory sub-array MB#01-N and spare array SPX#01 form a row block RB#01. Normal memory sub-array MB#00-0 to MB#00-N form a memory block group B#00 which is addressed when row address bit RA_j for example is 1, while normal memory sub-arrays MB#01-0 to MB#01-N form a memory block group B#01 selected when row address signal bit RA_j is for example 0.

Memory mat B#1 includes normal sub-arrays MB#10-0 to MB#10-N and normal memory sub-arrays MB#11-0 to MB#11-N. Normal memory sub-arrays MB#10-0 to MB#10-N and normal memory sub-arrays MB#11-0 to MB#11-N are provided alternately along the column direction. Sense amplifier bands represented by shadowed regions are provided between these normal memory sub-arrays MB#10-0 to MB#10-N and normal memory sub-arrays MB#11-0 to MB#11-N. A spare array SPX#10 including spare word lines is provided for normal memory sub-array MB#10-0, while a spare array SPX#11 is provided for normal memory sub-array MB#11-N. Normal memory sub-array MB#10-0 and spare array SPX#10 form a row block (sense amplifier block) RB#10-0, while normal memory sub-array MB#11-N and spare array SPX#11 form a row block RB#11-N. Normal memory sub-arrays MB#10-0 to MB#10-N are included in memory block group B#10, and normal memory sub-arrays MB#11-0 to MB#11-N are included in memory block group B#11.

In the array arrangement shown in FIG. 17, spare array SPX#00 provided in row block RB#00 includes spare word lines which can replace defective normal word lines in normal memory sub-arrays included in memory block group B#10. Spare array SPX#01 included in row block RB#01 includes spare word lines which can replace defective normal word lines in normal memory sub-arrays included in memory block group B#11. Spare array SPX#10 included in row block RB#10-0 includes spare word lines which can replace defective normal word lines in normal memory sub-arrays included in memory block group B#00. Spare array SPX#11 included in row block RB#11-N includes spare word lines which can replace defective normal word lines in normal memory sub-arrays included in memory block group B#01. The operation will be now described.

Now assume that one normal memory sub-array is addressed by address signal bits RA₀ to RA_n as shown in FIG. 18A. A memory mat is addressed by row address signal bit RA_j, and a memory block group is addressed by row address signal bit RA_j.

In the normal operation mode, these address signal bits RA₀ to RA_j are all valid, and one mat is addressed, in which one memory block group is addressed and one normal sub-array is addressed in the addressed memory block group. If an addressed word line is a defective word line, a spare word line to replace the defective word line is included in a memory mat different from the selected memory mat. Therefore, the defective normal word line can be replaced without any problem (without problems associated with the sharing of a sense amplifier band).

Meanwhile, assume that row address signal bit RA_j is in a degenerated state as shown in FIG. 18B in a test operation mode different from the normal operation mode. Thus, one of memory mats B#0 and B#1 is addressed, and one normal

memory sub-array is addressed from each of two memory block groups in the addressed memory mat. Since the two normal memory sub-arrays are addressed in one memory mat, address signal bits are allocated so that normal sub-arrays which do not share a sense amplifier band are addressed in the selecting operation. A corresponding spare word line used if the addressed normal word line is a defective normal word line is prepared in a non-selected memory mat. As a result, even if a plurality of (two) normal word lines are simultaneously addressed in one memory mat, a spare word line and a normal word line are prevented from being driven into a selected state at a time in row blocks RB#00, RB#01, RB#10 and RB#11. In a non-selected memory mat, a spare word line in a row block is simply driven into a selected state upon replacing a defective normal word line, and problems associated with sharing a sense amplifier band are not present.

If, for example, in the test operation mode, memory mat B#0 is addressed and a normal memory sub-array is selected from both memory block groups B#00 and B#01, a corresponding spare word line is prepared in a spare array SPX#10 included in row block RB#10 and/or in spare array SPX#11 included in row block RB#11 in non-selected memory mat B#1. As a result, since the memory mat in which a spare word line is selected and the memory mat in which a normal word line is selected are different, a normal word line and a spare word line are prevented from being selected at a time in one memory mat. By appropriately allocating address signal bits, two normal sub-arrays which do not share a sense amplifier band can be driven into a selected state in one memory mat. Note that if the number of memory mats is increased, the number of normal word lines driven into a selected state at a time can be further increased.

FIG. 19 is a diagram showing a portion for changing the number of sub-arrays to be selected depending upon the operation mode. In FIG. 19, there is provided a gate circuit (OR circuit) GT which receives address signal bit RA_j and a test mode instruction signal TE. When test mode instruction signal TE attains an active state of H level, memory block group designating signal ϕB attains an active state, H level, regardless of the value of row address signal bit RA_j. As a result, in the test operation mode, row address signal bit RA_j can be pulled to a degenerated state, and normal sub-arrays can be addressed from two memory block groups in one memory mat.

In order to address normal sub-arrays which do not share a sense amplifier band, the address of one memory block group and the address of the other memory block group need only be allocated in the opposite directions. (If one memory block group is allocated with addresses 0 to N from the top to the bottom along the column direction, normal sub-arrays in the other memory group are sequentially allocated with addresses 0 to N from the bottom to the top.)

As for the connection between a sense amplifier band and a spare array and the sensing operation in a non-selected memory mat, a spare decoder is constantly operated for comparison, and the comparison result is applied to a spare array for each row block in the same manner as that shown in FIG. 14. A sense amplifier control circuit provided for a corresponding row block has only to be activated when the output signal of the spare decoder is active. Thus, when a spare word line is used in a non-selected memory mat, a corresponding sense amplifier can be activated.

For data accessing, the configuration the same as that shown in FIG. 4 may be employed (in the disturb refresh test, data accessing is not performed.)

Modification

FIG. 20 is a schematic diagram of a modification of the fifth embodiment according to the invention. In FIG. 20, similarly to the arrangement shown in FIG. 17, the memory array is divided into two memory mats B#0 and B#1. In memory mat B#0, normal memory sub-arrays MB#00-0 to MB#00-N belonging to memory block group B#00 and normal memory sub-arrays MB#01-0 to MB#01-N included in memory block group B#01 are alternately provided along the column direction. Spare array SPX#00 is provided for normal memory sub-array MB#00-0, while spare array SPX#01 is provided for normal memory sub-array MB#01-N. Spare array SPX#00 includes a plurality of spare word lines which can replace defective normal word lines in normal memory sub-arrays belonging to memory block group B#00, while spare array SPX#01 includes spare word lines which can replace defective normal word lines in normal memory sub-arrays belonging to memory block group B#01.

In memory mat B#1, normal memory sub-arrays MB#10-0 to MB#10-N included in memory block group B#10 and normal memory sub-arrays MB#11-0 to MB#11-N included in memory block group B#11 are alternately provided along the column direction. Spare array SPX#10 is provided for normal memory sub-array MB#10-0, while spare array SPX#11 is provided for normal memory sub-array MB#11-N. Spare array SPX#10 includes a plurality of spare word lines which can replace defective normal word lines in normal memory sub-arrays included in memory block group B#10, while spare array SPX#11 includes a plurality of spare word lines which can replace defective normal word lines in normal sub-arrays included in memory block group B#11.

Also in the arrangement shown in FIG. 20, sense amplifier bands represented by shadowed regions are provided between normal sub-arrays.

In this arrangement shown in FIG. 20, in the normal mode, one of memory mats B#0 and B#1 is selected, and one normal memory sub-array is selected in the selected memory mat. As a result, in the selected one memory mat, a normal word line is selected and a defective normal word line is repaired by replacement in the same manner as that shown in FIG. 11.

In the test mode, row address signal bit RA_i, for example, is pulled to a degenerated state, and memory mats B#0 and B#1 are both addressed. In each of these memory mats B#0 and B#1, one normal sub-array is selected. In each of memory mats B#0 and B#1, normal sub-arrays included in different memory block groups are alternately provided, and normal sub-arrays sharing a sense amplifier band are included in different memory block groups. Therefore, in the test mode, normal memory sub-arrays sharing a sense amplifier are prevented from being addressed at the same time, in other words problems of sense amplifier conflict can be prevented, so that a plurality of (two) normal word lines or spare word lines can be equivalently driven into a selected state for testing operation. (In any of row blocks RB#00 to RB#11, a word line and a spare word line will not be driven into a selected state at the same time.) Thus, the disturb refresh test can be performed at a high speed.

Note that in this fifth embodiment, the disturb refresh test has been described. However, if a larger number of word lines than that in the normal operation mode are driven into a selected state in the self refresh mode, a self refresh instruction signal can be used in place of the test mode instruction signal and the same effects are provided. The configuration to degenerate address signal bit RA_i (the

address signal bit to address a memory mat) in the modification can be the same configuration as that shown in FIG. 19.

As described above, according to the fifth embodiment of the invention, when a plurality of memory mats are provided, and a larger number of normal word lines than the number in the normal operation mode are driven into a selected state in a particular operation mode such as the disturb refresh test, a normal word line and a spare word line in one row block are not simultaneously driven into a selected state, the advantageous characteristic feature of the flexible redundancy scheme, in other words, the efficient use of spare decoders and spare word lines is not impaired and prescribed operation modes can be accurately implemented.

Note that by increasing the number of memory mats in this modification, a larger number of normal word lines (4, 8) can be readily driven into a selected state at a time.

Sixth Embodiment

FIG. 21A is a schematic diagram showing a structure of a main part of a semiconductor memory device according to a sixth embodiment of the invention. In FIG. 21A, the memory array is divided into a plurality of memory array blocks 2a to 2n. Memory array blocks 2a to 2n each include a plurality of memory cells arranged in a matrix of rows and columns. A memory cell row is selected on a block basis. Row-related peripheral circuits 3a to 3n to drive memory cell rows in memory array blocks 2a to 2n into a selected state are provided for memory array blocks 2a to 2n, respectively. These row-related peripheral circuits 3a to 3n which will be described in detail each include a decode circuit (which may include a predecoder) to decode an address signal and a word line drive circuit to drive a memory cell row into a selected state according to the output signal of the decode circuit.

Power supply switch circuits (SW) 4a to 4n driven into a selected state in response to selecting signals ϕ Ba to ϕ Bn are provided between row-related peripheral circuits 3a to 3n and a main power supply line 1. These power supply switch circuits 4a to 4n each cause a greater current flow when driven into a selected state than when driven into a non-selected state. Main power supply line 1 is supplied with a prescribed voltage Vr. Voltage Vr may be any of a power supply voltage Vcc, a ground voltage Vss and a high voltage Vpp or a combination of these voltages. A suitable voltage is selected as voltage Vr depending upon the configuration of row-related peripheral circuits 3a to 3n.

In order to determine selection/non-selection of power supply switch circuits 4a to 4n, a power supply block decoder 6 to generate selecting signals ϕ Ba to ϕ Bn (generally represented as a control signal) based on an address signal AD and a self refresh mode instruction signal SR is provided. Address signal AD is applied to row-related peripheral circuits 3a to 3n as a memory cell row (word line) address.

Power supply block decoder 6 changes the number of power supply circuits driven into a selected state between a normal operation mode and a self refresh mode. Power supply block decoder 6 changes the selecting sequence of power supply switch circuits 4a to 4n between the self refresh mode and the normal mode. Based on these characteristics, if a spare word line is included in memory array blocks 2a to 2n, a semiconductor memory device operating with low current consumption without increasing the accessing time can be implemented.

FIG. 21B is a diagram showing an example of row-related peripheral circuits 3a to 3n shown in FIG. 21A. In FIG. 21B, one row-related peripheral circuit 3 is representatively shown.

25

In memory array block 2 (2a to 2n), memory cells MC are arranged in a matrix of rows and columns, and word lines WLa to WLm are provided for memory cells MC, respectively. A bit line pair BL, /BL is provided for each column of memory cells, but only bit line BL is shown in FIG. 21.

Row-related peripheral circuit 3 includes repeating circuits provided corresponding to word lines WLa to WLn. Herein, the repeating circuits have the same configuration and the same function. A prescribed number of repeating circuits among the plurality of repeating circuits are selected by an address signal.

In FIG. 21B, a repeating circuit includes an NAND-type decode circuit 11 (11a to 11m), and a word line drive circuit 12 (12a to 12m) to drive a corresponding word line WL (WLa to WLm) into a selected state.

In a stand-by cycle, the output signals of NAND-type decode circuits 11a to 11m are at an H level. As a result, in the stand-by cycle, in these NAND-type decode circuits 11a to 11m, a sub-threshold leakage current to the ground node is generated. Therefore, NAND-type decode circuits 11a to 11m have each ground node coupled to a sub-ground line 15n. Sub-ground line 15n is coupled to the ground node through a power supply switch transistor 14n. Power supply switch transistor 14n turns on in response to control signal ϕB_{in} .

Meanwhile, in inverter-type word line drive circuits 12a to 12m, the input signals are at an H level in a stand-by cycle, and a sub-threshold leakage current flows therein from the power supply node. As a result, the power supply nodes of these inverter-type word line drive circuits 12a to 12m are coupled to a sub-power supply line 15p. Sub-power supply line 15p is coupled to a voltage source node 16 through a power supply switch transistor 14p which conducts in response to a selecting signal ϕB_{ip} . Voltage source node 16 is supplied with power supply voltage Vcc or high voltage Vpp. The voltage applied to voltage source node 16 is appropriately determined depending upon the configuration of the repeating circuit.

NAND-type decode circuits 11a to 11m each have the other power supply node coupled together to the main power supply line, and the ground nodes of inverter-type word line drive circuits 12a to 12m are coupled to the main ground line.

In a stand-by cycle, control signal ϕB_{in} is set to an L level (ground voltage level), while control signal ϕB_{ip} is set to an H level of the voltage level of node 16. Thus, power supply switch transistors 14n and 14p are turned off. These power supply switch transistors 14n to 14p have a large threshold voltage (high-Vth), and the sub-threshold leak currents are extremely small in the off state. Meanwhile, NAND-type decode circuits 11a to 11m and word line drive circuits 12a to 12m each include a low-Vth MOS transistor as a component. As a result, the current consumption in the repeating circuits, or the row-related peripheral circuits in a stand-by cycle can be reduced. Since these repeating circuits operate at a high speed, the accessing time can be reduced as well.

In the correspondence between FIGS. 21A and 21B, power supply switch circuits 4a to 4n correspond to power supply switch transistors 14n to 14p, while sub-power supply voltage source lines 5a to 5n correspond to sub-ground line 15n and sub-voltage supply line 15p. The ground node and voltage source node 16 correspond to main ground line and main power supply line 1, respectively. Now, the specific manner to select power supply switch circuits 4a to 4n will be described.

For the purpose of simplifying the description, a selecting operation when a spare line is not included will be described.

26

Hierarchical Power Supply Arrangement

FIG. 22 is a schematic diagram showing a main part of a semiconductor memory device according to the sixth embodiment of the present invention. In FIG. 22, a memory array is divided into eight memory blocks MAB1 to MAB8. Memory blocks MAB1 to MAB8 each include a memory block 2 (2a to 2n) and a corresponding row-related peripheral circuit 3 (3a to 3n) shown in FIG. 21A. Memory blocks MAB1 to MAB4 form one global block GAB0, while memory blocks MAB5 to MAB8 form one global block GAB1.

Power supply switch circuits SW1 to SW8 are provided for memory blocks MAB1 to MAB8, respectively. These power supply switch circuits SW1 to SW8 couple sub-power supply lines provided corresponding to memory blocks MAB1 to MAB8 and corresponding memory blocks.

In allocating addresses, three address signal bits RA1, RA2 and RA3 are used to address a block. Address bit RA1 specifies one of global blocks GAB0 and GAB1. A combination of address bits RA2 and RA3 specifies one memory block in global blocks GAB0 and GAB1. As a result, by these 3 address signal bits RA1 to RA3, one memory block can be selected for selecting a memory cell row.

FIG. 23A illustrates the manner of selecting memory block and a power supply switch circuit in a normal operation mode. In FIG. 23A, in the normal operation mode, one of memory blocks MAB1 to MAB8 is selected and an addressed word line is driven into a selected state. In FIG. 23A, a word line WL in memory block MAB2 is driven into a selected state as an example. When memory block MAB2 is selected, power supply switch circuits SW1 to SW4 provided for global block GAB0 including memory block MAB2 are all driven into a selected state.

As shown in FIG. 23B, the set of power supply switch circuits SW1 to SW4 or the set of power supply switch circuits SW5 to SW8 is selected by address signal bit RA1. As a result, by decoding 1-bit address signal, control signals $\phi B1$ to $\phi B4$ for the power supply switch circuits can be driven into a selected state, so that a prescribed voltage can be supplied at a fast timing in an access cycle.

Meanwhile, in order to select memory block MAB2, 3 address signal bits RA1 to RA3 should be decoded. Considering the timing skew of these 3 address signal bits RA1 to RA3, a row-decoding operation for activating memory block address signal $\phi B2$ is performed. Thus, compared to the case of decoding 1-bit address signal, the load of the output signal line of the decode circuit is greater in the case of decoding 3 address signal bits, and the skew prolongs the decoding time.

Therefore, in the normal operation mode, the power supply switch circuits for a global block including selected memory block MAB2 are driven into a selected state, so that a prescribed voltage can be supplied stably to the selected memory block at a fast timing after the start of an active cycle in the normal operation mode, and the accessing time can be prevented from increasing.

FIG. 24 is a diagram showing the manner to select a power switch circuit in a refresh mode. In FIG. 24, also in the refresh mode, a word line WL is selected in one memory block. Also in FIG. 24, memory block MAB2 is selected, in which word line WL to be refreshed is selected. In the refresh mode, only power supply switch circuit SW2 provided for the selected memory block MAB2 is driven into a selected state. The other power supply switch circuits SW1, SW3 to SW8 are maintained in a non-selected state. In the refresh mode, stored data is simply rewritten, and data accessing is not performed. As a result, a high speed

27

accessing is not required, and therefore 3 refresh address signal bits QA1 to QA3 can be used to select this power supply switch circuit without any problem. By driving one power supply switch circuit into a selected state while maintaining the other power supply switch circuits in a non-selected state, a current flowing through the power supply circuit is reduced, the current consumption in the refresh mode can be restrained from increasing, in other words, the refresh mode with reduced current consumption can be implemented.

FIG. 25 is a schematic diagram showing a control portion in the semiconductor memory device according to the sixth embodiment. In FIG. 25, the semiconductor memory device includes an operation mode detection circuit 20 which receives an externally applied control signal CMD and generates an operation mode instruction signal, a refresh control circuit 23 which is activated in response to an activation of a self refresh mode instruction signal SR from refresh mode detection circuit 22 to activate a timer 24 and generate a refresh cycle activation signal QACT at prescribed time intervals, a refresh address counter 25 which performs a counting operation in response to a count up instruction signal ϕ CUP from refresh control circuit 23 and generates a refresh address specifying a refresh row, a multiplexer 26 which selects one of a refresh address signal QA from refresh address counter 25 and an externally applied row address signal RA under the control of refresh control circuit 23, and a row-related control circuit 27 which generates control signals necessary for selecting a row according to refresh cycle activation signal QACT from refresh control circuit 23 or array activation signal RACT from an array activation detection circuit included in operation mode detection circuit 20.

Operation mode detection circuit 20 generates an instruction signal corresponding to an operation mode designated according to externally applied control signal CMD. The externally applied control signal CMD may be a command (a combination of states of a plurality of control signals) in a normal synchronous type semiconductor memory device, or may be a row address strobe signal /RAS, a column address strobe signal /CAS, a write enable signal /WE and a chip select signal /CS as in a standard DRAM (Dynamic Random Access Memory). The external control signal applied to operation mode detection circuit 20 may be appropriately determined depending upon the configuration of the semiconductor memory device.

Refresh control circuit 23 drives refresh cycle activation signal QACT into an H level, active state for a prescribed time period at prescribed time intervals according to a count up signal from timer 24 when self refresh mode instruction signal SR is activated. Row-related control circuit 27 generates control signals necessary for selecting a row when one of activation signals QACT and RACT is activated. In FIG. 25, row-related control circuit 27 generates a word line driving signal ϕ WL which gives a timing for driving a word line into a selected state. During the activation period of these activation signals QACT and RACT, in a memory block addressed by an address signal, a row (word line) is maintained in a selected state. The activation period of these activation signals QACT and RACT defines one memory cycle (for a selected memory block).

Timer 24 responds to a self refresh instruction from refresh control circuit 23 to generate a refresh request signal at prescribed time intervals for application to refresh control circuit 23. Refresh address counter 25 increments or decrements the count value by 1 according to count up instruction signal ϕ CUP applied at the end of this memory cycle.

28

Multiplexer 26 selects refresh address QA from refresh address counter 25 in the self refresh mode according to a switch control circuit ϕ MUX from refresh control circuit 23 and selects externally applied row address signal RA in the normal mode. Address signal AD from multiplexer 26 is applied to a row-related peripheral circuit in each memory block. In the address signal, address signal bits QA1 to QA3 or RA1 are applied to a power supply block decoder (see FIG. 21A). Since the address signal bits are transmitted through the same bus lines from multiplexer 26, 3 address signal bits are applied to the power supply block decoder through the same address signal lines, and then these address bits are supplied in different paths within power supply block decoder 6.

FIG. 26 is a diagram showing a structure of power supply block decoder 6 shown in FIG. 21A. In FIG. 26, a portion to generate one power supply block selecting signal ϕ Bi ($i=1$ to 8) is shown. In FIG. 26, power supply block decoder 6 includes an inverter circuit 6a which inverts self refresh mode instruction signal SR, an AND circuit 6b which receives prescribed 3 address signal bits among address signal bits QA1 to QA3 and /QA1 to /QA3 in the refresh mode, an AND circuit 6c which receives the output signal /SR of inverter circuit 6a and address bit RA1 or /RA1, an AND circuit 6d which receives self refresh mode instruction signal SR and the output signal of AND circuit 6b, and an AND circuit 6e which receives the output signals of AND circuits 6c and 6d and generates power supply block selecting signal ϕ Bi. AND circuit 6b is supplied with address signal bits corresponding to the address of a memory block provided corresponding to power supply block selecting signal ϕ Bi. Similarly to NAND circuit 6c, address bit RA1 or /RA1 to specify a global block including a memory block corresponding to power supply block selecting signal ϕ Bi is applied.

In the self refresh mode, self refresh mode instruction signal SR is at an H level, signal /SR from inverter circuit 6a is at an L level, and NAND circuit 6c outputs an H level signal regardless of the states of address bits RA1 and /RA1. Meanwhile, NAND circuit 6a operates as an inverter to invert the output signal of AND circuit 6b. Therefore, in the self refresh mode, power supply block selecting signal ϕ Bi is generated according to address bits QA1 to QA3 and /QA1 to /QA3.

Meanwhile, in the normal operation mode, self refresh mode instruction signal SR is at an L level and the output signal /SR of inverter circuit 6a is an H level. In this state, the output signal of NAND circuit 6d attains an H level, NAND circuit 6e operates as an inverter, and power supply block selecting signal ϕ Bi is generated according to address bit RA1 or /RA1. Thus, in the normal mode, power supply block selecting signals ϕ Bi for a global block including a selected memory block (a memory block including a selected row) are activated. Meanwhile, in the self refresh mode, power supply block selecting signal ϕ Bi for a power supply switch circuit provided corresponding to a memory block to be refreshed is driven into a selected state.

FIG. 27 is a diagram showing a structure of a portion to generate power supply block selecting signal ϕ B2 to power supply switch circuit SW2. For power supply block selecting signal ϕ B2, AND circuit 6b receives address bits /QA1, /QA2 and QA3, and NAND circuit 6c receives address bit /RA1. The address (QA1, QA2, QA3) of a memory block having power supply switch circuit SW2 is (0, 0, 1). Therefore, when memory block MAB2 is addressed, the output signal of AND circuit 6b attains an H level. Meanwhile, in the normal mode, address bit /RA1 attains an

H level ("1"), and power supply block selecting signals $\phi B1$ to $\phi B4$ to power supply switch circuits SW1 to SW4 provided corresponding to global block GB0 including memory block MAB2 are driven into an H level, selected state. By changing the number of decoded bits depending upon the operation mode, the number of power supply switch circuits driven into a selected state can be changed between the normal mode and the self refresh mode.

If the number of memory blocks are 8, there are two global blocks, a 1-bit address signal is decoded in the normal mode, while a 3-bit address signal is decoded in the self refresh mode. However, the number of address signal bits used in the normal mode and self refresh mode can be appropriately determined depending upon the number of memory blocks and global blocks. The number of address signal bits validated in the normal mode has only to be smaller than the number of address signal bits decoded in the self refresh mode.

Modification

FIG. 28 is a schematic diagram showing a modification of hierarchical power supply arrangement 1 according to the sixth embodiment of the invention.

In the configuration shown in FIG. 28, refresh address QA from the refresh address counter and externally applied row address signal RA are applied to multiplexer 26. The row-related peripheral circuit is supplied with an internal row address signal from multiplexer 26. Meanwhile, address bits QA1 to QA3 from refresh address counter 25 and internal row address bit RA1 from multiplexer 26 are applied to a power supply block decode circuit. In this configuration, refresh address bits QA1 to QA3 are directly applied to the power block decode circuit from refresh address counter 25. Since the address bits do not pass through multiplexer 26, the influence of gate delay (signal propagation delay) in multiplexer 26 is eliminated in the self refresh mode, and a decoding operation can be performed at a fast timing.

As described above, according to hierarchical power supply arrangement 1, the number of address bits used for selecting a power supply block is changed between the normal mode and refresh mode, the accessing time in the normal mode is not increased, and the current consumption can be reduced in the refresh mode.

Modification 2

FIG. 29 is a schematic diagram showing a modification 2 of hierarchical power supply arrangement 1. In FIG. 29, the configuration of a part of row-related control circuit 27 shown in FIG. 25 is shown. In FIG. 29, row-related control circuit 27 includes an OR circuit 30 which receives activation signals QACT and RACT, a word line activation signal generation circuit 31 which is responsive to a rising of the output signal of OR circuit 30 for driving a word line activation signal ϕRX into an active state, a delay circuit 32 which delays word line activation signal ϕRX from word line activation signal generation circuit 31 by a prescribed time period, and a selecting circuit 33 which selects one of the output signal of delay circuit 32 and signal ϕRX from word line activation signal generation circuit 31 according to self refresh mode instruction signals SR and /SR to generate a word line driving signal ϕWL . Selecting circuit 33 includes a CMOS transmission gate 33a which conducts to pass the output signal of delay circuit 32 in response to an activation of self refresh mode instruction signal SR, and a CMOS transmission gate 33b which conducts to pass word line activation signal ϕRX from word line activation signal generation circuit 31 in response to an inactivation of self refresh mode instruction signal SR.

The operation of row-related control circuit 27 will be described with reference to the signal waveform diagram in FIG. 30.

In a normal mode, array activation signal RACT is driven into an active state according to a memory cycle start instruction signal (or an active command). When array activation signal RACT is activated, the output signal of OR circuit 30 is activated, and word line activation signal generation circuit 31 generates word line activation signal ϕRX at a prescribed timing. In the normal mode, CMOS transmission gate 33b conducts, and CMOS transmission gate 33a is in a non-conductive state. As a result, word line driving signal ϕWL is generated according to word line activation signal ϕRX . When one active cycle completes, array activation signal RACT falls to an L level non-selected state, word line activation signal ϕRX is inactivated accordingly, and a selected word line is driven into a non-selected state.

In the self refresh mode, refresh activation signal QACT is activated. Word line activation signal generation circuit 31 responds to the activation of refresh activation signal QACT to drive word line activation signal ϕRX into an active state. In the self refresh mode, CMOS transmission gate 33a conducts, while CMOS transmission gate 33b is in a non-conductive state. As a result, word line driving signal ϕWL is driven into an active state according to a delayed word line activation signal from delay circuit 32.

By delaying the activation timing of word line driving signal ϕWL in the self refresh mode, after a power supply switch circuit is selected and a prescribed supply voltage to a memory block to be refreshed is stabilized, a word line is selected, so that a decoding operation can be performed accurately to drive the addressed word line (refresh row) into a selected state. As shown in the waveforms in FIG. 30, delay circuit 32 is a rising delay circuit, and word line driving signal ϕWL may be inactivated in response to an inactivation of refresh activation signal QACT. Even if a word line is driven into a selected/non-selected state with a delay to refresh activation signal QACT, the sense amplifier is activated/inactivated according to this word line driving signal ϕWL , and there will be no problem. The problem of so-called RAS precharge time is not caused particularly in the self refresh mode. In the self refresh mode, the refresh interval is, for example, as long as 16 μs , the RAS precharge time period can be sufficiently secured, even if such delay circuit 32 is used.

FIG. 31 is a diagram showing a part of a row-related peripheral circuit operating according to word line driving signal ϕWL shown in FIG. 29. In FIG. 31, the configuration of a repeating circuit for one word line WL is shown. In FIG. 31, the repeating circuit includes an NAND-type decode circuit 41 which receives address bits (a predecode signal) Xi, Xj and Xk, a decode transistor 42 which is formed by an n-channel MOS transistor and selectively transmits the output of NAND-type decode circuit 41 onto a node 41 according to an address bit (predecode signal) Xi, a p-channel MOS transistor 43 which responds to a reset signal RST to precharge a node 49 to high voltage Vpp level, a p-channel MOS transistor 44 which transmits a signal SDX from a word line decode signal generation circuit 40 onto a word line WX when the signal on node 49 is at an L level, an n-channel MOS transistor 45 which conducts when the signal on node 49 is at an H level to discharge word line WL to a ground voltage level, a p-channel MOS transistor 46 which conducts when the signal on word line WL is at an L level to maintain node 49 at high voltage Vpp level, and an n-channel MOS transistor 47 which conducts when signal /SDX from word line decode signal generation circuit 40 is at an H level to discharge word line WL to the ground voltage level.

31

Herein, the decode circuit is formed by NAND-type decode circuit 41 and decode transistor 42. The word line drive circuit is formed by MOS transistors 44 to 47.

Word line decode signal generation circuit 40 is activated in response to an activation of word line driving signal ϕ_{WL} , to generate signals SDX and /SDX according to an address bit (predecode signal) X_m . Signal SDX changes between high voltage V_{pp} and ground voltage V_{ss} . Signal /SDX changes between power supply voltage V_{cc} and the ground voltage.

In a stand-by state, address bits X_i , X_j and X_k are all at an L level. As a result, in NAND-type decode circuit 41, a sub-threshold leakage current flows to the ground potential, the ground node of NAND-type decode circuit 41 is connected to the main ground line through a MOS transistor 48. MOS transistor 48 receives power supply block selecting (specifying) signal ϕ_{Bi} at its gate. The operation will be now briefly described.

In a stand-by state, address bits X_i , X_j and X_k are all at an L level, and the output signal of NAND-type decode circuit 41 is at an H level equal to the power supply voltage V_{cc} level. MOS transistor 48 is in an off state, because power supply block selecting signal ϕ_{Bi} is at an L level. In a stand-by state, word line decode signal generation circuit 40 holds signal SDX at an L level equal to the ground voltage level, and signal /SDX at an H level. Node 49 is held at the high voltage V_{pp} level by reset signal RST through MOS transistor 43. In this state, word line WL is held at the ground voltage level by MOS transistors 45 and 47.

When an active cycle is started, power supply block selecting signal ϕ_{Bi} attains an H level when selected, and NAND-type decode circuit 41 receives power supply voltage V_{cc} and ground voltage V_{ss} as both operation power supply voltages to perform a decoding operation. When address bits X_i , X_j , X_k and X_l are all at an H level, node 49 is discharged to the ground voltage level by the function of NAND-type decode circuit 41. (MOS transistor 49 for reset is in an off state.) MOS transistor 46 has a small current driving capability, and therefore node 49 is surely discharged to the ground voltage level by NAND-type decode circuit 41 and decode transistor 42. When the voltage level on node 49 becomes an L level, MOS transistor 45 attains an off state. MOS transistor 44 shifts to an off state, because signal SDX is at an L level and the gate and source potentials of the transistor 44 are equal.

Word line decode signal generation circuit 40 is responsive to an activation of word line driving signal ϕ_{WL} for operating to drive signals SDX and /SDX to an H level/L level according to address bit X_m . When address bit X_m is at an H level, signal SDX is driven into the high voltage V_{pp} level, and signal /SDX is discharged to the ground voltage level. Therefore, at this time, word line WL is driven into the high voltage V_{pp} level through MOS transistor 44. Meanwhile, when address bit X_m is at an L level, signal SDX attains an L level and signal /SDX attains an H level. As a result, p-channel MOS transistor 44 maintains an off state. When MOS transistors 44 and 45 both attain an off state, MOS transistor 47 is turned on by signal /SDX and word line WL is surely maintained at the ground voltage level.

In the case of the repeating circuit shown in FIG. 31, one row decode circuit is provided for two word lines WL. One of the two word lines is selected by signals SDX and /SDX. If address signal bit X_m applied to word line decode signal generation circuit 40 is replaced by two-bit address, one row decode circuit is provided for four word lines.

Thus, in the case of the configuration of the repeating circuit shown in FIG. 31, in the normal mode, word line

32

driving signal ϕ_{WL} is driven into an active state at a fast timing, and word line WL is driven into an active state at a fast timing accordingly. Meanwhile, in the self refresh mode, the activation of word line driving signal ϕ_{WL} is delayed behind the activation of power supply block selecting signal ϕ_{Bi} . Power supply block selecting signal ϕ_{Bi} is driven into an active state at a relatively delayed timing (in order to fully decode a power supply block address signal) in the self refresh mode. After the voltage level of the ground node of NAND-type decode circuit 41 surely reaches the ground voltage level, signals SDX and /SDX from word line decode signal generation circuit 40 are driven into a specified state. Thus, in the self refresh mode, a decoding operation can be surely performed to transmit high voltage V_{pp} or ground voltage V_{ss} onto selected word line WL.

In the configuration shown in FIG. 31, as a so-called hierarchical power supply arrangement, a sub-ground line is connected to NAND-type decode circuit 41. If word line decode signal generation circuit 40 is provided for each of memory blocks, a power supply switch circuit may be provided for each memory block for a signal line supplying high voltage V_{pp} , and high voltage V_{pp} may be supplied in the above described manner. In word line decode signal generation circuit 40, a leakage current from high voltage V_{pp} can be prevented from flowing by a sub-threshold leakage current and current can be prevented from being consumed. In this configuration, the power supply nodes (sources) of MOS transistors 43 and 46 need only be coupled to a sub-high voltage supply line common to word line decode signal generation circuit 40.

According to the configuration of modification 2 as described above, in addition to the previously described effects, a word line can be driven after the voltage at the operation voltage supply node is stabilized, so that a decoding operation can be surely performed and an addressed word line can be surely driven into a selected state. Note that if high voltage V_{pp} is provided in a hierarchical power supply arrangement, a word line can be driven after high voltage V_{pp} is stabilized.

Hierarchical Power Supply Arrangement 2

FIGS. 32A and 32B are diagrams showing the selected state of the power supply circuit in hierarchical power supply arrangement 2 according to the sixth embodiment of the invention. As shown in FIG. 32A, a word line WL is driven into a selected state in a single memory block in a normal mode. In this case, a power supply switch circuit provided for a global block including a selected memory block is driven into a selected state. In FIG. 32A, word line WL is selected in memory block MAB2, and power supply switch circuits SW1 to SW4 for global array block GAB0 including memory block MAB2 are driven into a selected. This is the same as the operation of the previously described power supply arrangement 1 in the normal mode.

As shown in FIG. 32B, in a refresh mode, one memory block is selected in each of global array blocks GAB0 and GAB1 for refreshing. In this case, power supply switch circuits SW2 and SW6 provided for memory blocks MAB2 and MAB6 are driven into a selected state. Address bits are allocated similarly to the allocation of the address bits shown in FIG. 22. In this case, in a self-refresh mode, an address bit QA1 to specify a global block is degenerated (ignored). Therefore, a power supply block selecting signal is generated according to address bits QA2 and QA3.

FIG. 33 is a schematic diagram showing a structure of a power supply block decode circuit. Since the power supply block decode circuit shown in FIG. 33 has the same configuration as shown in FIG. 26, except for that an AND

33

circuit 6f to decode refresh address bits receives a prescribed set among refresh address bits QA2, QA3, /QA2 and /QA3, the corresponding portions are denoted with the same reference characters and the detailed description is not provided.

In power supply block decode circuit 6 shown in FIG. 33, refresh address bits QA1 and /QA1 are not used. Therefore, one memory block is selected in each of global blocks GAB0 and GAB1.

FIG. 34 is a diagram showing a structure of the portion to generate a control signal (power supply block selecting signal) $\phi B2$ to power supply switch circuit SW2 provided for memory block MAB2. In FIG. 34, in the power supply block decode circuit, refresh address bits /QA2 and QA3 are applied to AND circuit 6f. Memory block MAB2 is selected when refresh address bits (QA2 and QA3) are (0, 1). Therefore, when memory block MAB2 is addressed, the output signal of AND circuit 6f attains an H level, and power supply block selecting signal $\phi B2$ is driven into an H level, active state. In the power supply block decode circuit, address bit QA1 is not used, therefore memory block MAB6 is also selected in global block GAB1, and corresponding power supply switch SW6 is driven into a selected state.

In this hierarchical power supply arrangement 2, as shown in FIG. 35, word line driving signal ϕWL is applied to a row-related selecting circuit 50 included in a row-related peripheral circuit 3. A prescribed voltage Vr is applied to row-related selecting circuit through a power supply switch circuit SW. Row-related selecting circuit 50 drives any of word lines WL0 to WLn into a selected state in response to an address signal Ad when selected. Power supply switch circuit SW is driven into a selected state in response to a power supply block selecting signal ϕBi . Row-related selecting circuit 50 includes a word line decode signal generating circuit 40 shown in FIG. 31. Word line driving signal ϕWL is generated by a control circuit shown in FIG. 29. Therefore, word line driving signal ϕWL applied to row-related selecting circuit 50 has its activation timing in a self-refresh mode delayed behind the activation timing in a normal operation mode. Thus, power supply switch circuit SW is driven into a selected state, and after stable voltage Vr is supplied to row-related selecting circuit 50, row-related selecting circuit 50 performs a word line selecting operation. Thus, the selected word line can be stably driven into a selected state.

According to this hierarchical power supply arrangement 2, if a larger number of word lines than those in the normal mode are driven into a selected state in the refresh mode, a power supply switch circuit in a global block is driven into a selected state in the normal mode, while in the self-refresh mode, only the power supply switch circuit for a selected memory block is driven into a selected state, so that the power consumption in the refresh mode can be reduced without increasing the accessing time. The word line driving timing can be delayed in the self-refresh mode to accurately perform a word line selecting operation.

There are eight memory blocks in this hierarchical power supply arrangement 2, but the number of memory blocks may be as desired, and the number of global blocks is also arbitrary. In the self-refresh mode, two word lines are selected, but the number of rows refreshed simultaneously is also arbitrary, and the number of refresh address bits has only to be adjusted depending upon the number of rows to be simultaneously refreshed.

Hierarchical Power Supply Arrangement 3

FIG. 36 is a schematic diagram showing the configuration of hierarchical power supply arrangement 3 according to the

34

sixth embodiment of the present invention. In FIG. 36, the configuration of the portion to control this hierarchical power supply circuit is shown.

In FIG. 36, a power supply block selecting signal generating portion includes a power supply block decoder 6 which decodes a refresh address output from refresh address counter 25 and latches the result of decoding in advance by one cycle, and outputs the latched result in the present refresh cycle. Refresh address counter 25 counts in response to a count up instruction signal CUP activated in a refresh cycle, and holds the count value. The count value output from refresh address counter 25 is applied to register 65. Register 65 responds to an instruction signal ϕCUP activated at the end of the refresh cycle to take and output the output count value of refresh address counter 25. An address signal output from register 65 is applied to a multiplexer (MUX) 26 as a refresh address signal QA.

Power supply block decoder 6 includes a power supply block decode circuit 60 which decodes the output count of refresh address counter 25, a latch 61 which responds to an activation of count up instruction signal CUP to latch the output signal of power supply block decode circuit 60, a latch 62 which responds to refresh cycle activation signal QACT to take and output the data latched by latch 61, and a selector 63 which selects one of the output signal of latch 62 and address bit RA1 from multiplexer 26 according to self refresh mode instruction signal SR to output power supply block selecting signals $\phi B1$ to $\phi B8$. Herein, the memory array is divided into eight memory blocks MAB1 to MAB8, and a global block or four memory array blocks are selected according to this row address bit RA1. The operations of the control signal generation portion shown in FIG. 36 will be now described with reference to the signal waveform diagram in FIG. 37.

In a self-refresh mode, when refresh cycle activation signal QACT is in an inactive state, latch 61 latches power supply block selecting signal $\phi Bi(N-1)$ generated by power supply block decode circuit 60 in the previous cycle (N-1). Latch 62 also latches power supply block signal $\phi Bi(N-1)$. Selector 63 selects the output signal of latch 62 in response to self-refresh mode instruction signal SR.

When refresh cycle activation signal QACT is activated, latch 62 outputs the latched data, and power supply block selecting signals ϕBi is driven into a selected/non-selected state based on the result of decoding in the previous memory cycle (Na-1). In this cycle (N), register 65 generates a refresh address taken in the previous cycle. Therefore, in this cycle (N), the selecting control of the power supply switch circuit and refresh operation are performed based on power supply block selecting signal $\phi Bi(N-1)$ and refresh address QA (N-1) decoded in the previous cycle. In the previous cycle, the decoding operation of generating the power supply block selecting signal is completed, and when refresh cycle activation signal QACT is activated, power supply block selecting signal $\phi Bi(N-1)$ is immediately made definite. As a result, in the refresh cycle, the word line selecting timing does not have to be delayed, and the refresh operation may be performed at fast timing. The word line selecting timing does not have to be changed between the normal mode and refresh mode, and the control in selecting word lines is easily made.

In response to an activation of this refresh cycle activation signal QACT, count up instruction signal CUP is activated at a prescribed timing. In response to the activation of count up instruction signal CUP, refresh address counter 25 performs a count up operation, and the count value is incremented or decremented by 1. Power supply block decode

35

circuit 60 decodes a refresh address from refresh address counter 25, and generates a power supply selecting signal based on the result of decoding. Latch 61 takes the output signal of power supply block decode circuit 60 in response to count up instruction signal CUP and enters a latching state in response to an inactivation of count up instruction signal CUP. During this period, a refresh operation is performed according to refresh address QA (N-1) generated in the previous cycle.

When refresh cycle activation signal QACT is inactivated, latch 62 takes a latched signal from latch 61 and drives the output signal into an inactive state. Thus, power supply block selecting signals $\phi B1$ to $\phi B8$ are all driven into an inactive state. In response to the activation of refresh cycle activation signal QACT, count up instruction signal ϕCUP is activated, and register 65 takes the count value output from refresh address counter 25. Thus, refresh address QA changes by 1.

When refresh cycle activation signal QACT is then activated again, latch 62 outputs the latched power supply block selecting signal, and power supply block selecting signals $\phi B1$ to $\phi B8$ are driven into a selected/non-selected state according to power supply block selecting signal $\phi Bi(N)$ obtained in the previous cycle (N). In this cycle (N+1), register 65 outputs the refresh address taken at the end of the previous cycle, and applies the address to the row-related circuits. According to refresh address QA(N) and power supply block selecting signal $\phi Bi(N)$ generated in the previous cycle, a refresh operation is executed.

In the activation period of this refresh cycle activation signal QACT, count up instruction signal CUP is activated, refresh address counter 25 performs a counting operation, and the count value is updated. Power supply block decode circuit 60 performs a decoding operation again to generate power supply block selecting signal $\phi Bi(N+1)$, and latch 61 latches power supply block selecting signal $\phi Bi(N+1)$ from power supply block decode circuit 60.

When refresh cycle activation signal QACT is inactivated, latch 62 once again takes the output signal of latch 61, and has the content thereof updated to power supply block selecting signal $\phi Bi(N+1)$. In response to the inactivation of refresh cycle activation signal QACT, latch 62 again drives output signal $\phi Bi(N)$ into a non-selected state. In response to the inactivation of refresh cycle activation signal QACT, count up instruction signal ϕCUP is activated, and register 65 takes the output count value of refresh address counter 25 and updates the refresh address. Each time refresh cycle activation QACT is activated at prescribed time intervals, the above-described operation is repeated.

In a refresh operation, a refresh address is generated according to the counting operation of refresh address counter 25. Therefore, in each refresh cycle, the next refresh address can be known, and therefore a power supply block selecting signal may be generated in advance by decoding the refresh address in the previous cycle. Thus, at the start of a refresh cycle, a decoding operation of selecting a power supply block is not necessary, and therefore a word line corresponding to a refresh row can be driven into a selected state at a faster timing.

FIG. 38 is a diagram showing an example of power supply block decoder 6. In FIG. 38, power supply block decode circuit 60 includes a NAND-type decode circuit 60a which receives prescribed refresh address bits QA_i, and /QA_i. The combination of refresh address bits QA_i, and /QA_i applied to NAND-type decode circuit 60a is determined by the address of a memory block corresponding to the power

36

supply switch circuit controlled by power supply block selecting signal ϕBi .

Latch 61 includes a transfer gate 61a which conducts to pass the output signal of NAND-type decode circuit 60a when count up instruction signal CUP is activated (at an H level), and inverters 61b and 61c which form a latch circuit to latch a signal applied through transfer gate 61a. Inverters 61b and 61c are disposed in an anti-parallel arrangement and have their inputs and outputs cross-coupled to form a so-called inverter latch.

Latch 62 includes a transfer gate 62a which conducts to pass the output signal of latch 61 when complimentary refresh cycle activation signal /QACT is activated, inverters 62b and 62c which form a latch circuit to latch a signal applied through transfer gate 62a, and AND circuit 62d which is activated in response to an activation of refresh cycle activation signal QACT to generate power supply block selecting signal ϕBi . Inverters 62b and 62c form a so-called inverter latch.

In the configuration shown in FIG. 38, power supply block decode circuit 60 decodes refresh address bits QA_i and /QA_i from the refresh address counter and outputs a signal representing the result of decoding. In latch 61, transfer gate 61a conducts when count up instruction signal CUP is activated and passes a power supply block selecting signal newly generated by the activation of count up instruction signal CUP, and inverters 61b and 61c latch this newly generated power supply block signal. During the refresh cycle period, complimentary refresh cycle activation signal /QACT is in an inactive state, and the content latched by latch 62 does not change regardless of change in the output signal of latch 61.

During the refresh cycle period, AND circuit 62d operates as a buffer to output the power supply block selecting signal latched by inverters 62b and 62c. When the refresh cycle completes and refresh cycle activation signal QACT attains an L level, inactive state, AND circuit 62d is disabled, and power supply block selecting ϕBi attains an L level, inactive state. Thus, the power supply switch circuits all attain a non-selected state, which reduces the power consumption. Meanwhile, when complimentary refresh cycle activation signal /QACT attains an H level, active state, transfer gate 62a conducts to take the signal latched by latch 61 and latches a new power supply block selecting signal.

Without adversely affecting the refresh cycle operation in the present cycle, a power supply block selecting signal is generated and latched by decoding a refresh address for the next cycle.

FIG. 39 is a diagram showing an example of a 1-bit register circuit in register 65 shown in FIG. 36. In FIG. 39, register 60 includes a transfer gate 65a which conducts to pass a count bit from the refresh address counter when count up instruction signal ϕCUP is activated, inverters 65b and 65c which form a latch circuit to latch a signal applied through transfer gate 65a, an inverter 65d which inverts the output signal of inverter 65b, and an AND circuit 65e which is enabled to generate refresh address bit QA_i according to the output signal of inverter 65d when refresh cycle activation signal QACT is activated.

In the configuration of register 65 shown in FIG. 39, the refresh address bit latched by inverters 65b and 65c is updated when count up instruction signal ϕCUP is activated. When refresh cycle activation signal QACT is activated, refresh address bit QA_i to be used in the present cycle is generated.

When multiplexer 26 is provided in the stage preceding the row address buffer/latch, this AND circuit 65e is not

necessary. The row address buffer/latch functions to maintain the internal row address signal bits in an active state in a stand-by cycle.

FIG. 40 is a schematic diagram representing how count up instruction signals CUP and ϕ CUP are generated. In FIG. 40, the count up instruction signal generation portion includes a delay circuit 67 which delays refresh cycle activation signal QACT by a prescribed time period, a one-shot pulse generation circuit 68 which generates a one-shot pulse signal in response to a rising of the output signal of delay circuit 67, an inverter circuit 69 which inverts refresh cycle activation signal QACT, and a one-shot pulse generation circuit 70 which generates a one-shot pulse signal in response to a rising of the output signal of inverter circuit 69. Count up instruction signal CUP is output from one-shot pulse generation circuit 68, and count up instruction signal ϕ CUP is output from one-shot pulse generation circuit 70. By setting the delay time by delay circuit 67 to an appropriate value, a count up operation can be performed by the refresh address counter within the refresh cycle period at an appropriate timing. The activation periods of count up instruction signals CUP and ϕ CUP may be determined suitably depending upon the latching ability of each circuit.

Note that this count up instruction signal generation circuit has only to be included in refresh instruction control circuit 23 in FIG. 25.

In hierarchical power supply configuration 3, power supply block selecting signal ϕ Bi is set to an H level when selected. However, the logical level of the power supply block selecting signals ϕ Bi in the selected state may be appropriately determined depending upon the voltage level of the voltage supply lines applied. For example, if the power supply switch circuit is provided between a main ground line and a sub ground line, power supply block selecting signal ϕ Bi attains an H level when selected, while if the power supply switch circuit is provided between a main power supply line and a sub power supply line, power supply block selecting signal ϕ Bi attains an L level when selected.

Note that in the configuration shown in FIG. 36, in a normal mode, selector 63 selects row address signal bit RA1 from multiplexer 26 in response to self-refresh mode instruction signal SR. Therefore, a global block is selected according to this row address signal bit RA1.

As described above, according to hierarchical power supply arrangement 3, in the self-refresh mode, a power supply block selecting signal to be used in the next cycle is generated by incrementing and decoding the count value of the refresh address counter in the present cycle followed by latching the result of decoding. Therefore, the decoding operation of the power supply block selecting signal has been completed at the start of the next cycle, and the state of power supply block selecting signal ϕ Bi can be set at a high speed in the next cycle, so that a word line can be driven into a selected state at a faster timing in a refresh cycle. As a result, the activation timing for a word line does not have to be changed between the refresh mode and the normal mode, and therefore the configuration of the word line driving portion can be simplified.

Seventh Embodiment

Hierarchical Power Supply Arrangement 1

FIG. 41 is a schematic diagram showing the configuration of an array portion in a semiconductor memory device according to a seventh embodiment of the present invention. In FIG. 41, a memory mat is divided into eight memory blocks MAB1 to MAB8. Memory blocks MAB2 to MAB8 include normal memory blocks NMAB2 to NMAB8 includ-

ing normal memory cells, respectively. Memory block MAB1 includes a normal memory block NMAB1 and a spare block SPB including a spare element to repair a defective cell. Memory block MAB1 corresponds to a block RBX# formed by a normal memory sub array and a spare array shown in FIG. 11.

Switch circuits SW1 to SW8 are provided corresponding to memory blocks MAB1 to MAB8. Switch circuits SW1 to SW8 are driven into a selected state according to power supply block selecting signals ϕ B1 to ϕ B8 similarly to the foregoing sixth embodiment. Spare block SPB for memory block MAB1 is shared among normal memory blocks NMAB2 to NMAB8, and can repair a defective cell (defective row) in any of the normal memory blocks by replacing the defective cell. Block address bits RA1 to RA3 and QA1 to QA3 for memory blocks MAB1 to MAB8 are allocated similarly to the sixth embodiment.

Referring to FIG. 42, the operation in a normal mode will be now described. In the normal mode, regardless of an applied address signal (row address signal), power supply switch circuit SW1 provided for memory block MAB1 including spare block SPB is driven into a selected state. Before spare determination, the power supply switch circuit corresponding to a memory block including an addressed word line WL is driven into a selected state. In FIG. 42, memory block MAB2 includes an addressed word line WL. In the other memory blocks, the power supply switch circuits are maintained in a non-selected state. A spare determination as to whether a defective memory cell is addressed is performed by comparing addresses, and according to the result of determination, an addressed word line or spare word line is driven into a selected state.

Before the spare determination, a power supply switch circuit for a memory block including a memory cell to be selected (memory block including an addressed word line or spare word line) is driven into a selected state. Therefore, when a word line is driven into a selected state in the memory block including the memory cell to be selected, a prescribed voltage is stably supplied, and therefore the memory cell to be selected can be accurately driven into a selected state. The operation will be now more detailed with reference to the signal waveform diagram in FIG. 43.

When an active cycle is started, array activation signal RACT is driven into an H level, active state. According to the activation of array activation signal RACT, row address signal RA is made definite, and the addressed memory block is determined. According to the activation of array activation signal RACT, regardless of the applied row address signal RA, power supply block selecting signal ϕ B1 to memory block MAB1 including a spare block is driven into an active state. According to address signal RA, one of memory blocks MAB2 to MAB8 is selected, and corresponding one of power supply block selecting signals ϕ B2 to ϕ B8 is driven into a selected state. According to address signal RA, a spare determination as to whether a defective row is addressed is made. If the result of spare determination indicates that a defective row is addressed (spare hit), a spare word line SWL included in spare block SPB is driven into a selected state. Meanwhile, when it is determined that a normal memory cell in a normal state is addressed (spare miss), a normal word line NWL is driven into a selected state.

When word line NWL or SWL is driven into a selected state, a corresponding power supply switch circuit has been selected to supply a prescribed voltage. Therefore, word line NWL or SWL can be accurately driven into a selected state.

When a memory block is selected based on the spare determination, after a spare hit/miss determination is made,

the power supply circuit to a corresponding memory block is driven into a selected state (shown in broken line in FIG. 43). Thereafter, word line NWL or SWL must be driven into a selected state, and therefore the timing of activating the word line should be delayed, which increases the accessing time. However, by driving the power supply switch circuits to memory block MAB1 and the memory block including the addressed normal word line into a selected state before determining whether this defective normal word line has been addressed, a prescribed voltage can be supplied from a corresponding power supply switch circuit within the spare determination time period, so that a high speed operation is implemented. (The word line selecting timing does not have to be delayed.)

Referring to FIGS. 44 and 45, the operation in the self-refresh mode will be now described. In the self-refresh mode, as shown in FIG. 44, a power supply switch circuit is selected according to the result of spare determination. Let us now assume that normal word line NWL in memory block MAB2 is addressed by refresh address signal QA. A spare determination as to whether or not normal word line NWL is defective is made by comparing the addresses. At this time, a decoding operation is also executed in parallel for selecting a power supply switch circuit, but the power supply block selecting signals are all maintained in a non-selected state. If a spare hit is determined, spare word line SWL must be driven into a selected state in place of normal word line NWL. In this case, power supply switch circuit SW1 is driven into a selected state based on the spare hit determination result. The other power supply switch circuits SW2 to SW8 are maintained in a non-selected state. Based on the spare hit determination result, spare word line SWL is driven into a selected state, and normal word line NWL is maintained in a non-selected state.

Meanwhile, if the spare determination result indicates a spare miss, power supply switch circuit SW2 is driven into a selected state, and normal word line NWL is driven into a selected state.

In the refresh mode, a data accessing is not requested, and therefore there will be no problem even if the power supply switch circuit is driven into a selected state after the spare determination. By driving only a power supply switch circuit corresponding to a memory block including a memory cell to be selected, the power consumption in the refresh mode can be reduced.

FIG. 46A is a diagram showing an example of a power supply block decode circuit which generates power supply block selecting signal $\phi B1$. In FIG. 46A, the power supply block decode circuit includes an NAND circuit 71 which receives refresh address bits /QA1, QA2, and QA3, and an NAND circuit 72 which receives a complimentary array activation signal /RACT, a complimentary spare hit signal /HIT and the output signal of NAND circuit 71 and outputs power supply block selecting signal $\phi B1$. Array activation signal /RACT is set to an L level at the start of an active cycle in the normal mode. Spare hit signal /HIT is set to an L level when a defective cell is addressed. NAND circuit 71 outputs an L level signal when memory block MAB1 is addressed. The operation of the power supply block decode circuit shown in FIG. 46 will be now described with reference to the signal waveform diagram in FIG. 46B.

In the normal mode, when an active cycle is started, complimentary array activation signal /RACT is driven into an L level. Therefore, regardless of the states of spare hit signal /HIT and the output signal of NAND circuit 71, power supply block selecting signal $\phi B1$ is driven into an active state. More specifically, when an active cycle is started in the

normal mode, power supply block selecting signal $\phi B1$ is driven into a selected state.

In the refresh mode, array activation signal /RACT is fixed at an H level. In the refresh cycle, refresh cycle activation signal QACT is driven into an H level, active state, and refresh address signal QA is defined accordingly. When a spare determination is made and a spare hit is determined, spare hit signal /HIT attains an L level, and power supply block selecting signal $\phi B1$ is driven into an H level, selected state. Then, a spare word line in a spare block is driven into a selected state.

Meanwhile, when spare hit signal /HIT is at an H level and spare replacement is not necessary, power supply block selecting signal $\phi B1$ is driven into a selected/non-selected state according to the output signal of NAND circuit 71. When memory block MAB1 is addressed, the output signal of NAND circuit 71 attains an L level, and power supply block selecting signal $\phi B1$ is driven into a selected state (H level) accordingly. Meanwhile, if any of the other memory blocks MAB2 to MAB8 is addressed, the output signal of NAND circuit 71 is at an H level, and power supply block selecting signal $\phi B1$ maintains its L level.

Note that in the configuration of the power supply block decode circuit shown in FIG. 46A, even if the output signal of NAND circuit 71 is pulled to an L level and corresponding memory block MAB1 is addressed when spare hit signal /HIT is at an L level particular problem is not caused. This is because upon spare hit, memory block MBI is selected. In order to drive power supply block selecting signal $\phi B1$ into a selected/non-selected state after the state of spare hit signal /HIT is defined, spare hit signal /HIT is further applied to NAND circuit 71. After spare hit/miss determination result is defined, the output signal of NAND circuit 71 is defined to drive power supply block selecting signal $\phi B1$ into a selected state accordingly.

FIG. 47A is a diagram showing a power supply block decode circuit for power supply block selecting signal ϕBj ($j=2$ to 8). In FIG. 47A, the power supply block decode circuit includes an inverter circuit 73 which inverts self-refresh mode instruction signal /SR, an NAND circuit 74 which receives a prescribed combination of refresh address bits QA1 to QA3 and /QA1 to /QA3, an NAND circuit 75 which receives self-refresh mode instruction signal /SR and a prescribed combination of row address bits RA1 to RA3 and /RA1 to /RA3, an NAND circuit 76 which receives the output signal of inverter 73, the output signal of NAND circuit 74 and spare hit signal /HIT, and an NAND circuit 77 which receives the output signals of NAND circuits 75 and 76 to generate power supply block selecting signal ϕBj ($j=2$ to 8). Refresh cycle activation signal /QACT may be used in place of self-refresh mode instruction signal /SR. The operation of power supply block decode circuit shown in FIG. 47A will be now described with reference to the signal waveform diagram shown in FIG. 47B.

In the normal mode, when array activation signal RACT is activated, row address signal RA is defined. After row address signal RA is defined, the output signal of NAND circuit 75 attains an H or L level in response to row address bits RA1 to RA3 and /RA1 to /RA3, because self-refresh mode instruction signal /SR is at an H level in the normal mode. The output signal of NAND circuit 76 is at an H level in the normal mode, and therefore power supply block selecting signal ϕBj is driven into a selected/non-selected state based on the output signal of NAND circuit 75.

Meanwhile, in the self-refresh mode, self-refresh mode instruction signal /SR attains an L level, and the output signal of NAND circuit 75 is set to an H level. Self-refresh

mode instruction signal is at an H level. In the self-refresh mode, when refresh cycle activation signal QACT is driven into an H level of active state, refresh address signal QA is defined. A spare determination is made according to this refresh address signal QA, and spare hit signal /HIT is driven into an H or L level. At the time of a spare hit, spare hit signal /HIT attains an L level, the output signal of NAND circuit 76 attains an H level, and power supply block selecting signal ϕB_j maintains its L level. Meanwhile, if the result of spare determination indicates a spare miss, spare hit signal /HIT maintains its H level. Therefore, power supply block selecting signal ϕB_j is driven into a selected/non-selected state according to the output signal of NAND circuit 74.

In the configuration shown in FIG. 47A, in order to prevent power supply block selecting signal ϕB_j from being driven into a selected state according to the output signal of NAND circuit 74 before the spare determination result is decided, spare hit signal HIT may be provided as an input to NAND circuit 74.

Modification 1

FIG. 48 is a diagram showing a modification of hierarchical power supply arrangement 1. In the arrangement shown in FIG. 48, word line driving timing control circuit 78 changes the activation timing of word line driving signal ϕWL according to self-refresh mode instruction signal SR. Word line driving timing control circuit 78 generates word line driving signal ϕWL in the normal mode according to word line activation signal ϕRX . Meanwhile, in the self refresh mode, this word line driving signal ϕWL is generated by delaying word line activation signal ϕRX . The configuration of word line driving timing control circuit 78 is the same as the configuration shown in FIG. 29. Even if the activation timing of power supply block selecting signal ϕBi is delayed, the word line selecting timing can be delayed accordingly using word line driving timing control circuit 78 and therefore a word line can be accurately selected. Word line driving signal ϕWL determines the activation timings of both a spare word line and a normal word line.

Modification 2

FIG. 49 is a diagram showing a second modification of hierarchical power supply arrangement 1 according to the seventh embodiment. FIG. 49 shows the configuration of a power supply block selecting signal generating portion. In FIG. 49, the power supply block selecting signal generating portion includes a multiplexer 80 which responds to self-refresh mode instruction signal SR to select one of a self-refresh address from refresh address counter 25 and internal row address signal RA from multiplexer 26, an OR circuit 81 which receives array activation signal RACT and count up instruction signal CUP, a spare determining circuit 82 which responds to an activation of the output signal of OR circuit 81 to make a spare determination for an address signal applied from multiplexer 80, a power supply block decode circuit 83 which decodes a power supply block address signal according to an address signal and self-refresh mode instruction signal SR from multiplexer 80 and a spare hit signal HIT from spare hit determining circuit 82, a latch 84 which latches a power supply block selecting signal output from power supply decode circuit 83 according to count up instruction signal CUP, a latch 85 which responds to refresh cycle activation signal QACT to take a latch signal from latch 84, and a multiplexer (MUX) 86 which selects one of the output signals of latch 85 and power supply block decode circuit 83.

The power supply block decode circuit 83 is the same in configuration as those in FIGS. 46A and 47A, and generates

power supply block selecting signal ϕBi according to self-refresh mode instruction signal SR, spare hit signal HIT and row address signal RA or QA. Latch 84 or 85 has the same configuration as that in FIG. 38, latch 84 takes and latches the output signal of power supply block decode circuit 83 when count up instruction signal CUP is active, and latch 85 takes and latches the output signal of latch 84 when refresh cycle activation signal QACT is inactive and then outputs the latched signal.

Multiplexer 86 selects the output signal of latch 85 for output in the self-refresh mode, and selects the output signal of power supply decode circuit 83 in the normal mode. Power supply block selecting signal ϕBi from multiplexer 86 is applied to the power supply switch circuit.

The power supply block selecting signal generating circuit further includes a latch 87 which latches spare hit signal HIT output by spare hit determining circuit 82 according to count up instruction signal CUP, a latch 88 which takes and transfers the output signal of latch 87 according to refresh cycle activation signal QACT, and a multiplexer (MUX) 89 which selects one of spare hit signal HIT output from spare determining circuit 82 and a signal output from latch 88. Latches 87 and 88 have the same configuration as latches 84 and 85.

Multiplexer 26 selects refresh address signal QA from register 65 in the self-refresh mode, and selects externally applied row address signal RA in the normal mode. Refresh address counter 25 and register 65 have the same configuration as that in FIG. 36.

In the configuration shown in FIG. 49, spare determining operation and power supply block decoding operation to be performed in a next cycle are performed in a refresh cycle preceding by one cycle. The results of determining and decoding are output in the next refresh cycle. Therefore, the decoding operation has been completed in the previous cycle, power supply block selecting signal ϕBi and spare hit signal HIT can be driven into a selected/non-selected state at a high speed in the next refresh cycle. Thus, the configuration of the word line driving control portion can be simplified because of no need to delay the word line selecting timing in the refresh cycle.

In the normal mode, multiplexer 80 selects internal address signal Ad from multiplexer 26 for application to power supply block decode circuit 83 in spare determining circuit 82. Spare hit signal HIT output from spare determining circuit 82 is selected by multiplexer 89 for output, and a power supply block selecting signal output from power supply block decode circuit 83 is selected by multiplexer 86 for output. Latches 84, 85, 87 and 88 are bypassed in this normal mode. If an array activation signal is activated, spare determining circuit 82 performs a determining operation and spare hit signal HIT is generated according to the result of determination. In the normal mode, power supply block decode circuit 83 decodes an address signal from multiplexer 80 regardless of this spare hit signal HIT, and drives a power supply block selecting signal to memory block MAB1 including a spare block and an addressed memory block into a selected state.

By using the configuration shown in FIG. 49, the power consumption in the self-refresh mode can be reduced without increasing the accessing time in the normal mode.

As described above, by the hierarchical power supply arrangement according to the seventh embodiment of the present invention, in the normal mode, a memory block including a spare block and an addressed memory block are driven into a selected state regardless of the spare determination result, while in the refresh mode, the power supply

switch circuit to an addressed memory block is driven into a selected state, so that in the normal mode, a voltage from the power supply switch circuit can be stably supplied before the spare determination result is defined to enable high-speed accessing, while in the refresh mode, a prescribed voltage is supplied only to minimum necessary memory blocks, resulting in reduced power consumption.

Hierarchical Power Supply Arrangement 2

FIGS. 50A and 50B illustrate the operation of a hierarchical power supply arrangement 2 according to the seventh embodiment of the present invention. In FIG. 50A, in the normal mode, power supply switch circuits for both memory block MAB1 including spare block SPB and an addressed memory block are driven into a selected state in response to an activation of an array activation signal. In FIG. 50A, memory block MAB2 is addressed. When array activation signal RACT is activated and an active cycle is started, memory block MAB1 including a spare block and addressed memory block MAB2 are driven into a selected state, so that a prescribed voltage can be supplied at a high speed with no wait for the result of spare determination.

As shown in FIG. 50B, when a spare determination result is defined, according to the defined result, only the power supply switch circuit for the memory block including a memory cell to be selected is driven into a selected state. In FIG. 50B, normal word line NWL in memory block MAB2 is driven into a selected state, and power supply switch circuit SW2 is held in a selected state, while power supply switch circuit SW1 for memory block MAB1 is driven into a non-selected state. After the determination result, normal word line NWL is driven into a selected state. Therefore, when the selected normal word line is driven, a voltage is supplied stably from power supply switch circuit SW2 and the selected normal word line can be driven into a selected state accurately and at a high speed. In addition, since memory block MAB1 is held in a non-selected state, power supply switch circuit SW1 can be driven into a non-selected state, which can reduce the current consumption.

In the refresh mode, as shown in FIG. 44, only the power supply switch circuit for a memory block including a memory cell to be selected is driven into a selected state and the other power supply switch circuits are held in a non-selected state. Thus, the current consumption in the refresh cycle can be reduced.

FIG. 51A is a diagram showing a power supply block decode circuit for power supply block selecting signal $\phi B1$. In FIG. 51A, the power supply block decode circuit includes a one-shot pulse generating circuit 90 which generates an L level, one-shot pulse signal in response to a falling of array activation signal /RACT, an NAND circuit 91 which receives row address bits /RA1, RA2 and RA3, an NAND circuit 92 which receives refresh address bits /QA1, QA2 and QA3, and an NAND circuit 93 which receives the output signal of one-shot pulse generating circuit 90, the output signals of NAND circuits 91 and 92 and spare hit signal /HIT to output power supply block selecting signal $\phi B1$. Address bits /RA1, RA2, RA3, /QA1, QA2 and QA3 are at an L level in a stand-by state. The operation of the power supply block decode circuit shown in FIG. 51A will be described in conjunction with the signal waveform diagram in FIG. 51B.

When an active cycle is started, array activation signal /RACT falls to an L level. In response to the falling of array activation signal /RACT, one-shot pulse generating circuit 90 generates a one-shot pulse which is at an L level for a prescribed period. Power supply block selecting signal $\phi B1$ output from NAND circuit 93 rises to an H level accord-

ingly. Meanwhile, NAND circuit 91 decodes applied address bits /RA1, RA2 and RA3. When memory block MAB1 is addressed, the output signal of NAND circuit 91 once again attains an L level, power supply block selecting signal $\phi B1$ output from NAND circuit 93 is driven into an H level. In this state, regardless of whether a spare word line is used or not, power supply block selecting signal $\phi B1$ is at an H level during this active cycle period.

Meanwhile, if a memory block different from memory block MAB1 is addressed, the output signal of NAND circuit 91 attains an H level. In this state, spare hit signal /HIT is driven into an H or L level according to the result of spare determination before the output signal of one-shot pulse generating circuit 90 rises to an H level. If a normal word line is used, spare hit signal /HIT is maintained at an H level. Therefore, in this state, in response to a rising of the output signal of one-shot pulse generating circuit 90, power supply block selecting signal $\phi B1$ falls to an L level. In this addressed memory block, a row is selected.

If the output signal of NAND circuit 91 is at an H level, and any of the other memory blocks is addressed, power supply block selecting signal $\phi B1$ maintains its H level in response to a falling of spare hit signal /HIT to an L level. The pulse width of a pulse signal output from one-shot pulse generating circuit 90 is set to the time width required for spare hit signal /HIT being defined, so that power supply block selecting signal $\phi B1$ can be driven into a selected/non-selected state based on the use/nonuse of corresponding memory block MAB1.

FIG. 52 is a diagram showing a power supply block decode circuit for power supply block selecting signal ϕB_j ($j=2$ to 8). The power supply block decode circuit shown in FIG. 52 is different from the power supply block decode circuit shown in FIG. 47A in the following point. More specifically, an OR circuit 94 to receive the output signal of NAND circuit 75 and spare hit signal /HIT is provided between NAND circuits 75 and 77. The other configuration is the same as that in FIG. 47A and corresponding portions are denoted by the same reference numerals and the description is not provided.

In the configuration of the power supply block decode circuit shown in FIG. 52, when an active cycle is started according to address bits RA1 to RA3 and /RA1 to /RA3, power supply block selecting signal ϕB_j is driven into a selected/non-selected state. When spare hit signal /HIT is at an L level, power supply block selecting signal ϕB_j is maintained in a state according to address bits RA1 to RA3 and /RA1 to /RA3 during the active cycle period. Meanwhile, when spare hit signal /HIT is driven into an H level, the output signal of OR circuit 94 attains an H level. In the normal mode, NAND circuit 76 is at an H level. Therefore, in response to a rising of spare hit signal /HIT, power supply block selecting signal ϕB_j falls to an L level. Thus, when a spare word line is used, only the power supply switch circuit for a memory block including a spare block is driven into a selected state, and the power supply switch circuit for the memory block including this addressed defective normal word line is driven into a non-selected state.

Note that the operation of the power supply block decode circuit in FIGS. 51A and 52 is the same as the operation of the power supply block decode circuit in FIGS. 46A and 47A, and therefore their operation waveforms are the same as those given in FIGS. 46B and 47B. More specifically, in the refresh cycle, only the power supply switch circuit for a memory block including a memory cell to be driven is driven into a selected state.

Note that the circuit configuration shown in FIG. 49 can be applied to the configuration of the power supply block

decode circuit shown in FIGS. 51 and 52. More specifically, in the refresh mode, based on a refresh address signal from the refresh address counter in the previous cycle, the selected/non-selected state of the power supply block selecting signal in the next cycle can be determined.

As in the foregoing, according to the seventh embodiment, in the normal mode, an addressed block is driven into a selected state, then only a power supply switch circuit for the memory block including a memory cell row to be selected is held in a selected state, and therefore the current consumption in the active cycle can be reduced. Furthermore, simultaneously with the start of an active cycle, a power supply switch circuit corresponding to a memory block including an addressed block and a memory block including a spare block are driven into a selected state, so that the accessing time can be prevented from being increased.

In the foregoing, memory blocks including spare word lines have been described. However, this hierarchical power supply arrangement is applicable to the configuration for repairing a spare column.

In the above described seventh embodiment, the memory block including a spare block is one in number, but this hierarchical power supply arrangement according to the seventh embodiment is applicable to the previously described first to fifth embodiments. The repeating circuit may be a sense amplifier to sense and amplify memory cell data.

As in the foregoing, according to the present invention, since spare lines can replace normal lines in a plurality of memory blocks, the spare lines can be efficiently used, and since the flexible redundancy scheme is utilized, the number of spare decoders can be reduced and the array area can be restrained from increasing.

Furthermore, a power supply switch circuit is provided for each of memory blocks, and the number of power supply switch circuits driven into a selected state is changed between the normal mode and refresh mode, the accessing time is not increased, while the current consumption can be reduced. In the arrangement including a spare block, a power supply switch circuit for the memory block including the spare block is always driven into a selected state in response to the start of an active cycle, and therefore a prescribed voltage can be supplied from the power supply switch circuit to the spare block with no wait for a spare determination result, so that the accessing time can be restrained from increasing.

Although the present invention has been described and illustrated in detail, it is clearly understood that the same is by way of illustration and example only and is not to be taken by way of limitation, the spirit and scope of the present invention being limited only by the terms of the appended claims.

What is claimed is:

1. A semiconductor memory device, comprising:
a plurality of first memory blocks each having a plurality of first normal memory cells arranged in a matrix of rows and columns, each of said plurality of first memory blocks including word lines provided corre-

sponding to said rows, respectively, and the first memory blocks aligned in the column direction; and

a plurality of first spare memory cells arranged in a matrix of rows and columns in a particular one of said plurality of first memory blocks, each row of said plurality of first spare memory cells being capable of replacing a defective row including a defective first normal memory cell in said plurality of first memory blocks.

2. The semiconductor memory device as recited in claim 1, further comprising:

a plurality of second memory blocks arranged alternatively with said plurality of first memory blocks along the column direction, the second memory blocks each having a plurality of second normal memory cells arranged in a matrix of rows and columns; and

a plurality of second spare memory cells arranged in a matrix of rows and columns in a particular one of said plurality of second memory blocks, each row of said plurality of second spare memory cells being capable of replacing a defective row including a defective second normal memory cell in said plurality of second memory blocks.

3. The semiconductor memory device as recited in claim 2, further comprising a plurality of sense amplifier bands provided between each of said plurality of first memory blocks and each of said second memory blocks, and shared by adjacent memory blocks in the column direction for sensing and amplifying data in each column of the adjacent memory block including a selected memory cell when activated.

4. The semiconductor memory device as recited in claim 2, wherein the first memory blocks and the second memory blocks share a circuit related to a memory cell selection operation.

5. The semiconductor memory device as recited in claim 3, wherein

said plurality of first memory blocks, said plurality of second memory blocks and said plurality of sense amplifier bands form a first memory array, and

said semiconductor memory device further comprises:
a second memory array having a same arrangement as the first memory array; and

control circuitry for driving one memory block from the first and second memory arrays into a selected state in a normal operation mode, and for simultaneously driving a prescribed number of memory blocks from each of said first and second memory arrays into a selected state in a particular operation mode.

6. The semiconductor memory device as recited in claim 1, wherein the first normal memory cells and the first spare memory cells are arranged alignedly in the column direction.

7. The semiconductor memory device as recited in claim 1, wherein the first memory blocks other than said particular one has no first spare memory cells.

* * * * *

SERIAL NUMBER 09/251,352	FILING DATE 02/17/99	CLASS 365	GROUP ART UNIT 2818 2824	ATTORNEY DOCKET NO. 49657-318	
APPLICANT HIDETO HIDAKA, HYOGO, JAPAN. **CONTINUING DOMESTIC DATA***** VERIFIED <u>at</u> NONE **371 (NAT'L STAGE) DATA***** VERIFIED <u>at</u> NONE **FOREIGN APPLICATIONS***** VERIFIED <u>at</u> JAPAN 10-160466(P) 06/09/98 JAPAN 10-293421(P) 10/15/98 IF REQUIRED, FOREIGN FILING LICENSE GRANTED 03/11/99					
Foreign Priority claimed 35 USC 119 (a-d) conditions met <input checked="" type="checkbox"/> yes <input type="checkbox"/> no <input type="checkbox"/> Met after Allowance		STATE OR COUNTRY JPX	SHEETS DRAWING 31	TOTAL CLAIMS 20	INDEPENDENT CLAIMS 4
Verified and Acknowledged <u>at</u> <small>Examiner's initials</small> <u> </u> <small>initials</small> <u> </u>					
ADDRESS MCDERMOTT WILL & EMERY 600 13TH STREET N W WASHINGTON DC 20005					
TITLE SEMICONDUCTOR MEMORY DEVICE WITH IMPROVED FLEXIBLE REDUNDANCY SCHEME					
FILING FEE RECEIVED \$838	FEES: Authority has been given in Paper No. _____ to charge/credit DEPOSIT ACCOUNT NO. _____ for the following:		<input type="checkbox"/> All Fees <input type="checkbox"/> 1.16 Fees (Filing) <input type="checkbox"/> 1.17 Fees (Processing Ext. of time) <input type="checkbox"/> 1.18 Fees (Issue) <input type="checkbox"/> Other _____ <input type="checkbox"/> Credit		

PATENT APPLICATION SERIAL NO. _____

U.S. DEPARTMENT OF COMMERCE
PATENT AND TRADEMARK OFFICE
FEE RECORD SHEET

02/26/1999 BBUTLER 00000053 500417 09251352

01 FC:101	760.00 CH
02 FC:102	78.00 CH

PTO-1556
(5/87)

U.S. GPO: 1998-433-214/80404

Docket No.: 49657-318

2/ Pre
See
Levins
3/24/99
JCS51 U.S. PTO
09/25/352
02/17/99

JCS51 U.S. PTO
02/17/99

UTILITY PATENT APPLICATION
UNDER 37 CFR 1.53(b)

Box PATENT APPLICATION
Assistant Commissioner for Patents
Washington, DC 20231
Sir:

Transmitted herewith for filing is the patent application of:

INVENTOR: Hideto HIDAKA
FOR: SEMICONDUCTOR MEMORY DEVICE WITH IMPROVED FLEXIBLE
REDUNDANCY SCHEME

09251352.021799

Enclosed are:

- 83 pages of specification, claims, abstract.
- Declaration and Power of Attorney.
- Priority Claimed.
- Certified copy of Japanese Patent Application No. 10-160466 and Japanese Patent Application No. 10-293421
- 31 sheets of formal drawing.
- An assignment of the invention to Mitsubishi Denki Kabushiki Kaisha and the assignment recordation fee.
- An associate power of attorney.
- A verified statement to establish small entity status under 37 CFR 1.9 and 37 CFR 1.27.
- Information Disclosure Statement, Form PTO-1449 and reference.
- Return Receipt Postcard
-

The filing fee has been calculated as shown below:

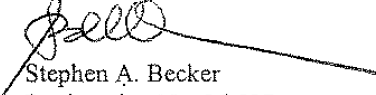
	NO. OF CLAIMS		EXTRA CLAIMS	RATE	AMOUNT
Total Claims	20	-20	0	\$18.00	\$0.00
Independent Claims	4	-3	1	\$78.00	\$78.00
Multiple Dependent Claim(s)					\$0.00
Basic Fee					\$760.00
Total of Above Calculations					\$838.00
Less 1/2 for Small Entity					\$0.00
Assignment & Recording Fee					\$40.00
Total Fee					\$878.00

09251352-021799

- Please charge my Deposit Account No. 500417 in the amount of \$878.00. A duplicate copy of this sheet is enclosed.
- The Commissioner is hereby authorized to charge payment of the following fees associated with this communication or credit any overpayment to Deposit Account No. 500417. A duplicate copy is enclosed.
 - Any additional filing fees required under 37 CFR 1.16.
- The Commissioner is hereby authorized to charge payment of the following fees during the pendency of this application or credit any overpayment to Deposit Account No. 500417. A duplicate copy of this sheet is enclosed.
 - Any patent application processing fees under 37 CFR 1.17.
 - Any filing fees under 37 CFR 1.16 for presentation of extra claims.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:dtb
Date: February 17, 1999
Facsimile: (202) 756-8087

095138-019
"0000" SET 5260

TITLE OF THE INVENTION

Semiconductor Memory Device with Improved Flexible Redundancy Scheme

BACKGROUND OF THE INVENTION

5 Field of the Invention

The present invention relates generally to semiconductor memory devices, and more particularly, to a semiconductor memory device having a memory array divided into a plurality of memory blocks. More specifically, the present invention relates to a redundancy circuit for repairing a defective memory cell in a semiconductor memory device having such an array-divided arrangement and a power supply circuit provided corresponding to each block.

10

Description of the Background Art

In the semiconductor memory device, a defective memory cell is replaced with a spare memory cell in order to equivalently repair the defective memory cell to raise the yield of the products. A flexible redundancy scheme has been proposed in order to improve the use efficiencies of spare lines (word lines or bit lines) and spare decoders for selecting spare lines in a redundancy circuit configuration including spare memory cells (spare word lines and bit lines) for repairing such defective memory cells (see, for example, "A Flexible Redundancy Technique for High-Density DRAM's", Horiguchi et al., IEEE Journal of Solid-State Circuits, Vol. 26, No. 1, January 1991, pp. 12 to 17).

15

20

25

30

Fig. 53 is a schematic diagram of the general configuration of a semiconductor memory device having a conventional flexible redundancy scheme. In Fig. 53, the semiconductor memory device includes four memory arrays MA0 to MA3. In each of memory arrays MA0 to MA3, a spare word line to repair a defective memory cell row is provided. In memory array MA0, spare word lines SW00 and SW01 are provided, and in memory array MA1, spare word lines SW10 and SW11 are provided. In memory array MA2, spare word-line SW20 and SW21 are provided, and in memory array MA3, spare word lines SW30 and SW31 are provided.

Row decoders X0 to X3 each for decoding an address signal to drive a

09251352 021709

5 normal word line provided corresponding to an addressed row into a selected state are provided corresponding to memory arrays MA0 to MA3. A column decoder Y0 is provided between memory arrays MA0 and MA1 to decode a column address signal to select an addressed column, and also a column decoder Y1 is provided between memory arrays MA2 and MA3.

10 The semiconductor memory device further includes spare decoders SD0 to SD3 to store a row address at which a defective memory cell is present, maintain a word line (defective normal word line) corresponding to this defective row address in a non-selected state when the defective row is addressed and drive a corresponding spare word line into a selected state, an OR circuit G0 to receive output signals from spare decoders SD0 and SD1, and an OR circuit G1 to receive output signals from spare decoders SD2 and SD3.

15 The output signals of OR circuits G0 and G1 are provided in common to spare word line driving circuits included in row decoders X0 to X3. Spare decoders SD0 to SD3 are commonly provided with array address signal bits an-2 and an-1 to address one of memory arrays MA0 to MA3 and with intra-array address signals bits a0 to an-3 to address a row in the memory array. Row decoders X0 to X3 are provided with array address
20 signal bits an-2 and an-1, and a row decoder is activated when a corresponding memory array is addressed. OR circuits G0 and G1 each correspond to two spare word lines provided for each of memory arrays MA0 to MA3.

25 Let us assume that normal word lines W0 and W1 are defective in memory array MA0, that a normal word line W2 in memory array MA1 is defective, and that a normal word line W3 in memory array MA2 is defective. In this state, the address of word line W0 is programmed in spare decoder SD0, while the address of word line W1 is programmed in spare decoder SD2. The address of normal word line W2 is programmed in
30 spare decoder SD3, and the address of normal word line W3 is programmed in spare decoder SD1.

OR circuit G0 selects one of spare word lines SW00, SW10, SW20 and SW30, and the output signal of OR circuit G1 selects one of spare word

0021353.021799
66720.25E15260

lines SW01, SW11, SW21 and SW31.

5 When normal word line W0 is addressed, the output signal of spare decoder SD0 is driven into a selected state, and the output of OR circuit G0 is activated. In this state, array address signal bits an-2 and an-1 activate row decoder X0, and the remaining row decoders X1 to X3 are maintained in a non-active state. Thus, a word line driving circuit included in row decoder X0 drives spare word line SW00 into a selected state in response to the output signal of OR circuit G0. At this time, in row decoder X0, a decode circuit provided corresponding to normal word line W0 is maintained in a non-active state. As a result, defective normal word line W0 is replaced with spare word line SW00.

10 If defective normal word line W1 is addressed, the output signal of spare decoder SD2 attains an H level in a selected state, the output signal of OR circuit G1 attains an H level, and spare word line SW01 is selected. If defective normal word line W2 is addressed, the output signal of spare decoder SD3 attains an H level in a selected state, the output signal of OR circuit G1 attains an H level, and spare word line SW11 is selected. If defective normal word line W3 is addressed, the output signal of spare decoder SD1 attains an H level in a selected state, and spare word line SW20 is selected by OR circuit G0 accordingly. More specifically, defective normal word lines W0, W1, W2 and W3 are replaced with spare word lines SW00, SW01, SW11 and SW20, respectively.

20 In this flexible redundancy scheme shown in Fig. 53, a single spare word line can be activated by any of a plurality of spare decoders. For example, spare word line SW20 can be driven into a selected state by spare decoder SD0 or SD1. A single spare decoder can drive any of a plurality of spare word line into a selected state. For example, spare decoder SD0 can drive any of spare word lines SW00, SW10, SW20 and SW30 into a selected state. Thus, the spare word line and spare decoders do not correspond in one-to-one relation, and therefore the spare word lines and spare decoders can be more efficiently utilized. The number of spare word lines and the number of spare row decoders in a single memory array may be selected independently from each other as long as the numbers satisfy the following

0251352 021799
66720 251520

relation:

$$L \leq R \leq M \cdot L / m$$

wherein M is the number of physical memory arrays, m the number of memory arrays whose defective normal word lines are replaced with spare word lines simultaneously, R the number of spare row decoders, and L the number of spare word lines in a single memory array. More specifically, M/m is the number of memory arrays which are logically independent from one another. As a result, M·L/m represents the number of spare word lines which are logically independent from one another for the entire memory. Herein, the logically independent spare word lines are spare word lines selected by different row addresses. For example, in Fig. 53, if a normal word line is simultaneously selected in memory arrays MA0 and MA2, memory arrays MA0 and MA2 are not logically independent from each other. In the arrangement shown in Fig. 53, L=2, R=4, M=4 and m=1.

By providing a spare row decoder common to memory arrays, a spare decoder does not have to be provided for each of spare word lines, which can restrain the chip area from increasing.

The flexible redundancy scheme shown in Fig. 53 may be employed for repairing a defective column as well. In repairing a defective column, the previously mentioned prior art document describes a method of repairing a defective column where a memory array is divided into a plurality of sub-arrays. The document particularly describes the way of repairing a defective column in multi-divided bit lines in a shared-sense amplifier arrangement and in a shared I/O scheme.

Fig. 54 is a schematic diagram of the configuration of an array portion in a semiconductor memory device according to a conventional flexible redundancy scheme. In Fig. 54, two memory blocks MBi and MBi+1 are shown. Memory blocks MBi and MBi+1 each include a normal bit line pair BL and /BL provided corresponding to each memory cell column and a spare bit line (spare column) for repairing a defective column. In Fig. 54, the spare bit line included in the spare column is not clearly shown.

Normal bit lines BL and /BL at the same column address in memory

00224551.021290

5 blocks MB_i and MB_{i+1} share a sense amplifier SA. A bit line isolation gate ILG is provided between sense amplifier SA and memory blocks MB_i and MB_{i+1} . Sense amplifier SA is connected to an internal data line pair I/O through an IO gate IOG which conducts in response to a column selecting signal YS from column decoder Y. A memory block including a selected memory cell (MB_i , for example) is connected to sense amplifier SA and data is read out therefrom. In this case, a non-selected memory block (MB_{i+1}) is disconnected from sense amplifier SA.

10 In the above-described shared-sense amplifier arrangement, a defective column address must be programmed for each of defects in normal bit lines, in a single memory block column selecting lines (YS lines) and sense amplifiers SA. For a normal bit line defect, the defective column address is programmed on a memory block basis. For a sense amplifier defect, the defective column address is so programmed as to use a spare column for each of memory blocks MB_i and MB_{i+1} which share this defective sense amplifier. For a column selecting line (YS line) defect, the defective column address is programmed for each of the memory blocks connected to this column selecting line (YS line).

20 At the time of programming, in order to use a single spare column decoder for a normal bit line defect, a sense amplifier defect and a column selecting line (YS line) defect, "Don't care" is programmed at the time of programming a defective column address, an address to specify a memory block is invalidated, and spare columns are replaced simultaneously in a plurality of memory blocks.

25 In the previously mentioned document, a defective row is repaired by replacing the defective row with a spare word line provided within a memory array including that defective row. Thus, a spare word line must be provided for each of memory arrays, and the spare word lines are not efficiently utilized. If a defective normal word line in one memory array is replaced with a spare word line in another memory array, the control of the memory array related circuits will be complicated, and therefore such arrangement must be avoided and is not considered at all.

30 In repairing a defective column, a spare column is provided for each

09251352.021799

of memory blocks, and spare columns are similarly not efficiently used. Although the shared I/O scheme has been considered for internal data line arrangement, the way to repair a defective column in a memory array having a local/global hierarchical data line arrangement used in a recent
5 block-divided arrangement has never been considered.

Meanwhile, in a conventional CMOS (Complimentary MOS) type semiconductor device, the size of components (MOS transistor: insulated gate type field effect transistor) is reduced to increase the integration density. In order to secure the reliability of the components thus
10 miniaturized and to reduce the current consumed by the entire device, the power supply voltage is reduced. In order to allow the components to operate at a high speed, the threshold voltage of the MOS transistor must be lowered depending upon the power supply voltage. This is because if the ratio of the threshold voltage to the power supply voltage is large, the transition timing of the MOS transistor to the on state is delayed. If,
15 however, the absolute value of the threshold voltage is lowered, sub-threshold leakage current to flow through the source-drain region when the MOS transistor is turned off increases. This is for the following reason. The threshold voltage is defined as the gate-source voltage to allow a prescribed drain current to flow. In an n-channel MOS transistor, if the threshold voltage is lowered, the drain current-gate voltage characteristic curve shifts toward the negative direction. The sub-threshold current is represented by the current value when gate voltage V_{gs} in the characteristic curve is 0V, and therefore the sub-threshold current
20 increases as the threshold voltage is lowered.

When the semiconductor device operates, the ambient temperature increases, and the absolute value of the threshold voltage of the MOS transistor is lowered, resulting in more serious sub-threshold current leakage. When this sub-threshold leakage current increases, the DC
30 current of the entire large scale integrated circuit increases, and particularly in a dynamic type semiconductor memory device, the stand-by current (current consumed in a stand-by state) increases.

In order to reduce the sub-threshold leakage current, a multi-

09251352.021799

threshold-voltage CMOS arrangement is employed.

5 Fig. 55 is a diagram showing a conventional multi-threshold-voltage CMOS arrangement by way of illustration. In Fig. 55, there are provided a main power supply line 902 transmitting a power supply voltage V_{cc} , a sub-power supply line 904 coupled to main power supply line 902 through a p-channel MOS transistor 903, a main ground line 906 transmitting a ground voltage V_{ss} , and a sub-ground line 908 coupled to main ground line 906 through an n-channel MOS transistor 907. MOS transistor 903 conducts when an activation signal ϕ_{ACT} is at an L level, while MOS transistor 907 conducts when an activation signal ϕ_{ACT} is at an H level. MOS transistors 903 and 907 each have a relatively high threshold voltage (high- V_{th}). The internal circuit operates, with a voltage from one of power supply lines 902 and 904 and a voltage from one of ground lines 906 and 908 used as both operation power supply voltages. In Fig. 55, as the internal circuit, three-stage, cascaded inverter circuits 914a, 914b and 914c are shown. Inverter circuit 914a includes a p-channel MOS transistor PQ having a source coupled to main power supply line 902, and an n-channel MOS transistor NQ having a source coupled to ground line 908. An input signal IN is provided in common to the gates of MOS transistors PQ and NQ. Input signal IN is set to an L level in a stand-by cycle.

15 Inverter circuit 914b operates using voltages on sub-power supply line 904 and main ground line 906 as both operation power supply voltages. Inverter circuit 914c operates with voltages on main power supply line 902 and sub-ground line 908 as both operation power supply voltages. MOS transistors PQ and NQ in each of these inverter circuits 914a to 914c have the absolute values of the threshold voltages set sufficiently small (low- V_{th}). The operation of the circuit shown in Fig. 55 will be now described with reference to Fig. 56.

20 In a stand-by cycle, input signal IN is set to an L level. Control signal ϕ_{ACT} is at an L level, and control signal $\bar{\phi}_{ACT}$ is at an H level (V_{cc} level). In inverter circuit 914b, MOS transistor PQ turns on, the source and drain thereof are at the same voltage level, and therefore no current is allowed to flow. Meanwhile, MOS transistor NQ is provided with input

00251352 021799
562720 2515200

5 signal IN at the ground voltage level at its gate and is in an off state. However, the sub threshold leakage current allowed to flow through MOS transistor 907 in an off state is sufficiently reduced, because the threshold voltage of the transistor 907 is high. As a result, the sub-threshold current is reduced even if the threshold voltage of MOS transistor NQ is small. The sub-threshold current allowed to flow through MOS transistor 907 causes the voltage level on sub-ground line 908 to be higher than the ground voltage level, so that the gate-source region of MOS transistor NQ in inverter circuit 914a is set to a reverse bias state, and its sub-threshold current is further reduced.

10 In inverter circuit 914b, the input signal is at an H level, and MOS transistor NQ is turned on, the source and drain thereof are at the same voltage level and therefore no sub threshold leakage current is generated. Meanwhile, p-channel MOS transistor PQ is provided with a signal at
15 power supply voltage Vcc level at its gate to allow sub-threshold leakage current to flow. However, since MOS transistor 903 is in an off state and MOS transistor 903 is a high-Vth transistor, the sub-threshold leakage current is sufficiently restrained. Thus, the sub-threshold leakage current in inverter circuit 914b is restrained. The sub-threshold leakage current
20 of MOS transistor 903 causes the voltage level of sub-power supply line 904 to be lower than power supply voltage Vcc, and the gate-source region of MOS transistor PQ is reversedly biased in inverter circuit 914b, the sub-threshold leakage current of which is further restrained. Similarly to inverter circuit 914a, the sub-threshold leakage current is restrained in
25 inverter circuit 914c.

30 When an active cycle is started, control signal ϕ ACT attains an H level, control signal $\bar{\phi}$ ACT attains an L level, MOS transistors 903 and 907 are turned on, sub-power supply line 904 is coupled to main power supply line 902, and sub-ground line 908 is coupled to main ground line 906. Thus, these inverter circuits 914a to 914c are supplied with a current from a corresponding power supply line/ground line, their low-Vth transistors operate at a high speed, and their output signals are changed according to change in input signal IN.

09251352 024799

5 In the power supply circuit arrangement as shown in Fig. 55, since the logical level of an input signal in a stand-by cycle is previously known, a connection path to a power source line is determined accordingly. If the logical state of input signal IN in a stand-by cycle is not predetermined, the logic gate is coupled to sub-power supply line 904 and sub-ground line 908.

10 As disclosed in Japanese Patent Laying-Open No. 6-232348, in a DRAM (Dynamic Random Access Memory), circuits having the same circuit configuration such as decode circuits and word line drive circuits are provided. As the storage capacity increases, the number of such circuits significantly increases. In repeating circuitry having repeatedly provided decode circuits and word line drive circuits, a prescribed number of particular circuits (addressed circuits) are selectively driven among the circuits having the same configuration in response to an address signal. If these circuits are formed by low-V_{th} transistors, the power supply circuit arrangement as shown in Fig. 55 (hierarchical power supply arrangement: sub-threshold leakage current reducing circuit) may be employed. In this case, as shown in Fig. 53, activation/inactivation of a power supply to a decoder or a word line driver must be controlled for each of the blocks (because a word line is selected on a block basis.) Control signals ϕ ACT and $\bar{\phi}$ ACT are activated when an active cycle is started. As a result, the number of circuits connected to sub-power supply line 904 or sub-ground line 908 increases, and as the parasitic capacitance increases, it takes longer time until sub-power supply line 904 and sub-ground line 908 are driven to prescribed voltage (V_{cc} and ground voltage V_{ss}) levels and therefore the operation starting timings of the internal circuits should be delayed until these voltages becomes stable, which impedes high-speed accessing operations.

20 As previously described, when a defective row/column is repaired using a spare decoder, a row/column to be selected is determined after determining if a spare is to be used/not used. In this case, as shown in Fig. 53, if redundancy replacement is performed within the same block, a corresponding power supply circuit (a circuit transmitting any of the power supply voltage and ground voltage) can be selected in response to an

09251352 021199
662120 25575260

address signal to control the connection. If, however, a spare row/column is used for repairing a defective cell in another memory block in the flexible redundancy arrangement, a memory block including a memory cell to be driven into a selected state must be specified according to a spare
5 determination result, the power source voltage (power supply voltage and ground voltage) cannot be driven into a stable state at a high speed, and high speed accessing operations cannot be implemented.

SUMMARY OF THE INVENTION

10 It is an object of the present invention to provide an array-divided semiconductor memory device including a redundancy circuit, which permits the use efficiency of spare lines (spare word lines and spare bit line pairs) to be significantly improved.

15 Another object of the invention is to provide an array-divided semiconductor memory device including a redundancy circuit, which permits a defective normal line to be accurately repaired without erroneous operation.

Yet another object of the present invention is to provide an array-divided semiconductor memory device including a power supply circuit without increasing accessing time and current consumption.

20 A further object of the present invention is to provide an array-divided semiconductor memory device including a redundancy circuit which permits the spare line use efficiency to be improved and a power supply circuit which permits accessing time and power consumption to be reduced.

25 Briefly stated, in a semiconductor memory device according to the present invention, spare lines are provided together as a single array, a plurality of memory mats are provided corresponding to the spare arrays, and a defective normal line in these plurality of memory mats is made replaceable with a spare line in a corresponding spare array.

30 A power supply circuit corresponding to a spare block is driven into a selected state when an active cycle is started.

Furthermore, the selecting way of the power supply circuit is changed between a normal mode and a refresh mode.

By providing a spare array exclusively for a spare line, the spare line

00251352-001799

can be shared among a plurality of memory blocks or sub arrays, and therefore the use efficiency of the spare lines may be significantly improved over the case of providing a spare line for each memory block or sub array.

5 In the array-divided arrangement, the selecting way of the power supply circuit is changed between a normal mode and a refresh mode, the numbers of bits in an address signal to be decoded can be different, and therefore the power supply circuit can be driven into a selected state at a high speed in the normal mode. Meanwhile, since a high speed response is not required in the refresh mode, a large number of address signal bits are
10 decoded to select a minimum necessary power supply circuit and current consumption is reduced.

If a spare element is included, in the normal mode power supply switch circuits for both a particular memory block including the spare element and an addressed memory block are driven into a selected state, so
15 that the power supply circuits can be driven into a selected state without having to wait for a result of spare determination and that high speed accessing operations are implemented.

In the refresh mode, the power supply circuit corresponding to a memory block including a memory cell to be selected is driven into a selected state according to the spare determination result, so that the
20 number of power supply circuits to be selected in the refresh mode can be a minimum necessary number, and the current consumption can be reduced. Thus, a semiconductor memory device with improved use efficiency of spare elements without increase accessing time and current consumption can be
25 implemented.

The foregoing and other objects, features, aspects and advantages of the present invention will become more apparent from the following detailed description of the present invention when taken in conjunction with the accompanying drawings.

30 BRIEF DESCRIPTION OF THE DRAWINGS

Fig. 1 is a schematic diagram of a main part of a semiconductor memory device according to a first embodiment of the invention;

Fig. 2A is a schematic diagram depicting how a defective column in a

09251352.021799

memory array shown in Fig. 1 is repaired;

Fig. 2B is a schematic diagram of a spare decoder used for repairing a defective column;

Fig. 3A shows a modification of the spare decoder;

5 Fig. 3B is a diagram depicting how a defective column is repaired by the spare decoder shown in Fig. 3A;

Fig. 4 is a schematic diagram of an internal data reading portion in the array arrangement shown in Fig. 1;

10 Fig. 5 is a schematic diagram of a main part of a semiconductor memory device according to a second embodiment of the invention;

Fig. 6 is a schematic diagram depicting how a normal local data bus and a normal global data bus are connected and a spare local data bus and a spare global data bus are connected in the memory array shown in Fig. 5;

15 Fig. 7 is a diagram showing the way to generate a spare local data bus selecting signal;

Fig. 8 is a schematic diagram of a column selecting portion in a spare array in the memory array shown in Fig. 5;

Fig. 9 is a schematic diagram of a main part of a semiconductor memory device according to a third embodiment of the invention;

20 Fig. 10 is a diagram showing how a defective row in the memory array shown in Fig. 9 is repaired by way of illustration;

Fig. 11 is a schematic diagram of an array portion in a semiconductor memory device according to a fourth embodiment of the invention;

25 Fig. 12 is a diagram showing the effect of a memory block arrangement shown in Fig. 11;

Fig. 13 is a schematic diagram of a bit line isolation instruction signal generation portion for solving problems associated with the arrangement shown in Fig. 12;

30 Fig. 14 is a schematic diagram of a bit line isolation instruction signal generation portion in the memory block arrangement shown in Fig. 11;

Fig. 15 is a schematic diagram depicting how a defective normal row is replaced with a spare row according to the fourth embodiment;

13

0021322-021700

- Fig. 16 is a diagram of a memory cell structure;
- Fig. 17 is a schematic diagram of an array portion in a semiconductor memory device according to a fifth embodiment of the invention;
- 5 Fig. 18A shows the correspondence between address signal bits and a selected memory portion in a normal operation mode in the array arrangement shown in Fig. 17;
- Fig. 18B shows the correspondence between address signal bits and a selected memory block in a test mode;
- 10 Fig. 19 is a schematic diagram of an example of a control portion to select a memory block in the test mode shown in Fig. 18B;
- Fig. 20 is a schematic diagram of a modification of the fifth embodiment;
- Fig. 21A is a schematic diagram of a hierarchical power supply arrangement 1 according to a sixth embodiment of the invention;
- 15 Fig. 21B is a diagram of a power switch circuit in a row-related peripheral circuit shown in Fig. 21A;
- Fig. 22 is a schematic diagram of a memory array and a power switch circuit according to the sixth embodiment;
- 20 Fig. 23A is a diagram showing the selected state of a power switch circuit in a normal mode in hierarchical power supply arrangement 1 according to the sixth embodiment;
- Fig. 23B is a waveform diagram representing the operation;
- Fig. 24 is a schematic diagram of the selected state of the hierarchical power supply arrangement in Fig. 22 in a refresh mode;
- 25 Fig. 25 is a schematic diagram of a row-related control portion in the semiconductor memory device according to the sixth embodiment;
- Fig. 26 is a diagram of an example of a power supply block decoder shown in Fig. 21;
- 30 Fig. 27 is a diagram of a power supply block decode circuit for a power supply block selecting signal $\phi B2$;
- Fig. 28 is a schematic diagram depicting how address bits are allocated in hierarchical power supply arrangement 1 according to the sixth embodiment;

00251350-021799

Fig. 29 is a diagram of a modification of the hierarchical power supply arrangement according to the sixth embodiment;

Fig. 30 is a signal waveform diagram representing the operation of the hierarchical power supply arrangement shown in Fig. 29;

5 Fig. 31 is a diagram of a repeating circuit in a row-related peripheral circuit in the modification of hierarchical power supply arrangement 1;

10 Figs. 32A and 32B are diagrams showing the selected states of the power switch circuit in a normal mode and a refresh mode, respectively in a hierarchical power supply arrangement 2 according to the sixth embodiment of the invention;

Fig. 33 is a schematic diagram of a power supply block decoder for Figs. 32A and 32B;

Fig. 34 is a diagram of a power block decode circuit for a particular power supply block selecting signal $\phi B2$;

15 Fig. 35 is a schematic diagram of a modification of hierarchical power supply arrangement 2 according to the sixth embodiment;

Fig. 36 is a schematic diagram of a control portion in a hierarchical power supply arrangement 3 according to the sixth embodiment;

20 Fig. 37 is a signal waveform chart representing the operation of hierarchical power supply arrangement 3 according to the sixth embodiment;

Fig. 38 is a diagram of an example of a power supply block decoder shown in Fig. 36;

Fig. 39 is a diagram of an example of a register shown in Fig. 36;

25 Fig. 40 is a schematic diagram of an example of a count up instruction signal generation portion shown in Fig. 36;

Fig. 41 is a schematic diagram of hierarchical power supply arrangement 1, according to a seventh embodiment of the invention;

30 Fig. 42 is a schematic diagram showing the selected state of the power switch circuit in hierarchical power supply arrangement 1 according to the seventh embodiment in a normal mode;

Fig. 43 is a signal waveform diagram representing the operation when the power switch circuit shown in Fig. 42 is selected;

00251352 001799
007120 25515260

Fig. 44 is a schematic diagram showing the selected state of the power supply switch circuit and hierarchical power supply arrangement 1 according to the seventh embodiment in a refresh mode;

5 Fig. 45 is a signal waveform diagram representing the operation corresponding to the selected state of the memory switch circuit shown in Fig. 44;

Fig. 46A is a diagram of an example of the power block decoder in hierarchical power supply arrangement 1 according to the seventh embodiment;

10 Fig. 46B is a signal waveform diagram representing the operation of the power supply block decode circuit shown in Fig. 46A;

Fig. 47A is a diagram of a power supply block decoder in hierarchical power supply arrangement 1 according to the seventh embodiment;

15 Fig. 47B is a signal waveform diagram representing the operation of the power supply block decoder shown in Fig. 47A;

Fig. 48 is a schematic diagram of a modification of hierarchical power supply arrangement 1 according to the seventh embodiment;

Fig. 49 is a schematic diagram of a control portion in hierarchical power supply arrangement 2 according to the seventh embodiment;

20 Figs. 50A and 50B are schematic diagrams showing the selected state of power supply switch circuits in hierarchical power supply arrangement 2 according to the seventh embodiment;

25 Fig. 51A is a diagram of the power supply block decode circuit in hierarchical power supply arrangement 2 according to the seventh embodiment;

Fig. 51B is a waveform diagram representing the operation of the circuit of Fig. 51A;

30 Fig. 52 is a diagram of the power supply block decoder in hierarchical power supply arrangement 2 according to the seventh embodiment;

Fig. 53 is a schematic diagram of an array portion in a semiconductor memory device with a conventional flexible row redundancy arrangement;

Fig. 54 is a schematic diagram of an array portion in a conventional

flexible column redundancy arrangement.

Fig. 55 is a diagram of an example of a conventional hierarchical power supply arrangement; and

Fig. 56 is a waveform diagram representing the operation of the hierarchical power supply arrangement shown in Fig. 55.

DESCRIPTION OF THE PREFERRED EMBODIMENTS

First Embodiment

Fig. 1 is a schematic diagram of an array portion in a semiconductor memory device according to a first embodiment of the invention. In Fig. 1, a memory array is divided into a plurality of sense amplifier blocks (row blocks) RB#0 to RB#m. These row blocks RB#0 to RB#m each share word lines. Row blocks RB#0 to RB#m are each divided into a plurality of sub-arrays. Row block RB#i (i=0 to m) is divided into normal sub-arrays MB#i0 to MB#in. These normal sub-arrays MB#i0 to MB#in each have a plurality of memory cells arranged in a matrix of rows and columns and share word lines (rows). A sensing operation is performed on the basis of a sense amplifier block.

Row blocks RB#0 to RB#m are provided with spare arrays SP#0 to SP#m respectively to repair a defective column (a column including a defective normal memory cell) in corresponding row blocks RB#0 to RB#m. These spare arrays SP#0 to SP#m each have memory cells (spare memory cells) arranged in a plurality of columns. (The number of rows of spare arrays SB#0 to SB#m is the same as the number of rows of memory cells included in a normal sub-array.)

Normal local data buses LIO00 to LIOmn are provided to normal sub-arrays MB#00 to MB#mn, respectively. These normal local data buses LIO00 to LIOmn communicate data only with corresponding normal sub-arrays MB#00 to MB#mn.

Normal sub-arrays arranged in alignment along the column direction form column blocks CB#0 to CB#n. Spare local data buses SIO0 to SIOm are similarly provided to spare arrays SP#0 to SP#m. These spare local data buses SIO0 to SIOm communicate data only with corresponding spare arrays SP#0 to SP#m. Normal global data buses NGIO0 to NGION are

09251352 021799
662720 25515260

provided to normal sub-arrays arranged in alignment in the column direction, in other words, to column blocks CB#0 to CB#n, respectively. These normal global data buses NGIO0 to NGIO_n are coupled to normal local data buses provided for normal sub-arrays in corresponding column blocks through respective block selecting gates BSG. Block selecting gate BSG conducts in response to a corresponding block selecting signal to connect a corresponding normal local data bus and a corresponding normal global data bus, when a corresponding row block is selected. Spare local data buses SIO0 to SIO_m are also coupled to spare global data bus SGIO through corresponding block selecting gates BSG. Block selecting gates BSG provided for spare arrays SP#0 to SP#_m each conduct when a corresponding row block is selected, to connect a corresponding spare local data bus to spare global data bus SGIO.

By providing a spare array SP#_i common to normal sub-arrays MB#i0 to MB#in in row block RB#_i, spare columns included in spare array SP#_i can be used for normal sub-arrays MB#i0 to MB#in, so that the use efficiency of spare columns is improved.

When a spare column is provided for each of normal sub-arrays and more defective columns than the spare columns provided in a normal sub-array are present, the defective columns can not be repaired. However, if, as shown in Fig. 1, spare arrays are provided and spare columns are collectively provided, a large number of defective columns present in a normal sub-array can be repaired by replacing the defective column with a spare column in a corresponding spare array, which improves the yields of the products.

Fig. 2A is a diagram showing how a defective normal column is repaired by way of illustration. In Fig. 2A, spare arrays SP#0 to SP#_m each include four spare bit line pairs (spare columns) SBL0 to SBL3.

Column decode circuits Y0 to Y_n are provided for column blocks CB#0 to CB#_n, respectively. A spare decode circuit SPD is provided for spare block SP#. Column decode circuits Y0 to Y_n transmit a column selecting signal through a column selecting line CSL common to memory sub-arrays included in a corresponding column block. Spare decode circuit

0001350-0270
SECRETED

SPD transmits a spare column selecting signal through spare column selecting lines SCSL0 to SCSL3 provided for spare bit line pairs SBL0 to SBL3, respectively. Let us now assume that normal columns (normal bit line pairs) are repaired by replacement independently from one another in normal memory sub-arrays MB#00 to MB#mn.

Fig. 2B is a diagram showing an example of spare decode circuit SPD shown in Fig. 2A. In Fig. 2B, spare decode circuit SPD includes OR circuits OG0 to OG3 provided corresponding to spare column selecting lines SCSL0 to SCSL3, respectively. For each of OR circuits OG0 to OG3, spare decoders provided corresponding to row block RB#0 to RB#m are disposed. For OR circuit OG0, spare decoders SG00 to SG0m are provided, and for OR circuit OG3, spare decoders SD30 to SD3m are provided. A defective normal bit line pair in each row block is programmed in a spare decoder provided for each OR circuit.

Now, as shown in Fig. 2A, normal bit line pair PBL0 in memory sub-array MB#00 is replaced with spare bit line pair SBL0 in spare array SP#0, and normal bit line pair PBL1 in memory sub-array MB#0n is replaced with spare bit line pair SBL1 in spare array SP#0. Normal bit line pair PBL2 in memory sub-array MB#10 is replaced with spare bit line pair SBL0 in spare array SP#1, and defective normal bit line pairs PBL3 and PBL4 included in memory sub-arrays MB#m0 and MB#mn respectively are replaced with spare bit line pairs SBL0 and SBL3 in spare array SP#m. In this case, the address of defective normal bit line pair PBL0 is programmed in spare decoder SD00, and the address of defective normal bit line pair PBL1 is programmed in the spare decoder provided for an OR circuit provided corresponding to spare column selecting lines CSL1. Defective normal bit line pair PBL2 has its address programmed in spare decoder SD01 provided for OR circuit OG0. Defective normal bit line pairs PBL3 and PBL4 have their addresses programmed in spare decoders SD0m and SD3m. As a result, when a defective normal bit line pair is addressed, a corresponding spare column selecting line is driven into a selected state. At this time, according to the output signals of these OR circuits, the decoding operations of column decode circuits Y0 to Yn are stopped. More

09251352 021799
162720 2567560

specifically, the use of the spare decode circuit shown in Fig. 2B permits defective normal bit line pairs to be repaired independently from one another among memory sub-arrays MB#00 to MB#mn.

5 In the configuration of the spare decode circuit shown in Fig. 2B, the address of a defective normal bit line pair can be programmed for each row block. It is therefore not requested that the spare decoders each store "Don't care" state. If normal column selecting line CSL is defective, each spare decoder has only to be programmed with the same address signal. In this case, however, by providing the spare decoder with the function of
10 storing the "Don't care" state, defective normal bit line pairs can be repaired on a row block basis and defective normal bit line pairs can be also repaired by replacing a defective normal column selecting line as well.

Modification

15 Fig. 3A is a diagram of a modification of the spare decode circuit shown in Fig. 2A. In Fig. 3A, a spare decoder is disposed for a column block. More specifically, for OR circuit OG0, spare decoders SD00 to SD0n are provided, while for OR circuit OG3, spare decoders SD30 to SD3n are provided. Spare decoders SD00 to SD0n correspond to column blocks CB#0 to CB#n, respectively, while spare decoders SD30 to SD3n correspond
20 to column blocks CB#0 to CB#n, respectively.

Let us now assume that a normal bit line pair PBL0 in memory sub-array MB#00 is defective, and that a column selecting line CSL from column decode circuit Yn is defective. In this case, the address of defective normal bit line pair PBL0 is programmed in spare decoder SD00, and the
25 address of defective normal column selecting line CSL is programmed in spare decoder SD3n. When the address of defective normal column selecting line CSL is programmed, spare decoder SD3n has its column block address bit invalidated, and the output signal of spare decoder SD3n indicates a selected state if a normal bit line pair corresponding to a
30 defective column selecting line CSL in any of memory sub-arrays MB#0n to MB#mn in column block CB#n is addressed.

In this case, defective normal bit line pair PBL0 is replaced with spare bit line pair SBL0 in spare array SP#0, and defective normal column

00251352-021799
66720-2847260

selecting line CSL from column decode circuit Yn is replaced with spare column selecting line SCSL3.

Note that in the arrangement shown in Fig. 1, a single memory sub-array is selected and connected to a corresponding normal global data bus. As a result, 1-bit data is input/output.

Fig. 4 is a schematic diagram of a data reading portion. In Fig. 4, main amplifiers MAP0 to MAPn are provided to normal global data buses NGIO0 to NGIO n, respectively, and a spare main amplifier MAPs is provided corresponding to a spare global data bus SGIO. Main amplifier MAP0 to MAPn are selectively activated in response to activation of main amplifier activation signals PAE0 to PAEn, and spare main amplifier MAPs is activated in response to a spare main amplifier activation signal PAEs. When spare main amplifier activation signal PAEs is activated, main amplifier activation signals PAE0 to PAEn are all maintained in a non-active state. Thus, when a defective bit is repaired by replacement, 1-bit data can be accurately read out. In order to write data, a write driver has only to be provided in place of a main amplifier.

Spare main amplifier activation signal PAEs is activated when any of the output signals of OR circuits OG0 to OG3 attains an H level.

Note that in the configuration of the reading portion in Fig. 4, normal global data buses NGIO0 to NGIO n are connected to normal local data buses provided corresponding to a selected row block. However, since only one of column decode circuits Y0 to Yn transmits an activated column selecting signal onto a column selecting line, only one of normal global data buses NGIO0 to NGIO n receives the data of a selected memory cell (when a normal memory cell is accessed).

If all the memory sub-arrays are selected in a selected row block, a spare local data bus is provided for each of the spare sub-bit line pairs in each spare array, and spare global data buses are provided corresponding to these plurality of spare local data buses. Using spare decoders SD00 to SD3n having the configuration shown in Fig. 3A, one of the spare main amplifiers provided for the plurality of spare global data buses is selectively activated. Alternatively, using the output signals of these spare decoders

00251352.021799

SD00 to SD3n, a column block at which a defective normal column has been repaired is detected, and the output signal of the spare main amplifier provided for the detected column block is selected and transmitted. This can be implemented by using a switch circuit.

5 In Figs. 2A and 3A, spare decoders are used for row blocks or column blocks. However, the number of spare decoders can be suitably determined depending upon the number of defective normal bit line pairs to be repaired in the entire memory array.

10 The number of spare bit line pairs in each of spare arrays SP#0 to SP#m can be suitably determined. What is required is that a plurality of spare bit line pairs are provided per column block.

15 As described above, according to the first embodiment of the invention, a spare array is provided for each row block, and an arbitrary defective normal column in a plurality of sub-arrays included in a corresponding row block can be repaired, so that defective normal columns can be efficiently repaired in each row block.

20 A spare decoder to select a spare column (spare bit line pair) is shared among a plurality of memory sub-arrays, in other words, a spare decoder is not necessary for each of memory sub-arrays, which reduces the circuit occupying area and improves the use efficiency of spare decoders.

Second Embodiment

25 Fig. 5 is a schematic diagram of a memory array portion in a semiconductor memory device according to a second embodiment of the invention. In the array arrangement shown in Fig. 5, block selecting gates BSGs provided corresponding to spare arrays SP#0 to SP#m receive signals ϕ_{s0} to ϕ_{sm} different from signals ϕ_0 to ϕ_m to select a corresponding row block. More specifically, when a defective normal column is repaired, a prescribed number of spare local data buses among spare local data buses SIO0 to SIOm are simultaneously connected to spare global data bus SGIO.
30 The other arrangement is the same as that in Fig. 1, and corresponding portions are denoted by the same reference characters.

Fig. 6 is a schematic diagram depicting how normal global data buses are connected to local data buses and spare local data buses. In Fig.

09251352-024799
667120-25515260

6, normal global data bus NGIO is connected to a local data bus LIOi through a block selecting gate BSG. Block selecting gate BSG conducts in response to a row block selecting signal ϕ_i . Meanwhile, spare global data bus SGIO is connected to spare local data bus SIOi through spare block selecting gate BSGs and at the same time connected to a plurality of spare local data buses. Fig. 6 generically shows spare local data bus SIOj connected to spare global data buses SGIO by way of illustration.

10 In a memory sub-array, normal memory cells are arranged in a matrix of rows and columns. In a spare-array, spare memory cells are arranged in a matrix of rows and columns. The number of columns in the spare array, however, is significantly smaller than the number of columns in a normal sub-array, because the spare array is provided to repair a defective column in a normal sub-array in a corresponding row block. As a result, when parasitic capacitance C_a is connected to bus lines to local data bus LIOi, smaller parasitic capacitance C_c is present at bus lines of spare local data bus SIOi.

15 Meanwhile, normal global data bus NGIO and spare global data bus SGIO are provided extending in the column direction in a memory array, and almost the same parasitic capacitance C_b is present on these buses. As a result, if only a single spare local data bus is connected to spare global data bus SGIO, the parasitic capacitance produced is C_b+C_c . At the time of accessing a normal memory cell, the parasitic capacitance produced on the bus line is C_a+C_b . At the time of accessing a spare memory cell, the parasitic capacitance on the bus is small, a signal changes in a timing faster than that in accessing a normal memory cell. Therefore, signal propagation delay is different between normal memory cell accessing and spare column selecting, the timings of changes in the internal signals are different, which could cause inconsistency in internal timings and erroneous operations. Particularly in the case where memory array as shown in Fig. 5 is provided in plurality and multiple-bit data is input/output, if a spare column is selected in a memory array and a normal column is selected in another memory array, the timings of transferring data are different, and therefore the set up/hold time of internal data could

0021333-001709

be different, which destabilizes the circuit operations.

Also when columns are selected sequentially in synchronization with a clock signal, data is externally read out alternately after it is read and latched in parallel with selected data in another memory cell array. If the transmission time of a data signal is different for selecting a normal memory cell and for selecting a spare column, the set up/hold time relative to the latch timing is different, which could make it difficult to read out data accurately.

Thus, as shown in Fig. 6, at the time of accessing a defective spare memory cell, a plurality of spare local data buses are simultaneously connected to spare global data bus SGIO. Thus, the signal propagation delay time is made equal between the case of selecting a normal memory cell and the case of accessing a spare memory cell.

The number of spare local data buses k driven simultaneously into a selected state is specifically given by the following expression:

$$C_b + C_a = C_b + k \cdot C_c$$

Therefore the following expression results:

$$C_a = k \cdot C_c$$

Thus, the problems associated with mismatch in the timings can be avoided.

Let us now assume that eight row blocks RB#0 to RB#7 are provided as shown in Fig. 7. Row blocks RB#0 to RB#7 are addressed by 3 address signal bits, a_i , a_j and a_k . These 3 address signal bits, a_i , a_j and a_k are decoded to generate a block selecting signal ϕ_i .

One of the group of row blocks RB#0 to RB#3 and the group of row blocks RB#4 to RB#7 is addressed by address signal bit a_i , one of the group of row blocks RB#0, RB#1, RB#4 and RB#5 and the group of row blocks RB#2, RB#3, RB#6 and RB#7 is addressed by address signal bit a_j , and one of the group of row blocks RB#0, RB#2, RB#4 and RB#6 and the group of row blocks RB#1, RB#3, RB#5 and RB#7 is addressed by address signal bit a_k . In this case, address signal bits a_i to a_k can be suitably invalidated (set to a "Don't care" state) to generate spare array block selecting signal ϕ_{si} .

If, for example, address signal bit a_k is invalidated, two row blocks

24

are simultaneously addressed, two spare local data buses can be connected to a spare global data bus. If address signal bit a_j is invalidated, two row blocks can be similarly addressed. If address signal bits a_j and a_k are both invalidated, four row blocks can be simultaneously addressed. If 3
5 address signal bits a_i to a_k are all invalidated, all the row blocks can be addressed. Thus, by the use of this arrangement, spare local data buses for a necessary number (multiples of 2) of spare arrays can be connected to the spare global data bus.

Fig. 8 is a schematic diagram of a column selecting portion in a spare block. In Fig. 8, the configuration of two spare arrays $SP\#i$ and $SP\#j$ is shown.
10

Referring to Fig. 8, in spare array $SP\#i$, a spare column selecting gate $CSGi$ conducts to connect a spare bit line pair SBL to spare local data bus SIO_i in response to a local column selecting signal YS_i output from an AND circuit SCG_i which in turn receives a column selecting signal and a row block address signal ϕ_i from a spare column decode circuit which is not shown. In spare array $SP\#j$, a spare column selecting gate CSG_j conducts to connect a spare bit line pair SBL and spare local data bus SIO_j in response to a spare local column selecting signal YS_j from an AND circuit
15 SCG_j which in turn receives a spare column selecting signal and a row block selecting signal ϕ_j transmitted onto a spare column selecting line SCSL from the spare column decode circuit. Spare local data buses SIO_i to SIO_j are connected to spare global data bus SGIO through spare block selecting gates BSGs which conduct in response to block selecting signals
20 ϕ_{si} and ϕ_{sj} .

In the configuration shown in Fig. 8, when a spare array is accessed, spare local data buses SIO_i to SIO_j are coupled to spare global data bus SGIO in parallel. In this state, a spare bit line pair SBL for a spare array provided corresponding to a selected row block is connected to a
25 corresponding spare local data bus. Thus, if a spare column selecting signal applied onto spare column selecting line SCSL from the spare column decode circuit is provided in common to spare arrays $SP\#0$ to $SP\#m$ and a plurality of spare local data buses are simultaneously connected to
30

092135-0449
662720-252226

5 the spare global data bus, a spare column corresponding to an addressed defective column can be accurately selected for data accessing. Thus, such a situation can be prevented that a spare bit line pair held in a precharge state is connected to the spare global data bus through a corresponding spare local data bus and the spare memory data is destroyed.

10 In the foregoing description, an address signal bit for addressing a row block is set to a degenerated state (Don't care state) and a plurality of spare local data buses are simultaneously connected to the spare global data bus. However, a decode circuit may be separately provided, and a set of spare local data buses selected at a time for each addressing of a row block may be determined based on the output of the decode circuit.

15 As described above, according to the second embodiment, a plurality of spare local data buses are connected to the spare global data bus in parallel, the signal propagation delay for the global data bus can be the same for accessing a normal memory cell and for accessing a spare memory cell, so that the problems associated with mismatch in the internal timings can be avoided and a stably operating semiconductor memory device can be implemented.

20 Third Embodiment

Fig. 9 is a schematic diagram of a main part of a semiconductor memory device according to a third embodiment of the invention. In Fig. 9, a memory array is divided into a plurality of row blocks (sense amplifier blocks) RBX#0 to RBX#m along the column direction. Row blocks RBX#1 to RBX#m are formed by normal memory sub-arrays MA#1 to MA#m having normal memory cells arranged in a matrix of rows and columns. Row block RBX0 includes a normal memory sub-array MA#0 having normal memory cells arranged in a matrix of rows and columns, and a spare array SPX# having spare memory cells arranged in a plurality of rows and sharing the columns with normal memory sub-array MA#0. The plurality of spare rows (spare word lines) included in spare array SPX# can replace defective normal word lines included in normal memory sub-arrays MA#0 to MA#m. Row decoders X0 to Xm are provided for normal memory sub-arrays MA#0 to MA#m, respectively, and a spare row decode circuit

)(

09251352 021799
66729 25E7520

SPDX is provided for spare array SPX#.

5 In the configuration shown in Fig. 9, spare array SPX# is provided in common to normal memory sub-arrays MA#0 to MA#m. As a result, if defective rows concentrate in one normal memory sub-array, spare word lines included in spare array SPX# can be used for repairing by replacement, and therefore the yields of the products can be improved. A spare row decoder is shared among a plurality of normal memory sub-arrays (row blocks) and therefore the number of spare decoders can be reduced.

10 Fig. 10 is a schematic diagram of spare row decode circuit SPDX shown in Fig. 9. Fig. 10 shows the configuration of spare row decode circuit SPDX when four spare word lines SWL0 to SWL3 are provided by way of illustration. Spare row decode circuit SPDX includes spare row decoders SDX0 to SDX3 provided corresponding to spare word lines SWL0 to SWL3, respectively. These spare row decoders SDX0 to SDX3 are programmed with both a block address to address a memory sub-array and a row address to address a row in a sub-array.

15 Let us now assume that a defective normal word line WL0 included in normal memory sub-array MA#0, defective normal word lines WL1 and WL2 included in normal memory sub-array MA#1, and a defective normal word line WL3 included in normal memory sub-array MA#m are repaired by replacement with spare word lines as shown in Fig. 10. In this case, the address (including a block address) of word line WL0 is programmed in spare row decoder SDX0, and the addresses of defective normal word lines WL1 and WL2 are programmed in spare row decoders SDX1 and SDX2, respectively, and the address of defective normal word line WL3 is programmed in spare row decoder SDX3. Therefore, defective normal word lines WL0, WL1, WL2 and WL3 are replaced with spare word lines SWL0, SWL1, SWL2 and SWL3, respectively.

20 Thus, since a spare row decoder is shared among normal memory sub-arrays MA#0 to MA#m, a spare row decoder is not necessary for each of the normal memory sub-arrays, and therefore increase in the array occupied area can be restrained. Since spare word lines are shared among

09251352, 021799

normal memory sub-arrays MA#0 to MA#m, and therefore the use efficiency of spare word lines can be improved.

5 By providing spare array SPX# in common to normal memory sub-arrays MA#0 to MA#m in row block RBX#0, spare word line SWL included in spare array SPX# can be used by an arbitrary normal memory sub-array, and the use efficiency of spare word lines can be improved.

10 Since spare array SPX# is included in normal memory sub-array MA#0, a sense amplifier provided for row block RBX0 has only to be activated when one of spare decoders SDX0 to SDX3 is selected, and therefore the control operation of the sense amplifier is simplified.

In the configuration shown in Figs. 9 and 10, one row block is selected among row blocks RBX#0 to RBXm for sensing operation. (A word line is selected.)

15 The number of spare word lines SWL included in spare array SPX# is arbitrary.

20 As in the foregoing, according to the third embodiment of the invention, spare word lines are collectively provided in a single spare array for common use among a plurality of normal memory sub-arrays, the number of spare row decoders is reduced, and the use efficiency of spare word lines is improved.

Fourth Embodiment

25 Fig. 11 is a schematic diagram of an array portion in a semiconductor memory device according to a fourth embodiment of the invention. In Fig. 11, a memory array includes normal memory sub-arrays MA#0-0 to MA#0-N and normal memory sub-arrays MA#1-0 to MA#1-N provided in the column direction, alternately with normal memory sub-arrays MA#0-0 to MA#0-N. A spare array SPX#0 having a prescribed number of spare word lines SWL is provided for normal memory sub-array MA#0-0 to form one row block (sense amplifier block) RBX0, while in normal memory sub-array 30 MA#1-N, a spare array SPX#1 having a prescribed number of spare word lines SWL is provided to form a row block RBX#1. Normal memory sub-arrays MA#0-0 to MA#0-N and MA#1-0 to MA#1-N each have normal memory cells arranged in a matrix of rows and columns.

09251352.021709

Sense amplifier bands SAB1 to SABm are provided between memory sub-arrays adjacent to one another in the column direction. A sense amplifier band SAB0 is provided outside normal memory sub-array MA#0-0, and a sense amplifier band SABm+1 is provided adjacent to normal memory sub-array MA#1-N.

These sense amplifier bands SAB0 to SABm+1 have an alternate shared sense amplifier arrangement. When one normal memory sub-array or row block is selected, the sense amplifiers included in the sense amplifier bands provided on both sides are used for sensing operation.

Spare word lines in spare array SPX0 included in row block RBX#0 can replace normal word lines included in memory sub-arrays MA#0-0 to MA#0-N, and each spare word line in spare array SPX#1 provided in normal memory sub-array MA#1-N can replace each normal word line included in normal memory sub-arrays MA#1-0 to MA#1-N.

In a normal operation, one of normal memory sub-arrays MA#0-0 to MA#0-N is selected or one of normal memory sub-arrays MA#1-0 to MA#1-N is selected. More specifically, in the arrangement shown in Fig. 11, one normal memory sub-array is driven into a selected state. Now, advantages brought about by alternately arranging normal memory sub-arrays MA#0-0 to MA#0-N and normal memory sub-arrays MA#1-0 to MA#1-N in the column direction and providing a spare array for each of the groups of sub-arrays will be described.

Let us now assume that spare word lines in spare array SPX# included in row block RBX0 as shown in Fig. 12 can replace defective normal word lines in all the normal memory sub-arrays. In the shared sense amplifier arrangement, row block RBX0 and normal memory sub-array MA#1-0 are provided on both sides of sense amplifier band SAB1. A bit line isolation gate BLIG0 is provided between sense amplifier band SAB1 and row block RBX0, and a bit line isolation gate BLIG1 is provided between sense amplifier band SAB1 and normal memory sub-array MA#1-0. Bit line isolation gate BLIG0 is supplied with the output signal of NOR circuit OGa receiving a replacement instruction signal/ ϕ_{sp} and a sub-array sub-array designating signal ϕ_1 as a bit line isolation control signal.

Bit line isolation gate BLIG1 is supplied with the output signal of an NOR circuit OGb receiving replacement instruction signal ϕ_{sp} and sub-array designating signal ϕ_0 as a bit line isolation instruction signal. Replacement instruction signal ϕ_{sp} is selectively pulled to an H level, active state when a defective normal cell is addressed and a spare word line included in spare array SPX# is selected. Sub-array designating signal ϕ_1 attains an active state, H level, when normal memory sub-array MA#1-0 is addressed, and sub-array designating signal ϕ_0 attains an active state, H level, when normal memory sub-array MA#0-0 is addressed.

Let us assume that a defective normal word line included in normal memory sub-array MA#1-0 is replaced with a spare word line included in spare array SPX#. When this defective normal word line in normal memory sub-array MA#1-0 is addressed, sub-array address signal ϕ_1 attains an H level, while sub-array designating signal ϕ_0 maintains an L level. As a result, the output signal of NOR circuit OGa attains an L level, bit line isolation gate BLIG0 attains a non-conductive state, the spare array SPX# is disconnected from sense amplifier band SAB1. Meanwhile, the defective normal word line is replaced with a spare word line included in spare array SPX#, replacement instruction signal ϕ_{sp} is driven into an H level, therefore the output signal of NOR circuit OGb attains an H level, and bit line isolation gate BLIG1 attains a non-conductive state. As a result, sense amplifier band SAB1 is disconnected from both spare array SPX# and normal memory sub-array MA#1-0, and the defective normal word line cannot be repaired.

For the purpose of avoiding this situation, the circuit shown in Fig. 13 could be used as the bit line isolation control circuit in order to turn on bit line isolation gate BLIG0 when a spare word line is used.

In Fig. 13, the bit line isolation control circuit includes an inverter OGaa which receives sub-array designating signal ϕ_1 , and an OR circuit OGab which receives the output signal of inverter OGaa and replacement instruction signal ϕ_{sp} . In the bit line isolation control circuit shown in Fig. 13, when a normal memory sub-array is addressed, the output signal of inverter OGaa attains an L level. When a defective normal word line is

00251352 021799
062720 251520

not addressed, replacement instruction signal ϕ_{sp} is at an L level, and therefore the output signal of OR circuit OGab attains an L level, which turns off bit line isolation gate BLIG0. Meanwhile, if replacement instruction signal ϕ_{sp} is activated and a spare word line included in the spare array is used, the output signal of OR circuit OGab attains an H level, which turns on bit line isolation gate BLIG0.

However, the bit line isolation control circuit shown in Fig. 13 has a different circuit configuration from the control circuit provided for other bit line isolation gates and a different number of gate stages. (The OR circuit is formed by an NOR circuit and an inverter receiving the output of the NOR circuit.) As a result, the gate delay is different, the timing margin is reduced, and erroneous operation could be caused.

As shown in Fig. 11, in spare array SPX#0, by providing spare word lines which can replace defective normal word lines in normal memory sub-arrays MA#0-0 to MA#0-N, a spare word line included in a spare array included in this row block RBX#0 is not used if a defective normal word line in normal memory sub-array MA#1-0 is addressed. Therefore, in this case, the use of the bit line isolation control circuit shown in Fig. 14 permits a defective normal word line to be accurately repaired by replacement.

In Fig. 14, a 2-input NOR circuit OGc receiving sub-array designating signal ϕ_1 is provided for bit line isolation gate BLIG0, and an NOR circuit OG receiving spare replacement instruction signal ϕ_{sp0} and sub-array designating signal ϕ_0 is provided for bit line isolation gate BLIG1. Spare replacement instruction signal ϕ_{sp0} is driven into an active state, H level, when a defective normal word line is addressed in any of normal sub-arrays MA#0-0 to MA#0-N. Sub-array designating signal ϕ_0 is driven into an active state, H level, when normal memory sub-array MA#0-0 is addressed, while sub-array designating signal ϕ_1 is driven into an active state, H level, when normal memory sub-array MA#1-0 is addressed.

When spare array SPX#0 provided corresponding to sub-array MA#0-0 is used, normal memory sub-array MA#1-0 will not be addressed. This is because a spare word line included in spare array SPX#0 is selected when a defective normal word line included in normal memory sub-arrays

00251352.021799

MA#0-0 to MA#0-N is addressed. Also in this case, the output signal of NOR circuit OGc maintains an H level, the output signal of NOR circuit OGd attains an L level, and sense amplifier band SAB1 is connected to row block RBX#0 and disconnected from normal memory sub-array MA#1-0.
5 Conversely, when normal memory sub-array MA#1-0 is addressed, the output signal of NOR circuit OGc attains an L level, row block RBX#0 is disconnected from sense amplifier band SAB1, and normal memory sub-array MA#1-0 is connected to sense amplifier band SAB1. (The output signal of NOR circuit OGd maintains an H level.)

10 The similar configuration is provided for the other row block RBX#1. Thus, a memory block including a spare array and a memory sub-array adjacent to this block will not be simultaneously addressed, so that defects can be accurately repaired.

15 Fig. 15 is a schematic diagram showing an example of replacement of a defective normal word line in the semiconductor memory device according to the fourth embodiment of the invention. In Fig. 15, spare array SPX#0 includes spare word lines which can replace defective normal word lines in normal memory sub-arrays MA#0-0 to MA#0-N. Spare array SPX#1 includes spare word lines which can replace defective normal word lines
20 included in normal memory sub-arrays MA#1-0 to MA#1-N. Normal sub-arrays sharing a sense amplifier band have different values in address signal bit RAj. Thus, erroneous operation caused by access conflict (simultaneous selection of a normal/spare word line) can be prevented, so that defects can be accurately repaired.

25 Fifth Embodiment

Fig. 16 is a diagram of a memory cell included in a semiconductor memory device. In Fig. 16, two memory cells MCa and MCb disposed corresponding to the crossing portions of word lines WLa and WLb and a bit line BL are represented. Memory cells MCa and MCb each include a capacitor MQ and an access transistor MT formed by an n-channel MOS
30 transistor and responsive to the signal potential of a corresponding word line (WLa or WLb) for connecting capacitor MQ to bit line BL. These memory cells MCa and MCb are both a dynamic type memory cell, to which

0051353.001799

a pair of bit lines BL and /BL is provided, and the potential difference generated between bit lines BL and /BL is differentially amplified by a sense amplifier.

5 In the arrangement shown in Fig. 16, when word line WLa is driven into a selected state, the voltage level of non-selected word line WLb rises through the capacitive coupling by parasitic capacitance between word lines WLa and WLb, access transistor MT included in memory cell MCb is weakly turned on, and the stored charge of capacitor MQ is transmitted onto bit line BL. When selected word line WLa makes a transition to a

10 non-selected state, the capacitive coupling between word line WLa and bit line BL causes the voltage level of bit line BL to be lowered (when bit line BL is driven to a ground voltage level), access transistor MT included in memory cell MCb connected to non-selected word line WLb is weakly

15 turned on, and the stored charge of the capacitor is allowed to flow to bit line BL. Such a phenomenon of causing current leakage in a memory cell connected to a non-selected word line as another word line is selected is called "disturb refresh". If the charge holding characteristic of a memory cell is poor, the stored data in the memory cell is lost before a refresh operation is performed at a prescribed cycle, and a soft-error is caused. In

20 order to test such "disturb refresh" characteristic, word lines are sequentially driven into a selected state and the charge holding characteristics of memory cells are tested, in other words, a "disturb refresh test" is performed. In the "disturb refresh test", in order to provide a prescribed number of disturbances to each memory cell, a word line is

25 driven into a selected state a prescribed number of times.

If the storage capacity of a semiconductor memory device increases, the number of word lines increases accordingly, and time required for this "disturb refresh test" increases as well. In order to perform such disturb refresh test at a high speed, a larger number of word lines than the number

30 of word lines selected at a time in a normal operation mode are simultaneously driven into a selected state in this disturb refresh test. In this case, although depending upon the way to select a word line, if the flexible redundancy scheme is employed, a spare word line and a normal

??

09251352 021792

word line in one sub-array may be simultaneously driven into a selected state to cause access conflict, the stored data in the memory cell is destroyed, and the disturb refresh test can no longer be performed. The arrangement which can prevent a normal word line and a spare word line in one memory sub-array from being simultaneously selected even if a larger number of word lines than the number in the normal operation mode are driven into a selected state in a disturb refresh test will be now described.

Fig. 17 is a schematic diagram showing the arrangement of an array portion in the semiconductor memory device according to the fifth embodiment of the invention. In Fig. 17, the memory array includes two memory mats B#0 and B#1. Memory mat B#0 includes normal memory sub-arrays MB#00-0 to MB#00-N and normal memory sub-arrays MB#01-0 to MB#01-N. Normal memory sub-arrays MB#00-0 to MB#00-N and normal memory sub-arrays MB#01-0 to MB#01-N are alternately disposed. Sense amplifier bands represented by shadowed regions are disposed between these normal memory sub-arrays MB#00-0 to MB#00-N and MB#01-0 to MB#01-N. A spare array SPX#00 including spare word lines is provided for normal sub-array MB#00-0, and a spare array SPX#01 including spare word lines is provided for normal memory sub-array MB#01-N.

Normal memory sub-array MB#00-0 and spare array SPX#00 form a row block (sense amplifier block) RB#00, while normal memory sub-array MB#01-N and spare array SPX#01 form a row block RB#01. Normal memory sub-array MB#00-0 to MB#00-N form a memory block group B#00 which is addressed when row address bit RA_j for example is 1, while normal memory sub-arrays MB#01-0 to MB#01-N form a memory block group B#01 selected when row address signal bit RA_j is for example 0.

Memory mat B#1 includes normal sub-arrays MB#10-0 to MB#10-N and normal memory sub-arrays MB#11-0 to MB#11-N. Normal memory sub-arrays MB#10-0 to MB#10-N and normal memory sub-arrays MB#11-0 to MB#11-N are provided alternately along the column direction. Sense amplifier bands represented by shadowed regions are provided between

5 these normal memory sub-arrays MB#10-0 to MB#10-N and normal
 memory sub-arrays MB#11-0 to MB#11-N. A spare array SPX#10
 including spare word lines is provided for normal memory sub-array
 MB#10-0, while a spare array SPX#11 is provided for normal memory sub-
 array MB#11-N. Normal memory sub-array MB#10-0 and spare array
 SPX#10 form a row block (sense amplifier block) RB#10-0, while normal
 memory sub-array MB#11-N and spare array SPX#11 form a row block
 RB#11-N. Normal memory sub-arrays MB#10-0 to MB#10-N are included
 in memory block group B#10, and normal memory sub-arrays MB#11-0 to
 10 MB#11-N are included in memory block group B#11.

In the array arrangement shown in Fig. 17, spare array SPX#00
 provided in row block RB#00 includes spare word lines which can replace
 defective normal word lines in normal memory sub-arrays included in
 memory block group B#10. Spare array SPX#01 included in row block
 15 RB#01 includes spare word lines which can replace defective normal word
 lines in normal memory sub-arrays included in memory block group B#11.
 Spare array SPX#10 included in row block RB#10-0 includes spare word
 lines which can replace defective normal word lines in normal memory sub-
 arrays included in memory block group B#00. Spare array SPX#11
 20 included in row block RB#11-N includes spare word lines which can replace
 defective normal word lines in normal memory sub-arrays included in
 memory block group B#01. The operation will be now described.

Now assume that one normal memory sub-array is addressed by
 address signal bits RA0 to RAh as shown in Fig. 18A. A memory mat is
 25 addressed by row address signal bit RAi, and a memory block group is
 addressed by row address signal bit RAj.

In the normal operation mode, these address signal bits RA0 to RAj
 are all valid, and one mat is addressed, in which one memory block group is
 addressed and one normal sub-array is addressed in the addressed memory
 30 block group. If an addressed word line is a defective word line, a spare
 word line to replace the defective word line is included in a memory mat
 different from the selected memory mat. Therefore, the defective normal
 word line can be replaced without any problem (without problems)

002513353 0017500

associated with the sharing of a sense amplifier band).

5 Meanwhile, assume that row address signal bit RAj is in a degenerated state as shown in Fig. 18B in a test operation mode different from the normal operation mode. Thus, one of memory mats B#0 and B#1 is addressed, and one normal memory sub-array is addressed from each of two memory block groups in the addressed memory mat. Since the two normal memory sub-arrays are addressed in one memory mat, address signal bits are allocated so that normal sub-arrays which do not share a sense amplifier band are addressed in the selecting operation. A

10 corresponding spare word line used if the addressed normal word line is a defective normal word line is prepared in a non-selected memory mat. As a result, even if a plurality of (two) normal word lines are simultaneously addressed in one memory mat, a spare word line and a normal word line are prevented from being driven into a selected state at a time in row blocks RB#00, RB#01, RB#10 and RB#11. In a non-selected memory mat, a spare word line in a row block is simply driven into a selected state upon replacing a defective normal word line, and problems associated with sharing a sense amplifier band are not present.

20 If, for example, in the test operation mode, memory mat B#0 is addressed and a normal memory sub-array is selected from both memory block groups B#00 and B#01, a corresponding spare word line is prepared in a spare array SPX#10 included in row block RB#10 and/or in spare array SPX#11 included in row block RB#11 in non-selected memory mat B#1. As a result, since the memory mat in which a spare word line is selected and the memory mat in which a normal word line is selected are different, a normal word line and a spare word line are prevented from being selected at a time in one memory mat. By appropriately allocating address signal bits, two normal sub-arrays which do not share a sense amplifier band can be driven into a selected state in one memory mat. Note that if the

30 number of memory mats is increased, the number of normal word lines driven into a selected state at a time can be further increased.

Fig. 19 is a diagram showing a portion for changing the number of sub-arrays to be selected depending upon the operation mode. In Fig. 19,

76

09251352-001799
662120-2545260

there is provided a gate circuit (OR circuit) GT which receives address signal bit RAj and a test mode instruction signal TE. When test mode instruction signal TE attains an active state of H level, memory block group designating signal ϕB attains an active state, H level, regardless of the value of row address signal bit RAj. As a result, in the test operation mode, row address signal bit RAj can be pulled to a degenerated state, and normal sub-arrays can be addressed from two memory block groups in one memory mat.

In order to address normal sub-arrays which do not share a sense amplifier band, the address of one memory block group and the address of the other memory block group need only be allocated in the opposite directions. (If one memory block group is allocated with addresses 0 to N from the top to the bottom along the column direction, normal sub-arrays in the other memory group are sequentially allocated with addresses 0 to N from the bottom to the top.)

As for the connection between a sense amplifier band and a spare array and the sensing operation in a non-selected memory mat, a spare decoder is constantly operated for comparison, and the comparison result is applied to a spare array for each row block in the same manner as that shown in Fig. 14. A sense amplifier control circuit provided for a corresponding row block has only to be activated when the output signal of the spare decoder is active. Thus, when a spare word line is used in a non-selected memory mat, a corresponding sense amplifier can be activated.

For data accessing, the configuration the same as that shown in Fig. 4 may be employed (in the disturb refresh test, data accessing is not performed.)

Modification

Fig. 20 is a schematic diagram of a modification of the fifth embodiment according to the invention. In Fig. 20, similarly to the arrangement shown in Fig. 17, the memory array is divided into two memory mats B#0 and B#1. In memory mat B#0, normal memory sub-arrays MB#00-0 to MB#00-N belonging to memory block group B#00 and normal memory sub-arrays MB#01-0 to MB#01-N included in memory

09251352-021799

block group B#01 are alternately provided along the column direction. Spare array SPX#00 is provided for normal memory sub-array MB#00-0, while spare array SPX#01 is provided for normal memory sub-array MB#01-N. Spare array SPX#00 includes a plurality of spare word lines which can replace defective normal word lines in normal memory sub-arrays belonging to memory block group B#00, while spare array SPX#01 includes spare word lines which can replace defective normal word lines in normal memory sub-arrays belonging to memory block group B#01.

In memory mat B#1, normal memory sub-arrays MB#10-0 to MB#10-N included in memory block group B#10 and normal memory sub-arrays MB#11-0 to MB#11-N included in memory block group B#11 are alternately provided along the column direction. Spare array SPX#10 is provided for normal memory sub-array MB#10-0, while spare array SPX#11 is provided for normal memory sub-array MB#11-N. Spare array SPX#10 includes a plurality of spare word lines which can replace defective normal word lines in normal memory sub-arrays included in memory block group B#10, while spare array SPX#11 includes a plurality of spare word lines which can replace defective normal word lines in normal sub-arrays included in memory block group B#11.

Also in the arrangement shown in Fig. 20, sense amplifier bands represented by shadowed regions are provided between normal sub-arrays.

In this arrangement shown in Fig. 20, in the normal mode, one of memory mats B#0 and B#1 is selected, and one normal memory sub-array is selected in the selected memory mat. As a result, in the selected one memory mat, a normal word line is selected and a defective normal word line is repaired by replacement in the same manner as that shown in Fig. 11.

In the test mode, row address signal bit RA_i , for example, is pulled to a degenerated state, and memory mats B#0 and B#1 are both addressed. In each of these memory mats B#0 and B#1, one normal sub-array is selected. In each of memory mats B#0 and B#1, normal sub-arrays included in different memory block groups are alternately provided, and normal sub-arrays sharing a sense amplifier band are included in different

09251352-021799
56720-2525260

5 memory block groups. Therefore, in the test mode, normal memory sub-arrays sharing a sense amplifier are prevented from being addressed at the same time, in other words problems of sense amplifier conflict can be prevented, so that a plurality of (two) normal word lines or spare word lines can be equivalently driven into a selected state for testing operation. (In any of row blocks RB#00 to RB#11, a word line and a spare word line will not be driven into a selected state at the same time.) Thus, the disturb refresh test can be performed at a high speed.

10 Note that in this fifth embodiment, the disturb refresh test has been described. However, if a larger number of word lines than that in the normal operation mode are driven into a selected state in the self refresh mode, a self refresh instruction signal can be used in place of the test mode instruction signal and the same effects are provided. The configuration to degenerate address signal bit RA_i (the address signal bit to address a memory mat) in the modification can be the same configuration as that shown in Fig. 19.

15 As described above, according to the fifth embodiment of the invention, when a plurality of memory mats are provided, and a larger number of normal word lines than the number in the normal operation mode are driven into a selected state in a particular operation mode such as the disturb refresh test, a normal word line and a spare word line in one row block are not simultaneously driven into a selected state, the advantageous characteristic feature of the flexible redundancy scheme, in other words, the efficient use of spare decoders and spare word lines is not impaired and prescribed operation modes can be accurately implemented.

25 Note that by increasing the number of memory mats in this modification, a larger number of normal word lines (4, 8) can be readily driven into a selected state at a time.

Sixth Embodiment

30 Fig. 21A is a schematic diagram showing a structure of a main part of a semiconductor memory device according to a sixth embodiment of the invention. In Fig. 21A, the memory array is divided into a plurality of memory array blocks 2a to 2n. Memory array blocks 2a to 2n each include

09251355 0211300
00000000 00000000

5 a plurality of memory cells arranged in a matrix of rows and columns. A memory cell row is selected on a block basis. Row-related peripheral circuits 3a to 3n to drive memory cell rows in memory array blocks 2a to 2n into a selected state are provided for memory array blocks 2a to 2n, respectively. These row-related peripheral circuits 3a to 3n which will be described in detail each include a decode circuit (which may include a predecoder) to decode an address signal and a word line drive circuit to drive a memory cell row into a selected state according to the output signal of the decode circuit.

10 Power supply switch circuits (SW) 4a to 4n driven into a selected state in response to selecting signals ϕBa to ϕBn are provided between row-related peripheral circuits 3a to 3n and a main power supply line 1. These power supply switch circuits 4a to 4n each cause a greater current flow when driven into a selected state than when driven into a non-selected state. Main power supply line 1 is supplied with a prescribed voltage Vr . Voltage Vr may be any of a power supply voltage Vcc , a ground voltage Vss and a high voltage Vpp or a combination of these voltages. A suitable voltage is selected as voltage Vr depending upon the configuration of row-related peripheral circuits 3a to 3n.

20 In order to determine selection/non-selection of power switch circuits 4a to 4n, a power supply block decoder 6 to generate selecting signals ϕBa to ϕBn (generically represented as a control signal) based on an address signal AD and a self refresh mode instruction signal SR is provided. Address signal AD is applied to row-related peripheral circuits 3a to 3n as a memory cell row (word line) address.

25 Power supply block decoder 6 changes the number of power supply circuits driven into a selected state between a normal-operation mode and a self refresh mode. Power supply block decoder 6 changes the selecting sequence of power supply switch circuits 4a to 4n between the self refresh mode and the normal mode. Based on these characteristics, if a spare word line is included in memory array blocks 2a to 2n, a semiconductor memory device operating with low current consumption without increasing the accessing time can be implemented.

0051352 021799
662720 25675260

Fig. 21B is a diagram showing an example of row-related peripheral circuits 3a to 3n shown in Fig. 21A. In Fig. 21B, one row-related peripheral circuit 3 is representatively shown.

5 In memory array block 2 (2a to 2n), memory cells MC are arranged in a matrix of rows and columns, and word lines WLa to WLm are provided for memory cells MC, respectively. A bit line pair BL, /BL is provided for each column of memory cells, but only bit line BL is shown in Fig. 21.

10 Row-related peripheral circuit 3 includes repeating circuits provided corresponding to word lines WLa to WLn. Herein, the repeating circuits have the same configuration and the same function. A prescribed number of repeating circuits among the plurality of repeating circuits are selected by an address signal.

15 In Fig. 21B, a repeating circuit includes an NAND-type decode circuit 11 (11a to 11m), and a word line drive circuit 12 (12a to 12m) to drive a corresponding word line WL (WLa to WLm) into a selected state.

20 In a stand-by cycle, the output signals of NAND-type decode circuits 11a to 11m are at an H level. As a result, in the stand-by cycle, in these NAND-type decode circuits 11a to 11m, a sub-threshold leakage current to the ground node is generated. Therefore, NAND-type decode circuits 11a to 11m have each ground node coupled to a sub-ground line 15n. Sub-ground line 15n is coupled to the ground node through a power supply switch transistor 14n. Power supply switch transistor 14n turns on in response to control signal ϕ_{Bin} .

25 Meanwhile, in inverter-type word line drive circuits 12a to 12m, the input signals are at an H level in a stand-by cycle, and a sub-threshold leakage current flows thereinto from the power supply node. As a result, the power supply nodes of these inverter-type word line drive circuits 12a to 12m are coupled to a sub-power supply line 15p. Sub-power supply line 15p is coupled to a voltage source node 16 through a power supply switch transistor 14p which conducts in response to a selecting signal ϕ_{Bip} .
30 Voltage source node 16 is supplied with power supply voltage Vcc or high voltage Vpp. The voltage applied to voltage source node 16 is appropriately determined depending upon the configuration of the

09251352.021799
664720.2512366

repeating circuit.

NAND-type decode circuits 11a to 11m each have the other power supply node coupled together to the main power supply line, and the ground nodes of inverter-type word line drive circuits 12a to 12m are coupled to the main ground line.

In a stand-by cycle, control signal ϕ_{Bin} is set to an L level (ground voltage level), while control signal ϕ_{Bip} is set to an H level of the voltage level of node 16. Thus, power supply switch transistors 14n and 14p are turned off. These power supply switch transistors 14n to 14p have a large threshold voltage (high- V_{th}), and the sub-threshold leak currents are extremely small in the off state. Meanwhile, NAND-type decode circuits 11a to 11m and word line drive circuits 12a to 12m each include a low- V_{th} MOS transistor as a component. As a result, the current consumption in the repeating circuits, or the row-related peripheral circuits in a stand-by cycle can be reduced. Since these repeating circuits operate at a high speed, the accessing time can be reduced as well.

In the correspondence between Figs. 21A and 21B, power supply switch circuits 4a to 4n correspond to power supply switch transistors 14n to 14p, while sub-power supply voltage source lines 5a to 5n correspond to sub-ground line 15n and sub-voltage supply line 15p. The ground node and voltage source node 16 correspond to main ground line and main power supply line 1, respectively. Now, the specific manner to select power supply switch circuits 4a to 4n will be described.

For the purpose of simplifying the description, a selecting operation when a spare line is not included will be described.

Hierarchical Power Supply Arrangement 1

Fig. 22 is a schematic diagram showing a main part of a semiconductor memory device according to the sixth embodiment of the present invention. In Fig. 22, a memory array is divided into eight memory blocks MAB1 to MAB8. Memory blocks MAB1 to MAB8 each include a memory block 2 (2a to 2n) and a corresponding row-related peripheral circuit 3 (3a to 3n) shown in Fig. 21A. Memory blocks MAB1 to MAB4 form one global block GAB0, while memory blocks MAB5 to MAB8

00251352.00199
002120.25515260

form one global block GAB1.

Power supply switch circuits SW1 to SW8 are provided for memory blocks MAB1 to MAB8, respectively. These power supply switch circuits SW1 to SW8 couple sub-power supply lines provided corresponding to
5 memory blocks MAB1 to MAB8 and corresponding memory blocks.

In allocating addresses, three address signal bits RA1, RA2 and RA3 are used to address a block. Address bit RA1 specifies one of global blocks GAB0 and GAB1. A combination of address bits RA2 and RA3 specifies one memory block in global blocks GAB0 and GAB1. As a result, by these
10 3 address signal bits RA1 to RA3, one memory block can be selected for selecting a memory cell row.

Fig. 23A illustrates the manner of selecting memory block and a power supply switch circuit in a normal operation mode. In Fig. 23A, in the normal operation mode, one of memory blocks MAB1 to MAB8 is
15 selected and an addressed word line is driven into a selected state. In Fig. 23A, a word line WL in memory block MAB2 is driven into a selected state as an example. When memory block MAB2 is selected, power supply switch circuits SW1 to SW4 provided for global block GAB0 including memory block MAB2 are all driven into a selected state.

As shown in Fig. 23B, the set of power supply switch circuits SW1 to SW4 or the set of power supply switch circuits SW5 to SW8 is selected by
20 address signal bit RA1. As a result, by decoding 1-bit address signal, control signals $\phi B1$ to $\phi B4$ for the power supply switch circuits can be driven into a selected state, so that a prescribed voltage can be supplied at
25 a fast timing in an access cycle.

Meanwhile, in order to select memory block MAB2, 3 address signal bits RA1 to RA3 should be decoded. Considering the timing skew of these 3 address signal bits RA1 to RA3, a row-decoding operating for activating memory block address signal $\phi B2$ is performed. Thus, compared to the
30 case of decoding 1-bit address signal, the load of the output signal line of the decode circuit is greater in the case of decoding 3 address signal bits, and the skew prolongs the decoding time.

Therefore, in the normal operation mode, the power supply switch

09251352 021799

circuits for a global block including selected memory block MAB2 are driven into a selected state, so that a prescribed voltage can be supplied stably to the selected memory block at a fast timing after the start of an active cycle in the normal operation mode, and the accessing time can be prevented from increasing.

5
10
15
20
25
30

Fig. 24 is a diagram showing the manner to select a power switch circuit in a refresh mode. In Fig. 24, also in the refresh mode, a word line WL is selected in one memory block. Also in Fig. 24, memory block MAB2 is selected, in which word line WL to be refreshed is selected. In the refresh mode, only power supply switch circuit SW2 provided for the selected memory block MAB2 is driven into a selected state. The other power supply switch circuits SW1, SW3 to SW8 are maintained in a non-selected state. In the refresh mode, stored data is simply rewritten, and data accessing is not performed. As a result, a high speed accessing is not required, and therefore 3 refresh address signal bits QA1 to QA3 can be used to select this power supply switch circuit without any problem. By driving one power supply switch circuit into a selected state while maintaining the other power supply switch circuits in a non-selected state, a current flowing through the power supply circuit is reduced, the current consumption in the refresh mode can be restrained from increasing, in other words, the refresh mode with reduced current consumption can be implemented.

Fig. 25 is a schematic diagram showing a control portion in the semiconductor memory device according to the sixth embodiment. In Fig. 25, the semiconductor memory device includes an operation mode detection circuit 20 which receives an externally applied control signal CMD and generates an operation mode instruction signal, a refresh control circuit 23 which is activated in response to an activation of a self refresh mode instruction signal SR from refresh mode detection circuit 22 to activate a timer 24 and generate a refresh cycle activation signal QACT at prescribed time intervals, a refresh address counter 25 which performs a counting operation in response to a count up instruction signal ϕ CUP from refresh control circuit 23 and generates a refresh address specifying a refresh row,

09251352 021799
664220 25275260

a multiplexer 26 which selects one of a refresh address signal QA from refresh address counter 25 and an externally applied row address signal RA under the control of refresh control circuit 23, and a row-related control circuit 27 which generates control signals necessary for selecting a row according to refresh cycle activation signal QACT from refresh control circuit 23 or array activation signal RACT from an array activation detection circuit included in operation mode detection circuit 20.

Operation mode detection circuit 20 generates an instruction signal corresponding to an operation mode designated according to externally applied control signal CMD. The externally applied control signal CMD may be a command (a combination of states of a plurality of control signals) in a normal synchronous type semiconductor memory device, or may be a row address strobe signal /RAS, a column address strobe signal /CAS, a write enable signal /WE and a chip select signal /CS as in a standard DRAM (Dynamic Random Access Memory). The external control signal applied to operation mode detection circuit 20 may be appropriately determined depending upon the configuration of the semiconductor memory device.

Refresh control circuit 23 drives refresh cycle activation signal QACT into an H level, active state for a prescribed time period at prescribed time intervals according to a count up signal from timer 24 when self refresh mode instruction signal SR is activated. Row-related control circuit 27 generates control signals necessary for selecting a row when one of activation signals QACT and RACT is activated. In Fig. 25, row-related control circuit 27 generates a word line driving signal ϕ WL which gives a timing for driving a word line into a selected state. During the activation period of these activation signals QACT and RACT, in a memory block addressed by an address signal, a row (word line) is maintained in a selected state. The activation period of these activation signals QACT and RACT defines one memory cycle (for a selected memory block).

Timer 24 responds to a self refresh instruction from refresh control circuit 23 to generate a refresh request signal at prescribed time intervals for application to refresh control circuit 23. Refresh address counter 25

09251557-021799
654720-25E15260

increments or decrements the count value by 1 according to count up instruction signal ϕ CUP applied at the end of this memory cycle. Multiplexer 26 selects refresh address QA from refresh address counter 25 in the self refresh mode according to a switch control circuit ϕ MUX from refresh control circuit 23 and selects externally applied row address signal RA in the normal mode. Address signal AD from multiplexer 26 is applied to a row-related peripheral circuit in each memory block. In the address signal, address signal bits QA1 to QA3 or RA1 are applied to a power supply block decoder (see Fig. 21A). Since the address signal bits are transmitted through the same bus lines from multiplexer 26, 3 address signal bits are applied to the power supply block decoder through the same address signal lines, and then these address bits are supplied in different paths within power supply block decoder 6.

Fig. 26 is a diagram showing a structure of power supply block decoder 6 shown in Fig. 21A. In Fig. 26, a portion to generate one power supply block selecting signal ϕ Bi ($i=1$ to 8) is shown. In Fig. 26, power supply block decoder 6 includes an inverter circuit 6a which inverts self refresh instruction signal SR, an AND circuit 6b which receives prescribed 3 address signal bits among address signal bits QA1 to QA3 and /QA1 to /QA3 in the refresh mode, an AND circuit 6c which receives the output signal /SR of inverter circuit 6a and address bit RA1 or /RA1, an AND circuit 6d which receives self refresh mode instruction signal SR and the output signal of AND circuit 6b, and an AND circuit 6e which receives the output signals of AND circuits 6c and 6d and generates power supply block selecting signal ϕ Bi. AND circuit 6b is supplied with address signal bits corresponding to the address of a memory block provided corresponding to power supply block selecting signal ϕ Bi. Similarly to NAND circuit 6c, address bit RA1 or /RA1 to specify a global block including a memory block corresponding to power supply block selecting signal ϕ Bi is applied.

In the self refresh mode, self refresh mode instruction signal SR is at an H level, signal /SR from inverter circuit 6a is at an L level, and NAND circuit 6c outputs an H level signal regardless of the states of address bits RA1 and /RA1. Meanwhile, NAND circuit 6a operates as an inverter to

0051352 021799
054720 25E15200

invert the output signal of AND circuit 6b. Therefore, in the self refresh mode, power supply block selecting signal ϕ_{Bi} is generated according to address bits QA1 to QA3 and $/QA1$ to $/QA3$.

5 Meanwhile, in the normal operation mode, self refresh mode instruction signal SR is at an L level and the output signal $/SR$ of inverter circuit 6a is an H level. In this state, the output signal of NAND circuit 6d attains an H level, NAND circuit 6c operates as an inverter, and power supply block selecting signal ϕ_{Bi} is generated according to address bit RA1 or $/RA1$. Thus, in the normal mode, power supply block selecting signals ϕ_{Bi} for a global block including a selected memory block (a memory block including a selected row) are activated. Meanwhile, in the self refresh mode, power supply block selecting signal ϕ_{Bi} for a power supply switch circuit provided corresponding to a memory block to be refreshed is driven into a selected state.

15 Fig. 27 is a diagram showing a structure of a portion to generate power supply block selecting signal ϕ_{B2} to power supply switch circuit SW2. For power supply block selecting signal ϕ_{B2} , AND circuit 6b receives address bits $/QA1$, $/QA2$ and QA3, and NAND circuit 6c receives address bit $/RA1$. The address (QA1, QA2, QA3) of a memory block having power supply switch circuit SW2 is (0, 0, 1). Therefore, when memory block MAB2 is addressed, the output signal of AND circuit 6b attains an H level. Meanwhile, in the normal mode, address bit $/RA1$ attains an H level ("1"), and power supply block selecting signals ϕ_{B1} to ϕ_{B4} to power supply switch circuits SW1 to SW4 provided corresponding to global block GB0 including memory block MAB2 are driven into an H level, selected state. By changing the number of decoded bits depending upon the operation mode, the number of power supply switch circuits driven into a selected state can be changed between the normal mode and the self refresh mode.

25 If the number of memory blocks are 8, there are two global blocks, a 1-bit address signal is decoded in the normal mode, while a 3-bit address signal is decoded in the self refresh mode. However, the number of address signal bits used in the normal mode and self refresh mode can be appropriately determined depending upon the number of memory blocks

09251352 021799
662720 25215260

and global blocks. The number of address signal bits validated in the normal mode has only to be smaller than the number of address signal bits decoded in the self refresh mode.

Modification

5 Fig. 28 is a schematic diagram showing a modification of hierarchical power supply arrangement 1 according to the sixth embodiment of the invention.

10 In the configuration shown in Fig. 28, refresh address QA from the refresh address counter and externally applied row address signal RA are applied to multiplexer 26. The row-related peripheral circuit is supplied with an internal row address signal from multiplexer 26. Meanwhile, address bits QA1 to QA3 from refresh address counter 25 and internal row address bit RA1 from multiplexer 26 are applied to a power supply block decode circuit. In this configuration, refresh address bits QA1 to QA3 are
15 directly applied to the power block decode circuit from refresh address counter 25. Since the address bits do not pass through multiplexer 26, the influence of gate delay (signal propagation delay) in multiplexer 26 is eliminated in the self refresh mode, and a decoding operation can be performed at a fast timing.

20 As described above, according to hierarchical power supply arrangement 1, the number of address bits used for selecting a power supply block is changed between the normal mode and refresh mode, the accessing time in the normal mode is not increased, and the current consumption can be reduced in the refresh mode.

25 Modification 2

30 Fig. 29 is a schematic diagram showing a modification 2 of hierarchical power supply arrangement 1. In Fig. 29, the configuration of a part of row-related control circuit 27 shown in Fig. 25 is shown. In Fig. 29, row-related control circuit 27 includes an OR circuit 30 which receives activation signals QACT and RACT, a word line activation signal generation circuit 31 which is responsive to a rising of the output signal of OR circuit 30 for driving a word line activation signal ϕ RX into an active state, a delay circuit 32 which delays word line activation signal ϕ RX from

09251393 09251393 09251393

word line activation signal generation circuit 31 by a prescribed time period,
and a selecting circuit 33 which selects one of the output signal of delay
circuit 32 and signal ϕRX from word line activation signal generation
circuit 31 according to self refresh mode instruction signals SR and /SR to
5 generate a word line driving signal ϕWL . Selecting circuit 33 includes a
CMOS transmission gate 33a which conducts to pass the output signal of
delay circuit 32 in response to an activation of self refresh mode instruction
signal SR, and a CMOS transmission gate 33b which conducts to pass word
line activation signal ϕRX from word line activation signal generation
10 circuit 31 in response to an inactivation of self refresh mode instruction
signal SR.

The operation of row-related control circuit 27 will be described with
reference to the signal waveform diagram in Fig. 30.

In a normal mode, array activation signal RACT is driven into an
15 active state according to a memory cycle start instruction signal (or an
active command). When array activation signal RACT is activated, the
output signal of OR circuit 30 is activated, and word line activation signal
generation circuit 31 generates word line activation signal ϕRX at a
prescribed timing. In the normal mode, CMOS transmission gate 33b
20 conducts, and CMOS transmission gate 33a is in a non-conductive state.
As a result, word line driving signal ϕWL is generated according to word
line activation signal ϕRX . When one active cycle completes, array
activation signal RACT falls to an L level non-selected state, word line
activation signal ϕRX is inactivated accordingly, and a selected word line is
25 driven into a non-selected state.

In the self refresh mode, refresh activation signal QACT is activated.
Word line activation signal generation circuit 31 responds to the activation
of refresh activation signal QACT to drive word line activation signal ϕRX
into an active state. In the self refresh mode, CMOS transmission gate
30 33a conducts, while CMOS transmission gate 33b is in a non-conductive
state. As a result, word line driving signal ϕWL is driven into an active
state according to a delayed word line activation signal from delay circuit
32.

09251352 021799
667120 255T5260

By delaying the activation timing of word line driving signal ϕ_{WL} in the self refresh mode, after a power supply switch circuit is selected and a prescribed supply voltage to a memory block to be refreshed is stabilized, a word line is selected, so that a decoding operation can be performed
5 accurately to drive the addressed word line (refresh row) into a selected state. As shown in the waveforms in Fig. 30, delay circuit 32 is a rising delay circuit, and word line driving signal ϕ_{WL} may be inactivated in response to an inactivation of refresh activation signal QACT. Even if a word line is driven into a selected/non-selected state with a delay to refresh
10 activation signal QACT, the sense amplifier is activated/inactivated according to this word line driving signal ϕ_{WL} , and there will be no problem. The problem of so-called RAS precharge time is not caused particularly in the self refresh mode. In the self refresh mode, the refresh interval is, for example, as long as 16 μ s, the RAS precharge time period
15 can be sufficiently secured, even if such delay circuit 32 is used.

Fig. 31 is a diagram showing a part of a row-related peripheral circuit operating according to word line driving signal ϕ_{WL} shown in Fig. 29. In Fig. 31, the configuration of a repeating circuit for one word line WL is shown. In Fig. 31, the repeating circuit includes a NAND-type
20 decode circuit 41 which receives address bits (a predecode signal) X_i , X_j and X_k , a decode transistor 42 which is formed by an n-channel MOS transistor and selectively transmits the output of NAND-type decode circuit 41 onto a node 41 according to an address bit (predecode signal) X_1 , a p-channel MOS transistor 43 which responds to a reset signal RST to precharge a node 49
25 to high voltage V_{pp} level, a p-channel MOS transistor 44 which transmits a signal SDX from a word line decode signal generation circuit 40 onto a word line WX when the signal on node 49 is at an L level, an n-channel MOS transistor 45 which conducts when the signal on node 49 is at an H level to discharge word line WL to a ground voltage level, a p-channel MOS
30 transistor 46 which conducts when the signal on word line WL is at an L level to maintain node 49 at high voltage V_{pp} level, and an n-channel MOS transistor 47 which conducts when signal /SDX from word line decode signal generation circuit 40 is at an H level to discharge word line WL to

the ground voltage level.

Herein, the decode circuit is formed by NAND-type decode circuit 41 and decoded transistor 42. The word line drive circuit is formed by MOS transistors 44 to 47.

5 Word line decode signal generation circuit 40 is activated in response to an activation of word line driving signal ϕ_{WL} , to generate signals SDX and /SDX according to an address bit (predecode signal) X_m . Signal SDX changes between high voltage V_{pp} and ground voltage V_{ss} . Signal /SDX changes between power supply voltage V_{cc} and the ground voltage.

10 In a stand-by state, address bits X_i , X_j and X_k are all at an L level. As a result, in NAND-type decode circuit 41, a sub-threshold leakage current flows to the ground potential, the ground node of NAND-type decode circuit 41 is connected to the main ground line through a MOS transistor 48. MOS transistor 48 receives power supply block selecting (specifying) signal ϕ_{Bi} at its gate. The operation will be now briefly described.

15 In a stand-by state, address bits X_i , X_j and X_k are all at an L level, and the output signal of NAND-type decode circuit 41 is at an H level equal to the power supply voltage V_{cc} level. MOS transistor 48 is in an off state, because power supply block selecting signal ϕ_{Bi} is at an L level. In a stand-by state, word line decode signal generation circuit 40 holds signal SDX at an L level equal to the ground voltage level, and signal /SDX at an H level. Node 49 is held at the high voltage V_{pp} level by reset signal RST through MOS transistor 43. In this state, word line WL is held at the
20 ground voltage level by MOS transistors 45 and 47.

25 When an active cycle is started, power supply block selecting signal ϕ_{Bi} attains an H level when selected, and NAND-type decode circuit 41 receives power supply voltage V_{cc} and ground voltage V_{ss} as both operation power supply voltages to perform a decoding operation. When address bits
30 X_i , X_j , X_k and X_l are all at an H level, node 49 is discharged to the ground voltage level by the function of NAND-type decode circuit 41. (MOS transistor 49 for reset is in an off state.) MOS transistor 46 has a small current driving capability, and therefore node 49 is surely discharged to the

ground voltage level by NAND-type decode circuit 41 and decode transistor 42. When the voltage level on node 49 becomes an L level, MOS transistor 45 attains an off state. MOS transistor 44 shifts to an off state, because signal SDX is at an L level and the gate and source potentials of the transistor 44 are equal.

Word line decode signal generation circuit 40 is responsive to an activation of word line driving signal ϕ_{WL} for operating to drive signals SDX and /SDX to an H level/L level according to address bit X_m . When address bit X_m is at an H level, signal SDX is driven into the high voltage V_{pp} level, and signal /SDX is discharged to the ground voltage level. Therefore, at this time, word line WL is driven into the high voltage V_{pp} level through MOS transistor 44. Meanwhile, when address bit X_m is at an L level, signal SDX attains an L level and signal /SDX attains an H level. As a result, p-channel MOS transistor 44 maintains an off state. When MOS transistors 44 and 45 both attain an off state, MOS transistor 47 is turned on by signal /SDX and word line WL is surely maintained at the ground voltage level.

In the case of the repeating circuit shown in Fig. 31, one row decode circuit is provided for two word lines WL. One of the two word lines is selected by signals SDX and /SDX. If address signal bit X_m applied to word line decode signal generation circuit 40 is replaced by two-bit address, one row decode circuit is provided for four word lines.

Thus, in the case of the configuration of the repeating circuit shown in Fig. 31, in the normal mode, word line driving signal ϕ_{WL} is driven into an active state at a fast timing, and word line WL is driven into an active state at a fast timing accordingly. Meanwhile, in the self refresh mode, the activation of word line driving signal ϕ_{WL} is delayed behind the activation of power supply block selecting signal ϕ_{Bi} . Power supply block selecting signal ϕ_{Bi} is driven into an active state at a relatively delayed timing (in order to fully decode a power supply block address signal) in the self refresh mode. After the voltage level of the ground node of NAND-type decode circuit 41 surely reaches the ground voltage level, signals SDX and /SDX from word line decode signal generation circuit 40 are driven into

00000000-00000000

a specified state. Thus, in the self refresh mode, a decoding operation can be surely performed to transmit high voltage V_{pp} or ground voltage V_{ss} onto selected word line WL.

5 In the configuration shown in Fig. 31, as a so-called hierarchical power supply arrangement, a sub-ground line is connected to NAND-type decode circuit 41. If word line decode signal generation circuit 40 is provided for each of memory blocks, a power supply switch circuit may be provided for each memory block for a signal line supplying high voltage V_{pp} , and high voltage V_{pp} may be supplied in the above described manner. 10 In word line decode signal generation circuit 40, a leakage current from high voltage V_{pp} can be prevented from flowing by a sub-threshold leakage current and current can be prevented from being consumed. In this configuration, the power supply nodes (sources) of MOS transistors 43 and 46 need only be coupled to a sub-high voltage supply line common to word line decode signal generation circuit 40. 15

According to the configuration of modification 2 as described above, in addition to the previously described effects, a word line can be driven after the voltage at the operation voltage supply node is stabilized, so that a decoding operation can be surely performed and an addressed word line can be surely driven into a selected state. Note that if high voltage V_{pp} is provided in a hierarchical power supply arrangement, a word line can be driven after high voltage V_{pp} is stabilized. 20

Hierarchical Power Supply Arrangement 2

25 Figs. 32A and 32B are diagrams showing the selected state of the power supply circuit in hierarchical power supply arrangement 2 according to the sixth embodiment of the invention. As shown in Fig. 32A, a word line WL is driven into a selected state in a single memory block in a normal mode. In this case, a power supply switch circuit provided for a global block including a selected memory block is driven into a selected state. In Fig. 32A, word line WL is selected in memory block MAB2, and power supply switch circuits SW1 to SW4 for global array block GAB0 including memory block MAB2 are driven into a selected. This is the same as the operation of the previously described power supply arrangement 1 in the 30

00251352-021799
667120-25615260

normal mode.

As shown in Fig. 32B, in a refresh mode, one memory block is selected in each of global array blocks GAB0 and GAB1 for refreshing. In this case, power supply switch circuits SW2 and SW6 provided for memory blocks MAB2 and MAB6 are driven into a selected state. Address bits are allocated similarly to the allocation of the address bits shown in Fig. 22. In this case, in a self-refresh mode, an address bit QA1 to specify a global block is degenerated (ignored). Therefore, a power supply block selecting signal is generated according to address bits QA2 and QA3.

Fig. 33 is a schematic diagram showing a structure of a power supply block decode circuit. Since the power supply block decode circuit shown in Fig. 33 has the same configuration as shown in Fig. 26, except for that an AND circuit 6f to decode refresh address bits receives a prescribed set among refresh address bits QA2, QA3, /QA2 and /QA3, the corresponding portions are denoted with the same reference characters and the detailed description is not provided.

In power supply block decode circuit 6 shown in Fig. 33, refresh address bits QA1 and /QA1 are not used. Therefore, one memory block is selected in each of global blocks GAB0 and GAB1.

Fig. 34 is a diagram showing a structure of the portion to generate a control signal (power supply block selecting signal) $\phi B2$ to power supply switch circuit SW2 provided for memory block MAB2. In Fig. 34, in the power supply block decode circuit, refresh address bits /QA2 and QA3 are applied to AND circuit 6f. Memory block MAB2 is selected when refresh address bits (QA2 and QA3) are (0, 1). Therefore, when memory block MAB2 is addressed, the output signal of AND circuit 6f attains an H level, and power supply block selecting signal $\phi B2$ is driven into an H level, active state. In the power supply block decode circuit, address bit QA1 is not used, therefore memory block MAB6 is also selected in global block GAB1, and corresponding power supply switch SW6 is driven into a selected state.

In this hierarchical power supply arrangement 2, as shown in Fig. 35, word line driving signal ϕWL is applied to a row-related selecting circuit 50

00251352 001759

included in a row-related peripheral circuit 3. A prescribed voltage V_r is applied to row-related selecting circuit through a power supply switch circuit SW. Row-related selecting circuit 50 drives any of word lines WL0 to WLn into a selected state in response to an address signal Ad when selected. Power supply switch circuit SW is driven into a selected state in response to a power supply block selecting signal ϕ_{Bi} . Row-related selecting circuit 50 includes a word line decode signal generating circuit 40 shown in Fig. 31. Word line driving signal ϕ_{WL} is generated by a control circuit shown in Fig. 29. Therefore, word line driving signal ϕ_{WL} applied to row-related selecting circuit 50 has its activation timing in a self-refresh mode delayed behind the activation timing in a normal operation mode. Thus, power supply switch circuit SW is driven into a selected state, and after stable voltage V_r is supplied to row-related selecting circuit 50, row-related selecting circuit 50 performs a word line selecting operation. Thus, the selected word line can be stably driven into a selected state.

According to this hierarchical power supply arrangement 2, if a larger number of word lines than those in the normal mode are driven into a selected state in the refresh mode, a power supply switch circuit in a global block is driven into a selected state in the normal mode, while in the self-refresh mode, only the power supply switch circuit for a selected memory block is driven into a selected state, so that the power consumption in the refresh mode can be reduced without increasing the accessing time. The word line driving timing can be delayed in the self-refresh mode to accurately perform a word line selecting operation.

There are eight memory blocks in this hierarchical power supply arrangement 2, but the number of memory blocks may be as desired, and the number of global blocks is also arbitrary. In the self-refresh mode, two word lines are selected, but the number of rows refreshed simultaneously is also arbitrary, and the number of refresh address bits has only to be adjusted depending upon the number of rows to be simultaneously refreshed.

Hierarchical Power Supply Arrangement 3

Fig. 36 is a schematic diagram showing the configuration of

09251352-021799

hierarchical power supply arrangement 3 according to the sixth embodiment of the present invention. In Fig. 36, the configuration of the portion to control this hierarchical power supply circuit is shown.

5 In Fig. 36, a power supply block selecting signal generating portion includes a power supply block decoder 6 which decodes a refresh address output from refresh address counter 25 and latches the result of decoding in advance by one cycle, and outputs the latched result in the present refresh cycle. Refresh address counter 25 counts in response to a count up instruction signal CUP activated in a refresh cycle, and holds the count value. The count value output from refresh address counter 25 is applied to register 65. Register 65 responds to an instruction signal ϕ CUP activated at the end of the refresh cycle to take and output the output count value of refresh address counter 25. An address signal output from register 65 is applied to a multiplexer (MUX) 26 as a refresh address signal QA.

10
15
20
25
30 Power supply block decoder 6 includes a power supply block decode circuit 60 which decodes the output count of refresh address counter 25, a latch 61 which responds to an activation of count up instruction signal CUP to latch the output signal of power supply block decode circuit 60, a latch 62 which responds to refresh cycle activation signal QACT to take and output the data latched by latch 61, and a selector 63 which selects one of the output signal of latch 62 and address bit RA1 from multiplexer 26 according to self refresh mode instruction signal SR to output power supply block selecting signals ϕ B1 to ϕ B8. Herein, the memory array is divided into eight memory blocks MAB1 to MAB8, and a global block or four memory array blocks are selected according to this row address bit RA1. The operations of the control signal generation portion shown in Fig. 36 will be now described with reference to the signal waveform diagram in Fig. 37.

30 In a self-refresh mode, when refresh cycle activation signal QACT is in an inactive state, latch 61 latches power supply block selecting signal ϕ Bi(N-1) generated by power supply block decode circuit 60 in the previous cycle (N-1). Latch 62 also latches power supply block signal ϕ Bi(N-1).

09251352-021799

Selector 63 selects the output signal of latch 62 in response to self-refresh mode instruction signal SR.

5 When refresh cycle activation signal QACT is activated, latch 62 outputs the latched data, and power supply block selecting signals ϕB_i is driven into a selected/non-selected state based on the result of decoding in the previous memory cycle (N-1). In this cycle (N), register 65 generates a refresh address taken in the previous cycle. Therefore, in this cycle (N), the selecting control of the power supply switch circuit and refresh operation are performed based on power supply block selecting signal $\phi B_i(N-1)$ and refresh address QA (N-1) decoded in the previous cycle. In the previous cycle, the decoding operation of generating the power supply block selecting signal is completed, and when refresh cycle activation signal QACT is activated, power supply block selecting signal $\phi B_i(N-1)$ is immediately made definite. As a result, in the refresh cycle, the word line selecting timing does not have to be delayed, and the refresh operation may be performed at fast timing. The word line selecting timing does not have to be changed between the normal mode and refresh mode, and the control in selecting word lines is easily made.

10
15
20 In response to an activation of this refresh cycle activation signal QACT, count up instruction signal CUP is activated at a prescribed timing. In response to the activation of count up instruction signal CUP, refresh address counter 25 performs a count up operation, and the count value is incremented or decrement by 1. Power supply block decode circuit 60 decodes a refresh address from refresh address counter 25, and generates a power supply selecting signal based on the result of decoding. Latch 61 takes the output signal of power supply block decode circuit 60 in response to count up instruction signal CUP and enters a latching state in response to an inactivation of count up instruction signal CUP. During this period, a refresh operation is performed according to refresh address QA (N-1) generated in the previous cycle.

25
30 When refresh cycle activation signal QACT is inactivated, latch 62 takes a latched signal from latch 61 and drives the output signal into an inactive state. Thus, power supply block selecting signals ϕB_1 to ϕB_8 are

099135C-021799
66720-29CT4260

all driven into an inactive state. In response to the activation of refresh cycle activation signal QACT, count up instruction signal ϕ CUP is activated, and register 65 takes the count value output from refresh address counter 25. Thus, refresh address QA changes by 1.

5 When refresh cycle activation QACT is then activated again, latch 62 outputs the latched power supply block selecting signal, and power supply block selecting signals ϕ B1 to ϕ B8 are driven into a selected/non-selected state according to power supply block selecting signal ϕ Bi(N) obtained in the previous cycle (N). In this cycle (N+1), register 65 outputs the refresh address taken at the end of the previous cycle, and applies the address to the row-related circuits. According to refresh address QA(N) and power supply block selecting signal ϕ Bi(N) generated in the previous cycle, a refresh operation is executed.

10 In the activation period of this refresh cycle activation signal QACT, count up instruction signal CUP is activated, refresh address counter 25 performs a counting operation, and the count value is updated. Power supply block decode circuit 60 performs a decoding operation again to generate power supply block selecting signal ϕ Bi(N+1), and latch 61 latches power supply block selecting signal ϕ Bi(N+1) from power supply block
15 decode circuit 60.

20 When refresh cycle activation signal QACT is inactivated, latch 62 once again takes the output signal of latch 61, and has the content thereof updated to power supply block selecting signal ϕ Bi(N+1). In response to the inactivation of refresh cycle activation signal QACT, latch 62 again
25 drives output signal ϕ Bi(N) into a non-selected state. In response to the inactivation of refresh cycle activation signal QACT, count up instruction signal ϕ CUP is activated, and register 65 takes the output count value of refresh address counter 25 and updates the refresh address. Each time refresh cycle activation QACT is activated at prescribed time intervals, the
30 above-described operation is repeated.

In a refresh operation, a refresh address is generated according to the counting operation of refresh address counter 25. Therefore, in each refresh cycle, the next refresh address can be known, and therefore a power

00551352, 021799

supply block selecting signal may be generated in advance by decoding the refresh address in the previous cycle. Thus, at the start of a refresh cycle, a decoding operation of selecting a power supply block is not necessary, and therefore a word line corresponding to a refresh row can be driven into a selected state at a faster timing.

5

Fig. 38 is a diagram showing an example of power supply block decoder 6. In Fig. 38, power supply block decode circuit 60 includes an NAND-type decode circuit 60a which receives prescribed refresh address bits Q_{Ai} , and $/Q_{Ai}$. The combination of refresh address bits Q_{Ai} , and $/Q_{Ai}$ applied to NAND-type decode circuit 60a is determined by the address of a memory block corresponding to the power supply switch circuit controlled by power supply block selecting signal ϕ_{Bi} .

10

Latch 61 includes a transfer gate 61a which conducts to pass the output signal of NAND-type decode circuit 60a when count up instruction signal CUP is activated (at an H level), and inverters 61b and 61c which form a latch circuit to latch a signal applied through transfer gate 61a. Inverters 61b and 61c are disposed in an anti-parallel arrangement and have their inputs and outputs cross-coupled to form a so-called inverter latch.

15

Latch 62 includes a transfer gate 62a which conducts to pass the output signal of latch 61 when complimentary refresh cycle activation signal $/Q_{ACT}$ is activated, inverters 62b and 62c which form a latch circuit to latch a signal applied through transfer gate 62a, and AND circuit 62d which is activated in response to an activation of refresh cycle activation signal Q_{ACT} to generate power supply block selecting signal ϕ_{Bi} . Inverters 62b and 62c form a so-called inverter latch.

20

In the configuration shown in Fig. 38, power supply block decode circuit 60 decodes refresh address bits Q_{Ai} and $/Q_{Ai}$ from the refresh address counter and outputs a signal representing the result of decoding.

25

In latch 61, transfer gate 61a conducts when count up instruction signal CUP is activated and passes a power supply block selecting signal newly generated by the activation of count up instruction signal CUP, and inverters 61b and 61c latch this newly generated power supply block signal.

30

09251352.021799

During the refresh cycle period, complimentary refresh cycle activation signal /QACT is in an inactive state, and the content latched by latch 62 does not change regardless of change in the output signal of latch 61.

5 During the refresh cycle period, AND circuit 62d operates as a buffer to output the power supply block selecting signal latched by inverters 62b and 62c. When the refresh cycle completes and refresh cycle activation signal QACT attains an L level, inactive state, AND circuit 62d is disabled, and power supply block selecting ϕ Bi attains an L level, inactive state. Thus, the power supply switch circuits all attain a non-selected state, which reduces the power consumption. Meanwhile, when complimentary refresh cycle activation signal /QACT attains an H level, active state, transfer gate 62a conducts to take the signal latched by latch 61 and latches a new power supply block selecting signal.

10 Without adversely affecting the refresh cycle operation in the present cycle, a power supply block selecting signal is generated and latched by decoding a refresh address for the next cycle.

15 Fig. 39 is a diagram showing an example of a 1-bit register circuit in register 65 shown in Fig. 36. In Fig. 39, register 60 includes a transfer gate 65a which conducts to pass a count bit from the refresh address counter when count up instruction signal ϕ CUP is activated, inverters 65b and 65c which form a latch circuit to latch a signal applied through transfer gate 65a, an inverter 65d which inverts the output signal of inverter 65b, and an AND circuit 65e which is enabled to generate refresh address bit QAi according to the output signal of inverter 65d when refresh cycle activation signal QACT is activated.

20 In the configuration of register 65 shown in Fig. 39, the refresh address bit latched by inverters 65b and 65c is updated when count up instruction signal ϕ CUP is activated. When refresh cycle activation signal QACT is activated, refresh address bit QAi to be used in the present cycle is generated.

25 When multiplexer 26 is provided in the stage preceding the row address buffer/latch, this AND circuit 65e is not necessary. The row address buffer /latch functions to maintain the internal row address signal

56

0054353 021799
002120 25515260

bits in an active state in a stand-by cycle.

Fig. 40 is a schematic diagram representing how count up instruction signals CUP and ϕ CUP are generated. In Fig. 40, the count up instruction signal generation portion includes a delay circuit 67 which delays refresh cycle activation signal QACT by a prescribed time period, a one-shot pulse generation circuit 68 which generates a one-shot pulse signal in response to a rising of the output signal of delay circuit 67, an inverter circuit 69 which inverts refresh cycle activation signal QACT, and a one-shot pulse generation circuit 70 which generates a one-shot pulse signal in response to a rising of the output signal of inverter circuit 69. Count up instruction signal CUP is output from one-shot pulse generation circuit 68, and count up instruction signal ϕ CUP is output from one-shot pulse generation circuit 70. By setting the delay time by delay circuit 67 to an appropriate value, a count up operation can be performed by the refresh address counter within the refresh cycle period at an appropriate timing. The activation periods of count up instruction signals CUP and ϕ CUP may be determined suitably depending upon the latching ability of each circuit.

Note that this count up instruction signal generation circuit has only to be included in refresh instruction control circuit 23 in Fig. 25.

In hierarchical power supply configuration 3, power supply block selecting signal ϕ Bi is set to an H level when selected. However, the logical level of the power supply block selecting signals ϕ Bi in the selected state may be appropriately determined depending upon the voltage level of the voltage supply lines applied. For example, if the power supply switch circuit is provided between a main ground line and a sub ground line, power supply block selecting signal ϕ Bi attains an H level when selected, while if the power supply switch circuit is provided between a main power supply line and a sub power supply line, power supply block selecting signal ϕ Bi attains an L level when selected.

Note that in the configuration shown in Fig. 36, in a normal mode, selector 63 selects row address signal bit RA1 from multiplexer 26 in response to self-refresh mode instruction signal SR. Therefore, a global block is selected according to this row address signal bit RA1.

664720-2567360

As described above, according to hierarchical power supply arrangement 3, in the self-refresh mode, a power supply block selecting signal to be used in the next cycle is generated by incrementing and decoding the count value of the refresh address counter in the present cycle followed by latching the result of decoding. Therefore, the decoding operation of the power supply block selecting signal has been completed at the start of the next cycle, and the state of power supply block selecting signal ϕB_i can be set at a high speed in the next cycle, so that a word line can be driven into a selected state at a faster timing in a refresh cycle. As a result, the activation timing for a word line does not have to be changed between the refresh mode and the normal mode, and therefore the configuration of the word line driving portion can be simplified.

Seventh Embodiment

Hierarchical Power Supply Arrangement 1

Fig. 41 is a schematic diagram showing the configuration of an array portion in a semiconductor memory device according to a seventh embodiment of the present invention. In Fig. 41, a memory mat is divided into eight memory blocks MAB1 to MAB8. Memory blocks MAB2 to MAB8 include normal memory blocks NMAB2 to NMAB8 including normal memory cells, respectively. Memory block MAB1 includes a normal memory block NMAB1 and a spare block SPB including a spare element to repair a defective cell. Memory block MAB1 corresponds to a block RBX# formed by a normal memory sub array and a spare array shown in Fig. 11.

Switch circuits SW1 to SW8 are provided corresponding to memory blocks MAB1 to MAB8. Switch circuits SW1 to SW8 are driven into a selected state according to power supply block selecting signals ϕB_1 to ϕB_8 similarly to the forgoing sixth embodiment. Spare block SPB for memory block MAB1 is shared among normal memory blocks NMAB2 to NMAB8, and can repair a defective cell (defective row) in any of the normal memory blocks by replacing the defective cell. Block address bits RA1 to RA3 and QA1 to QA3 for memory blocks MAB1 to MAB8 are allocated similarly to the sixth embodiment.

Referring to Fig. 42, the operation in a normal mode will be now

00251552, 001399
552720, 25215260

described. In the normal mode, regardless of an applied address signal (row address signal), power supply switch circuit SW1 provided for memory block MAB1 including spare block SPB is driven into a selected state. Before spare determination, the power supply switch circuit corresponding
5 to a memory block including an addressed word line WL is driven into a selected state. In Fig. 42, memory block MAB2 includes an addressed word line WL. In the other memory blocks, the power supply switch circuits are maintained in a non-selected state. A spare determination as
10 to whether a defective memory cell is addressed is performed by comparing addresses, and according to the result of determination, an addressed word line or spare word line is driven into a selected state.

Before the spare determination, a power supply switch circuit for a memory block including a memory cell to be selected (memory block including an addressed word line or spare word line) is driven into a
15 selected state. Therefore, when a word line is driven into a selected state in the memory block including the memory cell to be selected, a prescribed voltage is stably supplied, and therefore the memory cell to be selected can be accurately driven into a selected state. The operation will be now more
20 detailed with reference to the signal waveform diagram in Fig. 43.

When an active cycle is started, array activation signal RACT is driven into an H level, active state. According to the activation of array activation signal RACT, row address signal RA is made definite, and the addressed memory block is determined. According to the activation of array activation signal RACT, regardless of the applied row address signal
25 RA, power supply block selecting signal $\phi B1$ to memory block MAB1 including a spare block is driven into an active state. According to address signal RA, one of memory blocks MAB2 to MAB8 is selected, and corresponding one of power supply block selecting signals $\phi B2$ to $\phi B8$ is
30 driven into a selected state. According to address signal RA, a spare determination as to whether a defective row is addressed is made. If the result of spare determination indicates that a defective row is addressed (spare hit), a spare word line SWL included in spare block SPB is driven into a selected state. Meanwhile, when it is determined that a normal

03

00251352 021799

memory cell in a normal state is addressed (spare miss), a normal word line
NWL is driven into a selected state.

5 When word line NWL or SWL is driven into a selected state, a
corresponding power supply switch circuit has been selected to supply a
prescribed voltage. Therefore, word line NWL or SWL can be accurately
driven into a selected state.

10 When a memory block is selected based on the spare determination,
after a spare hit/miss determination is made, the power supply circuit to a
corresponding memory block is driven into a selected state (shown in
broken line in Fig. 43). Thereafter, word line NWL or SWL must be driven
into a selected state, and therefore the timing of activating the word line
should be delayed, which increases the accessing time. However, by
15 driving the power supply switch circuits to memory block MAB1 and the
memory block including the addressed normal word line into a selected
state before determining whether this defective normal word line has been
addressed, a prescribed voltage can be supplied from a corresponding power
supply switch circuit within the spare determination time period, so that a
high speed operation is implemented. (The word line selecting timing does
not have to be delayed.)

20 Referring to Figs. 44 and 45, the operation in the self-refresh mode
will be now described. In the self-refresh mode, as shown in Fig. 44, a
power supply switch circuit is selected according to the result of spare
determination. Let us now assume that normal word line NWL in memory
block MAB2 is addressed by refresh address signal QA. A spare
25 determination as to whether or not normal word line NWL is defective is
made by comparing the addresses. At this time, a decoding operation is
also executed in parallel for selecting a power supply switch circuit, but the
power supply block selecting signals are all maintained in a non-selected
state. If a spare hit is determined, spare word line SWL must be driven
30 into a selected state in place of normal word line NWL. In this case, power
supply switch circuit SW1 is driven into a selected state based on the spare
hit determination result. The other power supply switch circuits SW2 to
SW8 are maintained in a non-selected state. Based on the spare hit

09251552-02199
062120-25215560

determination result, spare word line SWL is driven into a selected state, and normal word line NWL is maintained in a non-selected state.

5 Meanwhile, if the spare determination result indicates a spare miss, power supply switch circuit SW2 is driven into a selected state, and normal word line NWL is driven into a selected state.

10 In the refresh mode, a data accessing is not requested, and therefore there will be no problem even if the power supply switch circuit is driven into a selected state after the spare determination. By driving only a power supply switch circuit corresponding to a memory block including a memory cell to be selected, the power consumption in the refresh mode can be reduced.

15 Fig. 46A is a diagram showing an example of a power supply block decode circuit which generates power supply block selecting signal $\phi B1$. In Fig. 46A, the power supply block decode circuit includes an NAND circuit 71 which receives refresh address bits /QA1, QA2, and QA3, and an NAND circuit 72 which receives a complimentary array activation signal /RACT, a complimentary spare hit signal /HIT and the output signal of NAND circuit 71 and outputs power supply block selecting signal $\phi B1$. Array activation signal /RACT is set to an L level at the start of an active cycle in the normal mode. Spare hit signal /HIT is set to an L level when a defective cell is addressed. NAND circuit 71 outputs an L level signal when memory block MAB1 is addressed. The operation of the power supply block decode circuit shown in Fig. 46 will be now described with reference to the signal waveform diagram in Fig. 46B.

25 In the normal mode, when an active cycle is started, complimentary array activation signal /RACT is driven into an L level. Therefore, regardless of the states of spare hit signal /HIT and the output signal of NAND circuit 71, power supply block selecting signal $\phi B1$ is driven into an active state. More specifically, when an active cycle is started in the normal mode, power supply block selecting signal $\phi B1$ is driven into a selected state.

30 In the refresh mode, array activation signal /RACT is fixed at an H level. In the refresh cycle, refresh cycle activation signal QACT is driven

00251352.021709

5 into an H level, active state, and refresh address signal QA is defined accordingly. When a spare determination is made and a spare hit is determined, spare hit signal /HIT attains an L level, and power supply block selecting signal $\phi B1$ is driven into an H level, selected state. Then, a spare word line in a spare block is driven into a selected state.

10 Meanwhile, when spare hit signal /HIT is at an H level and spare replacement is not necessary, power supply block selecting signal $\phi B1$ is driven into a selected/non-selected state according to the output signal of NAND circuit 71. When memory block MAB1 is addressed, the output signal of NAND circuit 71 attains an L level, and power supply block selecting signal $\phi B1$ is driven into a selected state (H level) accordingly. Meanwhile, if any of the other memory blocks MAB2 to MAB8 is addressed, the output signal of NAND circuit 71 is at an H level, and power supply block selecting signal $\phi B1$ maintains its L level.

15 Note that in the configuration of the power supply block decode circuit shown in Fig. 46A, even if the output signal of NAND circuit 71 is pulled to an L level and corresponding memory block MAB1 is addressed when spare hit signal /HIT is at an L level particular problem is not caused. This is because upon spare hit, memory block MB1 is selected. In order to drive power supply block selecting signal $\phi B1$ into a selected/non-selected state after the state of spare hit signal /HIT is defined, spare hit signal HIT is further applied to NAND circuit 71. After spare hit/miss determination result is defined, the output signal of NAND circuit 71 is defined to drive power supply block selecting signal $\phi B1$ into a selected state accordingly.

20 Fig. 47A is a diagram showing a power supply block decode circuit for power supply block selecting signal ϕB_j ($j=2$ to 8). In Fig. 47A, the power supply block decode circuit includes an inverter circuit 73 which inverts self-refresh mode instruction signal /SR, an NAND circuit 74 which receives a prescribed combination of refresh address bits QA1 to QA3 and /QA1 to /QA3, an NAND circuit 75 which receives self-refresh mode instruction signal /SR and a prescribed combination of row address bits RA1 to RA3 and /RA1 to /RA3, an NAND circuit 76 which receives the output signal of inverter 73, the output signal of NAND circuit 74 and

00251352-021799

5 spare hit signal /HIT, and an NAND circuit 77 which receives the output signals of NAND circuits 75 and 76 to generate power supply block selecting signal ϕB_j ($j=2$ to 8). Refresh cycle activation signal /QACT may be used in place of self-refresh mode instruction signal /SR. The operation of power supply block decode circuit shown in Fig. 47A will be now described with reference to the signal waveform diagram shown in Fig. 47B.

10 In the normal mode, when array activation signal RACT is activated, row address signal RA is defined. After row address signal RA is defined, the output signal of NAND circuit 75 attains an H or L level in response to row address bits RA1 to RA3 and /RA1 to /RA3, because self-refresh mode instruction signal /SR is at an H level in the normal mode. The output signal of NAND circuit 76 is at an H level in the normal mode, and therefore power supply block selecting signal ϕB_j is driven into a selected/non-selected state based on the output signal of NAND circuit 75.

15 Meanwhile, in the self-refresh mode, self-refresh mode instruction signal /SR attains an L level, and the output signal of NAND circuit 75 is set to an H level. Self-refresh mode instruction signal is at an H level. In the self-refresh mode, when refresh cycle activation signal QACT is driven into an H level of active state, refresh address signal QA is defined. A spare determination is made according to this refresh address signal QA, and spare hit signal /HIT is driven into an H or L level. At the time of a spare hit, spare hit signal /HIT attains an L level, the output signal of NAND circuit 76 attains an H level, and power supply block selecting signal ϕB_j maintains its L level. Meanwhile, if the result of spare
20 determination indicates a spare miss, spare hit signal /HIT maintains its H level. Therefore, power supply block selecting signal ϕB_j is driven into a selected/non-selected state according to the output signal of NAND circuit 74.

30 In the configuration shown in Fig. 47A, in order to prevent power supply block selecting signal ϕB_j from being driven into a selected state according to the output signal of NAND circuit 74 before the spare determination result is decided, spare hit signal HIT may be provided as an input to NAND circuit 74.

0925133-01799
66120-2515260

Modification 1

Fig. 48 is a diagram showing a modification of hierarchical power supply arrangement 1. In the arrangement shown in Fig. 48, word line driving timing control circuit 78 changes the activation timing of word line driving signal ϕ WL according to self-refresh mode instruction signal SR. Word line driving timing control circuit 78 generates word line driving signal ϕ WL in the normal mode according to word line activation signal ϕ RX. Meanwhile, in the self refresh mode, this word line driving signal ϕ WL is generated by delaying word line activation signal ϕ RX. The configuration of word line driving timing control circuit 78 is the same as the configuration shown in Fig. 29. Even if the activation timing of power supply block selecting signal ϕ Bi is delayed, the word line selecting timing can be delayed accordingly using word line driving timing control circuit 78 and therefore a word line can be accurately selected. Word line driving signal ϕ WL determines the activation timings of both a spare word line and a normal word line.

Modification 2

Fig. 49 is a diagram showing a second modification of hierarchical power supply arrangement 1 according to the seventh embodiment. Fig. 49 shows the configuration of a power supply block selecting signal generating portion. In Fig. 49, the power supply block selecting signal generating portion includes a multiplexer 80 which responds to self-refresh mode instruction signal SR to select one of a self-refresh address from refresh address counter 25 and internal row address signal RA from multiplexer 26, an OR circuit 81 which receives array activation signal RACT and count up instruction signal CUP, a spare determining circuit 82 which responds to an activation of the output signal of OR circuit 81 to make a spare determination for an address signal applied from multiplexer 80, a power supply block decode circuit 83 which decodes a power supply block address signal according to an address signal and self-refresh mode instruction signal SR from multiplexer 80 and a spare hit signal HIT from spare hit determining circuit 82, a latch 84 which latches a power supply block selecting signal output from power supply decode circuit 83 according

63

to count up instruction signal CUP, a latch 85 which responds to refresh cycle activation signal QACT to take a latch signal from latch 84, and a multiplexer (MUX) 86 which selects one of the output signals of latch 85 and power supply block decode circuit 83.

5 The power supply block decode circuit 83 is the same in configuration as those in Figs. 46A and 47A, and generates power supply block selecting signal ϕ Bi according to self-refresh mode instruction signal SR, spare hit signal HIT and row address signal RA or QA. Latch 84 or 85 has the same configuration as that in Fig. 38, latch 84 takes and latches the output
10 signal of power supply block decode circuit 83 when count up instruction signal CUP is active, and latch 85 takes and latches the output signal of latch 84 when refresh cycle activation signal QACT is inactive and then outputs the latched signal.

15 Multiplexer 86 selects the output signal of latch 85 for output in the self-refresh mode, and selects the output signal of power supply decode circuit 83 in the normal mode. Power supply block selecting signal ϕ Bi from multiplexer 86 is applied to the power supply switch circuit.

20 The power supply block selecting signal generating circuit further includes a latch 87 which latches spare hit signal HIT output by spare hit determining circuit 82 according to count up instruction signal CUP, a latch 88 which takes and transfers the output signal of latch 87 according to refresh cycle activation signal QACT, and a multiplexer (MUX) 89 which
25 selects one of spare hit signal HIT output from spare determining circuit 82 and a signal output from latch 88. Latches 87 and 88 have the same configuration as latches 84 and 85.

30 Multiplexer 26 selects refresh address signal QA from register 65 in the self-refresh mode, and selects externally applied row address signal RA in the normal mode. Refresh address counter 25 and register 65 have the same configuration as that in Fig. 36.

In the configuration shown in Fig. 49, spare determining operation and power supply block decoding operation to be performed in a next cycle are performed in a refresh cycle preceding by one cycle. The results of determining and decoding are output in the next refresh cycle. Therefore,

064720-251560

the decoding operation has been completed in the previous cycle, power supply block selecting signal ϕB_i and spare hit signal HIT can be driven into a selected/non-selected state at a high speed in the next refresh cycle. Thus, the configuration of the word line driving control portion can be simplified because of no need to delay the word line selecting timing in the refresh cycle.

5
10
15
20
In the normal mode, multiplexer 80 selects internal address signal Ad from multiplexer 26 for application to power supply block decode circuit 83 in spare determining circuit 82. Spare hit signal HIT output from spare determining circuit 82 is selected by multiplexer 89 for output, and a power supply block selecting signal output from power supply block decode circuit 83 is selected by multiplexer 86 for output. Latches 84, 85, 87 and 88 are bypassed in this normal mode. If an array activation signal is activated, spare determining circuit 82 performs a determining operation and spare hit signal HIT is generated according to the result of determination. In the normal mode, power supply block decode circuit 83 decodes an address signal from multiplexer 80 regardless of this spare hit signal HIT, and drives a power supply block selecting signal to memory block MAB1 including a spare block and a addressed memory block into a selected state.

By using the configuration shown in Fig. 49, the power consumption in the self-refresh mode can be reduced without increasing the accessing time in the normal mode.

25
30
As described above, by the hierarchical power supply arrangement according to the seventh embodiment of the present invention, in the normal mode, a memory block including a spare block and an addressed memory block are driven into a selected state regardless of the spare determination result, while in the refresh mode, the power supply switch circuit to an addressed memory block is driven into a selected state, so that in the normal mode, a voltage from the power supply switch circuit can be stably supplied before the spare determination result is defined to enable high-speed accessing, while in the refresh mode, a prescribed voltage is supplied only to minimum necessary memory blocks, resulting in reduced

power consumption.

Hierarchical Power Supply Arrangement 2

5 Figs. 50A and 50B illustrate the operation of a hierarchical power supply arrangement 2 according to the seventh embodiment of the present invention. In Fig. 50A, in the normal mode, power supply switch circuits for both memory block MAB1 including spare block SPB and an addressed memory block are driven into a selected state in response to an activation of an array activation signal. In Fig. 50A, memory block MAB2 is addressed. When array activation signal RACT is activated and an active cycle is started, memory block MAB1 including a spare block and addressed memory block MAB2 are driven into a selected state, so that a prescribed voltage can be supplied at a high speed with no wait for the result of spare determination.

10 As shown in Fig 50B, when a spare determination result is defined, according to the defined result, only the power supply switch circuit for the memory block including a memory cell to be selected is driven into a selected state. In Fig. 50B, normal word line NWL in memory block MAB2 is driven into a selected state, and power supply switch circuit SW2 is held in a selected state, while power supply switch circuit SW1 for memory block MAB1 is driven into a non-selected state. After the determination result, normal word line NWL is driven into a selected state. Therefore, when the selected normal word line is driven, a voltage is supplied stably from power supply switch circuit SW2 and the selected normal word line can be driven into a selected state accurately and at a high speed. In addition, since memory block MAB1 is held in a non-selected state, power supply switch circuit SW1 can be driven into a non-selected state, which can reduce the current consumption.

15 In the refresh mode, as shown in Fig. 44, only the power supply switch circuit for a memory block including a memory cell to be selected is driven into a selected state and the other power supply switch circuits are held in a non-selected state. Thus, the current consumption in the refresh cycle can be reduced.

20 Fig. 51A is a diagram showing a power supply block decode circuit

71

09251355 024799
654720 2825260

for power supply block selecting signal $\phi B1$. In Fig. 51A, the power supply
block decode circuit includes a one-shot pulse generating circuit 90 which
generates an L level, one-shot pulse signal in response to a falling of array
activation signal /RACT, an NAND circuit 91 which receives row address
5 bits /RA1, RA2 and RA3, an NAND circuit 92 which receives refresh
address bits /QA1, QA2 and QA3, and an NAND circuit 93 which receives
the output signal of one-shot pulse generating circuit 90, the output signals
of NAND circuits 91 and 92 and spare hit signal /HIT to output power
supply block selecting signal $\phi B1$. Address bits /RA1, RA2, RA3, /QA1,
10 QA2 and QA3 are at an L level in a stand-by state. The operation of the
power supply block decode circuit shown in Fig. 51A will be described in
conjunction with the signal waveform diagram in Fig. 51B.

When an active cycle is started, array activation signal /RACT falls
to an L level. In response to the falling of array activation signal /RACT,
15 one-shot pulse generating circuit 90 generates a one-shot pulse which is at
an L level for a prescribed period. Power supply block selecting signal $\phi B1$
output from NAND circuit 93 rises to an H level accordingly. Meanwhile,
NAND circuit 91 decodes applied address bits /RA1, RA2 and RA3. When
memory block MAB1 is addressed, the output signal of NAND circuit 91
20 once again attains an L level, power supply block selecting signal $\phi B1$
output from NAND circuit 93 is driven into an H level. In this state,
regardless of whether a spare word line is used or not, power supply block
selecting signal $\phi B1$ is at an H level during this active cycle period.

Meanwhile, if a memory block different from memory block MAB1 is
25 addressed, the output signal of NAND circuit 91 attains an H level. In
this state, spare hit signal HIT is driven into an H or L level according to
the result of spare determination before the output signal of one-shot pulse
generating circuit 90 rises to an H level. If a normal word line is used,
spare hit signal /HIT is maintained at an H level. Therefore, in this state,
30 in response to a rising of the output signal of one-shot pulse generating
circuit 90, power supply block selecting signal $\phi B1$ falls to an L level. In
this addressed memory block, a row is selected.

If the output signal of NAND circuit 91 is at an H level, and any of

72

002513333 001790

5 the other memory blocks is addressed, power supply block selecting signal $\phi B1$ maintains its H level in response to a falling of spare hit signal /HIT to an L level. The pulse width of a pulse signal output from one-shot pulse generating circuit 90 is set to the time width required for spare hit signal /HIT being defined, so that power supply block selecting signal $\phi B1$ can be driven into a selected/non-selected state based on the use/nonuse of corresponding memory block MAB1.

10 Fig. 52 is a diagram showing a power supply block decode circuit for power supply block selecting signal ϕB_j ($j=2$ to 8). The power supply block decode circuit shown in Fig. 52 is different from the power supply block decode circuit shown in Fig. 47A in the following point. More specifically, an OR circuit 94 to receive the output signal of NAND circuit 75 and spare hit signal HIT is provided between NAND circuits 75 and 77. The other configuration is the same as that in Fig. 47A and corresponding portions are denoted by the same reference numerals and the description is not provided.

15 In the configuration of the power supply block decode circuit shown in Fig. 52, when an active cycle is started according to address bits RA1 to RA3 and /RA1 to /RA3, power supply block selecting signal ϕB_i is driven into a selected/non-selected state. When spare hit signal HIT is at an L level, power supply block selecting signal $\phi B1$ is maintained in a state according to address bits RA1 to RA3 and /RA1 to /RA3 during the active cycle period. Meanwhile, when spare hit signal HIT is driven into an H level, the output signal of OR circuit 94 attains an H level. In the normal mode, NAND circuit 76 is at an H level. Therefore, in response to a rising of spare hit signal HIT, power supply block selecting signal ϕB_j falls to an L level. Thus, when a spare word line is used, only the power supply switch circuit for a memory block including a spare block is driven into a selected state, and the power supply switch circuit for the memory block including this addressed defective normal word line is driven into a non-selected state.

20
25
30 Note that the operation of the power supply block decode circuit in Figs. 51A and 52 is the same as the operation of the power supply block decode circuit in Figs. 46A and 47A, and therefore their operation

waveforms are the same as those given in Figs. 46B and 47B. More specifically, in the refresh cycle, only the power supply switch circuit for a memory block including a memory cell to be driven is driven into a selected state.

5 Note that the circuit configuration shown in Fig. 49 can be applied to the configuration of the power supply block decode circuit shown in Figs. 51 and 52. More specifically, in the refresh mode, based on a refresh address signal from the refresh address counter in the previous cycle, the selected/non-selected state of the power supply block selecting signal in the

10

As in the foregoing, according to the seventh embodiment, in the normal mode, an addressed block is driven into a selected state, then only a power supply switch circuit for the memory block including a memory cell row to be selected is held in a selected state, and therefore the current consumption in the active cycle can be reduced. Furthermore, simultaneously with the start of an active cycle, a power supply switch circuit corresponding to a memory block including an addressed block and a memory block including a spare block are driven into a selected state, so that the accessing time can be prevented from being increased.

15

20

In the foregoing, memory blocks including spare word lines have been described. However, this hierarchical power supply arrangement is applicable to the configuration for repairing a spare column.

25

In the above described seventh embodiment, the memory block including a spare block is one in number, but this hierarchical power supply arrangement according to the seventh embodiment is applicable to the previously described first to fifth embodiments. The repeating circuit may be a sense amplifier to sense and amplify memory cell data.

30

As in the foregoing, according to the present invention, since spare lines can replace normal lines in a plurality of memory blocks, the spare lines can be efficiently used, and since the flexible redundancy scheme is utilized, the number of spare decoders can be reduced and the array area can be restrained from increasing.

Furthermore, a power supply switch circuit is provided for each of

09251352.021799

memory blocks, and the number of power supply switch circuits driven into a selected state is changed between the normal mode and refresh mode, the accessing time is not increased, while the current consumption can be reduced. In the arrangement including a spare block, a power supply
5 switch circuit for the memory block including the spare block is always driven into a selected state in response to the start of an active cycle, and therefore a prescribed voltage can be supplied from the power supply switch circuit to the spare block with no wait for a spare determination result, so that the accessing time can be restrained from increasing.

10 Although the present invention has been described and illustrated in detail, it is clearly understood that the same is by way of illustration and example only and is not to be taken by way of limitation, the spirit and scope of the present invention being limited only by the terms of the appended claims.

Sub
A1

0051332 02749
062720 25575260

can replace a column including a defective memory cell in any of the memory sub-arrays in a corresponding memory block.

5 4. A semiconductor memory device, comprising:
a plurality of first memory blocks each having a plurality of normal memory cells arranged in a matrix of rows and columns; and
a plurality of spare memory cells arranged in a matrix of rows and columns in a particular one of said plurality of first memory blocks,
5 each row of said plurality of spare memory cells being capable of replacing a defective row including a defective normal memory cell in said plurality of first memory blocks.

5 5. The semiconductor memory device as recited in claim 4, further comprising:
a plurality of second memory blocks arranged alternately with said plurality of first memory blocks along a column direction, the second memory blocks each having a plurality of normal memory cells arranged in a matrix of rows and columns; and

10 a plurality of spare memory cells arranged in a matrix of rows and columns in a particular one of said plurality of second memory blocks, each row of said spare memory cells being capable of replacing a defective row including a defective normal memory cell in said plurality of second memory blocks.

5 6. The semiconductor memory device as recited in claim 5, further comprising a plurality of sense amplifier bands one provided between each of said plurality of first memory blocks and each of said plurality of second memory blocks, and shared by adjacent memory blocks in the column direction for sensing and amplifying data in each column of a memory block including a selected memory cell when activated.

7. The semiconductor memory device as recited in claim 6, wherein said plurality of first memory blocks, said plurality of second memory

09251350

blocks and said plurality of sense amplifier bands form a first memory array, and wherein
 5 said semiconductor memory device further comprises:
 a second memory array having a same arrangement as the first memory array; and
 control circuitry for driving one memory block from the first and second memory arrays into a selected state in a normal operation mode,
 10 and for simultaneously driving a prescribed number of memory blocks from each of said first and second memory arrays into a selected state in a particular operation mode.

8. A semiconductor memory device, comprising:
 a plurality of first memory blocks each having a plurality of normal memory cells arranged in a matrix of rows and columns;
 a plurality of second memory blocks provided alternately with said
 5 plurality of first memory blocks along a column direction, of the memory blocks each having a plurality of normal memory cells arranged in a matrix of rows and columns;
 a plurality of third memory blocks each having a plurality of memory cells arranged in a matrix of rows and columns;
 10 a plurality of fourth memory blocks provided alternately with said third memory blocks in the column direction of the fourth memory blocks having a plurality of normal memory cells;
 a first spare array having a plurality of spare memory cells arranged in a matrix of rows and columns in a particular one of said plurality of first
 15 memory blocks, each row of those spare memory cells being capable of replacing a defective row including a defective memory cell in the third memory blocks;
 a second spare array having a plurality of spare memory cells arranged in a matrix of rows and columns in a particular one of said second
 20 memory blocks, each row of those spare memory cells being capable of replacing a defective row including a defective normal memory cell in said plurality of fourth memory blocks;

0851352-021709

25 a third spare array having a plurality of spare memory cells
arranged in a matrix of rows and columns in a particular one of said third
memory blocks, each row of those spare memory cells being capable of
replacing a defective row including a defective memory cell in said plurality
of first memory blocks;

30 a fourth spare array having a plurality of spare memory cells
arranged in a matrix of rows and columns in a particular one of said
plurality of fourth memory block, each row of those spare memory cells
being capable of replacing a defective row including a defective memory cell
in said plurality of second memory blocks; and

35 control circuitry for selectively driving one of the first to fourth
memory blocks into a selected state in a normal operation mode, and
selecting one of first and second memory blocks and one of the third and
fourth memory blocks to drive selected memory blocks into a selected state
in a particular operation mode.

5 9. The semiconductor memory device as recited in claim 8, further
comprising a plurality of sense amplifier bands provided one between each
of said plurality of first memory blocks and each of said plurality of second
memory blocks and one between each of said plurality of third memory
blocks and each of said plurality of fourth memory blocks, shared between
adjacent memory blocks in the column direction, and activated when a
corresponding memory block is driven into a selected state, for sensing and
amplifying data in each column of the corresponding memory block.

10. The semiconductor memory device as recited in claim 8,
wherein
said control circuitry selects and drives a memory block of said
plurality of third memory blocks when a memory block of said plurality of
5 first memory blocks is selected in said particular operation mode.

11. A semiconductor memory device capable of operating in a
normal mode for accessing data and in a refresh mode for holding data,

00251352 021790

comprising:

a power source node for supplying a prescribed voltage;

5 a plurality of memory blocks each having a plurality of memory cells arranged in a matrix of rows and columns and a repeating circuit group including a plurality of repeating circuits each having a common function for performing an operation related to a memory cell selection;

10 a plurality of power source switch circuits provided corresponding to said plurality of memory blocks, each of the power source switch circuits for coupling said power source node and a repeating circuit group in a corresponding memory block, said plurality of power source switch circuits each causing a first current flow in a selected state and a second current flow smaller than said first current in a non-selected state; and

15 control circuitry for selectively driving said plurality of power source switch circuits into a selected state according to an address signal such that the number of selected power source switch circuit(s) is different between said normal mode and said refresh mode.

12. The semiconductor memory device as recited in claim 11, wherein

5 said control circuitry includes a circuit for generating a control signal for selecting a power source switch circuit by decoding a first number of address bits in said normal mode and generating said control signal by decoding a second number of address bits in said refresh mode, said second number being greater than said first number.

13. The semiconductor memory device as recited in claim 11, wherein

5 said plurality of memory blocks are divided into a plurality of global blocks each having a plurality of memory blocks, and said control circuitry includes a circuit for decoding an address bit specifying a global block of said plurality of global blocks in said normal mode, and for decoding an address bit specifying a memory block of said plurality of memory blocks in said refresh mode.

09251352-001799
06720-25275260

14. The semiconductor memory device as recited in claim 11,
wherein
said plurality of memory blocks each include a plurality of word lines
provided corresponding to each row of memory cells, and wherein
5 said semiconductor memory device further comprises,
delay circuitry for delaying a timing of driving a word line provided
corresponding to an addressed row into a selected state in said refresh
mode behind the timing in said normal mode.

15. The semiconductor memory device as recited in claim 11,
wherein
said plurality of memory blocks each include a plurality of word lines
provided corresponding to memory cell rows, and
5 said control circuitry includes a circuit for generating said control
signal in said refresh mode such that a power source switch circuit provided
for a memory block including an addressed word line is selected and power
source switch circuits provided corresponding to remaining memory blocks
are set in a non-selected state.

16. The semiconductor memory device as recited in claim 11,
further comprising count circuitry responsive to activation of a count
instruction signal for performing a counting operation to generate a refresh
address in said refresh mode, wherein
5 said control circuitry includes,
a first decode circuit for decoding a prescribed bit of said refresh
address to generate and latch a next control signal, and
a circuit for applying the next control signal latched by said first
decode circuit in response to a refresh cycle instruction signal applied after
10 completion of the decoding operation by said first decode circuit in said
refresh mode,
said count instruction signal is activated in an activation period of
said refresh cycle instruction signal and said refresh address specifies a
refresh row to be refreshed in a refresh cycle started by said refresh cycle

09251352 021799
66720 25ET5260

15 instruction signal.

17. The semiconductor memory device as recited in claim 11,
wherein

5 a particular memory block of said plurality of memory blocks
includes a spare element for repairing a defective cell by replacement, said
spare element being capable of repairing a defective cell in any of said
plurality of memory blocks, and

10 said control circuitry includes a circuit for selecting a power source
switch circuit for said particular block regardless of said address signal in
said normal mode and for selectively driving a power source switch circuit
provided corresponding to said particular memory block according to the
result of determination of whether said address signal addresses a memory
cell to be repaired in the refresh mode.

18. The semiconductor memory device as recited in claim 17,
further comprising counting circuitry responsive to a count instruction
signal for performing a counting operation to generate a refresh address in
said refresh mode, wherein

5 said control circuitry includes,

a first decode circuit for decoding a prescribed bit of said refresh
address to generate and latch a next control signal, and

10 a circuit responsive to activation of a refresh cycle instruction signal
applied after completion of the decoding operation by said first decode
circuit for applying the control signal latched by said first decode circuit to
said plurality of power source switch circuits in said refresh mode, said
count instruction signal is activated in an activation period of said refresh
cycle instruction signal, said refresh address specifying a refresh row in a
refresh cycle started by said refresh cycle instruction signal.

19. The semiconductor memory device as recited in claim 11,
wherein

a particular memory block of said plurality of memory blocks

5 includes a spare element for repairing a defective cell by replacement, said spare element being capable of repairing a defective cell in any of said plurality of memory blocks in said normal mode, and

10 said control circuitry includes a circuit for driving a power source switch circuit provided corresponding to said particular memory block and an addressed memory block among said plurality of power source switch circuits into a selected state in said normal mode.

20. The semiconductor memory device as recited in claim 17, wherein

5 said control circuitry includes a circuit for driving a power source switch circuit provided corresponding to said particular memory block and a memory block specified by said address signal into a selected state, and then driving into a non-selected state a power source switch circuit provided corresponding to a memory block excluding a memory block including a memory cell to be driven into a selected state according to the result of said determination and said address signal in said normal mode.

09251333-01

add
9/21

09/25/352

ABSTRACT OF THE DISCLOSURE

5 A spare memory array having spare memory cells common to a plurality of normal sub-arrays having a plurality of normal memory cells is provided. A spare line in the spare array can replace a defective line in the plurality of normal sub-array. The defective line is efficiently repaired by replacement in an array divided into blocks or sub-arrays.

09/25/352

Declaration and Power of Attorney For Patent Application

特許出願宣言書

Japanese Language Declaration

私は、下欄に氏名を記載した発明者として、以下のとおり宣言する：

私の住所、郵便の宛先および国籍は、下欄に氏名に続いて記載したとおりであり、

名称の発明に関し、請求の範囲に記載した特許を求める主題の本来の、最初にして唯一の発明者である（一人の氏名のみが下欄に記載されている場合）か、もしくは本来の、最初にして共同の発明者である（複数の氏名が下欄に記載されている場合）と信じ、

その明細書を
(該当する方に印を付す)

ここに添付する。

_____ 日に出願番号
第 _____ 号として提出し、
_____ 日に補正した。
(該当する場合)

私は、前記のとおり補正した請求の範囲を含む前記明細書の内容を検討し、理解したことを陳述する。

私は、連邦規則法典第37部第1章第56条(a)項に従い、本願の審査に所要の情報を開示すべき義務を有することを認める。

As a below named inventor, I hereby declare that:

My residence, post office address and citizenship are as stated below next to my name.

I believe I am the original, first and sole inventor (if only one name is listed below) or an original, first and joint inventor (if plural names are listed below) of the subject matter which is claimed and for which a patent is sought on the invention entitled

SEMICONDUCTOR MEMORY DEVICE WITH
IMPROVED FLEXIBLE REDUNDANCY
SCHEME

the specification of which

(check one)

is attached hereto.

was filed on _____ as
Application Serial No. _____
and was amended on _____
(if applicable)

I hereby state that I have reviewed and understand the contents of the above identified specification, including the claims, as amended by any amendment referred to above.

I acknowledge the duty to disclose information which is material to the examination of this application in accordance with Title 37, Code of Federal Regulations, §1.56(a).

09251352.021299

Japanese Language Declaration

私は、合衆国法典第35部第119条にもとづく下記の外国特許出願または発明者証出願の外国優先権利益を主張し、さらに優先権の主張に係わる基礎出願の出願日前の出願日を有する外国特許出願または発明者証出願を以下に明記する：

I hereby claim foreign priority benefits under Title 35, United States Code, §119 of any foreign application(s) for patent or inventor's certificate listed below and have also identified below any foreign application for patent or inventor's certificate having a filing date before that of the application on which priority is claimed:

Prior foreign applications
先の外国出願

Priority claimed
優先権の主張

10-160466(P) (Number) (番号)	Japan (Country) (国名)	9/June/1998 (Day/Month/Year Filed) (出願の年月日)
10-293421(P) (Number) (番号)	Japan (Country) (国名)	15/October/1998 (Day/Month/Year Filed) (出願の年月日)
_____ (Number) (番号)	_____ (Country) (国名)	_____ (Day/Month/Year Filed) (出願の年月日)

<input checked="" type="checkbox"/>	<input type="checkbox"/>
Yes あり	No なし
<input checked="" type="checkbox"/>	<input type="checkbox"/>
Yes あり	No なし
<input type="checkbox"/>	<input type="checkbox"/>
Yes あり	No なし

私は、合衆国法典第35部第120条にもとづく下記の合衆国特許出願の利益を主張し、本願の請求の範囲各項に記載の主題が合衆国法典第35部第112条第1項に規定の様態で先の合衆国出願に開示されていない限度において、先の出願の出願日と本願の国内出願日またはPCT国際出願日の間に公表された連邦規則法典第37部第1章第56条(a)項に記載の所要の情報を開示すべき義務を有することを認める：

I hereby claim the benefit under Title 35, United States Code, §120 of any United States application(s) listed below and, insofar as the subject matter of each of the claims of this application is not disclosed in the prior United States application in the manner provided by the first paragraph of Title 35, United States Code, §112, I acknowledge the duty to disclose material information as defined in Title 37, Code of Federal Regulations, §1.56(a) which occurred between the filing date of the prior application and the national or PCT international filing date of this application:

_____ (Application Serial No.) (出願番号)	_____ (Filing Date) (出願日)
_____ (Application Serial No.) (出願番号)	_____ (Filing Date) (出願日)

_____ (現況) (特許済み、係属中、放棄済み)	_____ (Status) (patented, pending, abandoned)
_____ (現況) (特許済み、係属中、放棄済み)	_____ (Status) (patented, pending, abandoned)

私は、ここに自己の知識にもとづいて行った陳述がすべて真実であり、自己の有する情報および信ずるところに従って行った陳述が真実であると信じ、さらに故意に虚偽の陳述等を行った場合、合衆国法典第18部第1001条により、罰金もしくは禁錮に処せられるか、またはこれらの刑が併科され、またかかる故意による虚偽の陳述が本願ないし本願に対して付与される特許の有効性を損うことがあることを認識して、以上の陳述を行ったことを宣言する。

I hereby declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code and that such willful false statements may jeopardize the validity of the application or any patent issued thereon.

Japanese Language Declaration

委任状：私は、下記発明者として、以下の代理人をここに選任し、本願の手續を遂行すること並びにこれに関する一切の行為を特許商標庁に対して行うことを委任する。
(代理人氏名および登録番号を明記のこと)

POWER OF ATTORNEY: As a named inventor, I hereby appoint the following attorney(s) and/or agent(s) to prosecute this application and transact all business in the Patent and Trademark Office connected therewith. (list name and registration number)

Stanislaus Aksman, Reg. No. 28,562; Edward A. Becker, Reg. No. 37,777; Stephen A. Becker, Reg. No. 26,527; William H. Beha, Reg. No. 38,038; John G. Bisbikis, Reg. No. 37,095; Kenneth L. Cage, Reg. No. 26,151; Stephen C. Carlson, Reg. No. 39,929; Paul Devinsky, Reg. No. 28,553; Laura A. Donnelly, Reg. No. 38,435; Margaret M. Duncan, Reg. No. 30,879; Brian E. Ferguson, Reg. No. 36,801; Michael F. Fogarty, Reg. No. 36,139; Wilhelm F. Gadiano, Reg. No. 37,136; Keith E. George, Reg. No. 34,111; John A. Hankins, Reg. No. 32,029; Thomas A. Jolly, Reg. No. 39,241; Eric J. Kraus, Reg. No. 36,190; Edward E. Kubasiewicz, Reg. No. 30,020; Robert E. LeBlanc, Reg. No. 17,219; Jack Q. Lever, Reg. No. 28,149; Raphael V. Lupo, Reg. No. 28,363; Christine F. Martin, Reg. No. 39,762; Michael E. McCabe, Jr., Reg. No. 37,182; James H. Meadows, Reg. No. 33,965; Michael A. Messina, Reg. No. 33,424; Joseph H. Paquin, Jr., Reg. No. 31,647; Craig L. Plastrik, Reg. No. 41,254; Robert L. Price, Reg. No. 22,685; Paul A. Roberts, Reg. No. 40,289; Gene Z. Rubinson, Reg. No. 33,351; Joy Ann G. Serauskas, Reg. No. 27,952; Michele M. Schafer, Reg. No. 34,717; David J. Serbin, Reg. No. 30,589; Glenn Snyder, Reg. No. 41,428; Arthur J. Steiner, Reg. No. 26,106; David L. Stewart, Reg. No. 37,578; Leonid D. Thenor, Reg. No. 39,397; Keith J. Townsend, Reg. No. 40,358; Leon R. Turkevich, Reg. No. 34,035; Christopher D. Ward, Reg. No. 41,367; Damian G. Wasserbauer, Reg. No. 34,749; Edward J. Wise, Reg. No. 34,523; Alexander V. Yampolsky, Reg. No. 36,324; and Robert W. Zelnick, Reg. No. 36,976

書類の送付先:

Send Correspondence to:

McDERMOTT, WILL & EMERY
600 13th Street, N.W.
Washington, D.C. 20005-3096

直通電話連絡先: (名称および電話番号)

Direct Telephone Calls to: (name and telephone number)

Stephen A. Becker
(202)756-8000

唯一のまたは第一の発明者の氏名	Full name of sole or first inventor	Hideto HIDAKA
同発明者の署名	Inventor's signature	<i>Hideto Hidaka</i>
住所	Residence	Hyogo, Japan
国籍	Citizenship	Japanese
郵便の宛先	Post Office Address	c/o Mitsubishi Denki Kabushiki Kaisha 2-3, Marunouchi 2-chome, Chiyoda-ku, TOKYO 100-8310 JAPAN
第2の共同発明者の氏名 (該当する場合)	Full name of second joint inventor, if any	
同第2発明者の署名	Second inventor's signature	
住所	Residence	
国籍	Citizenship	
郵便の宛先	Post Office Address	

(第六またはそれ以降の共同発明者に対しても同様な情報および署名を提供すること。)

(Supply similar information and signature for third and subsequent joint inventors.)

41 P.P.
Lewis
3-24-99
PATENT
JCS51 U.S. PTO
09/25/92
02/17/99

Docket No.: 49657-318

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :
Hideto HIDAKA :
Serial No.: : Group Art Unit:
Filed: February 17, 1999 : Examiner:
For: SEMICONDUCTOR MEMORY DEVICE WITH IMPROVED FLEXIBLE
REDUNDANCY SCHEME

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Assistant Commissioner for Patents
Washington, DC 20231

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 10-160466,
filed June 9, 1998
and
Japanese Patent Application No. 10-293421,
filed October 15, 1998

cited in the Declaration of the present application. Certified copies are submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

Becker
Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:dtb
Date: February 17, 1999
Facsimile: (202) 756-8087

49657-4/P. Paper
Hidaka 3-24-99

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

February 17, 1999

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

JCS551 U.S. PTO
09/251352
02/17/99

願年月日
Date of Application: 1998年 6月 9日

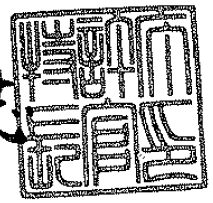
願番号
Application Number: 平成10年特許願第160466号

願人
Applicant(s): 三菱電機株式会社

1998年 9月11日

特許庁長官
Commissioner,
Patent Office

伴佐山 建志



出証番号 出証特平10-307342

特平10-160466

【書類名】 特許願
【整理番号】 51148301
【提出日】 平成10年 6月 9日
【あて先】 特許庁長官殿
【国際特許分類】 G11C 29/00
【発明の名称】 半導体記憶装置
【請求項の数】 10
【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会
社内
【氏名】 日高 秀人
【特許出願人】
【識別番号】 000006013
【氏名又は名称】 三菱電機株式会社
【代理人】
【識別番号】 100064746
【弁理士】
【氏名又は名称】 深見 久郎
【選任した代理人】
【識別番号】 100085132
【弁理士】
【氏名又は名称】 森田 俊雄
【選任した代理人】
【識別番号】 100091395
【弁理士】
【氏名又は名称】 吉田 博由
【選任した代理人】
【識別番号】 100091409
【弁理士】

1

出証特平10-3073420

特平10-160466

【氏名又は名称】 伊藤 英彦

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9805688

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項1】 各々が複数のノーマルメモリセルを有する複数のメモリブロック、

前記複数のメモリブロック各々に対応して設けられ、各々が対応のメモリブロックの不良ノーマルメモリセルを救済するための複数のスペアメモリセルを有する複数のスペアメモリブロック、

前記複数のメモリブロックに対応して設けられ、各々が対応のメモリブロックとデータの授受を行なう複数のローカルデータバス、

前記複数のスペアメモリブロックに対応して設けられ、各々が対応のスペアメモリブロックとデータの授受を行なうための複数のスペアローカルデータバス、

前記複数のメモリブロックに共通に設けられ、選択ノーマルメモリセルを含むメモリブロックに対応して設けられたローカルデータバスと選択的に結合されるグローバルデータバス、および

前記複数のスペアメモリブロックに共通に設けられ、選択スペアメモリセルを含むスペアメモリブロックを含む2以上の所定数kのスペアメモリブロックに対応して設けられたスペアローカルデータバスと同時にかつ選択的に結合されるスペアグローバルデータバスを備える、半導体記憶装置。

【請求項2】 前記所定数kは、1つのスペアローカルデータバスと1つのローカルデータバスの容量比で実質的に与えられる、請求項1記載の半導体記憶装置。

【請求項3】 各前記メモリブロックにおいて前記複数のノーマルメモリセルは行列状に配列され、かつ各前記メモリブロックは行方向に沿って複数のメモリサブアレイに分割され、各サブアレイに各前記ローカルデータバスが配置され

各前記スペアメモリブロックのスペアメモリセルは、行および列状に配列され、スペアメモリセルの各列は、対応のメモリブロックの各前記メモリサブアレイの不良メモリセルを含む列と置換可能である、請求項1記載の半導体記憶装置。

【請求項4】 各々が行列状に配列される複数のノーマルメモリセルを有する複数の第1のメモリブロック、および

前記複数の第1のメモリブロックの特定の第1のメモリブロックに行列状に配列される複数のスペアメモリセルを備え、前記複数のスペアメモリセルの各行は、前記複数の第1のメモリブロックの不良ノーマルメモリセルを含む不良行と置換可能である、半導体記憶装置。

【請求項5】 列方向に沿って前記複数の第1のメモリブロックと交互に配置され、各々が行列状に配列される複数のノーマルメモリセルを有する複数の第2のメモリブロック、および

前記複数の第2のメモリブロックの特定の第2のメモリブロックに行列状に配置されかつ各行が前記複数の第2のメモリブロックの不良ノーマルメモリセルを含む不良行と置換可能な複数のスペアメモリセルをさらに備える、請求項4記載の半導体記憶装置。

【請求項6】 前記複数の第1のメモリブロックの各々と前記複数の第2のメモリブロックの各々との間に配置されかつ列方向において隣接するメモリブロックに共有され、活性化時選択メモリセルを含むメモリブロックの各列のデータを検知および増幅するための複数のセンスアンプ帯をさらに備える、請求項5記載の半導体記憶装置。

【請求項7】 前記複数の第1のメモリブロック、前記複数の第2のメモリブロックおよび前記複数のセンスアンプ帯は第1のメモリアレイを構成し、さらに

前記第1のメモリアレイと同じ構成を有する第2のメモリアレイと、

通常動作モード時には前記第1および第2のメモリアレイから1つのメモリブロックを選択状態へ駆動し、かつ特定動作モード時前記第1のメモリアレイおよび前記第2のメモリアレイ各々から所定数のメモリブロックを同時に選択状態へ駆動する制御手段を備える、請求項6記載の半導体記憶装置。

【請求項8】 各々が行列状に配列される複数のノーマルメモリセルを有する複数の第1のメモリブロック、

前記複数の第1のメモリブロックと列方向に沿って交互に配置され、各々が行

列状に配列される複数のノーマルメモリセルを有する複数の第2のメモリブロック、

各々が行列状に配列される複数のメモリセルを有する複数の第3のメモリブロック、

列方向において前記第3のメモリブロックと交互に配置され、かつ各々が複数のノーマルメモリセルを有する複数の第4のメモリブロック、

前記複数の第1のメモリブロックの特定のメモリブロックにおいて行列状に配置されかつ各行が前記複数の第3のメモリブロックの不良メモリセルを含む不良行と置換可能な複数のスペアメモリセルを有する第1のスペアアレイ、

前記第2のメモリブロックの特定のメモリブロックにおいて行列状に配置されかつ各行が前記複数の第4のメモリブロックの不良ノーマルメモリセルを含む不良行と置換可能な複数のスペアメモリセルを有する第2のスペアアレイ、

前記第3のメモリブロックの特定のメモリブロックに行列状に配置されかつ各行が前記複数の第1のメモリブロックの不良ノーマルメモリセルを含む不良行と置換可能な複数のスペアメモリセルを有する第3のスペアアレイ、

前記複数の第4のメモリブロックの特定の第4のメモリブロック内において行列状に配置されかつ各行が前記複数の第2のメモリブロックの不良ノーマルメモリセルを含む不良行と置換可能な複数のスペアメモリセルを有する第4のスペアアレイ、および

通常動作モード時においては前記複数の第1のメモリブロックないし複数の第4のメモリブロックから1つのメモリブロックを選択して選択状態へ駆動し、かつ特殊動作モード時には、前記複数の第1および第2のメモリブロックから1つのメモリブロックを選択しかつ前記複数の第3および第4のメモリブロックから1つのメモリブロックを選択して、該選択メモリブロックを選択状態へ駆動する制御手段を備える、半導体記憶装置。

【請求項9】 前記複数の第1のメモリブロック各々と前記複数の第2のメモリブロック各々の間および前記複数の第3のメモリブロック各々と前記複数の第4のメモリブロック各々の間に設けられかつ列方向において隣接するメモリブロックに共有され、対応のメモリブロックが選択状態へ駆動されるとき活性化さ

れ、該対応のメモリブロックの各列のデータを検知しかつ増幅する複数のセンスアンプ帯をさらに備える、請求項8記載の半導体記憶装置。

【請求項10】 前記制御手段は、前記特殊動作モード時、前記複数の第1のメモリブロックから1つのメモリブロックを選択するとき、前記複数の第3のメモリブロックから1つのメモリブロックを選択して選択状態へ駆動する、請求項8記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体記憶装置に関し、特に、不良メモリセルの救済を行なうための冗長回路の構成に関する。より特定的には、メモリアレイが複数のメモリブロックに分割されるアレイ分割構成の半導体記憶装置における冗長回路の構成に関する。

【0002】

【従来の技術】

半導体記憶装置においては、不良メモリセルが存在する場合、これを、予備のメモリセルと置換することにより、等価的に、不良メモリセルを救済し、製品歩留りを向上させることが図られる。このような不良メモリセル救済のための予備のメモリセル（スペアワード線およびスペアビット線）を設ける冗長回路構成において、スペアライン（ワード線またはビット線）とスペアラインを選択するためのスペアデコーダの利用効率を改善するために、フレキシブル・リダンダンシ・技法が提案されている（たとえば、堀口等の「高密度DRAMのためのフレキシブル・リダンダンシ・技法」、1991 IEEE、ジャーナル・オブ・ソリッド・ステート・サーキット、第20巻、第1号、1991年1月、第12頁から第17頁参照）。

【0003】

図21は、従来のフレキシブルリダンダンシ構成を有する半導体記憶装置の全体の構成を概略的に示す図である。図21において、この半導体記憶装置は、4つのメモリアレイMA0~MA3を含む。メモリアレイMA0~MA3それぞれ

において、不良メモリセル行を救済するためのスペアワード線が配置される。メモリアレイMA0においてはスペアワード線SW00およびSW01が配置され、メモリアレイMA1には、スペアワード線SW10およびSW11が配置される。メモリアレイMA2においてはスペアワード線SW20およびSW21が配置され、メモリアレイMA3には、スペアワード線SW30およびSW31が配置される。

【0004】

メモリアレイMA0～MA3それぞれに対応して、ロウアドレス信号をデコードして、アドレス指定された行に対応して配置されたノーマルワード線を選択状態へ駆動するためのロウデコーダX0～X3が配置される。メモリアレイMA0およびMA1の間に、コラムアドレス信号をデコードして、このアドレス指定された列を選択するためのコラムデコーダY0が配置され、またメモリアレイMA2およびMA3の間に、コラムデータY1が配置される。

【0005】

この半導体記憶装置は、さらに、不良メモリセルが存在するロウアドレスを記憶し、その不良ロウアドレスがアドレス指定されたとき、この不良ロウアドレスに対応するワード線（不良ノーマルワード線）を非選択状態に保持しかつ対応のスペアワード線を選択状態へ駆動するためのスペアデコーダSD0～SD3と、スペアデコーダSD0およびSD1の出力信号を受けるOR回路D0と、スペアデコーダSD2およびSD3の出力信号を受けるOR回路D1を含む。

【0006】

OR回路G0およびG1の出力信号は、それぞれロウデコーダX0～X3に含まれるスペアワード線駆動回路へ共通に与えられる。スペアデコーダSD0～SD3へはそれぞれ、メモリアレイMA0～MA3の1つを指定するアレイアドレス信号ビット a_{n-2} および a_{n-1} と、メモリアレイ内の行を指定するアレイ内アドレス信号ビット a_0 ～ a_{n-3} が共通に与えられる。ロウデコーダX0～X3へは、アレイアドレス信号ビット a_{n-2} および a_{n-1} が与えられ、対応のメモリアレイがアドレス指定されたときに、ロウデコーダが活性化される。OR回路G0およびG1は、それぞれ、メモリアレイMA0～MA3にそれぞれ設

けられた2本のスペアワード線に対応する。

【0007】

今、メモリアレイMA0において、ノーマルワード線W0およびW1が不良であり、メモリアレイMA1におけるノーマルワード線W2が不良であり、またメモリアレイMA2におけるノーマルワード線W3が不良の場合を考える。この状態においては、スペアデコーダSD0にワード線W0のアドレスがプログラムされ、スペアデコーダSD2にワード線W1のアドレスがプログラムされる。ノーマルワード線W2のアドレスが、スペアデコーダSD3にプログラムされ、ノーマルワード線W3のアドレスが、スペアデコーダSD1にプログラムされる。

【0008】

OR回路G0は、スペアワード線SW00、SW10、SW20、およびSW30のいずれかを指定し、OR回路G1の出力信号が、スペアワード線SW01、SW11、SW21、およびSW31の何れかを選択する。

【0009】

ノーマルワード線W0が指定されたときには、スペアデコーダSD0の出力信号が選択状態へ駆動され、OR回路G0の出力信号が活性化される。この状態において、アレイアドレス信号ビット a_{n-2} および a_{n-1} により、ロウデコーダX0が活性化され、残りのロウデコーダX1-X3は非活性状態を維持する。したがって、このロウデコーダX0に含まれるワード線駆動回路が、OR回路G0の出力信号に従ってスペアワード線SW00を選択状態へ駆動する。このとき、ロウデコーダX0において、ノーマルワード線W0に対応して設けられたデコード回路は非活性状態に維持される。したがって、不良ノーマルワード線W0が、スペアワード線SW00に置換される。

【0010】

不良ノーマルワード線W1がアドレス指定されたときには、スペアデコーダSD2の出力信号が選択状態のHレベルとなり、OR回路G1の出力信号がHレベルとなり、スペアワード線SW01が選択される。不良ノーマルワード線W2がアドレス指定された場合には、スペアデコーダSD3の出力信号が選択状態のHレベルとなり、OR回路G1の出力信号がHレベルとなり、スペアワード線SW

11が選択される。不良ノーマルワード線W3がアドレス指定されたときには、スペアデコーダSD1の出力信号が選択状態のHレベルとなり、応じてOR回路G0により、スペアワード線SW20が選択される。すなわち、不良ノーマルワード線W0、W1、W2およびW3は、それぞれ、スペアワード線SW00、SW01、SW11、およびSW20に置換される。

【0011】

この図21に示すフレキシブルリダンダンシ構成の場合、1つのスペアワード線を、複数のスペアデコーダのいずれかにより活性化することができる。たとえば、スペアワード線SW20は、スペアデコーダSD0またはSD1により選択状態へ駆動することができる。また、1つのスペアデコーダは、複数のスペアワード線のいずれかを選択状態へ駆動することができる。たとえば、スペアデコーダSD0は、スペアワード線SW00、SW10、SW20およびSW30のいずれかを選択状態へ駆動することができる。したがって、スペアワード線とスペアデコーダとの対応関係が1対1ではなく、スペアワード線およびスペアデコーダの利用効率を改善することができる。また、1つのメモリアレイにおけるスペアワード線の数と、スペアワードデコーダの数は、以下の関係を満足する限り、互いに独立に選択することができる：

$$L \leq R \leq M \cdot L / m$$

ここで、Mは、物理的なメモリアレイの数を示し、mは、不良ノーマルワード線が同時にスペアワード線で置換されるメモリアレイの数を示し、Rは、スペアワードデコーダの数を示し、Lが、1つのメモリアレイにおけるスペアワード線の数を示す。すなわち、M/mは、論理的に互いに独立なメモリアレイの数を示す。したがって、M・L/mは、メモリ全体としての互いに論理的に独立なスペアワード線の数を示す。ここで、論理的に独立なスペアワード線とは、異なるロウアドレスにより選択されるスペアワード線の数を示す。たとえば図21においてメモリアレイMA0およびMA2において、同時にノーマルワード線が選択される場合、メモリアレイMA0およびMA2は、論理的に独立ではない。図21に示す構成においては、L=2、R=4、M=4、およびm=1である。

【0012】

スペアロウデコーダをメモリアレイに共通に設けることにより、スペアワード線それぞれに対応してスペアデコーダを設ける必要がなく、チップ占有面積の増大を抑制することを図る。

【0013】

この図21に示すフレキシブルリダンダンシ構成は、同時に、不良列救済にも適用することができる。この不良列救済において、上述の文献においては、メモリアレイが複数のサブレイに分割された場合の、不良列救済の方法について述べている。特に、上述の文献は、シェアードセンスアンプ構成の多分割ビット線およびシェアードI/O方式における不良列救済について説明している。

【0014】

図22は、従来のフレキシブルリダンダンシ方式の半導体記憶装置のレイ部の構成を概略的に示す図である。図22において、2つのメモリブロックMB_iおよびMB_{i+1}を示す。メモリブロックMB_iおよびMB_{i+1}は、それぞれメモリセル列に対応して配置されるノーマルビット線対BLおよび/BLと、不良列救済のためのスペアビット線（スペア列）を含む。図22においては、スペア列に含まれるスペアビット線を明確には示してはいない。

【0015】

このメモリブロックMB_iおよびMB_{i+1}の同じ列アドレスのノーマルビット線BLおよび/BLが、センスアンプSAを共有する。センスアンプSAとメモリブロックMB_iおよびMB_{i+1}の間には、ビット線分離ゲートILGが配置される。センスアンプSAは、コラムデコーダYからの列選択信号YSに従って導通するIOゲートIOGを介して内部データ線対I/Oに接続される。選択メモリセルを含むメモリブロック（たとえばMB_i）がセンスアンプSAに接続されて、データの読出が行なわれる。この場合、非選択メモリブロック（MB_{i+1}）は、センスアンプSAから切離される。

【0016】

上述のようなシェアードセンスアンプ構成において、1つのメモリブロックにおけるノーマルビット線の不良、列選択線（YS線）の不良およびセンスアンプSAの不良それぞれに対して、不良列アドレスをプログラムする必要がある。ノ

一マルビット線不良の場合、メモリブロック単位で不良列アドレスのプログラムが行なわれる。センスアンプ不良の場合、この不良センスアンプを共有するメモリブロックMB i およびMB $i+1$ それぞれに対し、スペア列を使用するために、不良列アドレスのプログラムが行なわれる。列選択線（YS線）不良の場合には、この列選択線（YS線）に接続されるメモリブロックそれぞれに対して、不良列アドレスのプログラムが行なわれる。

【0017】

このプログラム時において、ノーマルビット線不良、センスアンプ不良および列選択線（YS線）不良それぞれに、1つのスペアコラムデコーダで対処するために、不良列アドレスプログラム時に、「ドントケア」をプログラムし、メモリブロック特定のためのアドレスを無効状態として、センスアンプ不良または列選択線不良において、複数のメモリブロックにおいて同時にスペア列の置換が行なわれるように構成されている。

【0018】

【発明が解決しようとする課題】

上述の先行技術文献においては、不良行の救済は、不良行を含むメモリアレイ内に配置されたスペアワード線との置換により行なわれている。したがって、メモリアレイそれぞれにスペアワード線を配置する必要があり、スペアワード線の使用効率が悪いという問題がある。また、あるメモリアレイの不良ノーマルワード線を、別のメモリアレイのスペアワード線に置換すると、メモリアレイ系回路の制御が複雑となるため、避けるべきであるとして全く考慮されていない。

【0019】

また、不良列救済においても、メモリブロックそれぞれにスペア列が設けられており、スペア列の使用効率が悪いという問題が同様に生じる。また、内部データ線として、シェアードI/O方式が考察されているものの、近年の、ブロック分割構成において用いられるローカル/グローバルの階層データ線構造のメモリアレイにおける不良列救済については考慮されていない。

【0020】

それゆえ、この発明の目的は、スペア線（スペアワード線およびスペアビット

線対)の使用効率が大幅に改善される冗長回路を備えた半導体記憶装置を提供することである。

【0021】

この発明の他の目的は、誤動作を生じさせることなく、正確に不良ノーマル線の救済を行なうことのできる冗長回路を備えた半導体記憶装置を提供することである。

【0022】

【課題を解決するための手段】

この発明に従う半導体記憶装置は、要約すれば、スペア線を、1つのアレイとしてまとめて配置し、スペアアレイに対応に複数のメモリマットを設け、これら複数のメモリマットの不良ノーマル線を、対応のスペアアレイのスペア線で置換可能とする。

【0023】

請求項1に係る半導体記憶装置は、各々が複数の行列状に配列されるメモリセルを有する複数のメモリブロックと、これら複数のメモリブロック各々に対応して設けられ、各々が対応のメモリブロックの不良メモリセルを救済するための複数のスペアメモリセルを有する複数のスペアメモリブロックと、複数のメモリブロックに対応して設けられ、各々が対応のメモリブロックとデータの授受を行なう複数のローカルデータバスと、複数のスペアメモリブロックに対応して設けられ、各々が対応のスペアメモリブロックとデータの授受を行なうための複数のスペアローカルデータバスと、複数のメモリブロックに共通に設けられ、選択メモリセルを含むメモリブロックに対応して設けられたローカルデータバスと選択的に結合されるグローバルデータバスと、複数のスペアメモリブロックに共通に設けられ、選択スペアメモリセルを含むスペアメモリブロックを含む2以上の所定数 k のスペアメモリブロックに対応して設けられたスペアローカルデータバスを同時にかつ選択的に結合されるスペアグローバルデータバスを備える。

【0024】

請求項2に係る半導体記憶装置は、請求項1の所定数 k が、1つのスペアローカルデータバスと1つのローカルデータバスの容量比で与えられる。

【0025】

請求項3に係る半導体記憶装置は、請求項1のメモリブロックが行方向に沿って複数のメモリサブアレイに分割される。各スペアメモリブロックのスペアメモリセルは、対応のメモリブロックの複数のメモリサブアレイの不良列と置換可能である。

【0026】

請求項4に係る半導体記憶装置は、各々が行列状に配列される複数のメモリセルを有する複数の第1のメモリブロックと、これら複数の第1のメモリブロックの特定の第1のメモリブロックに行列状に配置される複数のスペアメモリセルとを備える。スペアメモリセルの各行は、複数の第1のメモリブロックの不良行と置換可能である。

【0027】

請求項5に係る半導体記憶装置は、請求項4の装置が、さらに、列方向に沿って複数の第1のメモリブロックと交互に配置され、各々が行列状に配列される複数のメモリセルを有する複数の第2のメモリブロックと、複数の第2のメモリブロックの特定の第2のメモリブロックに行列状に配置されかつ各行が複数の第2のメモリブロックの不良行と置換可能な複数のスペアメモリセルを備える。

【0028】

請求項6に係る半導体記憶装置は、請求項5の装置が、さらに、複数の第1のメモリブロックの各々と複数の第2のメモリブロックの各々との間に配置されかつ列方向において隣接するメモリブロックに共有され、活性化時選択メモリセルを含むメモリブロックの各列のデータを検知および増幅するための複数のセンスアンプ帯を備える。

【0029】

請求項7に係る半導体記憶装置は、請求項6の装置が、さらに、複数の第1のメモリブロックと複数の第2のメモリブロックと複数のセンスアンプ帯が第1のメモリアレイを構成し、さらに、この第1のメモリアレイと同じ構成を有する第2のメモリアレイと、通常動作モード時には第1および第2のメモリアレイから1つのメモリブロックを選択状態へ駆動し、かつ特殊動作モード時には、第1の

メモリアレイおよび第2のメモリアレイ各々から所定数のメモリブロックを同時に選択状態へ駆動する制御手段を含む。

【0030】

請求項8に係る半導体記憶装置は、各々が行列状に配列される複数のメモリセルを有する複数の第1のメモリブロックと、複数の第1のメモリブロックと列方向に沿って交互に配置され、各々が行列状に配列される複数のメモリセルを有する複数の第2のメモリブロックと、各々が行列状に配列される複数のメモリセルを有する複数の第3のメモリブロックと、列方向において第3のメモリブロックと交互に配置され、かつ各々が複数のメモリセルを有する複数の第4のメモリブロックと、複数の第1のメモリブロックの特定のメモリブロックに行列状に配置され、各行が第3のメモリブロックの不良行と置換可能な複数のスペアメモリセルを有する第1のスペアアレイと、第2のメモリブロックの特定のメモリブロックにおいて行列状に配置され、各行が第4のメモリブロックの不良行と置換可能な複数のスペアメモリセルを有する第2のスペアアレイと、第3のメモリブロックの特定のメモリブロックに行列状に配置されかつ各行が第1のメモリブロックの不良行と置換可能な複数のスペアメモリセルを有する第3のスペアアレイと、第4のメモリブロックの特定の第4のメモリブロックに行列状に配置され、各行が第2のメモリブロックの不良行と置換可能な第4のスペアアレイと、通常動作モード時には、第1ないし第4のメモリブロックから1つのメモリブロックを選択状態へ駆動し、かつ特殊動作モード時には、これら第1および第2のブロックの1つのメモリブロックならびに第3および第4のメモリブロックの1つのメモリブロックを選択状態へ駆動する制御手段を備える。

【0031】

請求項9に係る半導体記憶装置は、請求項8の装置が、さらに、第1および第2のメモリブロックの間および第3および第4のメモリブロックの間にそれぞれ設けられかつ列方向において隣接するメモリブロックに共有され、対応のメモリブロックが選択メモリセルを含むとき活性化され、該対応のメモリブロックの各列のデータを検知し増幅するための複数のセンスアンプ帯を備える。

【0032】

請求項10に係る半導体記憶装置は、請求項8の制御手段が、テスト動作モード時には複数の第1のメモリブロックのうちの1つのメモリブロックを選択状態へ駆動するときには複数の第3のメモリブロックの1つを選択状態へ駆動する。

【0033】

スペア線専用のスペアアレイを設けることにより、複数のメモリブロックまたはサブアレイでスペア線を共有することができ、各メモリブロックまたはサブアレイそれぞれにスペア線を配置する場合に比べて、スペア線の使用効率を大幅に改善することができる。

【0034】

【発明の実施の形態】

[実施の形態1]

図1は、この発明の実施の形態1に従う半導体記憶装置のアレイ部の構成を概略的に示す図である。図1において、メモリアレイは、複数のセンスアンプブロック（行ブロック）RB#0～RB#mに分割される。これらの行ブロックRB#0～RB#mは、それぞれワード線を共有する。行ブロックRB#0～RB#mの各々は、複数のサブアレイに分割される。行ブロックRB#i（i=0～m）は、ノーマルサブアレイMB#i0～MB#inに分割される。これらのノーマルサブアレイMB#i0～MB#inは、行列状に配列される複数のメモリセルを有し、かつワード線（行）を共有する。センスアンプブロック単位でセンス動作が行なわれる。

【0035】

また、行ブロックRB#0～RB#mそれぞれにおいて、対応の行ブロックRB#0～RB#mの不良列（不良ノーマルメモリセルを含む列）を置換により救済するために、スペアアレイSP#0～SP#mがそれぞれ設けられる。これらのスペアアレイSP#0～SP#mは、それぞれ複数列に配列されるメモリセル（スペアメモリセル）を有する（スペアアレイSP#0～SP#mの行の数は、ノーマルサブアレイに含まれるメモリセルの行の数と同じである）。

【0036】

ノーマルサブアレイMB#00～MB#mnそれぞれに対応して、ノーマルロ

ーカルデータバスL I O 0 0 ~ L I O m n が設けられる。これらのノーマルローカルデータバスL I O 0 0 ~ L I O m n は、対応のノーマルサブアレイM B # 0 ~ M B # m n に対してのみデータの授受を行なう。

【0037】

列方向に沿って整列して配置されるノーマルサブアレイが列ブロックC B # 0 ~ C B # n を構成する。スペアアレイS P # 0 ~ S P # m に対しても、それぞれスペアローカルデータバスS I O 0 ~ S I O m が配置される。これらのスペアローカルデータバスS I O 0 ~ S I O m は、対応のスペアアレイS P # 0 ~ S P # m とのみデータの授受を行なう。列方向に整列して配置されるノーマルサブアレイ、すなわち列ブロックC B # 0 ~ C B # n それぞれに対応してノーマルグローバルデータバスN G I O 0 ~ N G I O n が配置される。これらのノーマルグローバルデータバスN G I O 0 ~ N G I O n は、それぞれブロック選択ゲートB S G を介して、対応の列ブロックのノーマルサブアレイに対して設けられたノーマルローカルデータバスに結合される。ブロック選択ゲートB S G は、対応の行ブロックが選択されたときに、対応のブロック選択信号に応答して導通し、対応のノーマルローカルデータバスと対応のノーマルグローバルデータバスとを接続する。スペアローカルデータバスS I O 0 ~ S I O m も、それぞれ、対応のブロック選択ゲートB S G を介してスペアグローバルデータバスS G I O に結合される。スペアアレイS P # 0 ~ S P # m に設けられるブロック選択ゲートB S G は、対応の行ブロックが選択されたときに導通し、対応のスペアローカルデータバスをスペアグローバルデータバスS G I O に接続する。

【0038】

行ブロックR B # i において複数のノーマルサブアレイM B # i 0 ~ M B # i n に共通にスペアアレイS P # i を設けることにより、スペアアレイS P # i に含まれるスペア列を、ノーマルサブアレイM B # i 0 ~ M B # i n で使用することができ、スペア列の使用効率が改善される。

【0039】

また、ノーマルサブアレイそれぞれにスペア列を設ける場合、ノーマルサブアレイにおいて、そこに設けられたスペア列よりも多くの不良列が存在する場合、

その半導体記憶装置は、救済することができない。しかしながら、この図1に示すように、スペアアレイを設け、一括してスペア列を配置することにより、数多くの不良列が存在するノーマルサブアレイが存在しても、対応のスペアアレイのスペア列を用いて置換により救済することができ、製品歩留りを改善することができる。

【0040】

図2(A)は、不良ノーマル列救済の対応の一例を示す図である。図2(A)において、スペアアレイSP#0～SP#mそれぞれは、4つのスペアビット線対(スペア列)SBL0～SBL3を含む。

【0041】

列ブロックCB#0～CB#nそれぞれに対応して、コラムデコード回路Y0～Ynが設けられる。スペアブロックSP#に対しては、スペアデコード回路SPDが設けられる。コラムデコード回路Y0～Ynからは、対応のコラムブロックに含まれるメモリサブアレイに共通にコラム選択線CSLを介して列選択信号が伝達される。スペアデコード回路SPDからは、スペアビット線対SBL0～SBL3それぞれに対応して設けられるスペアコラム選択線SCSL0～SCSL3を介してスペアコラム選択信号が伝達される。今、ノーマルメモリサブアレイMB#00～MB#mnそれぞれにおいて互いに独立にノーマル列(ノーマルビット線対)を置換により救済することを考える。

【0042】

図2(B)は、図2(A)に示すスペアデコード回路SPDの構成の一例を示す図である。図2(B)において、スペアデコード回路SPDは、スペアコラム選択線SCSL0～SCSL3それぞれに対応して設けられるOR回路OG0～OG3を含む。OR回路OG0～OG3それぞれに対しては、行ブロックRB#0～RB#mそれぞれに対応して設けられるスペアデコーダが配置される。OR回路OG0に対しては、スペアデコーダSD00～SD0mが設けられ、OR回路OG3に対しては、スペアデコーダSD30～SD3mが設けられる。各行ブロックにおける不良ノーマルビット線対は、各OR回路に対して設けられたスペアデコーダにプログラムされる。

【0043】

今、図2(A)に示すように、メモリサブアレイMB#00のノーマルビット線対PBL0をスペアアレイSP#0のスペアビット線対SBL0で置換し、またメモリサブアレイMB#0nのノーマルビット線対PBL1を、スペアアレイSP#0のスペアビット線対SBL1で置換する。また、メモリサブアレイMB#10のノーマルビット線対PBL2を、スペアアレイSP#1のスペアビット線対SBL0で置換し、メモリサブアレイMB#m0およびMB#mnのそれぞれに含まれる不良ノーマルビット線対PBL3およびPBL4を、スペアアレイSP#mのスペアビット線対SBL0およびSBL3で置換する。この場合、不良ノーマルビット線対PBL0のアドレスが、スペアデコーダSB00にプログラムされ、不良ノーマルビット線対PBL1のアドレスが、スペアコラム選択線CSL1に対応して設けられたOR回路に対応して設けられるスペアデコーダにプログラムされる。不良ノーマルビット線対PBL2は、そのアドレスが、OR回路OG0に対して設けられたスペアデコーダSD01にプログラムされる。不良ノーマルビット線対PBL3およびPBL4は、それぞれのアドレスが、スペアデコーダSD0mおよびSD3mにプログラムされる。したがって、不良ノーマルビット線対がアドレス指定されたときには、対応のスペアコラム選択線が選択状態へ駆動される。このときには、これらのOR回路の出力信号に従って、コラムデコード回路Y0~Ynのデコード動作は停止される。すなわち図2(B)に示すスペアデコード回路を用いることにより、メモリサブアレイMB#00~MB#mnそれぞれにおいて互いに独立に、不良ノーマルビット線対の救済を行なうことができる。

【0044】

この図2(B)に示すスペアデコード回路の構成においては、行ブロックごとに、不良ノーマルビット線対のアドレスのプログラムを行なうことができる。したがってスペアデコーダそれぞれは、「ドントケア」状態を記憶することは要求されない。ノーマルコラム選択線CLSが不良の場合には、各スペアデコーダに、同じアドレス信号をプログラムすればよい。しかしながらこの場合において、スペアデコーダに、「ドントケア」状態を記憶する機能を持たせることにより、

行ブロック単位の不良ノーマルビット線対救済に加えて、不良ノーマルコラム選択線の置換による、不良ノーマルビット線対の救済をも併せて行なうことができる。

【0045】

〔変更例〕

図3(A)は、図2(A)に示すスペアデコード回路の変更例の構成を示す図である。図3(A)においては、スペアデコーダは、列ブロックに対応して配置される。すなわち、OR回路OG0に対しては、スペアデコーダSD00~SD0nが配置され、OR回路OG3に対しては、スペアデコーダSD30~SD3nが配置される。スペアデコーダSD00~SD0nは、列ブロックCB#0~CB#nにそれぞれ対応し、またスペアデコーダSD30~SD3nも、それぞれ、列ブロックCB#0~CB#nに対応する。

【0046】

今、図3(B)に示すように、メモリサブアレイMB#00のノーマルビット線対PBL0が不良であり、またコラムデコード回路Ynからのコラム選択線CSLが不良の場合を考える。この場合、不良ノーマルビット線対PBL0のアドレスがスペアデコーダSD00にプログラムされ、またノーマルコラム選択線CSLのアドレスが、スペアデコーダSD3nにプログラムされる。この不良ノーマルコラム選択線CSLのプログラム時においては、スペアデコーダSD3nは、列ブロック指定ビットが無効状態にされ、列ブロックCB#nのメモリサブアレイMB#0n~MB#mnのいずれかの不良列選択線CSLに対応するノーマルビット線対がアドレス指定されても、スペアデコーダSD3nの出力信号は選択状態を示す。

【0047】

この場合、不良ノーマルビット線対PBL0が、スペアアレイSP#0のスペアビット線対SBL0により置換され、コラムデコード回路Ynからの不良ノーマルコラム選択線CSLが、スペアコラム選択線SCSL3に置換される。

【0048】

なお、この図1に示す構成においては、1つのメモリサブアレイが選択されて

対応のノーマルグローバルデータバスに接続される。したがって、1ビットのデータの入出力が行なわれる。

【0049】

図4は、データ読出部の構成を概略的に示す図である。図4において、ノーマルグローバルデータバスNGIO0～NGIONそれぞれに対応してメインアンプMAP0～MAPnが設けられ、スペアグローバルデータバスSGIOに対応してスペアメインアンプMAPsが設けられる。メインアンプMAP0～MAPnは、メインアンプ活性化信号PAE0～PAEnの活性化にตอบสนองして選択的に活性化され、スペアメインアンプMAPsは、スペアメインアンプ活性化信号PAEsにตอบสนองして活性化される。スペアメインアンプ活性化信号PAEsの活性化時、メインアンプ活性化信号PAE0～PAEnは、すべて非活性状態に保持される。これにより、不良ビットの置換による救済時、正確に1ビットのデータを読出すことができる。データ書込のためには、メインアンプに代えてライトドライバが設けられればよい。

【0050】

スペアメインアンプPAEsは、OR回路OG0～OG3の出力信号のいずれかがHレベルとなると活性化される。

【0051】

なお、この図4に示す読出部の構成において、ノーマルグローバルデータバスNGIO0～NGIONは、選択行ブロックに対応して設けられたノーマルローカルデータバスにそれぞれ接続される。しかしながら、コラムデコード回路Y0～Ynの1つのみがコラム選択線上に活性化された列選択信号を伝達するため、これらのノーマルグローバルデータバスNGIO0～NGIONのいずれか1つにのみ、選択メモリのセルのデータが伝達される（ノーマルメモリセルがアクセスされたとき）。

【0052】

なお、選択行ブロックにおいてメモリサブアレイがすべて選択される構成の場合、スペアアレイそれぞれにおいて、スペアサブビット線対それぞれに対応してスペアローカルデータバスを設けるとともに、これらの複数のスペアローカルデ

ータバスに対応してスペアグローバルデータバスを設けることにより対応することができる。図3(A)に示す構成のスペアデコーダSD00~SD3nを用いて、複数のスペアグローバルデータバスに対応して設けられたメインアンプの1つを選択的に活性化する。また、これらのスペアデコーダSD00~SD3nの出力信号を用いて、不良ノーマル列の救済が行なわれた列ブロックを検出し、その検出された列ブロックにスペアメインアンプの出力信号を伝達する。これは、スイッチ回路を用いることにより実現することができる。

【0053】

なお、図2(A)および図3(A)においては、行ブロックまたは列ブロックそれぞれに対応してスペアデコーダが用いられている。しかしながら、このスペアデコーダの数は、このメモリアレイ全体における不良ノーマルビット線対の救済される数に応じて適当に定められればよい。

【0054】

また、スペアアレイSP#0~SP#mそれぞれにおけるスペアビット線対の数も適当に定められる。1つの列ブロックあたり複数本の割合で、スペアビット線対が設けられてもよい。

【0055】

以上のように、この発明の実施の形態1に従えば、行ブロックそれぞれにスペアアレイを設け、対応の行ブロックに含まれる複数のサブアレイの任意の不良ノーマル列を、救済可能なように構成しているため、各行ブロックにおいて、効率的に不良ノーマル列の救済を行なうことができる。

【0056】

また、スペア列(スペアビット線対)を選択するためのスペアデコーダは、複数のメモリサブアレイで共有されるように構成しているため、メモリサブアレイそれぞれに対応してスペアデコーダを設ける必要がなく、回路占有面積が低減され、またスペアデコーダの利用効率も改善される。

【0057】

【実施の形態2】

図5は、この発明の実施の形態2に従う半導体記憶装置のメモリアレイ部の構

成を概略的に示す図である。この図5に示すアレイ構成においては、スペアアレイSP#0～SP#mそれぞれに対応して設けられるブロック選択ゲートBSGsは、対応の行ブロックを選択する信号 $\phi_0 \sim \phi_m$ と異なる信号 $\phi_{s0} \sim \phi_{sm}$ を受ける。すなわち、不良ノーマル列救済時において、スペアグローバルデータバスSGIOには、スペアローカルデータバスSIO0～SIOmのうち所定数のスペアローカルデータバスが同時に接続される。他の構成は、図1に示す構成と同じであり、対応する部分には同一参照番号を付す。

【0058】

図6は、メモリアクセス時におけるノーマルグローバルデータバスとローカルデータバスおよびスペアローカルデータバスの接続を概略的に示す図である。図6において、ノーマルグローバルデータバスNGIOは、ブロック選択ゲートBSGを介してローカルデータバスLIOiに接続される。このブロック選択ゲートBSGは、行ブロック選択信号 ϕ_i に応答して導通する。一方、スペアグローバルデータバスSGIOは、スペアブロック選択ゲートBSGsを介してスペアローカルデータバスSIOiに接続されかつ複数のスペアローカルデータバスに同時に接続される。図6においては、ブロック選択ゲートBSGsを介して、スペアローカルデータバスSIOjがスペアグローバルデータバスSGIOに同時に接続される対応を代表的に示す。

【0059】

メモリアレイにおいては、複数行複数列にノーマルメモリセルが配列される。一方、スペアアレイにおいても、スペアメモリセルが行列状に配列される。しかしながら、このスペアアレイにおける列の数は、単に、対応の行ブロックにおけるノーマルサブアレイの不良列を救済するために設けられているだけであり、その列の数はノーマルサブアレイの列の数よりも大幅に少ない。したがって、ローカルデータバスLIOiのバス線にそれぞれ寄生容量Caが接続した場合、スペアローカルデータバスSIOiのバス線には、それぞれこれよりも小さな寄生容量Ccが存在する。

【0060】

一方、ノーマルグローバルデータバスNGIOおよびスペアグローバルデータバ

スSGIOは、メモリアレイにおいて列方向に延在して配設されており、これらには、ほぼ同じ寄生容量 C_b が存在する。したがって、1つのスペアローカルデータバスのみをスペアグローバルデータバスSGIOに接続した場合、その寄生容量は、 $C_b + C_c$ となり、一方、ノーマルメモリセルのアクセス時においては、バス線の寄生容量は $C_a + C_b$ となる。スペアメモリセルアクセス時においては、バスの寄生容量が小さいため、信号がノーマルメモリセルアクセス時よりも速いタイミングで変化する。したがって、ノーマルメモリセルアクセス時とスペア列選択時において、信号伝播遅延が異なるため、内部信号の変化タイミングが異なり、内部タイミングの不一致および誤動作などが生じる可能性がある。特に、この図5に示すメモリアレイが複数個設けられており、複数ビットのデータの入出力が行なわれる構成の場合、1つのメモリアレイにおいてスペア列が選択され、他のメモリアレイにおいてノーマル列が選択された場合、データの転送タイミングが異なり、内部データのセットアップ/ホールド時間が異なることになり、回路動作が不安定となる。

【0061】

また、クロック信号に同期して順次列を選択していく構成の場合、他のメモリアレイの選択データと並列に読出されてラッチされた後交互に外部に読出される。ノーマルメモリセル選択時とスペア列選択時とでデータ信号の伝達時間が異なる場合、このラッチタイミングに対するセットアップ/ホールド時間が異なり、正確なデータの読出を行なうことができなくなることが考えられる。

【0062】

そこで、図6に示すように、不良スペアメモリセルアクセス時においては、複数のスペアローカルデータバスを同時にスペアグローバルデータバスSGIOに接続する。これにより、ノーマルメモリセル選択時とスペアメモリセルアクセス時における信号伝播遅延時間を同じとする。

【0063】

同時に選択状態へ駆動されるスペアローカルデータバスの数 k は、具体的には、次式で与えられる。

【0064】

$$C_b + C_a = C_b + k \cdot C_c$$

したがって、次式が得られる。

【0065】

$$C_a = k \cdot C_c$$

これにより、タイミングのミスマッチにより生じる問題を回避することができる。

【0066】

今、図7に示すように、行ブロックは、RB#0～RB#7の8個設けられている場合を考える。行ブロックRB#0～RB#7は、3ビットのアドレス信号 a_i 、 a_j および a_k により指定される。これらの3ビットのアドレス信号 a_i 、 a_j および a_k のデコードにより、ブロック選択信号 ϕ_i が生成される。

【0067】

行ブロックRB#0～RB#3と行ブロックRB#4～RB#7のうちの一方のブロックが、アドレス信号ビット a_i により指定され、行ブロックRB#0、RB#1、RB#4およびRB#5のグループと行ブロックRB#2、RB#3、RB#6およびRB#7のグループの一方が、アドレス信号ビット a_j により指定され、行ブロックRB#0、RB#2、RB#4およびRB#6のグループと行ブロックRB#1、RB#3、RB#5およびRB#7のグループの1つがアドレス信号ビット a_k により指定される場合を考える。この場合、アドレス信号ビット $a_i \sim a_k$ を適当に無効状態（ドントケア状態）に設定して、スペアアレイブロック選択信号 ϕ_{s_i} を生成することができる。たとえば、アドレス信号ビット a_k を無効状態とすれば、2つの行ブロックが同時に指定されるため、2つのスペアローカルデータバスをスペアグローバルデータバスに接続することができる。アドレス信号ビット a_j を無効状態とすれば、同様、2つの行ブロックを指定することができる。アドレス信号ビット a_j および a_k 両者を無効状態とすれば、4つの行ブロックを同時に指定することができる。3ビットのアドレス信号 $a_i \sim a_k$ すべてを無効状態とすれば、すべての行ブロックを指定することができる。したがって、これらの構成を用いることにより、必要な数（2の倍数）のスペアアレイのスペアローカルデータバスをスペアグローバルデータバスに

接続することができる。

【0068】

図8は、スペアブロックの列選択部の構成を概略的に示す図である。図8においては、2つのスペアアレイSP#iおよびSP#jの部分の構成を示す。

【0069】

図8を参照して、スペアアレイSP#iにおいて、スペアビット線対SBLをスペアローカルデータバスSIO_iに接続するスペアコラム選択ゲートCSG_iは、図示しないスペアコラムデコード回路からの列選択信号と行ブロック指定信号 ϕ_i を受けるAND回路SCG_iの出力するローカルコラム選択信号YS_iにตอบสนองして導通する。スペアアレイSP#jにおいて、スペアビット線対SBLとスペアローカルデータバスSIO_jを接続するスペアコラム選択ゲートCSG_jは、スペアコラムデコード回路からのスペアコラム選択線SCSL上に伝達されるスペアコラム選択信号と行ブロック選択信号 ϕ_j を受けるAND回路SCG_jからのスペアローカルコラム選択信号YS_jにตอบสนองして導通する。スペアローカルデータバスSIO_i…SIO_jは、それぞれ、ブロック選択信号 ϕ_{s_i} および ϕ_{s_j} にตอบสนองして導通するスペアブロック選択ゲートBSG_sを介してスペアグローバルデータバスSGIOに接続される。

【0070】

この図8に示す構成において、スペアアレイアクセス時、スペアローカルデータバスSIO_i…SIO_jが、並列にスペアグローバルデータバスSGIOに結合される。この状態において、選択行ブロックに対応して設けられたスペアアレイのスペアビット線対SBLが対応のスペアローカルデータバスに接続される。これにより、スペアコラムデコード回路からスペアコラム選択線SCSL上に与えられるスペアコラム選択信号が共通にスペアアレイSP#0～SP#mに与えられる構成において、複数のスペアローカルデータバスを同時にスペアグローバルデータバスに接続する場合においても、正確に、アドレス指定された不良列に対応するスペア列を選択して、データアクセスを行なうことができる。これにより、プリチャージ状態に保持されたスペアビット線対が対応のスペアローカルデータバスを介してスペアグローバルデータバスに接続されてスペアメモリセルデ

ータが破壊されるのを防止することができる。

【0071】

なお、上述の説明において、行ブロック指定用のアドレス信号ビットを縮退状態（ドントケア状態）に設定して、複数のスペアローカルデータバスを同時にスペアグローバルデータバスに接続することを行なっている。しかしながら、別にデコード回路を設け、各行ブロック指定時において同時に選択されるスペアローカルデータバスの組がこのデコード回路の出力により決定される構成が用いられてもよい。

【0072】

以上のように、この発明の実施の形態2に従えば、複数のスペアローカルデータバスを並列にスペアグローバルデータバスに接続するように構成しているため、ノーマルメモリセルアクセス時およびスペアメモリセルアクセス時におけるグローバルデータバスの信号伝播遅延を同じとすることができ、内部タイミングのミスマッチにより生じる問題を回避することができ、安定に動作する半導体記憶装置を実現することができる。

【0073】

〔実施の形態3〕

図9は、この発明の実施の形態3に従う半導体記憶装置の要部の構成を概略的に示す図である。図9において、メモリアレイは、列方向に沿って複数の行ブロック（センスアンプブロック）RBX#0～RBX#mに分割される。行ブロックRBX#1～RBX#mは、ノーマルメモリセルが行列状に配列されたノーマルメモリサブアレイMA#1～MA#mでそれぞれ構成される。行ブロックRBX#0においては、行列状に配列されるノーマルメモリセルを有するノーマルメモリサブアレイMA#0と、そのノーマルメモリサブアレイMA#0と列を共有して複数行に配列されるスペアメモリセルを有するスペアアレイSPX#とを含む。このスペアアレイSPX#に含まれる複数のスペア行（スペアワード線）は、ノーマルメモリサブアレイMA#0～MA#mに含まれる不良ノーマルワード線と置換可能である。ノーマルメモリサブアレイMA#0～MA#mそれぞれに対応して、ロウデコーダX0～Xmが設けられ、スペアアレイSPX#に対しスペ

アロウデコード回路SPDXが配置される。

【0074】

この図9に示す構成においては、スペアアレイSPX#を、ノーマルメモリサブアレイMA#0～MA#mに共通に配置する。したがって、1つのノーマルメモリサブアレイにおいて不良行が集中的に存在する場合においても、スペアアレイSPX#に含まれるスペアワード線を用いて置換救済を行なうことができ、製品歩留りを改善することができる。また、スペアロウデコーダを複数のノーマルメモリサブアレイ（行ブロック）で共有することにより、スペアデコーダの数を低減することができる。

【0075】

図10は、図9に示すスペアロウデコーダ回路SPDXの構成を概略的に示す図である。図10においては、スペアアレイSPX#においては、4本のスペアワード線SWL0～SWL3が設けられた場合のスペアロウデコード回路SPDXの構成が一例として示される。このスペアロウデコード回路SPDXは、スペアワード線SWL0～SWL3それぞれに対応して設けられるスペアロウデコーダSDX0～SDX3を含む。これらのスペアロウデコーダSDX0～SDX3には、それぞれ、メモリサブアレイを特定するブロックアドレスおよびサブアレイ内の行アドレス両者をプログラムする。今、図10に示すように、ノーマルメモリサブアレイMA#0に含まれる不良ノーマルワード線WL0、ノーマルメモリサブアレイMA#1に含まれる不良ノーマルワード線WL1およびWL2、ノーマルメモリサブアレイMA#mに含まれる不良ノーマルワード線WL3をスペアワード線との置換により救済する場合を考える。この場合、スペアロウデコーダSDX0にワード線WL0のアドレス（ブロックアドレスを含む）がプログラムされ、スペアロウデコーダSDX1およびSDX2それぞれに、不良ノーマルワード線WL1およびWL2のアドレスがプログラムされ、スペアロウデコーダSDX3に不良ノーマルワード線WL3のアドレスがプログラムされる。したがって、不良ノーマルワード線WL0、WL1、WL2、およびWL3が、それぞれ、スペアワード線SWL0、SWL1、SWL2、およびSWL3により置換される。

【0076】

したがって、スペアロウデコーダが、ノーマルメモリサブアレイMA#0~MA#mにそれぞれにより共有されるため、ノーマルメモリサブアレイそれぞれに対応してスペアロウデコーダを設ける必要がなく、アレイ占有面積の増加を抑制することができる。また、スペアワード線は、ノーマルメモリサブアレイMA#0~MA#mにより共有されるため、スペアワード線の利用効率が改善される。

【0077】

また、この行ブロックRBX#0においてスペアアレイSPX#を、ノーマルメモリサブアレイMA#0~MA#mに共通に設けることにより、このスペアアレイSPX#に含まれるスペアワード線SWLを、任意のノーマルメモリサブアレイが使用することができ、スペアワード線の利用効率を改善することができる。

【0078】

また、スペアアレイSPX#をノーマルメモリサブアレイMA#0に含ませることにより、このスペアデコーダSDX0~SDX3の1つが選択されたとき、この行ブロックRBX#0に対して設けられるセンスアンプを活性化する構成が用いられればよく、センスアンプの制御動作も簡略化される。

【0079】

なお、図9および10に示す構成においては、行ブロックRBX#0~RBX#mにおいて、1つの行ブロックが選択されてセンス動作が行なわれる（ワード線選択が行なわれる）。

【0080】

また、スペアアレイSPX#に含まれるスペアワード線SWLの数は任意である。

【0081】

以上のように、この発明の実施の形態3に従えば、スペアワード線は、複数のノーマルメモリサブアレイに共通に使用されるように1つのスペアアレイ内に一括して設けているため、スペアロウデコーダの数が低減され、またスペアワード線の使用効率が改善される。

【0082】

〔実施の形態4〕

図11は、この発明の実施の形態4に従う半導体記憶装置のアレイ部の構成を概略的に示す図である。図11において、メモリアレイは、ノーマルメモリサブアレイMA#0-0~MA#0-Nと、ノーマルメモリサブアレイMA#0-0~MA#0-Nと列方向において交互に配設されるノーマルメモリサブアレイMA#1-0~MA#1-Nを含む。ノーマルメモリサブアレイMA#0-0に対しては、スペアワード線SWLが所定数設けられたスペアアレイSPX#0が配置され、1つの行ブロック（センスアンプブロック）RBX#0を構成し、ノーマルメモリサブアレイMA#1-Nにおいては、スペアワード線SWLが所定数配置されたスペアアレイSPX#1が設けられ、行ブロックRBX#1が構成される。ノーマルメモリサブアレイMA#0-0~MA#0-NおよびMA#1-0~MA#1-Nは、それぞれ行列状に配列されるノーマルメモリセルを有する。

【0083】

列方向において隣接するメモリサブアレイの間に、センスアンプ帯SAB1~SABmが配置される。ノーマルメモリサブアレイMA#0-0の外側にセンスアンプ帯SAB0が配置され、ノーマルメモリサブアレイMA#1-Nに隣接して、センスアンプ帯SABm+1が配置される。

【0084】

これらのセンスアンプ帯SAB0~SABm+1は、交互配置型シールドセンスアンプの構成を有する。1つのノーマルメモリサブアレイまたは行ブロックが選択されたとき、その両側に設けられたセンスアンプ帯に含まれるセンスアンプにより、センス動作が行なわれる。

【0085】

行ブロックRBX#0に含まれるスペアアレイSPX#0のスペアワード線は、メモリサブアレイMA#0-0~MA#0-Nに含まれるノーマルワード線と置換可能であり、ノーマルメモリサブアレイMA#1-Nに設けられたスペアアレイSPX#1の各スペアワード線は、ノーマルメモリサブアレイMA#1-0

～MA#1-Nに含まれるノーマルワード線と置換可能である。

【0086】

通常動作時においては、ノーマルメモリサブアレイMA#0-0～MA#0-Nのいずれか1つが選択されるか、または、ノーマルメモリサブアレイMA#1-0～MA#1-Nのいずれか1つが選択される。すなわち、この図11に示す構成において、1つのノーマルメモリサブアレイが選択状態へ駆動される。以下に、このノーマルメモリサブアレイMA#0-0～MA#0-NとノーマルメモリサブアレイMA#1-0～MA#1-Nとを列方向において交互に配置しかつこれらのサブアレイ群それぞれに、スペアアレイを設けることにより得られる効果について説明する。

【0087】

今、図12に示すように、行ブロックRBX#0に含まれるスペアアレイSPX#のスペアワード線が、すべてのノーマルメモリサブアレイの不良ノーマルワード線と置換可能な場合を考える。シェアドセンスアンプ構成においては、センスアンプ帯SAB1の両側に、行ブロックRBX#0およびノーマルメモリサブアレイMA#1-0が配置される。センスアンプ帯SAB1と行ブロックRBX#0の間には、ビット線分離ゲートBLIG0が配置され、センスアンプ帯SAB1とノーマルメモリサブアレイMA#1-0の間には、ビット線分離ゲートBLIG1が配置される。ビット線分離ゲートBLIG0へは、置換指示信号 ϕ_{sp} とサブアレイ指定信号 ϕ_1 を受けるNOR回路OGaの出力信号がビット線分離制御信号として与えられる。ビット線分離ゲートBLIG1に対しては、置換指示信号 ϕ_{sp} とサブアレイ指定信号 ϕ_0 とを受けるNOR回路OGbの出力信号がビット線分離指示信号として与えられる。置換指示信号 ϕ_{sp} は、不良ノーマルセルがアドレス指定されて、スペアアレイSPX#に含まれるスペアワード線が選択される時、選択的に活性状態のHレベルとされる。サブアレイ指定信号 ϕ_1 は、ノーマルメモリサブアレイMA#1-0が指定されたときに活性状態のHレベルとされ、サブアレイ指定信号 ϕ_0 は、ノーマルメモリサブアレイMA#0-0が指定されたときに、活性状態のHレベルとされる。

【0088】

今、ノーマルメモリサブアレイMA#1-0に含まれる不良ノーマルワード線が、スペアアレイSPX#に含まれるスペアワード線で置換された場合を考える。ノーマルメモリサブアレイMA#1-0の不良ノーマルワード線がアドレス指定されたとき、また、サブアレイ指定信号 $\phi 1$ がHレベルとなり、一方、サブアレイ指定信号 $\phi 0$ がLレベルを維持する。したがって、NOR回路OGaの出力信号がLレベルとなり、ビット線分離ゲートBLIG0が非導通状態となり、このスペアアレイSPX#が、センスアンプ帯SAB1から切離される。一方、この不良ノーマルワード線をスペアアレイSPX#に含まれるスペアワード線で置換するため、置換指示信号 ϕsp もHレベルへ駆動されるため、NOR回路OGbの出力信号もHレベルに立上がり、ビット線分離ゲートBLIG1も非導通状態となる。したがって、センスアンプ帯SAB1は、このスペアアレイSPX#およびノーマルメモリサブアレイMA#1-0両者から切離されることになり、不良ノーマルワード線の救済を行なうことができなくなる。

【0089】

これを防止するためには、ビット線分離ゲートBLIG0をスペアワード線使用時に導通状態とするために、図13に示す回路を、このビット線分離制御回路として用いることが考えられる。

【0090】

図13において、このビット線分離制御回路は、サブアレイ指定信号 $\phi 1$ を受けるインバータOGaaと、インバータOGaaの出力信号と置換指示信号 ϕsp を受けるOR回路OGabを含む。この図13に示すビット線分離制御回路の場合、ノーマルメモリサブアレイがアドレス指定されたときには、インバータOGaaの出力信号がLレベルとなる。不良ノーマルワード線がアドレス指定されていない場合には、置換指示信号 ϕsp がLレベルであり、したがってOR回路OGabの出力信号がLレベルとなり、ビット線分離ゲートBLIG0を非導通状態とすることができる。一方、置換指示信号 ϕsp が活性化されスペアアレイに含まれるスペアワード線を使用するときには、OR回路OGabの出力信号は、Hレベルとなり、ビット線分離ゲートBLIG0が導通状態となる。

【0091】

しかしながら、この図13に示すビット線分離制御回路を用いた場合、他のビット線分離ゲートに対して設けられた制御回路と回路構成が異なり、ゲート段数が異なる（OR回路は、NOR回路とその出力信号を受けるインバータとで構成される）。したがって、ゲート遅延が異なり、タイミングマージンが減少し、誤動作が生じる可能性がある。

【0092】

図11に示すように、スペアアレイSPX#0においては、ノーマルメモリサブアレイMA#0-0~MA#0-Nの不良ノーマルワード線と置換可能なスペアワード線を配置することにより、ノーマルメモリサブアレイMA#1-0の不良ノーマルワード線がアドレス指定されたときには、この行ブロックRBX#0に含まれるスペアアレイに含まれるスペアワード線は使用されない。したがって、この場合、図14に示すようなビット線分離制御回路を利用することにより、正確に、不良ノーマルワード線の置換による救済を行なうことができる。

【0093】

図14において、ビット線分離ゲートBLIG0に対して、サブアレイ指示信号 $\phi 1$ を受ける2入力NOR回路OGcが設けられ、ビット線分離ゲートBLIG1に対しては、スペア置換指示信号 $\phi sp0$ とサブアレイ指定信号 $\phi 0$ を受けるNOR回路OGdが設けられる。スペア置換指示信号 $\phi sp0$ は、ノーマルメモリサブアレイMA#0-0~MA#0-Nのいずれかにおいて不良ノーマルワード線がアドレス指定されたときに、活性状態のHレベルへ駆動される。サブアレイ指示信号 $\phi 0$ は、ノーマルメモリサブアレイMA#0-0が指定されたときに活性状態のHレベルへ駆動され、サブアレイ指示信号 $\phi 1$ は、ノーマルメモリサブアレイMA#1-0が指定されたときに活性状態のHレベルへ駆動される。サブアレイMA#0-0に対応して設けられるスペアアレイSPX#0が使用されるときには、ノーマルメモリサブアレイMA#1-0がアドレス指定されることはない。これは、スペアアレイSPX#0に含まれるスペアワード線は、ノーマルメモリサブアレイMA#0-0~MA#0-Nに含まれる不良ノーマルワード線がアドレス指定された場合に選択されるためである。また、この場合、NOR回路OGcの出力信号がHレベルを維持し、一方、NOR回路OGdの出力信

号がLレベルとなり、センスアンプ帯SAB1は、行ブロックRBX#0に接続され、ノーマルメモリサブアレイMA#1-0から切離される。逆に、ノーマルメモリサブアレイMA#1-0がアドレス指定されたときには、NOR回路OGcの出力信号がLレベルとなり、行ブロックRBX#0が、センスアンプ帯SAB1から切離され、ノーマルメモリサブアレイMA#1-0が、センスアンプ帯SAB1に接続される（NOR回路OGdの出力信号がHレベルを維持する）。

【0094】

他方の行ブロックRBX#1に対しても、同様の構成が設けられる。これにより、スペアアレイを含むメモリブロックおよびこれに隣接するメモリサブアレイが同時にアドレス指定されることがなく、正確な、不良救済を行なうことができる。

【0095】

図15は、この発明の実施の形態4における半導体記憶装置における不良ノーマルワード線の置換の態様の一例を概略的に示す図である。図15において、スペアアレイSPX#0は、ノーマルメモリサブアレイMA#0-0~MA#0-Nの不良ノーマルワード線と置換可能なスペアワード線を含む。スペアアレイSPX#1は、ノーマルメモリサブアレイMA#1-0~MA#1-Nに含まれる不良ノーマルワード線と置換可能なスペアワード線を含む。センスアンプ帯を共有するノーマルサブアレイは、そのアドレス信号ビットRAjの値が異なる。これにより、アクセス衝突（ノーマル/スペアワード線の同時選択）による誤動作を防止することができ、正確な不良救済を行なうことができる。

【0096】

【実施の形態5】

図16は、半導体記憶装置に含まれるメモリセルの構成を示す図である。図16においては、ワード線WL aおよびWL bとビット線BLの交差部に対応して配置される2つのメモリセルMC aおよびMC bを代表的に示す。メモリセルMC aおよびMC bの各々は、キャパシタMQと、対応のワード線（WL aまたはWL b）の信号電位に反応してキャパシタMQをビット線BLに接続するnチャネルMOSトランジスタで構成されるアクセストランジスタMTを含む。これら

のメモリセルMC aおよびMC bは、ダイナミック型メモリセルであり、ビット線BLおよび/BLが対をなして配設され、ビット線BLおよび/BLに生じた電位差が、センスアンプにより差動増幅される。

【0097】

この図16に示す配置において、ワード線WL aが選択状態へ駆動されるとき、ワード線WL aおよびWL bの間の寄生容量による容量結合により、非選択ワード線WL bの電圧レベルが上昇し、メモリセルMC bに含まれるアクセストランジスタMTが弱いオン状態となり、キャパシタMQの蓄積電荷が、ビット線BLに伝達される。また、選択ワード線WL aの非選択移行時、ワード線WL aとビット線BLの間の容量結合により、ビット線BLの電圧レベルが低下し（ビット線BLが接地電圧レベルに駆動されているとき）、ビット線BLの電圧レベルが低下し、非選択ワード線WL bに接続されるメモリセルMC bのアクセストランジスタMTが弱いオン状態となり、キャパシタの蓄積電荷がビット線BLに流出する。このような、ワード線を選択するときの、非選択ワード線に接続されるメモリセルに電流リークを生じる現象は、「ディスタープリフレッシュ」と呼ばれる。メモリセルの電荷保持特性が悪い場合、一定の周期でリフレッシュが行なわれる前に、メモリセルの記憶データが消失し、ソフトエラーが生じる。このような「ディスタープリフレッシュ」特性をテストするために、ワード線を順次選択状態へ駆動し、メモリセルの電荷保持特性を試験する「ディスタープ・リフレッシュ・テスト」が行なわれる。この「ディスタープ・リフレッシュ・テスト」においては、各メモリセルに所定回数のディスタープを与えするために、ワード線は所定回数選択状態へ駆動される。半導体記憶装置の記憶容量が増加すれば、応じてワード線の数も多くなり、この「ディスタープ・リフレッシュ・テスト」に要する時間が大きくなる。このようなディスタープ・リフレッシュ・テストを高速で行なうために、この「ディスタープ・リフレッシュ・テスト」においては、通常動作モード時に同時に選択されるワード線の数よりも、より多くのワード線を同時に選択状態へ駆動することが行なわれる。この場合、ワード線選択状態によっては、フレキシブル・リダンダンシィ構成を利用した場合、1つのサブアレイにおいてスペアワード線とノーマルワード線とが同時に選択状態へ駆動さ

れ、アクセス競合が生じ、メモリセルの記憶データが破壊され、ディスターブ・リフレッシュ・テストを行なうことができなくなるという問題が生じる。以下に、ディスターブ・リフレッシュ・テストなどの、通常動作モード時よりもより多くのワード線を同時に選択状態へ駆動する場合においても、1つのメモリサブアレイ内においてノーマルワード線とスペアワード線とを同時に選択するのを防止することのできる構成について説明する。

【0098】

図17は、この発明の実施の形態5に従う半導体記憶装置のアレイ部の構成を概略的に示す図である。図17において、メモリアレイは、2つのメモリマットB#0およびB#1を含む。メモリマットB#0は、ノーマルメモリサブアレイMB#00-0~MB#00-Nと、ノーマルメモリサブアレイMB#01-0~MB#01-Nを含む。ノーマルメモリサブアレイMB#00-0~MB#00-Nと、ノーマルメモリサブアレイMB#01-0~MB#01-Nは、交互に配置される。これらのノーマルメモリサブアレイMB#00-0~MB#00-NおよびMB#01-0~MB#01-Nの間に、斜線領域で示すセンスアンプ帯が配置される。ノーマルサブアレイMB#00-0に、スペアワード線を含むスペアアレイSPX#00が配置され、ノーマルメモリサブアレイMB#01-Nに対応して、スペアワード線を含むスペアアレイSPX#01が配置される。ノーマルメモリサブアレイMB#00-0およびスペアアレイSPX#00が、行ブロック(センスアンプブロック)RB#00を構成し、ノーマルメモリサブアレイMB#01-NおよびスペアアレイSPX#01が、行ブロックRB#01を構成する。ノーマルメモリサブアレイMB#00-0~MB#00-Nが、たとえばロウアドレス信号ビットRAjが1のときに指定されるメモリブロック群B#00を構成し、ノーマルメモリサブアレイMB#01-0~MB#01-Nが、ロウアドレス信号ビットRAjがたとえば0のときに選択されるメモリブロック群B#01を構成する。

【0099】

メモリマットB#1は、ノーマルサブアレイMB#10-0~MB#10-Nと、ノーマルメモリサブアレイMB#11-0~MB#11-Nを含む。ノーマ

ルメモリサブアレイMB#10-0~MB#10-NとノーマルメモリサブアレイMB#11-0~MB#11-Nは、列方向に沿って交互に配置される。これらのノーマルメモリサブアレイMB#10-0~MB#10-NとノーマルメモリサブアレイMB#11-0~MB#11-Nの間には、斜線領域で示すセンスアンプ帯が配置される。ノーマルメモリサブアレイMB#10-0に対応してスペアワード線を含むスペアアレイSBX#10が配置され、ノーマルメモリサブアレイMB#11-Nに対してスペアアレイSPX#11が配置される。ノーマルメモリサブアレイMB#10-0およびスペアアレイSPX#10が、行ブロック(センスアンプブロック)RB#10-0を構成し、ノーマルメモリサブアレイMB#11-NおよびスペアアレイSPX#11が、行ブロックRB#11-Nを構成する。ノーマルメモリサブアレイMB#10-0~MB#10-Nが、メモリブロック群B#10に含まれ、ノーマルメモリサブアレイMB#11-0~MB#11-Nが、メモリブロック群B#11に含まれる。

【0100】

この図17に示すアレイ構成において、行ブロックRB#00に設けられたスペアアレイSPX#00は、メモリブロック群B#10に含まれるノーマルメモリサブアレイの不良ノーマルワード線と置換可能なスペアワード線を含む。行ブロックRB#01に含まれるスペアアレイSPX#01は、メモリブロック群B#11に含まれるノーマルメモリサブアレイの不良ノーマルワード線と置換可能なスペアワード線を含む。また、行ブロックRB#10-0に含まれるスペアアレイSPX#10は、メモリブロック群B#00に含まれるノーマルメモリサブアレイの不良ノーマルワード線と置換可能なスペアワード線を含む。行ブロックRB#11-Nに含まれるスペアアレイSPX#11は、メモリブロック群B#01に含まれるノーマルメモリサブアレイの不良ノーマルワード線と置換可能なスペアワード線を含む。次に動作について説明する。

【0101】

今、図18(A)に示すように、1つのノーマルメモリサブアレイが、アドレス信号ビットRA0~RAhにより指定される場合を考える。メモリマットの指定は、ロウアドレス信号ビットRAiで行なわれ、メモリブロック群の指定は、

ロウアドレス信号ビットRAjに行なわれる。

【0102】

通常動作モード時においては、これらのアドレス信号ビットRA0～RAjはすべて有効であり、1つのマットが指定され、指定されたマットにおいて1つのメモリブロック群が指定され、かつ指定されたメモリブロック群において1つのノーマルメモリサブアレイが指定される。アドレス指定されたワード線が不良ノーマルワード線の場合、置換すべきスペアワード線は、選択メモリマットと異なるメモリマットに含まれている。したがって、何ら問題なく、不良ノーマルワード線の置換を行なうことができる（センスアンプ帯の共有の問題も生じない）。

【0103】

一方、通常動作モード時と異なるテスト動作モード時において図18(B)に示すように、ロウアドレス信号ビットRAjを縮退状態とする。これにより、メモリマットB#0およびB#1のうち1つのメモリマットが指定され、指定されたメモリマット内において、2つのメモリブロック群それぞれから、ノーマルメモリサブアレイが指定される。1つのメモリマットにおいて2つのノーマルメモリサブアレイが指定されるため、この選択時、センスアンプ帯を共有しないノーマルサブアレイが指定されるようにアドレス信号ビットの割当てが行なわれる。アドレス指定されたノーマルワード線が、不良ノーマルワード線の場合、対応のスペアワード線は、非選択メモリマット内に準備されている。したがって、1つのメモリマット内において、複数(2本)のノーマルワード線が同時に指定される場合においても、行ブロックRB#00、RB#01、RB#10、およびRB#11において、同時にスペアワード線とノーマルワード線とが選択状態へ駆動されるのが防止される。また、非選択メモリマットにおいては、不良ノーマルワード線置換時において行ブロックのスペアワード線が選択状態へ駆動されるだけであり、センスアンプ帯の共有の問題も生じない。

【0104】

たとえば、テスト動作モード時において、メモリマットB#0が指定され、メモリブロック群B#00およびB#01それぞれからノーマルメモリサブアレイが選択された場合、対応のスペアワード線は、非選択メモリマットB#1の行ブ

ロックRB#10に含まれるスペアアレイSPX#10および/または行ブロックRB#11に含まれるスペアアレイSPX#11に準備されている。したがって、スペアワード線が選択されるメモリマットとノーマルワード線が選択されるメモリマットは互いに異なるため、ノーマルワード線とスペアワード線とが1つのメモリアレイ内において同時に選択されるのが防止される。また、アドレス信号ビットの適当な割当てにより、1つのメモリマットにおいてセンスアンプ帯を共有しない2つのノーマルサブアレイを同時に選択状態へ駆動することができる。なお、このメモリマットの数を増加させれば、同時に選択状態へ駆動されるノーマルワード線の数はさらに増加させることができる。

【0105】

図19は、動作モードに応じて選択サブアレイの数を変更するための部分の構成を示す図である。図19において、アドレス信号ビットRAjとテストモード指示信号TEを受けるゲート回路(OR回路)GTが設けられる。テストモード指示信号TEが活性状態のHレベルとなると、ロウアドレス信号ビットRAjの値にかかわらず、メモリブロック群指定信号φBが活性状態のHレベルとなる。したがって、テスト動作モード時に、ロウアドレス信号ビットRAjを縮退状態として、1つのメモリマットにおいて、2つのメモリブロック群それぞれからノーマルサブアレイを指定することができる。

【0106】

また、センスアンプ帯を共有しないノーマルサブアレイの指定のためには、一方のメモリブロック群のアドレスを割当てと他方のメモリブロック群のアドレス割当てを、逆方向にすればよい(一方のメモリブロック群が列方向に沿って上から下に向かってアドレス0からNを割当てられたとき、他方のメモリ群のノーマルサブアレイは、アドレス0からNへ下から上に向かって順次割当てられる)。

【0107】

また、非選択メモリマットにおけるセンスアンプ帯とスペアアレイとの接続およびセンス動作については、スペアデコーダを常時動作させて比較動作を行なわせ、その結果を図14に示す構成と同様の構成で各行ブロックのスペアアレイへ与えることにより実現される。対応の行ブロックに対応して設けられたセンスア

ンプ制御回路をこのスベアデコーダの出力信号が活性状態のときに活性状態へ駆動する構成が用いられればよい。これにより、非選択メモリマツトにおいてスベアワード線を使用するときに、対応のセンスアンプを活性化することができる。

【0108】

また、データアクセスのためには、図4に示す構成と同様の構成が用いられればよい（ディスターブリフレッシュテスト時、データアクセスは行なわれない）。

【0109】

〔変更例〕

図20は、この発明の実施の形態5の変更例の構成を概略的に示す図である。図20においても、図17に示す構成と同様、メモリアレイは、2つのメモリマツトB#0およびB#1に分割される。メモリマツトB#0において、メモリブロック群B#00に属するノーマルメモリサブアレイMB#00-0~MB#00-0-Nとメモリブロック群B#01に含まれるノーマルメモリサブアレイMB#01-0~MB#01-Nが列方向に沿って交互に配置される。ノーマルメモリサブアレイMB#00-0に対応してスベアアレイSPX#00が配置され、ノーマルメモリサブアレイMB#01-Nに対応してスベアアレイSPX#01が配置される。スベアアレイSPX#00は、メモリブロック群B#00に属するノーマルメモリサブアレイの不良ノーマルワード線と置換可能な複数のサブスベアワード線を含み、スベアアレイSPX#01は、メモリブロック群B#01に属するノーマルメモリサブアレイの不良ノーマルワード線と置換可能なスベアワード線を含む。

【0110】

メモリマツトB#1においては、メモリブロック群B#10に含まれるノーマルメモリサブアレイMB#10-0~MB#10-Nとメモリブロック群B#11に含まれるノーマルメモリサブアレイMB#11-0~MB#11-Nが、列方向に沿って交互に配置される。ノーマルメモリサブアレイMB#10-0に対応してスベアアレイSPX#10が配置され、ノーマルメモリサブアレイMB#11-Nに対応してスベアアレイSPX#11が配置される。スベアアレイSP

X#10は、メモリブロック群B#10に含まれるノーマルメモリサブアレイの不良ノーマルワード線と置換可能な複数のサブワード線を含み、スペアアレイSPX#11は、メモリブロック群B#11に含まれるノーマルサブアレイの不良ノーマルワード線と置換可能な複数のスペアワード線を含む。

【0111】

この図20に示す配置においても、各ノーマルサブアレイ間においては、斜線領域で示すセンスアンプ帯が配置される。

【0112】

この図20に示す構成において、ノーマルモード時においては、メモリマットB#0およびB#1の一方が選択され、かつ選択メモリマットにおいて1つのノーマルメモリサブアレイが選択される。したがって、選択された1つのメモリマットにおいて、図11に示す構成と同じノーマルワード線の選択および不良ノーマルワード線の置換および救済が行なわれる。

【0113】

テストモード時においては、たとえばロウアドレス信号ビットRA_iが縮退状態とされ、メモリマットB#0およびB#1がともに指定される。これらのメモリマットB#0およびB#1それぞれにおいて、1つのノーマルサブアレイが選択される。メモリマットB#0およびB#1それぞれにおいては、異なるメモリブロック群に含まれるノーマルサブアレイが交互に配置されており、またセンスアンプ帯を共有するノーマルサブアレイは異なるメモリブロック群に含まれている。したがって、テストモード時において、何らセンスアンプを共有するノーマルメモリサブアレイが同時に指定されるというセンスアンプ競合の問題を生じることなく複数(2本)のノーマルワード線またはスペアワード線を選択状態へ駆動して、テスト動作を行なうことができる(行ブロックRB#00~RB#11のいずれかにおいて、同時に、ノーマルワード線とスペアワード線が選択状態へ駆動されることはない)。これにより、ディスターブリフレッシュテストを高速で行なうことができる。

【0114】

なお、この実施の形態5においては、ディスターブリフレッシュテストが述べ

られている。しかしながら、セルフリフレッシュモード時において、通常動作モード時よりも数多くのワード線が選択状態へ駆動される構成が用いられる場合、このテストモード指示信号に代えてセルフリフレッシュ指示信号が用いられれば、同様の効果が得られる。この変更例の構成においてアドレス信号ビット（メモリマツト特定用のアドレス信号ビット）RA_iを縮退する構成としては、図19に示す構成と同じ構成を利用することができる。

【0115】

以上のように、この発明の実施の形態5に従えば、複数のメモリマツトを設け、ディスターブリフレッシュテストなどの特定の動作モード時に、通常動作モード時よりも数多くのノーマルワード線を選択状態へ駆動する場合、1つの行ブロックにおいてノーマルワード線とスペアワード線とが同時に選択状態とならないように構成しているため、フレキシブル・リダンダンシィ構成の特徴、すなわちスペアデコーダおよびスペアワード線の効率的利用という特徴を損なうことなく所望の動作モードを正確に実現することができる。

【0116】

なお、この変更例の構成においてもメモリマツトの数を増加させることにより、容易に、より多くのノーマルワード線（4本、8本）を同時に選択状態へ駆動することができる。

【0117】

【発明の効果】

以上のように、この発明に従えば、スペア線を、複数のメモリブロックのノーマル線と置換可能なように構成しているため、スペア線を効率的に利用することができ、またフレキシブルリダンダンシィ構成を利用しているため、スペアデコーダの数も低減することができ、アレイ面積増加を抑制することができる。

【0118】

すなわち、請求項1の発明に従えば、複数のスペアローカルデータバスのうち所定数のスペアローカルデータバスをスペアグローバルデータバスへ同時に接続するように構成しているため、スペアアレイの列数が少なくスペアローカルデータバスの寄生容量が小さい場合においても、ノーマルメモリセルアクセス時にお

けるノーマルローカルデータバスおよびノーマルグローバルデータバスにおける寄生容量と同じ大きさの寄生容量をスペアグローバルデータバスに存在させることが可能となり、スペアメモリアクセス時における信号伝搬遅延時間がノーマルメモリアクセス時の信号伝搬遅延時間と異なることにより内部タイミングのミスマッチが生じるのを防止することができる。

【0119】

請求項2に係る発明に従えば、このスペアグローバルデータバスに同時に接続されるスペアローカルデータバスの数は、1つのスペアローカルデータバスと1つのローカルデータバスの容量比で与えるように構成しているため、正確に、スペアメモリアクセス時とノーマルメモリアクセス時における信号伝搬遅延を同じとすることができる。

【0120】

請求項3に係る発明に従えば、スペアアレイのスペアメモリセル列は、対応のメモリブロックの複数のメモリサブアレイの各列と置換可能なように構成しているため、スペア列およびスペアデコーダの利用効率を向上させることができる。

【0121】

請求項4に係る発明に従えば、複数の第1のメモリブロックの特定の第1のメモリブロックにスペアメモリセルを行列状に配置し、複数の第1のメモリブロックの不良行とスペアメモリセル行とを置換可能なように構成していたので、スペア行の利用効率を改善することができ、またスペアロウデコーダの利用効率を向上させることができる。

【0122】

請求項5に係る発明に従えば、第1のメモリブロックと交互に第2のメモリブロックを配置し、特定の第2のメモリブロックに行列状にスペアメモリセルを配置し、この第2のメモリブロックのスペア行を、複数の第2のメモリブロックの任意の不良行と置換可能なように構成しているため、請求項4の発明と同様、スペアロウデコーダおよびスペア行の利用効率を向上させることができる。

【0123】

また、第1および第2のメモリブロックを交互に配置することにより、第1お

よび第2のメモリブロックそれぞれが行を選択するような場合においても、スペア行とノーマル行が同時に1つのメモリブロック内において同時に選択状態へ駆動される状態を防止することができる。

【0124】

請求項6に係る発明に従えば、メモリブロックの間にセンスアンプを配置しているため、センスアンプの利用効率が改善されるとともに、センスアンプを共有するメモリブロックは異なるメモリブロック群に含まれており、センスアンプを共有するメモリブロックの一方のスペア行が対をなすメモリブロックの不良ノーマルワード線を救済する状態が生じるのを防止することができ、正確な不良ノーマル行の置換による救済を行なうことができる。

【0125】

請求項7に係る発明に従えば、第1のメモリブロックおよび第2のメモリブロックおよびスペアアレイを有するメモリアレイを2つ設け、通常動作モード時には、第1および第2のメモリアレイから1つのメモリブロックを選択し、特定動作モード時には、第1および第2のメモリアレイそれぞれから所定数のメモリブロックを同時に選択状態へ駆動しているため、1つのメモリブロックにおいてノーマル行とスペア行が同時に選択状態へ駆動されるのを防止することができ、正確に所定の動作モードを行なうことができる。

【0126】

請求項8に係る発明に従えば、第1および第2のメモリブロックを交互に配置し、また第3および第4のメモリブロックを交互に配置し、第1のメモリブロックの特定のメモリブロックにおいて、第3のメモリブロックの不良ノーマル行と置換可能なスペア行を配置し、第2のメモリブロックの特定のメモリブロックには、第4のメモリブロックの不良ノーマル行と置換可能なスペア行を配置し、また第3および第4のメモリブロックのそれぞれの特定のメモリブロックには第1および第2のメモリブロックの不良ノーマル行と置換可能なスペア行を配置し、特定の動作モード時には、第1および第2のメモリブロックから1つおよび第3および第4のメモリブロックから1つのメモリブロックを選択状態へ駆動するように構成しているため、特定の動作モード時においても、ノーマル行とスペア行

が1つのメモリブロック内において同時に選択状態へ駆動されるのを防止することができ、正確に特定動作モードを、フレキシブルリダンダンシィ構成の特徴を損なうことなく実行することができる。

【0127】

請求項9に係る発明に従えば、メモリブロック間にセンスアンプを配置し、センスアンプを隣接メモリブロックで共有する構成としているため、シェアードセンスアンプ構成においても、動作目的にかかわらず正確に、不良メモリセル行の置換による救済を行なうことができる。

【0128】

請求項10に係る発明に従えば、第1のメモリブロックの1つが選択されるときには、第3のメモリブロックの1つを選択状態へ駆動しているため、アドレス割当てを複雑化することなく容易に複数のメモリブロックを選択状態へ駆動することができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1に従う半導体記憶装置の要部の構成を概略的に示す図である。

【図2】 (A)は、図1に示すメモリアレイの不良列救済態様を示す図であり、(B)は、不良列救済のためのスペアデコーダの構成を概略的に示す図である。

【図3】 (A)は、スペアデコーダの変更例を示し、(B)は、(A)に示すスペアデコーダによる不良列救済の態様を示す図である。

【図4】 図1に示すアレイ配置における内部データ読出部の構成を概略的に示す図である。

【図5】 この発明の実施の形態2に従う半導体記憶装置の要部の構成を概略的に示す図である。

【図6】 図5に示すメモリアレイにおけるノーマルローカルデータバスおよびノーマルグローバルデータバスの接続およびスペアローカルデータバスおよびスペアグローバルデータバスの接続態様を概略的に示す図である。

【図7】 スペアローカルデータバス選択信号を発生するための手法を説明

するための図である。

【図8】 図5に示すメモリアレイのスペアレイの列選択部の構成を概略的に示す図である。

【図9】 この発明の実施の形態3に従う半導体記憶装置の要部の構成を概略的に示す図である。

【図10】 図9に示すメモリアレイにおける不良行救済の態様の一例を示す図である。

【図11】 この発明の実施の形態4の半導体記憶装置のレイ部の構成を概略的に示す図である。

【図12】 図11に示すメモリブロック配置の効果を説明するための図である。

【図13】 図12に示す構成の問題点を解決するためのビット線分離指示信号発生部の構成を概略的に示す図である。

【図14】 図11に示すメモリブロック配置におけるビット線分離指示信号発生部の構成を概略的に示す図である。

【図15】 この発明の実施の形態4におけるスペア行と不良ノーマル行の置換態様を概略的に示す図である。

【図16】 メモリセルの構成を示す図である。

【図17】 この発明の実施の形態5に従う半導体記憶装置のレイ部の構成を概略的に示す図である。

【図18】 (A)は、図17に示すレイ配置における通常動作モード時のアドレス信号ビットと選択メモリ部の対応関係を示す図であり、(B)は、テストモード時におけるアドレス信号ビットと選択メモリブロックとの対応関係を概略的に示す図である。

【図19】 図18(B)に示すテストモード時のメモリブロック選択のための制御部の構成の一例を概略的に示す図である。

【図20】 この発明の実施の形態5の変更例の構成を概略的に示す図である。

【図21】 従来のフレキシブルロウリダンダンシ構成の半導体記憶装置の

アレイ部の構成を概略的に示す図である。

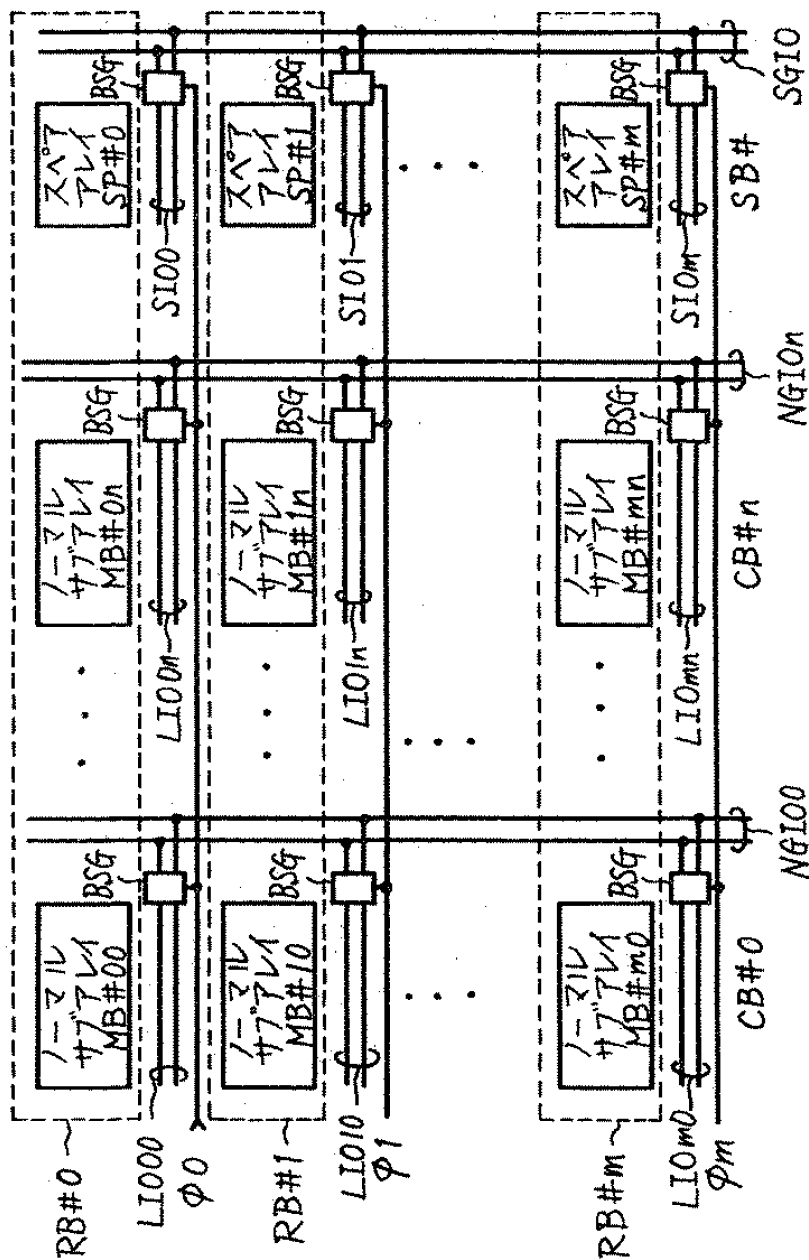
【図22】 従来のフレキシブルコラムリダンダンシのアレイ部の構成を概略的に示す図である。

【符号の説明】

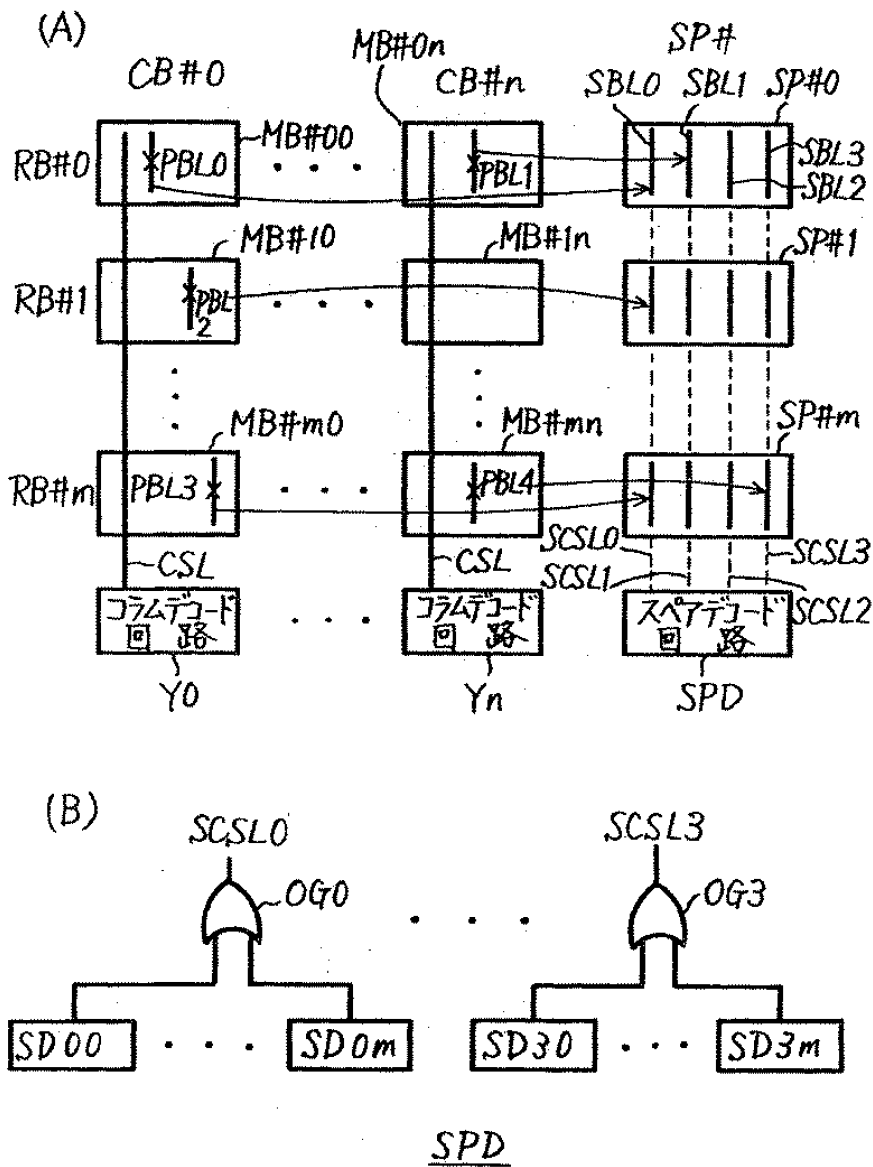
RB#0~RB#m メモリブロック、MB#00~MB#mn ノーマルメモリサブアレイ、LIO00~LIOmn ノーマルローカルデータバス、SP#0~SP#m スペアアレイ、SIO0~SIOm スペアローカルデータバス、NGIO0~NGIO_n ノーマルグローバルデータバス、SGIO スペアグローバルデータバス、BSG ブロック選択ゲート、SD00~SD0m, SD30~SD3m スペアデコーダ、SPD スペアデコード回路、Y0~Y_n コラムデコード回路、SD00~SD0_n, SD30~SD3_n スペアデコーダ、BSGs スペアブロック選択ゲート、CB#0~CB#n 列ブロック、SB# スペアブロック、MA#0~MA#m ノーマルメモリサブアレイ、SPX# スペアアレイ、RBX#0~RBX#m 行ブロック、MA#0-0~MA#0-N, MA#1-0~MA#1-N ノーマルメモリサブアレイ、SPX#0, SPX#1 スペアアレイ、SAB0~SAB_{m+1} センスアンプ帯、MB#00-0~MB#00-N, MB#01-0~MB#01-N, MB#10-0~MB#10-N, MB#11-0~MB#11-N ノーマルメモリサブアレイ、SPX#00, SPX#01, SPX#10, SPX#11 スペアアレイ、B#0, B#1 メモリマット、B#00, B#01, B#10, B#11 メモリブロック群。

【書類名】 図面

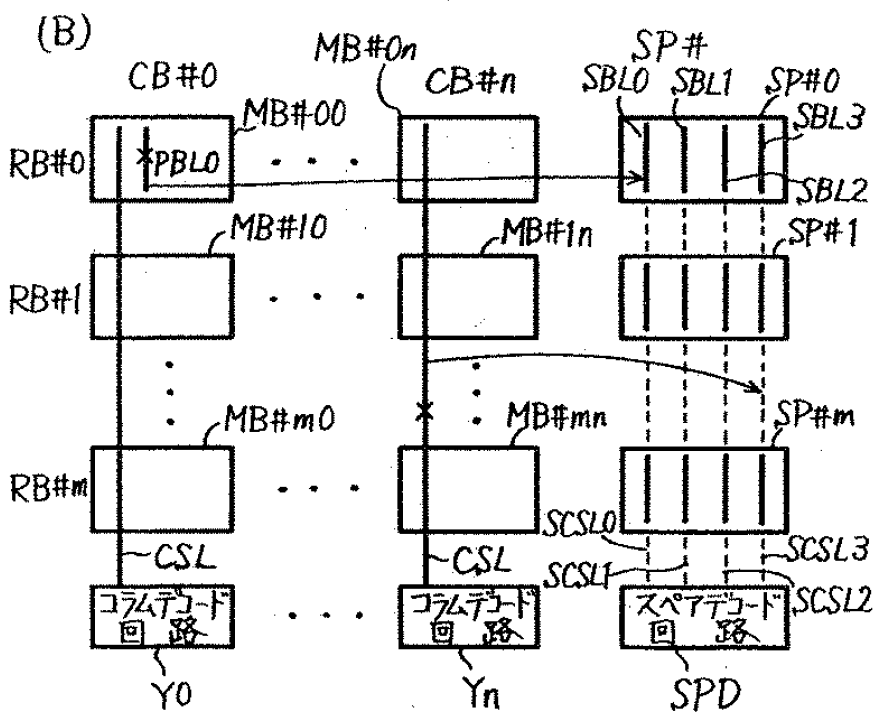
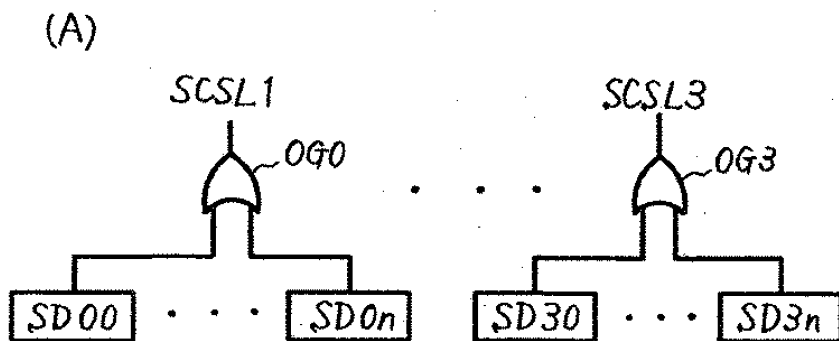
【図1】



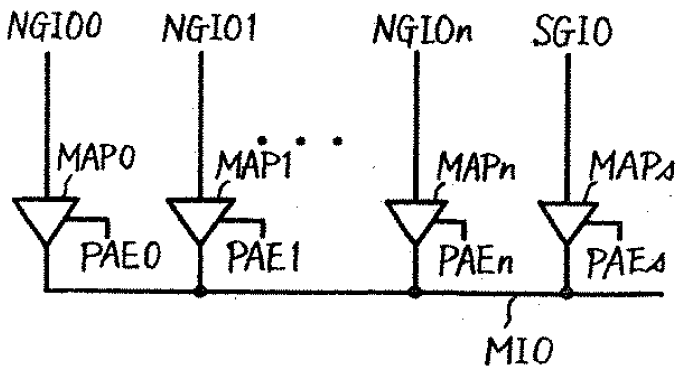
【図2】



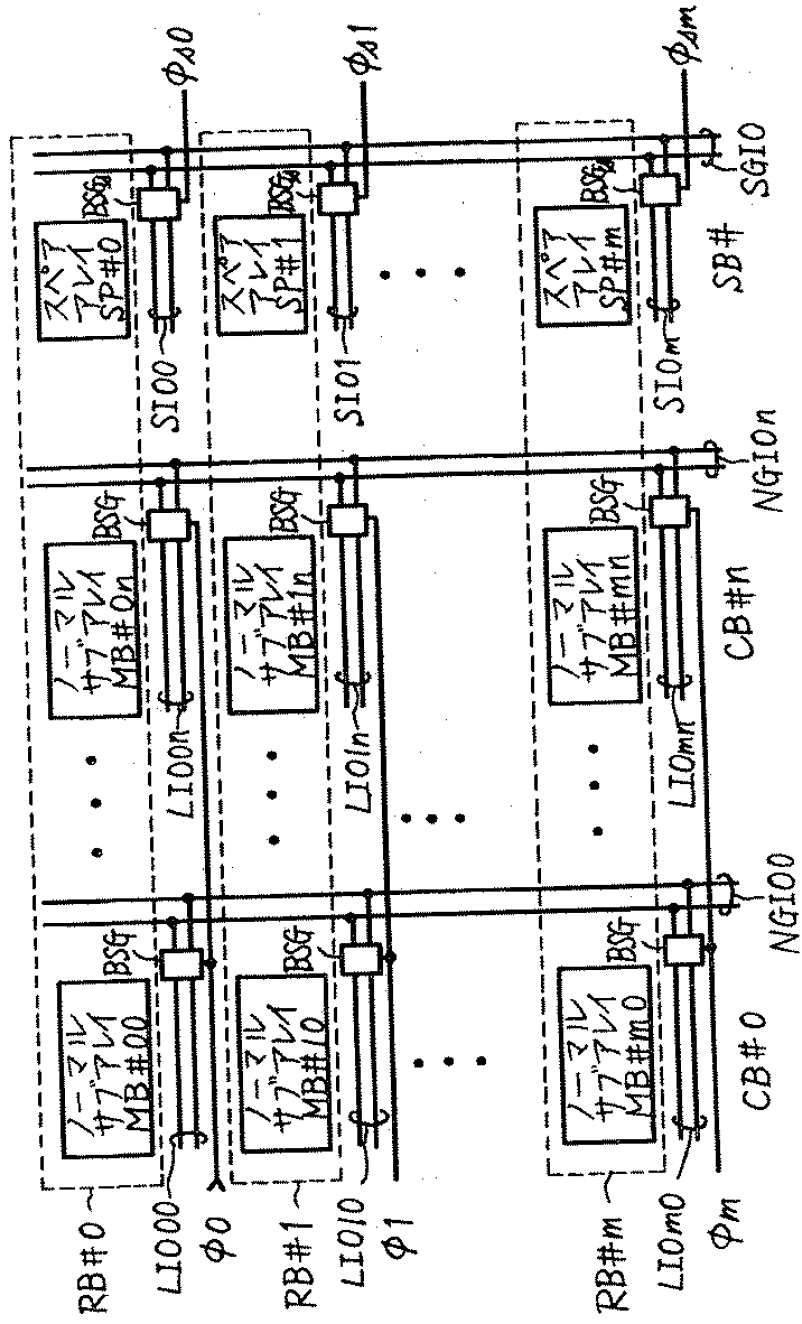
【図3】



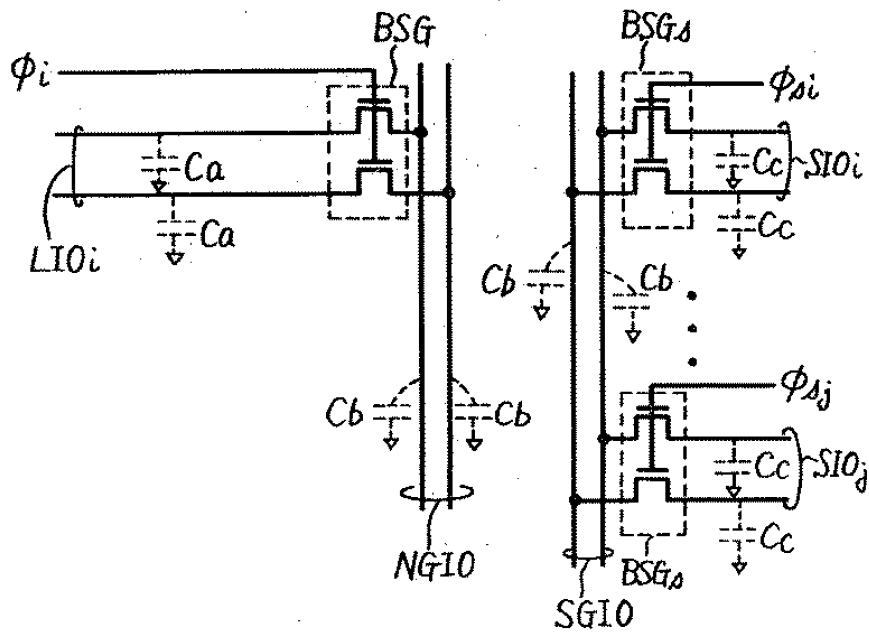
【図4】



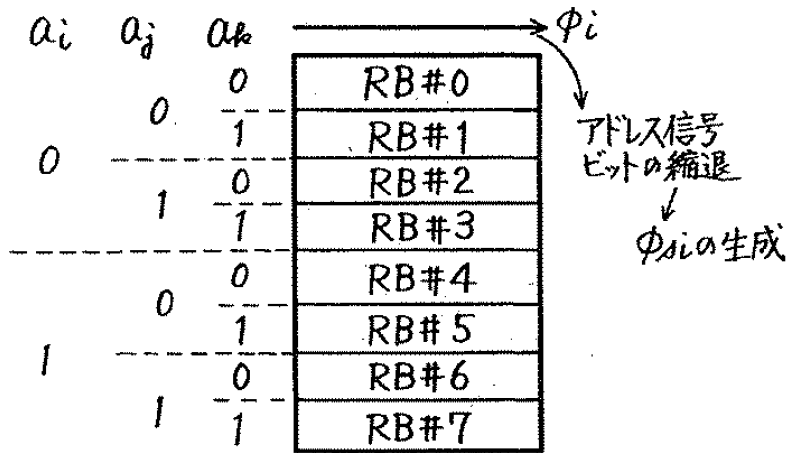
【图5】



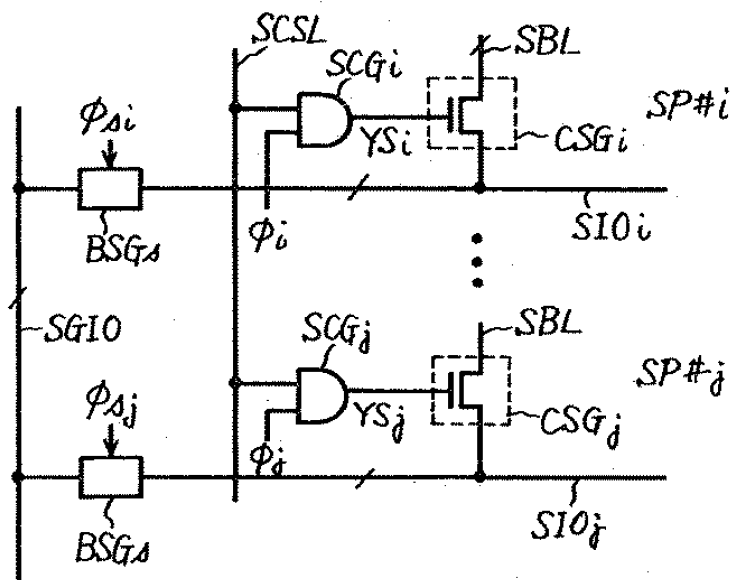
【図6】



【図7】



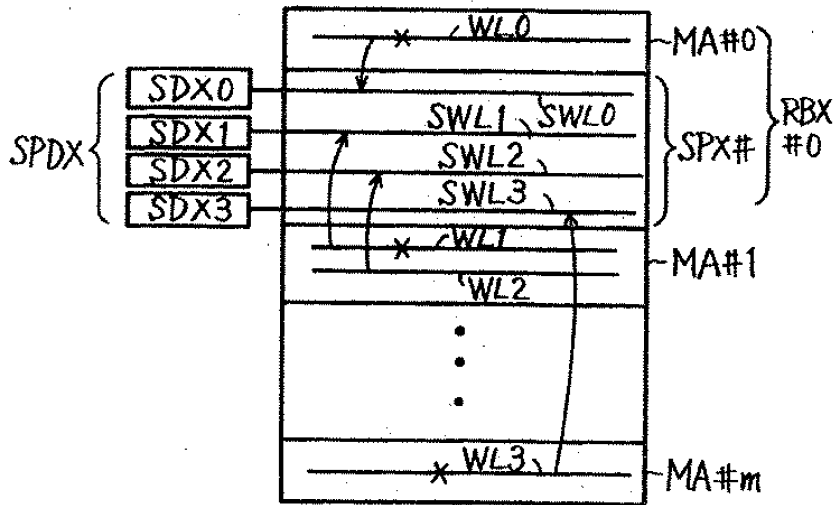
【図8】



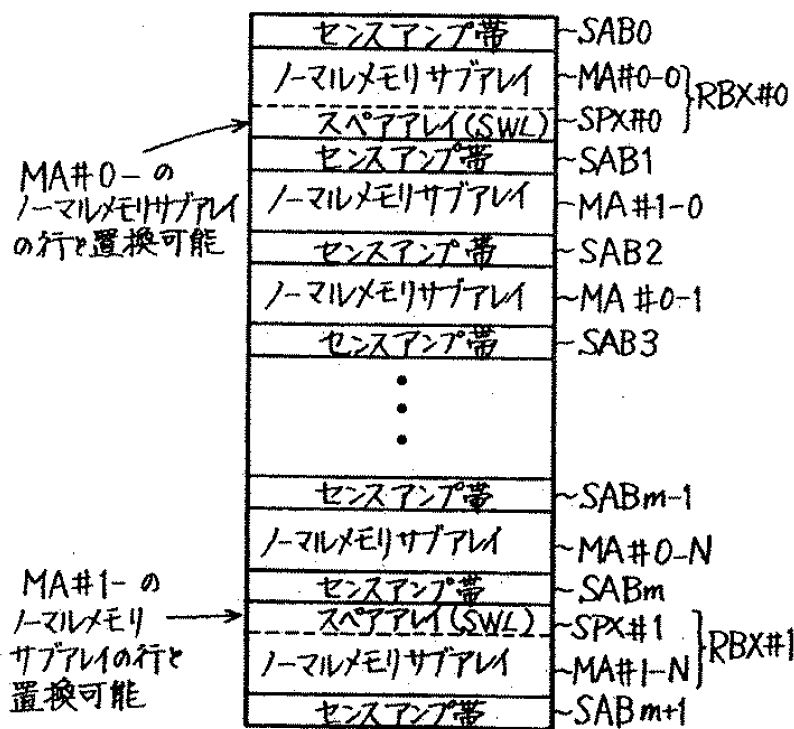
【図9】

X0	ノーマルメモリアレイ	MA#0 } RBX#0 SPX#
SPDX	スペアレイ	
X1	ノーマルメモリアレイ	MA#1 ; RBX#1
X2	ノーマルメモリアレイ	MA#2 ; RBX#2
⋮	⋮	⋮
Xm	ノーマルメモリアレイ	MA#m ; RBX#m

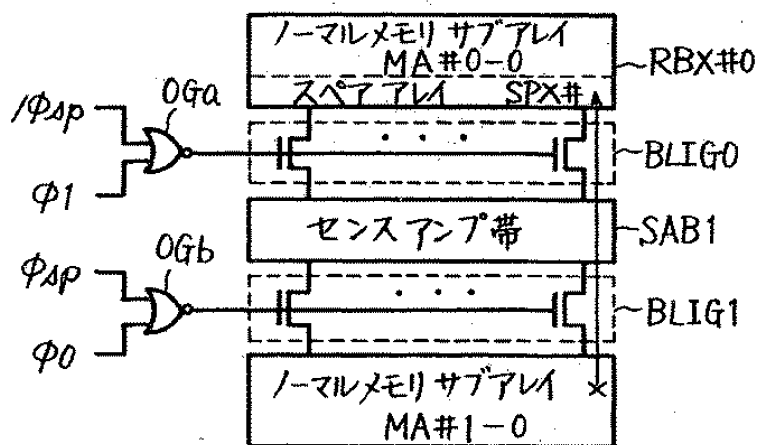
【図10】



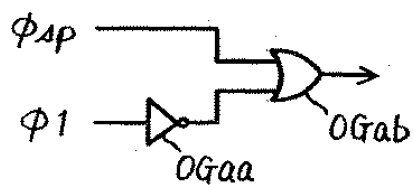
【図11】



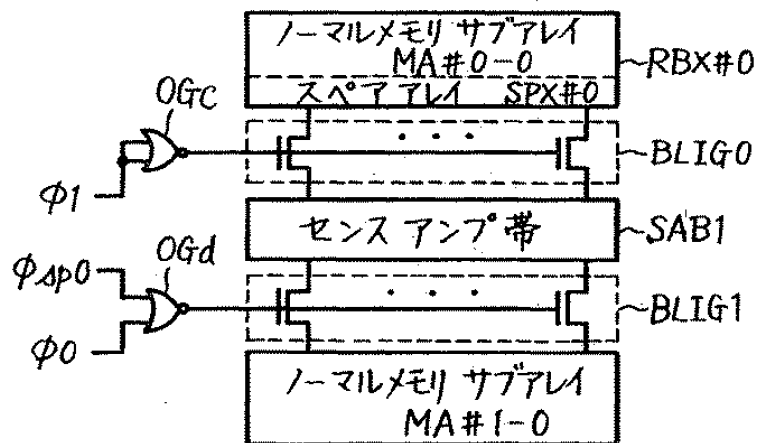
【図12】



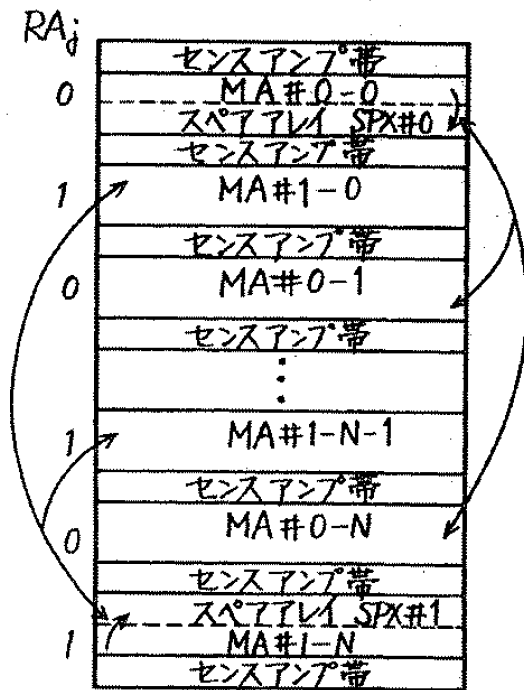
【図13】



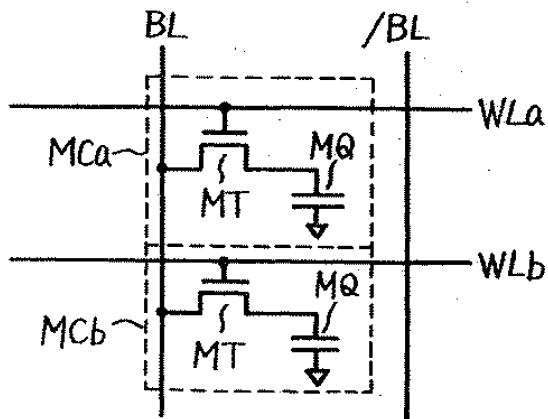
【図14】



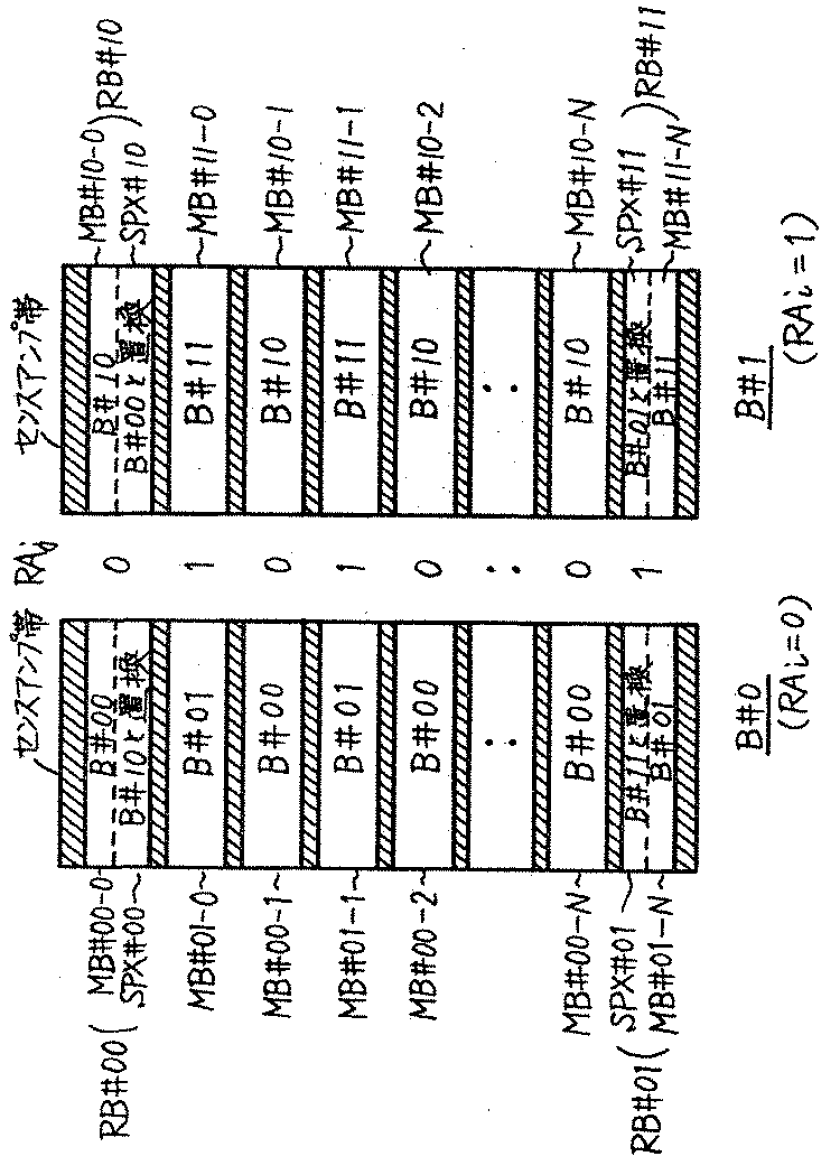
【図15】



【図16】

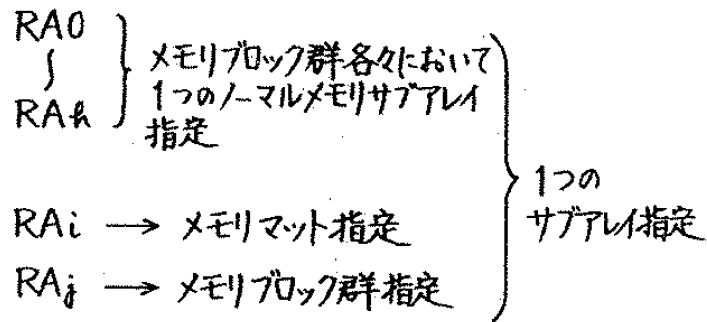


【図17】

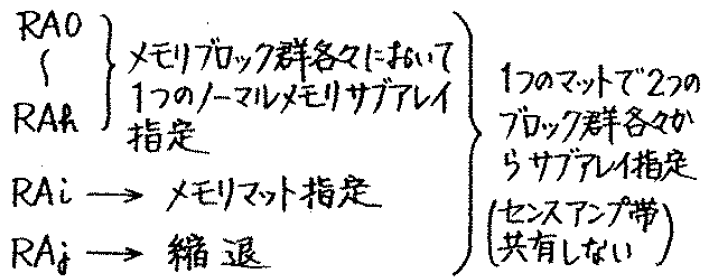


【図18】

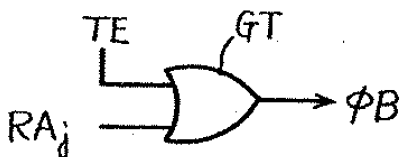
(A) 通常モード時;



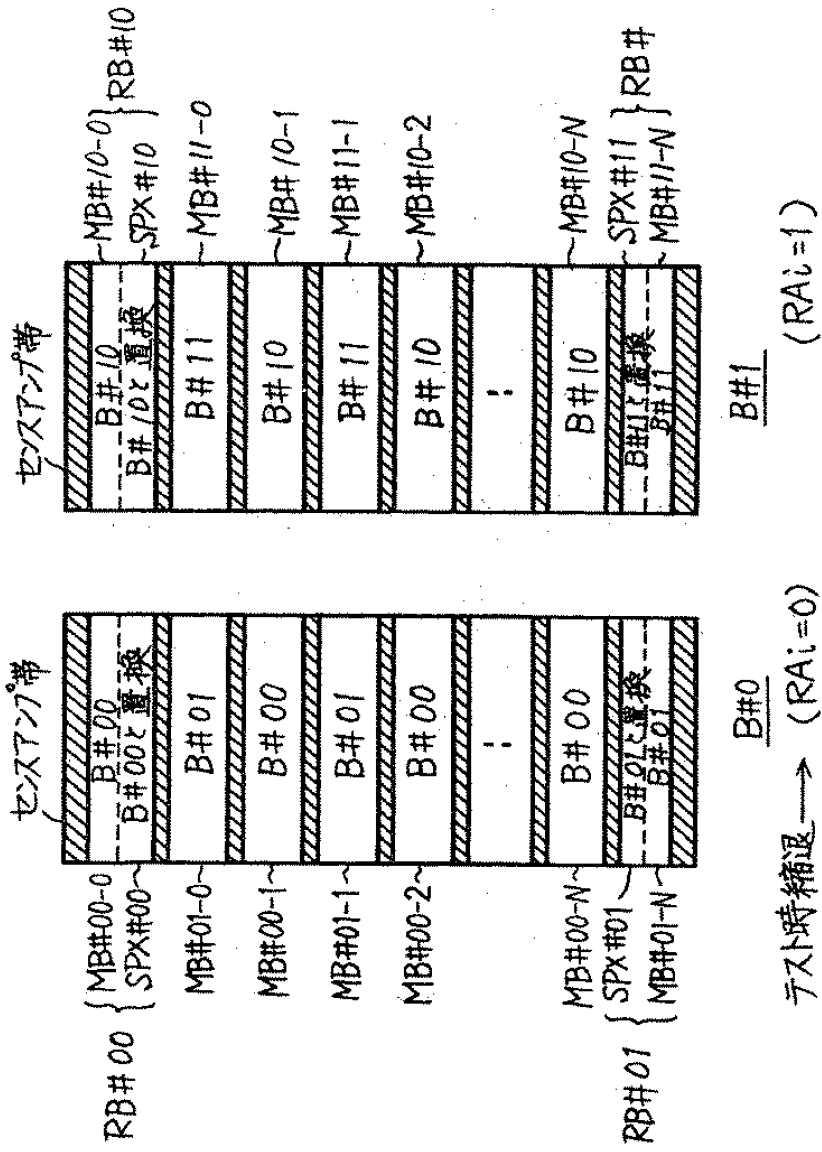
(B) テストモード時;



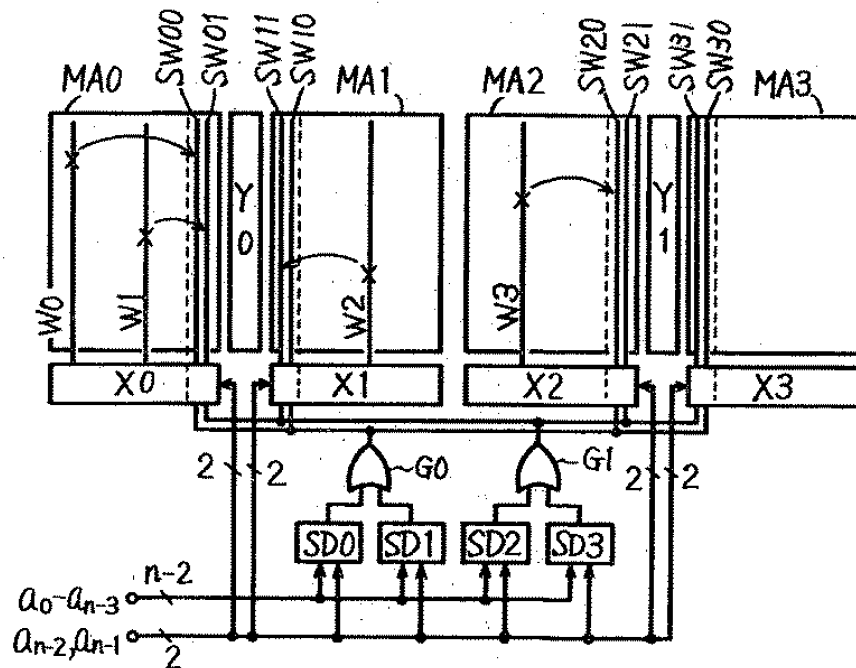
【図19】



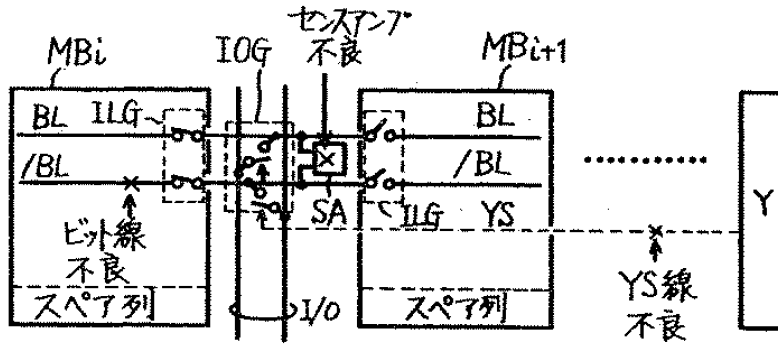
【図20】



【图21】



【図22】



特平10-160466

【書類名】 要約書

【要約】

【課題】 ブロック分割アレイにおいて効率的に不良ラインのスペアラインにより置換の救済を行なう。

【解決手段】 複数のノーマルメモリセルが配置されるノーマルサブアレイを複数個に対し共通にスペアメモリセルが配置されるスペアアレイ (SP#0) を配置する。このスペアアレイ (SP#0) の不良ラインは、対応の複数のノーマルサブアレイ (MB#00~MB#n) におけるノーマルラインと置換可能である。

【選択図】 図1

特平10-160466

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000006013
【住所又は居所】 東京都千代田区丸の内二丁目2番3号
【氏名又は名称】 三菱電機株式会社

【代理人】

申請人
【識別番号】 100064746
【住所又は居所】 大阪府大阪市北区南森町2丁目1番29号 住友銀行南森町ビル 深見特許事務所

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132
【住所又は居所】 大阪府大阪市北区南森町2丁目1番29号 住友銀行南森町ビル 深見特許事務所

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100091395
【住所又は居所】 大阪府大阪市北区南森町2-1-29 住友銀行南森町ビル 深見特許事務所

【氏名又は名称】 吉田 博由

【選任した代理人】

【識別番号】 100091409
【住所又は居所】 大阪府大阪市北区南森町2-1-29 住友銀行南森町ビル 深見特許事務所

【氏名又は名称】 伊藤 英彦

特平10-160466

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住所 東京都千代田区丸の内2丁目2番3号
氏名 三菱電機株式会社

49657-318

Hidaka

February 17, 1999

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

McDermott, Will & Emery

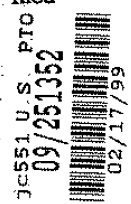
別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
in this Office.

出願年月日
Date of Application: 1998年10月15日

出願番号
Application Number: 平成10年特許願第293421号

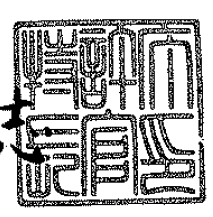
出願人
Applicant(s): 三菱電機株式会社



1998年11月20日

特許庁長官
Commissioner,
Patent Office

伴佐山 建志



出証番号 出証特平10-3092996

特平10-293421

【書類名】 特許願
【整理番号】 51148302
【提出日】 平成10年10月15日
【あて先】 特許庁長官殿
【国際特許分類】 G11C 11/407
G11C 29/00
【発明の名称】 半導体記憶装置
【請求項の数】 24
【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会
社内
【氏名】 日高 秀人
【特許出願人】
【識別番号】 000006013
【氏名又は名称】 三菱電機株式会社
【代理人】
【識別番号】 100064746
【弁理士】
【氏名又は名称】 深見 久郎
【選任した代理人】
【識別番号】 100085132
【弁理士】
【氏名又は名称】 森田 俊雄
【選任した代理人】
【識別番号】 100091395
【弁理士】
【氏名又は名称】 吉田 博由
【選任した代理人】
【識別番号】 100091409

1

出証特平10-3092996

特平10-293421

【弁理士】

【氏名又は名称】 伊藤 英彦

【先の出願に基づく優先権主張】

【出願番号】 平成10年特許願第160466号

【出願日】 平成10年 6月 9日

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9805688

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項1】 各々が複数のノーマルメモリセルを有する複数のメモリブロック、

前記複数のメモリブロック各々に対応して設けられ、各々が対応のメモリブロックの不良ノーマルメモリセルを救済するための複数のスペアメモリセルを有する複数のスペアメモリブロック、

前記複数のメモリブロックに対応して設けられ、各々が対応のメモリブロックとデータの授受を行なう複数のローカルデータバス、

前記複数のスペアメモリブロックに対応して設けられ、各々が対応のスペアメモリブロックとデータの授受を行なうための複数のスペアローカルデータバス、

前記複数のメモリブロックに共通に設けられ、選択ノーマルメモリセルを含むメモリブロックに対応して設けられたローカルデータバスと選択的に結合されるグローバルデータバス、および

前記複数のスペアメモリブロックに共通に設けられ、選択スペアメモリセルを含むスペアメモリブロックを含む2以上の所定数 k のスペアメモリブロックに対応して設けられたスペアローカルデータバスと同時にかつ選択的に結合されるスペアグローバルデータバスを備える、半導体記憶装置。

【請求項2】 前記所定数 k は、1つのスペアローカルデータバスと1つのローカルデータバスの容量比で実質的に与えられる、請求項1記載の半導体記憶装置。

【請求項3】 各前記メモリブロックにおいて前記複数のノーマルメモリセルは行列状に配列され、かつ各前記メモリブロックは行方向に沿って複数のメモリサブアレイに分割され、各サブアレイに各前記ローカルデータバスが配置され

各前記スペアメモリブロックのスペアメモリセルは、行および列状に配列され、スペアメモリセルの各列は、対応のメモリブロックの各前記メモリサブアレイの不良メモリセルを含む列と置換可能である、請求項1記載の半導体記憶装置。

【請求項4】 各々が行列状に配列される複数のノーマルメモリセルを有する複数の第1のメモリブロック、および

前記複数の第1のメモリブロックの特定の第1のメモリブロックに行列状に配列される複数のスペアメモリセルを備え、前記複数のスペアメモリセルの各行は、前記複数の第1のメモリブロックの不良ノーマルメモリセルを含む不良行と置換可能である、半導体記憶装置。

【請求項5】 列方向に沿って前記複数の第1のメモリブロックと交互に配置され、各々が行列状に配列される複数のノーマルメモリセルを有する複数の第2のメモリブロック、および

前記複数の第2のメモリブロックの特定の第2のメモリブロックに行列状に配置されかつ各行が前記複数の第2のメモリブロックの不良ノーマルメモリセルを含む不良行と置換可能な複数のスペアメモリセルをさらに備える、請求項4記載の半導体記憶装置。

【請求項6】 前記複数の第1のメモリブロックの各々と前記複数の第2のメモリブロックの各々との間に配置されかつ列方向において隣接するメモリブロックに共有され、活性化時選択メモリセルを含むメモリブロックの各列のデータを検知および増幅するための複数のセンスアンプ帯をさらに備える、請求項5記載の半導体記憶装置。

【請求項7】 前記複数の第1のメモリブロック、前記複数の第2のメモリブロックおよび前記複数のセンスアンプ帯は第1のメモリアレイを構成し、さらに

前記第1のメモリアレイと同じ構成を有する第2のメモリアレイと、

通常動作モード時には前記第1および第2のメモリアレイから1つのメモリブロックを選択状態へ駆動し、かつ特定動作モード時前記第1のメモリアレイおよび前記第2のメモリアレイ各々から所定数のメモリブロックを同時に選択状態へ駆動する制御手段を備える、請求項6記載の半導体記憶装置。

【請求項8】 各々が行列状に配列される複数のノーマルメモリセルを有する複数の第1のメモリブロック、

前記複数の第1のメモリブロックと列方向に沿って交互に配置され、各々が行

列状に配列される複数のノーマルメモリセルを有する複数の第2のメモリブロック、

各々が行列状に配列される複数のメモリセルを有する複数の第3のメモリブロック、

列方向において前記第3のメモリブロックと交互に配置され、かつ各々が複数のノーマルメモリセルを有する複数の第4のメモリブロック、

前記複数の第1のメモリブロックの特定のメモリブロックにおいて行列状に配置されかつ各行が前記複数の第3のメモリブロックの不良メモリセルを含む不良行と置換可能な複数のスペアメモリセルを有する第1のスペアアレイ、

前記第2のメモリブロックの特定のメモリブロックにおいて行列状に配置されかつ各行が前記複数の第4のメモリブロックの不良ノーマルメモリセルを含む不良行と置換可能な複数のスペアメモリセルを有する第2のスペアアレイ、

前記第3のメモリブロックの特定のメモリブロックに行列状に配置されかつ各行が前記複数の第1のメモリブロックの不良ノーマルメモリセルを含む不良行と置換可能な複数のスペアメモリセルを有する第3のスペアアレイ、

前記複数の第4のメモリブロックの特定の第4のメモリブロック内において行列状に配置されかつ各行が前記複数の第2のメモリブロックの不良ノーマルメモリセルを含む不良行と置換可能な複数のスペアメモリセルを有する第4のスペアアレイ、および

通常動作モード時においては前記複数の第1のメモリブロックないし複数の第4のメモリブロックから1つのメモリブロックを選択して選択状態へ駆動し、かつ特殊動作モード時には、前記複数の第1および第2のメモリブロックから1つのメモリブロックを選択しかつ前記複数の第3および第4のメモリブロックから1つのメモリブロックを選択して、該選択メモリブロックを選択状態へ駆動する制御手段を備える、半導体記憶装置。

【請求項9】 前記複数の第1のメモリブロック各々と前記複数の第2のメモリブロック各々の間および前記複数の第3のメモリブロック各々と前記複数の第4のメモリブロック各々の間に設けられかつ列方向において隣接するメモリブロックに共有され、対応のメモリブロックが選択状態へ駆動されるとき活性化さ

れ、該対応のメモリブロックの各列のデータを検知しかつ増幅する複数のセンスアンプ帯をさらに備える、請求項8記載の半導体記憶装置。

【請求項10】 前記制御手段は、前記特殊動作モード時、前記複数の第1のメモリブロックから1つのメモリブロックを選択するとき、前記複数の第3のメモリブロックから1つのメモリブロックを選択して選択状態へ駆動する、請求項8記載の半導体記憶装置。

【請求項11】 データアクセスのためのノーマルモードとデータ保持のためのリフレッシュモードで動作可能な半導体記憶装置であって、

所定の電圧を供給するための電源ノード、

各々が、行列状に配列される複数のメモリセルおよび同一機能を有しかつメモリセル選択に関連する動作を行なう複数の繰返し回路を含む繰返し回路群とを有する複数のメモリブロック、および

前記複数のメモリブロック各々に対応して設けられ、各々が前記電源ノードと対応のメモリブロックの繰返し回路群とを結合する複数の電源スイッチ回路を備え、前記複数の電源スイッチ回路の各々は、選択時第1の電流を流し、かつ非選択時前記第1の電流よりも小さい第2の電流を流し、さらに

前記ノーマルモード時と前記リフレッシュモード時とで選択される電源スイッチ回路の数が異なるように、アドレス信号に従って前記複数の電源スイッチ回路を選択的に、選択状態へ駆動するための制御手段を備える、半導体記憶装置。

【請求項12】 前記制御手段は、前記ノーマルモード時には、第1の数のアドレスビットをデコードして前記電源スイッチ回路を選択するための制御信号を生成し、かつ前記リフレッシュモード時には、前記第1の数よりも大きな第2の数のアドレスビットをデコードして前記制御信号を生成する回路を含む、請求項11記載の半導体記憶装置。

【請求項13】 前記複数のメモリブロックは、各々が複数のメモリブロックを有する複数のグローバルブロックに分割され、

前記制御手段は、前記ノーマルモード時には前記複数のグローバルブロックのうちのグローバルブロックを特定するアドレスビットをデコードし、かつ前記リフレッシュモード時には前記複数のメモリブロックのうちのメモリブロックを特

定するアドレスビットをデコードする回路を含む、請求項11記載の半導体記憶装置。

【請求項14】 前記複数のメモリブロックの各々は、メモリセル行各々に対応して配置される複数のワード線を含み、

前記半導体記憶装置はさらに、

アドレス指定された行に対応して配置されたワード線を選択状態へ駆動するためのタイミングを前記リフレッシュモード時には前記ノーマルモード時よりも遅らせる手段を含む、請求項11記載の半導体記憶装置。

【請求項15】 前記複数のメモリブロックの各々は、メモリセル行それぞれに対応して配置される複数のワード線を含み、

前記制御手段は、前記リフレッシュモード時アドレス指定されたワード線を含むメモリブロックに対して設けられた電源スイッチ回路を選択しかつ残りのメモリブロックに対して設けられた電源スイッチ回路を非選択状態とするように前記制御信号を発生する回路を含む、請求項11記載の半導体記憶装置。

【請求項16】 前記リフレッシュモード時、カウント指示信号に応答してカウント動作を行なってリフレッシュアドレスを生成する手段をさらに備え、

前記制御手段は、

前記リフレッシュアドレスのうちの所定のビットをデコードして次の制御信号を生成してラッチする第1のデコード回路と、

前記リフレッシュモード時、前記第1のデコード回路のデコード動作完了後に与えられるリフレッシュサイクル指示信号に応答して前記第1のデコード回路のラッチする制御信号を前記複数の電源スイッチ回路へ印加する手段を備え、

前記カウント指示信号は前記リフレッシュサイクル指示信号の活性期間中に活性化され、かつ前記リフレッシュアドレスが前記リフレッシュサイクル指示信号が指定するリフレッシュサイクル時にデコードされるリフレッシュ行を指定する、請求項11記載の半導体記憶装置。

【請求項17】 前記複数のメモリブロックの特定のブロックは不良セルを置換し救済するためのスペアエレメントを含み、前記スペアエレメントは前記複数のメモリブロックの不良セルの救済が可能であり、

前記制御手段は、前記ノーマルモード時、前記特定のブロックの電源スイッチ回路を前記アドレス信号にかかわらず選択し、かつリフレッシュモード時、前記アドレス信号が救済すべきセルを指定しているか否かの判定結果に従って前記特定のメモリブロックに対して設けられた電源スイッチ回路を選択的に選択状態へ駆動する回路を含む、請求項11記載の半導体記憶装置。

【請求項18】 前記制御手段は、前記ノーマルモード時前記アドレス信号が指定するメモリセルを含むメモリブロックに対して設けられた電源スイッチ回路を選択状態へ駆動する回路を含む、請求項17記載の半導体記憶装置。

【請求項19】 前記メモリブロックの各々はメモリセル各行に対応して設けられるワード線を含み、前記スペアエレメントは、不良メモリセル行を救済するためのスペア行を備え、

前記半導体記憶装置は、前記リフレッシュモード時におけるワード線の選択状態への移行タイミングを前記ノーマルモード時におけるそれよりも遅らせるための手段を備える、請求項17記載の半導体記憶装置。

【請求項20】 前記リフレッシュモード時カウント指示信号に応答してカウント動作を行なってリフレッシュアドレスを生成する手段をさらに備え、

前記制御手段は前記リフレッシュアドレスのうち所定のビットをデコードして次の制御信号を生成してラッチする第1のデコード回路と、

前記リフレッシュモード時前記第1のデコード回路のデコード動作完了後に与えられるリフレッシュサイクル指示信号に応答して前記第1のデコード回路のラッチする制御信号を前記複数の電源スイッチ回路に印加する回路とを備え、前記カウント指示信号は前記リフレッシュサイクル指示信号の活性化期間中に活性化されかつ前記リフレッシュアドレスは前記リフレッシュサイクル指示信号が指定するリフレッシュサイクル時においてリフレッシュ行を指定する、請求項17記載の半導体記憶装置。

【請求項21】 前記複数のメモリブロックの特定のブロックは不良セルを置換し救済するためのスペアエレメントを含み、前記スペアエレメントは前記複数のメモリブロックの不良セルの救済が可能であり、

前記制御手段は、前記ノーマルモード時前記複数の電源スイッチ回路のうち前

記特定のブロックおよびアドレス指定されたメモリブロックに対して設けられた電源スイッチ回路を選択状態へ駆動するための回路を含む、請求項11記載の半導体記憶装置。

【請求項22】 前記制御手段は、前記ノーマルモード時前記特定のメモリブロックと前記アドレス信号が指定するメモリブロックとに対して設けられた電源スイッチ回路を選択状態へ駆動し、次いで前記スペア判定結果と前記アドレス信号とに従って選択状態へ駆動すべきメモリセルを含むメモリブロックを除くメモリブロックに対して設けられた電源スイッチ回路を非選択状態へ駆動する回路を含む、請求項17記載の半導体記憶装置。

【請求項23】 前記制御手段は、前記リフレッシュモード時、前記アドレス信号と前記スペア判定結果とに従って、選択状態へ駆動すべきメモリブロックに対して設けられた電源スイッチ回路を選択状態へ駆動するための回路を含む、請求項21または22記載の半導体記憶装置。

【請求項24】 前記半導体記憶装置は、前記リフレッシュモード時カウント指示信号にตอบสนองしてカウント動作を行なってリフレッシュアドレスを生成する回路をさらに備え、

前記制御手段は、

前記リフレッシュアドレスのうちの所定のビットをデコードして次の制御信号を生成しかつラッチする第1のデコード回路と、

前記リフレッシュモード時、前記第1のデコード回路のデコード動作完了後に与えられるリフレッシュサイクル指示信号にตอบสนองして前記第1のデコード回路のラッチする制御信号を前記複数の電源スイッチ回路へ印加する回路を備え、

前記カウント指示信号は前記リフレッシュサイクル指示信号の活性化期間中に活性化され、かつ前記リフレッシュアドレスが前記リフレッシュサイクル指示信号が指定するリフレッシュサイクル時にデコードされてリフレッシュ行を指定する、請求項21または22記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体記憶装置に関し、特にメモリアレイが複数のメモリブロックに分割されるアレイ分割構成の半導体記憶装置に関する。より特定的には、この発明は、アレイ分割構成の半導体記憶装置における不良メモリセルの救済を行なうための冗長回路および各ブロックに対応して設けられる電源回路の構成に関する。

【0002】

【従来の技術】

半導体記憶装置においては、不良メモリセルが存在する場合、これを、予備のメモリセルと置換することにより、等価的に、不良メモリセルを救済し、製品歩留りを向上させることが図られる。このような不良メモリセル救済のための予備のメモリセル（スペアワード線およびスペアビット線）を設ける冗長回路構成において、スペアライン（ワード線またはビット線）とスペアラインを選択するためのスペアデコーダの利用効率を改善するために、フレキシブル・リダンダンシ・技法が提案されている（たとえば、堀口等の「高密度DRAMのためのフレキシブル・リダンダンシ・技法」、1991 IEEE、ジャーナル・オブ・ソリッド・ステート・サーキット、第20巻、第1号、1991年1月、第12頁から第17頁参照）。

【0003】

図53は、従来のフレキシブルリダンダンシ構成を有する半導体記憶装置の全体の構成を概略的に示す図である。図53において、この半導体記憶装置は、4つのメモリアレイMA0～MA3を含む。メモリアレイMA0～MA3それぞれにおいて、不良メモリセル行を救済するためのスペアワード線が配置される。メモリアレイMA0においてはスペアワード線SW00およびSW01が配置され、メモリアレイMA1には、スペアワード線SW10およびSW11が配置される。メモリアレイMA2においてはスペアワード線SW20およびSW21が配置され、メモリアレイMA3には、スペアワード線SW30およびSW31が配置される。

【0004】

メモリアレイMA0～MA3それぞれに対応して、ロウアドレス信号をデコー

ドして、アドレス指定された行に対応して配置されたノーマルワード線を選択状態へ駆動するためのロウデコーダX0～X3が配置される。メモリアレイMA0およびMA1の間に、コラムアドレス信号をデコードして、このアドレス指定された列を選択するためのコラムデコーダY0が配置され、またメモリアレイMA2およびMA3の間に、コラムデータY1が配置される。

【0005】

この半導体記憶装置は、さらに、不良メモリセルが存在するロウアドレスを記憶し、その不良ロウアドレスがアドレス指定されたとき、この不良ロウアドレスに対応するワード線（不良ノーマルワード線）を非選択状態に保持しかつ対応のスペアワード線を選択状態へ駆動するためのスペアデコーダSD0～SD3と、スペアデコーダSD0およびSD1の出力信号を受けるOR回路G0と、スペアデコーダSD2およびSD3の出力信号を受けるOR回路G1を含む。

【0006】

OR回路G0およびG1の出力信号は、それぞれロウデコーダX0～X3に含まれるスペアワード線駆動回路へ共通に与えられる。スペアデコーダSD0～SD3へはそれぞれ、メモリアレイMA0～MA3の1つを指定するアレイアドレス信号ビット a_{n-2} および a_{n-1} と、メモリアレイ内の行を指定するアレイ内アドレス信号ビット a_0 ～ a_{n-3} が共通に与えられる。ロウデコーダX0～X3へは、アレイアドレス信号ビット a_{n-2} および a_{n-1} が与えられ、対応のメモリアレイがアドレス指定されたときに、ロウデコーダが活性化される。OR回路G0およびG1は、それぞれ、メモリアレイMA0～MA3にそれぞれ設けられた2本のスペアワード線に対応する。

【0007】

今、メモリアレイMA0において、ノーマルワード線W0およびW1が不良であり、メモリアレイMA1におけるノーマルワード線W2が不良であり、またメモリアレイMA2におけるノーマルワード線W3が不良の場合を考える。この状態においては、スペアデコーダSD0にワード線W0のアドレスがプログラムされ、スペアデコーダSD2にワード線W1のアドレスがプログラムされる。ノーマルワード線W2のアドレスが、スペアデコーダSD3にプログラムされ、ノーマルワード線W3のアドレスが、スペアデコーダSD0にプログラムされる。

ワード線W3のアドレスが、スペアデコーダSD1にプログラムされる。

【0008】

OR回路G0は、スペアワード線SW00、SW10、SW20、およびSW30のいずれかを指定し、OR回路G1の出力信号が、スペアワード線SW01、SW11、SW21、およびSW31の何れかを選択する。

【0009】

ノーマルワード線W0が指定されたときには、スペアデコーダSD0の出力信号が選択状態へ駆動され、OR回路G0の出力信号が活性化される。この状態において、アレイアドレス信号ビット a_{n-2} および a_{n-1} により、ロウデコーダX0が活性化され、残りのロウデコーダX1-X3は非活性状態を維持する。したがって、このロウデコーダX0に含まれるワード線駆動回路が、OR回路G0の出力信号に従ってスペアワード線SW00を選択状態へ駆動する。このとき、ロウデコーダX0において、ノーマルワード線W0に対応して設けられたデコード回路は非活性状態に維持される。したがって、不良ノーマルワード線W0が、スペアワード線SW00に置換される。

【0010】

不良ノーマルワード線W1がアドレス指定されたときには、スペアデコーダSD2の出力信号が選択状態のHレベルとなり、OR回路G1の出力信号がHレベルとなり、スペアワード線SW01が選択される。不良ノーマルワード線W2がアドレス指定された場合には、スペアデコーダSD3の出力信号が選択状態のHレベルとなり、OR回路G1の出力信号がHレベルとなり、スペアワード線SW11が選択される。不良ノーマルワード線W3がアドレス指定されたときには、スペアデコーダSD1の出力信号が選択状態のHレベルとなり、応じてOR回路G0により、スペアワード線SW20が選択される。すなわち、不良ノーマルワード線W0、W1、W2およびW3は、それぞれ、スペアワード線SW00、SW01、SW11、およびSW20に置換される。

【0011】

この図53に示すフレキシブルリダダンシ構成の場合、1つのスペアワード線を、複数のスペアデコーダのいずれかにより活性化することができる。たとえ

ば、スペアワード線SW20は、スペアデコーダSD0またはSD1により選択状態へ駆動することができる。また、1つのスペアデコーダは、複数のスペアワード線のいずれかを選択状態へ駆動することができる。たとえば、スペアデコーダSD0は、スペアワード線SW00、SW10、SW20およびSW30のいずれかを選択状態へ駆動することができる。したがって、スペアワード線とスペアデコーダとの対応関係が1対1ではなく、スペアワード線およびスペアデコーダの利用効率を改善することができる。また、1つのメモリアレイにおけるスペアワード線の数と、スペアロウデコーダの数は、以下の関係を満足する限り、互いに独立に選択することができる：

$$L \leq R \leq M \cdot L / m$$

ここで、Mは、物理的なメモリアレイの数を示し、mは、不良ノーマルワード線が同時にスペアワード線で置換されるメモリアレイの数を示し、Rは、スペアロウデコーダの数を示し、Lが、1つのメモリアレイにおけるスペアワード線の数を示す。すなわち、M/mは、論理的に互いに独立なメモリアレイの数を示す。したがって、M・L/mは、メモリ全体としての互いに論理的に独立なスペアワード線の数を示す。ここで、論理的に独立なスペアワード線とは、異なるロウアドレスにより選択されるスペアワード線を示す。たとえば図53においてメモリアレイMA0およびMA2において、同時にノーマルワード線が選択される場合、メモリアレイMA0およびMA2は、論理的に独立ではない。図53に示す構成においては、L=2、R=4、M=4、およびm=1である。

【0012】

スペアロウデコーダをメモリアレイに共通に設けることにより、スペアワード線それぞれに対応してスペアデコーダを設ける必要がなく、チップ占有面積の増大を抑制することを図る。

【0013】

この図53に示すフレキシブルリダンダンシ構成は、同時に、不良列救済にも適用することができる。この不良列救済において、上述の文献においては、メモリアレイが複数のサブアレイに分割された場合の、不良列救済の方法について述べている。特に、上述の文献は、シェアードセンスアンプ構成の多分割ビット線

およびシェアードI/O方式における不良列救済について説明している。

【0014】

図54は、従来のフレキシブルリダンダンシ方式の半導体記憶装置のアレイ部の構成を概略的に示す図である。図54において、2つのメモリブロックMB_iおよびMB_{i+1}を示す。メモリブロックMB_iおよびMB_{i+1}は、それぞれメモリセル列に対応して配置されるノーマルビット線対BLおよび/BLと、不良列救済のためのスペアビット線（スペア列）を含む。図54においては、スペア列に含まれるスペアビット線を明確には示してはいない。

【0015】

このメモリブロックMB_iおよびMB_{i+1}の同じ列アドレスのノーマルビット線BLおよび/BLが、センスアンプSAを共有する。センスアンプSAとメモリブロックMB_iおよびMB_{i+1}の間には、ビット線分離ゲートILGが配置される。センスアンプSAは、コラムデコーダYからの列選択信号YSに従って導通するIOゲートIOGを介して内部データ線対I/Oに接続される。選択メモリセルを含むメモリブロック（たとえばMB_i）がセンスアンプSAに接続されて、データの読出が行なわれる。この場合、非選択メモリブロック（MB_{i+1}）は、センスアンプSAから切離される。

【0016】

上述のようなシェアードセンスアンプ構成において、1つのメモリブロックにおけるノーマルビット線の不良、列選択線（YS線）の不良およびセンスアンプSAの不良それぞれに対して、不良列アドレスをプログラムする必要がある。ノーマルビット線不良の場合、メモリブロック単位で不良列アドレスのプログラムが行なわれる。センスアンプ不良の場合、この不良センスアンプを共有するメモリブロックMB_iおよびMB_{i+1}それぞれに対し、スペア列を使用するために、不良列アドレスのプログラムが行なわれる。列選択線（YS線）不良の場合には、この列選択線（YS線）に接続されるメモリブロックそれぞれに対して、不良列アドレスのプログラムが行なわれる。

【0017】

このプログラム時において、ノーマルビット線不良、センスアンプ不良および

列選択線（YS線）不良それぞれに、1つのスペアコラムデコーダで対処するために、不良列アドレスプログラム時に、「ドントケア」をプログラムし、メモリブロック特定のためのアドレスを無効状態として、センスアンプ不良または列選択線不良において、複数のメモリブロックにおいて同時にスペア列の置換が行なわれるように構成されている。

【0018】

【発明が解決しようとする課題】

上述の先行技術文献においては、不良行の救済は、不良行を含むメモリアレイ内に配置されたスペアワード線との置換により行なわれている。したがって、メモリアレイそれぞれにスペアワード線を配置する必要があり、スペアワード線の使用効率が悪いという問題がある。また、あるメモリアレイの不良ノーマルワード線を、別のメモリアレイのスペアワード線に置換すると、メモリアレイ系回路の制御が複雑となるため、避けるべきであるとして全く考慮されていない。

【0019】

また、不良列救済においても、メモリブロックそれぞれにスペア列が設けられており、スペア列の使用効率が悪いという問題が同様に生じる。また、内部データ線として、シェアードI/O方式が考察されているものの、近年の、ブロック分割構成において用いられるローカル/グローバルの階層データ線構造のメモリアレイにおける不良列救済については考慮されていない。

【0020】

一方、従来のCMOS（相補MOS）型半導体装置においては、高密度・高集積化のために、素子（MOSトランジスタ：絶縁ゲート型電界効果トランジスタ）のサイズが低減される。このような微細化された素子の信頼性確保と装置全体の消費電流の低減のために、電源電圧が低下される。素子を高速動作させるためには、電源電圧に応じてMOSトランジスタのしきい値電圧を低下させる必要がある。これは、電源電圧に対するしきい値電圧の割合が高ければ、MOSトランジスタのオン状態への移行タイミングが遅れるためである。しかしながら、しきい値電圧の絶対値を低くした場合、MOSトランジスタのオフ時におけるソースドレイン間を流れるサブスレッショルドリーク電流が増加する。これは、以下

の理由による。しきい値電圧は、一定のドレイン電流を流すゲートソース間電圧として定義される。nチャネルMOSトランジスタの場合、しきい値電圧を低くした場合、そのドレイン電流-ゲート電圧特性曲線が負方向に移動する。サブスレッショルド電流は、その特性曲線におけるゲート電圧 V_{gs} が0Vのときの電流値で示されるため、しきい値電圧を低くすると、サブスレッショルド電流が増加する。

【0021】

半導体装置が動作した場合、その周辺温度が高くなり、MOSトランジスタのしきい値電圧の絶対値が低くなり、このサブスレッショルドリーク電流の問題がより深刻となる。このサブスレッショルドリーク電流が増加すると、大規模集積回路全体の直流電流が増加し、特に、ダイナミック型半導体記憶装置においては、スタンバイ電流（スタンバイ状態において消費される電流）を増加させる。

【0022】

上述のようなサブスレッショルドリーク電流を低減するために、マルチしきい値CMOS構成が用いられる。

【0023】

図55は、従来のマルチしきい値CMOS構成の一例を説明する図である。図55においては、電源電圧 V_{cc} を伝達する主電源線902と、この主電源線902にpチャネルMOSトランジスタ903を介して結合される副電源線904と、接地電圧 V_{ss} を伝達する主接地線906と、主接地線906にnチャネルMOSトランジスタ907を介して結合される副接地線908が設けられる。MOSトランジスタ903は、活性化信号 ϕ_{ACT} がLレベルのとき導通し、一方MOSトランジスタ907は、活性化信号 ϕ_{ACT} がHレベルのとき導通する。これらのMOSトランジスタ903および907は、比較的高いしきい値電圧（ハイ V_{th} ）を有する。内部回路は、電源線902および904の一方の電圧と、接地線906および908の一方の電圧を両動作電源電圧として動作する。図55においては、内部回路として、3段の縦続接続されるインバータ回路914a、914bおよび914cを示す。インバータ回路914aは、ソースが主電源線902に結合されるpチャネルMOSトランジスタPQ3と、ソースが副

接地線908に結合されるnチャンネルMOSトランジスタNQを含む。これらのMOSトランジスタPQおよびNQのゲートに共通に入力信号INが与えられる。この入力信号INは、スタンバイサイクル時、Lレベルに設定される。

【0024】

インバータ回路914bは、副電源線904および主接地線906上の電圧を両動作電源電圧として用いて動作する。インバータ回路914cは、主電源線902および副接地線908上の電圧を両動作電源電圧として用いて動作する。これらのインバータ回路914a~914cにおいて、MOSトランジスタPQおよびNQは、そのしきい値電圧の絶対値が十分小さくされる(ロー V_{th})。次に、この図55に示す構成の動作について、図56を参照して説明する。

【0025】

スタンバイサイクル時においては、入力信号INは、Lレベルに設定される。制御信号 ϕ_{ACT} はLレベルであり、制御信号 ϕ_{ACT} はHレベル(V_{cc} レベル)である。インバータ回路914bにおいては、MOSトランジスタPQは、オン状態となり、そのソースおよびドレインは同じ電圧レベルであり、電流は流さない。一方、MOSトランジスタNQはそのゲートに、接地電圧レベルの入力信号INを受けており、オフ状態である。しかしながら、MOSトランジスタ907がオフ状態であり、このMOSトランジスタ907を介して流れるサブスレッショルドリーク電流は、そのしきい値電圧が高いため、十分低減される。したがって、MOSトランジスタNQのしきい値電圧が小さくても、サブスレッショルド電流は低減される。また、MOSトランジスタ907を介して流れるサブスレッショルド電流により、副接地線908上の電圧レベルは接地電圧レベルよりも高くなり、インバータ回路914aのMOSトランジスタNQのゲート-ソース間が逆バイアス状態に設定され、そのサブスレッショルド電流がさらに低減される。

【0026】

インバータ回路914bにおいては、入力信号がHレベルであり、MOSトランジスタNQがオン状態となり、そのソースおよびドレインは、同一電圧レベルとなり、サブスレッショルドリーク電流は生じない。一方、pチャンネルMOSト

ランジスタPQが、そのゲートに、電源電圧Vccレベルの信号を受けてサブスレッシュヨルドリーク電流を流す。しかしながら、MOSトランジスタ903がオフ状態であり、このMOSトランジスタ903は、ハイVthトランジスタであるため、サブスレッシュヨルドリーク電流は十分抑制される。これにより、インバータ回路914bにおけるサブスレッシュヨルドリーク電流が抑制される。また、MOSトランジスタ903のサブスレッシュヨルドリーク電流により、副電源線904の電圧レベルが電源電圧Vccよりも低下し、インバータ回路914bにおいてMOSトランジスタPQのゲートソース間が逆バイアスされ、このインバータ回路914bにおけるサブスレッシュヨルドリーク電流がさらに抑制される。インバータ回路914cにおいても、インバータ回路914aと同様、サブスレッシュヨルドリーク電流が抑制される。

【0027】

アクティブサイクルが始まると、制御信号φACTがHレベルとなり、また制御信号/φACTがLレベルとなり、MOSトランジスタ903および907がオン状態となり、副電源線904が主電源線902に結合され、副接地線908が主接地線906に結合される。したがって、これらのインバータ回路914a～914cは、対応の電源線/接地線から電流を供給されて、そのローVthトランジスタが高速で動作し、入力信号INの変化に従ってその出力信号を変化させる。

【0028】

この図55に示すような電源回路構成においては、スタンバイサイクル時における電流信号の論理レベルが予めわかっているため、電源供給線への接続経路が決定される。入力信号INのスタンバイサイクル時の論理状態が不定の場合には、副電源線904および副接地線908に結合される。

【0029】

特開平6-232348号公報にも示されているように、DRAM（ダイナミック・ランダム・アクセス・メモリ）においては、デコード回路およびワード線ドライブ回路などのような、同一の回路構成を有する回路が設けられる。記憶容量が増大すると、これらの回路数が大幅に増加する。このようなデコード回路お

よびワードドライブ回路のような繰返し回路においては、アドレス信号に従って、同一形式を有する回路から、所定数の特定の回路（アドレス指定された回路）が選択されて駆動される。これらの回路が、ローV_{th}トランジスタで構成される場合、この図55に示すような電源回路構成（階層電源構成：サブスレッシュヨルドリーク電流低減回路）を利用することができる。この場合、先の図53に示すように各ブロックごとに、デコーダまたはワードドライバに対する電源の活性／非活性を制御する必要がある（ブロック単位でワード線の実行が行なわれるため）。制御信号 ϕ ACTおよび $\bar{\phi}$ ACTは、アクティブサイクルが始まると、活性化される。したがって副電源線904または副接地線908に接続される回路数が大きくなり、その寄生容量が大きくなると、副電源線904および副接地線908を所定の電圧（電源電圧V_{cc}および接地電圧V_{ss}）レベルまで駆動するのに長時間を有し、内部回路の動作開始タイミングを、これらの電圧が安定化するまで遅らせる必要があり、高速アクセスが行なうことができなくなるという問題が生じる。

【0030】

また、上述のように、スペアデコーダを用いて不良行／列を救済する場合、スペアの使用／不使用の判定後に選択すべき行／列が決定される。この場合、先の図53に示すように、冗長置換が、同じブロック内で行なわれる場合には、対応の電源回路（電源電圧および接地電圧いずれかを伝達する回路）をアドレス信号に従って選択することにより、その接続を制御することができる。しかしながら、フレキシブルリダンダンシ構成において、スペア行／列を、他のメモリブロックの不良セル救済のために利用する場合、スペア判定結果に従って選択状態へ駆動すべきメモリセルを含むメモリブロックを特定する必要があり、このため、電源供給電圧（電源電圧および接地電圧）を高速で安定状態へ駆動することができず、高速アクセスを実現することができなくなるという問題が生じる。

【0031】

それゆえ、この発明の目的は、スペア線（スペアワード線およびスペアビット線対）の使用効率が大幅に改善される冗長回路を備えたアレイ分割構造の半導体記憶装置を提供することである。

【0032】

この発明の他の目的は、誤動作を生じさせることなく、正確に不良ノーマル線の救済を行なうことのできる冗長回路を備えたアレイ分割構造の半導体記憶装置を提供することである。

【0033】

この発明のさらに他の目的は、アクセス時間および消費電流を増加させることのない電源回路を備えるアレイ分割構造の半導体記憶装置を提供することである。

【0034】

この発明のさらに他の目的は、スペア線使用効率が改善される冗長回路ならびにアクセス時間および消費電力を低減することのできる電源回路を備えるアレイ分割構造の半導体記憶装置を提供することである。

【0035】

【課題を解決するための手段】

この発明に従う半導体記憶装置は、要約すれば、スペア線を、1つのアレイとしてまとめて配置し、スペアアレイに対応に複数のメモリマットを設け、これら複数のメモリマットの不良ノーマル線を、対応のスペアアレイのスペア線で置換可能とする。また、スペアブロックに対する電源回路はアクティブサイクル開始時選択状態へ駆動する。

【0036】

請求項1に係る半導体記憶装置は、各々が複数の行列状に配列されるメモリセルを有する複数のメモリブロックと、これら複数のメモリブロック各々に対応して設けられ、各々が対応のメモリブロックの不良メモリセルを救済するための複数のスペアメモリセルを有する複数のスペアメモリブロックと、複数のメモリブロックに対応して設けられ、各々が対応のメモリブロックとデータの授受を行なう複数のローカルデータバスと、複数のスペアメモリブロックに対応して設けられ、各々が対応のスペアメモリブロックとデータの授受を行なうための複数のスペアローカルデータバスと、複数のメモリブロックに共通に設けられ、選択メモリセルを含むメモリブロックに対応して設けられたローカルデータバスと選択的

に結合されるグローバルデータバスと、複数のスเปアメモリブロックに共通に設けられ、選択スเปアメモリセルを含むスเปアメモリブロックを含む2以上の所定数kのスเปアメモリブロックに対応して設けられたスเปアローカルデータバスを同時にかつ選択的に結合されるスเปアグローバルデータバスを備える。

【0037】

請求項2に係る半導体記憶装置は、請求項1の所定数kが、1つのスเปアローカルデータバスと1つのローカルデータバスの容量比で与えられる。

【0038】

請求項3に係る半導体記憶装置は、請求項1のメモリブロックが行方向に沿って複数のメモリサブアレイに分割される。各スเปアメモリブロックのスเปアメモリセルは、対応のメモリブロックの複数のメモリサブアレイの不良列と置換可能である。

【0039】

請求項4に係る半導体記憶装置は、各々が行列状に配列される複数のメモリセルを有する複数の第1のメモリブロックと、これら複数の第1のメモリブロックの特定の第1のメモリブロックに行列状に配置される複数のスเปアメモリセルとを備える。スเปアメモリセルの各行は、複数の第1のメモリブロックの不良行と置換可能である。

【0040】

請求項5に係る半導体記憶装置は、請求項4の装置が、さらに、列方向に沿って複数の第1のメモリブロックと交互に配置され、各々が行列状に配列される複数のメモリセルを有する複数の第2のメモリブロックと、複数の第2のメモリブロックの特定の第2のメモリブロックに行列状に配置されかつ各行が複数の第2のメモリブロックの不良行と置換可能な複数のスเปアメモリセルを備える。

【0041】

請求項6に係る半導体記憶装置は、請求項5の装置が、さらに、複数の第1のメモリブロックの各々と複数の第2のメモリブロックの各々との間に配置されかつ列方向において隣接するメモリブロックに共有され、活性化時選択メモリセルを含むメモリブロックの各列のデータを検知および増幅するための複数のセンス

アンプ帯を備える。

【0042】

請求項7に係る半導体記憶装置は、請求項6の装置が、さらに、複数の第1のメモリブロックと複数の第2のメモリブロックと複数のセンスアンプ帯が第1のメモリアレイを構成し、さらに、この第1のメモリアレイと同じ構成を有する第2のメモリアレイと、通常動作モード時には第1および第2のメモリアレイから1つのメモリブロックを選択状態へ駆動し、かつ特殊動作モード時には、第1のメモリアレイおよび第2のメモリアレイ各々から所定数のメモリブロックを同時に選択状態へ駆動する制御手段を含む。

【0043】

請求項8に係る半導体記憶装置は、各々が行列状に配列される複数のメモリセルを有する複数の第1のメモリブロックと、複数の第1のメモリブロックと列方向に沿って交互に配置され、各々が行列状に配列される複数のメモリセルを有する複数の第2のメモリブロックと、各々が行列状に配列される複数のメモリセルを有する複数の第3のメモリブロックと、列方向において第3のメモリブロックと交互に配置され、かつ各々が複数のメモリセルを有する複数の第4のメモリブロックと、複数の第1のメモリブロックの特定のメモリブロックに行列状に配置され、各行が第3のメモリブロックの不良行と置換可能な複数のスペアメモリセルを有する第1のスペアアレイと、第2のメモリブロックの特定のメモリブロックにおいて行列状に配置され、各行が第4のメモリブロックの不良行と置換可能な複数のスペアメモリセルを有する第2のスペアアレイと、第3のメモリブロックの特定のメモリブロックに行列状に配置されかつ各行が第1のメモリブロックの不良行と置換可能な複数のスペアメモリセルを有する第3のスペアアレイと、第4のメモリブロックの特定の第4のメモリブロックに行列状に配置され、各行が第2のメモリブロックの不良行と置換可能な第4のスペアアレイと、通常動作モード時には、第1ないし第4のメモリブロックから1つのメモリブロックを選択状態へ駆動し、かつ特殊動作モード時には、これら第1および第2のブロックの1つのメモリブロックならびに第3および第4のメモリブロックの1つのメモリブロックを選択状態へ駆動する制御手段を備える。

【0044】

請求項9に係る半導体記憶装置は、請求項8の装置が、さらに、第1および第2のメモリブロックの間および第3および第4のメモリブロックの間にそれぞれ設けられかつ列方向において隣接するメモリブロックに共有され、対応のメモリブロックが選択メモリセルを含むとき活性化され、該対応のメモリブロックの各列のデータを検知し増幅するための複数のセンスアンプ帯を備える。

【0045】

請求項10に係る半導体記憶装置は、請求項8の制御手段が、テスト動作モード時には複数の第1のメモリブロックのうちの1つのメモリブロックを選択状態へ駆動するときには複数の第3のメモリブロックの1つを選択状態へ駆動する。

【0046】

請求項11に係る半導体記憶装置は、データアクセスのためのノーマルモードとデータ保持のためのリフレッシュモードで動作可能であり、所定の電圧を供給する電源ノードと、各々が、行列状に配列される複数のメモリセルおよび各々が同一機能を有しかつメモリセル選択に関連する動作を行なう複数の繰返し回路を含む繰返し回路群とを有する複数のメモリブロックと、これら複数のメモリブロック各々に対応して設けられ、電源ノードと対応のメモリブロックの繰返し回路群とを結合する複数の電源スイッチ回路を備える。これら複数の電源スイッチ回路の各々は、選択時第1の電流を流れさせかつ非選択時この第1の電流よりも小さな第2の電流を流れさせる。

【0047】

この請求項11に係る半導体記憶装置は、さらに、ノーマルモード時とリフレッシュモード時とで選択される電源スイッチ回路の数を異ならせるように、アドレス信号に従って複数の電源スイッチ回路を選択的に選択状態へ駆動するための制御手段を備える。

【0048】

請求項12に係る半導体記憶装置は、請求項11の制御手段が、ノーマルモード時には、第1の数のアドレスビットをデコードして電源スイッチ回路を選択するための制御信号を生成し、かつリフレッシュモード時には第1の数よりも大き

な第2の数のアドレスビットをデコードして制御信号を生成する回路を含む。

【0049】

請求項13に係る半導体記憶装置は、請求項11の複数のメモリブロックが、各々が複数のメモリブロックを有する複数のグローバルブロックに分割される。制御手段は、ノーマルモード時には複数のグローバルブロックのうちのグローバルブロックを特定するアドレスビットをデコードし、かつリフレッシュモード時には複数のメモリブロックのうちのメモリブロックを特定するアドレスビットをデコードする。

【0050】

請求項14に係る半導体記憶装置は、請求項11の複数のメモリブロックの各々がメモリセル行各々に対応して配置される複数のワード線を含む。この半導体記憶装置は、さらに、アドレス指定された行に対応して配置されたワード線を選択状態へ駆動するタイミングをリフレッシュモード時にはノーマルモード時よりも遅らせる手段を含む。

【0051】

請求項15に係る半導体記憶装置は、請求項11の複数のメモリブロックの各々がメモリセル行それぞれに対応して配置される複数のワード線を含む。制御手段が、リフレッシュモード時アドレス指定されたワード線を含むメモリブロックに対して設けられた電源スイッチ回路を選択しかつ残りのメモリブロックに対して設けられた電源スイッチ回路を非選択状態とするように制御信号を発生する回路を含む。

【0052】

請求項16に係る半導体記憶装置は、請求項11の装置が、さらに、リフレッシュモード時にはカウント指示信号に応答してカウント動作を行なってリフレッシュアドレスを生成する手段を備える。制御手段は、リフレッシュアドレスのうちの所定のビットをデコードして次の制御信号を生成してラッチする第1のデコード回路と、リフレッシュモード時には第1のデコード回路のデコード動作完了後に与えられるリフレッシュサイクル指示信号に応答してこの第1のデコード回路のラッチする制御信号を複数の電源スイッチ回路へ印加する手段を備える。カ

ウント指示信号はリフレッシュサイクル指示信号の活性期間中に活性化される。リフレッシュアドレスはその次に与えられるリフレッシュサイクル指示信号に 응답してリフレッシュされるリフレッシュ行を指定する。

【0053】

請求項17に係る半導体記憶装置は、請求項11の複数のメモリブロックの特定のブロックは、不良セルを置換・救済するためのスペアエレメントを含む。このスペアエレメントは複数のメモリブロックの不良セルの救済が可能である。制御手段が、ノーマルモード時にはこの特定のブロックの電源スイッチ回路をアドレス信号にかかわらず選択し、かつリフレッシュモード時にはアドレス信号が救済すべきセルを指定しているか否かを示すスペア判定結果に従って特定のメモリブロックに対して設けられた電源スイッチ回路を選択的に選択状態へ駆動する回路を含む。

【0054】

請求項18に係る半導体記憶装置は、請求項17の制御手段が、ノーマルモード時アドレス信号が指定するメモリセルを含むメモリブロックに対して設けられた電源スイッチ回路を選択状態へ駆動する手段を含む。

【0055】

請求項19に係る半導体記憶装置は、請求項17の複数のメモリブロックの各々がメモリセル各行に対応して設けられるワード線を含む。スペアエレメントは、不良行を救済するためのスペア行を備える。この請求項19に係る半導体記憶装置は、さらに、リフレッシュモード時におけるワード線の選択状態への移行タイミングをノーマルモード時におけるそれよりも遅らせるための回路をさらに備える。

【0056】

請求項20に係る半導体記憶装置は、請求項17の半導体記憶装置が、さらに、リフレッシュモード時カウント指示信号に 응답してカウント動作を行なってリフレッシュアドレスを生成する回路を備える。制御手段が、リフレッシュアドレスのうち所定のビットをデコードして次の制御信号を生成してラッチする第1のデコード回路と、リフレッシュモード時第1のデコード回路のデコード動作完了

後に与えられるリフレッシュサイクル指示信号に应答して第1のデコード回路のラッチする制御信号を複数の電源スイッチ回路に印加する手段を備える。カウント指示信号はリフレッシュサイクル指示信号の活性化期間中に活性化される。また、このリフレッシュアドレス生成手段からのリフレッシュアドレスが、次のリフレッシュサイクル指示信号に应答してデコードされてリフレッシュ行を指定する。

【0057】

請求項21に係る半導体記憶装置は、請求項11の複数のメモリブロックにおいて任意のメモリブロックの不良メモリセルを置換し救済するためのスペアエレメントを特定のブロックが含む。制御手段が、ノーマルモード時複数の電源スイッチ回路のうち特定のメモリブロックおよびアドレス指定されたメモリブロックに対して設けられた電源スイッチ回路を選択状態へ駆動するための回路を含む。

【0058】

請求項22に係る半導体記憶装置は、請求項17の制御手段が、ノーマルモード時には特定のメモリブロックとアドレス信号が指定するメモリブロックに対して設けられた電源スイッチ回路を選択状態へ駆動し、次いでスペア判定結果とアドレス信号とに従って、選択状態へ駆動すべきメモリセルを含むメモリブロックを除くメモリブロックに対して設けられた電源スイッチ回路を非選択状態へ駆動する回路を含む。

【0059】

請求項23に係る半導体記憶装置は、請求項21または22の制御手段が、リフレッシュモード時アドレス信号とスペア判定結果とに従って、選択状態へ駆動すべきメモリブロックに対して設けられた電源スイッチ回路を選択状態へ駆動する手段を含む。

【0060】

請求項24に係る半導体記憶装置は、請求項21または22の制御手段が、前のリフレッシュサイクルにおいてリフレッシュアドレス生成回路から生成されたリフレッシュアドレスをデコードして、選択状態へ駆動すべきメモリブロックを特定する制御信号を生成する。この制御信号は、次に与えられるリフレッシュサ

イクル指示信号に従って電源スイッチ回路へ与えられる。このリフレッシュアドレスは、その次に与えられるリフレッシュサイクル指示信号に従ってデコードされてリフレッシュ行を指定する。

【0061】

スペア線専用のスペアアレイを設けることにより、複数のメモリブロックまたはサブアレイでスペア線を共有することができ、各メモリブロックまたはサブアレイそれぞれにスペア線を配置する場合に比べて、スペア線の使用効率を大幅に改善することができる。

【0062】

アレイ分割構造において、電源スイッチ回路の選択態様を、ノーマルモードとリフレッシュモード時とで異ならせることにより、デコードすべきアドレス信号のビット数を異ならせることができ、ノーマルモード時に高速で電源スイッチ回路を選択状態へ駆動することができる。一方、リフレッシュモード時には、高速応答特性は要求されないため、数多くのアドレス信号ビットをデコードして、必要最小限の電源スイッチ回路を選択することにより、消費電流を低減する。

【0063】

また、スペアエレメントを含む場合、ノーマルモード時にスペアエレメントを含む特定のメモリブロックおよびアドレス指定されたメモリブロック両者の電源スイッチ回路を選択状態へ駆動することにより、スペア判定結果を待つことなく電源スイッチ回路を選択状態へ駆動することができ、高速アクセスが実現される。

【0064】

リフレッシュモード時においては、このスペア判定結果に従って、選択すべきメモリセルを有するメモリブロックに対する電源スイッチ回路を選択状態へ駆動することにより、リフレッシュモード時に、選択される電源スイッチ回路の数を必要最小限とすることができ、消費電流を低減することができる。これにより、アクセス時間および消費電流を増加させることなくスペアエレメントの使用効率を改善した半導体記憶装置が実現される。

【0065】

【発明の実施の形態】

【実施の形態1】

図1は、この発明の実施の形態1に従う半導体記憶装置のアレイ部の構成を概略的に示す図である。図1において、メモリアレイは、複数のセンスアンプブロック（行ブロック）RB#0～RB#mに分割される。これらの行ブロックRB#0～RB#mは、それぞれワード線を共有する。行ブロックRB#0～RB#mの各々は、複数のサブアレイに分割される。行ブロックRB#i（i=0～m）は、ノーマルサブアレイMB#i0～MB#inに分割される。これらのノーマルサブアレイMB#i0～MB#inは、行列状に配列される複数のメモリセルを有し、かつワード線（行）を共有する。センスアンプブロック単位でセンス動作が行なわれる。

【0066】

また、行ブロックRB#0～RB#mそれぞれにおいて、対応の行ブロックRB#0～RB#mの不良列（不良ノーマルメモリセルを含む列）を置換により救済するために、スペアアレイSP#0～SP#mがそれぞれ設けられる。これらのスペアアレイSP#0～SP#mは、それぞれ複数列に配列されるメモリセル（スペアメモリセル）を有する（スペアアレイSP#0～SP#mの行の数は、ノーマルサブアレイに含まれるメモリセルの行の数と同じである）。

【0067】

ノーマルサブアレイMB#00～MB#mnそれぞれに対応して、ノーマルローカルデータバスLIO00～LIOmnが設けられる。これらのノーマルローカルデータバスLIO00～LIOmnは、対応のノーマルサブアレイMB#00～MB#mnに対してのみデータの授受を行なう。

【0068】

列方向に沿って整列して配置されるノーマルサブアレイが列ブロックCB#0～CB#nを構成する。スペアアレイSP#0～SP#mに対しても、それぞれスペアローカルデータバスSIO0～SIOmが配置される。これらのスペアローカルデータバスSIO0～SIOmは、対応のスペアアレイSP#0～SP#mとのみデータの授受を行なう。列方向に整列して配置されるノーマルサブアレ

イ、すなわち列ブロックCB#0~CB#nそれぞれに対応してノーマルグローバルデータバスNGIO0~NGIO_nが配置される。これらのノーマルグローバルデータバスNGIO0~NGIO_nは、それぞれブロック選択ゲートBSGを介して、対応の列ブロックのノーマルサブアレイに対して設けられたノーマルローカルデータバスに結合される。ブロック選択ゲートBSGは、対応の行ブロックが選択されたときに、対応のブロック選択信号に応答して導通し、対応のノーマルローカルデータバスと対応のノーマルグローバルデータバスとを接続する。スペアローカルデータバスSIO0~SIO_mも、それぞれ、対応のブロック選択ゲートBSGを介してスペアグローバルデータバスSGIOに結合される。スペアアレイSP#0~SP#mに設けられるブロック選択ゲートBSGは、対応の行ブロックが選択されたときに導通し、対応のスペアローカルデータバスをスペアグローバルデータバスSGIOに接続する。

【0069】

行ブロックRB#iにおいて複数のノーマルサブアレイMB#i0~MB#inに共通にスペアアレイSP#iを設けることにより、スペアアレイSP#iに含まれるスペア列を、ノーマルサブアレイMB#i0~MB#inで使用することができ、スペア列の使用効率が改善される。

【0070】

また、ノーマルサブアレイそれぞれにスペア列を設ける場合、ノーマルサブアレイにおいて、そこに設けられたスペア列よりも多くの不良列が存在する場合、その半導体記憶装置は、救済することができない。しかしながら、この図1に示すように、スペアアレイを設け、一括してスペア列を配置することにより、数多くの不良列が存在するノーマルサブアレイが存在しても、対応のスペアアレイのスペア列を用いて置換により救済することができ、製品歩留りを改善することができる。

【0071】

図2(A)は、不良ノーマル列救済の対応の一例を示す図である。図2(A)において、スペアアレイSP#0~SP#mそれぞれは、4つのスペアビット線対(スペア列)SBL0~SBL3を含む。

【0072】

列ブロックCB#0~CB#nそれぞれに対応して、コラムデコード回路Y0~Ynが設けられる。スペアブロックSP#に対しては、スペアデコード回路SPDが設けられる。コラムデコード回路Y0~Ynからは、対応のコラムブロックに含まれるメモリサブアレイに共通にコラム選択線CSLを介して列選択信号が伝達される。スペアデコード回路SPDからは、スペアビット線対SBL0~SBL3それぞれに対応して設けられるスペアコラム選択線SCSL0~SCSL3を介してスペアコラム選択信号が伝達される。今、ノーマルメモリサブアレイMB#00~MB#mnそれぞれにおいて互いに独立にノーマル列（ノーマルビット線対）を置換により救済することを考える。

【0073】

図2(B)は、図2(A)に示すスペアデコード回路SPDの構成の一例を示す図である。図2(B)において、スペアデコード回路SPDは、スペアコラム選択線SCSL0~SCSL3それぞれに対応して設けられるOR回路OG0~OG3を含む。OR回路OG0~OG3それぞれに対しては、行ブロックRB#0~RB#mそれぞれに対応して設けられるスペアデコーダが配置される。OR回路OG0に対しては、スペアデコーダSD00~SD0mが設けられ、OR回路OG3に対しては、スペアデコーダSD30~SD3mが設けられる。各行ブロックにおける不良ノーマルビット線対は、各OR回路に対して設けられたスペアデコーダにプログラムされる。

【0074】

今、図2(A)に示すように、メモリサブアレイMB#00のノーマルビット線対PBL0をスペアアレイSP#0のスペアビット線対SBL0で置換し、またメモリサブアレイMB#0nのノーマルビット線対PBL1を、スペアアレイSP#0のスペアビット線対SBL1で置換する。また、メモリサブアレイMB#10のノーマルビット線対PBL2を、スペアアレイSP#1のスペアビット線対SBL0で置換し、メモリサブアレイMB#m0およびMB#mnのそれぞれに含まれる不良ノーマルビット線対PBL3およびPBL4を、スペアアレイSP#mのスペアビット線対SBL0およびSBL3で置換する。この場合、不

良ノーマルビット線対PBL0のアドレスが、スペアデコーダSB00にプログラムされ、不良ノーマルビット線対PBL1のアドレスが、スペアコラム選択線CSL1に対応して設けられたOR回路に対応して設けられるスペアデコーダにプログラムされる。不良ノーマルビット線対PBL2は、そのアドレスが、OR回路OG0に対して設けられたスペアデコーダSD01にプログラムされる。不良ノーマルビット線対PBL3およびPBL4は、それぞれのアドレスが、スペアデコーダSD0mおよびSD3mにプログラムされる。したがって、不良ノーマルビット線対がアドレス指定されたときには、対応のスペアコラム選択線が選択状態へ駆動される。このときには、これらのOR回路の出力信号に従って、コラムデコード回路Y0～Ynのデコード動作は停止される。すなわち図2(B)に示すスペアデコード回路を用いることにより、メモリサブアレイMB#00～MB#mnそれぞれにおいて互いに独立に、不良ノーマルビット線対の救済を行なうことができる。

【0075】

この図2(B)に示すスペアデコード回路の構成においては、行ブロックごとに、不良ノーマルビット線対のアドレスのプログラムを行なうことができる。したがってスペアデコーダそれぞれは、「ドントケア」状態を記憶することは要求されない。ノーマルコラム選択線CSLが不良の場合には、各スペアデコーダに、同じアドレス信号をプログラムすればよい。しかしながらこの場合において、スペアデコーダに、「ドントケア」状態を記憶する機能を持たせることにより、行ブロック単位の不良ノーマルビット線対救済に加えて、不良ノーマルコラム選択線の置換による、不良ノーマルビット線対の救済をも併せて行なうことができる。

【0076】

【変更例】

図3(A)は、図2(A)に示すスペアデコード回路の変更例の構成を示す図である。図3(A)においては、スペアデコーダは、列ブロックに対応して配置される。すなわち、OR回路OG0に対しては、スペアデコーダSD00～SD0nが配置され、OR回路OG3に対しては、スペアデコーダSD30～SD3

nが配置される。スペアデコーダSD00~SD0nは、列ブロックブロックCB#0~CB#nにそれぞれ対応し、またスペアデコーダSD30~SD3nも、それぞれ、列ブロックCB#0~CB#nに対応する。

【0077】

今、図3(B)に示すように、メモリサブアレイMB#00のノーマルビット線対PBL0が不良であり、またコラムデコード回路Ynからのコラム選択線CSLが不良の場合を考える。この場合、不良ノーマルビット線対PBL0のアドレスがスペアデコーダSD00にプログラムされ、またノーマルコラム選択線CSLのアドレスが、スペアデコーダSD3nにプログラムされる。この不良ノーマルコラム選択線CSLのプログラム時においては、スペアデコーダSD3nは、列ブロック指定ビットが無効状態にされ、列ブロックCB#nのメモリサブアレイMB#0n~MB#mnのいずれかの不良列選択線CSLに対応するノーマルビット線対がアドレス指定されても、スペアデコーダSD3nの出力信号は選択状態を示す。

【0078】

この場合、不良ノーマルビット線対PBL0が、スペアアレイSP#0のスペアビット線対SBL0により置換され、コラムデコード回路Ynからの不良ノーマルコラム選択線CSLが、スペアコラム選択線SCSL3に置換される。

【0079】

なお、この図1に示す構成においては、1つのメモリサブアレイが選択されて対応のノーマルグローバルデータバスに接続される。したがって、1ビットのデータの入出力が行なわれる。

【0080】

図4は、データ読出部の構成を概略的に示す図である。図4において、ノーマルグローバルデータバスNGIO0~NGIO nそれぞれに対応してメインアンプMAP0~MAP nが設けられ、スペアグローバルデータバスSGIOに対応してスペアメインアンプMAP sが設けられる。メインアンプMAP0~MAP nは、メインアンプ活性化信号PAE0~PAE nの活性化に反応して選択的に活性化され、スペアメインアンプMAP sは、スペアメインアンプ活性化信号P

AEsに応答して活性化される。スペアメインアンプ活性化信号PAEsの活性化時、メインアンプ活性化信号PAE0~PAEnは、すべて非活性状態に保持される。これにより、不良ビットの置換による救済時、正確に1ビットのデータを読み出すことができる。データ書込のためには、メインアンプに代えてライトドライバが設けられればよい。

【0081】

スペアメインアンプPAEsは、OR回路OG0~OG3の出力信号のいずれかがHレベルとなると活性化される。

【0082】

なお、この図4に示す読出部の構成において、ノーマルグローバルデータバスNGIO0~NGIO_nは、選択行ブロックに対応して設けられたノーマルローカルデータバスにそれぞれ接続される。しかしながら、コラムデコード回路Y0~Y_nの1つのみがコラム選択線上に活性化された列選択信号を伝達するため、これらのノーマルグローバルデータバスNGIO0~NGIO_nのいずれか1つにのみ、選択メモリセルのデータが伝達される（ノーマルメモリセルがアクセスされたとき）。

【0083】

なお、選択行ブロックにおいてメモリサブアレイがすべて選択される構成の場合、スペアアレイそれぞれにおいて、スペアサブビット線対それぞれに対応してスペアローカルデータバスを設けるとともに、これらの複数のスペアローカルデータバスに対応してスペアグローバルデータバスを設けることにより対応することができる。図3(A)に示す構成のスペアデコーダSD00~SD3_nを用いて、複数のスペアグローバルデータバスに対応して設けられたメインアンプの1つを選択的に活性化する。また、これらのスペアデコーダSD00~SD3_nの出力信号を用いて、不良ノーマル列の救済が行なわれた列ブロックを検出し、その検出された列ブロックにスペアメインアンプの出力信号を伝達する。これは、スイッチ回路を用いることにより実現することができる。

【0084】

なお、図2(A)および図3(A)においては、行ブロックまたは列ブロック

それぞれに対応してスペアデコーダが用いられている。しかしながら、このスペアデコーダの数は、このメモリアレイ全体における不良ノーマルビット線対の救済される数に応じて適当に定められればよい。

【0085】

また、スペアアレイSP#0～SP#mそれぞれにおけるスペアビット線対の数も適当に定められる。1つの列ブロックあたり複数本の割合で、スペアビット線対が設けられてもよい。

【0086】

以上のように、この発明の実施の形態1に従えば、行ブロックそれぞれにスペアアレイを設け、対応の行ブロックに含まれる複数のサブアレイの任意の不良ノーマル列を、救済可能なように構成しているため、各行ブロックにおいて、効率的に不良ノーマル列の救済を行なうことができる。

【0087】

また、スペア列（スペアビット線対）を選択するためのスペアデコーダは、複数のメモリサブアレイで共有されるように構成しているため、メモリサブアレイそれぞれに対応してスペアデコーダを設ける必要がなく、回路占有面積が低減され、またスペアデコーダの利用効率も改善される。

【0088】

〔実施の形態2〕

図5は、この発明の実施の形態2に従う半導体記憶装置のメモリアレイ部の構成を概略的に示す図である。この図5に示すアレイ構成においては、スペアアレイSP#0～SP#mそれぞれに対応して設けられるブロック選択ゲートBSGsは、対応の行ブロックを選択する信号 $\phi_0 \sim \phi_m$ と異なる信号 $\phi_{s0} \sim \phi_{sm}$ を受ける。すなわち、不良ノーマル列救済時において、スペアグローバルデータバスSGIOには、スペアローカルデータバスSIO0～SIOmのうち所定数のスペアローカルデータバスが同時に接続される。他の構成は、図1に示す構成と同じであり、対応する部分には同一参照番号を付す。

【0089】

図6は、メモリアクセス時におけるノーマルグローバルデータバスとローカル

データバスおよびスペアローカルデータバスの接続を概略的に示す図である。図6において、ノーマルグローバルデータバスNGIOは、ブロック選択ゲートBSGを介してローカルデータバスLIO_iに接続される。このブロック選択ゲートBSGは、行ブロック選択信号 ϕ_i に応答して導通する。一方、スペアグローバルデータバスSGIOは、スペアブロック選択ゲートBSG_sを介してスペアローカルデータバスSIO_iに接続されかつ複数のスペアローカルデータバスに同時に接続される。図6においては、ブロック選択ゲートBSG_sを介して、スペアローカルデータバスSIO_jがスペアグローバルデータバスSGIOに同時に接続される対応を代表的に示す。

【0090】

メモリサブアレイにおいては、複数行複数列にノーマルメモリセルが配列される。一方、スペアアレイにおいても、スペアメモリセルが行列状に配列される。しかしながら、このスペアアレイにおける列の数は、単に、対応の行ブロックにおけるノーマルサブアレイの不良列を救済するために設けられているだけであり、その列の数はノーマルサブアレイの列の数よりも大幅に少ない。したがって、ローカルデータバスLIO_iのバス線にそれぞれ寄生容量C_aが接続した場合、スペアローカルデータバスSIO_iのバス線には、それぞれこれよりも小さな寄生容量C_cが存在する。

【0091】

一方、ノーマルグローバルデータバスNGIOおよびスペアグローバルデータバスSGIOは、メモリアレイにおいて列方向に延在して配設されており、これらには、ほぼ同じ寄生容量C_bが存在する。したがって、1つのスペアローカルデータバスのみをスペアグローバルデータバスSGIOに接続した場合、その寄生容量は、C_b+C_cとなり、一方、ノーマルメモリセルのアクセス時においては、バス線の寄生容量はC_a+C_bとなる。スペアメモリセルアクセス時においては、バスの寄生容量が小さいため、信号がノーマルメモリセルアクセス時よりも速いタイミングで変化する。したがって、ノーマルメモリセルアクセス時とスペア列選択時において、信号伝播遅延が異なるため、内部信号の変化タイミングが異なり、内部タイミングの不一致および誤動作などが生じる可能性がある。特

に、この図5に示すメモリアレイが複数個設けられており、複数ビットのデータの入出力が行なわれる構成の場合、1つのメモリアレイにおいてスペア列が選択され、他のメモリアレイにおいてノーマル列が選択された場合、データの転送タイミングが異なり、内部データのセットアップ/ホールド時間が異なることになり、回路動作が不安定となる。

【0092】

また、クロック信号に同期して順次列を選択していく構成の場合、他のメモリアレイの選択データと並列に読出されてラッチされた後交互に外部に読出される。ノーマルメモリセル選択時とスペア列選択時とでデータ信号の伝達時間が異なる場合、このラッチタイミングに対するセットアップ/ホールド時間が異なり、正確なデータの読出を行なうことができなくなることが考えられる。

【0093】

そこで、図6に示すように、不良スペアメモリセルアクセス時においては、複数のスペアローカルデータバスを同時にスペアグローバルデータバスSGIOに接続する。これにより、ノーマルメモリセル選択時とスペアメモリセルアクセス時における信号伝播遅延時間を同じとする。

【0094】

同時に選択状態へ駆動されるスペアローカルデータバスの数 k は、具体的には、次式で与えられる。

【0095】

$$C_b + C_a = C_b + k \cdot C_c$$

したがって、次式が得られる。

【0096】

$$C_a = k \cdot C_c$$

これにより、タイミングのミスマッチにより生じる問題を回避することができる。

【0097】

今、図7に示すように、行ブロックは、RB#0~RB#7の8個設けられている場合を考える。行ブロックRB#0~RB#7は、3ビットのアドレス信号

a_i 、 a_j および a_k により指定される。これらの3ビットのアドレス信号 a_i 、 a_j および a_k のデコードにより、ブロック選択信号 ϕ_i が生成される。

【0098】

行ブロックRB#0~RB#3と行ブロックRB#4~RB#7のうちの一方向のブロックが、アドレス信号ビット a_i により指定され、行ブロックRB#0、RB#1、RB#4およびRB#5のグループと行ブロックRB#2、RB#3、RB#6およびRB#7のグループの一方が、アドレス信号ビット a_j により指定され、行ブロックRB#0、RB#2、RB#4およびRB#6のグループと行ブロックRB#1、RB#3、RB#5およびRB#7のグループの1つがアドレス信号ビット a_k により指定される場合を考える。この場合、アドレス信号ビット a_i ~ a_k を適当に無効状態（ドントケア状態）に設定して、スペアアレイブロック選択信号 ϕ_{si} を生成することができる。たとえば、アドレス信号ビット a_k を無効状態とすれば、2つの行ブロックが同時に指定されるため、2つのスペアローカルデータバスをスペアグローバルデータバスに接続することができる。アドレス信号ビット a_j を無効状態とすれば、同様、2つの行ブロックを指定することができる。アドレス信号ビット a_j および a_k 両者を無効状態とすれば、4つの行ブロックを同時に指定することができる。3ビットのアドレス信号 a_i ~ a_k すべてを無効状態とすれば、すべての行ブロックを指定することができる。したがって、これらの構成を用いることにより、必要な数（2の倍数）のスペアアレイのスペアローカルデータバスをスペアグローバルデータバスに接続することができる。

【0099】

図8は、スペアブロックの列選択部の構成を概略的に示す図である。図8においては、2つのスペアアレイSP# i およびSP# j の部分の構成を示す。

【0100】

図8を参照して、スペアアレイSP# i において、スペアビット線対SBLをスペアローカルデータバスSIO i に接続するスペアコラム選択ゲートCSG i は、図示しないスペアコラムデコード回路からの列選択信号と行ブロック指定信号 ϕ_i を受けるAND回路SCG i の出力するローカルコラム選択信号YS i に

応答して導通する。スペアアレイSP#jにおいて、スペアビット線対SBLとスペアローカルデータバスSIOjを接続するスペアコラム選択ゲートCSGjは、スペアコラムデコード回路からのスペアコラム選択線SCSL上に伝達されるスペアコラム選択信号と行ブロック選択信号 ϕ_j を受けるAND回路SCGjからのスペアローカルコラム選択信号YSjに反応して導通する。スペアローカルデータバスSIOi...SIOjは、それぞれ、ブロック選択信号 ϕ_{si} および ϕ_{sj} に反応して導通するスペアブロック選択ゲートBSGsを介してスペアグローバルデータバスSGIOに接続される。

【0101】

この図8に示す構成において、スペアアレイアクセス時、スペアローカルデータバスSIOi...SIOjが、並列にスペアグローバルデータバスSGIOに結合される。この状態において、選択行ブロックに対応して設けられたスペアアレイのスペアビット線対SBLが対応のスペアローカルデータバスに接続される。これにより、スペアコラムデコード回路からスペアコラム選択線SCSL上に与えられるスペアコラム選択信号が共通にスペアアレイSP#0~SP#mに与えられる構成において、複数のスペアローカルデータバスを同時にスペアグローバルデータバスに接続する場合においても、正確に、アドレス指定された不良列に対応するスペア列を選択して、データアクセスを行なうことができる。これにより、プリチャージ状態に保持されたスペアビット線対が対応のスペアローカルデータバスを介してスペアグローバルデータバスに接続されてスペアメモリセルデータが破壊されるのを防止することができる。

【0102】

なお、上述の説明において、行ブロック指定用のアドレス信号ビットを縮退状態（ドントケア状態）に設定して、複数のスペアローカルデータバスを同時にスペアグローバルデータバスに接続することを行なっている。しかしながら、別にデコード回路を設け、各行ブロック指定時において同時に選択されるスペアローカルデータバスの組がこのデコード回路の出力により決定される構成が用いられてもよい。

【0103】

以上のように、この発明の実施の形態2に従えば、複数のスペアローカルデータバスを並列にスペアグローバルデータバスに接続するように構成しているため、ノーマルメモリセルアクセス時およびスペアメモリセルアクセス時におけるグローバルデータバスの信号伝播遅延を同じとすることができ、内部タイミングのミスマッチにより生じる問題を回避することができ、安定に動作する半導体記憶装置を実現することができる。

【0104】

〔実施の形態3〕

図9は、この発明の実施の形態3に従う半導体記憶装置の要部の構成を概略的に示す図である。図9において、メモリアレイは、列方向に沿って複数の行ブロック（センスアンプブロック）RBX#0～RBX#mに分割される。行ブロックRBX#1～RBX#mは、ノーマルメモリセルが行列状に配列されたノーマルメモリサブアレイMA#1～MA#mでそれぞれ構成される。行ブロックRBX0においては、行列状に配列されるノーマルメモリセルを有するノーマルメモリサブアレイMA#0と、そのノーマルメモリサブアレイMA#0と列を共有して複数行に配列されるスペアメモリセルを有するスペアアレイSPX#を含む。このスペアアレイSPX#に含まれる複数のスペア行（スペアワード線）は、ノーマルメモリサブアレイMA#0～MA#mに含まれる不良ノーマルワード線と置換可能である。ノーマルメモリサブアレイMA#0～MA#mそれぞれに対応して、ロウデコーダX0～Xmが設けられ、スペアアレイSPX#に対しスペアロウデコード回路SPDXが配置される。

【0105】

この図9に示す構成においては、スペアアレイSPX#を、ノーマルメモリサブアレイMA#0～MA#mに共通に配置する。したがって、1つのノーマルメモリサブアレイにおいて不良行が集中的に存在する場合においても、スペアアレイSPX#に含まれるスペアワード線を用いて置換救済を行なうことができ、製品歩留りを改善することができる。また、スペアロウデコーダを複数のノーマルメモリサブアレイ（行ブロック）で共有することにより、スペアデコーダの数を低減することができる。

【0106】

図10は、図9に示すスペアロウデコーダ回路SPDXの構成を概略的に示す図である。図10においては、スペアアレイスPX#においては、4本のスペアワード線SWL0～SWL3が設けられた場合のスペアロウデコーダ回路SPDXの構成が一例として示される。このスペアロウデコーダ回路SPDXは、スペアワード線SWL0～SWL3それぞれに対応して設けられるスペアロウデコーダSDX0～SDX3を含む。これらのスペアロウデコーダSDX0～SDX3には、それぞれ、メモリサブアレいを特定するブロックアドレスおよびサブアレい内の行アドレス両者をプログラムする。今、図10に示すように、ノーマルメモリサブアレイMA#0に含まれる不良ノーマルワード線WL0、ノーマルメモリサブアレイMA#1に含まれる不良ノーマルワード線WL1およびWL2、ノーマルメモリサブアレイMA#mに含まれる不良ノーマルワード線WL3をスペアワード線との置換により救済する場合を考える。この場合、スペアロウデコーダSDX0にワード線WL0のアドレス（ブロックアドレスを含む）がプログラムされ、スペアロウデコーダSDX1およびSDX2それぞれに、不良ノーマルワード線WL1およびWL2のアドレスがプログラムされ、スペアロウデコーダSDX3に不良ノーマルワード線WL3のアドレスがプログラムされる。したがって、不良ノーマルワード線WL0、WL1、WL2、およびWL3が、それぞれ、スペアワード線SWL0、SWL1、SWL2、およびSWL3により置換される。

【0107】

したがって、スペアロウデコーダが、ノーマルメモリサブアレイMA#0～MA#mにそれぞれにより共有されるため、ノーマルメモリサブアレイそれぞれに対応してスペアロウデコーダを設ける必要がなく、アレイ占有面積の増加を抑制することができる。また、スペアワード線は、ノーマルメモリサブアレイMA#0～MA#mにより共有されるため、スペアワード線の利用効率が改善される。

【0108】

また、この行ブロックRBX#0においてスペアアレイスPX#を、ノーマルメモリサブアレイMA#0～MA#mに共通に設けることにより、このスペアア

レイSPX#に含まれるスペアワード線SWLを、任意のノーマルメモリサブアレイが使用することができ、スペアワード線の利用効率を改善することができる。

【0109】

また、スペアアレイSPX#をノーマルメモリサブアレイMA#0に含ませることにより、このスペアデコーダSDX0~SDX3の1つが選択されたとき、この行ブロックRBX#0に対して設けられるセンスアンプを活性化する構成が用いられればよく、センスアンプの制御動作も簡略化される。

【0110】

なお、図9および10に示す構成においては、行ブロックRBX#0~RBX#mにおいて、1つの行ブロックが選択されてセンス動作が行なわれる（ワード線選択が行なわれる）。

【0111】

また、スペアアレイSPX#に含まれるスペアワード線SWLの数は任意である。

【0112】

以上のように、この発明の実施の形態3に従えば、スペアワード線は、複数のノーマルメモリサブアレイに共通に使用されるように1つのスペアアレイ内に一括して設けているため、スペアワードコードの数が低減され、またスペアワード線の使用効率が改善される。

【0113】

【実施の形態4】

図11は、この発明の実施の形態4に従う半導体記憶装置のアレイ部の構成を概略的に示す図である。図11において、メモリアレイは、ノーマルメモリサブアレイMA#0-0~MA#0-Nと、ノーマルメモリサブアレイMA#0-0~MA#0-Nと列方向において交互に配設されるノーマルメモリサブアレイMA#1-0~MA#1-Nを含む。ノーマルメモリサブアレイMA#0-0に対しては、スペアワード線SWLが所定数設けられたスペアアレイSPX#0が配置され、1つの行ブロック（センスアンプブロック）RBX#0を構成し、ノーマルメモリサブアレイMA#0-0とスペアアレイSPX#0とを接続する。

マルメモリサブアレイMA#1-Nにおいては、スペアワード線SWLが所定数配置されたスペアアレイSPX#1が設けられ、行ブロックRBX#1が構成される。ノーマルメモリサブアレイMA#0-0~MA#0-NおよびMA#1-0~MA#1-Nは、それぞれ行列状に配列されるノーマルメモリセルを有する。

【0114】

列方向において隣接するメモリサブアレイの間に、センスアンプ帯SAB1~SABmが配置される。ノーマルメモリサブアレイMA#0-0の外側にセンスアンプ帯SAB0が配置され、ノーマルメモリサブアレイMA#1-Nに隣接して、センスアンプ帯SABm+1が配置される。

【0115】

これらのセンスアンプ帯SAB0~SABm+1は、交互配置型シアードセンスアンプの構成を有する。1つのノーマルメモリサブアレイまたは行ブロックが選択されたとき、その両側に設けられたセンスアンプ帯に含まれるセンスアンプにより、センス動作が行なわれる。

【0116】

行ブロックRBX#0に含まれるスペアアレイSPX#0のスペアワード線は、メモリサブアレイMA#0-0~MA#0-Nに含まれるノーマルワード線と置換可能であり、ノーマルメモリサブアレイMA#1-Nに設けられたスペアアレイSPX#1の各スペアワード線は、ノーマルメモリサブアレイMA#1-0~MA#1-Nに含まれるノーマルワード線と置換可能である。

【0117】

通常動作時においては、ノーマルメモリサブアレイMA#0-0~MA#0-Nのいずれか1つが選択されるか、または、ノーマルメモリサブアレイMA#1-0~MA#1-Nのいずれか1つが選択される。すなわち、この図11に示す構成において、1つのノーマルメモリサブアレイが選択状態へ駆動される。以下に、このノーマルメモリサブアレイMA#0-0~MA#0-NとノーマルメモリサブアレイMA#1-0~MA#1-Nとを列方向において交互に配置しかつこれらのサブアレイ群それぞれに、スペアアレイを設けることにより得られる効

果について説明する。

【0118】

今、図12に示すように、行ブロックRBX#0に含まれるスペアレイSPX#のスペアワード線が、すべてのノーマルメモリサブアレイの不良ノーマルワード線と置換可能な場合を考える。シェアードセンスアンプ構成においては、センスアンプ帯SAB1の両側に、行ブロックRBX#0およびノーマルメモリサブアレイMA#1-0が配置される。センスアンプ帯SAB1と行ブロックRBX#0の間には、ビット線分離ゲートBLIG0が配置され、センスアンプ帯SAB1とノーマルメモリサブアレイMA#1-0の間には、ビット線分離ゲートBLIG1が配置される。ビット線分離ゲートBLIG0へは、置換指示信号 ϕ_{sp} とサブアレイ指定信号 ϕ_1 を受けるNOR回路OGaの出力信号がビット線分離制御信号として与えられる。ビット線分離ゲートBLIG1に対しては、置換指示信号 ϕ_{sp} とサブアレイ指定信号 ϕ_0 とを受けるNOR回路OGbの出力信号がビット線分離指示信号として与えられる。置換指示信号 ϕ_{sp} は、不良ノーマルセルがアドレス指定されて、スペアレイSPX#に含まれるスペアワード線が選択されるとき、選択的に活性状態のHレベルとされる。サブアレイ指定信号 ϕ_1 は、ノーマルメモリサブアレイMA#1-0が指定されたときに活性状態のHレベルとされ、サブアレイ指定信号 ϕ_0 は、ノーマルメモリサブアレイMA#0-0が指定されたときに、活性状態のHレベルとされる。

【0119】

今、ノーマルメモリサブアレイMA#1-0に含まれる不良ノーマルワード線が、スペアレイSPX#に含まれるスペアワード線で置換された場合を考える。ノーマルメモリサブアレイMA#1-0の不良ノーマルワード線がアドレス指定されたとき、また、サブアレイ指定信号 ϕ_1 がHレベルとなり、一方、サブアレイ指定信号 ϕ_0 がLレベルを維持する。したがって、NOR回路OGaの出力信号がLレベルとなり、ビット線分離ゲートBLIG0が非導通状態となり、このスペアレイSPX#が、センスアンプ帯SAB1から切離される。一方、この不良ノーマルワード線をスペアレイSPX#に含まれるスペアワード線で置換するため、置換指示信号 ϕ_{sp} もHレベルへ駆動されるため、NOR回路OG

bの出力信号もHレベルに立上がり、ビット線分離ゲートBLIG1も非導通状態となる。したがって、センスアンプ帯SAB1は、このスペアアレイSPX#およびノーマルメモリサブアレイMA#1-0両者から切離されることになり、不良ノーマルワード線の救済を行なうことができなくなる。

【0120】

これを防止するためには、ビット線分離ゲートBLIG0をスペアワード線使用時に導通状態とするために、図13に示す回路を、このビット線分離制御回路として用いることが考えられる。

【0121】

図13において、このビット線分離制御回路は、サブアレイ指定信号 $\phi 1$ を受けるインバータOGaaと、インバータOGaaの出力信号と置換指示信号 ϕsp を受けるOR回路OGabを含む。この図13に示すビット線分離制御回路の場合、ノーマルメモリサブアレイがアドレス指定されたときには、インバータOGaaの出力信号がLレベルとなる。不良ノーマルワード線がアドレス指定されていない場合には、置換指示信号 ϕsp がLレベルであり、したがってOR回路OGabの出力信号がLレベルとなり、ビット線分離ゲートBLIG0を非導通状態とすることができる。一方、置換指示信号 ϕsp が活性化されスペアアレイに含まれるスペアワード線を使用するときには、OR回路OGabの出力信号は、Hレベルとなり、ビット線分離ゲートBLIG0が導通状態となる。

【0122】

しかしながら、この図13に示すビット線分離制御回路を用いた場合、他のビット線分離ゲートに対して設けられた制御回路と回路構成が異なり、ゲート段数が異なる（OR回路は、NOR回路とその出力信号を受けるインバータとで構成される）。したがって、ゲート遅延が異なり、タイミングマージンが減少し、誤動作が生じる可能性がある。

【0123】

図11に示すように、スペアアレイSPX#0においては、ノーマルメモリサブアレイMA#0-0~MA#0-Nの不良ノーマルワード線と置換可能なスペアワード線を配置することにより、ノーマルメモリサブアレイMA#1-0の不

良ノーマルワード線がアドレス指定されたときには、この行ブロックRBX#0に含まれるスペアアレイに含まれるスペアワード線は使用されない。したがって、この場合、図14に示すようなビット線分離制御回路を利用することにより、正確に、不良ノーマルワード線の置換による救済を行なうことができる。

【0124】

図14において、ビット線分離ゲートBLIG0に対して、サブアレイ指示信号 $\phi 1$ を受ける2入力NOR回路OGcが設けられ、ビット線分離ゲートBLIG1に対しては、スペア置換指示信号 $\phi sp0$ とサブアレイ指定信号 $\phi 0$ を受けるNOR回路OGdが設けられる。スペア置換指示信号 $\phi sp0$ は、ノーマルメモリサブアレイMA#0-0~MA#0-Nのいずれかにおいて不良ノーマルワード線がアドレス指定されたときに、活性状態のHレベルへ駆動される。サブアレイ指示信号 $\phi 0$ は、ノーマルメモリサブアレイMA#0-0が指定されたときに活性状態のHレベルへ駆動され、サブアレイ指示信号 $\phi 1$ は、ノーマルメモリサブアレイMA#1-0が指定されたときに活性状態のHレベルへ駆動される。サブアレイMA#0-0に対応して設けられるスペアアレイSPX#0が使用されるときには、ノーマルメモリサブアレイMA#1-0がアドレス指定されることはない。これは、スペアアレイSPX#0に含まれるスペアワード線は、ノーマルメモリサブアレイMA#0-0~MA#0-Nに含まれる不良ノーマルワード線がアドレス指定された場合に選択されるためである。また、この場合、NOR回路OGcの出力信号がHレベルを維持し、一方、NOR回路OGdの出力信号がLレベルとなり、センスアンプ帯SAB1は、行ブロックRBX#0に接続され、ノーマルメモリサブアレイMA#1-0から切離される。逆に、ノーマルメモリサブアレイMA#1-0がアドレス指定されたときには、NOR回路OGcの出力信号がLレベルとなり、行ブロックRBX#0が、センスアンプ帯SAB1から切離され、ノーマルメモリサブアレイMA#1-0が、センスアンプ帯SAB1に接続される（NOR回路OGdの出力信号がHレベルを維持する）。

【0125】

他方の行ブロックRBX#1に対しても、同様の構成が設けられる。これにより、スペアアレイを含むメモリブロックおよびこれに隣接するメモリサブアレイ

が同時にアドレス指定されることがなく、正確な、不良救済を行なうことができる。

【0126】

図15は、この発明の実施の形態4における半導体記憶装置における不良ノーマルワード線の置換の態様の一例を概略的に示す図である。図15において、スペアアレイSPX#0は、ノーマルメモリサブアレイMA#0-0~MA#0-Nの不良ノーマルワード線と置換可能なスペアワード線を含む。スペアアレイSPX#1は、ノーマルメモリサブアレイMA#1-0~MA#1-Nに含まれる不良ノーマルワード線と置換可能なスペアワード線を含む。センスアンプ帯を共有するノーマルサブアレイは、そのアドレス信号ビットRAjの値が異なる。これにより、アクセス衝突（ノーマル/スペアワード線の同時選択）による誤動作を防止することができ、正確な不良救済を行なうことができる。

【0127】

【実施の形態5】

図16は、半導体記憶装置に含まれるメモリセルの構成を示す図である。図16においては、ワード線WL aおよびWL bとビット線BLの交差部に対応して配置される2つのメモリセルMC aおよびMC bを代表的に示す。メモリセルMC aおよびMC bの各々は、キャパシタMQと、対応のワード線（WL aまたはWL b）の信号電位に応答してキャパシタMQをビット線BLに接続するnチャネルMOSトランジスタで構成されるアクセストランジスタMTを含む。これらのメモリセルMC aおよびMC bは、ダイナミック型メモリセルであり、ビット線BLおよび/B Lが対をなして配設され、ビット線BLおよび/B Lに生じた電位差が、センスアンプにより差動増幅される。

【0128】

この図16に示す配置において、ワード線WL aが選択状態へ駆動されるとき、ワード線WL aおよびWL bの間の寄生容量による容量結合により、非選択ワード線WL bの電圧レベルが上昇し、メモリセルMC bに含まれるアクセストランジスタMTが弱いオン状態となり、キャパシタMQの蓄積電荷が、ビット線BLに伝達される。また、選択ワード線WL aの非選択移行時、ワード線WL aと

ビット線BLの間の容量結合により、ビット線BLの電圧レベルが低下し（ビット線BLが接地電圧レベルに駆動されているとき）、ビット線BLの電圧レベルが低下し、非選択ワード線WLbに接続されるメモリセルMCbのアクセストランジスタMTが弱いオン状態となり、キャパシタの蓄積電荷がビット線BLに流出する。このような、ワード線を選択するときの、非選択ワード線に接続されるメモリセルに電流リークを生じる現象は、「ディスタブプリフレッシュ」と呼ばれる。メモリセルの電荷保持特性が悪い場合、一定の周期でリフレッシュが行なわれる前に、メモリセルの記憶データが消失し、ソフトエラーが生じる。このような「ディスタブプリフレッシュ」特性をテストするために、ワード線を順次選択状態へ駆動し、メモリセルの電荷保持特性を試験する「ディスタブ・リフレッシュ・テスト」が行なわれる。この「ディスタブ・リフレッシュ・テスト」においては、各メモリセルに所定回数のディスタバンスを与えるために、ワード線は所定回数選択状態へ駆動される。半導体記憶装置の記憶容量が増加すれば、応じてワード線の数も多くなり、この「ディスタブ・リフレッシュ・テスト」に要する時間が大きくなる。このようなディスタブ・リフレッシュ・テストを高速で行なうために、この「ディスタブ・リフレッシュ・テスト」においては、通常動作モード時に同時に選択されるワード線の数よりも、より多くのワード線を同時に選択状態へ駆動することが行なわれる。この場合、ワード線選択状態によっては、フレキシブル・リダンダンシ構成を利用した場合、1つのサブアレイにおいてスペアワード線とノーマルワード線とが同時に選択状態へ駆動され、アクセス競合が生じ、メモリセルの記憶データが破壊され、ディスタブ・リフレッシュ・テストを行なうことができなくなるという問題が生じる。以下に、ディスタブ・リフレッシュ・テストなどの、通常動作モード時よりもより多くのワード線を同時に選択状態へ駆動する場合においても、1つのメモリサブアレイ内においてノーマルワード線とスペアワード線とを同時に選択するのを防止することのできる構成について説明する。

【0129】

図17は、この発明の実施の形態5に従う半導体記憶装置のアレイ部の構成を概略的に示す図である。図17において、メモリアレイは、2つのメモリマツト

B#0およびB#1を含む。メモリマツトB#0は、ノーマルメモリサブアレイMB#00-0~MB#00-Nと、ノーマルメモリサブアレイMB#01-0~MB#01-Nを含む。ノーマルメモリサブアレイMB#00-0~MB#00-Nと、ノーマルメモリサブアレイMB#01-0~MB#01-Nは、交互に配置される。これらのノーマルメモリサブアレイMB#00-0~MB#00-NおよびMB#01-0~MB#01-Nの間に、斜線領域で示すセンスアンプ帯が配置される。ノーマルサブアレイMB#00-0に、スペアワード線を含むスペアアレイSPX#00が配置され、ノーマルメモリサブアレイMB#01-Nに対応して、スペアワード線を含むスペアアレイSPX#01が配置される。ノーマルメモリサブアレイMB#00-0およびスペアアレイSPX#00が、行ブロック(センスアンプブロック)RB#00を構成し、ノーマルメモリサブアレイMB#01-NおよびスペアアレイSPX#01が、行ブロックRB#01を構成する。ノーマルメモリサブアレイMB#00-0~MB#00-Nが、たとえばロウアドレス信号ビットRA_jが1のときに指定されるメモリブロック群B#00を構成し、ノーマルメモリサブアレイMB#01-0~MB#01-Nが、ロウアドレス信号ビットRA_jがたとえば0のときに選択されるメモリブロック群B#01を構成する。

【0130】

メモリマツトB#1は、ノーマルサブアレイMB#10-0~MB#10-Nと、ノーマルメモリサブアレイMB#11-0~MB#11-Nを含む。ノーマルメモリサブアレイMB#10-0~MB#10-NとノーマルメモリサブアレイMB#11-0~MB#11-Nは、列方向に沿って交互に配置される。これらのノーマルメモリサブアレイMB#10-0~MB#10-NとノーマルメモリサブアレイMB#11-0~MB#11-Nの間には、斜線領域で示すセンスアンプ帯が配置される。ノーマルメモリサブアレイMB#10-0に対応してスペアワード線を含むスペアアレイSBX#10が配置され、ノーマルメモリサブアレイMB#11-Nに対してスペアアレイSPX#11が配置される。ノーマルメモリサブアレイMB#10-0およびスペアアレイSPX#10が、行ブロック(センスアンプブロック)RB#10-0を構成し、ノーマルメモリサブアレイ

イMB#11-NおよびスペアアレイSPX#11が、行ブロックRB#11-Nを構成する。ノーマルメモリサブアレイMB#10-0~MB#10-Nが、メモリブロック群B#10に含まれ、ノーマルメモリサブアレイMB#11-0~MB#11-Nが、メモリブロック群B#11に含まれる。

【0131】

この図17に示すアレイ構成において、行ブロックRB#00に設けられたスペアアレイSPX#00は、メモリブロック群B#10に含まれるノーマルメモリサブアレイの不良ノーマルワード線と置換可能なスペアワード線を含む。行ブロックRB#01に含まれるスペアアレイSPX#01は、メモリブロック群B#11に含まれるノーマルメモリサブアレイの不良ノーマルワード線と置換可能なスペアワード線を含む。また、行ブロックRB#10-0に含まれるスペアアレイSPX#10は、メモリブロック群B#00に含まれるノーマルメモリサブアレイの不良ノーマルワード線と置換可能なスペアワード線を含む。行ブロックRB#11-Nに含まれるスペアアレイSPX#11は、メモリブロック群B#01に含まれるノーマルメモリサブアレイの不良ノーマルワード線と置換可能なスペアワード線を含む。次に動作について説明する。

【0132】

今、図18(A)に示すように、1つのノーマルメモリサブアレイが、アドレス信号ビットRA0~RAhにより指定される場合を考える。メモリマットの指定は、ロウアドレス信号ビットRAiで行なわれ、メモリブロック群の指定は、ロウアドレス信号ビットRAjに行なわれる。

【0133】

通常動作モード時においては、これらのアドレス信号ビットRA0~RAjはすべて有効であり、1つのマットが指定され、指定されたマットにおいて1つのメモリブロック群が指定され、かつ指定されたメモリブロック群において1つのノーマルメモリサブアレイが指定される。アドレス指定されたワード線が不良ノーマルワード線の場合、置換すべきスペアワード線は、選択メモリマットと異なるメモリマットに含まれている。したがって、何ら問題なく、不良ノーマルワード線の置換を行なうことができる(センスアンプ帯の共有の問題も生じない)。

【0134】

一方、通常動作モード時と異なるテスト動作モード時において図18(B)に示すように、ロウアドレス信号ビットRA_jを縮退状態とする。これにより、メモリマットB#0およびB#1のうち1つのメモリマットが指定され、指定されたメモリマット内において、2つのメモリブロック群それぞれから、ノーマルメモリサブアレイが指定される。1つのメモリマットにおいて2つのノーマルメモリサブアレイが指定されるため、この選択時、センスアンプ帯を共有しないノーマルサブアレイが指定されるようにアドレス信号ビットの割当てが行なわれる。アドレス指定されたノーマルワード線が、不良ノーマルワード線の場合、対応のスペアワード線は、非選択メモリマット内に準備されている。したがって、1つのメモリマット内において、複数(2本)のノーマルワード線が同時に指定される場合においても、行ブロックRB#00、RB#01、RB#10、およびRB#11において、同時にスペアワード線とノーマルワード線とが選択状態へ駆動されるのが防止される。また、非選択メモリマットにおいては、不良ノーマルワード線置換時において行ブロックのスペアワード線が選択状態へ駆動されるだけであり、センスアンプ帯の共有の問題も生じない。

【0135】

たとえば、テスト動作モード時において、メモリマットB#0が指定され、メモリブロック群B#00およびB#01それぞれからノーマルメモリサブアレイが選択された場合、対応のスペアワード線は、非選択メモリマットB#1の行ブロックRB#10に含まれるスペアアレイSPX#10および/または行ブロックRB#11に含まれるスペアアレイSPX#11に準備されている。したがって、スペアワード線が選択されるメモリマットとノーマルワード線が選択されるメモリマットは互いに異なるため、ノーマルワード線とスペアワード線とが1つのメモリアレイ内において同時に選択されるのが防止される。また、アドレス信号ビットの適当な割当てにより、1つのメモリマットにおいてセンスアンプ帯を共有しない2つのノーマルサブアレイを同時に選択状態へ駆動することができる。なお、このメモリマットの数を増加させれば、同時に選択状態へ駆動されるノーマルワード線の数はさらに増加させることができる。

【0136】

図19は、動作モードに応じて選択サブアレイの数を変更するための部分の構成を示す図である。図19において、アドレス信号ビットRAjとテストモード指示信号TEを受けるゲート回路(OR回路)GTが設けられる。テストモード指示信号TEが活性状態のHレベルとなると、ロウアドレス信号ビットRAjの値にかかわらず、メモリブロック群指定信号φBが活性状態のHレベルとなる。したがって、テスト動作モード時に、ロウアドレス信号ビットRAjを縮退状態として、1つのメモリマットにおいて、2つのメモリブロック群それぞれからノーマルサブアレイを指定することができる。

【0137】

また、センスアンプ帯を共有しないノーマルサブアレイの指定のためには、一方のメモリブロック群のアドレスを割当てと他方のメモリブロック群のアドレス割当てを、逆方向にすればよい(一方のメモリブロック群が列方向に沿って上から下に向かってアドレス0からNを割当てられたとき、他方のメモリ群のノーマルサブアレイは、アドレス0からNへ下から上に向かって順次割当てられる)。

【0138】

また、非選択メモリマットにおけるセンスアンプ帯とスペアアレイとの接続およびセンス動作については、スペアデコーダを常時動作させて比較動作を行なわせ、その結果を図14に示す構成と同様の構成で各行ブロックのスペアアレイへ与えることにより実現される。対応の行ブロックに対応して設けられたセンスアンプ制御回路をこのスペアデコーダの出力信号が活性状態のときに活性状態へ駆動する構成が用いられればよい。これにより、非選択メモリマットにおいてスペアワード線を使用するときに、対応のセンスアンプを活性化することができる。

【0139】

また、データアクセスのためには、図4に示す構成と同様の構成が用いられればよい(ディスタープリフレッシュテスト時、データアクセスは行なわれない)。

【0140】

[変更例]

図20は、この発明の実施の形態5の変更例の構成を概略的に示す図である。図20においても、図17に示す構成と同様、メモリアレイは、2つのメモリマットB#0およびB#1に分割される。メモリマットB#0において、メモリブロック群B#00に属するノーマルメモリサブアレイMB#00-0~MB#00-0-Nとメモリブロック群B#01に含まれるノーマルメモリサブアレイMB#01-0~MB#01-Nが列方向に沿って交互に配置される。ノーマルメモリサブアレイMB#00-0に対応してスペアアレイSPX#00が配置され、ノーマルメモリサブアレイMB#01-Nに対応してスペアアレイSPX#01が配置される。スペアアレイSPX#00は、メモリブロック群B#00に属するノーマルメモリサブアレイの不良ノーマルワード線と置換可能な複数のサブスペアワード線を含み、スペアアレイSPX#01は、メモリブロック群B#01に属するノーマルメモリサブアレイの不良ノーマルワード線と置換可能なスペアワード線を含む。

【0141】

メモリマットB#1においては、メモリブロック群B#10に含まれるノーマルメモリサブアレイMB#10-0~MB#10-Nとメモリブロック群B#11に含まれるノーマルメモリサブアレイMB#11-0~MB#11-Nが、列方向に沿って交互に配置される。ノーマルメモリサブアレイMB#10-0に対応してスペアアレイSPX#10が配置され、ノーマルメモリサブアレイMB#11-Nに対応してスペアアレイSPX#11が配置される。スペアアレイSPX#10は、メモリブロック群B#10に含まれるノーマルメモリサブアレイの不良ノーマルワード線と置換可能な複数のサブワード線を含み、スペアアレイSPX#11は、メモリブロック群B#11に含まれるノーマルサブアレイの不良ノーマルワード線と置換可能な複数のスペアワード線を含む。

【0142】

この図20に示す配置においても、各ノーマルサブアレイ間においては、斜線領域で示すセンスアンプ帯が配置される。

【0143】

この図20に示す構成において、ノーマルモード時には、メモリマット

B#0およびB#1の一方が選択され、かつ選択メモリマツトにおいて1つのノーマルメモリサブアレイが選択される。したがって、選択された1つのメモリマツトにおいて、図11に示す構成と同じノーマルワード線の選択および不良ノーマルワード線の置換および救済が行なわれる。

【0144】

テストモード時においては、たとえばロウアドレス信号ビットRAiが縮退状態とされ、メモリマツトB#0およびB#1がともに指定される。これらのメモリマツトB#0およびB#1それぞれにおいて、1つのノーマルサブアレイが選択される。メモリマツトB#0およびB#1それぞれにおいては、異なるメモリブロック群に含まれるノーマルサブアレイが交互に配置されており、またセンスアンプ帯を共有するノーマルサブアレイは異なるメモリブロック群に含まれている。したがって、テストモード時において、何らセンスアンプを共有するノーマルメモリサブアレイが同時に指定されるというセンスアンプ競合の問題を生じることなく複数(2本)のノーマルワード線またはスペアワード線を選択状態へ駆動して、テスト動作を行なうことができる(行ブロックRB#00~RB#11のいずれかにおいて、同時に、ノーマルワード線とスペアワード線が選択状態へ駆動されることはない)。これにより、ディスタープリフレッシュテストを高速で行なうことができる。

【0145】

なお、この実施の形態5においては、ディスタープリフレッシュテストが述べられている。しかしながら、セルフリフレッシュモード時において、通常動作モード時よりも数多くのワード線が選択状態へ駆動される構成が用いられる場合、このテストモード指示信号に代えてセルフリフレッシュ指示信号が用いられれば、同様の効果が得られる。この変更例の構成においてアドレス信号ビット(メモリマツト特定用のアドレス信号ビット)RAiを縮退する構成としては、図19に示す構成と同じ構成を利用することができる。

【0146】

以上のように、この発明の実施の形態5に従えば、複数のメモリマツトを設け、ディスタープリフレッシュテストなどの特定の動作モード時に、通常動作モー

ド時よりも数多くのノーマルワード線を選択状態へ駆動する場合、1つの行ブロックにおいてノーマルワード線とスペアワード線とが同時に選択状態とならないように構成しているため、フレキシブル・リダンダンシィ構成の特徴、すなわちスペアデコーダおよびスペアワード線の効率的利用という特徴を損なうことなく所望の動作モードを正確に実現することができる。

【0147】

なお、この変更例の構成においてもメモリマットの数を増加させることにより、容易に、より多くのノーマルワード線（4本、8本）を同時に選択状態へ駆動することができる。

【0148】

〔実施の形態6〕

図21(A)は、この発明の実施の形態6に従う半導体記憶装置の要部の構成を概略的に示す図である。図21(A)において、メモリアレイは、複数のメモリアレイブロック2a~2nに分割される。メモリアレイブロック2a~2nは、行列状に配列される複数のメモリセルを含む。ブロック単位で、メモリセル行の選択が行なわれる。メモリアレイブロック2a~2nそれぞれに対応して、メモリアレイブロック2a~2nのメモリセル行を選択状態へ駆動するためのロウ系周辺回路3a~3nが配置される。これらのロウ系周辺回路3a~3nは、その構成は後に詳細に説明するが、アドレス信号をデコードするデコード回路（プリデコーダを含んでもよい）およびそのデコード回路の出力信号に従ってメモリセル行を選択状態へ駆動するためのワード線ドライブ回路を含む。

【0149】

ロウ系周辺回路3a~3nそれぞれと主電源供給線1との間に、選択信号 $\phi B_a \sim \phi B_n$ に応答して選択状態へ駆動される電源スイッチ回路(SW)4a~4nが設けられる。これらの電源スイッチ回路4a~4nの各々は、選択状態へ駆動されたとき、非選択状態のときよりも大きな電流の流れを生じさせる。主電源供給線1には、所定の電圧 V_r が与えられる。この電圧 V_r は、電源電圧 V_{cc} 、接地電圧 V_{ss} および高電圧 V_{pp} のいずれかまたはこれらの組合せであってもよい。ロウ系周辺回路3a~3nの構成に応じて適当な電圧が、この電圧 V_r

として選択される。

【0150】

電源スイッチ回路4a~4nの選択/非選択を決定するために、アドレス信号ADとセルフリフレッシュモード指示信号SRとに従って選択信号 $\phi B a \sim \phi B n$ （これは総称して制御信号と称す）を生成する電源ブロックデコーダ6が設けられる。アドレス信号ADは、また、ロウ系周辺回路3a~3nへ、メモリセル行（ワード線）指定アドレスとして与えられる。

【0151】

電源ブロックデコーダ6は、通常動作モード時（ノーマルモード時）とセルフリフレッシュモード時において、選択状態へ駆動される電源スイッチ回路の数を異ならせる。この電源ブロックデコーダ6は、セルフリフレッシュモード時とノーマルモード時とで、電源スイッチ回路4a~4nの選択シーケンスを異ならせる。これらの特徴により、メモリアレイブロック2a~2nにおいてスペア線が含まれる場合においても、何らアクセス時間を増大させることなく低消費電流で動作する半導体記憶装置を実現することができる。

【0152】

図21(B)は、図21(A)に示すロウ系周辺回路3a~3nの構成の一例を示す図である。図21(B)においては、1つのロウ系周辺回路3の構成を代表的に示す。

【0153】

メモリアレイブロック2(2a~2n)においては、メモリセルMCが行列状に配列され、またメモリセルMCの行それぞれに対応してワード線WL a~WL mが配置される。メモリセルの列それぞれに対応してビット線対BL, /BLが配置されるが、図21においてはビット線BLのみを示す。

【0154】

ロウ系周辺回路3は、これらのワード線WL a~WL mそれぞれに対応して設けられる繰返し回路を含む。ここで、繰返し回路は、同じ回路構成を有しかつ同一機能を実現する。複数の繰返し回路のうち所定数の繰返し回路がアドレス信号により選択される。

【0155】

図21(B)において、繰返し回路は、NAND型デコード回路11(11a~11m)と、NAND型デコード回路の出力信号に従って対応のワード線WL(WLa~WLm)を選択状態へ駆動するワード線ドライブ回路12(12a~12m)を含む。

【0156】

スタンバイサイクル時においては、NAND型デコード回路11a~11mの出力信号はHレベルである。したがって、スタンバイサイクル時においては、これらのNAND型デコード回路11a~11mにおいては、接地ノードへのサブスレッショルドリーク電流が生じる。このため、NAND型デコード回路11a~11mは副接地線15nに各接地ノードが結合される。この副接地線15nは、電源スイッチトランジスタ14nを介して接地ノードへ結合される。この電源スイッチトランジスタ14nは、制御信号 ϕBin に応答してオン状態となる。

【0157】

一方、インバータ型ワード線ドライブ回路12a~12mにおいては、スタンバイサイクル時入力信号がHレベルであり、電源ノードからサブスレッショルドリーク電流が流れ込む。したがって、これらのインバータ型ワード線ドライブ回路12a~12mの電源ノードは副電源線15pに結合される。この副電源線15pは、選択信号 ϕBip に応答して導通する電源スイッチトランジスタ14pを介して電圧源ノード16に結合される。この電圧源ノード16へは、電源電圧Vccまたは高電圧Vppが印加される。この電圧源ノード16へ印加される電圧は、この繰返し回路の構成に応じて適当に定められる。

【0158】

NAND型デコード回路11a~11mは、他方電源ノードが、共通に主電源線に結合され、インバータ型ワード線ドライブ回路12a~12mの接地ノードは、主接地線に結合される。

【0159】

スタンバイサイクル時において、制御信号 ϕBin をLレベル(接地電圧レベル)、制御信号 ϕBip をノード16の電圧レベルのHレベルに設定する。これ

により、電源スイッチトランジスタ14nおよび14pがオフ状態とされる。これらの電源スイッチトランジスタ14nおよび14pは、大きなしきい値電圧を有しており、オフ状態時には、そのサブスレッショルドリーク電流は極めて小さい。一方、NAND型デコード回路11a~11mおよびワード線ドライブ回路12a~12mは、ロウV_{th}のMOSトランジスタを構成要素として含む。したがって、スタンバイサイクル時における、これらの繰返し回路すなわちロウ系周辺回路における消費電流を低減することができる。また、これらの繰返し回路が高速動作するため、アクセス時間を短縮することができる。

【0160】

なお、図21(A)および図21(B)の対応関係において、電源スイッチ回路4a~4nの各々は、電源スイッチトランジスタ14nおよび14pに対応し、副電源電圧供給線5a~5nの各々は、副接地線15nおよび副電圧供給線15pに対応する。接地ノードおよび電圧源ノード16は、主電源供給線1に対応する。次に、具体的な、電源スイッチ回路4a~4nの選択態様について説明する。

【0161】

まず、説明を簡単にするために、スペア線が含まれていない場合の選択動作について説明する。

【0162】

〔階層電源構成1〕

図22は、この発明の実施の形態6に従う半導体記憶装置の要部の構成を概略的に示す図である。この図22においては、メモリアレイが、8個のメモリブロックMAB1~MAB8に分割される。メモリブロックMAB1~MAB8の各々は、図21(A)に示すメモリアレイブロック2(2a~2n)および対応のロウ系周辺回路(3a~3n)を含む。メモリブロックMAB1~MAB4が、1つのグローバルブロックGAB0を構成し、メモリブロックMAB5~MAB8が1つのグローバルブロックGAB1を構成する。

【0163】

メモリブロックMAB1~MAB8それぞれに対応して電源スイッチ回路SW

1～SW8が配置される。これらの電源スイッチ回路SW1～SW8の各々は、それぞれ、メモリブロックMAB1～MAB8それぞれに対応して配置される副電圧供給線と対応のメモリブロックとを結合する。

【0164】

アドレス割当において、ブロック指定のために、3ビットのアドレス信号RA1、RA2およびRA3が用いられる。アドレスビットRA1により、グローバルブロックGAB0およびGAB1の一方が指定される。アドレスビットRA2およびRA3の組合せにより、グローバルブロックGAB0およびGAB1それぞれにおいて1つのメモリブロックが指定される。したがって、これらの3ビットのアドレス信号RA1～RA3により、1つのメモリブロックを選択して、メモリセル行を選択することができる。

【0165】

図23(A)は、ノーマルモード時における選択メモリブロックと選択電源スイッチ回路を示す図である。図23(A)において、ノーマルモード時においては、メモリブロックMAB1～MAB8のうち1つのメモリブロックが選択され、アドレス指定されたワード線が選択状態へ駆動される。図23(A)においては、一例として、メモリブロックMAB2においてワード線WLが選択状態へ駆動される。このメモリブロックMAB2が選択されたときには、このメモリブロックMAB2を含むグローバルブロックGAB0に対して設けられる電源スイッチ回路SW1～SW4をすべて選択状態へ駆動する。

【0166】

図23(B)に示すように、電源スイッチ回路SW1～SW4の組と電源スイッチ回路SW5～SW8の組の選択は、アドレス信号ビットRA1により行なわれる。したがって1ビットのアドレス信号のデコードにより、電源スイッチ回路に対する制御信号 $\phi B1$ ～ $\phi B4$ を選択状態へ駆動することができ、速いタイミングで、アクセスサイクル時、所望の電圧を供給することができる。

【0167】

一方、メモリブロックMAB2を選択するためには、3ビットのアドレス信号RA1～RA3をデコードする必要がある。これらの3ビットのアドレス信号R

A1-R A3のタイミングスキューを考慮して、メモリブロック指定信号 ϕ B2が活性化のための行デコード動作が行なわれる。1ビットのアドレス信号をデコードする場合に比べて、3ビットのアドレス信号をデコードする場合、そのデコード回路出力信号線の負荷が大きくなり、またスキューのため、デコード時間が長くなる。

【0168】

したがって、ノーマルモード時においては、選択メモリブロックMAB2を含むグローバルブロックに対する電源スイッチ回路を選択状態へ駆動することにより、ノーマルモード時においてアクティブサイクル開始後、速いタイミングで選択メモリブロックに対し安定に所望の電圧を供給することができ、アクセス時間が増大するのを防止することができる。

【0169】

図24は、リフレッシュモード時の電源スイッチ回路の選択態様を示す図である。図24において、リフレッシュモード時においても、1つのメモリブロックにおいてワード線WLが選択される。図24においても、メモリブロックMAB2が選択されて、その内部で、リフレッシュすべきワード線WLが選択される状態を示す。このリフレッシュモード時においては、選択されたメモリブロックMAB2に対して設けられた電源スイッチ回路SW2のみを選択状態へ駆動する。残りの電源スイッチ回路SW1、SW3～SW8は、非選択状態に保持する。リフレッシュモード時には、単に記憶データの再書込が行なわれるだけであり、データアクセスは行なわれない。したがって、高速アクセスが要求されないため、この電源スイッチ回路を選択するために、3ビットのリフレッシュアドレス信号QA1～QA3を用いても、特に問題は生じない。1つの電源スイッチ回路を選択状態へ駆動し残りの電源スイッチ回路を非選択状態に保持することにより、電源スイッチ回路を流れる電流が低減され、リフレッシュモード時における消費電流の増加を抑制することができ、低消費電流のリフレッシュモードを実現することができる。

【0170】

図25は、この発明の実施の形態6に従う半導体記憶装置の制御部の構成を概

略的に示す図である。図25において、この半導体記憶装置は、外部から与えられる制御信号CMDを受けて、動作モード指示信号を発生する動作モード検出回路20と、動作モード検出回路20に含まれるリフレッシュモード検出回路22からのセルフリフレッシュモード指示信号SRの活性化にตอบสนองして活性化され、タイマ24を起動して、所定の時間間隔で、リフレッシュサイクル活性化信号QACTを生成するリフレッシュ制御回路23と、リフレッシュ制御回路23からのカウントアップ指示信号φCUPに従ってカウント動作を行なって、リフレッシュ行を指定するリフレッシュアドレスを生成するリフレッシュアドレスカウンタ25と、リフレッシュ制御回路23の制御の下に、リフレッシュアドレスカウンタ25からのリフレッシュアドレスQAと外部から与えられるロウアドレス信号RAの一方を選択するマルチプレクサ26と、リフレッシュ制御回路23からのリフレッシュサイクル活性化信号QACTまたは動作モード検出回路20に含まれるアレイ活性化検出回路からのアレイ活性化信号RACTに従って行選択に必要な制御信号を生成するロウ系制御回路27を含む。

【0171】

この動作モード検出回路20は、外部から与えられる制御信号CMDに従って各指定された動作モードに対応する指示信号を生成する。この外部からの制御信号CMDは、通常の同期型半導体記憶装置におけるようなコマンド（複数の制御信号の状態の組合せ）であってもよく、また標準DRAM（ダイナミック・ランダム・アクセス・メモリ）におけるような、ロウアドレスストロブ信号/RAS、コラムアドレスストロブ信号/CAS、ライトイネーブル信号/WE、チップセレクト信号/CSであってもよい。この動作モード検出回路20へ与えられる外部からの制御信号は、その半導体記憶装置の構成に応じて適当に定められる。

【0172】

リフレッシュ制御回路23は、セルフリフレッシュモード指示信号SRの活性化時、タイマ24のカウントアップ信号に従って所定の時間間隔で、リフレッシュサイクル活性化信号QACTを所定期間Hレベルの活性化状態へ駆動する。ロウ系制御回路27は、活性化信号QACTおよびRACTの一方の活性化時、行選

択に必要な制御信号を生成する。図25においては、このロウ系制御回路27は、ワード線を選択状態へ駆動するタイミングを与えるワード線駆動信号 ϕ WLを生成するように示す。これらの活性化信号QACTおよびRACTの活性化期間の間、アドレス信号により指定されたメモリブロックにおいては、行（ワード線）が選択状態に保持される。これらの活性化信号QACTおよびRACTの活性化期間が、1つのメモリサイクル（選択されたメモリブロックに対する）を規定する。

【0173】

タイマ24は、リフレッシュ制御回路23からのセルフリフレッシュ指示にตอบสนองして所定の時間間隔で、リフレッシュ要求信号を生成してリフレッシュ制御回路23へ与える。リフレッシュアドレスカウンタ25は、このメモリサイクルの完了時に与えられるカウントアップ指示信号 ϕ CUPに従ってそのカウント値を1増分または減分する。マルチプレクサ26は、リフレッシュ制御回路23からの切換制御信号 ϕ MUXに従って、セルフリフレッシュモード時にはリフレッシュアドレスカウンタ25からのリフレッシュアドレスQAを選択し、ノーマルモード時には、外部からのロウアドレス信号RAを選択する。マルチプレクサ26からのアドレス信号ADは、各メモリブロックのロウ系周辺回路へ与えられる。このアドレス信号のうち、アドレス信号ビットQA1-QA3またはRA1が電源ブロックデコーダ6（図21（A）参照）へ与えられる。このマルチプレクサ26からは、アドレス信号ビットが同じバス線を介して伝達されるため、したがって電源ブロックデコーダへは、同じアドレス信号線を介して3ビットのアドレス信号が与えられ、この電源ブロックデコーダ6の内部でのアドレスビットの供給経路が異なる。

【0174】

図26は、図21（A）に示す電源ブロックデコーダ6の構成を示す図である。図26においては、1つの電源ブロック選択信号 ϕ Bi（ $i=1-8$ ）を生成する部分の構成を示す。図26において、電源ブロックデコーダ6は、セルフリフレッシュ指示信号SRを反転するインバータ回路6aと、リフレッシュモード時のアドレス信号ビットQA1-QA3および/QA1-/QA3のうちの所定

の3ビットのアドレス信号を受けるAND回路6bと、インバータ回路6aの出力信号 \overline{SR} とアドレスビットRA1または $\overline{RA1}$ を受けるNAND回路6cと、セルフリフレッシュモード指示信号SRとAND回路6bの出力信号とを受けるNAND回路6dと、NAND回路6cおよび6dの出力信号を受けて電源ブロック選択信号 ϕBi を生成するNAND回路6eを含む。AND回路6bには、この電源ブロック選択信号 ϕBi に対応して設けられるメモリブロックのアドレスに応じたアドレス信号ビットが与えられる。同様、NAND回路6cにおいても、この電源ブロック選択信号 ϕBi に対応するメモリブロックが含まれるグローバルブロックを指定するアドレスビットRA1または $\overline{RA1}$ が与えられる。

【0175】

セルフリフレッシュモード時においては、セルフリフレッシュモード指示信号SRがHレベルであり、インバータ回路6aからの信号 \overline{SR} がLレベルとなり、NAND回路6cは、アドレスビットRA1および $\overline{RA1}$ の状態にかかわらず、Hレベルの信号を出力する。一方、NAND回路6aは、インバータとして動作し、AND回路6bの出力信号を反転する。したがって、セルフリフレッシュモード時においては、アドレスビットQA1-QA3および $\overline{QA1}$ - $\overline{QA3}$ に従って、電源ブロック選択信号 ϕBi が生成される。

【0176】

一方、ノーマルモード時においては、セルフリフレッシュモード指示信号SRがLレベルであり、インバータ回路6aの出力信号 \overline{SR} がHレベルとなる。この状態においては、NAND回路6dの出力信号はHレベルとなり、NAND回路6cが、インバータとして動作し、電源ブロック選択信号 ϕBi が、アドレスビットRA1または $\overline{RA1}$ に従って生成される。これにより、ノーマルモード時には、選択メモリブロック（選択行を含むメモリブロック）を含むグローバルブロックに対する電源ブロック選択信号 ϕBi が活性化される。一方、セルフリフレッシュモード時においては、リフレッシュされるメモリブロックに対して設けられた電源スイッチ回路に対する電源ブロック選択信号 ϕBi が選択状態へ駆動される。

【0177】

図27は、電源スイッチ回路SW2に対する電源ブロック選択信号 $\phi B2$ を発生する部分の構成を示す図である。電源ブロック選択信号 $\phi B2$ については、AND回路6bが、アドレスビット/QA1、/QA2およびQA3を受け、NAND回路6cが、アドレスビット/RA1を受ける。電源スイッチ回路SW2が設けられるメモリブロックのアドレス(QA1, QA2, QA3)は、(0, 0, 1)である。したがって、メモリブロックMAB2が指定されたときには、AND回路6bの出力信号がHレベルとなる。一方、ノーマルモード時においては、アドレスビット/RA1がHレベル("1")となり、メモリブロックMAB2を含むグローバルブロックGB0に対応して設けられる電源スイッチ回路SW1~SW4に対する電源ブロック選択信号 $\phi B1$ ~ $\phi B4$ がHレベルの選択状態へ駆動される。デコードビット数を動作モードに応じて変更することにより、ノーマルモード時およびセルフリフレッシュモード時において、選択状態へ駆動される電源スイッチ回路の数を変更することができる。

【0178】

なお、メモリブロックの数が8個の場合には、2つのグローバルブロックに分割されるため、ノーマルモード時には1ビットのアドレス信号、セルフリフレッシュモードにおいては、3ビットのアドレス信号をデコードする。しかしながら、このメモリブロックおよびグローバルブロックの数に応じて、ノーマルモード時およびセルフリフレッシュモード時に用いられるアドレス信号ビットの数は適当に定められる。ノーマルモード時に有効とされるアドレス信号ビットの数が、セルフリフレッシュモード時にデコードされるアドレス信号ビットの数よりも少なければよい。

【0179】

[変更例]

図28は、この発明の実施の形態6に従う階層電源構成1の変更例の構成を概略的に示す図である。

【0180】

図28に示す構成においては、リフレッシュアドレスカウンタからのリフレッ

シユアドレスQAおよび外部からのロウアドレス信号RAはマルチプレクサ26へ与えられる。ロウ系周辺回路は、このマルチプレクサ26から内部ロウアドレス信号が与えられる。一方、リフレッシュアドレスカウンタ25からのアドレスビットQA1-QA3およびマルチプレクサ26からの内部ロウアドレスビットRA1が電源ブロックデコード回路へ与えられる。この構成においては、したがって、リフレッシュアドレスカウンタ25から直接、電源ブロックデコード回路へアドレスビットQA1-QA3が与えられる。マルチプレクサ26を通過しないため、セルフリフレッシュモード時において、このマルチプレクサ26におけるゲート遅延(信号伝播遅延)の影響を排除し、速いタイミングで、デコード動作を行なうことができる。

【0181】

以上のように、この階層電源構成1に従えば、ノーマルモード時とリフレッシュモード時とで、電源ブロック選択のために用いられるアドレスビットの数を異ならせているため、ノーマルモード時におけるアクセス時間を増大させることができなく、またリフレッシュモード時においては、消費電流を低減することができる。

【0182】

[変更例2]

図29は、階層電源構成1の変更例2の構成を概略的に示す図である。図29においては、図25に示すロウ系制御回路27の部分の構成が示される。図29において、ロウ系制御回路27は、活性化信号QACTおよびRACTを受けるOR回路30と、OR回路30の出力信号の立上がりに対応してワード線活性化信号φRXを活性状態へ駆動するワード線活性化信号発生回路31と、ワード線活性化信号発生回路31からのワード線活性化信号φRXを所定時間遅延する遅延回路32と、セルフリフレッシュモード指示信号SRおよび/SRに従って、遅延回路32の出力信号とワード線活性化信号発生回路31からの信号φRXの一方を選択して、ワード線駆動信号φWLを生成する選択回路33を含む。選択回路33は、セルフリフレッシュモード指示信号SRの活性化時導通し、遅延回路32の出力信号を通過させるCMOSトランスマッションゲート33aと、セ

セルフリフレッシュモード指示信号SRの非活性化時導通し、ワード線活性化信号発生回路31からのワード線活性化信号φRXを通過させるCMOSトランSMissionゲート33bを含む。

【0183】

次に、図29に示すロウ系制御回路27の動作を、図30に示す信号波形図を参照して説明する。

【0184】

ノーマルモード時においては、アレイ活性化信号RACTが、メモリスイクル開始指示信号（またはアクティブコマンド）に従って活性状態へ駆動される。アレイ活性化信号RACTが活性化されると、OR回路30の出力信号が活性化され、ワード線活性化信号発生回路31が、所定のタイミングで、ワード線活性化信号φRXを生成する。ノーマルモード時においては、CMOSトランSMissionゲート33bが導通状態にあり、CMOSトランSMissionゲート33aが非導通状態にある。したがって、ワード線駆動信号φWLが、このワード線活性化信号φRXに従って生成される。1つのアクティブサイクルが完了すると、アレイ活性化信号RACTがLレベルの非選択状態へ立下がり、応じて、ワード線活性化信号φRXも非活性化され、選択ワード線が非選択状態へ駆動される。

【0185】

セルフリフレッシュモード時には、リフレッシュ活性化信号QACTが活性化される。ワード線活性化信号発生回路31は、このリフレッシュ活性化信号QACTの活性化にตอบสนองしてワード線活性化信号φRXを活性状態へ駆動する。セルフリフレッシュモード時においては、CMOSトランSMissionゲート33aが導通状態、CMOSトランSMissionゲート33bが非導通状態にある。したがって、ワード線駆動信号φWLは、遅延回路32からの遅延ワード線活性化信号に従って活性状態へ駆動される。

【0186】

このワード線駆動信号φWLの活性化タイミングをセルフリフレッシュモード時に遅らせることにより、電源スイッチ回路の選択が行なわれ、リフレッシュされるメモリブロックに対する所定の供給電圧が安定化された後に、ワード線の選

択が行なわれるため、正確にデコード動作を行なって、アドレス指定されたワード線（リフレッシュ行）を選択状態へ駆動することができる。

【0187】

なお、図30に示す信号波形図の波線波形に示すように、遅延回路32が立上がり遅延回路であり、ワード線駆動信号 ϕ WLの非活性化が、リフレッシュ活性化信号QACTの非活性化に反応して行なわれてもよい。このリフレッシュ活性化信号QACTより遅れて、ワード線が選択/非選択状態へ駆動されても、センスアンプの活性化および非活性化は、このワード線駆動信号 ϕ WLに従って行なわれるため、特に問題は生じない。いわゆるRASプリチャージ時間の問題は、セルフリフレッシュモード時には特に生じない。セルフリフレッシュモード時において、リフレッシュ間隔は、たとえば $16\mu s$ と十分長い期間であるため、このような遅延回路32を用いても、十分RASプリチャージ期間は確保することができる。

【0188】

図31は、図29に示すワード線駆動信号 ϕ WLに従って動作するロウ系周辺回路の部分の構成を示す図である。図31においては、1つのワード線WLに対する繰返し回路の構成を示す。図31において、繰返し回路は、アドレスビット（プリデコード信号） X_i 、 X_j および X_k を受けるNAND型デコード回路41と、アドレスビット（プリデコード信号） X_l に従ってNAND型デコード回路41の出力信号を選択的にノード41上へ伝達するnチャンネルMOSトランジスタで構成されるデコードトランジスタ42と、リセット信号RSTに反応してノード49を高電圧 V_{pp} レベルにプリチャージするpチャンネルMOSトランジスタ43と、ノード49上の信号がLレベルのとき、ワード線デコード信号発生回路40からの信号SDXをワード線WL上に伝達するpチャンネルMOSトランジスタ44と、ノード49上の信号がHレベルのとき導通しワード線WLを接地電圧レベルに放電するnチャンネルMOSトランジスタ45と、ワード線WLの信号がLレベルのとき導通し、ノード49を高電圧 V_{pp} レベルに保持するpチャンネルMOSトランジスタ46と、ワード線デコード信号発生回路40からの信号/STXがHレベルのとき導通し、ワード線WLを接地電圧レベルに放電するnチ

チャンネルMOSトランジスタ47を含む。

【0189】

ここでデコード回路は、NAND型デコード回路41とデコードトランジスタ42とで構成される。ワード線ドライブ回路は、MOSトランジスタ44~47により構成される。

【0190】

ワード線デコード信号発生回路40は、ワード線駆動信号 ϕ WLの活性化時活性化され、アドレスビット（プリデコード信号） X_m に従って信号SDXおよび $\overline{\text{SDX}}$ を生成する。信号SDXは、高電圧 V_{pp} と接地電圧 V_{ss} の間で変化する。信号 $\overline{\text{SDX}}$ は、電源電圧 V_{cc} と接地電圧の間で変化する。

【0191】

スタンバイ時においては、アドレスビット X_i 、 X_j および X_k は、すべてLレベルである。したがって、NAND型デコード回路41において、接地電位へサブスレッショルドリーク電流が流れるため、このNAND型デコード回路41の接地ノードが、MOSトランジスタ48を介して主接地線に接続される。このMOSトランジスタ48は、そのゲートに、電源ブロック選択信号 ϕB_i を受ける。次に簡単に動作について説明する。

【0192】

スタンバイ状態時においては、アドレスビット X_i 、 X_j および X_k はすべてLレベルであり、NAND型デコード回路41の出力信号は電源電圧 V_{cc} レベルのHレベルである。MOSトランジスタ48は、電源ブロック選択信号 ϕB_i がLレベルであるため、オフ状態にある。ワード線デコード信号発生回路40は、スタンバイ状態時においては、信号SDXを接地電圧レベルのLレベル、信号 $\overline{\text{SDX}}$ を、Hレベルに保持する。ノード49は、リセット信号RSTにより、MOSトランジスタ43を介して高電圧 V_{pp} レベルに保持される。この状態においては、MOSトランジスタ45および47により、ワード線WLは、接地電圧レベルに保持される。

【0193】

アクティブサイクルが始まると、選択時、電源ブロック選択信号 ϕB_i がHレ

ベルとなり、NAND型デコード回路41が、電源電圧 V_{cc} および接地電圧 V_{ss} を両動作電源電圧として受けてデコード動作を行なう。アドレスビット X_i 、 X_j 、 X_k および X_l がすべてHレベルのときには、ノード49が、NAND型デコード回路41により、接地電圧レベルに放電される（リセット用MOSトランジスタ49がオフ状態にある）。MOSトランジスタ46は、その電流駆動力が小さくされているため、ノード49は、NAND型デコード回路41およびデコードトランジスタ42により、接地電圧レベルに確実に放電される。このノード49上の電圧レベルがLレベルとなると、MOSトランジスタ45がオフ状態となる。MOSトランジスタ44は、信号SDXがLレベルであるため、そのゲートおよびソース電位が等しく、オフ状態へ推移する。

【0194】

ワード線デコード信号発生回路40が、ワード線駆動信号 ϕ_{WL} の活性化にตอบสนองして動作し、アドレスビット X_m に従って信号SDXおよび \overline{SDX} をHレベル/Lレベルに駆動する。アドレスビット X_m がHレベルのときには、信号SDXが高電圧 V_{pp} レベルに駆動され、信号 \overline{SDX} が接地電圧レベルに放電される。したがって、このときには、ワード線WLは、MOSトランジスタ44を介して高電圧 V_{pp} レベルに駆動される。一方、アドレスビット X_m がLレベルのときには、信号SDXがLレベル、信号 \overline{SDX} がHレベルとなる。したがって、pチャネルMOSトランジスタ44はオフ状態を維持する。MOSトランジスタ44および45はともにオフ状態となるときには、MOSトランジスタ47が信号 \overline{SDX} によりオン状態となり、ワード線WLが確実に接地電圧レベルに保持される。

【0195】

図31に示す繰返し回路の場合、ロウデコード回路は、2本のワード線WLに対して1つ設けられる。2本のワード線のうち1つのワード線が信号SDXおよび \overline{SDX} により選択される。ワード線デコード信号発生回路40へ与えられるアドレス信号ビット X_m が2ビットの場合には、ロウデコード回路は、4本のワード線に対して1つ設けられる。

【0196】

このように図31に示すような繰返し回路の構成の場合、ノーマルモード時においては、ワード線駆動信号 ϕ WLは、早いタイミングで活性状態へ駆動され、応じてワード線WLは、早いタイミングで活性状態へ駆動される。一方、セルフリフレッシュモード時においては、このワード線駆動信号 ϕ WLの活性化は、電源ブロック選択信号 ϕ Biの活性化に比べて遅い。この電源ブロック選択信号 ϕ Biは、セルフリフレッシュモード時において、比較的遅いタイミング（電源ブロックアドレス信号をフルデコードするため）で活性状態へ駆動される。NAND型デコード回路41の接地ノードの電圧レベルが接地電圧に確実に到達した後に、ワード線デコード信号発生回路40からの信号SDXおよび $\bar{S}DX$ が特定状態へ駆動される。これにより、セルフリフレッシュモード時において、確実にデコード動作を行なって、選択ワード線WL上へ、高電圧 V_{pp} または接地電圧 V_{ss} を伝達することができる。

【0197】

なお図31に示す構成においては、いわゆる階層電源構成として、副接地線がNAND型デコード回路41に接続されている。ワード線デコード信号発生回路40がメモリブロックそれぞれに対応して設けられている場合には、高電圧 V_{pp} を供給する信号線に対して、各メモリブロックごとに電源スイッチ回路が設けられ、高電圧 V_{pp} の供給が、上で説明した態様で行なわれてもよい。ワード線デコード信号発生回路40において、サブスレッシュヨルドリーク電流により高電圧 V_{pp} からのリーク電流が流れ、電流が消費されるのを防止するためである。この構成の場合、MOSトランジスタ43および46の電源ノード（ソース）は、ワード線デコード信号発生回路40と共通の副高電圧供給線に結合されればよい。

【0198】

以上のようにこの変更例2の構成に従えば、上で示した効果に加えて、さらに、動作電圧供給ノードの電圧が安定化した後にワード線を駆動することができ、正確にデコード動作を行なって、アドレス指定されたワード線を選択状態へ駆動することができる。

【0199】

なお、高電圧 V_{DD} を階層電源構成とする場合においても、高電圧 V_{DD} が安定化した後、ワード線を駆動することができる。

【0200】

〔階層電源構成2〕

図32(A)および(B)は、この発明の実施の形態6の階層電源構成2の電源スイッチ回路の選択態様を示す図である。図32(A)に示すように、ノーマルモード時においては、1つのメモリブロックにおいてワード線WLが選択状態へ駆動される。この場合、選択メモリブロックを含むグローバルブロックに対して設けられた電源スイッチ回路が選択状態へ駆動される。図32(A)においては、メモリブロックMAB2においてワード線WLが選択されており、このメモリブロックMAB2を含むグローバルアレイブロックGAB0に対する電源スイッチ回路SW1~SW4が選択状態へ駆動される。これは、先の階層電源構成1のノーマルモード時の動作と同じである。

【0201】

次に、図32(B)に示すように、リフレッシュモード時においては、グローバルアレイブロックGAB0およびGAB1それぞれにおいて1つのメモリブロックが選択されてリフレッシュが行なわれる。図32(B)においては、メモリブロックMABおよびMAB6においてリフレッシュが行なわれる。この場合、メモリブロックMAB2およびMAB6に対して設けられた電源スイッチ回路SW2およびSW6を選択状態へ駆動する。アドレスビットの割当は、先の図22に示すアドレスビット割当と同じであるとする。この場合、セルフリフレッシュモード時において、グローバルブロックを指定するアドレスビットQA1を縮退状態とする(無視する)。したがって、アドレスビットQA2およびQA3に従って、電源ブロック選択信号が生成される。

【0202】

図33は、電源ブロックデコード回路の構成を概略的に示す図である。この図33に示す電源ブロックデコード回路は、リフレッシュアドレスビットをデコードするAND回路6fが、リフレッシュアドレスビットQA2、QA3、 \neg QA2および \neg QA3の所定の組を受けることを除いて、図26に示す構成と同じで

あり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0203】

この図33に示す電源ブロックデコード回路6においては、リフレッシュアドレスビットQA1および/QA1は用いられていない。したがって、リフレッシュモード時には、グローバルブロックGAB0およびGAB1それぞれにおいて1つのメモリブロックが選択される。

【0204】

図34は、メモリブロックMAB2に対して設けられる電源スイッチ回路SW2に対する制御信号（電源ブロック選択信号） $\phi B2$ を発生する部分の構成を示す図である。図34において、この電源ブロックデコード回路においては、リフレッシュアドレスビット/QA2およびQ3が、AND回路6fへ与えられる。メモリブロックMAB2は、リフレッシュアドレスビット（QA2, QA3）が（0, 1）のときに選択される。したがってメモリブロックMAB2が指定されたときには、AND回路6fの出力信号がHレベルとなり、電源ブロック選択信号 $\phi B2$ はHレベルの活性状態へ駆動される。この電源ブロックデコード回路においては、アドレスビットQA1は用いられていないため、グローバルブロックGAB1においても、メモリブロックMAB6が選択され、対応の電源スイッチ回路SW6が選択状態へ駆動される。

【0205】

なお、この階層電源構成2においても、図35に示すように、ロウ系周辺回路3に含まれるロウ系選択回路50に対し、ワード線駆動信号 ϕWL が与えられる。このロウ系選択回路50へは、電源スイッチ回路SWを介して所定の電圧Vrが与えられる。ロウ系選択回路50は、選択時、アドレス信号Adに従って、ワード線WL0~WLmのいずれかを選択状態へ駆動する。電源スイッチ回路SWは、電源ブロック選択信号 ϕBi に応答して選択状態へ駆動される。このロウ系選択回路50は、図31に示すワード線デコード信号発生回路40を含む。このワード線駆動信号 ϕWL は、図29に示す制御回路から生成される。したがって、このロウ系選択回路50へ与えられるワード線駆動信号 ϕWL は、また、セルフリフレッシュモード時には、その活性化タイミングはノーマルメモリ時

の活性化タイミングよりも遅くされる。これにより、電源スイッチ回路SWが選択状態へ駆動され、ロウ系選択回路50へ安定な電圧 V_r が供給された後に、ロウ系選択回路50がワード線選択動作を実行する。これにより、安定に選択ワード線を選択状態へ駆動することができる。

【0206】

階層電源構成2に従えば、リフレッシュモード時においてはノーマルモード時よりも多くのワード線が選択状態へ駆動される場合においても、ノーマルモード時には、グローバルブロックの電源スイッチ回路を選択状態へ駆動し、一方セルフリフレッシュモード時には、選択メモリブロックに対する電源スイッチ回路のみを選択状態へ駆動することにより、アクセス時間を増加させることなくリフレッシュモード時の消費電力を低減することができる。また、ワード線駆動タイミングは、セルフリフレッシュモード時に遅延させることにより、正確にワード線選択動作を行なうことができる。

【0207】

なお、この階層電源構成2においても、メモリブロックの数は8個であるが、このメモリブロックの数は、任意であり、またグローバルブロックの数も任意である。また、セルフリフレッシュモード時において、2本のワード線が選択されているが、この同時にリフレッシュされる行の数も任意であり、同時にリフレッシュされる行の数に応じて、用いられるリフレッシュアドレスビットの数が適当に調整されればよい。

【0208】

[階層電源構成3]

図36は、この発明の実施の形態6に従う階層電源構成3の構成を概略的に示す図である。図36においては、この階層電源回路を制御する部分の構成を示す。

【0209】

図36において、電源ブロック選択信号発生部は、リフレッシュアドレスカウンタ25の出力するリフレッシュアドレスを、1サイクル先行してデコードし、該デコード結果をラッチし、ラッチした結果を現リフレッシュサイクルで出力す

る電源ブロックデコーダ6を含む。リフレッシュアドレスカウンタ25は、リフレッシュサイクル中に活性化されるカウントアップ指示信号CUPに従ってカウント動作を行ない、そのカウント値を保持する。このリフレッシュアドレスカウンタ25の出力カウント値は、また、レジスタ65へ与えられる。このレジスタ65は、リフレッシュサイクル完了時に活性化される指示信号 ϕ CUPにตอบสนองして、リフレッシュアドレスカウンタ25の出力カウント値を取込み、出力する。レジスタ65の出力するアドレス信号が、リフレッシュアドレス信号QAとしてマルチプレクサ(MUX)26へ与えられる。

【0210】

電源ブロックデコーダ6は、リフレッシュアドレスカウンタ25の出力カウントをデコードする電源ブロックデコード回路60と、カウントアップ指示信号CUPの活性化にตอบสนองして電源ブロックデコード回路60の出力信号をラッチするラッチ61と、リフレッシュサイクル活性化信号QACTにตอบสนองして、このラッチ61のラッチデータを取込みかつ出力するラッチ62と、セルフリフレッシュモード指示信号SRに従ってラッチ62の出力信号およびマルチプレクサ26からのアドレスビットRA1の一方を選択して、電源ブロック選択信号 ϕ B1- ϕ B8を出力するセクタ63を含む。ここで、メモリアレイは、8個のメモリブロックMAB1~MAB8に分割されており、このロウアドレスビットRA1に従って、グローバルブロック、すなわち4つのメモリアレイブロックが選択される構成を示す。次に、この図36に示す制御信号発生部の動作を、図37に示す信号波形図を参照して説明する。

【0211】

セルフリフレッシュモードにおいて、リフレッシュサイクル活性化信号QACTの非活性化時、ラッチ61には、前のサイクル(N-1)において電源ブロックデコード回路60により生成された電源ブロック選択信号 ϕ Bi(N-1)がラッチされている。また、ラッチ62も、電源ブロック信号 ϕ Bi(N-1)をラッチしている。セクタ63は、セルフリフレッシュモード指示信号SRに従って、ラッチ62の出力信号を選択する。

【0212】

リフレッシュサイクル活性化信号QACTが活性化されると、ラッチ62がそのラッチデータを出力し、セクタ63を介して、電源ブロックセクタ信号 ϕB_i がそれぞれ、先のメモリサイクル(N-1)のデコード結果に従って選択/非選択状態へ駆動される。このサイクル(N)において、レジスタ65は、前のサイクルにおいて取込んだリフレッシュアドレスを生成する。したがって、このサイクル(N)においては、前のサイクルにおいてデコードされた電源ブロック選択信号 ϕB_i (N-1)およびリフレッシュアドレスQA(N-1)に従って、電源スイッチ回路の選択制御およびリフレッシュ動作が行なわれる。前のサイクルにおいて、この電源ブロック選択信号を生成するためのデコード動作は完了しており、リフレッシュサイクル活性化信号QACTが活性化されると、即座に、電源ブロック選択信号 ϕB_i (N-1)が確定状態となる。したがって、リフレッシュサイクルにおいて、ワード線選択タイミングを遅らせる必要はなく、早いタイミングでリフレッシュを実行することができる。ノーマルモード時とリフレッシュモード時において、ワード線選択タイミングを異ならせる必要がなく、ワード線選択の制御が容易となる。

【0213】

このリフレッシュサイクル活性化信号QACTの活性化にตอบสนองして、所定のタイミングでカウントアップ指示信号CUPが活性化される。このカウントアップ指示信号CUPの活性化にตอบสนองしてリフレッシュアドレスカウンタ25がカウント動作を行ない、このカウント値を1増分または減分する。電源ブロックデコード回路60が、このリフレッシュアドレスカウンタ25からのリフレッシュアドレスをデコードし、そのデコード結果に従って、電源ブロック選択信号を生成する。ラッチ61が、またこのカウントアップ指示信号CUPに従って電源ブロックデコード回路60の出力信号を取込み、カウントアップ指示信号CUPの非活性化に従ってラッチ状態となる。この間、前のサイクルのリフレッシュアドレスQA(N-1)に従ってリフレッシュ動作が行なわれている。

【0214】

リフレッシュサイクル活性化信号QACTが非活性化されると、ラッチ62が、ラッチ61のラッチ信号を取込み、またその出力信号を非活性化状態へ駆動する。

。これにより、電源ブロック選択信号 $\phi B1 - \phi B8$ がすべて非選択状態へ駆動される。また、このリフレッシュサイクル活性化信号QACTの活性化にตอบสนองしてカウントアップ指示信号 ϕCUP が活性化され、レジスタ65が、リフレッシュアドレスカウンタ25の出力カウント値を取込み出力する。これにより、リフレッシュアドレスQAが、1つ変化する。

【0215】

リフレッシュサイクル活性化信号QACTが次いで再び活性化されると、ラッチ62が、そのラッチした電源ブロック選択信号を出力し、前のサイクル(N)で得られた電源ブロック選択信号 $\phi Bi(N)$ に従って電源ブロック選択信号 $\phi B1 - \phi B8$ が選択/非選択状態へ駆動される。このサイクル(N+1)においては、また、レジスタ65は、前のサイクル完了時に取込んだリフレッシュアドレスを出力し、ロウ系周辺回路へ与える。前のサイクル(N)において生成されたリフレッシュアドレスQA(N)および電源ブロック選択信号 $\phi Bi(N)$ に従って、リフレッシュ動作が実行される。

【0216】

このリフレッシュサイクル活性化信号QACTの活性期間中に、再びカウントアップ指示信号CUPが活性化され、リフレッシュアドレスカウンタ25がカウント動作を行ない、そのカウント値を更新する。電源ブロックデコード回路60が、再び、デコード動作を行ない、電源ブロック選択信号 $\phi Bi(N+1)$ を生成し、ラッチ61が、この電源ブロックデコード回路60からの電源ブロック選択信号 $\phi Bi(N+1)$ をラッチする。

【0217】

リフレッシュサイクル活性化信号QACTが非活性化されると、再びラッチ62がラッチ61の出力信号を取込み、その内容が、電源ブロック選択信号 $\phi Bi(N+1)$ に更新される。このリフレッシュサイクル活性化信号QACTの非活性化に従って、またラッチ62は、その出力信号 $\phi Bi(N)$ を非選択状態へ駆動する。また、リフレッシュサイクル活性化信号QACTの非活性化にตอบสนองしてカウントアップ指示信号 ϕCUP が活性化され、レジスタ65が、リフレッシュアドレスカウンタ25の出力カウント値を取込み、リフレッシュアドレスを更新

する。以降、リフレッシュサイクル活性化信号QACTが所定時間間隔で活性化されるごとに、上述の動作が繰返される。

【0218】

リフレッシュ動作時においては、リフレッシュアドレスカウンタ25のカウンタ動作に従ってリフレッシュアドレスが生成される。したがって、各リフレッシュサイクルにおいて、次のリフレッシュアドレスを知ることができ、前のサイクルにおいて、予め電源ブロック選択信号をリフレッシュアドレスをデコードして生成することができる。これにより、リフレッシュサイクル開始時において、電源ブロック選択のためのデコード動作を行なう必要がなく、早いタイミングでリフレッシュ行に対するワード線を選択状態へ駆動することができる。

【0219】

図38は、図36に示す電源ブロックデコーダ6の構成の一例を示す図である。図38において、電源ブロックデコード回路60は、所定のリフレッシュアドレスビットQA_i、 \neg QA_iを受けるNAND型デコード回路60aを含む。このNAND型デコード回路60aに与えられるリフレッシュアドレスビットQA_iおよび \neg QA_iの組合せは、電源ブロック選択信号 ϕ B_iが制御する電源スイッチ回路に対応するメモリブロックのアドレスにより決定される。

【0220】

ラッチ61は、カウントアップ指示信号CUPの活性化時（Hレベルのとき）導通し、NAND型デコード回路60aの出力信号を通過させるトランスファゲート61aと、トランスファゲート61aを介して与えられた信号をラッチするためのラッチ回路を構成するインバータ61bおよび61cを含む。インバータ61bおよび61cは、反並列配置または入力と出力が交差結合され、いわゆるインバータラッチを構成する。

【0221】

ラッチ62は、補のリフレッシュサイクル活性化信号 \neg QACTの活性化時導通し、ラッチ61の出力信号を通過させるトランスファゲート62aと、トランスファゲート62aを介して与えられる信号をラッチするためのラッチ回路を構成するインバータ62bおよび62cと、リフレッシュサイクル活性化信号QA

CTの活性化時能動化され、インバータ62 aの出力信号に従って電源ブロック選択信号 ϕB_i を生成するAND回路62 dを含む。インバータ62 bおよび62 cは、いわゆるインバータラッチを構成する。

【0222】

この図38に示す構成において、電源ブロックデコード回路60は、リフレッシュアドレスカウンタからのリフレッシュアドレスビット QA_i および $\overline{QA_i}$ をデコードし、そのデコード結果を示す信号を出力する。ラッチ61においては、カウントアップ指示信号CUPの活性化時トランスファゲート61 aが導通し、カウントアップ指示信号CUPの活性化により新たに生成された電源ブロック選択信号を通過させ、インバータ61 bおよび61 cが、この新たに生成された電源ブロック選択信号をラッチする。リフレッシュサイクル期間中、補のリフレッシュサイクル活性化信号 \overline{QACT} が非活性状態にあり、このラッチ61の出力信号の変化にかかわらず、ラッチ62のラッチ内容は変化しない。

【0223】

リフレッシュサイクル期間中は、AND回路62 dが、バッファとして動作し、インバータ62 bおよび62 cによりラッチされた電源ブロック選択信号を出力する。リフレッシュサイクルが完了し、リフレッシュサイクル活性化信号 $QACT$ がLレベルの非活性状態となると、AND回路62 dが不能動化され、電源ブロック選択信号 ϕB_i がLレベルの非活性状態となる。これにより、電源スイッチ回路がすべて、非選択状態となり、消費電流が低減される。一方、補のリフレッシュサイクル活性化信号 \overline{QACT} がHレベルの活性状態となり、トランスファゲート62 aが導通し、ラッチ61によりラッチされていた信号を取込みラッチし、新たな電源ブロック選択信号をラッチする。

【0224】

現サイクルにおけるリフレッシュ動作に何ら悪影響を及ぼすことなく、次のサイクルにおけるリフレッシュアドレスのデコードにより電源ブロック選択信号を生成してラッチすることができる。

【0225】

図39は、図36に示すレジスタ65の1ビットのレジスタ回路の構成の一例

を示す図である。図39において、レジスタ60は、カウントアップ指示信号 ϕ CUPの活性化時導通し、リフレッシュアドレスカウンタからのカウントビットを通過させるトランスファゲート65aと、トランスファゲート65aを介して与えられた信号をラッチするラッチ回路を構成するインバータ65bおよび65cと、インバータ65bの出力信号を反転するインバータ65dと、リフレッシュサイクル活性化信号QACTの活性化時能動化され、インバータ65dの出力信号に従ってリフレッシュアドレスビットQAiを生成するAND回路65eを含む。

【0226】

この図39に示すレジスタ65の構成において、カウントアップ指示信号 ϕ CUPの活性化時インバータ65bおよび65cによりラッチされるリフレッシュアドレスビットが更新される。リフレッシュサイクル活性化信号QACTが活性化されると、このラッチしたリフレッシュアドレスビットに従って、現サイクルで利用されるリフレッシュアドレスビットQAiが生成される。

【0227】

マルチプレクサ26が、ロウアドレスバッファ/ラッチの前段に設けられる場合、このAND回路65eを設ける必要はない。ロウアドレスバッファ/ラッチが、内部ロウアドレス信号ビットのスタンバイサイクル時非活性状態に保持する機能を備えているためである。

【0228】

図40は、カウントアップ指示信号CUPおよび ϕ CUPを発生する構成を概略的に示す図である。図40において、カウントアップ指示信号発生部は、リフレッシュサイクル活性化信号QACTを所定期間遅延する遅延回路67と、遅延回路67の出力信号の立上がりに対応してワンショットのパルス信号を生成するワンショットパルス発生回路68と、リフレッシュサイクル活性化信号QACTを反転するインバータ回路69と、インバータ回路69の出力信号の立上がりに対応してワンショットのパルス信号を生成するワンショットパルス発生回路70を含む。ワンショットパルス発生回路68から、カウントアップ指示信号CUPが出力され、ワンショットパルス発生回路70からカウントアップ指示信号 ϕ C

UPが生成される。遅延回路67の遅延時間を適当な値に設定することにより、適当なタイミングで、リフレッシュサイクル期間内において、カウントアップ動作をリフレッシュアドレスカウンタに行なわせることができる。カウントアップ指示信号CUPおよびφCUPの活性化期間は、各回路のラッチ能力に応じて、適当な期間に定められればよい。

【0229】

なお、このカウントアップ指示信号発生部は、図25に示すリフレッシュ指示制御回路23に含まれていればよい。

【0230】

なお、階層電源構成3において、電源ブロック選択信号φBiは、選択状態のときHレベルに設定されている。しかしながら、適用される電圧供給線の電圧レベルに応じて、これらの電源ブロック選択信号φBiの選択状態時における論理レベルは適当に定められる。たとえば、電源スイッチ回路が、主接地線と副接地線との間に設けられている場合、この電源ブロック選択信号φBiは、選択状態のときにHレベルになるが、電源スイッチ回路が主電源線と副電源線との間に設けられている場合には、この電源ブロック選択信号φBiは、選択状態時、Lレベルとなる。

【0231】

なお、図36に示す構成において、ノーマルモード時においては、セルフリフレッシュモード指示信号SRに従って、セクタ63が、マルチプレクサ26からのロウアドレス信号ビットRA1を選択する。したがってこのロウアドレス信号ビットRA1に従ってグローバルブロックの選択が行なわれる。

【0232】

以上のように、この発明の実施の形態6における階層電源構成3に従えば、セルフリフレッシュモード時、次サイクルにおいて用いられある源ブロック選択信号を、現サイクルにおいてリフレッシュアドレスカウンタのカウント値を増分して生成してデコードしてデコード結果をラッチすることにより生成している。したがって、次サイクル開始時、電源ブロック選択信号のデコード動作が完了しており、次サイクル時において、高速で、電源ブロック選択信号φBiの状態を設

定することができ、リフレッシュサイクル時ワード線を早いタイミングで選択状態へ駆動することができる。したがって、リフレッシュモード時およびノーマルモード時においてワード線の活性化タイミングを異ならせる必要がなく、ワード線駆動部の構成が簡略化される。

【0233】

〔実施の形態7〕

〔階層電源構成1〕

図41は、この発明の実施の形態7に従う半導体記憶装置のアレイ部の構成を概略的に示す図である。図41において、メモリマットは、8個のメモリブロックMAB1～MAB8に分割される。メモリブロックMAB2～MAB8は、ノーマルメモリセルを含むノーマルメモリブロックNMAB2～NMAB8をそれぞれ含む。メモリブロックMAB1は、ノーマルメモリブロックNMAB1と、不良メモリセルを救済するためのスペアエレメントを含むスペアブロックSPBを含む。このメモリブロックMAB1は、先の図11に示すノーマルメモリサブアレイおよびスペアアレイで構成されるブロックRBX#に対応する。

【0234】

メモリブロックMAB1～MAB8それぞれに対応して電源スイッチ回路SW1～SW8が設けられる。これらの電源スイッチ回路SW1～SW8は、先の実施の形態6と同様、電源ブロック選択信号 $\phi B1 \sim \phi B8$ に従って選択状態へ駆動される。メモリブロックMAB1のスペアブロックSPBは、ノーマルメモリブロックNMAB1～NMAB8に共有され、いずれのノーマルメモリブロックにおける不良セル（不良行）をも置換により救済することができる。また、各メモリブロックMAB1～MAB8のブロックアドレスビットRA1～RA3およびQA1～QA3の割当ては、先の実施の形態6と同様であるとする。

【0235】

まず、図42を参照して、ノーマルモード時の動作について説明する。このノーマルモードにおいては、与えられたアドレス信号（ロウアドレス信号）にかかわらず、スペアブロックSPBを含むメモリブロックMAB1に対して設けられる電源スイッチ回路SW1は選択状態へ駆動される。また、スペア判定前に、ア

ドレス指定されたワード線WLを含むメモリブロックに対する電源スイッチ回路も選択状態へ駆動する。図42においては、メモリブロックMAB2がアドレス指定されたワード線WLを含む状態を示す。他のメモリブロックにおいては、電源スイッチ回路は非選択状態に保持される。不良メモリセルがアドレス指定されたか否かのスペア判定がアドレス比較に基づいて次いで行なわれ、この判定結果に従って、アドレス指定されたワード線またはスペアワード線が選択状態へ駆動される。

【0236】

このスペア判定時前に、選択すべきメモリセルを含むメモリブロック（アドレスしていされたワード線またはスペアワード線を含むメモリブロック）に対する電源スイッチ回路は選択状態に駆動されている。したがって、実際に、選択すべきメモリセルを含むメモリブロックにおいてワード線が選択状態へ駆動されるときには、安定に所定の電圧が供給されており、正確に、選択すべきメモリセルを選択状態へ駆動することができる。この動作を、図43に示す信号波形図を参照してより詳細に説明する。

【0237】

まず、アクティブサイクルが始まると、アレイ活性化信号RACTがHレベルの活性状態へ駆動される。このアレイ活性化信号RACTの活性化に従って、ロウアドレス信号RAが確定し、アドレス指定されたメモリブロックが指定される。このアレイ活性化信号RACTの活性化に従って、与えられたロウアドレス信号RAにかかわらず、スペアブロックを含むメモリブロックMAB1に対する電源ブロック選択信号 $\phi B1$ が活性状態へ駆動される。また、このアドレス信号RAに従って、メモリブロックMAB2-MAB8のいずれかが選択され、対応の電源ブロック選択信号 $\phi B2-\phi B8$ のいずれかが選択状態へ駆動される。このロウアドレス信号RAに従って、不良行が指定されたか否かのスペア判定が行なわれる。スペア判定結果が、不良行がアドレス指定されたことを示している場合（スペアヒット）、スペアブロックSPBに含まれるスペアワード線SWLが選択状態へ駆動される。一方、正常なノーマルメモリセルがアドレス指定されたと判定された場合（スペアミスするとき）には、ノーマルワード線NWLが選択状態

へ駆動される。

【0238】

ワード線NWLまたはSWLが選択状態へ駆動されるとき、既に、対応のメモリブロックに対しては、対応の電源スイッチ回路が選択状態とされて所定の電圧を供給している。したがって、これらのワード線NWLまたはSWLを正確に選択状態へ駆動することができる。

【0239】

このスペア判定に従ってメモリブロックの選択を行なう場合、スペアヒット/ミスの判定が行なわれた後、対応のメモリブロックに対する電源スイッチ回路が選択状態へ駆動される（図43において破線波形で示す）。この後、ワード線WLまたはSWLを選択状態へ駆動する必要があり、したがって、ワード線活性化タイミングを遅らせる必要があり、アクセス時間が長くなる。しかしながら、この不良ノーマルワード線がアドレス指定されたか否かの判定前に、スペアブロックを含むメモリブロックMAB1およびアドレス指定されたノーマルワード線を含むメモリブロックに対する電源スイッチ回路を選択状態へ駆動することにより、このスペア判定時間内において、対応の電源スイッチ回路から所定の電圧を供給することができ、高速動作が実現される（ワード線選択タイミングを遅らせる必要がない）。

【0240】

次に、図44および図45を参照して、セルフリフレッシュモード時の動作について説明する。セルフリフレッシュモード時においては、図44に示すように、スペア判定結果に従って、電源スイッチ回路の選択が行なわれる。今、図44に示すように、メモリブロックMAB2のノーマルワード線NWLがリフレッシュアドレス信号QAにより指定された場合を考える。このノーマルワード線NWLが正常であるか不良であるかのスペア判定がアドレス比較により行なわれる。このとき、電源スイッチ回路選択のためのデコード動作も並行して実行されるが、電源ブロック選択信号は、すべて非選択状態に保持される。スペアヒットと判定された場合には、ノーマルワード線NWLに代えて、スペアワード線SWLを選択状態へ駆動する必要がある。この場合には、このスペアヒット判定結果に従

って、電源スイッチ回路SW1を選択状態へ駆動する。残りの電源スイッチ回路SW2-SW8は非選択状態に保持される。このスペアヒット判定結果に従って、スペアワード線SWLが選択状態へ駆動され、ノーマルワード線NWLは非選択状態に保持される。

【0241】

一方、スペア判定結果がスペアミスを示している場合には、電源スイッチ回路SW2が選択状態へ駆動され、ノーマルワード線NWLが選択状態へ駆動される。

【0242】

リフレッシュモード時においては、データアクセスを要求されないため、スペア判定後、電源スイッチ回路を選択状態へ駆動しても、特に問題は生じない。選択すべきメモリセルが属するメモリブロックに対する電源スイッチ回路のみを選択状態へ駆動することにより、リフレッシュモード時における消費電流を低減することができる。

【0243】

図46(A)は、電源ブロック選択信号 $\phi B1$ を発生する電源ブロックデコード回路の構成の一例を示す図である。図46(A)において、電源ブロックデコード回路は、リフレッシュアドレスビット/QA1、QA2およびQA3を受け取るNAND回路71と、補のアレイ活性化信号/R_{ACT}と補のスペアヒット信号/SHITとNAND回路71の出力信号とを受けて電源ブロック選択信号 $\phi B1$ を出力するNAND回路72を含む。アレイ活性化信号/R_{ACT}は、ノーマルモード時において、アクティブサイクルが始まるとLレベルに設定される。スペアヒット信号/SHITは、不良セルがアドレス指定されたときに、Lレベルに設定される。NAND回路71は、メモリブロックMAB1が指定されたとき、Lレベルの信号を出力する。次に、この図46(A)に示す電源ブロックデコード回路の動作を、図46(B)に示す信号波形図を参照して説明する。

【0244】

ノーマルモード時においては、アクティブサイクルが始まると、補のアレイ活性化信号/R_{ACT}はLレベルに駆動される。したがって、スペアヒット信号/

SHITおよびNAND回路71の出力信号の状態にかかわらず、電源ブロック選択信号φB1が活性状態へ駆動される。すなわち、ノーマルモード時には、アクティブサイクルが始まると、電源ブロック選択信号φB1が選択状態へ駆動される。

【0245】

リフレッシュモード時にはおいては、アレイ活性化信号/RACTはHレベルに固定される。リフレッシュサイクル時に、リフレッシュサイクル活性化信号QACTがHレベルの活性状態へ駆動され、応じて、リフレッシュアドレス信号QAが確定状態となる。スペア判定が行なわれ、スペアヒットの場合、スペアヒット信号/SHITがLレベルとなり、電源ブロック選択信号φB1がHレベルの選択状態へ駆動される。次いで、スペアブロックのスペアワード線が選択状態へ駆動される。

【0246】

一方、スペアヒット信号/SHITがHレベルであり、スペア置換を行なう必要がない場合には、電源ブロック選択信号φB1は、NAND回路71の出力信号に従って選択/非選択状態へ駆動される。メモリブロックMAB1がアドレス指定されたときには、NAND回路71の出力信号がLレベルとなり、応じて、電源ブロック選択信号φB1が選択状態（Hレベル）へ駆動される。一方、他のメモリブロックMAB2-MAB8のいずれかがアドレス指定された場合には、NAND回路71の出力信号はHレベルであり、電源ブロック選択信号φB1はLレベルを維持する。

【0247】

なお、この図46(A)に示す電源ブロックデコード回路の構成において、スペアヒット信号/SHITがLレベルのときに、NAND回路71の出力信号がLレベルとされ、対応のメモリブロックMAB1がアドレス指定されても特に問題はない。この場合、スペアヒットであり、メモリブロックMAB1が選択されるためである。このスペアヒット信号/SHITの状態確定後に、電源ブロック選択信号φB1を選択/非選択状態に駆動するためには、NAND回路71に、さらに、スペアヒット信号SHITを与えればよい。スペアヒット/ミス判定結

果確定後、NAND回路71の出力信号が確定し、応じて、電源ブロック選択信号 $\phi B1$ が選択状態へ駆動される。

【0248】

図47(A)は、電源ブロック選択信号 ϕB_j ($j=2-8$)に対する電源ブロックデコード回路の構成を示す図である。図47(A)において、電源ブロックデコード回路は、セルフリフレッシュモード指示信号/SRを反転するインバータ回路73と、リフレッシュアドレスビットQA1-QA3および/QA1-/QA3の所定の組合せを受けるNAND回路74と、セルフリフレッシュモード指示信号/SRとロウアドレスビットRA1-RA3および/RA1-/RA3の所定の組合せを受けるNAND回路75と、インバータ回路73の出力信号SRとNAND回路74の出力信号とスペアヒット信号/SHITとを受けるNAND回路76と、NAND回路75および76の出力信号を受けて電源ブロック選択信号 ϕB_j ($j=2-8$)を生成するNAND回路77を含む。セルフリフレッシュモード指示信号/SRに代えてリフレッシュサイクル活性化信号/QACTが用いられてもよい。次に、この図47(A)に示す電源ブロックデコード回路の動作を、図47(B)に示す信号波形図を参照して説明する。

【0249】

ノーマルモード時においては、アレイ活性化信号RACTが活性化されると、ロウアドレス信号RAが確定する。このロウアドレス信号RAが確定すると、ノーマルモード時においては、セルフリフレッシュモード指示信号/SRがHレベルであるため、NAND回路75の出力信号がロウアドレスビットRA1-RA3および/RA1-/RA3に従ってHレベルまたはLレベルとなる。NAND回路76の出力信号は、ノーマルモード時においては、Hレベルであり、したがってNAND回路75の出力信号に従って電源ブロック選択信号 ϕB_j が選択/非選択状態に駆動される。

【0250】

一方、セルフリフレッシュモードにおいては、セルフリフレッシュモード指示信号/SRがLレベルとなり、NAND回路75の出力信号はHレベルに設定される。セルフリフレッシュモード指示信号SRはHレベルである。セルフリフレ

ッシュモード時において、リフレッシュサイクル活性化信号QACTがHレベルの活性状態へ駆動されると、リフレッシュアドレス信号QAが確定状態となる。このリフレッシュアドレス信号QAに従ってスペア判定が行なわれ、スペアヒット信号/SHITがHレベルまたはLレベルに駆動される。スペアヒット時においては、スペアヒット信号/SHITがLレベルとなり、NAND回路76の出力信号はHレベルとなり、電源ブロック選択信号 ϕB_j はLレベルを維持する。一方、スペア判定の結果、スペアミスの場合には、スペアヒット信号/SHITはHレベルを保持する。したがって、NAND回路74の出力信号に従って、電源ブロック選択信号 ϕB_j が選択/非選択状態へ駆動される。

【0251】

この図47(A)に示す構成において、スペア判定結果が確定する前に、NAND回路74の出力信号に従って電源ブロック選択信号 ϕB_j が選択状態へ駆動されるのを防止するため、NAND回路74に、スペアヒット信号SHITが入力として与えられてもよい。

【0252】

[変更例]

図48は、この階層電源構成1の変更例の構成を示す図である。この図48に示す構成においては、ワード線駆動タイミング制御回路78が、セルフリフレッシュモード指示信号SRに従って、ワード線駆動信号 ϕWL の活性化タイミングを異ならせる。このワード線駆動タイミング制御回路78は、ノーマルモード時においては、ワード線活性化信号 ϕRX に従ってワード線駆動信号 ϕWL を生成する。一方、セルフリフレッシュモード時においては、このワード線駆動信号 ϕWL は、ワード線活性化信号 ϕRX を遅延して生成される。このワード線駆動タイミング制御回路78の構成は、先の図29に示す構成と同じである。ワード線駆動タイミング制御回路78を用いることにより、セルフリフレッシュモード時において、電源ブロック選択信号 ϕB_i の活性化タイミングが遅れる場合においても、応じてワード線選択タイミングを遅らせることにより、正確に、ワード線選択動作を行なうことができる。このワード線駆動信号 ϕWL は、スペアワード線およびノーマルワード線両者の活性化タイミングを決定する。

【0253】

[変更例2]

図49は、この発明の実施の形態7の階層電源構成1の変更例2の構成を示す図である。図49においては、電源ブロック選択信号発生部の構成を示す。図49において、電源ブロック選択信号発生部は、セルフリフレッシュモード指示信号SRにตอบสนองしてリフレッシュアドレスカウンタ25からのセルフリフレッシュアドレスとマルチプレクサ26からの内部ロウアドレス信号RAの一方を選択するマルチプレクサ80と、アレイ活性化信号RACTとカウントアップ指示信号CUPを受けるOR回路81と、OR回路81の出力信号の活性化にตอบสนองして活性化され、マルチプレクサ80から与えられたアドレス信号に対するスペア判定を行なうスペア判定回路82と、マルチプレクサ80からのアドレス信号とセルフリフレッシュモード指示信号SRとスペア判定回路82からのスペアヒット信号SHITに従って電源ブロックアドレス信号のデコードを行なう電源ブロックデコード回路83と、カウントアップ指示信号CUPに従って電源ブロックデコード回路83の出力する電源ブロック選択信号をラッチするラッチ84と、リフレッシュサイクル活性化信号QACTにตอบสนองしてラッチ84のラッチ信号を取込み転送するラッチ85と、セルフリフレッシュモード指示信号SRに従ってラッチ85の出力信号および電源ブロックデコード回路83の出力信号の一方を選択するマルチプレクサ(MUX)86を含む。

【0254】

電源ブロックデコード回路83の構成は、図46(A)および図47(A)に示す構成と同じであり、セルフリフレッシュモード指示信号SRおよびスペアヒット信号SHITとロウアドレス信号RAまたはQAに従って電源ブロック選択信号 ϕBi を生成する。ラッチ84および85は、図38に示す構成と同じであり、カウントアップ指示信号の活性化時ラッチ84が電源ブロックデコード回路83の出力信号を取込みラッチし、ラッチ85が、リフレッシュサイクル活性化信号QACTの非活性化時このラッチ84の出力信号を取込みラッチし、次いで、リフレッシュサイクル活性化信号QACTの活性化にตอบสนองしてラッチした信号を出力する。

【0255】

マルチプレクサ86は、セルフリフレッシュモード時にはラッチ85の出力信号を選択して出力し、またノーマルモード時には、電源ブロックデコード回路83の出力信号を選択する。このマルチプレクサ86からの電源ブロック選択信号 ϕBi が電源スイッチ回路へ与えられる。

【0256】

電源ブロック選択信号発生部は、さらに、スペア判定回路82の出力するスペアヒット信号SHITをカウントアップ指示信号CUPに従ってラッチするラッチ87と、リフレッシュサイクル活性化信号QACTに従ってラッチ87の出力信号を取込みかつ転送するラッチ88と、セルフリフレッシュモード指示信号SRに従ってスペア判定回路82の出力するスペアヒット信号SHITおよびラッチ88の出力する信号の一方を選択するマルチプレクサ(MUX)89を含む。ラッチ87および88は、ラッチ84および85と同じ構成を備える。

【0257】

マルチプレクサ26は、セルフリフレッシュモード時には、レジスタ65からのリフレッシュアドレス信号QAを選択し、ノーマルモード時には、外部からのロウアドレス信号RAを選択する。リフレッシュアドレスカウンタ25およびレジスタ65は、先の図36に示す構成と同じである。

【0258】

この図49に示す構成においては、1つ前のリフレッシュサイクルにおいて、次のサイクルにおけるスペア判定および電源ブロックデコード動作が実行される。これらの判定結果およびデコード結果は、次のリフレッシュサイクルにおいて出力される。したがって、前のサイクルにおいて、既にデコード動作は完了しており、次のリフレッシュサイクル実行時において、高速で電源ブロック選択信号 ϕBi およびスペアヒット信号SHITを選択/非選択状態へ駆動することができる。これにより、リフレッシュサイクル時において、ワード線選択タイミングを遅らせる必要がなく、ワード線駆動制御部の構成を簡略化することができる。

【0259】

ノーマルモード時においては、マルチプレクサ80は、マルチプレクサ26

からの内部アドレス信号Adを選択してスペア判定回路82の電源ブロックデコード回路83へ与える。このスペア判定回路82の出力するスペアヒット信号SHITはマルチプレクサ89により選択されて出力され、また電源ブロックデコード回路83の出力する電源ブロック選択信号がマルチプレクサ86により選択されて出力される。ラッチ84、85、87および88がこのノーマルモード時においてバイパスされる。したがって、アレイ活性化信号が活性化されると、スペア判定回路82が判定動作を行ない、その判定結果に従ってスペアヒット信号SHITが生成される。ノーマルモード時においては、電源ブロックデコード回路83は、このスペアヒット信号SHITにかかわらず、マルチプレクサ80からのアドレス信号をデコードして、スペアブロックを含むメモリブロックMAB1およびアドレス指定されたメモリブロックに対する電源ブロック選択信号を選択状態へ駆動する。

【0260】

この図49に示す構成を利用することにより、ノーマルモード時のアクセス時間を増大させることなく、セルフリフレッシュモード時の消費電流を低減することができる。

【0261】

以上のように、この発明の実施の形態7の階層電源構成に従えば、ノーマルモード時には、スペアブロックを含むメモリブロックおよびアドレス指定されたメモリブロックをスペア判定結果にかかわらず、選択状態へ駆動し、またリフレッシュモード時において、アドレス指定されたメモリブロックに対する電源スイッチ回路を選択状態へ駆動しているため、ノーマルモード時においては、スペア判定結果確定前に、電源スイッチ回路からの電圧を安定に供給することができ、高速アクセスが可能となり、またリフレッシュモード時においては、必要最小限のメモリブロックに対してのみ所定の電圧が供給されるため、消費電流を低減することができる。

【0262】

〔階層電源構成2〕

図50(A)および図50(B)は、この発明の実施の形態7に従う階層電源

構成2の動作を図解する図である。図50(A)において、ノーマルモード時、アレイ活性化信号の活性化にตอบสนองしてスペアブロックSPBを含むメモリブロックMAB1およびアドレス指定されたメモリブロック両者に対する電源スイッチ回路を選択状態へ駆動する。図50(A)においては、メモリブロックMAB2がアドレス指定された状態を示す。アレイ活性化信号RACTが活性化され、アクティブサイクルが始まると、まずスペアブロックを含むメモリブロックMAB1およびアドレス指定されたメモリブロックMAB2を選択状態へ駆動することにより、スペア判定結果を待つ必要がなく、高速で、所望の電圧を供給することができる。

【0263】

次に、図50(B)に示すように、スペア判定結果が確定すると、そのスペア判定結果に従って、選択すべきメモリセルを含むメモリブロックに対する電源スイッチ回路のみを選択状態へ駆動する。図50(B)においては、メモリブロックMAB2のノーマルワード線NWLが選択状態へ駆動され、電源スイッチ回路SW2は選択状態に保持され、一方、メモリブロックMAB1に対する電源スイッチ回路SW1は、非選択状態へ駆動される状態を示す。この判定結果後、ノーマルワード線NWLは、選択状態へ駆動される。したがって、この選択ノーマルワード線駆動時において、安定に電源スイッチ回路SW2から電圧が供給されており、高速かつ正確に、選択ノーマルワード線を選択状態へ駆動することができる。また、メモリブロックMAB1が、非選択状態に保持されるため、電源スイッチ回路SW1は非選択状態へ駆動することにより消費電流を低減することができる。

【0264】

リフレッシュモード時においては、先の図44に示すように、選択すべきメモリセルを含むメモリセルブロックに対する電源スイッチ回路のみが選択状態へ駆動され、残りの電源スイッチ回路は非選択状態に保持される。これにより、リフレッシュサイクル時における消費電流を低減する。

【0265】

図51(A)は、電源ブロック選択信号 $\phi B1$ に対する電源ブロックデコード

回路の構成を示す図である。図51(A)において、電源ブロックデコード回路は、アレイ活性化信号/R_{ACT}の立下がりに対応してワンショットのLレベルのパルス信号を生成するワンショットパルス発生回路90と、ロウアドレスビット/R_{A1}、R_{A2}およびR_{A3}を受けるNAND回路91と、リフレッシュアドレスビット/Q_{A1}、Q_{A2}およびQ_{A3}を受けるNAND回路92と、ワンショットパルス発生回路90の出力信号とNAND回路91および92の出力信号とスペアヒット信号/SHITとを受けて電源ブロック選択信号φB1を出力するNAND回路93を含む。アドレスビット/R_{A1}、R_{A2}、R_{A3}、/Q_{A1}、Q_{A2}およびQ_{A3}は、スタンバイ時Lレベルである。次に、図51(A)に示す電源ブロックデコード回路の動作を、図51(B)に示す信号波形図を参照して説明する。

【0266】

アクティブサイクルが始まると、アレイ活性化信号/R_{ACT}がLレベルに立下がる。このアレイ活性化信号/R_{ACT}の立下がりに対応して、ワンショットパルス発生回路90は、所定期間Lレベルとなるワンショットのパルス信号を生成する。応じて、NAND回路93の出力する電源ブロック選択信号φB1がHレベルに立上がる。一方、NAND回路91が、与えられたアドレスビット/R_{A1}、R_{A2}およびR_{A3}をデコードする。メモリブロックMAB1がアドレス指定されている場合には、このNAND回路91の出力信号が、またLレベルとなり、NAND回路93の出力する電源ブロック選択信号φB1がHレベルへ駆動される。この状態においては、スペアワード線が使用されるか否かにかかわらず、電源ブロック選択信号φB1は、このアクティブサイクル期間中Hレベルとなる。

【0267】

一方、メモリブロックMAB1と異なるメモリブロックがアドレス指定されている場合、NAND回路91の出力信号はHレベルとなる。この状態においては、ワンショットパルス発生回路90の出力信号がHレベルに立上がる前に、スペア判定結果に従って、スペアヒット信号SHITがHレベルまたはLレベルに駆動される。ノーマルワード線が使用される場合には、スペアヒット信号/SHI

TはHレベルを保持する。したがって、この状態においては、ワンショットパルス発生回路20の出力信号の立上がりに対応して、電源ブロック選択信号 $\phi B1$ がLレベルに立下がる。このメモリブロックにおいて行選択が行なわれる。

【0268】

一方、NAND回路91の出力信号がHレベルであり、他のメモリブロックが指定されている状態において、スペアヒット信号/SHITがLレベルに立下がると、電源ブロック選択信号 $\phi B1$ は、Hレベルを保持する。このワンショットパルス発生回路90の出力するパルス信号のパルス幅をスペアヒット信号/SHITが確定状態となるための時間幅に設定することにより、電源ブロック選択信号 $\phi B1$ は、対応のメモリブロックMAB1の使用/不使用に応じて、選択/非選択状態に駆動することができる。

【0269】

図52は、電源ブロック選択信号 ϕB_j ($j=2-8$)に対する電源ブロックデコード回路の構成を示す図である。この図52に示す電源ブロックデコード回路は、図47(A)に示す電源ブロックデコード回路と以下の点において異なっている。すなわち、NAND回路75とNAND回路77の間に、NAND回路75の出力信号とスペアヒット信号SHITを受けるOR回路94が配置される。他の構成は、図47(A)に示す構成と同じであり、対応する部分には同じ参照番号を付しその詳細説明は省略する。

【0270】

この図52に示す電源ブロックデコード回路の構成において、アドレスビットRA1-RA3および/RA1-/RA3に従って、アクティブサイクル開始時、電源ブロック選択信号 ϕB_i が選択/非選択状態へ駆動される。スペアビット信号SHITがLレベルのときには、そのアクティブサイクル期間中、電源ブロック選択信号 ϕB_i が、アドレスビットRA1-RA3および/RA1-/RA3に従った状態に保持される。一方、スペアヒット信号SHITがHレベルに駆動されると、OR回路94の出力信号がHレベルとなる。ノーマルモード時において、NAND回路76の出力信号はHレベルである。したがって、このスペアヒット信号SHITの立上がりに対応して、電源ブロック選択信号 ϕB_j がLレ

ベルに立下がる。これにより、スペアワード線が使用されるとき、スペアブロックを含むメモリブロックに対する電源スイッチ回路のみが選択状態に駆動され、このアドレス指定された不良ノーマルワード線を含むメモリブロックに対する電源スイッチ回路は非選択状態へ駆動される。

【0271】

なお、図51(A)および図52に示す電源ブロックデコード回路のリフレッシュモード時における動作は、図46(A)および図47(A)に示す電源ブロックデコード回路の動作と同じであり、したがって、それらの動作波形は図46(B)および図47(B)にそれぞれ示す信号波形と同じである。すなわち、リフレッシュサイクル時において、選択状態へ駆動すべきメモリセル行を含むメモリセルブロックに対してのみ電源スイッチ回路が選択状態へ駆動される。

【0272】

なお、この図51および図52に示す電源ブロックデコード回路の構成に対し、図49に示す回路構成を利用することができる。すなわちリフレッシュモード時において、前のサイクルのリフレッシュアドレスカウンタからのリフレッシュアドレス信号に従って、次サイクルにおける電源ブロック選択信号の選択/非選択状態を決定することができる。

【0273】

以上のように、この実施の形態7に従えば、ノーマルモード時においては、アドレス指定されたメモリブロックを選択状態へ駆動し、次いで、選択すべきメモリセル行を含むメモリブロックに対してのみ電源スイッチ回路を選択状態に保持しているため、アクティブサイクル時の消費電流を低減することができる。また、アクティブサイクル開始と同時に、アドレス指定されたメモリブロックおよびスペアブロックを含むメモリブロックに対する電源スイッチ回路を選択状態に駆動しており、アクセス時間が増加するのを防止することができる。

【0274】

上述の説明において、スペアワード線を含むメモリブロックについて説明している。しかしながら、スペアコラムを救済する構成に対しても、この階層電源構成を利用することができる。

【0275】

また、スペアブロックを含むメモリブロックは、1つであるところの実施の形態7において説明している。しかしながら、先の実施の形態1から5に対しても、この実施の形態7の階層電源構成を適用することができる。また、繰返し回路はメモリセルデータを検知・増幅するセンスアンプであってもよい。

【0276】

【発明の効果】

以上のように、この発明に従えば、スペア線を、複数のメモリブロックのノーマル線と置換可能なように構成しているため、スペア線を効率的に利用することができ、またフレキシブルリダンダンシィ構成を利用しているため、スペアデコーダの数も低減することができ、アレイ面積増加を抑制することができる。

【0277】

また、メモリブロックそれぞれに対し電源スイッチ回路を設け、ノーマルモード時とリフレッシュモード時とで選択状態へ駆動される電源スイッチ回路の数を異ならせているため、アクセス時間を低下させることなく、消費電流を低減することができる。また、スペアブロックを含む構成においては、スペアブロックを含むメモリブロックに対する電源スイッチ回路は、常時アクティブサイクル開始にตอบสนองして選択状態へ駆動しているため、スペア判定を待つことなくスペアブロックに対して電源スイッチ回路から所定の電圧を供給することができ、アクセス時間の増加を抑制することができる。

【0278】

すなわち、請求項1の発明に従えば、複数のスペアローカルデータバスのうち所定数のスペアローカルデータバスをスペアグローバルデータバスへ同時に接続するように構成しているため、スペアアレイの列数が少なくスペアローカルデータバスの寄生容量が小さい場合においても、ノーマルメモリセルアクセス時におけるノーマルローカルデータバスおよびノーマルグローバルデータバスにおける寄生容量と同じ大きさの寄生容量をスペアグローバルデータバスに存在させることが可能となり、スペアメモリアクセス時における信号伝搬遅延時間がノーマルメモリセルアクセス時の信号伝搬遅延時間と異なることにより内部タイミングの

ミスマッチが生じるのを防止することができる。

【0279】

請求項2に係る発明に従えば、このスペアグローバルデータバスに同時に接続されるスペアローカルデータバスの数は、1つのスペアローカルデータバスと1つのローカルデータバスの容量比で与えるように構成しているため、正確に、スペアメモリセルアクセス時とノーマルメモリセルアクセス時における信号伝搬遅延を同じとすることができる。

【0280】

請求項3に係る発明に従えば、スペアアレイのスペアメモリセル列は、対応のメモリブロックの複数のメモリサブアレイの各列と置換可能なように構成しているため、スペア列およびスペアデコーダの利用効率を向上させることができる。

【0281】

請求項4に係る発明に従えば、複数の第1のメモリブロックの特定の第1のメモリブロックにスペアメモリセルを行列状に配置し、複数の第1のメモリブロックの不良行とスペアメモリセル行とを置換可能なように構成していたので、スペア行の利用効率を改善することができ、またスペアロウデコーダの利用効率を向上させることができる。

【0282】

請求項5に係る発明に従えば、第1のメモリブロックと交互に第2のメモリブロックを配置し、特定の第2のメモリブロックに行列状にスペアメモリセルを配置し、この第2のメモリブロックのスペア行を、複数の第2のメモリブロックの任意の不良行と置換可能なように構成しているため、請求項4の発明と同様、スペアロウデコーダおよびスペア行の利用効率を向上させることができる。

【0283】

また、第1および第2のメモリブロックを交互に配置することにより、第1および第2のメモリブロックそれぞれが行を選択するような場合においても、スペア行とノーマル行が同時に1つのメモリブロック内において同時に選択状態へ駆動される状態を防止することができる。

【0284】

請求項6に係る発明に従えば、メモリブロックの間にセンスアンプを配置しているため、センスアンプの利用効率が改善されるとともに、センスアンプを共有するメモリブロックは異なるメモリブロック群に含まれており、センスアンプを共有するメモリブロックの一方のスペア行が対をなすメモリブロックの不良ノーマルワード線を救済する状態が生じるのを防止することができ、正確な不良ノーマル行の置換による救済を行なうことができる。

【0285】

請求項7に係る発明に従えば、第1のメモリブロックおよび第2のメモリブロックおよびスペアアレイを有するメモリアレイを2つ設け、通常動作モード時には、第1および第2のメモリアレイから1つのメモリブロックを選択し、特定動作モード時には、第1および第2のメモリアレイそれぞれから所定数のメモリブロックを同時に選択状態へ駆動しているため、1つのメモリブロックにおいてノーマル行とスペア行が同時に選択状態へ駆動されるのを防止することができ、正確に所定の動作モードを行なうことができる。

【0286】

請求項8に係る発明に従えば、第1および第2のメモリブロックを交互に配置し、また第3および第4のメモリブロックを交互に配置し、第1のメモリブロックの特定のメモリブロックにおいて、第3のメモリブロックの不良ノーマル行と置換可能なスペア行を配置し、第2のメモリブロックの特定のメモリブロックには、第4のメモリブロックの不良ノーマル行と置換可能なスペア行を配置し、また第3および第4のメモリブロックのそれぞれの特定のメモリブロックには第1および第2のメモリブロックの不良ノーマル行と置換可能なスペア行を配置し、特定の動作モード時には、第1および第2のメモリブロックから1つおよび第3および第4のメモリブロックから1つのメモリブロックを選択状態へ駆動するように構成しているため、特定の動作モード時においても、ノーマル行とスペア行が1つのメモリブロック内において同時に選択状態へ駆動されるのを防止することができ、正確に特定動作モードを、フレキシブルリダンダンシィ構成の特徴を損なうことなく実行することができる。

【0287】

請求項9に係る発明に従えば、メモリブロック間にセンスアンプを配置し、センスアンプを隣接メモリブロックで共有する構成としているため、シェアードセンスアンプ構成においても、動作目的にかかわらず正確に、不良メモリセル行の置換による救済を行なうことができる。

【0288】

請求項10に係る発明に従えば、第1のメモリブロックの1つが選択されるときには、第3のメモリブロックの1つを選択状態へ駆動しているため、アドレス割当てを複雑化することなく容易に複数のメモリブロックを選択状態へ駆動することができる。

【0289】

請求項11に係る発明に従えば、繰返し回路群それぞれの電源スイッチ回路をノーマルモード時とリフレッシュモード時において、選択される数を異ならせているため、ノーマルモード時のアクセス時間を増加させることなく、リフレッシュモード時の消費電流を低減することが可能となる。

【0290】

請求項12に係る発明に従えば、請求項11の制御手段が、ノーマルモード時とリフレッシュモード時で、異なる数のアドレスビットをデコードし、リフレッシュモード時において、多くの数のアドレスビットをデコードしているため、ノーマルモード時のデコード時間はリフレッシュモード時のデコード時間より短くすることができ、ノーマルモード時のアクセス時間を低減することができ、またリフレッシュモード時の選択状態へ駆動される電源スイッチ回路の数を低減することができ、消費電流を低減することができる。

【0291】

請求項13に係る発明に従えば、請求項11の制御手段が、ノーマルモード時には、選択メモリブロックを含むグローバルブロックに対する電源スイッチ回路を選択状態へ駆動し、リフレッシュモード時には、アドレス指定されるメモリブロックに対する電源スイッチ回路を選択状態へ駆動するように構成しているため、ノーマルモード時にはデコード時間に要する時間を短縮することができ、またリフレッシュモード時において選択状態へ駆動される電源スイッチ回路の数を低

減することができる。

【0292】

請求項14に係る発明に従えば、請求項11の装置において、ノーマルモード時におけるワード線駆動タイミングよりもリフレッシュモード時におけるワード線駆動タイミングを遅らせているため、リフレッシュモード時において、電源スイッチ回路からの電圧が安定化しており、正確に選択状態へ駆動することができ、回路誤動作を防止することができる。

【0293】

請求項15に係る発明に従えば、請求項11の装置において、制御手段が、リフレッシュモード時アドレス指定されたワード線を含むメモリブロックに対してのみ電源スイッチ回路を選択状態に駆動しているため、消費電流を低減することができる。

【0294】

請求項16に係る発明に従えば、請求項11の装置において、リフレッシュモード時には、前のサイクルにおいて、リフレッシュアドレスをデコードして、電源ブロック選択信号を生成してラッチし、リフレッシュサイクル開始時に、このデコードしかつラッチされた電源ブロック選択信号に従って電源スイッチ回路を選択しているため、デコード動作に要する時間を見かけ上なくすことができ、リフレッシュモード時において、ワード線選択タイミングを遅らせる必要がなく、ワード線選択制御系の構成を簡略化することができる。

【0295】

請求項17に係る発明に従えば、ノーマルモード時にスベアブロックを含むメモリブロックに対する電源スイッチ回路を常に選択状態へ駆動し、リフレッシュモード時においては、スベア判定結果に従って選択状態へ駆動すべきメモリセルを含むメモリブロックに対してのみ電源スイッチ回路を選択状態へ駆動しているため、スベア判定結果をノーマルモード時において待つ必要がなく、高速で、スベアブロックを含むメモリブロックに所定の電圧を供給することができ、またリフレッシュモード時において消費電流を低減することができる。

【0296】

請求項 18 に係る発明に従えば、請求項 17 の装置において、制御手段が、ノーマルモード時、アドレス指定されたメモリブロックの電源スイッチ回路へ選択状態へ駆動しているため、スペアヒット／ミスにかかわらず、選択状態へ駆動される可能性のあるワード線を含むメモリブロックに対し早いタイミングで所定の電圧を供給することができる。

【0297】

請求項 19 に係る発明に従えば、請求項 17 の装置において、リフレッシュモード時において、ワード線選択タイミングをノーマルモード時のそれよりも遅らせているため、リフレッシュモード時において、電圧が安定化したワード線選択状態へ駆動することができ、正確にリフレッシュ動作を行なうことができる。

【0298】

請求項 20 に係る発明に従えば、請求項 17 の装置において、前のリフレッシュサイクルにおいて次のリフレッシュサイクルにおいて用いられる電源ブロック選択信号を生成しかつラッチしているため、次のリフレッシュサイクル時における電源ブロック選択信号のデコード時間を見かけ上なくすことができ、リフレッシュモード時においても、ノーマルモード時と同じタイミングでワード線を選択状態へ駆動することができ、ワード線選択制御系の構成を簡略化することができる。

【0299】

請求項 21 に係る発明に従えば、請求項 11 の制御手段が、複数の電源スイッチ回路をノーマルモード時選択状態へ駆動し、次いで選択すべきメモリセルを含むメモリブロックに対して設けられた電源スイッチ回路以外の電源スイッチ回路を非選択状態へ駆動しているため、ノーマルモード時においてアクセス時間の増加をもたらすことなく消費電流を低減することができる。

【0300】

請求項 22 に係る発明に従えば、請求項 17 の制御手段が、ノーマルモード時には、スペアブロックを含むメモリブロックおよびアドレス指定されたメモリブロックに対して設けられた電源スイッチ回路を選択状態へ駆動し、次いでスペア判定結果およびアドレス信号に従って選択状態へ駆動すべきメモリセルを含むメ

メモリブロックと異なるメモリブロックに対して設けられた電源スイッチ回路の非選択状態へ駆動しているため、ノーマルモード時のアクセス時間の増大を伴うことなく消費電流を低減することができる。

【0301】

請求項23に係る発明に従えば、請求項21または22の装置の制御手段が、ノーマルモード時には、スペア判定結果とアドレス信号とに従って電源スイッチ回路を選択状態へ駆動するように構成しているため、正確に、選択状態へ駆動されるメモリセルを含むメモリブロックに対しての電源スイッチ回路を選択状態に保持することができ、消費電流を低減することができる。

【0302】

請求項24に係る発明に従えば、請求項21または22の制御手段が、リフレッシュモード時、前のサイクルにおいて電源ブロック選択信号の生成を行なってラッチし、このラッチした電源ブロック選択信号を次のリフレッシュサイクル時において出力しているため、次のリフレッシュサイクル時における電源ブロック選択信号のためのデコード時間を見掛け上なくすることができ、リフレッシュモード時においても、ノーマルモード時と同じ態様でワード線選択状態へ駆動することができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1に従う半導体記憶装置の要部の構成を概略的に示す図である。

【図2】 (A)は、図1に示すメモリアレイの不良列救済態様を示す図であり、(B)は、不良列救済のためのスペアデコーダの構成を概略的に示す図である。

【図3】 (A)は、スペアデコーダの変更例を示し、(B)は、(A)に示すスペアデコーダによる不良列救済の態様を示す図である。

【図4】 図1に示すアレイ配置における内部データ読出部の構成を概略的に示す図である。

【図5】 この発明の実施の形態2に従う半導体記憶装置の要部の構成を概略的に示す図である。

【図 6】 図 5 に示すメモリアレイにおけるノーマルローカルデータバスおよびノーマルグローバルデータバスの接続およびスペアローカルデータバスおよびスペアグローバルデータバスの接続態様を概略的に示す図である。

【図 7】 スペアローカルデータバス選択信号を発生するための手法を説明するための図である。

【図 8】 図 5 に示すメモリアレイのスペアレイの列選択部の構成を概略的に示す図である。

【図 9】 この発明の実施の形態 3 に従う半導体記憶装置の要部の構成を概略的に示す図である。

【図 10】 図 9 に示すメモリアレイにおける不良行救済の態様の一例を示す図である。

【図 11】 この発明の実施の形態 4 の半導体記憶装置のアレイ部の構成を概略的に示す図である。

【図 12】 図 11 に示すメモリブロック配置の効果を説明するための図である。

【図 13】 図 12 に示す構成の問題点を解決するためのビット線分離指示信号発生部の構成を概略的に示す図である。

【図 14】 図 11 に示すメモリブロック配置におけるビット線分離指示信号発生部の構成を概略的に示す図である。

【図 15】 この発明の実施の形態 4 におけるスペア行と不良ノーマル行の置換態様を概略的に示す図である。

【図 16】 メモリセルの構成を示す図である。

【図 17】 この発明の実施の形態 5 に従う半導体記憶装置のアレイ部の構成を概略的に示す図である。

【図 18】 (A) は、図 17 に示すアレイ配置における通常動作モード時のアドレス信号ビットと選択メモリ部の対応関係を示す図であり、(B) は、テストモード時におけるアドレス信号ビットと選択メモリブロックとの対応関係を概略的に示す図である。

【図 19】 図 18 (B) に示すテストモード時のメモリブロック選択のた

めの制御部の構成の一例を概略的に示す図である。

【図20】 この発明の実施の形態5の変更例の構成を概略的に示す図である。

【図21】 (A)は、この発明の実施の形態6に従う階層電源構成1を概略的に示す図であり、(B)は、(A)に示すロウ系周辺回路の電源スイッチ回路の構成を示す図である。

【図22】 この発明の実施の形態6におけるメモリアレイおよびメモリスイッチ回路の配置を概略的に示す図である。

【図23】 (A)は、この発明の実施の形態6の階層電源構成1のノーマルモード時の電源スイッチ回路の選択態様を示し、(B)は、その動作波形を示す図である。

【図24】 図22に示す階層電源構成のリフレッシュモード時の選択態様を概略的に示す図である。

【図25】 この発明の実施の形態6における半導体記憶装置のロウ系制御部の構成を概略的に示す図である。

【図26】 図21に示す電源ブロックデコーダの構成の一例を示す図である。

【図27】 電源ブロック選択信号φB2に対する電源ブロックデコード回路の構成を示す図である。

【図28】 この発明の実施の形態6における階層電源構成1におけるアドレスビットの分配を概略的に示す図である。

【図29】 この発明の実施の形態6の階層電源構成の変更例を示す図である。

【図30】 図29に示す階層電源構成の動作を示す信号波形図である。

【図31】 階層電源構成1の変更例におけるロウ系周辺回路の繰返し回路の構成の一例を示す図である。

【図32】 この発明の実施の形態6の階層電源構成2のノーマルモードおよびリフレッシュモード時の電源スイッチ回路の選択態様を示す図である。

【図33】 図32(A)および(B)に対する電源ブロックデコーダの構

成を概略的に示す図である。

【図34】 特定の電源ブロック選択信号 $\phi B2$ に対する電源ブロックデコード回路の構成を示す図である。

【図35】 この発明の実施の形態6の階層電源構成2の変更例の構成を概略的に示す図である。

【図36】 この発明の実施の形態6の階層電源構成3の制御部の構成を概略的に示す図である。

【図37】 この発明の実施の形態6の階層電源構成3の動作を示す信号波形図である。

【図38】 図36に示す電源ブロックデコーダの構成の一例を示す図である。

【図39】 図36に示すレジスタの構成の一例を示す図である。

【図40】 図36に示すカウントアップ指示信号発生部の構成の一例を概略的に示す図である。

【図41】 この発明の実施の形態7の階層電源構成1の配置を概略的に示す図である。

【図42】 この発明の実施の形態7の階層電源構成1におけるノーマルモード時の電源スイッチ回路の選択態様を概略的に示す図である。

【図43】 図42に示すメモリスイッチ回路選択時の動作を示す信号波形図である。

【図44】 この発明の実施の形態7の階層電源構成1のリフレッシュモード時の電源スイッチ回路選択態様を概略的に示す図である。

【図45】 図44に示すメモリスイッチ回路選択態様に対する動作を示す信号波形図である。

【図46】 (A)は、この発明の実施の形態7の階層電源構成1の電源ブロックデコーダの構成の一例を示し、(B)は、(A)に示す電源ブロックデコーダ回路の動作を示す信号波形図である。

【図47】 (A)は、この発明の実施の形態7の階層電源構成1の電源ブロックデコーダの構成を示し、(B)は、(A)に示す電源ブロックデコーダの

動作を示す信号波形図である。

【図48】 この発明の実施の形態7の階層電源構成1の変更例の構成を概略的に示す図である。

【図49】 この発明の実施の形態7の階層電源構成2の制御部の構成を概略的に示す図である。

【図50】 (A)および(B)は、この発明の実施の形態7の階層電源構成2の電源スイッチ回路の選択態様を概略的に示す図である。

【図51】 (A)は、この発明の実施の形態7の階層電源構成2の電源ブロックデコード回路の構成の一例を示し、(B)は、その動作波形を示す図である。

【図52】 この発明の実施の形態7の階層電源構成2の電源ブロックデコーダの構成を示す図である。

【図53】 従来のフレキシブルロウリダンダンシ構成の半導体記憶装置のアレイ部の構成を概略的に示す図である。

【図54】 従来のフレキシブルコラムリダンダンシのアレイ部の構成を概略的に示す図である。

【図55】 従来の階層電源構成の一例を示す図である。

【図56】 図55に示す階層電源構成の動作を示す波形図である。

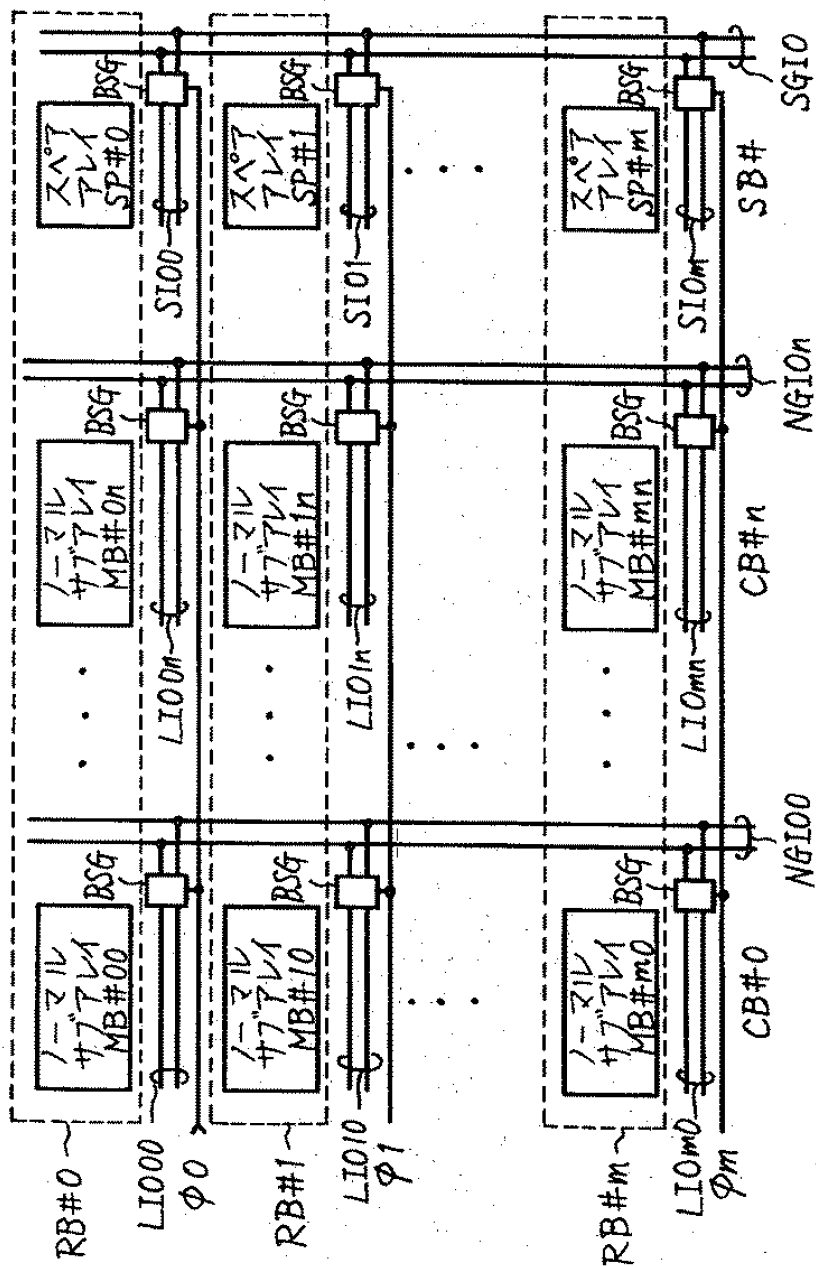
【符号の説明】

RB#0~RB#m メモリブロック、MB#00~MB#mn ノーマルメモリサブアレイ、LIO00~LIOmn ノーマルローカルデータバス、SP#0~SP#m スペアアレイ、SIO0~SIOm スペアローカルデータバス、NGIO0~NGIOm ノーマルグローバルデータバス、SGIO スペアグローバルデータバス、BSG ブロック選択ゲート、SD00~SD0m, SD30~SD3m スペアデコーダ、SPD スペアデコード回路、Y0~Yn コラムデコード回路、SD00~SD0n, SD30~SD3n スペアデコーダ、BSGs スペアブロック選択ゲート、CB#0~CB#n 列ブロック、SB# スペアブロック、MA#0~MA#m ノーマルメモリサブアレイ、SPX# スペアアレイ、RBX#0~RBX#m 行ブロック、MA#0-

0~MA#0-N, MA#1-0~MA#1-N ノーマルメモリサブアレイ、
 SPX#0, SPX#1 スペアアレイ、SAB0~SABm+1 センスアン
 プ帯、MB#00-0~MB#00-N, MB#01-0~MB#01-N, M
 B#10-0~MB#10-N, MB#11-0~MB#11-N ノーマルメ
 モリサブアレイ、SPX#00, SPX#01, SPX#10, SPX#11
 スペアアレイ、B#0, B#1 メモリマット、B#00, B#01, B#10
 , B#11 メモリブロック群、1 主電圧供給線、2a~2n, 2 メモリブ
 ロック、3a~3n, 3 ロウ系周辺回路、4a~4n, SW1-SW8 電源
 スイッチ回路、5a-5n 副電圧供給線、6 電源ブロックデコーダ、WLa
 -WLm ワード線、11a-11m NAND型デコード回路、12a-12
 m インバータ型ワード線ドライブ回路、14p, 14n 電源スイッチトラン
 ジスタ、MAB1-MAB8 メモリブロック、GAB0, GAB1 グローバ
 ルブロック、22 リフレッシュモード検出回路、23 リフレッシュ制御回路
 、24 タイマ、25 リフレッシュアドレスカウンタ、26 マルチプレクサ
 、27 ロウ系制御回路、30 OR回路、31 ワード線活性化信号発生回路
 、32 遅延回路、33 セレクタ、40 ワード線デコード信号発生回路、5
 0 ロウ系選択回路、60 電源ブロックデコード回路、61, 62 ラッチ、
 63 セレクタ、65 レジスタ、NMAB1-NMAB8 ノーマルメモリブ
 ロック、7.8 ワード線駆動タイミング制御回路、80 マルチプレクサ、82
 スペア判定回路、83 電源ブロックデコード回路、84, 85, 87, 88
 ラッチ、86, 89 マルチプレクサ (MAX)、90 ワンショットパルス
 発生回路、91, 92, 93 NAND回路、94 OR回路、74, 75, 7
 6, 77 NAND回路。

【書類名】 図面

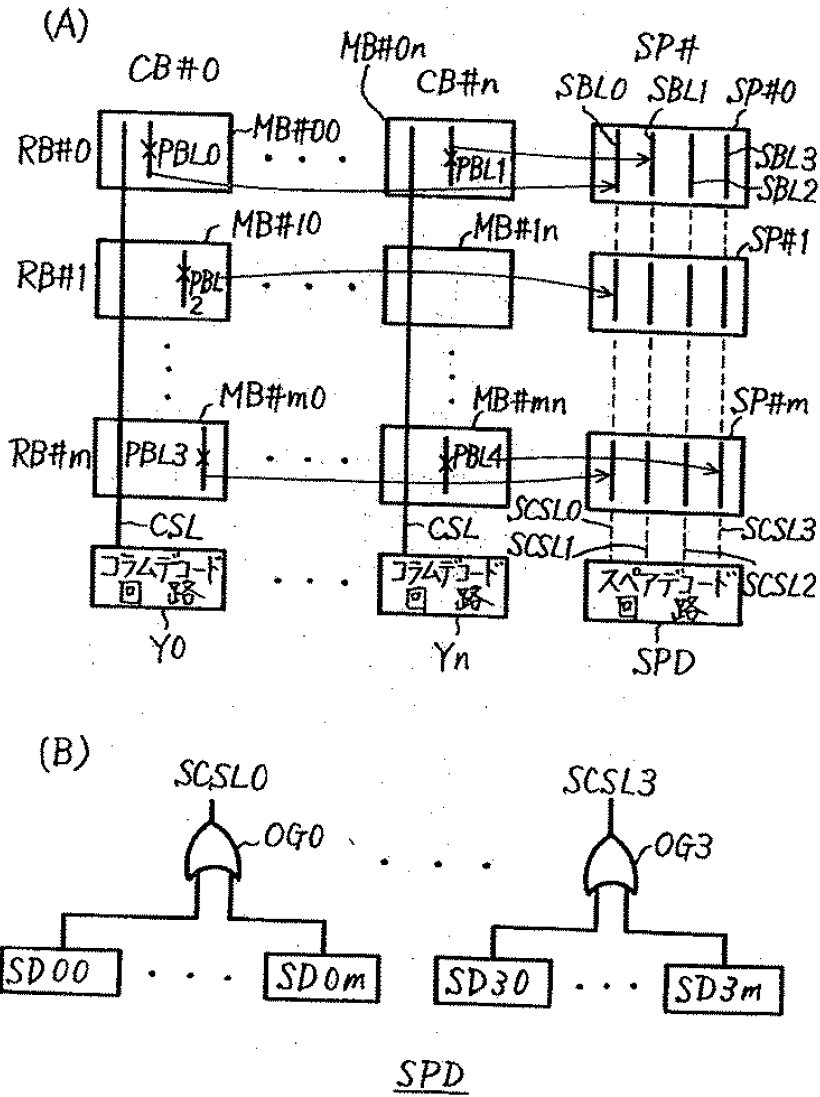
【図1】



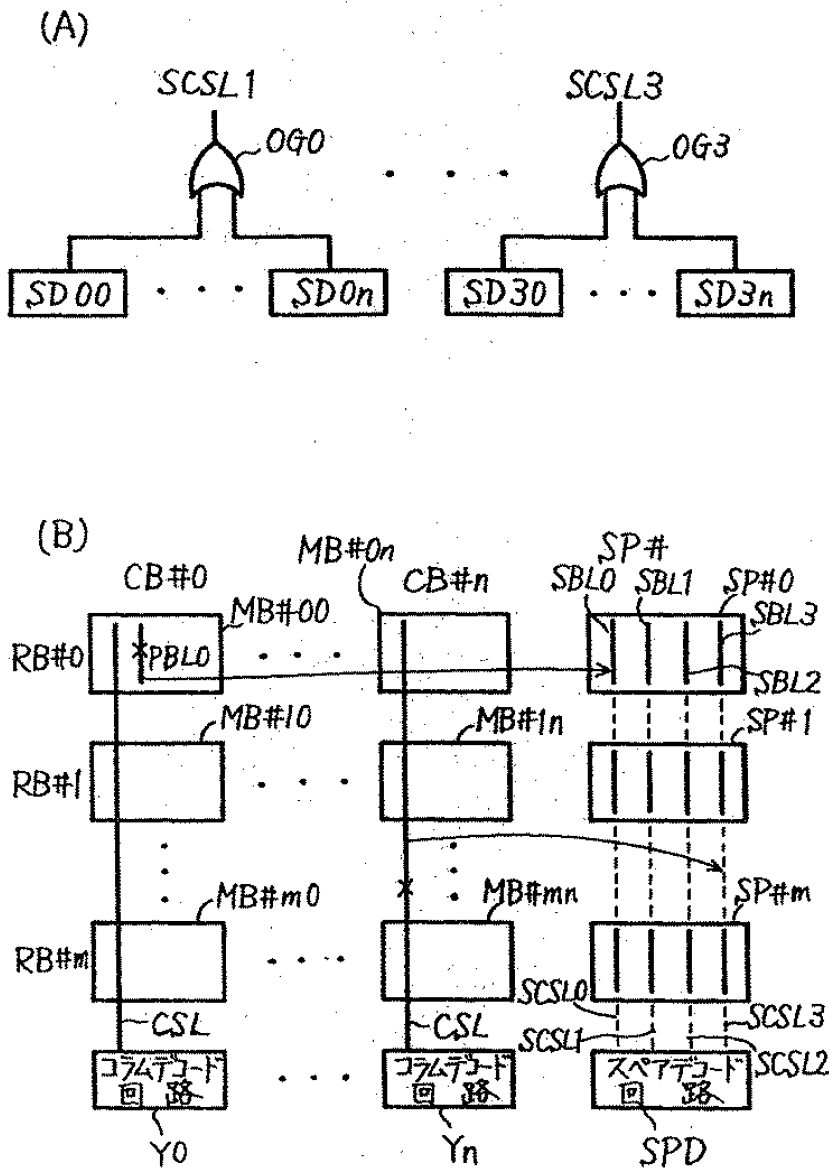
1

出証特平10-3092996

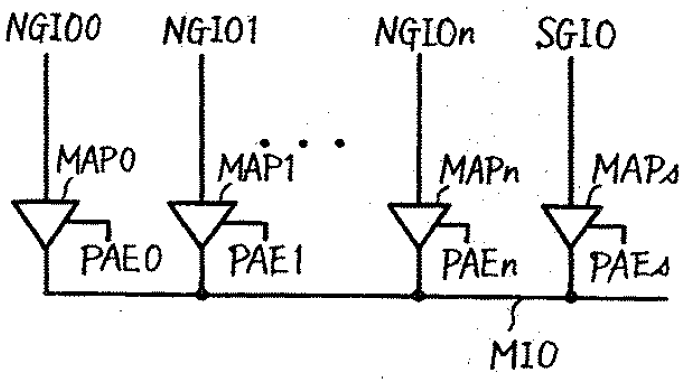
【図2】



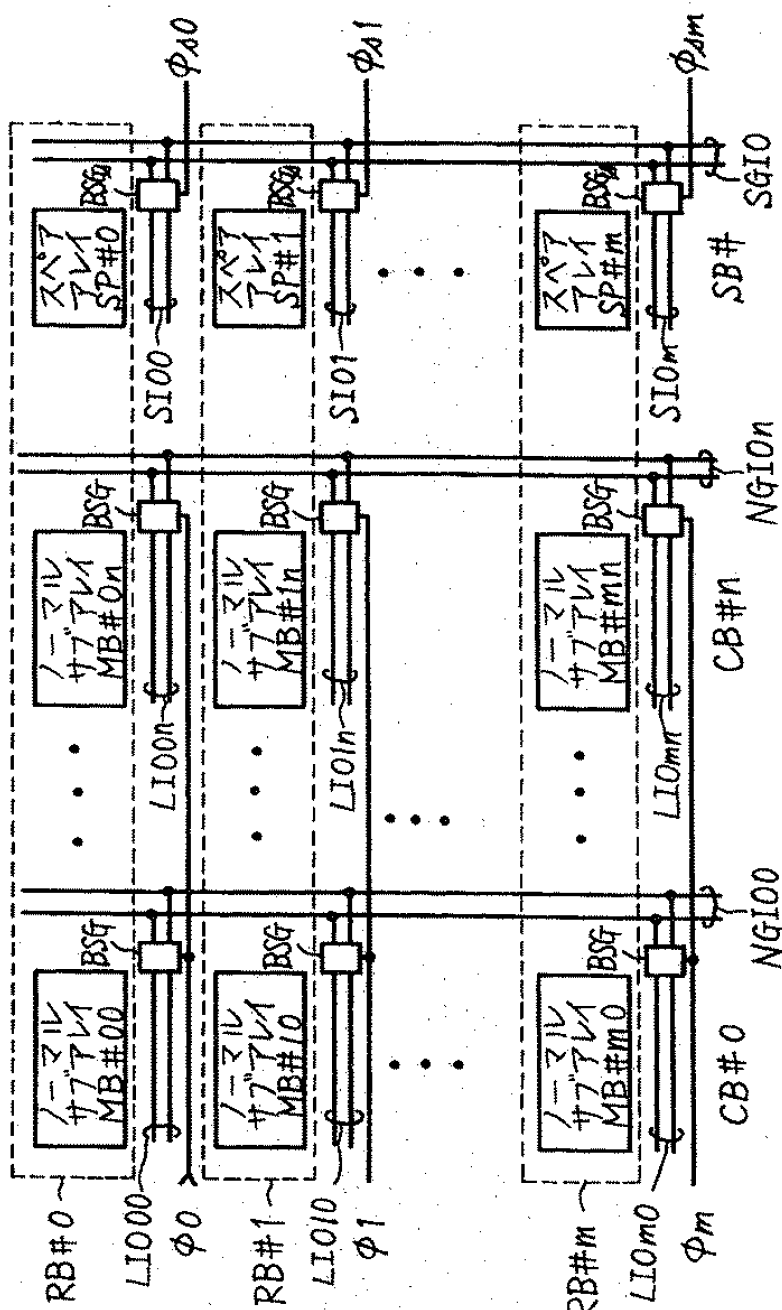
【図3】



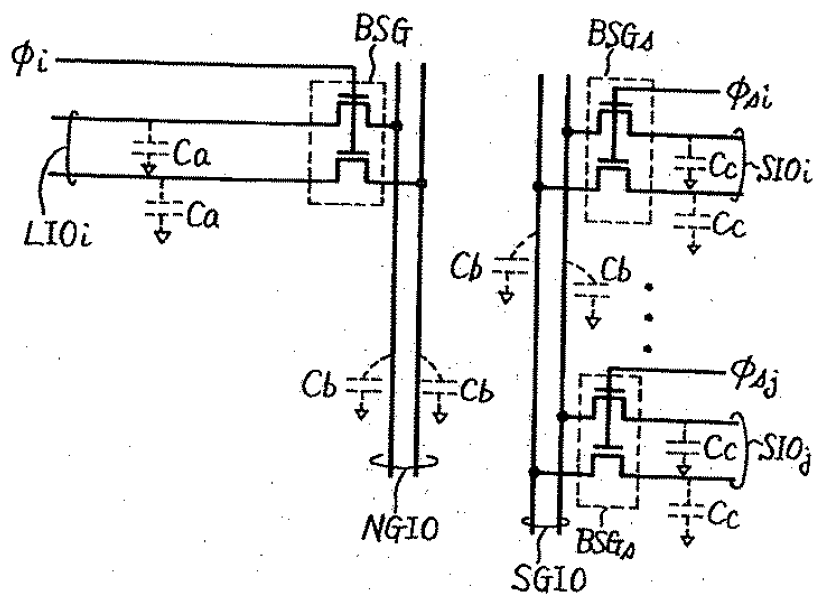
【图4】



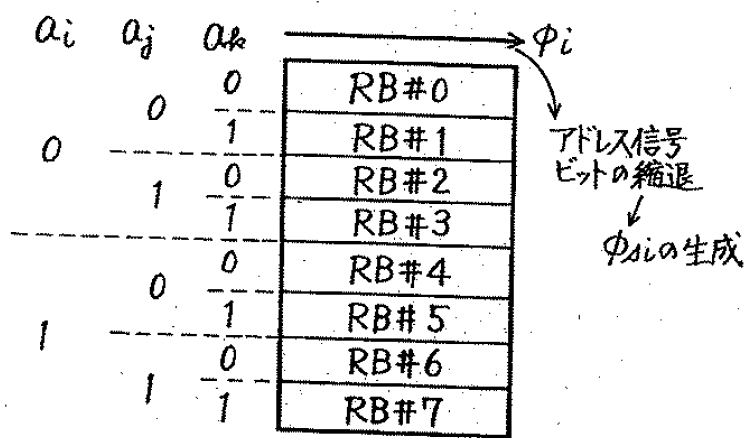
【図5】



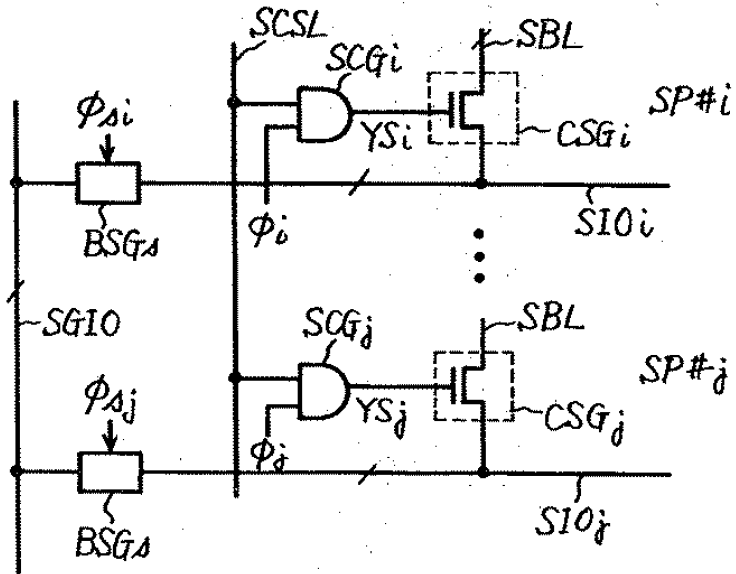
【図6】



【図7】



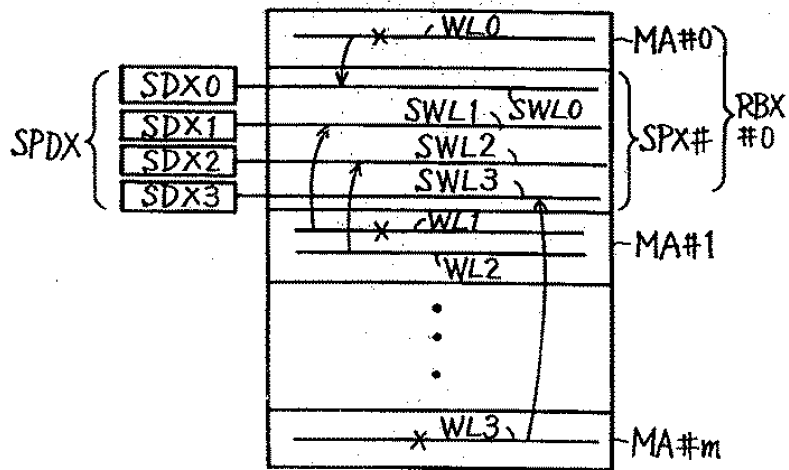
【図8】



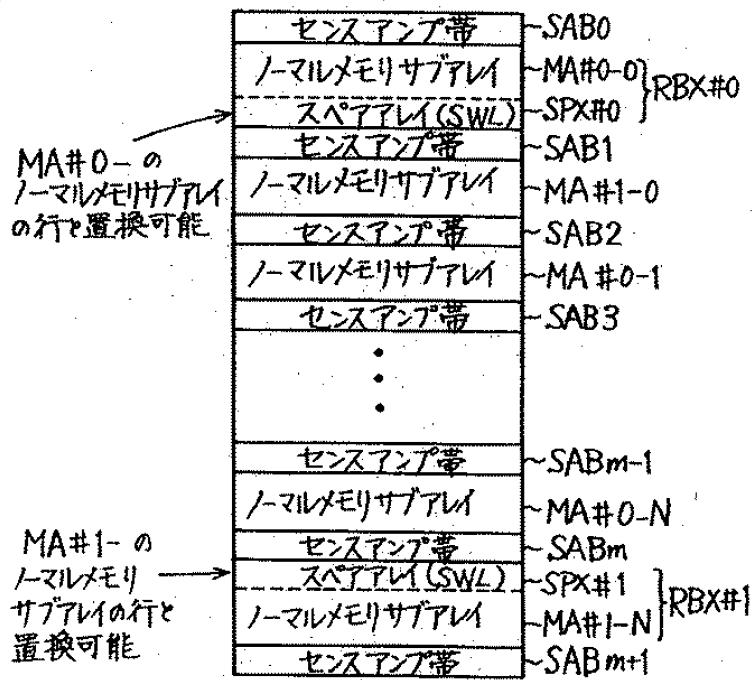
【図9】

X0	ノーマルメモリサブアレイ	MA#0 } RBX#0 SPX#
SPDX	スペアアレイ	
X1	ノーマルメモリサブアレイ	MA#1 ; RBX#1
X2	ノーマルメモリサブアレイ	MA#2 ; RBX#2
⋮	⋮	⋮
Xm	ノーマルメモリサブアレイ	MA#m ; RBX#m

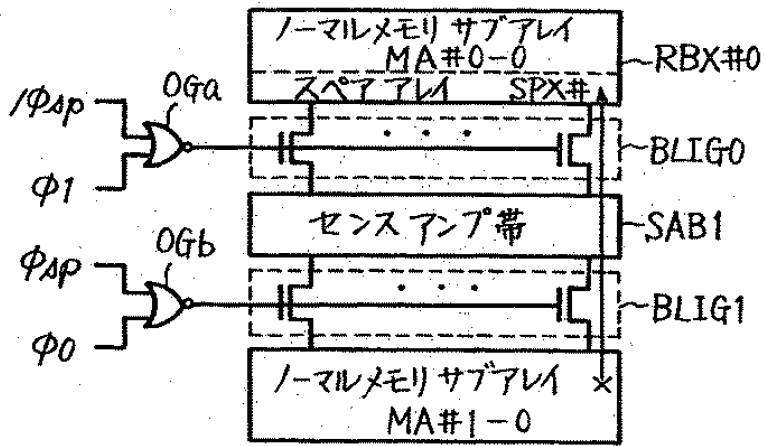
【図10】



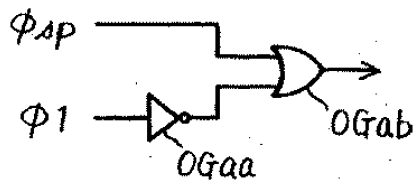
【図11】



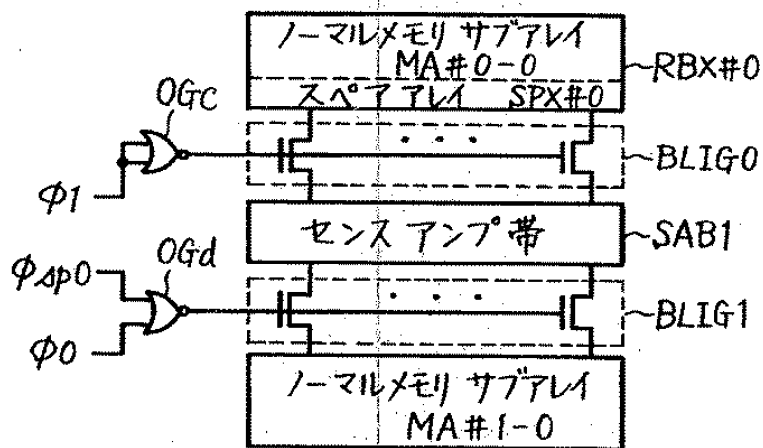
【図12】



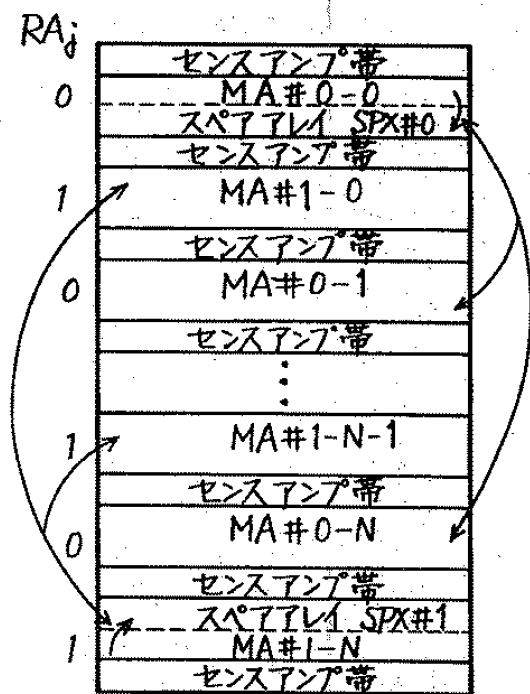
【図13】



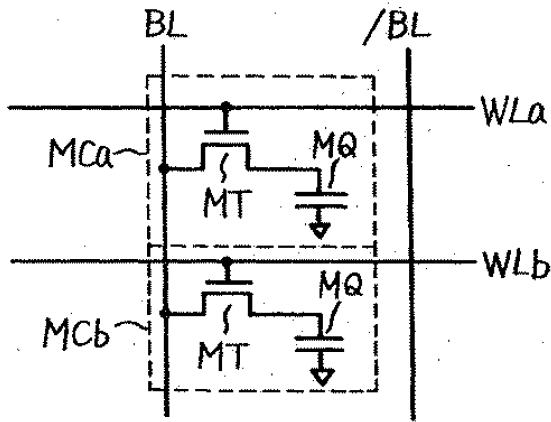
【図14】



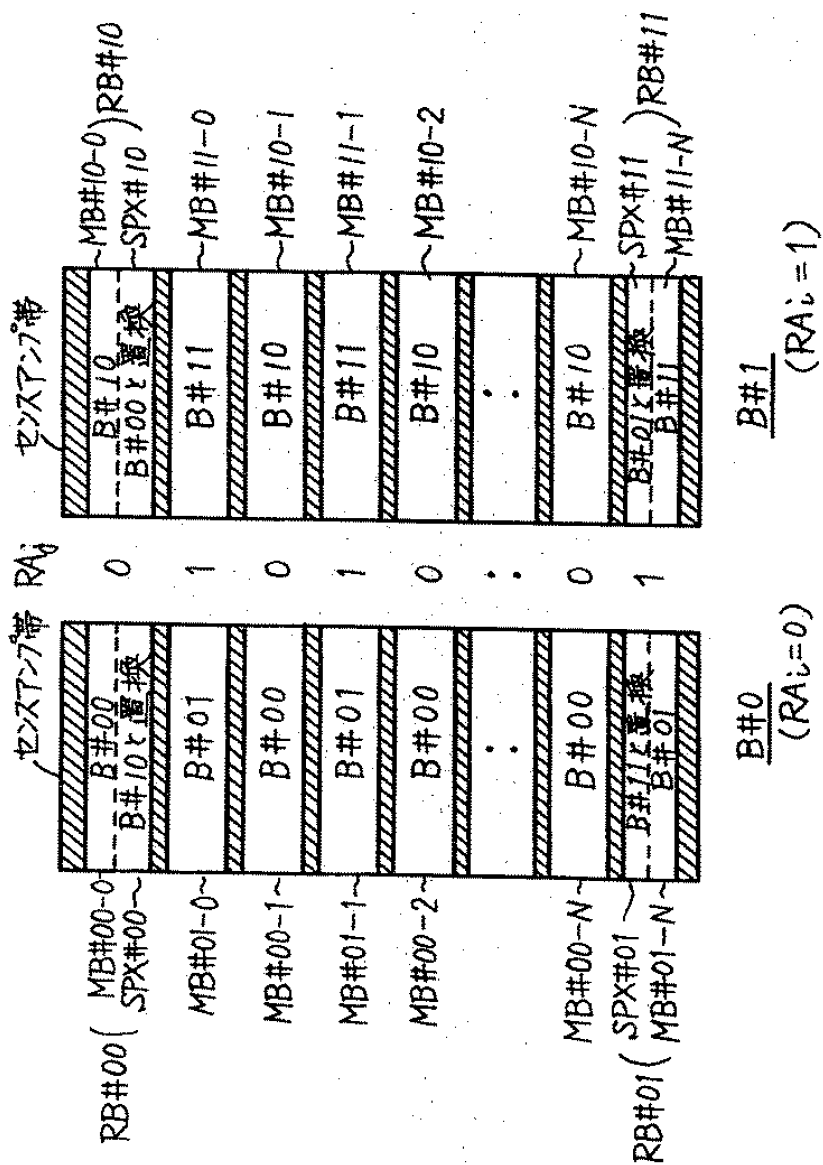
【図15】



【図16】

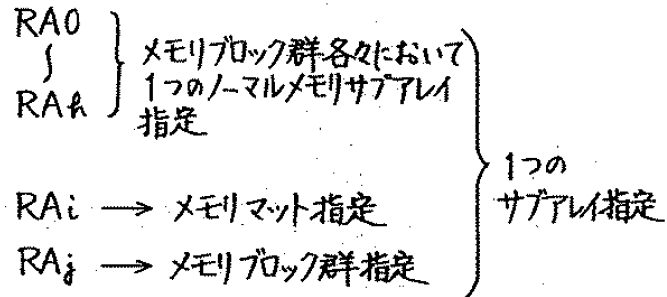


【図17】

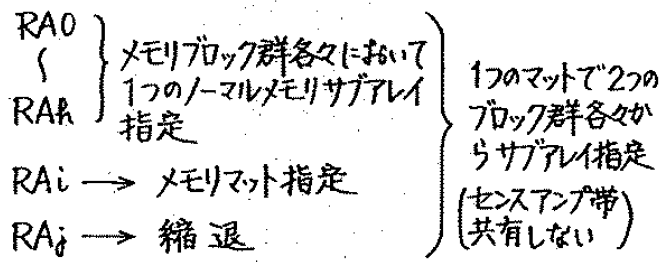


【図18】

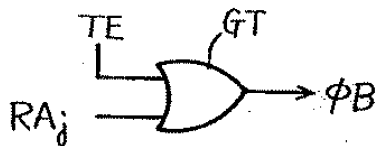
(A) 通常モード時;



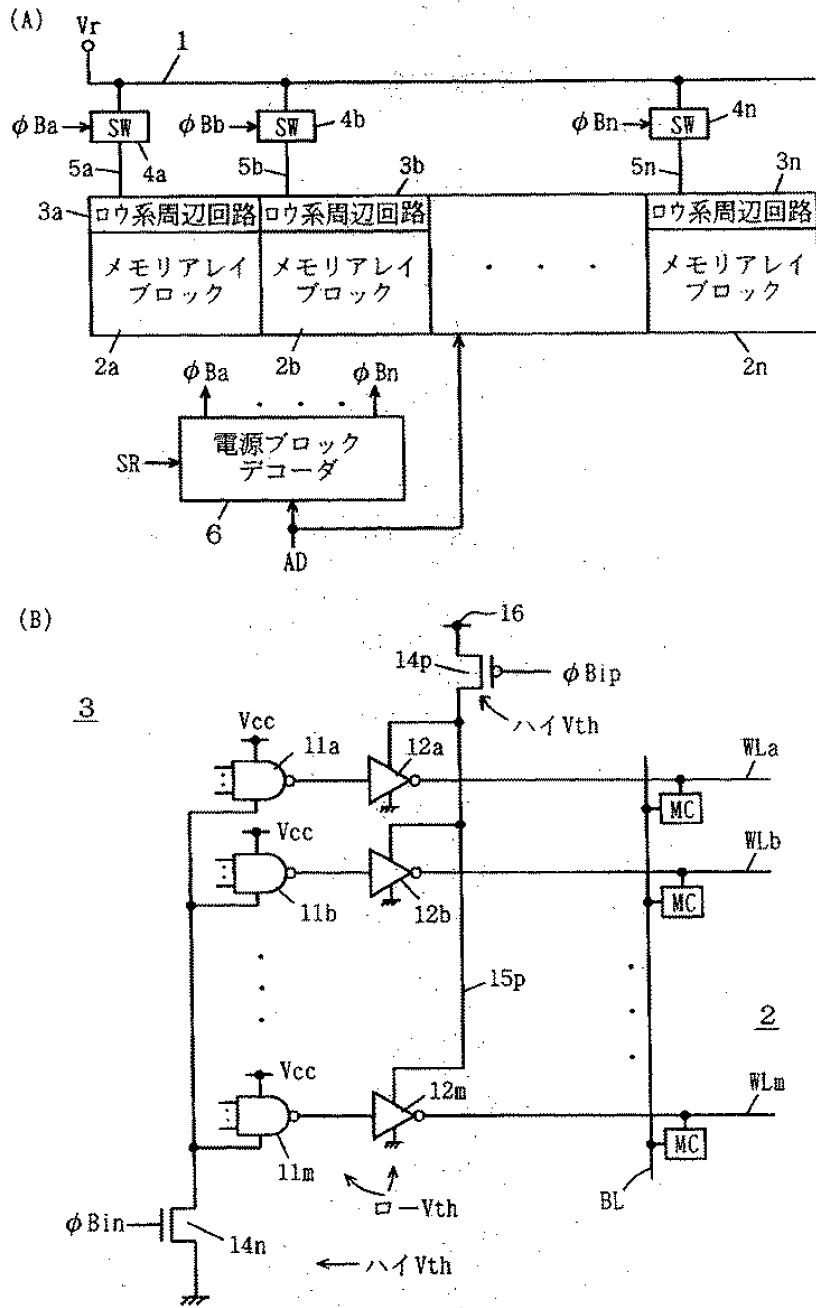
(B) テストモード時;



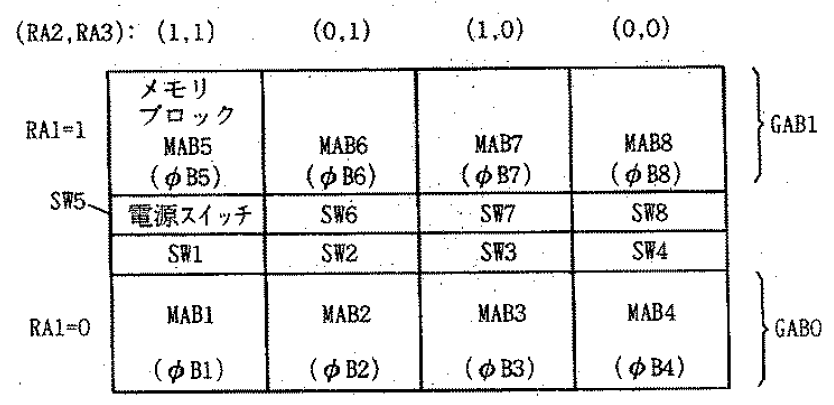
【図19】



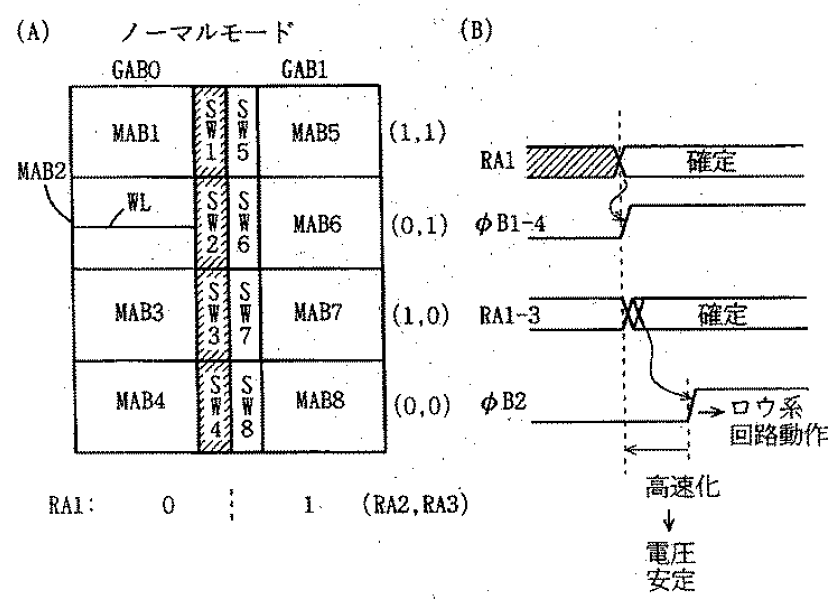
【図21】



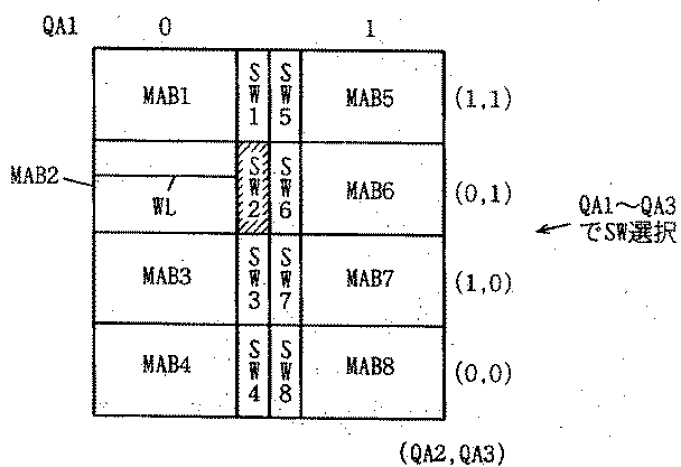
【図22】



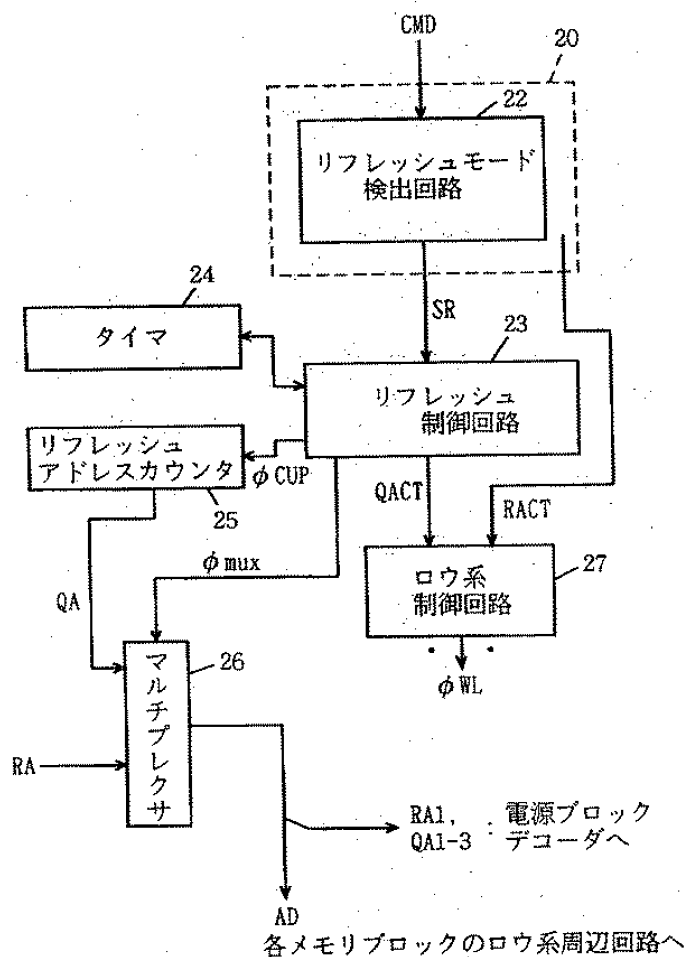
【図23】



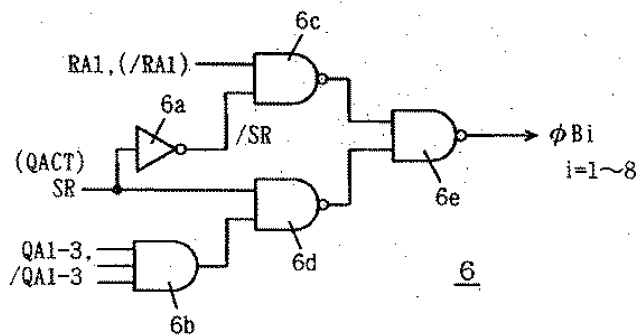
【図24】



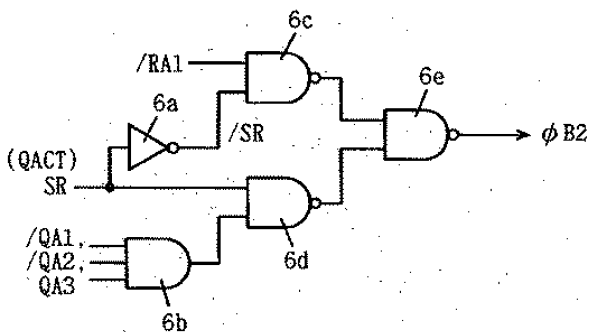
【図25】



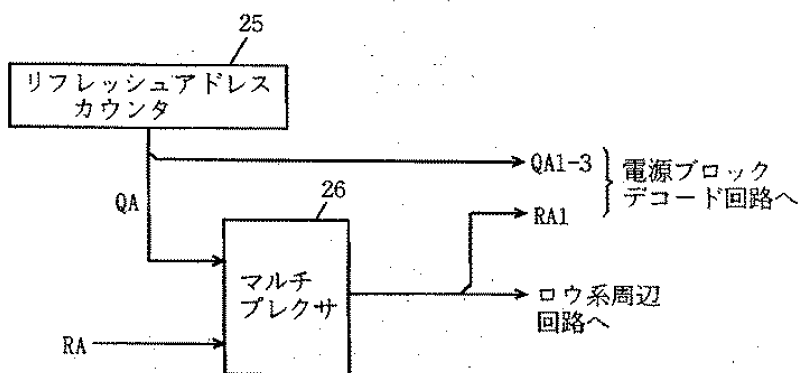
【図26】



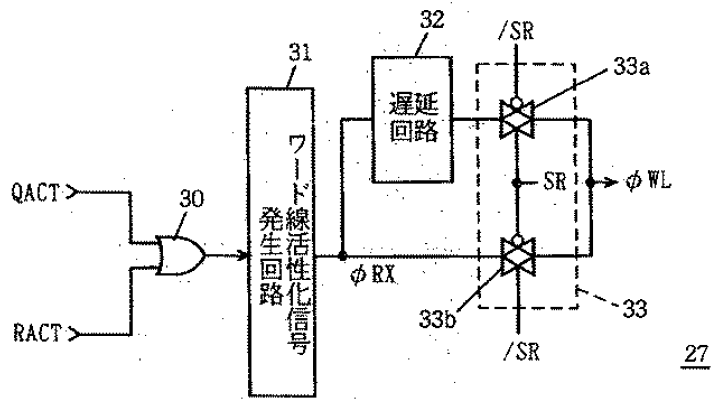
【図27】



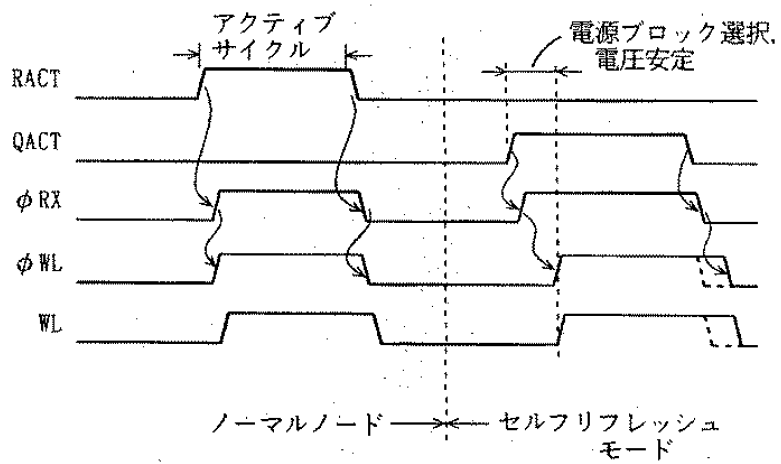
【図28】



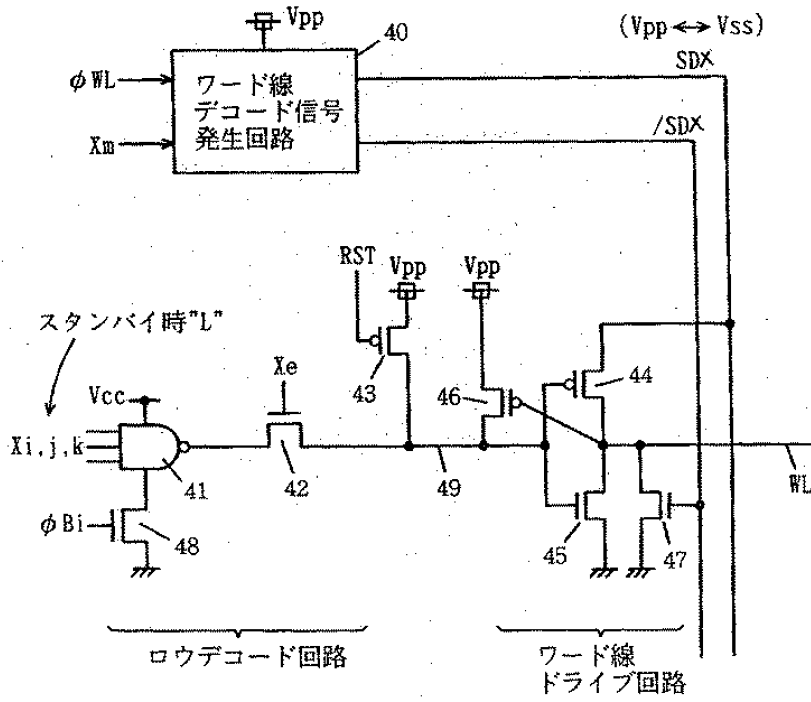
【図29】



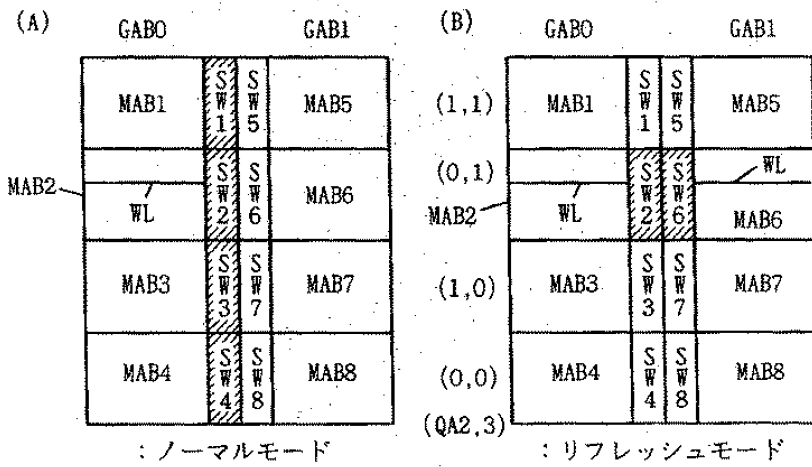
【図30】



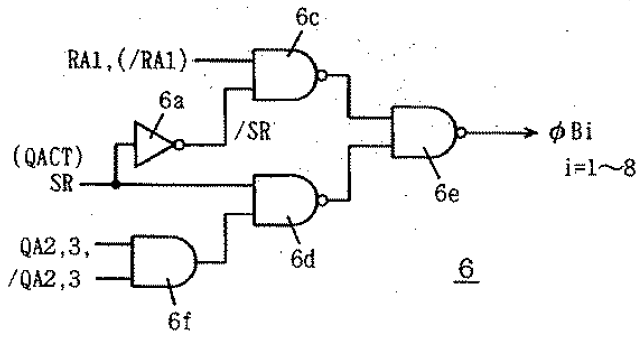
【図31】



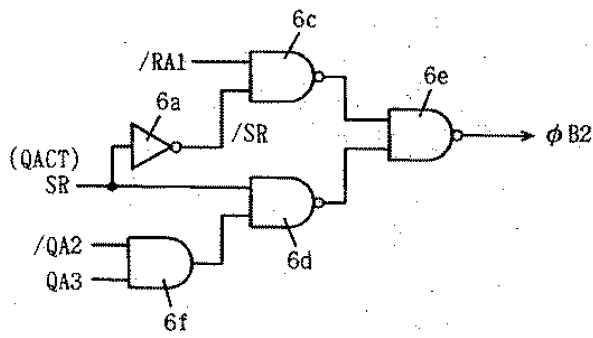
【図32】



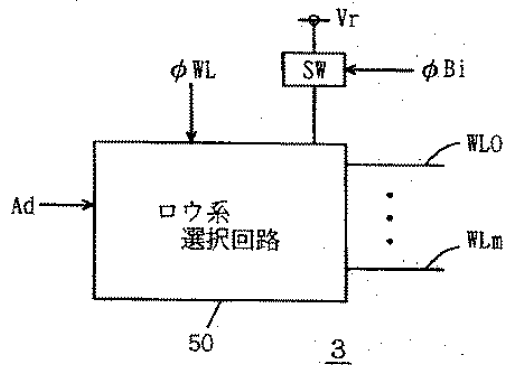
【図33】



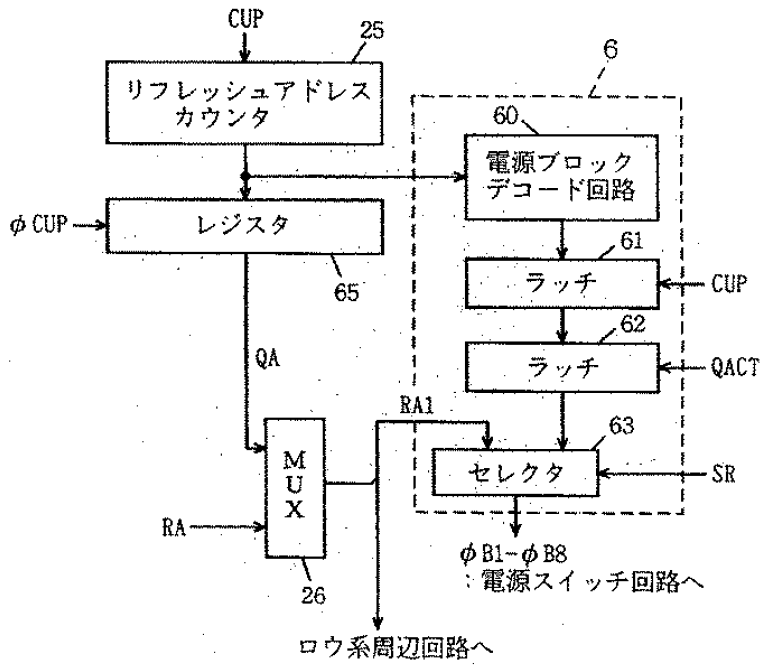
【図34】



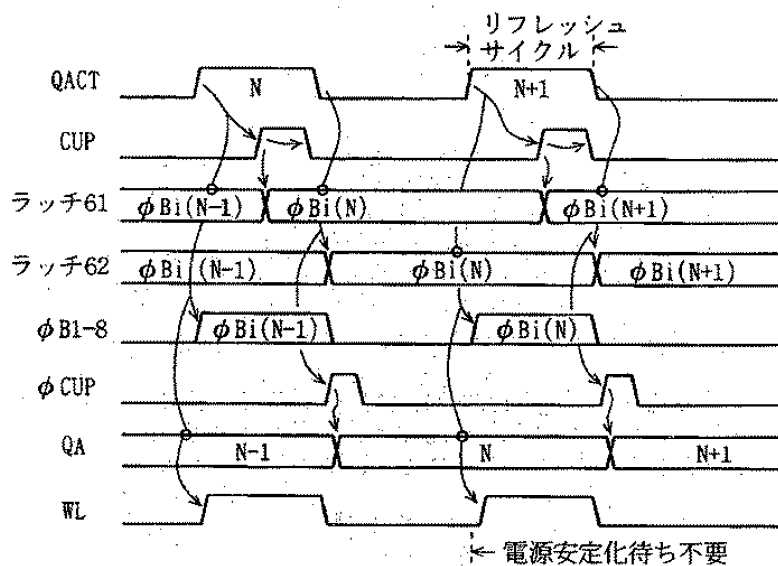
【図35】



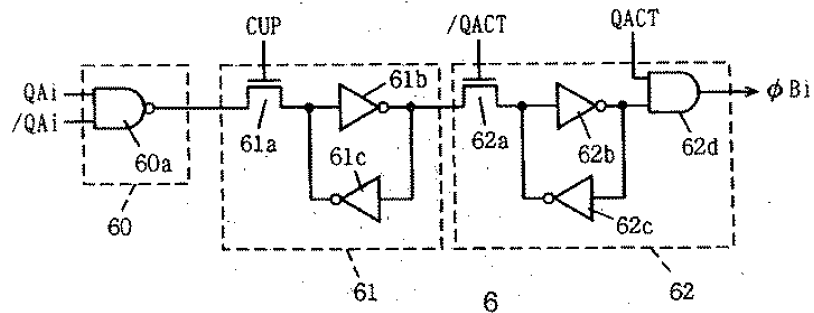
【図36】



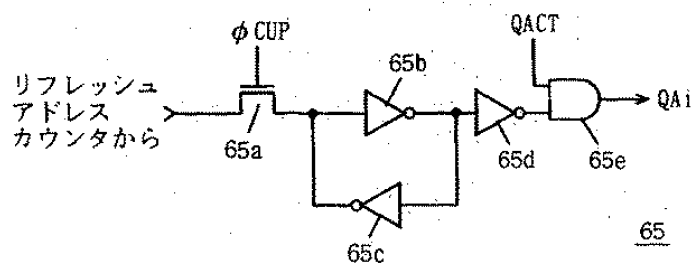
【図37】



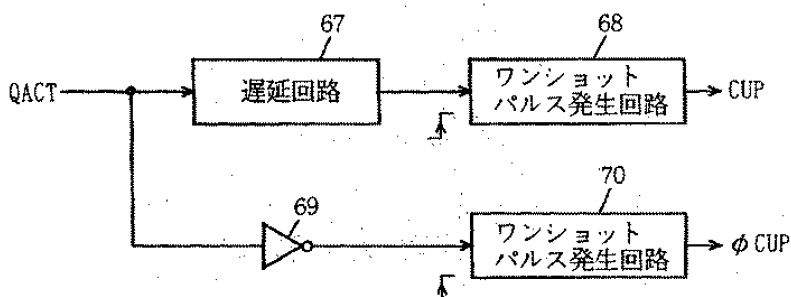
【図38】



【図39】



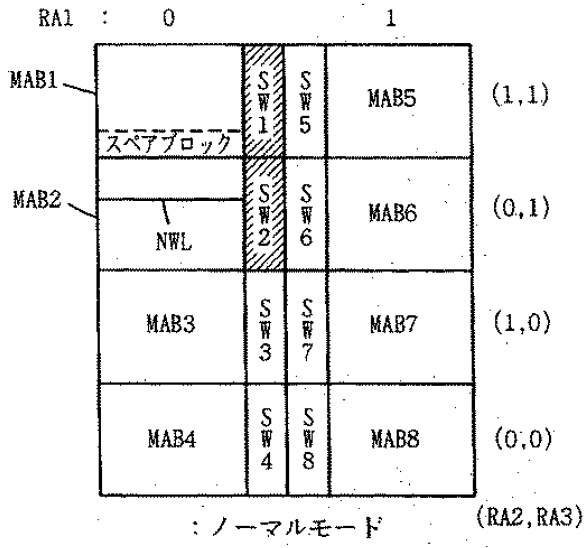
【図40】



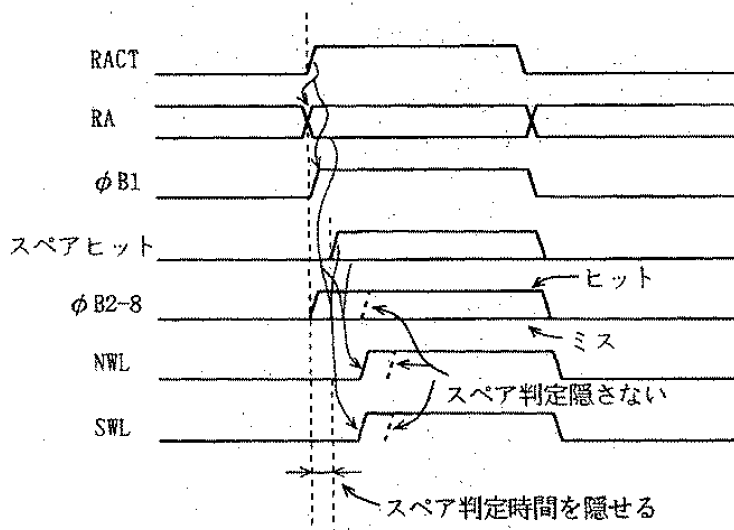
【図41】

MAB5		MAB6		MAB7		MAB8	
ノーマル メモリ ブロック	ノーマル メモリ ブロック	ノーマル メモリ ブロック	ノーマル メモリ ブロック	ノーマル メモリ ブロック	ノーマル メモリ ブロック	ノーマル メモリ ブロック	ノーマル メモリ ブロック
NMAB5	NMAB6	NMAB7	NMAB8				
SW5	SW6	SW7	SW8				
SW1	SW2	SW3	SW4				
ノーマル メモリ ブロック	ノーマル メモリ ブロック	ノーマル メモリ ブロック	ノーマル メモリ ブロック	ノーマル メモリ ブロック	ノーマル メモリ ブロック	ノーマル メモリ ブロック	ノーマル メモリ ブロック
NMAB1	NMAB2	NMAB3	NMAB4				
MAB1 (RBX#)	MAB2	MAB3	MAB4				

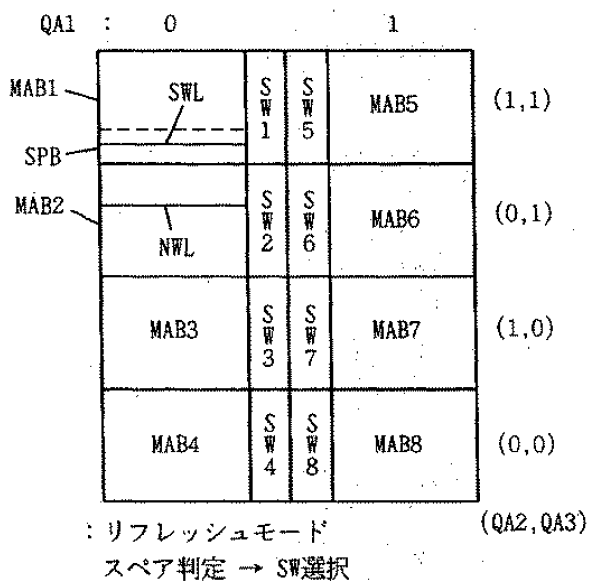
【図42】



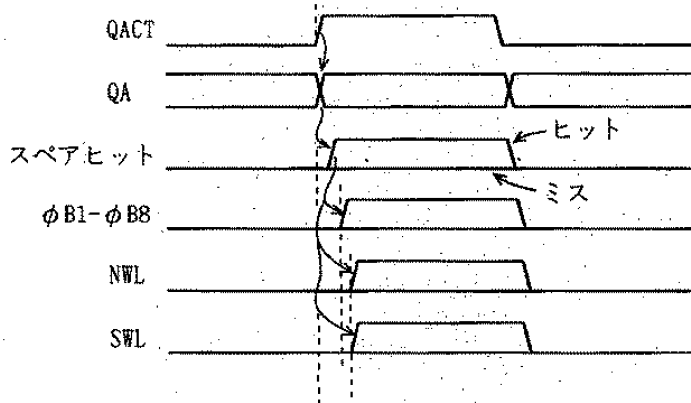
【図43】



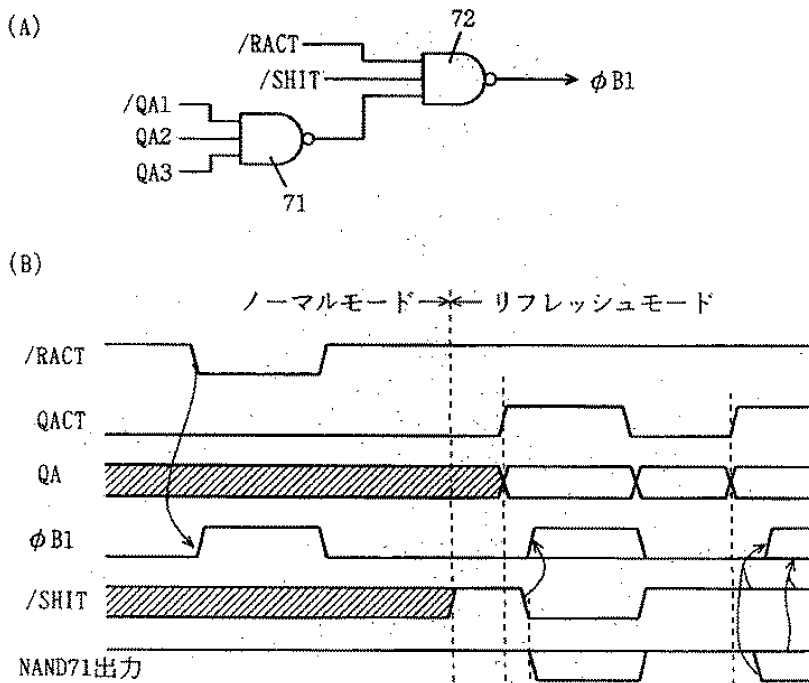
【図44】



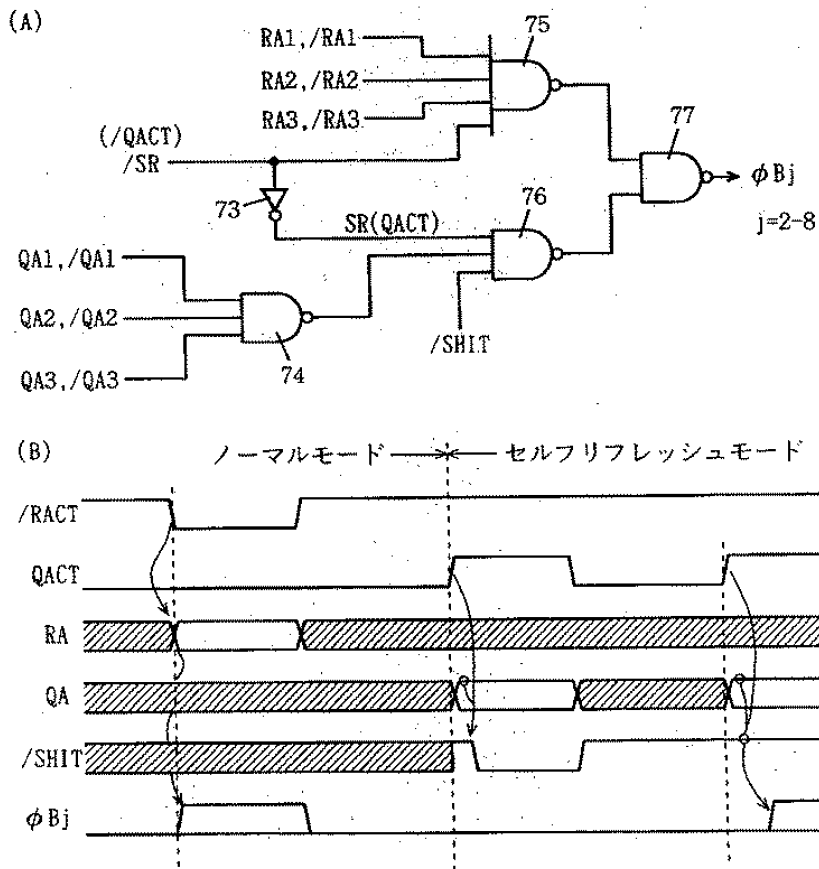
【図45】



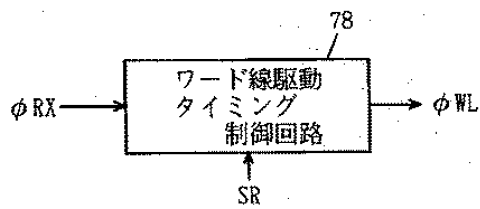
【図46】



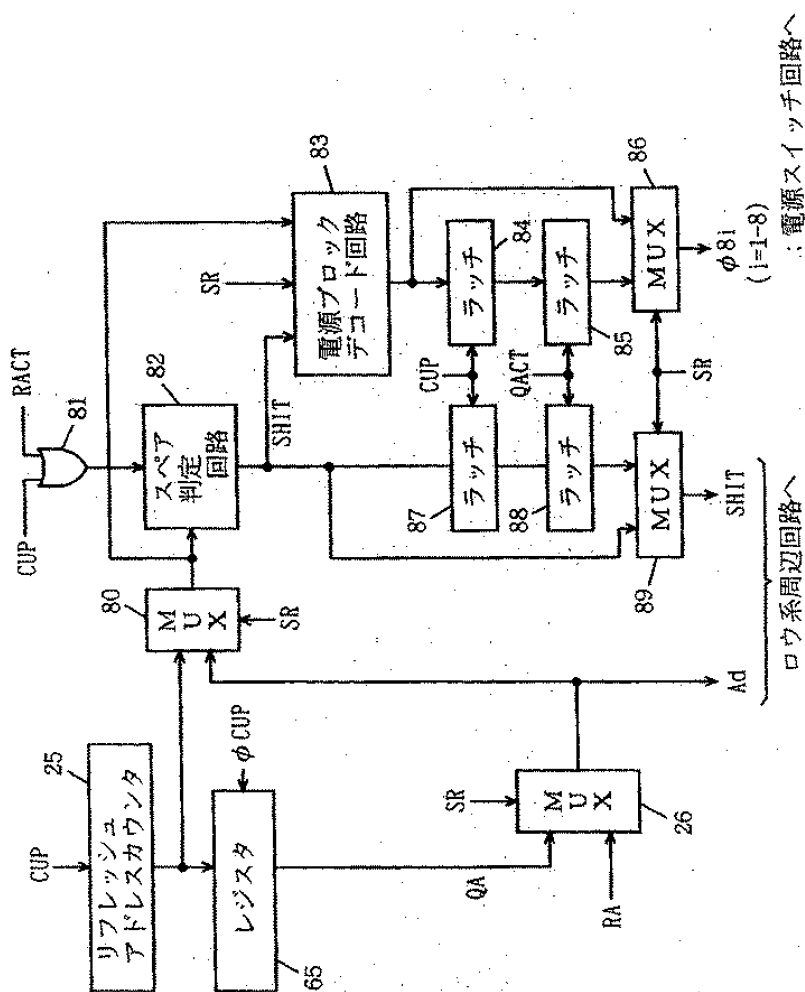
【図47】



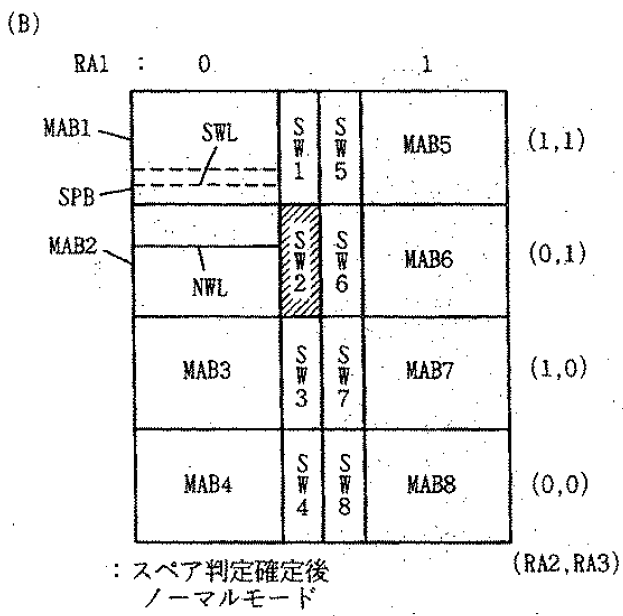
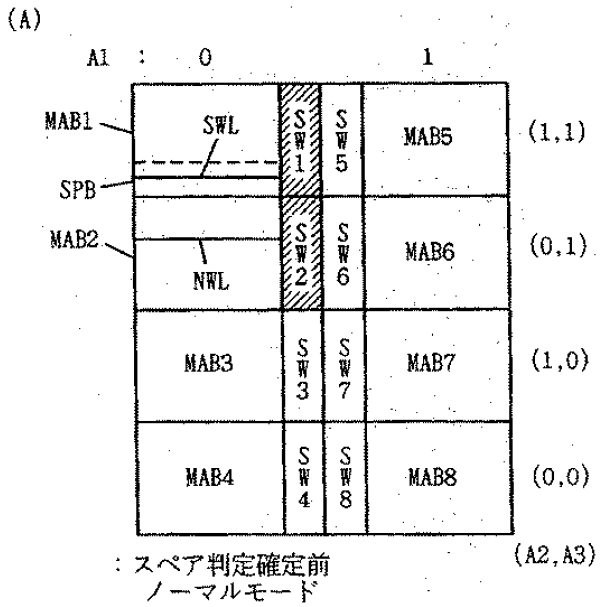
【図48】



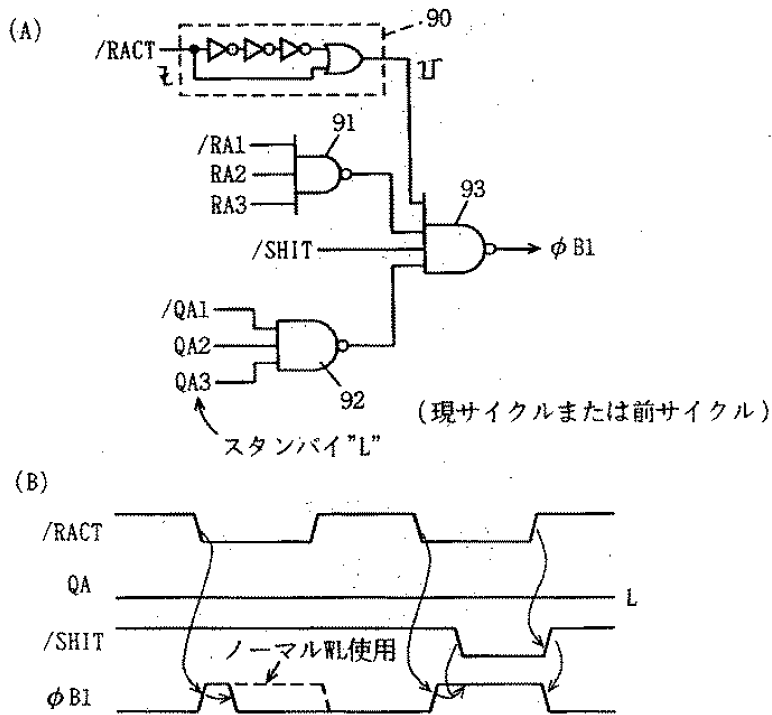
【図49】



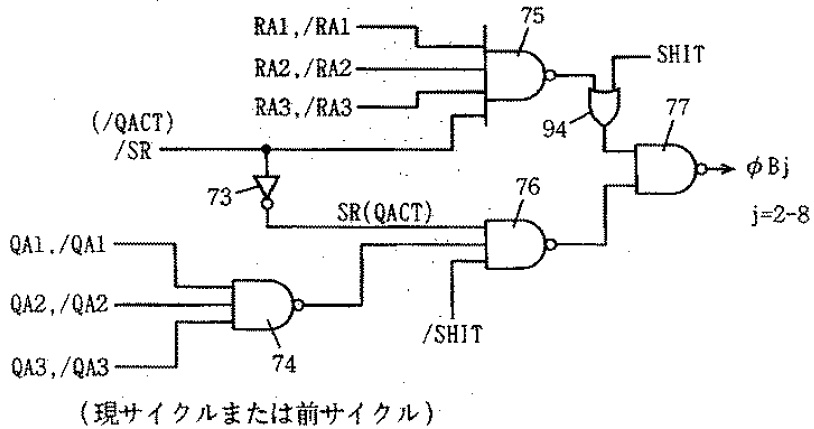
【図50】



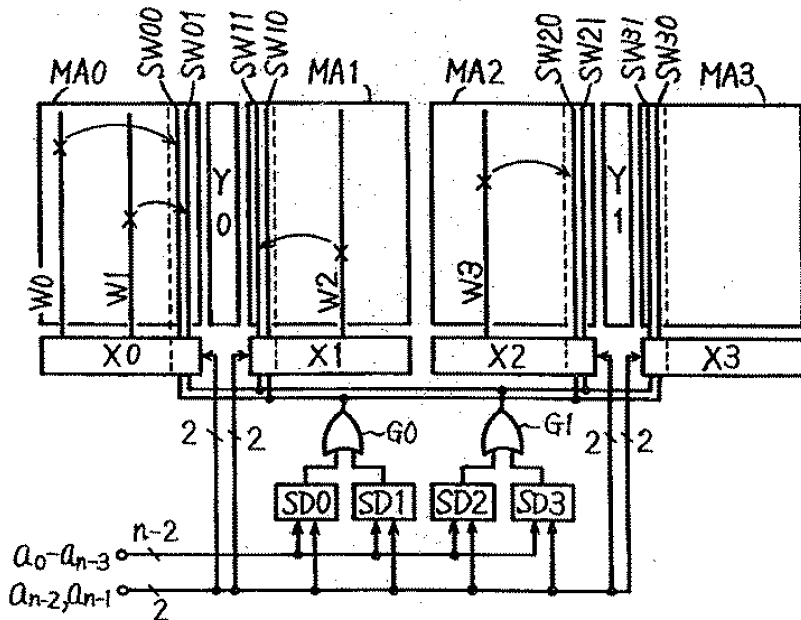
【図 5 1】



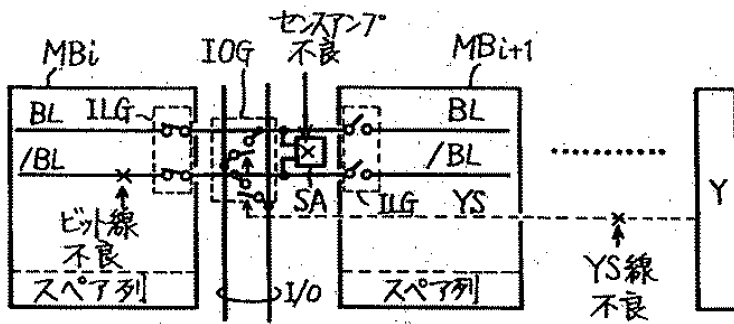
【図 5 2】



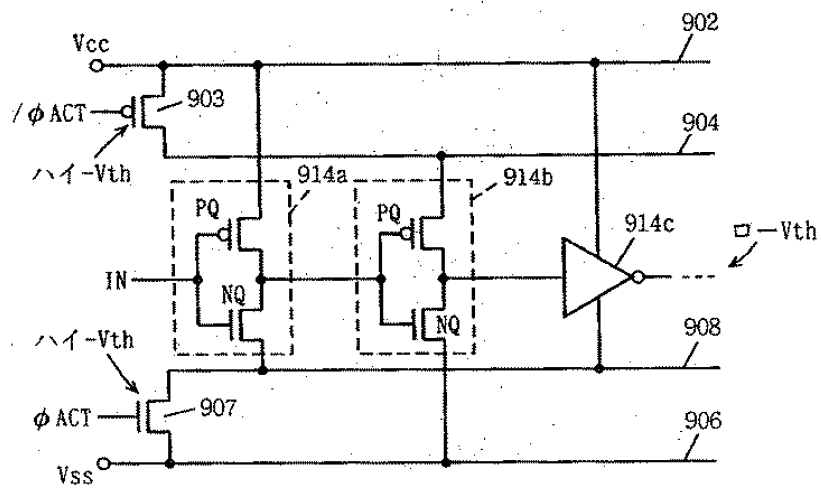
【図53】



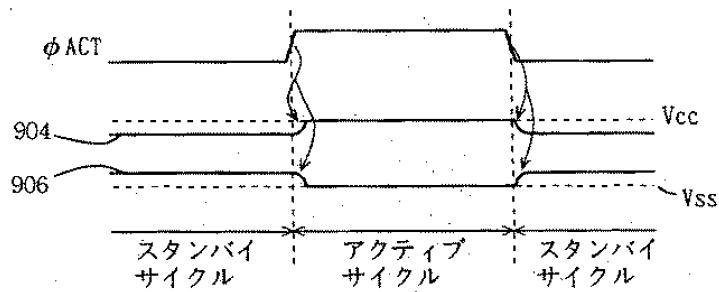
【図54】



【図55】



【図56】



特平10-293421

【書類名】 要約書

【要約】

【課題】 ブロック分割アレイにおいて効率的に不良ラインのスペアラインにより置換の救済を行なう。

【解決手段】 複数のノーマルメモリセルが配置されるノーマルサブアレイを複数個に対し共通にスペアメモリセルが配置されるスペアアレイ (SP#0) を配置する。このスペアアレイ (SP#0) の不良ラインは、対応の複数のノーマルサブアレイ (MB#00~MB#n) におけるノーマルラインと置換可能である。

【選択図】 図1

特平10-293421

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000006013
【住所又は居所】 東京都千代田区丸の内二丁目2番3号
【氏名又は名称】 三菱電機株式会社

【代理人】

申請人
【識別番号】 100064746
【住所又は居所】 大阪府大阪市北区南森町2丁目1番29号 住友銀行南森町ビル 深見特許事務所
【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132
【住所又は居所】 大阪府大阪市北区南森町2丁目1番29号 住友銀行南森町ビル 深見特許事務所
【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100091395
【住所又は居所】 大阪府大阪市北区南森町2-1-29 住友銀行南森町ビル 深見特許事務所
【氏名又は名称】 吉田 博由

【選任した代理人】

【識別番号】 100091409
【住所又は居所】 大阪府大阪市北区南森町2-1-29 住友銀行南森町ビル 深見特許事務所
【氏名又は名称】 伊藤 英彦

特平10-293421

出願人履歴情報

識別番号 [000006013]

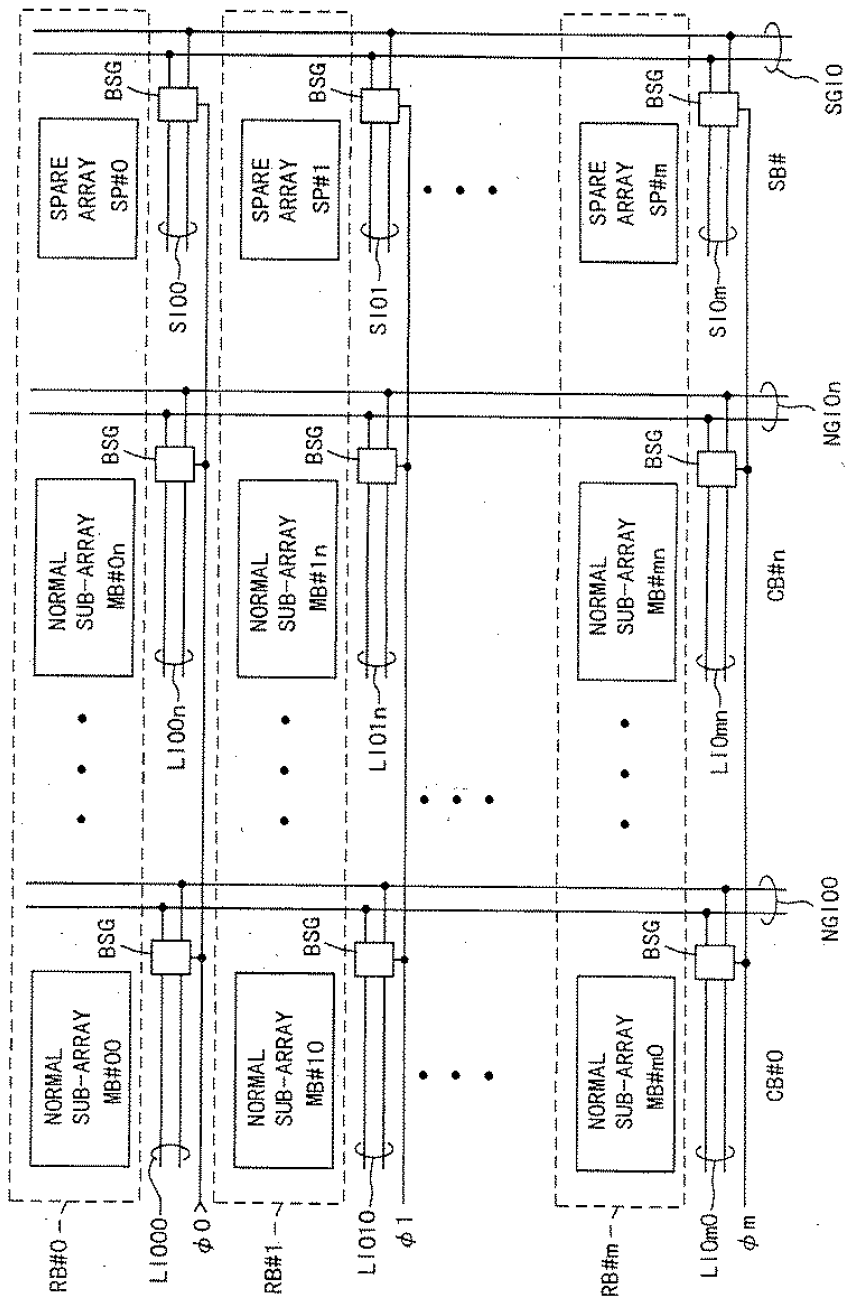
1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社

BY 365 200
 9 and 10

6233181

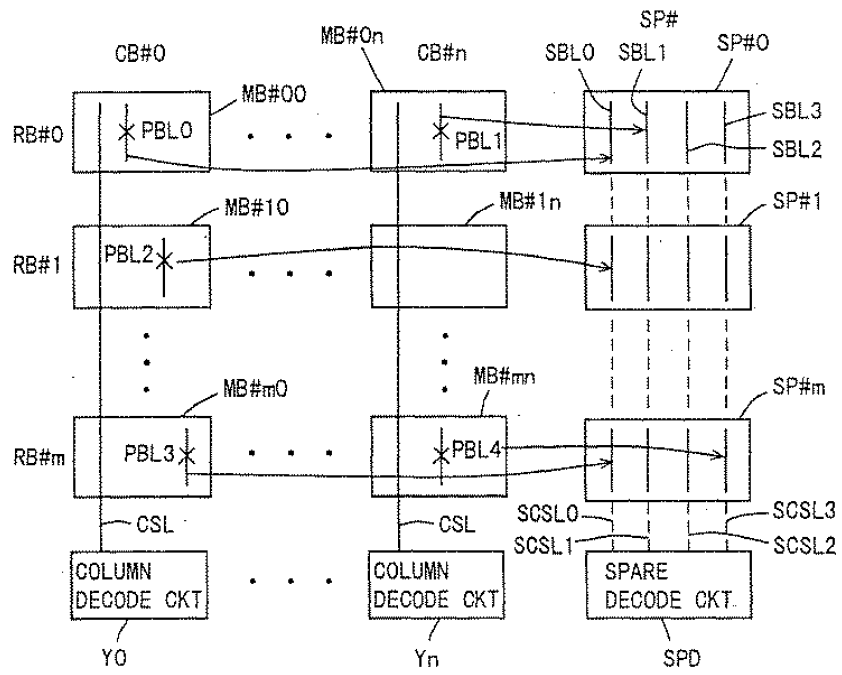
664240-55E5260

FIG. 1



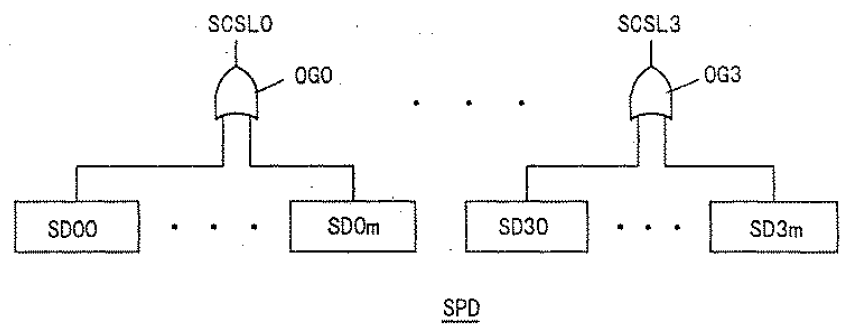
REV	DATE	BY

FIG. 2A



09251352, 021799

FIG. 2B



BY
DRAFTSMAN

FIG. 3A

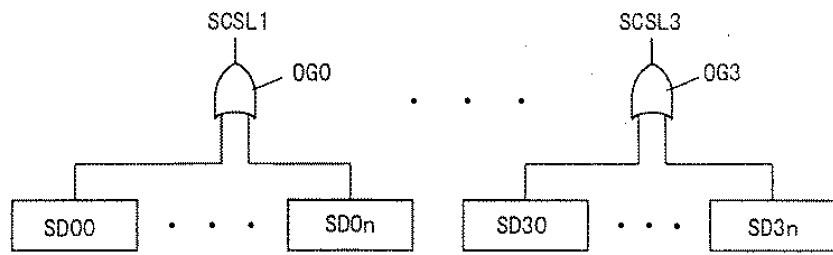
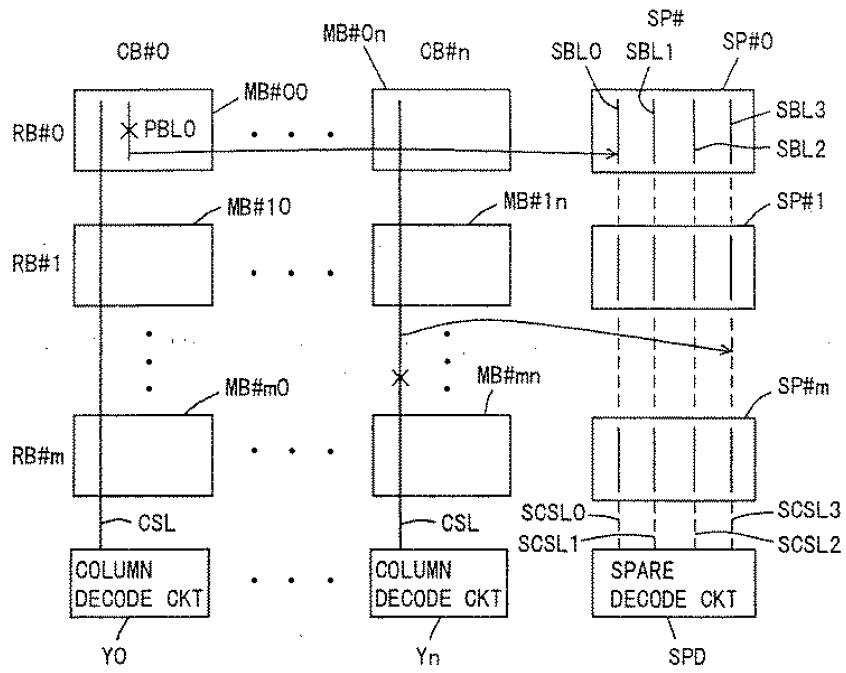


FIG. 3B



064720" 2545260

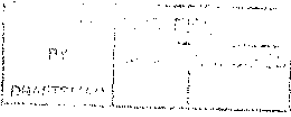
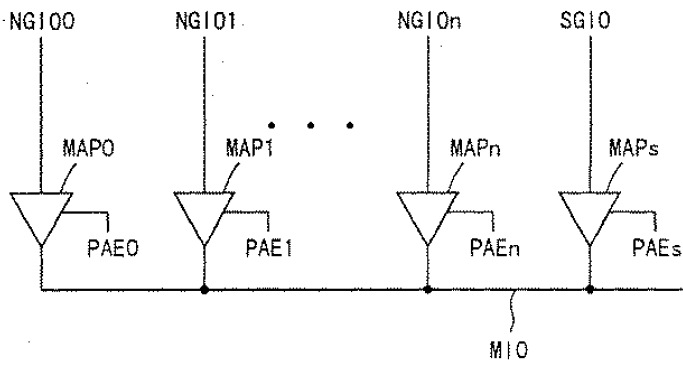
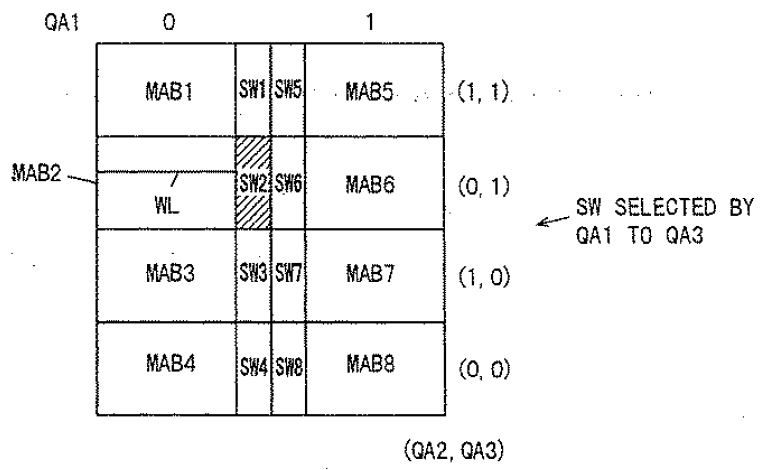


FIG. 4



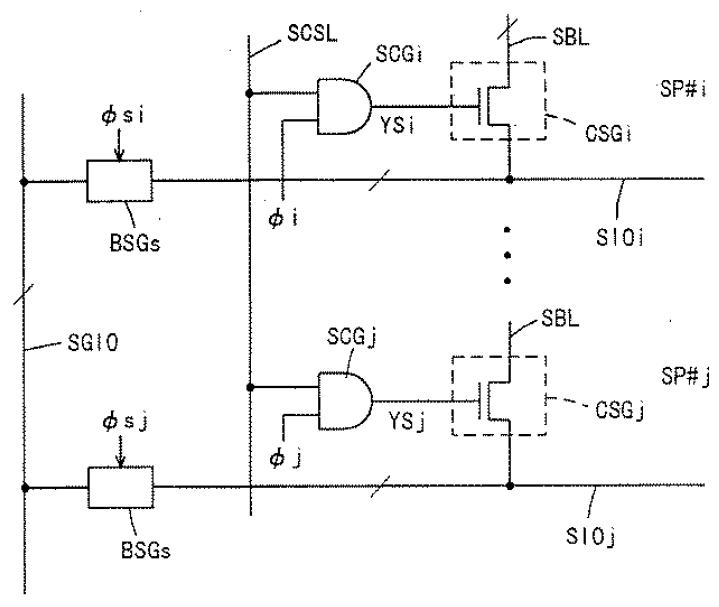
664780-25E1580

FIG. 24



9 and 10
 365 200

FIG. 8



66/F20'25515260

FIG. 9

X0	NORMAL MEMORY SUB-ARRAY	MA#0
SPDX	SPARE ARRAY	SPX#
X1	NORMAL MEMORY SUB-ARRAY	MA#1; RBX#1
X2	NORMAL MEMORY SUB-ARRAY	MA#2; RBX#2
•	•	
•	•	
•	•	
Xm	NORMAL MEMORY SUB-ARRAY	MA#m; RBX#m

664F20-25E15260

FIG. 10

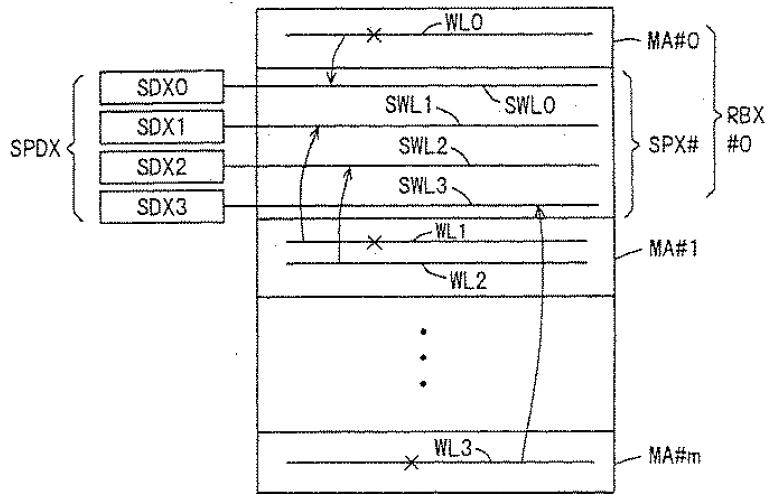
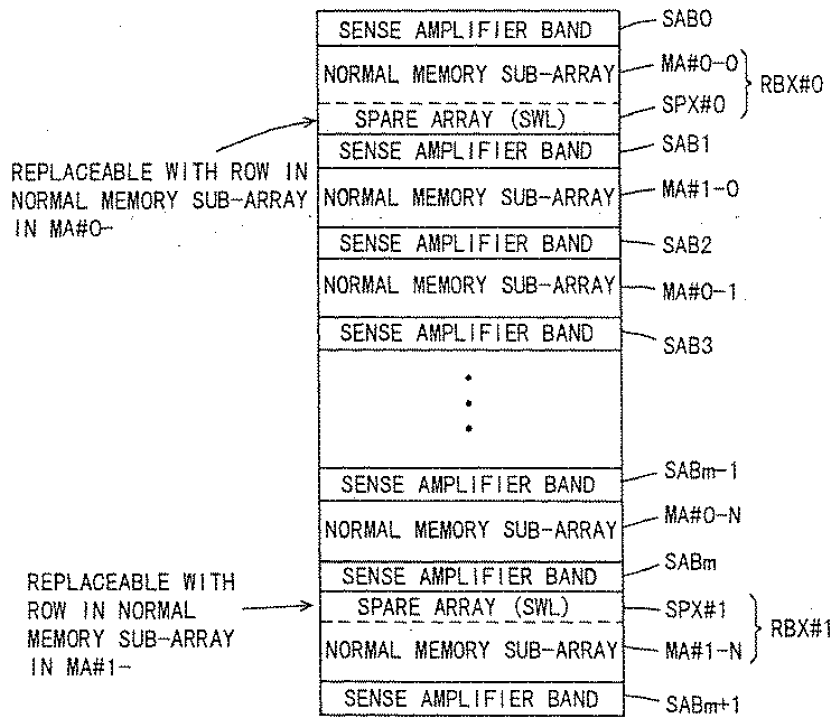


FIG. 11



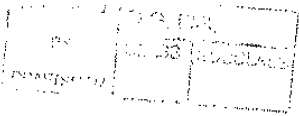
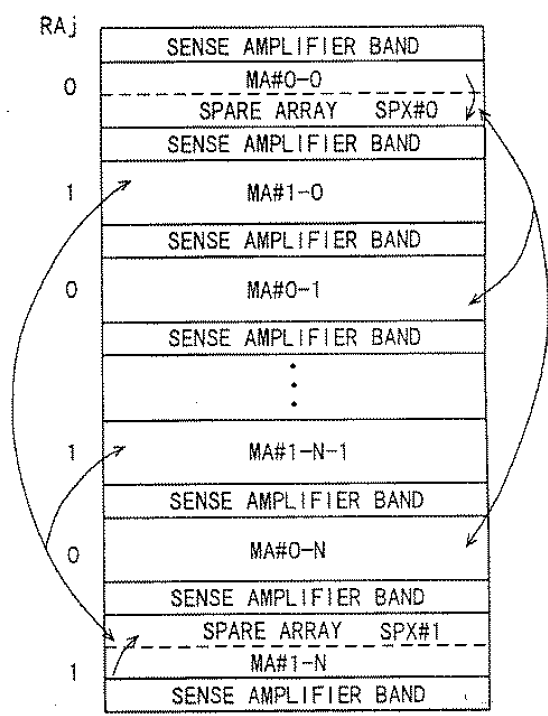
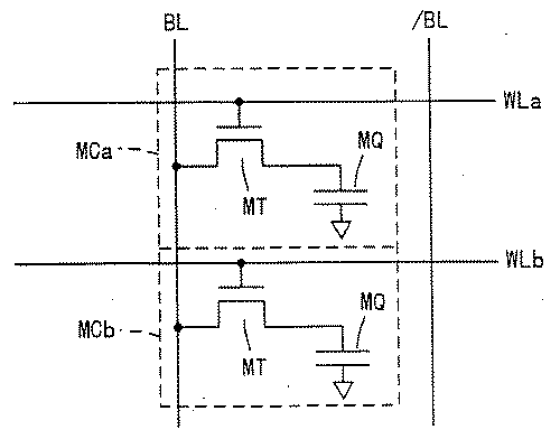


FIG. 15



COPYED BY REFERENCE

FIG. 16



APPROVED	DATE
BY	
DRAWN	

FIG. 12

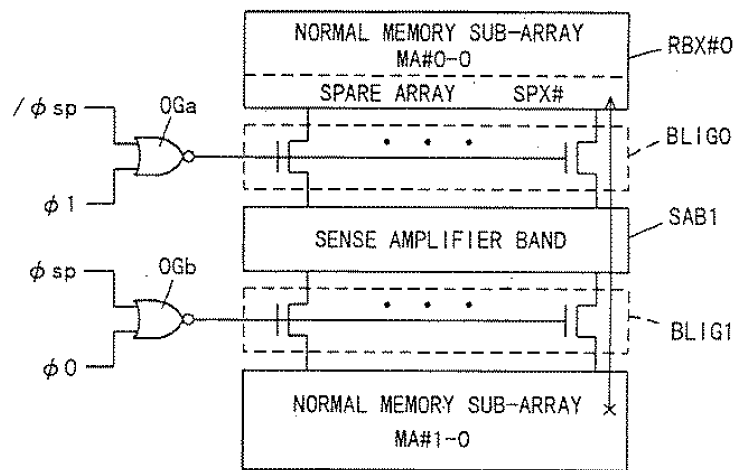


FIG. 13

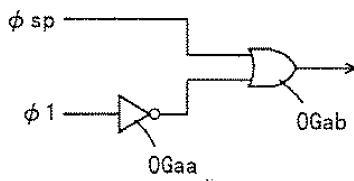
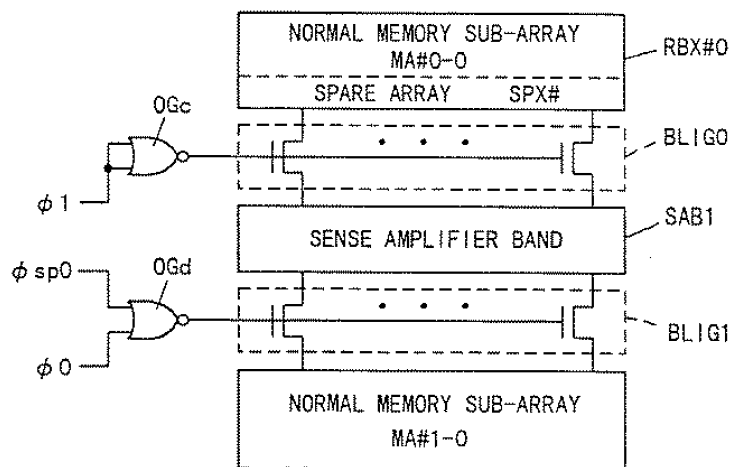


FIG. 14



0051352.021799

FIG. 17

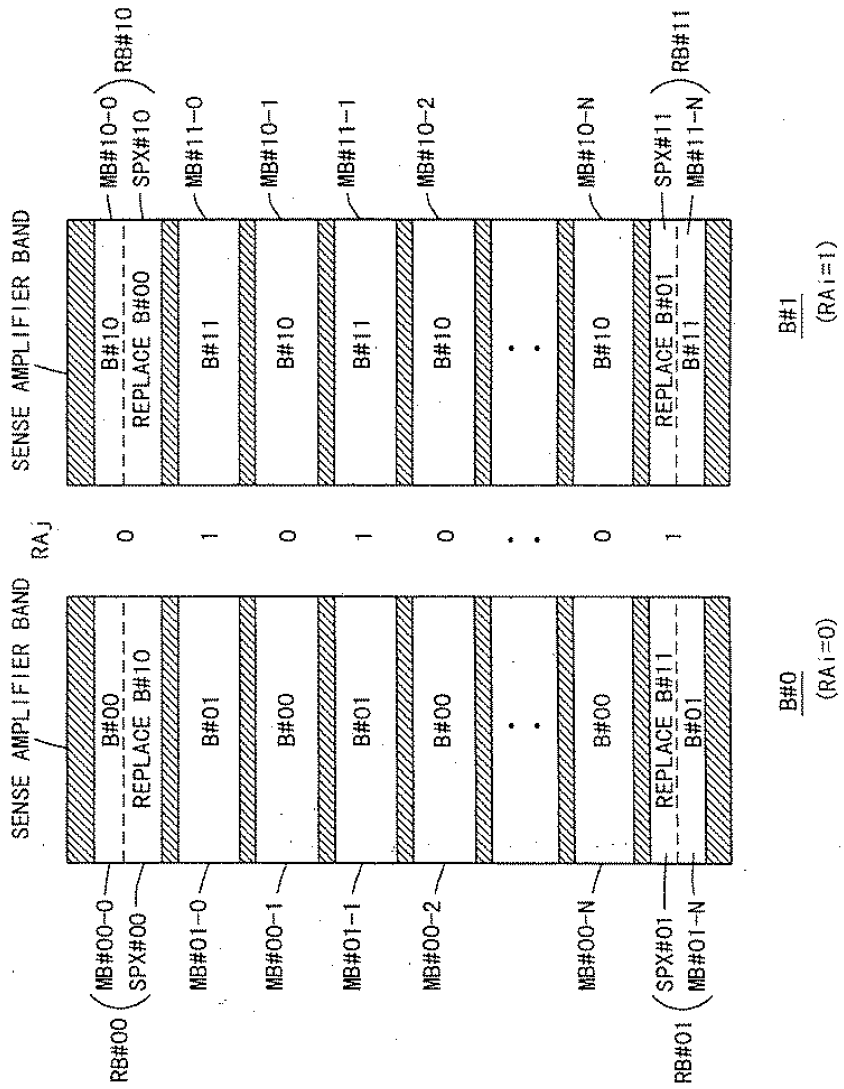




FIG. 18A

IN NORMAL MODE;

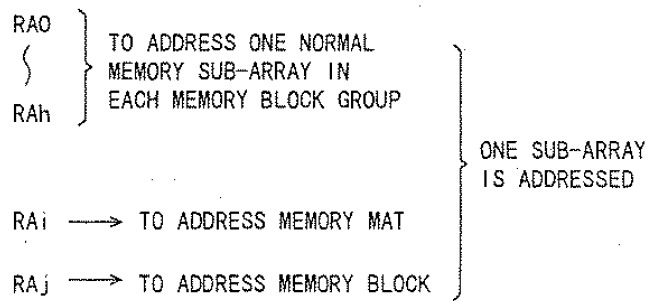


FIG. 18B

IN TEST MODE;

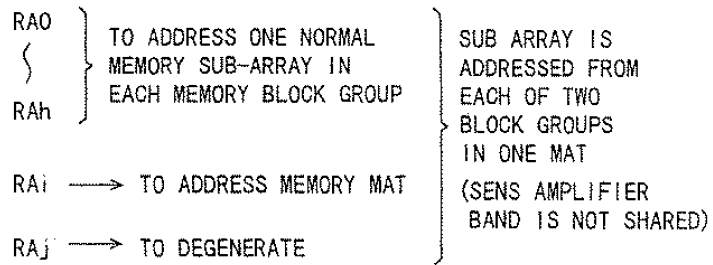
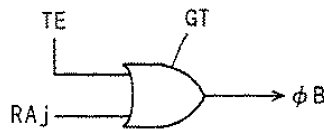


FIG. 19



662700-2527560

664720 25675260



FIG. 20

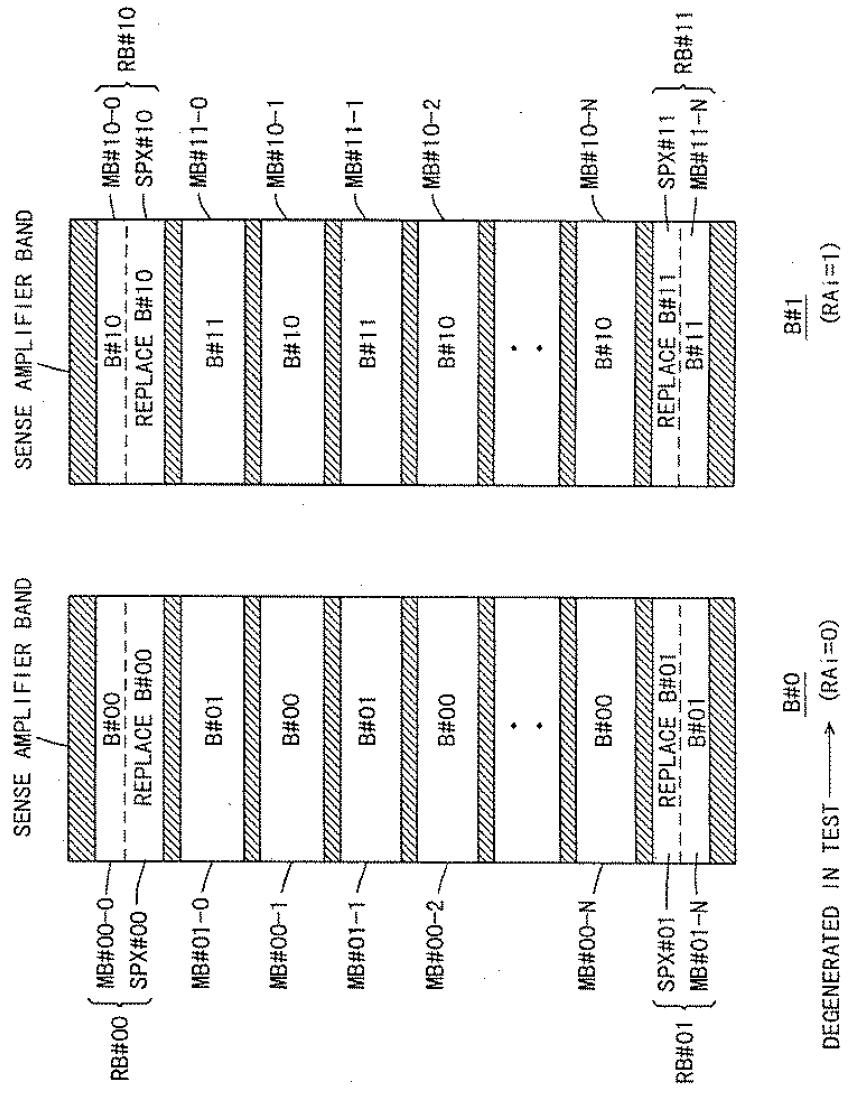


FIG. 21A

FIG. 21A

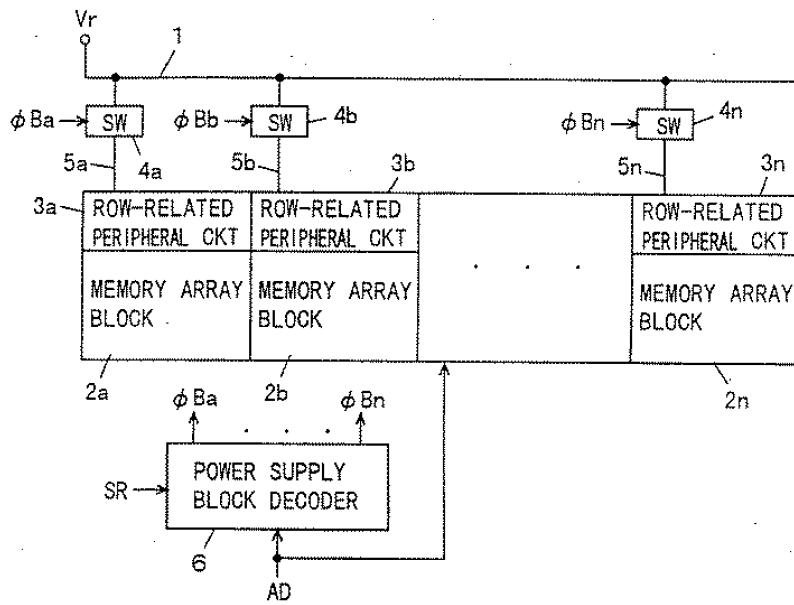
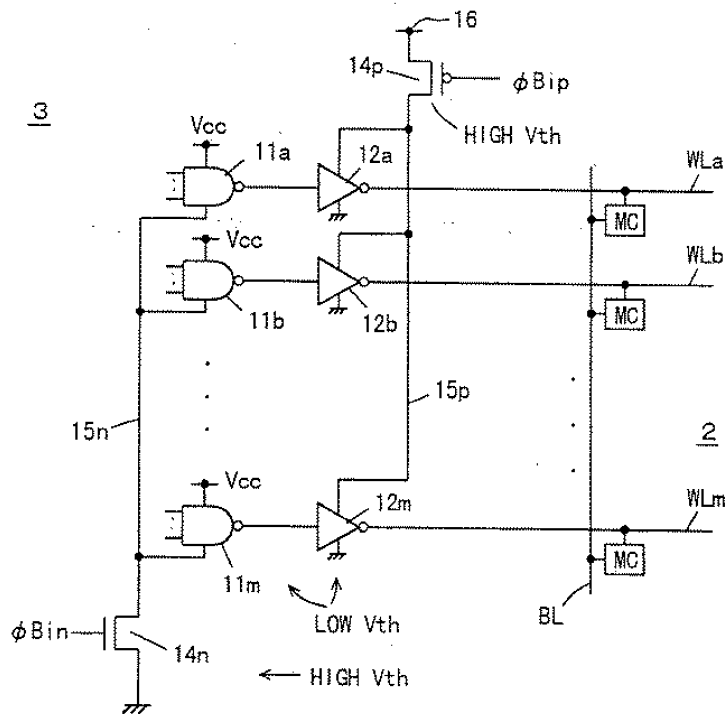


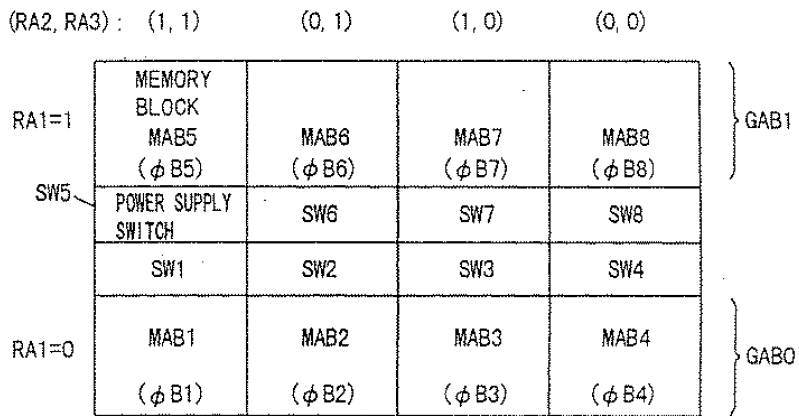
FIG. 21B



662720 2557600



FIG. 22



00251520.001709

FIG. 23A

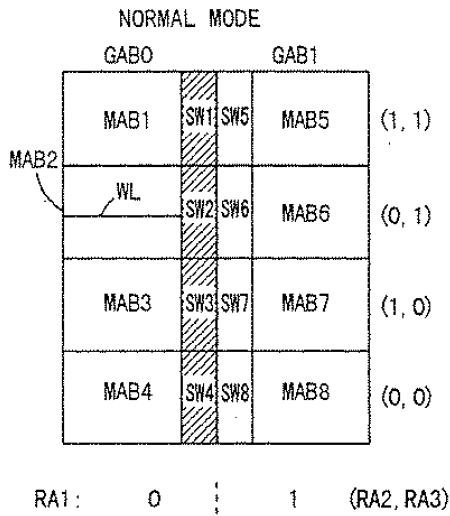
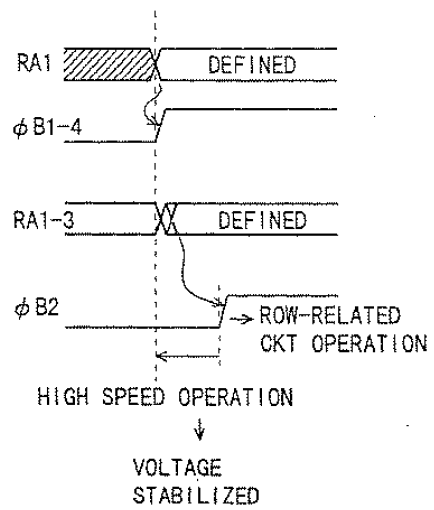


FIG. 23B



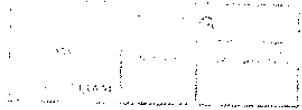
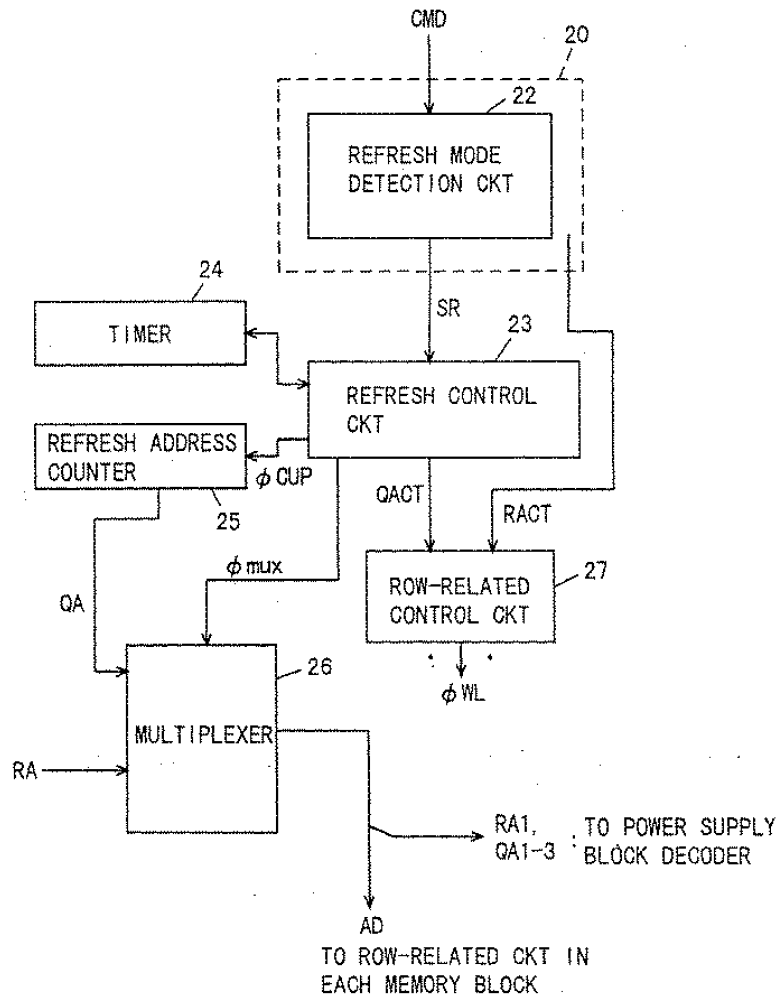


FIG. 25



0051352 034799

FIG. 26

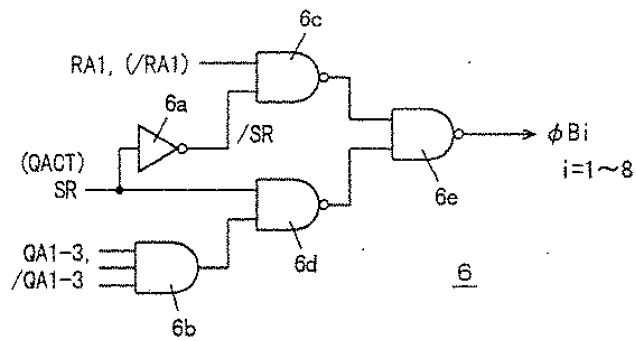


FIG. 27

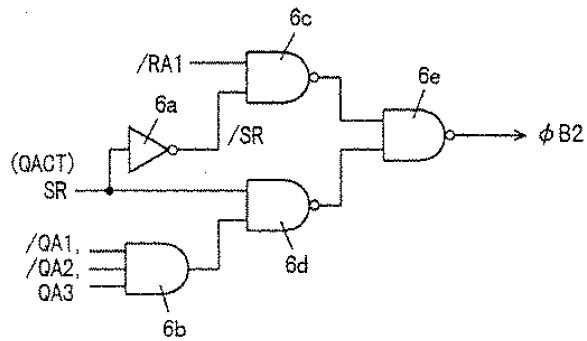
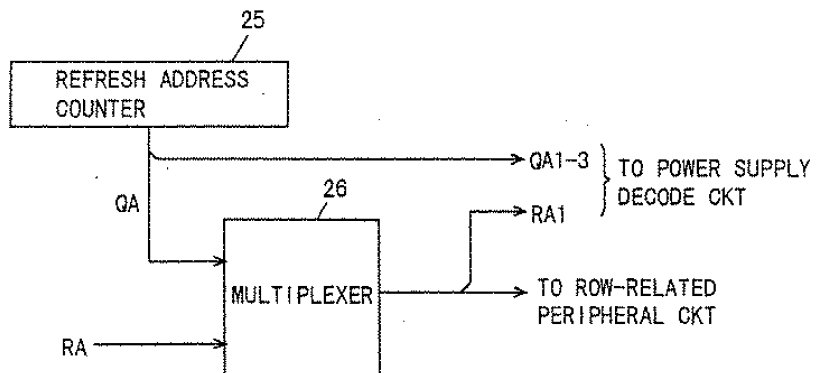


FIG. 28



00251352-021799

664720-25E1560

FIG. 29

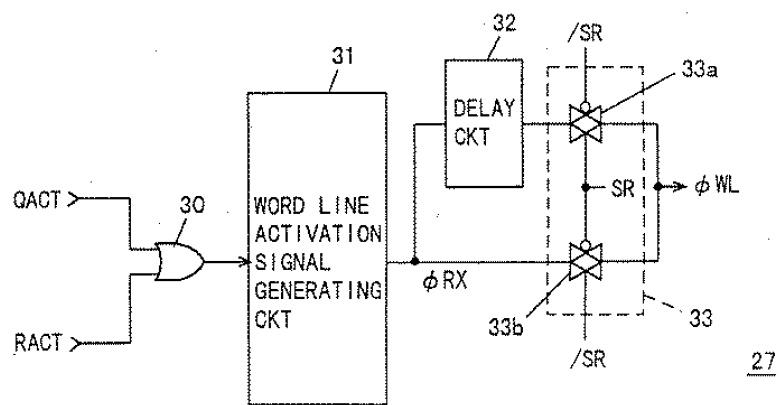
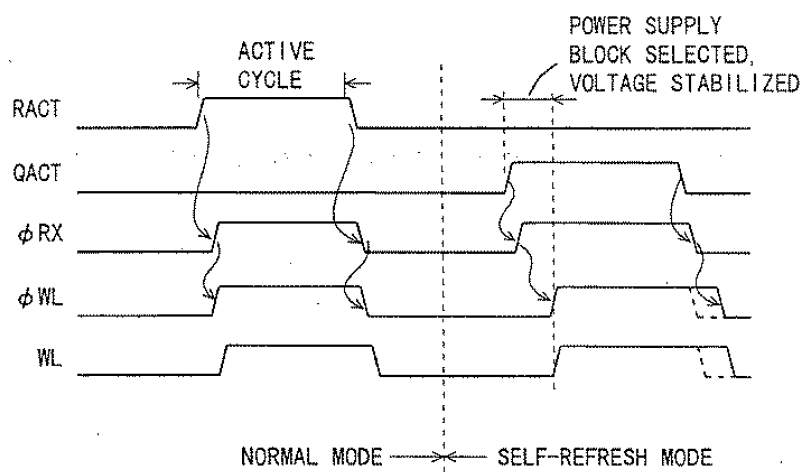


FIG. 30



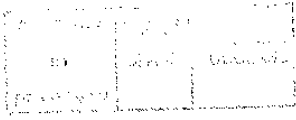
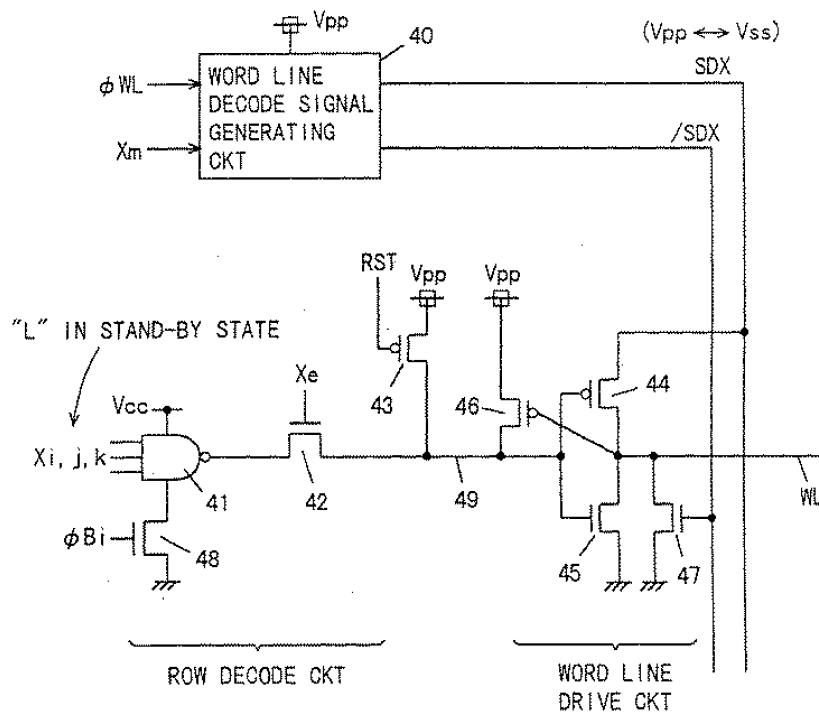


FIG. 31



2025 RELEASE UNDER E.O. 14176

FIG. 32A

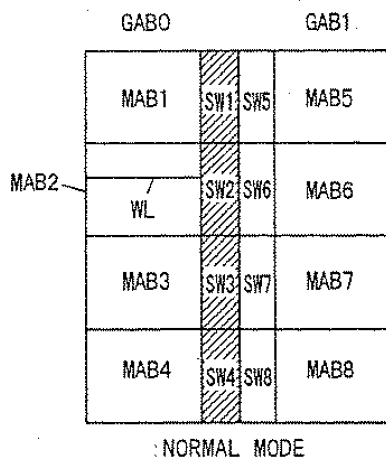
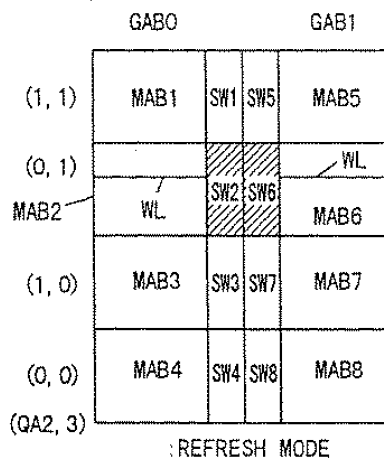


FIG. 32B



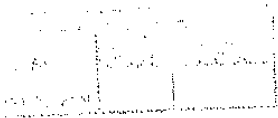


FIG. 33

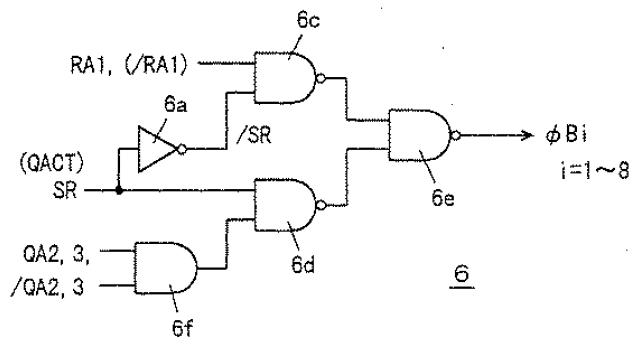


FIG. 34

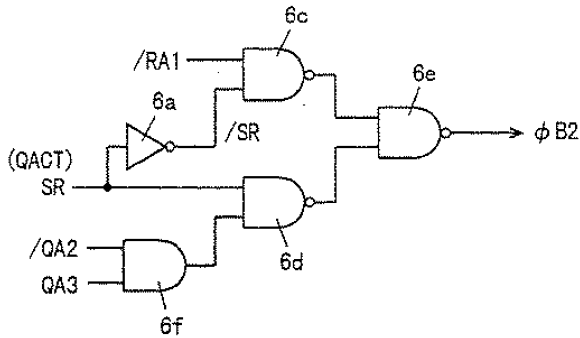
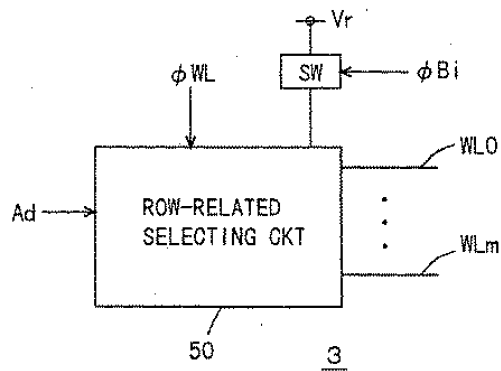


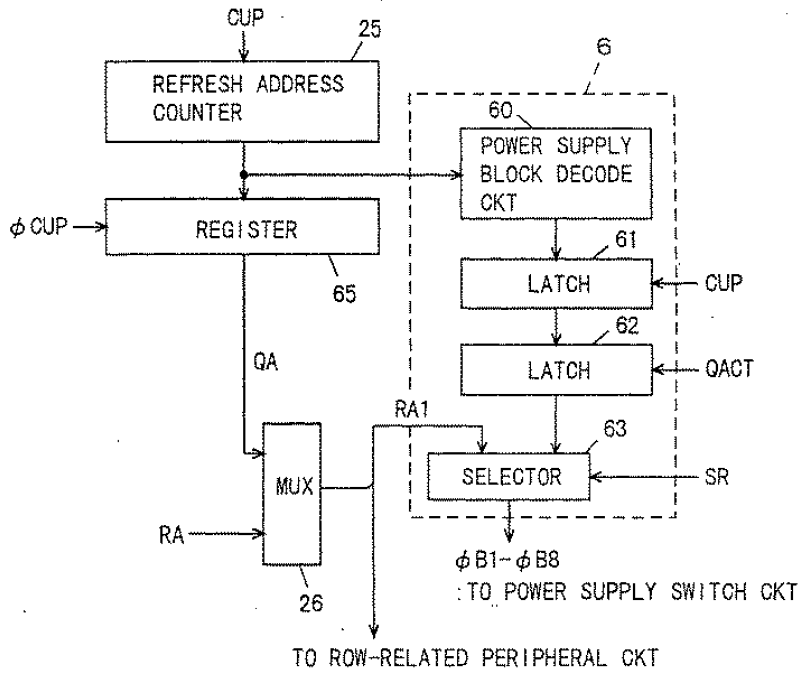
FIG. 35



664720-251F560

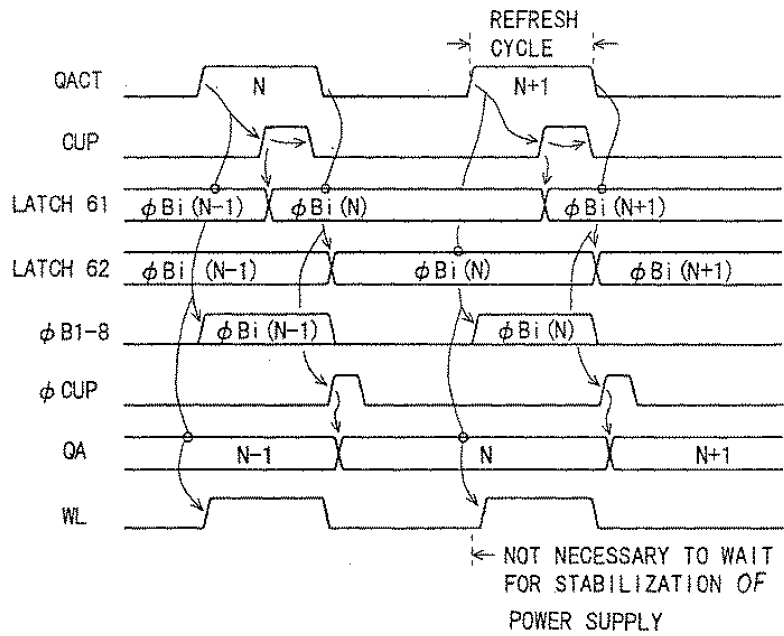


FIG. 36



09251352-001499

FIG. 37



654720" 8815264

FIG. 38

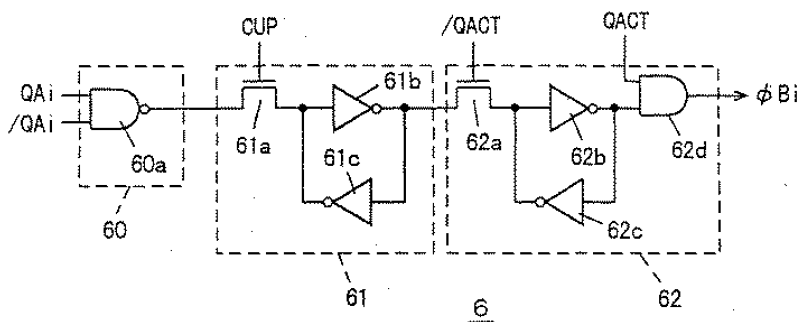


FIG. 39

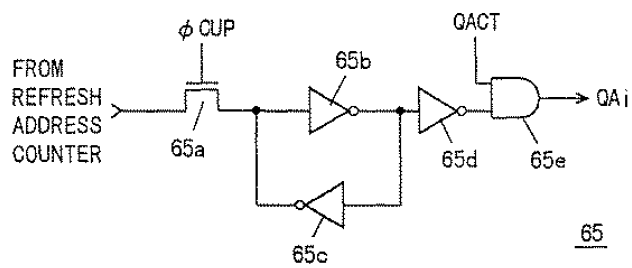
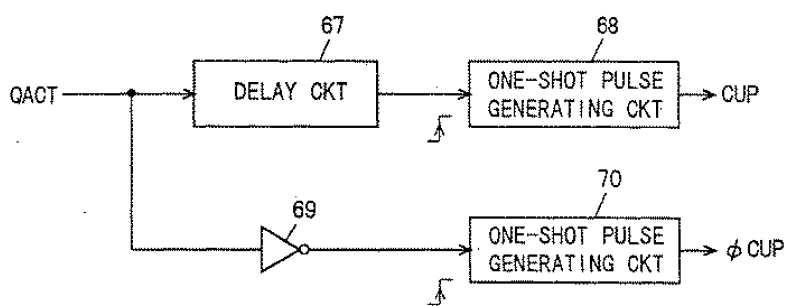


FIG. 40



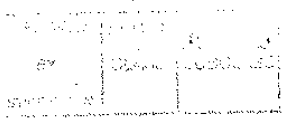


FIG. 41

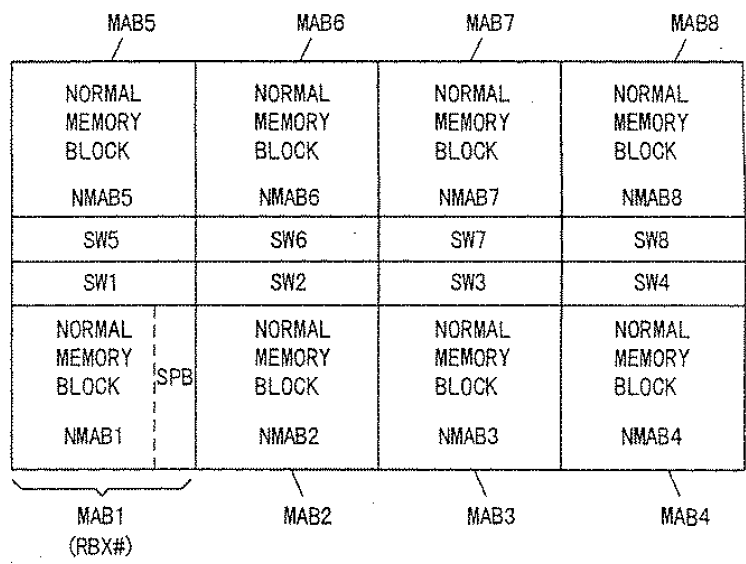
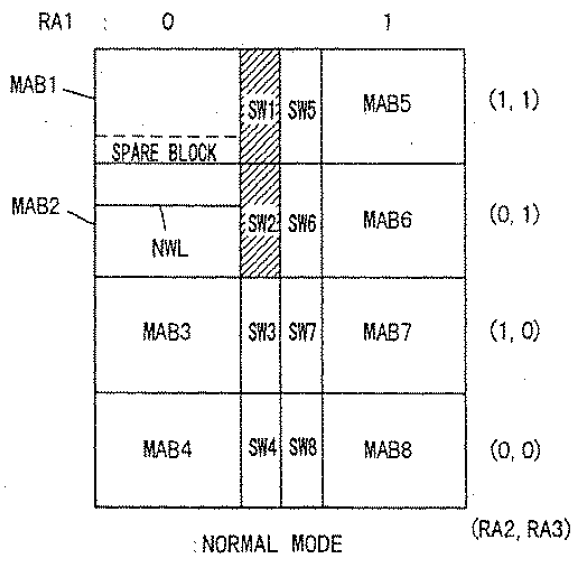


FIG. 42



664720-25E1560

664720-01
 664720-01
 664720-01

FIG. 43

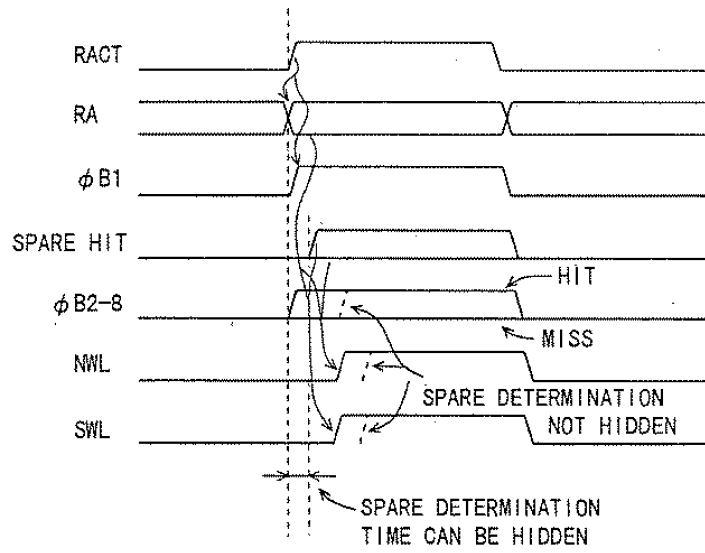
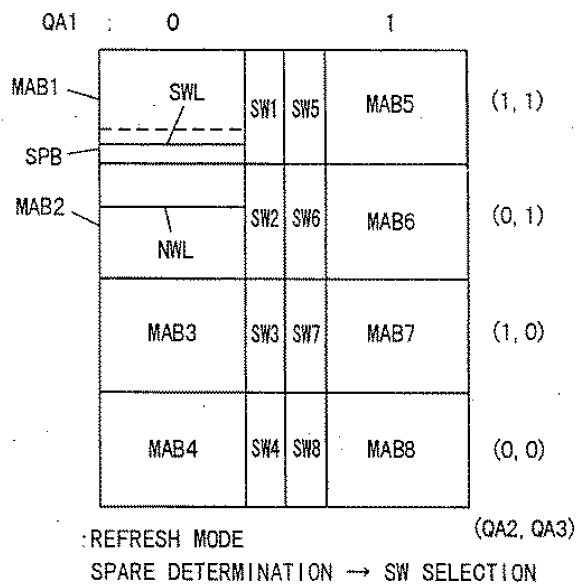


FIG. 44



664720-25915260

FIG. 45

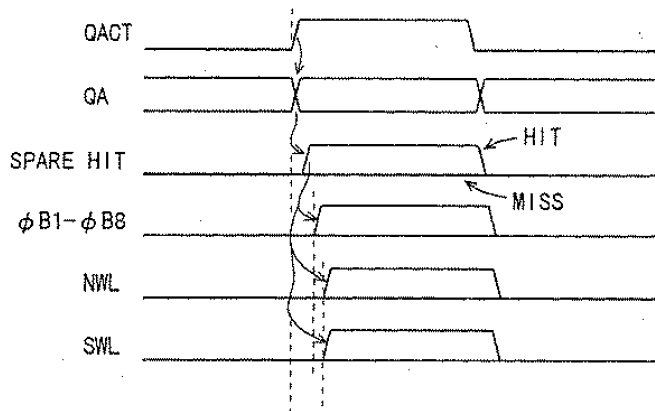


FIG. 46A

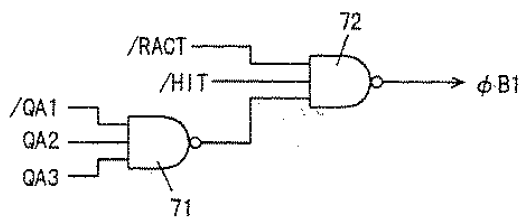
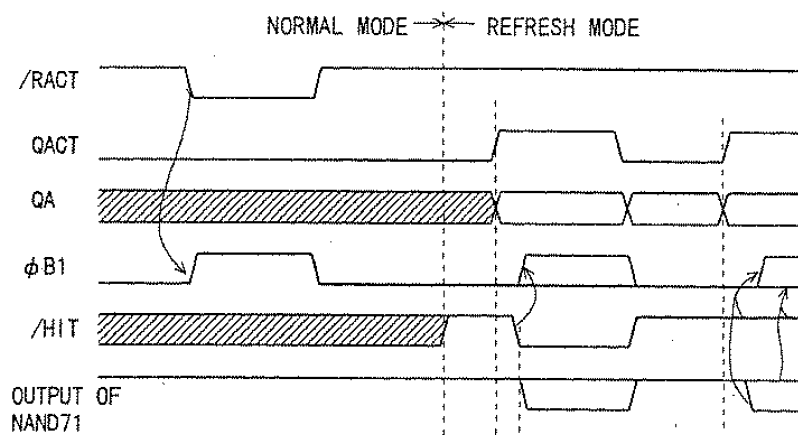
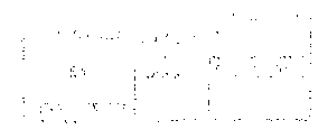


FIG. 46B





662F20 254F560

FIG. 47A

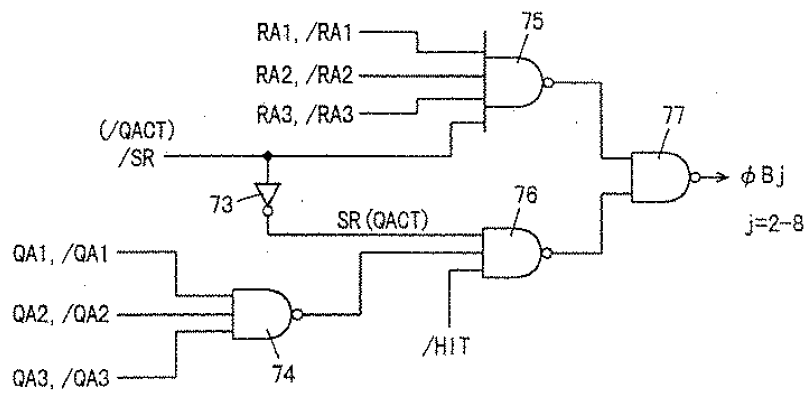


FIG. 47B

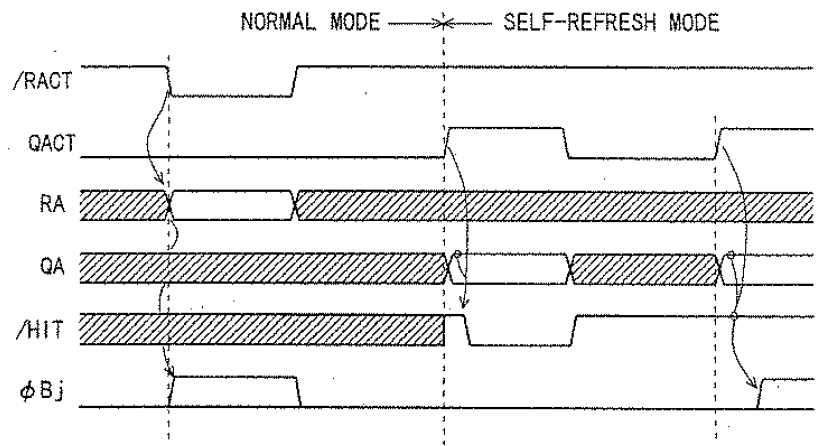
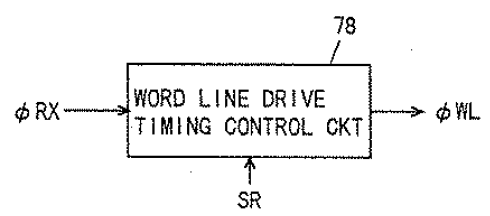
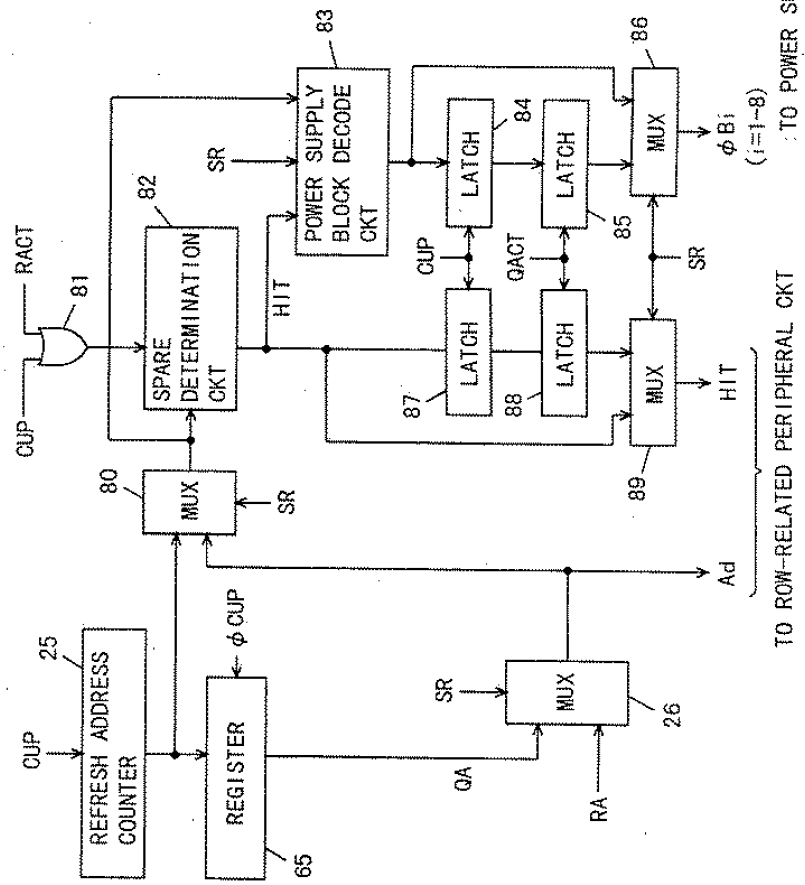


FIG. 48



664720" 25E15260

FIG. 49



66720-25E15260

FIG. 51A

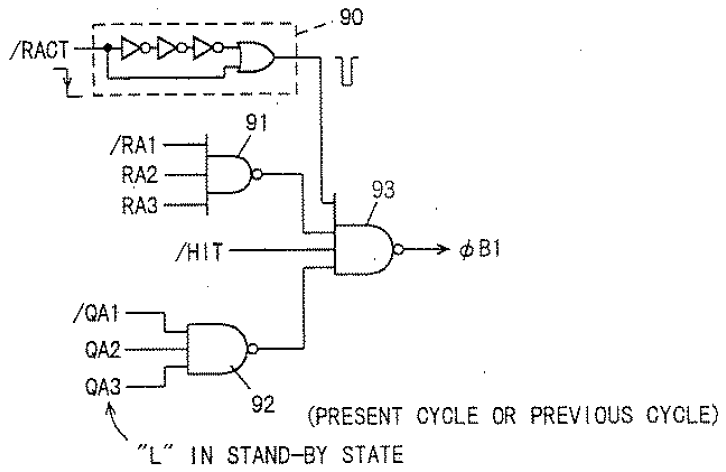


FIG. 51B

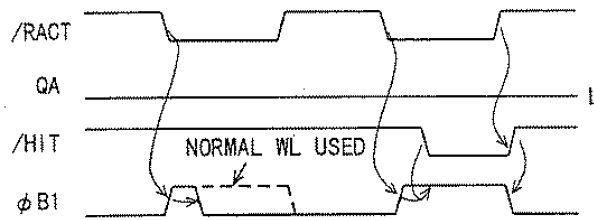
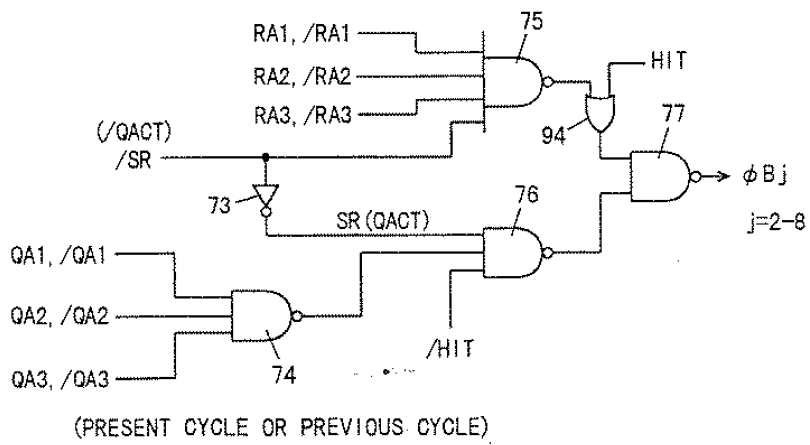


FIG. 52



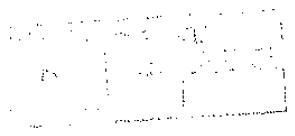
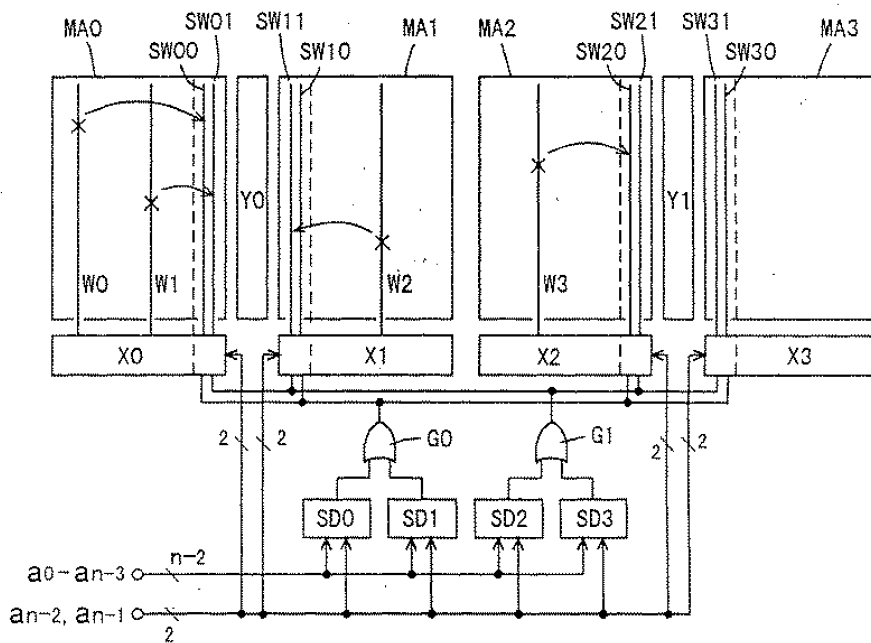
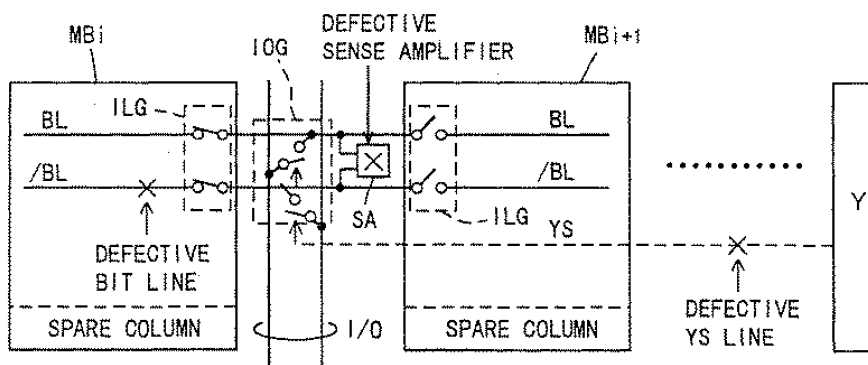


FIG. 53 PRIOR ART



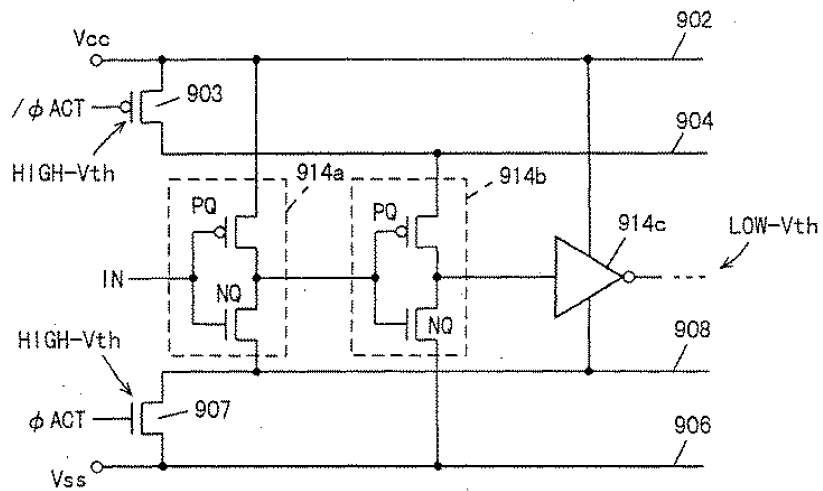
0951352-01199

FIG. 54 PRIOR ART



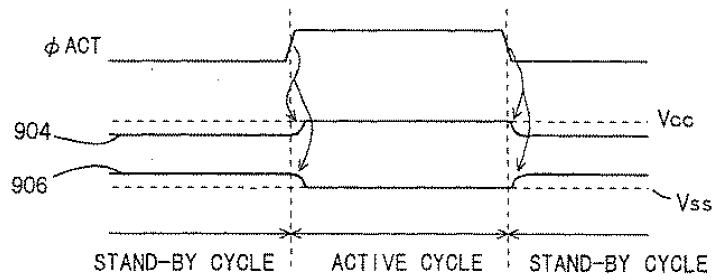
9 and 10
365 200

FIG. 55 PRIOR ART



05/20/25/52/60

FIG. 56 PRIOR ART



365
200
Tran

66720' 25E15260

FIG. 1

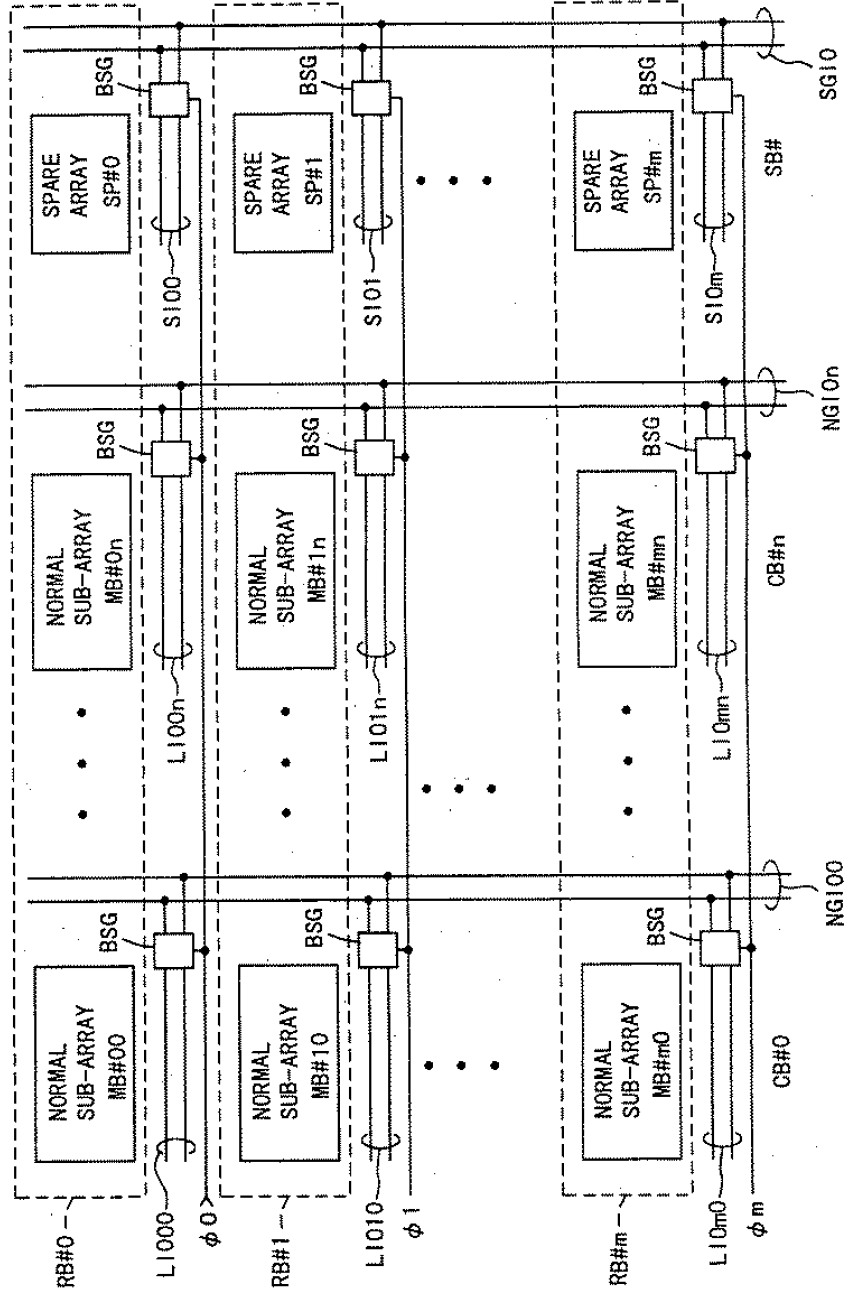


FIG. 2A

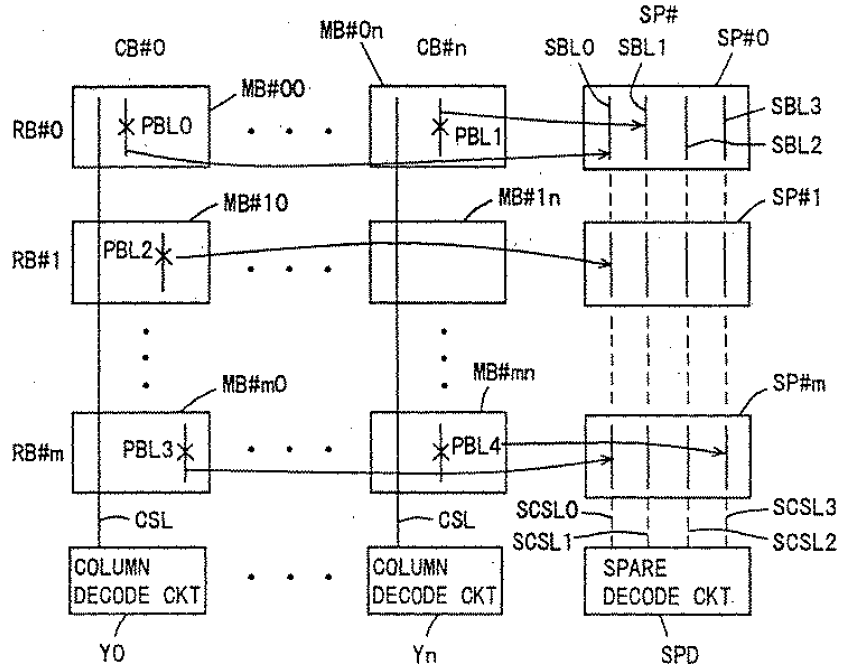
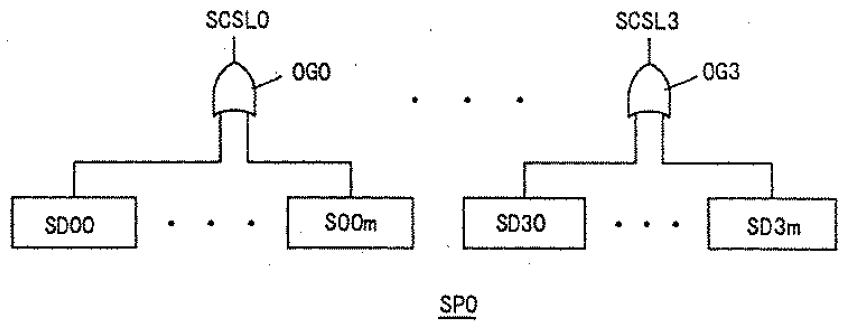


FIG. 2B



66420 25EFS260

FIG. 3A

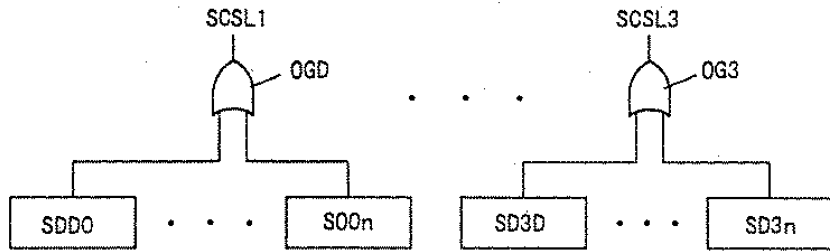
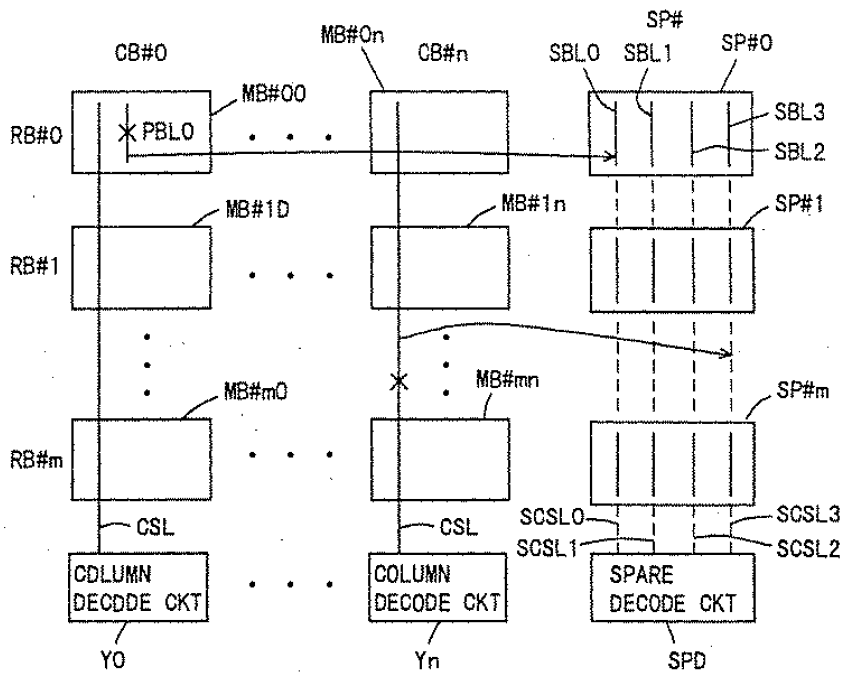


FIG. 3B



002120-25875260

FIG. 4

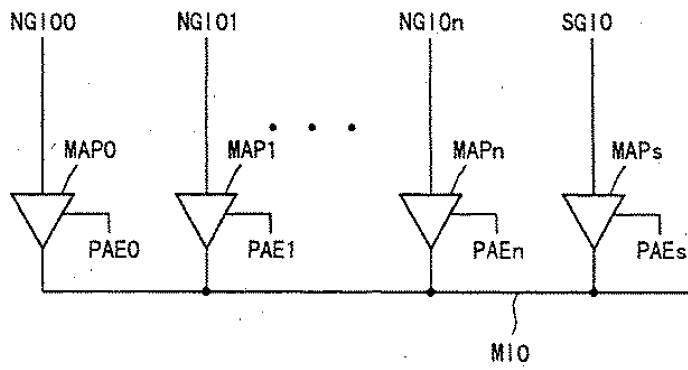
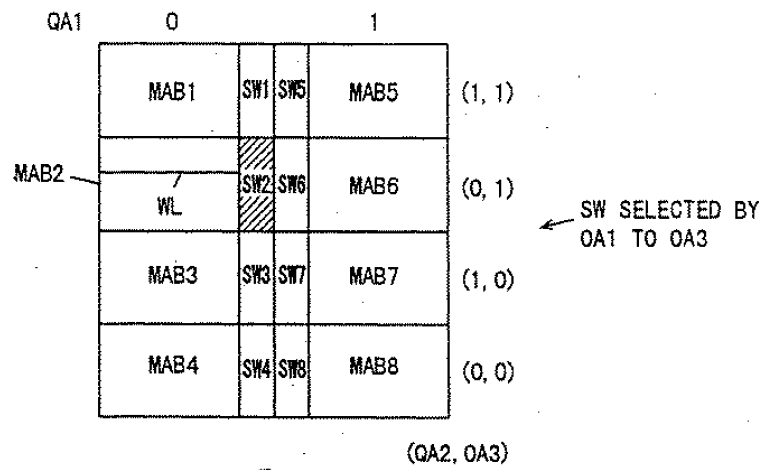


FIG. 24



65/F20-255/F5260

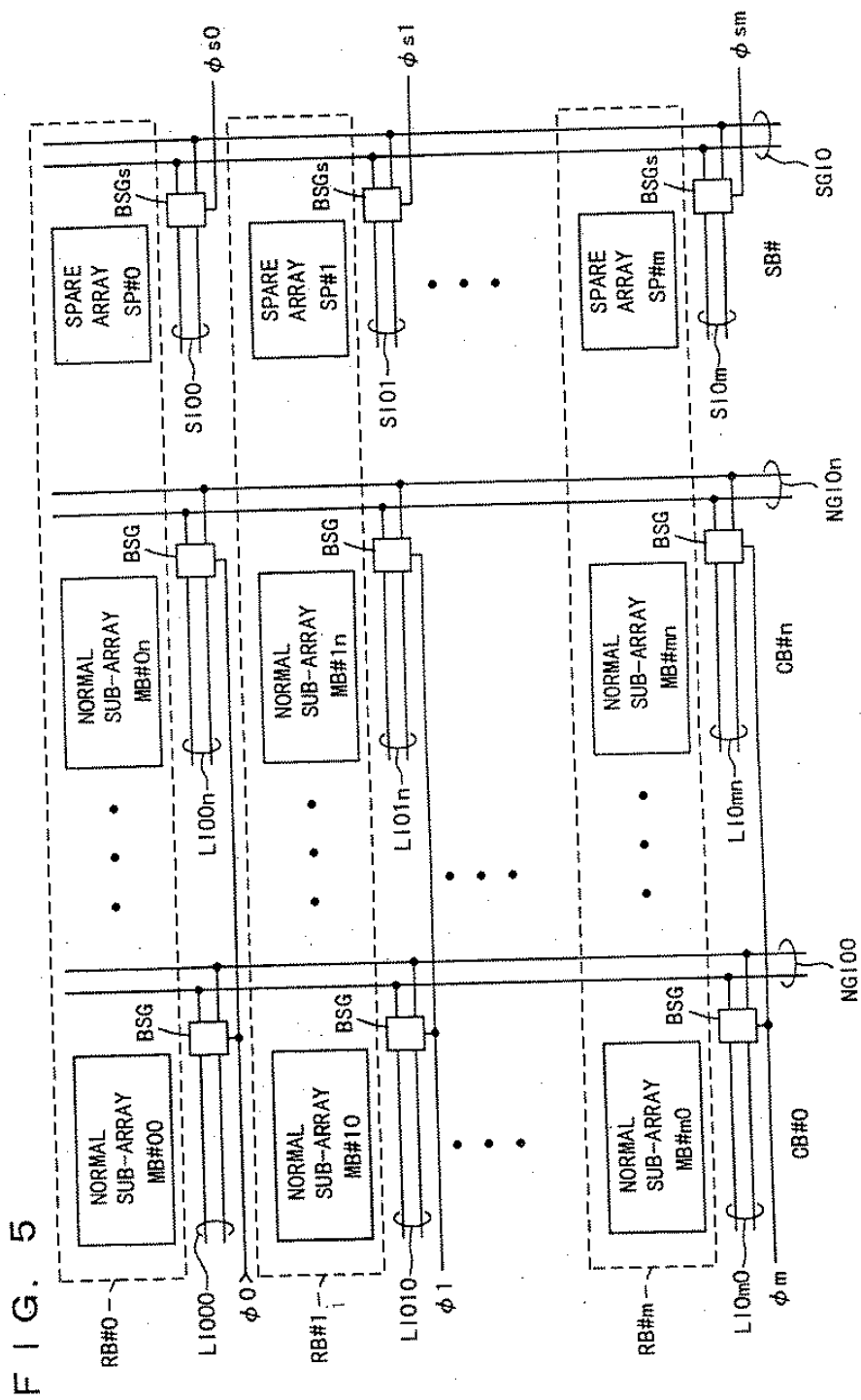


FIG. 6

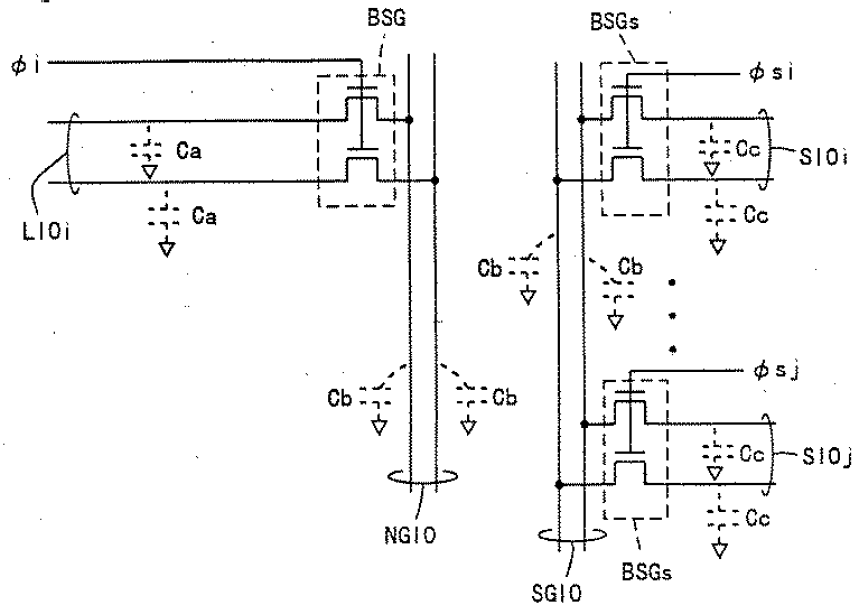
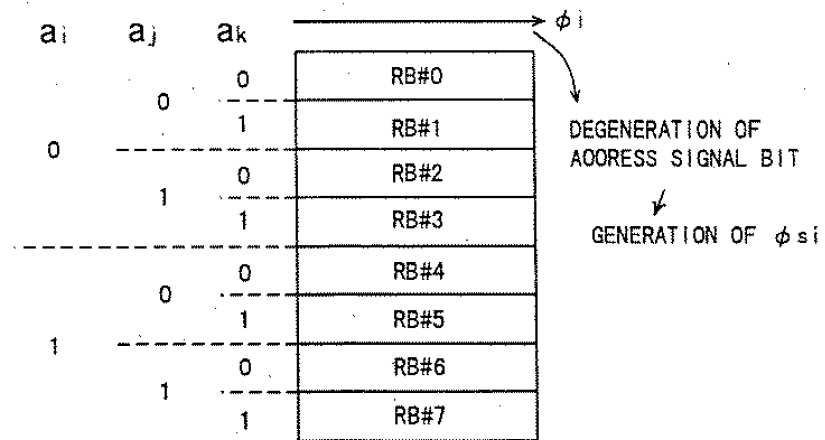


FIG. 7



662720-25E15260

FIG. 8

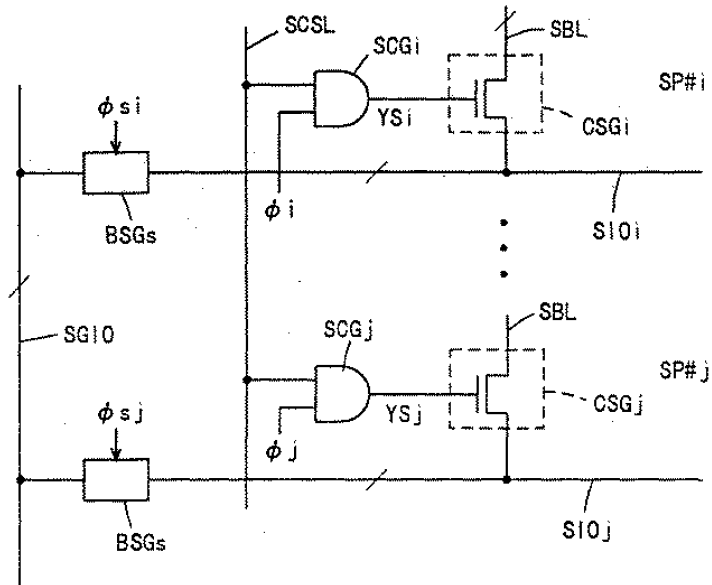


FIG. 9

X0	NORMAL MEMORY SUB-ARRAY	MA#0 } RBX#0
SPOX	SPARE ARRAY	
X1	NORMAL MEMORY SUB-ARRAY	MA#1; RBX#1
X2	NORMAL MEMORY SUB-ARRAY	MA#2; RBX#2
•	•	
•	•	
•	•	
X _m	NORMAL MEMORY SUB-ARRAY	MA# _m ; RBX# _m

66-120-25515260

FIG. 10

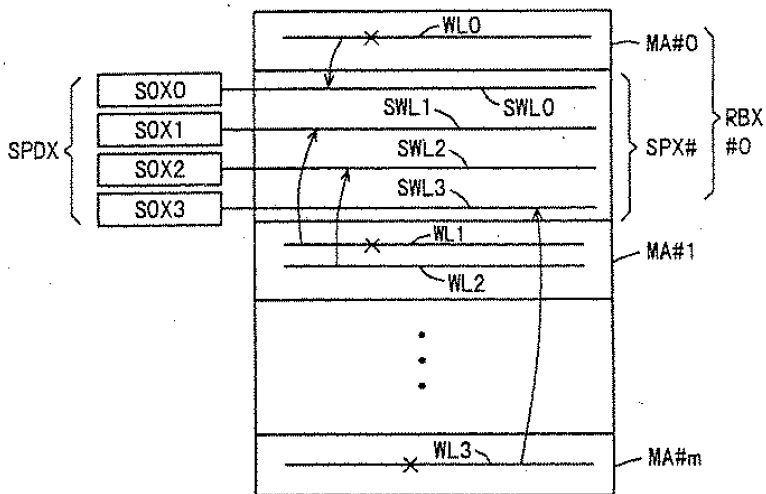
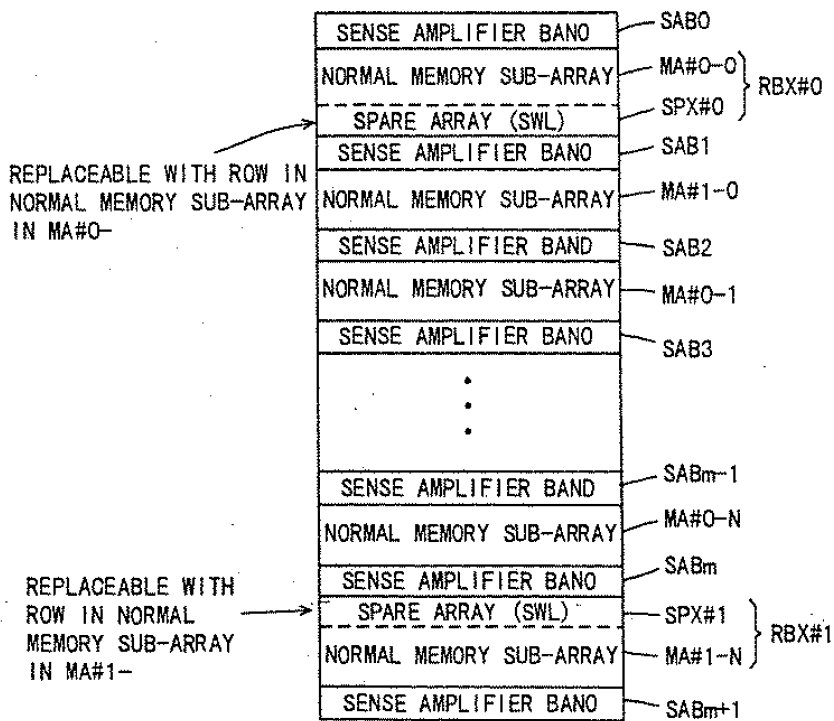


FIG. 11



09251352.021799

FIG. 12

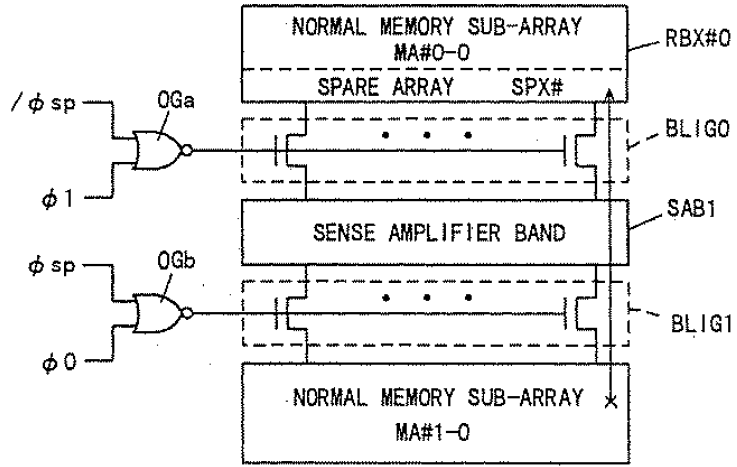


FIG. 13

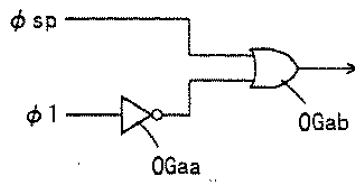
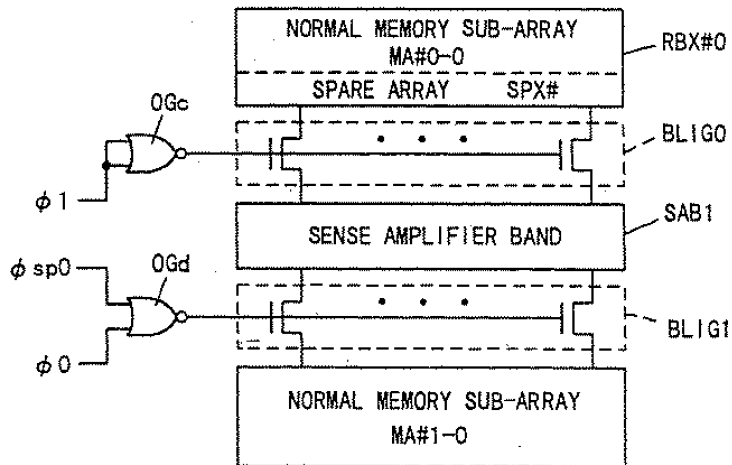
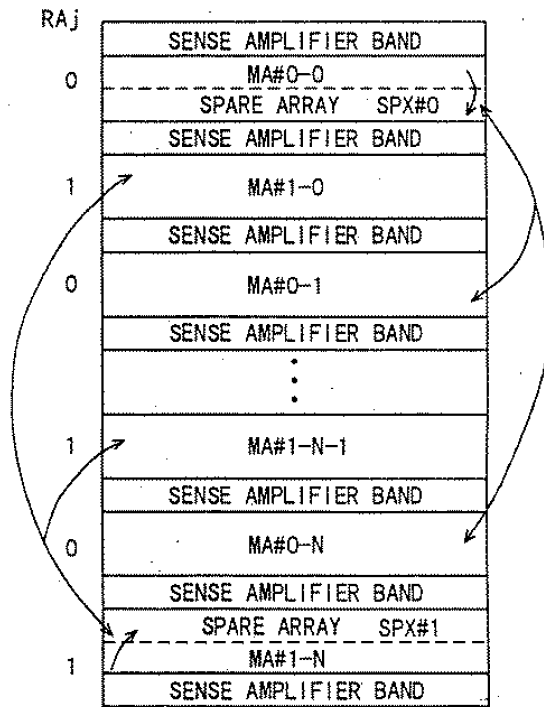


FIG. 14



662720-25E15260

FIG. 15



002152.021799
66120.25E15260

FIG. 16

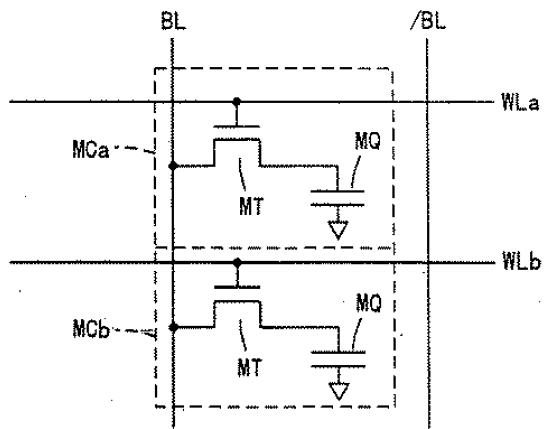


FIG. 18A

IN NORMAL MDDE;

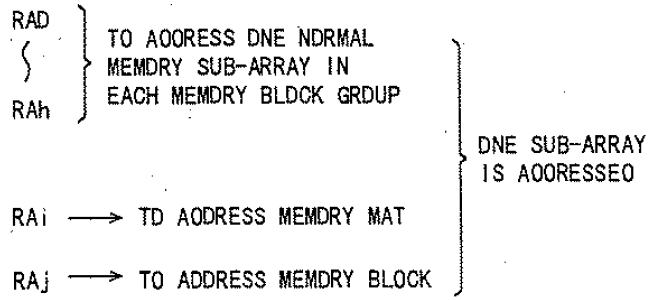


FIG. 18B

IN TEST MDDE;

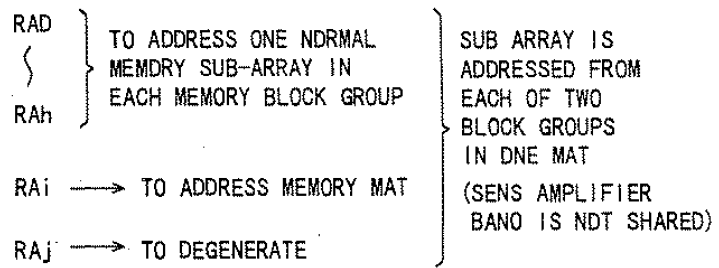
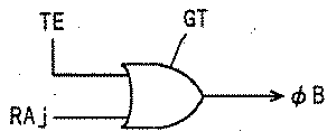


FIG. 19



662720-2825260

662720 25E15260

FIG. 20

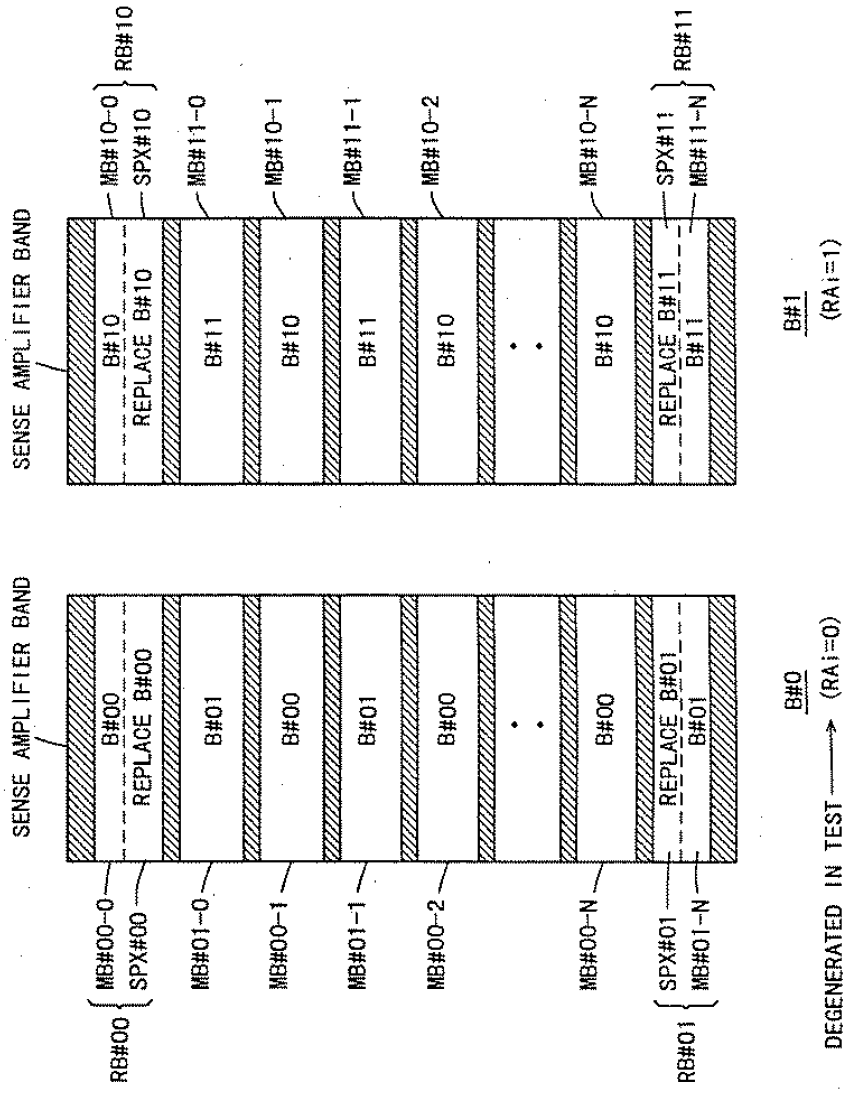


FIG. 21A

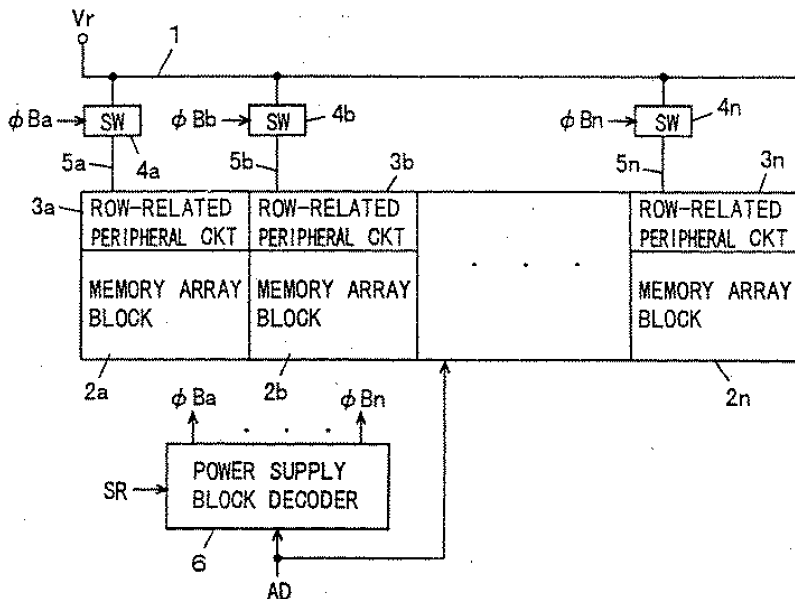
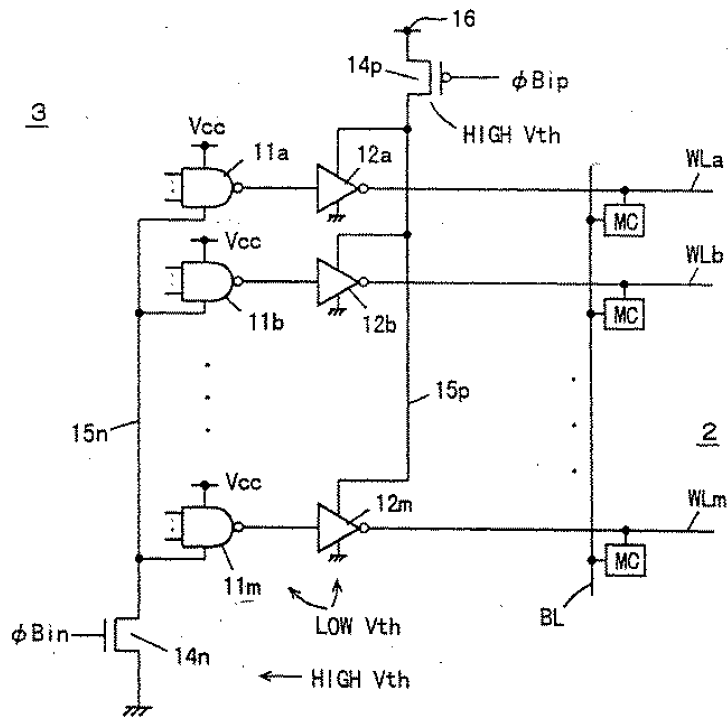


FIG. 21B



664700 251260

FIG. 22

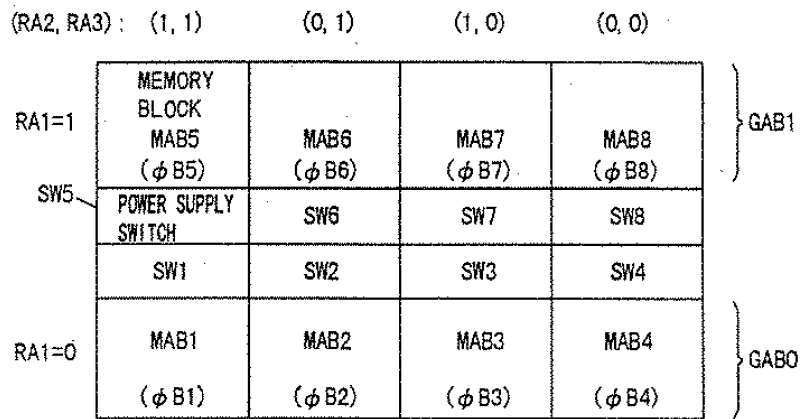


FIG. 23A

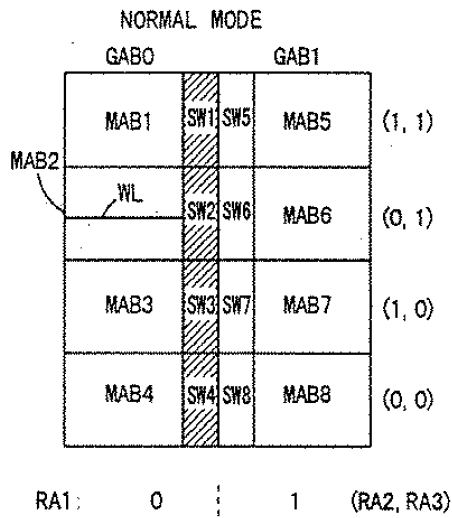
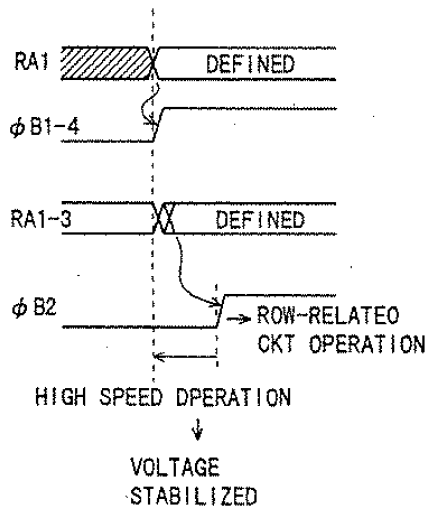
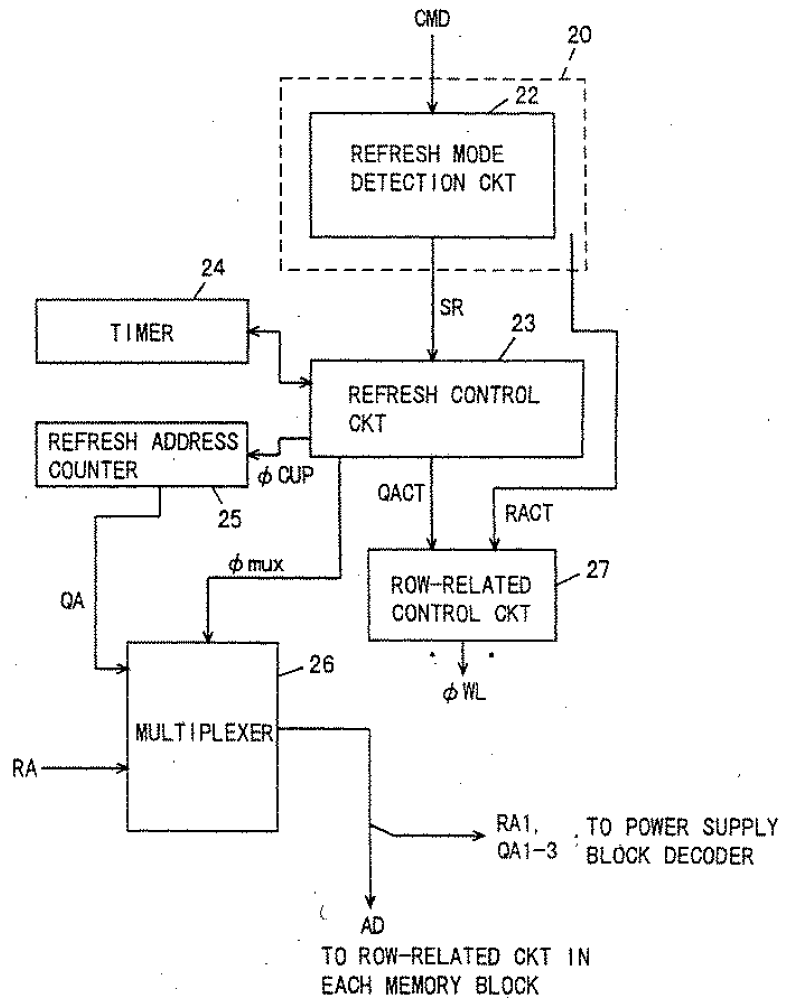


FIG. 23B



062720 2551560

FIG. 25



09251352 0017090

FIG. 26

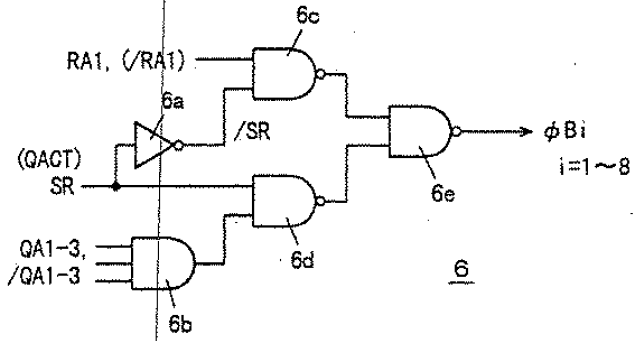


FIG. 27

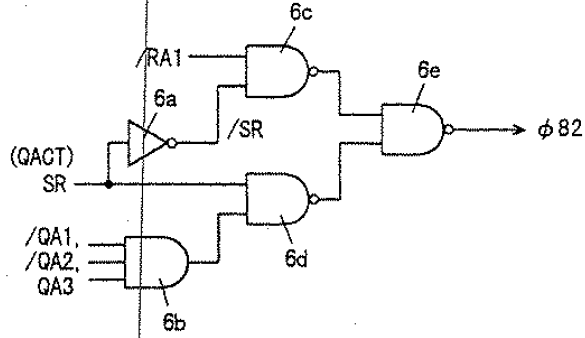
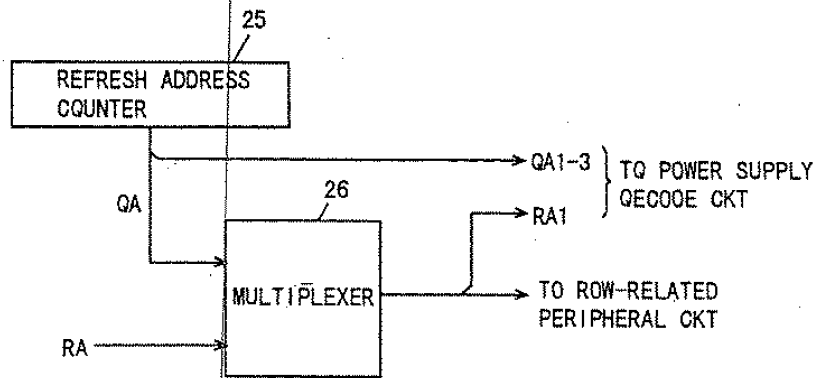


FIG. 28



66420-25EFS260

FIG. 29

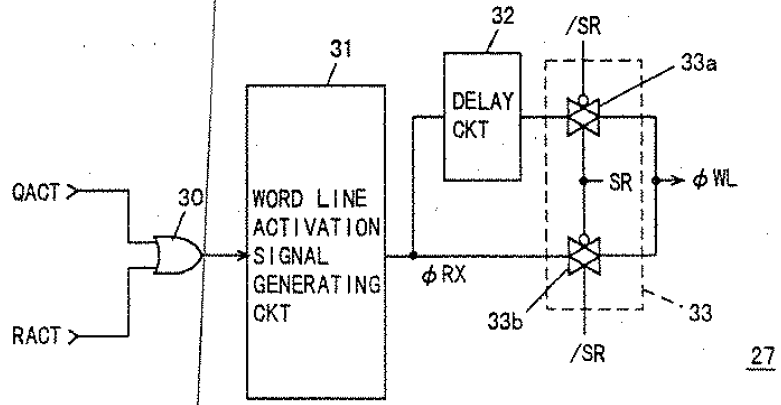
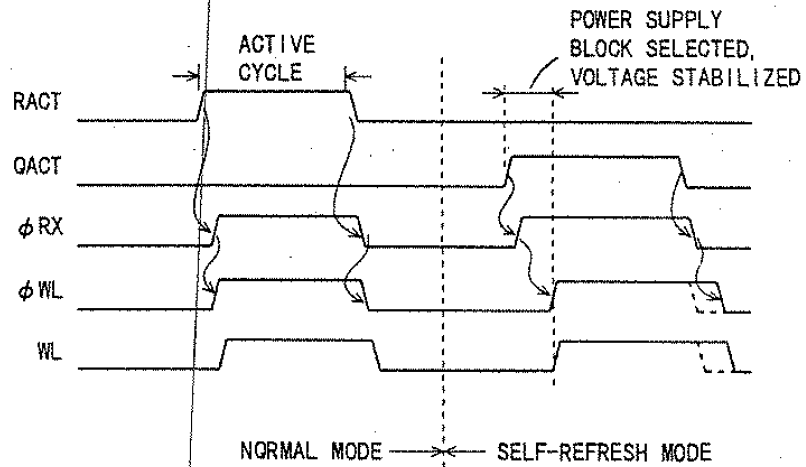


FIG. 30



562120" 25E15260

FIG. 31

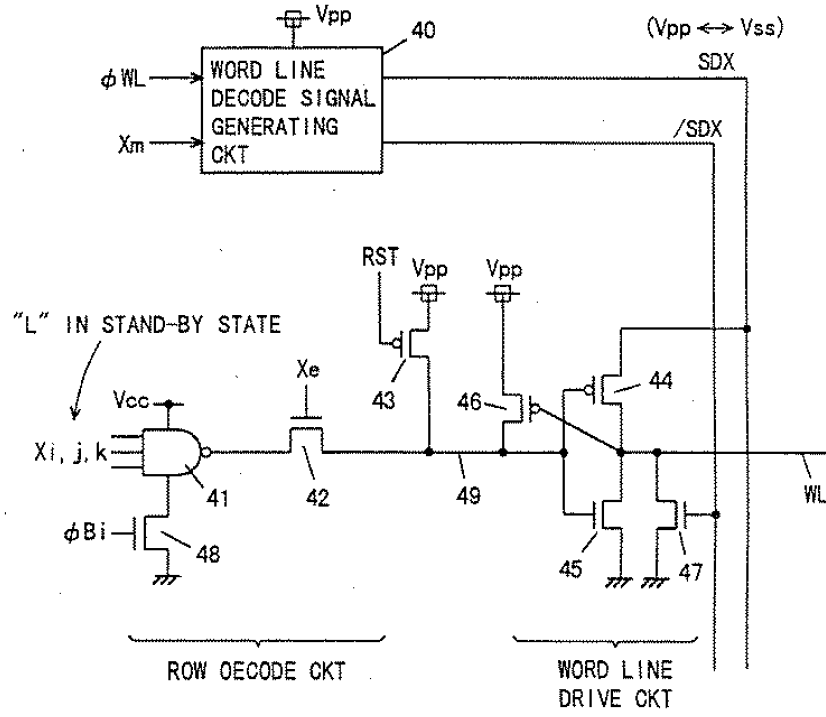


FIG. 32A

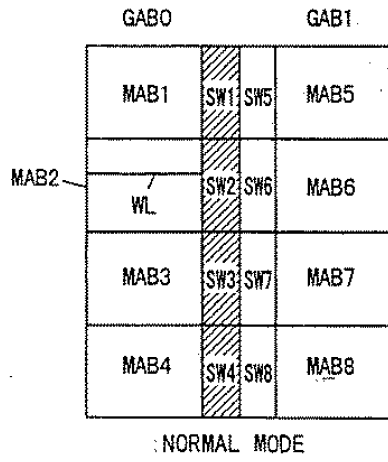
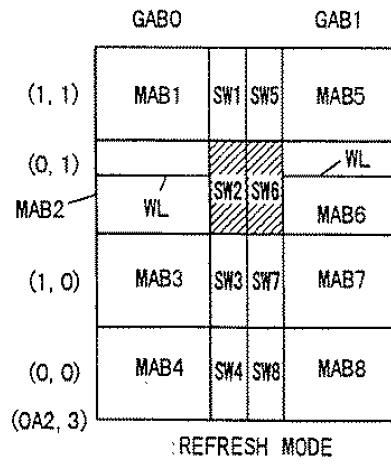


FIG. 32B



0624352 024799 664720 25515260

FIG. 33

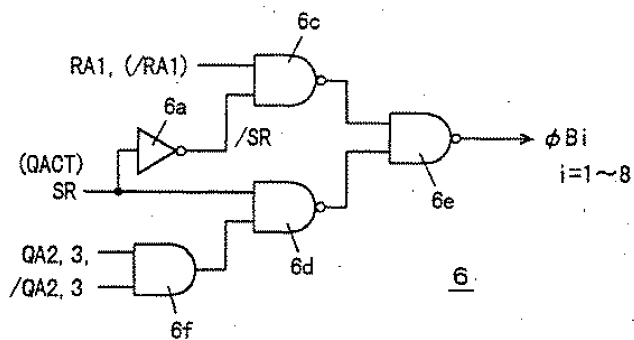


FIG. 34

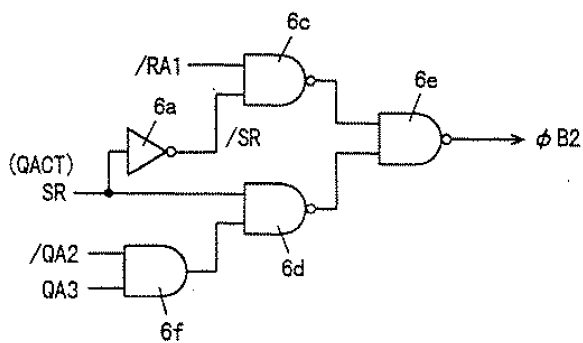
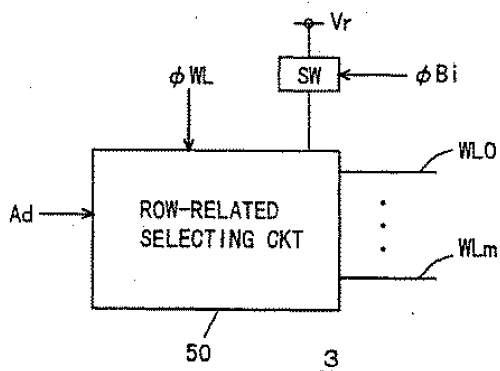


FIG. 35



664720-2515260

FIG. 36

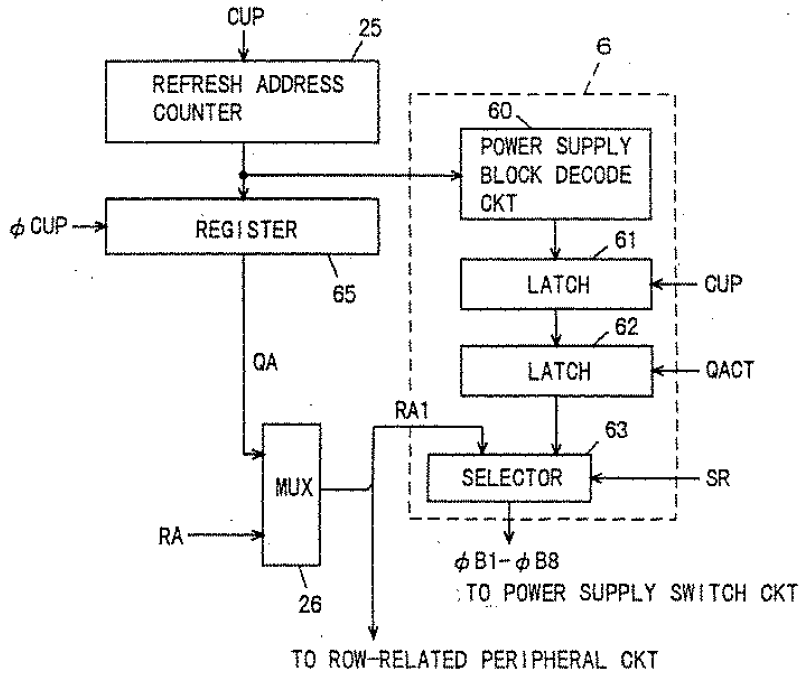
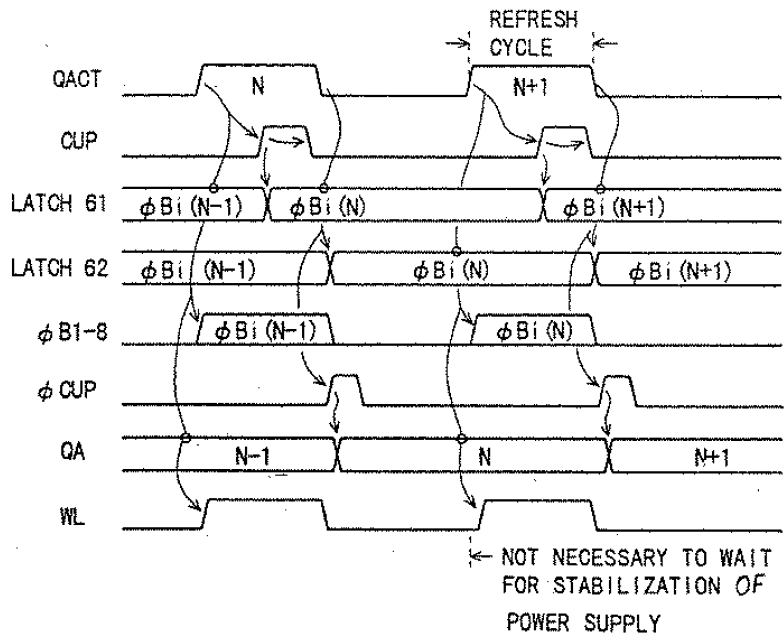


FIG. 37



664720-25C15260

FIG. 38

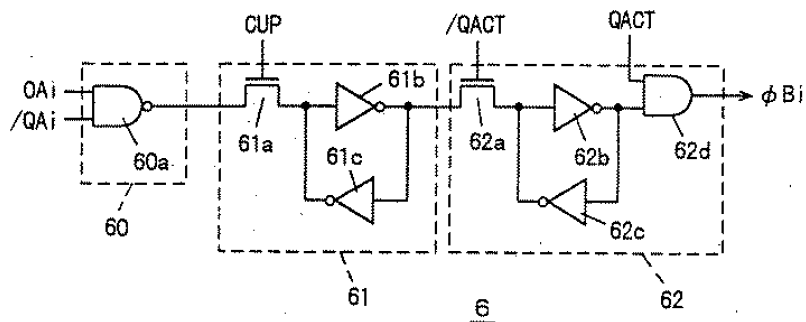


FIG. 39

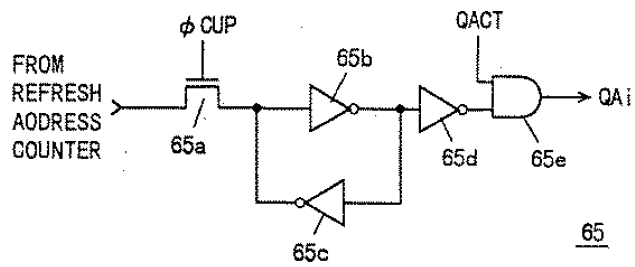


FIG. 40

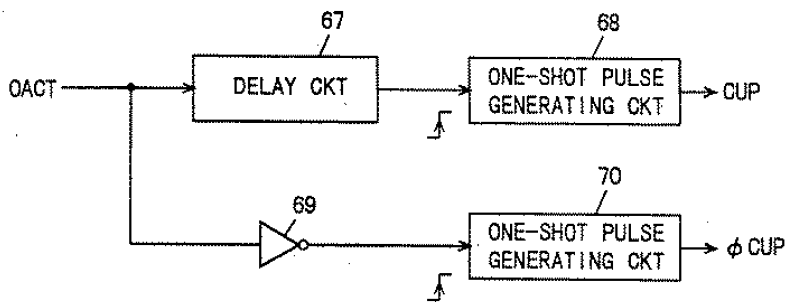


FIG. 41

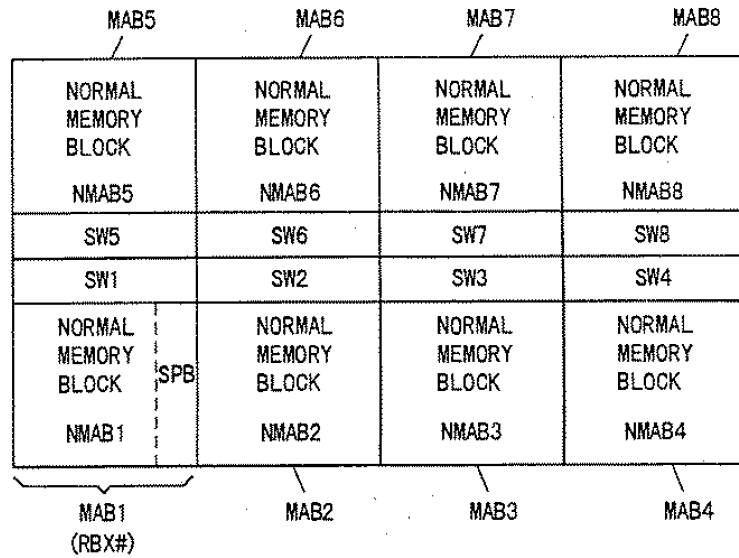
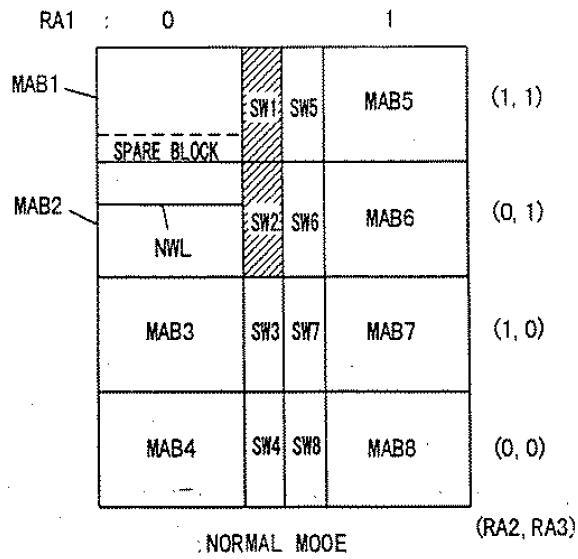


FIG. 42



66120-25E15260

FIG. 43

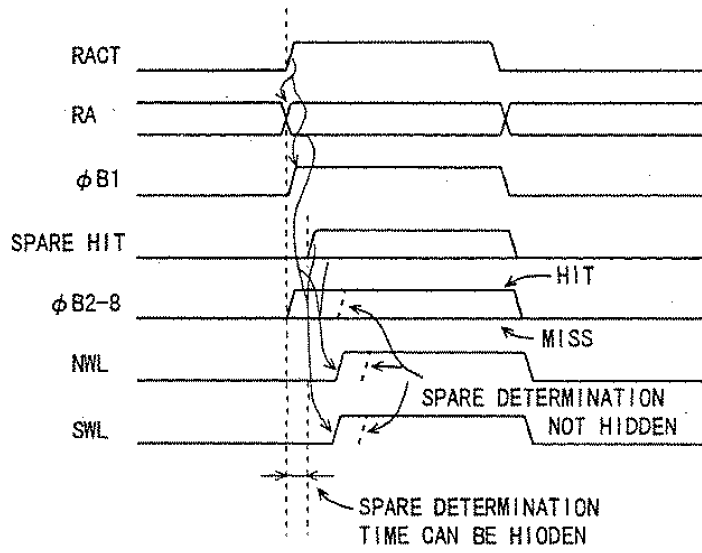


FIG. 44

QA1 : 0 1

MAB1	SWL	SW1	SW5	MAB5	(1, 1)
SPB					
MAB2	NWL	SW2	SW6	MAB6	(0, 1)
		SW3	SW7	MAB7	(1, 0)
		SW4	SW8	MAB8	(0, 0)

: REFRESH MODE (QA2, QA3)
SPARE DETERMINATION → SW SELECTION

667120 25ET5260

662120-25ET5260

FIG. 45

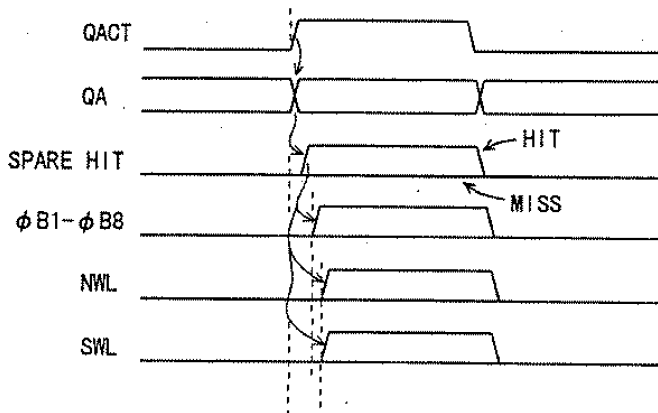


FIG. 46A

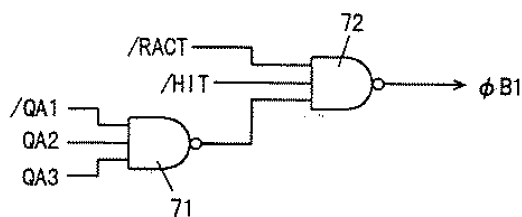


FIG. 46B

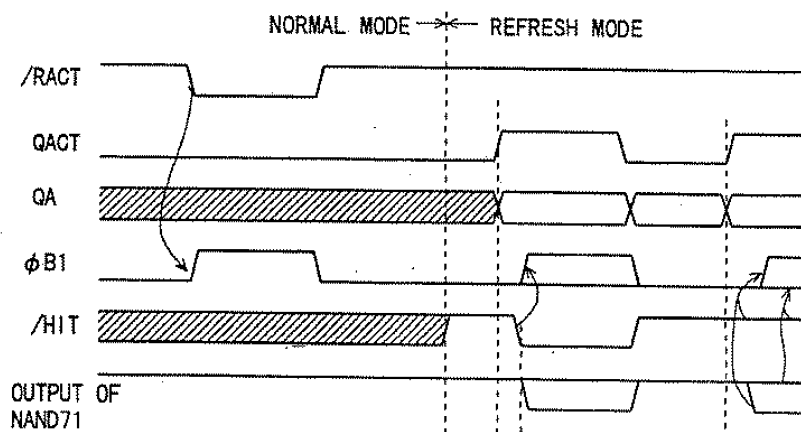


FIG. 47A

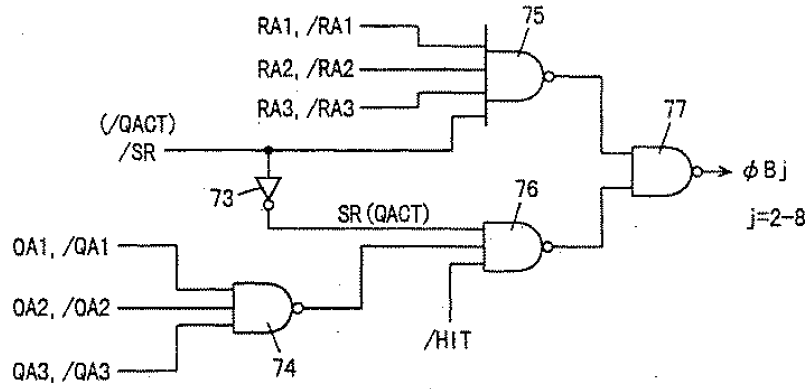


FIG. 47B

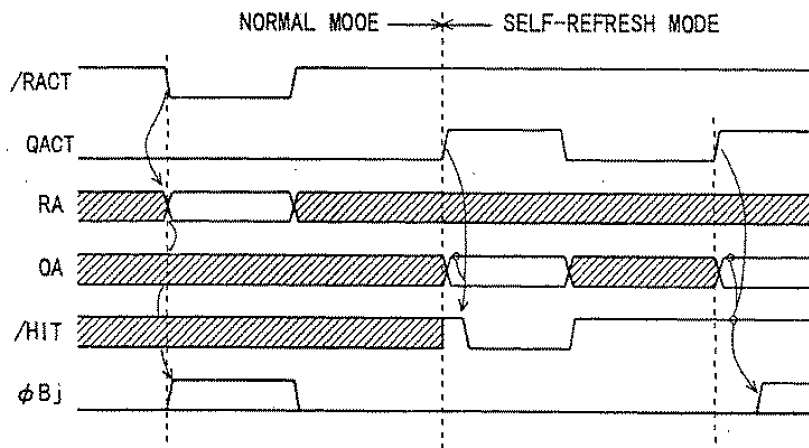
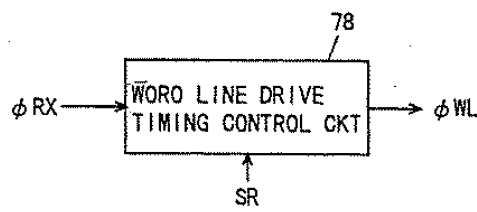


FIG. 48



09251352-021799

66220-25E560

FIG. 49

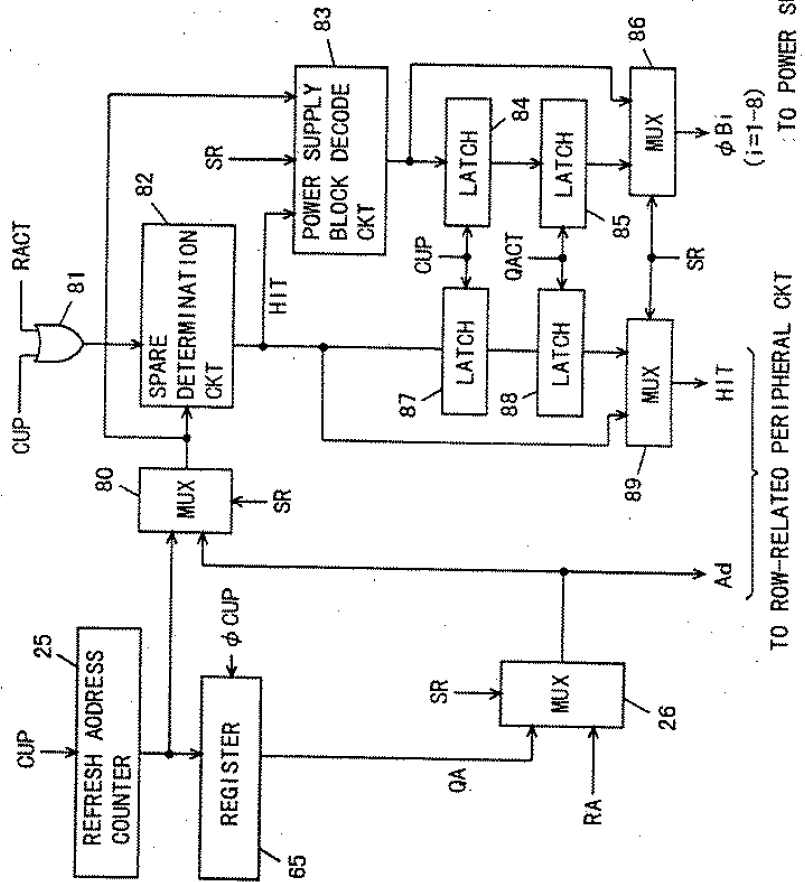
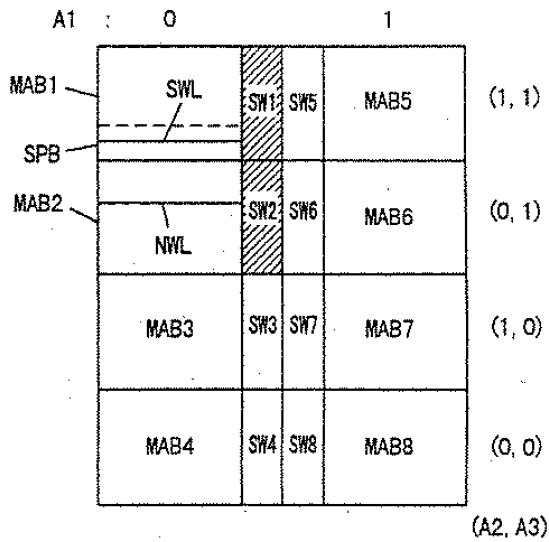
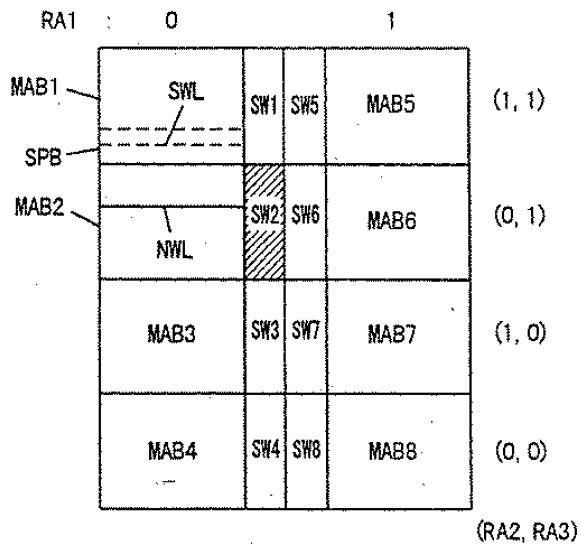


FIG. 50A



BEFORE SPARE DETERMINATION DEFINED
NORMAL MODE

FIG. 50B



AFTER SPARE DETERMINATION DEFINED
NORMAL MODE

RECEIVED 05/15/60

FIG. 51A

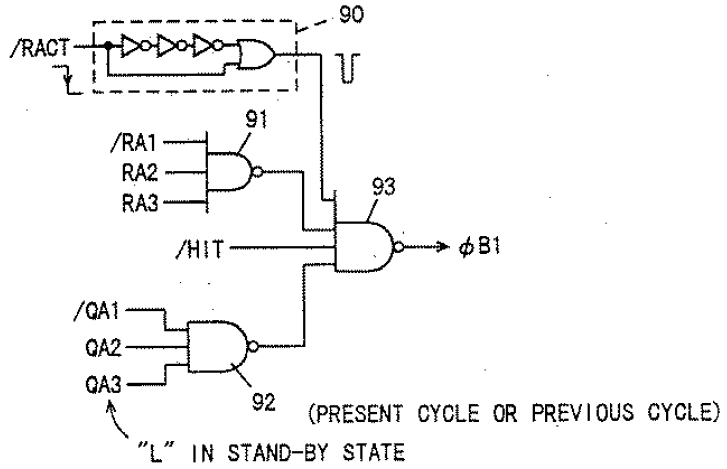


FIG. 51B

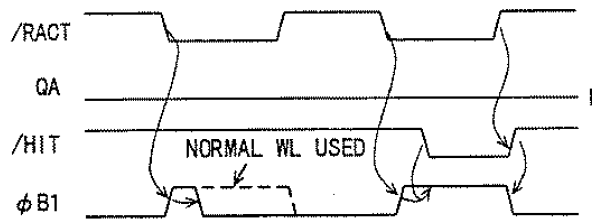
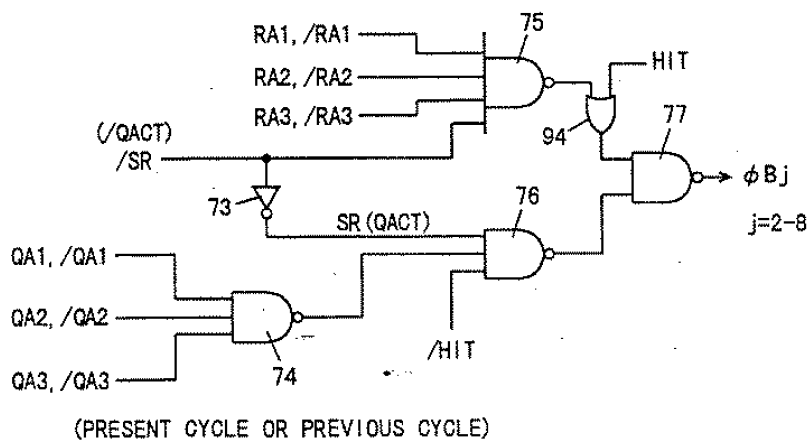
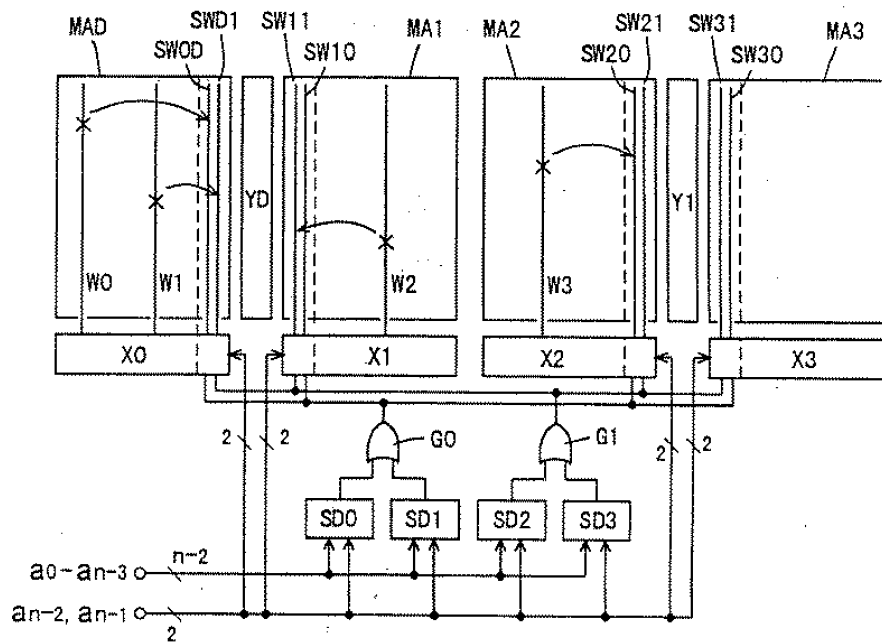


FIG. 52



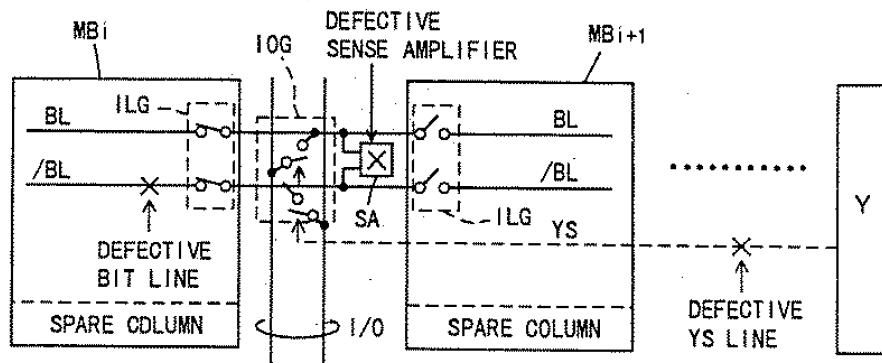
0921367 2515260

FIG. 53 PRIOR ART



664P01561560

FIG. 54 PRIOR ART



6627201 25E1560

FIG. 55 PRIOR ART

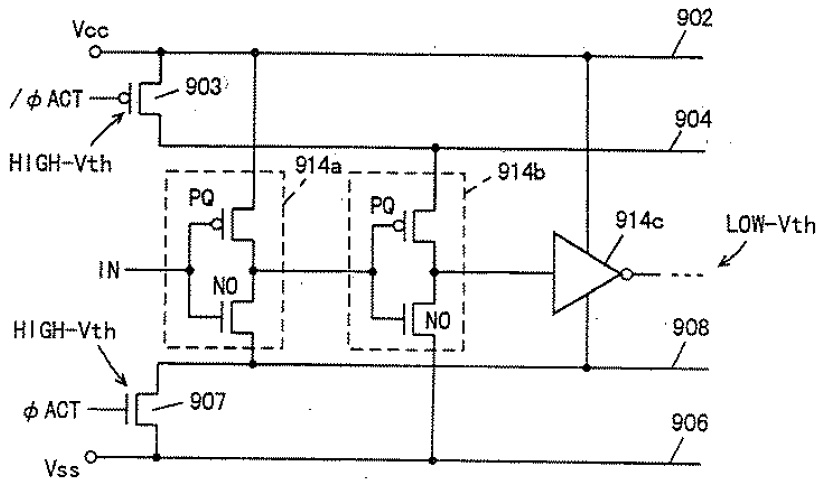
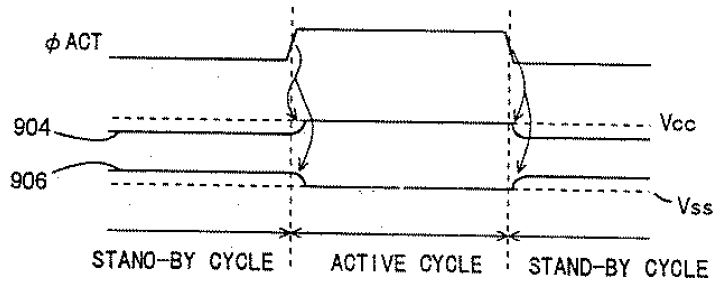


FIG. 56 PRIOR ART



Application Assignment Record

According to the application transmittal letter, an assignment recording ownership was filed with this application; however, a copy of this record was not located in the original file history record obtained from the United States Patent and Trademark Office. Upon your request, we will attempt to obtain the assignment documents from the Assignment Recordation Branch of the United States Patent and Trademark Office or from a related application case (if applicable). Please note that additional charges will apply for this service.

This page is not part of the official USPTO record. It has been determined that content identified on this document is missing from the original file history record.

Docket No.: 49657-318

3/IPS
Jews
32499

PATENT



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :
Hideto HIDAKA :
Serial No.: : Group Art Unit:
Filed: February 17, 1999 : Examiner:
For: SEMICONDUCTOR MEMORY DEVICE WITH IMPROVED FLEXIBLE
REDUNDANCY SCHEME

INFORMATION DISCLOSURE STATEMENT

Assistant Commissioner for Patents
Washington, DC 20231

Dear Sir:

In accordance with the provisions of 37 C.F.R. 1.56, 1.97 and 1.98, the attention of the Patent and Trademark Office is hereby directed to the references listed on the attached form PTO-1449. It is respectfully requested that the references be expressly considered during the prosecution of this application, and that the references be made of record therein and appear among the "References Cited" on any patent to issue therefrom.

This Information Disclosure Statement is being filed within three months of the U.S. filing date OR before the mailing date of a first Office Action on the merits. No certification or fee is required.

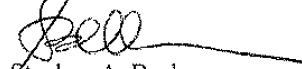
The Examiner's attention is directed to co-pending U.S. Patent Application Serial No. 09/167,985, filed October 8, 1998, which is directed to related technical subject matter. The identification of this U.S. Patent Application is not to be construed as a waiver of secrecy as to

Serial No.:

that application now or upon issuance of the present application as a patent. The Examiner is respectfully requested to consider the cited application and the art cited therein during examination.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:dtb
Date: February 17, 1999
Facsimile: (202) 756-8087

A Flexible Redundancy Technique for High-Density DRAM's

Masashi Horiguchi, *Member, IEEE*, Jun Etoh, Masakazu Aoki, *Member, IEEE*, Kiyoo Itoh, *Senior Member, IEEE*, and Tetsuro Matsumoto

Abstract—This paper points out the limitations of conventional redundancy techniques and proposes a novel redundancy technique for high-density DRAM's, especially DRAM's using multidivided data-line structures. The proposed technique features a flexible relationship between spare lines and spare decoders. It provides higher usage efficiency of both spare lines and spare decoders, as well as lower probability of unsuccessful repair. With this technique the yield improvement factor of 64-Mb DRAM's and beyond is estimated to be more than twice that with the conventional technique in the early stages of production.

I. INTRODUCTION

REDUNDANCY techniques have been widely used as effective methods of enhancing the production yield of semiconductor memories [1]–[6]. However, with the increase in memory density, the following problems have arisen:

- 1) the number of spare lines and spare decoders required to maintain production yield has increased because of raw-yield degradation, and causes an increase in chip area.
- 2) it is now necessary to recognize the effect of defects on spare lines that replace defective lines, which is due to the increased number of memory cells connected to a line, and causes a decrease in yield.

This paper proposes a novel redundancy technique for solving these problems. The technique features a flexible relationship between spare lines for replacing defective lines and spare decoders for memorizing defective addresses, whereas this relationship was fixed in the conventional techniques. Since this results in more efficient usage of both spare lines and spare decoders, a larger yield-improvement factor can be achieved with a smaller chip-area penalty.

In Section II the limitations of the conventional redundancy techniques are pointed out. Qualitative and quantitative descriptions of the new technique are given in Sections III and IV, respectively. Finally, an advanced revision of the new technique is proposed in Section V.

II. LIMITATIONS OF THE CONVENTIONAL REDUNDANCY TECHNIQUE

After the first introduction of redundancy in DRAM's, the number of spare lines required for redundancy has steadily

Manuscript received March 8, 1990; revised June 27, 1990.

M. Horiguchi, J. Etoh, M. Aoki, and K. Itoh are with the Central Research Laboratory, Hitachi Ltd., Kokubunji, Tokyo 185, Japan.

T. Matsumoto is with the Device Development Center, Hitachi Ltd., Ohme, Tokyo 198, Japan.

IEEE Log Number 9038913.

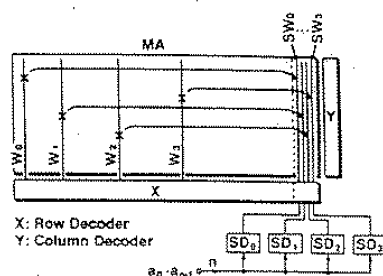


Fig. 1. Conventional redundancy technique applied to a DRAM without memory-array division.

increased. The number increases by about 1.5–2 times for every new DRAM generation.¹ This is caused mainly by the raw-yield degradation due to the chip-area increase (1.5 times/generation [7]). On the other hand, there is a trend of DRAM-array multidivision, especially in data lines (bit lines). The number of data-line divisions almost doubles every generation to ensure a high signal/noise ratio and to minimize data-line charging/discharging current [7].¹ The multidivided data-line structure [8] in particular has become widely used for this purpose.

The increase in both the number of spare lines and the number of subarrays causes serious problems in high-density DRAM's as described below.

Fig. 1 shows the well-known redundancy technique [3], [4] applied to a DRAM without memory array division. Redundant data lines are omitted here for simplicity. The memory has L (here, $L = 4$) spare word lines $SW_0 - SW_3$ and as many spare decoders $SD_0 - SD_3$. Defective word addresses are programmed in the spare decoders and compared with the input address. Thus, at most L defective normal word lines can be repaired. In this example, defective normal word lines $W_0 - W_3$ are replaced by spare word lines $SW_0 - SW_3$, respectively, as shown by the arrows in the figure. Programming defective addresses in normal decoders [5], [6] is not suitable for high-density DRAM's because of the very small decoder pitches and is not considered hereafter.

Now let us consider dividing the memory array into subarrays. Note that inter-subarray replacement (to replace a defective normal line in a subarray by a spare line in another subarray) should be avoided in DRAM redundancy, because

¹See 1980–1989 *ISSCC Digest of Technical Papers*.

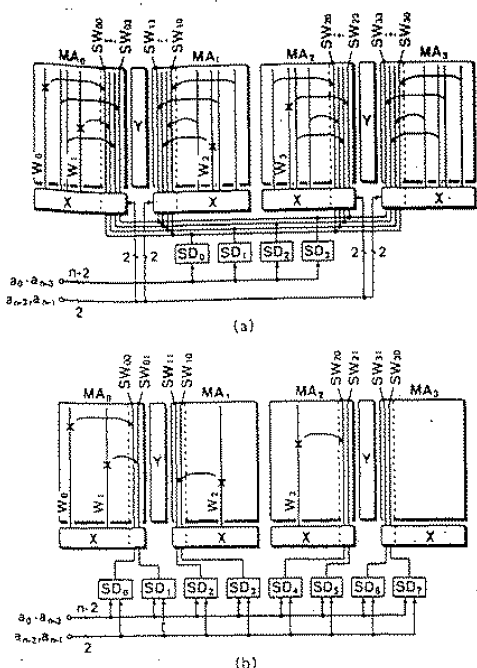


Fig. 2. Conventional redundancy technique applied to a DRAM with memory-array division. (a) Number of spare decoders equals number of spare lines in a subarray. (b) Every spare line in every subarray has its own spare decoder.

of the cumbersome control of memory-array associated circuitry, especially the sense circuit. Two approaches to meeting this requirement are shown in Fig. 2(a) and (b). Here the memory array *MA* in Fig. 1 is divided into four subarrays, *MA*₀–*MA*₃, only one of which is selected.

In the first approach (Fig. 2(a)), the number of spare decoders equals *L*, the number of spare word lines in a subarray. The total number of spare word lines is therefore $4L$. Each spare decoder compares only the intra-subarray address signals (here, a_0 – a_{n-3}), and the output of a spare decoder is commonly supplied to all the subarrays. The inter-subarray address signals (here, a_{n-2} and a_{n-1}) in turn select one of the four spare word lines. It is obvious that as many defective word lines can be repaired as are shown in Fig. 1, if *L* is the same as that of Fig. 1.

In this approach four normal lines (one in each subarray) are replaced simultaneously by spare lines, as shown by the arrows in the figure. That is, to replace one defective normal line, three other normal lines with the same intra-subarray address are also replaced even if they are not defective. This causes the following two problems:

- 1) since the usage efficiency of spare lines is lower (a quarter that of Fig. 1, only 25%), the number of spare lines should be much larger, which results in chip-area increase; and
- 2) the probability of unsuccessful repair due to defects in the spare lines that replaced the normal lines is higher, which results in yield degradation.

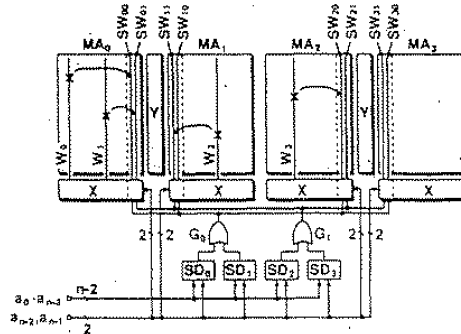


Fig. 3. FRT applied to a DRAM with memory array division.

In the second approach (Fig. 2(b)), every spare line in every subarray has its own spare decoder. The number of spare decoders is therefore $4L$, where *L* is the number of spare word lines in a subarray. Each spare decoder compares both intra-subarray and inter-subarray address signals.

This approach has the following advantages over the first approach (Fig. 2(a)). First, since a smaller *L* is statistically required (here, *L* = 2) to repair as many defects, the usage efficiency of spare lines is higher (50% in this example). This is because the probability of excessive defects in a particular subarray is small under random defect distribution. Second, since in the whole memory only one normal line at a time is replaced by a spare line, the probability of a defect in the spare line is lower. This approach, however, has the disadvantage of lower usage efficiency of spare decoders (half) than that of the first approach. This results in an increase in the area of spare decoders.

Since in Fig. 2 there are only four subarrays, these problems are not as serious. However, they would be critical in the design of ultrahigh-density DRAM's in the future because of the aforementioned trend for both the number of spare lines and the number of subarrays to increase.

III. FLEXIBLE REDUNDANCY TECHNIQUE

A novel redundancy technique, named the flexible redundancy technique (FRT), is proposed to overcome the problems described in Section II. In this section only qualitative features of the technique are described. Quantitative yield analysis will be given in the next section.

Fig. 3 shows the FRT applied to a DRAM with array division. The spare lines and spare decoders are not connected directly, but through the or gates *G*₀ and *G*₁. Each spare decoder compares both intra-subarray and inter-subarray address signals. Each logical-or of the outputs of the two spare decoders is commonly applied to all the subarrays. The inter-subarray address signals select one of the four spare word lines. In this example, the addresses of defective normal word lines *W*₀, *W*₁, *W*₂, and *W*₃ are programmed in spare decoders *SD*₀, *SD*₁, *SD*₂, and *SD*₃, respectively. Word lines *W*₀, *W*₁, *W*₂, and *W*₃ are thereby replaced by spare word lines *SW*₀₀, *SW*₀₁, *SW*₁₁, and *SW*₂₀, respectively.

This technique features a flexible relationship between spare lines and spare decoders. In the conventional tech-

niques, this relationship is fixed so that a spare line can be activated only by a particular spare decoder. For example, spare word line SW_{20} in Fig. 2(a) is activated only by spare decoder SD_0 , and SW_{30} in Fig. 2(b) is activated only by SD_1 . However, in FRT, a spare line can be activated by one of several spare decoders. For example, spare word line SW_{20} in Fig. 3 can be activated by either SD_0 or SD_1 through OR gate G_0 . Additionally, a spare decoder can activate one of several spare lines. For example spare decoder SD_0 can activate either SW_{00} , SW_{10} , SW_{20} , or SW_{30} .

This flexible relationship provides the advantages of both the conventional approaches described in Section II. First, both spare-line usage efficiency and spare-decoder usage efficiency are good in FRT, while the former is poor and the latter is good in the first conventional approach (Fig. 2(a)), and the former is good and the latter is poor in the second approach (Fig. 2(b)). This enables smaller chip-area penalty due to redundancy. Second, FRT has as low an unsuccessful-repair probability as the second approach, while the first approach has high probability. This is because only one normal line at a time is replaced by a spare line.

Another advantage of FRT is that more flexible selection of the number of spare lines in a subarray L , and the number of spare decoders R enables a more efficient redundancy circuit. Generally, the following relation stands between L and R :

$$L \leq R \leq \frac{ML}{m} \quad (1)$$

where M is the number of physical subarrays, and m is the number of subarrays in which defective normal lines are simultaneously replaced by spare lines. Therefore M/m is the number of logically independent subarrays. The left-hand inequality sign indicates that the number of spare lines in a subarray in excess of the number of spare decoders is useless. The right-hand inequality sign indicates that the number of spare decoders in excess of the number of logically independent spare lines is useless (ML/m is the number of logically independent spare lines in a whole memory). The relationship between L and R is fixed in the conventional redundancy techniques: $m = M$ and $R = L$ in the first approach, and $m = 1$ and $R = ML$ in the second approach. In FRT, however, L and R can be chosen independently so long as (1) stands.

IV. YIELD ANALYSIS

In this section, yield improvement factors through both conventional redundancy techniques and FRT are calculated.

A. Calculation Method

The calculation is based on following assumptions:

- defect distribution is random—the number of defects follows Poisson distribution;
- one defect causes $1+j$ lines to fail—the number j follows Poisson distribution of the mean value of λ (here, $\lambda = 0.2$ is assumed).

Poisson distribution models have been used for the yield analysis of memories with redundancy because of mathematical simplicity [2], [3], [9]. In this paper, the Poisson model is

also used because it is sufficient for comparison between the conventional technique and FRT. However, more accurate yield estimation will require a model which takes the deviation from Poisson distribution [10] into account.

The calculation process is as follows. First, the defect-density ratio is estimated. The ratio between the defect density of the array and the peripheral circuit is assumed to be inversely proportional to the square of the layout rule [8]. Here, the layout rule of the peripheral circuit is assumed to be one-generation behind that of the memory array:

$$\frac{D_M + D_I}{D_P} = 1.5^2 \quad (2)$$

where D_M and D_I are the repairable and unrepairable defect densities, respectively, of memory array and associated circuitry (decoders, drivers, etc.), and D_P is the defect density of the peripheral circuit. The ratio of D_M to D_I is dependent on the memory-cell fabrication process. Here

$$D_M : D_I = 6 : 1 \quad (3)$$

is assumed. On the other hand

$$(D_M + D_I)S_M + D_P S_P = D(S_M + S_P) \quad (4)$$

stands, where S_M is the area of the memory array and associated circuitry, S_P is the area of the peripheral circuit, and D is the effective defect density. The defect-density ratio is calculated from these equations.

Next, the probability P_i that a chip has i repairable defects and is successfully repaired is calculated. In particular P_0 is the probability of a chip being "perfect":

$$P_i = \exp(-(S_P + R\Delta S_P)D_P) \cdot \exp(-(S_M + LM\Delta S_M)D_I) \cdot \frac{(S_M D_M)^i \exp(-S_M D_M)}{i!} \cdot \sigma\left(i, \frac{M}{m}, L, R\right) \quad (5)$$

where ΔS_M is the increase in S_M per spare line in a subarray, ΔS_P is the increase in S_P per spare decoder, and σ is the successful-repair probability.

Unlike the conventional redundancy techniques, success/failure of defect repair in FRT depends not only on the total number of defects but also on their distribution. For example, a chip with i defects ($L < i < R$) concentrated in a subarray cannot be repaired. This is due to the deficiency of spare lines even if there are sufficient spare decoders. The derivation of σ is as follows.

Let us consider a particular defect distribution:

$$d = (d_L, d_{L-1}, \dots, d_1, d_0) \quad (6)$$

where d_i is the number of subarrays with exactly i defects ($\sum d_i = M^i = M/m$, $\sum i d_i = i$). The probability that such a defect distribution is observed is given by

$$P(d) = \frac{1}{m^i} \cdot \frac{M^i!}{d_L! \cdot d_{L-1}! \cdot \dots \cdot d_0!} \cdot \frac{i!}{L!^{d_L} \cdot (L-1)!^{d_{L-1}} \cdot \dots \cdot 1!^{d_1}} \quad (7)$$

because the total number of distribution cases is M^i . There are three requirements for a successful repair: 1) the number of defective normal lines in a subarray must be less than or equal to L ; 2) spare lines which replace defective lines must be free from defects; and 3) the total number of defective

FIGURE

lines mu
subarray
ful repai

$s(i) =$

The first
defective
spare li
ments 1)

$Q(d) =$

where 4
terms o
 $q(\lambda)$, giv

By calcul
 d, i, e, P

Final)

B. Yield

The
through
convent
density
decode
2(a)) an
tions: 1
[8], whi
unchan
coding
(= σ);
conven
ize are
restrict
of word
The
yield is
almost
This is
rays is
cent in
defect
For e:
DRAM
conver

tween the accurate the devia.

effect-density for density ned to be rule [8]. ssumed to y:

(2)

repairable and associ- the defect v to D_i is Here

(3)

(4)

array and ral circuit, ect-density

ble defects cular P_i is

$(S_M) D_i$

(L, R) (5)

line in a der, and σ

ques, suc- only on the tion. For trated in a efficiency of ders. The

(6)

l defects at such a

$1/d_i$ (7)

M^4 . There ie number ss than or lines must defective

lines must be less than or equal to R . Let us consider a subarray with exactly l defects. The probability of a successful repair of this subarray is

$$s(l) = \sum_{j=0}^{L-l} \frac{\exp(-l\lambda) \cdot (l\lambda)^j}{j!} \cdot \exp(-(l+j)m\Delta S_M D_M) \quad (8)$$

The first factor is the probability that this subarray has $l+j$ defective lines, and the second is the probability that $l+j$ spare lines are not defective. The probability that requirements 1) and 2) are satisfied is

$$Q(d) = \prod_{l=1}^L S(l) d^l = \exp(-l\lambda) \cdot \prod_{l=1}^L \left[\sum_{j=0}^{L-l} \frac{\exp(-(l+j)m\Delta S_M D_M) \cdot \lambda^j}{j!} \right] d^l = \exp(-l\lambda) \cdot q(\lambda) \quad (9)$$

where $q(\lambda)$ is a polynomial in λ . To meet requirement 3), terms of higher degree than λ^{R-l} must be eliminated from $q(\lambda)$, giving

$$Q'(d) = \exp(-l\lambda) \cdot q'(\lambda) \quad (10)$$

By calculating $P(d)$ and $Q'(d)$ for every defect distribution d , the probability σ is given by

$$\sigma(i, M, L, R) = \sum_d P(d) Q'(d) \quad (11)$$

Finally, the yield Y is given by the summation of P_i :

$$Y = \sum_{i=0}^R P_i \quad (12)$$

B. Yield Trend

The DRAM-yield trend from 4 Mb to 1 Gb is estimated through the calculation method described above. The second conventional approach (Fig. 2(b)) is unsuitable for ultrahigh-density DRAM's because of the large area penalty of spare decoders. Therefore the first conventional approach (Fig. 2(a)) and FRT are compared based on the following assumptions: 1) the chip area increases 1.5 times every generation [8], while the ratio between array area and peripheral area is unchanged; 2) the number M doubles every generation according to the trend,¹ while the number m is unchanged ($=4$); and 3) the numbers L and R are $L=R=8$ for the conventional technique and $L=4, R=16$ for FRT to equalize area penalty. These numbers are unchanged due to the restriction of the number of lines in a subarray (the number of word lines in a subarray is almost unchanged).¹

The calculation results are shown in Fig. 4(a)-(c). The yield improvement factor of a 4-Mb DRAM through FRT is almost the same as that through the conventional technique. This is because the number of logically independent subarrays is as small as 4. The advantage of FRT becomes apparent in 64-Mb and 1-Gb DRAM's, especially for a large defect density D , that is, in the early stages of production. For example, the yield improvement factor of a 64-Mb DRAM through FRT is more than twice that through the conventional technique when D is more than 5 cm^{-2} . For a

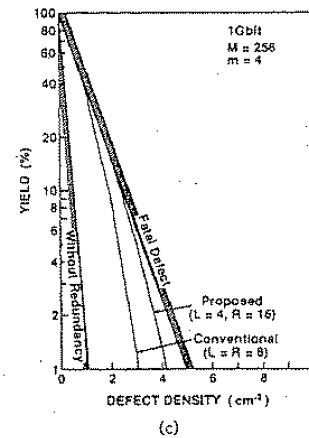
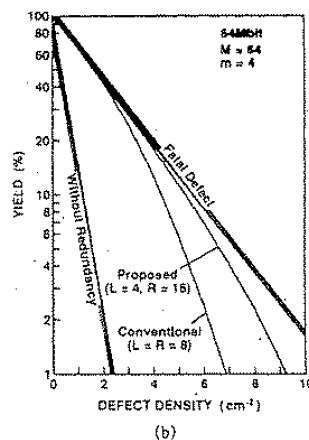
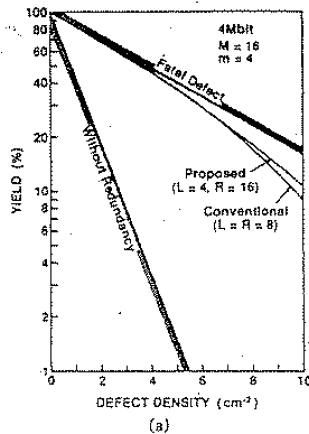


Fig. 4. Calculated yield with conventional and proposed redundancy techniques: (a) 4-Mb DRAM, (b) 64-Mb DRAM, and (c) 1-Gb DRAM.

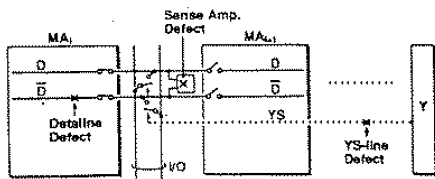


Fig. 5. Defect modes in memory array using shared amplifier, shared I/O scheme, and multidivided data-line structure.

TABLE I
NUMBER OF SPARE DECODERS REQUIRED
TO REPAIR DEFECTS

Defect mode	Number of spare decoders	
	Advanced FRT (with "don't care")	Original FRT (without "don't care")
Data line	1	1
Sense amp	1	2
YS line.	1	n^*

* n : number of subarrays connected to a YS line.

1-Gb DRAM, however, the yield is determined mainly by fatal defects, such as those causing excessive standby current. Therefore some alternative technique will be required for repairing such defects.

V. ADVANCED FLEXIBLE REDUNDANCY TECHNIQUE

Although word-line redundancy has been mainly described so far, FRT can also be applied to data-line redundancy. However, in this case the problem of a "global" defect, i.e., a defect over two or more subarrays, arises. Fig. 5 shows various defect modes in a DRAM using the shared amplifier and shared I/O schemes, and the multidivided data-line structure [7]. A data-line defect is "local" and produces no effect on the other subarrays. However, a sense-amplifier defect causes two data lines connected to the amplifier to fail simultaneously. A YS-line defect causes all the data lines connected to the YS line to fail simultaneously. Thus these types of defects are "global." Since only one defective normal line is replaced by a spare line in FRT, more than one spare decoder is needed to repair a global defect. This may result in a deficiency of spare decoders.

To solve this problem, a revision of the FRT is proposed. This revised technique features not only ZERO and ONE, but also a "don't-care" value X , which can be programmed into a spare decoder. The "don't-care" value X is assumed to coincide with both ZERO and ONE. Programming X in a spare decoder specifies that the address bit is not compared with the input address in the decision regarding the defective address. For example, one sense-amplifier defect can be repaired by programming X at the inter-subarray address bit that specifies a left/right subarray of the sense amplifier, and by programming ZERO or ONE at the other address bits. This is because the intra-subarray address is common to the two defective data lines.

Table I shows the numbers of spare decoders required to repair the various defects shown in Fig. 5. A data-line (local)

TABLE II
TRUTH TABLE OF ADDRESS COMPARISON CIRCUIT
WITH "DON'T CARE"

Stored address	F_0	F_1	a_i	\bar{a}_i	c_i
ZERO	blown	unblown	0	1	1
			1	0	0
ONE	unblown	blown	0	1	0
			1	0	1
X	unblown	unblown	0	1	1
			1	0	1

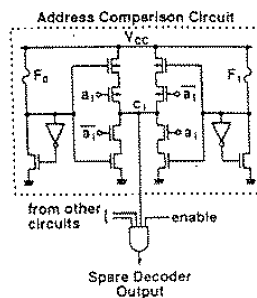


Fig. 6. Address comparison circuit with "don't care."

defect can be repaired with a spare decoder in both the original and the advanced FRT. However, in the original FRT a global defect requires two or more spare decoders, while in the advanced FRT it requires only one spare decoder. Therefore fewer spare decoders are required in the advanced FRT to repair the same number of defects and to achieve the same yield.

An address-comparison circuit [1], [2] in which the "don't-care" value X can be programmed is shown in Fig. 6. This circuit has two fuses, F_0 and F_1 . Table II shows the programming method: ZERO or ONE is programmed when one of the fuses is blown, and X is programmed when neither fuse is blown.

VI. CONCLUSION

It was pointed out that conventional redundancy techniques suffer from both area-penalty increase and yield degradation with increase in DRAM density. This is caused by the increasing numbers of both spare lines and array divisions.

A novel redundancy technique (FRT) featuring a flexible relationship between spare lines and spare decoders was proposed to solve these problems. This technique provides a higher usage efficiency of both spare lines and spare decoders as well as a lower probability of unsuccessful repair due to spare-line defects. The yield improvement factor for DRAM's of 64 Mb and beyond with this technique was estimated to be more than twice that through conventional techniques in the early stages of production. A revised FRT that can effectively repair global defects was also proposed.

ACKNOWLEDGMENT

The authors wish to thank H. Kawamoto, M. Ishihara, T. Shinoda, K. Kajigaya, and K. Ohshima for their helpful suggestions and discussions.

REFERENCES

- [1] J. Kokkonen *et al.*, "Redundancy techniques for fast static RAMs," in *ISSCC Dig. Tech. Papers*, Feb. 1981, pp. 80-81.
- [2] R. Sud *et al.*, "Designing static RAMs for yield as well as speed," *Electronics*, pp. 121-126, July 28, 1981.
- [3] T. Mano *et al.*, "A redundancy circuit for a fault-tolerant 256K MOS RAM," *IEEE J. Solid-State Circuits*, vol. SC-17, pp. 726-731, Aug. 1982.
- [4] K. Shimohigashi *et al.*, "Redundancy techniques for dynamic RAMs," in *Proc. 14th Conf. Solid State Devices*, Aug. 1982, pp. 63-67.
- [5] R. P. Cenker *et al.*, "A fault-tolerant 64K dynamic random-access memory," *IEEE Trans. Electron Devices*, vol. ED-26, pp. 833-860, June 1979.
- [6] E. T. Smith *et al.*, "Laser programmable redundancy and yield improvement in a 64K DRAM," *IEEE J. Solid-State Circuits*, vol. SC-16, pp. 306-314, Oct. 1981.
- [7] K. Itoh, "Trends in megabit DRAM circuit design," in *1989 Int. Symp. VLSI Technology, Syst. Applications, Proc. Tech. Papers*, May 1989, pp. 21-27.
- [8] R. Hori *et al.*, "An experimental 1 Mbit DRAM based on high S/N design," *IEEE J. Solid-State Circuits*, vol. SC-19, pp. 634-640, Oct. 1984.
- [9] S. E. Schuster, "Multiple word/bit line redundancy for semiconductor memories," *IEEE J. Solid-State Circuits*, vol. SC-13, pp. 698-703, Oct. 1978.
- [10] H. Stapper, "On yield, fault distributions, and clustering of particles," *IBM J. Res. Develop.*, vol. 30, pp. 326-338, May 1986.



Masakazu Aoki (M'76-S'81-M'82) received the B.S. degree in applied physics from Tokyo University, Tokyo, Japan, in 1971, and the M.S. degree in electrical engineering from the University of Michigan, Ann Arbor, in 1982.

Since joining the Central Research Laboratory, Hitachi Ltd., Tokyo, Japan, in 1971, he has been engaged in work on linear and area image sensors as well as CMOS memory circuits and devices. Currently he is working on high-density DRAM development.

Mr. Aoki is a member of the Institute of Electronics, Information and Communication Engineers of Japan.



Kiyoo Itoh (SM'89) was born in Miyagi, Japan on January 5, 1941. He received the B.S. and Ph.D. degrees in electronics from Tohoku University, Sendai, Japan, in 1963 and 1976, respectively.

In 1963 he joined the Central Research Laboratory, Hitachi Ltd., Tokyo, Japan, where he was first involved in core memory design. After that he was engaged in characterization of plated-wire memory element and design of plated-wire memory system. Since 1972 he has been working on DRAM developments from 4 kb to 64 Mb. In his long DRAM experience he has proposed and developed leading technologies such as a single 3-V NMOS DRAM, a single 3-V 64-kb NMOS DRAM using a folded data-line arrangement, CMOS DRAM's, exploratory developments of on-chip voltage limiter DRAM's, a proposal of a multidivided data-line structure combined with shared I/O's, a DRAM chip using a trench capacitor cell, systematic analysis and evaluation of soft-error mechanisms, data-line interference noise analysis and its reduction, BiCMOS DRAM's, and a 1.5-V DRAM. He became a chief researcher in Hitachi Central Research Laboratory in 1983. His responsibilities include developing the innovative CMOS and BiCMOS DRAM circuits suitable for deep-submicrometer devices; guiding and encouraging the fabrication process, and device and simulation technology development groups. He has published more than 30 articles in technical journals and conferences. In addition, he has contributed to about 300 patent applications including a folded data-line arrangement, an on-chip voltage limiter scheme, a multidivided data line, BiCMOS DRAM, and so on.

Dr. Itoh is a Senior Member of the IEEE Electron Devices Society and a member of the Institute of Electronics, Information and Communication Engineers of Japan. He won the IEEE Electron Devices Society 1984 Paul Rappaport Award. He was awarded the prize of the governor of Tokyo Metropolitan for outstanding inventions and research in 1988, and received the National Invention Award, the prize of the president of the attorney's association of Japan, for a DRAM invention (folded data-line arrangement) in 1989. In 1990 he received the Achievement Award of the Institute of Electronics, Information and Communication Engineers of Japan.



Masashi Horiguchi (M'86) was born in Hyogo, Japan, on March 18, 1955. He received the B.S. degree in electronic engineering and the M.S. degree in information engineering from the University of Tokyo, Tokyo, Japan, in 1977 and 1979, respectively.

He joined the Central Research Laboratory, Hitachi Ltd., Tokyo, Japan, in 1979. He has been engaged in the research and development of MOS dynamic memories.

Mr. Horiguchi is a member of the Institute of Electronics, Information and Communication Engineers of Japan.



Jun Etoh was born on August 20, 1950. He graduated from Ogata Technical High School, Oita, Japan, and Hitachi Technical College, Yokohama, Japan, in 1969 and 1972, respectively.

In 1969 he joined the Central Research Laboratory, Hitachi Ltd., Tokyo, Japan. Since 1969 he has been engaged in work on MOS-integrated circuits, especially for dynamic memories.

Mr. Etoh is a member of the Institute of Electronics, Information and Communication Engineers of Japan.



Tetsuro Matsumoto was born in Hiroshima, Japan, on April 26, 1950. He received the B.S. degree in electronics and communication in 1973, and the M.S. degree in electronics in 1975, both from Waseda University, Tokyo, Japan.

In 1975 he joined the Device Development Center, Hitachi Ltd., Tokyo, Japan, and has been engaged in the design of MOS dynamic RAM's.

th the
original
orders,
re de-
in the
and to

don't
This
gram-
of the
fuse is

tech-
yield
caused
array

exible
s was
ides a
re de-
repair
or for
was
tional
PRT
posed.

アドバンスト エレクトロニクス シリーズ
Advanced Electronics Series

I-9

菅野卓雄・神谷武志・西永頌・原島博 監修

カテゴリー I: エレクトロニクス材料・物性・デバイス

超LSIメモリ

Ultra LSI Memory

伊藤清男 著

Kiyoo ITO

培風館
BAIFUKAN

伊藤清男 略歴
いとう きよお

- 1941年 宮城県に生まれる
1963年 東北大学工学部電子工学科卒業
日立製作所中央研究所入所
1976年 東北大学工学博士
現 在 日立製作所中央研究所主管研究長
カリフォルニア大学バークレー校
Visiting MacKay Lecturer
(客員教授)

© 伊藤清男 1994

1994年11月5日 初版発行
November 5, 1994 Published first edition

アドバンスト エレクトロニクス I-9
超 LSI メモリ

著者 伊藤清男
発行者 山本 格

発行所 株式会社 培風館 Kabushi Kaisha
BAIFUKAN
東京都千代田区九段南4-3-12・郵便番号102
電話(03)3262-5256(代表)・振替00140-7-44725

中央印刷・三水舎製本

PRINTED IN JAPAN

ISBN4-563-03609-9 C3355

1994

アドバンス エレクトロニクス シリーズ

I-9

菅野卓雄・神谷武志・西永頌・原島博 監修

カテゴリー I: エレクトロニクス材料・物性・デバイス

超LSIメモリ

伊藤清男 著

培風館

データ線との接続孔およびセル間インレンションを低減し、さらにセンス方式を工夫してセンスアンペア数を削減することにより、全体として40%のチップ面積縮小が可能であると報告されている。

5.4.3 超高速DRAM

DRAMの技術動向として、低電力化と対をなすものが超高速化²⁹⁾である。前節で述べたような高スループット化だけではなく、ランダムアクセス時間も短縮してCPUの待ち時間を低減する目的で、BiCMOS技術を用いたECLインタフェースのDRAMが提案²⁹⁾されている。バイポーラ技術は、その特長が最も生かせるインタフェース回路、センス回路および電圧リミッタに限定して使用し、他はCMOS回路とすることで、高速性能の他、高集積かつ低電力のDRAMが実現できる。0.3 μ m技術を用い、アクセス時間78ns、動作電流198mA(サイクル時間16ns)の4Mb BiCMOS DRAMの設計例が報告されている。

5.4.4 不揮発RAM

フラッシュメモリがよく知られているが、これには前述のような制限の他に、書き込み時に、高電圧が必要で時間がかかる、ビット単位のランダムアクセスが困難、という欠点がある。これと比べ、書き込み、読み出しともに低電圧で、高速にランダムアクセスでき、かつ不揮発なメモリを実現できるものとして、強誘電体メモリ³⁰⁾が最近注目されている。種々のメモリセルが提案され、中にはDRAMセルと等価回路が良く似たものもある。信号の読み出しは、容量絶縁膜として用いている強誘電体の分極状態を反転させるか否かによって、データ線から流入(または流出)する電荷量が異なることを利用する。現状はまだLSIに適当な強誘電体材料の探索および基本プロセス検討の段階であるが、良い材料およびプロセスが開発されれば大きく発展する可能性がある。

5.4.5 専用メモリ

汎用のメモリとプロセッサの組み合わせではシステム性能が不十分である場合、周辺論理回路をメモリ上にとり込んだ専用メモリ³¹⁾により高性能化を図る必要がある。従来はプロセス上の互換性などの観点から、論理回路とオンチップでの組み合わせはSRAMが主体であった。しかし最近、高集積DRAMを用いることにより魅力的なチップができるといった提案³²⁾もなされるようになってきた。DRAMメモリアリアレー(8Mb)をベースに、センスアンペアと積和演算回路のピ

ッチを合わせてデータ転送回路を工夫することにより、10⁶の重み係数と1.37GOPS(Giga connections per second)の処理速度を実現するデジタルニューラルネットワークの構想である。チップ上ではメモリアレーから一度にとり出すデータの幅を広くできるので、演算回路を集積化すると並列度の高い演算が可能になりスループットを上げることができる。このようなチップは、音声や画像の認識速度向上などに大きな効果があると予想されている。

5.5 低電圧回路

近い将来LSIの低電圧動作は必要不可欠になる^{33), 34)}。トランジスタの微細化とともにトランジスタ耐圧が低下するので、必然的に動作電圧は下げざるを得ないためである。また今後の市場拡大が予想されている電池駆動を前提とした携帯機器では、低電圧・低電力動作が決め手になるためでもある。しかし動作速度を損なわずに低電圧動作をさせるためには、トランジスタのしきい電圧を下げなければならないが、下げすぎるとついに、トランジスタを十分カットオフできなくなり貫通電流が流れるようになる。この貫通電流は本節で扱うトランジスタのサブスレッシヨルド電流によるものである。このため従来のCMOS回路の最大の特徴である低電圧・低電力特性が失われてしまう。この問題はすべてのLSIに共通な重要問題なので、本節ではこのサブスレッシヨルド電流特性と、これを阻止するための回路について述べる。

5.5.1 低電圧化に伴う課題

(1) しきい電圧の定義とサブスレッシヨルド電流

トランジスタのしきい電圧の定義には2種類がある³⁵⁾。飽和電流の外挿で求めるものと、ゲート電圧が十分に低い領域において一定の電流を流すためのゲート電圧から求めるものである。前者は比較的大電流を扱う通常の回路動作の評価用として広く使われ、後者はサブスレッシヨルド電流の評価用として使われる。

飽和電流の外挿で定義したしきい電圧：通常の回路は、第1章で述べたトランジスタの電流式にしたがって動作するので、この電流式に矛盾のないようにしきい電圧 V_T が決められている。具体的には飽和電流式を變形すると、

$$\sqrt{I_{DS}} = \sqrt{\beta/2}(V_{GS} - V_T)$$

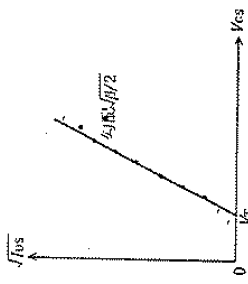


図 5.16 飽和電流の外挿によるしきい電圧の定義

なので、図 5.16 のようにトランジスタを飽和領域で動作させて $\sqrt{I_{DS}}$ と V_{GS} の関係をプロットし、 $\sqrt{I_{DS}} = 0$ となる外挿点の V_{GS} を V_T と定義している。この定義では、 V_T は W/L に無関係な固定値で V_{GS} が V_T 以下では $I_{DS} = 0$ である。実際のトランジスタでは V_T 以下の V_{GS} でもわずかに尾を引いた電流(チャネル電流、サブスレッション電流)が流れる。この領域をサブスレッション領域とよぶ。通常の回路では、それを構成するトランジスタのサブスレッション電流は、ハルス動作中に扱う電流レベルよりも十分小さいので、サブスレッション領域では $I_{DS} = 0$ と近似できるのである。以下、回路動作でよく知られているこのような外挿で定義したしきい電圧をあらためて V_{TE} とよぼう。高速化の要求から a を定数(0.1 ~ 0.2) とすれば

$$V_{TE} = aV_{DD} \tag{5.1}$$

となる。明らかに V_{TE} ではサブスレッション電流の大きさは直接的には表現できないので注意が必要である。

定電流で定義したしきい電圧：トランジスタの動作速度はほぼ $V_{DD} - V_{TE}$ に反比例するので、速度低下を抑えるためには V_{DD} の低下にみあって V_{TE} も低くしなければならぬ。しかし低くしすぎるとついに $V_{GS} = 0$ でもトランジスタをカットオフできなくなり、サブスレッション電流が流れるようになる。たとえ CMOS インバータ(図 5.17)の入力が 0V の場合、NMOS トランジスタを通してサブスレッション電流 I_L が流れるようになる。入力が V_{DD} の場合には今度は PMOS の方に流れる。したがって CMOS 回路でさえ真通電流が従来のようには無視できなくなる。しかもこの電流はトランジスタの大きさ (W/L) に比例する。したがってトランジスタのチャネル幅 W の平均値がたとえば $10 \mu\text{m}$ のオーダーであっても、高集積化とともにチップ全体としての W の総和は 1m を

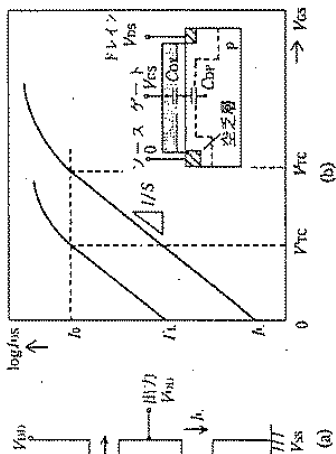


図 5.17 CMOS インバータと NMOS トランジスタのサブスレッション電流

越えて増加するので、低電圧・高集積化とともに CMOS LSI といえども大きな問題となる。そこでこの電流を直接表現できる新たなしきい電圧の定義が必要になる。いま、 V_{TE} がトランジスタの大きさに無関係な固定の値だったのに対し、チャネル幅 W のトランジスタにある一定の I_{DS} 電流 I_0 が流れ始める場合の V_{GS} を V_{TC} と定義しよう。サブスレッション領域におけるドレイン電流 I_{DS} は、図 5.17(b) に示すように、実効ゲート電圧 $V_{GS} - V_{TC}$ の指数関数で変化し、 V_{DS} はほとんど無関係で、任意のチャネル幅 W をもつ NMOS トランジスタでは、次式で表される I_{DS} 。

$$I_{DS} = \frac{I_0}{W_0} W \cdot 10^{(V_{GS} - V_{TC})/S} \tag{5.2}$$

ここで I_0/W_0 は V_{TC} を定義する電流密度、 S はテラーリング係数 ($V_{GS} - \log I_{DS}$ 特性の傾きの逆数) である。したがって、 $V_{GS} = 0$ でもサブスレッション電流

$$I_L = \frac{I_0}{W_0} W \cdot 10^{-V_{TC}/S} \tag{5.3}$$

が流れる。 V_{TC} を V_{TC} に低くすると、電流 I_L は、

$$I_L/I_0 = 10^{(V_{TC} - V_{TC0})/S} \tag{5.4}$$

と指数関数で大きくなる。なお、 $V_{TE} - V_{TC}$ はほぼ一定値で下記のように表される。

$$V_{TE} - V_{TC} = \Delta V_{TC} \tag{5.5}$$

以上の関係は PMOS トランジスタでもまったく同様である。

サブスレッショルド電流を低減するには、 V_T を大きくするか S を小さくすればよい。しかし、前者は実効ゲート電圧が低下して速度が低下するので好ましくない。一方、後者には限界がある。すなわちテラリング係数 S は、ゲート絶縁膜の容量 C_{ox} とゲート下の空乏層の容量 C_{sp} により、次式のように表される³⁰⁾。

$$S \approx \frac{kT}{q} \cdot \left(1 + \frac{C_{sp}}{C_{ox}}\right) \ln 10 \quad (5.6)$$

この式から明らかなように、 C_{sp}/C_{ox} や T を小さくすれば S を小さくできる。SOI構造³⁰⁾⁴⁾やチャネル直下のウェルを浅くした構造⁴⁾などにより C_{sp} を小さくし、 S を室温で従来構造の80mV/dec.(桁)程度から60mV/dec.程度まで小さくできるとの報告がある。しかし、式(5.6)から C_{ox} および C_{sp} の如何にかかわらず $S \approx (kT/q) \ln 10$ であるので、室温では S を60mV/dec.以下にすることはできない。そこで液体窒素温度(-196℃)で動作させる試み^{4)~6)}が報告されているが、汎用LSI全般、特に、電池動作の携帯機器用LSIには現実的ではない。

以上のようなサブスレッショルド電流によって、CMOS回路にさえ大きな貫通電流が流れるようになり、チップ全体の直流電流は増大してしまう。特に0℃~70℃といった室温動作の範囲でも、高温になるほど V_{TC} が低く S も大きくなるため、その電流増加は著しくなる。

(2) 大きい電圧とチップ性能

CMOS回路電流の増大： サブスレッショルド電流は、以下に述べるようにCMOS LSIの動作電流と待機電流の両者を著しく増加させる^{30), 39), 43)}。一般にCMOS LSIの動作(活性)電流 I_{ACT} は、AC電流を I_{AC} 、DC電流を I_{DC} とすると、

$$I_{ACT} = I_{AC} + I_{DC} \quad (5.7)$$

である。ここで I_{AC} は、チップ内のすべてのCMOS回路の充放電電流の合計で、

$$I_{AC} = \sum_j C_j f V_{DDj} \quad (5.8)$$

C_j : j 番目回路の負荷容量

f : 動作周波数

で表される。一方、チップ内には特別なDC電流のパスがないと仮定すれば、 I_{DC} はチップ内のすべてのトランジスタのサブスレッショルド電流の合計となる。 j 番目回路内のトランジスタのチャネル長を W_j とし、PMOSとNMOSのしきい電圧を等しいものとすれば、式(5.1)ならびに式(5.3)と式(5.5)から、

$$I_{bc} = \sum_j \frac{W_j}{W_0} I_0 \cdot 10^{-\alpha(V_{DD} - \alpha V_{TC})/S} \quad (5.9)$$

となる。従来のCMOS LSIのように V_{DD} が高い場合には I_{bc} は無視でき、動作電流は I_{AC} だけで決まる。しかし V_{DD} が低くなるにつれ I_{bc} は式(5.9)に従って小さくなり、逆に I_{bc} は式(5.9)に従って指数関数的に増大する。したがってある V_{DD} 以下では I_{bc} が I_{AC} より大きくなり、動作電流は今度は I_{bc} だけで決まるようになる。なお、待機電流はほぼ I_{bc} に等しいので、 V_{DD} が低くなるにつれて待機電流は急激に増加し動作電流にはほぼ等しくなる。図5.18は、チップ内トランジスタの合計の W/L が、世代ごとに約2倍になると仮定して電流を求めたものである。4~16Gビットレベルでは I_{ACT} は I_{bc} で決まる。以上から動作電流ならびに待機電流を低減するためには、 I_{bc} の低減はさきわめて重要であることがわかる。

メモリセルの性能低下： しきい電圧の低下に伴い、メモリセルの性能が低下してくる。DRAMセルでは、データ線が0Vでセル記憶電圧が高レベルの場合

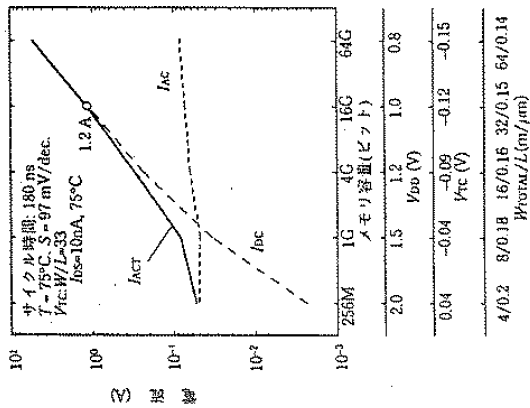


図 5.18 DRAMの動作電流⁴⁴⁾

電流(6)で定義したしきい電圧をそれぞれ V_{IS} , V_{IN} とすれば,

$$I_L(Q_S) = \frac{I_0}{W_0} W_S 10^{-V_{IS}/V_T} S \quad (5.10)$$

$$I_L(Q_N) = \frac{I_0}{W_0} W_N 10^{-V_{IS} + V_{IN}/V_T} S \quad (5.11)$$

となる。両者等しい条件から,

$$V_{SL} = (V_{IS} - V_{IN}) + \frac{S}{\ln 10} \ln \frac{W_N}{W_S} \quad (5.12)$$

となる。すなわち Q_N に流れる電流が Q_S に流れる定電流に等しくなるように、 V_{SL} が変わるのである。式(5.10)からこの定電流は V_{IS} が大で W_S が小さいほど小さい。 Q_N にこれと同じ電流を流すために、しきい電圧差($V_{IS} - V_{IN}$)が大きいほど、また W_N/W_S が大きいほど V_{SL} は大きくなる。電流低減効果 γ は、式(5.11)の $I_L(Q_N)$ を V_{SL} が0における $I_L(Q_N)$ で割ることにより,

$$\gamma = 10^{-V_{SL}/V_T} \quad (5.13)$$

となる。 V_{SL} が大きいほど γ は小さくなり効果が大きくなる。また $I_L(Q_N)$ のしきい電圧変化、温度変化に対する感度は、 $dV_{IS}/dV_{IN}=1$ すなわち V_{IS} と V_{IN} が同じように変化すると仮定すると、式(5.6)と式(5.11)と式(5.12)から,

$$\frac{1}{I_L} \frac{dI_L}{dV_{IN}} = -\frac{\ln 10}{S} \quad (5.14)$$

$$\frac{1}{I_L} \frac{dI_L}{dS} = \frac{\ln 10}{S} \frac{V_{IS}}{S} \quad (5.15)$$

$$\begin{aligned} \frac{1}{I_L} \frac{dI_L}{dT} &= \frac{1}{I_L} \frac{dI_L}{dV_{IN}} \frac{dV_{IN}}{dT} + \frac{1}{I_L} \frac{dI_L}{dS} \frac{dS}{dT} \\ &= -\frac{\ln 10}{S} \left(\frac{dV_{IN}}{dT} - \frac{V_{IS}}{T} \right) \end{aligned} \quad (5.16)$$

となる。一方、(b)の回路方式では、同様に基板効果を無視すれば、 Q_N の電流 I_L は,

$$I_L = \frac{I_0}{W_0} W_N 10^{-V_{SL} + V_{IN}/V_T} S \quad (5.17)$$

$$I_L = V_{SL} / R_S \quad (5.18)$$

$$\therefore \frac{V_{SL}}{R_S} = \frac{I_0}{W_0} W_N 10^{-V_{SL} + V_{IN}/V_T} S \quad (5.19)$$

5.5 低電圧回路

となる。また電流低減効果も式(5.13)と同じ式で表される。 I_L のしきい電圧変化に対する感度は、式(5.19)を V_{IN} で微分することにより,

$$\frac{1}{I_L} \frac{dI_L}{dV_{IN}} = -\frac{\ln 10}{S} \frac{1}{1 + (\ln 10/S)V_{SL}} \quad (5.20)$$

と求められる。また S の変化に対する感度は、式(5.19)の両辺を S で微分して,

$$\frac{1}{I_L} \frac{dI_L}{dS} = \frac{\ln 10}{S} \frac{V_{SL} + V_{IN}}{1 + (\ln 10/S)V_{SL}} \quad (5.21)$$

となる。また温度 T の変化に対する感度は,

$$\frac{1}{I_L} \frac{dI_L}{dT} = \frac{1}{I_L} \frac{dI_L}{dV_{IN}} \frac{dV_{IN}}{dT} + \frac{1}{I_L} \frac{dI_L}{dS} \frac{dS}{dT} + \frac{1}{I_L} \frac{dI_L}{dR_S} \frac{dR_S}{dT} \quad (5.22)$$

となる。式(5.18)から、また式(5.19)を R_S で微分して,

$$\frac{dI_L}{dR_S} = \frac{1}{R_S} \frac{dV_{SL}}{dR_S} - \frac{V_{SL}}{R_S^2} \quad (5.23)$$

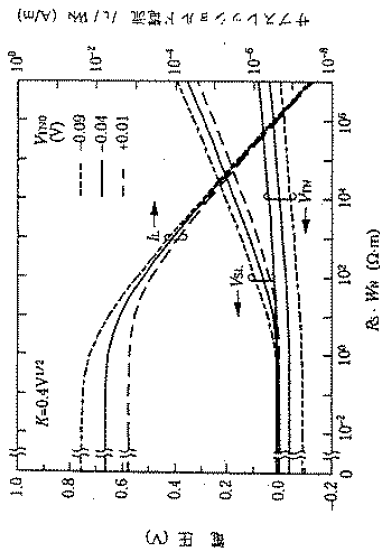
$$\frac{dV_{SL}}{dR_S} = \frac{S/V_{SL}}{R_S(S + V_{SL} \ln 10)} \quad (5.24)$$

が得られるので、これらの式と式(5.20)、式(5.21)を式(5.22)に代入すると下式が得られる。

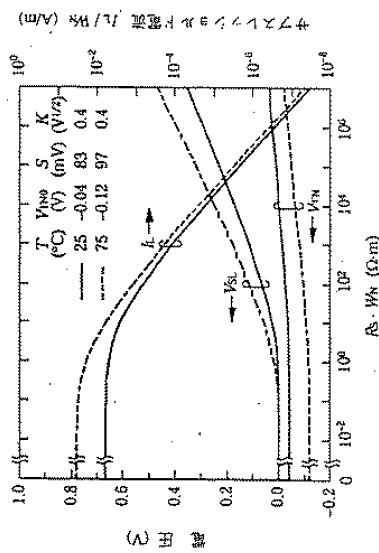
$$\frac{1}{I_L} \frac{dI_L}{dT} = -\frac{\ln 10}{S} \frac{\frac{dV_{IN}}{dT} - \frac{V_{SL} + V_{IN}}{T} + I_L \frac{dR_S}{dT}}{1 + (\ln 10/S)V_{SL}} \quad (5.25)$$

両方式を比較すると、 V_{IN} の変化に対しては、式(5.14)と式(5.20)から明らかなように、方式(b)の方が電流変化は小さく、それも V_{SL} が大きいほど小さくなる。つまり(b)の回路方式は製造ばらつきなどによるしきい電圧の変動に強い回路といえる。また温度変化に対しても、 V_{SL} が大きいほど電流変化は抑えられる。さらに $dV_{IN}/dT < 0$ なので、 $dR_S/dT > 0$ なら電流変動を相殺することもできる。なお、普通使われるシリコンでは $dR_S/dT=0$ である。

図5.21は方式(b)について基板効果をとり込んで一般的に解析したものである。図5.21(a)は、基板効果のない場合のしきい電圧 V_{IN0} のばらつきをパラメータにして、電流低減効果を $R_S W_N$ に対して求めたものである。 $I_0/W_0 = 2 \times 10^{-3} A/in$, $S = 83mV/dec$, $V_{IN0} = -0.04 \pm 0.05V$ と仮定している。 $R_S W_N$ が大きいほど、あるいは W_N 一定では R_S が大きいほど、また R_S 一定では W_N が大きいほど V_{SL} が大きくなるために低減効果が大きいことがわかる。 Q_N の基板効果($K=0.4V/V^2$)



(a) 小さい電圧のばらつき依存性



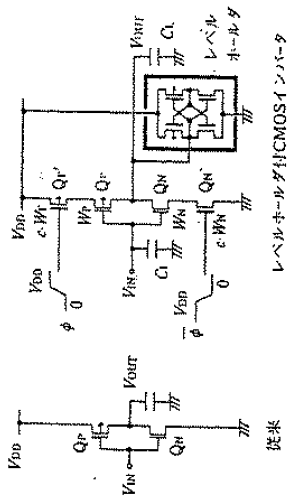
(b) 温度依存性
図 5.21 ソース抵抗によるサブスレッショルド電流の低減

のため、 V_{SL} が大きくなるにつれて小さい電圧 V_{TN} が高くなるので低減効果は一層高まる。明らかに、わずかにデブリードしているトランジスタに対してさえ、0.3V程度の V_{SL} でもサブスレッショルド電流は3~4桁低減できることがわかる。また予想通り、 V_{TN} のばらつき依存性も V_{SL} が大きくなると少なくなる。 V_{TN}

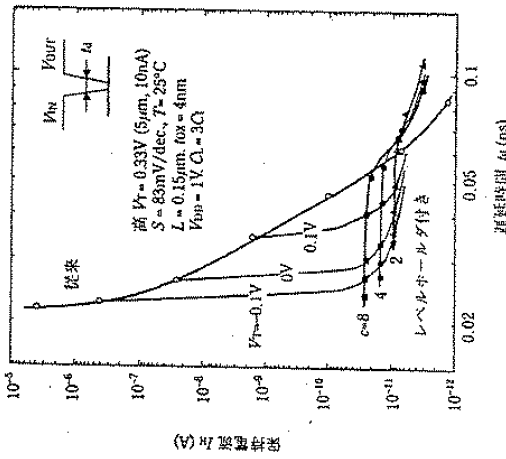
がばらついてもソース抵抗による負帰帰効果によって V_{SL} は変化し、電流増加は抑えられてしまうためである。図5.21(b)は温度依存性である。ソース抵抗が低いと、25°Cから75°Cに温度が上昇すると電流は5.7倍になる。 V_{TN} が低くなり S が大きくなるためである。しかし $R_S W_N$ が $10^3 \Omega \cdot m$ では、1.45倍に増えるだけで温度依存性が抑えられることがわかる。なお、図5.20(c)のように、待機時には他のスイッチをオンにして Q_N のソースを V_{DD} に固定する方式も考えられる。制御が簡単で電流は完全にオフにできる利点がある。しかしソースの寄生容量が大きいような応用例では、この容量を V_{DD} の大振幅で充放電するための所要時間と電圧が問題になる。

(2) 出力電圧ホールド回路

以上は入力論理を固定した場合の例なので、ランダム入力の場合には適用できない。図5.22は、ランダム入力に対応するために、インバータ (Q_P, Q_N) とフリップフロップからなるレベルホールドを組み合わせた例⁽⁴⁰⁾である。電源に直列に接続されたトランジスタ Q_P と Q_N はスイッチの役割をする。まずクロック (ϕ) によって Q_P と Q_N をオンにして Q_P と Q_N とでインバータを形成し、それに同期させて任意の2進論理を入力する。それに対応した出力論理レベルをレベルホールドに保持した後、クロックで Q_P, Q_N インバータの電源を切る。ここで Q_P, Q_N を除くすべてのトランジスタのしきい電圧をサブスレッショルド電流が無視できる程度に高く設定しておけば(以下高 V_T とよぶ)、レベル保持期間中には系にはサブスレッショルド電流が流れることはない。レベルホールドは、レベルを保持するだけなので、最小寸法のトランジスタが使えて小型になる。ただし Q_P, Q_N の寸法は速度に影響する。図5.22(b)は遅延時間と保持電流の関係である。ここで Q_P に対する Q_N の寸法比ならびに Q_N に対する Q_P の寸法比を2~8まで変え、さらに Q_P と Q_N のしきい電圧 V_T を等しいと仮定し、それらを0.1Vから-0.1Vに変え、その他のトランジスタは高 V_T (0.33V) で一定にしている。しきい電圧はチャネル長0.15 μm 、チャネル幅5 μm 、10nAの I_{DS} で定義している。従来のインバータでは、 V_T を低くしていくにつれ高速化されていくが、著しく保持電流が増加してしまう。これに対してレベルホールド付でも V_T の低下とともに高速化されるが、保持電流はそれほど増加しない。なお、全体の速度は V_T を低くしていくとついつい Q_P と Q_N の寸法に律速されるようになるので、これらの寸法を大きくするほど到達できる最高速度は伸びる。



(a) 回路



(b) 保持電流と遅延時間の関係
レベルホールド付き

5.5.3 待機電流低減の具体例

(1) ワードドライバへの応用

図5.23は、図5.20の方式(a)をDRAMのワードドライバに適用し、その待機電流を低減した例^{49), 47)}である。ワードドライバで使われるトランジスタ

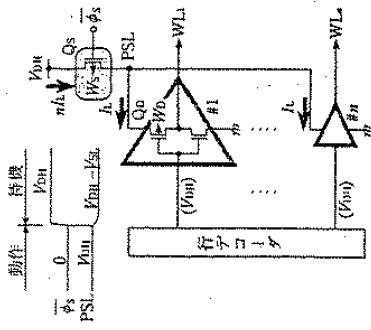


図 5.23 ワードドライバへの適用例^{49), 47)}

(PMOS出力トランジスタ)のチャネル幅の総和は、256Mビットでは2.7 μ mにもおよび、周辺回路全体の半分以上を占めるといわれている。したがってしきい電圧が低くなって($V_{TC} \sim 0.1V, 25^\circ C$)問題になり始める256Mビット世代では、この回路に多量のサブスレッショルド電流が流れるので減らす必要がある。この例では、待機時にはインバータであるワードドライバ n 個($n=1 \sim \#n$)の入力はすべて昇圧されたHレベル(V_{DD})で、出力はすべてLレベル(0V)なので、サブスレッショルド電流は各ドライバのPMOS Q_p に流れる。このPMOSI個のチャネル幅を W_p とすれば、等価的には nW_p のチャネル幅をもつ1個のトランジスタとみなせ、これが図5.20(a)の Q_n に相当する。また Q_p の共通ソース (V_{DD} 電源線 PSL) に接続したPMOSトランジスタ Q_s が電流制限素子となり、図5.20(a)の Q_s に相当する。もし Q_s がなければ待機時には nI_L が流れ続け、これが内部昇圧 V_{DD} 電源(第4章参照)のもとと少ない電流供給能力を超えてしまうと、 V_{DD} のレベルは大巾に低下してしまう。 V_{DD} レベルがいったん低下してしまうと、待機時から動作時に移行するのに長時間が必要になる。 V_{DD} 電源回路の電流供給能力が低いうえで、PSLの寄与容量は大きく(256MビットではPSLは10pF、ワード線1本は2pF)抵抗成分もあり、しかもそれを V_{DD} 以上の昇圧レベルに充電しなければならぬためである。そこで V_{DD} のレベルを確保しようとする。今般は V_{DD} 電源回路内のポンピング容量を高頻度で駆動し続けなければならないので、 V_{DD} 電源回路自身の待機電流は減らせなくなる。 Q_s を挿入し、待機時

にそのゲートを V_{OH} にすると、PSLは V_{SL} だけ低下するので、 Q_n のゲートは V_{OH} に保持されるのでゲート・ソース間は逆バイアスされ大端に電流は減らせる。 Q_s 、 Q_0 のしきい電圧の絶対値をそれぞれ V_{IS} 、 V_{ID} とすれば、電源低下減率 γ は式(5.13)から

$$\gamma = 10^{-\gamma_{SL}/S} \quad (5.26)$$

$$V_{SL} = (V_{IS} - V_{ID}) + \frac{S}{\ln 10} \ln \frac{nW_D}{W_S} \quad (5.27)$$

となる。たとえば $W_S/W_D=5$ 、 $n=256$ 、 $S=90\text{mV/dec}$ 、 $V_{IS}=0.2\text{V}$ 、 $V_{ID}=0.1\text{V}$ であれば、 $V_{SL}=0.254\text{V}$ となって $\gamma=1.5 \times 10^{-3}$ となる。これによって 256M ビットチップ全体のサブスレッション電流は、室温で $219\mu\text{A}$ から $6\mu\text{A}$ に低減できると報告されている。なお、 Q_s を挿入しても動作時の速度にはほとんど影響を与えない。上記の条件では、デコーダ入力からワード線 WL に出力が現れるまでの時

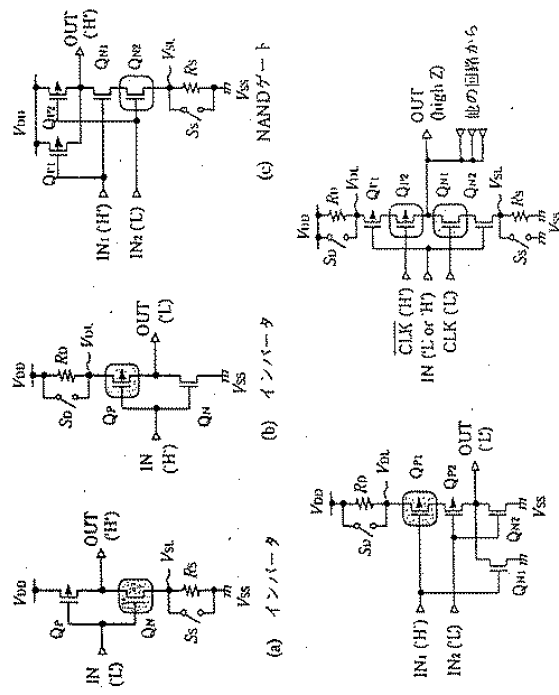


図 5.24 論理ゲートへの適用例³⁰⁾

間は3%増加するだけである。サブスレッション電流の低減率は nW_D/W_S で決まるが、速度は Q_s と選択された1個のワードドライバの Q_0 だけで決まるためである。このため Q_s のチャネル幅は Q_0 のそれと同程度(上記では5倍)に設定できるのでその占有面積は無視できるほど小さい。

(2) 論理回路への応用

通常のメモリLSIや論理LSIでは、待機時にはほとんどのノード電圧はあらかじめ分る場合が多いので、前述したワードドライバ以外の回路でも待機電流は減らすことができる。図5.24は、ソース抵抗を切り換える図5.20(b)を論理ゲートに適用した例³⁰⁾である。入力端子(IN)電圧が低レベル(L)で出力端子(OUT)が高レベル(H)の場合には、ソース抵抗 R_S とスイッチ S_S の挿入箇所は(a)のようになる。INがHの場合には、(b)のようにソース抵抗 R_S は Q_n のソース側に挿入する。(c)、(d)は2入力のNANDとNORへの適用例である。2入力ともLあるいはHなら(a)、(b)と等値になるので、1入力はLではHの場合を示している。(e)はクロック(CLK)で動作するインバータ(Wired OR)への適用例である。図中のインバータがオフの場合、その出力(OUT)電圧は、出力端子を共有している他の回路の論理状態が決まるので、その論理状態によっては Q_{n1} と Q_{p2} のいずれかを通してサブスレッション電流が流れる。そこで V_{DD} と V_{SS} の両方にソース抵抗を挿入する。このような考え方は、待機期間中の入力信号電圧があらかじめ分かるといかなる組み合わせ論理回路にも適用できる。またR-

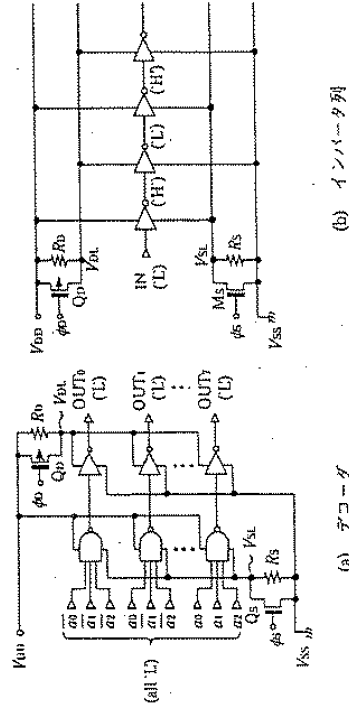


図 5.25 ソース抵抗とスイッチの共有例³⁰⁾

図5.25はソース抵抗とスイッチを他の回路と共有して面積増加を抑えた例である。スイッチは前述したように高圧のMOSトランジスタ Q_0 と Q_3 で構成されている。(a)はアドレスデコーダ(図では3ビットの例)への適用例である。待機時にはすべての入力信号(a, \bar{a})は1とする。 n ビットのアドレス入力では、トランジスタ Q_0, Q_3 とソース抵抗 R_0, R_3 は2個の論理回路で共有されるので、これら付加回路による面積増加は小さい。また前述したように、動作時には a, \bar{a} のいずれかがHになり2個の中の1個だけ動作し他は動作しない。したがって Q_0, Q_3 は1個の論理回路だけを駆動すればよいので、それらのチャネル幅は論理回路内のトランジスタのチャネル幅程度でよい。(b)はインバータ列への適用例で、待機時の入力力が1の場合を示した。動作時にはすべてのインバータが動作するが、同じ時刻に動作電流が流れることはない。したがってトランジスタとソース抵抗は“時間的”に共有できるので少ない面積でよい。これらの方式を使うと、 $V_{DD}=1V$ 、チップ内の合計のチャネル幅 $32m$ 、 $V_{th0} = -0.04V$ (25°C)、75°Cにおける16Gビットチップの待機電流は、ソース抵抗(1K Ω)を挿入することによって1.1Aから0.29mAに低減できると報告されている³⁰⁾。

5.5.4 動作電流低減の具体例

動作電圧・しきい電圧が低くなると、動作時といえどもサブスレッシヨールド電流が無視できなくなってくる。動作時は待機時のように回路の入力レベルが予知できないランダム動作なので、メモリの周辺論理回路に対しては前述したレベヘルホールドが有効である。しかし同じ回路が多数繰り返され、その中の少数が選択され動作するような回路ブロック、たとえばワードドライバやデコーダ、センスアンプの駆動回路には適用が難しい。このような回路ブロックでは、大多数の非選択回路にサブスレッシヨールド電流が流れ続けるが、これをカットするためにそれぞれの出力端にホールドをつけることが、レイアウト上あるいはチップ面積の点から許されない場合が多いからである。

表5.3は、このような回路ブロックに対して有効な多分割選択給電方式³¹⁾である。 m 個の同じ回路からなるブロックをとると、選択された1割の回路の入力はL(0V)でその出力はHになるが、他の $(m-1)$ 割の非選択回路では入力はずべてH(V_{DD})で出力はずべてLである。この選択動作中は、選択回路内のNMOSと非選択回路内のPMOSにサブスレッシヨールド電流が流れる。流れる電流がNMOSとPMOSで等しいとすれば、電源には mI が常時流れる。この電流は、ブロックを m 個のサブブロックに分割し、1個のサブブロックに選択的に

表 5.3 選択給電方式の原理³¹⁾

給電方式	常時給電 (従来)	1次元選択給電	2次元選択給電
構成 ³¹⁾			
動作 ³²⁾ 電流	$m \cdot n \cdot I$	$n \cdot I$	$(n/k) \cdot I$
ゲート駆動能力 ³³⁾	$m \cdot n \cdot I$	$n \cdot I + (m-1) \cdot a \cdot I$	$(n/k) \cdot I + (m-1) \cdot a \cdot I + (k-1) \cdot b \cdot I$
回路の駆動能力 ³³⁾	1	$1 + 1/a$	$1 + 1/a + 1/b$

³¹⁾ 動作時の電圧・電流を示す。³²⁾ V_{DD} が供給された回路にはそれぞれ電流が流れると仮定。³³⁾ 従来比。

給電すれば(表中の1次元選択給電)。理想的には $1/m$ になる。電源と各サブブロックに挿入されたPMOSは選択スイッチの役割をし、選択したい回路を含むサブブロックのスイッチだけをオンして給電する。この選択されたサブブロック内のサブスレッシヨールド電流は nI となりこれは選べないが、スイッチが理想的なら他の非選択ブロックの電流は0にできるのである。この理想的スイッチは、スイッチ用PMOSのしきい電圧をサブスレッシヨールド電流を無視できるほど高く設定すれば実現できる。そのしきい電圧を回路内トランジスタのしきい電圧と等しく低く設定しても低減効果は著しい。各非選択サブブロックは、図5.23で述べた待機時に相当した電圧関係になるからである。すなわち回路内PMOSとスイッチ用PMOSのチャネル幅をそれぞれ kW, aW で $n \gg a$ としよう。非選択サブブロック内の給電電圧は式(5.27)に従って低下し、流れる定電流はスイッチ用PMOSのサブスレッシヨールド電流で決まるので、サブブロックには aI の電流が流れる。したがって全体の電流は $nI + (m-1)aI$ となる。この値は $n = ma$ で最小値 $2nI$ となる。この時、常時給電(従来法)する場合は電流は $(n/m)I$ なので、これに対する比は $2a/n$ となり、 n が大きくなると比は小さくなる。同様に2次元選択給電では、サブブロックをさらに k 個に細分化すると、全体のサブスレッシヨールド電流は $1/k$ となる。これらの選択給電法と前述した出力電圧ホールド回路を、第2章で述べた階層形ワード線構成の16Gビットに

適用すると、動作電圧 $V_{op}=1V$ で 180ns サイクル時間での消費電力を 1.2A から 22mA まで激減できると報告されている⁴⁹⁾。

5.5.5 メモリセルのサブスレッシヨールド電流低減方式

図 5.26(a) は DRAM セルのサブスレッシヨールド電流を低減する電圧設定法である^{49), 50), 51)}。アーク線のとり得る電圧範囲の中で最も低い電圧 $V_D(L)$ の場合に流れるサブスレッシヨールド電流 I_0 が問題だから、 $V_D(L)$ を非選択ワード電圧以上に設定すればよい。セルトランジスタのゲートは逆バイアスされて電流は少なくなる。セルトランジスタのしきい電圧 V_T と $V_D(L)$ の関係は図 5.26(b) を用いて以下のように求められる。セルトランジスタに I_0 を流すゲート・ソース間電圧 V_{GS} をセルトランジスタの V_T と定義する。またデータ保持(リフレッシュ)特性の点からセルトランジスタに許容できる最大のサブスレッシヨールド電流を I_{0max} とする。 I_0 から I_{0max} の変化に対応した V_{GS} の変化は $\text{Slog}(I_0/I_{0max})$ なので、

$$V_D(L) \geq S \log \frac{I_0}{I_{0max}} - V_T$$

となる。動作点は 1 から 2 へと変わる。このようなセル電圧設定法は、すでに 256M ビットの試作品⁵⁰⁾ や 16G ビットの概念設計⁵¹⁾ に適用されている。

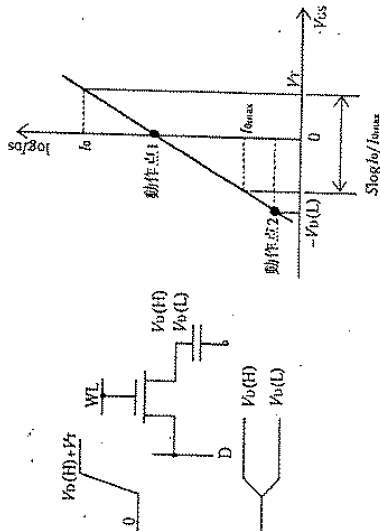


図 5.26 ゲート逆バイアスによるサブスレッシヨールド電流の低減

参考文献

参考文献

- 1) 小宮, 松川, 石倉, "集積度向上のバランシスト," 電子情報通信学会誌, vol.75, No.4, pp.333-337, 1992年4月.
- 2) H.Komiya et al., "Future Technological and Economic Prospects for VLSI," IEICE Trans. Electron., vol. E76-C, No.11, pp.1555-1563, Nov. 1993.
- 3) 伊藤 他, "サブハーブミクロンDRAM技術," 電子情報通信学会 1993年春季大会併催講演会, pp.16-23, 1993年3月30日 (名古屋大学).
- 4) Y.Nakagome and K.Itoh, "Reviews and Prospects of DRAM Technology," IEICE Trans.vol.E74, No.4, pp.799-811, 1991.
- 5) Special Report / Memory, IEEE SPECTRUM, pp.34-57, Oct. 1992.
- 6) D. Bursky, "Fast DRAMs can be swapped for SRAM Caches," Electronic Design, pp.55-67, July 22, 1993.
- 7) T. Furuyama et al., "A High Random-Access-Data Rate 4Mb DRAM with Pipeline Operation," Dig. Tech. Papers, 1990 Symp. VLSI Circuits, pp. 9-10.
- 8) S.S.Lalton et al., "A 100ns 64K Dynamic RAM using Redundancy Techniques," ISSCC Dig. Tech. Papers, pp.84-85, 1981.
- 9) S.Watanabe et al., "An Experimental 16Mb CMOS DRAM Chip with a 100 MHz Serial Read/write Mode," ISSCC Dig. Tech. Papers, pp. 248-249, 1988.
- 10) B.Gunning, et al., "A CMOS low-voltage-swing transmission-line transceiver," ISSCC Dig. Tech. Papers, pp. 58-59, Feb. 1992.
- 11) N.Kusiyama, et al., "500M byte/ sec data-rate 512k bits x 9DRAM using a novel I/O interface," Symp. VLSI Circuits, Dig. Tech. Papers, pp.66-67, June 1992.
- 12) 山田, "インタフェェースの高速化," 電子誌 vol. 76, No. 7, pp.721-725, 1993年7月.
- 13) 山田, 松井, "100MHz世代に向け, バス系の小規模インタフェェースを比較する," 日経エレクトロニクス, No.591, pp.269-290, 1993年9月27日号.
- 14) 小林孝, 他3名, "100MHz時代のCPUゲート設計," 日経エレクトロニクス, 1992年6月8日号, No. 556, pp.109-141.
- 15) 安部英雄, "見えてきたシンクロナスDRAMの仕様, 100MHz動作品が1993年に市場へ," 日経エレクトロニクス, 1992年5月11日号, No.553, pp. 143-147.
- 16) N.Kusiyama et al., "A 500-Megabyte/s Data-Rate 4.5M DRAM," IEEE J. Solid-State Circuits, vol.28, No.4, pp.490-498, April 1993.
- 17) K. Dosaka, et al., "A 100-MHz 4-Mb Cache DRAM with Fast Copy-Back Scheme," IEEE J. Solid-State Circuits, vol. 27, No.11, pp.1534-1539, Nov. 1992.
- 18) J.Yamada, "Reviews and prospects of ASIC memories," IECE Trans. vol.E74, No.4, pp.902-908, April 1991.
- 19) 山村 他, "専用メモリの現状と今後の動向," 電子情報通信学会 1992年9月, pp.1-8, 1992年9月.
- 20) 山光 他, "民生機器とLSIメモリ," 電子情報通信学会 1993年春季大会併催講演会, pp.49-56, 1993年3月30日 (名古屋大学).
- 21) 佐々木元, "DRAMの技術動向と経済性: 超高集積DRAMが拓く新しい応用の世界," 電気・情報関連学会大会, 予集集分冊3, pp.1-4, 1991年9月.

- 22) M.Aoki et al., "A 16-level/cell dynamic memory," ISSCC Dig. Tech. Papers, pp.246-247, Feb. 1985.
- 23) M.Horiguchi et al., "An experimental large-capacity semiconductor file memory using 16-levels/cell storage," IEEE J. Solid-State Circuits, vol.23, No.1, pp.27-33, Feb. 1988.
- 24) T.Furuyama et al., "An experimental 2-bit/cell storage DRAM for macrocell or memory-on logic application," IEEE J. Solid-State Circuits, vol.24, No.2, pp.388-393, April 1989.
- 25) Y.Ohla et al., "A novel memory cell architecture for high-density DRAMs," Symp. VLSI Circuits, Dig. Tech. Papers, pp.101-102, May 1989.
- 26) K.Kimura et al., "A Block-Oriented RAM with Half-Sized DRAM Cell and Quasi-Folded Data-Line Architecture," IEEE J. Solid-State Circuits, vol.26, No.11, pp.1511-1518, 1991.
- 27) K.Itoh, "Trends in megabit DRAM circuit design," International Symp. VLSI Technology, Taipei, Taiwan, Proc. Tech. Papers, pp.21-27, May 1989.
- 28) T.Kawahara et al., "A circuit technology for sub-10-ns ECL 4-Mb BiCMOS DRAMs," IEEE J. Solid-State Circuits, vol.26, No.11, pp.1530-1537, Nov. 1991.
- 29) 橋川, 勉6: "ECL 1 Mb Bi-CMOS DRAMの設計" 電子論 C-II, vol.175, No.1, pp.17-27, 1992年1月.
- 30) S.S.Eaton et al., "A ferroelectric nonvolatile memory," ISSCC Dig. Tech. Papers, pp.130-131, Feb. 1988.
- 31) T.Watanabe et al., "A single 1.5-V digital chip for a 10⁶-synapse neural network," ICNN Dig. Tech. Papers, vol.2, pp.7-12, June 1992.
- 32) 田口潤: "目標は100万ニューロン, 処理速度10TCUPSの大規模ニューロ" 日経エレクトロニクスシステム, 別冊1992年夏号, pp.34-39.
- 33) 各務: "低電圧化の動向" 電子情報通信学会誌, vol.76, No.7, pp.726-730, 1993年7月.
- 34) 普木, 伊藤. "低電圧・低電力時代の回路技術" 電子情報通信学会, 留学技報 ED93-40, ICD93-39, pp.43-50, 1993年6月.
- 35) M.Aoki and K.Itoh, "Low-Voltage, Low-Power VLSI Circuit Techniques," IEICE Trans., 1994, to be published.
- 36) Y.P.Tsividis, "Operation and Modeling of the MOS Transistor," New York, McGraw-Hill, 1988.
- 37) S.M.Sze, "Physics of Semiconductor Devices (2nd ed.)," Wiley, New York (1981).
- 38) M.Horiguchi et al., "Switched-source-impedance CMOS circuit for low standby subthreshold current Giga-scale LSI's," IEEE J. Solid-State Circuits, vol.28, No.11, pp.1131-1135, Nov.1993.
- 39) J.-P. Collinge "Subthreshold slope of thin-film SOI MOSFETs," IEEE Electron Device Lett., vol.7, No.4, pp.244-246, Apr.1986.
- 40) D. Hisamoto et al., "Impact of the vertical SOI 'DELTA' structure on planar device technology," IEEE Trans. Electron Devices, vol.38, No.6, pp.1419-1424, June 1991.
- 41) H. Yoshimura et al., "New CMOS shallow junction well FET structure (CMOS-SJET) for low power-supply voltage," IEDM 92 Tech. Dig., pp.908-912, Dec.1992.

- 42) F.H. Gaensslen and R.C. Jaeger, "Low temperature microelectronics," Extended Abstr. 22nd Conf. Solid State Devices and Mater., pp.353-356, Aug.1990.
- 43) W.H. Henkels et al., "A 4-Mb low-temperature DRAM," IEEE J. Solid-State Circuits, vol.26, No.11, pp.1519-1529, Nov.1991.
- 44) M.Aoki et al., "Fully symmetric cooled CMOS on(110)plane," IEEE Trans. Electron Devices, vol.36, No.8, pp.1429-1433, Aug.1989.
- 45) T. Sakata et al., "Two-Dimensional Power-Line Selection Scheme for Low Subthreshold-Current Multi-Gigabit DRAMs," IEEE J. Solid-State Circuits, 1994, to be published.
- 46) G. Kitsukawa et al., "256-Mb DRAM Circuit Technologies for File Applications," IEEE J. Solid-State Circuits, vol.28, No.11, pp.1105-1113, Nov.1993.
- 47) T. Kawahara et al., "Subthreshold Current Reduction for Decoded-Driver by Self-Reverse Biasing," IEEE J. Solid-State Circuits, vol.28, No.11, pp.1136-1144, Nov.1993.
- 48) T. Sakata et al., "Subthreshold-current reduction circuits for multi-gigabit DRAMs," Symp. VLSI Circuits Dig. Tech. Papers, pp.83-84, May 1993.
- 49) R.E. Scheuerlein and J.D. Meindl, "Offset wordline architecture for scaling DRAMs to the gigabit level," IEEE J. Solid-State Circuits, vol.23, No.1, pp.41-47, Feb.1988.
- 50) M. Asakura et al., "A 34ns 256Mb DRAM with Boosted Sense-Ground Scheme," ISSCC 94 Dig. Tech. Papers, pp.140-141, Feb. 1994.



**UNITED STATES DEPARTMENT OF COMMERCE
Patent and Trademark Office**

Address: COMMISSIONER OF PATENTS AND TRADEMARKS
Washington, D.C. 20231

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	CLASSIFICATION	ATTORNEY DOCKET NO.
09/251,352	02/17/99	HIDAKA	H	49657-318

MCDERMOTT WILL & EMERY
600 13TH STREET N.W.
WASHINGTON DC 20005

MM42/0110

EXAMINER

TRAN, A

ART UNIT


PAPER NUMBER

2824

DATE MAILED: 01/10/00

Please find below and/or attached an Office communication concerning this application or proceeding.

Commissioner of Patents and Trademarks

Office Action Summary	Application No. 09/251,352	Applicant(s) HIDETO HIDAKA	
	Examiner Andrew Q. Tran	Group Art Unit 2824	

Responsive to communication(s) filed on _____

This action is **FINAL**.

Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11; 453 O.G. 213.

A shortened statutory period for response to this action is set to expire 1 month(s), or thirty days, whichever is longer, from the mailing date of this communication. Failure to respond within the period for response will cause the application to become abandoned. (35 U.S.C. § 133). Extensions of time may be obtained under the provisions of 37 CFR 1.136(a).

Disposition of Claims

Claim(s) 1-20 is/are pending in the application.

Of the above, claim(s) _____ is/are withdrawn from consideration.

Claim(s) _____ is/are allowed.

Claim(s) _____ is/are rejected.

Claim(s) _____ is/are objected to.

Claims 1-20 are subject to restriction or election requirement.

Application Papers

See the attached Notice of Draftsperson's Patent Drawing Review, PTO-948.

The drawing(s) filed on _____ is/are objected to by the Examiner.

The proposed drawing correction, filed on _____ is approved disapproved.

The specification is objected to by the Examiner.

The oath or declaration is objected to by the Examiner.

Priority under 35 U.S.C. § 119

Acknowledgement is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d).

All Some* None of the CERTIFIED copies of the priority documents have been

received.

received in Application No. (Series Code/Serial Number) _____

received in this national stage application from the International Bureau (PCT Rule 17.2(a)).

*Certified copies not received: _____

Acknowledgement is made of a claim for domestic priority under 35 U.S.C. § 119(e).

Attachment(s)

Notice of References Cited, PTO-892

Information Disclosure Statement(s), PTO-1449, Paper No(s). _____

Interview Summary, PTO-413

Notice of Draftsperson's Patent Drawing Review, PTO-948

Notice of Informal Patent Application, PTO-152

-- SEE OFFICE ACTION ON THE FOLLOWING PAGES --

Art Unit: 2824

This application contains claims directed to the following patentably distinct species of the claimed invention:

- A/ Species of Figure 1;
- B/ Species of Figure 5;
- C/ Species of Figure 9;
- D/ Species of Figure 11;
- E/ Species of Figure 17;
- F/ Species of Figure 21A; and
- G/ Species of Figure 41.

Applicant is required under 35 U.S.C. 121 to elect a single disclosed species for prosecution on the merits to which the claims shall be restricted if no generic claim is finally held to be allowable. Currently, there is no generic claim.

Applicant is advised that a reply to this requirement must include an identification of the species that is elected consonant with this requirement, and a listing of all claims readable thereon, including any claims subsequently added. An argument that a claim is allowable or that all claims are generic is considered nonresponsive unless accompanied by an election.

Upon the allowance of a generic claim, applicant will be entitled to consideration of claims to additional species which are written in dependent form or otherwise include all the limitations of an allowed generic claim as provided by 37 CFR 1.141. If claims are added after the election, applicant must indicate which are readable upon the elected species. MPEP § 809.02(a).

Should applicant traverse on the ground that the species are not patentably distinct, applicant should submit evidence or identify such evidence now of record showing the species to be obvious variants or clearly admit on the record that this is the

Application/Control Number: 09/251,352

Page 3

Art Unit: 2824


case. In either instance, if the examiner finds one of the inventions unpatentable over the prior art, the evidence or admission may be used in a rejection under 35 U.S.C. 103(a) of the other invention.

Papers related to this application may be submitted to Technology Center 2800, Group 2810 by facsimile transmission. Papers should be faxed to Group 2810 via the Fax Center. The faxing of such papers must conform with the notice published in the Official Gazette, 1096 OG 30 (October 19, 1988). The Fax Center number is (703) 308-7722 or (703) 308-7724.

Any inquiry concerning this communication or earlier communications from the examiner should be directed to Andrew Q. Tran whose telephone number is (703) 305-3495.

Any inquiry of a general nature or relating to the status of this application should be directed to the Group receptionist whose telephone number is (703) 308-0956.

Andrew Q. Tran
January 7, 2000



ANDREW Q. TRAN
PRIMARY EXAMINER

09/25/352

NOTICE OF DRAFTSPERSON'S PATENT DRAWING REVIEW

The drawing(s) filed (insert date) 2/17/99 are:

- A. approved by the Draftsperson under 37 CFR 1.84 or 1.152.
- B. objected to by the Draftsperson under 37 CFR 1.84 or 1.152 for the reasons indicated below. The Examiner will require submission of new, corrected drawings when necessary. Corrected drawing must be submitted according to the instructions on the back of this notice.

<p>1. DRAWINGS. 37 CFR 1.84(a): Acceptable categories of drawings: Black ink - Color. ___ Color drawings are not acceptable until petition is granted. Fig(s) _____ Pencil and non black ink not permitted. Fig(s) _____</p> <p>2. PHOTOGRAPHS. 37 CFR 1.84 (b) ___ 1 full-tone set is required. Fig(s) _____ ___ Photographs not properly mounted (must use bristol board or photographic double-weight paper). Fig(s) _____ ___ Poor quality (half-tone). Fig(s) _____</p> <p>3. TYPE OF PAPER. 37 CFR 1.84(e) ___ Paper not flexible, strong, white, and durable. Fig(s) _____ ___ Erasures, alterations, overwritings, interlineations, folds, copy machine marks not accepted. Fig(s) _____ ___ Mylar, velum paper is not acceptable (too thin). Fig(s) _____</p> <p>4. SIZE OF PAPER. 37 CFR 1.84(f): Acceptable sizes: ___ 21.0 cm by 29.7 cm (DIN size A4) ___ 21.6 cm by 27.9 cm (8 1/2 x 11 inches) ___ All drawing sheets not the same size. Sheet(s) _____ ___ Drawings sheets not an acceptable size. Fig(s) _____</p> <p>5. MARGINS. 37 CFR 1.84(g): Acceptable margins: Top 2.5 cm Left 2.5cm Right 1.5 cm Bottom 1.0 cm SIZE: A4 Size Top 2.5 cm Left 2.5 cm Right 1.5 cm Bottom 1.0 cm SIZE: 8 1/2 x 11 Margins not acceptable. Fig(s) _____ ___ Top (T) _____ Left (L) ___ Right (R) _____ Bottom (B)</p> <p>6. VIEWS. 37 CFR 1.84(h) REMINDER: Specification may require revision to correspond to drawing changes. Partial views. 37 CFR 1.84(h)(2) ___ Brackets needed to show figure as one entity. Fig(s) _____ ___ Views not labeled separately or properly. Fig(s) _____ ___ Enlarged view not labeled separately or properly. Fig(s) _____</p> <p>7. SECTIONAL VIEWS. 37 CFR 1.84 (h)(3) ___ Hatching not indicated for sectional portions of an object. Fig(s) _____ ___ Sectional designation should be noted with Arabic or Roman numbers. Fig(s) _____</p>	<p>8. ARRANGEMENT OF VIEWS. 37 CFR 1.84(i) ___ Words do not appear on a horizontal, left-to-right fashion when page is either upright or turned so that the top becomes the right side, except for graphs. Fig(s) _____</p> <p>9. SCALE. 37 CFR 1.84(k) ___ Scale not large enough to show mechanism without crowding when drawing is reduced in size to two-thirds in reproduction. Fig(s) _____</p> <p>10. CHARACTER OF LINES, NUMBERS, & LETTERS. 37 CFR 1.84(i) ___ Lines, numbers & letters not uniformly thick and well defined, clean, durable, and black (poor line quality). Fig(s) _____</p> <p>11. SHADING. 37 CFR 1.84(m) ___ Solid black areas pale. Fig(s) _____ ___ Solid black shading not permitted. Fig(s) _____ ___ Shade lines, pale, rough and blurred. Fig(s) _____</p> <p>12. NUMBERS, LETTERS, & REFERENCE CHARACTERS. 37 CFR 1.84(p) ___ Numbers and reference characters not plain and legible. Fig(s) _____ ___ Figure legends are poor. Fig(s) _____ ___ Numbers and reference characters not oriented in the same direction as the view. 37 CFR 1.84(p)(1) Fig(s) _____ ___ English alphabet not used. 37 CFR 1.84(p)(2) Fig(s) _____ ___ Numbers, letters and reference characters must be at least .32 cm (1/8 inch) in height. 37 CFR 1.84(p)(3) Fig(s) _____</p> <p>13. LEAD LINES. 37 CFR 1.84(q) ___ Lead lines cross each other. Fig(s) _____ ___ Lead lines missing. Fig(s) _____</p> <p>14. NUMBERING OF SHEETS OF DRAWINGS. 37 CFR 1.84(t) ___ Sheets not numbered consecutively, and in Arabic numerals beginning with number 1. Sheet(s) _____</p> <p>15. NUMBERING OF VIEWS. 37 CFR 1.84(u) ___ Views not numbered consecutively, and in Arabic numerals, beginning with number 1. Fig(s) _____</p> <p>16. CORRECTIONS. 37 CFR 1.84(w) ___ Corrections not made from prior PTO-948 dated _____</p> <p>17. DESIGN DRAWINGS. 37 CFR 1.152 ___ Surface shading shown not appropriate. Fig(s) _____ ___ Solid black shading not used for color contrast. Fig(s) _____</p>
<p>COMMENTS</p>	

REVIEWER [Signature] DATE 1/7/2000 TELEPHONE NO. 308-2011

ATTACHMENT TO PAPER NO. 5

Docket No.: 49657-318

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Hideto HIDAKA

Serial No.: 09/251,352

Filed: February 17, 1999

For: SEMICONDUCTOR MEMORY DEVICE WITH IMPROVED FLEXIBLE
REDUNDANCY SCHEME



Group Art Unit: 2824

Examiner: A. Tran

PATENT
[Handwritten signature]
2/15/00

RESPONSE TO ELECTION REQUIREMENT

Assistant Commissioner of Patents
Washington, DC 20231

Sir:

Noting the Office Action of January 10, 2000 wherein election has been required, Applicant(s) hereby elect Species C, directed to Fig. 9 (claims 4-6 being readable thereon) for prosecution in the above-identified application. This election is made with traverse.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

[Handwritten signature]
Stephen A. Becker
Registration No. 26,827

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:cms
Date: February 10, 2000
Facsimile: (202) 756-8087



UNITED STATES DEPARTMENT OF COMMERCE
Patent and Trademark Office

Address: COMMISSIONER OF PATENTS AND TRADEMARKS
Washington, D.C. 20231

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.
09/251,352	02/17/99	HIDAKA	H 49657-318

MCDERMOTT WILL & EMERY
600 13TH STREET N W
WASHINGTON DC 20005

MMC1/0412

EXAMINER

TRAN/A

ART UNIT PAPER NUMBER

2824


DATE MAILED: 04/12/00

Please find below and/or attached an Office communication concerning this application or proceeding.

Commissioner of Patents and Trademarks

Office Action Summary

Application No. 09/251,352	Applicant(s) HIDETO HIDAKA
Examiner Andrew Q. Tran	Group Art Unit 2824



Responsive to communication(s) filed on Feb 10, 2000

This action is FINAL.

Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11; 453 O.G. 213.

A shortened statutory period for response to this action is set to expire 3 month(s), or thirty days, whichever is longer, from the mailing date of this communication. Failure to respond within the period for response will cause the application to become abandoned. (35 U.S.C. § 133). Extensions of time may be obtained under the provisions of 37 CFR 1.136(a).

Disposition of Claims

- Claim(s) 1-20 is/are pending in the application.
- Of the above, claim(s) 1-3 and 7-20 is/are withdrawn from consideration.
- Claim(s) _____ is/are allowed.
- Claim(s) 4-6 is/are rejected.
- Claim(s) _____ is/are objected to.
- Claims _____ are subject to restriction or election requirement.

Application Papers

- See the attached Notice of Draftsperson's Patent Drawing Review, PTO-948.
- The drawing(s) filed on _____ is/are objected to by the Examiner.
- The proposed drawing correction, filed on _____ is approved disapproved.
- The specification is objected to by the Examiner.
- The oath or declaration is objected to by the Examiner.

Priority under 35 U.S.C. § 119

- Acknowledgement is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d).
- All Some* None of the CERTIFIED copies of the priority documents have been
- received.
- received in Application No. (Series Code/Serial Number) _____
- received in this national stage application from the International Bureau (PCT Rule 17.2(a)).
- *Certified copies not received: _____
- Acknowledgement is made of a claim for domestic priority under 35 U.S.C. § 119(e).

Attachment(s)

- Notice of References Cited, PTO-892
- Information Disclosure Statement(s), PTO-1449, Paper No(s). 3
- Interview Summary, PTO-413
- Notice of Draftsperson's Patent Drawing Review, PTO-948
- Notice of Informal Patent Application, PTO-152

--- SEE OFFICE ACTION ON THE FOLLOWING PAGES ---

Art Unit: 2824

Applicant's election of Species C/ of Figure 9, corresponding to claims 4-6, in Paper No. 6, is acknowledged. Because applicant did not distinctly and specifically point out the supposed errors in the restriction requirement, the election has been treated as an election without traverse (MPEP § 818.03(a)).

Claims 1-3 and 7-20 are withdrawn from further consideration by the examiner, 37 CFR 1.142(b) as being drawn to a non-elected species. Election was made **without** traverse in Paper No. 6.

The following is a quotation of the second paragraph of 35 U.S.C. 112:

The specification shall conclude with one or more claims particularly pointing out and distinctly claiming the subject matter which the applicant regards as his invention.

Claims 4-6 are rejected under 35 U.S.C. 112, second paragraph, as being indefinite for failing to particularly point out and distinctly claim the subject matter which applicant regards as the invention.

Claim 4 is incomplete as failing to recite the interconnections between claimed elements. It is suggested to use terms such as --coupled to-- to recite said interconnections. In claim 5, line 3, the term "a plurality of second memory blocks" is indefinite because it is unclear what is meant by said

Art Unit: 2824

term. In claim 5, line 9, the term "said spare memory cells" lacks proper antecedent basis because it is unclear which "spare memory cells" (claim 4, line 4 or claim 5, line 7) said term refers to.

The following is a quotation of the appropriate paragraphs of 35 U.S.C. 102 that form the basis for the rejections under this section made in this Office action:

A person shall be entitled to a patent unless --

(e) the invention was described in a patent granted on an application for patent by another filed in the United States before the invention thereof by the applicant for patent, or on an international application by another who has fulfilled the requirements of paragraphs (1), (2), and (4) of section 371© of this title before the invention thereof by the applicant for patent.

Claims 4-6 are rejected under 35 U.S.C. 102(e) as being clearly anticipated by Lee et al. (US 5,761,138 hereinafter referred to as Lee et al. '138). See for example, Figures 3A and 3B.

Claims 4-6 are rejected under 35 U.S.C. 102(e) as being clearly anticipated by Yamada (US 5,892,718 hereinafter referred to as Yamada '718). See for example, Figure 3.

Application/Control Number: 09/251,352

Page 4

Art Unit: 2824

Papers related to this application may be submitted to Technology Center 2800, Group 2810 by facsimile transmission. Papers should be faxed to Group 2810 via the Fax Center. The faxing of such papers must conform with the notice published in the Official Gazette, 1096 OG 30 (October 19, 1988). The Fax Center number is (703) 308-7722 or (703) 308-7724.

Any inquiry concerning this communication or earlier communications from the examiner should be directed to Andrew Q. Tran whose telephone number is (703) 305-3495.

Any inquiry of a general nature or relating to the status of this application should be directed to the Group receptionist whose telephone number is (703) 308-0956.


ANDREW Q. TRAN
PRIMARY EXAMINER

Andrew Q. Tran
April 8, 2000

Notice of References Cited			Application No. 09/251,352	Applicant(s) HIDETO HIDAKA		
			Examiner Andrew Q. Tran	Group Art Unit 2824	Page 1 of 1	
U.S. PATENT DOCUMENTS						
	DOCUMENT NO.	DATE	NAME		CLASS	SUBCLASS
A	5,761,138	06/1998	LEE et al.		365	200
B	5,892,718	04/1999	YAMADA		365	200
C						
D						
E						
F						
G						
H						
I						
J						
K						
L						
M						
FOREIGN PATENT DOCUMENTS						
	DOCUMENT NO.	DATE	COUNTRY	NAME	CLASS	SUBCLASS
N						
O						
P						
Q						
R						
S						
T						
NON-PATENT DOCUMENTS						
	DOCUMENT (Including Author, Title, Source, and Pertinent Pages)					DATE
U						
V						
W						
X						

Docket No.: 49657-318

2824
PATENT
[Handwritten signature]

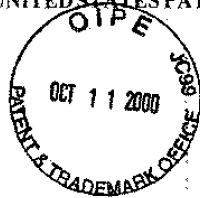
IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Hideto HIDAKA

Serial No.: 09/251,352

Filed: February 17, 1999



Group Art Unit: 2824

Examiner: A. Tran

For: SEMICONDUCTOR MEMORY DEVICE WITH IMPROVED FLEXIBLE REDUNDANCY SCHEME

THE ASSISTANT COMMISSIONER FOR PATENTS
Washington, DC 20231

Dear Sir:

Transmitted herewith is an Amendment in the above identified application.

- No additional fee is required.
- Small entity status of this application under 37 CFR 1.9 and 1.27 has been established by a verified statement previously submitted.
- A verified statement to establish small entity status under 37 CFR 1.9 and 1.27 is enclosed.
- Also attached: Extension of Time

The fee has been calculated as shown below:

	NO. OF CLAIMS	HIGHEST PREVIOUSLY PAID FOR	EXTRA CLAIMS	RATE	FEE
Total Claims	24	20	4	\$18.00 =	\$72.00
Independent Claims	4	4	0	\$80.00 =	\$0.00
Multiple claims newly presented					\$0.00
Fee for extension of time					\$890.00
					\$0.00
Total of Above Calculations					\$962.00

- Please charge my Deposit Account No. 500417 in the amount of \$962.00. An additional copy of this transmittal sheet is submitted herewith.
- The Commissioner is hereby authorized to charge payment of any fees associated with this communication or credit any overpayment, to Deposit Account No. 500417, including any filing fees under 37 CFR 1.16 for presentation of extra claims and any patent application processing fees under 37 CFR 1.17.

Respectfully submitted,

McDERMOTT, WILL & EMERY

[Handwritten signature]

Stephen A. Becker
Registration No. 26,527

RECEIVED
OCT 19 2000
TECHNOLOGY CENTER 2824

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:WC:smt
Date: October 11, 2000
Facsimile: (202) 756-8087

Docket No.: 49657-318

#9/Amatt A
A. Fred
PATENT
10/20/00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Hideto HIDAKA

Serial No.: 09/251,352

Filed: February 17, 1999



Group Art Unit: 2824

Examiner: A. Tran

For: SEMICONDUCTOR MEMORY DEVICE WITH IMPROVED FLEXIBLE REDUNDANCY SCHEME

AMENDMENT

Assistant Commissioner for Patents
Washington, DC 20231

Sir:

In response to the Office Action dated April 12, 2000, please amend claims 4-6 and add new claims 21-23 as follows.

In the Claims

Please amend claims 4-6, as follows.

RECEIVED
OCT 19 2000
TECHNOLOGY CENTER 2800

4. (Amended) A semiconductor memory device, comprising:

a plurality of first memory blocks each having a plurality of first normal memory cells arranged in a matrix of rows and columns, each of said plurality of first memory blocks including word lines provided corresponding to said rows, respectively, and the first memory blocks aligned in the column direction; and

A1

10/12/2000 SSITHIB1 00000131 500417 09251352

01 FC:103 72.00 CH

WDC99 327154-1.049657.0318

Serial No.: 09/251,352

a plurality of first spare memory cells arranged in a matrix of rows and columns in a particular one of said plurality of first memory blocks, each row of said plurality of first spare memory cells being capable of replacing a defective row including a defective first normal memory cell in said plurality of first memory blocks.

²/₁ (Amended) The semiconductor memory device as recited in claim ¹/₄, further comprising:

a plurality of second memory blocks arranged alternatively with said plurality of first memory blocks along [a] the column direction, the second memory blocks each having a plurality of second normal memory cells arranged in a matrix of rows and columns; and

¹/_{mel} a plurality of second spare memory cells arranged in a matrix of rows and columns in a particular one of said plurality of second memory blocks, each row of said plurality of second spare memory cells being capable of replacing a defective row including a defective second normal memory cell in said plurality of second memory blocks.

³/₁ (Amended) The semiconductor memory device as recited in claim ²/₁, further comprising a plurality of sense amplifier bands [one] provided between each of said plurality of first memory blocks and each of said [plurality of] second memory blocks, and shared by adjacent memory blocks in the column direction for sensing and amplifying data in each column of [a] the adjacent memory block including a selected memory cell when activated.

Serial No.: 09/251,352

Please add new claims 21-24, as follows.

~~6~~
~~21~~ The semiconductor memory device as recited in claim ~~4~~, wherein the first normal memory cells and the first spare memory cells are arranged alignedly in the column direction.

~~7~~
~~22~~ The semiconductor memory device as recited in claim ~~4~~, wherein the first memory blocks other than said particular one has no first spare memory cells.

~~4~~
~~23~~ The semiconductor memory device as recited in claim ~~5~~, wherein the first memory blocks and the second memory blocks share a circuit related to a memory cell selection operation.

~~5~~
~~24~~ The semiconductor memory device as recited in claim 6, wherein said plurality of first memory blocks, said plurality of second memory blocks and said plurality of sense amplifier ~~banks from~~ ^{banks from} a first memory array, and said semiconductor memory device further comprises:

a second memory array having a same arrangement as the first memory array; and

control circuitry for driving one memory block from the first and second memory arrays into a selected state in a normal operation mode, and for

Serial No.: 09/251,352

*As
cont*

simultaneously driving a prescribed number of memory blocks from each of said first and second memory arrays into a selected state in a particular operation mode.--

REMARKS

In response to Office Action dated April 12, 2000, claims 4-6 are amended and claims 21-24 are newly added. Claims 4-6 and 21-24 are now active in this application.

Claim Rejection Under 35 U.S.C. §112

In the Office Action, claims 4-6 were rejected under 35 U.S.C. §112, second paragraph, as being indefinite. This rejection is respectfully traversed. Applicant respectfully requests reconsideration and withdrawal of the rejection.

With respect to claim 4, the Office Action states that this claim is incomplete as failing to recite interconnection between the claimed elements. In this response, this claim is amended to clarify the interconnections between the claimed elements by further reciting that "each of said plurality of first memory blocks including word lines provided corresponding to said rows, respectively, and the first memory blocks aligned in the column direction".

With respect to claim 5, the Office Action asserts that it is unclear what is meant by the term "a plurality of second memory blocks". In this regard, claim 4 is amended to recite that "a plurality of first memory blocks" in line 2 so that the "plurality of second memory block" recited in claim 5 is fully distinguishable.

Further regarding claim 5, the Office Action contends that the recitation "said spare memory cells" lacks proper antecedent basis since it is not clear whether "said spare

Serial No.: 09/251,352

memory cells" refers to the one in claim 4, line 4, or another one in claim 5, line 7. This rejection is respectfully traversed. To avoid this confusion, in this response, claims 4 and 5 are amended to replace "spare memory cells" in the first memory block and "spare memory cells" in the second memory block with --first spare memory cells-- and --second spare memory cells--, respectively.

Accordingly, Applicant respectfully submits that the rejection of claims 4-6 under 35 U.S.C. §112, second paragraph has been overcome, and, hence, solicits withdrawal thereof.

Claim Rejection Under 35 U.S.C. §102

In the Office Action, claims 4-6 were rejected under 35 U.S.C. §102(e) as being anticipated by Lee et al. (U. S. Patent No. 5,761,138). In the statement of the rejection, the Office Action asserts that Figs. 3A and 3B disclose the claimed features in claims 4-6. This rejection is respectfully but vigorously traversed. Applicant respectfully requests reconsideration and withdrawal of the rejection.

Independent claim 4 recites that (a) the first memory blocks are aligned in the column direction, and (b) each row of the plurality of first spare memory cells are capable of replacing a defective row including a defective normal memory cell in the plurality of first memory blocks. These particular features are also shown in Fig. 9 of the present application, as an example.

In this regard, in Figs. 3A and 3B of Lee, et al., memory cell arrays MCA1 and MCA3 are aligned in the column direction, and memory cell arrays MCA2 and MCA4 are also aligned in the column direction. While redundant memory cell arrays RCA1 and RCA2 are provided to the memory cells array MCA2 and MCA4, no redundant memory cell array

Serial No.: 09/251,352

is provided to the memory cell arrays MCA1 and MCA3. Thus, Lee, et al. fails to describe the claimed feature of a plurality of first spare memory cells, of which each rows is capable of replacing a defective row including a detective memory cell in a plurality of memory blocks (MCA1, MCA3) aligned in the column direction.

Thus, it is believed that the applied prior art does not teach or suggest any element corresponding to the claimed plurality of first spare memory cells. Accordingly, Applicant respectfully submits that the rejection of claims 4-6 under 35 U.S.C. §102(e) by Lee, et al. is not viable, and, hence, solicits withdrawal thereof.

In the Office Action, claims 4-6 were rejected under 35 U.S.C. §102(e) as being anticipated by Yamada (U. S. Patent No. 5,892,718). The Office Action contends that Fig. 3 of Yamada discloses the claimed features. This rejection is respectfully but vigorously traversed. Applicant respectfully requests reconsideration and withdrawal of the rejection.

Independent claim 4 recites that "a plurality of first spare memory cells arranged in a matrix of rows and columns in a particular one of said plurality of first memory blocks". In this regard, Fig. 9 of the present invention shows spare array SPX# arranged in a particular one (normal memory sub-array MA#0) of the first memory blocks (MA#1-MA#m).

In this regard, Yamada describes the so-called IO shift redundancy for repairing a defective memory cell, in which, a defective IO block is disconnected from the internal IO bus, and a normal IO blocks and the redundancy IO block are shifted in their position or switched to be connected to the IO bus.

Assuming that the Examiner is asserting that memory cell blocks M1-Mn correspond to the claimed plurality of first memory blocks, it is respectfully submitted that the redundancy memory cell block MR in Yamada is a separated memory block which is

Serial No.: 09/251,352

not arranged in any of the memory cell blocks M1-Mn. Thus, Yamada fails to teach the claimed feature of a plurality of first spare memory cells arranged ... in a particular one of said plurality of first memory blocks. In addition, there is no teaching or suggestion from Yamada that those memory blocks M1-Mn are arranged in the column direction, as claimed.

Accordingly, Applicant respectfully submits that the rejection of claims 4-6 under 35 U.S.C. §102(e) by Yamada is not viable, and, hence, solicits withdrawal thereof.

New Claims

In this response, claims 21-24 are newly added, dependent from claims 4-6. Particularly, claim 24 is added to revive claim 7, which has been mistakenly withdrawn from consideration when responding the restriction requirement, although this claim is dependent from claim 6. Since, upon the foregoing amendment and remarks, claim 4-6 are now believed to be patentable, newly added claim 21-24 are also believed to be patentable at least for the same reasons.

CONCLUSION

Accordingly, it is urged that the application, as now amended, is in condition for allowance, an indication of which is respectfully solicited. If there are any outstanding issues that might be resolved by an interview or an Examiner's Amendment, Examiner is requested to call Applicants' attorney at the telephone number shown below.

To the extent necessary, a petition for an extension of time under 37 C.F.R. 1.136 is hereby made. Please charge any shortage in fees due in connection with the filing of this

Serial No.: 09/251,352

paper, including extension of time fees, to Deposit Account 500417 and please credit any excess fees to such deposit account.

Respectfully submitted,

McDERMOTT, WILL & EMERY



Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:WC:smt
Date: October 11, 2000
Facsimile: (202) 756-8087



Docket No.: 49657-318

#8/EXT(3)
A. Ford
PATENT
10/20/00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Hideto HIDAKA

Serial No.: 09/251,352

Filed: February 17, 1999

For: SEMICONDUCTOR MEMORY DEVICE WITH IMPROVED FLEXIBLE
REDUNDANCY SCHEME



Group Art Unit: 2824

Examiner: A. Tran

PETITION FOR EXTENSION OF TIME

Assistant Commissioner for Patents
Washington, DC 20231

Sir:

It is respectfully requested that the time for response to the Office Action dated April 12, 2000, now due to expire July 12, 2000, be extended for three months and set to expire on October 12, 2000.

Please charge the extension fee of \$890.00 to Deposit Account No. 500417. Please charge any additional fees or credit any overpayment to Deposit Account No. 500417.

Respectfully submitted,

McDERMOTT, WILL & EMERY

Stephen A. Becker
Registration No. 26,527

10/12/2000 SSITHIRI 00000131 500417 09251352
02 FC:117 890.00 CH



600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:WC:smt
Date: October 11, 2000
Facsimile: (202) 756-8087



**UNITED STATES DEPARTMENT OF COMMERCE
Patent and Trademark Office**

Address: COMMISSIONER OF PATENTS AND TRADEMARKS
Washington, D.C. 20231

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.
-----------------	-------------	----------------------	---------------------

09/251,352 02/17/99 HIDAKA

EXAMINER

MN92/0116

MCDERMOTT WILL & EMERY
600 15TH STREET N W
WASHINGTON DC 20005

TRAD UNIT PAPER NUMBER

DATE MAILED:


01/16/01

Please find below and/or attached an Office communication concerning this application or proceeding.

Commissioner of Patents and Trademarks

Notice of Allowability

Application No. 09/251,352	Applicant HIDETO HIDAKA
Examiner Andrew Q. Tran	Group Art Unit 2824



All claims being allowable, PROSECUTION ON THE MERITS IS (OR REMAINS) CLOSED in this application. If not included herewith (or previously mailed), a Notice of Allowance and Issue Fee Due or other appropriate communication will be mailed in due course.

- This communication is responsive to Amendment filed October 11, 2000
- The allowed claim(s) is/are 4-6 and 21-24 (claims 1-3 and 7-20 been canceled)
- The drawings filed on _____ are acceptable.
- Acknowledgement is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d).
 - All Some* None of the CERTIFIED copies of the priority documents have been received.
 - received in Application No. (Series Code/Serial Number) _____
 - received in this national stage application from the International Bureau (PCT Rule 17.2(a)).
- *Certified copies not received: _____
- Acknowledgement is made of a claim for domestic priority under 35 U.S.C. § 119(e).

A SHORTENED STATUTORY PERIOD FOR RESPONSE to comply with the requirements noted below is set to EXPIRE THREE MONTHS FROM THE "DATE MAILED" of this Office action. Failure to timely comply will result in ABANDONMENT of this application. Extensions of time may be obtained under the provisions of 37 CFR 1.136(a).

- Note the attached EXAMINER'S AMENDMENT or NOTICE OF INFORMAL APPLICATION, PTO-152, which discloses that the oath or declaration is deficient. A SUBSTITUTE OATH OR DECLARATION IS REQUIRED.
- Applicant MUST submit NEW FORMAL DRAWINGS
 - because the originally filed drawings were declared by applicant to be informal.
 - including changes required by the Notice of Draftsperson's Patent Drawing Review, PTO-948, attached hereto or to Paper No. _____
 - including changes required by the proposed drawing correction filed on _____, which has been approved by the examiner.
 - including changes required by the attached Examiner's Amendment/Comment.

Identifying indicia such as the application number (see 37 CFR 1.84(c)) should be written on the reverse side of the drawings. The drawings should be filed as a separate paper with a transmittal letter addressed to the Official Draftsperson.

- Note the attached Examiner's comment regarding REQUIREMENT FOR THE DEPOSIT OF BIOLOGICAL MATERIAL.

Any response to this letter should include, in the upper right hand corner, the APPLICATION NUMBER (SERIES CODE/SERIAL NUMBER). If applicant has received a Notice of Allowance and Issue Fee Due, the ISSUE BATCH NUMBER and DATE of the NOTICE OF ALLOWANCE should also be included.

Attachment(s)

- Notice of References Cited, PTO-892
- Information Disclosure Statement(s), PTO-1449, Paper No(s) _____
- Notice of Draftsperson's Patent Drawing Review, PTO-948
- Notice of Informal Patent Application, PTO-152
- Interview Summary, PTO-413
- Examiner's Amendment/Comment
- Examiner's Comment Regarding Requirement for Deposit of Biological Material
- Examiner's Statement of Reasons for Allowance


ANDREW Q. TRAN
PRIMARY EXAMINER

ATTACHMENT TO AND MODIFICATION OF
NOTICE OF ALLOWABILITY (PTO-37)
(November, 2000)

NO EXTENSIONS OF TIME ARE PERMITTED TO FILE CORRECTED OR FORMAL DRAWINGS, OR A SUBSTITUTE OATH OR DECLARATION, notwithstanding any indication to the contrary in the attached Notice of Allowability (PTO-37).

If the following language appears on the attached Notice of Allowability, the portion lined through below is of no force and effect and is to be ignored¹:

~~A SHORTENED STATUTORY PERIOD FOR RESPONSE to comply with the requirements noted below is set to EXPIRE THREE MONTHS FROM THE "DATE MAILED" of this Office action. Failure to comply will result in ABANDONMENT of this application. Extensions of time may be obtained under the provisions of 37 CFR 1.136(a).~~

Similar language appearing in any attachments to the Notice of Allowability, such as in an Examiner's Amendment/Comment or in a Notice of Draftperson's Patent Drawing Review, PTO-948, is also to be ignored.

¹ The language which is crossed out is contrary to amended 37 CFR 1.85(c) and 1.136. See "Changes to Implement the Patent Business Goals", 65 Fed. Reg. 54603, 54629, 54641, 54670, 54674 (September 8, 2000), 1238 Off. Gaz. Pat. Office 77, 99, 140, 135, 139 (September 19, 2000).

Application/Control Number: 09/251,352

Art Unit: 2824

Page 2

10/B
at
01/12/01

The Amendment filed October 11, 2000 has been received and placed of record.

An examiner's amendment to the record appears below. Should the changes and/or additions be unacceptable to applicant, an amendment may be filed as provided by 37 CFR 1.312. To ensure consideration of such an amendment, it MUST be submitted no later than the payment of the issue fee.

In the claims :

In claim 24, line 3, change "banks from" to "--bands form--";
and

Cancel claims 1-3 and 7-20.

This application is in condition for allowance except for the presence of claims 1-3 and 7-20 to species non-elected without traverse. Accordingly, claims 1-3 and 7-20 have been canceled.

Andrew Q. Tran
January 12, 2001


ANDREW Q. TRAN
PRIMARY EXAMINER



UNITED STATES DEPARTMENT OF COMMERCE
Patent and Trademark Office

NOTICE OF ALLOWANCE AND ISSUE FEE DUE

4492/0118

WDDERMOTT MILL & EMERY
600 13TH STREET N W
WASHINGTON DC 20005

APPLICATION NO.	FILING DATE	TOTAL CLAIMS	EXAMINER AND GROUP ART UNIT	DATE MAILED
09/251,352	02/17/99	007	TRAN, A 2824	01/16/01
First Named Applicant	HIDANA, 35 USC 154(b) term ext. = 0 Days.			

TITLE OF INVENTION: SEMICONDUCTOR MEMORY DEVICE WITH IMPROVED FLEXIBLE REDUNDANCY SCHEME

ATTY'S DOCKET NO.	CLASS-SUBCLASS	BATCH NO.	APPLN. TYPE	SMALL ENTITY	FEE DUE	DATE DUE
2 49657-219	365-200,000	463	UTILITY	NO	\$1240.00	04/16/01

THE APPLICATION IDENTIFIED ABOVE HAS BEEN EXAMINED AND IS ALLOWED FOR ISSUANCE AS A PATENT. PROSECUTION ON THE MERITS IS CLOSED.

THE ISSUE FEE MUST BE PAID WITHIN THREE MONTHS FROM THE MAILING DATE OF THIS NOTICE OR THIS APPLICATION SHALL BE REGARDED AS ABANDONED. THIS STATUTORY PERIOD CANNOT BE EXTENDED.

HOW TO RESPOND TO THIS NOTICE:

- I. Review the SMALL ENTITY status shown above.

If the SMALL ENTITY is shown as YES, verify your current SMALL ENTITY status: <ol style="list-style-type: none"> A. If the status is changed, pay twice the amount of the FEE DUE shown above and notify the Patent and Trademark Office of the change in status, or B. If the status is the same, pay the FEE DUE shown above. 	If the SMALL ENTITY is shown as NO: <ol style="list-style-type: none"> A. Pay FEE DUE shown above, or B. File verified statement of Small Entity Status before, or with, payment of 1/2 the FEE DUE shown above.
---	--
- II. Part B-Issue Fee Transmittal should be completed and returned to the Patent and Trademark Office (PTO) with your ISSUE FEE. Even if the ISSUE FEE has already been paid by charge to deposit account, Part B Issue Fee Transmittal should be completed and returned. If you are charging the ISSUE FEE to your deposit account, section "4b" of Part B-Issue Fee Transmittal should be completed and an extra copy of the form should be submitted.
- III. All communications regarding this application must give application number and batch number. Please direct all communications prior to issuance to Box ISSUE FEE unless advised to the contrary.

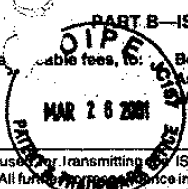
IMPORTANT REMINDER: Utility patents issuing on applications filed on or after Dec. 12, 1980 may require payment of maintenance fees. It is patentee's responsibility to ensure timely payment of maintenance fees when due.

PATENT AND TRADEMARK OFFICE COPY

PTOL-85 (REV. 10-96) Approved for use through 06/30/99. (0651-0033)

PART B—ISSUE FEE TRANSMITTAL

Complete and mail this form, together with a check for the applicable fees, to:
Box ISSUE FEE
 Assistant Commissioner for Patents
 Washington, D.C. 20231



BC
 B\$

MAILING INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE. Blocks 1 through 4 should be completed where appropriate. All future correspondence including the Issue Fee Receipt, the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

Note: The certificate of mailing below can only be used for domestic mailings of the Issue Fee Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing.

Certificate of Mailing

I hereby certify that this Issue Fee Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Box Issue Fee address above on the date indicated below.

(Depositor's name)

(Signature)

(Date)

CURRENT CORRESPONDENCE ADDRESS (Note: Legibly mark-up with any corrections or use Block 1)

MCDERMOTT WILL & EMERY
 600 13TH STREET N W
 WASHINGTON DC 20005

MM92/0116

APPLICATION NO.	FILING DATE	TOTAL CLAIMS	EXAMINER AND GROUP ART UNIT	DATE MAILED
09/251.352	02/17/99	007	TRAN, A	2824 01/16/01
First Named Applicant	HIDAKA, 35 USC 154(b) term ext. = 0 Days.			

TITLE OF INVENTION: SEMICONDUCTOR MEMORY DEVICE WITH IMPROVED FLEXIBLE REDUNDANCY SCHEME

ATTY'S DOCKET NO.	CLASS-SUBCLASS	BATCH NO.	APPLN. TYPE	SMALL ENTITY	FEE DUE	DATE DUE
2 49657-318	365-200.000	A63	UTILITY	NO	\$1240.00	04/16/01

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363). Use of PTO form(s) and Customer Number are recommended, but not required.
- Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.
- "Fee Address" indication (or "Fee Address" indication form PTO/SB/47) attached.

2. For printing on the patent front page, list (1) the names of up to 3 registered patent attorneys or agents OR, alternatively, (2) the name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.
1. McDermott, Will & Emery
 2. _____
 3. _____

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type). PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. Inclusion of assignee data is only appropriate when an assignment has been previously submitted to the PTO or is being submitted under separate cover. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE
 MITSUBISHI DENKI KABUSHIKI KAISHA
 (B) RESIDENCE: (CITY & STATE OR COUNTRY)

TOKYO, JAPAN
 Please check the appropriate assignee category indicated below (will not be printed on the patent)
 individual corporation or other private group entity government

4a. The following fees are enclosed (make check payable to Commissioner of Patents and Trademarks):
 Issue Fee
 Advance Order - # of Copies _____

4b. The following fees or deficiency in these fees should be charged to:
 DEPOSIT ACCOUNT NUMBER 500417
 (ENCLOSE AN EXTRA COPY OF THIS FORM)
 Issue Fee
 Advance Order - # of Copies _____

The COMMISSIONER OF PATENTS AND TRADEMARKS IS requested to apply the Issue Fee to the application identified above.

(Authorized Signature) Stephen A. Becker (Date) 3/26/01
 Stephen A. Becker, Reg. No. 26,527

NOTE: The Issue Fee will not be accepted from anyone other than the applicant, a registered attorney or agent, or the assignee or other party in interest as shown by the records of the Patent and Trademark Office.

Burden Hour Statement: This form is estimated to take 0.2 hours to complete. Time will vary depending on the needs of the individual case. Any comments on the amount of time required to complete this form should be sent to the Chief Information Officer, Patent and Trademark Office, Washington, D.C. 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND FEES AND THIS FORM TO: Box Issue Fee, Assistant Commissioner for Patents, Washington D.C. 20231

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMIT THIS FORM WITH FEE

03/FEB/2001 00000014 500417 00001502
 01 FEB 14 1240.00 CH

PATENT APPLICATION FEE DETERMINATION RECORD
Effective November 10, 1998

Application or Docket Number

201352

CLAIMS AS FILED - PART I

FOR	(Column 1) NUMBER FILED	(Column 2) NUMBER EXTRA
BASIC FEE		
TOTAL CLAIMS	20 minus 20 = *	
INDEPENDENT CLAIMS	4 minus 3 = *	1
MULTIPLE DEPENDENT CLAIM PRESENT		

* If the difference in column 1 is less than zero, enter "0" in column 2

SMALL ENTITY TYPE OR OTHER THAN SMALL ENTITY

RATE	FEE	OR	RATE	FEE
	380.00			760.00
X\$ 9=			X\$18=	
X39=			X78=	78
+130=			+260=	
TOTAL			TOTAL	838

CLAIMS AS AMENDED - PART II

AMENDMENT A	(Column 1)	(Column 2)	(Column 3)
	CLAIMS REMAINING AFTER AMENDMENT	HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA
Total	* 24	Minus ** 24	= -
Independent	* 4	Minus *** 4	= -
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM			

SMALL ENTITY OR OTHER THAN SMALL ENTITY

RATE	ADDITIONAL FEE	OR	RATE	ADDITIONAL FEE
X\$ 9=			X\$18=	
X39=			X78=	
+130=			+260=	
TOTAL ADDIT. FEE			TOTAL ADDIT. FEE	

AMENDMENT B	(Column 1)	(Column 2)	(Column 3)
	CLAIMS REMAINING AFTER AMENDMENT	HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA
Total	*	Minus **	=
Independent	*	Minus ***	=
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM			

RATE	ADDITIONAL FEE	OR	RATE	ADDITIONAL FEE
X\$ 9=			X\$18=	
X39=			X78=	
+130=			+260=	
TOTAL ADDIT. FEE			TOTAL ADDIT. FEE	

AMENDMENT C	(Column 1)	(Column 2)	(Column 3)
	CLAIMS REMAINING AFTER AMENDMENT	HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA
Total	*	Minus **	=
Independent	*	Minus ***	=
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM			

RATE	ADDITIONAL FEE	OR	RATE	ADDITIONAL FEE
X\$ 9=			X\$18=	
X39=			X78=	
+130=			+260=	
TOTAL ADDIT. FEE			TOTAL ADDIT. FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.
 ** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20."
 *** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3."
 The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

Table of Contents

1. US6233181B1 Semiconductor memory device with improved flexible redundancy scheme
-

Family 1/1

10 record(s) per family, collapsed by 6 record(s)

Record 1/6 JP2000067595A SEMICONDUCTOR MEMORY | Semiconductor memory device

Publication Number:

JP2000067595A 20000303

Title:

SEMICONDUCTOR MEMORY | Semiconductor memory device

Title - DWPI:

Data bus system for semiconductor memory e.g. DRAM

Priority Number:

JP1998160466A

Priority Date:

1998-06-09

Application Number:

JP1998293421A

Application Date:

1998-10-15

Publication Date:

2000-03-03

IPC Class Table:

G11C0011401	G	G11	G11C	G11C0011	G11C0011401
G11C0011406	G	G11	G11C	G11C0011	G11C0011406
G11C002904	G	G11	G11C	G11C0029	G11C002904

IPC Class Table - DWPI:

G11C002900	G	G11	G11C	G11C0029	G11C002900
G11C000700	G	G11	G11C	G11C0007	G11C000700
G11C0011401	G	G11	G11C	G11C0011	G11C0011401

Assignee/Applicant:

 MITSUBISHI ELECTRIC CORP

JP F Terms:

 | 5B024AA01 | 5B024AA07 | 5B024AA15 | 5B024BA10 | 5B024BA18 | 5B024BA20 |
 5B024BA29 | 5B024CA07 | 5B024CA17 | 5B024CA27 | 5B024DA08 | 5B024DA10 | 5L106AA01 |
 5L106CC02 | 5L106CC11 | 5L106CC17 | 5L106CC26 | 5M024AA16 | 5M024AA36 | 5M024BB17 |
 5M024BB29 | 5M024BB35 | 5M024BB36 | 5M024BB39 | 5M024CC74 | 5M024DD63 |
 5M024EE29 | 5M024GG01 | 5M024LL01 | 5M024LL03 | 5M024MM12 | 5M024MM13 |
 5M024PP01 | 5M024PP02 | 5M024PP03 | 5M024PP07

JP FI Codes:

 | G11C001134-354D | G11C001134-354F | G11C001134-354R | G11C001134-362D |
 G11C001134-362H | G11C001134-363K | G11C001134-363M | G11C001134-363Z |
 G11C001134-371A | G11C001134-371D | G11C002900-603Z

Assignee - Original:

 MITSUBISHI ELECTRIC CORP

Any CPC Table:

Current	G11C 29/808	G11C 29/783	20130101	EP
---------	-------------	-------------	----------	----

ECLA:

 G11C0029808 | S11C0029783

Abstract:

PROBLEM TO BE SOLVED: To relieve efficiently a defective line by a spare line in a block division array.

SOLUTION: A spare array (SP#0) in which a spare memory cell is arranged is arranged commonly for plural normal sub-arrays in which plural normal memory cell are arranged. A defective line of this spare array (SP0) can be replaced with a normal line in correspondent plural normal sub-array (MB#00- MB#n).

COPYRIGHT: (C)2000,JPO&Japio

SUBJECT of the Invention

In a block division|segmentation array, the spare line of a defect line performs substituted relief efficiently.

PROBLEM to be solved

The spare array (SP(sharp|no.)0) by which a spare memory cell is arrange|positioned in common with respect to plural pieces in the normal subarray by which several normal memory cells are arrange|positioned is arrange|positioned.

The defect line of this spare array (SP(sharp|no.)0) is as substitutable as the normal line in several corresponding|compatible normal subarray (MB(sharp|no.)00 - MB(sharp|no.)n).

[MAT_IMAGE 000002]

PROBLEM TO BE SOLVED: To relieve efficiently a defective line by a spare line in a block division array. SOLUTION: A spare array (SP#0) in which a spare memory cell is arranged is arranged commonly for plural normal sub-arrays in which plural normal memory cell are arranged. A defective line of this spare array (SP0) can be replaced with a normal line in correspondent plural normal sub-array (MB#00- MB#n).

Language of Publication:

JA

INPADOC Legal Status Table:



2008-08-06	A02	-
2008-05-01	A521	-
2008-03-12	A131	-
2008-03-07	A977	-
2005-10-01	A621	+

Post-Issuance (US):

Reassignment (US) Table:

Maintenance Status (US):

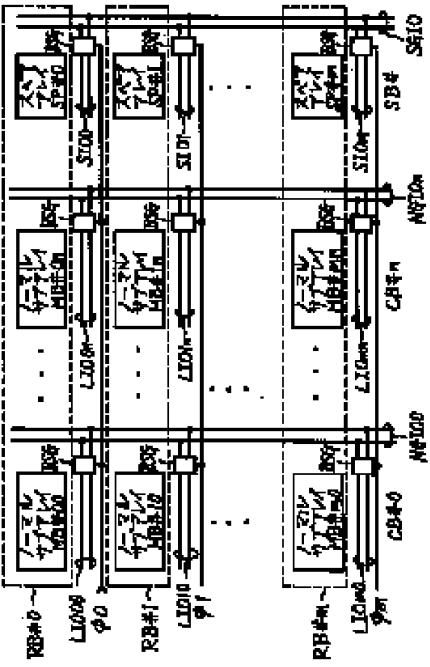
Litigation (US):

Opposition (EP):

License (EP):

EPO Procedural Status:

Front Page Drawing:



Record 2/6 US6233181B1 Semiconductor memory device with improved flexible redundancy scheme

Publication Number:

US6233181B1 20010515

Title:

Semiconductor memory device with improved flexible redundancy scheme

Title - DWPI:

Data bus system for semiconductor memory e.g. DRAM

Priority Number:

JP1998160466A | JP1998293421A

Priority Date:

1998-06-09 | 1998-10-15

Application Number:

US1999251352A

Application Date:

1999-02-17

Publication Date:

2001-05-15

IPC Class Table:

G11C0011401	G	G11	G11C	G11C0011	G11C0011401
G11C0011406	G	G11	G11C	G11C0011	G11C0011406
G11C002904	G	G11	G11C	G11C0029	G11C002904

IPC Class Table - DWPI:

G11C002900	G	G11	G11C	G11C0029	G11C002900
G11C000700	G	G11	G11C	G11C0007	G11C000700
G11C0011401	G	G11	G11C	G11C0011	G11C0011401

Assignee/Applicant:

Mitsubishi Denki Kabushiki Kaisha, Tokyo, JP

JP F Terms:

JP FI Codes:

Assignee - Original:

Mitsubishi Denki Kabushiki Kaisha

Any CPC Table:

Current	G11C 29/808	G11C 29/783	20130101	EP
---------	-------------	-------------	----------	----

ECLA:

G11C0029808 | S11C0029783

Abstract:

A spare memory array having spare memory cells common to a plurality of normal sub-arrays having a plurality of normal memory cells is provided. A spare line in the spare array can replace a defective line in the plurality of normal sub-array. The defective line is efficiently repaired by replacement in an array divided into blocks or sub-arrays.

Language of Publication:

EN

INPADOC Legal Status Table:

2012-09-28	FPAY	+
2011-03-18	AS	-
2008-10-17	FPAY	+
2004-10-13	FPAY	+

1999-02-17	AS	-
------------	----	---

Post-Issuance (US):

Reassignment (US) Table:

RENESAS ELECTRONICS CORPORATION,KANAGAWA,JP	mitsubishi denki kabushiki kaisha	2011-03-07	025980/0219	2011-03-18
Corresponent: MCDERMOTT WILL & EMERY LLP 600 THIRTEENTH STREET, N.W. WASHINGTON, DC 20005-3096				
MITSUBISHI DENKI KABUSHIKI KAISHA,TOKYO 100-8310,JP	HIDAKA, HIDETO	1999-02-05	009774/0915	1999-02-17
Corresponent: MCDERMOTT, WILL & EMERY STEPHEN A. BECKER 600 13TH STREET, N.W. WASHINGTON, DC 20005				

Maintenance Status (US):

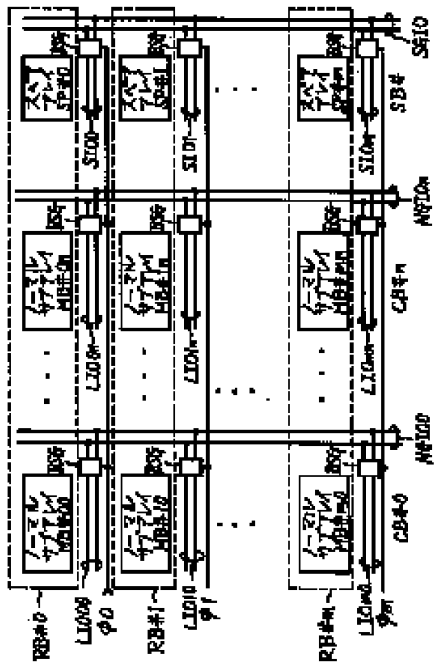
Litigation (US):

Opposition (EP):

License (EP):

EPO Procedural Status:

Front Page Drawing:



Record 3/6 US6449199B2 Semiconductor memory device with improved flexible redundancy scheme

Publication Number:

US6449199B2 20020910
US20010009521A1 20010726

Title:

Semiconductor memory device with improved flexible redundancy scheme

Title - DWPI:

Data bus system for semiconductor memory e.g. DRAM

Priority Number:

JP1998160466A | JP1998293421A | US1999251352A

Priority Date:

1998-06-09 | 1998-10-15 | 1999-02-17

Application Number:

US2001798944A

Application Date:

2001-03-06

Publication Date:

2002-09-10

IPC Class Table:

G11C0011401	G	G11	G11C	G11C0011	G11C0011401
G11C0011406	G	G11	G11C	G11C0011	G11C0011406
G11C002904	G	G11	G11C	G11C0029	G11C002904

IPC Class Table - DWPI:

G11C002900	G	G11	G11C	G11C0029	G11C002900
G11C000700	G	G11	G11C	G11C0007	G11C000700
G11C0011401	G	G11	G11C	G11C0011	G11C0011401

Assignee/Applicant:

Mitsubishi Denki Kabushiki Kaisha, Tokyo, JP

JP F Terms:

JP FI Codes:

Assignee - Original:

Mitsubishi Denki Kabushiki Kaisha

Any CPC Table:

Current	G11C 29/808	G11C 29/783	20130101	EP
---------	-------------	-------------	----------	----

ECLA:

G11C0029808 | S11C0029783

Abstract:

A spare memory array having spare memory cells common to a plurality of normal sub-arrays having a plurality of normal memory cells is provided. A spare line in the spare array can replace a defective line in the plurality of normal sub-array. The defective line is efficiently repaired by replacement in an array divided into blocks or sub-arrays.

Language of Publication:

EN

INPADOC Legal Status Table:

2014-10-28	FP	-
2014-09-10	LAPS	-
2014-04-18	REMI	-
2011-03-18	AS	-

2010-01-29	FPAY	+
2006-02-13	FPAY	+

Post-Issuance (US):

EXPI Expiration 2014-09-10 2014 2014-10-28 2014 Patent expired due to failure to pay maintenance fees

Reassignment (US) Table:

RENESAS ELECTRONICS CORPORATION,KANAGAW A,JP	mitsubishi denki kabushiki kaisha	2011-03-07	025980/0219	2011-03-18
Corresponent: MCDERMOTT WILL & EMERY LLP 600 THIRTEENTH STREET, N.W. WASHINGTON, DC 20005-3096				

Maintenance Status (US):

E3

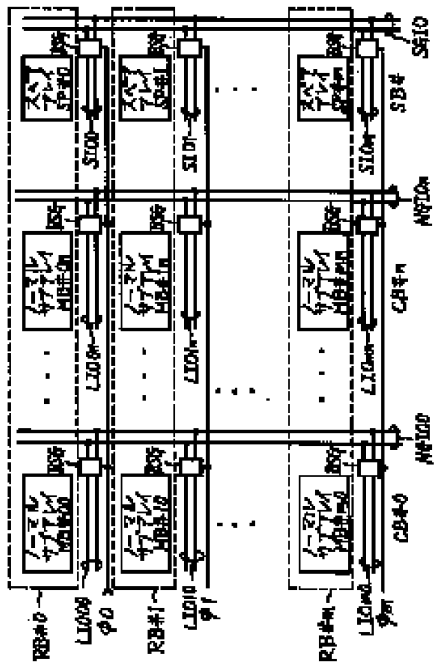
Litigation (US):

Opposition (EP):

License (EP):

EPO Procedural Status:

Front Page Drawing:



Record 4/6 US6545931B2 Semiconductor memory device with improved flexible redundancy scheme

Publication Number:

US6545931B2 20030408
US20020196697A1 20021226

Title:

Semiconductor memory device with improved flexible redundancy scheme

Title - DWPI:

Data bus system for semiconductor memory e.g. DRAM

Priority Number:

JP1998160466A | JP1998293421A | US1999251352A | US2001798944A

Priority Date:

1998-06-09 | 1998-10-15 | 1999-02-17 | 2001-03-06

Application Number:

US2002229001A

Application Date:

2002-08-28

Publication Date:

2003-04-08

IPC Class Table:

G11C0011401	G	G11	G11C	G11C0011	G11C0011401
G11C0011406	G	G11	G11C	G11C0011	G11C0011406
G11C002904	G	G11	G11C	G11C0029	G11C002904

IPC Class Table - DWPI:

G11C002900	G	G11	G11C	G11C0029	G11C002900
G11C000700	G	G11	G11C	G11C0007	G11C000700
G11C0011401	G	G11	G11C	G11C0011	G11C0011401

Assignee/Applicant:

Mitsubishi Denki Kabushiki Kaisha, Tokyo, JP

JP F Terms:

JP FI Codes:

Assignee - Original:

Mitsubishi Denki Kabushiki Kaisha

Any CPC Table:

Current	G11C 29/808	G11C 29/783	20130101	EP
---------	-------------	-------------	----------	----

ECLA:

G11C0029808 | S11C0029783

Abstract:

A spare memory array having spare memory cells common to a plurality of normal sub-arrays having a plurality of normal memory cells is provided. A spare line in the spare array can replace a defective line in the plurality of normal sub-array. The defective line is efficiently repaired by replacement in an array divided into blocks or sub-arrays.

Language of Publication:

EN

INPADOC Legal Status Table:

2014-09-10	FPAY	+
2011-03-18	AS	-
2010-09-09	FPAY	+
2006-09-15	FPAY	+

Post-Issuance (US):

Reassignment (US) Table:

RENESAS ELECTRONICS CORPORATION, KANAGAWA, JP	MITSUBISHI DENKI KABUSHIKI KAISHA	2011-03-07	025980/0219	2011-03-18
Correspondent: MCDERMOTT WILL & EMERY LLP 600 THIRTEENTH STREET, N.W. WASHINGTON, DC 20005-3096				

Maintenance Status (US):

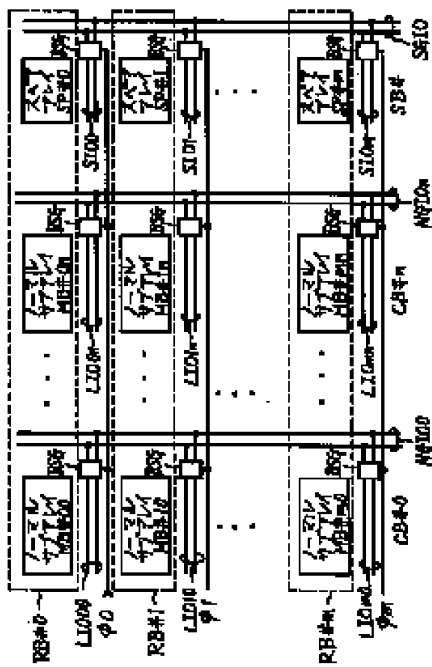
Litigation (US):

Opposition (EP):

License (EP):

EPO Procedural Status:

Front Page Drawing:



Record 5/6 US6678195B2 Semiconductor memory device with improved flexible redundancy scheme

Publication Number:

US6678195B2 20040113
US20030169631A1 20030911

Title:

Semiconductor memory device with improved flexible redundancy scheme

Title - DWPI:

Data bus system for semiconductor memory e.g. DRAM

Priority Number:

JP1998160466A | JP1998293421A | US1999251352A | US2001798944A | US2002229001A

Priority Date:

1998-06-09 | 1998-10-15 | 1999-02-17 | 2001-03-06 | 2002-08-28

Application Number:

US2003387573A

Application Date:

2003-03-14

Publication Date:

2004-01-13

IPC Class Table:

G11C0011401	G	G11	G11C	G11C0011	G11C0011401
G11C0011406	G	G11	G11C	G11C0011	G11C0011406
G11C002904	G	G11	G11C	G11C0029	G11C002904

IPC Class Table - DWPI:

G11C002900	G	G11	G11C	G11C0029	G11C002900
G11C000700	G	G11	G11C	G11C0007	G11C000700
G11C0011401	G	G11	G11C	G11C0011	G11C0011401

Assignee/Applicant:

Mitsubishi Denki Kabushiki Kaisha, Tokyo, JP

JP F Terms:

JP FI Codes:

Assignee - Original:

Mitsubishi Denki Kabushiki Kaisha

Any CPC Table:

Current	G11C 29/808	G11C 29/783	20130101	EP
---------	-------------	-------------	----------	----

ECLA:

G11C0029808 | S11C0029783

Abstract:

A spare memory array having spare memory cells common to a plurality of normal sub-arrays having a plurality of normal memory cells is provided. A spare line in the spare array can replace a defective line in the plurality of normal sub-array. The defective line is efficiently repaired by replacement in an array divided into blocks or sub-arrays.

Language of Publication:

EN

INPADOC Legal Status Table:

2011-06-15	FPAY	+
2010-09-10	AS	-
2007-06-15	FPAY	+
2004-12-21	CC	-

2004-04-07	AS	-
2003-09-10	AS	-

Post-Issuance (US):

CORR-CERT Certificate of Correction 2004-12-21 2004 2005-01-11 2005 a Certificate of Correction was issued for this patent

Reassignment (US) Table:

RENESAS ELECTRONICS CORPORATION,KANAGAW A,JP	RENESAS TECHNOLOGY CORP.	2010-04-01	024973/0001	2010-09-10
Corresponent: MCDERMOTT WILL & EMERY LLP 600 THIRTEENTH STREET, N.W. WASHINGTON, DC 20005-3096				
RENESAS TECHNOLOGY CORP.,TOKYO,JP	MITSUBISHI DENKI KABUSHIKI KAISHA	2003-09-08	015185/0122	2004-04-07
Corresponent: MCDERMOTT, WILL & EMERY STEPHEN A. BECKER 600 13TH STREET, N.W. WASHINGTON, DC 20005-3096				
RENESAS TECHNOLOGY CORP.,TOKYO,JP	MITSUBISHI DENKI KABUSHIKI KAISHA	2003-09-08	014502/0289	2003-09-10
Corresponent: MCDERMOTT, WILL & EMERY STEPHEN A. BECKER 600 13TH STREET, N.W. WASHINGTON, DC 20005-3096				

Maintenance Status (US):

CC

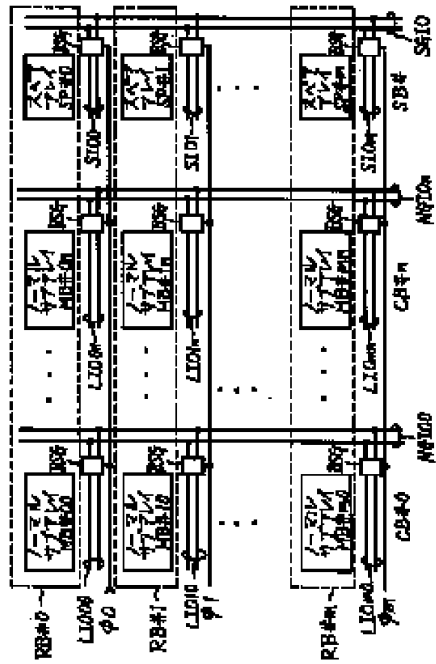
Litigation (US):

Opposition (EP):

License (EP):

EPO Procedural Status:

Front Page Drawing:



Record 6/6 JP04804503B2 Semiconductor memory device

Publication Number:

JP04804503B2 20111102
JP2008217984A 20080918

Title:

Semiconductor memory device

Title - DWPI:

Semiconductor memory device, has defect line equipped with set of spare memory cells arranged in memory block of identification of memory block in matrix form, and sense amplifier belt for detecting and amplifying data of line of block

Priority Number:

JP1998160466A

Priority Date:

1998-06-09

Application Number:

JP2008118413A

Application Date:

2008-04-30

Publication Date:

2011-11-02

IPC Class Table:

[Redacted]					
G11C002904	G	G11	G11C	G11C0029	G11C002904

IPC Class Table - DWPI:

[Redacted]					
G11C0011401	G	G11	G11C	G11C0011	G11C0011401
[Redacted]					
G11C002934	G	G11	G11C	G11C0029	G11C002934

Assignee/Applicant:

NEC ELECTRONICS KK,JP

JP F Terms:

| 5L106AA01 | 5L106CC02 | 5L106CC17 | 5L106DD02 | 5L106DD06 | 5L106DD11 |
5L106DD25 | 5L106DD35 | 5L106EE05 | 5L106EE06 | 5L106EE07 | 5L106FF04 | 5L106FF05 |
5L106GG05 | 5L106GG07 | 5M024AA15 | 5M024AA36 | 5M024AA50 | 5M024BB07 | 5M024BB12
| 5M024BB13 | 5M024BB27 | 5M024BB28 | 5M024BB35 | 5M024BB36 | 5M024BB37 |

5M024BB39 | 5M024CC74 | 5M024DD73 | 5M024EE05 | 5M024EE29 | 5M024MM04 |
5M024MM07 | 5M024MM12 | 5M024MM13 | 5M024MM15 | 5M024PP01 | 5M024PP02 |
5M024PP03 | 5M024PP07

JP FI Codes:

| G11C001134-354R | G11C001134-371A | G11C001134-371D | G11C002900-603G |
G11C002900-603H | G11C002900-603Z | G11C002900-671Q

Assignee - Original:

NEC ELECTRONICS KK

Any CPC Table:

ECLA:

Abstract:

Language of Publication:

JA

INPADOC Legal Status Table:

2011-08-22	FPAY	+
2011-08-19	R150	+
2011-08-18	A61	+
2011-08-04	A01	+
2011-08-03	A01	+
2011-07-29	TRDD	+

2011-06-02	A521	-
2011-04-20	A131	-
2011-03-30	A977	-
2010-06-03	A711	-

Post-Issuance (US):

Reassignment (US) Table:

Maintenance Status (US):

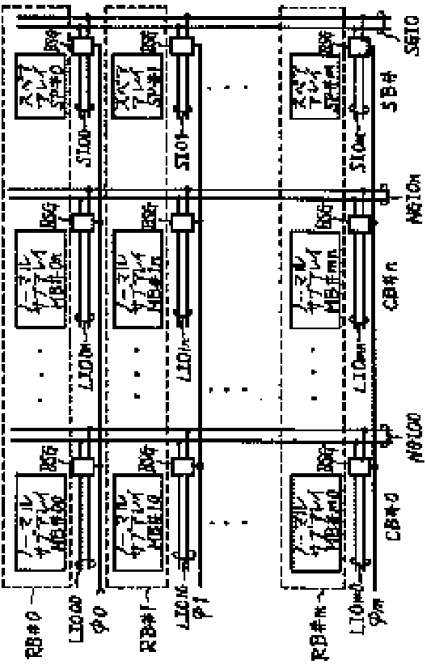
Litigation (US):

Opposition (EP):

License (EP):

EPO Procedural Status:

Front Page Drawing:



Copyright 2007-2015 THOMSON REUTERS

USPTO Maintenance Report

Patent Bibliographic Data				03/19/2015 12:20 PM	
Patent Number:	6233181	Application Number:	09251352		
Issue Date:	05/15/2001	Filing Date:	02/17/1999		
Title:	SEMICONDUCTOR MEMORY DEVICE WITH IMPROVED FLEXIBLE REDUNDANCY SCHEME				
Status:	4th, 8th and 12th year fees paid		Entity:	LARGE	
Window Opens:	N/A	Surcharge Date:	N/A	Expiration:	N/A
Fee Amt Due:	Window not open	Surchg Amt Due:	Window not open	Total Amt Due:	Window not open
Fee Code:					
Surcharge Fee Code:					
Most recent events (up to 7):	09/28/2012 10/17/2008 10/13/2004 10/24/2001	Payment of Maintenance Fee, 12th Year, Large Entity. Payment of Maintenance Fee, 8th Year, Large Entity. Payment of Maintenance Fee, 4th Year, Large Entity. Payor Number Assigned. --- End of Maintenance History ---			
Address for fee purposes:	CPA GLOBL LIMITED 2318 Mill Road 12th Floor ALEXANDRIA VA 22314				

