

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/768		H 0 1 L 21/90	D
	21/8238		27/08	3 2 1 E
	27/092			

審査請求 未請求 請求項の数26 O L (全 17 頁)

(21) 出願番号	特願平8-191740	(71) 出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22) 出願日	平成8年(1996)7月22日	(72) 発明者	瀬川 瑞樹 大阪府門真市大字門真1006番地 松下電器産業株式会社内
(31) 優先権主張番号	特願平7-192181	(72) 発明者	宮永 績 大阪府門真市大字門真1006番地 松下電器産業株式会社内
(32) 優先日	平7(1995)7月27日	(72) 発明者	藪 俊樹 大阪府門真市大字門真1006番地 松下電器産業株式会社内
(33) 優先権主張国	日本 (J P)	(74) 代理人	弁理士 前田 弘 (外2名) 最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 半導体装置における接合耐圧の低下や接合リーク電流の増大を招くことなく、半導体装置の集積度を向上させ、占有面積を低減する。

【解決手段】 シリコン基板1の活性領域よりも階段状に高い素子分離2bを形成し、活性領域上にゲート酸化膜3、ゲート電極4a、ゲート上保護膜15a、サイドウォール7a等からなるFETを形成する。基板の全面上に絶縁膜12を堆積し、絶縁膜12の上に、活性領域から素子分離2bの一部及びゲート上保護膜15aに亘る領域の上を開口したレジスト膜25dを形成する。接続孔14の形成領域に素子分離2b等と干渉しないための合わせマージンが不要となる。素子分離2bが活性領域よりも階段状に高いので、接続孔14形成時のオーバーエッチングによって、活性領域内の不純物濃度の低い部分に接するほど素子分離2bが深く除去されるのが防止される。

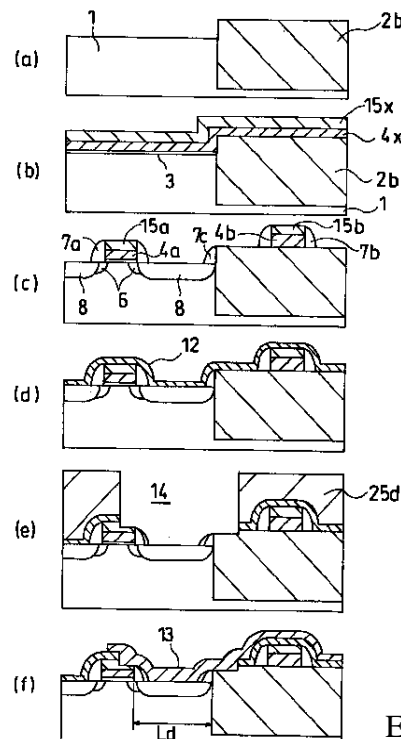
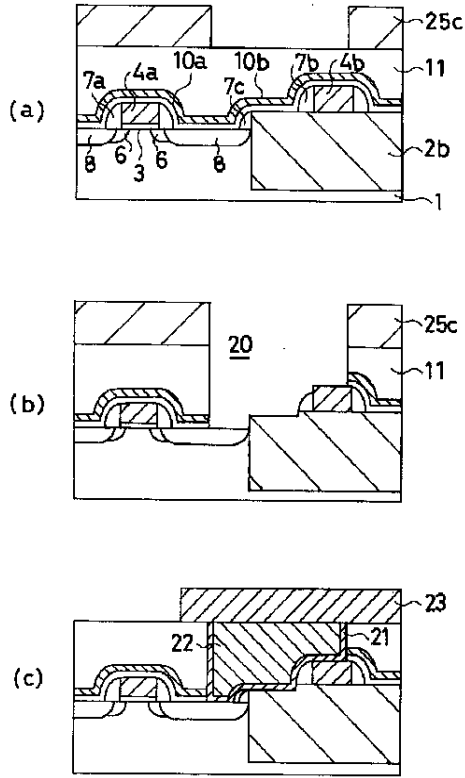
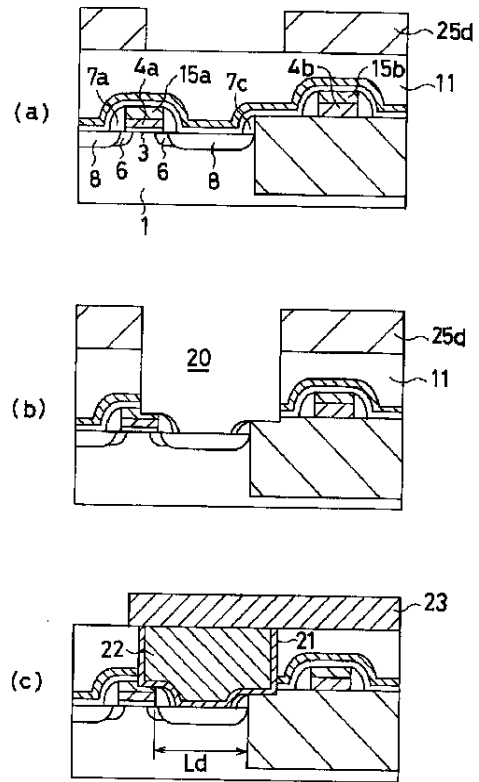


Exhibit 2064

【図10】



【図11】



フロントページの続き

(72)発明者 中林 隆
 大阪府門真市大字門真1006番地 松下電器
 産業株式会社内

(72)発明者 上原 隆
 大阪府門真市大字門真1006番地 松下電器
 産業株式会社内