

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/76			H 0 1 L 21/76	N
27/08	3 3 1		27/08	3 3 1 B
29/78			29/78	3 0 1 X

審査請求 未請求 請求項の数12 O L (全 25 頁)

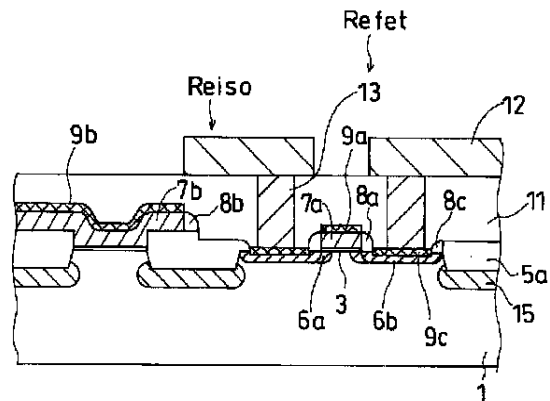
(21) 出願番号	特願平7-330112	(71) 出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22) 出願日	平成7年(1995)12月19日	(72) 発明者	藪 俊樹 大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(72) 発明者	上原 隆 大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(72) 発明者	瀬川 瑞樹 大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(74) 代理人	弁理士 前田 弘 (外1名) 最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 接合リークや接合耐圧の劣化、短絡電流等のない溝埋め込み分離法による微細かつ高性能な半導体装置及びその製造方法を提供する。

【解決手段】 素子形成領域Refetと溝型の素子分離5 aとの間に素子分離5 aの側がステップ状に高くなった段差部が形成されている。そして、ゲート電極7 aと段差部の側面上には、互いに同時に形成された電極部サイドウォール8 aと段差部サイドウォール8 cとが形成されている。高濃度ソース・ドレイン領域6 bの上には、シリサイド化されたソース・ドレイン電極9 cが形成されている。素子形成領域Refetと素子分離5 aとの間の段差部と、段差部サイドウォールとによって、不純物イオンの素子分離5 aの端部下方への侵入とシリサイド層のシリコン基板1と素子分離5 aとの間の界面への侵入とを阻止する。



- 4 溝部
- 5 シリコン酸化膜（絶縁膜）
- 5a 溝型素子分離
- 6a 低濃度ソース・ドレイン領域
- 6b 高濃度ソース・ドレイン領域
- 7 ポリシリコン膜（導電膜）
- 7a ゲート電極
- 7b ゲート配線
- 8 シリコン酸化膜
- 8a 電極部サイドウォール
- 8b 配線部サイドウォール
- 8c 段差部サイドウォール
- 9a 上部ゲート電極
- 9b 上部ゲート配線
- 9c ソース・ドレイン電極
- 11 層間絶縁膜
- 12 第1層目金属配線
- 13 コンタクト部
- 15 チャンネルストップ領域
- 16 シリコン酸化膜
- 17 シリコン窒化膜（エッチングストップ膜）
- 20, 21 フォトレジスト膜

【手続補正2】

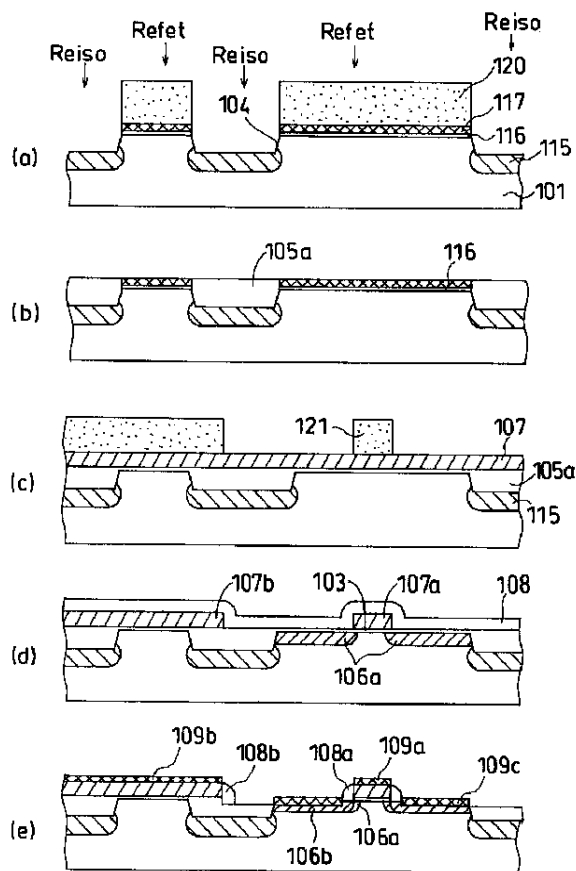
【補正対象書類名】図面

【補正対象項目名】図7

【補正方法】変更

【補正内容】

【図7】



フロントページの続き

- (72)発明者 中林 隆  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内
- (72)発明者 山下 恭司  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内
- (72)発明者 受田 高明  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

- (72)発明者 荒井 雅利  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内
- (72)発明者 山田 隆順  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内
- (72)発明者 松元 道一  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内