

⑫ 公開特許公報 (A)

昭58—73163

⑮ Int. Cl.<sup>3</sup>  
H 01 L 29/78  
21/76

識別記号 庁内整理番号  
F 7377—5 F  
8122—5 F

⑬ 公開 昭和58年(1983)5月2日

発明の数 1  
審査請求 未請求

(全 3 頁)

⑭ MOS型半導体装置

京芝浦電気株式会社総合研究所  
内

⑯ 特 願 昭56—171784

⑰ 発 明 者 檀良

⑱ 出 願 昭56(1981)10月27日

川崎市幸区小向東芝町1番地東  
京芝浦電気株式会社総合研究所  
内

⑲ 発 明 者 小中雅水  
川崎市幸区小向東芝町1番地東  
京芝浦電気株式会社総合研究所  
内

⑳ 出 願 人 東京芝浦電気株式会社  
川崎市幸区堀川町72番地

㉑ 発 明 者 執行直之  
川崎市幸区小向東芝町1番地東

㉒ 代 理 人 弁理士 鈴江武彦 外2名

明 細 書

1. 発明の名称

MOS型半導体装置

2. 特許請求の範囲

(1)半導体基板のフィールド領域に略垂直な壁面をもつ絶縁膜が埋設されてなるMOS型半導体装置において、前記絶縁膜は素子領域の基板表面位置より隆起しており、かつその隆起部の厚みを埋設部のそれより小さく設定したことを特徴とするMOS型半導体装置。

(2)半導体基板がシリコン、フィールド領域に埋設される絶縁膜がシリコン酸化膜であり、埋設部の厚みを1としたとき隆起部の厚みを0.65より大とした特許請求の範囲第1項記載のMOS型半導体装置。

3. 発明の詳細な説明

この発明は、フィールド領域に絶縁膜を埋設した構造のMOS型半導体装置に関する。

MOSFETを用いた半導体メモリ等の高集積化及び高信頼性を得る方法として、従来より第

1図に示すようなコプラナ構造が広く用いられている。1は例えばP型Si基板、2は選択酸化法によるフィールド酸化膜、3はゲート酸化膜、4はゲート電極、5は反転防止のためのイオン注入層を示している。この構造の利点は、フィールド領域の厚いシリコン酸化膜2の1部が基板内に埋め込まれるため素子平面の凹凸が少なく、半導体素子を接続するAl配線の段切れが減少し、高信頼性の半導体LSIが得られるところにある。しかし、この構造においては第1図に示す如く、素子領域にマーズ・ピーク(鳥の口ばし)と称される横方向の酸化膜の食い込みAが生じ、これが微細素子形成時に悪影響を及ぼす。すなわちMOSFETでは実効チャネル幅 $W_{eff}$ が小さくなるに従って横方向へ酸化が進むため、ねらい通りのゲート酸化膜より厚くなり、しきい値のパラッキが増大したり、最悪の場合にはゲート酸化膜厚がほぼフィールド酸化膜厚となり、ソース・ドレイン間が開放状態となる欠点がある。また、第3図に示す如く、

MOSFETのしきい値電圧 $V_T$ が実効チャネル幅 $W_{eff}$ の減少とともに増大する、いわゆる狭チャネル効果が大きい欠点がある。

一方、第2図に、半導体表面の平坦化を図りながら上記コプラナ構造に見られた、バースビークの問題を解決した、ボックス構造のMOSFETの概略断面図を示した。この構造は、高温熱酸化法によらず、基板1のフィールド領域に予め垂直な断面をもつて凹部を形成し、この凹部に低温の気相反応を利用してシリコン酸化膜6を平坦になるように埋込むことにより得られる。従つてこの構造では、ねらい通りの実効チャネル幅が得られる利点がある。しかし、第4図に示す様に、MOSFETのしきい値電圧の実効チャネル幅依存性が第1図のコプラナ構造と逆に、現われることが知られている。

一般に、MOSFETの特性としては、しきい値電圧は、実効チャネル幅に依存しないことが望まれる。

本発明は基板表面の平坦化を図るとともに、

は、基板1の濃度 $N_{sub} = 2 \times 10^{18} \text{ cm}^{-3}$ 、ゲート酸化膜3の厚み $T_{ox} = 1000 \text{ \AA}$ 、フィールドのシリコン酸化膜7の厚み $t_1 + t_2 = 5000 \text{ \AA}$ 、ゲート酸化膜3およびシリコン酸化膜7の比誘電率 $\epsilon_s = 3.9$ の条件を入れてシミュレートして得られたものである。ここで $\Delta V_T$ は一般に $\pm 20 \text{ mV}$ の許容誤差がLSI設計に当り、取り得るものとする、第6図から $0.65 \leq t_1/t_2 < 1$ の範囲が好ましく、この範囲でほぼ、MOSFETは実効チャネル幅依存性がないといえる。

なお、本発明はエンハンスメント型MOSのみならずアプレッション型MOSは勿論、Nチャネル、PチャネルいずれのMOS型半導体装置にも適用することができる。

#### 4. 図面の簡単な説明

第1図は従来のコプラナ構造のMOS型半導体装置を示す図、第2図は同じくボックス構造のMOS型半導体装置を示す図、第3図は、コプラナ構造におけるしきい値電圧の実効チャネル幅依存性を示す図、第4図は従来のボックス

MOSFETのしきい値電圧が実効チャネル幅に依存しない絶縁物分離構造のMOS型半導体装置を提供するものである。

本発明は、フィールド領域に略垂直な壁面をもつ絶縁膜を埋設する第2図の構造を基本としながら、埋設する絶縁膜を素子領域の基板表面より隆起させ、かつその隆起部の厚みを埋設部のそれより小さく設定することにより、上記目的を達成することを特徴としている。

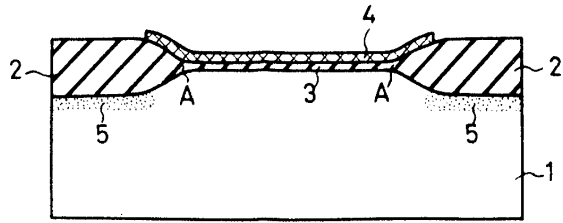
第5図に本発明の一実施例の構造断面図を示す。第2図と異なる点は、フィールド領域に埋込んだシリコン酸化膜7が、素子領域の基板表面位置(厳密にはゲート酸化膜3の中央部)より下に埋設された部分(厚み $t_2$ )に対し、これより小さい厚み $t_1$ だけ上方に隆起していることである。いま、シリコン酸化膜7の全体の厚み $t_1 + t_2$ を一定として、その比 $t_1/t_2$ を変えた時の実効チャネル幅 $W_{eff}$ の変化量 $\Delta V_T$ (広チャネル幅のものとの差)を、その比に対してプロットすると第6図に示す通りとなる。このデータ

構造におけるしきい値電圧の実効チャネル幅依存性を示す図、第5図は本発明の一実施例のMOS型半導体装置を示す図、第6図は本発明の効果を示すしきい値電圧の実効チャネル幅依存性を示した特性図である。

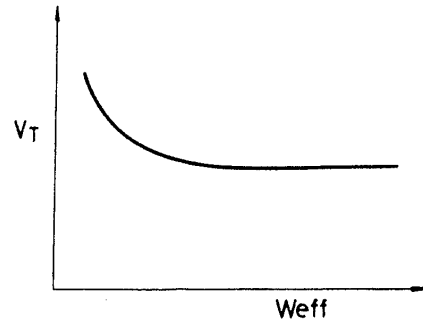
1…シリコン基板、3…ゲート酸化膜、4…ゲート電極、5…フィールド反転防止用イオン注入層、7…シリコン酸化膜。

出願人代理人 弁理士 鈴江 武彦

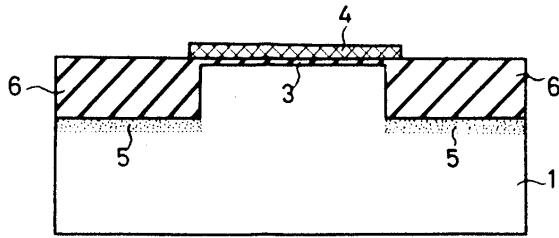
第 1 図



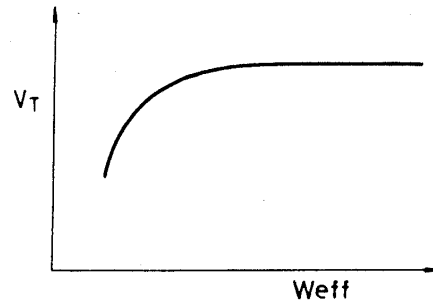
第 3 図



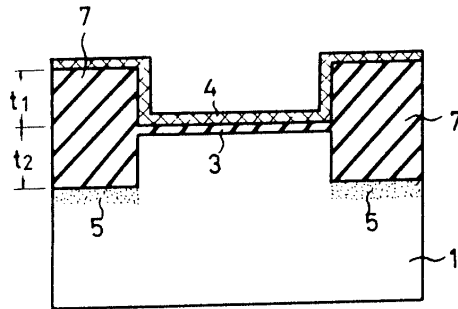
第 2 図



第 4 図



第 5 図



第 6 図

