

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78				
21/336				
21/28	3 0 1 T	8826-4M		
		7514-4M	H 0 1 L 29/ 78	3 0 1 Y
			21/ 76	M
審査請求 未請求 請求項の数15 F D (全 17 頁) 最終頁に続く				

(21) 出願番号 特願平6-303260
 (22) 出願日 平成6年(1994)11月10日
 (31) 優先権主張番号 特願平5-284820
 (32) 優先日 平5(1993)11月15日
 (33) 優先権主張国 日本 (J P)

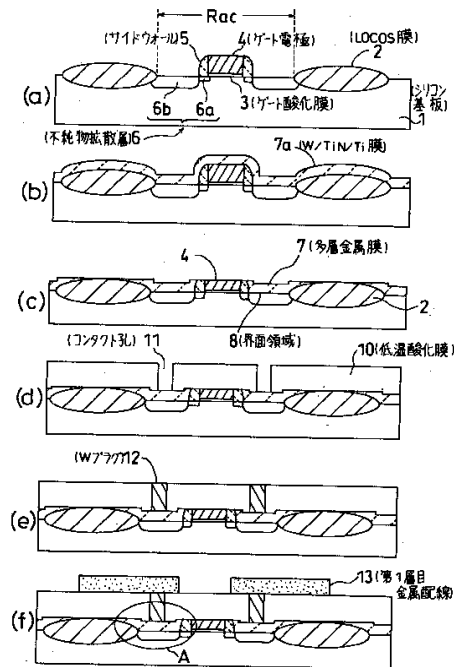
(71) 出願人 000005821
 松下電器産業株式会社
 大阪府門真市大字門真1006番地
 (72) 発明者 上田 哲也
 大阪府門真市大字門真1006番地 松下電器
 産業株式会社内
 (72) 発明者 上原 隆
 大阪府門真市大字門真1006番地 松下電器
 産業株式会社内
 (72) 発明者 矢野 航作
 大阪府門真市大字門真1006番地 松下電器
 産業株式会社内
 (74) 代理人 弁理士 前田 弘 (外2名)

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】 下地シリコンとの反応を起こさず拡散層の低抵抗化を図りながら平坦化の容易な半導体装置の製造方法を提供する。

【構成】 半導体基板の表面付近の領域を複数の活性領域Racに区画する為のLOCOS膜2を形成する工程と、活性領域Racにゲート酸化膜3を持つゲート電極4を形成する工程と、ゲート電極4の両側部にサイドウォール5を形成する工程と、ゲート電極4の両側方の活性領域Racに不純物拡散層6を形成する工程と、基板の全面上に多層金属膜7を堆積する工程と、金属膜7を化学機械的研磨 (CMP) で全面研磨し、不純物拡散層6の上の金属膜7のみを残す。CMPが終了した時点の被研磨面で、各金属膜7の周囲がLOCOS膜2とゲート電極4の両側部のサイドウォール5とにより取り囲まれ、各多層金属膜7はそれぞれ電氣的に孤立している。



【特許請求の範囲】

【請求項1】 複数のMISFETを含む半導体装置の製造方法であって、

半導体基板の活性領域の周囲に外周分離部を上記活性領域の表面よりも高い位置まで形成する工程と、

上記MISFETのしきい値制御用不純物を導入する工程と、

上記活性領域内に上記MISFETのゲート絶縁膜及びゲート電極を形成する工程と、

上記ゲート電極の両側部に絶縁性物質からなるサイドウォールを形成する工程と、

上記活性領域のうち上記ゲート電極の両側方に位置する領域に、上記MISFETのソース・ドレインとなる2つの不純物拡散層を形成する工程と、

上記ゲート電極、サイドウォール及び外周分離部を形成した後に基板の全面の上に金属膜を堆積する工程と、

化学機械的研磨により、上記金属膜、外周分離部、ゲート電極及びサイドウォールの一部を除去し、化学機械的研磨の終了時における被研磨面内で上記各不純物拡散層の上の金属膜が上記ゲート電極及び外周分離部により取り囲まれてそれぞれ電氣的に孤立するように残す工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項2】 請求項1記載の半導体装置の製造方法において、

上記外周分離部を形成する工程では、LOCOS膜を形成し、

上記化学機械的研磨を行う工程は、化学機械的研磨の終了時における被研磨面内で上記金属膜がそれぞれ上記サイドウォールとLOCOS膜とで取り囲まれるように行うことを特徴とする半導体装置の製造方法。

【請求項3】 請求項1記載の半導体装置の製造方法において、

上記外周分離部を形成する工程では、半導体基板に上記活性領域を囲む溝部を形成した後、該溝部を埋めかつ活性領域よりも高い埋込酸化膜を形成し、

上記化学機械的研磨を行う工程は、化学機械的研磨の終了時における被研磨面内で上記各不純物拡散層の上の金属膜がそれぞれ上記サイドウォールと上記埋込酸化膜とで取り囲まれるように行うことを特徴とする半導体装置の製造方法。

【請求項4】 請求項1記載の半導体装置の製造方法において、

上記活性領域の周囲にLOCOS膜を形成する工程を含み、

上記外周分離部を形成する工程は、上記活性領域を取り囲みかつ少なくとも一部が上記LOCOS膜の上に位置するゲート配線を形成する工程と、上記ゲート配線の側部に絶縁性物質からなるサイドウォールを形成する工程とを含み、

上記ゲート配線を形成する工程は、上記ゲート電極を形

成する工程と同時に行い、

上記ゲート配線のサイドウォールを形成する工程は、上記ゲート電極のサイドウォールを形成する工程と同時に行い、

上記化学機械的研磨を行う工程は、化学機械的研磨の終了時における被研磨面内で上記不純物拡散層の上の金属膜が上記ゲート電極のサイドウォールと上記ゲート配線のサイドウォールとで取り囲まれるように行うことを特徴とする半導体装置の製造方法。

【請求項5】 請求項4記載の半導体装置の製造方法において、

上記化学機械的研磨を行う工程の終了時において、ゲート配線とゲート電極とは接続されていることを特徴とする半導体装置の製造方法。

【請求項6】 請求項2又は3記載の半導体装置の製造方法において、

上記ゲート絶縁膜及びゲート電極を形成する工程では、上記MISFETが機能する厚みを有する部分とMISFETが機能不能な程度に厚い厚みを有する部分とからなる段付きゲート絶縁膜とを形成することを特徴とする半導体装置の製造方法。

【請求項7】 請求項2又は3記載の半導体装置の製造方法において、

上記しきい値制御用不純物を導入する工程では、上記ゲート電極の直下方に、上記MISFETが機能するしきい値に対応する不純物濃度が導入された領域とMISFETが機能不能な高いしきい値に対応する不純物が導入された領域とを形成することを特徴とする半導体装置の製造方法。

【請求項8】 請求項1, 2, 3又は4記載の半導体装置の製造方法において、

上記ゲート電極と上記ゲート電極の両側の金属膜とを接続するローカル配線を形成する工程をさらに備えたことを特徴とする半導体装置の製造方法。

【請求項9】 請求項8記載の半導体装置の製造方法において、

上記ローカル配線として、ポリシリコンを使用することを特徴とする半導体装置の製造方法。

【請求項10】 請求項1, 2, 3又は4記載の半導体装置の製造方法において、

上記ゲート電極を形成する工程では、ゲート電極をポリサイド構造にすることを特徴とする半導体装置の製造方法。

【請求項11】 請求項1, 2, 3又は4記載の半導体装置の製造方法において、

上記不純物拡散層を形成する工程は、上記ゲート絶縁膜及びゲート電極を形成する工程の後に、少なくとも上記ゲート電極をマスクとして、上記活性領域の半導体基板内に低濃度不純物のイオンを注入する工程と、

上記ゲート電極のサイドウォールを形成する工程の後、少なくとも上記ゲート電極及びサイドウォールをマスクとして、上記活性領域の半導体基板内に高濃度不純物のイオンを注入する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項12】 請求項1記載の半導体装置の製造方法において、

上記外周分離部を形成する工程では、テストパターンのM I F F E Tを形成する主活性領域と、該主活性領域のうちゲート電極を形成しようとする部分に連続する測定用第1活性領域と、上記主活性領域のうちドレインを形成しようとする部分に連続する測定用第2活性領域と、上記主活性領域のうちソースを形成しようとする部分に連続する測定用第3活性領域と、上記各活性領域から孤立した測定用第4活性領域とを形成し、

上記ゲート絶縁膜及びゲート電極を形成する工程では、テストパターンのM I S F E Tのゲート絶縁膜とゲート電極とに連続する絶縁膜及びゲート用電極を上記測定用第1活性領域の上に形成し、

上記ゲート電極のサイドウォールを形成する工程では、テストパターンのゲート電極の両側部にもサイドウォールを形成し、

上記不純物拡散層を形成する工程では、テストパターンのM I S F E Tのゲート電極の両側方にドレイン及びソースを形成し、かつ上記ドレインから上記第2測定用活性領域に亘る領域と上記ソースから上記測定用第3活性領域に亘る領域とにも同時に不純物イオンを注入し、上記金属膜を形成する工程では、テストパターンの全面にも金属膜を堆積し、

上記化学機械的研磨を行う工程では、テストパターンの上記主活性領域のドレインから上記測定用第2活性領域に亘る領域の上に孤立する金属膜を残してドレイン用電極とし、上記主活性領域のソースから上記測定用第3活性領域に亘る領域の上に孤立する金属膜を残してソース用電極とし、上記第4活性領域の上に孤立する金属膜を残して基板用電極とするとともに、

上記化学機械的研磨が終了した時点で、各電極及び上記不純物拡散層を介して直接M I S F E Tの特性を測定する工程をさらに備えたことを特徴とする半導体装置の製造方法。

【請求項13】 半導体基板上に複数のM I S F E Tを搭載してなる半導体装置において、

上記半導体基板の表面付近の領域を複数の活性領域に区画する素子分離と、

上記各活性領域に形成されたゲート絶縁膜及びゲート電極と、

上記ゲート電極の両側部に形成され、絶縁性物質からなるサイドウォールと、

上記ゲート電極の両側方の活性領域に形成されソース・ドレインとして機能する不純物拡散層と、

上記素子分離の上に形成され活性領域を取り囲むゲート配線と、

上記ゲート配線の側部に形成され、絶縁性物質からなるサイドウォールと、

上記活性領域の半導体基板上で、上記ゲート電極の各サイドウォールとゲート配線のサイドウォールに対して自己整合的に形成され、上端面で上記ゲート電極、そのサイドウォール、ゲート配線及びそのサイドウォールの上端面と共に平坦化されて他の領域から孤立する2つの金属膜とを備えたことを特徴とする半導体装置。

【請求項14】 半導体基板上に複数のM I S F E Tを搭載してなる半導体装置において、

上記半導体基板の表面付近の領域を複数の活性領域に区画する素子分離と、

上記活性領域に形成されたゲート電極と、

上記ゲート電極と半導体基板との間に介設され、上記M I S F E Tが機能する厚みを有する部分とM I S F E Tが機能不能な程度に厚い厚みを有する部分とからなる段付きゲート絶縁膜と、

上記ゲート電極の両側部に形成され、絶縁性物質からなるサイドウォールと、

上記ゲート電極の両側方の活性領域に形成された不純物拡散層と、

上記活性領域の半導体基板上で、上記ゲート電極の各サイドウォールと素子分離に対して自己整合的に形成され、上端面でゲート電極、そのサイドウォール及び素子分離と共に平坦化されて他の領域から孤立する2つの金属膜とを備えたことを特徴とする半導体装置。

【請求項15】 半導体基板上に複数のM I S F E Tを搭載してなる半導体装置において、

上記半導体基板の表面付近の領域を複数の活性領域に区画する素子分離と、

上記活性領域の半導体基板上に形成されたゲート絶縁膜及びゲート電極と、

該ゲート電極の直下方に形成され、上記M I S F E Tが機能するしきい値に対応する不純物濃度が導入された領域及びM I S F E Tが機能不能な高いしきい値に対応する不純物が導入された領域と、

上記ゲート電極の両側部に形成され、絶縁性物質からなるサイドウォールと、

上記ゲート電極の両側方の活性領域に形成された不純物拡散層と、

上記活性領域の半導体基板上で、上記ゲート電極の各サイドウォールと素子分離に対して自己整合的に形成され、上端面で他の領域から孤立する2つの金属膜とを備えたことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電界効果型トランジスタを搭載した半導体装置及びその製造方法に係り、特に

電界効果型トランジスタの不純物拡散層の抵抗を低減する対策に関する。

【0002】

【従来の技術】近年、大規模集積半導体回路の微細化が進み、不純物拡散層やゲート配線の低抵抗化によるMISFETの縮小化が行なわれてきている。不純物拡散層の抵抗を下げる方法として、最近ではいわゆるサリサイド技術が実用化されている。これは、例えばTi等の高融点金属をシリコン基板の不純物拡散層の上に堆積した後、シリコン基板とTi膜との間におけるSi、Tiの相互拡散により両者の界面付近をシリサイド化させて、不純物拡散層の抵抗値を低減する方法である。また、配線とシリコンとのコンタクト面積をなるべく抑制すべく、コンタクト孔のアスペクト比が大きくなっているため、選択CVD法によりWをコンタクト孔に埋め込んだり、ブランケットWを用いてコンタクト孔を埋め込むなどの方法も導入されている。

【0003】さらに、上記2つの技術を組み合わせた方法として、1991年IEEE VLSI シンポジウム 5-5P41のMartin S. Wang らの”A NOVEL DOUBLE-SELF-ALIGND TiSi₂/T

■0004■

IN CONTACT WITH SELECTIVE CVD W PLUG FOR SUBMICRON DEVICE AND INTERCONNECT APPLICATIONS ” に提案されている。

【0005】以下、図18(a)～(f)を参照しながら、上記文献に記載された複合的なサリサイド法を説明する。図18(a)～(f)は、半導体装置の製造工程におけるシリコン基板の断面構造の変化を示す。

【0006】図18(a)は、LDD構造のMOSトランジスタが形成された状態を示す。1はシリコン基板、2はLOCOS法を用いた素子分離、3はゲート酸化膜、4はポリシリコン電極、5はサイドウォール、6は不純物拡散層である(不純物拡散層は、低濃度ソース・ドレイン6aと高濃度ソース・ドレイン6bとを含む)。図18(a)に示す状態までの作成方法は、従来通りのCMOSデバイスの作成方法と同じである。また、nチャネルMOSトランジスタ、pチャネルMOSトランジスタの特性に合わせて、As、P、Bのドーピングと熱処理が行なわれている。次に、図18(b)に示すように、サリサイド用のTi薄膜30aをスパッタリングで堆積し、図18(c)に示すように、シリサイド化用のアニールを施した後、ウェットエッチングで酸化膜上のTiを除去し、N₂の注入を行なう。この状態でTiSix(チタンシリサイド化層)30が不純物拡散層6やゲートポリシリコン4上のみ形成される。図18(d)に示す工程では、BPSG膜10を堆積した後、フォトリソグラフィとドライエッチング((CHF₃+O₂系ガス)により、不純物拡散層6の上のBPSG膜10の所望位置にコンタクト孔11を形成する。

次に、図18(e)に示すように、選択CVD法によるWプラグ12を堆積する。そして、図18(f)に示すように、TiN/AlSiCu/Tiからなるスパッタ膜を堆積した後、これをパターニングして金属配線13を形成する。以上の工程によって、サリサイド構造を有するMOSトランジスタと、選択CVD法により形成されたWプラグとを有する半導体装置が得られる。

【0007】

【発明が解決しようとする課題】しかしながら、上記従来のような構造を有する半導体装置では、以下の問題があった。

(1) シリサイド膜30を形成するには、高融点金属と下地のシリコンとの反応が必要であるが、不純物拡散層6の深さが浅い場合、高融点金属とシリコンとの接合を行うことが困難となる。したがって、不純物拡散層をなるべく浅く形成することが要求される今後のデバイスでは、有効な接合部を形成することが困難となり、サリサイド技術は将来的なデバイスには必ずしも適さない。

(2) シリサイド層は、コンタクト孔形成のためのエッチングの際にCF系ガスに対する耐性が弱く、すぐにピンホール等の欠陥ができてしまう。したがって、かえって、不純物拡散層の抵抗の増大を招く虞れがある。

(3) 高融点金属と下地のシリコンとの接合部が浅いトランジスタでは、この接合部におけるコンタクト孔形成のためのエッチングの際、各コンタクト孔の形成を確実にを行うためのオーバーエッチングが十分に行なえない。したがって、配線の信頼性の悪化を招く虞れがある。

(4) シリサイド層の低抵抗化には650℃以上の熱処理が必要である。したがって、トランジスタの電気的性質の悪化を招く虞れがある。

(5) シリサイド層は、選択CVD法によるWプラグ形成の際の十分なバリアメタル層にはなりにくく、接合リークに対してのプロセスマージンが少ない。

(6) また、図18(f)に示すような構造では、BPSG膜10の下地の平坦度もよくない。

【0008】本発明は斯かる点に鑑みてなされたものであり、その目的は、シリコン基板の不純物拡散層をシリサイド化の際に必要なとなるような熱処理を伴わずに、高融点金属を自己整合的に不純物拡散層の上に形成しながら、高融点金属膜の周囲からの絶縁と、上端面の平坦度とをほぼ完全にし得る半導体装置の構造及びその製造方法を提供することにある。

【0009】

【課題を解決するための手段】上記目的を達成するために請求項1の発明の講じた手段は、複数のMISFETを含む半導体装置の製造方法として、半導体基板の活性領域の周囲に外周分離部を上記活性領域の表面よりも高い位置まで形成する工程と、上記MISFETのしきい値制御用不純物を導入する工程と、上記活性領域内に

上記MISFETのゲート絶縁膜及びゲート電極を形成する工程と、上記ゲート電極の両側部に絶縁性物質からなるサイドウォールを形成する工程と、上記活性領域のうち上記ゲート電極の両側方に位置する領域に、上記MISFETのソース・ドレインとなる2つの不純物拡散層を形成する工程と、上記ゲート電極、サイドウォール及び外周分離部を形成した後に基板の全面の上に金属膜を堆積する工程と、化学機械的研磨により、上記金属膜、外周分離部、ゲート電極及びサイドウォールの一部を除去し、化学機械的研磨の終了時における被研磨面内で上記各不純物拡散層の上の金属膜が上記ゲート電極及び外周分離部により取り囲まれてそれぞれ電氣的に孤立するように残す工程とを設けた方法である。

【0010】請求項2の発明の講じた手段は、請求項1記載の半導体装置の製造方法において、上記外周分離部を形成する工程では、LOCOS膜を形成し、上記化学機械的研磨を行う工程を、化学機械的研磨の終了時における被研磨面内で上記金属膜がそれぞれ上記サイドウォールとLOCOS膜とで取り囲まれるように行う方法である。

【0011】請求項3の発明の講じた手段は、請求項1記載の半導体装置の製造方法において、上記外周分離部を形成する工程では、半導体基板に上記活性領域を囲む溝部を形成した後、該溝部を埋めかつ活性領域よりも高い埋込酸化膜を形成し、上記化学機械的研磨を行う工程を、化学機械的研磨の終了時における被研磨面内で上記各不純物拡散層の上の金属膜がそれぞれ上記サイドウォールと上記埋込酸化膜とで取り囲まれるように行う方法である。

【0012】請求項4の発明の講じた手段は、請求項1記載の半導体装置の製造方法において、上記活性領域の周囲にLOCOS膜を形成する工程を設け、上記外周分離部を形成する工程に、上記活性領域を取り囲みかつ少なくとも一部が上記LOCOS膜の上に位置するゲート配線を形成する工程と、上記ゲート配線の側部に絶縁性物質からなるサイドウォールを形成する工程とを設ける。そして、上記ゲート配線を形成する工程は、上記ゲート電極を形成する工程と同時にを行い、上記ゲート配線のサイドウォールを形成する工程は、上記ゲート電極のサイドウォールを形成する工程と同時にを行い、上記化学機械的研磨を行う工程は、化学機械的研磨の終了時における被研磨面内で上記不純物拡散層の上の金属膜が上記ゲート電極のサイドウォールと上記ゲート配線のサイドウォールとで取り囲まれるように行う方法である。

【0013】請求項5の発明の講じた手段は、請求項4記載の半導体装置の製造方法において、上記化学的研磨を行う工程の終了時において、ゲート配線とゲート電極とを接続させる方法である。

【0014】請求項6の発明の講じた手段は、請求項2又は3記載の半導体装置の製造方法において、上記ゲ-

ト絶縁膜及びゲート電極を形成する工程では、上記MISFETが機能する厚みを有する部分とMISFETが機能不能な程度に厚い厚みを有する部分とからなる段付きゲート絶縁膜とを形成する方法である。

【0015】請求項7の発明の講じた手段は、請求項2又は3記載の半導体装置の製造方法において、上記しきい値制御用不純物を導入する工程では、上記ゲート電極の直下方に、上記MISFETが機能するしきい値に対応する不純物濃度が導入された領域とMISFETが機能不能な高いしきい値に対応する不純物が導入された領域とを形成する方法である。

【0016】請求項8の発明の講じた手段は、請求項1, 2, 3又は4記載の半導体装置の製造方法において、上記ゲート電極と上記ゲート電極の両側の金属膜とを接続するローカル配線を形成する工程をさらに設ける方法である。

【0017】請求項9の発明の講じた手段は、請求項8記載の半導体装置の製造方法において、上記ローカル配線として、ポリシリコンを使用する方法である。

【0018】請求項10の発明の講じた手段は、請求項1, 2, 3又は4記載の半導体装置の製造方法において、上記ゲート電極を形成する工程では、ゲート電極をポリサイド構造にする方法である。

【0019】請求項11の発明の講じた手段は、請求項1, 2, 3又は4記載の半導体装置の製造方法において、上記不純物拡散層を形成する工程に、上記ゲート絶縁膜及びゲート電極を形成する工程の後に、少なくとも上記ゲート電極をマスクとして、上記活性領域の半導体基板内に低濃度不純物のイオンを注入する工程と、上記ゲート電極のサイドウォールを形成する工程の後に、少なくとも上記ゲート電極及びサイドウォールをマスクとして、上記活性領域の半導体基板内に高濃度不純物のイオンを注入する工程を設ける方法である。

【0020】請求項12の発明の講じた手段は、請求項1記載の半導体装置の製造方法において、上記外周分離部を形成する工程では、テストパターンのMISFETを形成する主活性領域と、該主活性領域のうちゲート電極を形成しようとする部分に連続する測定用第1活性領域と、上記主活性領域のうちドレインを形成しようとする部分に連続する測定用第2活性領域と、上記主活性領域のうちソースを形成しようとする部分に連続する測定用第3活性領域と、上記各活性領域から孤立した測定用第4活性領域とを形成し、上記ゲート絶縁膜及びゲート電極を形成する工程では、テストパターンのMISFETのゲート絶縁膜とゲート電極とに連続する絶縁膜及びゲート用電極を上記測定用第1活性領域の上に形成し、上記ゲート電極のサイドウォールを形成する工程では、テストパターンのゲート電極の両側部にもサイドウォールを形成し、上記不純物拡散層を形成する工程では、テストパターンのMISFETのゲート電極の両側方にド

Explore Litigation Insights

Docket Alarm provides insights to develop a more informed litigation strategy and the peace of mind of knowing you're on top of things.

Real-Time Litigation Alerts



Keep your litigation team up-to-date with **real-time alerts** and advanced team management tools built for the enterprise, all while greatly reducing PACER spend.

Our comprehensive service means we can handle Federal, State, and Administrative courts across the country.

Advanced Docket Research



With over 230 million records, Docket Alarm's cloud-native docket research platform finds what other services can't. Coverage includes Federal, State, plus PTAB, TTAB, ITC and NLRB decisions, all in one place.

Identify arguments that have been successful in the past with full text, pinpoint searching. Link to case law cited within any court document via Fastcase.

Analytics At Your Fingertips



Learn what happened the last time a particular judge, opposing counsel or company faced cases similar to yours.

Advanced out-of-the-box PTAB and TTAB analytics are always at your fingertips.

API

Docket Alarm offers a powerful API (application programming interface) to developers that want to integrate case filings into their apps.

LAW FIRMS

Build custom dashboards for your attorneys and clients with live data direct from the court.

Automate many repetitive legal tasks like conflict checks, document management, and marketing.

FINANCIAL INSTITUTIONS

Litigation and bankruptcy checks for companies and debtors.

E-DISCOVERY AND LEGAL VENDORS

Sync your system to PACER to automate legal marketing.