

⑫ 公開特許公報 (A)

昭59—181062

⑤ Int. Cl.³
H 01 L 29/78
21/76

識別記号

庁内整理番号
7377—5F
8122—5F

⑬ 公開 昭和59年(1984)10月15日

発明の数 1
審査請求 未請求

(全 6 頁)

⑭ MOS型半導体装置の製造方法

京芝浦電気株式会社総合研究所
内

① 特 願 昭58—53537

① 出 願 人 株式会社東芝

② 出 願 昭58(1983)3月31日

川崎市幸区堀川町72番地

⑦ 発 明 者 堀口文男

④ 代 理 人 弁理士 鈴江武彦 外 2 名

川崎市幸区小向東芝町1番地東

明 細 書

1. 発明の名称

MOS型半導体装置の製造方法

2. 特許請求の範囲

(1) 半導体基板の素子分離領域を選択エッチングして溝部を形成する工程と、上記溝部に上記基板と同導電型を与える不純物をドーピングして反転防止層を形成する工程と、上記溝部に第1の絶縁膜を埋め込み、かつ該絶縁膜上面を前記基板表面より高く形成する工程と、前記基板の素子形成領域上にゲート絶縁膜を介してゲート電極を選択形成し、かつ該電極上面と基板表面との段差を前記第1の絶縁膜と基板表面との段差より小さく形成する工程と、上記各段差の側壁部に第2の絶縁膜をセルフラインで形成する工程と、前記第1及び第2の絶縁膜をマスクとして用い前記基板の表面に該基板と逆導電型を与える不純物をドーピングしてソース・ドレイン領域を形成する工程とを具備したことを特徴とするMOS型半導体装置の製造方法。

(2) 前記第2の絶縁膜を形成する工程は、全面に第2の絶縁膜を被着したのち、この絶縁膜を反応性イオンエッチング法で全面エッチングし、該絶縁膜を前記段差側壁部にのみ残存せしめることであることを特徴とする特許請求の範囲第1項記載のMOS型半導体装置の製造方法。

3. 発明の詳細な説明

[発明の技術分野]

本発明は、MOS型半導体装置の製造方法に係わり、特に多数のMOSトランジスタを高集積化してなるMOS型半導体装置の製造方法に関する。
[発明の技術的背景とその問題点]

近時、ICやLSI等の半導体装置は、益々高集積化及び高密度化される傾向にある。例えば、MOS半導体メモリにあっては、現在64KbitダイナミックRAMを高集積化の頂点として量産段階にあり、今後256KbitダイナミックRAMさらには1MbitダイナミックRAMへと高集積化が押し進められていくのは疑いないことである。

ところで、半導体装置の高集積化を妨げる要因として問題となるのは微細加工技術であり、特にトランジスタを形成する各層どうしの重ね合わせ精度が半導体基板上の単位面積当りの素子数の増加を減少させる原因になっている。したがって、重ね合わせ精度を完全に正確に決定できれば、換言すれば各層毎に重ね合わせずれを考慮に入れずに各素子の配置を決定することができれば、より一層の高集積化が達成される。この意味で現在行なわれている代表的技術として、ポリシリコンゲートによるチャンネル長のセルフライン技術がある。これは、第1図(a)にMOSトランジスタの平面図を、第1図(b)に同図(a)の矢視L-L断面図を示す如く、選択酸化法で素子分離領域に酸化膜を形成することにより素子形成領域間を絶縁分離し、素子形成領域上にゲート酸化膜を介してポリシリコンゲート電極を形成し、この上から基板と逆の導電型を与える不純物をイオン注入或いは拡散してソース・ドレイン領域を形成する方法である。なお、図

中1はSi基板、2は素子分離用酸化膜、3は反転防止層、4はゲート酸化膜、5はゲート電極、6、7はソース・ドレイン領域、8は層間絶縁膜、9は酸線用AL膜をそれぞれ示している。この方法では、ゲート電極5の下には不純物が導入されないでこの部分がチャンネル領域となり、ゲート電極位置に自己整合されてソース・ドレインが形成されるため、ゲート電極5、ソース6及びドレイン7との位置ずれが生じることがない。したがって、この分だけ高集積化がはかれるわけである。

しかしながら、この種の方法にあっては次のような問題があった。すなわち、上記方法で作製されたMOSトランジスタにあっては、素子分離用酸化膜2の下に基板1と同導電型を与える不純物をドーピングしてなる反転防止層3と、素子形成領域に基板1と逆導電型を与える不純物をドーピングしてなるソース・ドレイン領域6、7とがA部分で接することになる。両者の不純物密度は反転防止層3で $1 \times 10^{17} [cm^{-3}]$ 程

度、ソース・ドレイン6、7で $5 \times 10^{19} [cm^{-3}]$ 程度であり、両側とも不純物密度の高いP、N接合となってしまう。このため、A部分での空乏層厚みは0.1 [μm]程度と非常に薄くなり、一方、第1図(b)に示す平坦部(C部分)の空乏層厚みは高抵抗基板を用いることにより1 [μm]程度以上とすることができるので、A部分の接合容量は平坦部のC部分に比べて数倍以上にも大きな値となる。そして、このことが各種半導体装置の回路特性を悪化させる大きな要因となっている。

以下、上記問題をMOSダイナミックメモリを例にとり説明する。第2図は、現在使われている一般的なMOSダイナミックメモリの構造を説明するためのもので、ALビット線21を用いたフォールアドビットライン方式のメモリセル部分の平面構造を示している。ここで、22はトランスフェーゲートのゲート電極となるワード線であり、23はセルキャパシタ、24はセルキャパシタ23の電極を形成する1層目ポリシリコンの窓である。

セルキャパシタ23に蓄えられた電荷はトランスフェーゲートを通してビット線21に伝えられるが、この際ビット線電位の変化を大きくしセンスアンプに大きな信号を入力するためには、ビット線21の浮遊容量 C_B に対してセルキャパシタ23の容量 C_S を大きくすることが望ましい。ビット線21の浮遊容量 C_B は、トランスフェーゲートのドレイン部分25の接合容量 C_A 及びゲートとドレインとの間のキャパシタンス C_b 、その他ゲートとビット線、キャパシタ電極とビット線との間のキャパシタンス等で定まる。この中で、 C_A 及び C_b 以外は各層間絶縁膜厚を大きくすることで小さなキャパシタンスとすることができるが、 C_A と C_b についてはプロセス工程により決定され小さな値にすることが難しい。したがって C_A 及び C_b の容量によりビット線容量が決定され、 C_S が一定とすればセンスアンプの感度を定める C_S/C_B 値はほとんど C_A 及び C_b の値によって決まることになってしまう。つまり、センスアンプ感度を上げるには C_A 及び C_b

の値をできるだけ小さくすることが望ましい。

ここで、トランスフェーゲットのドレイン部分の接合容量 C_a の大部分は、前記した通り素子分離領域端とドレインとの接合容量で決まっており、したがってこれを小さくすることによりセンスアンプ感度を向上させることができる。また C_b は第1図(a)、(b)に示すB領域でのゲート下へのソース・ドレイン領域の横方向拡がり部とゲートとのキャパシタンスであり、これも小さくすることが望ましい。以上はMOSダイナミックメモリのセル部についてであるが、上記のことは一般の集積回路についても云えることであり、ソース・ドレインの浮遊量はフィールド端との接合容量で決まり、これを減少させれば回路特性が著しく向上される。

しかし、現在の選択酸化法による素子分離技術とゲートポリシリコンのセルフライン技術とを用いる限り、フィールド領域端での接合容量の増加は避けられない。

すなわち本発明は、MOS型半導体装置を製造する方法において、半導体基板の素子分離領域を選択エッチングして溝部を形成したのち、この溝部に基板と同導電型を与える不純物をドーピングして反転防止層を形成し、次いで上記溝部に第1の絶縁膜を埋め込み、かつ該絶縁膜上面を基板表面より高く形成し、次いで基板の素子形成領域上にゲート絶縁膜を介してゲート電極を選択形成し、かつ該電極上面と基板表面との段差を上記第1の絶縁膜と基板表面との段差より小さく形成し、次いで上記各段差の側壁部に第2の絶縁膜をセルフラインで形成し、しかるのち、上記第1及び第2の絶縁膜をマスクとして用い基板表面に該基板と逆導電型を与える不純物をドーピングしてソース・ドレイン領域を形成するようにした方法である。

〔発明の効果〕

本発明によれば、素子分離用絶縁膜及びゲート電極の段差側壁部に形成した絶縁膜をマスクとして、ソース・ドレイン形成のための不純物

〔発明の目的〕

本発明の目的は、MOSトランジスタの素子分離領域端におけるソース・ドレイン領域と基板との接合容量を著しく低減することができ、かつソース・ドレイン領域とゲートとの容量も同時に低減することができ、素子の微細化及び高集積化に寄与し得るMOS型半導体装置の製造方法を提供することにある。

〔発明の概要〕

本発明の骨子は、素子分離領域にCVD-SiO₂膜等の絶縁膜を埋めこむ素子分離法(BOX法)を用い、このフィールド絶縁膜を基板表面より高く埋込み、かつ後に形成されるゲート電極と基板表面との段差よりも素子分離用絶縁膜と基板表面との段差を大きく形成し、各段差側壁部に該段差の大きさに比例する幅の絶縁膜をセルフラインで形成し、その後ソース・ドレイン形成のための不純物のドーピングを行い、不純物層がゲート電極端下には接し、反転防止層には接しないようにすることにある。

ドーピングを行うため、ソース・ドレインと反転防止層との接触を防止することができ、素子分離領域端におけるソース・ドレインと基板との接合容量を著しく低減させることができる。したがって、ソース或いはドレインに接続される回路のノードの浮遊容量が減少し、高速な信号応答が可能となり、回路の動作速度の著しい向上に役立つ。また、ダイナミックメモリにおいては、センスアンプの感度向上に役立つ。さらに、センスアンプ感度を一定に保つようすれば、ビット線の浮遊容量が減少した分だけ、セルキャパシタの容量も減少させることができ、したがってより小さなセル面積で従来と同等の集積度が達成でき、チップ面積を減少化をはかり得る。チップ面積が減少すれば、基板1枚当たりから製産されるチップ数が増加し、チップ当りの製造コストが減少する利点がある。また、素子分離領域端での接合容量の減少と同時にゲート下へのソース・ドレイン領域の横方向しみ出しの効果をなくすことができるため、ゲート

とソース・ドレインとのゲート酸化膜を介したキャパシタンスも減少させることができ、上記と同様回路の高速化及びセンスアンプ感度の向上の利点の他、ゲート下への不純物の横方向しみ出しのために実効的なチャンネル長がゲート長より減少する、所謂短チャンネル効果も抑制し得る等の利点がある。

また、ソース・ドレインのコンタクト位置が、ゲート電極と素子分離用絶縁膜との位置及びこれらの段差により決定されるため、コンタクトホール形成のための写真蝕刻法を行なう必要がない。したがって、コンタクト位置が、ソース・ドレイン領域内でずれることを考えて、該領域内の小さな面積でコンタクトを形成する必要がないために、コンタクト面積を大きくすることができ、さらにコンタクト抵抗を低くすることができるので、回路動作の遅延を防ぐことができる。さらに、素子分離領域の絶縁膜の高さが素子形成領域よりも高いため、素子分離領域上のゲート電極からチャンネルの素子分離領域端へ

34をフィールド領域の溝深さと同程度被着した。続いて、第3図(d)に示す如く全面にレジスタ35を塗布したのち、フィールド領域上のみレジスタ35が残るようにレジスタ35をパターンニングした。次いで、第3図(e)に示す如く全面にレジスタ36を塗布し表面を平坦化したのち、レジスタ35、36及びCVD-SiO₂膜34のエッチング速度が等しくなる条件で反応性イオンエッチングを行ない、同図(f)に示す如く素子形成領域の基板表面を露出させた。ここまでの工程は、周知の絶縁膜埋め込み工程と同様である。

次に、露出した基板31の表面をエッチングし、第3図(g)に示す如く素子形成領域をフィールド領域のCVD-SiO₂膜34より低くした。次いで、基板31の表面を熱酸化し、第3図(h)に示す如くゲート酸化膜(ゲート絶縁膜)37を100~400[Å]程度形成したのち、同図(i)に示す如く全面にゲート電極となるポリシリコン膜38及びCVD-SiO₂膜39を順次埋積した。その

ゲート電界が集中するため起きる逆ナローチャネル効果(しきい値電圧V_Tがチャネル幅を減少するにしたがい減少する効果)をなくすることができる。

[発明の実施例]

第3図(a)~(n)は本発明の一実施例に係わるMOSトランジスタ製造工程を示す断面図である。まず、第3図(a)に示す如く比抵抗5~50[Ω·cm]のP型(100)Si基板31を用意し、この基板31上の素子形成領域をレジスト32で被覆した。次いで、CF₄を含む放電ガスを利用した反応性イオンエッチング法を用い、第3図(b)に示す如くレジスト32をマスクとして基板31を選択エッチングし、素子分離領域(フィールド領域)に5000~10000[Å]深さの溝を形成した。続いて、基板31の溝部に基板31と同導電型を与える不純物をイオン注入により導入し、フィールド反転防止層33を形成した。次いで、レジスト32を除去したのち、第3図(c)に示す如くCVD-SiO₂膜(第1の絶縁膜)

後、第3図(j)に示す如くゲート電極形成部にレジスタ40を形成し、このレジスタ40をマスクとして反応性イオンエッチングによりCVD-SiO₂膜39、ポリシリコン膜38及びゲート酸化膜37を順次選択エッチングした。次いで、レジスタ40を除去し、第3図(k)に示す如く全面にCVD-SiO₂膜(第2の絶縁膜)41を堆積した。このとき、CVD-SiO₂膜41はCVD-SiO₂膜34と基板表面との断差側壁部、及びゲート電極部と基板表面との段差側壁部に厚く付着することになる。次いで、反応性イオンエッチング法によりCVD-SiO₂膜41を全面エッチングした。この場合、段差側壁部のCVD-SiO₂膜41の膜厚が厚いため、第3図(l)に示す如く段差側壁部にのみCVD-SiO₂膜41が残存することになる。段差側壁部に残存するCVD-SiO₂膜41の幅は、前記各段差の大きさにより調節することができる。この状態で、ゲート電極38は絶縁され、かつソース・ドレイン形成領域の内側に該領域と金属配線とのコンタクトホールが形成されることになる。したがって、

このホールを通して、基板と逆の導電型を与える不純物をイオン注入すれば、ソース・ドレインと基板とのPN接合が形成されることになる。

次に、前記絶縁膜34、39、41をマスクとして基板31に該基板31と逆導電型を与える不純物をイオン注入し、第3図(m)に示す如くソース・ドレイン領域42、43を形成した。このとき、ゲート電極部の上面(ゲート酸化膜37、ゲート電極38及びCVD-SiO₂膜39の各膜厚で定まる)と基板表面との段差及びCVD-SiO₂膜41の被着時の膜厚を適当に選び、ソース・ドレイン形成領域に注入した不純物が横方向に拡散する距離とゲート電極部の側壁に残されるCVD-SiO₂膜41の横幅とが等しくなるようにしておくことにより、ゲート電極38のチャンネル方向長さ C_b とソース・ドレイン領域42、43間距離で決まる実効チャンネル長さとを等しくすることができる。これにより、前記 C_b を小さくすることができる。また、前記フィールド領域のCVD-SiO₂膜34の側壁に残されるCVD-SiO₂膜

41の溝幅をゲート電極部側壁に残されるCVD-SiO₂膜41の横幅より十分長くしておけば、不純物の拡散によりソース・ドレイン領域42、43と反転防止層33とが接触するのを防止できる。これにはCVD-SiO₂膜34の上面と基板表面との段差をゲート電極部上面と基板表面との段差よりも大きくしておけばよい。このようにすることにより、ソース・ドレイン領域42、43からの空乏層は十分厚くなり、フィールド端での接合容量 C_a を著しく減少させることができる。

これ以降は、第3図(n)に示す如く配線用AL膜44の被着及びパターニングを行なうことにより、ソース・ドレイン領域42、43に形成されたコンタクトホールを介して、AL膜44とソース・ドレイン領域42、43とのコンタクトをとる。これにより、コンタクト形成のためマスクを必要とせず、フィールド及びゲートに対し、セルフラインでコンタクトをとることができる。

このように本実施例方法によれば、ソース・

ドレイン領域42、43と反転防止層33とが接触するのを防止することができ、かつゲート電極38下へのソース・ドレイン領域42、43の横方向拡がり C_a を防止することができる。したがって、前記接合容量 C_a 、 C_b の著しい低減化をはかり得、前述した効果が得られるのである。

なお、本発明は上述した実施例に限定されるものではない。例えば、前記第1及び第2の絶縁膜^(d)CVD-SiO₂膜に限るものではなく、Si₃N₄その他の絶縁膜であってもよい。さらに、前記ゲート電極はポリシリコンに限らずシリサイドや高融点金属等を用いてもよい。また、前記第1の絶縁膜と基板表面との段差、及びゲート電極と基板表面との段差等は、仕様に依りて適宜変更すればよい。さらに、第2の絶縁膜の被着膜厚及び形成方法等の適宜変更可能である。また、基板はP型Siに限らずN型Si基板、さらには他の半導体基板であっても何ら差し支えない。その他本発明の要旨を逸脱しない範囲で、種々変

形して実施することができる。

4. 図面の簡単な説明

第1図(a)は従来のMOSトランジスタ構造を示す平面図、第1図(b)は同図(a)の矢視L-L断面図、第2図は現在用いられているALビットラインのフォールアットビットライン形式のMOSダイナミックメモリの構造を示す平面図、第3図(a)~(n)は本発明の実施例を説明するための工程断面図である。

31…Si基板(半導体基板)、33…反転防止層、34…素子分離用CVD-SiO₂膜(第1の絶縁膜)、37…ゲート酸化膜(ゲート絶縁膜)、38…ポリシリコンゲート電極、39…CVD-SiO₂膜(第2の絶縁膜)、42、43…ソース・ドレイン領域、44…配線用AL膜。

出願人代理人 弁理士 鈴江武彦

Explore Litigation Insights

Docket Alarm provides insights to develop a more informed litigation strategy and the peace of mind of knowing you're on top of things.

Real-Time Litigation Alerts



Keep your litigation team up-to-date with **real-time alerts** and advanced team management tools built for the enterprise, all while greatly reducing PACER spend.

Our comprehensive service means we can handle Federal, State, and Administrative courts across the country.

Advanced Docket Research



With over 230 million records, Docket Alarm's cloud-native docket research platform finds what other services can't. Coverage includes Federal, State, plus PTAB, TTAB, ITC and NLRB decisions, all in one place.

Identify arguments that have been successful in the past with full text, pinpoint searching. Link to case law cited within any court document via Fastcase.

Analytics At Your Fingertips



Learn what happened the last time a particular judge, opposing counsel or company faced cases similar to yours.

Advanced out-of-the-box PTAB and TTAB analytics are always at your fingertips.

API

Docket Alarm offers a powerful API (application programming interface) to developers that want to integrate case filings into their apps.

LAW FIRMS

Build custom dashboards for your attorneys and clients with live data direct from the court.

Automate many repetitive legal tasks like conflict checks, document management, and marketing.

FINANCIAL INSTITUTIONS

Litigation and bankruptcy checks for companies and debtors.

E-DISCOVERY AND LEGAL VENDORS

Sync your system to PACER to automate legal marketing.