

VERIFICATION OF TRANSLATION

I, Yukiko Toyoda Buntin
of 1950 Roland Clarke Place
Reston, VA 20191

declare that I am well acquainted with both the Japanese and English languages, and that the attached is an accurate partial translation, to the best of my knowledge and ability, of Japanese Patent Application Publication No. H9-172063 (translation of first and last pages only), published June 30, 1997.

I further declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code and that such willful false statements may jeopardize the validity of the above-captioned application or any patent issued thereon.

Signature _____



Yukiko Toyoda Buntin

Date _____

6-28-2017

Exhibit 2063

(19) Japan Patent Office (JP) (12) Patent Publication (A)

(11) Patent Application Publication No:

H9-172063

(43) Publication Date: June 30, 1997

(51) Int.Cl. ⁶	Classification Symbol	JPO Ref. FI	Technical display area
H 01L 21/76		H01L 21/76	N
27/08	331	27/08	331B
219/78		29/78	301X

Examination Request – None – Number of Claims 12 (25 pages total)

(21) Application No: H7-330112

(22) Filing Date: December 19, 1995

(71) Applicant: 000005821
Matsushita Electric Industrial Co., Ltd.
1006, Oaza Kadoma, Kadoma-shi, Osaka

(72) Inventor: Toshiki YABU
c/o Matsushita Electric Industrial Co., Ltd.
1006, Oaza Kadoma, Kadoma-shi, Osaka

(72) Inventor: Takashi UEHARA
c/o Matsushita Electric Industrial Co., Ltd.
1006, Oaza Kadoma, Kadoma-shi, Osaka

(72) Inventor: Mizuki SEGAWA
c/o Matsushita Electric Industrial Co., Ltd.
1006, Oaza Kadoma, Kadoma-shi, Osaka

(74) Agent: Patent Attorney: Hiroshi MAEDA (and 1 other)

To be continued on the last page

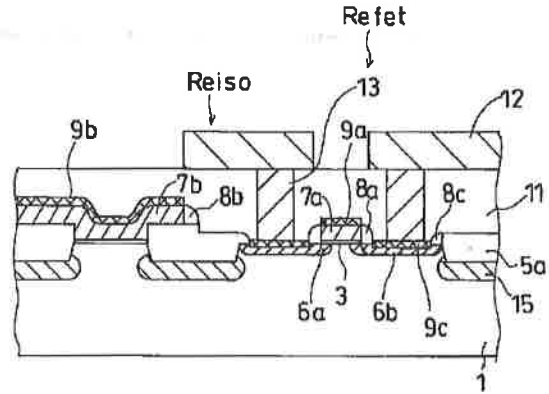
(54) Title of Invention

SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57) 【要約】

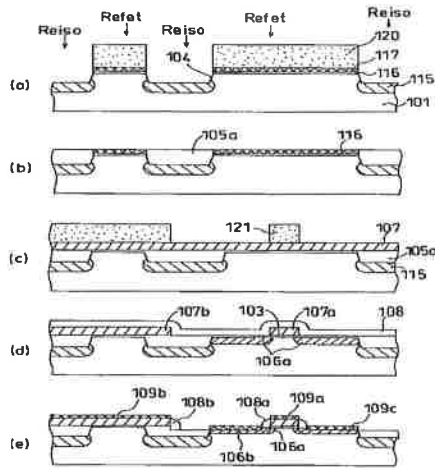
【課題】 接合リークや接合耐圧の劣化、短絡電流等のない溝埋め込み分離法による微細かつ高性能な半導体装置及びその製造方法を提供する。

【解決手段】 素子形成領域Refetと溝型の素子分離5 aとの間に素子分離5 aの側がステップ状に高くなった段差部が形成されている。そして、ゲート電極7 aと段差部の側面上には、互いに同時に形成された電極部サイドウォール8 aと段差部サイドウォール8 cとが形成されている。高濃度ソース・ドレイン領域6 bの上には、シリサイド化されたソース・ドレイン電極9 cが形成されている。素子形成領域Refetと素子分離5 aとの間の段差部と、段差部サイドウォールとによって、不純物イオンの素子分離5 aの端部下方への侵入とシリサイド層のシリコン基板1と素子分離5 aとの間の界面への侵入とを阻止する。



- 4 溝部
 5 シリコン酸化膜 (絶縁膜)
 5a 溝型素子分離
 6a 低濃度ソース・ドレイン領域
 6b 高濃度ソース・ドレイン領域
 7 ポリシリコン膜 (導電膜)
 7a ゲート電極
 7b ゲート配線
 8 シリコン酸化膜
 8a 電極部サイドウォール
 8b 配線部サイドウォール
 8c 段差部サイドウォール
 9a 上部ゲート電極
 9b 上部ゲート配線
 9c ソース・ドレイン電極
 11 層間絶縁膜
 12 第1層目金属配線
 13 コンタクト部
 15 チャネルストップ領域
 16 シリコン酸化膜
 17 シリコン窒化膜 (エッチングストップ膜)
 20, 21 フォトリジスト膜
 【手続補正2】
 【補正対象書類名】図面
 【補正対象項目名】図7
 【補正方法】変更
 【補正内容】

【図7】



Continued from the first page

(72) Inventor: Takashi NAKABAYASHI
 c/o Matsushita Electric Industrial Co., Ltd.
 1006, Oaza Kadoma, Kadoma-shi, Osaka

(72) Inventor: Kyoji YAMASHITA
 c/o Matsushita Electric Industrial Co., Ltd.
 1006, Oaza Kadoma, Kadoma-shi, Osaka

(72) Inventor: Takaaki UKEDA
 c/o Matsushita Electric Industrial Co., Ltd.
 1006, Oaza Kadoma, Kadoma-shi, Osaka

(72) Inventor: Masatoshi ARAI
 c/o Matsushita Electric Industrial Co., Ltd.
 1006, Oaza Kadoma, Kadoma-shi, Osaka

(72) Inventor: Takayuki YAMADA
 c/o Matsushita Electric Industrial Co., Ltd.
 1006, Oaza Kadoma, Kadoma-shi, Osaka

(72) Inventor: Michikazu MATSUMOTO
 c/o Matsushita Electric Industrial Co., Ltd.
 1006, Oaza Kadoma, Kadoma-shi, Osaka