

⑫ 公開特許公報 (A)

平2-189922

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)7月25日

H 01 L 21/3205
21/302J 8223-5F
6810-5F

H 01 L 21/88

D

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 平1-9209

⑰ 出 願 平1(1989)1月18日

⑱ 発 明 者 清 水 明 徳 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日 本 電 気 株 式 会 社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁 理 士 鈴 木 章 夫

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

1. 半導体基板上に金属膜を形成する工程と、この金属膜上に所望の配線パターンのフォトレジスト膜パターン及びダミーのフォトレジスト膜パターンを形成する工程と、これらフォトレジスト膜パターン及びダミーパターンをマスクにして前記金属膜を反応性イオンエッチング法によりエッチングする工程とを含み、前記ダミーパターンにより前記フォトレジスト膜パターンの面積密度を増大させた状態で前記エッチングを行うことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体の製造方法に関し、特にアルミニウム膜等の金属膜で構成される配線パターンの形成方法に関する。

〔従来の技術〕

従来、アルミニウム膜等の金属膜で構成される配線パターン形成は、全面に形成した金属膜上に所望のパターンのフォトレジスト膜を形成し、このフォトレジスト膜をマスクとして反応性イオンエッチングにより金属膜を選択エッチングすることで形成していた。

従来の技術の一例を第3図(a)及び(b)の縦断面図を用いて説明する。

先ず、第3図(a)のように、半導体基板1上の酸化膜2上にアルミニウム膜3を形成し、この上に所望のパターンを有するフォトレジスト膜7を形成する。

次いで、同図(b)のように、このフォトレジスト膜7をマスクにして反応性イオンエッチングを行い、前記アルミニウム膜3を選択エッチングし、配線パターンを形成する。

その後、フォトレジスト膜7を除去することでアルミニウム配線パターンが完成される。

〔発明が解決しようとする課題〕

上述した従来の方法では、エッチングにより得

られるアルミニウム膜3の形状は、フォトレジスト膜7のパターン密度（ウェハの面積に対してフォトレジスト膜が占める面積の割合）に大きく影響され、パターン密度が小さくなるほどサイドエッチングやアンダーカットが生じやすくなる。これはアルミニウム膜の反応性イオンエッチングでは、エッチング中に側壁に反応生成物が堆積することにより異方性が保たれるが、この堆積にはフォトレジスト膜からの反応物が大きく寄与しているためである。

このため、第3図（b）のように、形成されるアルミニウム膜3はサイドエッチングやアンダーカットにより、フォトレジスト膜7の幅寸法よりも小さくなり、所要の配線パターンを得ることが難しいものとなる。

サイドエッチングやアンダーカットが生じ易いパターン密度はエッチング条件により異なるが、ほぼ25%以下の場合である。

したがって、第4図に示すように、同一のウェハ上でフォトレジスト膜7のパターン密度が場所

3

ンエッチング法によりエッチングする工程とを含んでおり、このダミーパターンにより配線パターンを形成するためのフォトレジスト膜パターンの面積密度を増大させた状態でエッチングを行う。

〔作用〕

上述した製造方法では、フォトレジスト膜のパターンの密度をダミーパターンにより増大させ、エッチングに際してのサイドエッチングやアンダーカットを抑制し、高精度の配線パターンの製造を実現する。

〔実施例〕

次に、本発明を図面を参照して説明する。

第1図（a）乃至（d）は本発明の第1実施例を製造工程順に示す縦断面図である。ここでは、配線パターンをアルミニウム膜で形成する例について説明する。

まず、第1図（a）のように、半導体基板1の表面に成長させたシリコン酸化膜2上の全面にアルミニウム膜3を形成し、かつこの上にフォトレジスト膜4をパターン形成している。ここで、フ

5

により著しく異なる場合には、パターン密度が小さい（例えば20%）領域Aでのアルミニウム膜3が、パターン密度が大きい（例えば60%）領域Bのアルミニウム膜3よりもアンダーカットやサイドエッチングにより細幅に形成され、均一な配線パターンを得ることができなくなる。

この結果、半導体素子の歩留りの低下、信頼性の低下をまねき、また素子の微細化に不利になるという問題が生じている。

本発明は所望の配線幅でかつウェハ上において均一な高精度の配線パターンを容易に得ることを可能にした半導体装置の製造方法を提供することを目的とする。

〔課題を解決するための手段〕

本発明の半導体装置の製造方法は、半導体基板上に金属膜を形成する工程と、この金属膜上に所望の配線パターンのフォトレジスト膜パターン及びダミーのフォトレジスト膜パターンを形成する工程と、これらフォトレジスト膜パターン及びダミーパターンをマスクにして金属膜を反応性イオ

4

ンエッチング法によりエッチングする工程とを含んでおり、このダミーパターンにより配線パターンを形成するためのフォトレジスト膜パターンの面積密度を増大させた状態でエッチングを行う。

このダミーパターン4bは任意に形成することが可能であるが、このダミーパターン4bにより形成されるアルミニウムパターンを後に除去する必要がある場合は、その除去が容易なように、本来のパターン4aから適切に離しておくことが必要である。例えば3μm程度以上離しておけば充分である。

このダミーパターン4bを設けることにより、本来のパターン4aのパターン密度が10%の場合にも、パターン全体の密度を60%に増大することが可能となる。

次いで、同図（b）のように、前記各フォトレジスト膜のパターン4a、4bをマスクにして反応性イオンエッチングを施し、アルミニウム膜3で配線パターン3a及びダミー配線パターン3bを形成する。このとき、上述のようにフォトレジスト膜4のパターン密度が十分に大きいため、配

6

線パターン3 a及びダミー配線パターン3 bにおけるアンダーカットやサイドエッチングは抑制され、パターン4 a, 4 bと殆ど等しい幅寸法に形成される。

その後、フォトレジストのパターン4 a, 4 bを除去し、更にダミー配線パターン3 bをも除去する場合は、同図(c)のように、本来の配線パターン3 aの上部および側面を新たにフォトレジスト膜5で完全に覆う。一方、ダミー配線パターン3 bはそのまま露出させておき、フォトレジスト膜5をマスクとしてエッチングすることにより、ダミー配線パターン3 bのみを除去する。これは湿式エッチングにより容易に行える。

次いでフォトレジスト膜5を除去すれば、同図(d)のように、所望の配線パターン3 aを得ることができる。

なお、アルミニウム膜の反応性イオンエッチングにおけるアルミニウム膜とシリコン酸化膜のエッチングレートを選択比はきわめて高く、通常100程度は得られる。このため、ダミー配線パ

7

オンエッチングを施せば、同図(b)のように、領域A, Bのいずれにおいても本来の配線パターン3 aを均一な形状にエッチングすることが可能となる。勿論、ダミー配線パターン3 bも均一にエッチング形成される。

なお、この場合もダミー配線パターン3 bは必ずしも除去する必要はないが、除去する必要がある場合は、第1実施例と同様な方法で除去すればよく、この結果同図(c)のように、領域A, Bの夫々に所要密度の配線パターン3 aを形成することができる。

〔発明の効果〕

以上説明したように本発明は、フォトレジスト膜のパターンの密度が小さい領域にダミーパターンを配設してパターン密度を所定以上にすることにより、金属膜のエッチングに際してのサイドエッチングやアンダーカットを抑制し、高精度の配線パターンを容易に得ることができる効果がある。

4. 図面の簡単な説明

第1図(a)乃至(d)は本発明の製造方法の

9

ーン3 bの部分での下地シリコン酸化膜2の凹凸が生じることは殆どない。

なお、ダミー配線パターン3 bは必ずしも除去する必要はなく、この場合には、第1図(c)及び(d)の工程は不要となる。

第2図(a)乃至(c)は本発明の第2実施例を製造工程順に示す縦断面図である。この実施例では、所望とする配線パターンがウェハ上において密度が異なる場合について説明する。

先ず、第2図(a)のように、半導体基板1上のシリコン酸化膜2上にアルミニウム膜3を形成し、かつこの上にフォトレジスト膜6をパターン形成している。このフォトレジスト膜6のパターンは、本来必要とされるパターン6 aの密度は場所により密度が異なり、領域Aでは20%、領域Bでは60%である。このため領域Aでは、パターン密度が領域Bと略等しくなるように、領域Aのパターンと同様なダミーパターン6 bを設けている。

そして、これらパターン6 aとダミーパターン6 bをマスクにしてアルミニウム膜3の反応性イ

8

第1実施例を工程順に示す縦断面図、第2図(a)乃至(c)は本発明の製造方法の第2実施例を工程順に示す縦断面図、第3図(a)及び(b)は従来の製造方法の一例を工程順に示す縦断面図、第4図は従来の製造方法における不具合を説明するための縦断面図である。

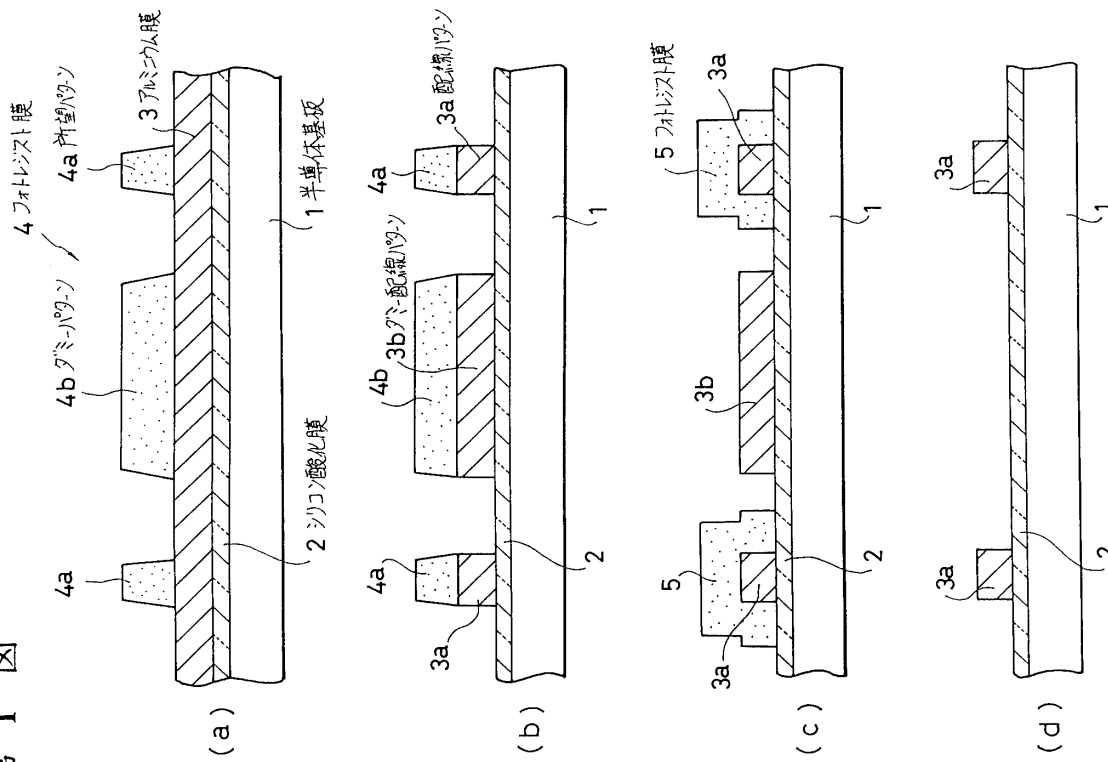
1…半導体基板、2…シリコン酸化膜、3…アルミニウム膜、3 a…配線パターン、3 b…ダミー配線パターン、4…フォトレジスト膜、4 a…パターン、4 b…ダミーパターン、5…フォトレジスト膜、6…フォトレジスト膜、6 a…パターン、6 b…ダミーパターン、7…フォトレジスト膜。

代理人 弁理士 鈴木章

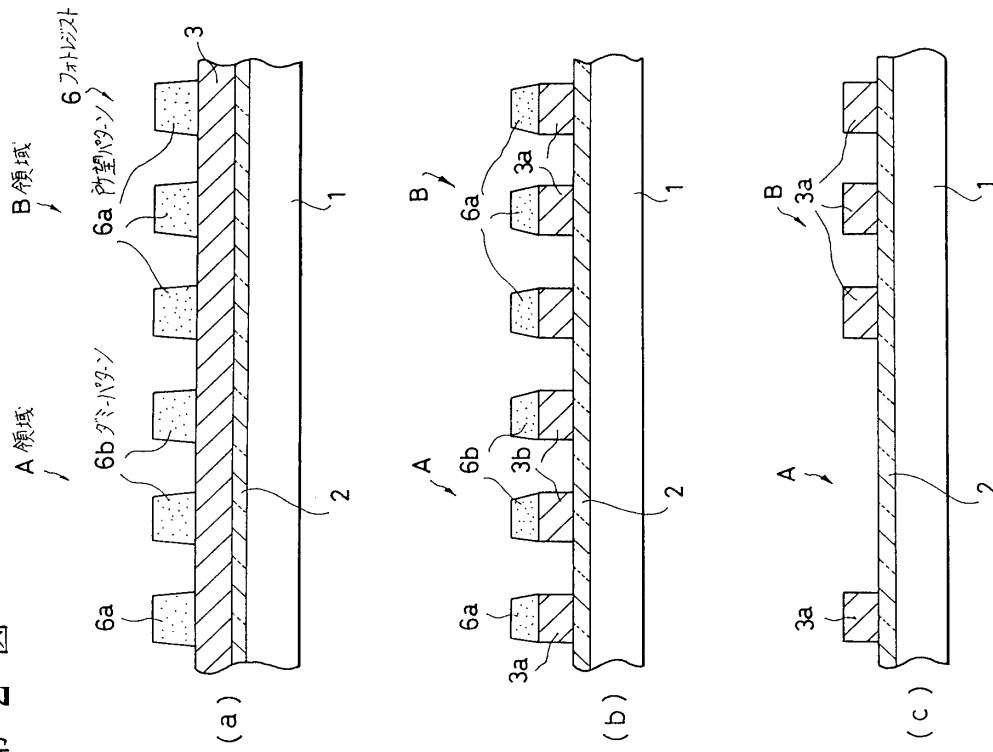


10

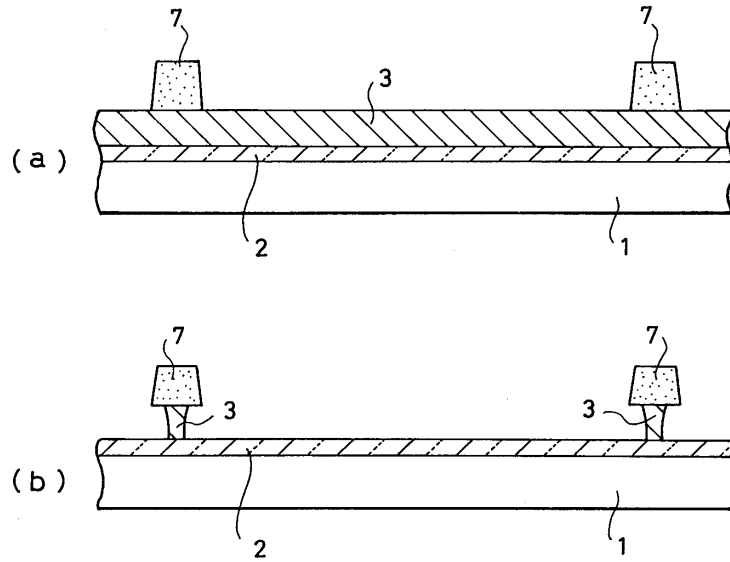
第 1 図



第 2 図



第 3 図



第 4 図

