

⑫ 公開特許公報 (A)

平3-108776

⑮ Int. Cl. 5

識別記号 庁内整理番号

⑯ 公開 平成3年(1991)5月8日

H 01 L 31/14
 G 02 F 1/136
 H 01 L 27/00
 27/14
 H 04 N 5/335

5 0 0 A 7454-5F
 3 0 1 A 9018-2H
 7514-5F
 U 8838-5C
 8122-5F

H 01 L 27/14

審査請求 未請求 請求項の数 6 (全 35 頁)

⑭ 発明の名称 積層型半導体装置およびその製造方法

⑰ 特 願 平1-247156

⑱ 出 願 平1(1989)9月22日

⑲ 発 明 者 楠 茂 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・
 エス・アイ研究所内
 ⑳ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号
 ㉑ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

積層型半導体装置およびその製造方法

2. 特許請求の範囲

(1) 主面を有する基板と、

前記基板の前記主面上に形成された半導体素子を有する第1の半導体素子層と、

前記半導体素子層上に形成された絶縁膜層と、

前記絶縁膜層上に、前記第1の半導体素子層における半導体素子とは上下逆方向となるように形成された半導体素子を有する第2の半導体素子層とを備えた、積層型半導体装置。

(2) 透明基板と、

前記透明基板上に形成され、前記透明基板を透過する光を受光して電気信号に変換するための光センサ素子を有する光センサ層と、

前記光センサ層上に形成され、前記光センサ層にスルーホール接続され、前記光センサ層からの電気信号を処理するための処理回路を有する回路層と、

前記回路層上に形成された絶縁膜層と、

前記絶縁膜層上に、前記光センサ層における光センサ素子とは上下逆方向となるように形成され、前記回路層にスルーホール接続され、前記回路層で処理された結果を表示するための表示素子を有する表示素子層とを備えた、積層型半導体装置。

(3) 透明基板と、

表示素子であって、前記透明基板を介して、その表示内容が見えるように前記透明基板上に形成されたそのような表示素子を有する表示素子層と、

前記表示素子層上に形成され、前記表示素子層にスルーホール接続され、前記表示素子に表示すべき表示内容を処理するための処理回路とを有する回路層と、

前記回路層上に形成された絶縁膜層と、

前記絶縁膜層に接する一方面と、外部に露出した他方面を有し、前記回路層にスルーホール接続され、外部からの情報量を電気信号に変換するためのセンサ素子を有するセンサ層とを備えた、積層型半導体装置。

(4) 貫通孔を有し、前記貫通孔に導電体が形成された基板と、

前記基板上に形成され、前記導電体に電気的に接続された電気回路を有する第1の回路層と、

前記第1の回路層上に形成された絶縁膜層と、

前記絶縁膜層上に、前記第1の回路層における電気回路とは上下逆方向となるように形成され、

前記第1の回路層における電気回路にスルーホール接続された電気回路を有する第2の回路層と、

前記絶縁膜層上に形成され、前記第2の回路層における電気回路に電気的に接続されたパッドとを備えた、積層型半導体装置。

(5) 表面に第1の半導体層を有する第1の基板と、表面に絶縁層を有し、かつ該絶縁層下に第2の半導体層を有する第2の基板とを、絶縁層と第1の半導体層が対向するようにして接着するステップと、

前記第1の基板を薄膜化して、前記第1の半導体層を露出するステップと、

前記第1の半導体層が上方に向くようにして、

— 3 —

前記第2の基板の前記絶縁層上に前記第2の半導体層をベースとして第1の電気回路を形成するとともに、前記第1の電気回路に電気的に接続された第1のパッドを形成するステップと、

前記第1の基板の前記導電体と前記第2の基板の前記第1のパッドが電気的に接続するように、前記第1の基板と前記第2の基板とを接着するステップと、

前記第2の基板を薄膜化し、前記第1の半導体層を露出させるステップと、

前記第2の基板の前記絶縁層上に前記第1の半導体層をベースとして第2の電気回路を形成するとともに、前記第2の電気回路に電気的に接続された第2のパッドを形成するステップとを備えた、積層型半導体装置の製造方法。

3. 発明の詳細な説明

[産業上の利用分野]

この発明は積層型半導体装置およびその製造方法に関し、特に、互いに上下逆方向に積層された複数の能動層を有する積層型半導体装置およびそ

— 5 —

該第1の半導体層をベースとして第1の半導体素子を形成するステップと、

該第1の半導体素子上に絶縁膜を形成するステップと、

前記絶縁膜上に第3の基板を接着するステップと、

前記第2の基板を薄膜化し、前記第2の半導体層を露出させるステップと、

前記第2の半導体層が上方に向くようにして、該第2の半導体層をベースとして第2の半導体素子を形成するステップとを備えた、積層型半導体装置の製造方法。

(6) 第1の基板に貫通孔を形成するステップと、

前記第1の基板の前記貫通孔を導電体で埋めるステップと、

主面を有する第2の基板の該主面上に第1の半導体層を形成し、前記第1の半導体層上に絶縁層を形成し、前記絶縁層上に第2の半導体層を形成するステップと、

— 4 —

の製造方法に関する。

[従来の^{従来の}集積技術]

通常の集積回路はウェハ表面に形成される、いわば2次元的な構成である。これに対し、半導体素子が形成された半導体層が多層に積重ねられた集積回路は3次元集積回路と称される。3次元集積回路は多層構造のゆえに、集積度および機能の飛躍的な向上を達成できるという特徴を有している。

3次元集積回路では、一般的に半導体層と絶縁層が交互に積層されて、各半導体層内に能動素子が形成される。このように、絶縁層上に形成された半導体層に素子が形成された集積回路では、素子に付属する余分な電気容量が小さいため、素子の動作が高速であるという利点もある。

次に、絶縁層上に半導体層、特に、シリコン層を形成する技術について説明する。

絶縁層上にシリコン層を形成する技術あるいは絶縁層上にシリコン層が形成された構造を得るための技術はSOI (Silicon On Insulator)

— 6 —

sulator) 技術として知られている。SOI 技術により、絶縁膜上に形成されたシリコン層は SOI 層と称され、絶縁層上にシリコン層が積層された構造は SOI 構造と称される。

SOI 技術として、エピタキシャル成長を利用する方法が知られている。この方法では、レーザービーム、電子ビーム等のエネルギー光を絶縁層上に形成された多結晶または非晶質半導体層に照射し、溶融させた後、固化させる溶融再結晶化法などの液相エピタキシャル成長法、非晶質半導体層を固相で成長させる固相エピタキシャル成長法、グラホエピタキシャル法やブリッジングエピタキシャル法等の気相エピタキシャル成長法などが用いられる。しかしながら、これらの方法では、Si 結晶を絶縁膜上に生成するため、単結晶層上に Si 結晶をエピタキシャル成長させる場合に比べて、広い面積の単結晶層を得ることが困難であるという問題点や、膜厚の制御が困難であるという問題点があった。

また、SOI 構造を得る技術として、SIMO

- 7 -

性を有し、膜厚も均一であり、したがって、3次元集積回路の製造に適している。

次に、このようなウェハ接着法を用いたこの発明の背景となる積層型半導体装置について説明する。

第 24 A 図ないし第 24 K 図はこの発明の背景となる積層型半導体装置の製造方法を説明するための断面図である。

第 24 A 図を参照して、500~600 μm の厚みを有する第 1 のシリコンウェハ 101 a の表面領域には、厚みが 1000~10000 Å の絶縁膜 102 が形成される。一方、シリコンウェハ 101 a と同程度の厚みを有する第 2 のシリコンウェハ 101 b の表面領域には、 $1 \times 10^{20} / \text{cm}^3$ 程度の高濃度でボロンが注入されたボロン注入層 103 a と、約 5000 Å の厚みを有し、かつ低濃度のエピ層 104 a が形成される。エピ層 104 a は単結晶基板 101 b 上に Si 結晶をエピタキシャル成長させて得られたものである。

第 24 B 図を参照して、絶縁膜 102 とエピ層

- 9 -

X (Separation by Implanted Oxygen) が知られている。SIMOX は、半導体層中に酸素などのイオンを高濃度に注入し、埋没絶縁層を形成することにより、互いに分離された半導体層構造を得る方法である。しかしながら、この方法では多層化が困難であるため、この方法を 3 次元集積回路に適用することは困難である。

さらに、SOI 構造を得る技術として、ウェハ接着法が知られている。ウェハ接着法は、表面に絶縁膜を形成した一方のウェハ上に他方の単結晶ウェハあるいは表面に単結晶層を有するウェハを積重ね、600℃~1000℃雰囲気中で熱処理(アニール)することにより、接合面で原子間結合を生じせしめてウェハ同士を接着し、上記他方のウェハを薄膜化し、それによって、絶縁膜上に半導体層を形成する方法である。このようなウェハ接着法により絶縁層上に得られる半導体層は、もともと単結晶シリコン基板上にエピタキシャル成長して形成されたものであるため、良好な結晶

- 8 -

104 a とが対向するようにして、2 枚のウェハ 101 a, 101 b が積重ねられ、約 800℃雰囲気中で熱処理される。この熱処理をアニールという。アニールにより、接合面で原子間結合が生じるため、2 つのウェハ 101 a, 101 b は接着する。次に、一方のウェハ 101 b の厚みが 100 μm となるまでウェハ 101 b の上面は研磨され、次に、フッ酸・硝酸混合液を用いて、ウェハ 101 b の厚みが約 10 μm となるまでウェハ 101 b はエッチングされる。

次に、エチレンジアミンとピロカテコールの水溶液でウェハ 101 b はエッチングされる。この水溶液によるエッチング速度は、ボロン濃度の低い半導体領域では 1 μm/分であるのに対し、上記ボロン濃度の高い領域では 20 Å/分であるため、高濃度ボロン注入層 103 a でエッチングはストップする。したがって、第 24 C 図に示すように、ウェハ 101 b は高濃度ボロン注入層 103 a およびエピ層 104 a を残して除去される。次に、半導体素子形成のために高濃度ボロン注入

- 10 -

層103aはエッチング除去され、次に、露出された表面が酸化され、次に酸化膜がエッチングにより除去される。これにより、約1000Å程度の薄いSOI層104aが得られる。

次に、第24D図を参照して、SOI層104aの素子分離領域となる領域にLOCOS(Lo-cal Oxidation of Silicon)法を用いて、フィールド酸化膜105aが形成される。

次に、第24E図を参照して、SOI層104aの酸化によりゲート絶縁膜107aが形成され、ゲート絶縁膜107a上にポリシリコン層が形成される。このポリシリコン層はゲート電極106aの形状にパターンニングされる。次に、ゲート電極106aをマスクとして不純物がイオン注入され、ソース/ドレイン領域108aが形成される。

次に、第24F図を参照して、全面に層間絶縁膜109aが形成され、この層間絶縁膜109aにコンタクトホール110が形成される。

次に、第24G図を参照して、ソース/ドレイ

- 11 -

第24J図に示すように、ウェハ101cは高濃度ボロン注入層103bおよびエピ層104bを残して除去される。第3のシリコンウェハ101cのエピ層104bが第2のSOI層として用いられる。次に、半導体素子形成のために高濃度ボロン注入層103bはエッチング除去される。

次に、第24K図を参照して、第24D図ないし第24E図において説明したのと同様に、第2のSOI層104bをベースとしてフィールド酸化膜105b、ゲート絶縁膜107b、ゲート電極106b、ソース/ドレイン領域108b、層間絶縁膜109bおよびアルミニウムあるいはアルミニウム合金からなる配線層113が形成される。ゲート電極106b、ゲート絶縁膜107bおよびソース/ドレイン領域108bからトランジスタが構成される。このようにして、半導体基板101a上に絶縁膜102を介して第1の能動層L1が形成され、第1の能動層L1上には絶縁膜112を介して第2の能動層L2が形成される。第1の能動層L1におけるトランジスタと第2の

- 13 -

ン領域108aに電氣的に接続されかつ層間絶縁膜109a上に延在した高融点金属配線層111が形成される。ゲート電極106a、ゲート絶縁膜107aおよびソース/ドレイン領域108aによりトランジスタが構成される。次に、層間絶縁膜109aおよび高融点金属配線層111上に絶縁膜112が形成される。

次に、第24H図を参照して、積層化のために、絶縁膜112は平坦化される。次に、平坦化された絶縁膜112上に上記第2のシリコンウェハ101bと同様、高濃度ボロン注入層103層とエピ層104bとを有する第3のシリコンウェハ101cが積重ねられる。2枚のウェハは約800℃雰囲気中でのアニールにより、第24I図に示すように、絶縁膜112の表面とエピ層104bの表面を接合面として接着する。

次に、ウェハ101cは上述と同様にして、研磨およびフッ酸・硝酸混合液によるエッチングによって薄膜化され、さらに、エチレンジアミンとピロカテコールの水溶液によるエッチングによ

- 12 -

能動層L2におけるトランジスタとは必要に応じてスルーホール114内に設けられた導電体を介して電氣的に接続される。

上述の工程を経て製造される積層型半導体装置10では、第1の能動層の配線層としてアルミニウムではなく高融点金属配線層が用いられている。これは、第24I図に示すように、2つのウェハをアニールにより接着させる際に、配線層が高温にさらされるからである。したがって、第2の能動層上にさらに第3の能動層を形成する場合には、アルミニウム配線層の代わりに、高融点金属配線層が用いられる。

上述の積層型半導体装置は、能動層は一方方向に積層される。したがって、積層される層が多くなると、積層方向が一定方向であることに伴う歪が顕在化し、そのためにしきい値電圧が変動したり、リーク電流が増大するという問題が生じる。

また、能動層は基板の一方表面にだけ積層されるため、基板に近い能動層は、基板から離れた能動層に比べて、加熱の回数が多いため、高い耐熱

- 14 -

性が要求される。

次に、以上述べた工程を経て製造される積層型半導体装置が適用された画像処理システムについて説明する。この画像処理システムは、被写体からの光を受光する受光部と、受光した光信号を画像として表示する表示部とを含む。

この画像処理システムでは、受光部と表示部とを別々に形成するのが一般的である。これは、次の理由による。すなわち、受光素子は外部からの光を受光する必要があるため、また、表示素子は外部から見える必要があるため、両方の素子は外界に面するかその近傍に形成されなければならない。一方、第24K図に示すように、この発明の背景となる積層型半導体装置10では、素子は基板101aの一方のみ形成されるため、基板上に表示素子および受光素子を形成するとすれば、基板に最も近接して表示素子が形成され、かつ基板から最も離れて受光素子が形成されるか、その反対に基板に最も近接して受光素子が形成され、かつ基板から最も離れて表示素子が形成されること

— 15 —

法も考えられる。しかしながら、該能動層と基板の反対側の能動層とを電気的に接続するとすれば、厚い基板に貫通孔を設ける必要がある。基板に多数の貫通孔を形成することは困難であるため、この方法を高い集積度が要求される上記システムに適用することはできない。したがって、基板の一方表面にのみSOI層が積層化された積層型半導体装置を、受光部と表示部とが1つのチップに形成されるような画像処理システムに適用することは非常に困難である。したがって、一般的には、第25図に示すように、受光部20と表示部30とが別々に作成され、リード線15により電気的に接続される。

第25図において、受光部20は基板201と基板201上に形成され、SOI層を形成するための絶縁膜202と、絶縁膜202上に形成され、受光部20で受光された光に基づく電気信号を処理する処理回路および当該電気信号と比較すべきデータを蓄積するメモリ回路などを含む3次元集積回路215と、マトリクス上にフォトダイオー

— 17 —

になる。しかしながら、能動層は基板の一方表面に積層されるため、基板により近接して形成された素子は、基板からより離れて形成された素子に比べて加熱の回数が多くなるため、熱抵抗性の劣る材料を基板に近接した層に用いることはできない。

たとえば、アモルファス材料からなるセンサを基板に近接した層に形成すると、長時間の熱処理により、アモルファスが結晶化するため、センサとして作用しなくなる。また、たとえばP-N接合からなるセンサを基板に近接した層に形成すると、長時間の熱処理により、P-N接合の接合位置が移動したり、接合部が半導体層中に埋込まれてしまうため、センサにおける光の吸収効率が低下する。また、たとえば、液晶表示素子を基板に近接した素子に形成すると、熱により特性が劣化する。

上述の問題点を避けるため、たとえば表示素子を含む能動層が積層された基板の反対表面にさらにたとえばセンサ素子を含む能動層を形成する方

— 16 —

ドが配置された光電センサ216と、出力パッドを有する出力回路217とを含む。3次元集積回路215において、能動層L1, L2, …, Lnには、層単位あるいは複数層単位に独立した機能を有する回路が形成され、各層間の信号の転送はスルーホールを介して行なわれる。表示部30は基板301と、液晶ディスプレイを駆動するための電極を含む回路318と、入力パッドを有する入力回路317と、液晶319と、液晶を封入するための樹脂部材320と、表示部30のウィンドウ321とを含む。

第25図に示す画像処理システムでは、受光部20の光電センサ216により矢印A方向から来る被写体からの光が受光され、電気信号に変換される。この電気信号は3次元集積回路215で電気的に処理され、たとえば輪郭の抽出や強調、パターン認識などが行なわれる。この電気信号はシフトレジスタ等の出力回路の出力パッド217からリード線15を介して、表示部30の入力パッド317に転送される。表示部30では、転送さ

— 18 —

Explore Litigation Insights

Docket Alarm provides insights to develop a more informed litigation strategy and the peace of mind of knowing you're on top of things.

Real-Time Litigation Alerts



Keep your litigation team up-to-date with **real-time alerts** and advanced team management tools built for the enterprise, all while greatly reducing PACER spend.

Our comprehensive service means we can handle Federal, State, and Administrative courts across the country.

Advanced Docket Research



With over 230 million records, Docket Alarm's cloud-native docket research platform finds what other services can't. Coverage includes Federal, State, plus PTAB, TTAB, ITC and NLRB decisions, all in one place.

Identify arguments that have been successful in the past with full text, pinpoint searching. Link to case law cited within any court document via Fastcase.

Analytics At Your Fingertips



Learn what happened the last time a particular judge, opposing counsel or company faced cases similar to yours.

Advanced out-of-the-box PTAB and TTAB analytics are always at your fingertips.

API

Docket Alarm offers a powerful API (application programming interface) to developers that want to integrate case filings into their apps.

LAW FIRMS

Build custom dashboards for your attorneys and clients with live data direct from the court.

Automate many repetitive legal tasks like conflict checks, document management, and marketing.

FINANCIAL INSTITUTIONS

Litigation and bankruptcy checks for companies and debtors.

E-DISCOVERY AND LEGAL VENDORS

Sync your system to PACER to automate legal marketing.