



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	ISSUE DATE	PATENT NO.	ATTORNEY DOCKET NO.	CONFIRMATION NO.
-----------------	------------	------------	---------------------	------------------

12/942,763	08/28/2012	8252675	5649-2985	2294
------------	------------	---------	-----------	------

20792 7590 08/08/2012
MYERS BIGEL SIBLEY & SAJOVEC
PO BOX 37428
RALEIGH, NC 27627

ISSUE NOTIFICATION

The projected patent number and issue date are specified above.

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b) (application filed on or after May 29, 2000)

The Patent Term Adjustment is 0 day(s). Any patent to issue from the above-identified application will include an indication of the adjustment on the front page.

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (<http://pair.uspto.gov>).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Application Assistance Unit (AAU) of the Office of Data Management (ODM) at (571)-272-4200.

APPLICANT(s) (Please see PAIR WEB site <http://pair.uspto.gov> for additional applicants):

Jongwon Lee, Hwaseong-si, KOREA, REPUBLIC OF;
Boun Yoon, Seoul, KOREA, REPUBLIC OF;
Sang Yeob Han, Anyang-si, KOREA, REPUBLIC OF;
Chae Lyoung Kim, Hwaseong-si, KOREA, REPUBLIC OF;

The United States represents the largest, most dynamic marketplace in the world and is an unparalleled location for business investment, innovation, and commercialization of new technologies. The USA offers tremendous resources and advantages for those who invest and manufacture goods here. Through SelectUSA, our nation works to encourage and facilitate business investment. To learn more about why the USA is the best country in the world to develop technology, manufacture products, and grow your business, visit SelectUSA.gov.

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), to: **Mail** **Mail Stop ISSUE FEE**
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450
 or **Fax** **(571)-273-2885**

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

20792 7590 06/22/2012
MYERS BIGEL SIBLEY & SAJOVEC
PO BOX 37428
RALEIGH, NC 27627

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (571) 273-2885, on the date indicated below.

_____ (Depositor's name)
_____ (Signature)
_____ (Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
12/942,763	11/09/2010	Jongwon Lee	5649-2985	2294

TITLE OF INVENTION: METHODS OF FORMING CMOS TRANSISTORS WITH HIGH CONDUCTIVITY GATE ELECTRODES

APPLN. TYPE	SMALL ENTITY	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	NO	\$1740	\$300	\$0	\$2040	09/24/2012

EXAMINER	ART UNIT	CLASS-SUBCLASS
BROWN, VALERIE N	2897	438-592000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).
 Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.
 "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list
 (1) the names of up to 3 registered patent attorneys or agents OR, alternatively, **1 MYERS BIGEL SIBLEY**
 (2) the name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed. **2 & SAJOVEC, P.A.**
3 _____

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)
 PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.
 (A) NAME OF ASSIGNEE **Samsung Electronics Co., Ltd.** (B) RESIDENCE: (CITY and STATE OR COUNTRY) **Republic of Korea**

Please check the appropriate assignee category or categories (will not be printed on the patent): Individual Corporation or other private group entity Government

4a. The following fee(s) are submitted:
 Issue Fee
 Publication Fee (No small entity discount permitted)
 Advance Order - # of Copies _____

4b. Payment of Fee(s): (Please first reapply any previously paid issue fee shown above)
 A check is enclosed.
 Payment by credit card. Form PTO-2038 is attached.
 The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment, to Deposit Account Number **50-0220** (enclose an extra copy of this form).

5. Change in Entity Status (from status indicated above)
 a. Applicant claims SMALL ENTITY status, See 37 CFR 1.27. b. Applicant is no longer claiming SMALL ENTITY status. See 37 CFR 1.27(g)(2).

NOTE: The Issue Fee and Publication Fee (if required) will not be accepted from anyone other than the applicant; a registered attorney or agent; or the assignee or other party in interest as shown by the records of the United States Patent and Trademark Office.

Authorized Signature _____
 Typed or printed name **Grant J. Scott**

Date **July 24, 2012**
 Registration No. **36,925**

This collection of information is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

Electronic Patent Application Fee Transmittal

Application Number:	12942763			
Filing Date:	09-Nov-2010			
Title of Invention:	METHODS OF FORMING CMOS TRANSISTORS WITH HIGH CONDUCTIVITY GATE ELECTRODES			
First Named Inventor/Applicant Name:	Jongwon Lee			
Filer:	Grant J. Scott/Gwen Bailey			
Attorney Docket Number:	5649-2985			
Filed as Large Entity				
Utility under 35 USC 111(a) Filing Fees				
Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
Utility Appl issue fee	1501	1	1740	1740
Publ. Fee- early, voluntary, or normal	1504	1	300	300

Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Extension-of-Time:				
Miscellaneous:				
Total in USD (\$)				2040

Electronic Acknowledgement Receipt

EFS ID:	13321396
Application Number:	12942763
International Application Number:	
Confirmation Number:	2294
Title of Invention:	METHODS OF FORMING CMOS TRANSISTORS WITH HIGH CONDUCTIVITY GATE ELECTRODES
First Named Inventor/Applicant Name:	Jongwon Lee
Customer Number:	20792
Filer:	Grant J. Scott/Gwen Bailey
Filer Authorized By:	Grant J. Scott
Attorney Docket Number:	5649-2985
Receipt Date:	24-JUL-2012
Filing Date:	09-NOV-2010
Time Stamp:	10:32:18
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Deposit Account
Payment was successfully received in RAM	\$2040
RAM confirmation Number	10996
Deposit Account	500220
Authorized User	

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
-----------------	----------------------	-----------	----------------------------------	------------------	------------------

1	Issue Fee Payment (PTO-85B)	5649-2985_FeesTransmittal.pdf	155658 671d15ac886a87f243b9f9e57c702bc513c0db1	no	1
Warnings:					
Information:					
2	Fee Worksheet (SB06)	fee-info.pdf	32380 9e9ecd7c186117b4ba873376afe36c76460eedde	no	2
Warnings:					
Information:					
Total Files Size (in bytes):				188038	
<p>This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.</p> <p><u>New Applications Under 35 U.S.C. 111</u> If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.</p> <p><u>National Stage of an International Application under 35 U.S.C. 371</u> If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.</p> <p><u>New International Application Filed with the USPTO as a Receiving Office</u> If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.</p>					



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

NOTICE OF ALLOWANCE AND FEE(S) DUE

20792 7590 06/22/2012
MYERS BIGEL SIBLEY & SAJOVEC
PO BOX 37428
RALEIGH, NC 27627

EXAMINER

BROWN, VALERIE N

ART UNIT PAPER NUMBER

2897

DATE MAILED: 06/22/2012

Table with 5 columns: APPLICATION NO., FILING DATE, FIRST NAMED INVENTOR, ATTORNEY DOCKET NO., CONFIRMATION NO.

12/942,763 11/09/2010 Jongwon Lee 5649-2985 2294

TITLE OF INVENTION: METHODS OF FORMING CMOS TRANSISTORS WITH HIGH CONDUCTIVITY GATE ELECTRODES

Table with 7 columns: APPLN. TYPE, SMALL ENTITY, ISSUE FEE DUE, PUBLICATION FEE DUE, PREV. PAID ISSUE FEE, TOTAL FEE(S) DUE, DATE DUE

nonprovisional NO \$1740 \$300 \$0 \$2040 09/24/2012

THE APPLICATION IDENTIFIED ABOVE HAS BEEN EXAMINED AND IS ALLOWED FOR ISSUANCE AS A PATENT. PROSECUTION ON THE MERITS IS CLOSED. THIS NOTICE OF ALLOWANCE IS NOT A GRANT OF PATENT RIGHTS. THIS APPLICATION IS SUBJECT TO WITHDRAWAL FROM ISSUE AT THE INITIATIVE OF THE OFFICE OR UPON PETITION BY THE APPLICANT. SEE 37 CFR 1.313 AND MPEP 1308.

THE ISSUE FEE AND PUBLICATION FEE (IF REQUIRED) MUST BE PAID WITHIN THREE MONTHS FROM THE MAILING DATE OF THIS NOTICE OR THIS APPLICATION SHALL BE REGARDED AS ABANDONED. THIS STATUTORY PERIOD CANNOT BE EXTENDED. SEE 35 U.S.C. 151. THE ISSUE FEE DUE INDICATED ABOVE DOES NOT REFLECT A CREDIT FOR ANY PREVIOUSLY PAID ISSUE FEE IN THIS APPLICATION. IF AN ISSUE FEE HAS PREVIOUSLY BEEN PAID IN THIS APPLICATION (AS SHOWN ABOVE), THE RETURN OF PART B OF THIS FORM WILL BE CONSIDERED A REQUEST TO REAPPLY THE PREVIOUSLY PAID ISSUE FEE TOWARD THE ISSUE FEE NOW DUE.

HOW TO REPLY TO THIS NOTICE:

I. Review the SMALL ENTITY status shown above.

If the SMALL ENTITY is shown as YES, verify your current SMALL ENTITY status:

- A. If the status is the same, pay the TOTAL FEE(S) DUE shown above.
B. If the status above is to be removed, check box 5b on Part B - Fee(s) Transmittal and pay the PUBLICATION FEE (if required) and twice the amount of the ISSUE FEE shown above, or

If the SMALL ENTITY is shown as NO:

- A. Pay TOTAL FEE(S) DUE shown above, or
B. If applicant claimed SMALL ENTITY status before, or is now claiming SMALL ENTITY status, check box 5a on Part B - Fee(s) Transmittal and pay the PUBLICATION FEE (if required) and 1/2 the ISSUE FEE shown above.

II. PART B - FEE(S) TRANSMITTAL, or its equivalent, must be completed and returned to the United States Patent and Trademark Office (USPTO) with your ISSUE FEE and PUBLICATION FEE (if required). If you are charging the fee(s) to your deposit account, section "4b" of Part B - Fee(s) Transmittal should be completed and an extra copy of the form should be submitted. If an equivalent of Part B is filed, a request to reapply a previously paid issue fee must be clearly made, and delays in processing may occur due to the difficulty in recognizing the paper as an equivalent of Part B.

III. All communications regarding this application must give the application number. Please direct all communications prior to issuance to Mail Stop ISSUE FEE unless advised to the contrary.

IMPORTANT REMINDER: Utility patents issuing on applications filed on or after Dec. 12, 1980 may require payment of maintenance fees. It is patentee's responsibility to ensure timely payment of maintenance fees when due.

PART B - FEE(S) TRANSMITTAL

**Complete and send this form, together with applicable fee(s), to: Mail Mail Stop ISSUE FEE
 Commissioner for Patents
 P.O. Box 1450
 Alexandria, Virginia 22313-1450
 or Fax (571)-273-2885**

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

20792 7590 06/22/2012
MYERS BIGEL SIBLEY & SAJOVEC
 PO BOX 37428
 RALEIGH, NC 27627

Certificate of Mailing or Transmission
 I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (571) 273-2885, on the date indicated below.

_____ (Depositor's name)
_____ (Signature)
_____ (Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
-----------------	-------------	----------------------	---------------------	------------------

12/942,763 11/09/2010 Jongwon Lee 5649-2985 2294

TITLE OF INVENTION: METHODS OF FORMING CMOS TRANSISTORS WITH HIGH CONDUCTIVITY GATE ELECTRODES

APPLN. TYPE	SMALL ENTITY	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
-------------	--------------	---------------	---------------------	----------------------	------------------	----------

nonprovisional NO \$1740 \$300 \$0 \$2040 09/24/2012

EXAMINER	ART UNIT	CLASS-SUBCLASS
----------	----------	----------------

BROWN, VALERIE N 2897 438-592000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363). <input type="checkbox"/> Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached. <input type="checkbox"/> "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. Use of a Customer Number is required.	2. For printing on the patent front page, list (1) the names of up to 3 registered patent attorneys or agents OR, alternatively, _____ 1 (2) the name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed. _____ 2 _____ 3
--	--

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE _____ (B) RESIDENCE: (CITY and STATE OR COUNTRY) _____

Please check the appropriate assignee category or categories (will not be printed on the patent): Individual Corporation or other private group entity Government

4a. The following fee(s) are submitted: <input type="checkbox"/> Issue Fee <input type="checkbox"/> Publication Fee (No small entity discount permitted) <input type="checkbox"/> Advance Order - # of Copies _____	4b. Payment of Fee(s): (Please first reapply any previously paid issue fee shown above) <input type="checkbox"/> A check is enclosed. <input type="checkbox"/> Payment by credit card. Form PTO-2038 is attached. <input type="checkbox"/> The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment, to Deposit Account Number _____ (enclose an extra copy of this form).
--	---

5. Change in Entity Status (from status indicated above)
 a. Applicant claims SMALL ENTITY status. See 37 CFR 1.27. b. Applicant is no longer claiming SMALL ENTITY status. See 37 CFR 1.27(g)(2).

NOTE: The Issue Fee and Publication Fee (if required) will not be accepted from anyone other than the applicant; a registered attorney or agent; or the assignee or other party in interest as shown by the records of the United States Patent and Trademark Office.

Authorized Signature _____ Date _____
 Typed or printed name _____ Registration No. _____

This collection of information is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

Table with 5 columns: APPLICATION NO., FILING DATE, FIRST NAMED INVENTOR, ATTORNEY DOCKET NO., CONFIRMATION NO.
Values: 12/942,763, 11/09/2010, Jongwon Lee, 5649-2985, 2294

20792 7590 06/22/2012
MYERS BIGEL SIBLEY & SAJOVEC
PO BOX 37428
RALEIGH, NC 27627

EXAMINER

BROWN, VALERIE N

ART UNIT PAPER NUMBER

2897

DATE MAILED: 06/22/2012

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(application filed on or after May 29, 2000)

The Patent Term Adjustment to date is 0 day(s). If the issue fee is paid on the date that is three months after the mailing date of this notice and the patent issues on the Tuesday before the date that is 28 weeks (six and a half months) after the mailing date of this notice, the Patent Term Adjustment will be 0 day(s).

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (http://pair.uspto.gov).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Customer Service Center of the Office of Patent Publication at 1-(888)-786-0101 or (571)-272-4200.

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether disclosure of these records is required by the Freedom of Information Act.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspection or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

Notice of Allowability	Application No.	Applicant(s)	
	12/942,763	LEE ET AL.	
	Examiner	Art Unit	
	VALERIE N. BROWN	2897	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--

All claims being allowable, PROSECUTION ON THE MERITS IS (OR REMAINS) CLOSED in this application. If not included herewith (or previously mailed), a Notice of Allowance (PTOL-85) or other appropriate communication will be mailed in due course. **THIS NOTICE OF ALLOWABILITY IS NOT A GRANT OF PATENT RIGHTS.** This application is subject to withdrawal from issue at the initiative of the Office or upon petition by the applicant. See 37 CFR 1.313 and MPEP 1308.

1. This communication is responsive to 02/28/12.
2. An election was made by the applicant in response to a restriction requirement set forth during the interview on ____; the restriction requirement and election have been incorporated into this action.
3. The allowed claim(s) is/are 1-5 and 21-30.
4. Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).
 - a) All b) Some* c) None of the:
 1. Certified copies of the priority documents have been received.
 2. Certified copies of the priority documents have been received in Application No. ____.
 3. Copies of the certified copies of the priority documents have been received in this national stage application from the International Bureau (PCT Rule 17.2(a)).

* Certified copies not received: ____.

Applicant has THREE MONTHS FROM THE "MAILING DATE" of this communication to file a reply complying with the requirements noted below. Failure to timely comply will result in ABANDONMENT of this application.
THIS THREE-MONTH PERIOD IS NOT EXTENDABLE.

5. A SUBSTITUTE OATH OR DECLARATION must be submitted. Note the attached EXAMINER'S AMENDMENT or NOTICE OF INFORMAL PATENT APPLICATION (PTO-152) which gives reason(s) why the oath or declaration is deficient.
6. CORRECTED DRAWINGS (as "replacement sheets") must be submitted.
 - (a) including changes required by the Notice of Draftsperson's Patent Drawing Review (PTO-948) attached
 - 1) hereto or 2) to Paper No./Mail Date ____.
 - (b) including changes required by the attached Examiner's Amendment / Comment or in the Office action of Paper No./Mail Date ____.

Identifying indicia such as the application number (see 37 CFR 1.84(c)) should be written on the drawings in the front (not the back) of each sheet. Replacement sheet(s) should be labeled as such in the header according to 37 CFR 1.121(d).
7. DEPOSIT OF and/or INFORMATION about the deposit of BIOLOGICAL MATERIAL must be submitted. Note the attached Examiner's comment regarding REQUIREMENT FOR THE DEPOSIT OF BIOLOGICAL MATERIAL.

Attachment(s)

- | | |
|--|--|
| <ol style="list-style-type: none"> 1. <input type="checkbox"/> Notice of References Cited (PTO-892) 2. <input type="checkbox"/> Notice of Draftsperson's Patent Drawing Review (PTO-948) 3. <input type="checkbox"/> Information Disclosure Statements (PTO/SB/08),
Paper No./Mail Date ____ 4. <input type="checkbox"/> Examiner's Comment Regarding Requirement for Deposit of Biological Material | <ol style="list-style-type: none"> 5. <input type="checkbox"/> Notice of Informal Patent Application 6. <input type="checkbox"/> Interview Summary (PTO-413),
Paper No./Mail Date ____. 7. <input type="checkbox"/> Examiner's Amendment/Comment 8. <input checked="" type="checkbox"/> Examiner's Statement of Reasons for Allowance 9. <input type="checkbox"/> Other ____. |
|--|--|

--	--

REASONS FOR ALLOWANCE

1. The following is an examiner's statement of reasons for allowance: Claim 1 recites forming a metal buffer gate electrode layer on the gate insulating layer; forming a dummy gate electrode on the buffer gate electrode layer, said dummy gate electrode layer and said buffer gate electrode layer comprising different materials gate insulating layer; patterning the dummy gate electrode layer and the buffer gate electrode layer in sequence to define a buffer gate electrode on the gate insulating layer and a dummy gate electrode on the buffer gate electrode and filling a space between the inner sidewalls of the spacers by depositing a second metal layer onto a portion of the first metal layer extending between the inner sidewalls of the spacers to thereby define a metal gate electrode comprising a composite of the second metal layers layer, a portion of the first metal layer having a U-shaped cross-section and the buffer gate electrode. These limitations in combination with the other limitations as set forth in the claims are neither taught nor suggested in the prior art. Claims 2-5 depend from claim 1 and are allowable for at least that reason.

2. Claim 21 recites the limitations forming a first metal gate electrode layer on the gate insulating layer; forming a dummy gate electrode layer on the first metal gate electrode layer, said dummy gate electrode layer and said first metal gate electrode layer comprising different materials; patterning the dummy gate electrode layer and the first metal gate electrode layer in sequence to define a dummy gate electrode on the patterned first metal gate electrode layer and planarizing the third metal gate electrode layer and the second metal gate electrode layer to thereby define a composite metal gate electrode of a PMOS transistor between the inner

Art Unit: 2897

sidewalls of the spacers, said composite metal gate electrode comprising a portion of the third metal gate electrode layer, a portion of the second metal gate electrode layer having a U-shaped cross-section and the patterned first metal gate electrode layer. These limitations in combination with the other limitations as set forth in the claims are neither taught nor suggested in the prior art. Claims 22-30 depend from claim 21 and are allowable for at least that reason.

Any comments considered necessary by applicant must be submitted no later than the payment of the issue fee and, to avoid processing delays, should preferably accompany the issue fee. Such submissions should be clearly labeled "Comments on Statement of Reasons for Allowance."


Any inquiry concerning this communication or earlier communications from the examiner should be directed to VALERIE N. BROWN whose telephone number is (571)270-5015. The examiner can normally be reached on Mon-Fri 8:00am-5:00pm EST.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Fernando Toledo can be reached on 571 272-1867. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see <http://pair-direct.uspto.gov>. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/Fernando L. Toledo/
Supervisory Patent Examiner, Art Unit
2897

/VALERIE N BROWN/
Examiner, Art Unit 2897
06/12/12


Search Notes 	Application/Control No. 12942763	Applicant(s)/Patent Under Reexamination LEE ET AL.
	Examiner VALERIE BROWN	Art Unit 2829

SEARCHED			
Class	Subclass	Date	Examiner
438	296	4/5/2011	VNB
		4/5/2011	

SEARCH NOTES		
Search Notes	Date	Examiner
Did an EAST class subclass search	4/5/2011	VNB
Did an EAST text search notes attached	4/5/2011	VNB

INTERFERENCE SEARCH			
Class	Subclass	Date	Examiner
438	592	6/7/2012	VNB


/VALERIE N BROWN/ Examiner, Art Unit 2829	
--	--

Index of Claims 	Application/Control No. 12942763	Applicant(s)/Patent Under Reexamination LEE ET AL.
	Examiner VALERIE N BROWN	Art Unit 2829

✓	Rejected	-	Cancelled	N	Non-Elected	A	Appeal
=	Allowed	÷	Restricted	I	Interference	O	Objected

Claims renumbered in the same order as presented by applicant
 CPA
 T.D.
 R.1.47

CLAIM		DATE							
Final	Original	05/08/2011	09/22/2011	01/13/2012	06/12/2012				
	1	✓	=	✓	=				
	2	✓	=	✓	=				
	3	✓	=	✓	=				
	4	✓	=	✓	=				
	5	✓	=	✓	=				
	6	✓	=	✓	-				
	7	✓	=	✓	-				
	8	✓	=	✓	-				
	9	✓	=	✓	-				
	10	✓	=	✓	-				
	11	✓	=	✓	-				
	12	✓	=	✓	-				
	13	✓	=	✓	-				
	14	✓	=	✓	-				
	15	✓	=	✓	-				
	16	✓	=	✓	-				
	17	✓	=	✓	-				
	18	✓	=	✓	-				
	19		=	✓	-				
	20		=	✓	-				
	21				=				
	22				=				
	23				=				
	24				=				
	25				=				
	26				=				
	27				=				
	28				=				
	29				=				
	30				=				

Issue Classification 	Application/Control No. 12942763	Applicant(s)/Patent Under Reexamination LEE ET AL.
	Examiner VALERIE N BROWN	Art Unit 2829

ORIGINAL						INTERNATIONAL CLASSIFICATION												
CLASS		SUBCLASS				CLAIMED					NON-CLAIMED							
438		592				H	0	1	L	21 / 336 (2006.01.01)								
CROSS REFERENCE(S)						H	0	1	L	21 / 44 (2006.01.01)								
						H	0	1	L	21 / 88 ()								
						H	0	1	L	21 / 4763 (2006.01.01)								
CLASS	SUBCLASS (ONE SUBCLASS PER BLOCK)																	
438	299	637	926	183														
257	E21.177	E21.621	E21.626	E21.64														

<input checked="" type="checkbox"/> Claims renumbered in the same order as presented by applicant <input type="checkbox"/> CPA <input type="checkbox"/> T.D. <input type="checkbox"/> R.1.47															
Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original
1	1		17												
2	2		18												
3	3		19												
4	4		20												
5	5	6	21												
	6	7	22												
	7	8	23												
	8	9	24												
	9	10	25												
	10	11	26												
	11	12	27												
	12	13	28												
	13	14	29												
	14	15	30												
	15														
	16														

/VALERIE N BROWN/ Examiner.Art Unit 2897 (Assistant Examiner)	06/12/2012 (Date)	Total Claims Allowed: 15	
/FERNANDO L TOLEDO/ Supervisory Patent Examiner.Art Unit 2897 (Primary Examiner)	06/18/2012 (Date)	O.G. Print Claim(s) 1	O.G. Print Figure 14

Attorney Docket No. 5649-2985

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: LEE et al.
Serial No.: 12/942,763
Filed: November 9, 2010

Confirmation No.: 2294
Group No.: 2829
Examiner: Brown, Valerie N

For: **METHODS OF FORMING CMOS TRANSISTORS WITH HIGH
CONDUCTIVITY GATE ELECTRODES**

Date: February 28, 2012

Mail Stop Amendment
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

AMENDMENT

Dear Sirs:

This paper is responsive to the Office Action mailed January 19, 2012 regarding the above-referenced patent application. Please amend this application as follows and reconsider the rejections of the claims for at least the reasons presented in the following remarks.

Please charge any fee for an extension of time and/or additional fee(s)-including fees for net addition of claims under 37 C.F.R. §1.136(a) and any additional fees believed to be due in connection with this paper to our Deposit Account No. 50-0220.

Listing of Claims:

1. (Currently amended) A method of forming an insulated-gate transistor, comprising:

- forming a gate insulating layer on a substrate;
- forming a metal buffer gate electrode layer on the gate insulating layer;
- forming a dummy gate electrode layer on the buffer gate electrode layer, said dummy gate electrode layer and said buffer gate electrode layer comprising different materials gate-insulating-layer;
- patterning the dummy gate electrode layer and the buffer gate electrode layer in sequence to define a buffer gate electrode on the gate insulating layer and a dummy gate electrode on the buffer gate electrode;
- forming electrically insulating spacers on sidewalls of the dummy gate electrode and on sidewalls of the buffer gate electrode;
- covering the spacers and the dummy gate electrode with an electrically insulating mold layer;
- removing an upper portion of the mold layer to expose an upper surface of the dummy gate electrode;
- removing the dummy gate electrode from between the spacers by selectively etching back the dummy gate electrode using the mold layer and the spacers as an etching mask;
- depositing a first metal layer onto an upper surface of the mold layer and onto inner sidewalls of the spacers and onto an upper surface of the buffer gate electrode;
- ~~filling a space between the inner sidewalls of the spacers with a dummy filler layer that contacts the first metal layer;~~
- ~~removing an upper portion of the first metal layer from between the inner sidewalls of the spacers and the dummy filler layer;~~
- ~~removing the dummy filler layer from between the inner sidewalls of the spacers to expose the first metal layer; and~~

filling a space between the inner sidewalls of the spacers by depositing a second metal layer onto a portion of the first metal layer extending between the inner sidewalls of the spacers to thereby define a metal gate electrode comprising a composite of the first and second metal layers layer, a portion of the first metal layer having a U-shaped cross-section and the buffer gate electrode.

2. (Currently amended) The method of Claim 1, wherein the second metal layer comprises aluminum, the first metal layer comprises titanium nitride and the buffer gate electrode comprises titanium nitride ~~said filling a space is followed by a step of planarizing the dummy filler layer to expose a portion of the first metal layer on the upper surface of the mold layer.~~

3. (Currently amended) The method of Claim 1, wherein the insulated-gate transistor is a PMOS transistor; and wherein the gate insulating layer comprises hafnium oxide ~~the dummy gate electrode and the dummy filler layer comprise the same materials.~~

4. (Currently amended) The method of Claim 1, wherein the dummy gate electrode ~~and the dummy filler layer~~ comprises polysilicon.

5. (Currently amended) The method of Claim 1, wherein the said forming a dummy gate electrode on the gate insulating layer is preceded by forming a buffer gate electrode comprises ~~comprising~~ titanium nitride or tantalum nitride on the gate insulating layer.

6.-20. (Canceled).

21. (New) A method of forming an integrated circuit device, comprising:
forming a gate insulating layer on a substrate;
forming a first metal gate electrode layer on the gate insulating layer;
forming a dummy gate electrode layer on the first metal gate electrode layer, said dummy gate electrode layer and said first metal gate electrode layer comprising different materials;

 patterning the dummy gate electrode layer and the first metal gate electrode layer in sequence to define a dummy gate electrode on the patterned first metal gate electrode layer;

 forming electrically insulating spacers on sidewalls of the dummy gate electrode and on sidewalls of the patterned first metal gate electrode layer;

 removing the dummy gate electrode from between the spacers by selectively etching back the dummy gate electrode using the spacers as an etching mask;

 depositing a second metal gate electrode layer onto inner sidewalls of the spacers and onto an upper surface of the patterned first metal gate electrode layer;

 depositing a third metal gate electrode layer onto the second metal gate electrode layer to thereby fill a space between the inner sidewalls of the spacers, said second and third metal gate electrode layers comprising different materials;

 planarizing the third metal gate electrode layer and the second metal gate electrode layer to thereby define a composite metal gate electrode of a PMOS transistor between the inner sidewalls of the spacers, said composite metal gate electrode comprising a portion of the third metal gate electrode layer, a portion of the second metal gate electrode layer having a U-shaped cross-section and the patterned first metal gate electrode layer.

22. (New) The method of Claim 21, wherein said planarizing comprises planarizing the third metal gate electrode layer and the second metal gate electrode layer in sequence to reveal the portion of the second metal gate electrode layer having a U-shaped cross-section.

23. (New) The method of Claim 21, wherein said removing the dummy gate electrode is preceded by:

covering the spacers and the dummy gate electrode with an electrically insulating mold layer; and

removing an upper portion of the mold layer to expose an upper surface of the dummy gate electrode.

24. (New) The method of Claim 23, wherein said depositing the third metal gate electrode layer is preceded by:

filling a space between the inner sidewalls of the spacers with a dummy filler layer that contacts the second metal gate electrode layer;

removing an upper portion of the second metal gate electrode layer from between the inner sidewalls of the spacers and the dummy filler layer to define a second metal gate electrode layer having a U-shaped cross-section; and

removing the dummy filler layer to expose the second metal gate electrode layer.

25. (New) The method of Claim 21, wherein said patterning the dummy gate electrode layer and the first metal gate electrode layer comprises patterning the dummy gate electrode layer and the first metal gate electrode layer in sequence to define a second dummy gate electrode on the patterned first metal gate electrode layer; and wherein said forming electrically insulating spacers on sidewalls of the dummy gate electrode is followed by replacing the second dummy gate electrode with an upper metal gate electrode of an NMOS transistor.

26. (New) The method of Claim 25, wherein the gate insulating layer comprises a dielectric material selected from a group consisting of hafnium oxide and tantalum oxide; and wherein a gate electrode of the NMOS transistor comprises the upper metal gate electrode and a portion of the patterned first metal gate electrode layer.

In re: LEE et al.
Serial No.: 12/942,763
Filed: November 9, 2010
Page 6

27. (New) The method of Claim 26, wherein the portion of third metal gate electrode layer of the PMOS transistor and the upper metal gate electrode of the NMOS transistor comprise different metals.

28. (New) The method of Claim 27, wherein the portion of third metal gate electrode layer of the PMOS transistor comprises titanium nitride and the upper metal gate electrode of the NMOS transistor comprises aluminum.

29. (New) The method of Claim 27, wherein the gate electrode of the NMOS transistor comprises a composite of aluminum and titanium nitride.

30. (New) The method of Claim 21, wherein the gate insulating layer comprises a dielectric material selected from a group consisting of hafnium oxide and tantalum oxide.

REMARKS

Applicants appreciate the examination of the application that is evidenced by the Official Action of January 19, 2012. In response to the Official Action, Applicants have amended Claims 1-5 to highlight aspects of the invention that are nowhere disclosed or suggested by the cited prior art, including U.S. 8,039,381 to Yeh et al. and U.S. 7,871,915 to Lim et al. In addition, new Claims 21-30 have been added to replace original Claims 6-20, which have now been canceled. Applicants respectfully submit that all pending claims are now in condition for allowance because, among other things, none of the cited prior art, even when combined, discloses or suggests the recited method steps associated with forming composite gate electrodes of PMOS/NMOS transistors within a CMOS integrated circuit.

For example, Claim 1 highlights the formation of a metal buffer gate electrode layer on a gate insulating layer, as highlighted by FIG. 2 of the present application. This metal buffer gate electrode layer, which is shown as a planar metal layer 20, is patterned as a buffer gate electrode 20 during a process of patterning a dummy gate electrode layer 22, as shown by FIG. 3. As illustrated by the right side of FIGS. 4-17, and highlighted by Claims 1 and 21, a gate electrode 46 of a PMOS transistor can be formed as a composite of three independently patterned metal layers (20, 36 and 42), which may include a vertical stack of TiN, TiN and Aluminum metals, for example.

In stark contrast, FIG. 15 of Yeh et al. only shows a method of forming a gate electrode as a composite of two metal layers (730 and 740), with no underlying planar buffer gate electrode (e.g., non U-shaped). Similarly, Lim et al. provides absolutely no disclosure or suggestion of any planar metal buffer gate electrode (see, e.g., Claim 1) or any patterning of a first metal gate electrode layer in advance of forming electrically insulating spacers and in advance of removing a dummy gate electrode (see, e.g., Claim 21). Instead, Lim et al. merely illustrates conformal deposition of multiple metal layers in sequence into pre-formed recesses in order to define composite metal gate electrodes. But, this method of Lim et al. is prone to void formation when used to fabricate relatively narrow gate electrodes associated with highly integrated transistors.

In re: LEE et al.
Serial No.: 12/942,763
Filed: November 9, 2010
Page 8

This void formation may result from a premature closure of the recess during each conformal metal deposition step.

Applicants further submit that neither Yeh et al. nor Lim et al. disclose the formation of CMOS (e.g., NMOS and PMOS) transistors having different gate electrode cross-sections or NMOS and PMOS transistors having planar buffer gate electrodes, which are patterned directly on gate insulating layers, such as a relatively high-k insulating layers (e.g., hafnium oxide, tantalum oxide). Applicants submit, therefore, that none of the cited prior art discloses or suggests the subject matter of the pending claims.

For at least these reasons, Applicants respectfully submit that all pending claims are now in condition for allowance. Applicants further request the Examiner to contact the undersigned in the event any issues remain which may prevent the issuance of the present application.

Respectfully submitted,

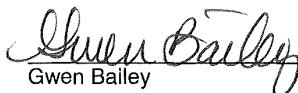


Grant J. Scott
Registration No. 36,925

USPTO Customer No. 20792
Myers Bigel Sibley & Sajovec
Post Office Box 37428
Raleigh, North Carolina 27627
Telephone: 919/854-1400
Facsimile: 919/854-1401

CERTIFICATION OF TRANSMISSION

I hereby certify that this correspondence is being transmitted via the Office electronic filing system in accordance with § 1.6(a)(4) to the U.S. Patent and Trademark Office on Tuesday, February 28, 2012.



Gwen Bailey

#1126912

Electronic Acknowledgement Receipt

EFS ID:	12175147
Application Number:	12942763
International Application Number:	
Confirmation Number:	2294
Title of Invention:	METHODS OF FORMING CMOS TRANSISTORS WITH HIGH CONDUCTIVITY GATE ELECTRODES
First Named Inventor/Applicant Name:	Jongwon Lee
Customer Number:	20792
Filer:	Grant J. Scott/Gwen Bailey
Filer Authorized By:	Grant J. Scott
Attorney Docket Number:	5649-2985
Receipt Date:	28-FEB-2012
Filing Date:	09-NOV-2010
Time Stamp:	12:07:12
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no
------------------------	----

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		5649-2985_Amendment.pdf	753679 3a2d149f83c472c3535f89782339cc8a76f44fe8	yes	8

Multipart Description/PDF files in .zip description		
Document Description	Start	End
Amendment/Req. Reconsideration-After Non-Final Reject	1	1
Claims	2	6
Applicant Arguments/Remarks Made in an Amendment	7	8

Warnings:

Information:

Total Files Size (in bytes):	753679
-------------------------------------	--------

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD Substitute for Form PTO-875					Application or Docket Number 12/942,763		Filing Date 11/09/2010		<input type="checkbox"/> To be Mailed		
APPLICATION AS FILED – PART I											
(Column 1)			(Column 2)		SMALL ENTITY <input type="checkbox"/>		OR			OTHER THAN SMALL ENTITY	
FOR		NUMBER FILED	NUMBER EXTRA		RATE (\$)	FEE (\$)	OR		RATE (\$)	FEE (\$)	
<input type="checkbox"/> BASIC FEE (37 CFR 1.16(a), (b), or (c))		N/A	N/A		N/A				N/A		
<input type="checkbox"/> SEARCH FEE (37 CFR 1.16(k), (i), or (m))		N/A	N/A		N/A		N/A				
<input type="checkbox"/> EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))		N/A	N/A		N/A		N/A				
TOTAL CLAIMS (37 CFR 1.16(i))		minus 20 =	*		X \$ =		X \$ =				
INDEPENDENT CLAIMS (37 CFR 1.16(h))		minus 3 =	*		X \$ =		X \$ =				
<input type="checkbox"/> APPLICATION SIZE FEE (37 CFR 1.16(s))		If the specification and drawings exceed 100 sheets of paper, the application size fee due is \$250 (\$125 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).									
<input type="checkbox"/> MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))											
* If the difference in column 1 is less than zero, enter "0" in column 2.											
APPLICATION AS AMENDED – PART II					SMALL ENTITY		OR			OTHER THAN SMALL ENTITY	
(Column 1)		(Column 2)		(Column 3)		RATE (\$)	ADDITIONAL FEE (\$)	OR		RATE (\$)	ADDITIONAL FEE (\$)
02/28/2012		CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR							
Total (37 CFR 1.16(i))		* 15		Minus ** 20		= 0		X \$ =		X \$60=	0
Independent (37 CFR 1.16(h))		* 2		Minus *** 3		= 0		X \$ =		X \$250=	0
<input type="checkbox"/> Application Size Fee (37 CFR 1.16(s))											
<input type="checkbox"/> FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))											
AMENDMENT						TOTAL ADD'L FEE	OR		TOTAL ADD'L FEE	0	
(Column 1)		(Column 2)		(Column 3)		RATE (\$)	ADDITIONAL FEE (\$)	OR		RATE (\$)	ADDITIONAL FEE (\$)
		CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR							
Total (37 CFR 1.16(i))		*		Minus **		=		X \$ =		X \$ =	
Independent (37 CFR 1.16(h))		*		Minus ***		=		X \$ =		X \$ =	
<input type="checkbox"/> Application Size Fee (37 CFR 1.16(s))											
<input type="checkbox"/> FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))											
AMENDMENT						TOTAL ADD'L FEE	OR		TOTAL ADD'L FEE		
* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.											
** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".											
*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".											
The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.											
Legal Instrument Examiner: /MYRTLE LEIGH/											

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
-----------------	-------------	----------------------	---------------------	------------------

12/942,763	11/09/2010	Jongwon Lee	5649-2985	2294
------------	------------	-------------	-----------	------

20792 7590 01/19/2012
 MYERS BIGEL SIBLEY & SAJOVEC
 PO BOX 37428
 RALEIGH, NC 27627

EXAMINER

BROWN, VALERIE N

ART UNIT	PAPER NUMBER
----------	--------------

2829

MAIL DATE	DELIVERY MODE
-----------	---------------

01/19/2012

PAPER

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Office Action Summary	Application No. 12/942,763	Applicant(s) LEE ET AL.	
	Examiner VALERIE N. BROWN	Art Unit 2829	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --
Period for Reply

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE 3 MONTH(S) OR THIRTY (30) DAYS, WHICHEVER IS LONGER, FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133). Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

Status

- 1) Responsive to communication(s) filed on 28 December 2011.
- 2a) This action is **FINAL**.
- 2b) This action is non-final.
- 3) An election was made by the applicant in response to a restriction requirement set forth during the interview on _____; the restriction requirement and election have been incorporated into this action.
- 4) Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

Disposition of Claims

- 5) Claim(s) 1-20 is/are pending in the application.
 - 5a) Of the above claim(s) _____ is/are withdrawn from consideration.
- 6) Claim(s) _____ is/are allowed.
- 7) Claim(s) 1-20 is/are rejected.
- 8) Claim(s) _____ is/are objected to.
- 9) Claim(s) _____ are subject to restriction and/or election requirement.

Application Papers

- 10) The specification is objected to by the Examiner.
- 11) The drawing(s) filed on _____ is/are: a) accepted or b) objected to by the Examiner.
 - Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).
 - Replacement drawing sheet(s) including the correction is required if the drawing(s) is objected to. See 37 CFR 1.121(d).
- 12) The oath or declaration is objected to by the Examiner. Note the attached Office Action or form PTO-152.

Priority under 35 U.S.C. § 119

- 13) Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).
 - a) All b) Some * c) None of:
 - 1. Certified copies of the priority documents have been received.
 - 2. Certified copies of the priority documents have been received in Application No. _____.
 - 3. Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).

* See the attached detailed Office action for a list of the certified copies not received.

Attachment(s)

- 1) Notice of References Cited (PTO-892)
- 2) Notice of Draftsperson's Patent Drawing Review (PTO-948)
- 3) Information Disclosure Statement(s) (PTO/SB/08)
Paper No(s)/Mail Date 12/28/11.
- 4) Interview Summary (PTO-413)
Paper No(s)/Mail Date. _____.
- 5) Notice of Informal Patent Application
- 6) Other: _____.

DETAILED ACTION

Claim Rejections - 35 USC § 102

1. The following is a quotation of the appropriate paragraphs of 35 U.S.C. 102 that form the basis for the rejections under this section made in this Office action:

A person shall be entitled to a patent unless –

(e) the invention was described in (1) an application for patent, published under section 122(b), by another filed in the United States before the invention by the applicant for patent or (2) a patent granted on an application for patent by another filed in the United States before the invention by the applicant for patent, except that an international application filed under the treaty defined in section 351(a) shall have the effects for purposes of this subsection of an application filed in the United States only if the international application designated the United States and was published under Article 21(2) of such treaty in the English language.

2. Claims 1, 2, and 6 are rejected under 35 U.S.C. 102(e) as being anticipated by US 8039381 (Yeh et al).

Pertaining to claim 1, **Yeh** discloses (according to Fig. 7-15) forming a gate insulating layer (110) on a substrate (102); forming a dummy gate electrode (118) on the gate insulating layer; forming electrically insulating spacers (116) on sidewalls of the dummy gate electrode; covering the spacers and the dummy gate electrode with an electrically insulating mold layer (122); removing an upper portion of the mold layer to expose an upper surface of the dummy gate electrode (Fig. 8); removing the dummy gate electrode from between the spacers by selectively etching back the dummy gate electrode using the mold layer and the spacers as an etching mask (Fig. 9); depositing a first metal layer (702) onto an upper surface of the mold layer and onto inner sidewalls of the spacers (Fig. 10), filling a space between the inner sidewalls of the spacers with a dummy filler layer that contacts the first metal layer (Fig. 11); removing an

upper portion of the first metal layer from between the inner sidewalls of the spacers and the dummy filler layer (Fig. 12); removing the dummy filler layer from between the inner sidewalls of the spacers to expose the first metal layer (Fig. 14); and depositing a second metal layer (740) onto a portion of the first metal layer extending between the inner sidewalls of the spacers to thereby define a metal gate electrode comprising a composite of the first and second metal layers (Fig. 15).

Referring to claims 2 and 6, **Yeh** discloses said filling a space is followed by a step of planarizing the dummy filler layer to expose a portion of the first metal layer on the upper surface of the mold layer (Fig. 12) and removing an upper portion of the first metal layer comprises selectively etching the first metal layer using the dummy filler layer and the mold layer as an etching mask (Fig. 13 and column 6 lines 44-53).

Claim Rejections - 35 USC § 103

3. The following is a quotation of 35 U.S.C. 103(a) which forms the basis for all obviousness rejections set forth in this Office action:

(a) A patent may not be obtained though the invention is not identically disclosed or described as set forth in section 102 of this title, if the differences between the subject matter sought to be patented and the prior art are such that the subject matter as a whole would have been obvious at the time the invention was made to a person having ordinary skill in the art to which said subject matter pertains. Patentability shall not be negated by the manner in which the invention was made.

4. Claims 1-20 are rejected under 35 U.S.C. 103(a) as being unpatentable over US 7871915 (Lim et al) in view of US 8039381 (Yeh et al).

Concerning claim 1, **Lim** discloses forming a gate insulating layer (216) on a substrate (202); forming a dummy gate electrode on the gate insulating layer (column 5 lines 11-20);

Art Unit: 2829

forming electrically insulating spacers (220) on sidewalls of the dummy gate electrode; covering the spacers and the dummy gate electrode with an electrically insulating mold layer (230 and Fig. 2A and column 5 lines 1-10); removing an upper portion of the mold layer to expose an upper surface of the dummy gate electrode (Fig. 2A and column 5 lines 1-10); removing the dummy gate electrode from between the spacers by selectively etching back the dummy gate electrode using the mold layer and the spacers as an etching mask (column 5 lines 11-20); depositing a first metal layer (246) onto an upper surface of the mold layer and onto inner sidewalls of the spacers (Fig. 1 block 108 and column 5 lines 30-44); filling a space between the inner sidewalls of the spacers with a dummy filler layer that contacts the first metal layer (column 5 lines 45-60); removing the dummy filler layer from between the inner sidewalls of the spacers to expose the first metal layer (column 5 lines 5-65 and column 6 lines 1-10); and depositing a second metal layer onto a portion of the first metal layer extending between the inner sidewalls of the spacers to thereby define a metal gate electrode comprising a composite of the first and second metal layers (Fig. 2D and column 6 lines 3-20), but does not disclose removing an upper portion of the first metal layer from between the inner sidewalls of the spacers and the dummy filler layer. However, **Yeh** discloses (according to Figs 7-15) a method of forming a gate structure using a dummy structure, in which the metal layer is etched back to a height lower than that of the mold layer (Fig. 12) and that this configuration provides improved formation of the metal gate and minimizes/ eliminates the formation of voids (column 7 lines 26-33). Therefore it would have been obvious to one of ordinary skill in the art at the time of the invention to incorporate this process step in the invention of **Lim** in order to achieve the aforementioned advantages.

Considering claim 8, **Lim** discloses forming a first and second gate insulating layer (216) on a substrate (202); forming first and second dummy gate electrode on the first and second gate insulating layer (column 5 lines 11-20); forming first and second electrically insulating spacers (220) on sidewalls of the first and second dummy gate electrode; covering the first and second spacers and the first and second dummy gate electrode with an electrically insulating mold layer (230 and Fig. 2A and column 5 lines 1-10); removing an upper portion of the mold layer to expose an upper surface of the dummy gate electrode (Fig. 2A and column 5 lines 1-10); removing the first dummy gate electrode from between the spacers (column 5 lines 11-20); depositing a first metal layer (246) onto an upper surface of the mold layer and onto inner sidewalls of the spacers (Fig. 1 block 108 and column 5 lines 30-44); filling a space between the inner sidewalls of the spacers with a dummy filler layer that contacts the first metal layer (column 5 lines 45-60); removing the dummy filler layer from between the inner sidewalls of the spacers to expose the first metal layer (column 5 lines 5-65 and column 6 lines 1-10); and depositing a second metal layer onto a portion of the first metal layer extending between the inner sidewalls of the spacers to thereby define a metal gate electrode comprising a composite of the first and second metal layers concurrently with depositing the second metal layer into a space between the inner sidewalls of the second spacer to thereby define a second metal gate electrode (Fig. 2D and column 6 lines 3-20), but does not disclose using a mask to prevent removal of the second dummy gate electrode or removing an upper portion of the first metal layer from between the inner sidewalls of the spacers and the dummy filler layer. However, **Yeh** discloses (according to Figs 7-15) a method of forming a gate structure using a dummy structure, in which the metal layer is etched back to a height lower than that of the mold layer (Fig. 12) and that this

configuration provides improved formation of the metal gate and minimizes/ eliminates the formation of voids (column 7 lines 26-33). Therefore it would have been obvious to one of ordinary skill in the art at the time of the invention to incorporate this process step in the invention of **Lim** in order to achieve the aforementioned advantages.

Additionally, it is well known the use of masks as means to prevent the removal of materials from an area where the presence of the materials is desirable. The selection of a known material based on its suitability for its intended use supported a prima facie obviousness determination in *Sinclair & Carroll Co. v. Interchemical Corp.*, 325 U.S. 327, 65 USPQ 297 (1945). See MPEP2144.07. Therefore absent any evidence that the use of the mask provides a new and unexpected result, it would have been obvious to one of ordinary skill in the art at the time of the invention to use a mask in order to remove materials selective to areas where the removal is not desired. removing an upper portion of the first metal layer from between the inner sidewalls of the spacers and the dummy filler layer

Continuing to claim 9, **Lim** discloses providing a substrate (202) having a first active region and a second active region (Fig. 2A); forming a dummy gate stack on the first active region and the second active region (Fig. 1 blocks 104), the dummy gate stack comprising a gate dielectric (216) layer and a dummy gate electrode(column 5 lines 11-20); forming source/drain regions in the first active region and the second active region(column 4 lines 55-67) disposed at both sides of the dummy gate stack; forming a mold insulating layer (230) on the source/drain regions; removing the dummy gate electrode on the first active region to form a first trench on the mold insulating layer (Fig. 1 block 106); forming a first metal pattern (246), and removing the dummy gate electrode on the second active region to form a third trench in the mold

Art Unit: 2829

insulating layer (Fig. 1 block 114 and Fig. 2A); and forming a second metal layer in the second trench and the third trench to form a first gate electrode on the first active region and a second gate electrode on the second active region (Fig. 2D and column 6 lines 3-20). wherein the forming of the second trench and the third trench comprises: stacking a first metal layer and a dummy filler layer on a top surface of the mold insulating layer and in the first trench; planarizing the dummy filler layer to expose the first metal layer; and removing the first metal layer on the top surface of the mold insulating layer and removing an upper portion of the first metal layer formed between the mold insulating layer and the dummy filler layer to form the first metal pattern at the lower portion of the first trench, using the mold insulating layer and the dummy filler layer as an etching mask (Figs. 2A-2E), but does not disclose the first metal layer is formed at a lower portion of the first trench to form a second trench. However, **Yeh** discloses (according to Figs 7-15) a method of forming a gate structure using a dummy structure, in which the metal layer is etched back to a height lower than that of the mold layer (Fig. 12) and that this configuration provides improved formation of the metal gate and minimizes/ eliminates the formation of voids (column 7 lines 26-33). Therefore it would have been obvious to one of ordinary skill in the art at the time of the invention to incorporate this process step in the invention of **Lim** in order to achieve the aforementioned advantages.

Referring to claims 5-7, **Lim** discloses forming a dummy gate electrode on the gate insulating layer is preceded by forming a buffer gate electrode (244) comprising titanium nitride or tantalum nitride on the gate insulating layer (column 5 lines 20-30), removing an upper portion of the first metal layer comprises selectively etching the first metal layer using the

dummy filler layer and the mold layer as an etching mask (column 5 lines 50-67 and column 6 lines 1-3), and the first metal layer comprises titanium nitride (column 5 lines 39-44).

Regarding claims 2 and 10, **Lim** discloses stacking a first metal layer and a dummy filler layer on a top surface of the mold insulating layer and in the first trench (Fig. 2B) and removing the first metal layer on the top surface of the mold insulating layer and removing an upper portion of the first metal layer formed between the mold insulating layer and the dummy filler layer to form the first metal pattern at the lower portion of the first trench (Fig. 2C note that a portion of the upper metal layer is removed by thinning) but does not explicitly disclose planarizing the dummy filler layer to expose a portion of the first metal layer on the upper surface of the mold layer. However, there are several different ways in which to remove the metal layer, i.e. simultaneous removal of the dummy filler layer and the metal layer, planarizing the dummy filler layer to expose a portion of the first metal layer on the upper surface of the mold layer, etc. all of which have a reasonable expectation of success in removal of the metal layer. Therefore absent any evidence that planarizing the dummy filler layer to expose a portion of the first metal layer on the upper surface of the mold layer provides a new and unexpected result, it would have been obvious to one of ordinary skill in the art at the time of the invention to try different methods in order to arrive at the optimal sequence of processes for optimal device manufacture.

Considering claims 3, 4, 11, and 12 with claims 3 and 11 and 4 and 12 being similar in scope), **Lim** discloses forming the dummy gate material of polysilicon and the dummy filler layer of SOG, but does not disclose that the dummy gate electrode and the dummy filler layer are formed of the same material or that that material is polysilicon. The selection of a known

material based on its suitability for its intended use supported a prima facie obviousness determination in *Sinclair & Carroll Co. v. Interchemical Corp.*, 325 U.S. 327, 65 USPQ 297 (1945). See MPEP2144.07. Therefore absent any evidence that the use polysilicon provides a new and unexpected result, it would have been obvious to one of ordinary skill in the art at the time of the invention to use polysilicon because it is suitable for the intended purpose for use as a dummy gate material.

Concerning claims 13 and 15-18, **Lim** discloses removing the filler layer on the first active region and the dummy gate electrode on the second active region to form the second trench on the first active region and the third trench on the second active region (column 6 lines 46-67), the first metal layer is removed while remaining at a bottom surface and a side lower portion of the first trench to form the first metal pattern (column 5 lines 5-65 and column 6 lines 1-10 note that the first metal layer is thinned thereby leaving a portion in the lower portion in the trench); forming a spacer (220) on a sidewall of the dummy gate electrode, forming a buffer gate electrode (244) between the gate insulating layer and the dummy gate electrode, and the buffer gate electrode comprises titanium nitride or tantalum nitride (column 5 lines 20-30).

Regarding claim 14, **Lim** discloses) and removing the first metal layer on the top surface of the mold insulating layer and removing an upper portion of the first metal layer formed between the mold insulating layer and the dummy filler layer to form the first metal pattern at the lower portion of the first trench (Fig. 2C note that a portion of the upper metal layer is removed by thinning) but does not explicitly disclose the first metal layer is removed by an etching method in which the first metal layer is etched selectively to the dummy filler layer and mold insulating layer. However, there are several different ways in which to remove the metal layer,

i.e. simultaneous removal of the dummy filler layer and the metal layer, planarizing the dummy filler layer to expose a portion of the first metal layer on the upper surface of the mold layer, etc. all of which have a reasonable expectation of success in removal of the metal layer. Therefore absent any evidence that planarizing the dummy filler layer to expose a portion of the first metal layer on the upper surface of the mold layer provides a new and unexpected result, it would have been obvious to one of ordinary skill in the art at the time of the invention to try different methods in order to arrive at the optimal sequence of processes for optimal device manufacture.

Conclusion

Any inquiry concerning this communication or earlier communications from the examiner should be directed to VALERIE BROWN whose telephone number is (571)270-5015. The examiner can normally be reached on Mon-Fri 8:00am-5:00pm EST.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Ha Nguyen can be reached on 5712721678. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Application/Control Number: 12/942,763
Art Unit: 2829

Page 11

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see <http://pair-direct.uspto.gov>. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/VALERIE N BROWN/
Examiner, Art Unit 2829
01/13/12

/HA TRAN T NGUYEN/

Supervisory Patent Examiner, Art Unit 2829

INFORMATION DISCLOSURE STATEMENT BY APPLICANT <i>(use as many sheets as necessary)</i>				Complete if Known		
				Application Number	12/942,763	
				Filing Date	November 9, 2010	
				First Named Inventor	Jongwon Lee	
				Art Unit	2829	
				Examiner Name	Valerie N. Brown	
Sheet	C1	of	C1	Attorney Docket Number	5649-2985	

U.S. PATENT DOCUMENTS						
Examiner Initials*	Cite No.	Document Number		Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
		Number-Kind Code (if known)				
	1.	US-	8,039,381 B2	10-18-2011	Yeh et al.	


FOREIGN PATENT DOCUMENTS							
Examiner Initials*	Cite No.	Foreign Patent Document		Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear	
		Country Code, Number, Kind Code (if known)					
							T

NON PATENT LITERATURE DOCUMENTS					
Examiner Initials*	Cite No.	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published			T

Examiner Signature	/Valerie Brown/	Date Considered	01/13/2012
--------------------	-----------------	-----------------	------------

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.


ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /V.B./

<i>Index of Claims</i> 	Application/Control No. 12942763	Applicant(s)/Patent Under Reexamination LEE ET AL.
	Examiner VALERIE N BROWN	Art Unit 2829

✓	Rejected	-	Cancelled	N	Non-Elected	A	Appeal
=	Allowed	÷	Restricted	I	Interference	O	Objected

Claims renumbered in the same order as presented by applicant
 CPA
 T.D.
 R.1.47

CLAIM		DATE							
Final	Original	05/08/2011	09/22/2011	01/13/2012					
	1	✓	=	✓					
	2	✓	=	✓					
	3	✓	=	✓					
	4	✓	=	✓					
	5	✓	=	✓					
	6	✓	=	✓					
	7	✓	=	✓					
	8	✓	=	✓					
	9	✓	=	✓					
	10	✓	=	✓					
	11	✓	=	✓					
	12	✓	=	✓					
	13	✓	=	✓					
	14	✓	=	✓					
	15	✓	=	✓					
	16	✓	=	✓					
	17	✓	=	✓					
	18	✓	=	✓					
	19		=	✓					
	20		=	✓					

Search Notes 	Application/Control No. 12942763	Applicant(s)/Patent Under Reexamination LEE ET AL.
	Examiner VALERIE BROWN	Art Unit 2829

SEARCHED			
Class	Subclass	Date	Examiner
438	296	4/5/2011	VNB
		4/5/2011	

SEARCH NOTES		
Search Notes	Date	Examiner
Did an EAST class subclass search	4/5/2011	VNB
Did an EAST text search notes attached	4/5/2011	VNB

INTERFERENCE SEARCH			
Class	Subclass	Date	Examiner
438	592	9/19/2011	VNB

--	--

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Request for Continued Examination (RCE) Transmittal Address to: Mail Stop RCE Commissioner for Patents P.O. Box 1450 Alexandria, VA 22313-1450	Application Number	12/942,763
	Filing Date	November 9, 2010
	First Named Inventor	Jongwon Lee
	Art Unit	2829
	Examiner Name	Valerie N. Brown
	Attorney Docket Number	5649-2985

This is a Request for Continued Examination (RCE) under 37 CFR 1.114 of the above-identified application.
 Request for Continued Examination (RCE) practice under 37 CFR 1.114 does not apply to any utility or plant application filed prior to June 8, 1995, or to any design application. See Instruction Sheet for RCEs (not to be submitted to the USPTO) on page 2.

1. **Submission required under 37 CFR 1.114** Note: If the RCE is proper, any previously filed unentered amendments and amendments enclosed with the RCE will be entered in the order in which they were filed unless applicant instructs otherwise. If applicant does not wish to have any previously filed unentered amendment(s) entered, applicant must request non-entry of such amendment(s).

a. Previously submitted. If a final Office action is outstanding, any amendments filed after the final Office action may be considered as a submission even if this box is not checked.

 i. Consider the arguments in the Appeal Brief or Reply Brief previously filed on _____

 ii. Other _____

b. Enclosed

 i. Amendment/Reply

 ii. Affidavit(s)/ Declaration(s)

 iii. Information Disclosure Statement (IDS)

 iv. Other _____

2. **Miscellaneous**

a. Suspension of action on the above-identified application is requested under 37 CFR 1.103(c) for a period of _____ months. (Period of suspension shall not exceed 3 months; Fee under 37 CFR 1.17(i) required)

b. Other _____

3. **Fees** The RCE fee under 37 CFR 1.17(e) is required by 37 CFR 1.114 when the RCE is filed.

The Director is hereby authorized to charge the following fees, any underpayment of fees, or credit any overpayments, to

a. Deposit Account No. 50-0220

 i. RCE fee required under 37 CFR 1.17(e)

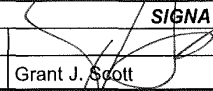
 ii. Extension of time fee (37 CFR 1.136 and 1.17)

 iii. Other _____

b. Check in the amount of \$ _____ enclosed

c. Payment by credit card (Form PTO-2038 enclosed)

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT REQUIRED			
Signature		Date	December 28, 2011
Name (Print/Type)	Grant J. Scott	Registration No.	36,925

CERTIFICATE OF MAILING OR TRANSMISSION	
I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Mail Stop RCE, Commissioner for Patents, P. O. Box 1450, Alexandria, VA 22313-1450 or facsimile transmitted to the U.S. Patent and Trademark Office on the date shown below.	
Signature	
Name (Print/Type)	
Date	

This collection of information is required by 37 CFR 1.114. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. **DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Mail Stop RCE, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**
 If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

Attorney Docket No. 5649-2985

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Lee et al.

Confirmation No. 2294

Application No.: 12/942,763

Examiner: Brown, Valerie N.

Filing Date: November 9, 2010

Group Art Unit: 2829

For: METHODS OF FORMING CMOS TRANSISTORS WITH HIGH CONDUCTIVITY GATE ELECTRODES

Date: December 28, 2011

Mail Stop Amendment
Commissioner for Patents
Box 1450
Alexandria, VA 22313-1450

INFORMATION DISCLOSURE STATEMENT TRANSMITTAL

Sir:

Attached is an Information Disclosure Statement listing of documents, together with a copy of any listed foreign patent document and/or non-patent literature. A copy of any listed U.S. patent and/or U.S. patent application publication is not provided herewith in accordance with 37 C.F.R. § 1.98(a)(2)(ii).

In accordance with **37 CFR 1.97(b)**, the information disclosure statement is being filed:

- (1) within three months of the filing date of a national application other than a continued prosecution application under §1.53(d);
- (2) within three months of the date of entry of the national stage as set forth in §1.491 in an international application;
- (3) before the mailing of a first Office Action on the merits; or
- (4) before the mailing of a first Office Action after the filing of a request for continued examination under §1.114.

In accordance with **37 CFR 1.97(c)**, the information disclosure statement is being filed after the period specified in 37 CFR 1.97(b) above, but before the mailing date of any of a final action under §1.113, a notice of allowance under §1.311, or an action that otherwise closes prosecution in the application, and is accompanied by **one** of the following:

(1) The statement specified under **37 CFR 1.97(e)**, as follows:

Each item of information contained in the information disclosure statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the information disclosure statement; **or**

No item of information contained in the information disclosure statement was cited in a communication from a foreign patent office in a counterpart foreign application, and, to the knowledge of the person signing the certification after making reasonable inquiry, no item of information contained in the information disclosure statement was known to any individual designated in §1.56(c) more than three months prior to the filing of the information disclosure statement; **or**

(2) The fee set forth in §1.17(p);

In re: Lee et al.
Application No.: 12/942,763
Filing Date: November 9, 2010
Page 2 of 2

In accordance with **37 CFR 1.97(d)**, the information disclosure statement is being filed after the period specified in 37 CFR 1.97(c) above, but on or before payment of the issue fee, and is accompanied by **both** of the following:

(1) The statement specified under **37 CFR 1.97(e)**, as follows:

That each item of information contained in the information disclosure statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the information disclosure statement; **or**

That no item of information contained in the information disclosure statement was cited in a communication from a foreign patent office in a counterpart foreign application, and, to the knowledge of the person signing the certification after making reasonable inquiry, no item of information contained in the information disclosure statement was known to any individual designated in §1.56(c) more than three months prior to the filing of the information disclosure statement; **and**

(2) The fee set forth in §1.17(p);

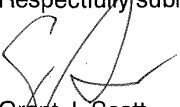
In accordance with **37 CFR 1.97(g)**, the information disclosure statement shall not be construed as a representation that a search has been made.

In accordance with **37 CFR 1.97(h)**, the information disclosure statement shall not be construed to be an admission that the information cited in the statement is, or is considered to be, material to patentability as defined in §1.56(b).

The Director is hereby authorized to charge the fee specified in 37 C.F.R. § 1.17(p), and any fee deficiency or credit any overpayment, to Deposit Account No. 50-0220; **or**

No fee is believed due. However, the Director is hereby authorized to charge any deficiency or credit any overpayment to Deposit Account No. 50-0220.

Respectfully submitted,


Grant J. Scott
Registration No. 36,925
Attorney for Applicant(s)

Customer Number 20792

Myers Bigel Sibley & Sajovec, P.A.
P.O. Box 37428, Raleigh, NC 27627
919-854-1400
919-854-1401 (Fax)

CERTIFICATION OF TRANSMISSION

I hereby certify that this correspondence is being transmitted via the Office electronic filing system in accordance with 37 CFR § 1.6(a)(4) to the U.S. Patent and Trademark Office on December 28, 2011.


Name: Gwen R. Bailey

INFORMATION DISCLOSURE STATEMENT BY APPLICANT <i>(use as many sheets as necessary)</i>				Complete if Known		
				Application Number	12/942,763	
				Filing Date	November 9, 2010	
				First Named Inventor	Jongwon Lee	
				Art Unit	2829	
				Examiner Name	Valerie N. Brown	
Sheet	C1	of	C1	Attorney Docket Number	5649-2985	

U.S. PATENT DOCUMENTS						
Examiner Initials*	Cite No.	Document Number		Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
		Number-Kind Code (if known)				
	1.	US-	8,039,381 B2	10-18-2011	Yeh et al.	

FOREIGN PATENT DOCUMENTS							
Examiner Initials*	Cite No.	Foreign Patent Document		Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear	
		Country Code, Number, Kind Code (if known)					
							T

NON PATENT LITERATURE DOCUMENTS					
Examiner Initials*	Cite No.	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published			T

Examiner Signature		Date Considered	
--------------------	--	-----------------	--

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

Electronic Patent Application Fee Transmittal

Application Number:	12942763			
Filing Date:	09-Nov-2010			
Title of Invention:	METHODS OF FORMING CMOS TRANSISTORS WITH HIGH CONDUCTIVITY GATE ELECTRODES			
First Named Inventor/Applicant Name:	Jongwon Lee			
Filer:	Grant J. Scott/Gwen Bailey			
Attorney Docket Number:	5649-2985			
Filed as Large Entity				
Utility under 35 USC 111(a) Filing Fees				
Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				

Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Miscellaneous:				
Request for continued examination	1801	1	930	930
Total in USD (\$)				930

Electronic Acknowledgement Receipt

EFS ID:	11720465
Application Number:	12942763
International Application Number:	
Confirmation Number:	2294
Title of Invention:	METHODS OF FORMING CMOS TRANSISTORS WITH HIGH CONDUCTIVITY GATE ELECTRODES
First Named Inventor/Applicant Name:	Jongwon Lee
Customer Number:	20792
Filer:	Grant J. Scott/Gwen Bailey
Filer Authorized By:	Grant J. Scott
Attorney Docket Number:	5649-2985
Receipt Date:	28-DEC-2011
Filing Date:	09-NOV-2010
Time Stamp:	15:50:05
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Deposit Account
Payment was successfully received in RAM	\$930
RAM confirmation Number	2113
Deposit Account	500220
Authorized User	

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
-----------------	----------------------	-----------	----------------------------------	------------------	------------------

1	Request for Continued Examination (RCE)	5649-2985_RCE_Transmittal.pdf	160277 1f5d6ec93032e0a0ee56047c57810a1626499528	no	1
Warnings:					
This is not a USPTO supplied RCE SB30 form.					
Information:					
2		5649-2985_IDS.pdf	303608 6e486052fd8be3e90b8d6fbbf3d55b5e1ed68c2d	yes	3
Multipart Description/PDF files in .zip description					
		Document Description	Start	End	
		Transmittal Letter	1	2	
		Information Disclosure Statement (IDS) Form (SB08)	3	3	
Warnings:					
Information:					
3	Fee Worksheet (SB06)	fee-info.pdf	30753 3eec8aa90a258860b2b93f37db14a13c9090b4d	no	2
Warnings:					
Information:					
Total Files Size (in bytes):			494638		
<p>This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.</p> <p><u>New Applications Under 35 U.S.C. 111</u> If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.</p> <p><u>National Stage of an International Application under 35 U.S.C. 371</u> If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.</p> <p><u>New International Application Filed with the USPTO as a Receiving Office</u> If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.</p>					

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD Substitute for Form PTO-875				Application or Docket Number 12/942,763		Filing Date 11/09/2010		<input type="checkbox"/> To be Mailed			
APPLICATION AS FILED – PART I											
(Column 1)			(Column 2)			SMALL ENTITY <input type="checkbox"/>		OR		OTHER THAN SMALL ENTITY	
FOR		NUMBER FILED	NUMBER EXTRA		RATE (\$)	FEE (\$)	OR		RATE (\$)	FEE (\$)	
<input type="checkbox"/> BASIC FEE (37 CFR 1.16(a), (b), or (c))		N/A	N/A		N/A				N/A		
<input type="checkbox"/> SEARCH FEE (37 CFR 1.16(k), (i), or (m))		N/A	N/A		N/A		N/A				
<input type="checkbox"/> EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))		N/A	N/A		N/A		N/A				
TOTAL CLAIMS (37 CFR 1.16(i))		minus 20 =	*		X \$ =		OR		X \$ =		
INDEPENDENT CLAIMS (37 CFR 1.16(h))		minus 3 =	*		X \$ =		OR		X \$ =		
<input type="checkbox"/> APPLICATION SIZE FEE (37 CFR 1.16(s))		If the specification and drawings exceed 100 sheets of paper, the application size fee due is \$250 (\$125 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).									
<input type="checkbox"/> MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))											
* If the difference in column 1 is less than zero, enter "0" in column 2.											
APPLICATION AS AMENDED – PART II											
(Column 1)			(Column 2)			SMALL ENTITY		OR		OTHER THAN SMALL ENTITY	
AMENDMENT	12/28/2011	CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE (\$)	ADDITIONAL FEE (\$)	OR		RATE (\$)	ADDITIONAL FEE (\$)
	Total (37 CFR 1.16(i))	* 19	Minus	** 20	= 0	X \$ =				X \$60=	0
	Independent (37 CFR 1.16(h))	* 3	Minus	***3	= 0	X \$ =		X \$250=	0		
	<input type="checkbox"/> Application Size Fee (37 CFR 1.16(s))										
	<input type="checkbox"/> FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))										
						TOTAL ADD'L FEE		OR		TOTAL ADD'L FEE	0
AMENDMENT		CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE (\$)	ADDITIONAL FEE (\$)	OR		RATE (\$)	ADDITIONAL FEE (\$)
	Total (37 CFR 1.16(i))	*	Minus	**	=	X \$ =				X \$ =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	X \$ =		X \$ =			
	<input type="checkbox"/> Application Size Fee (37 CFR 1.16(s))										
	<input type="checkbox"/> FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))										
						TOTAL ADD'L FEE		OR		TOTAL ADD'L FEE	
* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.											
** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".											
*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".											
The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.											
Legal Instrument Examiner: /AJAY R. DAVID/											

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

NOTICE OF ALLOWANCE AND FEE(S) DUE

20792 7590 09/28/2011
MYERS BIGEL SIBLEY & SAJOVEC
PO BOX 37428
RALEIGH, NC 27627

EXAMINER

BROWN, VALERIE N

ART UNIT PAPER NUMBER

2829

DATE MAILED: 09/28/2011

Table with 5 columns: APPLICATION NO., FILING DATE, FIRST NAMED INVENTOR, ATTORNEY DOCKET NO., CONFIRMATION NO.

12/942,763 11/09/2010 Jongwon Lee 5649-2985 2294

TITLE OF INVENTION: METHODS OF FORMING CMOS TRANSISTORS WITH HIGH CONDUCTIVITY GATE ELECTRODES

Table with 7 columns: APPLN. TYPE, SMALL ENTITY, ISSUE FEE DUE, PUBLICATION FEE DUE, PREV. PAID ISSUE FEE, TOTAL FEE(S) DUE, DATE DUE

nonprovisional NO \$1740 \$300 \$0 \$2040 12/28/2011

THE APPLICATION IDENTIFIED ABOVE HAS BEEN EXAMINED AND IS ALLOWED FOR ISSUANCE AS A PATENT. PROSECUTION ON THE MERITS IS CLOSED. THIS NOTICE OF ALLOWANCE IS NOT A GRANT OF PATENT RIGHTS. THIS APPLICATION IS SUBJECT TO WITHDRAWAL FROM ISSUE AT THE INITIATIVE OF THE OFFICE OR UPON PETITION BY THE APPLICANT. SEE 37 CFR 1.313 AND MPEP 1308.

THE ISSUE FEE AND PUBLICATION FEE (IF REQUIRED) MUST BE PAID WITHIN THREE MONTHS FROM THE MAILING DATE OF THIS NOTICE OR THIS APPLICATION SHALL BE REGARDED AS ABANDONED. THIS STATUTORY PERIOD CANNOT BE EXTENDED. SEE 35 U.S.C. 151. THE ISSUE FEE DUE INDICATED ABOVE DOES NOT REFLECT A CREDIT FOR ANY PREVIOUSLY PAID ISSUE FEE IN THIS APPLICATION. IF AN ISSUE FEE HAS PREVIOUSLY BEEN PAID IN THIS APPLICATION (AS SHOWN ABOVE), THE RETURN OF PART B OF THIS FORM WILL BE CONSIDERED A REQUEST TO REAPPLY THE PREVIOUSLY PAID ISSUE FEE TOWARD THE ISSUE FEE NOW DUE.

HOW TO REPLY TO THIS NOTICE:

I. Review the SMALL ENTITY status shown above.

If the SMALL ENTITY is shown as YES, verify your current SMALL ENTITY status:

- A. If the status is the same, pay the TOTAL FEE(S) DUE shown above.
B. If the status above is to be removed, check box 5b on Part B - Fee(s) Transmittal and pay the PUBLICATION FEE (if required) and twice the amount of the ISSUE FEE shown above, or

If the SMALL ENTITY is shown as NO:

- A. Pay TOTAL FEE(S) DUE shown above, or
B. If applicant claimed SMALL ENTITY status before, or is now claiming SMALL ENTITY status, check box 5a on Part B - Fee(s) Transmittal and pay the PUBLICATION FEE (if required) and 1/2 the ISSUE FEE shown above.

II. PART B - FEE(S) TRANSMITTAL, or its equivalent, must be completed and returned to the United States Patent and Trademark Office (USPTO) with your ISSUE FEE and PUBLICATION FEE (if required). If you are charging the fee(s) to your deposit account, section "4b" of Part B - Fee(s) Transmittal should be completed and an extra copy of the form should be submitted. If an equivalent of Part B is filed, a request to reapply a previously paid issue fee must be clearly made, and delays in processing may occur due to the difficulty in recognizing the paper as an equivalent of Part B.

III. All communications regarding this application must give the application number. Please direct all communications prior to issuance to Mail Stop ISSUE FEE unless advised to the contrary.

IMPORTANT REMINDER: Utility patents issuing on applications filed on or after Dec. 12, 1980 may require payment of maintenance fees. It is patentee's responsibility to ensure timely payment of maintenance fees when due.

PART B - FEE(S) TRANSMITTAL

**Complete and send this form, together with applicable fee(s), to: Mail Mail Stop ISSUE FEE
 Commissioner for Patents
 P.O. Box 1450
 Alexandria, Virginia 22313-1450
 or Fax (571)-273-2885**

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

20792 7590 09/28/2011
MYERS BIGEL SIBLEY & SAJOVEC
 PO BOX 37428
 RALEIGH, NC 27627

Certificate of Mailing or Transmission
 I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (571) 273-2885, on the date indicated below.

_____ (Depositor's name)
_____ (Signature)
_____ (Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
12/942,763	11/09/2010	Jongwon Lee	5649-2985	2294

TITLE OF INVENTION: METHODS OF FORMING CMOS TRANSISTORS WITH HIGH CONDUCTIVITY GATE ELECTRODES

APPLN. TYPE	SMALL ENTITY	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	NO	\$1740	\$300	\$0	\$2040	12/28/2011

EXAMINER	ART UNIT	CLASS-SUBCLASS
BROWN, VALERIE N	2829	438-592000

<p>1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).</p> <p><input type="checkbox"/> Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.</p> <p><input type="checkbox"/> "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. Use of a Customer Number is required.</p>	<p>2. For printing on the patent front page, list</p> <p>(1) the names of up to 3 registered patent attorneys or agents OR, alternatively, _____ 1</p> <p>(2) the name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed. _____ 2</p> <p>_____ 3</p>
---	---

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE _____ (B) RESIDENCE: (CITY and STATE OR COUNTRY) _____

Please check the appropriate assignee category or categories (will not be printed on the patent): Individual Corporation or other private group entity Government

<p>4a. The following fee(s) are submitted:</p> <p><input type="checkbox"/> Issue Fee</p> <p><input type="checkbox"/> Publication Fee (No small entity discount permitted)</p> <p><input type="checkbox"/> Advance Order - # of Copies _____</p>	<p>4b. Payment of Fee(s): (Please first reapply any previously paid issue fee shown above)</p> <p><input type="checkbox"/> A check is enclosed.</p> <p><input type="checkbox"/> Payment by credit card. Form PTO-2038 is attached.</p> <p><input type="checkbox"/> The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment, to Deposit Account Number _____ (enclose an extra copy of this form).</p>
---	--

5. Change in Entity Status (from status indicated above)

a. Applicant claims SMALL ENTITY status. See 37 CFR 1.27. b. Applicant is no longer claiming SMALL ENTITY status. See 37 CFR 1.27(g)(2).

NOTE: The Issue Fee and Publication Fee (if required) will not be accepted from anyone other than the applicant; a registered attorney or agent; or the assignee or other party in interest as shown by the records of the United States Patent and Trademark Office.

Authorized Signature _____ Date _____

Typed or printed name _____ Registration No. _____

This collection of information is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

Table with 5 columns: APPLICATION NO., FILING DATE, FIRST NAMED INVENTOR, ATTORNEY DOCKET NO., CONFIRMATION NO.
Values: 12/942,763, 11/09/2010, Jongwon Lee, 5649-2985, 2294

20792 7590 09/28/2011
MYERS BIGEL SIBLEY & SAJOVEC
PO BOX 37428
RALEIGH, NC 27627

EXAMINER

BROWN, VALERIE N

ART UNIT PAPER NUMBER

2829

DATE MAILED: 09/28/2011

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(application filed on or after May 29, 2000)

The Patent Term Adjustment to date is 0 day(s). If the issue fee is paid on the date that is three months after the mailing date of this notice and the patent issues on the Tuesday before the date that is 28 weeks (six and a half months) after the mailing date of this notice, the Patent Term Adjustment will be 0 day(s).

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (http://pair.uspto.gov).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Customer Service Center of the Office of Patent Publication at 1-(888)-786-0101 or (571)-272-4200.

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether disclosure of these records is required by the Freedom of Information Act.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspection or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

Notice of Allowability	Application No.	Applicant(s)	
	12/942,763	LEE ET AL.	
	Examiner	Art Unit	
	VALERIE N. BROWN	2829	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--

All claims being allowable, PROSECUTION ON THE MERITS IS (OR REMAINS) CLOSED in this application. If not included herewith (or previously mailed), a Notice of Allowance (PTOL-85) or other appropriate communication will be mailed in due course. **THIS NOTICE OF ALLOWABILITY IS NOT A GRANT OF PATENT RIGHTS.** This application is subject to withdrawal from issue at the initiative of the Office or upon petition by the applicant. See 37 CFR 1.313 and MPEP 1308.

1. This communication is responsive to 09/09/11.
2. An election was made by the applicant in response to a restriction requirement set forth during the interview on _____; the restriction requirement and election have been incorporated into this action.
3. The allowed claim(s) is/are 1-20.
4. Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).
 - a) All b) Some* c) None of the:
 1. Certified copies of the priority documents have been received.
 2. Certified copies of the priority documents have been received in Application No. _____.
 3. Copies of the certified copies of the priority documents have been received in this national stage application from the International Bureau (PCT Rule 17.2(a)).

* Certified copies not received: _____.

Applicant has THREE MONTHS FROM THE "MAILING DATE" of this communication to file a reply complying with the requirements noted below. Failure to timely comply will result in ABANDONMENT of this application.
THIS THREE-MONTH PERIOD IS NOT EXTENDABLE.

5. A SUBSTITUTE OATH OR DECLARATION must be submitted. Note the attached EXAMINER'S AMENDMENT or NOTICE OF INFORMAL PATENT APPLICATION (PTO-152) which gives reason(s) why the oath or declaration is deficient.
 6. CORRECTED DRAWINGS (as "replacement sheets") must be submitted.
 - (a) including changes required by the Notice of Draftsperson's Patent Drawing Review (PTO-948) attached
 - 1) hereto or 2) to Paper No./Mail Date _____.
 - (b) including changes required by the attached Examiner's Amendment / Comment or in the Office action of Paper No./Mail Date _____.
- Identifying indicia such as the application number (see 37 CFR 1.84(c)) should be written on the drawings in the front (not the back) of each sheet. Replacement sheet(s) should be labeled as such in the header according to 37 CFR 1.121(d).**
7. DEPOSIT OF and/or INFORMATION about the deposit of BIOLOGICAL MATERIAL must be submitted. Note the attached Examiner's comment regarding REQUIREMENT FOR THE DEPOSIT OF BIOLOGICAL MATERIAL.

Attachment(s)

- | | |
|---|--|
| <ol style="list-style-type: none"> 1. <input type="checkbox"/> Notice of References Cited (PTO-892) 2. <input type="checkbox"/> Notice of Draftsperson's Patent Drawing Review (PTO-948) 3. <input type="checkbox"/> Information Disclosure Statements (PTO/SB/08),
Paper No./Mail Date _____ 4. <input type="checkbox"/> Examiner's Comment Regarding Requirement for Deposit
of Biological Material | <ol style="list-style-type: none"> 5. <input type="checkbox"/> Notice of Informal Patent Application 6. <input type="checkbox"/> Interview Summary (PTO-413),
Paper No./Mail Date _____. 7. <input type="checkbox"/> Examiner's Amendment/Comment 8. <input checked="" type="checkbox"/> Examiner's Statement of Reasons for Allowance 9. <input type="checkbox"/> Other _____. |
|---|--|

--	--

REASONS FOR ALLOWANCE

1. The following is an examiner's statement of reasons for allowance: Claims 1, 8, and 9 recite the limitations removing an upper portion of the first metal layer from between the inner sidewalls of the spacers and the dummy filler layer; removing the dummy filler layer from between the inner sidewalls of the spacers to expose the first metal layer; and depositing a second metal layer onto a portion of the first metal layer extending between the inner sidewalls of the spacers to thereby define a metal gate electrode comprising a composite of the first and second metal layers. These limitations in combination with the other limitations as set forth in the claims are neither taught nor suggested in the prior art. Claims 2-7, and 10-20 depend from these claims respectively and are allowable for at least that reason.

Any comments considered necessary by applicant must be submitted no later than the payment of the issue fee and, to avoid processing delays, should preferably accompany the issue fee. Such submissions should be clearly labeled "Comments on Statement of Reasons for Allowance."


Any inquiry concerning this communication or earlier communications from the examiner should be directed to VALERIE N. BROWN whose telephone number is (571)270-5015. The examiner can normally be reached on Mon-Fri 8:00am-5:00pm EST.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Ha T. Nguyen can be reached on 5712721678. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see <http://pair-direct.uspto.gov>. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/VALERIE N BROWN/
Examiner, Art Unit 2829
09/22/11

/HA TRAN T NGUYEN/
Supervisory Patent Examiner, Art Unit 2829


Search Notes 	Application/Control No. 12942763	Applicant(s)/Patent Under Reexamination LEE ET AL.
	Examiner VALERIE BROWN	Art Unit 2829

SEARCHED			
Class	Subclass	Date	Examiner
438	296	4/5/2011	VNB
		4/5/2011	

SEARCH NOTES		
Search Notes	Date	Examiner
Did an EAST class subclass search	4/5/2011	VNB
Did an EAST text search notes attached	4/5/2011	VNB

INTERFERENCE SEARCH			
Class	Subclass	Date	Examiner
438	592	9/19/2011	VNB

/VALERIE N BROWN/ Examiner, Art Unit 2829	
--	--

Issue Classification 	Application/Control No. 12942763	Applicant(s)/Patent Under Reexamination LEE ET AL.
	Examiner VALERIE N BROWN	Art Unit 2829

ORIGINAL					INTERNATIONAL CLASSIFICATION												
CLASS		SUBCLASS			CLAIMED					NON-CLAIMED							
438		592			H	0	1	L	21 / 336 (2006.01.01)								
CROSS REFERENCE(S)					H	0	1	L	21 / 44 (2006.01.01)								
					H	0	1	L	21 / 88 ()								
					H	0	1	L	21 / 4763 (2006.01.01)								
CLASS	SUBCLASS (ONE SUBCLASS PER BLOCK)																
438	299	637	926														
257	E21.177	E21.621															

<input checked="" type="checkbox"/> Claims renumbered in the same order as presented by applicant <input type="checkbox"/> CPA <input type="checkbox"/> T.D. <input type="checkbox"/> R.1.47															
Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original
	1		17												
	2		18												
	3		19												
	4		20												
	5														
	6														
	7														
	8														
	9														
	10														
	11														
	12														
	13														
	14														
	15														
	16														

/VALERIE N BROWN/ Examiner.Art Unit 2829	09/22/2011 (Date)	Total Claims Allowed: 20	
/HA TRAN T NGUYEN/ Supervisory Patent Examiner.Art Unit 2829 (Primary Examiner)	09/23/2011 (Date)	O.G. Print Claim(s) 1	O.G. Print Figure 14

<i>Index of Claims</i> 	Application/Control No. 12942763	Applicant(s)/Patent Under Reexamination LEE ET AL.
	Examiner VALERIE BROWN	Art Unit 2829

✓	Rejected
=	Allowed

-	Cancelled
÷	Restricted

N	Non-Elected
I	Interference

A	Appeal
O	Objected

Claims renumbered in the same order as presented by applicant
 CPA
 T.D.
 R.1.47

CLAIM		DATE							
Final	Original	05/08/2011	09/22/2011						
	1	✓	=						
	2	✓	=						
	3	✓	=						
	4	✓	=						
	5	✓	=						
	6	✓	=						
	7	✓	=						
	8	✓	=						
	9	✓	=						
	10	✓	=						
	11	✓	=						
	12	✓	=						
	13	✓	=						
	14	✓	=						
	15	✓	=						
	16	✓	=						
	17	✓	=						
	18	✓	=						
	19		=						
	20		=						

Attorney Docket No. 5649-2985

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: LEE et al.

Confirmation No.: 2294

Serial No.: 12/942,763

Group No.: 2829

Filed: November 9, 2010

Examiner: Brown, Valerie N

For: **METHODS OF FORMING CMOS TRANSISTORS WITH HIGH
CONDUCTIVITY GATE ELECTRODES**

Date: September 9, 2011

Mail Stop Amendment
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

AMENDMENT

Dear Sirs:

This paper is responsive to the Office Action mailed May 11, 2011 regarding the above-referenced patent application. Please amend this application as follows and reconsider the rejections of the claims for at least the reasons presented in the following remarks.

Please charge the fee for an extension of time and/or additional fee(s)-including fees for net addition of claims under 37 C.F.R. §1.136(a) and any additional fees believed to be due in connection with this paper to our Deposit Account No. 50-0220.

Listing of Claims:

1. (Original) A method of forming an insulated-gate transistor, comprising:
forming a gate insulating layer on a substrate;
forming a dummy gate electrode on the gate insulating layer;
forming electrically insulating spacers on sidewalls of the dummy gate electrode;
covering the spacers and the dummy gate electrode with an electrically insulating mold layer;
removing an upper portion of the mold layer to expose an upper surface of the dummy gate electrode;
removing the dummy gate electrode from between the spacers by selectively etching back the dummy gate electrode using the mold layer and the spacers as an etching mask;
depositing a first metal layer onto an upper surface of the mold layer and onto inner sidewalls of the spacers;
filling a space between the inner sidewalls of the spacers with a dummy filler layer that contacts the first metal layer;
removing an upper portion of the first metal layer from between the inner sidewalls of the spacers and the dummy filler layer;
removing the dummy filler layer from between the inner sidewalls of the spacers to expose the first metal layer; and
depositing a second metal layer onto a portion of the first metal layer extending between the inner sidewalls of the spacers to thereby define a metal gate electrode comprising a composite of the first and second metal layers.

2. (Original) The method of Claim 1, wherein said filling a space is followed by a step of planarizing the dummy filler layer to expose a portion of the first metal layer on the upper surface of the mold layer.

3. (Original) The method of Claim 1, wherein the dummy gate electrode and the dummy filler layer comprise the same materials.

4. (Original) The method of Claim 1, wherein the dummy gate electrode and the dummy filler layer comprise polysilicon.

5. (Original) The method of Claim 1, wherein said forming a dummy gate electrode on the gate insulating layer is preceded by forming a buffer gate electrode comprising titanium nitride or tantalum nitride on the gate insulating layer.

6. (Original) The method of Claim 1, wherein said removing an upper portion of the first metal layer comprises selectively etching the first metal layer using the dummy filler layer and the mold layer as an etching mask.

7. (Original) The method of Claim 5, wherein the first metal layer comprises titanium nitride.

8. (Original) A method of forming CMOS transistors, comprising:
forming first and second gate insulating layers on a substrate;
forming first and second dummy gate electrodes on the first and second gate insulating layers, respectively;

forming first and second electrically insulating spacers on sidewalls of the first and second dummy gate electrodes, respectively;

covering the first and second spacers and the first and second dummy gate electrodes with an electrically insulating mold layer;

removing an upper portion of the mold layer to expose an upper surface of the first dummy gate electrode and an upper surface of the second dummy gate electrode;

selectively removing the first dummy gate electrode from between the first spacers using a mask to prevent removal of the second dummy gate electrode;

depositing a first metal layer onto an upper surface of the mold layer and onto inner sidewalls of the first spacers;

filling a space between the inner sidewalls of the first spacers with a dummy filler layer that contacts the first metal layer;

removing an upper portion of the first metal layer from between the inner sidewalls of the first spacers and the dummy filler layer;

removing the dummy filler layer from between the inner sidewalls of the first spacers to expose the first metal layer concurrently with removing the second dummy gate electrode from between inner sidewalls of the second spacers; and

depositing a second metal layer onto a portion of the first metal layer extending between the inner sidewalls of the first spacers to thereby define a first metal gate electrode of comprising a composite of the first and second metal layers concurrently with depositing the second metal layer into a space between the inner sidewalls of the second spacers to thereby define a second metal gate electrode.

9. (Currently amended) A method for manufacturing a MOS transistor, comprising:
 - providing a substrate having a first active region and a second active region;
 - forming a dummy gate stack on the first active region and the second active region, the dummy gate stack comprising a gate dielectric layer and a dummy gate electrode;
 - forming source/drain regions in the first active region and the second active region disposed at both sides of the dummy gate stack;
 - forming a mold insulating layer on the source/drain regions;
 - removing the dummy gate electrode on the first active region to form a first trench on the mold insulating layer;
 - forming a first metal pattern at a lower portion of the first trench to form a second trench, and removing the dummy gate electrode on the second active region to form a third trench in the mold insulating layer; and
 - forming a second metal layer in the second trench and the third trench to form a first gate electrode on the first active region and a second gate electrode on the second active region.

wherein the forming of the second trench and the third trench comprises:
stacking a first metal layer and a dummy filler layer on a top surface of the mold
insulating layer and in the first trench;
planarizing the dummy filler layer to expose the first metal layer; and
removing the first metal layer on the top surface of the mold insulating layer and
removing an upper portion of the first metal layer formed between the mold insulating layer and
the dummy filler layer to form the first metal pattern at the lower portion of the first trench, using
the mold insulating layer and the dummy filler layer as an etching mask.

10. (Canceled)

11. (Currently amended) The method of Claim 109, wherein the dummy gate electrode and the dummy filler layer are formed of the same material.

12. (Original) The method of Claim 11, wherein the dummy gate electrode and the dummy filler layer are formed of polysilicon.

13. (Original) The method of Claim 11, wherein the forming of the second trench and the third trench further comprises:
removing the filler layer on the first active region and the dummy gate electrode on the second active region to form the second trench on the first active region and the third trench on the second active region.

14. (Original) The method of Claim 11, wherein the first metal layer is removed by an etching method in which the first metal layer is etched with etching selectivity to the dummy filler layer and the mold insulating layer.

15. (Original) The method of Claim 11, wherein the first metal layer is removed while remaining at a bottom surface and a side lower portion of the first trench to form the first metal pattern.

16. (Currently amended) The method of Claim 409, further comprising:
forming a spacer on a sidewall of the dummy gate electrode.

17. (Currently amended) The method of Claim 409, further comprising:
forming a buffer gate electrode between the gate insulating layer and the dummy gate electrode.

18. (Original) The method of Claim 17, wherein the buffer gate electrode comprises titanium nitride or tantalum nitride.

19. (Currently amended) The method of Claim 409, wherein the forming of the first gate electrode and the second gate electrode comprises:
forming the second metal layer on the entire surface of the substrate including the second trench and the third trench; and
planarizing the second metal layer down to a top surface of the mold layer to isolate the first gate electrode and the second gate electrode from each other.

20. (Currently amended) The method of Claim 409, wherein forming the second metal layer in the second trench and the third trench respectively.

REMARKS

Applicants appreciate the examination of the application that is evidenced by the Official Action of May 11, 2011. In response to the Official Action, Claims 9, 11 16-17 and 19-20 have been amended and Claim 10 has been canceled. Thus, the sole outstanding issues are the rejections of Claims 1-9 and 11-20 as being anticipated by, or obvious in view of, Lim et al. (US 7,871,915).

Claims 1-8 are Patentable Over Lim et al.

Applicants respectfully request reconsideration of the rejections of Claims 1-8 because the subject matter of these claims is not disclosed or suggested by Lim et al., as asserted by the Official Action. In particular, Applicants respectfully submit that nowhere does Lim et al. disclose or suggest, among other things, a step of “removing an upper portion of the first metal layer from between the inner sidewalls of the spacers and the dummy filler layer,” as recited by independent Claims 1 and 8.

As asserted by the Examiner at pages 2-3 of the Official Action, a “first metal layer (246)” is shown as the P-metal layer 246 (or 256) in FIGS. 2A-2D of Lim et al. However, this P-metal layer 246 (or 256) is nowhere disclosed as being removed from “between inner sidewalls of the spacers and the dummy filler layer,” as recited by Claims 1 and 8. Instead, the P-metal layer 246 of Lim et al. is merely disclosed as being etched into a thinner metal layer 256 in FIG. 2C, before a thicker aluminum (Al) layer 260 is deposited thereon, as illustrated by Fig. 2D. This thicker aluminum layer 260 is then planarized to yield the 3-metal gate electrodes 281 and 282 illustrated by FIG. 2E of Lim et al.

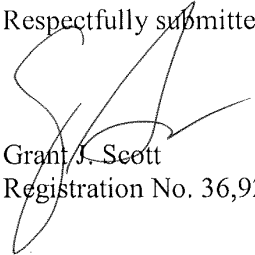
In stark contrast, Claims 1 and 8 of the present application recite “removing an upper portion of the first metal layer from between the inner sidewalls of the spacers and the dummy filler layer.” As illustrated by FIGS. 13-14 of the present application, a first metal layer 36 becomes recessed between an insulating layer 32 and the dummy filler layer 38, but this recession is nowhere disclosed by Lim et al. For at least these reasons, Applicants respectfully submit that Claims 1-8 are in condition for allowance.

In re: LEE et al.
Serial No.: 12/942,763
Filed: November 9, 2010
Page 8

Amended Claim 9 and Dependent Claims 11-20 are Patentable Over Lim et al.

Applicants have amended Claim 9 to include recitations from Claim 10 and additional recitations that highlight aspects of the present invention that are nowhere disclosed or suggested by Lim et al. In particular, Applicants have amended Claim 9 to highlight, among other things, the embodiment of FIG. 14 of the present application. As shown by FIG. 14, a mold insulating layer 32 and a dummy filler layer 38 on the first active region 14 are used as an etching mask during a step of removing an upper portion of the first metal layer 36 between the mold insulating layer 32 and the dummy filler layer 38. Applicants submit, however, that Lim et al. provides absolutely no disclosure or suggestion of using the recited combination of materials as an etching mask during a step of recessing an upper portion of a covering metal layer. Accordingly, Applicants submit that amended Claim 9 is patentable over Lim et al. and Claims 11-20 are patentable for at least the reasons that Claim 9 is patentable.

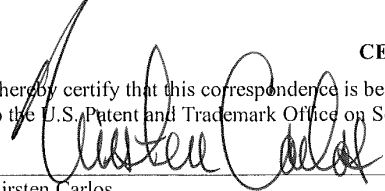
Respectfully submitted,


Grant J. Scott
Registration No. 36,925

USPTO Customer No. 20792
Myers Bigel Sibley & Sajovec
Post Office Box 37428
Raleigh, North Carolina 27627
Telephone: 919/854-1400
Facsimile: 919/854-1401

CERTIFICATION OF TRANSMISSION

I hereby certify that this correspondence is being transmitted via the Office electronic filing system in accordance with § 1.6(a)(4) to the U.S. Patent and Trademark Office on September 9, 2011.


Kirsten Carlos

Under the paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PETITION FOR EXTENSION OF TIME UNDER 37 CFR 1.136(a) FY 2009 <i>(Fees pursuant to the Consolidated Appropriations Act, 2005 (H.R. 4818).)</i>		Docket Number (Optional) 5649-2985	
Application Number 12/942,763		Filed November 9, 2010	
For METHODS OF FORMING CMOS TRANSISTORS WITH HIGH CONDUCTIVITY GATE et al.			
Art Unit 2829		Examiner Valerie N Brown	
This is a request under the provisions of 37 CFR 1.136(a) to extend the period for filing a reply in the above identified application. The requested extension and fee are as follows (check time period desired and enter the appropriate fee below):			
		<u>Fee</u>	<u>Small Entity Fee</u>
<input checked="" type="checkbox"/>	One month (37 CFR 1.17(a)(1))	\$130	\$65 \$ <u>130</u>
<input type="checkbox"/>	Two months (37 CFR 1.17(a)(2))	\$490	\$245 \$ _____
<input type="checkbox"/>	Three months (37 CFR 1.17(a)(3))	\$1110	\$555 \$ _____
<input type="checkbox"/>	Four months (37 CFR 1.17(a)(4))	\$1730	\$865 \$ _____
<input type="checkbox"/>	Five months (37 CFR 1.17(a)(5))	\$2350	\$1175 \$ _____
<input type="checkbox"/> Applicant claims small entity status. See 37 CFR 1.27.			
<input type="checkbox"/> A check in the amount of the fee is enclosed.			
<input type="checkbox"/> Payment by credit card. Form PTO-2038 is attached.			
<input type="checkbox"/> The Director has already been authorized to charge fees in this application to a Deposit Account.			
<input checked="" type="checkbox"/> The Director is hereby authorized to charge any fees which may be required, or credit any overpayment, to Deposit Account Number <u>50-0220</u> .			
WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.			
I am the <input type="checkbox"/> applicant/inventor.			
<input type="checkbox"/> assignee of record of the entire interest. See 37 CFR 3.71. Statement under 37 CFR 3.73(b) is enclosed (Form PTO/SB/96).			
<input checked="" type="checkbox"/> attorney or agent of record. Registration Number <u>36,925</u>			
<input type="checkbox"/> attorney or agent under 37 CFR 1.34. Registration number if acting under 37 CFR 1.34 _____			
_____ Signature		September 9, 2011 Date	
Grant J. Scott Typed or printed name		919-854-1400 Telephone Number	
NOTE: Signatures of all the inventors or assignees of record of the entire interest or their representative(s) are required. Submit multiple forms if more than one signature is required, see below.			
<input checked="" type="checkbox"/> Total of <u>1</u> forms are submitted.			

This collection of information is required by 37 CFR 1.136(a). The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 6 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

Electronic Patent Application Fee Transmittal

Application Number:	12942763			
Filing Date:	09-Nov-2010			
Title of Invention:	Methods of Forming CMOS Transistors with High Conductivity Gate Electrodes			
First Named Inventor/Applicant Name:	Jongwon Lee			
Filer:	Grant J. Scott/Kirsten Carlos			
Attorney Docket Number:	5649-2985			
Filed as Large Entity				
Utility under 35 USC 111(a) Filing Fees				
Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				
Extension - 1 month with \$0 paid	1251	1	130	130

Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Miscellaneous:				
Total in USD (\$)				130

Electronic Acknowledgement Receipt

EFS ID:	10916528
Application Number:	12942763
International Application Number:	
Confirmation Number:	2294
Title of Invention:	Methods of Forming CMOS Transistors with High Conductivity Gate Electrodes
First Named Inventor/Applicant Name:	Jongwon Lee
Customer Number:	20792
Filer:	Grant J. Scott/Kirsten Carlos
Filer Authorized By:	Grant J. Scott
Attorney Docket Number:	5649-2985
Receipt Date:	09-SEP-2011
Filing Date:	09-NOV-2010
Time Stamp:	16:13:54
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Deposit Account
Payment was successfully received in RAM	\$130
RAM confirmation Number	3124
Deposit Account	500220
Authorized User	

The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows:

Charge any Additional Fees required under 37 C.F.R. Section 1.17 (Patent application and reexamination processing fees)

File Listing:					
Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		2985Amendment.pdf	632270	yes	8
			880eab4d617478a510d6f33c348ce24c74a0f32		
Multipart Description/PDF files in .zip description					
		Document Description	Start	End	
		Amendment/Req. Reconsideration-After Non-Final Reject	1	1	
		Claims	2	6	
		Applicant Arguments/Remarks Made in an Amendment	7	8	
Warnings:					
Information:					
2	Extension of Time	2985ExtTime.pdf	118606	no	1
			835e1c3767648139a990d410c157e8b9e0a1b77c		
Warnings:					
Information:					
3	Fee Worksheet (SB06)	fee-info.pdf	30170	no	2
			dbf11eb84c190300e99b1c275b607ac7cb7c3b82		
Warnings:					
Information:					
Total Files Size (in bytes):			781046		
<p>This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.</p> <p><u>New Applications Under 35 U.S.C. 111</u> If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.</p> <p><u>National Stage of an International Application under 35 U.S.C. 371</u> If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.</p> <p><u>New International Application Filed with the USPTO as a Receiving Office</u> If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.</p>					

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD Substitute for Form PTO-875					Application or Docket Number 12/942,763		Filing Date 11/09/2010		<input type="checkbox"/> To be Mailed					
APPLICATION AS FILED – PART I														
(Column 1)			(Column 2)			SMALL ENTITY <input type="checkbox"/>		OR			OTHER THAN SMALL ENTITY			
FOR		NUMBER FILED	NUMBER EXTRA		RATE (\$)	FEE (\$)	OR		RATE (\$)	FEE (\$)				
<input type="checkbox"/> BASIC FEE (37 CFR 1.16(a), (b), or (c))		N/A	N/A		N/A				N/A					
<input type="checkbox"/> SEARCH FEE (37 CFR 1.16(k), (i), or (m))		N/A	N/A		N/A		N/A							
<input type="checkbox"/> EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))		N/A	N/A		N/A		N/A							
TOTAL CLAIMS (37 CFR 1.16(i))		minus 20 =	*		X \$ =		OR		X \$ =					
INDEPENDENT CLAIMS (37 CFR 1.16(h))		minus 3 =	*		X \$ =		OR		X \$ =					
<input type="checkbox"/> APPLICATION SIZE FEE (37 CFR 1.16(s))		If the specification and drawings exceed 100 sheets of paper, the application size fee due is \$250 (\$125 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).												
<input type="checkbox"/> MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))														
										TOTAL		TOTAL		
* If the difference in column 1 is less than zero, enter "0" in column 2.														
APPLICATION AS AMENDED – PART II														
(Column 1)			(Column 2)			(Column 3)			SMALL ENTITY		OR		OTHER THAN SMALL ENTITY	
AMENDMENT	09/09/2011		CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE (\$)	ADDITIONAL FEE (\$)	OR		RATE (\$)	ADDITIONAL FEE (\$)		
	Total (37 CFR 1.16(i))		* 19	Minus	** 20	= 0	X \$ =				X \$52=	0		
	Independent (37 CFR 1.16(h))		* 3	Minus	***3	= 0	X \$ =		X \$220=	0				
	<input type="checkbox"/> Application Size Fee (37 CFR 1.16(s))													
	<input type="checkbox"/> FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))													
							TOTAL ADD'L FEE		OR		TOTAL ADD'L FEE		0	
AMENDMENT			CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE (\$)	ADDITIONAL FEE (\$)	OR		RATE (\$)	ADDITIONAL FEE (\$)		
	Total (37 CFR 1.16(i))		*	Minus	**	=	X \$ =				X \$ =			
	Independent (37 CFR 1.16(h))		*	Minus	***	=	X \$ =		X \$ =					
	<input type="checkbox"/> Application Size Fee (37 CFR 1.16(s))													
	<input type="checkbox"/> FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))													
							TOTAL ADD'L FEE		OR		TOTAL ADD'L FEE			
* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.														
** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".														
*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".														
The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.														
										Legal Instrument Examiner: /AJAY R. DAVID/				

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

Table with 4 columns: APPLICATION NUMBER (12/942,763), FILING OR 371(C) DATE (11/09/2010), FIRST NAMED APPLICANT (Jongwon Lee), ATTY. DOCKET NO./TITLE (5649-2985)

CONFIRMATION NO. 2294

20792
MYERS BIGEL SIBLEY & SAJOVEC
PO BOX 37428
RALEIGH, NC 27627

PUBLICATION NOTICE



Title:Methods of Forming CMOS Transistors with High Conductivity Gate Electrodes

Publication No.US-2011-0136313-A1

Publication Date:06/09/2011

NOTICE OF PUBLICATION OF APPLICATION

The above-identified application will be electronically published as a patent application publication pursuant to 37 CFR 1.211, et seq. The patent application publication number and publication date are set forth above.

The publication may be accessed through the USPTO's publically available Searchable Databases via the Internet at www.uspto.gov. The direct link to access the publication is currently http://www.uspto.gov/patft/.

The publication process established by the Office does not provide for mailing a copy of the publication to applicant. A copy of the publication may be obtained from the Office upon payment of the appropriate fee set forth in 37 CFR 1.19(a)(1). Orders for copies of patent application publications are handled by the USPTO's Office of Public Records. The Office of Public Records can be reached by telephone at (703) 308-9726 or (800) 972-6382, by facsimile at (703) 305-8759, by mail addressed to the United States Patent and Trademark Office, Office of Public Records, Alexandria, VA 22313-1450 or via the Internet.

In addition, information on the status of the application, including the mailing date of Office actions and the dates of receipt of correspondence filed in the Office, may also be accessed via the Internet through the Patent Electronic Business Center at www.uspto.gov using the public side of the Patent Application Information and Retrieval (PAIR) system. The direct link to access this status information is currently http://pair.uspto.gov/. Prior to publication, such status information is confidential and may only be obtained by applicant using the private side of PAIR.

Further assistance in electronically accessing the publication, or about PAIR, is available by calling the Patent Electronic Business Center at 1-866-217-9197.

Office of Data Management, Application Assistance Unit (571) 272-4000, or (571) 272-4200, or 1-888-786-0101



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
-----------------	-------------	----------------------	---------------------	------------------

12/942,763 11/09/2010 Jongwon Lee 5649-2985 2294

20792 7590 05/11/2011
MYERS BIGEL SIBLEY & SAJOVEC
PO BOX 37428
RALEIGH, NC 27627

EXAMINER

BROWN, VALERIE N

ART UNIT	PAPER NUMBER
----------	--------------

2829

MAIL DATE	DELIVERY MODE
-----------	---------------

05/11/2011 PAPER

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Office Action Summary	Application No.	Applicant(s)	
	12/942,763	LEE ET AL.	
	Examiner	Art Unit	
	VALERIE BROWN	2829	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --
Period for Reply

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE 3 MONTH(S) OR THIRTY (30) DAYS, WHICHEVER IS LONGER, FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133). Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

Status

- 1) Responsive to communication(s) filed on ____.
- 2a) This action is **FINAL**. 2b) This action is non-final.
- 3) Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

Disposition of Claims

- 4) Claim(s) 1-18 is/are pending in the application.
4a) Of the above claim(s) ____ is/are withdrawn from consideration.
- 5) Claim(s) ____ is/are allowed.
- 6) Claim(s) 1-18 is/are rejected.
- 7) Claim(s) ____ is/are objected to.
- 8) Claim(s) ____ are subject to restriction and/or election requirement.

Application Papers

- 9) The specification is objected to by the Examiner.
- 10) The drawing(s) filed on 09 November 2010 is/are: a) accepted or b) objected to by the Examiner.
Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).
Replacement drawing sheet(s) including the correction is required if the drawing(s) is objected to. See 37 CFR 1.121(d).
- 11) The oath or declaration is objected to by the Examiner. Note the attached Office Action or form PTO-152.

Priority under 35 U.S.C. § 119

- 12) Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).
a) All b) Some * c) None of:
1. Certified copies of the priority documents have been received.
2. Certified copies of the priority documents have been received in Application No. ____.
3. Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).

* See the attached detailed Office action for a list of the certified copies not received.

Attachment(s)

- | | |
|--|---|
| 1) <input checked="" type="checkbox"/> Notice of References Cited (PTO-892) | 4) <input type="checkbox"/> Interview Summary (PTO-413)
Paper No(s)/Mail Date. ____. |
| 2) <input type="checkbox"/> Notice of Draftsperson's Patent Drawing Review (PTO-948) | 5) <input type="checkbox"/> Notice of Informal Patent Application |
| 3) <input checked="" type="checkbox"/> Information Disclosure Statement(s) (PTO/SB/08)
Paper No(s)/Mail Date <u>11/09/10 and 11/30/10</u> . | 6) <input type="checkbox"/> Other: ____. |

DETAILED ACTION

Claim Rejections - 35 USC § 102

1. The following is a quotation of the appropriate paragraphs of 35 U.S.C. 102 that form the basis for the rejections under this section made in this Office action:

A person shall be entitled to a patent unless –

(e) the invention was described in (1) an application for patent, published under section 122(b), by another filed in the United States before the invention by the applicant for patent or (2) a patent granted on an application for patent by another filed in the United States before the invention by the applicant for patent, except that an international application filed under the treaty defined in section 351(a) shall have the effects for purposes of this subsection of an application filed in the United States only if the international application designated the United States and was published under Article 21(2) of such treaty in the English language.

2. Claims 1, 5-7, and 9 are rejected under 35 U.S.C. 102(e) as being anticipated by US 7871915 (Lim et al).

Concerning claim 1, **Lim** discloses forming a gate insulating layer (216) on a substrate (202); forming a dummy gate electrode on the gate insulating layer (column 5 lines 11-20); forming electrically insulating spacers (220) on sidewalls of the dummy gate electrode; covering the spacers and the dummy gate electrode with an electrically insulating mold layer (230 and Fig. 2A and column 5 lines 1-10); removing an upper portion of the mold layer to expose an upper surface of the dummy gate electrode (Fig. 2A and column 5 lines 1-10); removing the dummy gate electrode from between the spacers by selectively etching back the dummy gate electrode using the mold layer and the spacers as an etching mask(column 5 lines 11-20); depositing a first metal layer (246) onto an upper surface of the mold layer and onto inner sidewalls of the spacers (Fig. 1 block 108 and column 5 lines 30-44); filling a space between the inner sidewalls of the

Art Unit: 2829

spacers with a dummy filler layer that contacts the first metal layer (column 5 lines 45-60); removing an upper portion of the first metal layer from between the inner sidewalls of the spacers and the dummy filler layer (column 5 lines 5-65 and column 6 lines 1-10); removing the dummy filler layer from between the inner sidewalls of the spacers to expose the first metal layer (column 5 lines 5-65 and column 6 lines 1-10); and depositing a second metal layer onto a portion of the first metal layer extending between the inner sidewalls of the spacers to thereby define a metal gate electrode comprising a composite of the first and second metal layers (Fig. 2D and column 6 lines 3-20).

Continuing to claim 9, **Lim** discloses providing a substrate (202) having a first active region and a second active region (Fig. 2A); forming a dummy gate stack on the first active region and the second active region (Fig. 1 blocks 104), the dummy gate stack comprising a gate dielectric (216) layer and a dummy gate electrode (column 5 lines 11-20); forming source/drain regions in the first active region and the second active region (column 4 lines 55-67) disposed at both sides of the dummy gate stack; forming a mold insulating layer (230) on the source/drain regions; removing the dummy gate electrode on the first active region to form a first trench on the mold insulating layer (Fig. 1 block 106); forming a first metal pattern (246) at a lower portion of the first trench to form a second trench, and removing the dummy gate electrode on the second active region to form a third trench in the mold insulating layer (Fig. 1 block 114 and Fig. 2A); and forming a second metal layer in the second trench and the third trench to form a first gate electrode on the first active region and a second gate electrode on the second active region (Fig. 2D and column 6 lines 3-20).

Referring to claims 5-7, **Lim** discloses forming a dummy gate electrode on the gate insulating layer is preceded by forming a buffer gate electrode (244) comprising titanium nitride or tantalum nitride on the gate insulating layer (column 5 lines 20-30), removing an upper portion of the first metal layer comprises selectively etching the first metal layer using the dummy filler layer and the mold layer as an etching mask (column 5 lines 50-67 and column 6 lines 1-3), and the first metal layer comprises titanium nitride (column 5 lines 39-44).

Claim Rejections - 35 USC § 103

1. The following is a quotation of 35 U.S.C. 103(a) which forms the basis for all obviousness rejections set forth in this Office action:

(a) A patent may not be obtained though the invention is not identically disclosed or described as set forth in section 102 of this title, if the differences between the subject matter sought to be patented and the prior art are such that the subject matter as a whole would have been obvious at the time the invention was made to a person having ordinary skill in the art to which said subject matter pertains. Patentability shall not be negated by the manner in which the invention was made.

2. Claims 2-4, 8, and 10-18 are rejected under 35 U.S.C. 103(a) as being unpatentable over US 7871915 (Lim et al).

Regarding claims 2 and 10, **Lim** discloses stacking a first metal layer and a dummy filler layer on a top surface of the mold insulating layer and in the first trench (Fig. 2B) and removing the first metal layer on the top surface of the mold insulating layer and removing an upper portion of the first metal layer formed between the mold insulating layer and the dummy filler layer to form the first metal pattern at the lower portion of the first trench (Fig. 2C note that a portion of the upper metal layer is removed by thinning) but does not explicitly disclose

planarizing the dummy filler layer to expose a portion of the first metal layer on the upper surface of the mold layer. However, there are several different ways in which to remove the metal layer, i.e. simultaneous removal of the dummy filler layer and the metal layer, planarizing the dummy filler layer to expose a portion of the first metal layer on the upper surface of the mold layer, etc. all of which have a reasonable expectation of success in removal of the metal layer. Therefore absent any evidence that planarizing the dummy filler layer to expose a portion of the first metal layer on the upper surface of the mold layer provides a new and unexpected result, it would have been obvious to one of ordinary skill in the art at the time of the invention to try different methods in order to arrive at the optimal sequence of processes for optimal device manufacture.

Considering claim 8, **Lim** discloses forming a first and second gate insulating layer (216) on a substrate (202); forming first and second dummy gate electrode on the first and second gate insulating layer (column 5 lines 11-20); forming first and second electrically insulating spacers (220) on sidewalls of the first and second dummy gate electrode; covering the first and second spacers and the first and second dummy gate electrode with an electrically insulating mold layer (230 and Fig. 2A and column 5 lines 1-10); removing an upper portion of the mold layer to expose an upper surface of the dummy gate electrode (Fig. 2A and column 5 lines 1-10); removing the first dummy gate electrode from between the spacers (column 5 lines 11-20); depositing a first metal layer (246) onto an upper surface of the mold layer and onto inner sidewalls of the spacers (Fig. 1 block 108 and column 5 lines 30-44); filling a space between the inner sidewalls of the spacers with a dummy filler layer that contacts the first metal layer (column 5 lines 45-60); removing an upper portion of the first metal layer from between the

inner sidewalls of the spacers and the dummy filler layer (column 5 lines 5-65 and column 6 lines 1-10); removing the dummy filler layer from between the inner sidewalls of the spacers to expose the first metal layer (column 5 lines 5-65 and column 6 lines 1-10); and depositing a second metal layer onto a portion of the first metal layer extending between the inner sidewalls of the spacers to thereby define a metal gate electrode comprising a composite of the first and second metal layers concurrently with depositing the second metal layer into a space between the inner sidewalls of the second spacer to thereby define a second metal gate electrode (Fig. 2D and column 6 lines 3-20), but does not disclose using a mask to prevent removal of the second dummy gate electrode. However, it is well known the use of masks as means to prevent the removal of materials from an area where the presence of the materials is desirable. The selection of a known material based on its suitability for its intended use supported a prima facie obviousness determination in *Sinclair & Carroll Co. v. Interchemical Corp.*, 325 U.S. 327, 65 USPQ 297 (1945). See MPEP2144.07. Therefore absent any evidence that the use of the mask provides a new and unexpected result, it would have been obvious to one of ordinary skill in the art at the time of the invention to use a mask in order to remove materials selective to areas where the removal is not desired.

Considering claims 3, 4, 11, and 12 with claims 3 and 11 and 4 and 12 being similar in scope), **Lim** discloses forming the dummy gate material of polysilicon and the dummy filler layer of SOG, but does not disclose that the dummy gate electrode and the dummy filler layer are formed of the same material or that that material is polysilicon. The selection of a known material based on its suitability for its intended use supported a prima facie obviousness determination in *Sinclair & Carroll Co. v. Interchemical Corp.*, 325 U.S. 327, 65 USPQ 297

(1945). See MPEP2144.07. Therefore absent any evidence that the use polysilicon provides a new and unexpected result, it would have been obvious to one of ordinary skill in the art at the time of the invention to use polysilicon because it is suitable for the intended purpose for use as a dummy gate material.

Concerning claims 13 and 15-18, **Lim** discloses removing the filler layer on the first active region and the dummy gate electrode on the second active region to form the second trench on the first active region and the third trench on the second active region (column 6 lines 46-67), the first metal layer is removed while remaining at a bottom surface and a side lower portion of the first trench to form the first metal pattern (column 5 lines 5-65 and column 6 lines 1-10 note that the first metal layer is thinned thereby leaving a portion in the lower portion in the trench); forming a spacer (220) on a sidewall of the dummy gate electrode, forming a buffer gate electrode (244) between the gate insulating layer and the dummy gate electrode, and the buffer gate electrode comprises titanium nitride or tantalum nitride (column 5 lines 20-30).

Regarding claim 14, **Lim** discloses) and removing the first metal layer on the top surface of the mold insulating layer and removing an upper portion of the first metal layer formed between the mold insulating layer and the dummy filler layer to form the first metal pattern at the lower portion of the first trench (Fig. 2C note that a portion of the upper metal layer is removed by thinning) but does not explicitly disclose the first metal layer is removed by an etching method in which the first metal layer is etched selectively to the dummy filler layer and mold insulating layer. However, there are several different ways in which to remove the metal layer, i.e. simultaneous removal of the dummy filler layer and the metal layer, planarizing the dummy filler layer to expose a portion of the first metal layer on the upper surface of the mold layer, etc.

all of which have a reasonable expectation of success in removal of the metal layer. Therefore absent any evidence that planarizing the dummy filler layer to expose a portion of the first metal layer on the upper surface of the mold layer provides a new and unexpected result, it would have been obvious to one of ordinary skill in the art at the time of the invention to try different methods in order to arrive at the optimal sequence of processes for optimal device manufacture.

Conclusion

3. The prior art made of record and not relied upon is considered pertinent to applicant's disclosure. US 20020058374, US 20060051957, and US 20060008968 disclose several different methods of forming a gate electrode using a replacement gate method.

Any inquiry concerning this communication or earlier communications from the examiner should be directed to VALERIE BROWN whose telephone number is (571)270-5015. The examiner can normally be reached on Mon-Fri 8:00am-5:00pm EST.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Ha Nguyen can be reached on 5712721678. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see <http://pair-direct.uspto.gov>. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/Valerie Brown/
Examiner, Art Unit 2829
05/07/11

/Ha T. Nguyen/
Supervisory Patent Examiner, Art Unit 2829

Notice of References Cited	Application/Control No. 12/942,763	Applicant(s)/Patent Under Reexamination LEE ET AL.	
	Examiner VALERIE BROWN	Art Unit 2829	Page 1 of 1

U.S. PATENT DOCUMENTS

*	Document Number Country Code-Number-Kind Code	Date MM-YYYY	Name	Classification
*	A US-7,871,915	01-2011	Lim et al.	438/592
*	B US-2002/0058374	05-2002	Kim et al.	438/228
*	C US-2006/0008968	01-2006	Brask et al.	438/206
*	D US-2006/0051957	03-2006	Brask et al.	438/637
	E US-			
	F US-			
	G US-			
	H US-			
	I US-			
	J US-			
	K US-			
	L US-			
	M US-			

FOREIGN PATENT DOCUMENTS

*	Document Number Country Code-Number-Kind Code	Date MM-YYYY	Country	Name	Classification
	N				
	O				
	P				
	Q				
	R				
	S				
	T				

NON-PATENT DOCUMENTS

*	Include as applicable: Author, Title Date, Publisher, Edition or Volume, Pertinent Pages)
U	
V	
W	
X	

*A copy of this reference is not being furnished with this Office action. (See MPEP § 707.05(a).)
Dates in MM-YYYY format are publication dates. Classifications may be US or foreign.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
 United States Patent and Trademark Office
 Address: COMMISSIONER FOR PATENTS
 P.O. Box 1450
 Alexandria, Virginia 22313-1450
 www.uspto.gov

BIB DATA SHEET

CONFIRMATION NO. 2294


SERIAL NUMBER 12/942,763	FILING or 371(c) DATE 11/09/2010 RULE	CLASS 438	GROUP ART UNIT 2829	ATTORNEY DOCKET NO. 5649-2985	
APPLICANTS Jongwon Lee, Hwaseong-si, KOREA, REPUBLIC OF; Boun Yoon, Seoul, KOREA, REPUBLIC OF; Sang Yeob Han, Anyang-si, KOREA, REPUBLIC OF; Chae Lyoung Kim, Hwaseong-si, KOREA, REPUBLIC OF; ** CONTINUING DATA ***** ** FOREIGN APPLICATIONS ***** REPUBLIC OF KOREA 10-2009-0121108 12/08/2009 ** IF REQUIRED, FOREIGN FILING LICENSE GRANTED ** 11/19/2010					
Foreign Priority claimed <input checked="" type="checkbox"/> Yes <input type="checkbox"/> No 35 USC 119(a-d) conditions met <input checked="" type="checkbox"/> Yes <input type="checkbox"/> No Verified and Acknowledged <u>/VALERIE N BROWN/</u> Examiner's Signature	<input type="checkbox"/> Met after Allowance Initials	STATE OR COUNTRY KOREA, REPUBLIC OF	SHEETS DRAWINGS 19	TOTAL CLAIMS 20	INDEPENDENT CLAIMS 3
ADDRESS MYERS BIGEL SIBLEY & SAJOVEC PO BOX 37428 RALEIGH, NC 27627 UNITED STATES					
TITLE Methods of Forming CMOS Transistors with High Conductivity Gate Electrodes					
FILING FEE RECEIVED 1090	FEES: Authority has been given in Paper No. _____ to charge/credit DEPOSIT ACCOUNT No. _____ for following:		<input type="checkbox"/> All Fees <input type="checkbox"/> 1.16 Fees (Filing) <input type="checkbox"/> 1.17 Fees (Processing Ext. of time) <input type="checkbox"/> 1.18 Fees (Issue) <input type="checkbox"/> Other _____ <input type="checkbox"/> Credit		

<i>Index of Claims</i> 	Application/Control No. 12942763	Applicant(s)/Patent Under Reexamination LEE ET AL.
	Examiner VALERIE BROWN	Art Unit 2829

✓	Rejected	-	Cancelled	N	Non-Elected	A	Appeal
=	Allowed	÷	Restricted	I	Interference	O	Objected

Claims renumbered in the same order as presented by applicant
 CPA
 T.D.
 R.1.47

CLAIM		DATE							
Final	Original	05/08/2011							
	1	✓							
	2	✓							
	3	✓							
	4	✓							
	5	✓							
	6	✓							
	7	✓							
	8	✓							
	9	✓							
	10	✓							
	11	✓							
	12	✓							
	13	✓							
	14	✓							
	15	✓							
	16	✓							
	17	✓							
	18	✓							

Search Notes 	Application/Control No. 12942763	Applicant(s)/Patent Under Reexamination LEE ET AL.
	Examiner VALERIE BROWN	Art Unit 2829

SEARCHED			
Class	Subclass	Date	Examiner
438	296	4/5/2011	VNB
		4/5/2011	

SEARCH NOTES		
Search Notes	Date	Examiner
Did an EAST class subclass search	4/5/2011	VNB
Did an EAST text search notes attached	4/5/2011	VNB

INTERFERENCE SEARCH			
Class	Subclass	Date	Examiner

/VALERIE BROWN/ Examiner.Art Unit 2829	
---	--

EAST Search History

EAST Search History (Prior Art)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
S1	3017	((438/586) or (438/183) or (438/926)).CCLS.	US-PGPUB; USPAT; EPO; JPO	OR	OFF	2011/03/14 11:35
S2	203	(438/926).CCLS.	US-PGPUB; USPAT; EPO; JPO	OR	OFF	2011/03/14 11:36
S3	188	((dummy replacement) near gate) same (spacer with etch)	US-PGPUB; USPAT; EPO; JPO	OR	ON	2011/03/14 11:45
S4	14	((dummy replacement) near gate) same (spacer near etch)	US-PGPUB; USPAT; EPO; JPO	OR	ON	2011/03/14 11:46
S5	19	((dummy replacement) near gate) same (spacer with lower)	US-PGPUB; USPAT; EPO; JPO	OR	ON	2011/03/14 11:51
S6	27	((dummy replacement sacrificial) near gate) same (spacer with lower)	US-PGPUB; USPAT; EPO; JPO	OR	ON	2011/03/14 11:54
S7	293	((dummy replacement sacrificial) near gate) same (spacer with etch)	US-PGPUB; USPAT; EPO; JPO	OR	ON	2011/03/14 11:56
S8	105	S7 not S3	US-PGPUB; USPAT; EPO; JPO	OR	ON	2011/03/14 11:56
S9	27	((dummy replacement sacrificial) near gate) same (spacer near etch)	US-PGPUB; USPAT; EPO; JPO	OR	ON	2011/03/14 11:58
S10	13	S9 not S4	US-PGPUB; USPAT; EPO; JPO	OR	ON	2011/03/14 11:58

S11	7	(spacer with lower with height) and ((dummy replacement sacrificial) near gate)	US-PGPUB; USPAT; EPO; JPO	OR	ON	2011/03/14 12:10
S12	34	(spacer with etch with height) and ((dummy replacement sacrificial) near gate)	US-PGPUB; USPAT; EPO; JPO	OR	ON	2011/03/14 12:12
S13	9	("20020132191" "20060148182" "20100001369" "6531724" "6534389" "6613624" "6878597" "7544594" "7659171").PN.	US-PGPUB; USPAT; EPO; JPO	OR	ON	2011/03/14 12:17
S14	1	("6531724").PN.	US-PGPUB; USPAT; EPO; JPO	OR	OFF	2011/03/14 12:25
S15	25	"International Business Machines".as.	US-PGPUB; USPAT; EPO; JPO	OR	ON	2011/03/14 12:26
S16	26315	"IBM".as.	US-PGPUB; USPAT; EPO; JPO	OR	ON	2011/03/14 12:26
S17	9	S16 and ((replacement dummy sacrificial) near gate)	US-PGPUB; USPAT; EPO; JPO	OR	ON	2011/03/14 12:27
S18	20	((replacement dummy sacrificial) near gate) same (expose near sidewall)	US-PGPUB; USPAT; EPO; JPO	OR	ON	2011/03/14 12:28
S19	3932	((replacement dummy sacrificial) adj gate)	US-PGPUB; USPAT; EPO; JPO	OR	ON	2011/03/14 12:32
S20	8004	spacer near (lower decrease etch)	US-PGPUB; USPAT; EPO; JPO	OR	ON	2011/03/14 12:33
S21	32	S19 same S20	US-PGPUB; USPAT; EPO; JPO	OR	ON	2011/03/14 12:34

S22	1543697	((replacment dummy sacrificial) adj gate) same etchadj stop	US-PGPUB; USPAT; EPO; JPO	OR	ON	2011/03/14 12:36
S23	173	((replacment dummy sacrificial) adj gate) same etch adj stop	US-PGPUB; USPAT; EPO; JPO	OR	ON	2011/03/14 12:36
S24	10	aluminum near gate same (replacement dummy)	US-PGPUB; USPAT; EPO; JPO	OR	ON	2011/03/14 12:44
S26	472	((remov\$4 etch) near gate) same replace\$5	US-PGPUB; USPAT; EPO; JPO	OR	ON	2011/03/16 09:51
S27	12	((remov\$4 etch) near gate) same replace\$5 same etch near stop	US-PGPUB; USPAT; EPO; JPO	OR	ON	2011/03/16 09:53
S28	2	"12198507"	US-PGPUB; USPAT; EPO; JPO	OR	ON	2011/03/28 07:30
S29	2	ILD with contact with (gate near cap)	US-PGPUB; USPAT; EPO; JPO	OR	ON	2011/03/28 08:17
S30	198	contact with (gate near cap)	US-PGPUB; USPAT; EPO; JPO	OR	ON	2011/03/28 08:18
S31	35	via with (gate near cap)	US-PGPUB; USPAT; EPO; JPO	OR	ON	2011/03/28 08:19
S32	684	438/183	US-PGPUB; USPAT; EPO; JPO	OR	ON	2011/04/05 13:44
S33	419	((438/183) or (438/926)).CCLS.	US-PGPUB; USPAT; EPO; JPO	OR	OFF	2011/04/05 13:44
S34	219982	S33 and (PMOS and NMOS) CMOS	US-PGPUB; USPAT; EPO; JPO	OR	ON	2011/04/05 14:38

S35	132	S33 and ((PMOS and NMOS) CMOS)	US-PGPUB; USPAT; EPO; JPO	OR	ON	2011/04/05 14:39
S36	39	((dummy replacement sacrificial) near gate) same (metal near (liner layer) with etch)	US-PGPUB; USPAT; EPO; JPO	OR	ON	2011/04/05 15:07
S37	3881	(metal adj (liner layer) near3 etch)	US-PGPUB; USPAT; EPO; JPO	OR	ON	2011/04/05 15:13
S38	169	(metal adj (liner layer) near3 etch) with sidewall	US-PGPUB; USPAT; EPO; JPO	OR	ON	2011/04/05 15:13
S39	5	(metal adj (liner layer) near3 etch) with sidewall with lower	US-PGPUB; USPAT; EPO; JPO	OR	ON	2011/04/05 15:13

EAST Search History (I nterference)

< This search history is empty >

5/ 8/ 2011 4:34:56 PM**C:\ Documents and Settings\ vbrown\ My Documents\ EAST\ Workspaces\ 12942763.wsp**

INFORMATION DISCLOSURE STATEMENT BY APPLICANT <i>(use as many sheets as necessary)</i>				Complete if Known			
				Application Number			
				Filing Date			
				First Named Inventor		Jongwoo Lee	
				Art Unit			
				Examiner Name			
Sheet	A1	of	A1	Attorney Docket Number	5649-2985		

U.S. PATENT DOCUMENTS						
Examiner Initials*	Cite No.	Document Number		Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
		Number-Kind Code (if known)				
	1	US-	6,573,134 B2	06-03-2003	Ma et al.	
	2	US-	7,056,794 B2	06-06-2006	Ku et al.	
	3	US-	7,153,734 B2	12-26-2006	Brask et al.	
	4	US-	7,157,378 B2	01-02-2007	Brask et al.	
	5	US-	7,390,709 B2	06-24-2008	Doczy et al.	
	6	US-	2006/0278934 A1	12-14-2006	Nagahama	
		US-				
		US-				

FOREIGN PATENT DOCUMENTS							
Examiner Initials*	Cite No.	Foreign Patent Document		Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear	T
		Country Code, Number, Kind Code (if known)					
	7	JP	2002-329794	11-15-2002	Sharp Corp.		T
	8	JP	2005-197748	07-21-2005	International Business Machines Corporation		T
	9	JP	2006-351580	12-28-2006	Sony Corp.		T
	10	KR	1020060129959 A	12-18-2006	Sony Corp.		T
	11	KR	1020020075732 A	10-05-2002	Sharp Corporation		T
	12	KR	1020050073541 A	07-14-2005	International Business Machines Corporation		T

NON PATENT LITERATURE DOCUMENTS			
Examiner Initials*	Cite No.	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published	T
	13	Steigerwald, Joseph M., "Chemical Mechanical Polish: The Enabling Technology," 2008 IEEE, pp. 37-40	

Examiner Signature	/Valerie Brown/	Date Considered	05/08/2011
--------------------	-----------------	-----------------	------------

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /V.B./

INFORMATION DISCLOSURE STATEMENT BY APPLICANT <i>(use as many sheets as necessary)</i>				Complete if Known	
				Application Number	12/942,763
				Filing Date	November 9, 2010
				First Named Inventor	Jongwon Lee
				Art Unit	TBA
				Examiner Name	TBA
Sheet	B1	of	B2	Attorney Docket Number	5649-2985

U.S. PATENT DOCUMENTS					
Examiner Initials*	Cite No.	Document Number	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
		Number-Kind Code (if known)			
	1.	US- 6,130,123	10-10-2000	Liang et al.	
	2.	US- 6,166,417	12-26-2000	Bai et al.	
	3.	US- 6,265,258	07-24-2001	Liang et al.	
	4.	US- 6,373,111	04-16-2002	Zheng et al.	
	5.	US- 6,492,217	12-10-2002	Bai et al.	
	6.	US- 6,620,713	09-16-2003	Arghavani et al.	
	7.	US- 6,696,333	02-24-2004	Zheng et al.	
	8.	US- 6,696,345	02-24-2004	Chau et al.	
	9.	US- 6,709,911	03-23-2004	Doczy et al.	
	10.	US- 6,743,683	06-01-2004	Barns et al.	
	11.	US- 6,790,731	09-14-2004	Zheng et al.	
	12.	US- 6,794,232	09-21-2004	Zheng et al.	
	13.	US- 6,806,146	10-19-2004	Brask et al.	
	14.	US- 6,809,017	10-26-2004	Arghavani et al.	
	15.	US- 6,825,506	11-30-2004	Chau et al.	
	16.	US- 6,849,509	02-01-2005	Barnak et al.	
	17.	US- 6,867,102	03-15-2005	Brask et al.	
	18.	US- 6,879,009	04-12-2005	Zheng et al.	
	19.	US- 6,890,807	05-10-2005	Chau et al.	
	20.	US- 6,893,927	05-17-2005	Shah et al.	
	21.	US- 6,939,815	09-06-2005	Brask et al.	
	22.	US- 6,974,764	12-13-2005	Brask et al.	
	23.	US- 6,998,686	02-14-2006	Chau et al.	
	24.	US- 7,022,559	04-04-2006	Barnak et al.	
	25.	US- 7,030,430	04-18-2006	Doczy et al.	
	26.	US- 7,037,845	05-02-2006	Brask et al.	
	27.	US- 7,060,568	06-13-2006	Metz et al.	
	28.	US- 7,064,066	06-20-2006	Metz et al.	
	29.	US- 7,074,680	07-11-2006	Doczy et al.	
	30.	US- 7,078,282	07-18-2006	Chau et al.	
	31.	US- 7,084,038	08-01-2006	Doczy et al.	
	32.	US- 7,087,476	08-08-2006	Metz et al.	
	33.	US- 7,122,870	10-17-2006	Barnak et al.	
	34.	US- 7,125,762	10-24-2006	Brask et al.	
	35.	US- 7,126,199	10-24-2006	Doczy et al.	
	36.	US- 7,129,182	10-31-2006	Brask et al.	
	37.	US- 7,138,323	11-21-2006	Kavalieros et al.	

Examiner Signature	/Valerie Brown/	Date Considered	05/08/2011
--------------------	-----------------	-----------------	------------

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /V.B./

INFORMATION DISCLOSURE STATEMENT BY APPLICANT <i>(use as many sheets as necessary)</i>				Complete if Known			
				Application Number		12/942,763	
				Filing Date		November 9, 2010	
				First Named Inventor		Jongwon Lee	
				Art Unit		TBA	
				Examiner Name		TBA	
Sheet	B2	of	B2	Attorney Docket Number	5649-2985		

38.	US-	7,144,783	12-05-2006	Datta et al.	
39.	US-	7,144,816	12-05-2006	Barns et al.	
40.	US-	7,148,099	12-12-2006	Datta et al.	
41.	US-	7,148,548	12-12-2006	Doczy et al.	
42.	US-	7,153,734	12-26-2006	Brask et al.	
43.	US-	7,153,784	12-26-2006	Brask et al.	
44.	US-	7,157,378	01-02-2007	Brask et al.	
45.	US-	7,160,767	01-09-2007	Brask et al.	
46.	US-	7,160,779	01-09-2007	Doczy et al.	
47.	US-	7,166,506	01-23-2007	Prince et al.	
48.	US-	7,176,075	02-13-2007	Chau et al.	
49.	US-	7,176,090	02-13-2007	Brask et al.	
50.	US-	7,180,109	02-20-2007	Chau et al.	
51.	US-	7,183,184	02-27-2007	Doczy et al.	
52.	US-	7,187,044	03-06-2007	Liang et al.	
53.	US-	7,192,856	03-20-2007	Doczy et al.	
54.	US-	7,193,253	03-20-2007	Doczy et al.	
55.	US-	7,208,361	04-24-2007	Shah et al.	
56.	US-	7,220,635	05-22-2007	Brask et al.	
57.	US-	7,271,045	09-18-2007	Prince et al.	
58.	US-	7,285,829	10-23-2007	Doyle et al.	
59.	US-	7,317,231	01-08-2008	Metz et al.	
60.	US-	7,323,423	01-29-2008	Brask et al.	
61.	US-	7,326,599	02-05-2008	Lochtefeld et al.	
62.	US-	7,326,656	02-05-2008	Brask et al.	
63.	US-	7,332,439	02-19-2008	Lindert et al.	
64.	US-	7,338,847	03-04-2008	Shaheed et al.	
65.	US-	7,354,832	04-08-2008	Rachmady et al.	
66.	US-	7,355,281	04-08-2008	Brask et al.	
67.	US-	7,361,958	04-22-2008	Brask et al.	
68.	US-	7,381,608	06-03-2008	Brask et al.	
69.	US-	7,384,880	06-10-2008	Brask et al.	
70.	US-	7,387,927	06-17-2008	Turkot, Jr. et al.	
71.	US-	7,390,709	06-24-2008	Doczy et al.	
72.	US-	7,420,254	09-02-2008	Chau et al.	
73.	US-	7,422,936	09-09-2008	Barns et al.	
74.	US-	7,439,113	10-21-2008	Doczy et al.	
75.	US-	7,439,571	10-21-2008	Doczy et al.	
76.	US-	7,442,983	10-28-2008	Doczy et al.	
77.	US-	7,449,756	11-11-2008	Metz et al.	

iDoc# 959776

Examiner Signature	/Valerie Brown/	Date Considered	05/08/2011
--------------------	-----------------	-----------------	------------

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /V.B./



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office

출 원 번 호 : 10-2009-0121108
Application Number

출 원 년 월 일 : 2009년 12월 08일
Filing Date DEC. 08, 2009

출 원 인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.

2010년 12월 23일

특 허 청
COMMISSIONER



【서지사항】

【서류명】 특허출원서

【참조번호】 0002

【출원구분】 특허출원

【출원인】

 【명칭】 삼성전자주식회사

 【출원인코드】 1-1998-104271-3

【대리인】

 【성명】 권혁수

 【대리인코드】 9-1999-000370-4

 【포괄위임등록번호】 2005-064921-7

【대리인】

 【성명】 송윤호

 【대리인코드】 9-2003-000551-6

 【포괄위임등록번호】 2005-064946-0

【대리인】

 【성명】 오세준

 【대리인코드】 9-2003-000576-2

 【포괄위임등록번호】 2005-064947-7

【발명의 국문명칭】 모오스 트랜지스터의 제조방법

【발명의 영문명칭】 method for manufacturing MOS transistor

【발명자】

 【성명】 이종원

 【성명의 영문표기】 LEE, JONGWON

 【주민등록번호】 710922-1XXXXXX

 【우편번호】 445-160

제출 일자 : 2009-12-08

【주소】 경기 화성시 반송동 솔빛마을경남아너스빌아파트 401동
1003호

【국적】 KR

【발명자】

【성명】 윤보연

【성명의 영문표기】 YOON,BOUN

【주민등록번호】 651219-1XXXXXX

【우편번호】 137-042

【주소】 서울 서초구 반포2동 반포래미안 119동902호

【국적】 KR

【발명자】

【성명】 한상엽

【성명의 영문표기】 HAN,SangYeob

【주민등록번호】 790111-1XXXXXX

【우편번호】 431-070

【주소】 경기 안양시 동안구 평촌동 꿈마을 현대아파트 602동 601호

【국적】 KR

【발명자】

【성명】 김채령

【성명의 영문표기】 KIM,Chae Lyoung

【주민등록번호】 801029-2XXXXXX

【우편번호】 445-390

【주소】 경기 화성시 진안동 837-17 401호

【국적】 KR

제출 일자 : 2009-12-08

【취지】 위와 같이 특허청장에게 제출합니다.

대리인 권혁수 (서명 또는 인)

대리인 송윤호 (서명 또는 인)

대리인 오세준 (서명 또는 인)

【수수료】

【출원료】	0 면	38,000 원
【가산출원료】	43 면	0 원
【우선권주장료】	0 건	0 원
【심사청구료】	0 항	0 원
【합계】	38,000 원	

【요약서】

【요약】

본 발명은 생산성을 증대 또는 극대화할 수 있는 모오스 트랜지스터의 제조 방법을 개시한다. 그의 방법은, 기판 상의 제 1 활성 영역과 제 2 활성 영역 상에 형성되는 폴리 실리콘 재질의 더미 게이트 전극을 제거하고 금속 게이트 전극으로 갱신하는 방법을 포함한다. 제 1 활성 영역에서 더미 게이트 전극을 제거하여 제 1 트렌치를 형성한 후 금속 물질의 오버행을 방지하기 위해 상기 제 1 트렌치 내에 제 1 금속 패턴 및 더미 필러 층을 형성할 수 있다. 그리고, 제 1 활성 영역의 더미 필러 층과 제 2 활성 영역의 더미 게이트 전극을 동시에 제거하여 제 2 트렌치와 제 3 트렌치를 형성하고, 상기 제 2 트렌치와 제 3 트렌치에 제 2 금속 층을 형성할 수 있다. 따라서, 제 1 활성 영역과 제 2 활성 영역에 서로 다른 금속 물질로 이루어진 금속 게이트 전극을 형성할 수 있다.

【대표도】

도 15

【색인어】

모오스(MOS), 오버행(overhang), 더미(dummy), 필러(filler), 트렌치(trench)

【명세서】

【발명의 명칭】

모오스 트랜지스터의 제조방법{method for manufacturing MOS transistor}

【발명의 상세한 설명】

【기술분야】

<1> 본 발명은 모오스 트랜지스터의 제조방법에 관한 것으로, 보다 구체적으로 서로 다른 종류의 금속 게이트 전극을 갖는 모오스 트랜지스터의 제조방법에 관한 것이다.

【배경기술】

<2> 모오스(MOS) 트랜지스터는 스위칭 소자로서 널리 사용되고 있다. 모오스 트랜지스터의 게이트 전극은 기존의 폴리 실리콘 대신 전기전도도가 우수한 금속물질로 대체되고 있는 추세에 있다. 모오스 트랜지스터는 게이트 전극의 하부에서 유도되는 채널의 종류에 따라 n 모오스 트랜지스터와 p 모오스 트랜지스터로 구분될 수 있다. n 모오스 트랜지스터와 p 모오스 트랜지스터는 서로 다른 문턱전압을 갖도록 하기 위해 게이트 전극의 금속 물질이 서로 다르게 형성될 수 있다.

【발명의 내용】

【해결하고자 하는 과제】

<3> 본 발명이 이루고자 하는 일 기술적 과제는 서로 다른 종류의 금속 층으로 이루어지는 게이트 전극을 형성하는 모오스 트랜지스터의 제조방법을 제공하는 데

있다.

<4> 또한, 다른 기술적 과제는 몰드 절연막에 의해 형성되는 트렌치의 상단에서 금속 층의 오버 행에 의해 게이트 전극 내부에 보이드가 발생되는 것을 방지할 수 있는 모오스 트랜지스터의 제조방법을 제공하는 데 있다.

<5> 그리고, 또 다른 기술적 과제는 단위공정을 단축시켜 생산성을 증대 또는 극대화할 수 있는 모오스 트랜지스터의 제조방법을 제공하는 데 있다.

【과제 해결 수단】

<6> 상기 기술적 과제를 달성하기 위하여, 본 발명은 더미 게이트 전극을 제거하여 게이트 전극을 형성할 수 있는 모오스 트랜지스터의 제조방법을 포함할 수 있다. 그의 방법은, 제 1 활성 영역 및 제 2 활성 영역을 갖는 기판을 제공하는 단계; 상기 제 1 활성 영역 및 상기 제 2 활성 영역 상에 게이트 절연막 및 더미 게이트 전극을 포함하는 더미 게이트 스택을 형성하는 단계; 상기 더미 게이트 스택의 양측의 상기 제 1 활성 영역 및 상기 제 2 활성 영역에 소스/드레인 영역을 형성하는 단계; 상기 소스/드레인 영역 상에 몰드 절연막을 형성하는 단계; 상기 제 1 활성 영역 상의 상기 더미 게이트 전극을 제거하여 상기 몰드 절연막에 제 1 트렌치를 형성하는 단계; 상기 제 1 트렌치의 하부에 제 1 금속 패턴을 형성하여 제 2 트렌치를 형성하고, 상기 제 2 활성 영역의 상기 더미 게이트 전극을 제거하여 상기 몰드 절연막에 상기 제 3 트렌치를 형성하는 단계; 및 상기 제 2 트렌치와 상기 제 3 트렌치 내에 제 2 금속 층을 형성하여 상기 제 1 활성 영역 상에 제 1 게

이트 전극과, 상기 제 2 활성 영역 상에 제 2 게이트 전극을 형성하는 단계를 포함할 수 있다.

<7> 일 실시예에 따르면, 상기 제 2 트렌치 및 상기 제 3 트렌치를 형성하는 단계는, 상기 몰드 절연막의 상부면 상 및 상기 제 1 트렌치 내에 제 1 금속 층 및 더미 필러 층을 적층하는 단계와, 상기 더미 필러 층을 평탄화하여 상기 제 1 금속 층을 노출시키는 단계와, 상기 몰드 절연막 상부면 상의 상기 제 1 금속 층을 제거하고, 상기 몰드 절연막과 상기 더미 필러 층 사이에 형성된 상기 제 1 금속 층의 상부를 제거하여 상기 제 1 트렌치에 상기 제 1 금속 패턴을 형성하는 단계를 포함할 수 있다.

<8> 일 실시예에 따르면, 상기 더미 게이트 전극과 상기 더미 필러 층은 동일한 물질로 형성될 수 있다.

<9> 일 실시예에 따르면, 상기 제 2 트렌치 및 상기 제 3 트렌치를 형성하는 단계는, 상기 제 1 활성 영역의 상기 더미 필러 층과, 상기 제 2 활성 영역의 상기 더미 게이트 전극을 제거하여 상기 제 1 활성 영역에 제 2 트렌치를 형성하고, 상기 제 2 활성 영역에 제 3 트렌치를 형성하는 단계를 더 포함할 수 있다.

<10> 일 실시예에 따르면, 상기 제 1 금속 층은 상기 더미 필러 층 및 상기 몰드 절연막에 비해 식각선택비를 갖는 식각방법에 의해 제거될 수 있다.

<11> 일 실시예에 따르면, 상기 더미 게이트 전극의 측벽에 스페이서를 형성하는 단계를 더 포함할 수 있다.

<12> 본 발명의 다른 실시예에 따른 모오스 트랜지스터의 제조방법은, 제 1 활성 영역 및 제 2 활성 영역을 갖는 기판을 제공하는 단계; 상기 제 1 활성 영역 및 상기 제 2 활성 영역 상에 게이트 절연막 및 더미 게이트 전극을 포함하는 더미 게이트 스택을 형성하는 단계; 상기 더미 게이트 스택의 양측의 상기 제 1 활성 영역 및 상기 제 2 활성 영역에 소스/드레인 영역을 형성하는 단계; 상기 소스/드레인 영역 상에 몰드 절연막을 형성하는 단계; 상기 제 1 활성 영역 상의 상기 더미 게이트 전극을 제거하여 상기 몰드 절연막에 제 1 트렌치를 형성하는 단계; 상기 제 1 트렌치의 하부에 제 1 금속 패턴을 형성하여 제 2 트렌치를 형성하고, 상기 제 2 트렌치 내에 제 2 금속 층을 형성하는 단계; 및 상기 제 2 활성 영역의 상기 더미 게이트 전극을 제거하여 상기 몰드 절연막에 제 3 트렌치를 형성하고, 상기 제 3 트렌치 내에 제 3 금속 층을 형성하는 단계를 포함할 수 있다.

<13> 일 실시예에 따르면, 상기 제 2 트렌치를 형성하는 단계는, 상기 몰드 절연막의 상부면 상 및 상기 제 1 트렌치 내에 제 1 금속 층 및 더미 필러 층을 적층하는 단계와, 상기 더미 필러 층을 평탄화하여 상기 제 1 금속 층을 노출시키는 단계와, 상기 몰드 절연막 상부면 상의 상기 제 1 금속 층을 제거하고, 상기 몰드 절연막과 상기 더미 필러 층 사이에 형성된 상기 제 1 금속 층의 상부를 제거하여 상기 제 1 금속 패턴을 형성하는 단계와, 상기 제 1 활성 영역의 더미 필러 층을 선택적으로 제거하는 단계를 포함할 수 있다.

<14> 일 실시예에 따르면, 상기 더미 필러 층은, 상기 더미 게이트 전극, 상기 몰드 절연막, 상기 제 1 금속 패턴에 비해 식각선택비를 갖는 식각방법에 의해 제거

될 수 있다.

- <15> 일 실시예에 따르면, 상기 더미 게이트 전극은 폴리 실리콘으로 형성되고, 상기 더미 필러 층은 실리콘 산화막으로 형성될 수 있다.

【효과】

- <16> 본 발명의 실시예적 구성에 따르면, 제 1 활성 영역 상에서 제 1 금속 층 및 제 2 금속 층을 포함하는 제 1 게이트 전극과, 제 2 활성 영역 상에서 제 2 금속 층을 포함하는 제 2 게이트 전극을 형성할 수 있다. 따라서, 제 1 게이트 전극과 제 2 게이트 전극을 서로 다른 금속 층으로 형성할 수 있는 효과가 있다.

- <17> 또한, 제 1 게이트 전극이 형성되는 트렌치의 입구에서 제 1 금속 층을 제거하고, 상기 트렌치 내에서 상기 제 1 금속 층 상에 적층되는 제 2 금속 층을 형성할 수 있다. 따라서, 제 2 금속 층은 오버행이 유발되지 않고 형성될 수 있다.

- <18> 그리고, 제 1 게이트 전극과 제 2 게이트 전극의 제 2 금속 층을 동시에 형성하여 단위공정을 단축시킬 수 있기 때문에 생산성을 증대 또는 극대화할 수 있는 효과가 있다.

【발명의 실시를 위한 구체적인 내용】

- <19> 이상의 본 발명의 목적들, 다른 목적들, 특징들 및 이점들은 첨부된 도면과 관련된 이하의 바람직한 실시예들을 통해서 쉽게 이해될 것이다. 그러나 본 발명은 여기서 설명되는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다.

오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다.

<20> 본 명세서에서, 어떤 층이 다른 층과, 기관 상에 있다고 언급되는 경우에 그것은 다른 층과, 기관 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층 또는 막이 개재될 수도 있다는 것을 의미한다. 또한, 도면들에 있어서, 층과 어떤 영역들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것이다. 또한, 본 명세서의 다양한 실시예들에서 제 1, 제 2, 제 3 등의 용어가 다양한 영역, 층들 등을 기술하기 위해서 사용되었지만, 이들 영역, 층들이 같은 용어들에 의해서 한정되어서는 안 된다. 이들 용어들은 단지 어느 소정 영역, 층을 다른 영역, 층과 구별시키기 위해서 사용되었을 뿐이다. 여기에 설명되고 예시되는 각 실시예는 그것의 상보적인 실시예도 포함한다.

<21> 본 발명의 실시예에 따른 모오스 트랜지스터의 제조방법은 폴리 실리콘의 더미 게이트 전극을 금속 게이트 전극으로 대체(replacement)시키는 방법을 포함할 수 있다. 이하, 도면을 참조하여 본 발명의 실시예에 따른 모오스 트랜지스터의 제조방법을 설명한다.

<22> (제 1 실시예)

<23> 도 1 내지 도 17은 본 발명의 제 1 실시예에 따른 모오스 트랜지스터의 제조방법을 나타내는 공정 단면도이다.

<24> 도 1을 참조하여, 기판(10) 상의 소자 분리막(12)에 의해 정의되는 제 1 활성 영역(14) 및 제 2 활성 영역(16)에 각각 제 1 웰과 제 2 웰을 형성할 수 있다. 제 1 웰은 제 1 도전형 불순물로 이온주입되어 형성될 수 있다. 제 1 도전형 불순물은 인(P) 또는 아세닉(As)과 같은 도너를 포함할 수 있다. 예를 들어, 제 1 웰에는 제 1 도전형 불순물이 약 100KeV 내지 약 300KeV 에너지에서 약 1×10^{13} EA/cm³ 내지 약 1×10^{16} EA/cm³ 정도의 농도로 이온주입될 수 있다. 제 2 웰은 제 1 도전형 불순물과 반대되는 제 2 도전형 불순물로 이온주입되어 형성될 수 있다. 제 2 도전형 불순물은 보론(B)와 같은 억셉터를 포함할 수 있다. 예를 들어, 제 2 웰에는 제 2 도전형 불순물이 약 70KeV 내지 약 200KeV 에너지에서 약 1×10^{13} EA/cm³ 내지 약 1×10^{16} EA/cm³ 정도의 농도로 이온주입될 수 있다. 소자 분리막(12)은 제 1 웰과, 제 2 웰이 형성된 이후에 형성될 수 있다. 소자 분리막(12)은 기판(10)을 소정 깊이로 제거되는 트렌치 내에 플라즈마화학기상증착(PECVD)방법으로 형성된 실리콘 산화막을 포함할 수 있다.

<25> 도 2를 참조하여, 기판(10) 상에 게이트 절연막(18), 버퍼 게이트 전극(20), 및 더미 게이트 전극을 적층할 수 있다. 게이트 절연막(18)은 유전율이 높은 hafnium 산화막(HfO_x), tantalum 산화막(TaO_x), 실리콘 산화막(SiO₂)를 포함할 수 있다. 예를 들어, 게이트 절연막(18)은 화학기상증착(CVD)방법, 원자층증착(ALD)방법, 급속 열처리(RTP)방법에 의해 약 30Å 내지 약 200Å 정도의 두께로 형성될 수 있다. 버

퍼 게이트 전극(20)은 티타늄 질화막, 또는 탄탈륨 질화막을 포함할 수 있다. 버퍼 게이트 전극(20)은 화학기상증착방법 또는 원자층증착방법에 의해 약 20Å 내지 약 50Å 정도의 두께로 형성될 수 있다. 더미 게이트 전극(22)은 화학기상증착방법으로 형성된 폴리 실리콘을 포함할 수 있다.

<26> 도 3을 참조하여, 게이트 절연막(18), 버퍼 게이트 전극(20), 및 더미 게이트 전극(22)을 포함하는 더미 게이트 스택(24)을 제 1 활성 영역(14) 및 제 2 활성 영역(16) 상에 형성할 수 있다. 더미 게이트 스택(24)은 포토리소그래피 공정 및 식각 공정에 의해 패터닝될 수 있다. 예를 들어, 포토리소그래피 공정 및 식각공정은 다음과 같이 이루어질 수 있다. 먼저, 더미 게이트 전극(22)의 상에 제 1 포토레지스트 패턴(도시하지 않음)을 형성할 수 있다. 다음, 제 1 포토레지스트 패턴을 식각 마스크로 사용하여 더미 게이트 전극(22), 버퍼 게이트 전극(20), 및 게이트 절연막(18)을 순차적으로 식각할 수 있다.

<27> 도 4를 참조하여, 제 2 활성 영역(16)을 덮는 제 2 포토레지스트 패턴(25)을 형성하고, 상기 제 2 포토레지스트 패턴(25)과 더미 게이트 전극(22)을 이온주입 마스크로 사용하여 제 1 활성 영역(14)에 LDD(lightly doped drain, 26)를 형성한다. 여기서, 제 1 활성 영역(14)에 제 2 도전형 불순물이 이온주입될 수 있다. 예를 들어, 제 2 도전형 불순물은 약 1KeV 내지 약 20KeV 에너지에서 약 1×10^{13} EA/cm³ 내지 약 1×10^{16} EA/cm³ 정도의 농도로 이온주입될 수 있다. 이후, 제 2 포토레지스트 패턴(25)을 제거한다.

<28> 도 5를 참조하여, 제 1 활성 영역(14)을 덮는 제 3 포토레지스트 패턴(27)을 형성하고, 상기 제 3 포토레지스트 패턴(27)과 더미 게이트 전극(22)을 이온주입마스크로 사용하여 제 2 활성 영역(16)에 LDD(26)를 형성한다. 제 2 활성 영역(16)에 제 1 도전형 불순물이 이온주입될 수 있다. 제 1 도전형 불순물은 약 5KeV 내지 약 30KeV 에너지에서 약 1×10^{13} EA/cm³ 내지 약 1×10^{16} EA/cm³ 정도의 농도로 이온주입될 수 있다. LDD(26)는 제 1 활성 영역(14)과 제 2 활성 영역(16)에서 동일한 깊이로 형성되고, 더미 게이트 스택(24)의 하부로 동일한 거리로 확산되게 형성될 수 있다. 제 3 포토레지스트 패턴(27)을 제거한다.

<29> 도 6을 참조하여, 더미 게이트 스택(24)의 측벽에 스페이서(28)를 형성한다. 스페이서(28)는 화학기상증착방법으로 형성된 실리콘 질화막을 포함할 수 있다. 스페이서(28)는 자기정렬(self align)방법으로 형성될 수 있다. 예를 들어, 자기정렬 방법은 더미 게이트 스택(24)을 덮도록 형성되는 실리콘 질화막을 비등방성식각하여 상기 더미 게이트 스택(24)의 측벽에서 잔존시키는 것을 포함할 수 있다.

<30> 도 7을 참조하여, 제 2 활성 영역(16)을 덮는 제 4 포토레지스트 패턴(29)을 형성하고, 상기 제 4 포토레지스트 패턴(29), 더미 게이트 전극(22), 및 스페이서(28)를 이온주입마스크로 사용하여 제 1 활성 영역(14)에 소스/드레인 불순물 영역(30)을 형성할 수 있다. 제 1 활성 영역(14)의 소스/드레인 불순물 영역(30)은 제 2 도전형 불순물을 포함할 수 있다. 예를 들어, 제 1 활성 영역(14)에 제 2 도전형 불순물이 약 10KeV 내지 약 40KeV 에너지에서 약 1×10^{16} EA/cm³ 내지 약 1×10^{17} EA/cm³

정도 농도로 이온주입될 수 있다. 제 2 활성 영역(16)에 형성된 제 4 포토레지스트 패턴(29)을 제거한다.

<31> 도 8을 참조하여, 제 1 활성 영역(14)을 덮는 제 5 포토레지스트 패턴(31)을 형성하고, 상기 제 5 포토레지스트 패턴(31), 더미 게이트 전극(22), 및 스페이서(28)를 이온주입마스크로 사용하여 제 2 활성 영역(16)에 소스/드레인 불순물 영역(30)을 형성할 수 있다. 제 2 활성 영역(16)의 소스/드레인 불순물 영역(30)은 제 1 도전형 불순물을 포함할 수 있다. 예를 들어, 제 2 활성 영역(16)에 제 1 도전형 불순물이 약 10KeV 내지 약 50KeV 에너지에서 약 1×10^{16} EA/cm³ 내지 약 1×10^{17} EA/cm³ 정도 농도로 이온주입될 수 있다. 소스/드레인 불순물 영역(30)은 제 1 활성 영역(14)과 제 2 활성 영역(16)에서 동일한 깊이로 형성될 수 있다. 이후, 기판(10) 상에 형성된 제 5 포토레지스트 패턴(31)을 제거할 수 있다.

<32> 도시되지는 않았지만, 소스/드레인 불순물 영역(30)은 더미 게이트 스택(24) 양측의 제 1 활성 영역(14) 및 제 2 활성 영역(16)의 일부가 제거되고, 제거된 부분에 각각의 도전형 불순물들을 포함하는 에피 실리콘 저마늄(e-SiGe)이 채워져 소스/드레인 불순물 영역(30)이 형성될 수도 있다.

<33> 도 9를 참조하여, 소자 분리막(12)과, 소스/드레인 불순물 영역(30) 및 더미 게이트 스택(24)을 덮는 몰드 절연막(32)을 형성한다. 몰드 절연막(32)은 실리콘 산화막을 포함할 수 있다. 몰드 절연막(32)은 저압화학기상증착(LPCVD)방법 또는 플라즈마화학기상증착(PECVD)방법으로 형성될 수 있다. 몰드 절연막(32)은 평탄화

되어 더미 게이트 전극(22)을 노출시킬 수 있다. 몰드 절연막(32)의 평탄화는 화학적물리적연마(CMP) 공정 또는 에치백(etch back) 공정에 의해 수행될 수 있다. 도 10을 참조하여, 제 1 활성 영역(14)의 더미 게이트 전극(22)을 선택적으로 제거하여 제 1 트렌치(35)를 형성할 수 있다. 여기서, 더미 게이트 전극(22)을 제거하는 것은 제 2 활성 영역(16)을 덮고 제 1 활성 영역(14)의 더미 게이트 전극(22)을 노출하는 제 6 포토레지스트 패턴(34)을 형성하고, 건식 또는 습식식각방법으로 더미 게이트 전극(22)을 식각하는 것을 포함할 수 있다. 더미 게이트 전극(22)의 제거 동안에 제 6 포토레지스트 패턴(34)과, 기판(10) 상에 형성된 몰드 절연막(32), 스페이서(28)를 식각마스크로 사용될 수 있다. 버퍼 게이트 전극(20)은 더미 게이트 전극(22)의 식각 시 식각정지막으로서 사용될 수 있다. 이후, 제 2 활성 영역(16) 상에 형성된 제 6 포토레지스트 패턴(34)을 제거한다.

<34> 도 11을 참조하여, 기판(10)의 전면에 제 1 금속 층(36)을 형성한다. 예를 들어, 제 1 금속 층(36)은 화학기상증착(CVD)방법 또는 원자층증착(ALD)방법으로 형성된 티타늄 질화막(TiN)을 포함할 수 있다. 제 1 금속 층(36)은 몰드 절연막(32) 상부에서만 아니라, 제 1 트렌치(35)의 바닥 및 측벽에서도 동일한 두께로 형성될 수 있다. 제 1 금속 층(36)은 제 1 트렌치(35)의 내부에 매립되게 두껍게 형성될 경우, 제 1 트렌치(35)의 입구에서 제 1 금속 층(36)의 오버행(overhang)로 인해 내부에 보이드(void)가 유발될 수 있다. 따라서, 제 1 금속 층(36)은 제 1 트렌치(35) 바닥 및 측벽에서 일정한 두께를 갖도록 형성될 수 있다. 예를 들어, 제 1 금속 층(36)은 약 20Å 내지 약 200Å 정도의 두께로 형성될 수 있다.

<35> 도 12를 참조하여, 제 1 금속 층(36) 상에 더미 필러 층(38)을 적층할 수 있다. 여기서, 더미 필러 층(38)은 더미 게이트 전극(22)과 동일한 물질을 포함할 수 있다. 예를 들면, 더미 필러 층(38)은 폴리 실리콘을 포함할 수 있다. 더미 필러 층(38)은 제 1 활성 영역(14) 상의 제 1 트렌치(35) 내부를 완전히 매립시킬 수 있다. 폴리 실리콘은 화학기상증착방법으로 형성될 수 있다. 이때, 더미 필러 층(38)은 제 1 트렌치(35) 내에서 보이드를 포함할 수 있다.

<36> 도 13을 참조하여, 더미 필러 층(38)을 평탄화하여 제 1 금속 층(36)을 노출시킬 수 있다. 더미 필러 층(38)의 평탄화는 화학적기계적연마(CMP) 공정 또는 에치백 공정에 의해 수행될 수 있다. 더미 필러 층(38)은 제 1 트렌치(35) 내에서만 잔존할 수 있다.

<37> 도 14를 참조하여, 몰드 절연막(32) 상부면 상의 제 1 금속 층(36)을 제거한다. 몰드 절연막(32)과 더미 필러 층(38) 사이에 형성된 제 1 금속 층(36)의 상부를 제거하여 함몰(recess)시킬 수 있다. 여기서, 제 1 금속 층(36)의 제거 공정은 더미 필러 층(38) 및 상기 몰드 절연막(32)에 대해 2 : 1 이상의 식각선택비를 갖는 건식식각방법 또는 습식식각방법으로 수행될 수 있다. 제 1 금속 층(36)은 제 1 트렌치(35)의 바닥면과, 상기 제 1 트렌치(35)의 측벽하부에서 잔존할 수 있다. 제 1 금속 층(36)은 제 1 트렌치(35)의 양쪽 측벽에서 대칭적으로 형성될 수 있다. 따라서, 제 1 금속 층(36)은 제 1 트렌치(35) 내에서 형성되는 제 1 금속 패턴으로서, \sqcap 자의 단면을 가질 수 있다.

<38> 도 15를 참조하여, 제 1 활성 영역(14) 상의 더미 필러 층(38)과 제 2 활성

영역(16) 상의 더미 게이트 전극(22)을 제거하여, 상기 제 1 활성 영역(14)의 제 2 트렌치(40)와 제 2 활성 영역의 제 3 트렌치(43)를 형성할 수 있다. 더미 게이트 전극(22)과 더미 필러 층(38)은 동일한 폴리 실리콘으로 이루어져 있기 때문에 한번의 식각공정에 의해 제거될 수 있다. 따라서 본 발명의 제 1 실시예에 따른 모오스 트랜지스터의 제조방법은 제 1 활성 영역(14) 상의 더미 게이트 전극(22)과, 제 2 활성 영역(16) 상의 더미 필러 층(38)을 동시에 제거할 수 있기 때문에 생산성을 증대 또는 극대화할 수 있다.

<39> 제 2 트렌치(40)는 제 1 활성 영역(14) 상에서 제 1 금속 층(36)을 노출시키고, 제 3 트렌치(43)는 제 2 활성 영역(16) 상에서 버퍼 게이트 전극(20)을 노출시킬 수 있다. 제 2 트렌치(40)는 제 3 트렌치(43)보다 얇게 형성될 수 있다. 제 2 트렌치(40)의 바닥 면과 측벽 하부에는 제 1 금속 층(36)이 제공될 수 있다. 제 1 활성 영역(14)과 제 2 활성 영역(16) 상에 서로 다른 깊이의 제 2 트렌치(40)와 제 3 트렌치(43)를 형성할 수 있다.

<40> 도 16을 참조하여, 기판(10)의 전면에 제 2 금속 층(42)을 형성할 수 있다. 여기서, 제 2 금속 층(42)은 제 2 트렌치(40) 및 제 3 트렌치(43) 내부를 매립하도록 형성될 수 있다. 제 2 금속 층(42)은 물리기상증착(PVD)방법, 또는 화학기상증착(CVD)방법으로 형성되는 알루미늄, 텅스텐, 티타늄, 탄탈륨 중 적어도 어느 하나를 포함할 수 있다. 특히, 제 2 금속 층(42)은 제 1 활성 영역(14)의 제 2 트렌치(40) 내에서 보이드를 발생시키지 않고 형성될 수 있다.

<41> 도 17을 참조하여, 제 2 금속 층(42)을 평탄화하여 몰드 절연막(32)을 노출

한다. 따라서, 제 1 활성 영역(14) 상에 제 1 게이트 전극(46)과, 제 2 활성 영역(16) 상에 제 2 게이트 전극(48)을 형성할 수 있다. 여기서, 제 1 게이트 전극(46) 및 제 2 게이트 전극(48)은 소스/드레인 불순물 영역(30)이 배열되는 방향에 수직하는 방향으로 연장할 수 있다. 제 2 금속 층(42)은 화학적물리적연마(CMP) 공정 또는 에치 백 공정에 의해 평탄화 될 수 있다. 제 2 금속 층(42)의 평탄화를 통해 제 1 게이트 전극(46)과 제 2 게이트 전극(48)이 분리될 수 있다. 제 1 게이트 전극(46)과 제 2 게이트 전극(48)은 서로 동일 또는 유사한 높이의 상부 면을 갖도록 형성될 수 있다. 제 1 게이트 전극(46)은 버퍼 게이트 전극(20), 제 1 금속 층(36), 및 제 2 금속 층(42)을 포함할 수 있다. 제 1 게이트 전극(46)은 제 1 활성 영역(14)의 p 모오스 트랜지스터를 구성할 수 있다. 제 2 게이트 전극(48)은 버퍼 게이트 전극(20), 제 2 금속 층(42)을 포함할 수 있다. 제 2 게이트 전극(48)은 제 2 활성 영역(16)의 n 모오스 트랜지스터를 구성할 수 있다.

<42> n 모오스 트랜지스터와 p 모오스 트랜지스터의 동작전압은 일반적으로 서로 다를 수 있다. n 모오스 트랜지스터는 스위칭 전압에 따라 전류의 세기가 다양하게 조절되는 경우가 많다. 때문에, 금속 층들 간의 결합에 따른 전기적인 저항 또는 일함수(work function)과 같은 복잡한 계산을 간소화하기 위해 하나의 단일 금속 층 또는 2개 이하의 금속 층으로 이루어진 제 2 게이트 전극(48)이 채용될 수 있다. p 모오스 트랜지스터는 n 모오스 트랜지스터와 동작 전압이 다르게 구성될 수 있다. 또한, p 모오스 트랜지스터는 단순 스위칭 동작만이 요구되기 때문에 2개 내지 3개 이상 복수개의 금속 층이 적층된 구조를 갖는 제 1 게이트 전극(46)이 채

용될 수 있다. 예를 들어, p 모오스 트랜지스터에는 n 모오스 트랜지스터에 비해 낮은 동작전압이 인가될 수 있다. 종래에는 제 1 게이트 전극(46)에 보이드 불량이 발생되면 p 모오스 트랜지스터의 동작 특성이 저하되는 단점이 있었다. 따라서, 본 발명의 제 1 실시예에 따른 모오스 트랜지스터의 제조방법은 제 1 게이트 전극(46)의 보이드 불량을 방지하여 p 모오스 트랜지스터의 동작 특성이 저하되는 문제점을 극복할 수 있다.

<43> 도시되지는 않았지만, 소스/드레인 불순물 영역(30) 상의 몰드 절연막(32)을 제거하여 콘택 홀을 형성하고, 콘택 홀 내에 소스/드레인 전극을 형성하여 모오스 트랜지스터의 제조공정을 완료할 수 있다.

<44> (제 2 실시예)

<45> 도 18 내지 도 37은 본 발명의 제 2 실시예에 따른 모오스 트랜지스터의 제조방법을 나타내는 공정 단면도들이다.

<46> 도 18을 참조하여, 기판(10) 상의 소자 분리막(12)에 의해 정의되는 제 1 활성 영역(14) 및 제 2 활성 영역(16)에 각각 제 1 웰과 제 2 웰을 형성할 수 있다. 제 1 웰은 제 1 도전형 불순물로 이온주입되어 형성될 수 있다. 제 1 도전형 불순물은 인(P) 또는 아세닉(As)과 같은 도너를 포함할 수 있다. 예를 들어, 제 1 웰에는 제 1 도전형 불순물이 약 100KeV 내지 약 300KeV 에너지에서 약 1×10^{13} EA/cm³ 내지 약 1×10^{16} EA/cm³ 정도의 농도로 이온주입될 수 있다. 제 2 웰은 제 1 도전형

불순물과 반대되는 제 2 도전형 불순물로 이온주입되어 형성될 수 있다. 제 2 도전형 불순물은 보론(B)와 같은 억셉터를 포함할 수 있다. 예를 들어, 제 2 웰에는 제 2 도전형 불순물이 약 70KeV 내지 약 200KeV 에너지에서 약 1×10^{13} EA/cm³ 내지 약 1×10^{16} EA/cm³ 정도의 농도로 이온주입될 수 있다. 소자 분리막(12)은 제 1 웰과, 제 2 웰이 형성된 이후에 형성될 수 있다. 소자 분리막(12)은 기판(10)을 소정 깊이로 제거되는 트렌치 내에 플라즈마화학기상증착(PECVD)방법으로 형성된 실리콘 산화막을 포함할 수 있다.

<47> 도 19를 참조하여, 기판(10) 상에 게이트 절연막(18), 버퍼 게이트 전극(20), 및 더미 게이트 전극을 적층할 수 있다. 게이트 절연막(18)은 유전율이 높은 hafnium 산화막(HfO_x), tantalum 산화막(TaO_x), 실리콘 산화막(SiO₂)를 포함할 수 있다. 예를 들어, 게이트 절연막(18)은 화학기상증착(CVD)방법, 원자층증착(ALD)방법, 급속열처리(RTP)방법에 의해 약 30Å 내지 약 200Å 정도의 두께로 형성될 수 있다. 버퍼 게이트 전극(20)은 티타늄 질화막, 또는 tantalum 질화막을 포함할 수 있다. 버퍼 게이트 전극(20)은 화학기상증착방법 또는 원자층증착방법에 의해 약 20Å 내지 약 50Å 정도의 두께로 형성될 수 있다. 더미 게이트 전극은 화학기상증착방법으로 형성된 폴리 실리콘을 포함할 수 있다.

<48> 도 20을 참조하여, 게이트 절연막(18), 버퍼 게이트 전극(20), 및 더미 게이트 전극(22)을 포함하는 더미 게이트 스택(24)을 제 1 활성 영역(14) 및 제 2 활성 영역(16) 상에 형성할 수 있다. 더미 게이트 스택(24)은 포토리소그래피 공정 및

식각 공정에 의해 패터닝될 수 있다. 예를 들어, 포토리소그래피 공정 및 식각공정은 다음과 같이 이루어질 수 있다. 먼저, 더미 게이트 전극(22)의 상에 제 1 포토레지스트 패턴(도시하지 않음)을 형성할 수 있다. 다음, 제 1 포토레지스트 패턴을 식각 마스크로 사용하여 더미 게이트 전극(22), 버퍼 게이트 전극(20), 및 게이트 절연막(18)을 순차적으로 식각할 수 있다.

<49> 도 21을 참조하여, 제 2 활성 영역(16)을 덮는 제 2 포토레지스트 패턴(25)을 형성하고, 상기 제 2 포토레지스트 패턴(25)과 더미 게이트 전극(22)을 이온주입 마스크로 사용하여 제 1 활성 영역(14)에 LDD(lightly doped drain, 26)를 형성한다. 여기서, 제 1 활성 영역(14)에 제 2 도전형 불순물이 이온주입될 수 있다. 예를 들어, 제 2 도전형 불순물은 약 1KeV 내지 약 20KeV 에너지에서 약 1×10^{13} EA/cm³ 내지 약 1×10^{16} EA/cm³ 정도의 농도로 이온주입될 수 있다. 이후, 제 2 포토레지스트 패턴(25)을 제거한다.

<50> 도 22를 참조하여, 제 1 활성 영역(14)을 덮는 제 3 포토레지스트 패턴(27)을 형성하고, 상기 제 3 포토레지스트 패턴(27)과 더미 게이트 전극(22)을 이온주입마스크로 사용하여 제 2 활성 영역(16)에 LDD(26)를 형성한다. 제 2 활성 영역(16)에 제 1 도전형 불순물이 이온주입될 수 있다. 제 1 도전형 불순물은 약 5KeV 내지 약 30KeV 에너지에서 약 1×10^{13} EA/cm³ 내지 약 1×10^{16} EA/cm³ 정도의 농도로 이온주입될 수 있다. LDD(26)는 제 1 활성 영역(14)과 제 2 활성 영역(16)에서 동일한 깊이로 형성되고, 더미 게이트 스택(24)의 하부로 동일한 거리로 확산되게 형성

될 수 있다. 제 3 포토레지스트 패턴(27)을 제거한다.

<51> 도 23을 참조하여, 더미 게이트 스택(24)의 측벽에 스페이서(28)를 형성한다. 스페이서(28)는 화학기상증착방법으로 형성된 실리콘 질화막을 포함할 수 있다. 스페이서(28)는 자기정렬(self align)방법으로 형성될 수 있다. 예를 들어, 자기정렬방법은 더미 게이트 스택(24)을 덮도록 형성되는 실리콘 질화막을 비등방성식각하여 상기 더미 게이트 스택(24)의 측벽에서 잔존시키는 것을 포함할 수 있다.

<52> 도 24를 참조하여, 제 2 활성 영역(16)을 덮는 제 4 포토레지스트 패턴(29)을 형성하고, 상기 제 4 포토레지스트 패턴(29), 더미 게이트 전극(22), 및 스페이서(28)를 이온주입마스크로 사용하여 제 1 활성 영역(14)에 소스/드레인 불순물 영역(30)을 형성할 수 있다. 제 1 활성 영역(14)의 소스/드레인 불순물 영역(30)은 제 2 도전형 불순물을 포함할 수 있다. 예를 들어, 제 1 활성 영역(14)에 제 2 도전형 불순물이 약 10KeV 내지 약 40KeV 에너지에서 약 $1 \times 10^{16} \text{EA/cm}^3$ 내지 약 $1 \times 10^{17} \text{EA/cm}^3$ 정도 농도로 이온주입될 수 있다. 제 4 포토레지스트 패턴(29)을 제거한다.

<53> 도 25를 참조하여, 제 1 활성 영역(14)을 덮는 제 5 포토레지스트 패턴(31)을 형성하고, 상기 제 5 포토레지스트 패턴(31), 더미 게이트 전극(22), 및 스페이서(28)를 이온주입마스크로 사용하여 제 2 활성 영역(16)에 소스/드레인 불순물 영역(30)을 형성할 수 있다. 제 2 활성 영역(16)의 소스/드레인 불순물 영역(30)은

제 1 도전형 불순물을 포함할 수 있다. 예를 들어, 제 2 활성 영역(16)에 제 1 도전형 불순물이 약 10KeV 내지 약 50KeV 에너지에서 약 1×10^{16} EA/cm³ 내지 약 1×10^{17} EA/cm³ 정도 농도로 이온주입될 수 있다. 소스/드레인 불순물 영역(30)은 제 1 활성 영역(14)과 제 2 활성 영역(16)에서 동일한 깊이로 형성될 수 있다. 이후, 기판(10) 상에 형성된 제 5 포토레지스트 패턴(31)을 제거할 수 있다.

<54> 도시되지는 않았지만, 소스/드레인 불순물 영역(30)은 더미 게이트 스택(24) 양측의 제 1 활성 영역(14) 및 제 2 활성 영역(16)의 일부가 제거되고, 제거된 부분에 각각의 도전형 불순물들을 포함하는 에피 실리콘 저마늄(e-SiGe)이 채워져 소스/드레인 불순물 영역(30)이 형성될 수도 있다.

<55> 도 26을 참조하여, 소자 분리막(12)과, 소스/드레인 불순물 영역(30) 및 더미 게이트 스택(24)을 덮는 몰드 절연막(32)을 형성한다. 몰드 절연막(32)은 실리콘 산화막을 포함할 수 있다. 몰드 절연막(32)은 저압화학기상증착(LPCVD)방법 또는 플라즈마화학기상증착(PECVD)방법으로 형성될 수 있다. 몰드 절연막(32)은 평탄화되어 더미 게이트 전극(22)을 노출시킬 수 있다. 몰드 절연막(32)의 평탄화는 화학적물리적연마(CMP) 공정 또는 에치백(etch back) 공정에 의해 수행될 수 있다. 수 있다.

<56> 도 27을 참조하여, 제 1 활성 영역(14)의 더미 게이트 전극(22)을 선택적으로 제거하여 제 1 트렌치(35)를 형성할 수 있다. 여기서, 더미 게이트 전극(22)을 제거하는 것은 제 2 활성 영역(16)을 덮고 제 1 활성 영역(14)의 더미 게이트 전극

(22)을 노출하는 제 6 포토레지스트 패턴(34)을 형성하고, 건식 또는 습식식각방법으로 더미 게이트 전극(22)을 식각하는 것을 포함할 수 있다. 더미 게이트 전극(22)의 제거 동안에 제 6 포토레지스트 패턴(34)과, 기판(10) 상에 형성된 몰드 절연막(32), 스페이서(28)를 식각마스크로 사용될 수 있다. 버퍼 게이트 전극(20)은 더미 게이트 전극(22)의 식각 시 식각정지막으로서 사용될 수 있다. 이후, 제 2 활성 영역(16) 상에 형성된 제 6 포토레지스트 패턴(34)을 제거한다.

<57> 도 28을 참조하여, 기판(10)의 전면에 제 1 금속 층(36)을 형성한다. 예를 들어, 제 1 금속 층(36)은 화학기상증착(CVD)방법 또는 원자층증착(ALD)방법으로 형성된 티타늄 질화막(TiN)을 포함할 수 있다. 제 1 금속 층(36)은 몰드 절연막(32) 상부에서만 아니라, 제 1 트렌치(35)의 바닥 및 측벽에서도 동일한 두께로 형성될 수 있다. 제 1 금속 층(36)은 제 1 트렌치(35)의 내부에 매립되게 두껍게 형성될 경우, 제 1 트렌치(35)의 입구에서 제 1 금속 층(36)의 오버행(overhang)로 인해 내부에 보이드(void)가 유발될 수 있다. 따라서, 제 1 금속 층(36)은 제 1 트렌치(35) 바닥 및 측벽에서 일정한 두께를 갖도록 형성될 수 있다. 예를 들어, 제 1 금속 층(36)은 약 20Å 내지 약 200Å 정도의 두께로 형성될 수 있다.

<58> 도 29를 참조하여, 제 1 금속 층(36) 상에 더미 필러 층(38)을 적층할 수 있다. 여기서, 더미 필러 층(38)은 SOG(Spin On Glass)방법으로 형성된 실리콘 산화막을 포함할 수 있다. 더미 필러 층(38)은 제 1 활성 영역(14) 상의 제 1 트렌치(35) 내부를 완전히 매립시킬 수 있다. 이때, 더미 필러 층(38)은 제 1 트렌치(35) 내에서 보이드를 포함할 수 있다.

<59> 도 30을 참조하여, 더미 필러 층(38)을 평탄화하여 제 1 금속 층(36)을 노출시킬 수 있다. 더미 필러 층(38)의 평탄화는 화학적기계적연마(CMP) 공정 또는 에치백 공정에 의해 수행될 수 있다. 더미 필러 층(38)은 제 1 트렌치(35) 내에서만 잔존할 수 있다.

<60> 도 31을 참조하여, 몰드 절연막(32) 상부면 상의 제 1 금속 층(36)을 제거한다. 몰드 절연막(32)과 더미 필러 층(38) 사이에 형성된 제 1 금속 층(36)의 상부를 제거하여 함몰(recess)시킬 수 있다. 여기서, 제 1 금속 층(36)의 제거 공정은 더미 필러 층(38) 및 상기 몰드 절연막(32)에 대해 2 : 1 이상의 식각선택비를 갖는 건식식각방법 또는 습식식각방법으로 수행될 수 있다. 제 1 금속 층(36)은 제 1 트렌치(35)의 바닥면과, 상기 제 1 트렌치(35)의 측벽하부에서 잔존할 수 있다. 제 1 금속 층(36)은 제 1 트렌치(35)의 양쪽 측벽에서 대칭적으로 형성될 수 있다. 따라서, 제 1 금속 층(36)은 제 1 트렌치(35) 내에 형성되는 제 1 금속 패턴으로서 \sqcap 자의 단면을 가질 수 있다.

<61> 도 32를 참조하여, 더미 필러 층(38)을 제거하여 제 1 활성 영역(14) 상에 제 2 트렌치(40)를 형성할 수 있다. 더미 필러 층(38)은 더미 게이트 전극(22), 몰드 절연막(32), 및 제 1 금속 층(36)에 대해 약 2 : 1이상의 식각선택비를 갖는 식각방법으로 제거될 수 있다. 제 2 트렌치(40)는 제 1 금속 층(36)이 형성되어 있기 때문에 제 1 트렌치(35)보다 작은 깊이로 형성될 수 있다. 이때, 제 1 금속 층(36)은 제 2 트렌치(40)의 측벽 하부에 형성되어 있다. 제 2 트렌치(40)는 제 1 트렌치(35)와 동일한 크기의 입구를 가질 수 있다.

<62> 도 33을 참조하여, 제 1 금속 층(36) 상에 제 2 금속 층(42)을 형성한다. 제 2 금속 층(42)은 제 2 트렌치(40)를 매립하면서, 기판(10)의 전면에서 형성될 수 있다. 제 2 금속 층(42)은 물리기상증착(PVD)방법, 또는 화학기상증착(CVD)방법으로 형성되는 알루미늄, 텅스텐, 티타늄 중 적어도 하나를 포함할 수 있다. 제 2 금속 층(42)은 제 1 활성 영역(14) 상의 제 2 트렌치(40) 내에서 보이드를 발생시키지 않고 형성될 수 있다. 제 2 트렌치(40)에는 바닥에 제 1 금속 층(36)이 형성되어 있기 때문에 제 1 트렌치(35)보다 얇게 형성될 수 있다. 또한, 제 2 트렌치(40)는 입구가 제 1 트렌치(35)와 동일한 크기로 형성될 수 있다. 따라서, 제 2 금속 층(42)은 제 2 트렌치(40)의 입구에서 오버행이 유발되지 않고 형성될 수 있다.

<63> 도 34를 참조하여, 제 2 금속 층(42)을 평탄하게 제거할 수 있다. 제 2 금속 층(42)의 평탄화는 화학적기계적연마(CMP) 공정 또는 에치 백 공정에 의해 수행될 수 있다. 따라서, 제 1 활성 영역(14)에서 제 1 게이트 전극(46)의 형성을 완료시킬 수 있다. 제 1 게이트 전극(46)은 제 1 활성 영역(14) 상에서 소스/드레인 불순물 영역(30)이 배열되는 방향에 수직하는 방향으로 연장될 수 있다. 제 1 게이트 전극(46)은 버퍼 게이트 전극(20), 제 1 금속 층(36), 및 제 2 금속 층(42)을 포함할 수 있다. 제 1 게이트 전극(46)은 제 1 활성 영역(14)의 p 모오스 트랜지스터로 구성될 수 있다. p 모오스 트랜지스터에서 요구되는 전기적인 저항과 일함수에 따라 버퍼 게이트 전극(20), 제 1 금속 층(36), 및 제 2 금속 층(42)은 재질과 두께가 조절될 수 있다. p 모오스 트랜지스터는 단순 스위칭 동작만이 요구되기 때문에 2개 내지 3개 이상 복수개의 금속 층이 적층된 구조를 갖는 제 1 게이트 전극

(46)이 채용될 수 있다.

<64> 도 35를 참조하여, 제 2 활성 영역(16)의 더미 게이트 전극(22)을 제거하여 제 2 활성 영역(16) 상에 제 3 트렌치(43)를 형성할 수 있다. 더미 게이트 전극(22)은 제 2 금속 층(42)에 대해 식각선택비를 갖는 건식식각방법 또는 습식식각방법에 의해 제거될 수 있다. 더미 게이트 전극(22)과 제 2 금속 층(42)의 식각선택비가 높지 않을 경우, 제 1 활성 영역(14) 상에 제 7 포토레지스트 패턴(도시되지는 않음)을 형성할 수 있다. 더미 게이트 전극(22)은 제 7 포토레지스트 패턴을 식각마스크로 사용한 식각 공정에 의해 제거될 수 있다. 제 3 트렌치(43)는 제 2 활성 영역(16) 상의 버퍼 게이트 전극(20)을 노출시킬 수 있다.

<65> 도 36을 참조하여, 제 3 트렌치(43) 내에 제 3 금속 층(44)을 형성한다. 제 3 금속 층(43)은 기판(10)의 전면에 형성될 수 있다. 제 3 금속 층(44)은 물리기상증착(PVD)방법, 또는 화학기상증착(CVD)방법으로 형성된 알루미늄, 텅스텐, 티타늄, 탄탈륨 중 적어도 하나를 포함할 수 있다. 제 3 금속 층(44)은 제 2 금속 층(42)과 동일한 재료로 형성될 수도 있다. 제 3 금속 층(44)은 버퍼 게이트 전극(20)과 접합되거나, 게이트 절연막(18)에 접합될 수 있다.

<66> 도 37을 참조하여, 몰드 절연막(32) 상의 제 3 금속 층(44)을 평탄하게 제거한다. 제 3 금속 층(44)의 평탄화는 화학적물리적연마(CMP) 공정 또는 에치 백 공정에 의해 평탄하게 제거될 수 있다. 제 2 게이트 전극(48)은 버퍼 게이트 전극(20)와, 제 3 금속 층(44)을 포함할 수 있다. 제 2 게이트 전극(48)은 제 2 활성

영역(16) 상의 n 모오스 트랜지스터로 구성될 수 있다. n 모오스 트랜지스터는 p 모오스 트랜지스터와 동작 전압이 다르게 인가될 수 있다. 또한, n 모오스 트랜지스터는 스위칭 전압에 따라 전류의 세기가 다양하게 조절되는 경우가 많다. 때문에, 금속 층들 간의 결합에 따른 전기적인 저항 또는 일함수(work function)와 같은 복잡한 계산을 간소화하기 위해 단일 금속 층 또는 2개 이하의 금속 층으로 이루어진 제 2 게이트 전극(48)이 채용될 수 있다. 예를 들어, n 모오스 트랜지스터의 제 2 게이트 전극(48)은 p 모오스 트랜지스터의 제 1 게이트 전극(46)보다 높은 동작전압이 인가될 수 있다. 종래에는 제 1 게이트 전극(46)이 보이드 불량에 취약할 수 있었다. 따라서, 본 발명의 제 2 실시예에 따른 모오스 트랜지스터의 제조방법은 제 1 게이트 전극(46)의 보이드 불량을 방지하여 p 모오스 트랜지스터의 동작 특성이 저하되는 문제점을 극복할 수 있다. 본 발명의 제 2 실시예에 따른 모오스 트랜지스터의 제조방법은 제 1 활성 영역(14)에 제 1 게이트 전극(46)을 먼저 형성한 후에 제 2 활성 영역(16)에 제 2 게이트 전극(48)을 형성한다. 제 2 게이트 전극(48)은 제 2 활성 영역(16) 상에서 소스/드레인 불순물 영역(30)이 배열되는 방향에 수직하는 방향으로 연장할 수 있다.

<67> 도시되지는 않았지만, 소스/드레인 불순물 영역(30) 상의 몰드 절연막(32)을 제거하여 콘택 홀을 형성하고, 콘택 홀 내에 소스/드레인 전극을 형성하여 모오스 트랜지스터의 제조공정을 완료할 수 있다.

<68> 이 분야에 종사하는 통상의 지식을 가진 자라면, 상술한 본 발명의 기술적 사상에 기초하여 용이하게 이러한 변형된 실시예를 구현할 수 있을 것이다.

【특허 청구범위】

【청구항 1】

제 1 활성 영역 및 제 2 활성 영역을 갖는 기판을 제공하는 단계;

상기 제 1 활성 영역 및 상기 제 2 활성 영역 상에 게이트 절연막 및 더미 게이트 전극을 포함하는 더미 게이트 스택을 형성하는 단계;

상기 더미 게이트 스택의 양측의 상기 제 1 활성 영역 및 상기 제 2 활성 영역에 소스/드레인 영역을 형성하는 단계;

상기 소스/드레인 영역 상에 몰드 절연막을 형성하는 단계;

상기 제 1 활성 영역 상의 상기 더미 게이트 전극을 제거하여 상기 몰드 절연막에 제 1 트렌치를 형성하는 단계;

상기 제 1 트렌치의 하부에 제 1 금속 패턴을 형성하여 제 2 트렌치를 형성하고, 상기 제 2 활성 영역의 상기 더미 게이트 전극을 제거하여 상기 몰드 절연막에 상기 제 3 트렌치를 형성하는 단계; 및

상기 제 2 트렌치와 상기 제 3 트렌치 내에 제 2 금속 층을 형성하여 상기 제 1 활성 영역 상에 제 1 게이트 전극과, 상기 제 2 활성 영역 상에 제 2 게이트 전극을 형성하는 단계를 포함하는 모오스 트랜지스터의 제조방법.

【청구항 2】

제 1 항에 있어서,

상기 제 2 트렌치 및 상기 제 3 트렌치를 형성하는 단계는,

제출 일자 : 2009-12-08

상기 몰드 절연막의 상부면 상 및 상기 제 1 트렌치 내에 제 1 금속 층 및 더미 필러 층을 적층하는 단계와,

상기 더미 필러 층을 평탄화하여 상기 제 1 금속 층을 노출시키는 단계와,

상기 몰드 절연막 상부면 상의 상기 제 1 금속 층을 제거하고, 상기 몰드 절연막과 상기 더미 필러 층 사이에 형성된 상기 제 1 금속 층의 상부를 제거하여 상기 제 1 트렌치에 상기 제 1 금속 패턴을 형성하는 단계를 포함하는 모오스 트랜지스터의 제조방법.

【청구항 3】

제 2 항에 있어서,

상기 더미 게이트 전극과 상기 더미 필러 층은 동일한 물질로 형성되는 모오스 트랜지스터의 제조방법.

【청구항 4】

제 2 항에 있어서,

상기 제 2 트렌치 및 상기 제 3 트렌치를 형성하는 단계는,

상기 제 1 활성 영역의 상기 더미 필러 층과, 상기 제 2 활성 영역의 상기 더미 게이트 전극을 제거하여 상기 제 1 활성 영역에 제 2 트렌치를 형성하고, 상기 제 2 활성 영역에 제 3 트렌치를 형성하는 단계를 더 포함하는 모오스 트랜지스터의 제조방법.

【청구항 5】

제 2 항에 있어서,

상기 제 1 금속 층은 상기 더미 필러 층 및 상기 몰드 절연막에 비해 식각선택비를 갖는 식각방법에 의해 제거되는 모오스 트랜지스터의 제조방법.

【청구항 6】

제 1 항에 있어서,

상기 더미 게이트 전극의 측벽에 스페이서를 형성하는 단계를 더 포함하는 트랜지스터의 제조방법.

【청구항 7】

제 1 활성 영역 및 제 2 활성 영역을 갖는 기판을 제공하는 단계;

상기 제 1 활성 영역 및 상기 제 2 활성 영역 상에 게이트 절연막 및 더미 게이트 전극을 포함하는 더미 게이트 스택을 형성하는 단계;

상기 더미 게이트 스택의 양측의 상기 제 1 활성 영역 및 상기 제 2 활성 영역에 소스/드레인 영역을 형성하는 단계;

상기 소스/드레인 영역 상에 몰드 절연막을 형성하는 단계;

상기 제 1 활성 영역 상의 상기 더미 게이트 전극을 제거하여 상기 몰드 절연막에 제 1 트렌치를 형성하는 단계;

상기 제 1 트렌치의 하부에 제 1 금속 패턴을 형성하여 제 2 트렌치를 형성하고, 상기 제 2 트렌치 내에 제 2 금속 층을 형성하는 단계; 및

제출 일자 : 2009-12-08

상기 제 2 활성 영역의 상기 더미 게이트 전극을 제거하여 상기 몰드 절연막에 제 3 트렌치를 형성하고, 상기 제 3 트렌치 내에 제 3 금속 층을 형성하는 단계를 포함하는 모오스 트랜지스터의 제조방법.

【청구항 8】

제 7 항에 있어서,

상기 제 2 트렌치를 형성하는 단계는,

상기 몰드 절연막의 상부면 상 및 상기 제 1 트렌치 내에 제 1 금속 층 및 더미 필러 층을 적층하는 단계와,

상기 더미 필러 층을 평탄화하여 상기 제 1 금속 층을 노출시키는 단계와,

상기 몰드 절연막 상부면 상의 상기 제 1 금속 층을 제거하고, 상기 몰드 절연막과 상기 더미 필러 층 사이에 형성된 상기 제 1 금속 층의 상부를 제거하여 상기 제 1 금속 패턴을 형성하는 단계와,

상기 제 1 활성 영역의 더미 필러 층을 선택적으로 제거하는 단계를 포함하는 모오스 트랜지스터의 제조방법.

【청구항 9】

제 8 항에 있어서,

상기 더미 필러 층은, 상기 더미 게이트 전극, 상기 몰드 절연막, 상기 제 1 금속 패턴에 비해 식각선택비를 갖는 식각방법에 의해 제거되는 모오스 트랜지스터의 제조방법.

【청구항 10】

제 9 항에 있어서,

상기 더미 게이트 전극은 폴리 실리콘으로 형성되고, 상기 더미 필러 층은 실리콘 산화막으로 형성되는 모오스 트랜지스터의 제조방법.

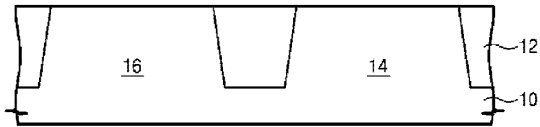
【도면의 간단한 설명】

<69> 도 1 내지 도 17은 본 발명의 제 1 실시예에 따른 트랜지스터의 제조방법을 나타내는 공정 단면도들.

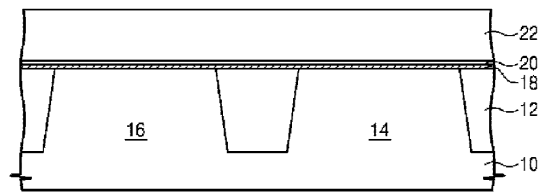
<70> 도 18 내지 도 37은 본 발명의 제 2 실시예에 따른 모오스 트랜지스터의 제조방법을 나타내는 공정 단면도들.

【도면】

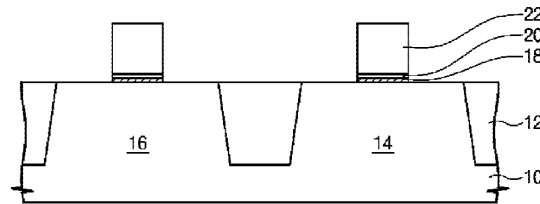
【도 1】



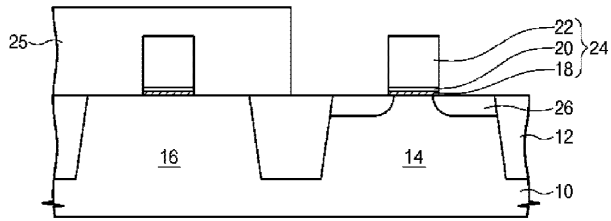
【도 2】



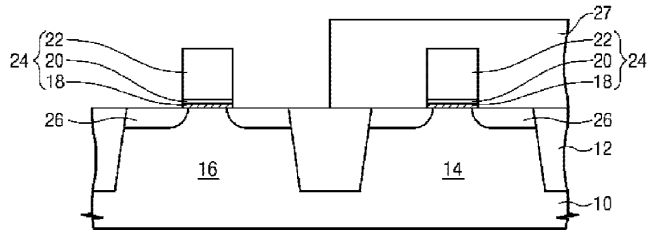
【도 3】



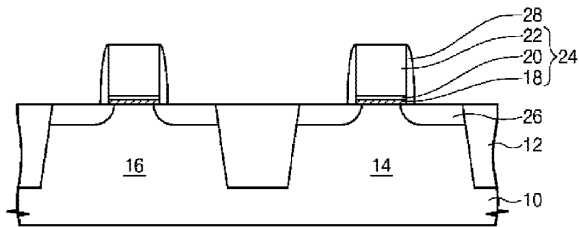
【도 4】



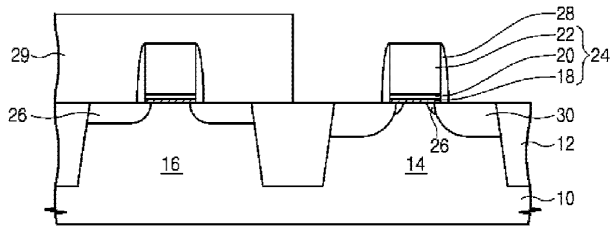
【도 5】



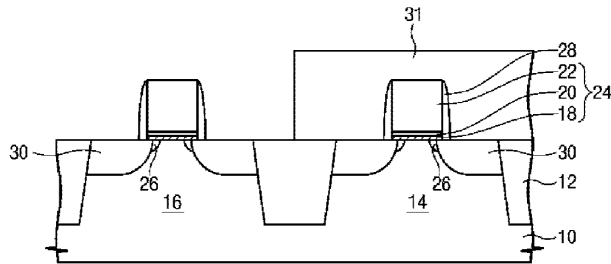
【도 6】



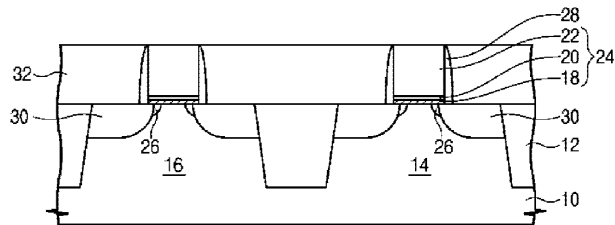
【도 7】



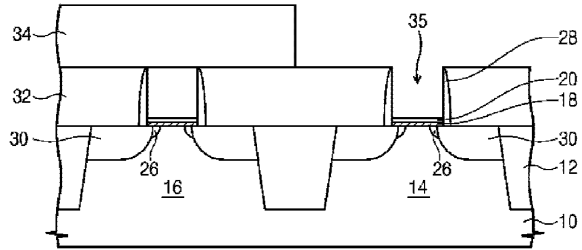
【도 8】



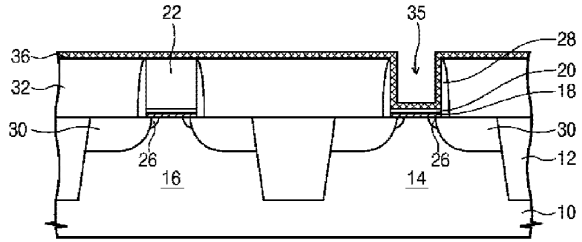
【도 9】



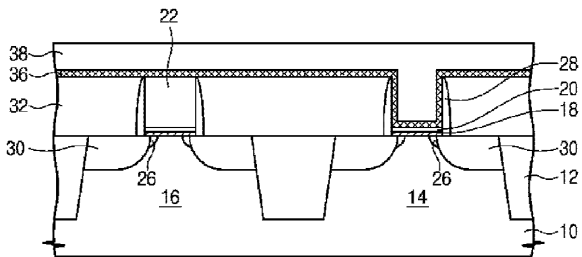
【도 10】



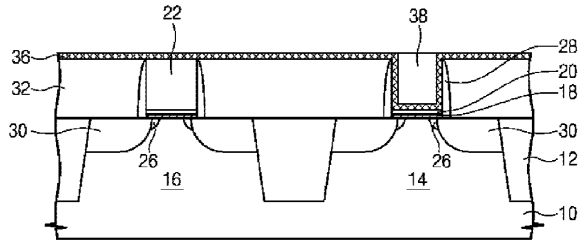
【도 11】



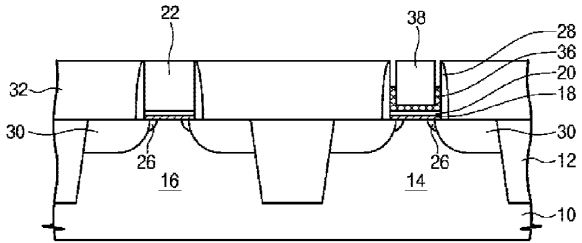
【도 12】



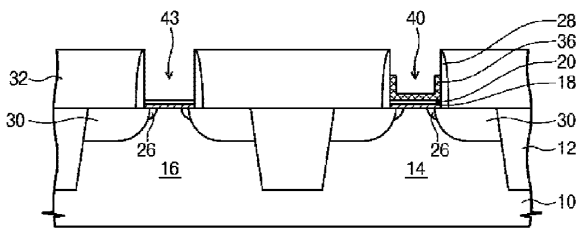
【도 13】



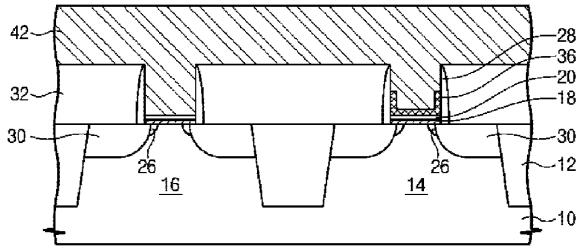
【도 14】



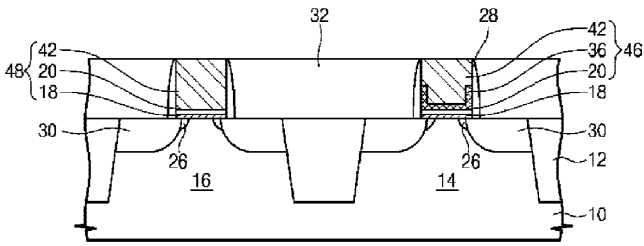
【도 15】



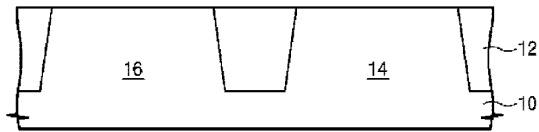
【도 16】



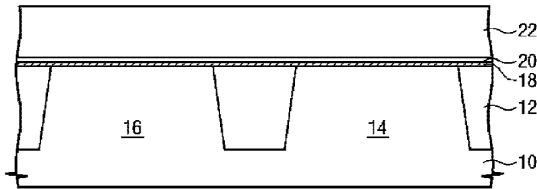
【도 17】



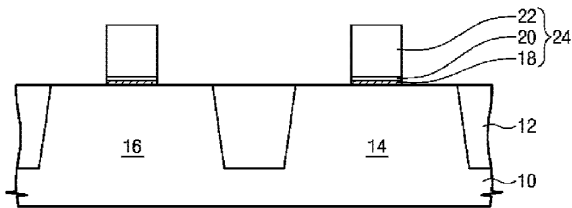
【도 18】



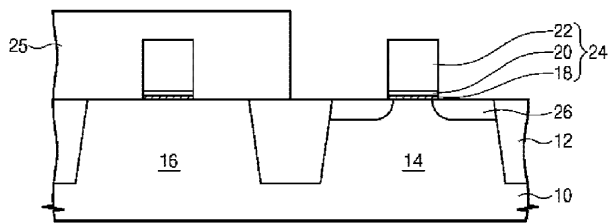
【도 19】



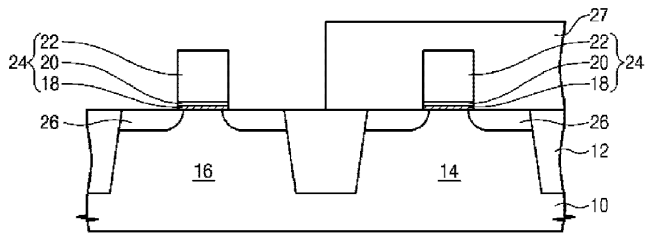
【도 20】



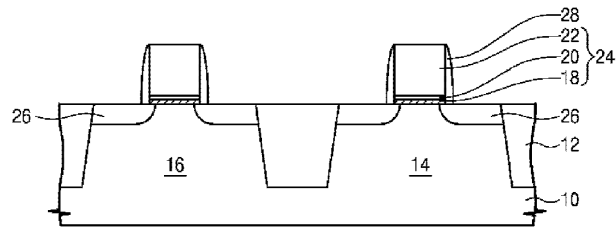
【도 21】



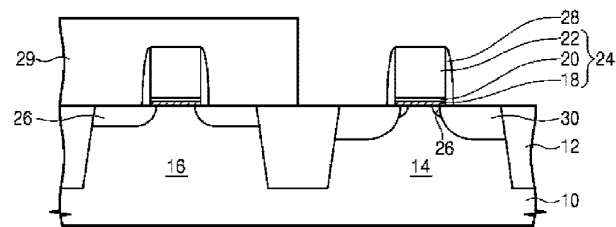
【도 22】



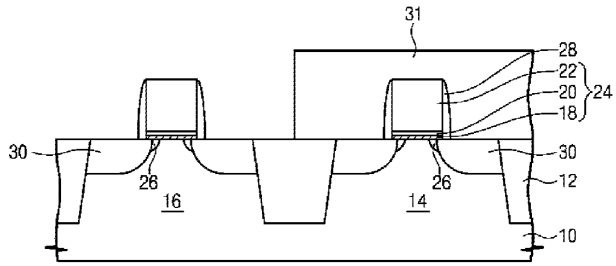
【도 23】



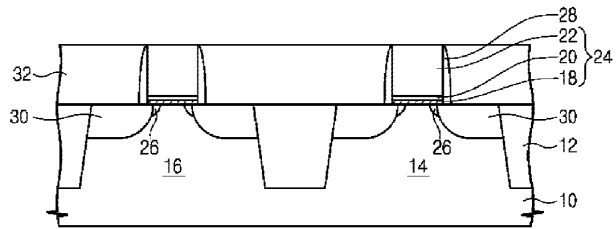
【도 24】



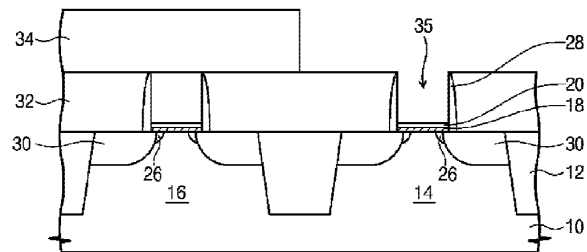
【도 25】



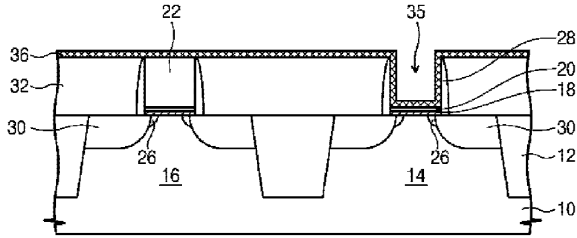
【도 26】



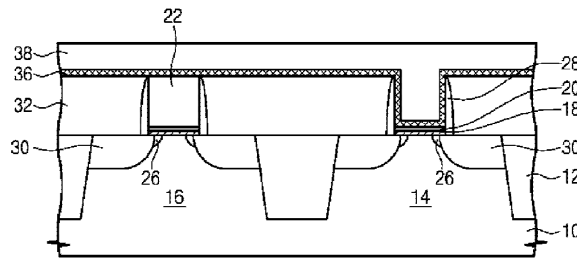
【도 27】



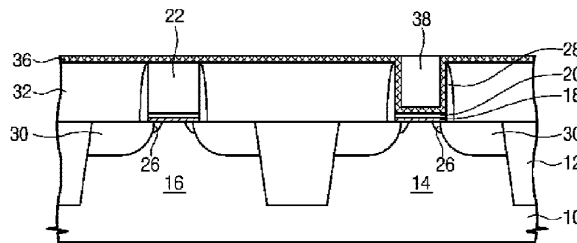
【도 28】



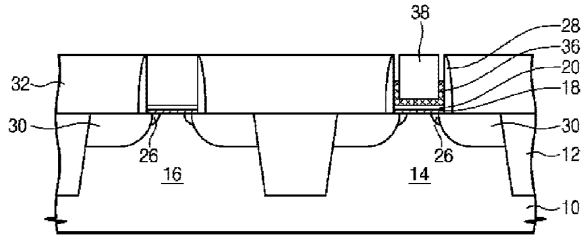
【도 29】



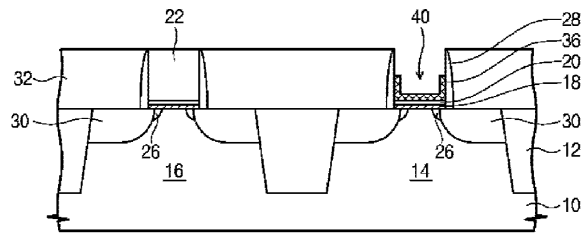
【도 30】



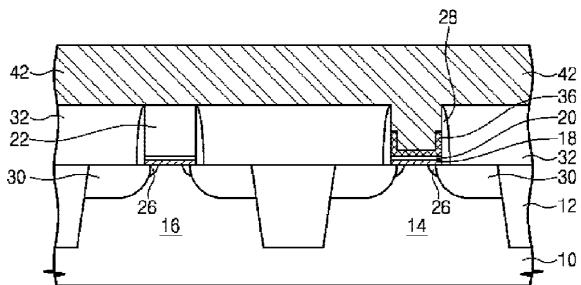
【도 31】



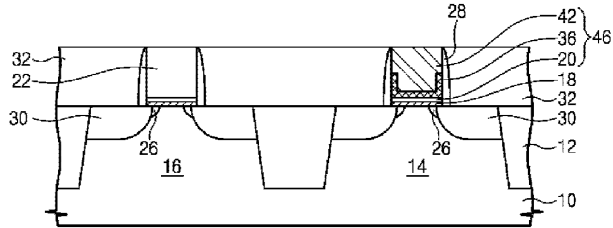
【도 32】



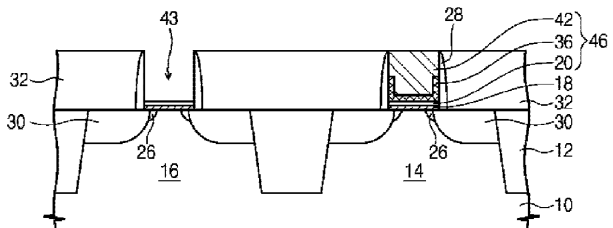
【도 33】



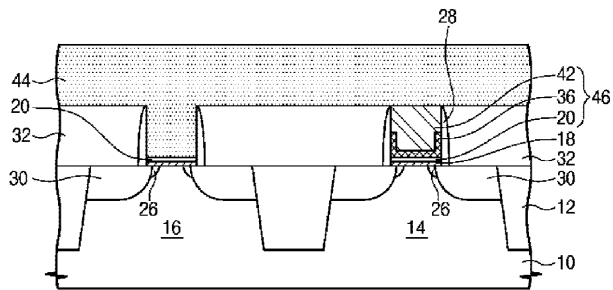
【도 34】



【도 35】

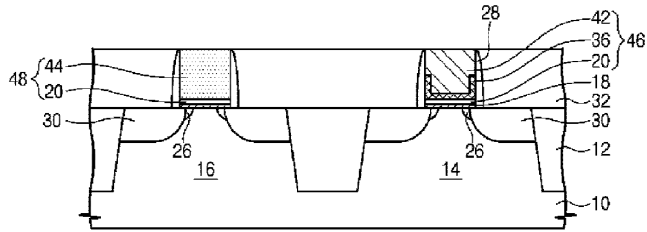


【도 36】



제출 일자 : 2009-12-08

【도 37】



INFORMATION DISCLOSURE STATEMENT BY APPLICANT				Complete if Known		
				Application Number	12/942,763	
				Filing Date	November 9, 2010	
				First Named Inventor	Jongwon Lee	
				Art Unit	TBA	
				Examiner Name	TBA	
Sheet	B1	of	B2	Attorney Docket Number	5649-2985	

(use as many sheets as necessary)

U.S. PATENT DOCUMENTS					
Examiner Initials*	Cite No.	Document Number	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
		Number-Kind Code (if known)			
	1.	US- 6,130,123	10-10-2000	Liang et al.	
	2.	US- 6,166,417	12-26-2000	Bai et al.	
	3.	US- 6,265,258	07-24-2001	Liang et al.	
	4.	US- 6,373,111	04-16-2002	Zheng et al.	
	5.	US- 6,492,217	12-10-2002	Bai et al.	
	6.	US- 6,620,713	09-16-2003	Arghavani et al.	
	7.	US- 6,696,333	02-24-2004	Zheng et al.	
	8.	US- 6,696,345	02-24-2004	Chau et al.	
	9.	US- 6,709,911	03-23-2004	Doczy et al.	
	10.	US- 6,743,683	06-01-2004	Barns et al.	
	11.	US- 6,790,731	09-14-2004	Zheng et al.	
	12.	US- 6,794,232	09-21-2004	Zheng et al.	
	13.	US- 6,806,146	10-19-2004	Brask et al.	
	14.	US- 6,809,017	10-26-2004	Arghavani et al.	
	15.	US- 6,825,506	11-30-2004	Chau et al.	
	16.	US- 6,849,509	02-01-2005	Barnak et al.	
	17.	US- 6,867,102	03-15-2005	Brask et al.	
	18.	US- 6,879,009	04-12-2005	Zheng et al.	
	19.	US- 6,890,807	05-10-2005	Chau et al.	
	20.	US- 6,893,927	05-17-2005	Shah et al.	
	21.	US- 6,939,815	09-06-2005	Brask et al.	
	22.	US- 6,974,764	12-13-2005	Brask et al.	
	23.	US- 6,998,686	02-14-2006	Chau et al.	
	24.	US- 7,022,559	04-04-2006	Barnak et al.	
	25.	US- 7,030,430	04-18-2006	Doczy et al.	
	26.	US- 7,037,845	05-02-2006	Brask et al.	
	27.	US- 7,060,568	06-13-2006	Metz et al.	
	28.	US- 7,064,066	06-20-2006	Metz et al.	
	29.	US- 7,074,680	07-11-2006	Doczy et al.	
	30.	US- 7,078,282	07-18-2006	Chau et al.	
	31.	US- 7,084,038	08-01-2006	Doczy et al.	
	32.	US- 7,087,476	08-08-2006	Metz et al.	
	33.	US- 7,122,870	10-17-2006	Barnak et al.	
	34.	US- 7,125,762	10-24-2006	Brask et al.	
	35.	US- 7,126,199	10-24-2006	Doczy et al.	
	36.	US- 7,129,182	10-31-2006	Brask et al.	
	37.	US- 7,138,323	11-21-2006	Kavalieros et al.	

Examiner Signature		Date Considered	
--------------------	--	-----------------	--

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT				Complete if Known	
				Application Number	12/942,763
				Filing Date	November 9, 2010
				First Named Inventor	Jongwon Lee
				Art Unit	TBA
				Examiner Name	TBA
Sheet	B2	of	B2	Attorney Docket Number	5649-2985

(use as many sheets as necessary)

38.	US-	7,144,783	12-05-2006	Datta et al.	
39.	US-	7,144,816	12-05-2006	Barns et al.	
40.	US-	7,148,099	12-12-2006	Datta et al.	
41.	US-	7,148,548	12-12-2006	Doczy et al.	
42.	US-	7,153,734	12-26-2006	Brask et al.	
43.	US-	7,153,784	12-26-2006	Brask et al.	
44.	US-	7,157,378	01-02-2007	Brask et al.	
45.	US-	7,160,767	01-09-2007	Brask et al.	
46.	US-	7,160,779	01-09-2007	Doczy et al.	
47.	US-	7,166,506	01-23-2007	Prince et al.	
48.	US-	7,176,075	02-13-2007	Chau et al.	
49.	US-	7,176,090	02-13-2007	Brask et al.	
50.	US-	7,180,109	02-20-2007	Chau et al.	
51.	US-	7,183,184	02-27-2007	Doczy et al.	
52.	US-	7,187,044	03-06-2007	Liang et al.	
53.	US-	7,192,856	03-20-2007	Doczy et al.	
54.	US-	7,193,253	03-20-2007	Doczy et al.	
55.	US-	7,208,361	04-24-2007	Shah et al.	
56.	US-	7,220,635	05-22-2007	Brask et al.	
57.	US-	7,271,045	09-18-2007	Prince et al.	
58.	US-	7,285,829	10-23-2007	Doyle et al.	
59.	US-	7,317,231	01-08-2008	Metz et al.	
60.	US-	7,323,423	01-29-2008	Brask et al.	
61.	US-	7,326,599	02-05-2008	Lochtefeld et al.	
62.	US-	7,326,656	02-05-2008	Brask et al.	
63.	US-	7,332,439	02-19-2008	Lindert et al.	
64.	US-	7,338,847	03-04-2008	Shaheed et al.	
65.	US-	7,354,832	04-08-2008	Rachmady et al.	
66.	US-	7,355,281	04-08-2008	Brask et al.	
67.	US-	7,361,958	04-22-2008	Brask et al.	
68.	US-	7,381,608	06-03-2008	Brask et al.	
69.	US-	7,384,880	06-10-2008	Brask et al.	
70.	US-	7,387,927	06-17-2008	Turkot, Jr. et al.	
71.	US-	7,390,709	06-24-2008	Doczy et al.	
72.	US-	7,420,254	09-02-2008	Chau et al.	
73.	US-	7,422,936	09-09-2008	Barns et al.	
74.	US-	7,439,113	10-21-2008	Doczy et al.	
75.	US-	7,439,571	10-21-2008	Doczy et al.	
76.	US-	7,442,983	10-28-2008	Doczy et al.	
77.	US-	7,449,756	11-11-2008	Metz et al.	

iDoc# 959776

Examiner Signature		Date Considered	
--------------------	--	-----------------	--

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

Electronic Acknowledgement Receipt

EFS ID:	8928283
Application Number:	12942763
International Application Number:	
Confirmation Number:	2294
Title of Invention:	Methods of Forming CMOS Transistors with High Conductivity Gate Electrodes
First Named Inventor/Applicant Name:	Jongwon Lee
Customer Number:	20792
Filer:	Grant J. Scott/Gwen Bailey
Filer Authorized By:	Grant J. Scott
Attorney Docket Number:	5649-2985
Receipt Date:	30-NOV-2010
Filing Date:	09-NOV-2010
Time Stamp:	10:01:56
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no
------------------------	----

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		IDS2985.pdf	499614 <small>38930d44e10cfee9d7558473849c4f9911941d31</small>	yes	4

Multipart Description/PDF files in .zip description			
Document Description		Start	End
Transmittal Letter		1	2
Information Disclosure Statement (IDS) Filed (SB/08)		3	4
Warnings:			
Information:			
Total Files Size (in bytes):			499614
<p>This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.</p> <p><u>New Applications Under 35 U.S.C. 111</u> If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.</p> <p><u>National Stage of an International Application under 35 U.S.C. 371</u> If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.</p> <p><u>New International Application Filed with the USPTO as a Receiving Office</u> If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.</p>			

Attorney Docket No. 5649-2985

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Lee et al.

Confirmation No. 2294

Application No.: 12/942,763

Examiner: TBA

Filing Date: November 9, 2010

Group Art Unit: TBA

For: METHODS OF FORMING CMOS TRANSISTORS WITH HIGH CONDUCTIVITY GATE ELECTRODES

Date: November 30, 2010

Mail Stop Amendment
Commissioner for Patents
Box 1450
Alexandria, VA 22313-1450

INFORMATION DISCLOSURE STATEMENT TRANSMITTAL

Sir:

Attached is an Information Disclosure Statement listing of documents, together with a copy of any listed foreign patent document and/or non-patent literature. A copy of any listed U.S. patent and/or U.S. patent application publication is not provided herewith in accordance with 37 C.F.R. § 1.98(a)(2)(ii).

In accordance with **37 CFR 1.97(b)**, the information disclosure statement is being filed:

(1) within three months of the filing date of a national application other than a continued prosecution application under §1.53(d);

(2) within three months of the date of entry of the national stage as set forth in §1.491 in an international application;

(3) before the mailing of a first Office Action on the merits; or

(4) before the mailing of a first Office Action after the filing of a request for continued examination under §1.114.

In accordance with **37 CFR 1.97(c)**, the information disclosure statement is being filed after the period specified in 37 CFR 1.97(b) above, but before the mailing date of any of a final action under §1.113, a notice of allowance under §1.311, or an action that otherwise closes prosecution in the application, and is accompanied by **one** of the following:

(1) The statement specified under **37 CFR 1.97(e)**, as follows:

Each item of information contained in the information disclosure statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the information disclosure statement; **or**

No item of information contained in the information disclosure statement was cited in a communication from a foreign patent office in a counterpart foreign application, and, to the knowledge of the person signing the certification after making reasonable inquiry, no item of information contained in the information disclosure statement was known to any individual designated in §1.56(c) more than three months prior to the filing of the information disclosure statement; **or**

(2) The fee set forth in §1.17(p);

In re: Lee et al.
Application No.: 12/942,763
Filing Date: November 9, 2010
Page 2 of 2

In accordance with **37 CFR 1.97(d)**, the information disclosure statement is being filed after the period specified in 37 CFR 1.97(c) above, but on or before payment of the issue fee, and is accompanied by **both** of the following:

(1) The statement specified under **37 CFR 1.97(e)**, as follows:

That each item of information contained in the information disclosure statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the information disclosure statement; **or**

That no item of information contained in the information disclosure statement was cited in a communication from a foreign patent office in a counterpart foreign application, and, to the knowledge of the person signing the certification after making reasonable inquiry, no item of information contained in the information disclosure statement was known to any individual designated in §1.56(c) more than three months prior to the filing of the information disclosure statement; **and**

(2) The fee set forth in §1.17(p);

In accordance with **37 CFR 1.97(g)**, the information disclosure statement shall not be construed as a representation that a search has been made.

In accordance with **37 CFR 1.97(h)**, the information disclosure statement shall not be construed to be an admission that the information cited in the statement is, or is considered to be, material to patentability as defined in §1.56(b).

The Director is hereby authorized to charge the fee specified in 37 C.F.R. § 1.17(p), and any fee deficiency or credit any overpayment, to Deposit Account No. 50-0220; **or**

No fee is believed due. However, the Director is hereby authorized to charge any deficiency or credit any overpayment to Deposit Account No. 50-0220.

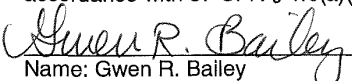
Respectfully submitted,


Grant J. Scott
Registration No. 36,925
Attorney for Applicant(s)

Customer Number 20792
Myers Bigel Sibley & Sajovec, P.A.
P.O. Box 37428, Raleigh, NC 27627
919-854-1400
919-854-1401 (Fax)

CERTIFICATION OF TRANSMISSION

I hereby certify that this correspondence is being transmitted via the Office electronic filing system in accordance with 37 CFR § 1.6(a)(4) to the U.S. Patent and Trademark Office on November 30, 2010.


Name: Gwen R. Bailey



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

Table with 7 columns: APPLICATION NUMBER, FILING or 371(c) DATE, GRP ART UNIT, FIL FEE REC'D, ATTY. DOCKET NO, TOT CLAIMS, IND CLAIMS. Row 1: 12/942,763, 11/09/2010, 2812, 1090, 5649-2985, 20, 3

CONFIRMATION NO. 2294

FILING RECEIPT

20792
MYERS BIGEL SIBLEY & SAJOVEC
PO BOX 37428
RALEIGH, NC 27627



Date Mailed: 11/24/2010

Receipt is acknowledged of this non-provisional patent application. The application will be taken up for examination in due course. Applicant will be notified as to the results of the examination. Any correspondence concerning the application must include the following identification information: the U.S. APPLICATION NUMBER, FILING DATE, NAME OF APPLICANT, and TITLE OF INVENTION. Fees transmitted by check or draft are subject to collection. Please verify the accuracy of the data presented on this receipt. If an error is noted on this Filing Receipt, please submit a written request for a Filing Receipt Correction. Please provide a copy of this Filing Receipt with the changes noted thereon. If you received a "Notice to File Missing Parts" for this application, please submit any corrections to this Filing Receipt with your reply to the Notice. When the USPTO processes the reply to the Notice, the USPTO will generate another Filing Receipt incorporating the requested corrections

Applicant(s)

Jongwon Lee, Hwaseong-si, KOREA, REPUBLIC OF;
Boun Yoon, Seoul, KOREA, REPUBLIC OF;
Sang Yeob Han, Anyang-si, KOREA, REPUBLIC OF;
Chae Lyoung Kim, Hwaseong-si, KOREA, REPUBLIC OF;

Power of Attorney: The patent practitioners associated with Customer Number 20792

Domestic Priority data as claimed by applicant

Foreign Applications

REPUBLIC OF KOREA 10-2009-0121108 12/08/2009

Request to Retrieve - This application either claims priority to one or more applications filed in an intellectual property Office that participates in the Priority Document Exchange (PDX) program or contains a proper Request to Retrieve Electronic Priority Application(s) (PTO/SB/38 or its equivalent). Consequently, the USPTO will attempt to electronically retrieve these priority documents.

If Required, Foreign Filing License Granted: 11/19/2010

The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is US 12/942,763

Projected Publication Date: 06/09/2011

Non-Publication Request: No

Early Publication Request: No

Title

Methods of Forming CMOS Transistors with High Conductivity Gate Electrodes

Preliminary Class

438

PROTECTING YOUR INVENTION OUTSIDE THE UNITED STATES

Since the rights granted by a U.S. patent extend only throughout the territory of the United States and have no effect in a foreign country, an inventor who wishes patent protection in another country must apply for a patent in a specific country or in regional patent offices. Applicants may wish to consider the filing of an international application under the Patent Cooperation Treaty (PCT). An international (PCT) application generally has the same effect as a regular national patent application in each PCT-member country. The PCT process **simplifies** the filing of patent applications on the same invention in member countries, but **does not result** in a grant of "an international patent" and does not eliminate the need of applicants to file additional documents and fees in countries where patent protection is desired.

Almost every country has its own patent law, and a person desiring a patent in a particular country must make an application for patent in that country in accordance with its particular laws. Since the laws of many countries differ in various respects from the patent law of the United States, applicants are advised to seek guidance from specific foreign countries to ensure that patent rights are not lost prematurely.

Applicants also are advised that in the case of inventions made in the United States, the Director of the USPTO must issue a license before applicants can apply for a patent in a foreign country. The filing of a U.S. patent application serves as a request for a foreign filing license. The application's filing receipt contains further information and guidance as to the status of applicant's license for foreign filing.

Applicants may wish to consult the USPTO booklet, "General Information Concerning Patents" (specifically, the section entitled "Treaties and Foreign Patents") for more information on timeframes and deadlines for filing foreign patent applications. The guide is available either by contacting the USPTO Contact Center at 800-786-9199, or it can be viewed on the USPTO website at <http://www.uspto.gov/web/offices/pac/doc/general/index.html>.

For information on preventing theft of your intellectual property (patents, trademarks and copyrights), you may wish to consult the U.S. Government website, <http://www.stopfakes.gov>. Part of a Department of Commerce initiative, this website includes self-help "toolkits" giving innovators guidance on how to protect intellectual property in specific countries such as China, Korea and Mexico. For questions regarding patent enforcement issues, applicants may call the U.S. Government hotline at 1-866-999-HALT (1-866-999-4158).

LICENSE FOR FOREIGN FILING UNDER**Title 35, United States Code, Section 184****Title 37, Code of Federal Regulations, 5.11 & 5.15****GRANTED**

The applicant has been granted a license under 35 U.S.C. 184, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" followed by a date appears on this form. Such licenses are issued in all applications where the conditions for issuance of a license have been met, regardless of whether or not a license may be required as

set forth in 37 CFR 5.15. The scope and limitations of this license are set forth in 37 CFR 5.15(a) unless an earlier license has been issued under 37 CFR 5.15(b). The license is subject to revocation upon written notification. The date indicated is the effective date of the license, unless an earlier license of similar scope has been granted under 37 CFR 5.13 or 5.14.

This license is to be retained by the licensee and may be used at any time on or after the effective date thereof unless it is revoked. This license is automatically transferred to any related applications(s) filed under 37 CFR 1.53(d). This license is not retroactive.

The grant of a license does not in any way lessen the responsibility of a licensee for the security of the subject matter as imposed by any Government contract or the provisions of existing laws relating to espionage and the national security or the export of technical data. Licensees should apprise themselves of current regulations especially with respect to certain countries, of other agencies, particularly the Office of Defense Trade Controls, Department of State (with respect to Arms, Munitions and Implements of War (22 CFR 121-128)); the Bureau of Industry and Security, Department of Commerce (15 CFR parts 730-774); the Office of Foreign Assets Control, Department of Treasury (31 CFR Parts 500+) and the Department of Energy.

NOT GRANTED

No license under 35 U.S.C. 184 has been granted at this time, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" DOES NOT appear on this form. Applicant may still petition for a license under 37 CFR 5.12, if a license is desired before the expiration of 6 months from the filing date of the application. If 6 months has lapsed from the filing date of this application and the licensee has not received any indication of a secrecy order under 35 U.S.C. 181, the licensee may foreign file the application pursuant to 37 CFR 5.15(b).

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

<p>UTILITY PATENT APPLICATION TRANSMITTAL</p> <p><i>(Only for new nonprovisional applications under 37 CFR 1.53(b))</i></p>	<p>Attorney Docket No. 5649-2985</p> <hr/> <p>First Inventor Jongwon Lee</p> <hr/> <p>Title Methods of Forming CMOS Transistors</p> <hr/> <p>Express Mail Label No.</p>
--	---

<p style="text-align: center;">APPLICATION ELEMENTS</p> <p><i>See MPEP chapter 600 concerning utility patent application contents.</i></p>	<p>ADDRESS TO: Commissioner for Patents P.O. Box 1450 Alexandria VA 22313-1450</p>
---	---

<p>1. <input type="checkbox"/> Fee Transmittal Form (e.g., PTO/SB/17)</p> <p>2. <input type="checkbox"/> Applicant claims small entity status. See 37 CFR 1.27.</p> <p>3. <input checked="" type="checkbox"/> Specification [Total Pages <u>20</u>] Both the claims and abstract must start on a new page <i>(For information on the preferred arrangement, see MPEP 608.01(a))</i></p> <p>4. <input checked="" type="checkbox"/> Drawing(s) (35 U.S.C. 113) [Total Sheets <u>19</u>]</p> <p>5. Oath or Declaration [Total Sheets <u>6</u>]</p> <p style="margin-left: 20px;">a. <input checked="" type="checkbox"/> Newly executed (original or copy)</p> <p style="margin-left: 20px;">b. <input type="checkbox"/> A copy from a prior application (37 CFR 1.63(d)) <i>(for continuation/divisional with Box 18 completed)</i></p> <p style="margin-left: 20px;">i. <input type="checkbox"/> DELETION OF INVENTOR(S) Signed statement attached deleting inventor(s) name in the prior application, see 37 CFR 1.63(d)(2) and 1.33(b).</p> <p>6. <input type="checkbox"/> Application Data Sheet. See 37 CFR 1.76</p> <p>7. <input type="checkbox"/> CD-ROM or CD-R in duplicate, large table or Computer Program (Appendix) <input type="checkbox"/> Landscape Table on CD</p> <p>8. Nucleotide and/or Amino Acid Sequence Submission <i>(if applicable, items a. - c. are required)</i></p> <p style="margin-left: 20px;">a. <input type="checkbox"/> Computer Readable Form (CRF)</p> <p style="margin-left: 20px;">b. Specification Sequence Listing on:</p> <p style="margin-left: 40px;">i. <input type="checkbox"/> CD-ROM or CD-R (2 copies); or</p> <p style="margin-left: 40px;">ii. <input type="checkbox"/> Paper</p> <p style="margin-left: 20px;">c. <input type="checkbox"/> Statements verifying identity of above copies</p>	<p style="text-align: center;">ACCOMPANYING APPLICATION PARTS</p> <p>9. <input type="checkbox"/> Assignment Papers (cover sheet & document(s)) Name of Assignee _____</p> <p>10. <input type="checkbox"/> 37 CFR 3.73(b) Statement <input type="checkbox"/> Power of Attorney <i>(when there is an assignee)</i></p> <p>11. <input type="checkbox"/> English Translation Document <i>(if applicable)</i></p> <p>12. <input checked="" type="checkbox"/> Information Disclosure Statement (PTO/SB/08 or PTO-1449) <input checked="" type="checkbox"/> Copies of citations attached</p> <p>13. <input type="checkbox"/> Preliminary Amendment</p> <p>14. <input type="checkbox"/> Return Receipt Postcard (MPEP 503) <i>(Should be specifically itemized)</i></p> <p>15. <input type="checkbox"/> Certified Copy of Priority Document(s) <i>(if foreign priority is claimed)</i></p> <p>16. <input type="checkbox"/> Nonpublication Request under 35 U.S.C. 122(b)(2)(B)(i). Applicant must attach form PTO/SB/35 or equivalent.</p> <p>17. <input type="checkbox"/> Other: _____</p>
---	--

18. If a CONTINUING APPLICATION, check appropriate box, and supply the requisite information below and in the first sentence of the specification following the title, or in an Application Data Sheet under 37 CFR 1.76:

Continuation
 Divisional
 Continuation-in-part (CIP)
 of prior application No.: _____

Prior application information: Examiner: _____ Art Unit: _____

19. CORRESPONDENCE ADDRESS

The address associated with Customer Number: 20792 OR Correspondence address below

Name				
Address				
City	State	Zip Code		
Country	Telephone	Email		

Signature	Date	November 9, 2010
Name (Print/Type)	Registration No. (Attorney/Agent)	36,925

This collection of information is required by 37 CFR 1.53(b). The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

METHODS OF FORMING CMOS TRANSISTORS WITH HIGH CONDUCTIVITY GATE ELECTRODES

REFERENCE TO PRIORITY APPLICATION

[0001] This application claims priority to Korean Patent Application No. 10-2009-0121108, filed December 8, 2009, the contents of which are hereby incorporated herein by reference.

FIELD OF THE INVENTION

[0002] This invention relates to methods for manufacturing MOS transistors and, more particularly, to methods for manufacturing MOS transistors having gate electrodes formed of different metals.

BACKGROUND OF THE INVENTION

[0003] A MOS transistor is widely used as switching devices. In contrast to conventional MOS transistors containing a gate electrode which is formed of poly silicon, a metal material with superior electric conductivity better than the poly silicon have been used as the gate electrode of MOS transistors. MOS transistors are classified as n-MOS transistors or p-MOS transistors in accordance with the channel type which is induced beneath the gate electrode. The gate electrodes of the n-MOS transistor and the p-MOS transistor may be formed of different metals so that the n-MOS transistor and the p-MOS transistor have different threshold voltages.

SUMMARY

[0004] Methods of forming insulated-gate field effect transistors according to embodiments of the invention includes forming a gate insulating layer on a substrate and forming a dummy gate electrode on the gate insulating layer. Electrically insulating spacers are formed on sidewalls of the dummy gate electrode. These spacers and the dummy gate electrode are covered with an electrically insulating mold layer. An upper portion of the mold layer is then removed to expose an upper surface of the dummy gate electrode. The dummy gate electrode is then removed from between the spacers by selectively etching back the dummy gate electrode using the mold layer and the spacers as an etching mask. A first metal layer is deposited onto an upper surface of the mold layer and onto inner sidewalls of the spacers. A space between the inner sidewalls of the spacers is filled with a dummy filler layer (e.g., polysilicon) that contacts the first metal layer. An upper portion of the first metal layer is

removed from between the inner sidewalls of the spacers and the dummy filler layer. The dummy filler layer is then removed from between the inner sidewalls of the spacers to expose the first metal layer. A second metal layer is then deposited onto a portion of the first metal layer extending between the inner sidewalls of the spacers, to thereby define a metal gate electrode containing a composite of the first and second metal layers.

[0005] According to some of these embodiments of the invention, the step of filling a space between the inner sidewalls of the spacers is followed by a step of planarizing the dummy filler layer to expose a portion of the first metal layer on the upper surface of the mold layer. In addition, the step of forming a dummy gate electrode on the gate insulating layer may be preceded by forming a buffer gate electrode containing titanium nitride or tantalum nitride on the gate insulating layer. In addition, the step of removing an upper portion of the first metal layer may include selectively etching the first metal layer using the dummy filler layer and the mold layer as an etching mask. This first metal layer may include titanium nitride.

[0006] Still further embodiments of the invention include methods of forming CMOS transistors by forming first and second gate insulating layers on a substrate and forming first and second dummy gate electrodes on the first and second gate insulating layers, respectively. First and second electrically insulating spacers are formed on sidewalls of the first and second dummy gate electrodes, respectively. These first and second spacers and the first and second dummy gate electrodes are covered with an electrically insulating mold layer. An upper portion of the mold layer is removed to expose an upper surface of the first dummy gate electrode and an upper surface of the second dummy gate electrode. The first dummy gate electrode is selectively removed from between the first spacers using a mask to prevent removal of the second dummy gate electrode. A first metal layer is deposited onto an upper surface of the mold layer and onto inner sidewalls of the first spacers. A space between the inner sidewalls of the first spacers is filled with a dummy filler layer that contacts the first metal layer. An upper portion of the first metal layer is removed from between the inner sidewalls of the first spacers and the dummy filler layer. The dummy filler layer is removed from between the inner sidewalls of the first spacers to expose the first metal layer. This step is performed concurrently with removing the second dummy gate electrode from between inner sidewalls of the second spacers. A second metal layer is then deposited onto a portion of the first metal layer extending between the inner sidewalls of the first spacers to thereby define a first metal gate electrode including a composite of the first and second metal layers. This step is performed concurrently with depositing the second metal layer into a space

between the inner sidewalls of the second spacers to thereby define a second metal gate electrode.

BRIEF DESCRIPTION OF THE DRAWINGS

[0007] The accompanying drawings are included to provide a further understanding of the inventive concept, and are incorporated in and constitute a part of this specification. The drawings illustrate exemplary embodiments of the inventive concept and, together with the description, serve to explain principles of the inventive concept. In the figures:

[0008] FIGS. 1 through 17 are cross-sectional views illustrating a method for manufacturing a MOS transistor according to a first embodiment of the inventive concept; and

[0009] FIGS. 18 through 37 are cross-sectional views illustrating a method for manufacturing a MOS transistor according to a second embodiment of the inventive concept.

DETAILED DESCRIPTION OF THE EMBODIMENTS

[0010] Exemplary embodiments of the inventive concept will be described below in more detail with reference to the accompanying drawings. The embodiments of the inventive concept may, however, be embodied in different forms and should not be construed as limited to the embodiments set forth herein. Rather, these embodiments are provided so that this disclosure will be thorough and complete, and will fully convey the scope of the inventive concept to those skilled in the art.

[0011] Hereinafter, exemplary embodiments of the inventive concept will be described in detail with reference to the accompanying drawings.

[0012] FIGS. 1 through 17 are cross-sectional views illustrating a method for manufacturing a MOS transistor according to a first embodiment of the inventive concept.

[0013] Referring to FIG. 1, a first well and a second well may be respectively formed in a first active region 14 and a second active region 16 which are defined by a device isolation layer 12 on a substrate 10. The first well may be formed in an ion implantation process in which impurities of a first conductivity type are injected in the substrate 10. The impurity of the first conductivity type may comprise a donor ion such as phosphorus or arsenic. For example, the impurities of the first conductivity type may be injected at an energy of about 100 KeV ~ 300 KeV and a concentration of about 1×10^{13} ea/cm³ ~ 1×10^{16} ea/cm³. The second well may be formed by an ion implantation process in which impurities of a second conductivity type opposite to the first conductivity type are injected in the substrate 10. The impurity of the second conductivity type may comprise an acceptor ion such as boron. For

example, the impurities of the second conductivity type may be injected at an energy of about 70 KeV ~ 200 KeV and a concentration of about 1×10^{13} ea/cm³ ~ 1×10^{16} ea/cm³. The device isolation layer 12 may be formed after forming the first well and the second well. The device isolation layer 12 may comprise silicon oxide that is formed by a plasma enhanced chemical vapor deposition (PECVD). The silicon oxide is formed in a trench where a predetermined depth of the substrate 10 is removed.

[0014] Referring to FIG. 2, a gate insulating layer 18, a buffer gate electrode 20 and a dummy gate electrode 22 may be stacked on the substrate 10. The gate insulating layer 18 may be formed of a high-k dielectric layer such as a hafnium oxide layer, a tantalum oxide layer and a silicon oxide layer. The gate insulating layer 18 may be formed to have thickness of about 30Å~ 200 Å by a method such as chemical vapor deposition (CVD), atomic layer deposition (ALD) or rapid thermal process (RTP). The buffer gate electrode 20 may comprise a titanium nitride layer or a tantalum nitride layer. The buffer gate electrode 20 may be formed to have thickness of about 20 Å ~ 50 Å by a method such as CVD or ALD. The dummy gate electrode 22 may comprise poly silicon that is formed by a chemical vapor deposition.

[0015] Referring to FIG. 3, a dummy gate stack 24 comprising the gate insulating layer 18, the buffer gate electrode 20 and the dummy gate electrode 22 may be formed on the first active region 14 and the second active region 16. The dummy gate stack 24 may be patterned using a photo lithography process and an etching process. The photo lithography and the etching process may be performed as follows. Initially, a first photo resist pattern (not shown) may be formed on the dummy gate electrode 22. The dummy gate electrode 22, the buffer gate electrode 20 and the gate insulating layer 18 may be successively etched using the first photo resist pattern as an etch mask.

[0016] Referring to FIG. 4, a second photo resist pattern 25 may be formed to cover the second active region 16. A lightly doped drain (LDD) 26 is formed using the second photo resist pattern 25 and the dummy gate electrode 22 as an ion implantation mask. The impurities of the second conductivity type may be injected into the first active region 14. The impurities of the second conductivity type may be injected at an energy of about 1 KeV ~ 20 KeV and a concentration of about 1×10^{13} ea/cm³ ~ 1×10^{16} ea/cm³. The second photo resist pattern 25 is removed.

[0017] Referring to FIG. 5, a third photo resist pattern 27 may be formed to cover the first active region 14. A LDD 26 may be formed in the second active region using the third photo resist pattern 27 and the dummy gate electrode 22 as an ion implantation mask. Impurities of

the first conductivity type may be injected into the second active region 16. The impurities of the first conductivity type may be injected at an energy of about 5 KeV ~ 30 KeV and a concentration of about 1×10^{13} ea/cm³ ~ 1×10^{16} ea/cm³. The LDDs 26 may be formed of the same depth in the first active region 14 and the second active region 16, and diffused to the same distant below the dummy gate stack 24. The photo resist pattern 27 is removed.

[0018] Referring to FIG. 6, a spacer 28 may be formed on a sidewall of the dummy gate stack 24. The spacer 28 may comprise a silicon nitride layer which is formed by a chemical vapor deposition process. The spacer 28 may be formed by a self alignment method. For example, a silicon nitride layer is formed to cover the dummy gate stack 24, and the silicon nitride layer is then anisotropically etched to remain on the sidewall of the dummy gate stack 24.

[0019] Referring to FIG. 7, a fourth photo resist pattern 29 may be formed to cover the second active region 16. A source/drain region 30 may be formed in the first active region using the fourth photo resist pattern 29, the dummy gate electrode 22 and the spacer 28 as an ion implantation mask. The source/drain region 30 may comprise impurities of the second conductivity type. The impurities of the second conductivity type may be injected at an energy of about 10 KeV ~ 40 KeV and a concentration of about 1×10^{16} ea/cm³ ~ 1×10^{17} ea/cm³. The fourth photo resist pattern 29 on the second active region 16 is removed.

[0020] Referring to FIG. 8, a fifth photo resist pattern 31 is formed to cover the first active region 14. A source/drain region 30 may be formed in the second active region 16 using the fifth photo resist pattern 31, the dummy gate electrode 22 and the spacer 28 as an ion implantation mask. The source/drain region 30 in the second active region 16 may comprise impurities of the first conductive type. For example, The impurities of the first conductivity type may be injected in the second active region 16 at an energy of about 10 KeV ~ 50 KeV and a concentration of about 1×10^{16} ea/cm³ ~ 1×10^{17} ea/cm³. The source/drain regions 30 in the first active region 14 and the second active region may be the same depth. The photo resist pattern 31 may be then removed.

[0021] Although not shown in drawings, the source/drain region 30 may be formed by removing portions of the first active region 14 and the second active region 16 and filling an epitaxial silicon germanium with impurities of respective conductivity type in the removed portions of the first active region 14 and the second active region 16.

[0022] Referring to FIG. 9, a mold insulating layer 32 is formed to cover the source/drain region 30 and the dummy gate stack 24. The mold insulating layer 32 may comprise a silicon oxide layer. The mold insulating layer 32 may be formed in a low pressure chemical vapor

deposition (LPCVD) process or plasma enhanced chemical vapor deposition (PECVD) process. The mold insulating layer 32 may be planarized such that the dummy gate electrode 22 may be formed. The planarization of the mold insulating layer 32 may be performed by a method such as chemical mechanical polishing (CMP) or etch-back.

[0023] Referring to FIG. 10, the dummy gate electrode 22 on the first active region 14 may be selectively removed to form a first trench 35. The removing of the dummy gate electrode 22 may comprise forming a sixth photo resist pattern 34 to cover the second active region 16 while exposing the dummy gate electrode 22 on the first active region 14, and etching the dummy gate electrode 22 in a dry or wet etching process. The sixth photo resist pattern 34, the mold insulating layer 32 and the spacer 28 on the substrate 10 may be used as an etch mask while the dummy gate electrode 22 is removed. The buffer gate electrode 20 may be used as an etch stop layer during the dummy gate electrode 22 etching. The sixth photo resist pattern 34 formed on the second active region 16 is removed.

[0024] Referring to FIG. 11, a first metal layer 36 may be formed on the entire surface of the substrate 10. The first metal layer 36 may comprise a titanium nitride layer that is formed by a chemical vapor deposition (CVD) or an atomic layer deposition (ALD). The first metal layer 36 may be formed of the same thickness on the bottom surface and the sidewall of the mold insulating layer 32 as well as a top surface of the mold insulating layer 32. If the first metal layer 36 is buried in the first trench 35, the first metal layer 36 in the first trench 35 may comprise a void formed by overhang of the first metal layer 36. The void may be caused by losing conductive reliability of the first metal layer 36. Therefore, the first metal layer 36 may be formed of uniform thickness on the bottom and the sidewall of the first trench 35.

[0025] Referring to FIG. 12, a dummy filler layer 38 may be stacked on the first metal layer 36. The dummy filler layer 38 may be formed of the same material as the dummy gate electrode 22. The dummy filler layer 38 may comprise poly silicon. The dummy filler 38 may be completely fill the first trench 35 on the first active region 14. The poly silicon may be formed by a chemical vapor deposition method. The dummy filler layer 38 may comprise a void in the first trench 35.

[0026] Referring to FIG. 13, the dummy filler layer 38 may be planarized to expose the first metal layer 36. The planarization of the dummy filler layer 38 may be performed by a chemical mechanical polishing (CMP) or an etch-back. The dummy filler layer 38 may remain in the first trench 35.

[0027] Referring to FIG. 14, the first metal layer 36 on the mold insulating layer 32 is removed. And, an upper portion of the first metal layer 36 disposed between the mold

insulating layer 32 and the dummy filler layer 38 becomes recessed. The removing process of the first metal layer 36 may be performed in a dry or wet etching method in which etching selectivity to the first metal layer 36 is two or more times greater than to the dummy filler layer 38 and the mold insulating layer 32. The first metal layer 36 may remain on the bottom surface and a lower sidewall of the first trench 35. The first metal layer 36 may be formed symmetrically on both sidewall of the first trench 35. Therefore, the first metal layer 36 may be remained in the first trench 35 to form a first metal pattern with a 'U' shaped section.

[0028] Referring to FIG. 15, the dummy filler layer 38 on the first active region 14 and the dummy gate electrode 22 on the second active region 15 may be removed to form a second trench 40 on the first active region 14 and a third trench 43 on the second active region. The dummy gate electrode 22 and the dummy filler layer 38 may be removed simultaneously in an etching process because the dummy gate electrode 22 and the dummy filler layer 38 are formed of poly silicon. Thus, the method for manufacturing a MOS transistor according to first embodiment can improve or maximize the productivity.

[0029] The first metal layer 36 may be exposed in the second trench 40 on the first active region 14, and the buffer gate electrode 20 may be exposed in the third trench 43 on the second active region 16. The second trench 40 may be shallower than the third trench 43. The first metal layer 36 may be disposed on the bottom surface and the lower sidewall of the second trench 40. The second trench 40 and the third trench 43 may be different from each other in thickness.

[0030] Referring to FIG. 16, a second metal layer 42 may be formed on the entire surface of the substrate 10. The second metal layer 42 may fill the second trench 40 and the third trench 43. The second metal layer 42 may comprise at least one of aluminum, tungsten, titanium and tantalum that is formed by a method such as PVD or CVD. The second metal layer 42 may be formed without a void in the second trench 40 on the first active region 14.

[0031] Referring to FIG. 17, the second metal layer 42 is planarized to expose the mold insulating layer 32. A first gate electrode 46 and a second gate electrode 48 may be formed on the first active region 14 and the second active region, respectively. The first gate electrode 46 and the second gate electrode 48 may be extended in a vertical direction to the direction of the source/drain regions 30 arrangement. The second metal layer 42 may be planarized by a method such as CMP or etch-back. The second metal layer 42 may be planarized to separate the first gate electrode 46 and the second gate electrode 48. The first gate electrode 46 and the second gate electrode 48 may be formed to have top surfaces of substantially equal level. The first gate electrode 46 may comprise the buffer gate electrode

20, the first metal layer 36 and the second metal layer 42. The first gate electrode 46 may compose a p-MOS transistor on the first active region 14. The second gate electrode 48 may comprise the buffer gate electrode 20 and the second metal layer 42. The second gate electrode 48 may compose an n-MOS transistor on the second active region 16.

[0032] In general, the operating voltage of the n-MOS transistor and the p-MOS transistor may be different from each other. Current of the n-MOS transistor may be adjusted in accordance with a switching voltage. Thus, the second gate electrode 48 may comprise less than two metal layers in order to simplify the estimation of an electric resistance or a work function according to combination of the metal layers. The p-MOS transistor may be different from the n-MOS transistor in operating voltage. The first gate electrode 46 may comprise at least two metal layers because the p-MOS transistor performs a simple switching operation. For example, the operating voltage may be lower to the p-MOS transistor than to the n-MOS transistor. If a void is formed in the first gate electrode 46, operation characteristic of the p-MOS transistor may be deteriorated. According to the first embodiment, the first gate electrode 46 does not have a void to thereby prevent the operation characteristic of the p-MOS transistor from deterioration.

[0033] Not shown in drawings, the mold insulating layer 32 on the source/drain region 30 may be removed to form a contact hole, and a source/drain electrode may be formed in the contact hole.

[0034] FIGS. 18 through 37 are cross-sectional views illustrating a method for manufacturing a MOS transistor according to a second embodiment of the inventive concept. Referring to FIG. 18, a first well and a second well may be formed in a first active region 14 and a second active region 16 that are defined by a device isolation layer 12 on a substrate 10. The first well may be formed by injecting impurities of a first conductivity type. The impurities of the first conductivity type may comprise donor ions such as phosphorus or arsenic ions. The impurities of the first conductivity type may be injected in the first well at an energy of about 100 KeV ~ 300 KeV and a concentration of about 1×10^{13} ea/cm³ ~ 1×10^{16} ea/cm³. The second well may be formed by injecting impurities of a second conductivity type opposite to the first conductivity type. The impurities of the second conductivity type may be injected in the second well at an energy of about 70 KeV ~ 200 KeV and a concentration of about 1×10^{13} ea/cm³ ~ 1×10^{16} ea/cm³. The device isolation layer 12 may be formed after forming the first and the second wells. The device isolation layer 12 may comprise a silicon oxide layer that is formed in a trench by a PECVD method. The substrate may be removed at a predetermined depth to form the trench.

[0035] Referring to FIG. 19, a gate insulating layer 18, a buffer gate electrode 20 and a dummy gate electrode 22 may be stacked on the substrate 10. The gate insulating layer 18 may comprise at least one of hafnium oxide, tantalum oxide, silicon oxide and other high-k dielectric layer. The gate insulating layer 18 may be formed to have a depth of about $30 \text{ \AA} \sim 200 \text{ \AA}$ by a method such as CVD, ALD or RTP. The buffer gate electrode 20 may comprise a titanium nitride layer or a tantalum nitride layer. The buffer gate electrode 20 may be formed to have a depth of about $20 \text{ \AA} \sim 50 \text{ \AA}$. The dummy gate electrode 22 may comprise poly silicon that is formed by CVD.

[0036] Referring to FIG. 20, a dummy gate stack 24 may be formed on the first active region 14 and the second active region 16. The dummy gate stack 24 may comprise the gate insulating layer 18, the buffer gate electrode 20 and the dummy gate electrode 22. The dummy gate stack 24 may be patterned in a photo lithography process and an etching process. For example, the photo lithography process and the etching process may comprise forming a first photo resist pattern on the dummy gate electrode 22, and successively etching the dummy gate electrode 22, the buffer gate electrode 20 and the gate insulating layer using the first photo resist pattern as an etching mask.

[0037] Referring to FIG. 21, a second photo resist pattern 25 may be formed to cover the second active region 16. An LDD (lightly doped drain) 26 is formed in the first active region 14 using the second photo resist pattern 25 and the dummy gate electrode 22 as an ion implantation mask. Impurities of the second conductivity type may be ion implanted in the first active region. The impurities of the second conductivity type may be implanted at an energy of about $1 \text{ KeV} \sim 20 \text{ KeV}$ and a concentration of about $1 \times 10^{13} \text{ ea/cm}^3 \sim 1 \times 10^{16} \text{ ea/cm}^3$. The second photo resist pattern 25 is removed.

[0038] Referring to FIG. 22, a third photo resist pattern 27 may be formed to cover the first active region 14. An LDD 26 is formed in the second active region 16 using the third photo resist pattern 27 and the dummy gate electrode 22 as an ion implantation mask. Impurities of the first conductivity type may be ion implanted in the second active region. The impurities of the first conductivity type may be implanted at an energy of about $5 \text{ KeV} \sim 30 \text{ KeV}$ and a concentration of about $1 \times 10^{13} \text{ ea/cm}^3 \sim 1 \times 10^{16} \text{ ea/cm}^3$. The LDDs 26 of the same depth may be formed in the first active region 14 and the second active region 16. The LDDs 26 may be diffused to the same distance. The third photo resist pattern 27 is removed.

[0039] Referring to FIG. 23, a spacer 28 is formed on a sidewall of the dummy gate stack 24. The spacer 28 may comprise a silicon nitride layer that is formed by CVD. The spacer 28 may be formed by a self-alignment method. The self-alignment method may comprise

forming a silicon nitride to cover the dummy gate stack 24 and etching anisotropically the silicon nitride to remain the silicon nitride on the sidewall of the dummy gate stack.

[0040] Referring to FIG. 24, a fourth photo resist pattern 29 is formed to cover the second active region 16. A source/drain region 30 may be formed in the first active region 14 using the fourth photo resist pattern 29 and the dummy gate electrode 22 and the spacer 28 as an ion implantation mask. The source/drain region 30 in the first active region 14 may comprise impurities of the second conductivity type. For example, the impurities of the second conductivity type may be injected at an energy of about 10 KeV ~ 40 KeV and a concentration of about 1×10^{16} ea/cm³ ~ 1×10^{17} ea/cm³. The fourth photo resist pattern 29 is removed.

[0041] Referring to FIG. 25, a fifth photo resist pattern 31 is formed to cover the first active region 14. A source/drain region 30 may be formed in the second active region 16 using the fifth photo resist pattern 31, the dummy gate electrode 22 and the spacer 28 as an ion implantation mask. The source/drain region 30 may comprise impurities of the first conductivity type. For example, the impurities of the first conductivity type may be injected into the second active region 16 at an energy of about 10 KeV ~ 50 KeV and a concentration of about 1×10^{16} ea/cm³ ~ 1×10^{17} ea/cm³. The source/drain region 30 may be formed at the same depth in the first active region 14 and the second active region 16. The fifth photo resist pattern 31 may be removed from the substrate 10.

[0042] Although not shown in drawings, the source/drain region 30 may be formed by removing portions of the first active region 14 and the second active region 16 at both sides of the dummy gate stack 24 and filling epitaxial silicon germanium with respective impurities in the removed portions.

[0043] Referring to FIG. 26, a mold insulating layer 32 is formed to cover the device isolation layer 12, the source/drain region 30 and the dummy gate stack 24. The mold insulating layer 32 may be formed by a method such as LPCVD or PECVD. The mold insulating layer 32 may be planarized to expose the dummy gate electrode 22. The planarization of the mold insulating layer 32 may be performed by a method such as CMP or etch-back process.

[0044] Referring to FIG. 27, the dummy gate electrode 22 on the first active region 14 may be selectively removed to form a first trench 35. The removing of the dummy gate electrode 22 may comprise forming a sixth photo resist pattern 34 to cover the second active region 16 while exposing the first active region 14, and etching the dummy gate electrode 22 in a dry or wet etching process. The dummy gate electrode 22 may be removed using the sixth photo

resist pattern 34, the mold insulating layer 32 and the spacer 28 disposed on the substrate 10 as an etching mask. The buffer gate electrode 20 may be used as an etch stop layer during the dummy gate electrode 22 etching. The sixth photo resist pattern 34 is removed from the second active region.

[0045] Referring to FIG. 28, a first metal layer 36 is formed on the entire surface of the substrate 10. The first metal layer 36 may comprise a titanium nitride layer (TiN) that is formed by a method such as CVD or ALD. The first metal layer 36 may be formed of the same thickness on a bottom and a sidewall of the first trench 35 as well as a top surface of the first trench 35. If the first metal layer 36 is buried in the first trench 35, the first metal layer 36 in the first trench 35 may comprise a void formed by overhang of the first metal layer 36. Thus, in the embodiment of the inventive concept, the first metal layer 36 may be formed to have uniform thickness on the bottom and the sidewall of the first trench 35. For example, the first metal layer 36 may be formed to have thickness of about 20 Å ~ 200 Å.

[0046] Referring to FIG. 29, a dummy filler layer 38 may be formed on the first metal layer 36. The dummy filler layer 38 may comprise a silicon oxide layer that is formed by a spin on glass (SOG) method. The dummy filler layer 38 may completely fill the first trench 35. The dummy filler layer 38 may comprise a void in the first trench.

[0047] Referring to FIG. 30, the dummy filler layer 38 may be planarized to expose the first metal layer 36. The dummy filler layer 38 may be planarized in a CMP process or an etch-back process. The dummy filler layer 38 may be remained just in the first trench 35.

[0048] Referring to FIG. 31, the first metal layer 36 on the mold insulating layer 32 is removed. An upper portion of the first metal layer 36 disposed between the mold insulating layer 32 and the dummy filler layer 38 may be removed to form a recess. The removing of the first metal layer 36 may be performed in a dry or wet etching process in which etching selectivity is over twice to the first metal layer 36 than to the dummy filler layer 38 and the mold insulating layer 32. The first metal layer 36 may be remained on the bottom surface of the first trench 35 and a lower sidewall of the first trench 35. The first metal layer 36 may be formed symmetrically on both sidewalls of the first trench 35. The first metal layer 36 may have U-shaped section as a first metal pattern.

[0049] Referring to FIG. 32, the dummy filler layer 38 is removed to form a second trench 40 on the first active region 14. The dummy filler layer 38 may be etched in an etching process in which etching selectivity is over twice to the dummy filler layer 38 than to the dummy gate electrode 22, the mold insulating layer 32 and the first metal layer 36. The second trench 40 may be shallower than the first trench 36 because of the first metal layer 38. The first metal

layer 36 is formed on a lower sidewall of the second trench 40. The second trench 40 may have a beginning of the same size as the first trench 35.

[0050] Referring to FIG. 33, a second metal layer 42 is formed on the first metal layer 36. The second metal layer 42 may be formed on the entire surface of the substrate 10 while filling the second trench 40. The second metal layer 42 may comprise at least one of aluminum, tungsten and titanium that are formed by PVD or CVD. The second metal layer 42 may be formed without a void in the second trench 40 on the first active region 14. Since the second trench 40 is shallower than the first trench 35 and has the beginning of the same size as the first trench has, the second metal layer 42 can be formed without forming an overhang at the beginning of the second trench 40.

[0051] Referring to FIG. 34, the second metal layer 42 may be removed to be planarized. The planarization of the second metal layer 42 may be performed by CMP or etch-back. As a result, a first gate electrode 46 is formed on the first active region 14. The first gate electrode 46 may be extended in a vertical direction to the arrangement direction in which the source/drain regions 30 are arranged. The first gate electrode 46 may comprise the first metal layer 36 and the second metal layer 42. The first gate electrode 46 may compose a p-MOS transistor on the first active region 14. Material and thickness of the buffer gate electrode 20, the first metal layer 36 and the second metal layer 42 may be selected according to the desired electric resistance and work function of the p-MOS transistor. Since p-MOS transistors require a simple switching operation, the first gate electrode with more than 2 metal layers may be adapted.

[0052] Referring to FIG. 35, the dummy gate electrode 22 on the second active region 16 may be removed to form a third trench 43 on the second active region 16. The dummy gate electrode 22 may be etched by a dry or wet etching process in which the dummy gate electrode 22 has etching selectivity to the second metal layer 42. When etching selectivity to the dummy gate electrode 22 and the second metal layer 42 is not sufficient, a seventh photo resist pattern may be formed on the first active region. The dummy gate electrode 22 may be removed then using the seventh photo resist pattern as an etch mask. The buffer gate electrode 20 on the second active region 16 may be exposed in the third trench 43.

[0053] Referring to FIG. 36, a third metal layer 44 is formed in the third trench 43. The third metal layer 43 may be formed on the entire surface of the substrate 10. The third metal layer 43 may comprise at least one of aluminum, tungsten, titanium and tantalum which are formed by PVD or CVD. The third metal layer 44 may be formed of the same material as the second

metal layer 42. The third metal layer 44 may be in contact with the buffer gate electrode 20 or the gate insulating layer 18.

[0054] Referring to FIG. 37, the third metal layer 44 on the mold insulating layer 32 is removed to be planarized. The planarization of the third metal layer 44 may be performed by CMP or etch-back. The second gate electrode 48 may comprise the buffer gate electrode 20 and the third metal layer 44. The second gate electrode 48 may compose an n-MOS transistor on the second active region 16. The n-MOS transistor is different from the p-MOS transistor in the operation voltage. Current in the n-MOS transistor may be controlled in accordance with a switching voltage. Thus, the second gate electrode 48 may comprise less than two metal layers in order to simplify the estimation of an electric resistance or a work function according to combination of the metal layers. For example, the operating voltage may be applied lower to the first gate electrode 46 of the p-MOS transistor than to the second gate electrode the n-MOS transistor. In conventional device, the first gate electrode 46 is weak in a void defect. According to the second embodiment, however, the first gate electrode 46 does not have a void to prevent operation characteristic of the p-MOS transistor from deterioration. In the second embodiment of the inventive concept, the first gate electrode 46 is formed on the first active region before forming the second gate electrode 48 on the second active region. The second gate electrode 48 may be extended on the second active region 16 in a direction. The second gate electrode 48 may be extended vertically to the direction in which the source/drain regions 30 are arranged.

[0055] Although not shown in drawings, the mold insulating layer 32 on the source/drain region 30 may be removed to form a contact hole, and a source/drain electrode may be formed in the contact hole.

[0056] According to embodiments of the inventive concept, the first gate electrode comprising the first metal and the second metal can be formed on the first active region, and the second gate electrode comprising the second metal can be formed on the second active region. Therefore, the first gate electrode and the second gate electrode can be formed of different metals from each other.

[0057] Further, the first metal layer is removed at the beginning of the trench in which the first gate electrode is formed, and the second metal layer is formed on the first metal layer. Therefore, the second metal layer can be formed without overhangs.

[0058] Further more, the second metal layers of the first gate electrode and the second gate electrode are formed simultaneously such that the manufacturing process can be reduced, and thereby productivity can be increased or maximized.

[0059] The above-disclosed subject matter is to be considered illustrative and not restrictive, and the appended claims are intended to cover all such modifications, enhancements, and other embodiments, which fall within the true spirit and scope of the inventive concept. Thus, to the maximum extent allowed by law, the scope of the inventive concept is to be determined by the broadest permissible interpretation of the following claims and their equivalents, and shall not be restricted or limited by the foregoing detailed description.

WHAT IS CLAIMED IS:

1. A method of forming an insulated-gate transistor, comprising:
 - forming a gate insulating layer on a substrate;
 - forming a dummy gate electrode on the gate insulating layer;
 - forming electrically insulating spacers on sidewalls of the dummy gate electrode;
 - covering the spacers and the dummy gate electrode with an electrically insulating mold layer;
 - removing an upper portion of the mold layer to expose an upper surface of the dummy gate electrode;
 - removing the dummy gate electrode from between the spacers by selectively etching back the dummy gate electrode using the mold layer and the spacers as an etching mask;
 - depositing a first metal layer onto an upper surface of the mold layer and onto inner sidewalls of the spacers;
 - filling a space between the inner sidewalls of the spacers with a dummy filler layer that contacts the first metal layer;
 - removing an upper portion of the first metal layer from between the inner sidewalls of the spacers and the dummy filler layer;
 - removing the dummy filler layer from between the inner sidewalls of the spacers to expose the first metal layer; and
 - depositing a second metal layer onto a portion of the first metal layer extending between the inner sidewalls of the spacers to thereby define a metal gate electrode comprising a composite of the first and second metal layers.

2. The method of Claim 1, wherein said filling a space is followed by a step of planarizing the dummy filler layer to expose a portion of the first metal layer on the upper surface of the mold layer.

3. The method of Claim 1, wherein the dummy gate electrode and the dummy filler layer comprise the same materials.

4. The method of Claim 1, wherein the dummy gate electrode and the dummy filler layer comprise polysilicon.

5. The method of Claim 1, wherein said forming a dummy gate electrode on the gate insulating layer is preceded by forming a buffer gate electrode comprising titanium nitride or tantalum nitride on the gate insulating layer.

6. The method of Claim 1, wherein said removing an upper portion of the first metal layer comprises selectively etching the first metal layer using the dummy filler layer and the mold layer as an etching mask.

7. The method of Claim 5, wherein the first metal layer comprises titanium nitride.

8. A method of forming CMOS transistors, comprising:
forming first and second gate insulating layers on a substrate;
forming first and second dummy gate electrodes on the first and second gate insulating layers, respectively;
forming first and second electrically insulating spacers on sidewalls of the first and second dummy gate electrodes, respectively;
covering the first and second spacers and the first and second dummy gate electrodes with an electrically insulating mold layer;
removing an upper portion of the mold layer to expose an upper surface of the first dummy gate electrode and an upper surface of the second dummy gate electrode;
selectively removing the first dummy gate electrode from between the first spacers using a mask to prevent removal of the second dummy gate electrode;
depositing a first metal layer onto an upper surface of the mold layer and onto inner sidewalls of the first spacers;
filling a space between the inner sidewalls of the first spacers with a dummy filler layer that contacts the first metal layer;
removing an upper portion of the first metal layer from between the inner sidewalls of the first spacers and the dummy filler layer;
removing the dummy filler layer from between the inner sidewalls of the first spacers to expose the first metal layer concurrently with removing the second dummy gate electrode from between inner sidewalls of the second spacers; and
depositing a second metal layer onto a portion of the first metal layer extending between the inner sidewalls of the first spacers to thereby define a first metal gate electrode

of comprising a composite of the first and second metal layers concurrently with depositing the second metal layer into a space between the inner sidewalls of the second spacers to thereby define a second metal gate electrode.

9. A method for manufacturing a MOS transistor, comprising:
providing a substrate having a first active region and a second active region;
forming a dummy gate stack on the first active region and the second active region, the dummy gate stack comprising a gate dielectric layer and a dummy gate electrode;
forming source/drain regions in the first active region and the second active region disposed at both sides of the dummy gate stack;
forming a mold insulating layer on the source/drain regions;
removing the dummy gate electrode on the first active region to form a first trench on the mold insulating layer;
forming a first metal pattern at a lower portion of the first trench to form a second trench, and removing the dummy gate electrode on the second active region to form a third trench in the mold insulating layer; and
forming a second metal layer in the second trench and the third trench to form a first gate electrode on the first active region and a second gate electrode on the second active region.

10. The method of Claim 9, wherein the forming of the second trench and the third trench comprises:
stacking a first metal layer and a dummy filler layer on a top surface of the mold insulating layer and in the first trench;
planarizing the dummy filler layer to expose the first metal layer; and
removing the first metal layer on the top surface of the mold insulating layer and removing an upper portion of the first metal layer formed between the mold insulating layer and the dummy filler layer to form the first metal pattern at the lower portion of the first trench.

11. The method of Claim 10, wherein the dummy gate electrode and the dummy filler layer are formed of the same material.

12. The method of Claim 11, wherein the dummy gate electrode and the dummy filler layer are formed of polysilicon.

13. The method of Claim 11, wherein the forming of the second trench and the third trench further comprises:

removing the filler layer on the first active region and the dummy gate electrode on the second active region to form the second trench on the first active region and the third trench on the second active region.

14. The method of Claim 11, wherein the first metal layer is removed by an etching method in which the first metal layer is etched with etching selectivity to the dummy filler layer and the mold insulating layer.

15. The method of Claim 11, wherein the first metal layer is removed while remaining at a bottom surface and a side lower portion of the first trench to form the first metal pattern.

16. The method of Claim 10, further comprising:
forming a spacer on a sidewall of the dummy gate electrode.

17. The method of Claim 10, further comprising:
forming a buffer gate electrode between the gate insulating layer and the dummy gate electrode.

18. The method of Claim 17, wherein the buffer gate electrode comprises titanium nitride or tantalum nitride.

19. The method of Claim 10, wherein the forming of the first gate electrode and the second gate electrode comprises:

forming the second metal layer on the entire surface of the substrate including the second trench and the third trench; and

planarizing the second metal layer down to a top surface of the mold layer to isolate the first gate electrode and the second gate electrode from each other.

20. The method of Claim 10, wherein forming the second metal layer in the second trench and the third trench respectively.

ABSTRACT

Provided is a method for manufacturing a MOS transistor. The method comprises providing a substrate having a first active region and a second active region; forming a dummy gate stack on the first active region and the second active region, the dummy gate stack comprising a gate dielectric layer and a dummy gate electrode; forming source/drain regions in the first active region and the second active region disposed at both sides of the dummy gate stack; forming a mold insulating layer on the source/drain region; removing the dummy gate electrode on the first active region to form a first trench on the mold insulating layer; forming a first metal pattern to form a second trench at a lower portion of the first trench, and removing the dummy gate electrode on the second active region to form a third trench on the mold insulating layer; and forming a second metal layer in the second trench and the third trench to form a first gate electrode on the first active region and a second gate electrode on the second active region.

Fig. 1

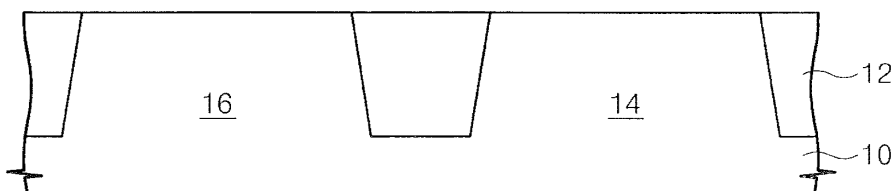


Fig. 2

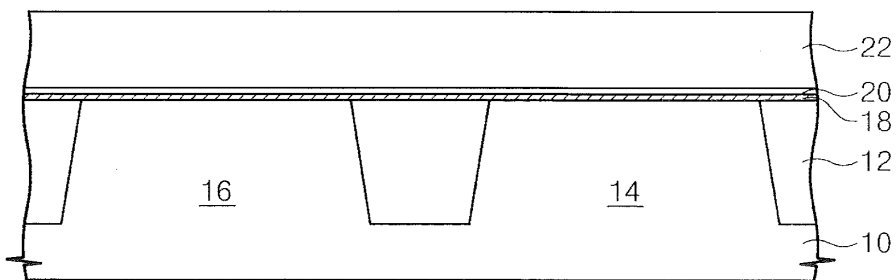


Fig. 3

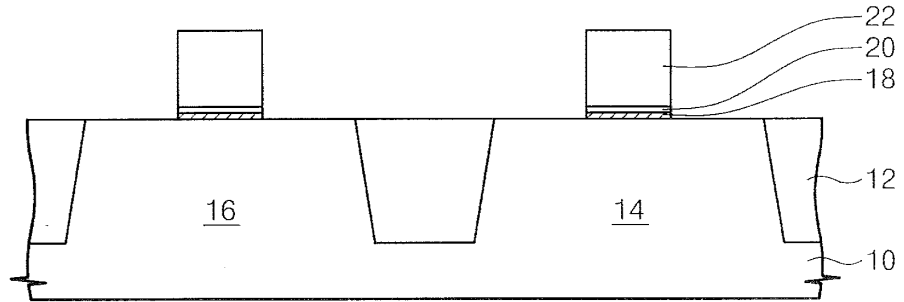


Fig. 4

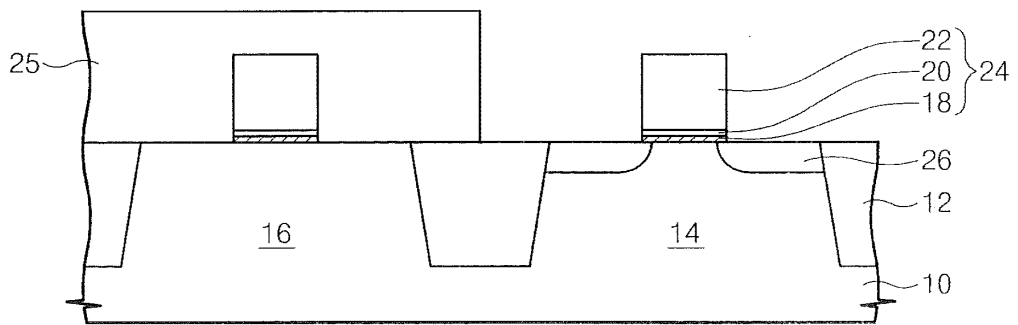


Fig. 5

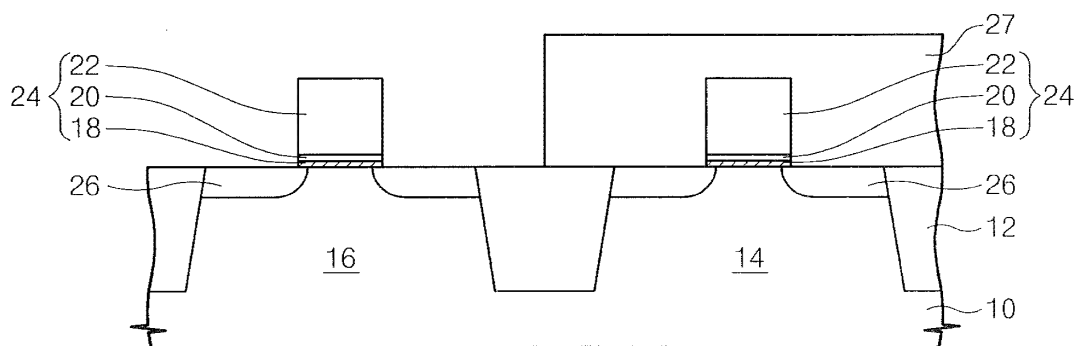


Fig. 6

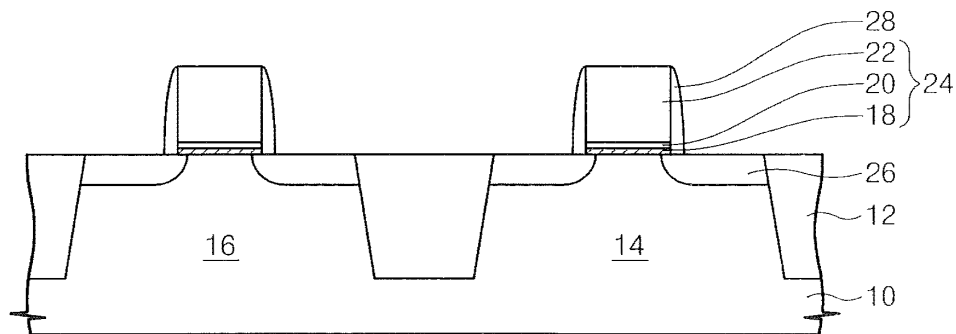


Fig. 7

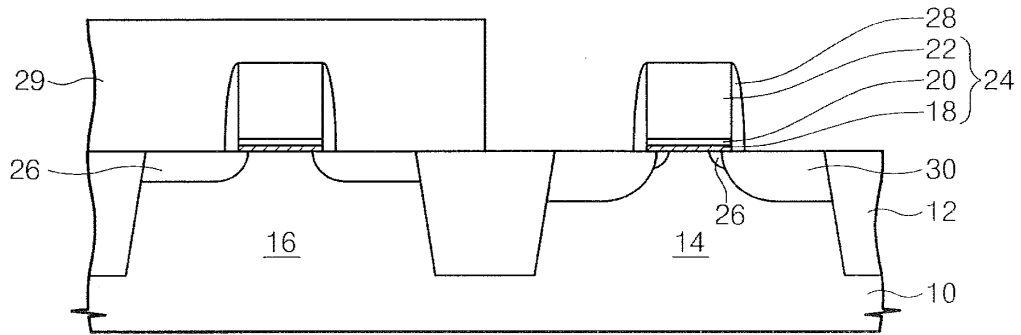


Fig. 8

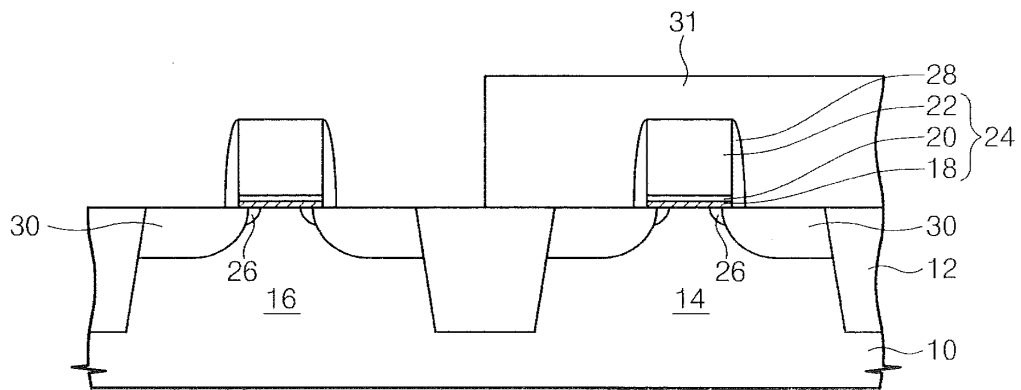


Fig. 9

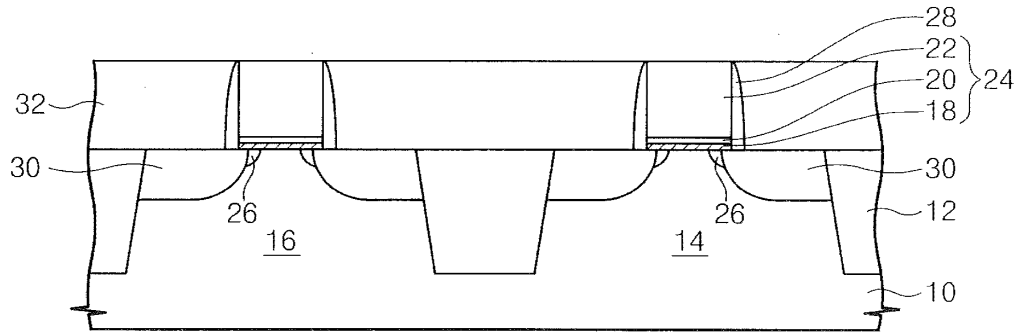


Fig. 10

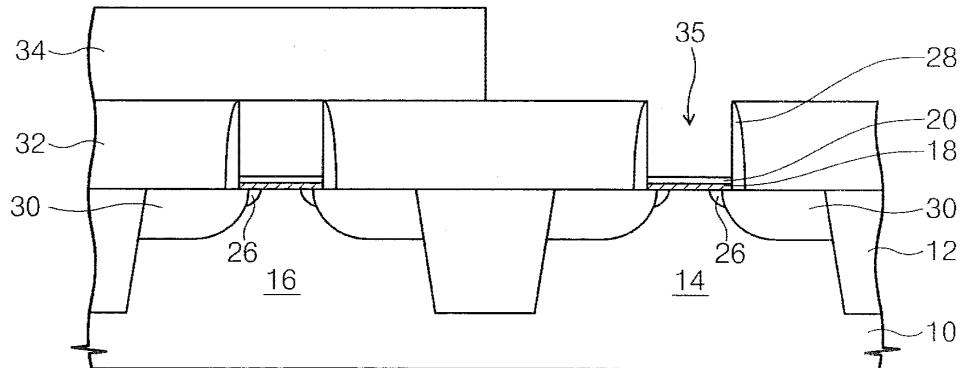


Fig. 11

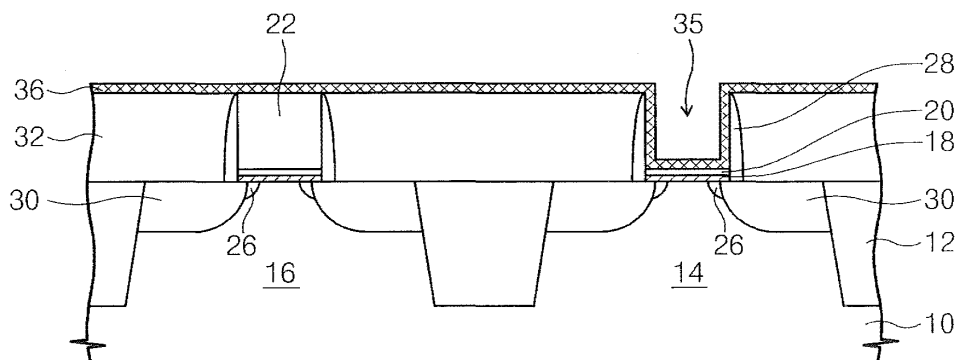


Fig. 12

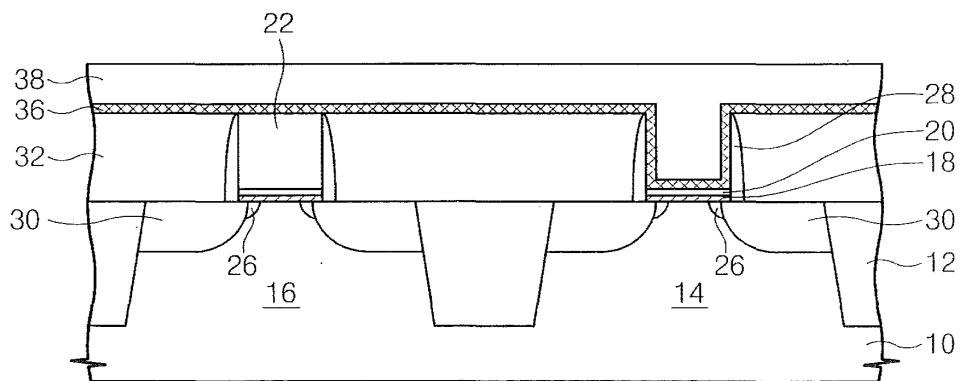


Fig. 13

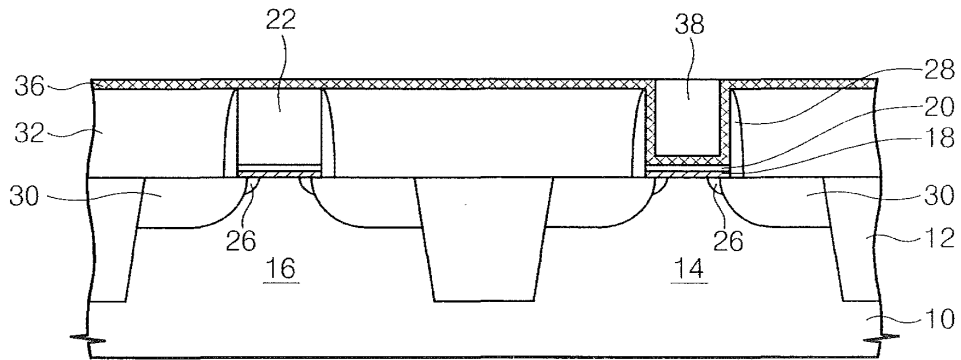


Fig. 14

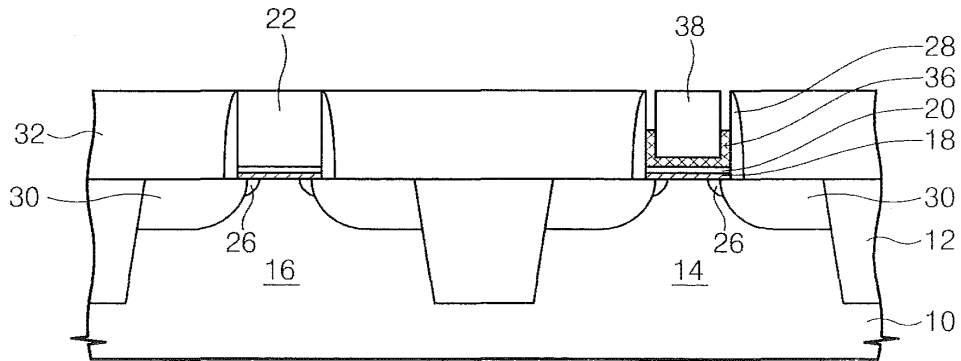


Fig. 15

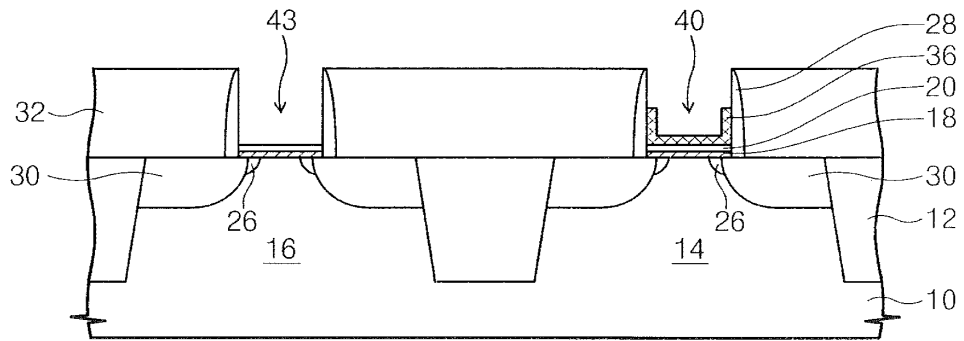


Fig. 16

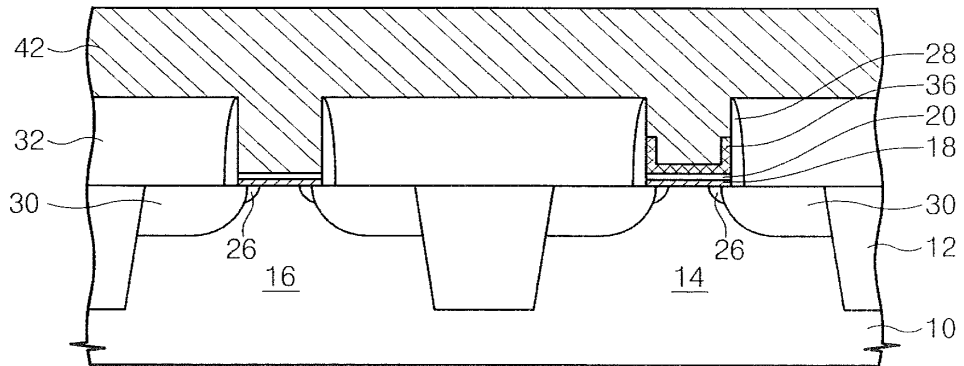


Fig. 19

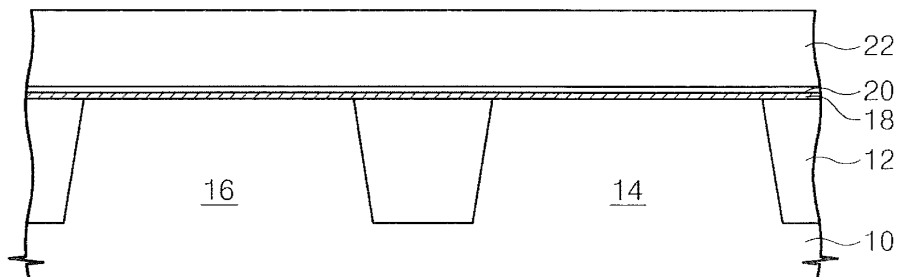


Fig. 20

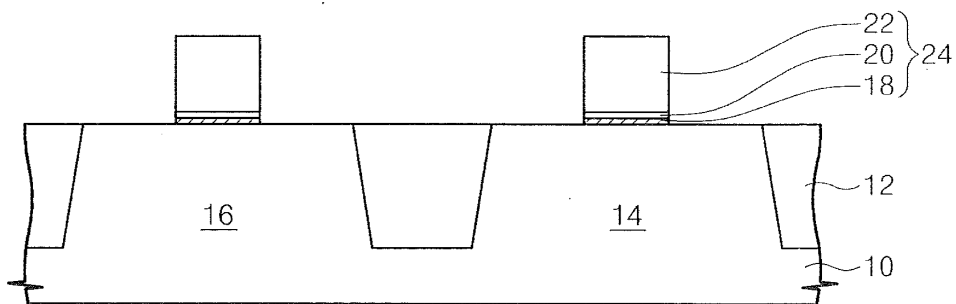


Fig. 21

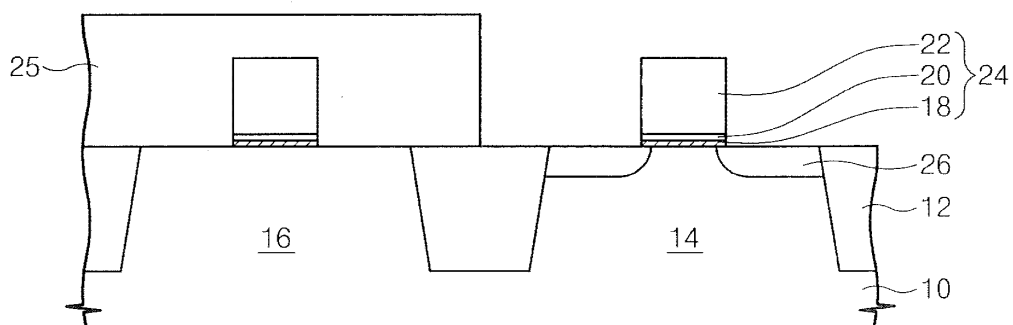


Fig. 22

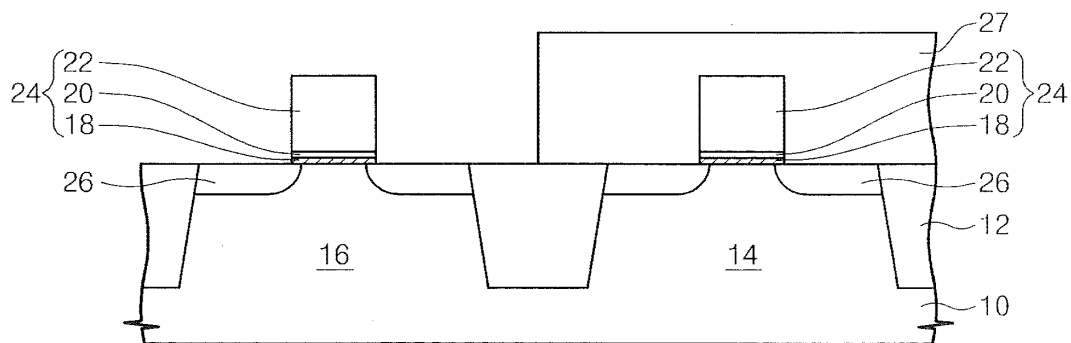


Fig. 23

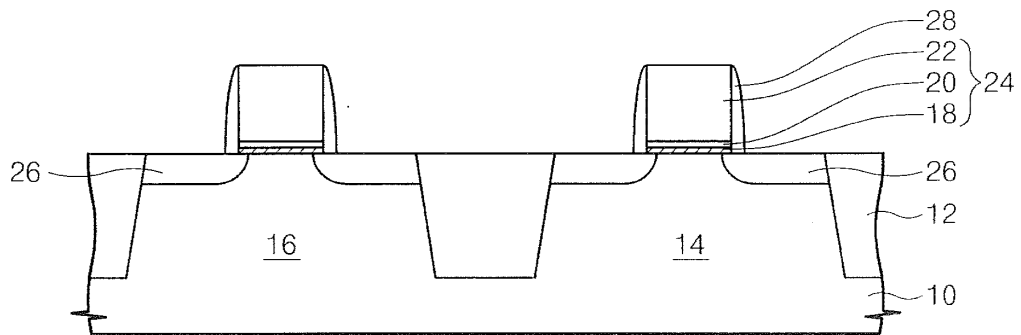


Fig. 24

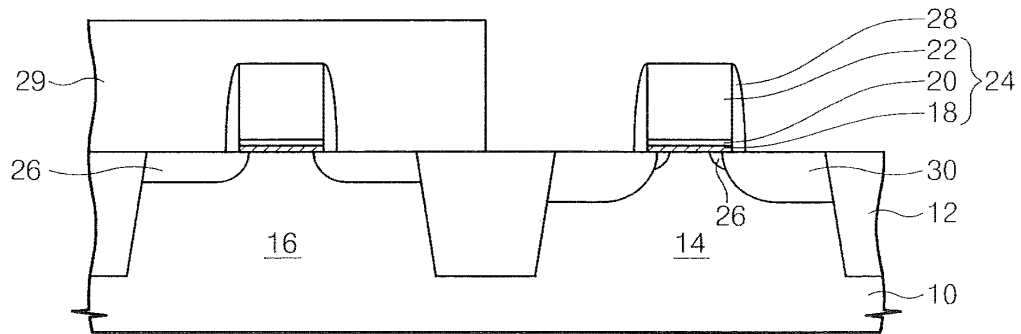


Fig. 25

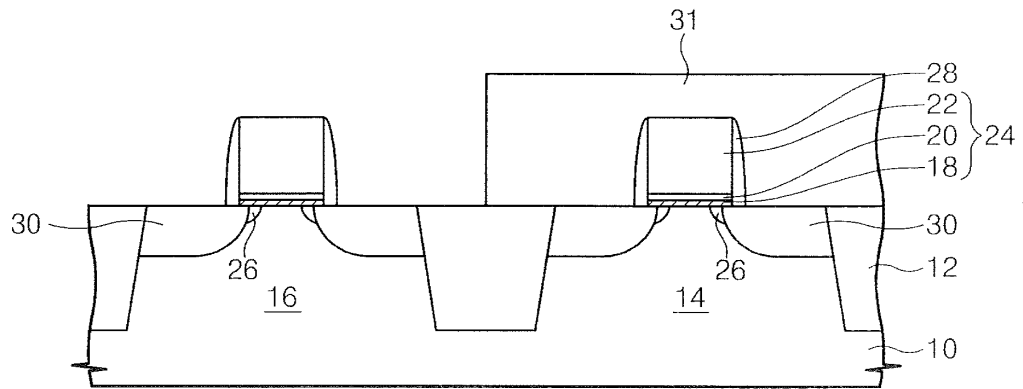


Fig. 26

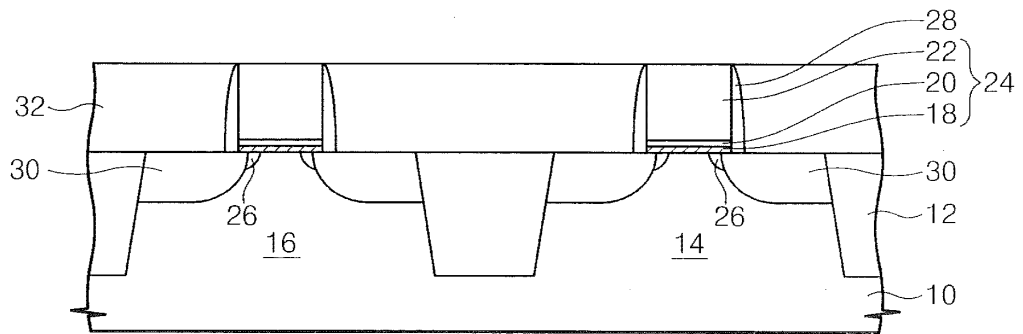


Fig. 27

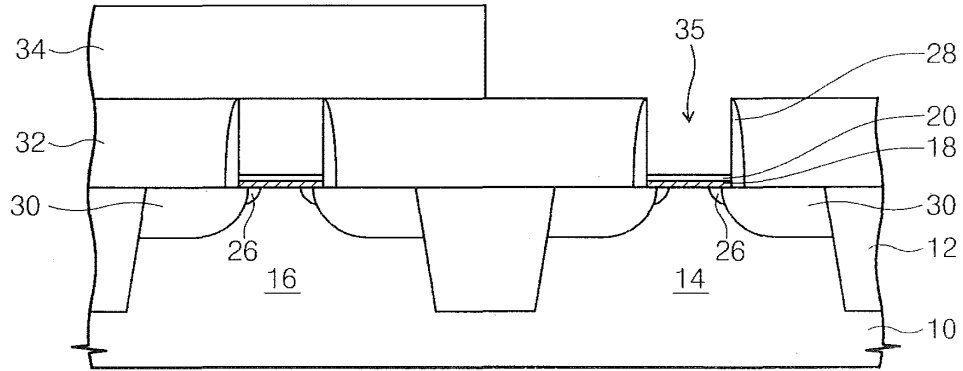


Fig. 28

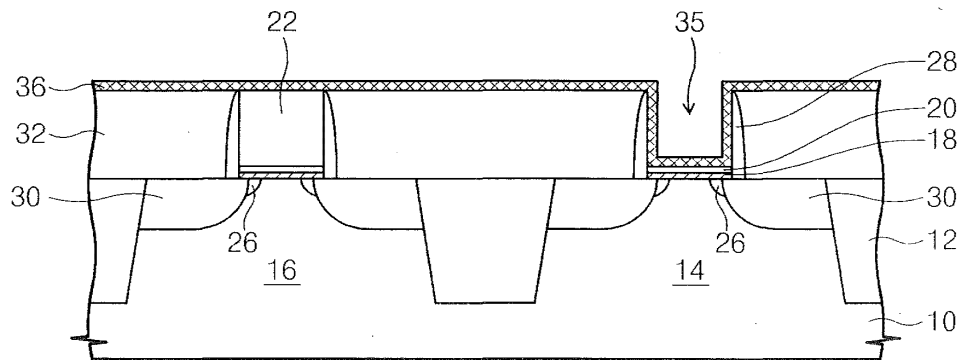


Fig. 29

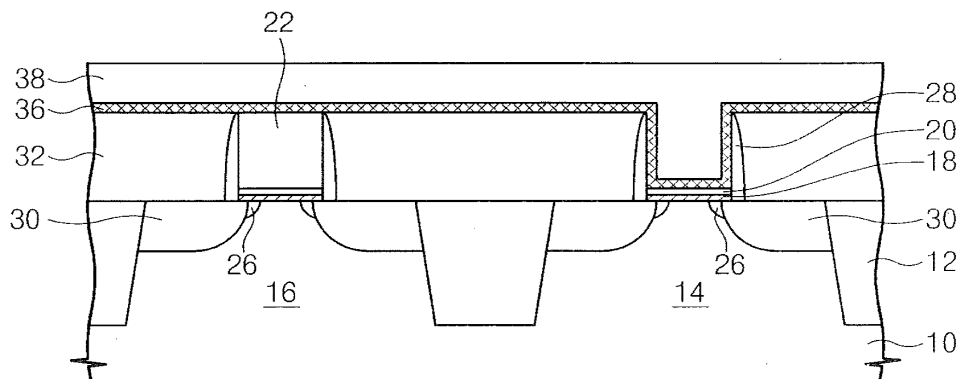


Fig. 30

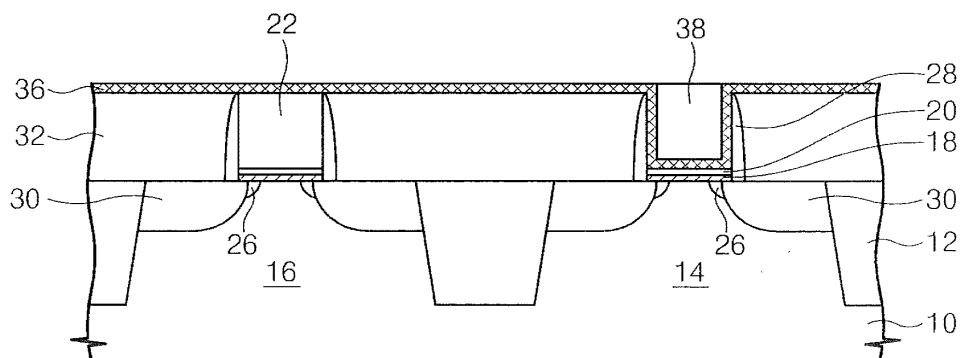


Fig. 31

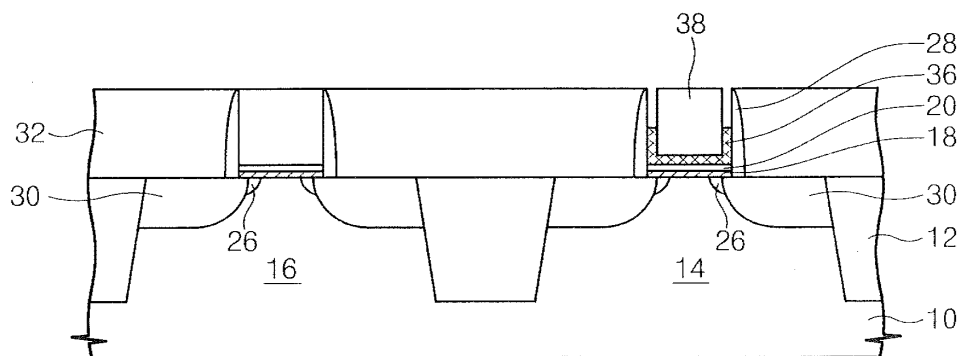


Fig. 32

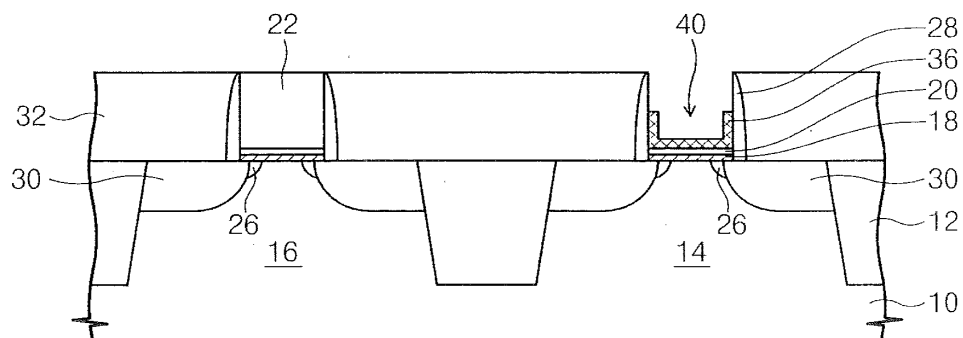


Fig. 33

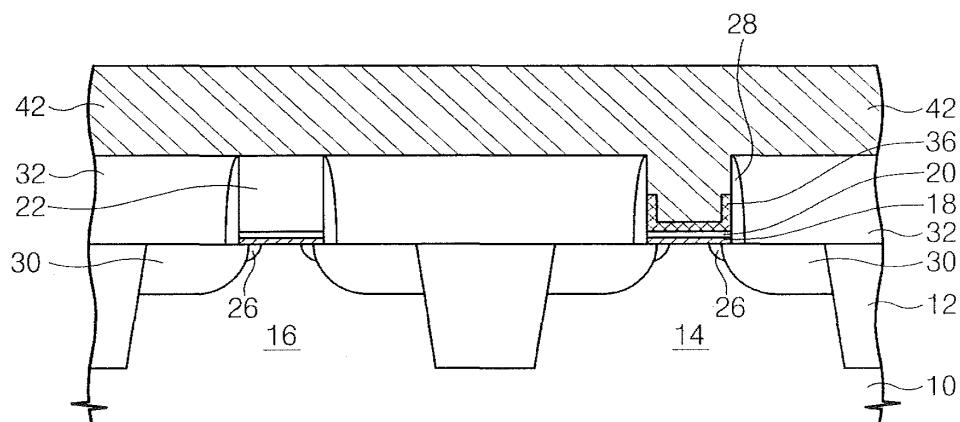


Fig. 34

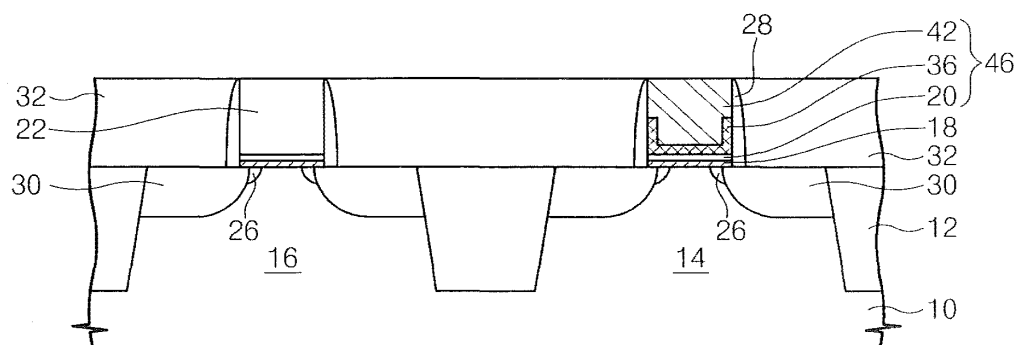


Fig. 35

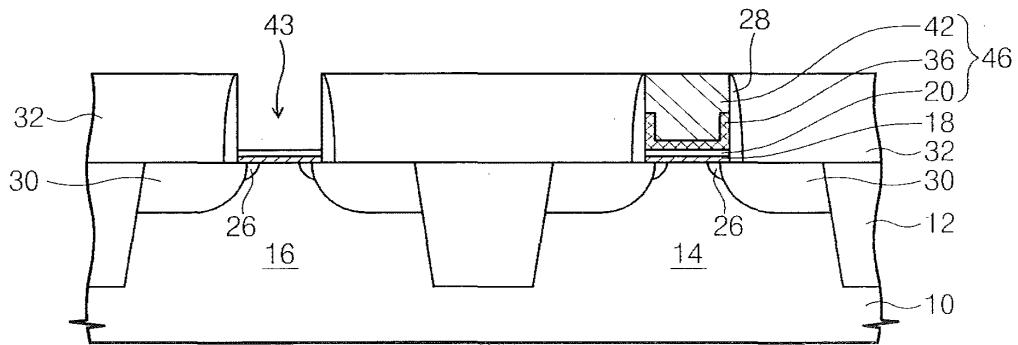


Fig. 36

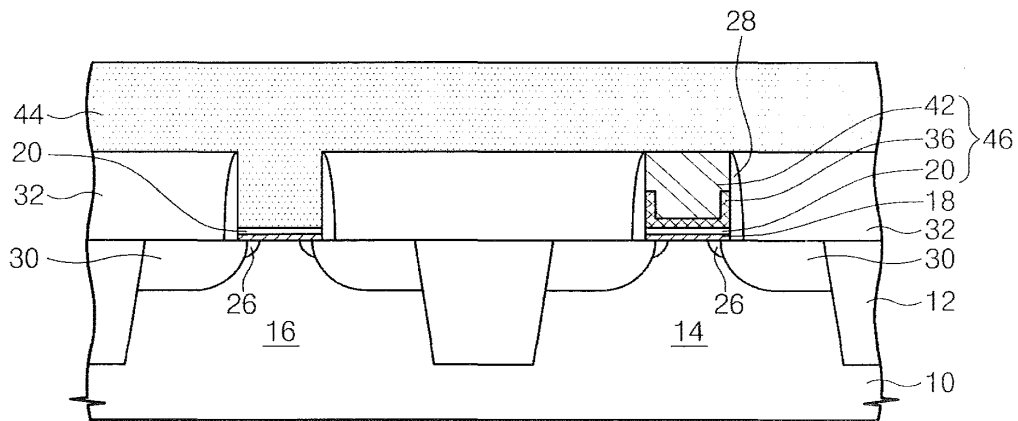
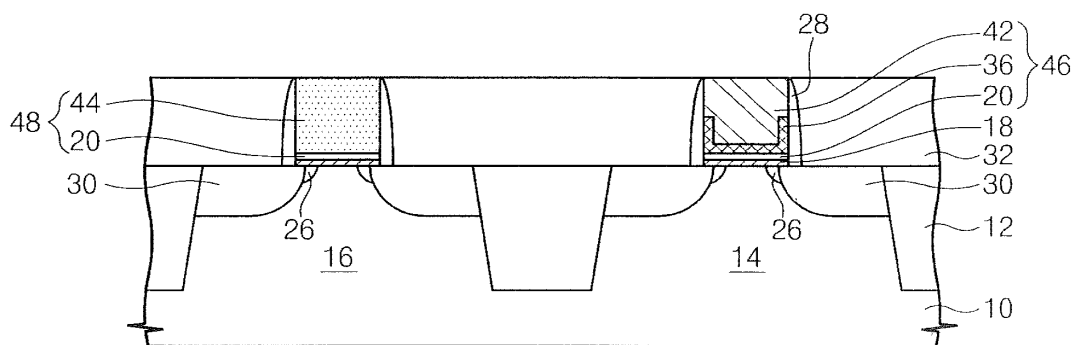


Fig. 37



DECLARATION AND POWER OF ATTORNEY FOR PATENT APPLICATION

As a below named inventor, I hereby declare that:

My residence, post office address and citizenship are as stated below next to my name.

I believe I am the original, first and sole inventor (if only one name is listed below) or an original, first and joint inventor (if plural names are listed below) of the subject matter which is claimed and for which a patent is sought on the invention entitled **METHODS OF FORMING CMOS TRANSISTORS WITH HIGH CONDUCTIVITY GATE ELECTRODES**, the specification of which

is attached hereto

OR

was filed on _____ as United States Application No. _____ or PCT International Application Number _____ and was amended on _____ (if applicable).

I hereby state that I have reviewed and understand the contents of the above-identified specification, including the claims, as amended by any amendment specifically referred to above.

I acknowledge the duty to disclose information which is material to patentability as defined in 37 C.F.R. § 1.56, including for continuation-in-part applications, material information that became available between the filing date of the prior application and the national or PCT international filing date of the continuation-in-part application.

I hereby claim foreign priority benefits under 35 U.S.C. § 119(a)-(d) or (f), or § 365(b) of any foreign application(s) for patent, inventor's or plant breeder's rights certificate(s), or § 365(a) of any PCT international application which designated at least one country other than the United States of America, listed below and have also identified below any foreign application for patent, inventor's or plant breeder's rights certificate(s), or any PCT international application having a filing date before that of the application on which priority is claimed.

10-2009-0121108	Korea	12/08/2009	<input checked="" type="checkbox"/> Yes <input type="checkbox"/> No
Number	Country	MM/DD/YYYY Filed	Priority Claimed
			<input type="checkbox"/> Yes <input type="checkbox"/> No
Number	Country	MM/DD/YYYY Filed	Priority Claimed
			<input type="checkbox"/> Yes <input type="checkbox"/> No
Number	Country	MM/DD/YYYY Filed	Priority Claimed



DECLARATION AND POWER OF ATTORNEY – CONTINUED

I hereby claim the benefit under 35 U.S.C. § 119(e) of any United States provisional application(s) listed below.

None	
Application Number(s)	Filing Date (MM/DD/YYYY)
Application Number(s)	Filing Date (MM/DD/YYYY)

I hereby claim the benefit under 35 U.S.C. § 120 of any United States application(s) or § 365(c) of any PCT international application designating the United States of America, listed below.

None		
Application No.	Filing Date	Status Patented/Pending/Abandoned
Application No.	Filing Date	Status Patented/Pending/Abandoned
Application No.	Filing Date	Status Patented/Pending/Abandoned

I hereby declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code and that such willful false statements may jeopardize the validity of the application or any patent issued thereon.

POWER OF ATTORNEY: As a named inventor, I hereby appoint the following registered attorney(s) to prosecute this application and transact all business in the Patent and Trademark Office connected therewith.

Customer No. 20792



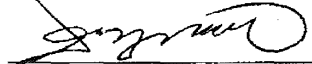
DECLARATION AND POWER OF ATTORNEY – CONTINUED

I hereby authorize the above-named attorneys to accept and follow instructions from my Korean or United States representatives, Samsung Electronics, as to any action to be taken in the U.S. Patent and Trademark Office regarding this application without direct communication between the above-named attorneys and myself. In the event of a change in the persons from whom instructions may be taken, I will notify the above-named attorneys.

Send correspondence to: **Customer No. 20792**
 Grant J. Scott
 Myers Bigel Sibley & Sajovec, P.A.
 P. O. Box 37428
 Raleigh, North Carolina 27627
 Telephone: (919) 854-1400
 Facsimile: (919) 854-1401

Direct telephone calls to: Grant J. Scott
 (919) 854-1400
Facsimile: (919) 854-1401

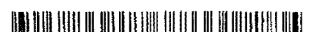
Full name of first inventor: **Jongwon Lee**

Inventor's Signature:  Date: 10/19/2010

Residence: 401-1003, Solbit Maeul Gyeongnam Anusvill Apt.
 Bansong-dong, Hwaseong-si
 Gyeonggi-do, Republic of Korea

Citizenship: Republic of Korea

Mailing Address: Intellectual Property Team, Samsung Semiconductor
 Samsung Electronics Co., Ltd.
 San #16, Banwol-Dong, Hwasung -City
 Gyeonggi-do, Republic of Korea, #445-701



DECLARATION AND POWER OF ATTORNEY – CONTINUED

Full name of second inventor: **Boun Yoon**

Inventor's
Signature: Bo Un Yoon Date: 19th Oct. 2010

Residence: 119-902, Banpo Raemian Apt.
Banpo 2-dong, Seocho-gu
Seoul, Republic of Korea

Citizenship: Republic of Korea

Mailing Address: Intellectual Property Team, Samsung Semiconductor
Samsung Electronics Co., Ltd.
San #16, Banwol-Dong, Hwasung -City
Gyeonggi-do, Republic of Korea, #445-701



DECLARATION AND POWER OF ATTORNEY – CONTINUED

Full name of third inventor: **SangYeob Han**

Inventor's
Signature: SangYeob Han Date: 10/19/2010

Residence: 602-601, Ggum Maeul Hyundai Apt.
Pyeongchon-dong, Dongan-gu, Anyang-si,
Gyeonggi-do, Republic of Korea

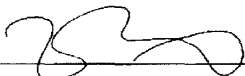
Citizenship: Republic of Korea

Mailing Address: Intellectual Property Team, Samsung Semiconductor
Samsung Electronics Co., Ltd.
San #16, Banwol-Dong, Hwasung -City
Gyeonggi-do, Republic of Korea, #445-701



DECLARATION AND POWER OF ATTORNEY – CONTINUED

Full name of fourth inventor: **Chae Lyoung Kim**

Inventor's
Signature:  Date: 10/19/2010

Residence: 401, 837-17, Jinan-dong, Hwaseong-si
Gyeonggi-do, Republic of Korea

Citizenship: Republic of Korea

Mailing Address: Intellectual Property Team, Samsung Semiconductor
Samsung Electronics Co., Ltd.
San #16, Banwol-Dong, Hwasung -City
Gyeonggi-do, Republic of Korea, #445-701



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Lee et al.

Application No.: To Be Assigned

Filing Date: Concurrently Herewith

For: METHODS OF FORMING CMOS TRANSISTORS WITH HIGH CONDUCTIVITY GATE
ELECTRODES

Date: November 9, 2010

Commissioner for Patents
Box 1450
Alexandria, VA 22313-1450

INFORMATION DISCLOSURE STATEMENT TRANSMITTAL

Sir:

Attached is an Information Disclosure Statement listing of documents, together with a copy of any listed foreign patent document and/or non-patent literature. A copy of any listed U.S. patent and/or U.S. patent application publication is not provided herewith in accordance with 37 C.F.R. § 1.98(a)(2)(ii).

In accordance with **37 CFR 1.97(b)**, the information disclosure statement is being filed:

- (1) within three months of the filing date of a national application other than a continued prosecution application under §1.53(d);
- (2) within three months of the date of entry of the national stage as set forth in §1.491 in an international application;
- (3) before the mailing of a first Office Action on the merits; or
- (4) before the mailing of a first Office Action after the filing of a request for continued examination under §1.114.

In accordance with **37 CFR 1.97(c)**, the information disclosure statement is being filed after the period specified in 37 CFR 1.97(b) above, but before the mailing date of any of a final action under §1.113, a notice of allowance under §1.311, or an action that otherwise closes prosecution in the application, and is accompanied by **one** of the following:

(1) The statement specified under **37 CFR 1.97(e)**, as follows:

Each item of information contained in the information disclosure statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the information disclosure statement; **or**

No item of information contained in the information disclosure statement was cited in a communication from a foreign patent office in a counterpart foreign application, and, to the knowledge of the person signing the certification after making reasonable inquiry, no item of information contained in the information disclosure statement was known to any individual designated in §1.56(c) more than three months prior to the filing of the information disclosure statement; **or**

(2) The fee set forth in §1.17(p);

In re: Lee et al.
Application No.: To Be Assigned
Filing Date: Concurrently Herewith
Page 2 of 2

In accordance with **37 CFR 1.97(d)**, the information disclosure statement is being filed after the period specified in 37 CFR 1.97(c) above, but on or before payment of the issue fee, and is accompanied by **both** of the following:

(1) The statement specified under **37 CFR 1.97(e)**, as follows:

That each item of information contained in the information disclosure statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the information disclosure statement; **or**

That no item of information contained in the information disclosure statement was cited in a communication from a foreign patent office in a counterpart foreign application, and, to the knowledge of the person signing the certification after making reasonable inquiry, no item of information contained in the information disclosure statement was known to any individual designated in §1.56(c) more than three months prior to the filing of the information disclosure statement; **and**

(2) The fee set forth in §1.17(p);

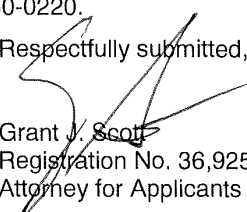
In accordance with **37 CFR 1.97(g)**, the information disclosure statement shall not be construed as a representation that a search has been made.

In accordance with **37 CFR 1.97(h)**, the information disclosure statement shall not be construed to be an admission that the information cited in the statement is, or is considered to be, material to patentability as defined in §1.56(b).

The Director is hereby authorized to charge the fee specified in 37 C.F.R. § 1.17(p), and any fee deficiency or credit any overpayment, to Deposit Account No. 50-0220; **or**

No fee is believed due. However, the Director is hereby authorized to charge any deficiency or credit any overpayment to Deposit Account No. 50-0220.

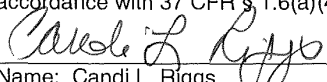
Respectfully submitted,


Grant J. Scott
Registration No. 36,925
Attorney for Applicants

Customer Number 20792
Myers Bigel Sibley & Sajovec, P.A.
P.O. Box 37428, Raleigh, NC 27627
919-854-1400
919-854-1401 (Fax)

CERTIFICATION OF TRANSMISSION

I hereby certify that this correspondence is being transmitted via the Office electronic filing system in accordance with 37 CFR § 1.6(a)(4) to the U.S. Patent and Trademark Office on November 9, 2010.


Name: Candi L. Riggs

INFORMATION DISCLOSURE STATEMENT BY APPLICANT <i>(use as many sheets as necessary)</i>				<i>Complete if Known</i>			
				Application Number			
				Filing Date			
				First Named Inventor		Jongwoo Lee	
				Art Unit			
				Examiner Name			
Sheet	A1	of	A1	Attorney Docket Number	5649-2985		

U.S. PATENT DOCUMENTS						
Examiner Initials*	Cite No.	Document Number		Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
		Number-Kind Code (if known)				
	1	US-	6,573,134 B2	06-03-2003	Ma et al.	
	2	US-	7,056,794 B2	06-06-2006	Ku et al.	
	3	US-	7,153,734 B2	12-26-2006	Brask et al.	
	4	US-	7,157,378 B2	01-02-2007	Brask et al.	
	5	US-	7,390,709 B2	06-24-2008	Doczy et al.	
	6	US-	2006/0278934 A1	12-14-2006	Nagahama	
		US-				
		US-				

FOREIGN PATENT DOCUMENTS							
Examiner Initials*	Cite No.	Foreign Patent Document		Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear	T
		Country Code, Number, Kind Code (if known)					
	7	JP	2002-329794	11-15-2002	Sharp Corp.		T
	8	JP	2005-197748	07-21-2005	International Business Machines Corporation		T
	9	JP	2006-351580	12-28-2006	Sony Corp.		T
	10	KR	1020060129959 A	12-18-2006	Sony Corp.		T
	11	KR	1020020075732 A	10-05-2002	Sharp Corporation		T
	12	KR	1020050073541 A	07-14-2005	International Business Machines Corporation		T

NON PATENT LITERATURE DOCUMENTS			
Examiner Initials*	Cite No.	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published	T
	13	Steigerwald, Joseph M., "Chemical Mechanical Polish: The Enabling Technology," 2008 IEEE, pp. 37-40	

Examiner Signature		Date Considered	
--------------------	--	-----------------	--

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2002-329794**

(43)Date of publication of application : **15.11.2002**

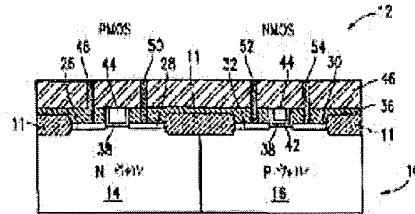
(51)Int.Cl. **H01L 21/8238**
H01L 21/28
H01L 27/092
H01L 29/43

(21)Application number : **2002-075150** (71)Applicant : **SHARP CORP**
 (22)Date of filing : **18.03.2002** (72)Inventor : **MA YANJUN**
YOSHI ONO
EVANS DAVID R
SHIEN TEN SUU

(30)Priority
 Priority number : **2001 817834** Priority date : **27.03.2001** Priority country : **US**

(54) DUAL METAL GATE CMOS DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:
PROBLEM TO BE SOLVED: To provide a dual gate CMOS device which is effective and highly reliable without using poly silicon for gate regions.
SOLUTION: This method for manufacturing a dual gate CMOS device comprises a process for arranging a silicon substrate so as to form device regions including an n-well 14 and a p-well 16 in each device region, a process for forming a gate oxide and depositing a dummy gate in each n-well, p-well, a process for forming a source region and a drain region in each n-well, p-well by ion implantation, a process for removing dummy gates and a gate oxide, a process for depositing a high k dielectric 38, a process for depositing a first metal 42 in the gate region of the p-well, a process for depositing a second metal 44 in the gate regions of each n-well, p-well, and a process for insulating structures obtained through above processes and forming a metal wiring layer for connection.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-329794

(P2002-329794A)

(43) 公開日 平成14年11月15日 (2002. 11. 15)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコト*(参考)
H 0 1 L 21/8238		H 0 1 L 21/28	3 0 1 R 4 M 1 0 4
21/28	3 0 1	27/08	3 2 1 D 5 F 0 4 8
27/092		29/62	G
29/43			

審査請求 未請求 請求項の数17 O L (全 7 頁)

(21) 出願番号 特願2002-75150(P2002-75150)

(22) 出願日 平成14年3月18日(2002. 3. 18)

(31) 優先権主張番号 0 9 / 8 1 7 , 8 3 4

(32) 優先日 平成13年3月27日(2001. 3. 27)

(33) 優先権主張国 米国 (U S)

(71) 出願人 00005049
シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 ヤンジユン マ
アメリカ合衆国 ワシントン 98683,
バンクーバー, エスイー 24ティール
チ ウェイ 18311

(72) 発明者 ヨシ オノ
アメリカ合衆国 ワシントン 98607,
ケイマス, エヌダブリュー 24ティール
イチ サークル 2526

(74) 代理人 100078282
弁理士 山本 秀策

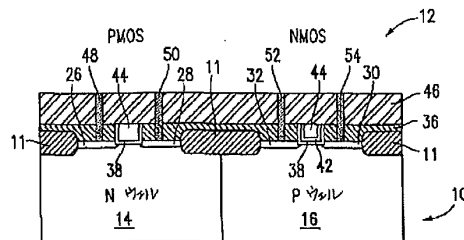
最終頁に続く

(54) 【発明の名称】 デュアルメタルゲートCMOSデバイスおよびその製造方法

(57) 【要約】 (修正有)

【課題】 ポリシリコンをゲート領域に用いない、効率的かつ信頼性のあるCMOSデバイスを提供する。

【解決手段】 デュアルメタルゲートCMOSを製造する方法は、シリコン基板を調整して、それぞれがnウェル14およびpウェル16を含むデバイス領域を形成する工程と、ゲート領域にゲート酸化物を形成し、nウェルおよびpウェルのそれぞれに置換ゲートを堆積する工程と、イオンを注入して、nウェルおよびpウェルのそれぞれにソース領域およびドレイン領域を形成する工程と、置換ゲートおよびゲート酸化物を除去する工程と、ゲート領域に高k誘電体38を堆積する工程と、pウェルのゲート領域に第1のメタル42を堆積する工程と、nウェルおよびpウェルのそれぞれのゲート領域に第2のメタル44を堆積する工程と、上記工程によって得られる構造を絶縁し、金属配線の接続をする工程とを包含する。



【特許請求の範囲】

【請求項1】デュアルメタルゲートCMOSを製造する方法であって、

- a) シリコン基板を調整して、それぞれがnウェルおよびpウェルを含むデバイス領域を形成する工程と、
- b) ゲート領域にゲート酸化物を形成し、該nウェルおよび該pウェルのそれぞれに置換ゲートを堆積する工程と、
- c) イオンを注入して、該nウェルおよび該pウェルのそれぞれにソース領域およびドレイン領域を形成する工程と、
- d) 該置換ゲートおよび該ゲート酸化物を除去する工程と、
- e) 該ゲート領域に高k誘電体を堆積する工程と、
- f) 該pウェルの該ゲート領域に第1のメタルを堆積する工程と、
- g) 該nウェルおよび該pウェルのそれぞれの該ゲート領域に第2のメタルを堆積する工程と、
- h) 該工程a)～g)によって得られる構造を絶縁し、金属配線の接続をする工程とを包含する、方法。

【請求項2】前記置換ゲートを堆積する工程b)は、置換材料を約150nm～500nmの間の厚さに堆積する工程を包含する、請求項1に記載の方法。

【請求項3】前記置換ゲートを堆積する工程b)は、Si₃N₄を堆積する工程を包含する、請求項2に記載の方法。

【請求項4】前記除去する工程d)の前に酸化物層を堆積する工程をさらに包含し、該酸化物層の厚さは、前記置換ゲートの厚さの約1.5倍～2.0倍の間である、請求項2に記載の方法。

【請求項5】前記高k材料を堆積する工程e)は、HfO₂およびZrO₂からなる材料群から選択される高k材料を堆積する工程を包含する、請求項1に記載の方法。

【請求項6】前記高k材料を堆積する工程e)は、約3nm～8nmの間の厚さに高k材料を堆積する工程を包含する、請求項1に記載の方法。

【請求項7】前記第1のメタルを堆積する工程f)は、前記pウェルの前記ゲート領域をパターニングし、該第1のメタルを堆積し、該第1のメタルをパターニングし、該第1のメタルを選択的にエッチングする工程を包含する、請求項1に記載の方法。

【請求項8】前記第1のメタルを堆積する工程f)は、前記デバイス領域全体に該第1のメタルの層を堆積し、該デバイス領域をパターニングして、前記pウェルの前記ゲート領域内に第1のメタルカップを残す工程を包含する、請求項1に記載の方法。

【請求項9】前記第1のメタルを堆積する工程f)は、プラチナおよびイリジウムからなるメタル群から選択されるメタルを堆積する工程を包含する、請求項1に

記載の方法。

【請求項10】前記第2のメタルを堆積する工程g)は、アルミニウム、ジルコニウム、モリブデン、ニオブ、タリウム、窒化タリウムおよびバナジウムからなるメタル群から選択されるメタルを堆積する工程を包含する、請求項1に記載の方法。

【請求項11】デュアルメタルゲートCMOSを製造する方法であって、

- a) シリコン基板を調整して、それぞれがnウェルおよびpウェルを含むデバイス領域を形成する工程と、
- b) ゲート領域にゲート酸化物を形成し、約150nm～500nmの間の厚さにSi₃N₄置換材料を堆積する工程を包含する、該nウェルおよび該pウェルのそれぞれに置換ゲートを堆積する工程と、
- c) イオンを注入して、該nウェルおよび該pウェルのそれぞれにソース領域およびドレイン領域を形成する工程と、
- d) 約225nm～1000nmの間の厚さに酸化物層を堆積する工程と、
- e) 該置換ゲートおよび該ゲート酸化物を除去する工程と、
- f) 該ゲート領域に高k誘電体を堆積する工程と、
- g) プラチナおよびイリジウムからなるメタル群から選択される第1のメタルを該pウェルの該ゲート領域に堆積する工程と、
- h) アルミニウム、ジルコニウム、モリブデン、ニオブ、タリウム、窒化タリウムおよびバナジウムからなるメタル群から選択される第2のメタルを該nウェルおよび該pウェルのそれぞれの該ゲート領域に堆積する工程と、
- i) 該工程a)～h)によって得られる構造を絶縁し、金属配線の接続をする工程とを包含する、方法。

【請求項12】前記高k材料を堆積する工程f)は、HfO₂およびZrO₂からなる材料群から選択される高k材料を堆積する工程を包含する、請求項11に記載の方法。

【請求項13】前記高k材料を堆積する工程f)は、約3nm～8nmの間の厚さに高k材料を堆積する工程を包含する、請求項11に記載の方法。

【請求項14】前記第1のメタルを堆積する工程g)は、前記pウェルの前記ゲート領域をパターニングし、該第1のメタルを堆積し、該第1のメタルをパターニングし、該第1のメタルを選択的にエッチングする工程を包含する、請求項11に記載の方法。

【請求項15】前記第1のメタルを堆積する工程g)は、前記デバイス領域全体に該第1のメタルの層を堆積し、該デバイス領域をパターニングして、前記pウェルの前記ゲート領域内に第1のメタルカップを残す工程を包含する、請求項11に記載の方法。

【請求項16】デュアルメタルゲートCMOSであっ

10

20

30

40

50

て、PMOSトランジスタを形成するためのnウェルと、NMOSトランジスタを形成するためのpウェルとを有する基板であって、該nウェルおよびpウェルの各々がゲート領域とソース領域とドレイン領域とを有する基板と、

該NMOSトランジスタ内に、高kカップと、該高kカップに形成された第1のメタルカップと、該第1のメタルカップに形成された第2のメタルゲートとを含むゲートと、

該PMOSトランジスタ内に、高kカップと、該高kカップに形成された第2のメタルゲートとを含むゲートとを備え、該第1のメタルは、プラチナとイリジウムとからなるメタル群から選択され、

該第2のメタルは、アルミニウム、ジルコニウム、モリブデン、ニオブ、タリウム、窒化タリウムおよびバナジウムからなるメタル群から選択される、デュアルメタルゲートCMOS。

【請求項17】 前記高k材料は、 HfO_2 と ZrO_2 とからなる材料群から選択される高k材料である、請求項16に記載のCMOS。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、MOSトランジスタおよびICの製造方法に関し、より詳細には、デュアルメタルゲートCMOSデバイスおよびその製造方法に関する。

【0002】

【従来の技術】デュアルメタルゲートCMOSデバイスは、1999年編「International Technology Roadmap for Semiconductors」において提案されているが、上記の文献は、このようなデバイスを製造するプロセスについては何ら教示も示唆もしていないし、デュアルメタルゲートCMOSデバイスを製造するための材料またはパラメータを特定してもいない。

【0003】現在のCMOSデバイスは、NMOSトランジスタおよびPMOSトランジスタの両方のゲート電極としてポリシリコンを用いている。NMOSトランジスタにはN+ポリシリコンを用い、一方PMOSトランジスタにはP+ポリシリコンを用いる。ポリシリコンに関連するゲート空乏問題のため、より信頼性に優れ、かつ効率的なCMOSデバイスを提供するために、ポリシリコンをメタルで置き換えることが期待されている。

【0004】現在、ICデバイスにメタル電極を配置する技術には2つの技術がある。一方の技術では、Siバンドギャップの中間であるフェルミレベルを有するメタル電極を用いる。もう一方の技術では、デュアルメタルを用いる。デュアルメタルの1つのメタルは、NMOSトランジスタにおけるN+ポリシリコンと同様の働きを

し、もう一方の異なるメタルは、PMOSトランジスタにおけるP+ポリシリコンと同様の働きをする。

【0005】

【発明が解決しようとする課題】本発明の目的は、効率的かつ信頼性のあるデュアルメタルゲートCMOSデバイスを提供することである。

【0006】本発明の別の目的は、ポリシリコンをゲート領域に用いないCMOSデバイスを提供することである。

10 【0007】

【課題を解決するための手段】本発明によるデュアルメタルゲートCMOSを製造する方法は、a)シリコン基板を調整して、それぞれがnウェルおよびpウェルを含むデバイス領域を形成する工程と、b)ゲート領域にゲート酸化物を形成し、該nウェルおよび該pウェルのそれぞれに置換ゲートを堆積する工程と、c)イオンを注入して、該nウェルおよび該pウェルのそれぞれにソース領域およびドレイン領域を形成する工程と、d)該置換ゲートおよび該ゲート酸化物を除去する工程と、e)該ゲート領域に高k誘電体を堆積する工程と、f)該pウェルの該ゲート領域に第1のメタルを堆積する工程と、g)該nウェルおよび該pウェルのそれぞれの該ゲート領域に第2のメタルを堆積する工程と、h)該工程a)～g)によって得られる構造を絶縁し、金属配線の接続をする工程とを包含し、これにより上記目的を達成する。

【0008】前記置換ゲートを堆積する工程b)は、置換材料を約150nm～500nmの間の厚さに堆積する工程を包含してもよい。

30 【0009】前記置換ゲートを堆積する工程b)は、Si₃N₄を堆積する工程を包含してもよい。

【0010】前記除去する工程d)の前に酸化物層を堆積する工程をさらに包含し、該酸化物層の厚さは、前記置換ゲートの厚さの約1.5倍～2.0倍の間であってもよい。

【0011】前記高k材料を堆積する工程e)は、 HfO_2 および ZrO_2 からなる材料群から選択される高k材料を堆積する工程を包含してもよい。

40 【0012】前記高k材料を堆積する工程e)は、約3nm～8nmの間の厚さに高k材料を堆積する工程を包含してもよい。

【0013】前記第1のメタルを堆積する工程f)は、前記pウェルの前記ゲート領域をバターニングし、該第1のメタルを堆積し、該第1のメタルをバターニングし、該第1のメタルを選択的にエッチングする工程を包含してもよい。

50 【0014】前記第1のメタルを堆積する工程f)は、前記デバイス領域全体に該第1のメタルの層を堆積し、該デバイス領域をバターニングして、前記pウェルの前記ゲート領域内に第1のメタルカップを残す工程を包含

してもよい。

【0015】前記第1のメタルを堆積する工程f)は、プラチナおよびイリジウムからなるメタル群から選択されるメタルを堆積する工程を包含してもよい。

【0016】前記第2のメタルを堆積する工程g)は、アルミニウム、ジルコニウム、モリブデン、ニオブ、タリウム、窒化タリウムおよびバナジウムからなるメタル群から選択されるメタルを堆積する工程を包含してもよい。

【0017】本発明によるデュアルメタルゲートCMOSを製造する方法は、a)シリコン基板を調整して、それぞれがnウェルおよびpウェルを含むデバイス領域を形成する工程と、b)ゲート領域にゲート酸化物を形成し、約150nm~500nmの間の厚さにSi₃N₄置換材料を堆積する工程を包含する、該nウェルおよび該pウェルのそれぞれに置換ゲートを堆積する工程と、c)イオンを注入して、該nウェルおよび該pウェルのそれぞれにソース領域およびドレイン領域を形成する工程と、d)約225nm~1000nmの間の厚さに酸化物層を堆積する工程と、e)該置換ゲートおよびゲート酸化物を除去する工程と、f)該ゲート領域に高k誘電体を堆積する工程と、g)プラチナおよびイリジウムからなるメタル群から選択される第1のメタルを該pウェルの該ゲート領域に堆積する工程と、h)アルミニウム、ジルコニウム、モリブデン、ニオブ、タリウム、窒化タリウムおよびバナジウムからなるメタル群から選択される第2のメタルを該nウェルおよび該pウェルのそれぞれの該ゲート領域に堆積する工程と、i)該工程a)~h)によって得られる構造を絶縁し、金属配線の接続をする工程とを包含し、これにより上記目的を達成する。

【0018】前記高k材料を堆積する工程f)は、HfO₂およびZrO₂からなる材料群から選択される高k材料を堆積する工程を包含してもよい。

【0019】前記高k材料を堆積する工程f)は、約3nm~8nmの間の厚さに高k材料を堆積する工程を包含してもよい。

【0020】前記第1のメタルを堆積する工程g)は、前記pウェルの前記ゲート領域をパターンングし、該第1のメタルを堆積し、該第1のメタルをパターンングし、該第1のメタルを選択的にエッチングする工程を包含してもよい。

【0021】前記第1のメタルを堆積する工程g)は、前記デバイス領域全体に該第1のメタルの層を堆積し、該デバイス領域をパターンングして、前記pウェルの前記ゲート領域内に第1のメタルカップを残す工程を包含してもよい。

【0022】本発明によるデュアルメタルゲートCMOSは、PMOSTランジスタを形成するためのnウェルと、NMOSTランジスタを形成するためのpウェルと

10

20

30

40

50

を有する基板であって、該nウェルおよびpウェルの各々がゲート領域とソース領域とドレイン領域とを有する基板と、該NMOSTランジスタ内に、高kカップと、該高kカップに形成された第1のメタルカップと、該第1のメタルカップに形成された第2のメタルゲートとを含むゲートと、該PMOSTランジスタ内に、高kカップと、該高kカップに形成された第2のメタルゲートとを含むゲートとを備え、該第1のメタルは、プラチナとイリジウムとからなるメタル群から選択され、該第2のメタルは、アルミニウム、ジルコニウム、モリブデン、ニオブ、タリウム、窒化タリウムおよびバナジウムからなるメタル群から選択され、これにより上記目的を達成する。

【0023】前記高k材料は、HfO₂とZrO₂とからなる材料群から選択される高k材料であってもよい。

【0024】デュアルメタルゲートCMOSを製造する方法は、シリコン基板を調整して、それぞれがnウェルおよびpウェルを含むデバイス領域を形成する工程と、ゲート領域にゲート酸化物を形成し、nウェルおよびpウェルのそれぞれに置換ゲートを堆積する工程と、イオンを注入して、nウェルおよびpウェルのそれぞれにソース領域およびドレイン領域を形成する工程と、置換ゲートおよびゲート酸化物を除去する工程と、ゲート領域に高k誘電体を堆積する工程と、pウェルのゲート領域に第1のメタルを堆積する工程と、nウェルおよびpウェルのそれぞれのゲート領域に第2のメタルを堆積する工程と、上記工程によって得られた構造を絶縁し、金属配線の接続をする工程とを包含する。

【0025】本発明のデュアルメタルゲートCMOSは、PMOSTランジスタを形成するためのnウェルおよびNMOSTランジスタを形成するためのpウェルを有する基板を含む。nウェルおよびpウェルのそれぞれが、ゲート領域、ソース領域およびドレイン領域を有する。NMOSTランジスタのゲートは、高kカップ、高kカップ内に形成された第1のメタルカップ、および第1のメタルカップ内に形成された第2のメタルゲートを含む。PMOSTランジスタのゲートは、高kカップおよび高kカップ内に形成された第2のメタルゲートを含む。第1のメタルは、プラチナおよびイリジウムからなるメタル群から選択される。第2のメタルは、アルミニウム、ジルコニウム、モリブデン、ニオブ、タリウム、窒化タリウムおよびバナジウムからなるメタル群から選択される。

【0026】本発明のこの解決手段および目的は、本発明の原理を素早く理解できるように設けられる。本発明は、以下に示す本発明の好適な実施形態の詳細な説明を添付の図面とともに参照することによってより完全に理解され得る。

【0027】

【発明の実施の形態】本発明は、デュアルメタルゲート

CMOSデバイスの集積化のプロセス、および本発明の方法に従って構成されるCMOSデバイスを提供する。図1を参照して、本発明のCMOSデバイスが、p型シリコンのウェハ10上に形成される。ウェハ10は、酸化物領域11によってデバイス分離され、デバイス領域を形成するように分割されている。このように分割されたうちの1つを一般的に12に示す。最新のプロセスを施して、PMOSトランジスタにはnウェル14を、NMOSトランジスタにはpウェル16を形成する。これらの領域は、PMOSトランジスタについては、約 $5 \times 10^{13} \text{ cm}^{-2} \sim 5 \times 10^{14} \text{ cm}^{-2}$ のドーズ量のリンイオンを50 keV \sim 200 keVのエネルギーレベルで注入し、NMOSトランジスタについては、約 $5 \times 10^{13} \text{ cm}^{-2} \sim 5 \times 10^{14} \text{ cm}^{-2}$ のドーズ量のボロンイオンを20 keV \sim 100 keVのエネルギーレベルで注入して形成され得る。閾値電圧は調整される。PMOSトランジスタのゲート酸化物層18およびNMOSトランジスタのゲート酸化物層20はそれぞれ、熱酸化によって形成される。窒化シリコン(Si₃N₄)またはポリシリコンが、プラズマ促進化学的気相成長法(PECVD)によって約150 nm \sim 500 nmの間の厚さに堆積され、「ダミー」ゲート(すなわち、置換ゲート)と称されるゲートを形成する。置換ゲート22、24は、それぞれPMOSおよびNMOSに形成される。これらのゲートは、フォトリソグラフィを行い、窒化物またはポリシリコンに異方性プラズマエッチングを施し、ゲート酸化物と同じ高さでエッチングを停止することによって形成される。ゲート酸化物は、部分的にエッチングされてもよいし、またはこのエッチングプロセス中に完全に除去されてもよい。窒化物層は、ゲート電極用の置換キャストを形成する。

[0028] ソース接合およびドレイン接合が、PMOSおよびNMOSの両方に形成される。これを達成する1つの技術は、約 $1 \times 10^{13} \text{ cm}^{-2} \sim 5 \times 10^{13} \text{ cm}^{-2}$ のドーズ量のBF₃イオンを30 keV \sim 50 keVのエネルギーレベルでnウェル14に注入することによって、PMOSにソース26およびドレイン28を設け、約 $1 \times 10^{13} \text{ cm}^{-2} \sim 5 \times 10^{13} \text{ cm}^{-2}$ のドーズ量のヒ素イオンを30 keV \sim 60 keVのエネルギーレベルでpウェル16に注入することによって、NMOSにソース30およびドレイン32を設けることである。酸化物を堆積し、異方性エッチングを行い、その後シリサイドを堆積することによって、酸化物スペーサが形成される。

[0029] 次に図2を参照して、酸化物層36がCVDによって堆積される。所望される厚さは、図1において堆積された窒化シリコンの厚さの約1.5倍 \sim 2倍の厚さである。この構造は、CMP処理を行い、窒化シリコンの上部で停止することによって平坦化される。CMP処理には高い選択性のあるスラリーが望ましい。

[0030] 次に図3および4を参照して、窒化物置換ゲート22、24およびゲート酸化物18、20の除去を行う。HfO₂またはZrO₂のような高k誘電体38を約3 nm \sim 8 nmの厚さに堆積し、約500°C \sim 800°Cの範囲の温度で約10分 \sim 60分間のアニーリングを含む従来のポスト堆積処理によって処理し、nウェル14およびpウェル16のそれぞれのゲート領域に誘電体カップを形成する。本発明の方法の次の工程は、2つの方法のうちのいずれかで行われ得る。

10 [0031] 第1の選択肢は、図3を参照して、NMO Sゲート領域をバターンングするためにフォトレジスト40を塗布し、スパッタリングによってメタルゲート電極用の第1のメタル42を堆積することである。第1のメタルは、一般的には、プラチナまたはイリジウムのいずれかである。メタルをバターンングし、NMOSのゲート領域のメタル以外をエッチングする。次いで、フォトレジストを除去し、図5に示される構造が得られる。この構造は、NMOSにある高kカップ内に形成された第1のメタルカップを含む。

20 [0032] 第2の選択肢は、図4を参照して、ウェハ全体に第1のメタル42を堆積し、その後、フォトレジスト40を用いてウェハおよびPMOS領域をバターンングすることである。次いで、高kゲート誘電体をエッチングしないエッチャントを用いて、露出されたメタルに選択的ウェットエッチを施す。このようなエッチャントの1つには、H₂O₂がある。第1の選択肢から得られる構造と同様に、第2の選択肢によって得られる構造を図5に示す。

30 [0033] 本発明の方法の次の工程は、第2のメタル44を堆積することである。この第2のメタル44は、アルミニウム、ジルコニウム、モリブデン、ニオブ、タリウム、窒化タリウムおよびバナジウムからなる群から選択される任意のメタルであり得る。次いで、このメタルをCMPによって平滑化し、薄くする。得られる構造を図6に示す。図6において、メタルゲート電極は、PMOSの高kカップおよびNMOSの第1のメタルカップ内に形成される。

40 [0034] 次に図7を参照して、最新技術のプロセスに従って、デュアルメタルゲートCMOSを完成させる残りのプロセスを行い、残りの高k材料を除去し、絶縁酸化物46を堆積し、構造48、50、52および54に金属配線の接続をする。図7には示さないが、ゲート電極への金属配線の接続も行われる。

[0035] 従って、デュアルメタルゲートCMOSデバイスのためのシステム、および上記デュアルメタルゲートCMOSデバイスを製造するための方法が開示された。本発明のさらなる変更および改変が、上掲の特許請求の範囲に規定される本発明の範囲から逸脱することなく為され得ることが理解される。

50 [0036]

【発明の効果】デュアルメタルゲートCMOSを製造する方法は、ゲート領域にゲート酸化物を形成し、nウェルおよびpウェルのそれぞれに置換ゲートを堆積する工程と、置換ゲートおよびゲート酸化物を除去する工程と、ゲート領域に高k誘電体を堆積する工程と、pウェルのゲート領域に第1のメタルを堆積する工程と、nウェルおよびpウェルのそれぞれのゲート領域に第2のメタルを堆積する工程と、上記工程によって得られた構造を絶縁し、金属配線の接続をする工程とを包含する。上記方法によれば、ポリシリコンを用いることなく信頼性に優れ、かつ効率的にCMOSを提供することができる。

【0037】また、本発明のデュアルメタルゲートCMOSは、PMOSトランジスタおよびNMOSトランジスタを含む。NMOSトランジスタにおいて、ゲートは、高kカップ、その高kカップに形成された第1のメタルカップおよびその第1のメタルカップに形成された第2のメタルゲートを含む。PMOSトランジスタにおいて、ゲートは、高kカップおよびその高kカップに形成された第2のメタルゲートを含む。本発明のデュアルメタルゲートCMOSによれば、ゲートが高誘電率材料であるため効率的かつ信頼性がある。

【図面の簡単な説明】

【図1】図1は、本発明の方法によるデュアルメタルゲートCMOSデバイスを形成する工程を示す。

*【図2】図2は、本発明の方法によるデュアルメタルゲートCMOSデバイスを形成する工程を示す。

【図3】図3は、本発明の方法によるデュアルメタルゲートCMOSデバイスを形成する工程を示す。

【図4】図4は、本発明の方法によるデュアルメタルゲートCMOSデバイスを形成する工程を示す。

【図5】図5は、本発明の方法によるデュアルメタルゲートCMOSデバイスを形成する工程を示す。

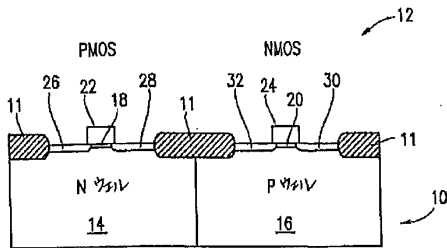
【図6】図6は、本発明の方法によるデュアルメタルゲートCMOSデバイスを形成する工程を示す。

【図7】図7は、本発明の方法によるデュアルメタルゲートCMOSデバイスを形成する工程を示す。

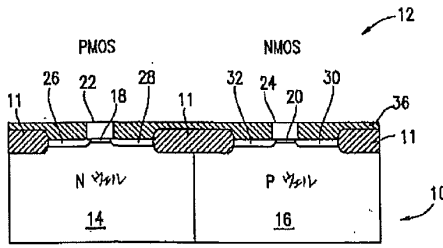
【符号の説明】

- 10 ウェハ
- 11 酸化物領域
- 18、20 ゲート酸化物領域
- 22、24 置換ゲート
- 26、30 ソース
- 28、32 ドレイン
- 36 酸化物層
- 38 高k誘電体
- 40 フォトレジスト
- 42 第1のメタル
- 44 第2のメタル
- * 46 絶縁酸化物

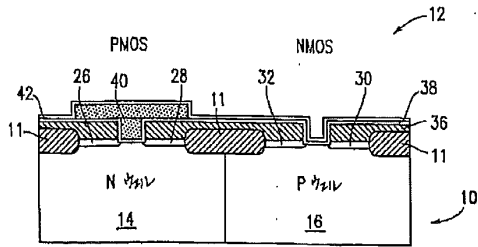
【図1】



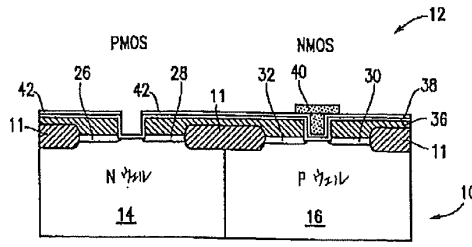
【図2】



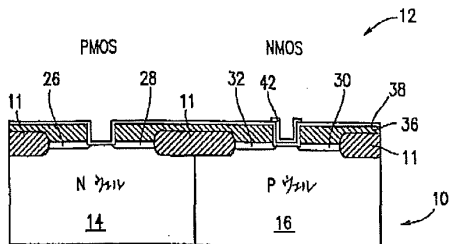
【図3】



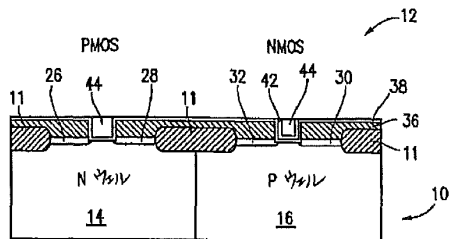
【図4】



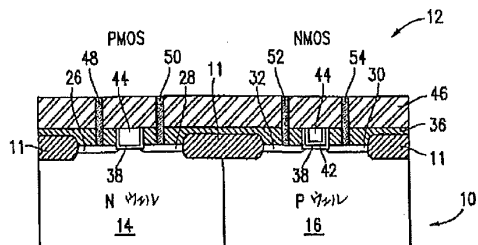
【図5】



【図6】



【図7】



フロントページの続き

(72)発明者 ダビッド ラッセル エバンス
 アメリカ合衆国 オレゴン 97007, ビ
 ーバートン, エヌダブリュー 179ティ
 ーエイチ プレイス 7574

(72)発明者 シェン テン スー
 アメリカ合衆国 ワシントン 98607,
 ケイマス, エヌダブリュー トラウト
 コート 2216

Fターム(参考) 4M104 AA01 BB02 BB04 BB06 BB13
 BB16 BB36 CC05 DD03 DD26
 EE03 EE16 FF13 GG09 GG10
 5F048 AA07 AC03 BA01 BB00 BB04
 BB11 BB12 BB14 BE03 BG11

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2005-197748**

(43)Date of publication of application : **21.07.2005**

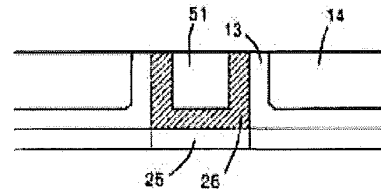
(51)Int.Cl. H01L 29/78
H01L 21/28
H01L 21/336
H01L 21/8238
H01L 27/092
H01L 29/423
H01L 29/49

(21)Application number : **2005-001988** (71)Applicant : **INTERNATL BUSINESS MACH
CORP <IBM>**
 (22)Date of filing : **07.01.2005** (72)Inventor : **KU VICTOR
STEEGEN AN
WANN HSING-JEN C**

(30)Priority
 Priority number : **2004 707757** Priority date : **09.01.2004** Priority country : **US**

(54) FET GATE STRUCTURE EQUIPPED WITH METAL GATE ELECTRODE AND SILICIDE CONTACTS

(57)Abstract:
PROBLEM TO BE SOLVED: To provide a method of producing one metal replacement gate or two metal replacement gate for a semiconductor device.
SOLUTION: This structure contains silicide contacts with a gate region. A part of a substrate is exposed, by removing a dummy gate structure and a sacrificial gate dielectric, and a gate dielectric is formed on the exposed part. A metal layer is formed so as to cover the gate dielectric and dielectric materials. This metal layer, if it is convenient, can be made of a blanket metal layer covering a device wafer. Next, a silicon layer is formed so as to cover the metal layer. This layer can be also made of a blanket layer. Next, the top face of the dielectric materials is exposed, by performing flatting or etch back process. Other parts of the metal layer and the silicon layer remain in a gate region 11, and there is provided a front surface, having the same plane as the top face of the dielectric materials. Next, there are formed the silicide contacts, which are in contact with the metal layer in the gate region 11.



(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-197748

(P2005-197748A)

(43) 公開日 平成17年7月21日(2005.7.21)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 29/78	HO 1 L 29/78 3 O 1 G	4 M 1 O 4
HO 1 L 21/28	HO 1 L 21/28 3 O 1 S	5 F O 4 8
HO 1 L 21/336	HO 1 L 29/58 G	5 F 1 4 O
HO 1 L 21/8238	HO 1 L 29/78 3 O 1 P	
HO 1 L 27/092	HO 1 L 27/08 3 2 1 D	

審査請求 有 請求項の数 20 O L (全 14 頁) 最終頁に続く

(21) 出願番号 特願2005-1988 (P2005-1988)	(71) 出願人 390009531
(22) 出願日 平成17年1月7日(2005.1.7)	インターナショナル・ビジネス・マシーンズ・コーポレーション
(31) 優先権主張番号 10/707757	INTERNATIONAL BUSIN
(32) 優先日 平成16年1月9日(2004.1.9)	ESS MASCHINES CORPO
(33) 優先権主張国 米国 (US)	RATION
	アメリカ合衆国10504 ニューヨーク
	州 アーモンク ニュー オーチャード
	ロード
	(74) 代理人 100086243
	弁理士 坂口 博
	(74) 代理人 100091568
	弁理士 市位 嘉宏
	(74) 代理人 100108501
	弁理士 上野 剛史

最終頁に続く

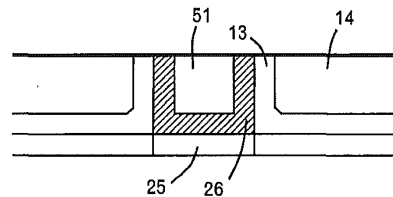
(54) 【発明の名称】 金属ゲート電極およびシリサイド接点を備えたFETゲート構造

(57) 【要約】

【課題】 半導体デバイス用の1金属置換ゲートまたは2金属置換ゲートを作製する方法を提供すること。

【解決手段】 この構造は、ゲート領域とのシリサイド接点を含む。ダミー・ゲート構造および犠牲ゲート誘電体を除去して、基板の一部を露出させ、その上にゲート誘電体を形成する。ゲート誘電体および誘電体材料を覆うように金属層を形成する。この金属層は、それが好都合なら、デバイス・ウェハを覆うブランケット金属層にすることもできる。次いで、金属層を覆うようにシリコン層を形成する。この層も、ブランケット層にすることができる。次いで、平坦化またはエッチバック・プロセスを行い、誘電体材料の上面を露出させ、金属層およびシリコン層の他の部分がゲート領域内に残って誘電体材料の上面と同一平面となる表面を有するようになる。次いで、ゲート領域の金属層と接触したシリサイド接点を形成する。

【選択図】 図11



【特許請求の範囲】

【請求項1】

上面を有する誘電体材料と隣接したゲート構造を基板上に有する半導体デバイスを作製する方法であって、

前記デバイスのゲート領域の材料を除去して前記基板の一部分を露出させるステップと

、前記基板の露出部分上にゲート誘電体を形成するステップと、

前記ゲート誘電体および前記誘電体材料を覆う金属層を形成するステップと、

前記金属層を覆うシリコン層を形成するステップと、

前記金属層の第1の部分および前記シリコン層の第1の部分を除去して、前記誘電体材料の上面を露出させ、前記金属層の第2の部分および前記シリコン層の第2の部分が前記ゲート領域内に残って前記上面と同一平面となる表面を有するようにするステップと、

前記金属層の第2の部分と接触したシリサイド接点を前記ゲート領域中に形成するステップとを含む方法。

【請求項2】

前記シリサイド接点を形成するステップが、

前記ゲート領域の上にシリサイド形成用金属の層を堆積させるステップと、

シリサイド化プロセスを実行して、前記シリコン層の第2の部分のシリコンおよび前記シリサイド形成用金属の層の金属を含む金属シリサイドを形成するステップと、

平坦化プロセスを実行して前記誘電体材料の上面を露出させるステップとをさらに含む請求項1に記載の方法。

【請求項3】

前記シリサイド形成用金属が、Ni、Co、Ta、WおよびMoから選択される、請求項1に記載の方法。

【請求項4】

前記ゲート領域中の材料を除去するステップにおいて、側壁と前記基板の露出部分からなる底部とを有するトレンチを形成し、

前記金属層を形成するステップが、前記トレンチの側壁上に金属を形成するステップをさらに含み、

前記シリコン層を形成するステップが、前記トレンチを充填するステップを含む、請求項1に記載の方法。

【請求項5】

前記半導体デバイスがウェハ上に作製され、前記金属層を形成するステップが、前記ウェハ上にブランケット金属層を形成するステップを含み、前記シリコン層を形成するステップが、前記ウェハ上にブランケット・シリコン層を形成するステップを含む、請求項1に記載の方法。

【請求項6】

上面を有する誘電体材料と隣接したゲート構造を基板上に有する半導体デバイスを作製する方法であって、

前記デバイスのゲート領域の第1の部分の材料を除去して前記基板の第1の部分を露出させるステップと、

前記基板の露出した第1の部分の上に第1のゲート誘電体を形成するステップと、

第1のゲート誘電体を覆う第1の金属層を形成するステップと、

第1の金属層を覆う第1のシリコン層を形成するステップと、

第1の金属層の第1の部分および第1のシリコン層の第1の部分を除去して、前記誘電体材料の上面を露出させ、第1の金属層の第2の部分および第1のシリコン層の第2の部分がゲート領域内に残って前記上面と同一平面となる表面を有するようにするステップと

、前記ゲート領域の第2の部分の材料を除去して、前記基板の第2の部分を露出させ、第1の金属層の隣接部分を露出させるステップと、

前記基板の露出した第 2 の部分の上に第 2 のゲート誘電体を形成するステップと、
 第 1 の金属層の前記露出した隣接部分の上に酸化物層を形成するステップと、
 第 2 のゲート誘電体を覆う第 2 の金属層を形成するステップと、
 第 2 の金属層を覆う第 2 のシリコン層を形成するステップと、
 第 2 の金属層の第 1 の部分および第 2 のシリコン層の第 1 の部分を除去して、前記誘電体材料の上面を露出させ、第 2 の金属層の第 2 の部分および第 2 のシリコン層の第 2 の部分が前記ゲート領域内に残って前記上面と同一平面となる表面を有するようにするステップと、
 第 1 の金属層の第 2 の部分および第 2 の金属層の第 2 の部分と接触したシリサイド接点を前記ゲート領域中に形成するステップとを含む方法。

10

【請求項 7】

前記シリサイド接点を形成するステップが、
 前記ゲート領域の第 1 の部分および前記ゲート領域の第 2 の部分を覆う第 3 のシリコン層を形成するステップ、
 第 3 のシリコン層の上にシリサイド形成用金属の層を堆積させるステップ、
 シリサイド化プロセスを実行して、第 1 のシリコン層の第 2 の部分のシリコン、第 2 のシリコン層の第 2 の部分のシリコン、および第 3 のシリコン層のシリコンと、前記シリサイド形成用金属の層の金属とを含む金属シリサイドを形成するステップ、ならびに
 平坦化プロセスを実行して、前記誘電体材料の上面を露出させるステップをさらに含む、請求項 6 に記載の方法。

20

【請求項 8】

前記シリサイド形成用金属が、Ni、Co、Ta、W および Mo から選択される、請求項 6 に記載の方法。

【請求項 9】

前記ゲート領域中の材料を除去するステップにおいて、側壁と前記基板の露出した第 1 の部分からなる底部とを有する第 1 のトレンチを形成し、
 前記第 1 の金属層を形成するステップが、第 1 のトレンチの側壁上に金属を形成するステップをさらに含み、
 前記第 1 のシリコン層を形成するステップが、第 1 のトレンチを充填するステップを含み、
 前記ゲート領域の第 2 の部分の材料を除去するステップにおいて、側壁と前記基板の露出した第 2 の部分からなる底部とを有する第 2 のトレンチを形成し、
 前記第 2 の金属層を形成するステップが、第 2 のトレンチの側壁上に金属を形成するステップをさらに含み、
 前記第 2 のシリコン層を形成するステップが、第 2 のトレンチを充填するステップを含む、請求項 6 に記載の方法。

30

【請求項 10】

前記半導体デバイスがウェハ上に作製され、前記第 1 の金属層を形成するステップが、前記ウェハ上に第 1 のブランケット金属層を形成するステップを含み、前記第 1 のシリコン層を形成するステップが、前記ウェハ上に第 2 のブランケット・シリコン層を形成するステップを含み、前記第 2 の金属層を形成するステップが、前記ウェハ上に第 2 のブランケット金属層を形成するステップを含み、前記第 2 のシリコン層を形成するステップが、前記ウェハ上に第 2 のブランケット・シリコン層を形成するステップを含む、請求項 6 に記載の方法。

40

【請求項 11】

前記シリサイド接点を形成するステップの前に、金属および金属酸化物を除去して、前記第 1 の金属層の第 2 の部分、前記酸化物層、および前記第 2 の金属層の第 2 の部分を前記上面よりも窪ませるステップをさらに含む、請求項 6 に記載の方法。

【請求項 12】

前記シリサイド接点を形成するステップの前に、金属および金属酸化物を除去して、前

50

記第1の金属層の第2の部分、前記酸化物層、および前記第2の金属層の第2の部分を前記上面よりも窪ませることにより、前記ゲート領域に凹部を形成するステップをさらに含む方法であって、前記第3のシリコン層を形成するステップが、前記凹部を充填するステップをさらに含む、請求項7に記載の方法。

【請求項13】

前記シリサイド接点を形成するステップにおいて、前記シリサイドで前記凹部を充填する、請求項12に記載の方法。

【請求項14】

前記シリサイド接点を形成するステップの後に、前記ゲート領域を覆う窒化物層を形成するステップをさらに含む、請求項6に記載の方法。

10

【請求項15】

前記シリサイド接点を前記上面よりも窪ませることにより、前記ゲート領域に凹部を形成する方法であって、

前記ゲート領域を覆い、かつ前記凹部を充填する窒化物層を形成するステップと、平坦化処理を実行して前記上面を露出させ、前記窒化物層の一部が前記凹部に残って前記上面と同一平面となる表面を有するようにするステップとをさらに含む、請求項6に記載の方法。

【請求項16】

上面を有する誘電体材料と隣接するゲート構造を基板上に有する半導体デバイスであって、

ゲート領域中の前記基板の一部分を覆い、これと接触するゲート誘電体と、前記ゲート誘電体と接触する金属層と、下側面が前記金属層と接触し、上側面が前記上面と同一平面であるシリサイド接点とを含む半導体デバイス。

20

【請求項17】

前記ゲート領域が底部および側壁を有するトレンチとして特徴付けられ、前記ゲート誘電体が前記トレンチの底部を覆い、前記金属層が前記トレンチの側壁と接触しており、前記シリサイド接点が前記トレンチを充填する、請求項16に記載の半導体デバイス。

【請求項18】

前記金属層が第1の金属層および第2の金属層を含み、前記第1の金属層と前記第2の金属層の間に金属酸化物層をさらに含む、請求項16に記載の半導体デバイス。

30

【請求項19】

前記シリサイド接点を覆う窒化物層をさらに含む、請求項16に記載の半導体デバイス。

【請求項20】

前記シリサイド接点が、前記上面よりも窪んだ上側面を有するシリサイド部分と、前記シリサイド部分を覆う、前記上面と同一平面となる上側面を有する窒化物キャップ部分とを含み、前記窒化物キャップ部分が前記ゲート領域に対してセルフアラインする、請求項16に記載の半導体デバイス。

40

【発明の詳細な説明】

【技術分野】

【0001】

本願は、本願と同日に出願され同じ譲受人に譲渡された、「Method of forming FET silicide gate structures incorporating inner spacers」と題する出願FIS9-2003-0341の関連出願である。

【0002】

本発明は、高性能半導体デバイス、特に金属ゲート電極を用いた高性能CMOS集積デ

50

バイスの製造に関する。

【背景技術】

【0003】

CMOSデバイスの小型化が進むにつれて、CMOSデバイスのゲート誘電体の厚さも20Åをかなり下回るほど薄くなっている。これにより、ゲート漏れ電流が著しく増大し、ポリシリコン・ゲート構造からのドーパントの拡散も著しく大きくなっている（ポリ・デプレッション効果（poly depletion effect）と呼ばれることが多い）。

【0004】

現在は、金属ゲートを使用して、ポリ・デプレッション効果を緩和し、漏れ電流を抑制することにより、高度に集積されたCMOSデバイスの電气的性能を確保している。通常、金属ゲートは、ダミー・ポリシリコン・ゲートを最初に形成した後に除去し、その位置に金属ゲートを形成する「置換ゲート（replacement gate）」プロセスによって形成される。金属ゲートは、n+ゲート領域およびp+ゲート領域の両方に及ぶことがあり、ミッドギャップ仕事関数を有する単一の金属で構成することができる。あるいは、置換ゲートは、それ以前にn+ポリシリコン・ゲートおよびp+ポリシリコン・ゲートが占めていた位置に位置する、異なる仕事関数を有する2種類の金属で構成することもできる。

【0005】

現況技術の一例として、「Integration of dual work function metal gate CMOS devices」と題するLee他の米国特許出願第2003/0119292号には、金属ゲートを形成する置換ゲート・プロセスが記載されている。このプロセスでは、ドーピングしたポリシリコン・ゲートを形成した後に除去して、開いたトレンチが残るようにし、このトレンチ内にバルク金属層を堆積させ、その後これを平坦化して金属ゲートを形成する。この手法では、2通りの製造上の問題が生じることがある。第1の問題は、ゲート構造が非常に細い場合（場合によっては70nm未満など、チャンネル長が非常に短い場合に相当）にトレンチのアスペクト比が大きくなり、金属中に空隙を生じることなくトレンチの充填を行うことが困難になることがあることである。第2の問題は、金属平坦化プロセス（通常は化学機械研磨（CMP））において、金属の厚さが不均一になる（したがって金属ゲートの高さも不均一になる）ディッシング効果が発生しやすいことである。

【発明の開示】

【発明が解決しようとする課題】

【0006】

また、金属ゲート電極となるシリサイド接点を提供することも望ましい。したがって、製造が容易であり、かつミッドギャップ置換ゲートおよび2金属置換ゲートの両方に適用することができる、シリサイド接点を備えた金属ゲートCMOSデバイスが必要とされている。

【課題を解決するための手段】

【0007】

本発明は、基板上にゲート構造を有する半導体デバイスを作製する方法を提供することにより、上述の必要に応えるものである。本発明の第1の態様によれば、この方法では、最初に、デバイスのゲート領域中の材料を除去して（すなわち、ダミー・ゲート構造および犠牲ゲート誘電体を除去して）、基板の一部分を露出させる。基板の露出した部分の上にゲート誘電体を形成し、ゲート誘電体および誘電体材料を覆うように金属層を形成する。この金属層は、それが好都合なら、デバイス・ウェハを覆うブランケット金属層にすることもできる。次いで、この金属層を覆うようにシリコン層を形成する。このシリコン層もブランケット層にすることもできる。次いで、平坦化またはエッチバック・プロセスを行い、金属層およびシリコン層の一部分を除去し、誘電体材料の上面を露出させ、金属層およびシリコン層の他の部分がゲート領域内に残って誘電体材料の上面と同一平面となる表面を有するようにする。次いで、ゲート領域の金属層と接触したシリサイド接点を形成する。

【0008】

ゲート領域の上にシリサイド形成用金属（Ni、Co、Ta、WまたはMo）の層を堆積させ、シリサイド化プロセスを実行してゲート領域に残っている部分のシリコンおよびシリサイド形成用金属を含む金属シリサイドを形成し、平坦化プロセスを実行して誘電体材料の上面を露出させることによって、シリサイド接点を形成することができる。

【0009】

ダミー・ゲート材料の除去は、底部が基板の露出部分からなるトレンチの形成とみなすことができる。したがって、ゲート誘電体を形成するステップでトレンチの底部が覆われ、金属層を形成するステップでトレンチの側壁上に金属が形成され、シリコン層を形成するステップでトレンチが充填される。その後、シリコンをシリサイドに転化して、トレンチがシリサイド接点で充填されるようにする。金属ゲートは側壁上の層であって、トレンチの底部のゲート誘電体の上にある。

10

【0010】

本発明の第2の態様によれば、ゲート領域に2つの金属層を形成し、2金属ゲート構造を形成する。この方法では、ゲート領域の第1の部分から材料を除去し、その後ゲート領域の第2の部分から材料を除去して、基板の複数部分を露出させる。基板の露出部分の上にゲート誘電体を形成する。ゲート誘電体を覆うように第1の金属層および第1のシリコン層を形成し、その後これらを平坦化する。第1の金属層の一部を酸化する。この金属酸化層が、第1の金属層と第2の金属層とを分離する。第2の金属層および第2のシリコン層を形成し、その後これらを平坦化する。次いで、ゲート領域中に、第1の金属層および第2の金属層両方の平坦化した部分と接触するシリサイド接点を形成する。

20

【0011】

シリサイド接点は、ゲート領域の両部分を覆う第3のシリコン層を形成し、その上にシリサイド形成用金属の層を堆積させ、シリサイド化プロセスを実行することによって形成することもできる。シリサイド化プロセスでは、第1および第2のシリコン層の残っている部分ならびに第3のシリコン層のシリコンと、シリサイド形成用金属層の金属とを含む金属シリサイドが形成される。次いで、平坦化プロセスを実行して、誘電体材料の上面を露出させる。金属および金属酸化物を部分的にゲート領域から除去して、金属層および酸化層を隣接する誘電体材料の上面よりも窪ませることもできる。次いで、第3のシリコン層でこの凹部を充填し、後に同様にそのシリサイドが凹部を充填するようにする。

30

【0012】

本発明の別の態様によれば、基板上にゲート構造を有する半導体デバイスが提供される。このデバイスのゲート構造は、上述の方法により、1金属置換ゲートまたは2金属置換ゲートとして作製される。

【発明を実施するための最良の形態】

【0013】

ダミー・ポリシリコン・ゲート・スタックを基板上に構築し、ソース領域およびドレイン領域を形成した後に除去する置換ゲート・プロセスの一部として、本発明の実施形態について説明する。図1～図3は、ダミー・ゲート構造を示す概略図である。この構造が、本明細書に記載する本発明の実施形態の開始点となる。図1は、p+ポリシリコン・ゲート11およびn+ポリシリコン・ゲート12を含む構造10の平面図である。図1に示すように、n+領域およびp+領域は接触している。この構造は、SRAMデバイスで通常見られる構造である。これらのゲート領域を覆うように窒化物13およびHDP酸化層14の層を堆積させた後に平坦化してあるので、ゲート領域11および12は露出している。（本発明の実施形態では、より低い温度で処理を行うことができるように、酸化層14は、BPSGではなくHDP酸化層であることが好ましい。）図2は、基板1の上の犠牲ゲート酸化層15上に形成されたダミー・ゲート領域11および12を示す長手方向断面図である。図3は、ダミー・ポリシリコン・ゲートの片側の窒化物13およびHDP酸化層14を示す横方向断面図である。

40

【0014】

50

ダミー・ゲートおよび犠牲ゲート酸化物を除去した後で、それにより生じたトレンチ中に金属層（所望の仕事関数を持つだけの厚さを有する）を堆積させ、このトレンチを、ドーピングしていないポリシリコンなど適当な材料で充填する。後に、充填材であるポリシリコンをシリサイドに転化させて、金属ゲートへの接点を形成することもできる。

【0015】

以下で詳細に述べるように、金属ゲート構造は、ミッドギャップ仕事関数を有する1金属ゲートであっても、n+ゲート領域とp+ゲート領域とで仕事関数が異なる2金属ゲートであってもよい。

【0016】

第1の実施形態：1金属（single-metal）置換ゲート

10

【0017】

この実施形態では、ダミー・ポリシリコン・ゲート構造11および12を同一プロセスで除去するが、窒化物13および酸化物14に対する選択性を有する任意の好都合なプロセスを用いることができる。このプロセスでは、犠牲酸化物層15を露出させ、その後、この層も除去する。このようにして、窒化物の側壁13a、13bと、基板1の露出部分からなる底面を有するトレンチ20が形成される。露出した基板上に、堆積プロセスまたは熱成長プロセスによって新たなゲート誘電体25を形成する。その後、トレンチの側壁およびゲート誘電体25を覆うブランケット層として、コンフォーマルな金属層26を堆積させる。層26の組成および厚さは、当業者には周知の方法で、所望の仕事関数が得られるように選択される。図4および図5はそれぞれ、金属層26を堆積させた後の構造の長手方向断面図および横方向断面図である。

20

【0018】

次いで、層26の上に、ドーピングしていない多結晶シリコンまたはアモルファス・シリコンのブランケット層31を、トレンチ20を充填するのに十分な厚さで堆積させる。層31の内部組成は、最適なトレンチ充填材が得られるように選択される。例えば、ポリシリコンとアモルファス・シリコンの混合物が、充填材として望ましい特性を有することが分かっている。次いで、層31および層26を好ましくはCMPで平坦化し、酸化物領域14を再度露出させ、トレンチ充填材の上面31aが酸化物領域14と同一平面になるようにする。その結果得られた構造を、図6（長手方向断面図）および図7（横方向断面図）に示す。

30

【0019】

次いで、シリサイドの形成に適した金属のブランケット層41を堆積させる（図8および図9）。この金属は、例えばCo、Ta、W、Moまたは（好ましくは）Niである。次いでシリサイド化プロセス（詳細は当技術分野で既知）を実行し、トレンチ充填材をシリサイド51に転化する。平坦化プロセスをもう一度実行して、構造の最初の上面を再度露出させる（図10および図11参照）。こうして、ダミー・ゲート構造は、シリサイド接点を備えた1金属ゲートで置き換えられる（図3および図11参照）。

【0020】

このプロセスは、いずれの層のマスクングも行う必要がなく、したがって実施が容易であることは理解されるであろう。

40

【0021】

第2の実施形態：2金属（dual-metal）置換ゲート

【0022】

この実施形態では、p+ダミー・ポリシリコン・ゲート構造およびn+ダミー・ポリシリコン・ゲート構造を別々に除去するので、除去しない方のポリシリコン構造のマスクングを行う必要がある。図12は、p+ダミー・ゲート11をマスクングし、n+ダミー・ゲート12およびその下にある犠牲ゲート酸化物15を除去し、マスクを剥がした後の構造を示している。これにより、基板1の一部が露出している。次いで、ブランケット・ゲート誘電体層75を成長または堆積させ、ブランケット金属層76をその上に堆積させる（図13参照）。

50

【0023】

次いで、ドーピングしていない多結晶シリコンまたはアモルファス・シリコンのブランケット層81を、層76の上に堆積させる。第1の実施形態と同様に、層81の組成は、最適なトレンチ充填材が得られるように選択される。次いで、この構造を平坦化してダミー・ゲート11を再度露出させ、充填材81の上面81aがダミー・ゲート11と同一平面になるようにする。平坦化プロセスは、例えばポリシリコン／アモルファス・シリコンのCMPを行い、そのまま引き続きポリシリコン・ゲート11の表面に到達するまで金属層76のCMPを行うなど、1ステップで行うことができる。あるいは、平坦化プロセスは、例えばポリシリコン・ゲート11の上にある金属層76に到達するまでポリシリコン／アモルファス・シリコンのCMPを行い、その後別個に金属除去プロセスを行うなど、2ステップで行うこともできる。平坦化の後に得られる構造を図14に示す。 10

【0024】

次いで、この構造をマスクングし、p+ダミー・ポリシリコン・ゲート11を除去できるようにする。p+ダミー・ポリシリコン・ゲート11は、残っている犠牲ゲート酸化物15と共に除去する。犠牲酸化物を除去する間に、ゲート誘電体層75の、金属の側壁76sを覆っている部分も除去する。図15に、これらのステップを行い、マスクが除去された後の構造を示す。金属側壁76sが露出していることに留意されたい。

【0025】

次いで、露出したシリコン表面に対して酸化プロセスを行い、基板の露出部分上に酸化物層85を形成し、ポリシリコン／アモルファス・シリコン層81の表面上に酸化物86を形成する。この酸化プロセスは、通常は約900℃程度の急速熱アニーリング(RTA)を含むので、金属層76の露出表面上に酸化物層95が形成される(図16参照)。したがって、2金属ゲートの下にあるゲート誘電体層88は、別々のステップで形成された層75および層85で構成される。 20

【0026】

次いで、図17に示すように、第2のブランケット金属層96を堆積させる。それ以前のステップと同様に、このブランケット金属層の上には、ドーピングしていない多結晶シリコンまたはアモルファス・シリコンの層91が堆積させてある。次いで、この構造を平坦化し、図18(長手方向断面図)および図19(横方向断面図)に示す構造を得る。図18および図19をそれぞれ図2および図3と比較すると、ダミー・ゲートおよび犠牲ゲート酸化物が、ゲート誘電体をその下に備えた2金属ゲートで置き換えられていることが分かる。 30

【0027】

次いで、エッチバック・プロセスを行い、ゲート領域を窒化物領域13および酸化物領域14よりも窪ませる。具体的には、シリコン層81および91を酸化物14よりも窪ませ、金属酸化物95と金属層76および96とをシリコン層81および91よりも窪ませる。当業者には周知のように、使用できるエッチング・プロセスはいくつか考えられる。エッチバック・プロセスを行った結果を図20(長手方向断面図)および図21(横方向断面図)に示す。

【0028】

次いで、多結晶シリコンのブランケット層を堆積させて、2金属ゲートの上に連続的なシリコン層98を形成する(図22)。この層をRIEあるいはCMP(またはそれらの組合せ)によって平坦化し、窒化物層13および酸化物層14を再度露出させる。その結果得られる構造を図23(長手方向断面図)および図24(横方向断面図)に示す。この時点で、2金属ゲートは、その上面が周囲の誘電体材料と同一平面であるシリコン領域より低く窪んでいる(図24参照。図19と比較されたい)。 40

【0029】

次いで、シリサイド形成用金属のブランケット層101をこの構造の上に堆積させる。この金属は、Co、Ni、Ta、WまたはMoのいずれかにすることができるが、Niであることが好ましい。次いで、シリサイド化プロセスを行い、層101中の金属と層98 50

中のシリコンとでブラケットシリサイド層 110 を形成する。次いで、シリサイド層 110 を平坦化して、窒化物層 13 および酸化層 14 を再度露出させる。その結果得られる構造を図 26 (長手方向断面図) および図 27 (横方向断面図) に示す。

【0030】

上記で詳述した一連のステップ(ブラケット層の堆積と、その後の平坦化またはエッチバック)は、トレンチ幅が 70 nm 以下であるときでもゲートが占めるトレンチ(すなわち、対向する窒化物壁 13a、13b 間の空間)を充填するのに効果的であることは理解されるであろう。

【0031】

この実施形態では、シリサイド接点を備えた 2 金属ゲート構造を形成する。また、この構造に窒化物キャップ層を設けると、金属またはシリサイドに影響を及ぼさずにアニーリングを行うことができるので有利である。(好ましい実施形態では、シリサイドは NiSi_2 であり、アニーリングはフォーミング・ガス中で行う。窒化物キャップがある場合には、400℃のフォーミング・ガス中でアニーリングを行えば、金属ゲートとゲート酸化物の間の余分な電荷を除去し、しきい値電圧のシフトを防止することができる。)窒化物キャップ層 120 は、図 28 (長手方向断面図) および図 29 (横方向断面図) に示すようにブラケット層として堆積させることができる。あるいは、シリサイド層 110 を窪ませて(図 30 参照。図 27 と比較されたい)、窒化物層 120 がこの窪みを満たすようにすることもできる(図 31)。次いで、窒化物層 120 の、シリサイド接点の上にある部分だけが残るように、窒化物層 120 を平坦化することができる(図 32)。次いで、窒化物キャップが、2 金属ゲートおよびシリサイド接点に対してセルフアラインする。

【0032】

特定の実施形態に関連して本発明について説明したが、前述の説明に鑑みて、多数の代替形態、修正形態および変更形態が当業者には明らかであることは明白である。したがって、本発明は、本発明の範囲および趣旨ならびに頭記の特許請求の範囲内に含まれるこのような全ての代替形態、修正形態および変更形態を包含するものとする。

【図面の簡単な説明】

【0033】

【図 1】 n+ポリシリコン領域および p+ポリシリコン領域を有する代表的な CMOS ダミー・ゲート構造を示す概略平面図である。

【図 2】 図 1 のゲート領域を示す長手方向断面図である。

【図 3】 図 1 のゲート領域を示す横方向断面図である。

【図 4】 本発明の第 1 の実施形態によるミッドギャップ置換ゲート・プロセスにおける 1 ステップを示す長手方向断面図である。

【図 5】 本発明の第 1 の実施形態によるミッドギャップ置換ゲート・プロセスにおける 1 ステップを示す横方向断面図である。

【図 6】 本発明の第 1 の実施形態によるミッドギャップ置換ゲート・プロセスにおける別の 1 ステップを示す長手方向断面図である。

【図 7】 本発明の第 1 の実施形態によるミッドギャップ置換ゲート・プロセスにおける別の 1 ステップを示す横方向断面図である。

【図 8】 本発明の第 1 の実施形態によるミッドギャップ置換ゲート・プロセスにおける別の 1 ステップを示す長手方向断面図である。

【図 9】 本発明の第 1 の実施形態によるミッドギャップ置換ゲート・プロセスにおける別の 1 ステップを示す横方向断面図である。

【図 10】 本発明の第 1 の実施形態によるミッドギャップ置換ゲート・プロセスにおけるさらに別の 1 ステップを示す長手方向断面図である。

【図 11】 本発明の第 1 の実施形態によるミッドギャップ置換ゲート・プロセスにおけるさらに別の 1 ステップを示す横方向断面図である。

【図 12】 本発明の第 2 の実施形態による 2 金属置換ゲート・プロセスにおける 1 ステップを示す概略図である。

【図 1 3】本発明の第 2 の実施形態による 2 金属置換ゲート・プロセスにおける 1 ステップを示す概略図である。

【図 1 4】本発明の第 2 の実施形態による 2 金属置換ゲート・プロセスにおける 1 ステップを示す概略図である。

【図 1 5】本発明の第 2 の実施形態による 2 金属置換ゲート・プロセスにおける 1 ステップを示す概略図である。

【図 1 6】本発明の第 2 の実施形態による 2 金属置換ゲート・プロセスにおけるさらに別の 1 ステップを示す概略図である。

【図 1 7】本発明の第 2 の実施形態による 2 金属置換ゲート・プロセスにおけるさらに別の 1 ステップを示す概略図である。

【図 1 8】本発明の第 2 の実施形態による 2 金属置換ゲート・プロセスにおけるさらに別の 1 ステップを示す長手方向断面図である。

【図 1 9】本発明の第 2 の実施形態による 2 金属置換ゲート・プロセスにおけるさらに別の 1 ステップを示す横方向断面図である。

【図 2 0】本発明の第 2 の実施形態による 2 金属置換ゲート・プロセスにおけるさらに別の 1 ステップを示す長手方向断面図である。

【図 2 1】本発明の第 2 の実施形態による 2 金属置換ゲート・プロセスにおけるさらに別の 1 ステップを示す横方向断面図である。

【図 2 2】本発明の第 2 の実施形態による 2 金属置換ゲート・プロセスにおけるさらに別の 1 ステップを示す図である。

【図 2 3】本発明の第 2 の実施形態による 2 金属置換ゲート・プロセスにおけるさらに別の 1 ステップを示す長手方向断面図である。

【図 2 4】本発明の第 2 の実施形態による 2 金属置換ゲート・プロセスにおけるさらに別の 1 ステップを示す横方向断面図である。

【図 2 5】本発明の第 2 の実施形態による 2 金属置換ゲート・プロセスにおけるさらに別の 1 ステップを示す図である。

【図 2 6】本発明の第 2 の実施形態による 2 金属置換ゲート・プロセスにおけるさらに別の 1 ステップを示す長手方向断面図である。

【図 2 7】本発明の第 2 の実施形態による 2 金属置換ゲート・プロセスにおけるさらに別の 1 ステップを示す横方向断面図である。

【図 2 8】本発明の第 2 の実施形態による 2 金属置換ゲート・プロセスにおけるさらに別の 1 ステップを示す長手方向断面図である。

【図 2 9】本発明の第 2 の実施形態による 2 金属置換ゲート・プロセスにおけるさらに別の 1 ステップを示す横方向断面図である。

【図 3 0】2 金属置換ゲート・プロセスにおける図 2 8 および図 2 9 に示すステップの代替のステップを示す横方向断面図である。

【図 3 1】2 金属置換ゲート・プロセスにおける図 2 8 および図 2 9 に示すステップの代替のステップを示す横方向断面図である。

【図 3 2】2 金属置換ゲート・プロセスにおける図 2 8 および図 2 9 に示すステップの代替のステップを示す横方向断面図である。

【符号の説明】

【0 0 3 4】

1 基板

1 1 ゲート領域

1 2 ゲート領域

1 3 窒化物

1 4 酸化物

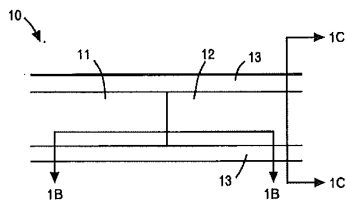
1 5 犠牲酸化物層

2 0 トレンチ

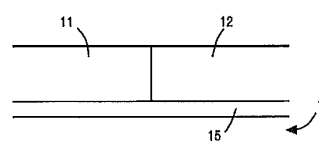
2 5 ゲート誘電体

- 2 6 金属層
- 3 1 ブランケット・シリコン層
- 4 1 ブランケット金属層
- 5 1 シリサイド

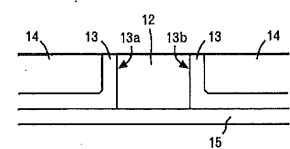
【図 1】



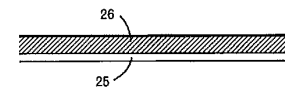
【図 2】



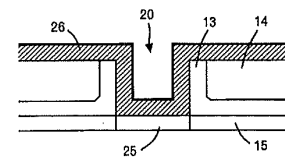
【図 3】



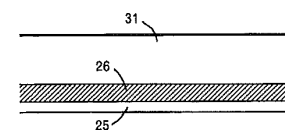
【図 4】



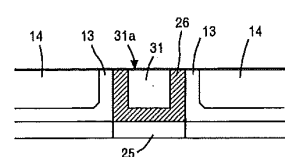
【図 5】



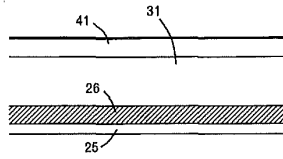
【図 6】



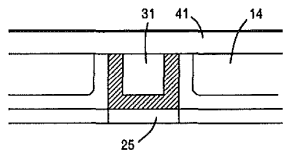
【図 7】



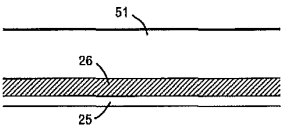
【図 8】



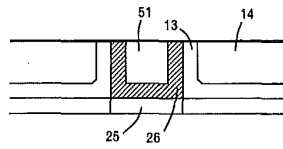
【図 9】



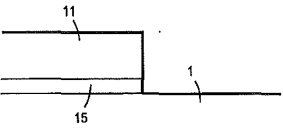
【図 10】



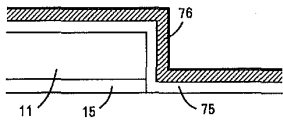
【図 11】



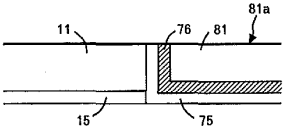
【図 12】



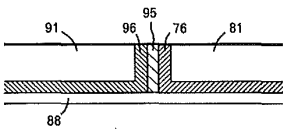
【図 13】



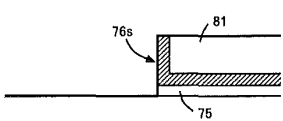
【図 14】



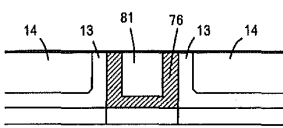
【図 18】



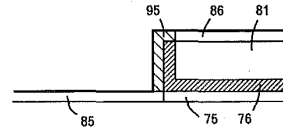
【図 15】



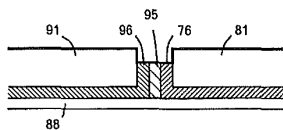
【図 19】



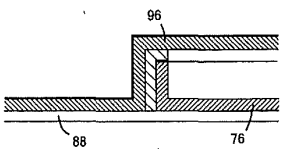
【図 16】



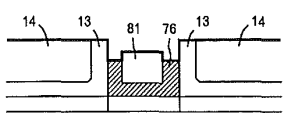
【図 20】



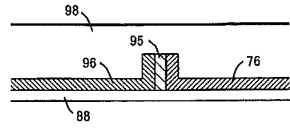
【図 17】



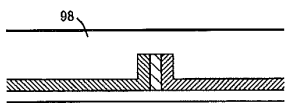
【図 21】



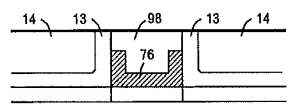
【 図 2 2 】



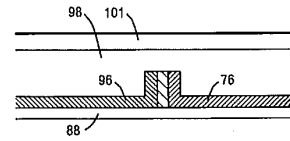
【 図 2 3 】



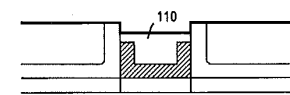
【 図 2 4 】



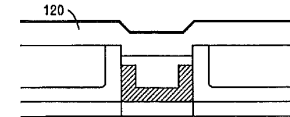
【 図 2 5 】



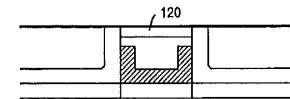
【 図 3 0 】



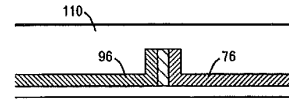
【 図 3 1 】



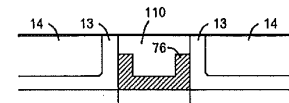
【 図 3 2 】



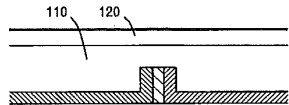
【 図 2 6 】



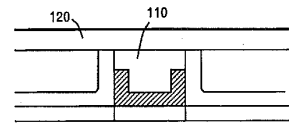
【 図 2 7 】



【 図 2 8 】



【 図 2 9 】



フロントページの続き

(51)Int.Cl.⁷ F I テーマコード (参考)
 H O 1 L 29/423
 H O 1 L 29/49

(72)発明者 ヴィクター・ケー
 アメリカ合衆国 1 0 5 9 8 ニューヨーク州ヨークタウン・ハイツ バリー・コート 2 5 2 9

(72)発明者 アン・ステーション
 アメリカ合衆国 0 6 9 0 2 コネチカット州スタンフォード アpartment 2 4 3 8 サウス
 フィールド・アベニュー 1 5 0

(72)発明者 シン=ジェン・シー・ワン
 アメリカ合衆国 1 0 5 1 2 ニューヨーク州カーメル バレット・サークル・ウエスト 1 1 7 9

Fターム(参考) 4M104 BB04 BB20 BB21 BB26 BB27 BB28 CC05 DD03 DD75 DD84
 EE09 EE17 GG08 GG10 GG14 GG16
 5F048 AC03 BB01 BB09 BB10 BB12 BB14
 5F140 AA00 AB03 BE07 BE09 BF05 BF11 BF18 BF40 BF42 BG04
 BG27 BG34 BG36 BG37 BG38 BG40 BG45 CC03 CC08 CC11
 CE06 CE07

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2006-351580
 (43)Date of publication of application : 28.12.2006

(51)Int.Cl.	H01L 21/8238	(2006. 01)
	H01L 27/092	(2006. 01)
	H01L 29/423	(2006. 01)
	H01L 29/49	(2006. 01)

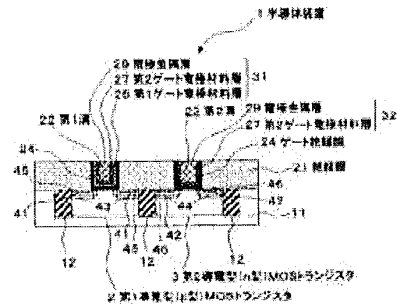
(21)Application number : 2005-172031 (71)Applicant : SONY CORP
 (22)Date of filing : 13.06.2005 (72)Inventor : NAGAHAMA YOSHIHIKO

(54) SEMICONDUCTOR DEVICE, AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent galvanic corrosion in CMP an electrode metal layer for improving reliability by coating first and second gate electrode material layers with the electrode metal layer constituting a gate electrode.

SOLUTION: A semiconductor device 1 with a dual gate structure having the gate electrode provided in grooves has the first gate electrode material layer 25 of a p-type MOS transistor, the second gate electrode material layer 27 of an n-type MOS transistor and the electrode metal layer 29 formed in the first groove 22 via a gate insulating film 24. The first gate electrode material layer 25 and the second gate electrode material layer 27 are coated with the electrode metal layer 29 in the first groove 22. The second gate electrode material layer 27 of the n-type MOS transistor 3 and the electrode metal layer 29 are formed in the second groove 23 via the gate insulating film 24, and the second gate electrode material layer 27 is coated with the electrode metal layer 29 in the second groove 23.



(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-351580

(P2006-351580A)

(43) 公開日 平成18年12月28日(2006.12.28)

(51) Int. Cl.	F 1	テーマコード (参考)
HO 1 L 21/8238 (2006.01)	HO 1 L 27/08 3 2 1 D	4 M 1 0 4
HO 1 L 27/092 (2006.01)	HO 1 L 29/58 G	5 F 0 4 8
HO 1 L 29/423 (2006.01)		
HO 1 L 29/49 (2006.01)		

審査請求 未請求 請求項の数 7 O L (全 18 頁)

(21) 出願番号	特願2005-172031 (P2005-172031)	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成17年6月13日 (2005.6.13)	(74) 代理人	100086298 弁理士 船橋 國則
		(72) 発明者	長濱 嘉彦 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		Fターム (参考)	4M104 BB04 BB13 BB14 BB17 BB18 BB20 CC05 DD03 DD75 FF13 GG10 GG14 HH20 5F048 AA07 AC03 BA01 BB09 BB10 BB11 BB12 BB13 BC06 BF06 BF16 BG13

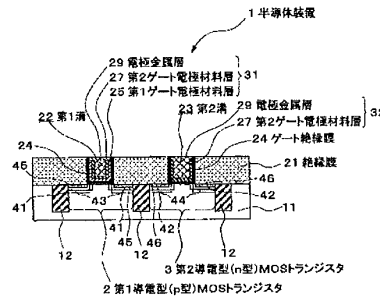
(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【要約】

【課題】 ゲート電極を構成する電極金属層で第1、第2ゲート電極材料層を被覆することで、電極金属層をCMPする際のガルバニック腐食を防止して信頼性の向上を図ることを可能とする。

【解決手段】 溝内にゲート電極を設けたデュアルゲート構造の半導体装置1であって、第1溝22内には、ゲート絶縁膜24を介して、p型MOSトランジスタの第1ゲート電極材料層25と、n型MOSトランジスタの第2ゲート電極材料層27と、電極金属層29とが形成され、第1ゲート電極材料層25および第2ゲート電極材料層27は電極金属層29により第1溝22内で被覆され、第2溝23内には、ゲート絶縁膜24を介して、n型MOSトランジスタ3の第2ゲート電極材料層27と、電極金属層29とが形成され、第2ゲート電極材料層27は電極金属層29により第2溝23内で被覆されている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

基板上の絶縁膜に形成された第1溝内にゲート電極を設けた第1導電型MOSトランジスタと、前記絶縁膜に形成された第2溝内にゲート電極を設けたもので前記第1導電型とは逆導電型の第2導電型MOSトランジスタとを同一基板に搭載する半導体装置であって

、
前記第1溝内には、ゲート絶縁膜を介して、前記第1導電型MOSトランジスタの第1ゲート電極材料層と、前記第2導電型MOSトランジスタの第2ゲート電極材料層と、電極金属層とが形成され、前記第1ゲート電極材料層および前記第2ゲート電極材料層は前記電極金属層により前記第1溝内で被覆され、

前記第2溝内には、ゲート絶縁膜を介して、前記第2導電型MOSトランジスタの第2ゲート電極材料層と、電極金属層とが形成され、前記第2ゲート電極材料層は前記電極金属層により前記第2溝内で被覆されている
ことを特徴とする半導体装置。

【請求項 2】

基板上の絶縁膜に形成された第1溝内にゲート電極を設けた第1導電型MOSトランジスタと、前記絶縁膜に形成された第2溝内にゲート電極を設けたもので前記第1導電型とは逆導電型の第2導電型MOSトランジスタとを同一基板に搭載する半導体装置であって

、
前記第1溝内には、ゲート絶縁膜を介して、前記第1導電型MOSトランジスタの第1ゲート電極材料層と、前記第2導電型MOSトランジスタの第2ゲート電極材料層と、電極金属層とが形成され、少なくとも前記第1ゲート電極材料層は前記第2ゲート電極材料層により前記第1溝内で被覆され、

前記第2溝内には、ゲート絶縁膜を介して、前記第2導電型MOSトランジスタの第2ゲート電極材料層と、電極金属層とが形成され、前記第2ゲート電極材料層は前記電極金属層により前記第2溝内で被覆されている

ことを特徴とする半導体装置。

【請求項 3】

基板上の絶縁膜に形成された第1溝内にゲート電極を設けた第1導電型MOSトランジスタと、前記絶縁膜に形成された第2溝内にゲート電極を設けたもので前記第1導電型とは逆導電型の第2導電型MOSトランジスタとを同一基板に形成する半導体装置の製造方法において、

前記第1溝内および前記第2溝内にゲート絶縁膜を形成する工程と、

前記第1溝内に、前記ゲート絶縁膜を介して、前記第1導電型MOSトランジスタの第1ゲート電極材料層を前記第1溝の開口部より内部側に形成する工程と、

前記第1溝内に前記ゲート絶縁膜および前記第1ゲート電極材料層とを介して、および前記第2溝内に前記ゲート絶縁膜を介して、第2ゲート電極材料層を形成する工程と、

前記第2ゲート電極材料層を前記第1溝および前記第2溝の各開口部よりも内部側にのみ存在するように除去する工程と、

前記第1溝および前記第2溝に電極金属層を埋め込むように形成して、前記第1溝内に前記第1ゲート電極材料層および前記第2ゲート電極材料層を前記電極金属層で被覆するとともに、前記第2溝内に前記第2ゲート電極材料層を前記電極金属層で被覆する工程と

、
前記絶縁膜上の余剰な前記電極金属層を除去して、前記第1溝内に前記第1ゲート電極材料層および前記第2ゲート電極材料層を被覆する状態に前記電極金属層を残すとともに、前記第2溝内に前記第2ゲート電極材料層を被覆する状態に前記電極金属層を残すことで、前記第1溝内に第1導電型MOSトランジスタのゲート電極を形成するとともに、前記第2溝内に第2導電型MOSトランジスタのゲート電極を形成する工程と

を備えたことを特徴とする半導体装置の製造方法。

【請求項 4】

前記第1溝内に第1ゲート電極材料層を形成する工程は、
 前記第1溝および前記第2溝の内面を含む前記絶縁膜上に前記ゲート絶縁膜を介して前記第1ゲート電極材料層を形成する工程と、
 前記第1溝のみを埋め込むマスク層を形成する工程と、
 前記マスク層をエッチングマスクに用いて前記第1ゲート電極材料層を除去して、前記第1溝内部にのみ前記第1ゲート電極材料層を残す工程とを備え、
 前記第1ゲート電極材料層を前記第1溝の開口部より内部側に形成することを特徴とする請求項3記載の半導体装置の製造方法。

【請求項5】

前記第2溝内に第2ゲート電極材料層を形成する工程は、
 前記第1溝および前記第2溝の内面を含む前記絶縁膜上に前記ゲート絶縁膜および前記第1ゲート電極材料層を介して前記第2ゲート電極材料層を形成する工程と、
 前記第1溝および前記第2溝内を埋め込むマスク層を形成する工程と、
 前記マスク層をエッチングマスクに用いて前記第2ゲート電極材料層を除去して、前記第1溝内部および前記第2溝内部に前記第2ゲート電極材料層を残す工程とを備え、
 前記第2ゲート電極材料層を前記第2溝の開口部より内部側に形成することを特徴とする請求項3記載の半導体装置の製造方法。

【請求項6】

基板上の絶縁膜に形成された第1溝内にゲート電極を設けた第1導電型MOSトランジスタと、前記絶縁膜に形成された第2溝内にゲート電極を設けたもので前記第1導電型とは逆導電型の第2導電型MOSトランジスタとを同一基板に形成する半導体装置の製造方法において、

前記第1溝内および前記第2溝内にゲート絶縁膜を形成する工程と、
 前記第1溝内に、前記ゲート絶縁膜を介して、前記第1導電型MOSトランジスタの第1ゲート電極材料層を前記第1溝の開口部より内部側に形成する工程と、
 前記第1溝内に前記ゲート絶縁膜および前記第1ゲート電極材料層とを介して、および前記第2溝内に前記ゲート絶縁膜を介して、第2ゲート電極材料層を形成する工程と、
 前記第1溝および前記第2溝を埋め込むように電極金属層を形成する工程と、
 前記絶縁膜上の余剰な前記電極金属層および前記第2ゲート電極材料層を除去して、前記第1溝内に第1ゲート電極材料層、第2ゲート電極材料層および電極金属層とからなる第1導電型MOSトランジスタのゲート電極を形成するとともに、前記第2溝内に第2ゲート電極材料層および電極金属層とからなる第2導電型MOSトランジスタのゲート電極を形成する工程と

を備えたことを特徴とする半導体装置の製造方法。

【請求項7】

前記第1溝内に第1ゲート電極材料層を形成する工程は、
 前記第1溝および前記第2溝の内面を含む前記絶縁膜上に前記ゲート絶縁膜を介して前記第1ゲート電極材料層を形成する工程と、
 前記第1溝のみを埋め込むマスク層を形成する工程と、
 前記マスク層をエッチングマスクに用いて前記第1ゲート電極材料層を除去して、前記第1溝内部にのみ前記第1ゲート電極材料層を残す工程とを備え、
 前記第1ゲート電極材料層を前記第1溝の開口部より内部側に形成することを特徴とする請求項6記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、デュアル金属ゲート構造においてガルバニック腐食を防止することが容易な半導体装置およびその製造方法に関するものである。

【背景技術】

【0002】

トランジスタの高集積化、高速化は、スケーリング則に基づき、トランジスタの微細化によって実現してきている。ゲート絶縁膜の薄膜化が進められ、例えばゲート長が0.1 μm 以下のトランジスタにおいては、ゲート絶縁膜は2 nm以下に薄膜する必要がある。

【0003】

通常ゲート電極材料としては、多結晶Si（ポリシリコン）が用いられている。この理由としては、ゲート電極直下のゲート絶縁膜との界面が安定している点が挙げられる。また、ポリシリコン内部へイオン注入あるいは拡散等の技術を用いて不純物を導入することが容易なので、不純物の元素や濃度を選択して、nMOSおよびpMOS各々に、最適な仕事関数を持つゲート電極を形成して、最適な閾値を得ることが可能である点が挙げられる。

10

【0004】

しかしながら、トランジスタの微細化が進むに従って、ゲート電極の空乏化の問題が顕著になっている。このゲート電極の空乏化はポリシリコンが半導体であるがゆえに抑制困難な現象である。そこで、ポリシリコンに代わって金属膜を直接ゲート絶縁膜の上に成膜することによって、ゲート電極の空乏化を抑制できることが広く報告され、金属ゲートの開発が注目されている。

【0005】

しかし、金属ゲートを1種類の金属で形成した場合は、ゲート電極の仕事関数はnMOSトランジスタ、pMOSトランジスタともに同じ値となるので、従来のポリシリコンゲートのように、nMOSトランジスタのゲート電極の仕事関数と、pMOSトランジスタ

20

【0006】

これを克服するためには、デュアル金属ゲート、すなわち、nMOSトランジスタのゲート電極にはn型ポリシリコンと同様の仕事関数を有する金属材料を採用し、pMOSトランジスタのゲート電極にはp型ポリシリコンと同様の仕事関数を有する金属材料を採用するというように、nMOSトランジスタのゲート電極とpMOSトランジスタのゲート電極とを、各々の金属材料を選択することが提案されている（例えば、特許文献1、2参照。）。

【0007】

以下に、従来のデュアル金属ゲート電極のトランジスタの形成方法を図8～図9の製造工程断面図によって説明する。

30

【0008】

図8（1）に示すように、リソグラフィ技術とドライエッチング技術により、基板110上に形成された層間絶縁膜111に金属ゲート形成用の溝112、113を形成する。上記層間絶縁膜111は例えば酸化シリコン膜で形成されている。

【0009】

次に、図8（2）に示すように、上記溝112、113の内面も含む上記層間絶縁膜111の全面にゲート絶縁膜121とpMOSトランジスタの金属ゲート材料層122を形成する。上記ゲート絶縁膜121は例えば数nmの厚さに形成され、上記金属ゲート材料層122は10 nm～40 nm程度のpMOS用金属ゲート材料で形成される。なお、図8（2）～図9（9）までは基板11部分の図示は省略する。

40

【0010】

次に、図8（3）に示すように、上記金属ゲート材料層122上の全面（基板11の全面）にレジストを塗布してレジスト膜123を形成する。

【0011】

次に、図8（4）に示すように、リソグラフィ技術により、上記レジスト膜123のnMOSトランジスタ形成領域上に開口部124を形成する。したがって、pMOSトランジスタ形成領域上にはレジスト膜123が形成されている。

【0012】

50

次に、図8(5)に示すように、上記レジスト膜123をエッチングマスクにして、薬液により選択的にnMOSトランジスタの形成領域におけるpMOSトランジスタの金属ゲート材料層122をエッチングする。この結果、pMOSトランジスタ形成領域にはpMOSトランジスタの金属ゲート材料層122が残される。

【0013】

次に、有機溶剤により、上記レジスト膜123を除去する。この結果、図9(6)に示すように、pMOSトランジスタの金属ゲート材料層122が露出される。

【0014】

次に、図9(7)に示すように、上記金属ゲート材料層122上を被覆するとともに、上記溝112、113の内面も含む上記層間絶縁膜111の全面にnMOSトランジスタの金属ゲート材料層125を形成する。この金属ゲート材料層125は例えば10nm～40nmの厚さのnMOS用金属ゲート材料で形成される。

【0015】

次に、図9(8)に示すように、上記溝112、113の内面も含む上記nMOSトランジスタの金属ゲート材料層125上に電極用金属材料層126を形成する。

【0016】

次に、図9(9)に示すように、化学的機械的研磨(以下、CMPと略す)により、上記層間絶縁膜111上の余剰な電極用金属材料層126、nMOSトランジスタの金属ゲート材料層125およびpMOSトランジスタの金属ゲート材料層122を除去し、溝112の内部にゲート絶縁膜121を介して金属ゲート材料層122、125、電極用金属材料層126が埋め込まれてなる金属ゲート131が形成され、溝113の内部にゲート絶縁膜121を介してpMOSトランジスタの金属ゲート材料層125、電極用金属材料層126が埋め込まれてなるnMOSトランジスタの金属ゲート132が形成される。このようにして、金属ゲートからなるデュアルゲート構造が形成される。

【0017】

【特許文献1】特開2003-258121号公報

【特許文献2】特開2003-45995号公報

【発明の開示】

【発明が解決しようとする課題】

【0018】

解決しようとする問題点は、電極用金属材料層、nMOSトランジスタの金属ゲート材料層、pMOSトランジスタの金属材料層、ゲート絶縁膜の4種類の材料を研磨(CMP)するため、4種類の被研磨材料と下地膜(例えば酸化シリコン(SiO₂))との計5種類の材料の選択比を調整する必要があり、研磨剤(スラリー)の開発の難易度が高い点である。また、複数膜を研磨するため、各膜の成膜の膜厚バラツキや各種膜の研磨レート差およびバラツキにより、加工バラツキを安定させることが困難な点である。また、最大3種類の積層した金属材料層がCMP時に露出するため、異種金属間の電位差で発生するガルバニック腐食が発生しやすく、歩留や信頼性を低下させる可能性がある点である。

【0019】

本発明は、電極用金属材料層を研磨する際の露出される金属層の数を低減して、従来の研磨剤による研磨を可能とし、研磨時にガルバニック腐食を発生させることなく、加工精度の高い研磨を可能にすることを課題とする。

【課題を解決するための手段】

【0020】

本発明の半導体装置は、基板上の絶縁膜に形成された第1溝内にゲート電極を設けた第1導電型MOSトランジスタと、前記絶縁膜に形成された第2溝内にゲート電極を設けたもので前記第1導電型とは逆導電型の第2導電型MOSトランジスタとを同一基板に搭載する半導体装置であって、前記第1溝内には、ゲート絶縁膜を介して、前記第1導電型MOSトランジスタの第1ゲート電極材料層と、前記第2導電型MOSトランジスタの第2ゲート電極材料層と、電極金属層とが形成され、前記第1ゲート電極材料層および前記

2ゲート電極材料層は前記電極金属層により前記第1溝内で被覆され、前記第2溝内には、ゲート絶縁膜を介して、前記第2導電型MOSトランジスタの第2ゲート電極材料層と、電極金属層とが形成され、前記第2ゲート電極材料層は前記電極金属層により前記第2溝内で被覆されていることを特徴とする。

【0021】

この半導体装置では、第1導電型MOSトランジスタのゲートが形成される第1溝において、電極金属層によって第1ゲート電極材料層および第2ゲート電極材料層が被覆され、第2導電型MOSトランジスタのゲートが形成される第2溝においては、電極金属層によって第2ゲート電極材料層が被覆されている。このため、電極金属層を第1溝および第2溝に残すように研磨した際に、表面に露出される層は電極金属層およびゲート絶縁膜となり、ガルバニック腐食が起こりにくい構造となっている。また、電極金属層のみの研磨で第1溝内部および第2溝内部に電極金属層を形成することが可能な構造であるので、従来の研磨剤を用いた高精度な研磨加工を容易にしている。

【0022】

本発明の半導体装置は、基板上の絶縁膜に形成された第1溝内にゲート電極を設けた第1導電型MOSトランジスタと、前記絶縁膜に形成された第2溝内にゲート電極を設けたもので前記第1導電型とは逆導電型の第2導電型MOSトランジスタとを同一基板に搭載する半導体装置であって、前記第1溝内には、ゲート絶縁膜を介して、前記第1導電型MOSトランジスタの第1ゲート電極材料層と、前記第2導電型MOSトランジスタの第2ゲート電極材料層と、電極金属層とが形成され、少なくとも前記第1ゲート電極材料層は前記第2ゲート電極材料層により前記第1溝内で被覆され、前記第2溝内には、ゲート絶縁膜を介して、前記第2導電型MOSトランジスタの第2ゲート電極材料層と、電極金属層とが形成され、前記第2ゲート電極材料層は前記電極金属層により前記第2溝内で被覆されていることを特徴とする。

【0023】

この半導体装置では、第1導電型MOSトランジスタのゲートが形成される第1溝において、第2ゲート電極材料層によって第1ゲート電極材料層が被覆されている。このため、電極金属層を第1溝および第2溝に残すように研磨した際に、表面に露出される層は電極金属層、第2ゲート電極材料層およびゲート絶縁膜であるので、従来の研磨時に露出される金属層の種類よりも少なくなっている。これによって、ガルバニック腐食が起こりにくい構造となっている。また、電極金属層および第2ゲート電極材料層の研磨で第1溝内部および第2溝内部に電極金属層を形成することが可能な構造であるので、従来の研磨剤を用いた高精度な研磨加工を容易にしている。

【0024】

本発明の半導体装置の製造方法は、基板上の絶縁膜に形成された第1溝内にゲート電極を設けた第1導電型MOSトランジスタと、前記絶縁膜に形成された第2溝内にゲート電極を設けたもので前記第1導電型とは逆導電型の第2導電型MOSトランジスタとを同一基板に形成する半導体装置の製造方法において、前記第1溝内および前記第2溝内にゲート絶縁膜を形成する工程と、前記第1溝内に、前記ゲート絶縁膜を介して、前記第1導電型MOSトランジスタの第1ゲート電極材料層を前記第1溝の開口部より内部側に形成する工程と、前記第1溝内に前記ゲート絶縁膜および前記第1ゲート電極材料層とを介して、および前記第2溝内に前記ゲート絶縁膜を介して、第2ゲート電極材料層を形成する工程と、前記第2ゲート電極材料層を前記第1溝および前記第2溝の各開口部よりも内部側にのみ存在するように除去する工程と、前記第1溝および前記第2溝に電極金属層を埋め込むように形成して、前記第1溝内に前記第1電極材料層および前記第2電極材料層を前記電極金属層で被覆するとともに、前記第2溝内に前記第2電極材料層を前記電極金属層で被覆する工程と、前記絶縁膜上の余剰な前記電極金属層を除去して、前記第1溝内に前記第1電極材料層および前記第2電極材料層を被覆する状態に前記電極金属層を残すとともに、前記第2溝内に前記第2電極材料層を被覆する状態に前記電極金属層を残すことで、前記第1溝内に第1導電型MOSトランジスタのゲート電極を形成するとともに、前記

第2溝内に第2導電型MOSトランジスタのゲート電極を形成する工程とを備えたことを特徴とする。

【0025】

この半導体装置の製造方法では、第1導電型MOSトランジスタのゲートが形成される第1溝では、電極金属層によって第1ゲート電極材料層および第2ゲート電極材料層を被覆し、第2導電型MOSトランジスタのゲートが形成される第2溝では、電極金属層によって第2ゲート電極材料層を被覆するので、電極金属層を第1溝および第2溝に残すように研磨した際に、表面に露出される層は電極金属層およびゲート絶縁膜となる。このため、ガルバニック腐食は起こりにくい。また、電極金属層のみの研磨で第1溝内部および第2溝内部に電極金属層を形成することが可能であるので、従来の研磨剤を用いて高精度な研磨加工が容易に実現される。

【0026】

本発明の半導体装置の製造方法は、基板上の絶縁膜に形成された第1溝内にゲート電極を設けた第1導電型MOSトランジスタと、前記絶縁膜に形成された第2溝内にゲート電極を設けたもので前記第1導電型とは逆導電型の第2導電型MOSトランジスタとを同一基板に形成する半導体装置の製造方法において、前記第1溝内および前記第2溝内にゲート絶縁膜を形成する工程と、前記第1溝内に、前記ゲート絶縁膜を介して、前記第1導電型MOSトランジスタの第1ゲート電極材料層を前記第1溝の開口部より内部側に形成する工程と、前記第1溝内に前記ゲート絶縁膜および前記第1ゲート電極材料層とを介して、および前記第2溝内に前記ゲート絶縁膜を介して、第2ゲート電極材料層を形成する工程と、前記第1溝および前記第2溝を埋め込むように電極金属層を形成する工程と、前記絶縁膜上の余剰な前記電極金属層および前記第2ゲート電極材料層を除去して、前記第1溝内に第1ゲート電極材料層、第2ゲート電極材料層および電極金属層とからなる第1導電型MOSトランジスタのゲート電極を形成するとともに、前記第2溝内に第2ゲート電極材料層および電極金属層とからなる第2導電型MOSトランジスタのゲート電極を形成する工程とを備えたことを特徴とする。

【0027】

この半導体装置の製造方法では、第1導電型MOSトランジスタのゲートが形成される第1溝では、第2ゲート電極材料層によって第1ゲート電極材料層を被覆するので、電極金属層を第1溝および第2溝に残すように研磨した際に、表面に露出される層は電極金属層、第2ゲート電極材料層およびゲート絶縁膜となる。このため、従来の研磨時に露出される金属層の種類よりも少なくなっているため、ガルバニック腐食は起こりにくい。また、電極金属層および第2ゲート電極材料層の研磨で第1溝内部および第2溝内部に電極金属層を形成することが可能なので、従来の研磨剤を用いた高精度な研磨加工が容易に行える。

【発明の効果】

【0028】

本発明の半導体装置は、ガルバニック腐食を低減もしくは起こさず研磨することが可能な構成を有しているため、信頼性の高いゲート構造が得られ、トランジスタ性能の向上が図れるという利点がある。

【0029】

本発明の半導体装置の製造方法は、ガルバニック腐食を低減もしくは起こさず研磨することが可能なため、信頼性の高いゲート構造を得ることができるので、歩留りを向上させることができ、またトランジスタ性能の向上を図ることができるという利点がある。また、研磨時に露出される金属層間の電位差が少なくなるように、第2ゲート電極材料層と電極金属層とを選択することで、ガルバニック腐食を低減もしくは防ぐことができるようになる。

【発明を実施するための最良の形態】

【0030】

本発明の半導体装置に係る一実施の形態の第1例を、図1の概略構成断面図によって説

明する。

【0031】

図1に示すように、基板11には、素子分離領域12により分離されて、第1導電型(p型)MOSトランジスタ2と第1導電型とは逆導電型の第2導電型(n型)MOSトランジスタ3とが形成され、半導体装置1を構成している。上記基板11上に形成された絶縁膜21には、第1溝22が形成され、この第1溝22内にp型MOSトランジスタ2のゲート電極31が形成されている。また上記絶縁膜21には第2溝23が形成され、この第2溝23内にn型MOSトランジスタ3のゲート電極32が形成されている。

【0032】

上記第1溝22内には、ゲート絶縁膜24を介して、第1導電型MOSトランジスタの第1ゲート電極材料層25と、第2導電型MOSトランジスタの第2ゲート電極材料層27と、電極金属層29とが形成され、上記ゲート電極31を構成している。上記第1ゲート電極材料層25および第2ゲート電極材料層27は電極金属層29により第1溝22内で被覆されている。

【0033】

上記第2溝23内には、ゲート絶縁膜24を介して、第2導電型MOSトランジスタの第2ゲート電極材料層27と、電極金属層29とが形成され、ゲート電極32を構成している。上記第2ゲート電極材料層27は電極金属層29により第2溝23内で被覆されている。

【0034】

上記第1ゲート電極材料層25は、例えばタンタル(Ta)、ハフニウム(Hf)、タンタル(Ta)、チタン(Ti)、タングステン(W)、ルテニウム(Ru)もしくはそれらのうちの複数種類から選択される合金で形成することができる。上記第2ゲート電極材料層27は、n型MOSトランジスタのゲート電極材料として用いられる金属材料であり、例えばチタン(Ti)、ハフニウム(Hf)、タンタル(Ta)、タングステン(W)、ルテニウム(Ru)もしくはその合金で形成することができる。上記電極金属層29は、例えばタングステン(W)、タンタル(Ta)、チタン(Ti)もしくはその合金、またはそれらのうちの2種以上から選択される積層膜で形成することができる。

【0035】

また、p型MOSトランジスタ領域における上記ゲート電極31の両側における上記基板11にはエクステンション領域41が形成されている。また、n型MOSトランジスタ領域における上記ゲート電極32の両側における上記基板11にはエクステンション領域42が形成されている。さらに、p型MOSトランジスタ領域における上記ゲート電極31の両側における上記基板11にはエクステンション領域41よりも深くソース・ドレイン領域43が形成されている。また、エクステンション領域41はソース・ドレイン領域43よりもゲート電極31側に張り出すように形成されている。さらに、n型MOSトランジスタ領域における上記ゲート電極32の両側における上記基板11にはエクステンション領域42よりも深くソース・ドレイン領域44が形成されている。また、エクステンション領域42はソース・ドレイン領域44よりもゲート電極32側に張り出すように形成されている。上記ソース・ドレイン領域43、44表面にはシリサイド膜45、46が形成され、ソース・ドレイン領域43、44を低抵抗化している。このシリサイド膜45、46は、一例としてコバルトシリサイドで形成されている。

【0036】

上記半導体装置1では、p型MOSトランジスタ2のゲート電極31が形成される第1溝22において、電極金属層29によって第1ゲート電極材料層25および第2ゲート電極材料層27が被覆され、n型MOSトランジスタ3のゲート電極32が形成される第2溝23においては、電極金属層29によって第2ゲート電極材料層27が被覆されているので、電極金属層29を第1溝22および第2溝23に残すように研磨した際に、表面に露出される層は電極金属層29およびゲート絶縁膜24であるので、ガルバニック腐食が起りにくい構造となっている。また、電極金属層29のみの研磨で第1溝22内部および

び第2溝23内部に電極金属層29を形成することが可能な構造であるので、従来の研磨剤を用いた高精度な研磨加工を容易にしている。

【0037】

よって、本発明の半導体装置1は、ガルバニック腐食を低減もしくは起こさず研磨することが可能な構成を有しているため、信頼性の高いゲート構造が得られ、トランジスタ性能の向上が図れるという利点がある。

【0038】

本発明の半導体装置の製造方法に係る一実施の形態の第1例を、図2～図3の製造工程断面図によって説明する。なお、基板11に形成された素子分離領域、各MOSトランジスタのソース・ドレイン、エクステンション領域等の図示は省略している。この詳細については、図4～図5によって後述する。

【0039】

図2(1)に示すように、基板11上に形成された絶縁膜21に、第1導電型(以下p型として説明する)MOSトランジスタのゲート電極が形成される第1溝22を形成するとともに、第2導電型(以下n型として説明する)MOSトランジスタのゲート電極が形成される第2溝23を形成する。上記第1溝22、第2溝23は、通常のリソグラフィ技術とエッチング技術(例えばドライエッチング)により形成する。また、上記絶縁膜21は、例えば酸化シリコン膜で形成する。なお、上記第1溝22、第2溝23および基板11に形成されるトランジスタのエクステンション領域、ソース・ドレイン領域の形成については図4～図5により後に説明する。

【0040】

次に、上記第1溝22の内面および上記第2溝23の内面を含む上記絶縁膜21上にゲート絶縁膜24を形成する。このゲート絶縁膜24は、例えば酸化シリコン(SiO_2)、窒化酸化シリコン(SiON)、窒素を含むハフニウムシリケート(HfSiON)、酸化ハフニウム(HfO_2)、酸化アルミニウム(Al_2O_3)等の材料で形成することができ、ここでは例えば窒化酸化シリコン膜で形成し、その膜厚は例えば2nmとした。

【0041】

さらに、上記ゲート絶縁膜24表面上に上記第1導電型MOSトランジスタの第1ゲート電極材料層25を形成する。上記第1ゲート電極材料層25は、例えばタンタル(Ta)、ハフニウム(Hf)、タンタル(Ta)、チタン(Ti)、タングステン(W)、ルテニウム(Ru)もしくはそれらのうちの複数種類から選択される合金で形成することができる。ここでは一例として、第1ゲート電極材料層25をルテニウム(Ru)膜で形成した。その膜厚は、例えば10nm～40nmに設定した。

【0042】

その後、上記第1溝22および第2溝23の内部にのみ、マスク層26を形成する。このマスク層26は、例えば第1溝22、第2溝23を埋め込むように、全面にレジスト膜を形成した後、研磨(例えばCMP)もしくはエッチバック等に処理によって、絶縁膜21上の余剰なレジスト膜を除去することにより形成することができる。

【0043】

次に、図2(2)に示すように、p型MOSトランジスタのゲートが形成される第1溝22内部のマスク層26は残し、n型MOSトランジスタのゲートが形成される第2溝23内部に形成されているマスク層26を除去する。なお、図2(2)～図3(10)までは基板11部分の図示は省略する。

【0044】

次に、図2(3)に示すように、上記マスク層26をエッチングマスクに用いて、薬液(例えばフッ酸)により選択的に第1ゲート電極材料層25をエッチングする。この結果、第1溝22内部におけるマスク層26に被覆されている部分の第1ゲート電極材料層25が残される。その際、残された第1ゲート電極材料層25は上記第1溝22の開口部よりも第1溝22内部側にあるように、エッチングされることが必要である。

【0045】

次に、図 2 (4) に示すように、上記マスク層 26 [前記図 2 (4) 参照] を除去する。この除去には、有機溶剤を用いることができる。この結果、第 1 溝 22 内には第 1 ゲート電極材料層 25 が第 1 溝 22 の開口部よりも第 1 溝 22 内部側に形成され、第 2 溝 23 内部にはゲート絶縁膜 24 が露出される。

【0046】

次に、図 2 (5) に示すように、上記第 1 溝 22 内に上記ゲート絶縁膜 24 および上記第 1 ゲート電極材料層 25 とを介して、および上記第 2 溝 23 内に上記ゲート絶縁膜 24 を介して、第 2 ゲート電極材料層 27 を形成する。この第 2 ゲート電極材料層 27 は、n 型 MOS トランジスタのゲート電極材料として用いられる金属材料であり、例えばチタン (Ti)、ハフニウム (Hf)、タンタル (Ta)、タングステン (W)、ルテニウム (Ru) もしくはその合金で形成することができる。ここでは、例えばハフニウムを用い、例えば 10 nm ~ 40 nm の膜厚に形成した。

【0047】

次に、図 2 (6) に示すように、上記第 1 溝 22 および第 2 溝 23 の内部を埋め込むようにマスク層 28 を例えばレジスト膜を全面に成膜して形成する。

【0048】

その後、図 3 (7) に示すように、研磨 (例えば CMP) もしくはエッチバック等により、絶縁膜 21 上の余剰なマスク層 28 を除去して、第 1 溝 22 および第 2 溝 23 の各内部のみに上記マスク層 28 を残して形成する。

【0049】

次に、図 3 (8) に示すように、上記マスク層 28 をエッチングマスクに用いて、薬液 (例えばフッ酸) により選択的に第 2 ゲート電極材料層 27 をエッチングする。この結果、第 1 溝 22 内部におけるマスク層 28 に被覆されている部分の第 2 ゲート電極材料層 27 および第 2 溝 23 内部におけるマスク層 28 に被覆されている部分の第 2 ゲート電極材料層 27 が残される。その際、残された第 2 ゲート電極材料層 27 は上記第 1 溝 22 および第 2 溝 23 の各開口部よりも第 1 溝 22、第 2 溝 23 の各内部側にあるように、エッチングされることが必要である。

【0050】

次に、図 3 (9) に示すように、上記マスク層 28 [前記図 2 (8) 参照] を除去する。この除去には、有機溶剤を用いることができる。この結果、第 1 溝 22 内には第 1 ゲート電極材料層 25 および第 2 ゲート電極材料層 27 が第 1 溝 22 の開口部よりも第 1 溝 22 内部側に形成され、第 2 溝 23 内部には第 2 ゲート電極材料層 27 が第 2 溝 23 の開口部よりも第 2 溝 23 内部側に形成される。

【0051】

次に、図 3 (10) に示すように、上記第 1 溝 22、第 2 溝 23 の内部を埋め込むように上記絶縁膜 21 上に上記ゲート絶縁膜 24 を介して電極金属層 29 を成膜する。この電極金属層 29 は、例えばタングステン (W)、タンタル (Ta)、チタン (Ti) もしくはその合金、またはそれらのうちの 2 種以上から選択される積層膜で形成することができる。ここでは一例として、タングステン (W) を用いた。その結果、上記第 1 溝 22 内において上記第 1 ゲート電極材料層 25 および上記第 2 ゲート電極材料層 27 を上記電極金属層 29 で被覆するとともに、上記第 2 溝 23 内において上記第 2 ゲート電極材料層 27 を上記電極金属層 29 で被覆する。

【0052】

次に、図 3 (11) に示すように、研磨技術 (例えば CMP) によって上記電極金属層 29 を研磨除去して、上記第 1 溝 22 および第 2 溝 23 の内部のみに電極金属層 29 を残す。このようにして、第 1 溝 22 の内部に、ゲート絶縁膜 24 を介して第 1 ゲート電極材料層 25、第 2 ゲート電極材料層 27、電極金属層 29 からなる p 型 MOS トランジスタのゲート電極 31 が形成され、第 2 溝 23 の内部に、ゲート絶縁膜 24 を介して第 2 ゲート電極材料層 27、電極金属層 29 からなる n 型 MOS トランジスタのゲート電極 32 が形成された。

【0053】

上記製造方法では、上記マスク層26、28をエッチングマスクに用いて第1ゲート電極材料層25、第2ゲート電極材料層27のエッチングに、フッ酸、その化合物、フッ素化合物をエッチング薬液として用いることができる。また薬液によるエッチングの代わりに、ドライエッチングにより行うこともできる。この場合、フッ素系エッチングガスを用いることができる。

【0054】

また、上記電極金属層29の加工はCMPの代わりに、ドライエッチングによる全面エッチバックにて行うことも可能である。この場合、フッ素系エッチングガスを用いることができる。

10

【0055】

上記半導体装置の製造方法では、第1導電型(p型)MOSトランジスタのゲートが形成される第1溝22では、電極金属層29によって第1ゲート電極材料層25および第2ゲート電極材料層27を被覆し、第2導電型MOSトランジスタのゲートが形成される第2溝23では、電極金属層29によって第2ゲート電極材料層27を被覆するので、電極金属層29を第1溝22および第2溝23に残すように研磨した際に、表面に露出される層は電極金属層29およびゲート絶縁膜24となる。このため、ガルバニック腐食は起こりにくい。また、電極金属層29のみの研磨で第1溝22内部および第2溝23内部に電極金属層29を形成することが可能であるので、従来の研磨剤を用いて高精度な研磨加工が容易に実現される。

20

【0056】

このように、ガルバニック腐食を低減もしくは起こさず研磨することが可能となり、信頼性の高いゲート構造を得ることができるので、歩留りを向上させることができ、またトランジスタ性能の向上を図ることができるという利点がある。

【0057】

次に、上記第1溝22、第2溝23およびp型MOSトランジスタのソース・ドレイン領域、n型MOSトランジスタのソース・ドレイン領域等の形成方法について、その一例を、図4～図5の製造工程断面図によって説明する。

【0058】

図4(1)に示すように、素子分離の形成技術を用いて、例えばSTI(Shallow Trench Isolation)技術を用いて、基板11の表面領域に、pMOSトランジスタの形成領域とnMOSトランジスタの形成領域とを分離する素子分離領域12を形成する。

【0059】

次に、図4(2)に示すように、上記基板11表面にゲート絶縁膜13を形成する。このゲート絶縁膜13は、例えば、表面酸化技術を用いて、酸化シリコン膜で5nmの厚さに形成することができる。次いで、ゲート絶縁膜上にダミーゲートを形成するための例えばポリシリコン膜を成膜し、さらに窒化シリコン膜を形成する。上記ポリシリコン膜は100nmの厚さに、上記窒化シリコン膜は50nmの厚さに形成する。その後、通常のリソグラフィ技術およびRIE技術を用いて、上記窒化シリコン膜およびポリシリコン膜をパターニングしてダミーゲート14、15を形成する。

40

【0060】

次に、図4(3)に示すように、例えば、p型MOSトランジスタ領域を例えばレジストでマスクして、イオン注入技術を用いて、n型MOSトランジスタ領域における上記ダミーゲート15の両側における上記基板11にエクステンション領域42を形成する。その後、上記マスクを除去した後、n型MOSトランジスタ領域を例えばレジストでマスクして、イオン注入技術を用いて、p型MOSトランジスタ領域における上記ダミーゲート14の両側における上記基板11にエクステンション領域41を形成する。その後、マスクを除去する。上記エクステンション領域41、42はどちらを先に形成してもよい。

【0061】

次に、図4(4)に示すように、例えば、p型MOSトランジスタ領域を例えばレジス

50

トでマスクして、イオン注入技術を用いて、n型MOSトランジスタ領域における上記ダミーゲート15の両側における上記基板11に上記エクステンション領域42よりも深くソース・ドレイン領域44を形成する。また、ソース・ドレイン領域44は、エクステンション領域42がソース・ドレイン領域44よりもダミーゲート15側に張り出すように形成する。その後、上記マスクを除去した後、n型MOSトランジスタ領域を例えばレジストでマスクして、イオン注入技術を用いて、p型MOSトランジスタ領域における上記ダミーゲート14の両側における上記基板11に上記エクステンション領域41よりも深くソース・ドレイン領域43を形成する。また、ソース・ドレイン領域43は、エクステンション領域41がソース・ドレイン領域43よりもダミーゲート14側に張り出すように形成する。その後、マスクを除去する。上記ソース・ドレイン領域43、44はどちらを先に形成してもよい。 10

【0062】

次いで、上記ソース・ドレイン領域43、44表面にシリサイド膜45、46を形成する。このシリサイド膜45、46は、通常のシリサイドプロセスによって形成することができ、ここでは、一例としてコバルトシリサイドで形成した。

【0063】

次に、図5(5)に示すように、上記ダミーゲート14、15よりも高くかつ被覆するように、上記基板11上に絶縁膜21を形成する。この絶縁膜21は、例えば化学的気相成長(CVD)技術を用いて、酸化シリコンを300nm程度の厚さに堆積して形成する。 20

【0064】

次に、図5(6)に示すように、例えばCMP技術を用いて、上記絶縁膜21表面を平坦化するとともに上記ダミーゲート14、15上部の窒化シリコン膜を露出させる。

【0065】

次に、図5(7)に示すように、上記窒化シリコン膜を選択的に除去する。この除去加工は、リン酸によるエッチングを用いる。さらに、ダミーゲート14、15〔前記図5(6)参照〕のポリシリコン膜を、例えば反応性イオンエッチング(RIE)技術を用いて除去する。この結果、絶縁膜21に第1溝22、第2溝23が形成される。

【0066】

次に、図5(8)に示すように、上記第1溝22、第2溝23の底部に形成されているゲート絶縁膜13〔前記図4(2)参照〕を除去する。この除去加工はフッ酸系エッチング種を用いる。この結果、絶縁膜21にp型MOSトランジスタのゲートが形成される第1溝22とn型MOSトランジスタのゲートが形成される第2溝23が形成された。 30

【0067】

次に、本発明の半導体装置に係る一実施の形態の第2例を、図6の概略構成断面図によって説明する。

【0068】

図6に示すように、基板11には、素子分離領域12により分離されて、第1導電型(p型)MOSトランジスタ5と第1導電型とは逆導電型の第2導電型(n型)MOSトランジスタ6とが形成され、半導体装置1を構成している。上記基板11上に形成された絶縁膜21には、第1溝22が形成され、この第1溝22内にp型MOSトランジスタ2のゲート電極31が形成されている。また上記絶縁膜21には第2溝23が形成され、この第2溝23内にn型MOSトランジスタ3のゲート電極32が形成されている。 40

【0069】

上記第1溝22内には、ゲート絶縁膜24を介して、第1導電型MOSトランジスタの第1ゲート電極材料層25と、第2導電型MOSトランジスタの第2ゲート電極材料層27と、電極金属層29とが形成され、上記ゲート電極31を構成している。上記第1ゲート電極材料層25は第2ゲート電極材料層27により第1溝22内で被覆されている。

【0070】

上記第2溝23内には、ゲート絶縁膜24を介して、第2導電型MOSトランジスタの 50

第2ゲート電極材料層27と、電極金属層29とが形成され、ゲート電極32を構成している。

【0071】

上記第1ゲート電極材料層25は、例えばタンタル(Ta)、ハフニウム(Hf)、タンタル(Ta)、チタン(Ti)、タングステン(W)、ルテニウム(Ru)もしくはそれらのうちの複数種類から選択される合金で形成することができる。上記第2ゲート電極材料層27は、n型MOSトランジスタのゲート電極材料として用いられる金属材料であり、例えばチタン(Ti)、ハフニウム(Hf)、タンタル(Ta)、タングステン(W)、ルテニウム(Ru)もしくはその合金で形成することができる。上記電極金属層29は、例えばタングステン(W)、タンタル(Ta)、チタン(Ti)もしくはその合金、またはそれらのうちの2種以上から選択される積層膜で形成することができる。

【0072】

また、p型MOSトランジスタ領域における上記ゲート電極31の両側における上記基板11にはエクステンション領域41が形成されている。また、n型MOSトランジスタ領域における上記ゲート電極32の両側における上記基板11にはエクステンション領域42が形成されている。さらに、p型MOSトランジスタ領域における上記ゲート電極31の両側における上記基板11にはエクステンション領域41よりも深くソース・ドレイン領域43が形成されている。また、エクステンション領域41はソース・ドレイン領域43よりもゲート電極31側に張り出すように形成されている。さらに、n型MOSトランジスタ領域における上記ゲート電極32の両側における上記基板11にはエクステンション領域42よりも深くソース・ドレイン領域44が形成されている。また、エクステンション領域42はソース・ドレイン領域44よりもゲート電極32側に張り出すように形成されている。上記ソース・ドレイン領域43、44表面にはシリサイド膜45、46が形成され、ソース・ドレイン領域43、44を低抵抗化している。このシリサイド膜45、46は、一例としてコバルトシリサイドで形成されている。

【0073】

上記半導体装置4では、p型MOSトランジスタ2のゲート電極31が形成される第1溝22において、第2ゲート電極材料層27によって第1ゲート電極材料層25が被覆されているので、電極金属層29を第1溝22および第2溝23に残すように研磨した際に、表面に露出される層は電極金属層29、第2ゲート電極材料層27およびゲート絶縁膜24となる。このように、従来技術よりも研磨時に表面に露出する金属層の種類が低減されているので、ガルバニック腐食が起りにくい構造となっている。また、電極金属層29および第2ゲート電極材料層27の研磨で第1溝22内部および第2溝23内部に電極金属層29を形成することが可能な構造であるので、従来の研磨剤を用いた高精度な研磨加工を容易にしている。

【0074】

よって、本発明の半導体装置4は、ガルバニック腐食を低減もしくは起こさず研磨することが可能な構成を有しているので、信頼性の高いゲート構造が得られ、トランジスタ性能の向上が図れるという利点がある。

【0075】

次に、本発明の半導体装置の製造方法に係る一実施の形態の第2例を、図7の製造工程断面図によって説明する。

【0076】

図7(1)に示すように、前記第1例と同様にして、以下のプロセスを行う。すなわち、基板11上に形成された絶縁膜21に、第1導電型(以下p型として説明する)MOSトランジスタのゲート電極が形成される第1溝22を形成するとともに、第2導電型(以下n型として説明する)MOSトランジスタのゲート電極が形成される第2溝23を形成する。上記第1溝22、第2溝23は、通常のリソグラフィ技術とエッチング技術(例えばドライエッチング)により形成する。また、上記絶縁膜21は、例えば酸化シリコン膜で形成する。

【0077】

次に、上記第1溝22の内面および上記第2溝23の内面を含む上記絶縁膜21上にゲート絶縁膜24を形成する。このゲート絶縁膜24は、例えば酸化シリコン(SiO₂)、窒化酸化シリコン(SiON)、窒素を含むハフニウムシリケート(HfSiON)、酸化ハフニウム(HfO₂)、酸化アルミニウム(Al₂O₃)等の材料で形成することができ、ここでは例えば窒化酸化シリコン膜で形成し、その膜厚は例えば2nmとした。

【0078】

次に、第1溝22の内面に上記ゲート絶縁膜24を介して上記第1導電型MOSトランジスタの第1ゲート電極材料層25を形成する。その際、第1ゲート電極材料層25は第1溝22の開口部よりも内部側に形成される。上記第1ゲート電極材料層25は、例えばタンタル(Ta)、ハフニウム(Hf)、タンタル(Ta)、チタン(Ti)、タングステン(W)、ルテニウム(Ru)もしくはそれらのうちの複数種類から選択される合金で形成することができる。ここでは一例として、第1ゲート電極材料層25をルテニウム(Ru)膜で形成した。その膜厚は、例えば10nm~40nmに設定した。

【0079】

次に、上記第1溝22内に上記ゲート絶縁膜24および上記第1ゲート電極材料層25とを介して、および上記第2溝23内に上記ゲート絶縁膜24を介して、第2ゲート電極材料層27を形成する。この第2ゲート電極材料層27は、n型MOSトランジスタのゲート電極材料として用いられる金属材料であり、例えばチタン(Ti)、ハフニウム(Hf)、タンタル(Ta)、タングステン(W)、ルテニウム(Ru)もしくはその合金で形成することができる。ここでは、例えばハフニウムを用い、例えば10nm~40nmの膜厚に形成した。この結果、上記第1溝22内において、上記第1ゲート電極材料層25は少なくとも上記第2ゲート電極材料層27により被覆されている。

【0080】

次に、図7(2)に示すように、上記第1溝22、第2溝23の内部を埋め込むように上記絶縁膜21上に上記ゲート絶縁膜24、第2ゲート電極材料層27等を介して電極金属層29を成膜する。この電極金属層29は、例えばタングステン(W)、タンタル(Ta)、チタン(Ti)もしくはその合金、またはそれらのうちの2種以上から選択される積層膜で形成することができる。ここでは一例として、タングステン(W)を用いた。

【0081】

次に、図7(3)に示すように、研磨技術(例えばCMP)によって上記電極金属層29を研磨除去して、上記第1溝22および第2溝23の内部のみに電極金属層29を残す。このようにして、第1溝22の内部に、ゲート絶縁膜24を介して第1ゲート電極材料層25、第2ゲート電極材料層27、電極金属層29からなるp型MOSトランジスタのゲート電極31が形成され、第2溝23の内部に、ゲート絶縁膜24を介して第2ゲート電極材料層27、電極金属層29からなるn型MOSトランジスタのゲート電極32が形成された。

【0082】

上記半導体装置の製造方法では、第1導電型(p型)MOSトランジスタのゲートが形成される第1溝22では、第2ゲート電極材料層27によって第1ゲート電極材料層25を被覆するので、電極金属層29を第1溝22および第2溝23に残すように研磨した際に、表面に露出される層は電極金属層29、第2ゲート電極材料層27およびゲート絶縁膜24となる。このため、ガルバニック腐食は従来技術よりは起こりにくくなる。また、電極金属層29および第2ゲート電極材料層27の研磨で第1溝22内部および第2溝23内部に電極金属層29および第2ゲート電極材料層27を形成することが可能であるので、従来の研磨剤を用いて高精度な研磨加工が容易に実現される。また、研磨時に露出される金属層間の電位差が少なくなるように、第2ゲート電極材料層27と電極金属層29とを選択することで、ガルバニック腐食を低減もしくは防ぐことが確実にできるようになる。

【0083】

このように、ガルバニック腐食を低減もしくは起こさず研磨することが可能となり、信頼性の高いゲート構造を得ることができるので、歩留りを向上させることができ、またトランジスタ性能の向上を図ることができるという利点がある。

【図面の簡単な説明】

【0084】

【図1】本発明の半導体装置に係る一実施の形態の第1例を示した概略構成断面図である。

【図2】本発明の半導体装置の製造方法に係る一実施の形態の第1例を示した製造工程断面図である。

【図3】本発明の半導体装置の製造方法に係る一実施の形態の第1例を示した製造工程断面図である。 10

【図4】第1溝、第2溝およびp型MOSトランジスタのソース・ドレイン領域、n型MOSトランジスタのソース・ドレイン領域等の形成方法について、その一例を示した製造工程断面図である。

【図5】第1溝、第2溝およびp型MOSトランジスタのソース・ドレイン領域、n型MOSトランジスタのソース・ドレイン領域等の形成方法について、その一例を示した製造工程断面図である。

【図6】本発明の半導体装置に係る一実施の形態の第2例を示した概略構成断面図である。

【図7】本発明の半導体装置の製造方法に係る一実施の形態の第2例を示した製造工程断面図である。 20

【図8】従来の半導体装置の製造方法に係る一例を示した製造工程断面図である。

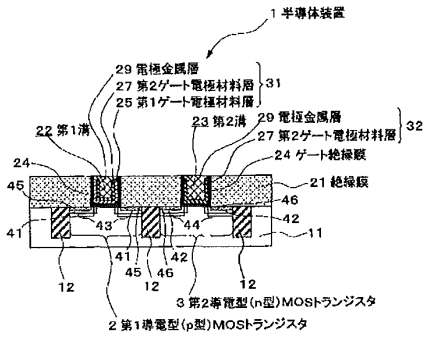
【図9】従来の半導体装置の製造方法に係る一例を示した製造工程断面図である。

【符号の説明】

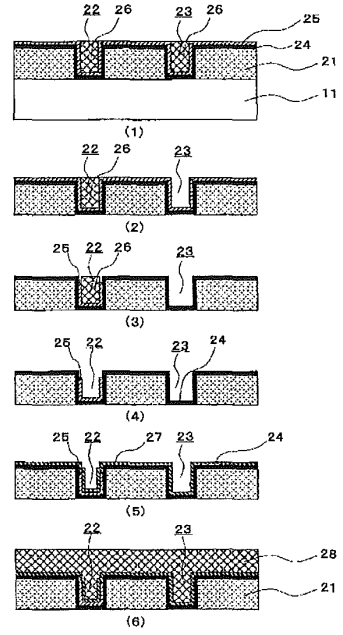
【0085】

1…半導体装置、2…第1導電型（p型）MOSトランジスタ、3…第2導電型（n型）MOSトランジスタ、21…絶縁膜、22…第1溝、23…第2溝、24…ゲート絶縁膜、25…第1ゲート電極材料層、27…第2ゲート電極材料層、29…電極金属層

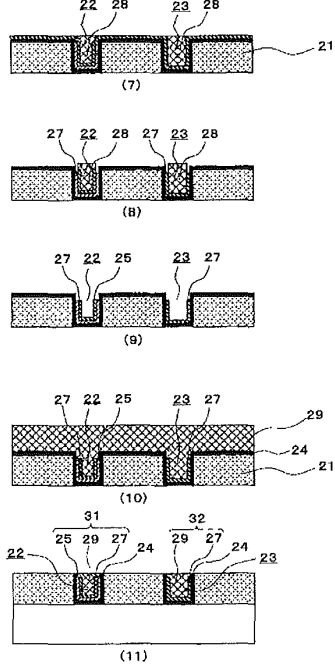
【図1】



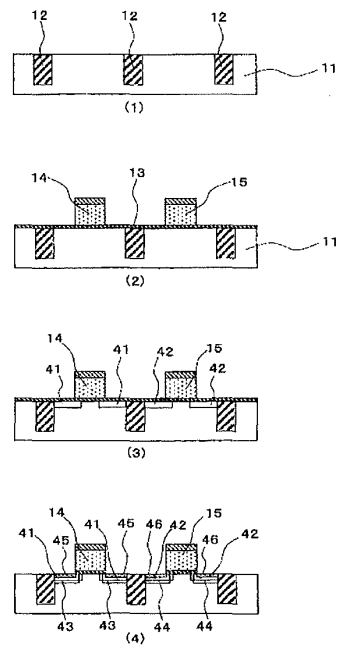
【図2】



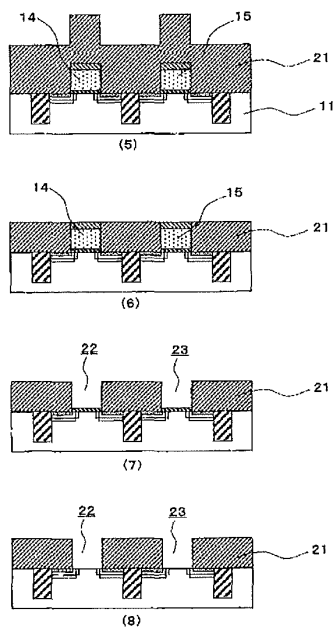
【図3】



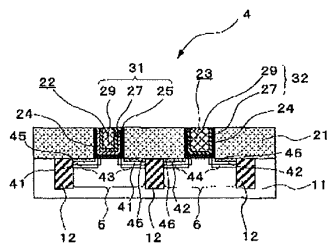
【図4】



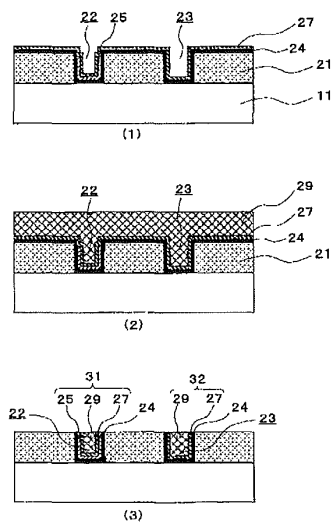
【図 5】



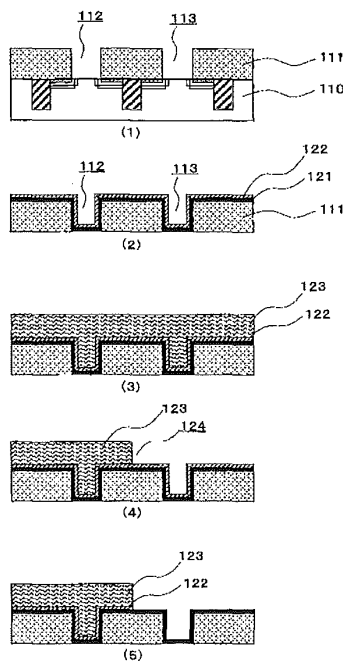
【図 6】



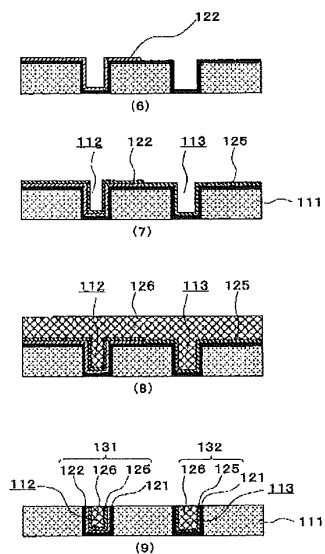
【図 7】



【図 8】



【図 9】



(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020060129959 A
 (43)Date of publication of application: 18.12.2006

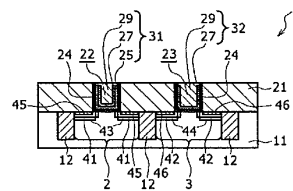
(21)Application number: 1020060052382
 (22)Date of filing: 12.06.2006
 (30)Priority: 13.06.2005 1
 (51)Int. Cl. H01L 29/78

(71)Applicant: SONY CORPORATION
 (72)Inventor: NAGAHAMA YOSHIHIKO

(54) SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME BY PREVENTING OR REDUCING GALVANIC CORROSION

(57) Abstract:

PURPOSE: A semiconductor device and a method for fabricating the same are provided to prevent galvanic corrosion, thereby obtaining a gate structure having high reliability and improving performance of a transistor. CONSTITUTION: A first gate electrode material layer(25) of a first conductive MOS transistor(2), a second electrode material layer (27) of a second conductive MOS transistor(3), and an electrode metal layer(29) are formed in a first trench(22). The first gate electrode material layer and the second gate electrode material layer are covered by the electrode metal layer in the first trench. The second gate electrode material layer is covered



copyright KIPO 2007

Legal Status

Date of request for an examination (00000000)
 Notification date of refusal decision (00000000)
 Final disposal of an application (application)
 Date of final disposal of an application (00000000)
 Patent registration number ()
 Date of registration (00000000)
 Number of opposition against the grant of a patent ()
 Date of opposition against the grant of a patent (00000000)
 Number of trial against decision to refuse ()
 Date of requesting trial against decision to refuse ()
 Date of extinction of right ()



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) . Int. Cl. (11) 공개번호 10-2006-0129959
H01L 29/78 (2006.01) (43) 공개일자 2006년12월18일

(21) 출원번호 10-2006-0052382
(22) 출원일자 2006년06월12일
심사청구일자 없음

(30) 우선권주장 JP-P-2005-00172031 2005년06월13일 일본(JP)

(71) 출원인 소니 가부시키 가이샤
일본국 도쿄도 시나가와쿠 기타시나가와 6초메 7반 35고

(72) 발명자 나가하마 요시히코
일본 도쿄도 시나가와쿠 기따시나가와 6쵸메 7-35 소니 가부시키가이샤 내

(74) 대리인 장수길
이중희
구영창

전체 청구항 수 : 총 7 항

(54) 반도체 장치 및 반도체 장치의 제조 방법

(57) 요약

기판 상의 절연막에 형성된 제1 홈(trench)에 게이트 전극이 설치된 제1 도전형 MOS 트랜지스터, 및 절연막에 형성된 제2 홈에 게이트 전극이 설치된 제2 도전형 트랜지스터를 상기 기판 상에 탑재하고, 제1 도전형은 제2 도전형과는 역도전형인 반도체 장치.

대표도

도 1

특허청구의 범위

청구항 1.

기판 상의 절연막에 형성된 제1 홈(trench) 내에 게이트 전극을 설치한 제1 도전형 MOS 트랜지스터와, 상기 절연막에 형성된 제2 홈 내에 게이트 전극을 설치한 것으로서 상기 제1 도전형과는 역도전형의 제2 도전형 MOS 트랜지스터를 동일 기판에 탑재하는 반도체 장치로서,

상기 제1 홈 내에는, 게이트 절연막 상에, 상기 제1 도전형 MOS 트랜지스터의 제1 게이트 전극 재료층과, 상기 제2 도전형 MOS 트랜지스터의 제2 게이트 전극 재료층과, 전극 금속층이 형성되고,

상기 제1 게이트 전극 재료층 및 상기 제2 게이트 전극 재료층은 상기 전극 금속층에 의해 상기 제1 홈 내로 피복되고,

상기 제2 홈 내에는, 게이트 절연막 상에, 상기 제2 도전형 MOS 트랜지스터의 제2 게이트 전극 재료층과, 전극 금속층이 형성되고,

상기 제2 게이트 전극 재료층은 상기 전극 금속층에 의해 상기 제2 홈 내로 피복하는

반도체 장치.

청구항 2.

기판 상의 절연막에 형성된 제1 홈 내에 게이트 전극을 설치한 제1 도전형 MOS 트랜지스터와, 상기 절연막에 형성된 제2 홈 내에 게이트 전극을 설치한 것으로서 상기 제1 도전형과는 역도전형의 제2 도전형 MOS 트랜지스터를 동일 기판에 탑재하는 반도체 장치로서,

상기 제1 홈 내에는, 게이트 절연막 상에, 상기 제1 도전형 MOS 트랜지스터의 제1 게이트 전극 재료층과, 상기 제2 도전형 MOS 트랜지스터의 제2 게이트 전극 재료층과, 전극 금속층이 형성되고,

적어도 상기 제1 게이트 전극 재료층은 상기 제2 게이트 전극 재료층에 의해 상기 제1 홈 내로 피복되고,

상기 제2 홈 내에는, 게이트 절연막 상에, 상기 제2 도전형 MOS 트랜지스터의 제2 게이트 전극 재료층과, 전극 금속층이 형성되고,

상기 제2 게이트 전극 재료층은 상기 전극 금속층에 의해 상기 제2 홈 내로 피복되는

반도체 장치.

청구항 3.

기판 상의 절연막에 형성된 제1 홈 내에 게이트 전극을 설치한 제1 도전형 MOS 트랜지스터와, 상기 절연막에 형성된 제2 홈 내에 게이트 전극을 설치한 것으로서 상기 제1 도전형과는 역도전형의 제2 도전형 MOS 트랜지스터를 동일 기판에 형성하는 반도체 장치의 제조 방법으로서,

상기 제1 홈 내 및 상기 제2 홈 내에 게이트 절연막을 형성하는 공정과,

상기 제1 홈 내에, 상기 게이트 절연막 상에, 상기 제1 도전형 MOS 트랜지스터의 제1 게이트 전극 재료층을 상기 제1 홈의 개구부보다 내부측에 형성하는 공정과,

상기 제1 홈 내에 상기 게이트 절연막 및 상기 제1 게이트 전극 재료층 상에, 그리고 상기 제2 홈 내에 상기 게이트 절연막 상에, 제2 게이트 전극 재료층을 형성하는 공정과,

상기 제2 게이트 전극 재료층을 상기 제1 홈 및 상기 제2 홈의 각 개구부보다도 내부측에만 존재하도록 제거하는 공정과,

상기 제1 홈 및 상기 제2 홈에 전극 금속층을 매립하도록 형성하여, 상기 제1 홈 내에 상기 제1 게이트 전극 재료층 및 상기 제2 게이트 전극 재료층을 상기 전극 금속층으로 피복하고, 상기 제2 홈 내에 상기 제2 게이트 전극 재료층을 상기 전극 금속층으로 피복하는 공정과,

상기 절연막 상의 잉여인 상기 전극 금속층을 제거하여, 상기 제1 홈 내에 상기 제1 게이트 전극 재료층 및 상기 제2 게이트 전극 재료층을 피복하는 상태로 상기 전극 금속층을 남기고, 상기 제2 홈 내에 상기 제2 게이트 전극 재료층을 피복하는 상태로 상기 전극 금속층을 남김으로써, 상기 제1 홈 내에 상기 제1 도전형 MOS 트랜지스터의 게이트 전극을 형성하고, 상기 제2 홈 내에 상기 제2 도전형 MOS 트랜지스터의 게이트 전극을 형성하는 공정

을 포함하는 반도체 장치의 제조 방법.

청구항 4.

제3항에 있어서, 상기 제1 홈 내에 상기 제1 게이트 전극 재료층을 형성하는 공정은,

상기 제1 홈 및 상기 제2 홈의 각각의 내면을 포함하는 상기 절연막 상의 상기 게이트 절연막 상에 상기 제1 게이트 전극 재료층을 형성하는 공정과,

단지 상기 제1 홈 내만을 매립하는 마스크층을 형성하는 공정과,

상기 마스크층을 에칭 마스크로서 이용하여 상기 제1 게이트 전극 재료층을 제거하여, 단지 상기 제1 홈 내부에만 상기 제1 게이트 전극 재료층을 남기는 공정을 포함하고,

상기 제1 게이트 전극 재료층을 상기 제1 홈의 개구부보다 내부측에 형성하는 반도체 장치의 제조 방법.

청구항 5.

제3항에 있어서, 상기 제2 홈 내에 상기 제2 게이트 전극 재료층을 형성하는 공정은,

상기 제1 홈 및 상기 제2 홈 각각의 내면을 포함하는 상기 절연막 상의 상기 게이트 절연막 및 상기 제1 게이트 전극 재료층 상에 상기 제2 게이트 전극 재료층을 형성하는 공정과,

상기 제1 홈 내 및 상기 제2 홈 내를 매립하는 마스크층을 형성하는 공정과,

상기 마스크층을 에칭 마스크로서 이용하여 상기 제2 게이트 전극 재료층을 제거하여, 상기 제1 홈 내부 및 상기 제2 홈 내부에 상기 제2 게이트 전극 재료층을 남기는 공정을 포함하고,

상기 제2 게이트 전극 재료층을 상기 제2 홈의 개구부보다 내부측에 형성하는 반도체 장치의 제조 방법.

청구항 6.

기판 상의 절연막에 형성된 제1 홈 내에 게이트 전극을 설치한 제1 도전형 MOS 트랜지스터와, 상기 절연막에 형성된 제2 홈 내에 게이트 전극을 설치한 것으로서 상기 제1 도전형과는 역도전형의 제2 도전형 MOS 트랜지스터를 동일 기판에 형성하는 반도체 장치의 제조 방법으로서,

상기 제1 홈 내 및 상기 제2 홈 내에 게이트 절연막을 형성하는 공정과,

상기 제1 홈 내에, 상기 게이트 절연막 상에, 상기 제1 도전형 MOS 트랜지스터의 제1 게이트 전극 재료층을 상기 제1 홈의 개구부보다 내부측에 형성하는 공정과,

상기 제1 홈 내에 상기 게이트 절연막 및 상기 제1 게이트 전극 재료층 상에, 그리고 상기 제2 홈 내에 상기 게이트 절연막 상에, 제2 게이트 전극 재료층을 형성하는 공정과,

상기 제1 홈 및 상기 제2 홈을 매립하도록 전극 금속층을 형성하는 공정과,

상기 절연막 상의 잉여인 상기 전극 금속층 및 상기 제2 게이트 전극 재료층을 제거하여, 상기 제1 홈 내에 상기 제1 게이트 전극 재료층, 상기 제2 게이트 전극 재료층, 및 전극 금속층으로 이루어지는 상기 제1 도전형 MOS 트랜지스터의 상기 게이트 전극을 형성하고, 상기 제2 홈 내에 상기 제2 게이트 전극 재료층 및 전극 금속층으로 이루어지는 상기 제2 도전형 MOS 트랜지스터의 상기 게이트 전극을 형성하는 공정

을 포함하는 반도체 장치의 제조 방법.

청구항 7.

제6항에 있어서, 상기 제1 홈 내에 상기 제1 게이트 전극 재료층을 형성하는 공정은,

상기 제1 홈 및 상기 제2 홈의 내면을 포함하는 상기 절연막 상에 상기 제1 게이트 전극 재료층을 형성하는 공정과,

단지 상기 제1 홈 내만을 매립하는 마스크층을 형성하는 공정과,

상기 마스크층을 에칭 마스크로서 이용하여 상기 제1 게이트 전극 재료층을 제거하여, 상기 제1 홈 내부에만 상기 제1 게이트 전극 재료층을 남기는 공정을 포함하고,

상기 제1 게이트 전극 재료층을 상기 제1 홈의 개구부보다 내부측에 형성하는 반도체 장치의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 이중 금속 게이트 구조에 있어서 갈바닉 부식(galvanic corrosion)을 방지하는 것이 가능한 반도체 장치 및 그 제조 방법에 관한 것이다.

트랜지스터의 고집적화, 고속화는, 스케일링 규칙에 기초하여, 트랜지스터들의 소형화에 의해서 실현되어 왔다. 게이트 절연막의 박막화가 진행되어 왔고, 예를 들면, 게이트 길이가 0.1 μm 이하의 트랜지스터에서는, 게이트 절연막은 2 nm 이하의 두께로 감소시킬 필요가 있다.

통상 게이트 전극 재료로서는, 다결정 Si(폴리실리콘)이 이용되고 있다. 이 이유로서는, 게이트 전극과 그 게이트 전극 바로 아래의 게이트 절연막과의 계면이 안정적이라는 점을 들 수 있다. 또한, 폴리실리콘 내부로 이온 주입 혹은 확산 등의 기술을 이용하여 불순물을 도입하는 것이 용이하기 때문에, 불순물의 원소나 그 농도를 적절히 선택하여, nMOS 및 pMOS 각각에, 최적의 일함수를 갖는 게이트 전극을 형성하여, 최적의 임계값을 얻는 것이 가능한 점을 들 수 있다.

그러나, 트랜지스터의 소형화가 진행됨에 따라서, 게이트 전극의 공핍화(depletion)의 문제가 현저하게 되었다. 이 게이트 전극의 공핍화는 폴리실리콘이 반도체이기 때문에 억제 곤란한 현상이다. 이 관점에서, 폴리실리콘 대신에 금속막을 직접 게이트 절연막 상에 성막함으로써, 게이트 전극의 공핍화를 억제할 수 있는 것이 널리 보고되어, 금속 게이트의 개발이 주목받고 있다.

그러나, 금속 게이트를 1 종류의 금속으로 형성한 경우에는, 게이트 전극의 일함수는 nMOS 트랜지스터와 pMOS 트랜지스터가 동일한 값이 되기 때문에, nMOS 트랜지스터의 게이트 전극의 일함수와, pMOS 트랜지스터의 게이트 전극의 일함수를 조정하는 것이 곤란하게 되고, 적절한 임계값을 얻는 것이 불가능할 것이다.

전극 금속 게이트층, nMOS 트랜지스터의 금속 게이트층, pMOS 트랜지스터의 금속 게이트층, 및 게이트 절연막의 4 층류를 선택하기 위해서, nMOS 트랜지스터의 게이트 전극과 pMOS 트랜지스터의 게이트 전극에 대해 각각의 금속 게이트층을 선택하는 이중 금속 게이트가 제안되었다; 예를 들면, nMOS 트랜지스터의 게이트 전극에는 n형 폴리실리콘의 것 과 유사한 것 과 유사한 일함수를 갖는 금속 게이트층을 채용하고, pMOS 트랜지스터의 게이트 전극에는 p형 폴리실리콘의 것 과 유사한 일 함수를 갖는 금속 게이트층을 채용한다.(예를 들면, 특허 문헌 1, 2 참조)

이하에, 종래 기술에 따른 이중 금속 게이트 전극을 갖는 트랜지스터의 형성 방법을 도 6a 내지 도 6f에 도시된 제조 공정 단면도들을 참조하여 아래 기 설명 것이다.

우선, 도 6a에 도시한 바와 같이, 리소그래피 기술과 드라이 에칭 기술에 의해, 기판(110) 상에 형성된 층간 절연막(111)에 금속 게이트층의 형성용의 홈(112, 113)을 형성한다. 상기 층간 절연막(111)은, 예를 들면, 산화 실리콘막으로 형성되어 있다. 다음으로, 도 6b에 도시한 바와 같이, 상기 홈(112, 113)의 내면도 포함하는 상기 층간 절연막(111)의 전체면에 게이트 절연막(121)과 pMOS 트랜지스터의 금속 게이트층(122)을 형성한다. 상기 게이트 절연막(121)은, 예를 들면, 수 nm의 두께로 형성되고, 상기 금속 게이트층(122)은 10 nm~40 nm 정도의 pMOS 금속 게이트층으로 형성된다. 또한, 도 6b 내지 도 6f에 기판(11) 부분의 도시는 생략한다.

다음으로, 도 6c에 도시한 바와 같이, 상기 금속 게이트층(122) 상의 전체면(기판 상의 전체면)에 레지스트를 도포하여 레지스트막(123)을 형성한다.

다음으로, 도 6d에 도시한 바와 같이, 리소그래피 기술에 의해, nMOS 트랜지스터 형성 영역 상의 상기 레지스트막(123)에 개구부(124)를 형성한다. 이 경우, pMOS 트랜지스터 형성 영역 상에는 레지스트막(123)이 형성되어 있다.

다음으로, 도 6e에 도시한 바와 같이, 상기 레지스트막(123)을 에칭 마스크로 하여, 화학용액을 사용하여 선택적으로 nMOS 트랜지스터의 형성 영역에서의 pMOS 트랜지스터의 금속 게이트층(122)을 선택적으로 에칭한다. 이 결과, pMOS 트랜지스터 형성 영역에는 pMOS 트랜지스터의 금속 게이트층(122)이 남겨진다.

다음으로, 무기 용매의 사용에 의해, 상기 레지스트막(123)을 제거한다. 이 결과, 도 6f에 도시한 바와 같이, pMOS 트랜지스터의 금속 게이트층(122)이 노출되어진다.

다음으로, 도 6g에 도시한 바와 같이, 상기 금속 게이트층(122) 상을 피복하고, 상기 홈(112, 113)의 내면도 포함하는 게이트 절연막(111)의 전체면을 피복하기 위해 nMOS 트랜지스터의 금속 게이트층(125)을 형성한다. 이 금속 게이트층(125)은, 예를 들면, 10 nm~40 nm의 두께의 nMOS 금속 게이트층으로 형성된다.

다음으로, 도 6h에 도시한 바와 같이, 상기 홈(112, 113)의 내면도 포함하는 상기 nMOS 트랜지스터의 금속 게이트층(125) 상에 전극 금속 게이트층(126)을 형성한다.

다음으로, 도 6i에 도시한 바와 같이, 화학적 기계적 연마(이하, CMP라고 약칭함)에 의해, 상기 층간 절연막(111) 상의 영역인 전극 금속 게이트층(126), nMOS 트랜지스터의 금속 게이트층(125), 및 pMOS 트랜지스터의 금속 게이트층(126)을 제거하여, (122)를 제거하여, 홈(112)의 내부에 게이트 절연막(121) 상에 금속 게이트층(122, 125), 및 전극 금속 게이트층(126)이 매립되는 금속 게이트층(131)이 형성되고, 홈(113)의 내부의 게이트 절연막(121) 상에 pMOS 트랜지스터의 금속 게이트층(126)이 매립되어 (126)이 매립되어 되는 금속 게이트층(132)이 형성된다. 이와 같이 하여, 금속 게이트층(126)과 전극 금속 게이트층(125) 및 전극 금속 게이트층(126)이 매립되어 되는 금속 게이트층(132)이 형성된다. 이와 같이 하여, 금속 게이트층(126)과 전극 금속 게이트층(125) 및 전극 금속 게이트층(126)이 매립되어 되는 금속 게이트층(132)이 형성된다.

한편이 이후고자 하는 기술적 과제

나 신의성을 저하시킬 것이다.

전극 금속 게이트층, nMOS 트랜지스터의 금속 게이트층, pMOS 트랜지스터의 금속 게이트층, 및 게이트 절연막의 4 층류를 선택하기 위해서, 4 층류의 피연막 재료와 기층막(예를 들면, 산화 실리콘(SiO₂))을 포함하는 홈(112)의 선택비를 조정할 필요가 있고, 연마제(슬러리)의 개발의 난이도가 높다. 또한, 복수막을 연마하므로, 각막의 선택의 막 두께 변동이나 각막의 연마 비율 차의 변동은 안정시키기 어렵다. 또한, 최대 3 층류의 적층한 금속 게이트층이 CMP 시에 노출되므로, 이중 금속층 사이의 전위차로 인해 발생하는 각막의 부식이 발생하기 쉽고, 이것은 수율이 낮아진다.

그러므로, 본 발명은, 전극 금속 재료층을 연마할 때 노출되는 금속층의 수를 저감하고, 종래의 연마제에 의한 연마를 가능하게 하고, 연마 시에 갈바니 부식을 발생시키지 않으면서, 가공 정밀도가 높은 연마를 가능하게 할 필요가 있다.

발명의 구성

상기 필요사항을 달성하기 위해, 본 발명의 일 실시 형태에 따르면, 반도체 장치는, 기판 상의 절연막에 형성된 제1 홈 내에 게이트 전극을 설치한 제1 도전형 MOS 트랜지스터와, 상기 절연막에 형성된 제2 홈 내에 게이트 전극을 설치한 것으로서 상기 제1 도전형과는 역도전형의 제2 도전형 MOS 트랜지스터를 동일 기판에 탑재한다. 상기 반도체 장치에서, 상기 제1 홈 내에는, 게이트 절연막 상에, 상기 제1 도전형 MOS 트랜지스터의 제1 게이트 전극 재료층과, 상기 제2 도전형 MOS 트랜지스터의 제2 게이트 전극 재료층과, 전극 금속층이 형성되고, 상기 제1 게이트 전극 재료층 및 상기 제2 게이트 전극 재료층은 상기 전극 금속층에 의해 상기 제1 홈 내로 피복되고, 상기 제2 홈 내에는, 게이트 절연막 상에, 상기 제2 도전형 MOS 트랜지스터의 제2 게이트 전극 재료층과, 전극 금속층이 형성되고, 상기 제2 게이트 전극 재료층은 상기 전극 금속층에 의해 상기 제2 홈 내로 피복된다.

이 반도체장치는, 제1 도전형 MOS 트랜지스터의 게이트가 형성되는 제1 홈에서, 전극 금속층에 의해서 제1 게이트 전극 재료층 및 제2 게이트 전극 재료층이 피복되고, 제2 도전형 MOS 트랜지스터의 게이트가 형성되는 제2 홈에서는, 전극 금속층에 의해서 제2 게이트 전극 재료층이 피복되어 있다. 그러므로, 전극 금속층을 제1 홈 및 제2 홈에 남기도록 연마했을 때, 표면에 노출되는 층들은 전극 금속층 및 게이트 절연막이 되어, 갈바니 부식이 발생하기가 쉽지 않을 것이다. 또한, 단지 전극 금속층만의 연마로 제1 홈 내부 및 제2 홈 내부에 전극 금속층을 형성하는 것이 가능한 구조이기 때문에, 종래의 연마제를 이용하면서 고정밀도인 연마 가공을 용이하게 할 수 있다.

본 발명의 다른 실시예에 따르면, 반도체 장치는, 기판 상의 절연막에 형성된 제1 홈 내에 게이트 전극을 설치한 제1 도전형 MOS 트랜지스터와, 상기 절연막에 형성된 제2 홈 내에 게이트 전극을 설치한 것으로서 상기 제1 도전형과는 역도전형의 제2 도전형 MOS 트랜지스터를 동일 기판에 탑재한다. 상기 반도체 장치에서, 상기 제1 홈 내에는, 게이트 절연막을 통하여, 상기 제1 도전형 MOS 트랜지스터의 제1 게이트 전극 재료층과, 상기 제2 도전형 MOS 트랜지스터의 제2 게이트 전극 재료층과, 전극 금속층이 형성되고, 적어도 상기 제1 게이트 전극 재료층은 상기 제2 게이트 전극 재료층에 의해 상기 제1 홈 내로 피복된다; 상기 제2 홈 내에는, 게이트 절연막 상에, 상기 제2 도전형 MOS 트랜지스터의 제2 게이트 전극 재료층과, 전극 금속층이 형성되고, 상기 제2 게이트 전극 재료층은 상기 전극 금속층에 의해 상기 제2 홈 내로 피복된다.

이 반도체장치는, 제1 도전형 MOS 트랜지스터의 게이트가 형성되는 제1 홈에서, 제2 게이트 전극 재료층에 의해서 제1 게이트 전극 재료층이 피복되어 있다. 그러므로, 전극 금속층을 제1 홈 및 제2 홈에 남기도록 연마했을 때, 표면에 노출되는 층들은 전극 금속층, 제2 게이트 전극 재료층, 및 게이트 절연막이어서, 종래 기술의 연마 시에 노출되는 금속층의 종류 수보다도 감소된다. 결과적으로, 갈바니 부식이 발생하기 어렵다. 또한, 전극 금속층 및 제2 게이트 전극 재료층의 연마로 제1 홈 내부 및 제2 홈 내부에 전극 금속층을 형성하므로, 종래의 연마제를 이용하면서 고정밀도인 연마 가공을 용이하게 할 수 있다.

본 발명의 다른 실시예에 따르면, 반도체 장치의 제조 방법은, 기판 상의 절연막에 형성된 제1 홈 내에 게이트 전극을 설치한 제1 도전형 MOS 트랜지스터와, 상기 절연막에 형성된 제2 홈 내에 게이트 전극을 설치한 것으로서 상기 제1 도전형과는 역도전형의 제2 도전형 MOS 트랜지스터를 동일 기판에 형성한다. 상기 방법은, 반도체 장치의 제조 방법에서, 상기 제1 홈 내 및 상기 제2 홈 내에 게이트 절연막을 형성하는 공정과, 상기 제1 홈 내에, 상기 게이트 절연막 상에, 상기 제1 도전형 MOS 트랜지스터의 제1 게이트 전극 재료층을 상기 제1 홈의 개구부보다 내부측에 형성하는 공정과, 상기 제1 홈 내에 상기 게이트 절연막 및 상기 제1 게이트 전극 재료층 상에, 및 상기 제2 홈 내에 상기 게이트 절연막 상에, 제2 게이트 전극 재료층을 형성하는 공정과, 상기 제1 홈 및 상기 제2 홈의 각 개구부보다도 내부측에만 존재하도록 상기 제2 게이트 전극 재료층을 제거하는 공정과, 상기 제1 홈 및 상기 제2 홈에 전극 금속층을 매립하도록 형성하여, 상기 제1 홈 내에 상기 제1 전극 재료층 및 상기 제2 전극 재료층을 상기 전극 금속층으로 피복하고, 상기 제2 홈 내에 상기 제2 게이트 전극 재료층을 상기 전극 금속층으로 피복하는 공정과, 상기 절연막 상의 잉여인 상기 전극 금속층을 제거하여, 상기 제1 홈 내에 상기 제1 전극 재료층 및 상기 제2 전극 재료층을 피복하는 상태로 상기 전극 금속층을 남기고, 상기 제2 홈 내에 상기 제2 게이트 전극 재료층을 피복하는 상태로 상기 전극 금속층을 남김으로써 상기 제1 홈 내에 제1 도전형 MOS 트랜지스터의 게이트 전극을 형성하고, 상기 제2 홈 내에 제2 도전형 MOS 트랜지스터의 게이트 전극을 형성하는 공정을 포함한다.

이 반도체 장치의 제조 방법에서는, 제1 도전형 MOS 트랜지스터의 게이트가 형성되는 제1 홈에서는, 전극 금속층에 의해서 제1 게이트 전극 재료층 및 제2 게이트 전극 재료층을 피복하고, 제2 도전형 MOS 트랜지스터의 게이트가 형성되는 제2 홈에서는, 전극 금속층에 의해서 제2 게이트 전극 재료층을 피복한다. 그러므로, 전극 금속층을 제1 홈 및 제2 홈에 남기

도록 연마했을 때에, 표면에 노출되는 층들은 전극 금속층 및 게이트 절연막이 된다. 결과적으로, 갈바니 부식은 발생하기 어렵다. 또한, 단지 전극 금속층만의 연마로 제1 홈 내부 및 제2 홈 내부에 전극 금속층을 형성하므로, 종래 기술의 연마제를 이용하면서 고정밀도인 연마 가공이 용이하게 실현된다.

본 발명의 다른 실시예에 따르면, 반도체 장치의 제조 방법은, 기판 상의 절연막에 형성된 제1 홈 내에 게이트 전극을 설치한 제1 도전형 MOS 트랜지스터와, 상기 절연막에 형성된 제2 홈 내에 게이트 전극을 설치한 것으로서 상기 제1 도전형과는 역도전형의 제2 도전형 MOS 트랜지스터를 동일 기판에 형성한다. 상기 반도체 장치의 제조 방법은, 상기 제1 홈 내 및 상기 제2 홈 내에 게이트 절연막을 형성하는 공정과, 상기 제1 홈 내에, 상기 게이트 절연막 상에, 상기 제1 도전형 MOS 트랜지스터의 제1 게이트 전극 재료층을 상기 제1 홈의 개구부보다 내부측에 형성하는 공정과, 상기 제1 홈 내에 상기 게이트 절연막 및 상기 제1 게이트 전극 재료층 상에, 및 상기 제2 홈 내에 상기 게이트 절연막 상에, 제2 게이트 전극 재료층을 형성하는 공정과, 상기 제1 홈 및 상기 제2 홈을 매립하도록 전극 금속층을 형성하는 공정과, 상기 절연막 상의 잉여인 상기 전극 금속층 및 상기 제2 게이트 전극 재료층을 제거하여, 상기 제1 홈 내에 제1 게이트 전극 재료층, 제2 게이트 전극 재료층, 및 전극 금속층으로 이루어지는 제1 도전형 MOS 트랜지스터의 게이트 전극을 형성하고, 상기 제2 홈 내에 제2 게이트 전극 재료층 및 전극 금속층으로 이루어지는 제2 도전형 MOS 트랜지스터의 게이트 전극을 형성하는 공정을 포함한다.

이 반도체 장치의 제조 방법에서는, 제1 도전형 MOS 트랜지스터의 게이트가 형성되는 제1 홈에서는, 제2 게이트 전극 재료층에 의해서 제1 게이트 전극 재료층을 피복하므로, 전극 금속층을 제1 홈 및 제2 홈에 남기도록 연마했을 때에, 표면에 노출되는 층들은 전극 금속층, 제2 게이트 전극 재료층, 및 게이트 절연막이 된다. 그러므로, 종래의 연마 시에 노출되는 금속층의 종류 수보다도 감소되므로, 갈바니 부식은 발생하기 어렵다. 또한, 전극 금속층 및 제2 게이트 전극 재료층의 연마로 제1 홈 내부 및 제2 홈 내부에 전극 금속층을 형성하는 것이 가능하기 때문에, 종래 기술의 연마제를 이용하면서 고정밀도인 연마 가공을 용이하게 행할 수 있다.

<실시예>

도 1의 개략적 구성 단면도를 참조하면, 본 발명의 반도체 장치의 일 실시 형태의 제1 예를 아래 기재할 것이다.

기판(11)에는, 소자 분리 영역(12)에 의해 분리된 상태로, 제1 도전형(p형) MOS 트랜지스터(2)와 제1 도전형과는 역도전형의 제2 도전형(n형) MOS 트랜지스터(3)가 형성되어, 반도체 장치(1)를 구성하고 있다. 상기 기판(11) 상에 형성된 절연막(21)에는, 제1 홈(22)이 형성되고, 이 제1 홈(22) 내에 p형 MOS 트랜지스터(2)의 게이트 전극(31)이 형성되어 있다. 또한 상기 절연막(21)에는 제2 홈(23)이 형성되고, 이 제2 홈(23) 내에 n형 MOS 트랜지스터(3)의 게이트 전극(32)이 형성되어 있다.

상기 제1 홈(22) 내에는, 게이트 절연막(24) 상에, 제1 도전형 MOS 트랜지스터의 제1 게이트 전극 재료층(25)과, 제2 도전형 MOS 트랜지스터의 제2 게이트 전극 재료층(27)과, 전극 금속층(29)이 형성되어, 게이트 전극(31)을 구성하고 있다. 상기 제1 게이트 전극 재료층(25) 및 제2 게이트 전극 재료층(27)은 전극 금속층(29)에 의해 제1 홈(22) 내에서 피복되어 있다.

상기 제2 홈(23) 내에는, 게이트 절연막(24) 상에, 제2 도전형 MOS 트랜지스터의 제2 게이트 전극 재료층(27)과, 전극 금속층(29)이 형성되어, 게이트 전극(32)을 구성하고 있다. 상기 제2 게이트 전극 재료층(27)은 전극 금속층(29)에 의해 제2 홈(23) 내에서 피복되어 있다.

상기 제1 게이트 전극 재료층(25)은, 예를 들면, 탄탈(Ta), hafnium(Hf), 티탄(Ti), 텅스텐(W), 루테튬(Ru), 혹은 이들 중의 복수 종류로부터 선택되는 합금으로 형성할 수 있다. 상기 제2 게이트 전극 재료층(27)은, n형 MOS 트랜지스터의 게이트 전극 재료로서 이용되는 금속 재료이며, 예를 들면, 티탄(Ti), hafnium(Hf), 탄탈(Ta), 텅스텐(W), 루테튬(Ru), 혹은 그들 합금으로 형성할 수 있다. 상기 전극 금속층(29)은, 예를 들면, 텅스텐(W), 탄탈(Ta), 티탄(Ti), 혹은 그들의 합금, 또는 이들 중의 2종 이상으로부터 선택되어 구성되는 적층막으로 형성할 수 있다.

p형 MOS 트랜지스터 영역에서의 상기 게이트 전극(31)의 양측에서의 상기 기판(11)에는 확장 영역(41)이 형성되어 있다. 또한, n형 MOS 트랜지스터 영역에서의 상기 게이트 전극(32)의 양측에서의 상기 기판(11)에는 확장 영역(42)이 형성되어 있다. 또한, p형 MOS 트랜지스터 영역에서의 상기 게이트 전극(31)의 양측에서의 상기 기판(11)에는 확장 영역(41)보다도 깊게 소스·드레인 영역(43)이 형성되어 있다. 또한, 확장 영역(41)은 소스·드레인 영역(43)보다도 게이트 전극(31) 측으로 연장하도록 형성되어 있다. 또한, n형 MOS 트랜지스터에서 상기 게이트 전극(32)의 양측에서의 상기 기판(11)에는 확장 영역(42)보다도 깊게 소스·드레인 영역(44)이 형성되어 있다. 또한, 확장 영역(42)은 소스·드레인 영역(44)보다도 게

트 전극(32) 측으로 연장하도록 형성되어 있다. 상기 소스·드레인 영역(43, 44) 표면에는 실리사이드막(45, 46)이 형성되어, 소스·드레인 영역(43, 44)을 저저항화하고 있다. 이 실리사이드막(45, 46)은 각각, 일레로서, 코발트 실리사이드로 형성되어 있다.

상기 반도체 장치(1)에서는, p형 MOS 트랜지스터(2)의 게이트 전극(31)이 형성되는 제1 홈(22)에서, 전극 금속층(29)에 의해서 제1 게이트 전극 재료층(25) 및 제2 게이트 전극 재료층(27)이 피복되고, n형 MOS 트랜지스터(3)의 게이트 전극(32)이 형성되는 제2 홈(23)에서는, 전극 금속층(29)에 의해서 제2 게이트 전극 재료층(27)이 피복되어 있다. 그러므로, 전극 금속층(29)을 제1 홈(22) 및 제2 홈(23)에 남기도록 연마했을 때에, 표면에 노출되는 층들은 전극 금속층(29) 및 게이트 절연막(24)이기 때문에, 갈바닉 부식이 발생하기 어려운 구조로 되어 있다. 또한, 전극 금속층(29)만의 연마로 제1 홈(22) 내부 및 제2 홈(23) 내부에 전극 금속층(29)을 형성하므로, 종래의 연마제를 이용한 고정밀도인 연마 가공을 용이하게 하고 있다.

따라서, 본 발명의 일 실시 형태의 반도체 장치(1)가 갈바닉 부식을 저감 혹은 방지하면서 연마하는 것이 가능한 구성을 갖고 있기 때문에, 신뢰성이 높은 게이트 구조가 얻어져, 트랜지스터 성능이 향상될 수 있다.

본 발명에서 반도체 장치의 제조 방법의 일 실시 형태의 제1 예를, 도 2a 내지 도 2k에 도시된 제조 공정 단면도들을 참조하여 아래 기재할 것이다. 또한, 기판(11)에 형성된 소자 분리 영역, MOS 트랜지스터들의 소스·드레인 영역, 확장 영역 등의 도시는 생략하고 있다. 이것의 세부사항은 도 3a 내지 도 3h를 참조하여 후술한다.

도 2a에 도시한 바와 같이, 기판(11) 상에 형성된 절연막(21)에, 제1 도전형(이하 p형으로서 기재함) MOS 트랜지스터의 게이트 전극이 형성되는 제1 홈(22)을 형성하고, 제2 도전형(이하 n형으로서 기재함) MOS 트랜지스터의 게이트 전극이 형성되는 제2 홈(23)을 형성한다. 상기 제1 홈(22) 및 제2 홈(23)은, 통상의 리소그래피 기술과 에칭 기술(예를 들면, 드라이 에칭)에 의해 형성한다. 또한, 상기 절연막(21)은, 예를 들면, 산화 실리콘막으로 형성한다. 또한, 상기 제1 홈(22), 제2 홈(23), 및 기판(11)에 형성되는 트랜지스터의 확장 영역, 소스·드레인 영역의 형성에 대해서는 도 3a 내지 도 3h를 참조하여 후술한다.

다음으로, 상기 제1 홈(22)의 내면 및 상기 제2 홈(23)의 내면을 포함하는 상기 절연막(21) 상에 게이트 절연막(24)을 형성한다. 이 게이트 절연막(24)은, 예를 들면, 산화 실리콘(SiO₂), 질화 산화 실리콘(Si₃N₄), 질소를 포함하는 하프늄실리케이트(HfSiON), 산화하프늄(HfO₂), 산화 알루미늄(Al₂O₃) 등의 재료로 형성할 수가 있다; 여기서, 게이트 절연막은, 예를 들면, 질화 산화 실리콘막으로 형성하고, 그 막 두께는, 예를 들면, 2 nm로 했다.

또한, 상기 게이트 절연막(24) 표면에 상기 제1 도전형 MOS 트랜지스터의 제1 게이트 전극 재료층(25)을 형성한다. 상기 제1 게이트 전극 재료층(25)은, 예를 들면, 탄탈(Ta), 하프늄(Hf), 탄탈(Ta), 티탄(Ti), 텅스텐(W), 루테튬(Ru), 혹은 이들 중의 복수 종류로부터 선택되는 합금으로 형성할 수 있다. 여기서 일레로서, 제1 게이트 전극 재료층(25)을 루테튬(Ru)으로 형성했고, 그 막 두께는, 10 nm~40 nm에 설정했다.

그 후, 단지 상기 제1 홈(22) 및 제2 홈(23)의 내부에만, 마스크층(26)을 형성한다. 이 마스크층(26)은, 예를 들면, 제1 홈(22) 및 제2 홈(23)을 매립하도록, 전체면에 레지스트막을 형성한 후, 연마(예를 들면, CMP) 혹은 에치백(etchback) 등의 처리에 의해서, 절연막(21) 상의 잉여인 레지스트막을 제거하는 방법으로써 형성할 수 있다.

다음으로, 도 2b에 도시한 바와 같이, p형 MOS 트랜지스터의 게이트가 형성되는 제1 홈(22) 내부의 마스크층(26)은 남기고, n형 MOS 트랜지스터의 게이트가 형성되는 제2 홈(23) 내부에 형성되어 있는 마스크층(26)을 제거한다. 또한, 도 2b 내지 도 2j에서 기판(11) 부분의 도시를 생략한다.

다음으로, 도 2c에 도시한 바와 같이, 상기 마스크층(26)을 에칭 마스크로서 이용하여, 약액(예를 들면, 불산)에 의해 선택적으로 제1 게이트 전극 재료층(25)을 에칭한다. 이 결과, 제1 홈(22) 내부에 마스크층(26)이 피복되어 있는 제1 게이트 전극 재료층(25)의 부분이 남겨진다. 이 경우, 남겨진 제1 게이트 전극 재료층(25)이 상기 제1 홈(22)의 개구부보다도 제1 홈(22) 내부측에 있도록 에칭된다.

다음으로, 도 2d에 도시한 바와 같이, 상기 마스크층(26)(도면 2c 참조)을 제거한다. 이 제거에는 유기 용매를 이용할 수 있다. 이 결과, 제1 홈(22) 내에는 제1 게이트 전극 재료층(25)이 제1 홈(22)의 개구부보다도 제1 홈(22) 내부측에 형성되고, 제2 홈(23) 내부에는 게이트 절연막(24)이 노출된다.

다음으로, 도 2e에 도시한 바와 같이, 상기 제1 홈(22) 내에 상기 게이트 절연막(24) 및 상기 제1 게이트 전극 재료층(25) 상에, 및 상기 제2 홈(23) 내에 상기 게이트 절연막(24) 상에, 제2 게이트 전극 재료층(27)을 형성한다. 이 제2 게이트 전극 재료층(27)은, n형 MOS 트랜지스터의 게이트 전극 재료로서 이용되는 금속 재료이며, 예를 들면, 티탄(Ti), hafnium(Hf), 탄탈(Ta), 텅스텐(W), 루테튬(Ru), 혹은 그들의 합금으로 형성할 수 있다. 여기서 제2 게이트 전극 재료층(27)은, 예를 들면, hafnium을 이용하여, 예를 들면, 10 nm~40 nm의 막 두께로 형성했다.

다음으로, 도 2f에 도시한 바와 같이, 상기 제1 홈(22) 및 제2 홈(23)의 내부를 매립하도록 마스크층(28)을, 예를 들면, 레지스트막을 전체면에 성막하여 형성한다.

그 후, 도 2g에 도시한 바와 같이, 연마(예를 들면, CMP) 혹은 에치백 등의 처리에 의해서, 절연막(21) 상의 잉여인 마스크층(28)을 제거하여, 단지 제1 홈(22) 및 제2 홈(23)의 내부에만 상기 마스크층(28)을 남긴다.

다음으로, 도 2h에 도시한 바와 같이, 상기 마스크층(28)을 에칭 마스크로서 이용하여, 약액(예를 들면, 불산)에 의해 선택적으로 제2 게이트 전극 재료층(27)을 에칭한다. 이 결과, 제1 홈(22) 내부에 마스크층(28)에 의해 피복되어 있는 부분의 제2 게이트 전극 재료층(27) 및 제2 홈(23) 내부에 마스크층(28)에 의해 피복되어 있는 부분의 제2 게이트 전극 재료층(27)이 남겨진다. 이 경우, 남겨진 제2 게이트 전극 재료층(27)이 상기 제1 홈(22) 및 제2 홈(23)의 각 개구부보다도 제1 홈(22) 및 제2 홈(23)의 각 내부측에 있도록 에칭되는 것이 필요할 것이다.

다음으로, 도 2i에 도시한 바와 같이, 상기 마스크층(28)(도면 2h 참조)을 제거한다. 이 제거에는 유기 용매를 이용할 수 있다. 이 결과, 제1 홈(22) 내에는 제1 게이트 전극 재료층(25) 및 제2 게이트 전극 재료층(27)이 제1 홈(22)의 개구부보다도 제1 홈(22) 내부측에 형성되고, 제2 홈(23) 내부에는 제2 게이트 전극 재료층(27)이 제2 홈(23)의 개구부보다도 제2 홈(23) 내부측에 형성된다.

다음으로, 도 2j에 도시한 바와 같이, 상기 제1 홈(22), 제2 홈(23)의 내부를 매립하도록 상기 절연막(21) 상의 상기 게이트 절연막(24) 상에 전극 금속층(29)을 성막한다. 이 전극 금속층(29)은, 예를 들면, 텅스텐(W), 탄탈(Ta), 티탄(Ti), 혹은 그들 합금, 또는 이들 중의 2종 이상으로부터 선택되는 적층막으로 형성할 수 있다. 여기서 일례로서, 텅스텐(W)을 이용했다. 그 결과, 상기 제1 홈(22) 내에서 상기 제1 게이트 전극 재료층(25) 및 상기 제2 게이트 전극 재료층(27)을 상기 전극 금속층(29)으로 피복하고, 상기 제2 홈(23) 내에서 상기 제2 게이트 전극 재료층(27)을 상기 전극 금속층(29)으로 피복한다.

다음으로, 도 2k에 도시한 바와 같이, 연마 기술(예를 들면, CMP)에 의해서 상기 전극 금속층(29)을 연마 제거하여, 단지 상기 제1 홈(22) 및 제2 홈(23)의 내부에만 전극 금속층(29)을 남긴다. 이와 같이 하여, 제1 홈(22)의 내부에, 게이트 절연막(24) 상에 제1 게이트 전극 재료층(25), 제2 게이트 전극 재료층(27), 및 전극 금속층(29)으로 이루어지는 p형 MOS 트랜지스터의 게이트 전극(31)이 형성되고, 제2 홈(23)의 내부에, 게이트 절연막(24) 상에 제2 게이트 전극 재료층(27) 및 전극 금속층(29)으로 이루어지는 n형 MOS 트랜지스터의 게이트 전극(32)이 형성되었다.

상기 제조 방법에서는, 상기 마스크층(26, 28)을 에칭 마스크로서 이용하여 제1 게이트 전극 재료층(25) 및 제2 게이트 전극 재료층(27)의 에칭에, 불산, 그 화합물, 불소 화합물을 에칭 화학용제로서 이용하여 수행할 수 있다. 또한 화학용제를 사용하는 에칭 대신에, 드라이 에칭에 의해 행할 수도 있다. 이 경우, 불소계 에칭 가스를 이용할 수 있다.

또한, 상기 전극 금속층(29)의 가공은, CMP 대신에, 드라이 에칭에 기초하여 전체면에 에치백에 의해 행하는 것도 가능하다. 이 경우, 불소계 에칭 가스를 이용할 수 있다.

상기 반도체 장치의 제조 방법에서는, 제1 도전형(p형) MOS 트랜지스터의 게이트가 형성되는 제1 홈(22)에 전극 금속층(29)에 의해서 제1 게이트 전극 재료층(25) 및 제2 게이트 전극 재료층(27)을 피복하고, 제2 도전형 MOS 트랜지스터의 게이트가 형성되는 제2 홈(23)에 전극 금속층(29)에 의해서 제2 게이트 전극 재료층(27)을 피복한다. 그러므로, 전극 금속층(29)을 제1 홈(22) 및 제2 홈(23)에 남기도록 연마했을 때에, 표면에 노출되는 층들은 전극 금속층(29) 및 게이트 절연막(24)이 된다. 따라서, 갈바닉 부식은 발생하기 어렵다. 또한, 전극 금속층(29)만의 연마로 제1 홈(22) 내부 및 제2 홈(23) 내부에 전극 금속층(29)을 형성하므로, 종래의 연마제를 이용하여 고정밀도인 연마 가공이 용이하게 실현된다.

그러므로, 갈바닉 부식을 저감 혹은 방지하면서 연마하는 것이 가능해지고, 신뢰성이 높은 게이트 구조를 얻을 수 있기 때문에, 수율을 향상시킬 수 있고, 트랜지스터 성능의 향상을 도모할 수 있다.

다음으로, 상기 제1 홈(22), 제2 홈(23), p형 MOS 트랜지스터의 소스·드레인 영역, n형 MOS 트랜지스터의 소스·드레인 영역 등의 형성 방법의 일례를 도 3a 내지 도 3h에 도시된 제조 공정 단면도에 의해서 설명한다.

도 3a에 도시한 바와 같이, 소자 분리의 형성 기술을 이용하여, 예를 들면, STI(Shallow Trench Isolation) 기술을 이용하여, 기판(11)의 표면 영역에, pMOS 트랜지스터의 형성 영역과 nMOS 트랜지스터의 형성 영역을 서로 분리하는 소자 분리 영역(12)을 형성한다.

다음으로, 도 3b에 도시한 바와 같이, 상기 기판(11) 표면에 게이트 절연막(13)을 형성한다. 이 게이트 절연막(13)은, 예를 들면, 표면 산화 기술을 이용하여, 산화 실리콘막으로 5 nm의 두께로 형성할 수 있다. 다음으로, 게이트 절연막(13) 상에 더미(dummy) 게이트를 형성하기 위한, 예를 들면, 폴리실리콘막을 성막하여, 또한 질화 실리콘막을 형성한다. 상기 폴리실리콘막은 100 nm의 두께로, 상기 질화 실리콘막은 50 nm의 두께로 형성한다. 그 후, 통상의 리소그래피 기술 및 RIE 기술을 이용하여, 상기 질화 실리콘막 및 폴리실리콘막을 패터닝하여 더미 게이트(14, 15)를 형성한다.

다음으로, 도 3c에 도시한 바와 같이, 예를 들면, p형 MOS 트랜지스터 영역을, 예를 들면, 레지스트로 마스크하고, 이온 주입 기술을 이용하여, n형 MOS 트랜지스터 영역에서의 상기 더미 게이트(15)의 양측의 상기 기판(11)에 확장 영역(42)을 형성한다. 그 후, 상기 마스크를 제거한 후, n형 MOS 트랜지스터 영역을, 예를 들면, 레지스트로 마스크하고, 이온 주입 기술을 이용하여, p형 MOS 트랜지스터 영역에서의 상기 더미 게이트(14)의 양측의 상기 기판(11)에 확장 영역(41)을 형성한다. 그 후, 마스크를 제거한다. 상기 확장 영역(41, 42)은 어느 쪽을 먼저 형성하여도 된다.

다음으로, 도 3d에 도시한 바와 같이, 예를 들면, p형 MOS 트랜지스터 영역을, 예를 들면, 레지스트로 마스크하고, 이온 주입 기술을 이용하여, n형 MOS 트랜지스터 영역에서의 상기 더미 게이트(15)의 양측의 상기 기판(11)에 상기 확장 영역(42)보다도 깊게 소스·드레인 영역(44)을 형성한다. 또한, 소스·드레인 영역(44)은, 확장 영역(42)이 소스·드레인 영역(44)보다도 더미 게이트(15) 측으로 연장하도록 형성한다. 그 후, 상기 마스크를 제거한 후, n형 MOS 트랜지스터 영역을, 예를 들면, 레지스트로 마스크하고, 이온 주입 기술을 이용하여, p형 MOS 트랜지스터 영역에서의 상기 더미 게이트(14)의 양측의 상기 기판(11)에 상기 확장 영역(41)보다도 깊게 소스·드레인 영역(43)을 형성한다. 또한, 소스·드레인 영역(43)은, 확장 영역(41)이 소스·드레인 영역(43)보다도 더미 게이트(14)측으로 연장하도록 형성한다. 그 후, 마스크를 제거한다. 상기 소스·드레인 영역(43, 44)은 어느 쪽을 먼저 형성하여도 된다.

다음으로, 상기 소스·드레인 영역(43, 44) 표면에 실리사이드막(45, 46)을 형성한다. 이 실리사이드막(45, 46)은, 통상의 실리사이드 프로세스에 의해서 형성할 수가 있고, 여기서, 일례로서 코발트 실리사이드로 형성했다.

다음으로, 도 3e에 도시한 바와 같이, 상기 더미 게이트(14, 15)보다도 높게 또한 피복하도록, 상기 기판(11) 상에 절연막(21)을 형성한다. 이 절연막(21)은, 예를 들면, 화학적 증착(chemical vapor deposition;CVD) 기술을 이용하여, 산화 실리콘을 약 300 nm 정도의 두께로 형성한다.

다음으로, 도 3f에 도시한 바와 같이, 예를 들면, CMP 기술을 이용하여, 상기 절연막(21) 표면을 평탄화하고, 상기 더미 게이트(14, 15) 상부의 질화 실리콘막을 노출시키게 한다.

다음으로, 도 3g에 도시한 바와 같이, 상기 질화 실리콘막을 선택적으로 제거한다. 이 제거 가공은, 인산에 의한 에칭을 이용한다. 또한, 더미 게이트(14, 15)(도면 3f 참조)의 폴리실리콘막을, 예를 들면, 반응성 이온 에칭(reactive ion etching;RIE) 기술을 이용하여 제거한다. 이 결과, 절연막(21)에 제1 홈(22) 및 제2 홈(23)이 형성된다.

다음으로, 도 3h에 도시한 바와 같이, 상기 제1 홈(22) 및 제2 홈(23)의 바닥부에 형성되어 있는 게이트 절연막(13)(도 3b 참조)을 제거한다. 이 제거 가공은 불산계 에칭종을 이용한다. 이 결과, 절연막(21)에 p형 MOS 트랜지스터의 게이트가 형성되는 제1 홈(22)과 n형 MOS 트랜지스터의 게이트가 형성되는 제2 홈(23)이 형성되었다.

다음으로, 본 발명의 반도체 장치의 상기 실시 형태의 제2 예를, 도 4의 개략적 구성 단면도를 참조하여 설명한다.

도 4에 도시한 바와 같이, 기판(11)에는, 소자 분리 영역(12)에 의해 서로 분리되는 상태로, 제1 도전형(p형) MOS 트랜지스터(5)와 제1 도전형과는 역도전형의 제2 도전형(n형) MOS 트랜지스터(6)가 형성되어, 반도체 장치(1)를 구성하고 있다. 상기 기판(11) 상에 형성된 절연막(21)에는 제1 홈(22)이 형성되고, 이 제1 홈(22) 내에 p형 MOS 트랜지스터(2)의 게이트 전극(31)이 형성되어 있다. 또한 상기 절연막(21)에는 제2 홈(23)이 형성되고, 이 제2 홈(23) 내에 n형 MOS 트랜지스터(3)의 게이트 전극(32)이 형성되어 있다.

상기 제1 홈(22) 내에는, 게이트 절연막(24) 상에, 제1 도전형 MOS 트랜지스터의 제1 게이트 전극 재료층(25)과, 제2 도전형 MOS 트랜지스터의 제2 게이트 전극 재료층(27)과, 전극 금속층(29)이 형성되어, 상기 게이트 전극(31)을 구성하고 있다. 상기 제1 게이트 전극 재료층(25)은 제2 게이트 전극 재료층(27)에 의해 제1 홈(22) 내에서 피복되어 있다.

상기 제2 홈(23) 내에는, 게이트 절연막(24) 상에, 제2 도전형 MOS 트랜지스터의 제2 게이트 전극 재료층(27)과, 전극 금속층(29)이 형성되어, 게이트 전극(32)을 구성하고 있다.

상기 제1 게이트 전극 재료층(25)은, 예를 들면, 탄탈(Ta), hafnium(Hf), 티탄(Ti), 텅스텐(W), 루테튬(Ru), 혹은 이들 중의 복수 종류로부터 선택되는 합금으로 형성할 수 있다. 상기 제2 게이트 전극 재료층(27)은, n형 MOS 트랜지스터의 게이트 전극 재료로서 이용되는 금속 재료이며, 예를 들면, 티탄(Ti), hafnium(Hf), 탄탈(Ta), 텅스텐(W), 루테튬(Ru), 혹은 그들의 합금으로 형성할 수 있다. 상기 전극 금속층(29)은, 예를 들면, 텅스텐(W), 탄탈(Ta), 티탄(Ti), 혹은 그들의 합금, 또는 이들 중의 2종 이상으로부터 선택되는 적층막으로 형성할 수 있다.

또한, p형 MOS 트랜지스터 영역에서 상기 게이트 전극(31)의 양측의 상기 기판(11)에는 확장 영역(41)이 형성되어 있다. 또한, n형 MOS 트랜지스터 영역에서의 상기 게이트 전극(32)의 양측의 상기 기판(11)에는 확장 영역(42)이 형성되어 있다. 또한, p형 MOS 트랜지스터 영역에서 상기 게이트 전극(31)의 양측의 상기 기판(11)에는 확장 영역(41)보다도 깊게 소스·드레인 영역(43)이 형성되어 있다. 또한, 확장 영역(41)은 소스·드레인 영역(43)보다도 게이트 전극(31)측으로 연장되도록 형성되어 있다. 또한, n형 MOS 트랜지스터 영역에서의 상기 게이트 전극(32)의 양측의 상기 기판(11)에는 확장 영역(42)보다도 깊게 소스·드레인 영역(44)이 형성되어 있다. 또한, 확장 영역(42)은 소스·드레인 영역(44)보다도 게이트 전극(32)측으로 연장되도록 형성되어 있다. 상기 소스·드레인 영역(43, 44) 표면에는 실리사이드막(45, 46)이 형성되어, 소스·드레인 영역(43, 44)을 저저항화하고 있다. 이 실리사이드막(45, 46)은, 일례로서 코발트 실리사이드로 형성되어 있다.

상기 기재된 반도체 장치(4)에서는, p형 MOS 트랜지스터(2)의 게이트 전극(31)이 형성되는 제1 홈(22)에서, 제2 게이트 전극 재료층(27)에 의해서 제1 게이트 전극 재료층(25)이 피복된다. 그러므로, 전극 금속층(29)을 제1 홈(22) 및 제2 홈(23)에 남기도록 연마했을 때에, 표면에 노출되는 층들은 전극 금속층(29), 제2 게이트 전극 재료층(27), 및 게이트 절연막(24)이 된다. 이와 같이, 종래 기술보다도 연마 시에 표면에 노출되는 금속층의 종류 수가 저감되므로, 갈바니 부식이 발생하기 어려운 구조로 되어 있다. 또한, 전극 금속층(29) 및 제2 게이트 전극 재료층(27)의 연마로 제1 홈(22) 내부 및 제2 홈(23) 내부에 전극 금속층(29)을 형성하는 것이 가능한 구조이기 때문에, 종래의 연마제를 이용한 고정밀도인 연마 가공을 용이하게 하고 있다.

따라서, 본 발명의 반도체 장치(4)는, 갈바니 부식을 저감 혹은 방지하면서 연마하는 것이 가능한 구성을 갖고 있기 때문에, 신뢰성이 높은 게이트 구조가 얻어지고, 트랜지스터 성능의 향상을 도모할 수 있다.

다음으로, 본 발명의 반도체 장치의 제조 방법의 상기 실시 형태의 제2 예를, 도 5a 내지 도 5c에 도시된 제조 공정 단면도들을 참조하여 설명한다.

도 5a에 도시한 바와 같이, 상기 제1 예와 마찬가지로하여, 이하의 프로세스를 행한다. 즉, 기판(11) 상에 형성된 절연막(21)에, 제1 도전형(이하 p형으로서 기재함) MOS 트랜지스터의 게이트 전극이 형성되는 제1 홈(22)을 형성하고, 제2 도전형(이하 n형으로서 기재함) MOS 트랜지스터의 게이트 전극이 형성되는 제2 홈(23)을 형성한다. 상기 제1 홈(22) 및 제2 홈(23)은, 통상의 리소그래피 기술과 에칭 기술(예를 들면, 드라이 에칭)에 의해 형성한다. 또한, 상기 절연막(21)은, 예를 들면, 산화 실리콘막으로 형성한다.

다음으로, 상기 제1 홈(22)의 내면 및 상기 제2 홈(23)의 내면을 포함하는 상기 절연막(21) 상에 게이트 절연막(24)을 형성한다. 이 게이트 절연막(24)은, 예를 들면, 산화 실리콘(SiO₂), 질화 산화 실리콘(SiON), 질소를 포함하는 hafnium 실리케이트(HfSiON), 산화hafnium(HfO₂), 산화알루미늄(Al₂O₃) 등의 재료로 형성할 수가 있다; 여기서 게이트 절연막(24)은, 예를 들면, 질화 산화 실리콘막으로 형성하고, 그 막 두께는 2 nm으로 했다.

다음으로, 제1 홈(22)의 내면에 상기 게이트 절연막(24) 상에 상기 제1 도전형 MOS 트랜지스터의 제1 게이트 전극 재료층(25)을 형성한다. 이 경우, 제1 게이트 전극 재료층(25)은 제1 홈(22)의 개구부보다도 내부측에 형성된다. 상기 제1 게이트 전극 재료층(25)은, 예를 들면, 탄탈(Ta), hafnium(Hf), 탄탈(Ta), 텅스텐(W), 루테튬(Ru), 혹은 이들 중의 복수 종류로부터 선택되는 합금으로 형성할 수 있다. 여기서는 일례로서, 제1 게이트 전극 재료층(25)을 루테튬(Ru)막으로 형성했고, 그 막 두께는 10 nm~40 nm에 설정했다.

도 1은 본 발명의 반도체 장치의 일 실시 형태의 제1 예를 나타낸 개략적 구성 단면도이다. 도 2a 내지 도 2k는 본 발명에서 반도체 장치의 제조 방법의 일 실시 형태의 제1 예를 나타낸 제조 공정 단면도들이다. 도 3a 내지 도 3h는 제1 홀(trench), 제2 홀, p형 MOS 트랜지스터의 소스-드레인 영역, n형 MOS 트랜지스터의 소스-드레인 영역 등의 형성 방법의 일 예를 나타낸 제조 공정 단면도들이다.

도면의 간단한 설명

본 발명의 반도체 장치의 제조 방법은, 관마너 부식을 저감 또는 방지하면서 연마한다는 것이 가능한 구성으로 되어 있으므로, 신뢰성이 높은 게이트 구조를 얻을 수 있고, 수율을 향상시킬 수 있고, 또한 트랜지스터 성능의 향상을 도모할 수 있다. 또한, 연마 시에 노출된 금속층들 간의 전위차가 적어지도록 제2 게이트 전극 재료층과 전극 금속층을 선택함으로써, 관마너 부식을 저감 또는 방지하는 것이 확실하게 될 수 있다.

본 발명의 반도체 장치는, 관마너 부식을 저감 또는 방지하면서 연마하는 것이 가능한 구성을 갖고 있기 때문에, 신뢰성이 높은 게이트 구조를 얻을 수 있고, 트랜지스터 성능의 향상을 도모할 수 있다.

발명의 효과

본 발명은 상술된 양호한 실시 형태들의 세부 사항들에 제한되지는 않는다. 본 발명의 범위는 첨부된 청구범위에 의해 정의되고, 그러므로 청구범위의 범위의 동격 내에 속하는 모든 변경과 수정은 본 발명에 포함되어야 한다.

그러므로, 관마너 부식을 저감 또는 방지하면서 연마하는 것이 가능해지고, 신뢰성이 높은 게이트 구조를 얻을 수 있다. 그러므로, 수율을 향상시킬 수 있고, 트랜지스터 성능을 향상시킬 수 있다.

상기 반도체 장치의 제조 방법에서는, 제1 도전형(p형) MOS 트랜지스터의 게이트가 형성되는 제1 홀(22)에서, 제2 게이트 전극 재료층(27)에 의해서 제1 게이트 전극 재료층(25)을 피복한다. 그러므로, 전극 금속층(29)을 제1 홀(22) 및 제2 홀(23)에 남기도록 연마했을 때에, 표면이 노출되는 층들은 전극 금속층(29), 제2 게이트 전극 재료층(27), 및 게이트 절연막(24)이 된다. 따라서, 관마너 부식은 종래 기술보다는 발생하기 어렵게 된다. 또한, 전극 금속층(29) 및 제2 게이트 전극 재료층(27)의 연마로 제1 홀(22) 내부 및 제2 홀(23) 내부에 전극 금속층(29) 및 제2 게이트 전극 재료층(27)을 형성하는 것이 가능하기 때문에, 종래의 연마제를 이용하여 고정밀도인 연마 가공이 용이하게 실현된다. 또한, 연마 시에 노출되는 금속층 간의 전위차가 적어지도록, 제2 게이트 전극 재료층(27)과 전극 금속층(29)을 선택함으로써, 관마너 부식을 저감 또는 방지하는 것이 확실할 수 있다.

제1 홀(22) 및 제2 홀(23)의 내부에만 전극 금속층(29)을 남긴다. 이와 같이 하여, 제1 홀(22)의 내부에, 게이트 절연막(24) 상에 제1 게이트 전극 재료층(25), 제2 게이트 전극 재료층(27), 및 전극 금속층(29)으로 이루어지는 p형 MOS 트랜지스터의 게이트 전극(31)이 형성되고, 제2 홀(23)의 내부에, 게이트 절연막(24) 상에 제2 게이트 전극 재료층(27), 전극 금속층(29)으로 이루어지는 n형 MOS 트랜지스터의 게이트 전극(32)이 형성되었다.

다음으로, 도 5b에 도시한 바와 같이, 상기 제1 홀(22) 및 제2 홀(23)의 내부를 매립하도록 하는 방식으로, 상기 절연막(29)으로 형성할 수 있다. 여기서는 일례로서, 텅스텐(W)을 이용했다.

다음으로, 도 5b에 도시한 바와 같이, 상기 제1 홀(22) 및 제2 홀(23)의 내부를 매립하도록 하는 방식으로, 상기 절연막(21) 상에 상기 게이트 절연막(24), 제2 게이트 전극 재료층(27) 등의 위에 전극 금속층(29)을 성막한다. 이 전극 금속층(29)은, 예를 들면, 텅스텐(W), 탄탈(Ta), 티탄(Ti), 혹은 그들의 합금, 또는 이들 중의 2종 이상으로부터 선택되는 적층막으로 형성할 수 있다.

다음으로, 상기 제1 홀(22) 내에 상기 게이트 절연막(24) 및 상기 제1 게이트 전극 재료층(25) 상에, 및 상기 제2 홀(23) 내에 상기 제1 홀(22) 내에, 상기 제1 홀(22) 내에서, 상기 제1 게이트 전극 재료층(25)은 적어도 상기 제2 게이트 전극 재료층(27)에 의해 피복되어 있다.

본(Ru), 혹은 그들의 합금으로 형성할 수 있다. 여기서는, 예를 들면, 하프늄을 이용하여, 10 nm~40 nm의 막 두께로 형성된 지스터의 게이트 전극 재료로서 이용되는 금속 재료이며, 예를 들면, 티탄(Ti), 하프늄(Hf), 탄탈(Ta), 텅스텐(W), 루테튬(Lu), 혹은 그들의 합금으로 형성할 수 있다. 여기서는, 예를 들면, 하프늄을 이용하여, 10 nm~40 nm의 막 두께로 형성된 지스터의 게이트 전극 재료로서 이용되는 금속 재료이며, 예를 들면, 티탄(Ti), 하프늄(Hf), 탄탈(Ta), 텅스텐(W), 루테튬(Lu), 혹은 그들의 합금으로 형성할 수 있다.

도 4는 본 발명의 반도체 장치의 일 실시 형태의 제2 예를 나타낸 개략적 구성 단면도이다.

도 5a 내지 도 5c는 본 발명에서 반도체 장치의 제조 방법의 일 실시 형태의 제2 예를 나타낸 제조 공정 단면도들이다.

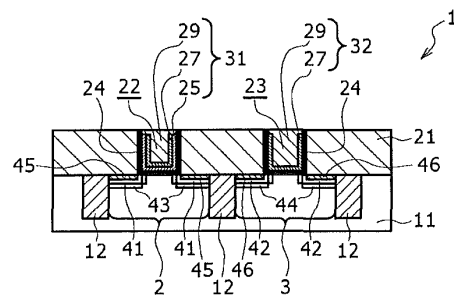
도 6a 내지 도 6i는 종래 기술에서 반도체 장치의 제조 방법의 일례를 나타낸 제조 공정 단면도들이다.

<주요도면부호설명>

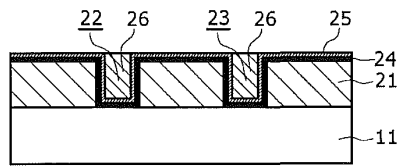
- 1: 반도체 장치
- 2: 제1 도전형(p형) MOS 트랜지스터
- 3: 제2 도전형(n형) MOS 트랜지스터
- 21: 절연막
- 22: 제1 홈
- 23: 제2 홈
- 24: 게이트 절연막
- 25: 제1 게이트 전극 재료층
- 27: 제2 게이트 전극 재료층
- 29: 전극 금속층

도면

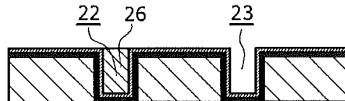
도면1



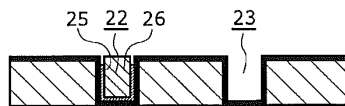
도면2a



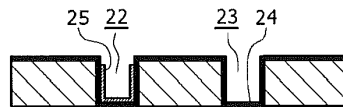
도면2b



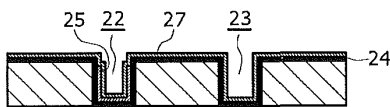
도면2c



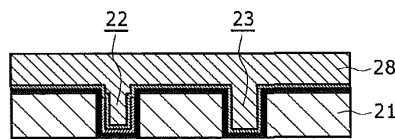
도면2d



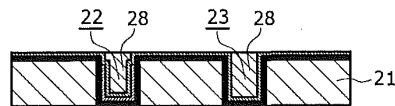
도면2e



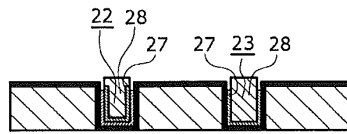
도면2f



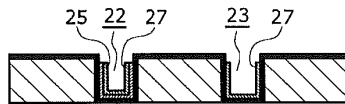
도면2g



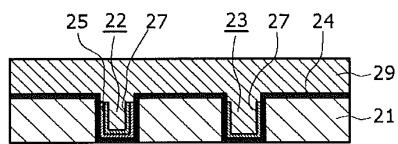
도면2h



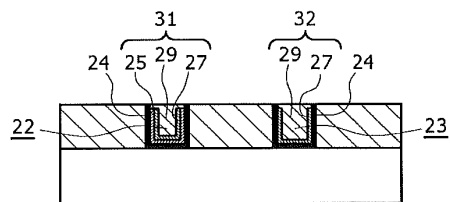
도면2i



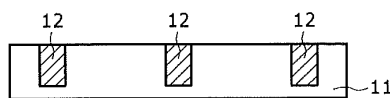
도면2j



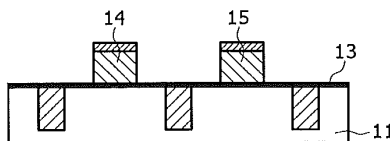
도면2k



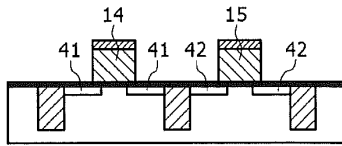
도면3a



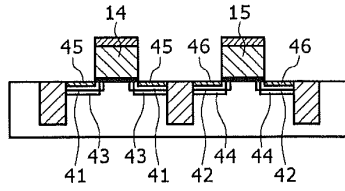
도면3b



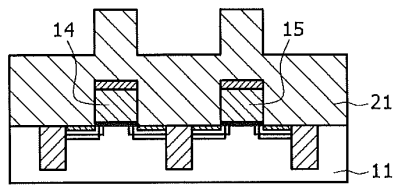
도면3c



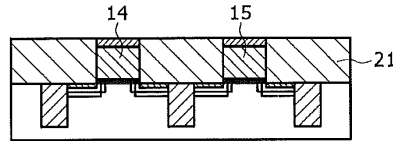
도면3d



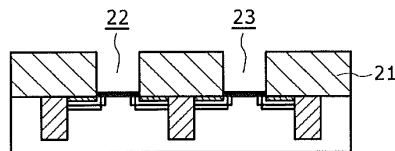
도면3e



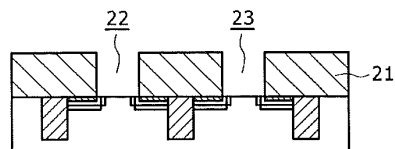
도면3f



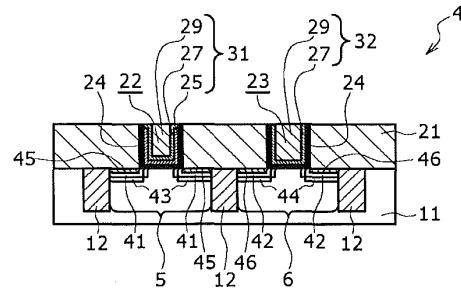
도면3g



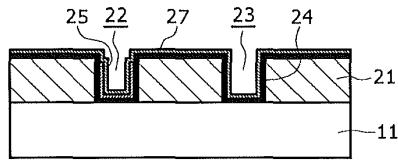
도면3h



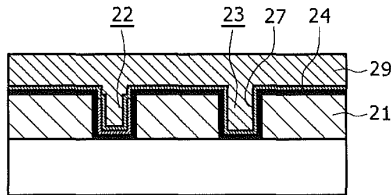
도면4



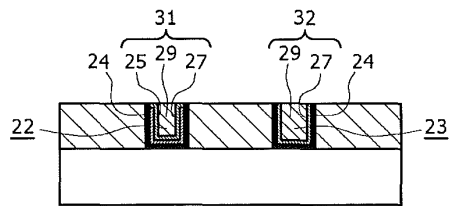
도면5a



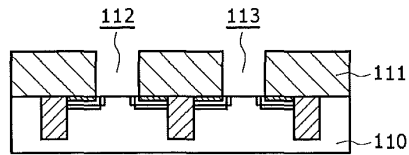
도면5b



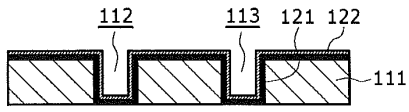
도면5c



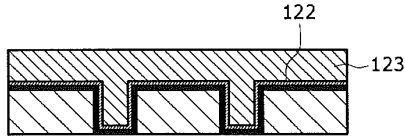
도면6a



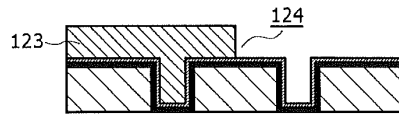
도면6b



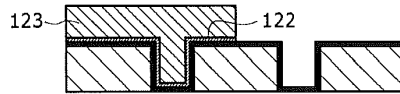
도면6c



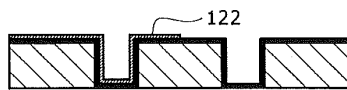
도면6d



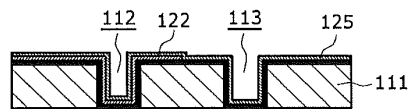
도면6e



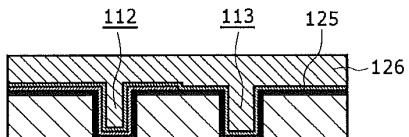
도면6f



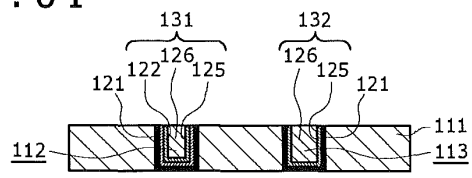
도면6g



도면6h



도면6i



(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020075732 A
 (43)Date of publication of application: 05.10.2002

(21)Application number: 1020020016175
 (22)Date of filing: 25.03.2002
 (30)Priority: 27.03.2001 1

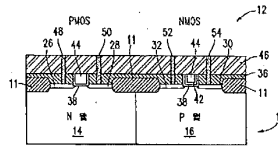
(71)Applicant: SHARP CORPORATION
 (72)Inventor: EVANS DAVID RUSSELL
 HSU SHENG TENG
 MA YANJUN
 ONO YOSHI

(51)Int. Cl. H01L 27/092

(54) DUAL METAL GATE CMOS DEVICES AND METHOD FOR MAKING THE SAME

(57) Abstract:

PURPOSE: A dual metal gate CMOS devices and method for making the same are provided to achieve an efficient, reliable dual metal gate CMOS device.
 CONSTITUTION: A method of fabricating a dual metal gate CMOS includes preparing a silicon substrate(10) to form device areas wherein each device area includes an n-well(14) and a p-well(16), forming a gate oxide in a gate region and depositing a place-holder gate in each of the n-well and p-well, implanting ions to form a source region and a drain region in each of the n-well and p-well, removing the place-holder gate and gate oxide, depositing a high-k dielectric in the gate region, depositing a first metal in the gate region of the p-well, depositing a second metal in the gate region of each of the n-well and p-well, and insulating and metallizing the structure.



copyright KIPO 2003

Legal Status

Date of request for an examination (20020325)
 Notification date of refusal decision (00000000)
 Final disposal of an application (registration)
 Date of final disposal of an application (20050829)
 Patent registration number (1005292020000)
 Date of registration (20051110)
 Number of opposition against the grant of a patent ()
 Date of opposition against the grant of a patent (00000000)
 Number of trial against decision to refuse ()
 Date of requesting trial against decision to refuse ()

Date of extinction of right ()

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁷ H01L 27/092	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년11월17일 10-0529202 2005년11월10일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2002-0016175 2002년03월25일	(65) 공개번호 (43) 공개일자	10-2002-0075732 2002년10월05일
------------------------	--------------------------------	------------------------	--------------------------------

(30) 우선권주장 09/817,834 2001년03월27일 미국(US)

(73) 특허권자 샤프 가부시기가이샤
일본 오사카후 오사카시 아베노구 나가이쵸 22방 22고

(72) 발명자 마안준
미국98683위싱턴주버사우쓰이스트24번가웨이18311

오노요시
미국98607위싱턴주캐마스노쓰웨스트24번가썬클2526

에만스데이비드러셀
미국97007오레곤주비버튼사우쓰웨스트179번가플레이스7574

수생탱
미국98607위싱턴주캐마스노쓰웨스트트로트코트2216

(74) 대리인 특허법인코리아나

심사관 : 나광표

(54) 이중 금속 게이트 CMOS 장치 및 그 제조 방법

요약

이중 금속 게이트 CMOS의 제조 방법은, n-웰 및 p-웰 각각의 게이트 영역에 게이트 산화물을 형성하고 치환 게이트를 증착하는 단계; 이 치환 게이트 및 게이트 산화물을 제거하는 단계; 게이트 영역에 고-k 유전율의 유전체를 증착하는 단계; p-웰의 게이트 영역에 제 1 금속을 증착하는 단계; n-웰 및 p-웰 각각의 게이트 영역에 제 2 금속을 증착하는 단계; 및 상술한 단계로 얻은 구조를 절연하고 금속화하는 단계를 포함한다. 본 발명의 이중 금속 게이트 CMOS는 PMOS 트랜지스터 및 NMOS 트랜지스터를 포함한다. NMOS에서, 게이트는 고-k 유전율 컵, 고-k 유전율 컵에 형성한 제 1 금속 컵 및 제 1 금속 컵에 형성한 제 2 금속 게이트를 포함한다. PMOS에서, 게이트는 고-k 유전율 컵 및 고-k 유전율 컵에 형성한 제 2 금속 게이트를 포함한다.

대표도

도 7

색인어

이중 금속 게이트, CMOS

명세서

도면의 간단한 설명

도 1 내지 도 7 은 본 발명의 방법에 따른 이중 금속 게이트 CMOS 장치의 형성 단계를 나타낸 도면.

* 도면의 주요 부분에 대한 부호의 설명 *

10 : 웨이퍼 11 : 산화물 영역

12 : CMOS 14 : n-웰

16 : p-웰 18, 20 : 게이트 산화물층

22, 24 : 치환 게이트 26, 30 : 소오스

28, 32 : 드레인 36 : 산화물층

38 : 고-k 유전율의 게이트 유전체 40 : 포토레지스트

42 : 제 1 금속 44 : 제 2 금속

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 MOS 트랜지스터 및 IC 제조 방법에 관한 것으로, 보다 구체적으로는 이중 금속 게이트 CMOS 장치 및 그 제조 방법에 관한 것이다.

이중 금속 게이트 CMOS 장치는 「International Technology Roadmap for Semiconductors」 1999 년 판에 개시되어 있지만, 이 간행물은 이러한 장치를 제조하는 어떠한 공정도 교시하거나 제안하지 않으며, 이중 금속 게이트 CMOS 장치를 제조하기 위한 재료나 파라미터를 기재하고 있지 않다.

현행 CMOS 장치는 NMOS 와 PMOS 트랜지스터 모두의 게이트 전극으로 폴리실리콘을 사용하며, 이 경우 NMOS 트랜지스터에 대해서는 N+ 폴리실리콘을 사용하는 반면, PMOS 에 대해서는 P+ 폴리실리콘을 사용한다. 폴리실리콘과 관련된 게이트 공핍 문제로 인해, 폴리실리콘을 금속으로 대체함으로써 보다 신뢰성 있고 효율적인 CMOS 장치를 제공할 것으로 기대되고 있다.

현재, IC 장치에 금속 전극을 배치하는 2 가지 기술이 있는데, 첫번째 기술은 Si 밴드갭의 중앙에 페르미 준위를 갖는 금속 전극을 이용하는 것이다. 두번째 기술은 이중 금속을 이용하는 것으로, 하나의 금속은 NMOS 트랜지스터의 N+ 폴리실리콘에 유사하게 기능하며, 또 하나의 다른 금속은 PMOS 트랜지스터의 P+ 폴리실리콘에 유사하게 기능한다.

발명이 이루고자 하는 기술적 과제

이중 금속 게이트 CMOS 의 제조 방법은, 실리콘 기판을 준비하여, n-웰 (n-well) 및 p-웰을 각각 포함하는 소자 영역을 형성하는 단계; n-웰 및 p-웰 각각의 게이트 영역에 게이트 산화물을 형성하고 치환 게이트 (place-holder gate) 를 증착하는 단계; 이온을 주입하여 n-웰 (well) 및 p-웰 각각에 소오스 영역 및 드레인 영역을 형성하는 단계; 치환 게이트 및 게

이트 산화물을 제거하는 단계; 게이트 영역에 고-k 유전율의 유전체를 증착하는 단계; p-웰의 게이트 영역에 제 1 금속을 증착하는 단계; n-웰 및 p-웰 각각의 게이트 영역에 제 2 금속을 증착하는 단계; 및 상술한 단계로 얻은 구조를 절연하고 금속화하는 단계를 포함한다.

본 발명의 이중 금속 게이트 CMOS는, 각각이 게이트 영역, 소오스 영역 및 드레인 영역을 갖는, PMOS 트랜지스터를 형성하기 위한 n-웰과 NMOS 트랜지스터를 형성하기 위한 p-웰을 가진 기판을 구비하되, NMOS의 게이트는, 고-k 유전율 컵 (cup), 이 고-k 유전율 컵에 형성된 제 1 금속 컵 및 이 제 1 금속 컵에 형성된 제 2 금속 게이트를 포함하고; PMOS의 게이트는, 고-k 유전율 컵 및 이 고-k 유전율 컵에 형성된 제 2 금속 게이트를 포함하며, 여기서 제 1 금속은 백금 및 이리듐의 금속군으로부터 선택되고, 제 2 금속은 알루미늄, 지르코늄, 몰리브데늄, 니오븀, tantalum, 질화 tantalum 및 바나듐의 금속군으로부터 선택된다.

본 발명의 목적은 효율적이고 신뢰할 수 있는 이중 금속 게이트 CMOS 장치를 제공하는 것이다.

본 발명의 다른 목적은 게이트 영역에 폴리실리콘을 사용하지 않는 CMOS 장치를 제공하는 것이다.

이 발명의 요약과 목적은 본 발명의 특징에 대한 빠른 이해를 위해 제공되는 것이다. 이하, 본 발명의 바람직한 실시예를 도면을 참조하여 좀더 자세히 설명한다.

발명의 구성 및 작용

본 발명은 이중 금속 게이트 CMOS 장치를 집적하는 공정 및 본 발명의 방법에 따라 구성된 CMOS 장치를 제공한다. 도 1에 의하면, 본 발명의 CMOS 장치는 p-형 실리콘 웨이퍼 (10) 상에 형성한다. 웨이퍼 (10)를 산화물 영역 (11)에 의해 분할하여 소자 절연을 제공하고, 소자 영역을 형성하며, 그 중 하나를 12로 나타낸다. PMOS 트랜지스터용 n-웰 (14) 및 NMOS 트랜지스터용 p-웰 (16)을 형성하는 최신식 공정이 후속한다. 이들 영역은, PMOS의 경우, 약 $5 \times 10^{13} \text{ cm}^{-2}$ 내지 $5 \times 10^{14} \text{ cm}^{-2}$ 의 선량 및 50 keV 내지 200 keV의 에너지 준위로 인 이온을 주입하고, NMOS의 경우, 약 $5 \times 10^{13} \text{ cm}^{-2}$ 내지 $5 \times 10^{14} \text{ cm}^{-2}$ 의 선량 및 20 keV 내지 100 keV의 에너지 준위로 붕소 이온을 주입하여 형성할 수 있다. 임계 전압을 조정한다. PMOS 트랜지스터 및 NMOS 트랜지스터용 게이트 산화물층 (18, 20)은 열산화에 의해 각각 형성한다. 질화 실리콘 (Si_3N_4), 즉 폴리실리콘을 PECVD (plasma-enhanced chemical vapor deposition)에 의해 약 150 nm 내지 500 nm 사이의 두께로 증착하여, "더미" 게이트, 즉 치환 게이트라 하는 것을 형성한다. PMOS 및 NMOS에 각각 치환 게이트 (22, 24)를 형성한다. 이들은 포토리소그래피, 및 게이트 산화물 높이에서 에칭이 중단되는, 질화물 또는 폴리실리콘의 이방성 플라즈마 에칭에 의해 형성한다. 이 에칭 공정 동안, 게이트 산화물은 부분적으로 에칭되거나 완전히 제거될 수 있다. 이 질화물층은 게이트 전극에 대한 대체 주형 (replacement cast)을 형성한다.

PMOS 및 NMOS 모두에 소오스와 드레인 접합부를 형성한다. 이를 달성하기 위한 한 방법은, 약 $1 \times 10^{15} \text{ cm}^{-2}$ 내지 $5 \times 10^{15} \text{ cm}^{-2}$ 의 선량 및 30 keV 내지 50 keV의 에너지 준위로 n-웰에 BF_2 이온을 주입하여 PMOS용 소오스 (26) 및 드레인 (28)을 제공하고, 약 $1 \times 10^{15} \text{ cm}^{-2}$ 내지 $5 \times 10^{15} \text{ cm}^{-2}$ 의 선량 및 30 keV 내지 60 keV의 에너지 준위로 p-웰에 비소 이온을 주입하여 NMOS용 소오스 (30) 및 드레인 (32)을 제공한다. 산화물을 증착하여 이방성 에칭한 후, 규화물을 증착하여 산화물 스페이스 (spacer)를 형성한다.

다음으로 도 2를 참조하면, 산화물층 (36)을 CVD로 증착한다. 바람직한 두께는, 도 1에서 증착한 질화 실리콘층 두께의 약 1.5 내지 2 배이다. 상기 구조를 질화 실리콘의 표면에서 중지하는 CMP 공정에 의해 완화시킨다. 이 CMP 공정에는 높은 선택도의 슬러리 (slurry)가 바람직하다.

도 3 및 도 4를 참조하면, 질화물의 치환 게이트 (22, 24) 및 게이트 산화물 (18, 20)을 제거한다. HfO_2 나 ZrO_2 같은, 고-k 유전율의 게이트 유전체 (38)를 약 3 nm 내지 8 nm 사이의 두께로 증착하여, 약 500 °C 내지 800 °C 범위의 온도에서 약 10 분 내지 60 분 동안 어닐링하는 것과, n-웰 (14) 및 p-웰 (16) 각각의 게이트 영역에 유전체컵을 형성하는 것을 포함한, 종래의 후속증착처리 (post deposition treatment)를 수행한다. 본 발명에 의한 방법의 후속 단계는 두가지 중의 하나로 행할 수 있다.

제 1 옵션은, 도 3 을 참조하면, 포토레지스트 (40) 를 도포하여 NMOS 의 게이트 영역을 패터닝하고, 스퍼터링으로 금속 게이트 전극용 제 1 금속 (42) 을 증착하는 것이다. 제 1 금속은 대개 백금 또는 이리듐이다. 이 금속을 패터닝하고, NMOS 의 게이트 영역의 금속을 제외한 금속은 에칭한다. 그 다음 포토레지스트를 제거하면, NMOS 의 고-k 유전율 컵 내부에 형성된 제 1 금속 컵을 포함하는, 도 5 에 도시한 구조를 얻는다.

제 2 옵션은, 도 4 를 참조하면, 웨이퍼 전체에 제 1 금속 (42) 을 증착한 다음, 웨이퍼 및 PMOS 영역을 포토레지스트 (40) 에 의해 패터닝한다. 그 다음, 노출된 금속은, 고-k 유전율의 게이트 유전체는 에칭하지 않는 에천트로 선택적으로 습식 에칭한다. 이러한 에천트 중의 하나가 H₂O₂ 이다. 제 1 옵션에서와 마찬가지로, 도 5 에 도시한 구조를 얻게 된다.

본 발명에 의한 방법의 다음 단계는, 제 2 금속 (44) 을 증착하는 것으로, 금속 (44) 은 알루미늄, 지르코늄, 몰리브덴, 니오븀, tantalum, 질화 tantalum 및 바나듐 군으로부터 선택된 어떠한 금속도 될 수 있다. 그 다음, CMP 로 이 금속을 평탄하게 제거하여 도 6 에 도시한 구조를 얻는데, 여기서 PMOS 의 고-k 유전율 컵 및 NMOS 의 제 1 금속 컵에 금속 게이트 전극이 형성된다.

이중 금속 게이트 CMOS 를 완성하기 위한 잔여 공정은, 도 7 을 참조하면, 잔존하는 고-k 유전율 재료를 제거하고, 절연성 산화물 (46) 을 증착하며, 구조 (48, 50, 52 및 54) 를 금속화하는 최신키 공정에 따라 진행된다.

이상, 이중 금속 게이트 CMOS 장치 및 그 제조 방법을 개시하였다. 청구범위에서 정의된 본 발명의 범위 내에서 이에 대한 변경 및 수정이 가능하다.

발명의 효과

본 발명에 따르면, 금속으로 폴리실리콘을 대체함으로써, 보다 신뢰할 수 있고 효율적인 CMOS 장치를 제공할 수 있다.

(57) 청구의 범위

청구항 1.

- a) 실리콘 기판을 준비하여, 각각이 n-웰 및 p-웰을 포함하는 디바이스 영역을 형성하는 단계;
 - b) 게이트 영역에 게이트 산화물을 형성하고, 상기 n-웰 및 p-웰 각각에 치환 게이트를 증착하는 단계;
 - c) 이온을 주입하여, 상기 n-웰 및 p-웰 각각에 소오스 영역 및 드레인 영역을 형성하는 단계;
 - d) 상기 치환 게이트 및 상기 게이트 산화물을 제거하는 단계;
 - e) 상기 게이트 영역에 고-k 유전체를 증착하는 단계;
 - f) 상기 p-웰의 상기 게이트 영역에 제 1 금속을 증착하는 단계;
 - g) 상기 n-웰 및 p-웰 각각의 상기 게이트 영역에 제 2 금속을 증착하는 단계; 및
 - h) 상기 a) 내지 g) 단계에 의해 얻은 구조를 절연하고 금속화하는 단계를 구비하며,
- 상기 치환 게이트를 증착하는 상기 b) 단계는 치환재료를 약 150 nm 내지 500 nm 의 두께로 증착하는 단계를 포함하고,
- 상기 치환재료를 증착하는 상기 단계는 Si₃N₄ 를 증착하는 단계를 포함하는 것을 특징으로 하는 이중 금속 게이트 CMOS 의 제조 방법.

청구항 2.

삭제

청구항 3.
삭제

청구항 4.

제 1 항에 있어서,

상기 d) 단계 전에, 산화물층을 증착하는 단계를 더 포함하며,

상기 산화물층의 두께는 상기 치환 게이트 두께의 약 1.5 내지 2.0 배인 것을 특징으로 하는 이중 금속 게이트 CMOS 의 제조 방법.

청구항 5.

제 1 항에 있어서,

상기 고-k 유전체를 증착하는 상기 e) 단계는,

HfO₂ 및 ZrO₂ 로 구성되는 재료군으로부터 선택된 고-k 재료를 증착하는 단계를 포함하는 것을 특징으로 하는 이중 금속 게이트 CMOS 의 제조 방법.

청구항 6.

제 1 항에 있어서,

상기 고-k 재료를 증착하는 상기 e) 단계는,

약 3 nm 내지 8 nm 의 두께로 고-k 재료를 증착하는 단계를 포함하는 것을 특징으로 하는 이중 금속 게이트 CMOS 의 제조 방법.

청구항 7.

제 1 항에 있어서,

상기 제 1 금속을 증착하는 상기 f) 단계는,

상기 p-웰의 게이트 영역을 패터닝하고, 상기 제 1 금속을 증착하고, 상기 제 1 금속을 패터닝하고, 상기 제 1 금속을 선택적으로 에칭하는 단계를 포함하는 것을 특징으로 하는 이중 금속 게이트 CMOS 의 제조 방법.

청구항 8.

제 1 항에 있어서,

상기 제 1 금속을 증착하는 상기 f) 단계는,

상기 디바이스 영역 전체에 상기 제 1 금속의 층을 증착하고, 상기 디바이스 영역을 패터닝하여 상기 p-웰의 게이트 영역에 제 1 금속 컵을 남기는 단계를 포함하는 것을 특징으로 하는 이중 금속 게이트 CMOS 의 제조 방법.

청구항 9.

제 1 항에 있어서,

상기 제 1 금속을 증착하는 상기 f) 단계는,

백금 및 이리듐으로 구성되는 금속군으로부터 선택된 금속을 증착하는 단계를 포함하는 것을 특징으로 하는 이중 금속 게이트 CMOS의 제조 방법.

청구항 10.

제 1 항에 있어서,

상기 제 2 금속을 증착하는 상기 g) 단계는,

알루미늄, 지르코늄, 폴리브덴, 니오븀, tantalum, 질화 tantalum 및 바나듐으로 구성되는 금속군으로부터 선택된 금속을 증착하는 단계를 포함하는 것을 특징으로 하는 이중 금속 게이트 CMOS의 제조 방법.

청구항 11.

a) 실리콘 기판을 준비하여, 각각이 n-웰 및 p-웰을 포함하는 디바이스 영역을 형성하는 단계;

b) 게이트 영역에 게이트 산화물을 형성하고, Si_3N_4 치환 재료를 약 150 nm 내지 500 nm의 두께로 증착하는 단계를 포함하는, 상기 n-웰 및 p-웰 각각에 치환 게이트를 증착하는 단계;

c) 이온을 주입하여 상기 n-웰 및 p-웰 각각에 소오스 영역 및 드레인 영역을 형성하는 단계;

d) 약 225 nm 내지 1000 nm의 두께로 산화물층을 증착하는 단계;

e) 상기 치환 게이트 및 상기 게이트 산화물을 제거하는 단계;

f) 상기 게이트 영역에 고-k 유전체를 증착하는 단계;

g) 백금 및 이리듐으로 구성되는 금속군으로부터 선택된 제 1 금속을 상기 p-웰의 게이트 영역에 증착하는 단계;

h) 상기 n-웰 및 p-웰 각각의 상기 게이트 영역에 알루미늄, 지르코늄, 폴리브덴, 니오븀, tantalum, 질화 tantalum 및 바나듐으로 구성되는 금속군으로부터 선택된 제 2 금속을 증착하는 단계; 및

i) 상기 a) 내지 h)의 단계로 얻은 구조를 절연하고 금속화하는 단계를 구비하는 것을 특징으로 하는 이중 금속 게이트 CMOS의 제조 방법.

청구항 12.

제 11 항에 있어서,

상기 고-k 유전체를 증착하는 상기 f) 단계는,

HfO₂ 및 ZrO₂ 로 구성된 재료군으로부터 선택된 고-k 재료를 증착하는 단계를 포함하는 것을 특징으로 하는 이중 금속 게이트 CMOS 의 제조 방법.

청구항 13.

제 11 항에 있어서,

상기 고-k 유전체를 증착하는 상기 f) 단계는,

약 3 nm 내지 8 nm 의 두께로 고-k 재료를 증착하는 단계를 포함하는 것을 특징으로 하는 이중 금속 게이트 CMOS 의 제조 방법.

청구항 14.

제 11 항에 있어서,

상기 제 1 금속을 증착하는 상기 g) 단계는,

상기 p-웰의 상기 게이트 영역을 패터닝하고, 상기 제 1 금속을 증착하고, 상기 제 1 금속을 패터닝하고, 상기 제 1 금속을 선택적으로 에칭하는 단계를 포함하는 것을 특징으로 하는 이중 금속 게이트 CMOS 의 제조 방법.

청구항 15.

제 11 항에 있어서,

상기 제 1 금속을 증착하는 상기 g) 단계는,

상기 디바이스 영역 전체에 상기 제 1 금속의 층을 증착하고, 상기 디바이스 영역을 패터닝하여 상기 p-웰의 상기 게이트 영역에 제 1 금속 컵을 남기는 단계를 포함하는 것을 특징으로 하는 이중 금속 게이트 CMOS 의 제조 방법.

청구항 16.

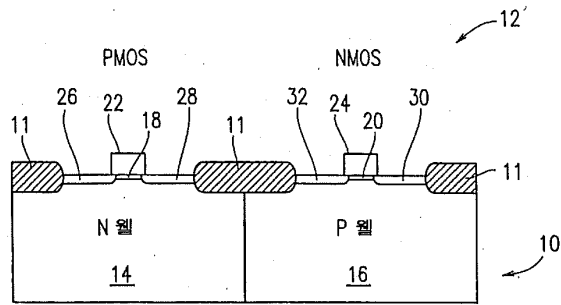
삭제

청구항 17.

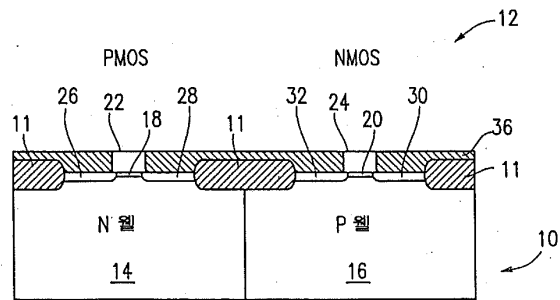
삭제

도면

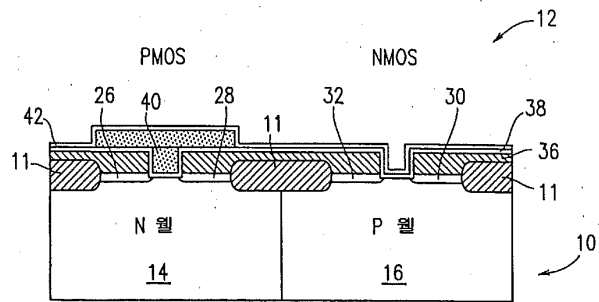
도면1



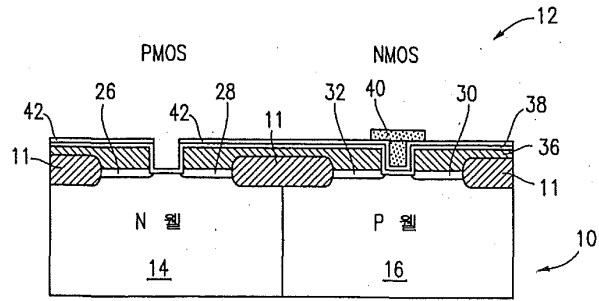
도면2



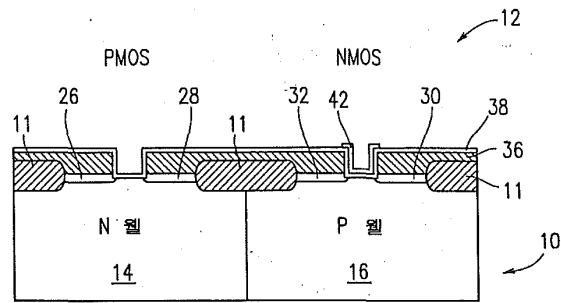
도면3



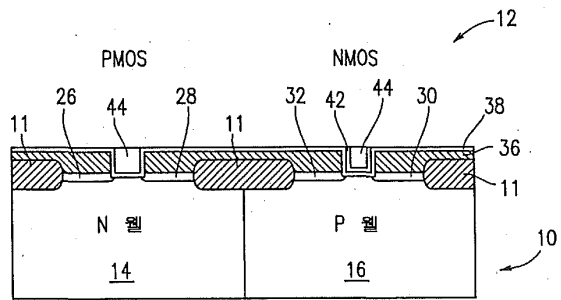
도면4



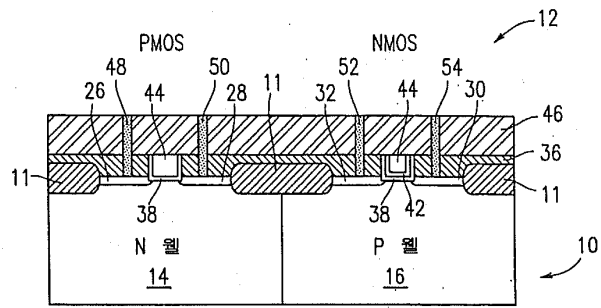
도면5



도면6



도면7



(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020050073541 A
 (43)Date of publication of application: 14.07.2005

(21)Application number: 1020050000362
 (22)Date of filing: 04.01.2005
 (30)Priority: 09.01.2004 1

(71)Applicant: INTERNATIONAL BUSINESS MACHINES CORPORATION
 (72)Inventor: KU VICTOR
 STEEGEN AN
 WANN HSING JEN C.

(51)Int. Cl H01L 21/335

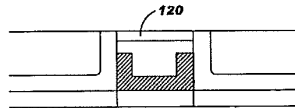
(54) FET GATE STRUCTURE WITH METAL GATE ELECTRODE AND SILICIDE CONTACT CAPABLE OF FABRICATING SINGLE-METAL OR DUAL METAL REPLACEMENT GATE STRUCTURE

(57) Abstract:

PURPOSE: A method is provided for fabricating a single-metal or dual metal replacement gate structure for a semiconductor device.

CONSTITUTION: A method for fabricating a semiconductor device having a gate structure on a substrate comprises the steps of: removing material in a gate region of the device to expose a portion of the substrate; forming a gate dielectric on the exposed portion of the substrate; forming a metal layer overlying the gate dielectric and the dielectric material; forming a silicon layer overlying the metal layer;

removing a first portion of the metal layer and a first portion of the silicon layer, so that the top surface of the dielectric material is exposed and a second portion of the metal layer and a second portion of the silicon layer remain in the gate region and have surfaces coplanar with the top surface; and forming a silicide contact in the gate region, in contact with the second portion of the metal layer.



copyright KIPO 2006

Legal Status

Date of request for an examination (20050809)
 Notification date of refusal decision (00000000)
 Final disposal of an application (registration)
 Date of final disposal of an application (20060727)
 Patent registration number (1006130680000)
 Date of registration (20060808)
 Number of opposition against the grant of a patent ()
 Date of opposition against the grant of a patent (00000000)

Number of trial against decision to refuse ()
Date of requesting trial against decision to refuse ()
Date of extinction of right ()

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 21/335 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년08월16일 10-0613068 2006년08월08일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2005-0000362 2005년01월04일	(65) 공개번호 (43) 공개일자	10-2005-0073541 2005년07월14일
------------------------	--------------------------------	------------------------	--------------------------------

(30) 우선권주장 10/707,757 2004년01월09일 미국(US)

(73) 특허권자 인터내셔널 비지네스 머신즈 코포레이션
미국 10504 뉴욕주 아몬크 뉴오차드 로드

(72) 발명자 쿠,빅터
미국 뉴욕주 10598, 요크타운 하이츠, 배리 코트 2529

스티젠,안
미국 코네티컷주 06902, 스텐포드, 아파트 2438, 사우스 필드 에비뉴
150

완,희성-젠서.
미국 뉴욕주 10512, 카멜, 바렛 서클 웨스트 1179

(74) 대리인 신영무
윤혜진

심사관 : 김동국

(54) 메탈 게이트 전극과 실리사이드 콘택을 갖는 F E T 게이트 구조물 및 그 제조 방법

요약

반도체 소자를 위해 단일 메탈 또는 이중 메탈 대체 게이트 구조물을 제조하는 방법이 제공되며, 상기 구조물은 게이트 영역에 실리사이드 콘택을 포함한다. 기판의 일부분을 노출시키기 위해 더미 게이트 구조물 및 희생 게이트 유전체가 제거되고 그 위에 게이트 유전체가 형성된다. 게이트 유전체와 유전체 물질을 덮는 메탈 층이 형성된다. 이러한 메탈 층은 소자 웨이퍼를 덮는 블랭킷 메탈 층이 쉽게 될 수 있다. 상기 메탈 층을 덮도록 실리콘 층이 형성되고, 이 층 또한 블랭킷 웨이퍼가 될 수 있다. 평탄화 또는 에치백 공정이 수행되며, 따라서 상기 메탈 층과 실리콘 층의 다른 부분들이 상기 게이트 영역에 남아있고, 상기 유전체 물질의 최상위 표면과 동일 평면상의 표면을 갖는 반면에 상기 유전체 물질의 최상위 표면이 노출된다. 상기 게이트 영역내에 있는 상기 메탈 층과 접촉상태에 있는 실리사이드 콘택이 형성된다.

대표도

도 18c

색인어

실리사이드 콘택, 평탄화 공정, 에치백 공정, 리세스

명세서

도면의 간단한 설명

도 1A는 n+ 와 p+ 폴리실리콘 영역을 갖는 전형적인 CMOS 더미 게이트 구조물의 평면도를 개략적으로 도시한 것이다.

도 1B는 도 1A의 게이트 영역의 세로 방향 단면도이다.

도 1C는 도 1A의 게이트 영역의 가로 방향 단면도이다.

도 2A와 도 2B는 본 발명의 제 1실시예에 따른 중간값 대체 게이트 공정 단계에서의 세로 방향과 가로 방향 각각에 대한 단면도이다.

도 3A와 도 3B는 본 발명의 제 1실시예에 따른 중간값 대체 게이트 공정의 더 진행된 단계의 세로 방향과 가로 방향 각각에 대한 단면도이다.

도 4A와 도 4B는 본 발명의 제 1실시예에 따른 중간값 대체 게이트 공정의 더 진행된 단계의 세로 방향과 가로 방향 각각에 대한 단면도이다.

도 5A와 도 5B는 본 발명의 제 1실시예에 따른 중간값 대체 게이트 공정에서 추가적인 단계의 세로 방향과 가로 방향 각각에 대한 단면도이다.

도 6부터 도 9는 본 발명의 제 2실시예에 따른 이중 메탈 대체 게이트 공정에서의 단계들을 도시하고 있다.

도 10A와 도 10B는 본 발명의 제 2실시예에 따른 이중 메탈 대체 게이트 공정에서의 더 진행된 단계의 개요도이다.

도 11A 와 도 11B 는 본 발명의 제 2실시예에 따른 이중 메탈 대체 게이트 공정에서의 더 진행된 단계의 세로 방향과 가로 방향 각각에 대한 단면도이다.

도 12A와 도 12B는 본 발명의 제 2실시예에 따른 이중 메탈 대체 게이트 공정에서의 추가적인 단계의 세로 방향과 가로 방향 각각에 대한 단면도이다.

도 13은 본 발명의 제 2실시예에 따른 이중 메탈 대체 게이트 공정에서의 더 진행된 단계를 도시하고 있다.

도 14A와 도 14B는 본 발명의 제 2실시예에 따른 이중 메탈 대체 게이트 공정에서의 더 진행된 단계의 세로 방향과 가로 방향 각각에 대한 단면도이다.

도 15는 본 발명의 제 2실시예에 따른 이중 메탈 대체 게이트 공정에서의 추가적인 단계를 도시하고 있다.

도 16A와 도 16B는 본 발명의 제 2실시예에 따른 이중 메탈 대체 게이트 공정에서의 다른 단계의 세로 방향과 가로 방향 각각에 대한 단면도이다.

도 17A와 도 17B는 본 발명의 제 2실시예에 따른 이중 메탈 대체 게이트 공정에서의 추가적인 단계의 세로 방향과 가로 방향 각각에 대한 단면도이다.

도 18A부터 도 18C는 도 17A와 도 17B의 단계에 대한 대안으로서 이중 메탈 대체 게이트 공정에서의 추가적인 단계의 가로 방향에 대한 단면도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본출원은 본출원과 같은 날짜에 같은 출원인이 출원한 10/707,759 "내부 스페이서들을 포함하는 FET 실리사이드 게이트 구조물을 형성하는 방법(Method of forming FET silicide gate structures incorporating inner spacers)" 에 관련된 것이다. 상기 언급된 출원의 기재내용은 본 명세서에서 참조된다.

본 발명은 고급 반도체 소자들의 제조에 관한것으로, 특히 메탈 게이트 전극이 사용된 고급 CMOS 집적 소자에 관한것이다.

CMOS 소자들이 계속적으로 보다 더 작은 치수로 축소됨에 따라, 이러한 소자들의 게이트 유전체들은 그 두께가 20 Å 이하로 감소되었다. 이것은 게이트 누설전류와 폴리실리콘(polysilicon) 게이트 구조물로부터의 불순물들의 확산(중중 폴리 결핍 효과(poly depletion effect)로 지칭됨)을 매우 증가시켰다.

메탈 게이트들은 상기 폴리 결핍효과를 완화시키고 누설 전류를 제어하는데 사용되며, 따라서 고밀도로 집적된 CMOS 소자들의 전기적 성능을 확실히 하는데 사용된다. 메탈 게이트는 전형적으로, 더미(dummy) 폴리실리콘 게이트가 형성된 후 제거된 자리에 메탈 게이트가 형성되는 식으로 "대체 게이트(replacement gate)" 공정에 의해 형성된다. 상기 메탈 게이트는 n+ 및 p+ 게이트 영역 모두에 확장될 수 있으며 중간갭 일함수(midgap work function) 를 갖는 단일 메탈을 포함할 수 있다. 대안적으로, 상기 대체 게이트는 n+ 및 p+ 폴리실리콘 게이트들 각각에 의해 이전에 점유되었던 공간내에서 서로 다른 일함수를 갖는 두개의 메탈을 포함할 수 있다.

최근 기술의 예로서, 리(Lee) 외 기타동등의 미국 특허공개번호 2003/0119292 " 이중 일함수 메탈 게이트 CMOS 디바이스들의 집적 (Integration of dual workfunction metal gate CMOS devices)" 에서는 메탈 게이트를 형성하기 위한 대체 게이트 공정 - 도핑된 폴리실리콘 게이트가 형성된 후 제거되고 나서 개방된 트랜치를 남기며, 벌크 메탈 층이 상기 트랜치에 축적된 후 메탈 게이트를 만들어내기 위해 평탄화되는 공정 - 을 설명하고 있다. 이러한 접근법은 두 가지 면에서 제조상의 문제를 제시 할 수 있다. 첫째로, (70 nm 보다 작은 매우 짧은 채널 길이에 대응하는) 매우 협소한 게이트 구조물은 메탈내에 빈 공간을 만들지 않고서는 채우기가 매우 힘든 높은 종횡비(high-aspect-ratio) 를 갖는 트랜치를 낳는다. 둘째로, 메탈 평탄화 공정 (전형적으로 화학적-기계적 연마공정(chemical-mechanical polishing, CMP)) 은 메탈의 두께에 있어(그리고, 이에 따라 메탈 게이트의 높이에 있어서) 불규칙성을 야기할 수 있는 디싱 이펙트(dishing effect)에 영향 받기가 쉽다.

메탈 게이트 전극을 위해 실리사이드된 콘택(silicided contact) 을 제공하는 것 또한 바람직하다. 따라서, 중간갭 대체 게이트 및 이중 메탈 대체 게이트 모두에 대해 쉽게 적용가능하고 제조가능한, 실리사이드 콘택을 갖는 메탈 게이트 CMOS 소자가 필요하다.

발명이 이루고자 하는 기술적 과제

따라서, 상기의 문제점을 해결하기 위해 반도체 소자를 위한 단일 메탈 또는 이중 메탈 대체 게이트 구조물을 제조하는 방법이 제공되며, 상기 구조물은 게이트 영역에 실리사이드 콘택을 포함한다.

발명의 구성 및 작용

본 발명은 기판에 게이트 구조물을 가진 반도체 소자를 제조하는 방법을 제공함으로써 전술한 필요성을 해결한다. 발명의 첫번째 측면에 따르면, 상기 방법은 소자의 기판의 일부분을 노출시키기위해 게이트 영역에 있던 물질들을 제거하면서 (즉, 더미 게이트 구조물 및 희생 게이트 유전체(sacrificial gate dielectric)를 제거하면서) 시작된다. 게이트 유전체는 상기 기판의 노출된 부분에 형성되고, 메탈 층은 상기 게이트 유전체와 상기 유전체 물질을 덮은채로 형성된다. 이러한 메탈 층은 편리하게 소자 웨이퍼를 덮는 블랭킷(blanket) 메탈 층이 될 수 있다. 메탈 층과 실리콘 층 부분들이 제거되는 평탄화 또는 에치백(etchback) 공정이 수행되어서, 유전체 물질의 최상위면이 노출되고, 메탈 층과 실리콘 층의 다른 부분들은 게이트 영역내에 남아 있으면서 유전체 물질의 최상위 표면과 동일평면상의 표면을 갖게된다. 그리고 나서, 게이트 영역내의 메탈 층과 접촉하도록 실리사이드 콘택이 형성된다.

상기 실리사이드 콘택은, 게이트 영역 위로 실리사이드 형성 금속(Ni, Co, Ta, W, 또는 Mo) 의 층을 증착하고, 상기 실리사이드 형성 금속과 게이트 영역에 남아있는 부분들의 실리콘을 포함하는 금속 실리사이드를 형성하기 위해 실리사이드 공정을 수행하고, 상기 유전체 물질의 최상위 표면을 노출시키기 위한 평탄화 공정을 수행함으로써 형성된다.

더미 게이트 물질의 제거는 트렌치를 형성하는 것으로 보여질 수 있으며, 그 바닥은 기판의 노출된 부분이다. 메탈 층을 형성하는 단계는 트렌치의 측벽(sidewall) 표면에 메탈을 형성하는 반면에, 게이트 유전체를 형성하는 단계는 트렌치의 바닥을 덮으며, 실리콘 층을 형성하는 단계는 트렌치를 충전하게 된다. 실리콘이 실리사이드로 변환되었기 때문에, 상기 트렌치는 실리사이드 콘택으로 채워지고, 메탈 게이트는 측벽 표면위에 층이 되고 트렌치의 바닥에 있는 게이트 유전체를 덮는다.

발명의 두번째 측면에 따르면, 두개의 메탈 층이 게이트 영역에 형성되므로 이중 메탈게이트 구조물이 형성된다. 이 방법에서 게이트 영역의 첫번째 부분으로부터 물질이 제거된후 게이트 영역의 두번째 부분으로부터 물질이 제거되어, 기판 부분을 노출시킨다. 상기 기판의 노출된 부분에 게이트 유전체가 형성된다. 제 1메탈 층과 제 1실리콘 층이 게이트 유전체를 덮도록 형성되고 난후 평탄화 된다. 제 1메탈 층의 일부분이 산화되고 이 메탈 옥사이드 층이 제 1메탈 층과 제 2메탈 층을 구분짓는다. 제 2메탈 층과 제 2실리콘 층이 형성되고 난후 평탄화 된다. 게이트 영역내에서, 제 1메탈 층과 제 2메탈 층의 평탄화된 부분과 모두 접촉된 상태로 실리사이드 콘택이 형성된다.

게이트된 영역의 양 부분들을 덮는 제 3실리콘 층을 형성하고, 실리사이드 형성 메탈 층을 그 위에 증착하고, 실리사이드 공정을 수행함으로써 형성된다. 실리사이드 공정은 제 1및 제 2실리콘 층들의 잔류 부분에 있는 실리콘과 제 3실리콘 층의 실리콘 및 실리사이드 형성 메탈 층의 메탈을 포함하는 메탈 실리사이드를 형성한다. 유전체 물질의 최상위면을 노출시키기 위해 평탄화 공정이 수행된다. 메탈과 메탈 옥사이드는 게이트 영역으로부터 부분적으로 제거될 수 있고 따라서 메탈 층들과 옥사이드 층들은 인접한 유전체 물질의 최상위 표면에 대해 리세스(recess) 된다. 제 3실리콘 층은 상기 리세스를 충전하므로 상기 실리사이드도 그와 같이 리세스를 충전하게 된다.

본 발명의 또 다른 측면에 따르면 기판에 게이트 구조물을 갖는 반도체 소자가 제공된다. 상기 소자의 게이트 구조물은 상기 설명된 방법에 따라 단일 메탈 또는 이중 메탈 대체 게이트로 각각 제조될 수 있다.

본 발명의 실시예는 대체 게이트 공정의 일부분으로 설명될 것인데, 더미 폴리실리콘 게이트 스택이 기판상에 세워지고 소스와 드레인 영역이 형성된후 제거된다. 도 1A부터 도 1C는 더미 게이트 구조물의 개요도인데, 이는 본 명세서에서 설명되는 본 발명의 실시예의 출발점이다. 도 1A는 구조물(10)의 평면도인데, p+ 폴리실리콘 게이트(11)와 n+ 폴리실리콘 게이트(12)를 포함하고 있다. 도 1A에 도시된것 처럼, n+ 와 p+ 영역은 접촉상태이며 이 구조물은 SRAM 소자들에서 전형적으로 발견된다. 질화물 층(13) 및 HDP 옥사이드(14)가 게이트 영역위로 증착되고 평탄화되어서 게이트 영역(11,12)이 노출되었다. (본 발명의 실시예에서, 저온에서의 공정을 허용하기 위해 옥사이드 영역(14)은 BPSG 보다는 HDP 옥사이드가 더 바람직하다.) 도 1B는 더미 게이트 영역(11,12)이 기판(1)을 덮은 희생 게이트 옥사이드 층(15) 위에 형성된것을 보여주고 있는 세로방향 단면도이다. 도 1C는 더미 폴리실리콘 게이트의 각 측면에 있는 질화물(13)과 HDP 옥사이드(14)를 보여주는 가로방향 단면도이다.

상기 더미 게이트와 희생 게이트 옥사이드가 제거된 후, 메탈 층(바람직한 일함수를 제공할 만큼 충분한 두께로)이 그 결과 발생하는 트렌치에 증착되고, 상기 트렌치는 도핑되지 않은 폴리실리콘과 같은 적절한 물질로 채워진다. 폴리실리콘은 메탈게이트에 콘택을 제공하기위한 실리사이드로 변환될 수 있다.

상기 메탈 게이트 구조물은 아래에 설명된 대로 중간값 일함수를 갖는 단일 메탈 게이트 또는 n+ 와 p+ 게이트 영역들을 위한 서로 다른 일함수를 갖는 이중 메탈 게이트가 될 수 있다.

제 1실시예 : 단일 메탈 대체 게이트(Single-metal replacement gate)

본 실시예에서는, 더미 폴리실리콘 게이트 구조물(11,12)들이 동일한 공정에서 제거되고, 질화물(13) 및 옥사이드(14)에 대한 선택성을 지닌 모든 편리한 공정이 사용될 수 있다. 이 공정은 상기 희생 옥사이드 층(15)을 노출시키고 이것 또한 제거된다. 따라서, 트렌치(20)는 질화물의 측벽(13a, 13b)과 바닥에 기판(1)의 노출된 부분으로 함께 형성된다. 새로운 게이트 유전체(25)가 노출된 기판위에 증착공정이나 열적 성장 공정(thermal growth process)에 의해 형성된다. 등각 메탈 층(conformal layer of metal, 26)이 트렌치의 측벽들과 게이트 유전체(25)를 덮으면서 블랭킷 층으로서 증착된다. 본 기술분야의 숙련된 기술자들에게 이해되는바와 같이, 상기 층(26)의 두께와 합성(composition)은 요망되는 일함수를 제공하도록 선택된다. 도 2A와 도 2B는 메탈 층(26)이 증착된 후 구조물의 세로 방향과 가로 방향 각각에 대한 단면도이다.

도핑되지않은 다결정질(polycrystalline) 또는 비정질(amorphous) 실리콘의 블랭킷 층(31)이 상기 트렌치(20)를 채울만큼 충분한 두께로 상기 층(26) 위로 증착된다. 상기 층(31)의 내부 합성은 최적의 트렌치 충전을 제공하도록 선택되는데, 예를 들면, 폴리실리콘과 비정질 실리콘의 혼합이 바람직한 충전 특성을 갖는다는것이 밝혀졌다. 상기 층(31 과 26)은 바

람직하게는 CMP에 의해 평탄화되고 따라서 상기 옥사이드 영역(14)은 다시 노출되고 트렌치 충전 물질의 최상위면(31a)은 그것과 동일평면상에 위치하게 된다. 그 결과 구조물은 도 3A(세로방향 단면)와 도 3B(가로방향 단면)에 도시되어 있다.

이후에 실리사이드를 형성하기에 적절한 메탈의 블랭킷 층(41)이 증착된다(도 4A, 4B). 이 메탈은 Co, Ta, W, Mo 또는(바람직하게는)Ni이 될 수 있다. 이후에 실리사이드 공정이 실시되고(자세한 사항은 당해 기술분야에서 공지되어 있다), 따라서 상기 트렌치 충전 물질은 실리사이드(51)로 변환된다. 상기 구조물의 원래 최상위면을 다시 노출시키기 위해 또다른 평탄화 공정이 실행된다(도 5A와 도 5B 참조). 따라서 상기 더미 게이트 구조물은 실리사이드 콘택이 있는 단일 메탈 게이트에 의해 대체된다(도 1C와 도 5B를 비교).

본 공정은 각 층의 마스크를 필요로 하지 않으므로, 따라서 구현하기가 용이한 것으로 평가될 것이다.

제2 실시예 : 이중 메탈 대체 게이트(Dual-metal replacement gate)

본 실시예에서는, 상기 더미 p+ 및 n+ 폴리실리콘 게이트 구조물이 개별적으로 제거되고, 이는 폴리실리콘 구조물의 마스크가 제거되지 않을 것을 필요로 한다. 도 6은 상기 p+ 더미 게이트(11)의 마스크와 상기 n+ 더미 게이트(12) 및 밑에 깔린 상기 희생 게이트 옥사이드(15)의 제거와 상기 마스크의 제거 후의 구조물을 도시하고 있다. 따라서 기판(1)의 일부만이 노출되어 있다. 블랭킷 게이트 유전체 층(75)이 성장 또는 증착되고, 블랭킷 메탈 층(76)이 그위에 증착된다(도 7).

도핑되지 않은 다결정질(polycrystalline) 또는 비정질(amorphous) 실리콘의 블랭킷 층(81)이 상기 층(76) 위로 증착된다. 제 1 실시예에서와 같이, 상기 층(81)의 합성은 최적의 트렌치 충전을 제공하도록 선택된다. 상기 구조물은 더미 게이트(11)를 다시 노출시키기 위해 평탄화되고, 따라서 충전물질(81)의 최상위면(81a)과 동일평면상에 있게 된다. 평탄화 공정은 예를 들면 폴리/비정질 실리콘의 CMP와 같은 단일 단계내에서 실행되는데, 폴리실리콘 게이트(11)의 표면의 끝점까지 상기 메탈 층(76)의 CMP를 계속하면서 실행될 수 있다. 다른 방법으로는, 평탄화공정이 두 단계로 실행되는데, 예를 들면, 폴리실리콘 게이트(11)를 덮고 있는 메탈 층(76)의 끝점까지 폴리/비정질 실리콘의 CMP를 하고, 이후에 별개의 메탈 제거 공정을 수행한다. 평탄화공정 이후 구조물은 도 8에 도시되었다.

상기 구조물은 상기 더미 p+ 폴리실리콘 게이트(11)의 제거를 허용하도록 마스크된다. 상기 더미 p+ 폴리실리콘 게이트(11)는 남아있는 희생 게이트 옥사이드(15)와 함께 제거된다. 상기 희생 옥사이드를 제거하는동안, 상기 메탈의 측벽(76s)을 덮고있는 상기 게이트 유전체 층(75)의 일부만이 또한 제거된다. 도 9는 상기 마스크가 제거되고 상기 단계들을 거친뒤의 구조물을 도시하고 있는데, 메탈 측벽(76s)이 노출되어 있음을 주의해야 한다.

산화 공정은 상기 노출된 실리콘 표면들 위에서 실행되므로, 옥사이드 층(85)이 기판의 노출된 부분에 형성되고 옥사이드(86)가 폴리/비정질 실리콘 층(81)의 표면위에 형성된다. 상기 산화 공정은 전형적으로 약 900°C까지의 RTA(rapid thermal anneal)를 포함하기 때문에, 옥사이드 층(95)은 메탈 층(76)의 상기 노출된 표면위에 형성된다(도 10A 참조). 상기 이중 메탈 게이트 아래 깔린 상기 게이트 유전체 층(88)은 상기 층들(75 및 85)의 결합이고 별개의 단계에서 형성된다.

도 10B에 도시된 바와 같이, 두번째 블랭킷 메탈 층(96)이 증착된다. 이전의 단계에서와 같이, 이러한 블랭킷 메탈 층 위에는 도핑되지 않은 다결정질 또는 비정질 실리콘 층(91)이 증착된다. 상기 구조물은 도 11A(세로방향 단면도)와 도 11B(가로방향 단면도)에 도시된 상기 구조물이 산출되도록 평탄화된다. 도 11A 및 도 11B와 도 1B 및 도 1C의 비교는, 각각 상기 더미 게이트와 희생 게이트 옥사이드가 아래에 깔린 게이트 유전체를 가진 이중 메탈 게이트로 교체되었음을 보여주고 있다.

상기 게이트 영역이 상기 질화물 영역(13)과 옥사이드 영역(14)에 대해 리세스 되게하는 에치백 공정이 실행된다. 특히, 실리콘 층들(81, 91)은 상기 옥사이드(14)에 대해 리세스되고, 메탈 옥사이드(95)와 메탈 층들(76, 96)은 상기 실리콘 층들(81, 91)에 대해 리세스된다. 본 기술분야에서 숙련된 자들에게 이해되는 바와 같이, 수개의 가능한 에칭 공정들이 사용될 수 있다. 상기 에치백 공정의 결과는 도 12A(세로방향 단면도)와 도 12B(가로방향 단면도)에 도시되었다.

다결정질 실리콘의 블랭킷 층이 증착되고, 따라서 연속 실리콘 층(98)이 상기 이중 메탈 게이트를 덮는다(도 13). 이 층은 RIE 또는 CMP(또는 둘의 조합)에 의해 평탄화되어서 질화물 층(13)과 옥사이드 층(14)은 다시 노출된다. 상기 결과 구조물은 도 14A(세로방향 단면도)와 도 14B(가로방향 단면도)에 도시 되었다. 이 지점에서 상기 이중 메탈 게이트는 그 최상위면이 주변의 유전체 물질들과 동일 평면상에 있는 실리콘의 영역 아래로 리세스되었다(도 14B, 도 11B와 비교).

실리사이드 형성 메탈의 블랭킷 층(101)이 상기 구조물에 증착되는데, 이 메탈은 Co, Ni, Ta, W, 또는 Mo 중 하나가 될 수 있고 바람직하게는 Ni 이 될 수 있다. 실리사이드 공정이 실행되는데, 상기 메탈 층(101) 과 상기 실리콘 층(98) 둘다 블랭킷 실리사이드 층(110)을 형성한다. 실리사이드 층(110)이 평탄화되어 질화물 층(13)과 옥사이드 층(14)이 다시 노출된다. 상기 결과 구조물은 도 16A(세로방향 단면도)와 도 16B(가로방향 단면도)에 도시되었다.

상기 상세한 단계들의 순서(블랭킷 층의 증착과 이후 평탄화 또는 에치백 과정)는 상기 트렌치의 너비가 70nm 또는 그 이하이더라도, 상기 게이트에 의해 점유된 트렌치(즉, 서로 마주보는 질화물 측벽들(13a,13b) 사이의 공간)를 채우기에 충분하다는 것이 높이 평가될 것이다.

본 실시예에서는 이중 메탈 게이트 구조물이 실리사이드 콘택을 갖도록 형성된다. 또한 상기 구조물을 위한 질화물 캡 층을 제공하는 것이 바람직하며, 이는 메탈이나 실리사이드에 영향을 주지 않고 어닐링을 할 수 있게 한다. (바람직한 실시예에서, 상기 실리사이드는 NiSi₂ 이고 상기 어닐링은 형성가스 내에서 이루어졌다. 메탈 게이트와 게이트 옥사이드 사이의 파인 전하를 제거하기 위해 질화물 캡과 함께 400°C 의 형성가스내에서 어닐링이 사용될 수 있고, 따라서 문턱 전압의 변화를 방지할 수 있다.) 질화물 캡 층(120)은 도 17A(세로방향 단면도)와 도 17B(가로방향 단면도)에 도시된 바와 같이 블랭킷 층으로서 증착될 수 있다. 또 다른 방법으로, 상기 실리사이드 층(110)은 리세스 될 수 있으며(도 18A, 도 16B와 비교), 따라서 질화물 층(120)은 상기 리세스를 채울 수 있다(도 18B). 질화물 층(120)은 평탄화 될 수 있고 상기 실리사이드 콘택 바로 위에 있는 부분들만 남게된다(도 18C). 상기 질화물 층은 상기 이중 메탈 게이트와 실리사이드 콘택에 대해 자기 정렬(self-aligned) 된다.

본 발명이 특별한 실시예를 통해 설명되었지만, 앞선 상세한 설명의 관점에서 볼 때 수많은 대안들, 변형들 및 변화들이 본 기술분야의 숙련된 자들에게 명백할 것이라는 점은 분명하다. 따라서, 본 발명은 본 발명과 다음에 이어지는 청구항들의 기조와 범위내에 있는 모든 대안들, 변형들 및 변화들을 포함하고자 한다.

발명의 효과

이상 설명한 바와 같이, 상기 단일 또는 이중 메탈 대체 게이트 구조물을 갖는 반도체 소자의 경우 상기 폴리 결핍효과를 완화시키고 누설 전류를 제어하는 이점이 있으며, 상기 구조물에 실리사이드 콘택을 형성할 경우, 대체 게이트 공정에서 발생하는 디싱 이펙트와 같은 문제를 해결하는 이점이 있다.

(57) 청구의 범위

청구항 1.

기판(1)위에 게이트 구조물(10)을 갖는 반도체 소자를 제조하는 방법에 있어서, 상기 게이트 구조물은 최상위 표면을 갖는 유전체 물질에 인접(adjacent)하고, 상기 방법은,

상기 기판의 일부분을 노출시키기 위해 상기 소자의 게이트 영역에 있는 물질을 제거하는 단계와,

상기 기판의 상기 노출된 부분위에 게이트 유전체(25)를 형성하는 단계와,

상기 게이트 유전체와 상기 유전체 물질을 덮는 메탈 층(26)을 형성하는 단계와,

상기 메탈 층을 덮는 실리콘 층(31)을 형성하는 단계와,

상기 메탈 층의 제 1부분과 상기 실리콘 층의 제 1부분을 제거하여 상기 유전체 물질의 최상위 표면이 노출되고 상기 메탈 층의 제 2부분과 상기 실리콘 층의 제 2부분이 상기 게이트 영역에 남아있고 상기 최상위 표면과 동일 평면상에 있는 표면을 갖도록하는 단계와,

상기 게이트 영역에 상기 메탈 층의 제 2부분과 접촉한 상태에 있는 실리사이드 콘택(silicide contact)(51)을 형성하는 단계

를 포함하는 반도체 소자 제조 방법.

청구항 2.

제 1항에 있어서, 실리사이드 콘택을 형성하는 상기 단계는,

상기 게이트 영역위에 실리사이드 형성 메탈 층(41)을 증착하는 단계와,

상기 실리콘 층(31)의 상기 제 2부분의 실리콘과 실리사이드 형성 메탈 층의 메탈을 포함하는 메탈 실리사이드를 형성하기 위한 실리사이드 공정을 수행하는 단계와,

상기 유전체 물질의 상기 최상위 표면을 노출시키기위해 평탄화 공정을 수행하는 단계

를 더 포함하는 반도체 소자 제조 방법.

청구항 3.

제 1항에 있어서, 상기 실리사이드 형성 메탈(41)은 Ni, Co, Ta, W, 또는 Mo 인, 반도체 소자 제조 방법.

청구항 4.

제 1항에 있어서,

상기 게이트 영역에 있는 물질을 제거하는 단계는 측벽(sidewall)들과 바닥(bottom) - 상기 바닥은 상기 기판의 상기 노출된 부분임 - 을 갖는 트렌치(trench)(20)를 형성하고,

상기 메탈 층(26)을 형성하는 단계는 상기 트렌치의 상기 측벽면위에 메탈을 형성하는 단계를 더 포함하고,

상기 실리콘 층(31)을 형성하는 단계는 상기 트렌치를 충전하는 단계를 포함하는

반도체 소자 제조 방법.

청구항 5.

제 1항에 있어서, 상기 반도체 소자는 웨이퍼 상에 제조되고, 상기 메탈 층을 형성하는 상기 단계는 상기 웨이퍼 상에 블랭킷(blanket) 메탈 층을 형성하는 단계를 포함하며, 상기 실리콘 층을 형성하는 단계는 상기 웨이퍼 상에 블랭킷 실리콘 층을 형성하는 단계를 포함하는 반도체 소자 제조 방법.

청구항 6.

기판(1)위에 게이트 구조물(10)을 갖는 반도체 소자를 제조하는 방법에 있어서, 상기 게이트 구조물은 최상위 표면을 갖는 유전체 물질에 인접하고, 상기 방법은,

상기 기판의 제 1부분을 노출시키기 위해 상기 소자의 게이트 영역의 제 1부분에 있는 물질을 제거하는 단계와,

상기 기판의 상기 노출된 제 1부분위에 제 1게이트 유전체(75)를 형성하는 단계와,

청구항 9.

제 7항에 있어서, 상기 실리콘사이드 형성 메탈(101)은 Ni, Co, Ta, W, 또는 Mo 인, 반도체 소자 제조 방법.

청구항 8.

를 더 포함하는 반도체 소자 제조 방법.

상기 유전체 물질의 최상위 표면을 노출시키기 위해 평탄화공정을 수행하는 단계

를 포함하는 단계와, 제 1실리콘층의 제 2부분 및 제 3실리콘층의 실리콘과 실리콘사이드 형성 메탈층의 메탈을 포함하는 메탈 실리콘사이드를 형성하기 위한 실리콘사이드 공정을 수행하는 단계와,

상기 제 3실리콘층 위에 실리콘사이드 형성 메탈층(101)을 증착하는 단계와,

상기 게이트 영역의 제 1부분과 상기 게이트 영역의 제 2부분을 덮는 제 3 실리온층(98)을 형성하는 단계와,

제 6항에 있어서, 상기 실리콘사이드 공정을 형성하는 단계는,

청구항 7.

를 포함하는 반도체 소자 제조 방법.

를 형성하는 단계

상기 게이트 영역의 상기 제 1메탈층의 제 2부분 및 상기 제 2메탈층의 제 2부분과 접촉한 상태에 있는 실리콘사이드 공정을

평탄상에 있는 표면을 갖도록 하는 단계와,

상기 제 2메탈층의 제 1부분과 상기 제 2실리콘층의 제 1부분을 제거하여, 상기 유전체 물질의 최상위 표면을 노출시키고 상기 제 2메탈층의 제 2부분과 상기 제 2실리콘층의 제 2부분이 상기 게이트 영역에 남아있고 상기 최상위 표면과 동일

상기 제 2메탈층을 덮는 제 2실리온층(91)을 형성하는 단계와,

상기 제 2게이트 유전체를 덮는 제 2메탈층(96)을 형성하는 단계와,

상기 제 1메탈층의 상기 노출된 인접 부분위에 옥사이드층(95)을 형성하는 단계와,

상기 기판의 상기 노출된 제 2부분위에 제 2게이트 유전체(85)를 형성하는 단계와,

상기 기판의 제 2부분을 노출시키고 상기 제 1메탈층에 인접한 부분을 노출시키기 위해 상기 게이트 영역의 제 2부분에

평탄상에 있는 표면을 갖도록 하는 단계와,

상기 제 1메탈층의 제 1부분과 상기 제 1실리온층의 제 1부분을 제거하여 상기 유전체 물질의 최상위 표면을 노출시키고 상기 제 1메탈층의 제 2부분과 상기 제 1실리온층의 제 2부분이 상기 게이트 영역에 남아있고 상기 최상위 표면과 동일

상기 제 1메탈층을 덮는 제 1실리온층(81)을 형성하는 단계와,

상기 제 1게이트 유전체를 덮는 제 1메탈층(76)을 형성하는 단계와,

제 6항에 있어서,

상기 게이트 영역의 제 1부분에 있는 물질을 제거하는 단계는 측벽들과 바닥 - 상기 바닥은 상기 기판의 상기 노출된 제 1 부분입 - 을 갖는 제 1트렌치를 형성하고,

상기 제 1메탈 층을 형성하는 단계는 상기 제 1트렌치의 상기 측벽면위에 메탈을 형성하는 단계를 더 포함하고,

상기 제 1실리콘 층을 형성하는 단계는 상기 제 1트렌치를 충전하는 단계를 포함하고,

상기 게이트 영역의 제 2부분에 있는 물질을 제거하는 단계는 측벽들과 바닥 - 상기 바닥은 상기 기판의 상기 노출된 제 2 부분입 - 을 갖는 제 2트렌치를 형성하고,

상기 제 2메탈 층을 형성하는 단계는 상기 제 2트렌치의 상기 측벽면위에 메탈을 형성하는 단계를 더 포함하고,

상기 제 2실리콘 층을 형성하는 단계는 상기 제 2트렌치를 충전하는 단계를 포함하는 반도체 소자 제조 방법.

청구항 10.

제 6항에 있어서 상기 반도체 소자는 웨이퍼상에서 제조되고, 상기 제 1메탈 층 형성 단계는 상기 웨이퍼상에 제 1블랭킷 메탈 층을 형성하는 단계를 포함하고, 상기 제 1실리콘 층 형성 단계는 상기 웨이퍼상에 제 1블랭킷 실리콘 층을 형성하는 단계를 포함하고, 상기 제 2메탈 층 형성 단계는 상기 웨이퍼상에 제 2블랭킷 메탈 층을 형성하는 단계를 포함하며, 상기 제 2실리콘 층 형성 단계는 상기 웨이퍼상에 제 2블랭킷 실리콘 층을 형성하는 단계를 포함하는 반도체 소자 제조 방법.

청구항 11.

제 6항에 있어서, 실리사이드 콘택을 형성하는 단계에 앞서, 상기 제 1메탈 층의 제 2부분, 상기 옥사이드 층 및 상기 제 2 메탈 층의 상기 제 2부분이 상기 최상위 표면에 대해 리세스(recess) 되도록 메탈과 메탈 옥사이드를 제거하는 단계를 더 포함하는 반도체 소자 제조 방법.

청구항 12.

제 7항에 있어서, 실리사이드 콘택을 형성하는 단계에 앞서, 상기 제 1메탈 층의 제 2부분, 상기 옥사이드 층 및 상기 제 2 메탈 층의 상기 제 2부분이 상기 최상위 표면에 대해 리세스(recess) 되도록 메탈과 메탈 옥사이드를 제거하는 단계를 더 포함하며, 이에 의해 상기 게이트 영역에 리세스를 형성하고, 상기 제 3실리콘 층을 형성하는 단계는 상기 리세스를 충전하는 단계를 더 포함하는 반도체 소자 제조 방법.

청구항 13.

제 12항에 있어서, 상기 실리사이드 콘택을 형성하는 단계는 상기 실리사이드가 상기 리세스를 충전시키도록 하는 반도체 소자 제조 방법.

청구항 14.

제 6항에 있어서, 상기 실리사이드 콘택의 형성 단계 후에 상기 게이트 영역을 덮는 질화물 층(nitride layer)(120)을 형성하는 단계를 더 포함하는 반도체 소자 제조 방법.

청구항 15.

제 6항에 있어서, 상기 실리사이드 콘택이 상기 최상위 표면에 대해 리세스 된 곳에서, 상기 게이트 영역내에 리세스를 형성하고,

상기 게이트 영역을 덮고 상기 리세스를 충전하는 질화물 층 형성 단계와,

상기 최상위 표면을 노출시켜 상기 질화물 층의 일부분이 상기 리세스에 남아있고 상기 최상위 표면과 동일 평면을 갖도록 하는 평탄화 공정의 수행 단계

를 더 포함하는 반도체 소자 제조 방법.

청구항 16.

기판(1)위에 게이트 구조물(10)을 갖는 반도체 소자에 있어서, 상기 게이트 구조물은 최상위 표면을 갖는 유전체 물질에 인접하고, 상기 소자는,

게이트 영역내에 있는 상기 기판의 일부분을 덮으면서 그 기판과 접촉한 상태에 있는 게이트 유전체(25)와,

상기 게이트 유전체와 접촉한 상태에 있는 메탈 층(26)과,

상기 메탈 층과 접촉한 상태에 있는 저표면(lower surface) 및 상기 최상위 표면과 동일 평면상에 있는 고표면(upper surface) 을 갖는 실리사이드 콘택(51)

을 포함하는 반도체 소자.

청구항 17.

제 16항에 있어서, 상기 게이트 영역은 바닥과 측벽들을 갖는 트랜치로서 특징지워지고, 상기 게이트 유전체는 상기 트랜치의 바닥을 덮고, 상기 메탈 층은 상기 트랜치의 측벽들과 접촉한 상태이며, 상기 실리사이드 콘택은 상기 트랜치를 충전하는 반도체소자.

청구항 18.

제 16항에 있어서, 상기 메탈 층은 제 1메탈 층(76)과 제 2메탈 층(96)을 포함하며, 제 1메탈 층과 제 2메탈 층 사이에 메탈 옥사이드 층(95)을 더 포함하는 반도체 소자.

청구항 19.

제 16항에 있어서, 상기 실리사이드 콘택을 덮는 질화물 층(120)을 더 포함하는 반도체 소자.

청구항 20.

제 16항에 있어서, 상기 실리사이드 콘택은,

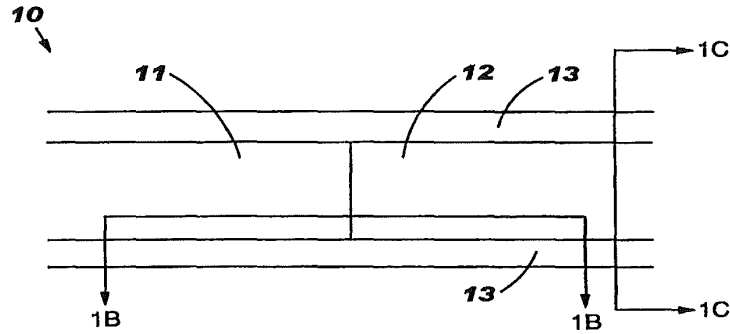
상기 최상위 표면에 대해 리세스된 고표면을 갖는 실리사이드 부분과,

상기 최상위 표면과 동일 평면상에 있는 고표면을 가지면서 상기 실리사이드 부분을 덮는 질화물 캡 부분과,

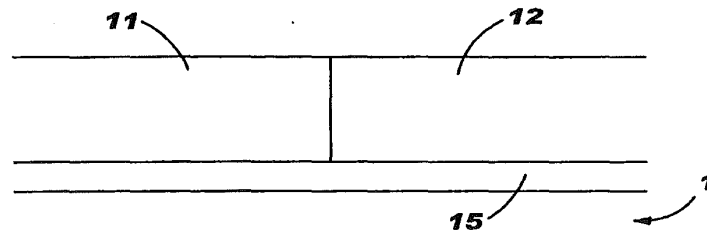
상기 게이트 영역에 대해 자기 정렬(self-aligned)된 상기 질화물 캡 부분을 포함하는 반도체 소자,

도면

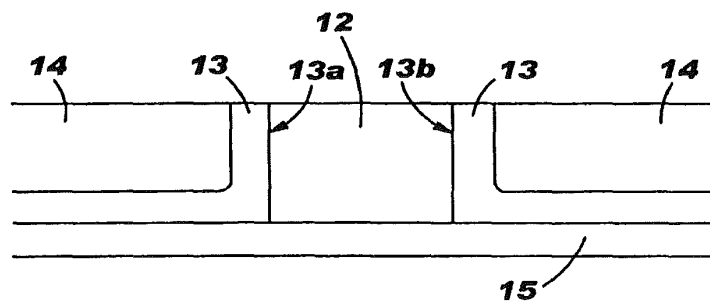
도면1a



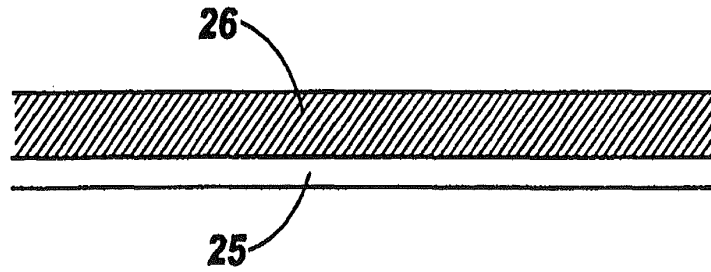
도면1b



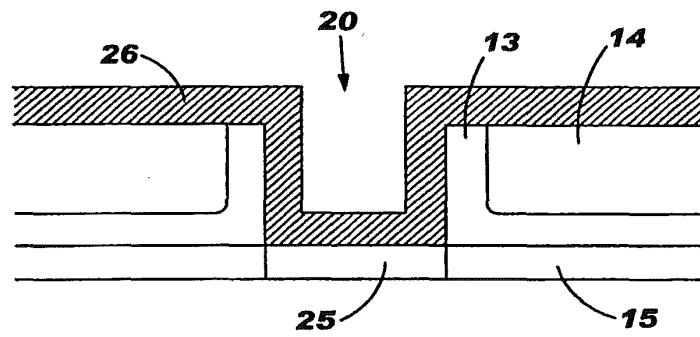
도면1c



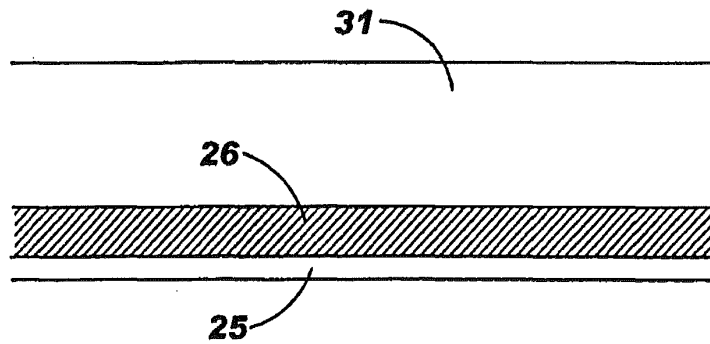
도면2a



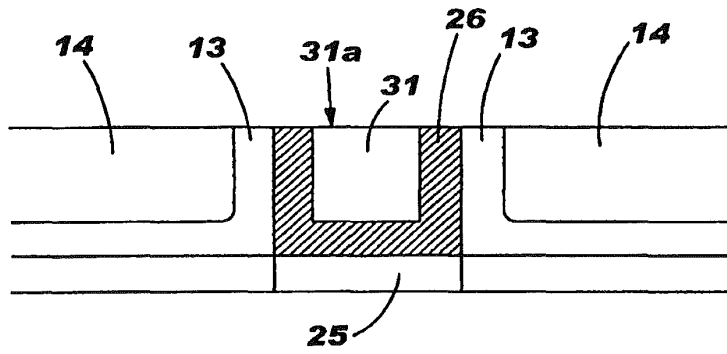
도면2b



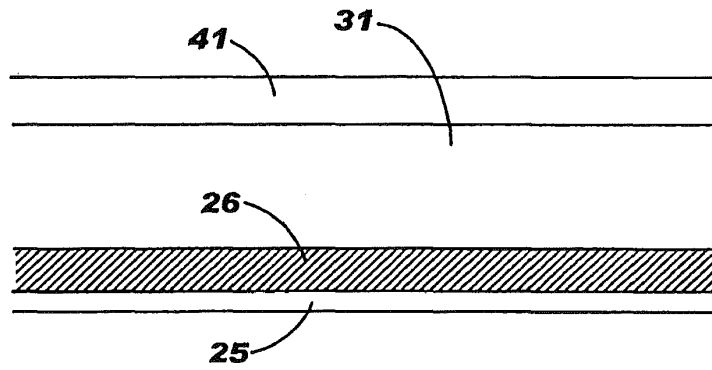
도면3a



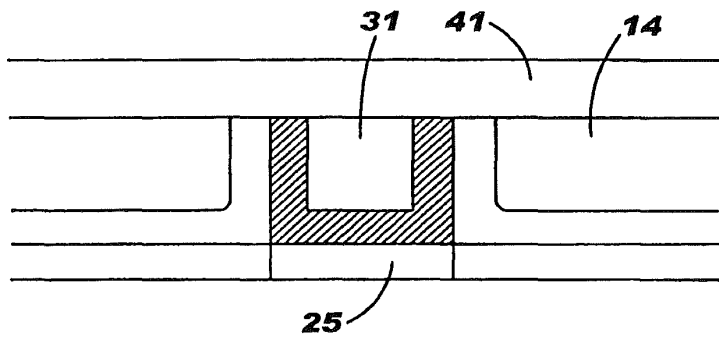
도면3b



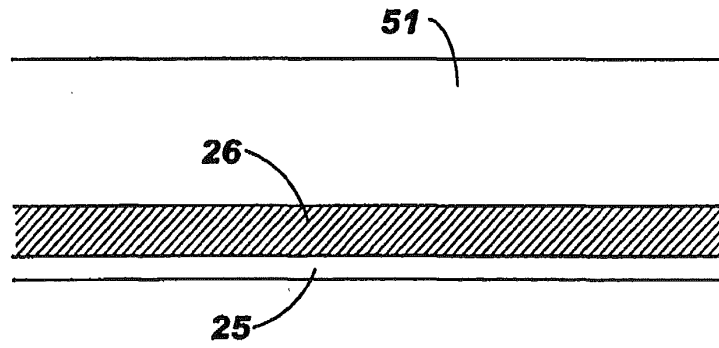
도면4a



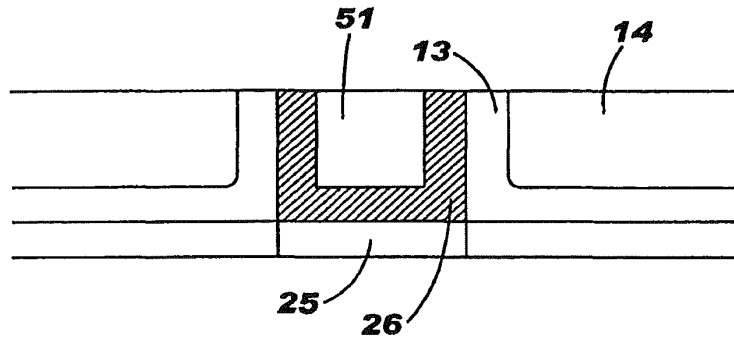
도면4b



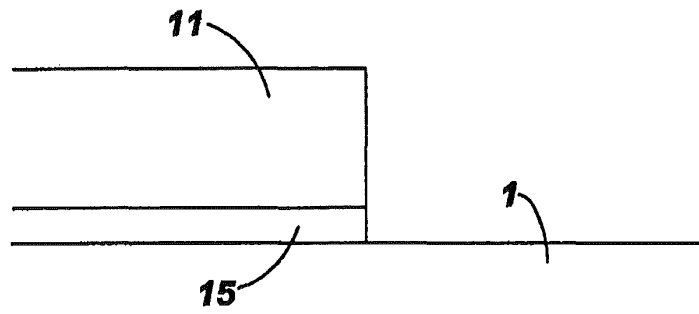
도면5a



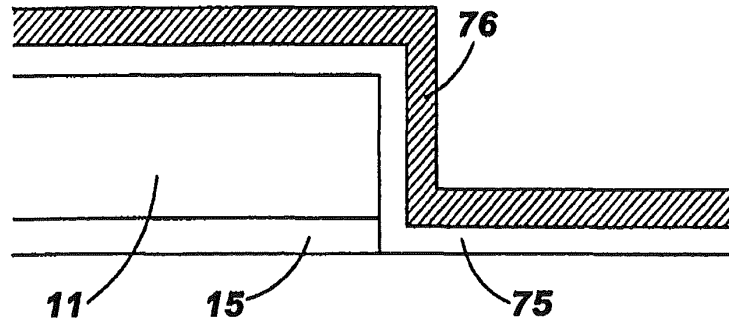
도면5b



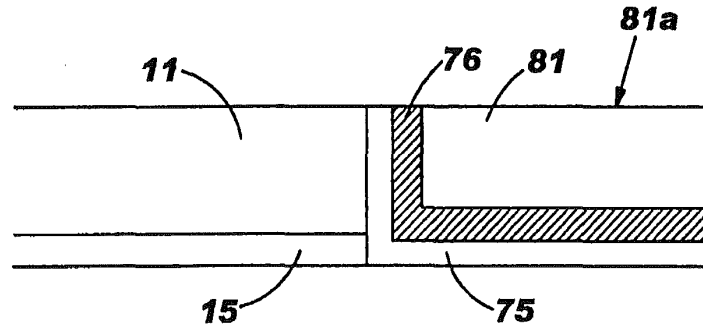
도면6



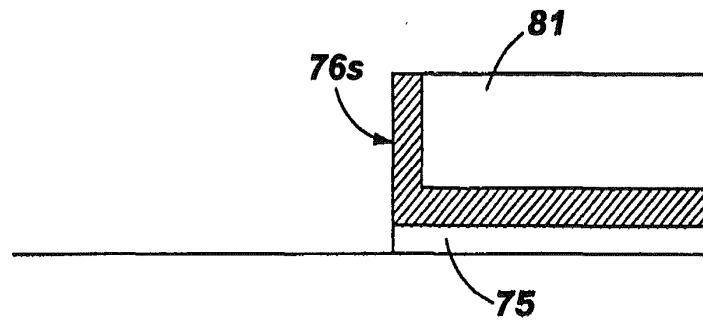
도면7



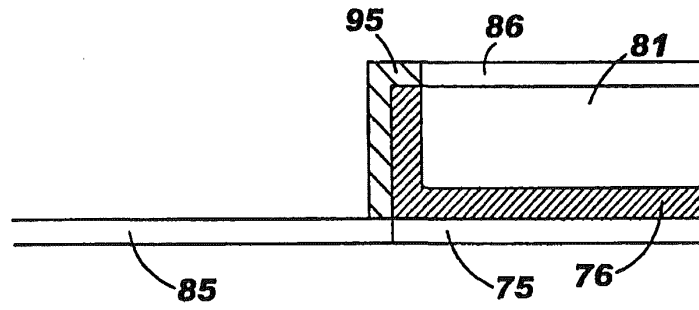
도면8



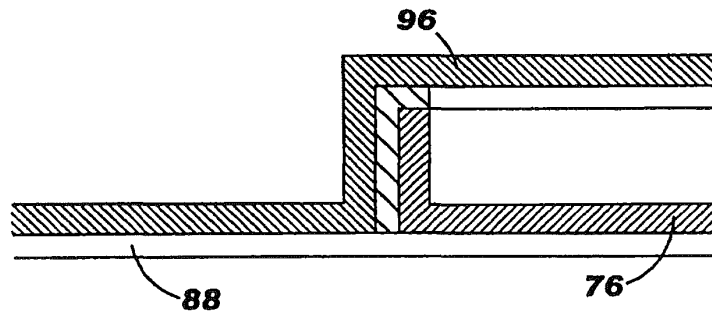
도면9



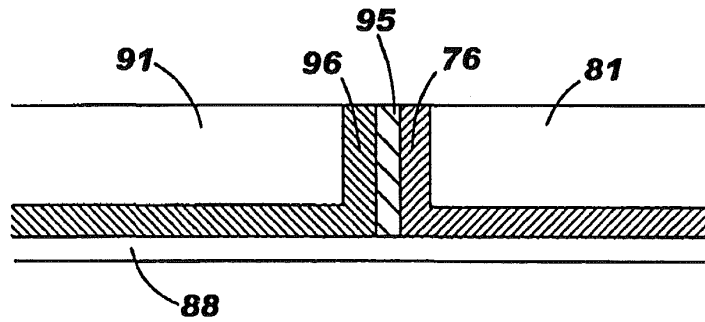
도면10a



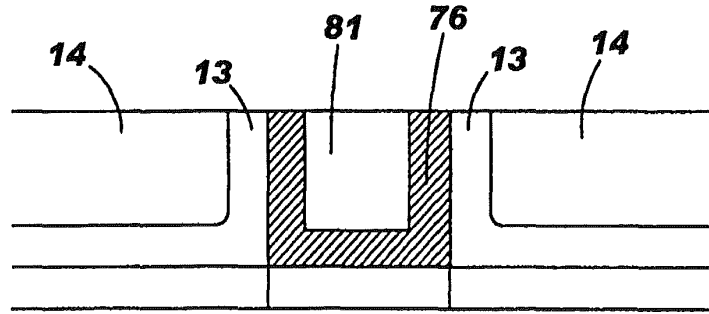
도면10b



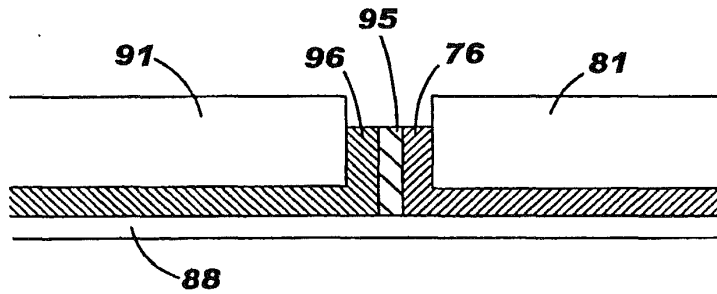
도면11a



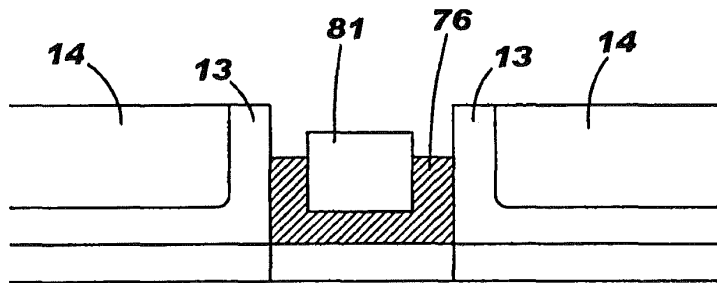
도면11b



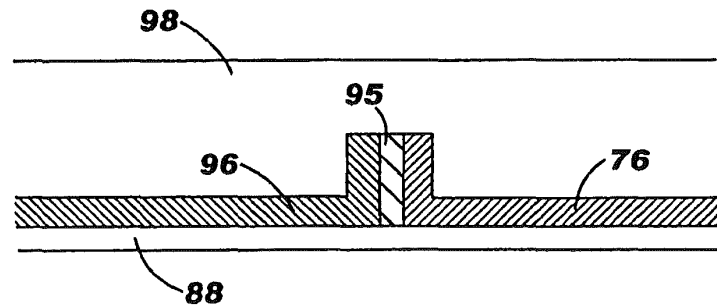
도면12a



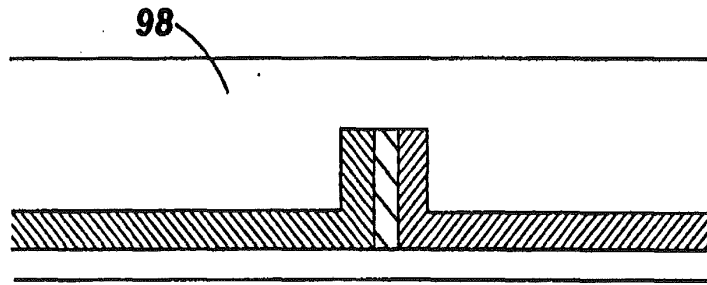
도면12b



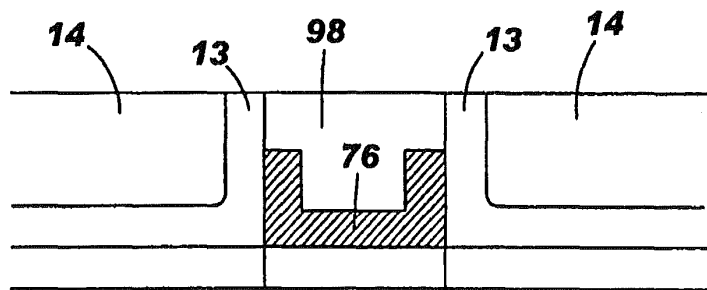
도면13



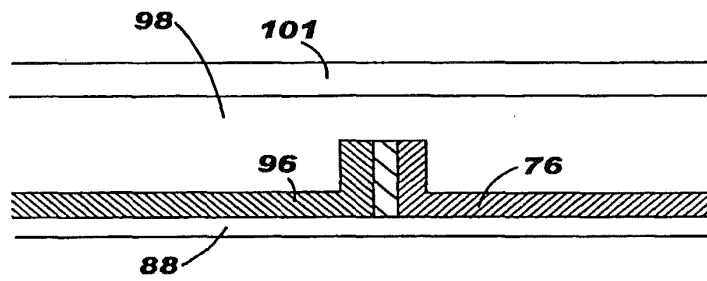
도면14a



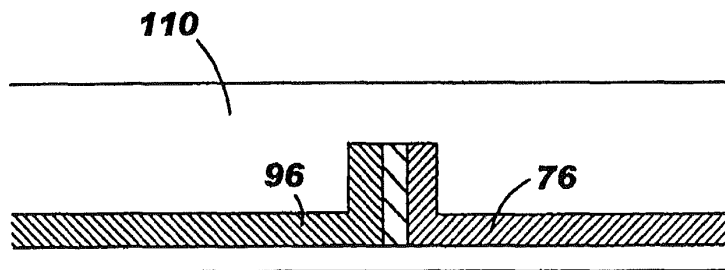
도면14b



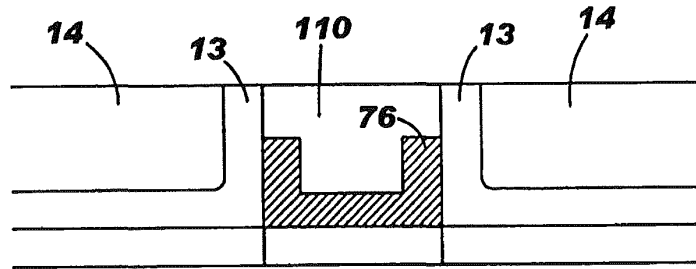
도면15



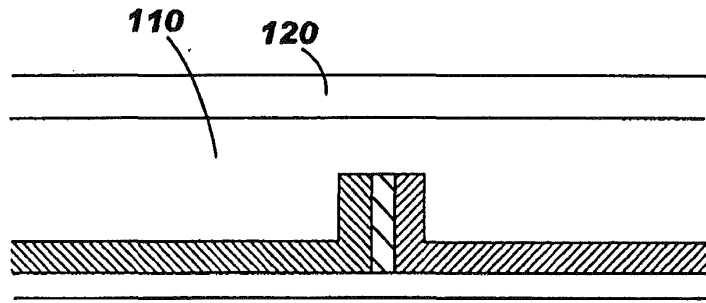
도면16a



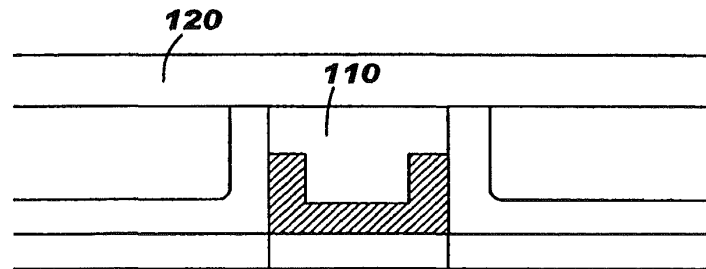
도면16b



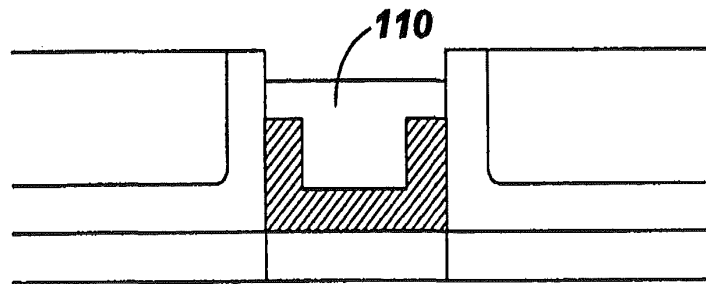
도면17a



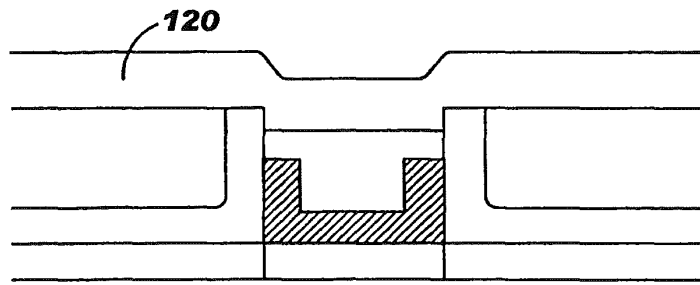
도면17b



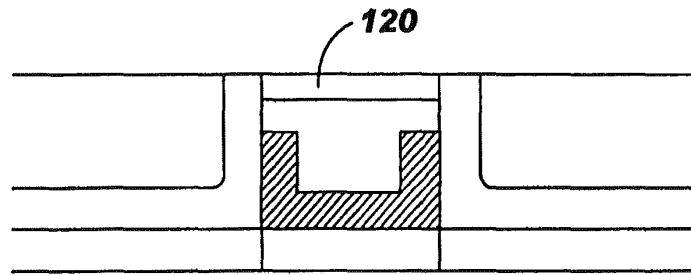
도면18a



도면 18b



도면 18c



Electronic Patent Application Fee Transmittal

Application Number:				
Filing Date:				
Title of Invention:	Methods of Forming CMOS Transistors with High Conductivity Gate Electrodes			
First Named Inventor/Applicant Name:	Jongwon Lee			
Filer:	Grant J. Scott/Candi Riggs			
Attorney Docket Number:	5649-2985			
Filed as Large Entity				
Utility under 35 USC 111(a) Filing Fees				
Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Basic Filing:				
Utility application filing	1011	1	330	330
Utility Search Fee	1111	1	540	540
Utility Examination Fee	1311	1	220	220
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				

Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				
Miscellaneous:				
Total in USD (\$)				1090

Electronic Acknowledgement Receipt

EFS ID:	8802913
Application Number:	12942763
International Application Number:	
Confirmation Number:	2294
Title of Invention:	Methods of Forming CMOS Transistors with High Conductivity Gate Electrodes
First Named Inventor/Applicant Name:	Jongwon Lee
Customer Number:	20792
Filer:	Grant J. Scott/Candi Riggs
Filer Authorized By:	Grant J. Scott
Attorney Docket Number:	5649-2985
Receipt Date:	09-NOV-2010
Filing Date:	
Time Stamp:	17:29:20
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Deposit Account
Payment was successfully received in RAM	\$ 1090
RAM confirmation Number	4136
Deposit Account	500220
Authorized User	

The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows:

Charge any Additional Fees required under 37 C.F.R. Section 1.16 (National application filing, search, and examination fees)

Charge any Additional Fees required under 37 C.F.R. Section 1.17 (Patent application and reexamination processing fees)

File Listing:					
Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Transmittal of New Application	Transmittal.pdf	145195	no	1
			a71d61f9879254712873514cd533438360e03201		
Warnings:					
Information:					
2		Application.pdf	2074544	yes	20
			1f184909efa3b6e62854cb2083743f1e67fb2478		
	Multipart Description/PDF files in .zip description				
	Document Description		Start	End	
	Specification		1	14	
	Claims		15	19	
	Abstract		20	20	
Warnings:					
Information:					
3	Drawings-only black and white line drawings	Drawings.pdf	762580	no	19
			7547550aa68d7c11b53126a5de5ce73d61f6d83a		
Warnings:					
Information:					
4	Oath or Declaration filed	Declaration.pdf	382843	no	6
			1a5aa23cfa5bc890744de99ef2468cd4d077c389		
Warnings:					
Information:					
5		IDS.pdf	315939	yes	3
			9fddee90db8900a4d00e1ca0637adb06c10dd8f7		
	Multipart Description/PDF files in .zip description				
	Document Description		Start	End	
	Transmittal Letter		1	2	
	Information Disclosure Statement (IDS) Filed (SB/08)		3	3	
Warnings:					
Information:					

6	Foreign Reference	JP2002329794.pdf	928939	no	8
			b2cb91e8aca25cb09fbef367a5c4190ee40765e7		
Warnings:					
Information:					
7	Foreign Reference	JP2005197748.pdf	1427763	no	15
			0ccc4d7d719dce9f64dca349edf750db0b6b74		
Warnings:					
Information:					
8	Foreign Reference	JP2006351580.pdf	2410610	no	19
			7db1f2de66527965af0853e88fc8b7e534c2e76a		
Warnings:					
Information:					
9	Foreign Reference	KR1020060129959.pdf	1858288	no	20
			f9d55fc047ef039bb2028784a859fcc4b1179c1		
Warnings:					
Information:					
10	Foreign Reference	KR1020020075732.pdf	732035	no	12
			ee49e0b79a28d79045ff6ac0c7f4ccedb5a51469		
Warnings:					
Information:					
11	Foreign Reference	KR1020050073541.pdf	1527323	no	22
			9cec2996c923910196c5aa96afae363058f81b8		
Warnings:					
Information:					
12	NPL Documents	Steigerwald.pdf	863219	no	4
			083cc78a4725d30e80595ab02b16c0194264811d		
Warnings:					
Information:					
13	Fee Worksheet (PTO-875)	fee-info.pdf	32879	no	2
			e9ae02a4345ffa3ae949ca256a7fa701515edc		
Warnings:					
Information:					
Total Files Size (in bytes):			13462157		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

Date: 11/09/10

Approved for use through 7/31/2006. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD Substitute for Form PTO-875					Application or Docket Number 12/942,763		
APPLICATION AS FILED – PART I					10907659 SMALL ENTITY		
(Column 1)		(Column 2)			(Column 3)		
FOR	NUMBER FILED	NUMBER EXTRA			RATE (\$)	FEE (\$)	
BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A			N/A	N/A	
SEARCH FEE (37 CFR 1.16(k), (l), or (m))	N/A	N/A			N/A	N/A	
EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A			N/A	N/A	
TOTAL CLAIMS (37 CFR 1.16(i))	20						
INDEPENDENT CLAIMS (37 CFR 1.16(h))	3	minus 3 = *			x\$110		
APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is \$270 (\$135 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR						
MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))							
					195		
					TOTAL	1090	
* If the difference in column 1 is less than zero, enter "0" in column 2.							
APPLICATION AS AMENDED – PART II					OTHER THAN SMALL ENTITY		
(Column 1)		(Column 2)			(Column 3)		
AMENDMENT A	CLAIMS REMAINING AFTER AMENDMENT	MINUS	HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE (\$)	ADDITIONAL FEE (\$)	
	Total (37 CFR 1.16(i))	*	**	=	X =		
	Independent (37 CFR 1.16(h))	*	***	=	X =		
	Application Size Fee (37 CFR 1.16(s))					N/A	
	FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))					N/A	
					TOTAL ADD'T FEE	TOTAL ADD'T FEE	
(Column 1)		(Column 2)			(Column 3)		
AMENDMENT B	CLAIMS REMAINING AFTER AMENDMENT	MINUS	HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE (\$)	ADDITIONAL FEE (\$)	
	Total (37 CFR 1.16(i))	*	**	=	X =		
	Independent (37 CFR 1.16(h))	*	***	=	X =		
	Application Size Fee (37 CFR 1.16(s))					N/A	
	FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))					N/A	
					TOTAL ADD'T FEE	TOTAL ADD'T FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.
 ** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".
 *** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".
 The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.