

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-96598

(43)公開日 平成6年(1994)4月8日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 29/00	3 0 1 B	6741-5L		
H 0 1 L 27/10	4 9 1	8225-4M		

審査請求 未請求 請求項の数1(全 9 頁)

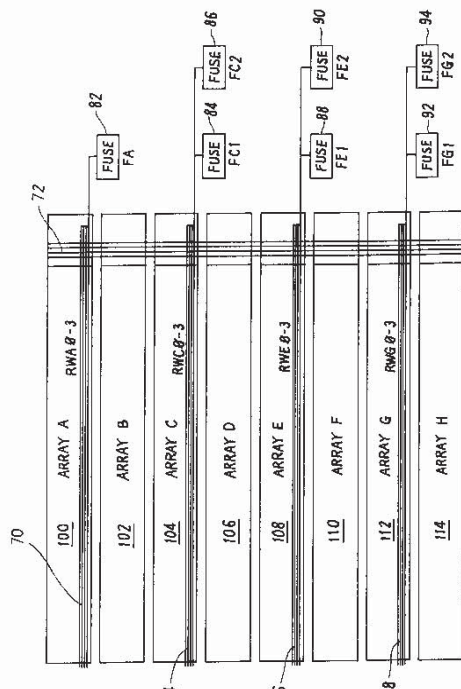
(21)出願番号	特願平4-207332	(71)出願人	390020248 日本テキサス・インスツルメンツ株式会社 東京都港区北青山3丁目6番12号 青山富士ビル
(22)出願日	平成4年(1992)7月10日	(71)出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
		(72)発明者	助川 俊一 茨城県稲敷郡美浦村木原2355番地 日本テキサス・インスツルメンツ株式会社内
		(72)発明者	佐伯 哲也 東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内
		(74)代理人	弁理士 佐々木 聖孝

(54)【発明の名称】 半導体メモリ装置及び欠陥メモリセル救済回路

(57)【要約】

【目的】 欠陥メモリの冗長度を低下させずに冗長メモリアドレスデコーダのチップ占有面積を最小にし、よって廉価な半導体メモリ装置を提供する。

【構成】 全アドレスビットに応答して冗長メモリを選択する冗長デコーダと、一部のアドレスビットにのみ応答して冗長メモリグループを選択する冗長デコーダを混在するように設け、欠陥メモリを効率よく救済する。



## 【特許請求の範囲】

【請求項1】 行及び列のメモリアドレス信号を受け所定のメモリセルをアクセスする半導体メモリ装置であって、各々の入力手段が該アドレス信号線に接続されたプログラム可能な複数のフェーズ手段、該アドレス信号線の一部のビットにตอบสนองして冗長メモリグループを選択する冗長メモリアドレスグループデコーダと、該アドレス信号の全ビットにตอบสนองして活性化された冗長メモリグループの一部を選択する冗長メモリアドレスデコーダとを含み、欠陥メモリセルを冗長メモリセルに置換する冗長手段を含む半導体メモリ装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は集積回路に関し、より詳細には半導体基板内に形成された集積回路デバイス、例えばダイナミックランダムアクセスメモリ等のメモリデバイスに関する。

## 【0002】

【従来の技術】ダイナミックランダムアクセスメモリ(DRAM)型の大規模集積回路半導体装置の発展はよく知られている。例えば、ラオの米国特許第4,055,444号に示されている16KDRAMからマケルロイの米国特許第4,658,377号に示されている1MDRAMへ、更に4M及び16MDRAMへと長年にわたって発展してきている。単一メモリチップ上に6千4百万個以上のメモリセル及びその周辺回路が集積されている64MDRAMは現在試作段階にあり次世代DRAMとして量産が予定されている。現在64MDRAM型の超大規模集積回路(ULSI)半導体メモリデバイスの設計において、設計者は様々な問題に直面している。例えば、一つの関心事はメモリセルの欠陥を無くすことである。クオの米国特許第4,240,092号に開示されているプレーナコンデンサセル及びバグリ等の米国特許第4,721,987号に開示されているトレンチコンデンサセルのように、超大規模DRAMの開発はメモリセルジオメトリの低減により促進されてきたが、64MDRAM以上の高集積を達成するには極端に小さなジオメトリを具体的にはサブマイクロ(百万分の1メートル以下)技術を使用して製造する為に、将来的な縮小寸法は従来製造工程において問題とならなかった粒子が回路の欠陥や不良デバイスが増大する原因となるに至った。

【0003】図1について説明すると、サブマイクロン技術を用いた64MDRAMと呼ぶ64メガビットダイナミックランダムアクセスメモリチップを示す。このチップは8メガビットに8等分されたメモリ象限に仕切られている。この8等分メモリ象限は各々1Mビットの8個のメモリブロックを含んでいる。各メモリブロックは512Kビットに2分割で構成されている。列(COLUMN)デコーダ(C. dec)がチップを上からみ

て縦方向に延びる軸線に沿って各メモリ象限の中央に配置されている。行(ROW)デコーダ(R. dec)が、それらに対応するメモリ象限に隣接するチップの横方向に延びる軸線に沿って配置されている。入出力バッファ(A. buffer, I/O buffer)やタイミング(S. R. timer, Row. clock,)及び制御回路(Row red)のような装置を含む周辺回路がチップの水平軸及び垂直軸の両方向に沿って中央部に位置している。更に、ボンドパッドがチップの垂直軸に沿って中央に位置している。

【0004】図2は、メモリアレイ12の一部分の平面図である。メモリアレイ12のメモリセルはサブマイクロン技術によって得られた改良されたトレンチ形キャパシタ形式である。メモリセルは約4.8平方マイクロメートル( $\mu\text{m}^2$ )であり、2ワード線間隔で設けられている。ビット線17は雑音に対する許容性を改善する為に三層ポリサイドで形成されている。ワード線19はポリシリコンであり、64ビット毎に結ばれている。欠陥メモリアレイを修理するために、冗長回路が従来から導入されている。

【0005】図3は、メモリアレイ12の一部分の斜視図である。ビット線17は、各メモリセルに接続され層間絶縁酸化物層によってワード線19と絶縁されている。ワード線19は約0.6マイクロメートルというサブマイクロンの幅を有する。ワード線19が通過トランジスタ43のゲートを形成する。これは薄い酸化物層によって基板10から隔てられている。他のワード線19,19が上側トレンチキャパシタ44,45の上を通り、図面に示してない他のトレンチキャパシタに接続される。これらは酸化物層によってポリシリコンの電界板48から隔てられている。ワード線19のゲート部分、ソース56及びドレイン58とにより通過トランジスタ43を形成する。トレンチキャパシタの壁の外側にある打込みヒ素層50が、キャパシタのN+形記憶節点を形成する。トレンチキャパシタの壁には、ヒ素のトレンチ壁打込み部及びポリシリコンの電界板48の間の誘電体層として作用する酸化物及び窒化物の層52が入っている。通過トランジスタ43及びトレンチキャパシタ44がメモリセル46を構成している。

【0006】図4は、冗長アドレス一致回路を示す。これは複数のトランジスタから選択されたトランジスタとトランジスタ間の共通節点との間の経路内に存在する。所定のアドレスビットに対応する部分のフェーズが切断されるようにレーザ若しくは高電圧を与え溶解する。

【0007】図5は、64DRAMの欠陥メモリセルを補償するための冗長機構を示す。これは行アドレスに関する欠陥メモリを正常動作する冗長メモリに置換することにより行われる。512Kビットのメモリブロックに対して4本の冗長行を有している。これらの4本の行線は同時に使用することができる。冗長行あたり32個の



デコーダを任意にプログラムすることができ、冗長行デコーダ当り13ビットの行アドレスを有する。行冗長プログラムのためにフューズが使用されており、平均して単一の修理(リペア)について12個のフューズが溶断される。行冗長は、歩留を効率よく行うために全任意(ANY TO ANY)のプログラム可能な方式を使用している。この全任意の冗長機能を使用することで、1つの象限に存在する64個の冗長行をその象限を含む全象限に選択的に割り当てることができる。この冗長機能の動作は、例えば行アドレスバスに共通接続された32個のフューズデコーダの出力によりメモリ選択ドライバ(MS)を駆動させ所定の512Kのメモリセルで構成されたメモリブロックを特定し、この特定されたメモリセル中の4本の冗長行線を活性化させる。同時に、活性化された4本の冗長行線の1から4迄の行線を選択すればビット故障を救済することができ、4本を同時に選択すればワード線間短絡による故障を救済することができる。従って、特定のメモリブロック専用に冗長メモリを設ける固定方式又は半固定(FLEXIBLE FUSE DECODER)方式の約6倍に冗長度を増大させることができる。但し、フューズデコーダの数の増加や冗長メモリアドレスビットが全アドレスビット程度必要であるために各プログラム可能なフーズ数が従来と比べ増大すること及び各象限に設けられた冗長メモリを他の象限の主メモリに置換させる為に、データ線の増加は妨げられない。ここでは、行アドレスに対する冗長機能を開示しているが、同様な構成で列アドレスに対しても冗長機能をプログラムすることも可能である。また、冗長行を使用するか否か迅速に判断できるように2段階のプログラム可能なプリデコーダとフューズデコーダにより2段階デコードを行っている。

【0008】図6は、横軸に同一面積内の欠陥メモリ数を縦軸に冗長度を示したAからE迄のモデルの関係を示す。破線で示すAは64MDRAMのモデル、実線のBとEは64MDRAMの他のモデルを示す。各々メモリセルの面積は同一であるが、象限、ワード構成及びビット線の配置の関係で冗長度が異なる。また、CとDは16MDRAM等に使用し得る冗長構成である。なお、全ての冗長度の計算は同一単位面積当りの欠陥数に基づいて行われたものである。ここに、全任意方式は半導体デバイスの習熟曲線に基づく成熟期の目安となる歩留80%を超える段階が従来の約4倍の欠陥メモリを許容することに注意すべきである。即ち、従来の冗長不可能な欠陥数の4倍の欠陥メモリセルを含む不具合デバイスは、全任意方式を使用することで20%のチップを廃棄処分することで足り、残りは組立、電気的出荷試験を経て完成品とすることができる。

【0009】本発明の他の目的、利点及び特徴は当業者にとって、例として取り上げた本発明の実施例についての図面を参照した以下の詳細な説明から明かとなるであ

ろう。

#### 【0010】

【発明が解決しようとする課題】従来のアドレス冗長一致回路の構成において主要な課題は、溶断フューズを含む冗長アドレスデコーダがワード線短絡故障を救済するための複数の冗長ワード線を選択するアドレスデコーダと1本のワード線の故障若しくは1ビットのメモリセルの故障を救済するためデコーダをメモリブロックに関連した数必要とするので、チップの有効面積を減少させ、回路の集積化が妨げられていた。特に、溶断フューズはレーザ的となる面積を必要とするのでトランジスタと同等の縮小が期待できないためである。従って、冗長アドレスデコーダそのものを小さくする必要がある。

#### 【0011】

【課題を解決するための手段】本発明の冗長アドレスデコーダ回路の構成は、複数のメモリアレイブロックと、各々のメモリブロック内に設けられた複数の冗長ワード線グループと、このワード線グループを同時に付勢する第1の冗長メモリデコーダと、付勢された冗長ワード線の1又は2以上の冗長ワード線を選択する第2の冗長メモリデコーダと、冗長メモリを他の何れのメモリブロック内の不良メモリに置換させるプログラム可能な冗長機構を有する。

#### 【0012】

【作用】上記のように構成された冗長アドレスデコーダを設けることで、ビット不良は全アドレスビットデコード可能なデコーダにより任意の1の冗長ワード線で置換し、ワード線短絡故障は半アドレスビットデコード可能なデコーダにより任意の冗長ワード線グループで置換するので、不具合モードに対応した冗長メモリ機構を最小限のチップ面積で達成できる。

#### 【0013】

【実施例】本発明に従った一実施例において、メモリデバイスは、行列配列されたメモリセルを有し且つ欠陥行グループを置換するメモリセルの冗長行グループを有する複数のメモリアレイと、メモリセルから情報を読み出してメモリセルへ再度情報を書き込む周辺回路を具備し、この周辺回路はメモリセルの欠陥行グループアドレスに応答してメモリセルの欠陥行グループを有するメモリアレイ内のみのメモリセルの冗長行グループを選択する行冗長回路と、ビット不良を置換するため上記冗長行グループ内の1又は2以上の冗長行線を選択する冗長回路を含んでいる。好ましくは、行冗長回路は欠陥行アドレスを保持するようにプログラム可能な且つメモリセルの欠陥行を含むメモリアレイを識別する情報を保持するように2段階プログラム可能な行冗長デコーダを含んでいる。

【0014】本発明に従ってそのもう一つの実施例において、単一半導体基板上に集積されたメモリ装置は行列に配列されたメモリセル及び欠陥列グループと置換され



るメモリセルの冗長列グループを有する複数のメモリアレイと、メモリセルの欠陥列グループのアドレスにตอบสนองしてメモリセルの欠陥列を有するメモリアレイ内のみのメモリセルの冗長列グループを選択する列冗長回路を具備していることである。好ましくは、列冗長回路は欠陥アドレスを保持するようにプログラム可能で且つメモリセルの欠陥列を含むメモリアレイを識別する冗長列を識別する情報を保持するようにプログラム可能な2段プログラム可能列冗長デコーダを含んでいる。メモリデバイスは、欠陥行のアドレスを保持し、行アドレスを受信して冗長行デコード信号及び冗長行ファクタ信号を発生するようにプログラム可能な第1の冗長デコーダと、欠陥行を含むアレイの位置を保持し、冗長行デコード信号を受信し且つアレイ選択信号を発生するようにプログラム可能な第2の冗長デコーダと、第2の冗長デコーダの冗長行ファクタ付勢信号、第2の冗長デコーダのアレイ選択信号及びメモリセルの冗長行に接続されメモリセルの欠陥行を有するメモリアレイ内のメモリセルの選択された冗長行を付勢する冗長付勢回路を含むとが有利である。

【0015】本発明に従ったメモリデバイスは行冗長回路及び列冗長回路を含み特許請求の範囲に記載されたメモリデバイスを含むことができる。

【0016】図7は、ボンディングによる選択可能な64M×1及び16M×4構成を有するメモリ装置である。この選択は、製造工程の段階で従来技術と同様に所定のボンダパッドをVSSにボンディングワイヤを接続することで選択することができる。一般的な64MDRAMの仕様は、11ピンから25ピン内に配置されたアドレス入力端子A0からA12の合計13個のビットを時分割に入力することでメモリアレイを特定することができる。従って、行アドレスを取り込むことで、内部アドレスバスに接続された冗長メモリデコーダが正規のメモリアレイを選択するか冗長メモリアレイを選択するか否か判断するのである。本発明の説明において全アドレスビットと定義するときは、行列アドレスの全ビットすなわち26ビットを意味すると共に、行又は列のアドレス一方のアドレスを意味するものとする。従って、半アドレスビットは、13ビットと上位6若しくは7ビットを意味するものとする。これらは、設計者が変更可能なものであり、メモリ装置の出力ビット構成の選択により最適化をなし得るものである。

【0017】図8は、冗長機構を示す。冗長度プログラミングにおいて、メモリ象限は合計8ブロックの512Kビットに2分割された1Mビットメモリアレイを有する。各メモリアレイブロックは4本の行冗長メモリを有している。これは、フューズデコーダ82若しくは92によって同時選択される。同時選択するにはアドレスバスのビットデータの全てではなく約半分のアドレスビットを使用して冗長行アドレスとすることができる。フューズデコーダの数は全アドレスデコーディングの場合に比して半分で済み回路面積は小規模の面積で足りる。4本の行冗長メモリを同時に選択するのは、ワード線短絡故障の場合極めて有効に機能する。それは、メモリセルの構造が2ワード線毎に設けられて、隣接するワード線相互に短絡不良が生じた場合に4本のワード線を同時に救済する方法が各ワード線毎にアドレスデコードして救済する場合に比して有効だからである。但し、4本同時選択はワード線短絡不良のみに使用するものでなくビット不良にも使用することができる。この場合、正常のメモリを冗長行に置換させることとなる。一方、ビット不良及び1本のワード線不良を救済する場合は、1本の行冗長メモリを選択することにより行う。これは冗長可能な行線の数を増加させる故に増加分の冗長メモリアドレスデコーダを必要とする。全ての冗長行メモリにビット不良に対応するデコーダを設けると冗長度は向上するがチップ全体の面積を増大することに注意しなければならない。従って、チップレイアウト設計上固有の故障モードがワード線故障が多い場合はビット不良を救済するデコーダの数を減少させることができる。微細加工が進んだサブマイクロン技術においては、全ての不良モードがビット不良となる確率は少ないが、ワード線短絡不良の増加が予想されている。そこで、半ビットアドレスにตอบสนองして4本の行冗長線を選択するフューズデコーダ82から92を設けてワード線短絡故障を救済し、同時に全アドレスビットにตอบสนองしてビット不良モードを救済するフューズデコーダ86から94を設けることで全フューズデコーダが占めるチップ面積を減少させる。このように構成した場合であっても何等冗長度は低下せず、かつチップの集積度を増大させることができる。図8に示す冗長機構は、1のメモリ象限とフューズデコーダの接続であるが、全任意(ANY TO ANY)方式の冗長機構を使用する場合はフューズデコーダ82から94は図示していない他のメモリ象限の不良メモリを置換させるために機能することができる。この場合、全ビットとは行アドレスの全てを使用することとする。なお、全任意方式でなく固定方式を使用すればブロック内のみの冗長機構がメモリブロック特有の行アドレス桁を使用すれば足りるのでフューズデコーダの数を更に減少させることができる。

【0018】図9は、RRQS (ROW冗長象限選択) 回路を示す。これは図8のフューズデコーダに使用することができる。アドレスビット信号をデコーディングして冗長行がどの象限に属するか識別する。デバイスには4つのRRQS回路があり、その各々がアレイの象限を選択する。RRQS回路は12入力「NOR」ゲートとして設計されている。この回路を設計する際、冗長アドレスが修理された象限に属さない場合には、RRQSの対応するフューズが溶断される。その象限は修理された行に対してフューズは溶断されない。このようにするこ



とにより、冗長行がアドレスされその象限に属する場合は、常に節点N2が低レベルになり活性化出力RRQS信号、即ち、TLRQ<sub>—</sub>及びRRQSQが生じる。冗長行がその象限に属さないかアドレスされた冗長行でない場合は節点N2は高レベルのままである。RRL2信号はプリチャージ中にMP1をオンにしてN2を高レベルに充電するのに使用する。インバータを有するMP2は選択されない場合にプリチャージレベルを節点N2に保持するのに使用される。設計により冗長アドレスは任意数の活性化する象限を選択することもできることに留意すべきである。これは、修理された行を有する象限に関するRRQS回路内の選定アドレスに対応するフェーズを溶断しないことで実現される。RRQS回路のフェーズは、溶断されるとプリデコーディングされたアドレスビット信号がトランジスタのゲートに印加されても節点N1の電位を放電しない一方、フェーズが溶断されず残っていると選択されたトランジスタはこの節点N1を放電させることでインバータIV2の出力を高論理レベルとすることができる。

【0019】図10は、別の冗長アドレス一致回路のフェーズデコーダを示す。これも図8で示したフェーズデコーダとして使用できる。冗長メモリを使用する際は付勢フェーズFEを溶断すれば足りる。PチャンネルトランジスタPCH<sub>—</sub>1は、起動信号STARTUPにより付勢されREN<sub>—</sub>信号を発生する。アドレスAF<sub>—</sub>0からAF<sub>—</sub>11とREN<sub>—</sub>信号の「NOR」論理出力をプログラム可能なフェーズを介してワイヤード「OR」接続されたN1からN3の各入力信号を「NAND」論理ゲートにより論理演算する。これにより冗長メモリを使用することをデバイスは判断することができる。また、4個のフェーズをグループとして並列にしようしているが、各「NOR」ゲートは直列接続されたフェーズの溶断後の高抵抗値若しくは不完全な溶断による中抵抗値では次段の「NAND」論理ゲートの論理レベルまで達することができない。従って、アドレスの一致信号は信頼性の高いものである。更に、PチャンネルトランジスタPCH<sub>—</sub>1のファンアウトは大きくなるが、通常の動作状態で12個程度のゲートを駆動するには通常の大きさのトランジスタであればよい。

【0020】以上においては、本発明を実施例に関して詳細に説明したが、この説明は単に例示的なものであり、限定的な意味のものとして解釈してはならない。更に、本発明の実施例の細部における多くの変更及び本発明の他の実施例は、この説明を参照した本技術分野に通常に習熟した者にとっては明かであり、且つ実現可能であることを理解すべきである。例えば、上述の本発明をDRAMに関して説明したが、それは読取り専用メモリ（ROM）及びスタティックランダムアクセスメモリ（SRAM）を含めて任意のメモリに対する冗長構成としても使用され得る。更に、Nチャンネルトランジスタ

はPチャンネルトランジスタに置換することもできることや、電界効果トランジスタをバイポーラトランジスタに置換することも同様である。なお、ここで電界効果トランジスタと称したものはMOSトランジスタであり得る。これらの構成は、周知の半導体製造技術を用い、集積回路上に形成される。全てのこのような変更及び他の実施例は、特許請求の範囲に示されている本発明の真の範囲及び技術思想内にある。

#### 【0021】

【発明の効果】本発明において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0022】（1）半導体集積回路で発生するワード線短絡故障の欠陥メモリセルを行冗長メモリセルグループに置換し、ビット故障の欠陥メモリセルを他の冗長メモリに置換することができる。

【0023】（2）冗長ワード線グループ専用フェーズデコーダと冗長ワード線専用フェーズデコーダを1のメモリチップに混在させることで、フェーズデコーダ全体の面積を減少させることができる。

【0024】（3）製造歩留まりを向上できる半導体集積回路装置を提供することができる。

#### 【0025】

##### 【図面の簡単な説明】

【図1】半導体メモリチップの平面図である。

【図2】メモリアレイの一部分の平面図である。

【図3】メモリアレイの一部分の斜視図である。

【図4】冗長メモリアドレス一致回路である。

【図5】64DRAMの欠陥メモリセルを補償するための冗長機構である。

【図6】欠陥メモリ数と冗長度を歩留率によって表した相関図である。

【図7】64M×1ビットと16M×4ビット構成の64MDRAMピン配置図である。

【図8】不良メモリ冗長機構の配置図である。

【図9】RRQS（行冗長象限選択）の回路図である。

【図10】冗長アドレス一致回路のフェーズデコーダの回路図である。

##### 【符号の説明】

- 2 トランジスタグループ
- 3 Pチャンネルトランジスタ
- 4、溶断フェーズ
- 5、8 インバータ
- 6 インバータグループ
- 7 「NAND」ゲート
- 10 半導体チップ
- 12 半導体基板
- 15 ビット線コンタクト
- 17 ビット線
- 19 ワード線

# Explore Litigation Insights

Docket Alarm provides insights to develop a more informed litigation strategy and the peace of mind of knowing you're on top of things.

## Real-Time Litigation Alerts



Keep your litigation team up-to-date with **real-time alerts** and advanced team management tools built for the enterprise, all while greatly reducing PACER spend.

Our comprehensive service means we can handle Federal, State, and Administrative courts across the country.

## Advanced Docket Research



With over 230 million records, Docket Alarm's cloud-native docket research platform finds what other services can't. Coverage includes Federal, State, plus PTAB, TTAB, ITC and NLRB decisions, all in one place.

Identify arguments that have been successful in the past with full text, pinpoint searching. Link to case law cited within any court document via Fastcase.

## Analytics At Your Fingertips



Learn what happened the last time a particular judge, opposing counsel or company faced cases similar to yours.

Advanced out-of-the-box PTAB and TTAB analytics are always at your fingertips.

## API

Docket Alarm offers a powerful API (application programming interface) to developers that want to integrate case filings into their apps.

## LAW FIRMS

Build custom dashboards for your attorneys and clients with live data direct from the court.

Automate many repetitive legal tasks like conflict checks, document management, and marketing.

## FINANCIAL INSTITUTIONS

Litigation and bankruptcy checks for companies and debtors.

## E-DISCOVERY AND LEGAL VENDORS

Sync your system to PACER to automate legal marketing.