

(51)Int.Cl. ⁷	識別記号	F I	テームト*(参考)
H 0 1 L	21/8247	H 0 1 L 29/78	3 7 1 5 F 0 8 3
	27/115	27/10	4 3 4 5 F 1 0 1
	29/788		
	29/792		

審査請求 未請求 請求項の数22 O L (全 19 頁)

(21)出願番号 特願2001-263736(P2001-263736)
 (22)出願日 平成13年8月31日(2001.8.31)

(71)出願人 000005108
 株式会社日立製作所
 東京都千代田区神田駿河台四丁目6番地
 (72)発明者 塚本 恵介
 東京都青梅市新町六丁目16番地の3 株式
 会社日立製作所デバイス開発センタ内
 (72)発明者 池田 良広
 東京都青梅市新町六丁目16番地の3 株式
 会社日立製作所デバイス開発センタ内
 (74)代理人 100080001
 弁理士 筒井 大和

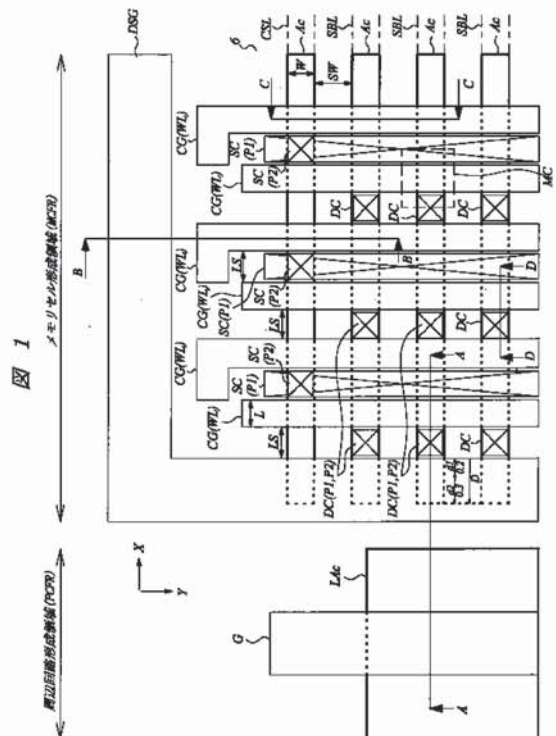
最終頁に続く

(54)【発明の名称】 半導体集積回路装置およびその製造方法

(57)【要約】

【課題】 不揮発性メモリのメモリセルが形成される素子形成領域内の欠陥を低減させ、リーク電流の低減を図る。

【解決手段】 不揮発性メモリセルが形成される素子形成領域A cの端部を、ダミー導電性膜D S Gの下の領域を利用して長さDだけ伸長することにより、かかる伸長した領域に、素子形成領域A cを囲む絶縁膜6から加わる応力を集中させる。その結果、メモリセルが形成される領域までは、欠陥が延びず、メモリセルのリーク電流を低減することができる。



【特許請求の範囲】

【請求項1】 (a) 半導体基板表面に形成された素子形成領域であって、絶縁膜によって区画され、第1方向に延在する素子形成領域を、前記第1の方向と垂直な第2の方向に2以上有し、

(b) 前記2以上の素子形成領域の主表面に形成された複数のメモリセルと、

(c) 前記複数のメモリセルを囲むように形成された導電性膜と、を有する半導体集積回路装置であって、前記素子形成領域は、前記第2方向に延在する前記導電性膜の下まで延在していることを特徴とする半導体集積回路装置。

【請求項2】 請求項1記載の半導体集積回路装置において、

前記メモリセルは、

(a) 前記素子形成領域上に、第1絶縁膜を介して形成された第1導電性膜よりなる第1電極と、

(b) 前記第1電極上に、第2絶縁膜を介して形成された第2導電性膜よりなる第2電極であって、前記第2方向に延在する第2電極と、

(c) 前記第2電極の両側の前記素子形成領域に形成された半導体領域と、を有し、

前記導電性膜は、前記第1および第2導電性膜よりなることを特徴とする半導体集積回路装置。

【請求項3】 (a) 半導体基板表面に形成され、絶縁膜によって区画された素子形成領域であって、第1方向に延在する素子形成部を、前記第1の方向と垂直な第2の方向に2以上有し、

前記2以上の素子形成部の端部を接続し、前記第2方向に延在する接続部とを有する素子形成領域と、

(b) 前記素子形成領域の主表面に形成された複数のメモリセルと、を有することを特徴とする半導体集積回路装置。

【請求項4】 請求項3記載の半導体集積回路装置において、

前記半導体集積回路装置は、さらに、

(c) 前記複数のメモリセルを囲むように形成された導電性膜を有し、

前記接続部は、前記導電性膜の下に形成されていることを特徴とする半導体集積回路装置。

【請求項5】 (a) 半導体基板表面に形成された素子形成領域であって、絶縁膜によって区画され、第1方向に延在する素子形成領域を、前記第1の方向と垂直な第2の方向に3以上有し、

(b) 前記3以上の素子形成領域の主表面に形成された複数のメモリセルと、を有する半導体集積回路装置であって、

前記3以上の素子形成領域のうち、最外の素子形成領域の前記第2方向の幅は、他の素子形成領域の幅より広いことを特徴とする半導体集積回路装置。

【請求項6】 請求項5記載の半導体集積回路装置において、

前記半導体集積回路装置は、さらに、

(c) 前記複数のメモリセルを囲むように形成された導電性膜を有し、

前記素子形成領域は、前記第2方向に延在する前記導電性膜の下まで延在していることを特徴とする半導体集積回路装置。

【請求項7】 請求項3記載の半導体集積回路装置において、

前記半導体集積回路装置は、前記素子形成部を、前記第1の方向と垂直な第2の方向に3以上有し、

前記3以上の素子形成部のうち、最外の素子形成領域の前記第2方向の幅は、他の素子形成部の幅より広いことを特徴とする半導体集積回路装置。

【請求項8】 請求項7記載の半導体集積回路装置において、

前記半導体集積回路装置は、さらに、

(c) 前記複数のメモリセルを囲むように形成された導電性膜を有し、

前記接続部は、前記導電性膜の下に形成されていることを特徴とする半導体集積回路装置。

【請求項9】 (a) 半導体基板表面に形成された素子形成領域であって、絶縁膜によって区画され、第1方向に延在する素子形成領域を、前記第1の方向と垂直な第2の方向に3以上有し、

(b) 前記3以上の素子形成領域のうち、最外の素子形成領域以外の素子形成領域の主表面に形成された複数のメモリセルと、を有し、

前記最外の素子形成領域上にはメモリセルとして機能するメモリセルを形成しないことを特徴とする半導体集積回路装置。

【請求項10】 (a) 半導体基板表面に形成された素子形成領域であって、絶縁膜によって区画され、第1方向に延在する素子形成領域を、前記第1の方向と垂直な第2の方向に3以上有し、

(b) 前記素子形成領域上に形成されたメモリセルであって、

(b₁) 第1絶縁膜を介して形成された第1導電性膜よりなる第1電極と、

(b₂) 前記第1電極上に、第2絶縁膜を介して形成された第2導電性膜よりなる第2電極であって、前記第2方向に延在する第2電極と、

(b₃) 前記第2電極の両側の前記素子形成領域に形成された半導体領域と、を含むメモリセルを複数有し、前記3以上の素子形成領域のうち、最外の素子形成領域上のメモリセルは、メモリセルとして機能しないことを特徴とする半導体集積回路装置。

【請求項11】 請求項10記載の半導体集積回路装置において、

前記半導体集積回路装置は、さらに、

(c) 前記メモリセルの上部に形成された配線と、
(d) 前記配線とメモリセルを電気的に接続するため、前記メモリセルの半導体領域上に形成された導電性部と、を有し、
前記最外の素子形成領域上には、前記導電性部が形成されていないことを特徴とする半導体集積回路装置。

【請求項12】 請求項10記載の半導体集積回路装置において、

前記複数のメモリセルの第2電極は、前記最外の素子形成領域を越えて延在していないことを特徴とする半導体集積回路装置。

【請求項13】 請求項10記載の半導体集積回路装置において、

前記複数のメモリセルの第2電極は、前記最外の素子形成領域を越えて延在するものと、しないものとが交互に配置されていることを特徴とする半導体集積回路装置。

【請求項14】 請求項13記載の半導体集積回路装置において、

前記最外の素子形成領域を越えて延在しない第2電極の端部には、隣の第2電極の引き出し部が配置されることを特徴とする半導体集積回路装置。

【請求項15】 請求項9もしくは請求項10記載の半導体集積回路装置において、

前記半導体集積回路装置は、さらに、

(c) 前記複数のメモリセルを囲むように形成された導電性膜を有し、
前記素子形成領域は、前記第2方向に延在する前記導電性膜の下まで延在していることを特徴とする半導体集積回路装置。

【請求項16】 (a) 半導体基板表面に形成され、絶縁膜によって区画された素子形成領域であって、
第1方向に延在する素子形成部を、前記第1の方向と垂直な第2の方向に3以上有し、
前記3以上の素子形成部の端部を接続し、前記第2方向に延在する接続部とを有する素子形成領域と、

(b) 前記素子形成領域上に形成されたメモリセルであって、

(b₁) 第1絶縁膜を介して形成された第1導電性膜よりなる第1電極と、

(b₂) 前記第1電極上に、第2絶縁膜を介して形成された第2導電性膜よりなる第2電極であって、前記第2方向に延在する第2電極と、

(b₃) 前記第2電極の両側の前記素子形成領域に形成された半導体領域と、を含むメモリセルを複数有し、
前記3以上の素子形成部のうち、最外の素子形成部のメモリセルは、メモリセルとして機能しないことを特徴とする半導体集積回路装置。

【請求項17】 請求項16記載の半導体集積回路装置において、

前記半導体集積回路装置は、さらに、

(c) 前記メモリセルの上部に形成された配線と、
(d) 前記配線とメモリセルを電気的に接続するため、前記メモリセルの半導体領域上に形成された導電性部と、を有し、
前記最外の素子形成部上には、前記導電性部が形成されていないことを特徴とする半導体集積回路装置。

【請求項18】 請求項16記載の半導体集積回路装置において、

前記複数のメモリセルの第2電極は、前記最外の素子形成部を越えて延在するものと、しないものとが交互に配置され、

前記最外の素子形成部を越えて延在しない第2電極の端部には、隣の第2電極の引き出し部が配置されることを特徴とする半導体集積回路装置。

【請求項19】 請求項16記載の半導体集積回路装置において、

前記半導体集積回路装置は、さらに、

(c) 前記複数のメモリセルを囲むように形成された導電性膜を有し、
前記接続部は、前記導電性膜の下に形成されていることを特徴とする半導体集積回路装置。

【請求項20】 請求項1、2、4、6、8、15および19のいずれか一項に記載の半導体集積回路装置において、

前記導電性膜は、フローティング状態であることを特徴とする半導体集積回路装置。

【請求項21】 請求項1～20のいずれか一項に記載の半導体集積回路装置において、

前記半導体集積回路装置は、
前記メモリセルが形成される素子形成領域の周囲に、周辺回路が形成される他の素子形成領域を有し、
前記素子形成領域と他の素子形成領域との間には、前記絶縁膜が存在することを特徴とする半導体集積回路装置。

【請求項22】 半導体集積回路装置の製造方法であって、

半導体素子が形成された半導体基板上に絶縁膜を形成する工程と、

前記絶縁膜に接続孔と配線溝とを形成する工程と、

前記接続孔及び配線溝の側壁に前洗浄保護膜を形成する工程と、

前記半導体基板に前洗浄を行った後に、前記接続孔および配線溝に導電膜を埋め込む工程と、

を有することを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体集積回路装置およびその製造方法に関し、特に、細長い素子形成領

域が並行に形成された半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】半導体集積回路装置は、絶縁膜で区画された素子形成領域（アクティブ）の主表面に形成された素子や配線からなる。この素子形成領域は、例えば、素子分離領域により他の素子形成領域と分離され、この素子分離領域は、例えば、素子分離絶縁膜で形成される。素子分離絶縁膜は、例えば、STI (Shallow Trench Isolation) 技術を用いて形成される。このSTIとは、半導体基板に形成した溝の上部に酸化シリコン膜などの絶縁膜を堆積し、溝外部の酸化シリコン膜を化学的機械研磨（CMP；Chemical Mechanical Polishing）法等により除去することにより溝の内部に酸化シリコン膜を埋め込み、これを素子間の分離に用いるというものである。

【0003】例えば、電氣的書き込みおよび消去が可能な不揮発性メモリ（EEPROM：Electrically Erasable Programmable Read Only Memory）等のメモリLSI（Large Scale Integrated Circuit）は、一定の間隔（ピッチ）で並行に配置された、細長い素子形成領域上に形成される。

【0004】このような素子形成領域は、メモリセルの微細化および高集積化に伴い、その幅がより小さくなり、また、狭ピッチで配置される傾向にある。

【0005】なお、メモリセルの微細化に対応するため、いわゆるSAC（Self-Aligned Contact）技術を用いてドレインコンタクトを形成したNOR型のフラッシュメモリについては、例えば、IEDM（International Electron Devices Meeting）、1998、pp979-982、“A Novel 4.6F2NOR Cell Technology Withlightly Doped Source(LDS) Junction For High Density Flash Memories”に、記載されている。

【0006】

【発明が解決しようとする課題】本発明者らは、半導体記憶装置、特に、前述のような不揮発性メモリについて検討した結果、下記の公知でない課題を見いだした。

【0007】即ち、素子の微細化が進むにつれ、メモリセルの不良が増加する。この原因について検討した結果、素子形成領域の端部に生じる結晶欠陥が原因ではないかと考えている。

【0008】即ち、半導体集積回路装置内のメモリセル形成領域の外周部には、メモリセルを駆動するために必要な論理回路等（以下、周辺回路という）が形成される周辺回路形成領域が存在する。従って、メモリセルが形成される細長い素子形成領域が、狭いピッチで配置されたその周辺には、周辺回路が形成される他の素子形成領域が配置され、これらの素子形成領域間は、幅の広い絶縁膜で分離される。

【0009】従って、後述する実施の形態で詳細に説明

するように、メモリセルが形成される細長い素子形成領域の端部に、応力が集中し結晶欠陥が生じやすい。

【0010】このような欠陥が生じると、メモリセルのドレイン領域と半導体基板との間や、ソース領域とドレイン領域との間の、リーク電流が増加してしまう。さらに、このリーク電流が、センスアンプの動作電流以上になった場合には、不良となってしまう。

【0011】また、前述したように、細長い素子形成領域上には、複数のメモリセルが形成されているため、一つのメモリセル内に欠陥が生じたとしても、かかるメモリセルと同一のデータ線に接続されているメモリセルが、すべて不良となってしまう。

【0012】本発明の目的は、素子形成領域内の半導体基板の欠陥を低減させることにある。

【0013】また、本発明の他の目的は、素子形成領域内の半導体基板の欠陥を低減させることによりリーク電流の低減を図ることにある。

【0014】また、本発明の他の目的は、リーク電流の低減を図ることにより、製品の歩留まり向上や信頼性の向上を図ることにある。

【0015】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0016】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0017】（1）本発明の半導体集積回路装置は、メモリセルが形成される素子形成領域であって、絶縁膜によって区画され、第1方向に延在する素子形成領域が、第1の方向と垂直な第2の方向に2以上配置された素子形成領域の端部を、メモリセルを囲むように形成された導電性膜の下まで伸長したものである。

【0018】（2）本発明の半導体集積回路装置は、絶縁膜によって区画され、第1方向に延在する素子形成部を、第1の方向と垂直な第2の方向に2以上配置し、この素子形成部の端部を第2方向に延在する接続部で接続したものである。

【0019】（3）本発明の半導体集積回路装置は、メモリセルが形成される素子形成領域であって、絶縁膜によって区画され、第1方向に延在する素子形成領域が、第1の方向と垂直な第2の方向に複数配置された素子形成領域のうち、最外の素子形成領域の第2方向の幅を、他の素子形成領域の幅より広くするものである。

【0020】（4）本発明の半導体集積回路装置は、メモリセルが形成される素子形成領域であって、絶縁膜によって区画され、第1方向に延在する素子形成領域が、第1の方向と垂直な第2の方向に複数配置された素子形成領域のうち、最外の素子形成領域上にはメモリセルとして機能するメモリセルを形成しないものである。

【0021】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0022】（実施の形態1）図1に本実施の形態の半導体集積回路装置の要部平面図を示す。図1の右部は、メモリセル形成領域MCFRを示し、左部は、周辺回路形成領域PCFRを示す。メモリセル形成領域MCFRには、NOR型の不揮発性メモリセルがアレイ状MCARに配置され、周辺回路形成領域には、周辺回路の一例として選択用MISFETsが形成されている。図2は、図1のA-A断面の概略図であり、図3は、図1のB-B断面の概略図である。

【0023】図1に示すように、メモリセル形成領域には、X方向に延在した素子形成領域（アクティブ）Acが、Y方向に一定の間隔毎に配置されている。この素子形成領域Acは、例えば、酸化シリコン膜6等よりなる絶縁膜6で区画（規定）されている。即ち、素子形成領域Ac間は、素子分離絶縁膜である絶縁膜6で分離されている。この絶縁膜6は、図2および図3に示すように、例えば、半導体基板中の溝の内部に埋め込まれたSTI構造で形成されている。また、素子形成領域Acは、p型ウエル8が半導体基板1表面に露出した領域である。

【0024】この素子形成領域AcのY方向の幅Wは、例えば、約0.3 μ mであり、素子形成領域Ac間の間隔SWは、例えば、約0.4 μ mである。また、素子形成領域Acの長さ（X方向の幅）は、X方向に形成される例えば、128ビットのメモリセルMCに対応し、約80 μ mである。即ち、素子形成領域Acには、X方向に複数のメモリセルMCが形成されている。

【0025】この素子形成領域Acの上部には、Y方向に延在する制御電極（第2電極）CGが、一定の間隔毎に配置されている。この制御電極CGのX方向の幅Lは、例えば、約0.3 μ mであり、制御電極CG間の間隔LSは、例えば、約0.35 μ mである。また、この制御電極CGは、Y方向に配置されるメモリセルMCの制御電極CGと一体に形成されるとともに、Y方向に延在するワード線WLとなる。

【0026】この制御電極CGと素子形成領域Acとの間には、図2および図3に示すように、例えば、酸化シリコン膜、窒化シリコン膜および酸化シリコン膜が順次積層された積層膜（以下、ONO膜という）21等よりなる絶縁膜、浮遊電極（第1電極）FGおよび熱酸化膜等よりなるゲート絶縁膜9が形成されている。この浮遊電極FGは、メモリセル毎に独立して形成されている（図3参照）。

【0027】この制御電極CGの両端の素子形成領域Ac中には、n⁺型半導体領域17（ソース、ドレイン領

域）が形成されており、ドレイン領域17上には、プラグ（ドレインコンタクト）DC（P1）が、ソース領域17上には、プラグ（ソースコンタクト）SC（P1）が形成されている。このプラグDC（P1）は、メモリセル毎に独立して形成されているが、プラグSC（P1）は、同一のワード線WLに接続されるメモリセルMCのソース領域17の各々に電氣的に接続されるとともに、Y方向に延在するソース線SLを構成する。即ち、プラグ（ソースコンタクト）SC（P1）は、Y方向に延在する配線であり、ソース線SLを構成する。後述するように、プラグDC（P1）とプラグSC（P1）とは、同じ製造工程で形成される。

【0028】また、ドレイン領域17上は、プラグDC（P1）およびプラグDC（P2）による2層構造となっており、このプラグDC（P2）上には、副ビット線SBLが形成されている。この副ビット線SBLは、X方向に延在している。

【0029】また、プラグSC（P1）は、図1に示すように、このプラグSC（P2）を介して共通のソース線CSLに接続されている。この共通ソース線CSLもX方向に延在しており、副ビット線SBLと同層の配線層で形成される。後述するように、プラグDC（P2）とプラグSC（P2）とは、同じ製造工程で形成される。

【0030】このように、メモリセルMCは、主に、ソース、ドレイン領域である一対のn⁺型半導体領域17と、それらの間に形成されたチャネル形成領域（p型ウエル）8（Ac）と、チャネル形成領域上に形成されたゲート絶縁膜9と、ゲート絶縁膜9上に形成された浮遊電極（フローティングゲート）FGと、浮遊電極FG上に形成された絶縁膜21と、絶縁膜21上に形成された制御電極（コントロールゲート）CGとで構成される。Y方向に隣接するメモリセルMCのソース、ドレイン領域17間は、絶縁膜6により分離され、Y方向に配置されるメモリセルMCの制御電極CGは、ワード線WLと一体に形成される。Y方向に配置されるメモリセルMCのドレイン領域17は、プラグDC（P1）、DC（P2）を介して、それぞれ異なる副ビット線SBLに電氣的に接続され、Y方向に配置されるメモリセルMCのソース領域17のそれぞれは、ソース線SLにより電氣的に接続される。また、X方向に隣接するメモリセルMCのドレイン領域は共通に構成され、副ビット線SBLに電氣的に接続される。X方向に隣接するメモリセルMCのソース領域17は共通に構成されソース線SLに電氣的に接続される。

【0031】ここで、メモリセルの書き込み、読み出しおよび消去動作について説明する。

【0032】まず、書き込み動作について説明する。メモリセルにデータを書き込むには、メモリセルの制御電極CG（ワード線WL）に例えば9Vの電圧を印加し、

Explore Litigation Insights

Docket Alarm provides insights to develop a more informed litigation strategy and the peace of mind of knowing you're on top of things.

Real-Time Litigation Alerts



Keep your litigation team up-to-date with **real-time alerts** and advanced team management tools built for the enterprise, all while greatly reducing PACER spend.

Our comprehensive service means we can handle Federal, State, and Administrative courts across the country.

Advanced Docket Research



With over 230 million records, Docket Alarm's cloud-native docket research platform finds what other services can't. Coverage includes Federal, State, plus PTAB, TTAB, ITC and NLRB decisions, all in one place.

Identify arguments that have been successful in the past with full text, pinpoint searching. Link to case law cited within any court document via Fastcase.

Analytics At Your Fingertips



Learn what happened the last time a particular judge, opposing counsel or company faced cases similar to yours.

Advanced out-of-the-box PTAB and TTAB analytics are always at your fingertips.

API

Docket Alarm offers a powerful API (application programming interface) to developers that want to integrate case filings into their apps.

LAW FIRMS

Build custom dashboards for your attorneys and clients with live data direct from the court.

Automate many repetitive legal tasks like conflict checks, document management, and marketing.

FINANCIAL INSTITUTIONS

Litigation and bankruptcy checks for companies and debtors.

E-DISCOVERY AND LEGAL VENDORS

Sync your system to PACER to automate legal marketing.